Bi-CMOS 形リニアー集積回路　シリコン　モノリシック

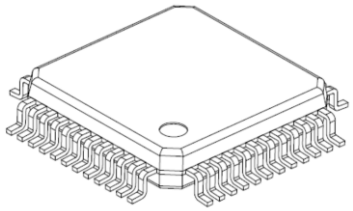
TB9M003FG

車載用三相ブラシレス DC モーター向け IC

1. 概要

本製品 TB9M003FG は車載 BLDC 用 MCU 混載ゲートドライバーIC です。ベクトル制御用に当社独自のベクトルエンジン(VE)を内蔵しており、CPU の負荷を軽減しつつ、容易にベクトル制御を実現します。

外付け FET は Nch を使用し、幅広い出力範囲のモーターに適用することが可能です。また、CPU や Flash を内蔵しており、モーターやアプリケーションに合わせて制御方式や各種パラメーターを設定することが可能です。動作待機時は、Standby Mode への移行により消費電力を削減することが出来ます。



HTQFP48-0707-0.50-001

質量: 0.14 g　(標準)

2. 用途

車載用（電動ポンプ、ファン用途）、三相ブラシレスモーター制御用、駆動用

3. 特長

- MCU やゲートドライバーなどの集積化によりシステムの小型化が実現可能
- 当社独自のセンサーレス制御用のベクトルエンジン内蔵

****
Arm、Cortex は、米国および／あるいはその他の国における Arm Limited（またはその子会社）の登録商標です。
****

製品量産開始時期
2024-01

4. 機能

- 32 ビット Arm® Cortex®-M0 core
  - シリアルワイヤデバッグサポート
  - 32 チャネル割り込みコントローラー1 サイクル乗算器
  - 最大 40 MHz のクロック周波数
- シングルバスマスターシステム
- 12KBytes ROM（ブートローダー、フラッシュ API）（ECC SEC/DED を含む）
- 64KBytes コードフラッシュ（ECC SEC/DED を含む）
- 4KBytes SRAM（ECC SEC/DED を含む）
- 32 ビット比較タイマー（DTIMER）
- 28 ビット・キャプチャー・タイマー（8 入力、6 測定）
- ウオッチドッグ・タイマー（WATCHDOG）
- 省電力モード（CPU スリープ、スタンバイ）
- 4ch パルス幅変調器ジェネレーター（PWMGEN）
- 12 汎用入出力ポート（GPIO）
- 10 ビット A/D コンバーター（GADC）、2 アナログ入力＋内部温度、VMON
- 12 ビット A/D コンバーター（MADC）
- ベクトルエンジン（VE）
- プログラマブルモータードライバー（PMD）
- エンコーダー（ENC）
- LDO (LDO5V, LDO15V)
- パワーオンリセット(POR5V, PORL)
- 2 つのオンチップ OSC（IOSCH、IOSCL）
- 外部 X’tal OSC
- PLL
- LIN　ISO17987/SAEJ2602 トランシーバー + コントローラー
- 2 つの全 2 重シリアル・インターフェース（UART1、UART2）、LIN サポート付き UART1
- SPI インターフェース
- チャージポンプを含む MOSFET ドライバー
- シャントによるモーター電流検出用高速オペアンプ
- 過電流保護（LDO, MOSFET ドライバー）
- 過温度保護
- パッケージ HTQFP48-0707-0.50
- 単電源 6.0V～18V
- 温度範囲 Tj = -40°C to +175°C
- グリーンパッケージ（RoHS 対応）
- AEC-Q100 grade 0 準拠

5. ブロック図

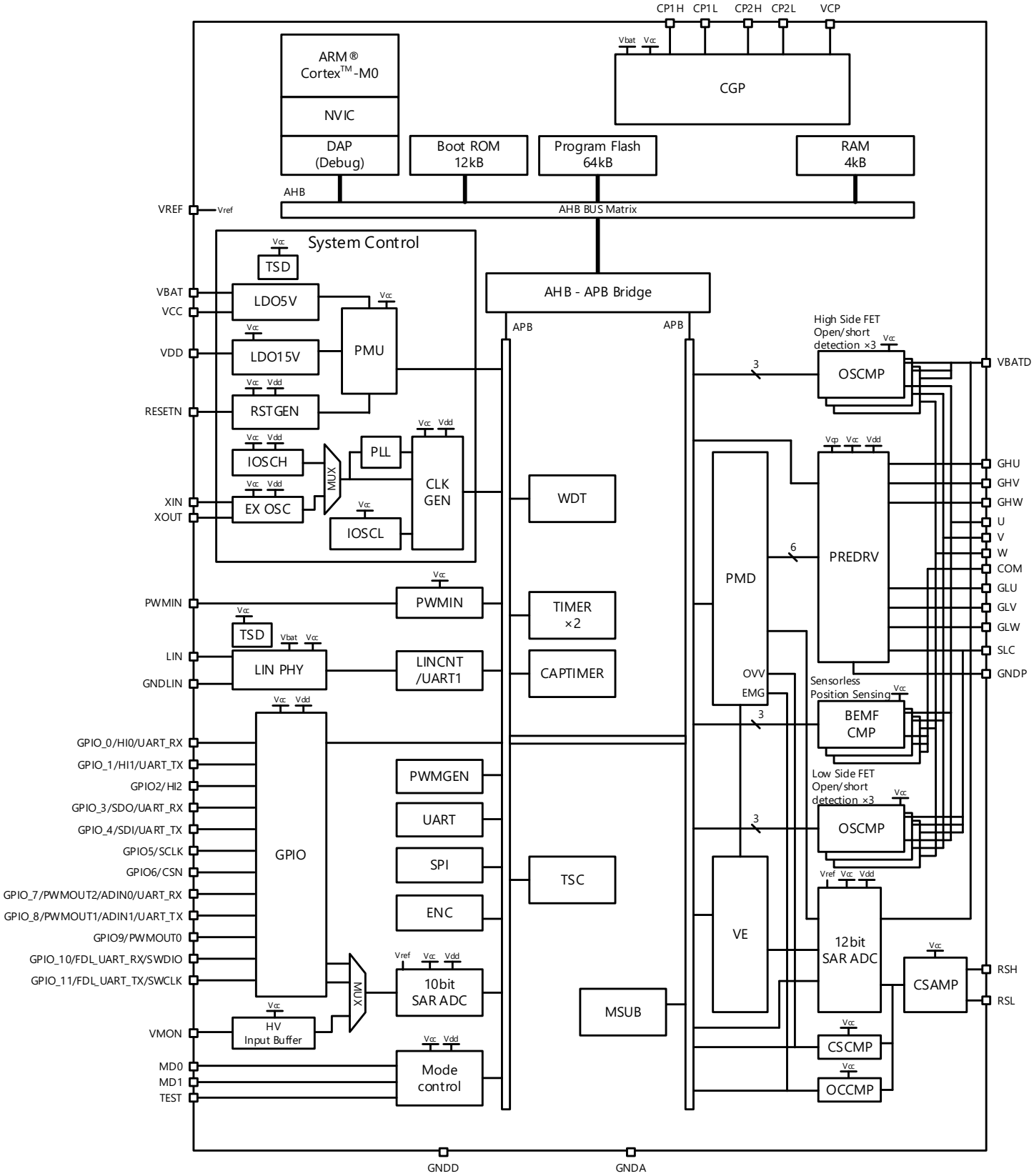


図 5.1　ブロック図

6. 端子配置図

(Top view)

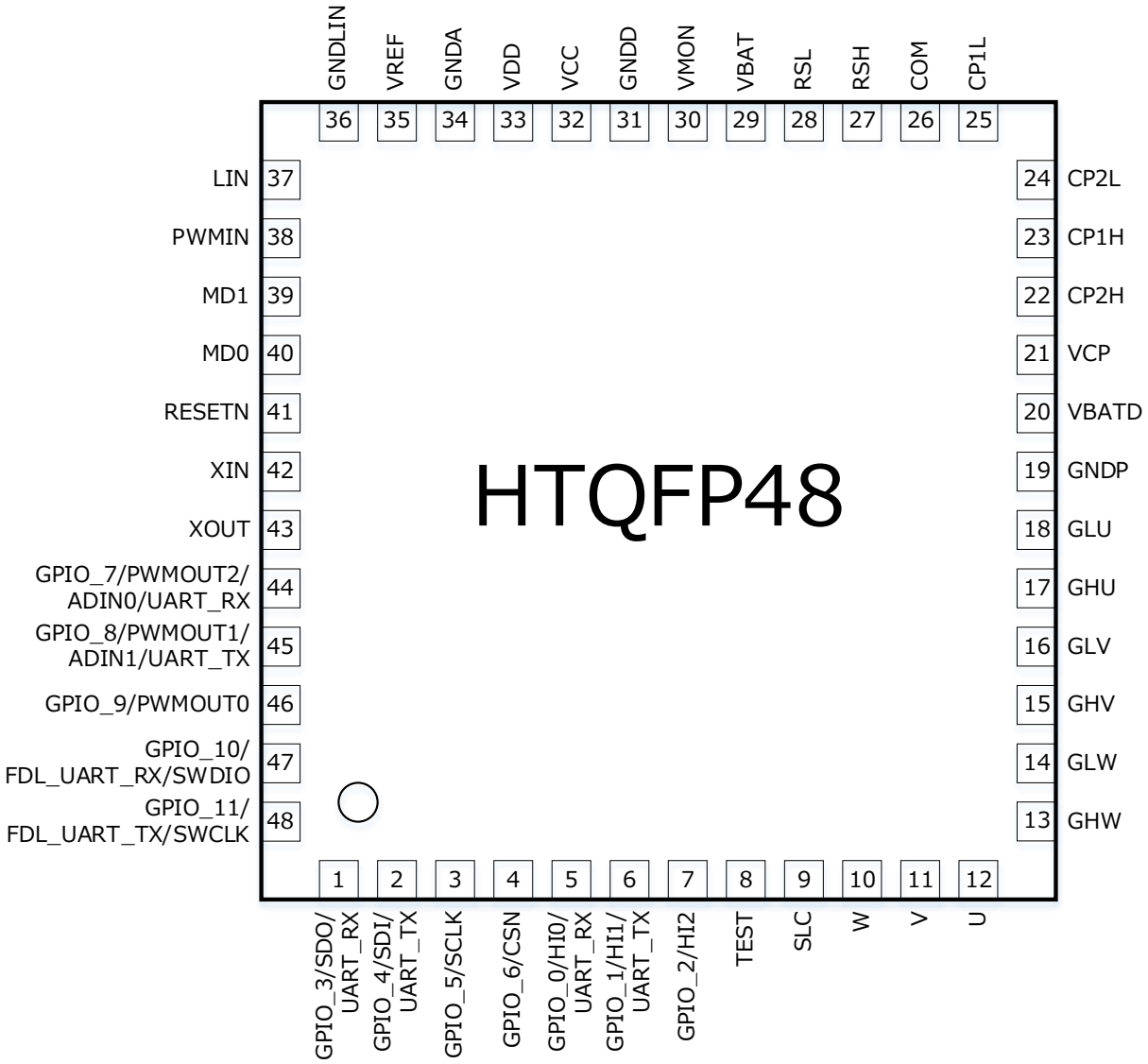


図 6.1　端子配置図

7. 端子説明

表 7.1　端子説明

端子番号	名称	入出力	端子説明
1	GPIO_3/SDO/UART_RX	入出力	汎用入出力ポート/SPI 通信用データ出力/UART_RX
2	GPIO_4/SDI/UART_TX	入出力	汎用入出力ポート/SPI 通信用データ入力/UART_TX
3	GPIO_5/SCLK	入出力	汎用入出力ポート/SPI 通信用データクロック
4	GPIO_6/CSN	入出力	汎用入出力ポート/SPI 通信用チップセレクト
5	GPIO_0/HI0/UART_RX	入出力	汎用入出力ポート/ホールセンサー入力/UART_RX
6	GPIO_1/HI1/UART_TX	入出力	汎用入出力ポート/ホールセンサー入力/UART_TX
7	GPIO_2/HI2	入出力	汎用入出力ポート/ホールセンサー入力
8	TEST	入力	テストモード選択
9	SLC	入力	ローサイド FET ソース入力
10	W	入力	W 相モーター接続
11	V	入力	V 相モーター接続
12	U	入力	U 相モーター接続
13	GHW	出力	W 相ハイサイド FET ゲート出力
14	GLW	出力	W 相ローサイド FET ゲート出力
15	GHV	出力	V 相ハイサイド FET ゲート出力
16	GLV	出力	V 相ローサイド FET ゲート出力
17	GHU	出力	U 相ハイサイド FET ゲート出力
18	GLU	出力	U 相ローサイド FET ゲート出力
19	GNDP	-	Power GND
20	VBATD	入力	ドライバー回路用バッテリー電源入力
21	VCP	出力	チャージポンプ電源出力
22	CP2H	出力	チャージポンプ用昇圧キャパシター接続
23	CP1H	出力	チャージポンプ用昇圧キャパシター接続
24	CP2L	出力	チャージポンプ用昇圧キャパシター接続
25	CP1L	出力	チャージポンプ用昇圧キャパシター接続
26	COM	入力	モーター疑似中点入力
27	RSH	入力	電流検出用抵抗電源側入力
28	RSL	入力	電流検出用抵抗 GND 側入力
29	VBAT	入力	バッテリー電源入力
30	VMON	入力	バッテリー電源入力(ADC 入力用)
31	GNDD	-	デジタル回路用 GND
32	VCC	出力	5V 電源出力
33	VDD	出力	1.5V 電源出力
34	GNDA	-	アナログ回路用 GND
35	VREF	入力	ADC 基準電源入力
36	GNDLIN	-	LINPHY 用 GND
37	LIN	入出力	LIN バスライン
38	PWMIN	入力	PWM 速度入力
39	MD1	入力	モード選択
40	MD0	入力	モード選択

© 2024-2025
Toshiba Electronic Devices & Storage Corporation

41	RESETN	入出力	リセット入出力
42	XIN	入力	X’tal or セラミック発振子接続
43	XOUT	出力	X’tal or セラミック発振子接続
44	GPIO_7/PWMOUT2/ADIN0/UART_RX	入出力	汎用入出力ポート/ PWM 出力/10bit ADC 入力 /UART_RX
45	GPIO_8/PWMOUT1/ADIN1/UART_TX	入出力	汎用入出力ポート/ PWM 出力/10bit ADC 入力 /UART_TX
46	GPIO_9/PWMOUT0	入出力	汎用入出力ポート/PWM 出力/PWM 通信用出力
47	GPIO_10/FDL_UART_RX/SWDIO	入出力	汎用入出力ポート/FDL_UART 用 RX/Debug 用 SWDIO
48	GPIO_11/FDL_UART_TX/SWCLK	入出力	汎用入出力ポート/ FDL_UART 用 TX/Debug 用 SWCLK

© 2024-2025
Toshiba Electronic Devices & Storage Corporation

8. 入出力等価回路

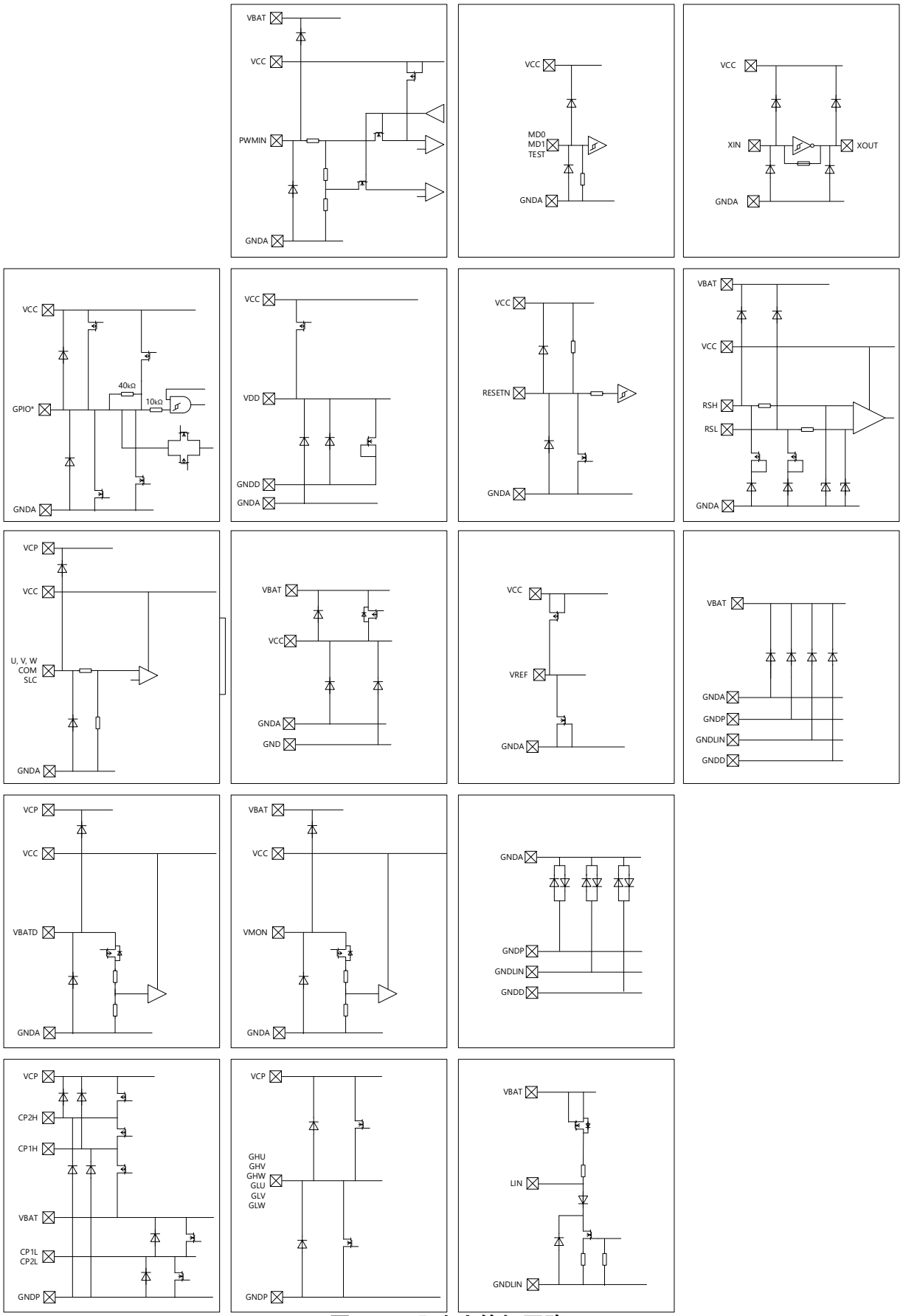


図 8.1　入出力等価回路

9. 動作説明

9.1. プリドライバー

- BLDC モーターを駆動する 3 相インバーター回路(ハイサイド Nch/ローサイド Nch MOSFET)駆動用の 6ch プリドライバー回路です。
- デジタル回路からの駆動信号に従って ON/OFF 制御されます。

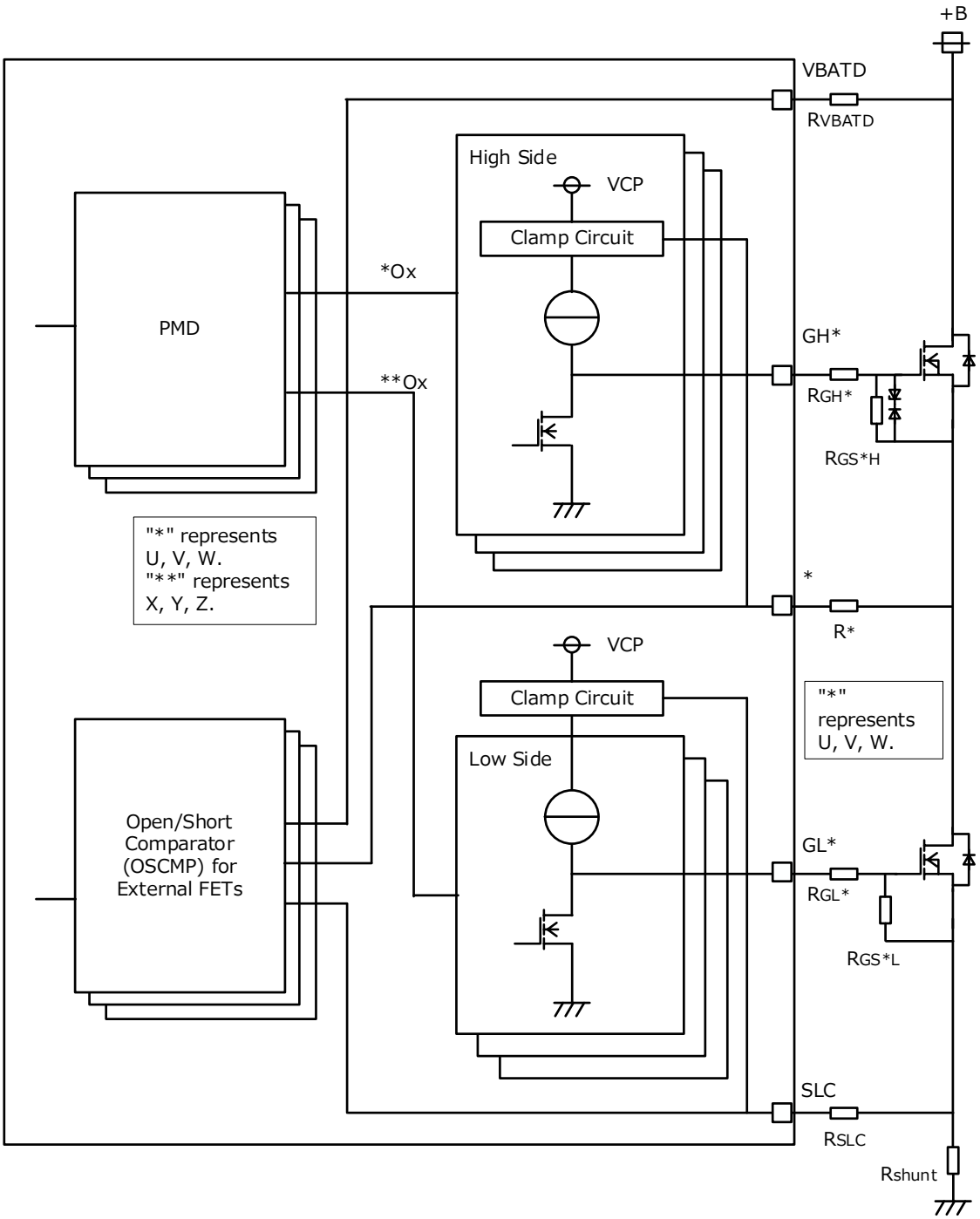


図 9.1.1　プリドライバーブロック図

9.2. チャージポンプ

ハイサイド外付け Nch FET を駆動するためのプリドライバーの電源を生成するための回路です。

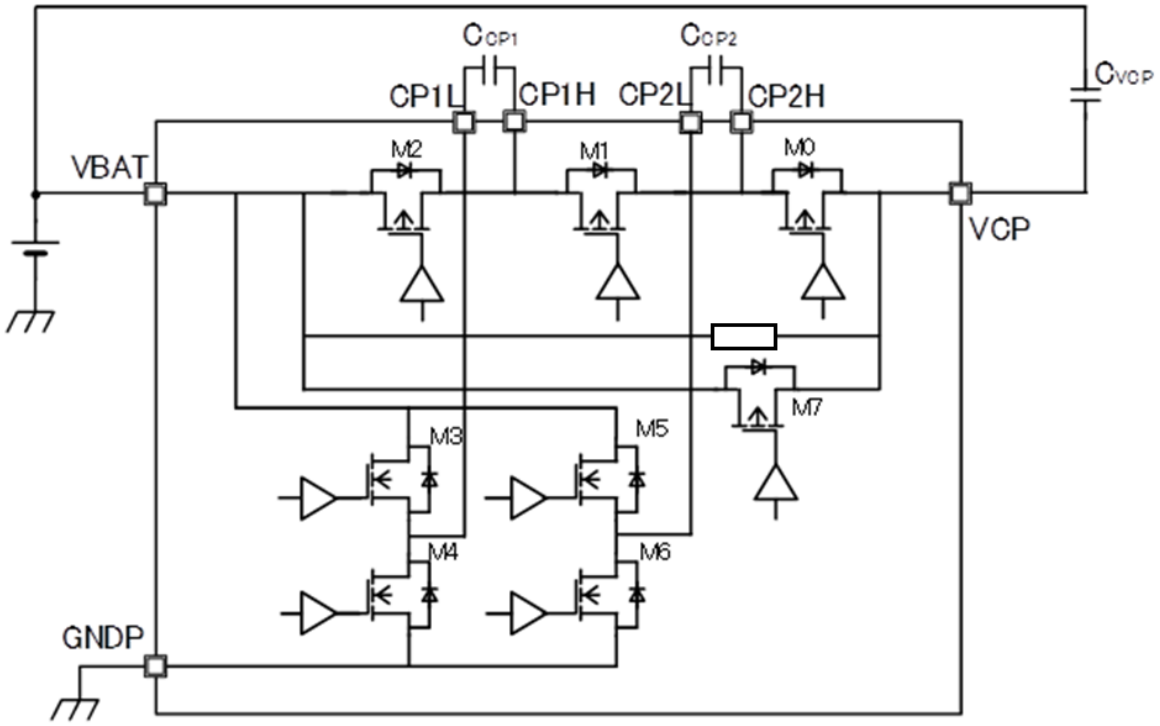


図 9.2.1　チャージポンプブロック図

9.3. 電流検出 AMP(CSAMP)

- 外付けシャント抵抗に発生した電圧を 3bit のレジスターで設定したゲイン倍に増幅するアンプです。
- 増幅された出力は、12bit ADC、過電流検出 CMP、電流制限検出 CMP に出力されます。
- 出力オフセット電圧を調整することが可能です。

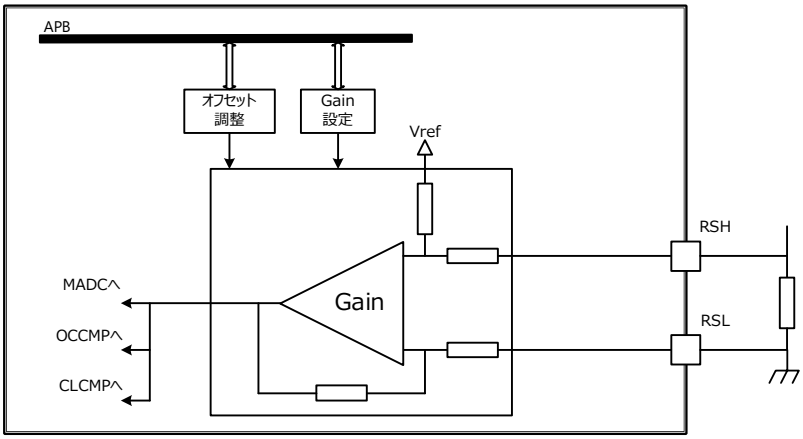


図 9.3.1　電流検出 AMP ブロック図

9.4. 電流制限検出回路(CLCMP)

- 電流検出 AMP の出力がしきい値を超えている場合に電流制限を行うための機能です。
- 電流検出 AMP から出力された電圧値が本コンパレーターに入力されます。
- しきい値は 32 通り(5bit)の調節が可能です。
- ノイズによる誤動作防止のため、デジタルフィルターを設けています。

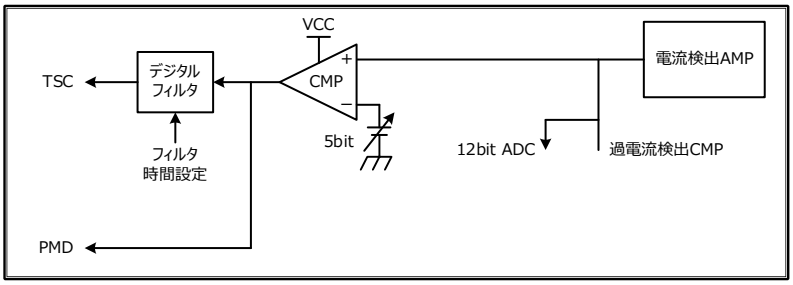


図 9.4.1　電流制限検出 CMP ブロック図

9.5. 過電流検出回路(OCCMP)

- 電流検出 AMP の出力がしきい値を超えている場合に異常検出を行うための機能です。
- レジスター設定で、過電流検出機能の有効/無効(フラグのみ)の設定が可能です。
- レジスター設定で、過電流検出しきい値を 4bit で設定可能です。
- ノイズによる誤動作防止のため、デジタルフィルターを設けています。

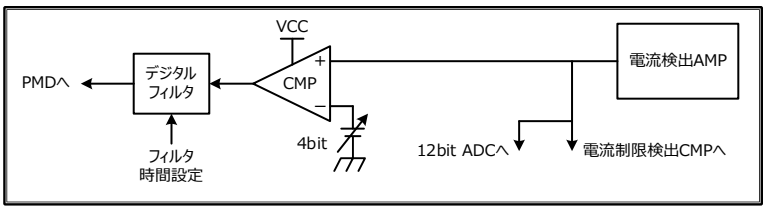


図 9.5.1　過電流検出 CMP ブロック図

9.6. 外付け FET オープン/ショート故障検出回路

FET のオープン/ショート故障を検知します。

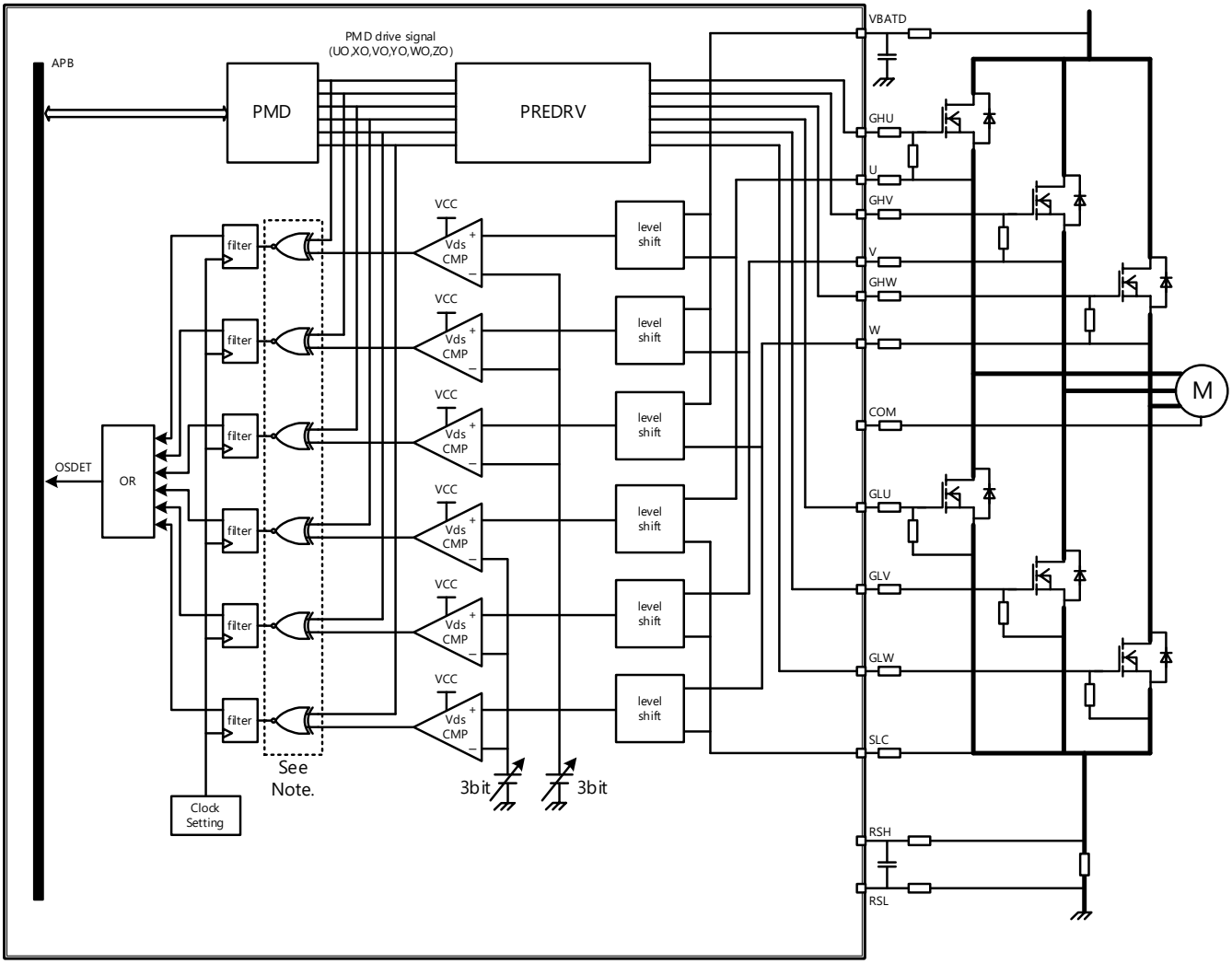


図 9.6.1　外付け FET オープン/ショート故障検出回路ブロック図

9.7. Vector Engine(VE)

表 9.7.1　VE 機能一覧表

機能分類	機能	動作説明
演算機能	基本機能	固定小数点数で演算 ベクトル制御用のタスク PMD、MADC との I/F 用のタスク
	電流制御タスク	d 軸 PI 制御、q 軸 PI 制御 ・非干渉制御可能 ・電圧スカラー値による出力制限可能
	SIN/COS 演算 1 タスク	位相 θ の正弦値と余弦値を算出 ・位相補間および位相クリップ可能
	SIN/COS 演算 2 タスク	位相 θ の正弦値と余弦値を算出
	SIN/COS 演算 3 タスク	位相 θ の正弦値と余弦値を算出 ・位相補間および位相クリップ可能
	出力電圧変換タスク	・座標軸変換(逆パーク変換) ・相変換 2 種類(空間ベクトル変換、逆クラーク変換)
	出力制御タスク	3 相電圧を PMD の PWM 出力設定に変換(2 種類) ・出力制限可能 ・デッドタイム補償可能
	トリガー生成タスク	3 相 duty から PMD の AD 変換サンプリングタイミング設定値を算出
	電流補正準備タスク	低インダクタンスモーター用に検出電流値を補正 入力処理 3 および入力処理 6 タスクとセットで使用
	入力処理タスク	MADC から変換結果を読み込んで固定小数点数に変換(6 種類) ・電流極性判定(ヒステリシス/逆ヒステリシス)可能
	入力電流変換タスク	・相変換(クラーク変換) ・座標軸変換(パーク変換)
	個別関数タスク	・逆正接(ATAN)演算 ・平方根演算 ・無処理(NOP)
	位置推定タスク	・モーターパラメーター、電圧、電流から電気角速度、位相 θ を算出
	位置センサー入力処理タスク	・エンコーダーのように 1 回転に多パルスを発生する位置センサー入力から、位相 θ と電気角速度を算出
スケジュール管理	プログラムスケジュール制御	・タスクの実行順および起動制御を定義可能なプログラムスケジュール ・最大 32 個の実行タスクを指定可能
	起動制御	・繰り返しスタート ・AD 変換終了による入力スケジュールの開始 出力スケジュール終了後の待機状態から、MADC 変換終了割り込みによる入力スケジュール開始
割り込み制御	スケジュール終了割り込み	END フラグが"1"に設定されたタスクが、指定された回数分([REPTIME])繰り返し実行するときに発生する割り込み
	エラー割り込み	スケジュール実行中に PMD からの PWM 割り込みが入力されるとエラーと判断して発生する割り込み

その他	デバッグ用出力	タスクスタートとタスクストップ時にデバッグ用出力をトグルさせることで、タスク動作中を示す信号を出力します。例えば、PMD のデバッグ用出力とのタイミングによっては、動作中を示す期間が反転(L 出力)して見える可能性があります。 PMD のデバッグ出力機能でモニターできます。

9.8. Programmable Motor Driver(PMD)

表 9.8.1　PMD 機能一覧表

機能分類	機能	動作説明
PWM 出力	分解能	PWM キャリアーのカウント分解能は 1/VECLK PWM 周波数および duty 設定は 15 ビット固定
	PWM キャリアー生成	周波数 0.06～117.18 kHz @VECLK=60 MHz で振幅 15 ビット幅の PWM キャリアーを生成可能 ・4 種類のキャリアー波形(三角波/ノコギリ波/逆三角波/逆ノコギリ波) ・相ごとにキャリアー波形選択 ・基本キャリアーと U,V,W 各相間にそれぞれ位相差付加可能
	3 相 PWM 生成	PWM キャリアーと duty 設定を比較して 3 相 PWM を生成します。 3 相 PWM は 3 相共通 duty か 3 相独立 duty かを選択可能
	通電制御	6 本の出力ポートそれぞれに、PWM 出力または High/Low 出力の選択が可能 PWM キャリアーが共通で 3 相の独立した PWM 波形を生成可能(3 相相補 PWM)
AD 変換開始	同期トリガー生成機能	PWM キャリアーと同期した任意のタイミングで AD 変換開始するための MADC 同期トリガー信号を出力します。
保護機能	保護制御	保護信号入力による出力の停止機能(オフ出力) ・2 種類の保護制御(EMG,OVV)
	デッドタイム制御	上下相(U/X,V/Y,W/Z)の切り替え時に短絡防止期間を挿入し、相補 PWM を出力します。
バッファー機能	–	PWM 周期、duty 値、AD 変換開始トリガータイミング、6 本の出力ポートの通電制御設定は、ダブルバッファーまたはトリプルバッファー構成で動作中に変更可能 ・実行バッファー段の更新タイミングは、非同期,PWM センター,PWM エンド,PWM センターおよびエンドから選択可能 ・中間バッファー段の更新タイミングは、非同期,PWM センター,PWM エンド,PWM 1/4,PWM 3/4、センターおよびエンド、PWM1/4 および PWM3/4 から選択可能
割り込み要求	PWM 割り込み (INTPWM)	PWM 波形に同期した割り込み要求を発生可能 ・発生タイミングは基本キャリアーセンターと基本キャリアーエンドを選択可能 ・発生周期選択可能(PWM 半周期/PWM 1 周期/PWM 2 周期/PWM 4 周期) ・割り込みの間引き時、同期トリガー生成/バッファー更新の間引き許可/禁止制御
	EMG 割り込み (INTEMG)	EMG 入力による保護動作時に発生する割り込み要求
	OVV 割り込み (INTOVV)	OVV 入力による保護動作時に発生する割り込み要求
デバッグ出力	–	モーター関連周辺機能の動作タイミングをポート出力でモニター可能。 ・PMD の MADC 同期トリガー出力のタイミングモニター ・モーター制御関連周辺機能割り込み要求タイミングモニター ・MADC 変換中モニター ・VE タスク遷移タイミングモニター ・ENC 内部信号モニター

9.9. メモリーマップ

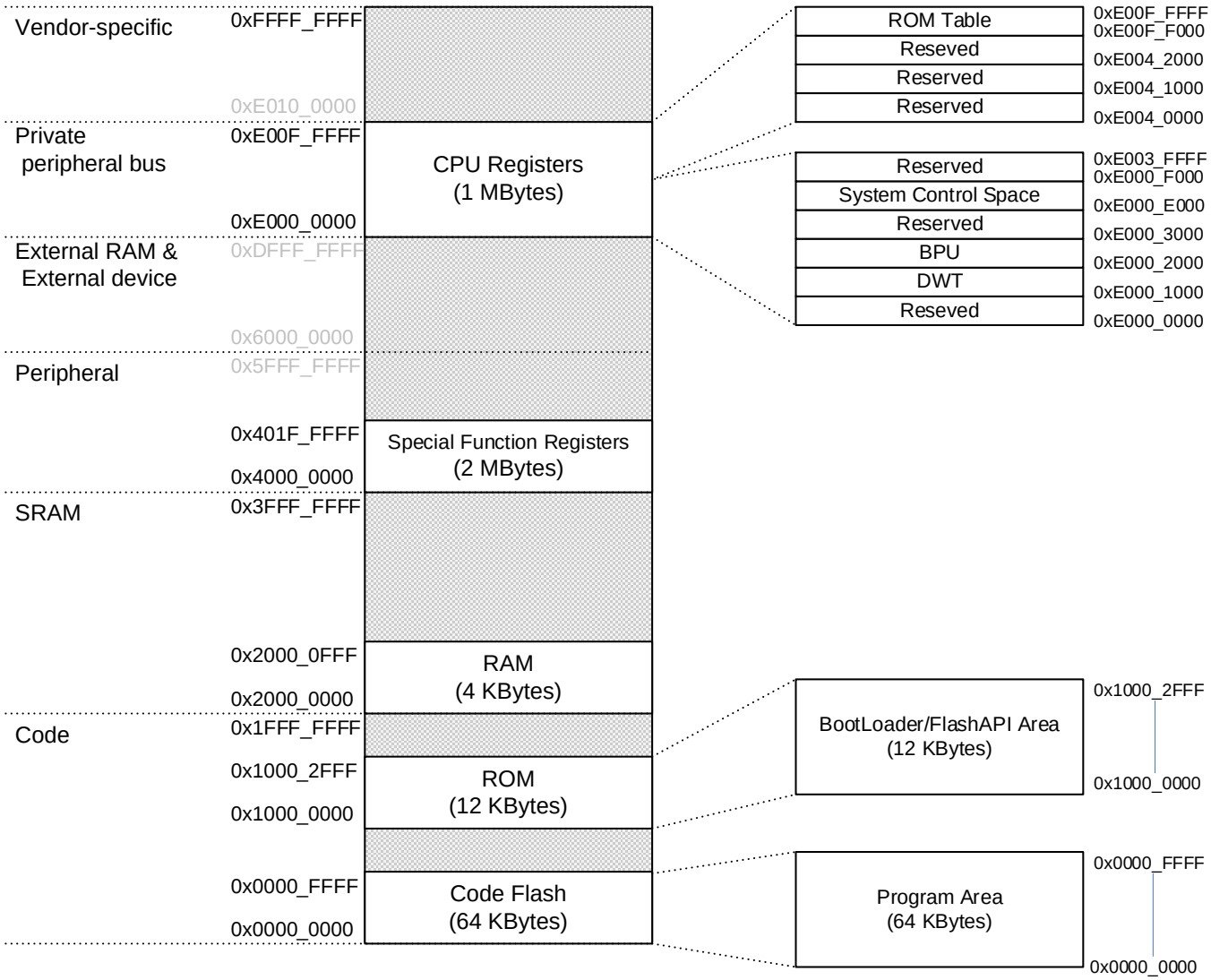


図 9.9.1　メモリーマップ

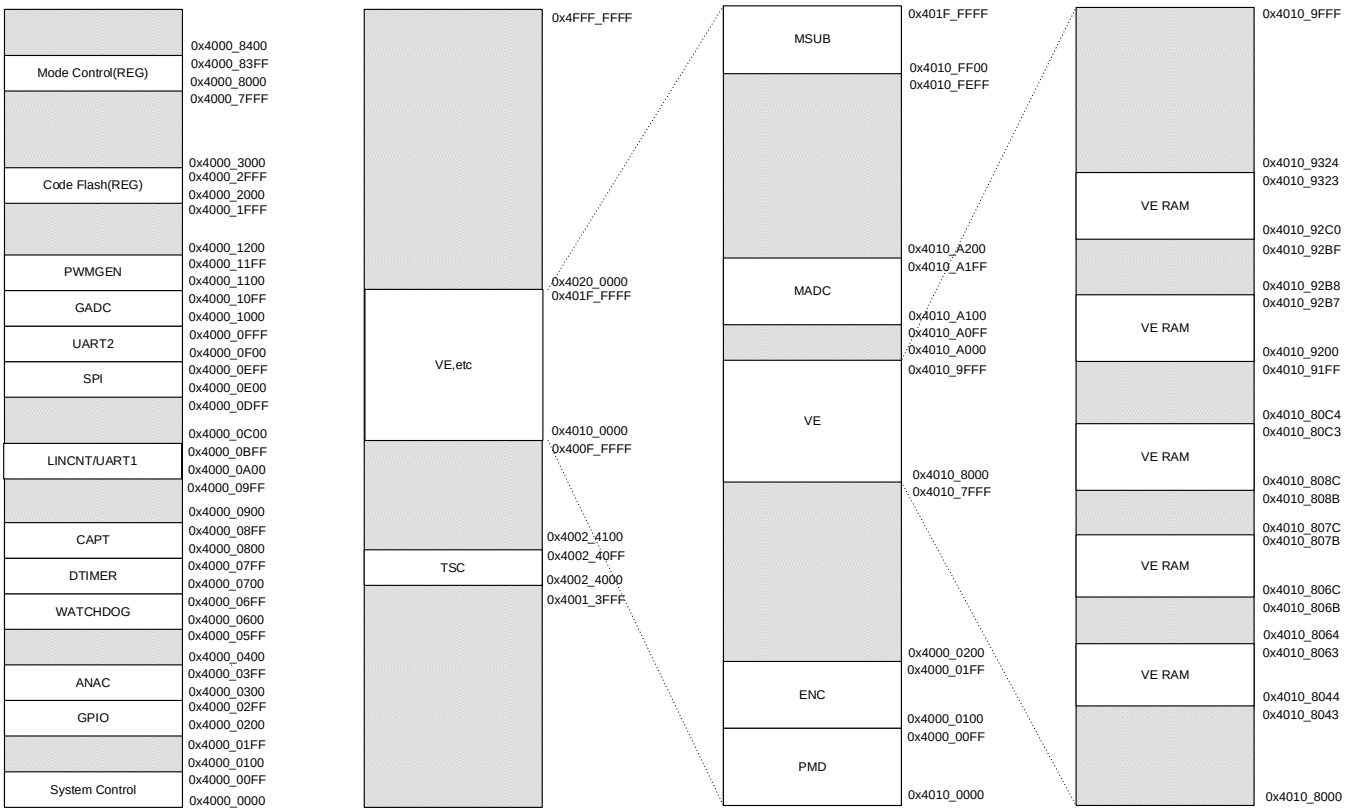


図 9.9.2　メモリーマップ

10. 絶対最大定格

表 10.1　絶対最大定格

項　目	記　号	適用端子	定　　格	単　位
電源電圧	Vbat	VBAT	-0.3～+40	V
	Vcp	VCP	-0.3～+40	
	Vcc	VCC, VREF	-0.3～+6	
	Vdd	VDD	-0.3～+2.1	
GND 端子間電圧	Vgnd	GNDA, GNDD, GNDP, GNDLIN	-0.3～+0.3	
入力電圧	Vin1	LIN	-27～+40 (注 1)	V
	Vin2	VBATD	-0.3～Vcp+0.3 (max 40V)	
	Vin3	PWMIN	-4～Vbat+0.3 (max 40V) (注 2), (注 5)	
	Vin4	VMON	-0.3～Vbat+0.3 (max 40V)	
	Vin5	U, V, W, COM, SLC	-2.5～Vcp+0.3 (max 40V) (注 3), (注 6)	
	Vin6	RSH, RSL	-2～Vbat+0.3 (max 40V) (注 5)	
	Vin7	TEST, MD0, MD1, RESETN GPIO_x, XIN	-0.3～Vcc+0.3 (max 6V)	
出力電圧	Vout1	LIN	-27～+40 (注 1)	V
	Vout2	GHU, GHV, GHW GLU, GLV, GLW	-0.3～Vcp+0.3 (max 40V) (注 4)	
	Vout3	CP1H, CP2H	-0.3～Vcp+0.3 (max 40V)	
	Vout4	CP1L, CP2L	-0.3～Vbat+0.3 (max 40V)	
	Vout5	XOUT, RESETN GPIO_x	-0.3～Vcc+0.3 (max 6V)	
動作温度	Ta	-	-40～+150	℃
保存温度	Tstg	-	-55～+150	℃

注:
・絶対最大定格は瞬時たりとも超えてはならない規格です。絶対最大定格を超えると IC の破壊や劣化や損傷の原因となり、IC 以外に障害を与える恐れもあります。いかなる動作条件においても必ず絶対最大定格を超えないように設計を行ってください。また、ご使用に際しては、記載された動作範囲内でご使用ください。
・±18V 以上の定格については印加時間に制約があります。18～28V(≦90min)、28～40V(≦400ms)。

注 1: VBAT = 6.0～18V 時。
注 2: 直列に 10kΩ(min)の抵抗を接続して印加される電圧となります。
注 3: 直列に 47Ω(min)の抵抗を接続して印加される電圧となります。
注 4: 直列に 47Ω(min)の抵抗を接続して印加される電圧となります。
注 5: VBAT-端子間の電圧が-0.3V~+40V を超えない範囲でご使用ください。
注 6: VCP-端子間の電圧が-0.3V~+40V を超えない範囲でご使用ください。

11. 動作範囲

表 11.1　動作範囲

項目	記号	定格	単位	備考
電源電圧	Vbat	18～27	V	電気的特性保証外 (注)
		6～18		電気的特性保証範囲
		4.8～6		電気的特性保証外 (注)
動作温度	Topr	-40～150	℃	周囲温度 Ta
		-40～175		ジャンクション温度 Tj (注)

注：出荷テストは実施しておりません。

12. 電気的特性

12.1. IC 全般特性

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　　目	記号	端子	条 件	最小	標準	最大	単位
スタンバイ電流 1	Istby1	VBAT VBATD VMON	Standby Mode 時 LFCLK OFF、 VBAT=VBATD=12V, Ta=25℃	-	-	20	μA
スタンバイ電流 2	Istby2		Standby Mode 時 LFCLK OFF、 VBAT=VBATD=12V, Ta=70℃ 設計保証	-	-	90	μA

参考情報:

VBAT 端子での消費電流は以下の条件下で約 33mA になります。
VBAT=12V、常温、HFCLK 使用、SYSCLK=40MHz、VECLK=60MHz(リセット状態)、
LIN は disable、CGP は enable、PREDRV は disable(外付け FET ゲート駆動無し)、
その他 IC 外部負荷無し。
消費電流は CPU 負荷、動作周波数など使用条件により変化します。

12.2. Reset Generator ＆待機時間

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　　目	記　号	端子	条 件	最小	標準	最大	単位
出力電圧 L	Voutlrst	RESETN	Iout=+5mA	0	-	0.4	V
入力検出 しきい値電圧 H	Vihrst		-	VCC ×0.75	-	-	V
入力検出 しきい値電圧 L	Vilrst		-	-	-	VCC ×0.25	V
入力 NF (アナログ)	Tfilrst		図 12.2.1 参照。	10	20	40	μs
入力 プルアップ抵抗	Rpullup		VCC-RESET 端子間	30	50	100	kΩ
WATCHDOG リセット時間	Twdt	-	WATCHDOG リセット要求後、IC 内部遅延リセットが解除されるまでの時間 (Flash busy 時を除く)	-	70	-	μs
起動安定時間	Trst1	-	VCC 減電圧復帰後、 CPU リセットが解除されるまでの時間	-	-	8	ms
復帰安定時間	Trst2	-	Wakeup 検出後、1.5V 電源の安定後に CPU リセットが解除されるまでの時間	-	-	2	ms
外部発振器 安定待ち時間	Trst3	-	別紙で指定した村田製作所の 16MHz セラロック発振器使用時、S/W による発振開始の設定後から、発振器が安定するまでの時間	-	-	1	ms
PLL 出力安定時間	Tpll	-	-	-	-	140	μs

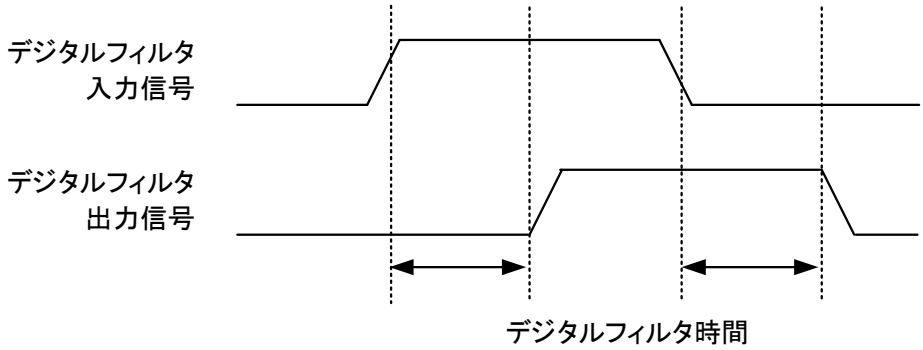


図 12.2.1 デジタルフィルター時間タイミングチャート

12.3. 5V 電源回路

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　　目	記　号	端子	条 件	最小	標準	最大	単位
VCC 出力電圧 1	Vcc1	VCC	Iload = -10μA～-135mA (IC 内部の VCC/VDD 最大自己消費電流と外部負荷電流(max 60mA)の合計消費電流) Tj = -40～150℃	4.9	5.0	5.1	V
VCC 出力電圧 3	Vcc3		Iload = -10μA～-135mA (IC 内部の VCC/VDD 最大自己消費電流と外部負荷電流(max 60mA)の合計消費電流) Tj = 150～175℃	4.8	5.0	5.2	V
電流リミッター1	Ilimit1		VCC ≧ 4.0V	-850	-475	-250	mA
電流リミッター2	Ilimit2		VCC ≦ 3.0V	-250	-112	-10	mA
ドロップ電圧	Vdrop		VBAT = 4.8V Iload = -120mA<(-5mA + 自己消費分)	-	0.2	0.45	V
減電圧検出 1	Vrst1		VCC 立ち下がり(UV_VCC)	4.0	-	4.35	V
減電圧解除電圧 1	Vrstr1		VCC 立ち上がり(UV_VCC)	4.2	-	4.75	V
減電圧検出 3	Vrst3		VCC 立ち下がり(POR5V)	3.07	3.45	3.83	V
減電圧解除電圧 3	Vrstr3		VCC 立ち上がり(POR5V)	3.22	3.60	3.98	V

注:
・VCC 端子には 1.0μF 以上の容量をできる限り端子付近に接続してください。
・【Standby】時の VCC における電流リミッター値は電流リミッター2 となります。

12.4. 1.5V 電源回路

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　　目	記　号	端子	条 件	最小	標準	最大	単位
VDD 出力電圧	Vdd	VDD	Iload = -10μA～-60mA (IC 内部の VDD 最大自己消費電流と外部負荷電流(max 1mA)の合計消費電流)	1.45	1.5	1.55	V
電流リミッター3	Ilimit3		-	-250	-150	-70	mA
減電圧検出 2	Vrst2		VDD 立ち下がり	1.3	-	1.4	V
減電圧解除電圧 2	Vrstr2		VDD 立ち上がり	1.35	-	1.45	V
過電圧検出/解除	Vddov		-	1.55	-	1.65	V

注: VDD 端子には 2.2μF 以上の容量をできる限り端子付近に接続してください。

12.5. チャージポンプ回路

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　目	記　号	端子	条 件	最小	標準	最大	単位
昇圧電圧 1	Vcp1	VCP	VBAT = 6V Iload = -10μA～-31.8mA Cload=15,000pF 想定	VBAT +6.5	-	-	V
昇圧電圧 2	Vcp2		VBAT = 8～18V Iload = -10μA～-31.8mA Cload=15,000pF 想定	VBAT +10	VBAT +12	VBAT +14	V
昇圧電圧 3	Vcp3		VBAT=5V Iload = -10μA～-13.8mA Cload=5,500pF 想定	VBAT +6.5	VBAT +8.7	-	V
昇圧制限検出しきい値電圧	Vcplim1		-	31	33	35	V
昇圧制限解除検出しきい値電圧	Vcplim_r1		-	29.5	31.5	33.5	V
昇圧停止検出しきい値電圧 1	Vcpstop1	VBAT	-	27	28.5	30	V
昇圧停止解除検出しきい値電圧 1	Vcpstop_r1		-	26	27.5	29	V
昇圧停止検出しきい値電圧 2	Vcpstop2	VCP	-	34	36	38	V
昇圧停止解除検出しきい値電圧 2	Vcpstop_r2		-	32	34	36	V
昇圧周波数	Fcp	-	-	237.5	250	262.5	kHz
立ち上り時間	Tcp	VCP	昇圧開始信号がアサートされてから VCP 電圧の 90%まで	-	-	1	ms

注：チャージポンプは必ず VBAT ≧ 5V 時に起動してください。

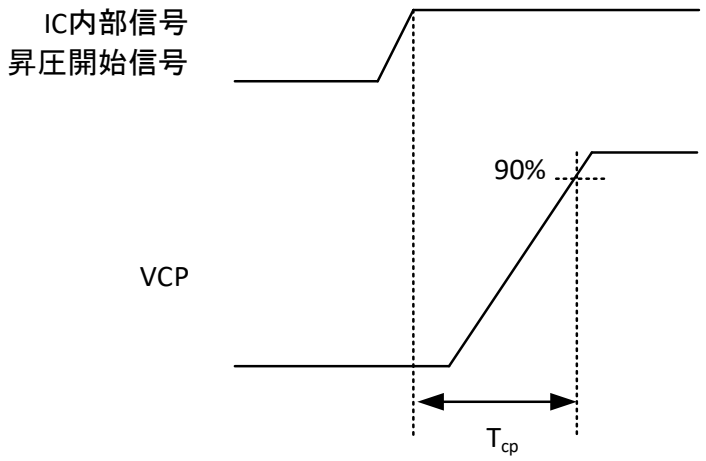


図 12.5.1 VCP 立ち上がり時間タイミングチャート

12.6. 発振器

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　目	記　号	端子	条 件	最小	標準	最大	単位
発振周波数 1（HFCLK）	Fosc1	-	-	19	20	21	MHz
発振周波数 2 (LFCLK)	Fosc2	-	-	24	32	40	kHz
発振周波数 3（XCLK）	Fosc3	XIN XOUT	使用可能な外付けセラミック発振子 or 水晶発振子の定数	16 (注)	-	20 (注)	MHz

注：外部発振器の typ 値を記載。
XCLK の外付け部品としましては、メーカーマッチングでご確認の上ご使用ください。
XCLK の外付け部品として CSTNE16M0VH3C000R0, CSTNE20M0VH3C000R0 で動作確認済みです。

12.7. 12bit ADC

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　目	記　号	端子	条 件	最小	標準	最大	単位
変換時間 1	Tconv1	-	セトリングタイム+変換時間 MADCCLK=30MHz	-	1.33	-	μs
INL1	Inl1	-	設計保証	-2	-	2	LSB
DNL1	Dnl1	-	設計保証	-1	-	2	LSB
総合誤差 1	Err_total1	-	設計保証	-6	-	6	LSB
入力分圧比	Ratio_r1	VBATD	バッファー入力分圧比 入力レンジ：6～27V	0.095	0.1	0.105	倍

注：12bit ADC enable 時の入力減衰用プルダウン抵抗は 250kΩ(typ)です。

12.8. 10bit ADC

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　　目	記　号	端子	条 件	最小	標準	最大	単位
変換時間 2	Tconv2	-	セトリングタイム+変換時間 GADCCLK=10MHz	-	16.4	-	μs
INL2	Inl2	-	-	-2.5	-	2.5	LSB
DNL2	Dnl2	-	-	-1.5	-	1.5	LSB
総合誤差 2	Err_total2	-	-	-3	-	3	LSB
入力分圧比	Ratio_r2	VMON	バッファー入力分圧比 入力レンジ：6～27V	0.095	0.1	0.105	倍
アンプ誤差	Err_amp2	-	バッファーAMP 入出力誤差 0.2V～電源電圧の入力範囲	-10	-	10	mV

12.9. プリドライバー

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　目	記　号	端子	条 件	最小	標準	最大	単位
出力電圧 HH1	Vohh1	GHU GHV GHW	ハイサイドの H レベル出力 FET の source 基準 VBAT≧8V, Icp=31.8mA Cload=15,000pF 想定 (注 1)	8	10	14	V
出力電圧 HH2	Vohh2		ハイサイドの H レベル出力 FET の source 基準 VBAT≧6V, Icp=31.8mA Cload=15,000pF 想定 (注 1)	4.5	-	14	V
出力電圧 HH3	Vohh3		ハイサイドの H レベル出力 FET の source 基準 VBAT≧4.8V, Icp=31.8mA Cload=15,000pF 想定 (注 1) プロセスばらつきは考慮しない (温度のみ考慮) 設計保証	3.8	-	14	V
出力電圧 HH4	Vohh4		ハイサイドの H レベル出力 FET の source 基準 VBAT≧5V, Icp=13.8mA Cload=5,500pF 想定 (注 2)	4.5	-	14	V
出力電圧 LH	Volh		ハイサイドの L レベル出力 Igx=100μA ※VB=4.8～6V,18～27V は設計保証	-0.1	-	0.1	V
出力電圧 HL1	Vohl1	GLU GLV GLW	ローサイドの H レベル出力 FET の source 基準 VBAT≧8V, Icp=31.8mA Cload=15,000pF 想定 (注 1)	8	10	14	V
出力電圧 HL2	Vohl2		ローサイドの H レベル出力 FET の source 基準 VBAT≧6V, Icp=31.8mA Cload=15,000pF 想定 (注 1)	4.5	-	14	V
出力電圧 HL3	Vohl3		ローサイドの H レベル出力 FET の source 基準 VBAT≧4.8V, Icp=31.8mA Cload=15,000pF 想定 (注 1) プロセスばらつきは考慮しない (温度のみ考慮) 設計保証	3.8	-	14	V
出力電圧 HL4	Vohl4		ローサイドの H レベル出力 FET の source 基準 設計保証 VBAT≧5V	4.5	-	14	V
出力電圧 LL	Voll		ローサイドの L レベル出力 Igx=100μA ※VBAT=4.8～6V,18～27V は 設計保証	-0.1	-	0.1	V

注 1: スペックは Icp=31.8mA(6 つの FET(Cload=15,000pF)を 20kHz の PWM 周波数で駆動したときのチャージポンプの負荷電流を想定)時で規定していますが、本項目のテストは Igx = -100μA の負荷電流で実施しています。

注 2: スペックは Icp=13.8mA(6 つの FET(Cload=5,500pF)を 20kHz の PWM 周波数で駆動したときのチャージポンプの負荷電流を想定)時で規定していますが、本項目のテストは Igx = -100μA の負荷電流で実施しています。

項　　目	記　号	端子	条 件	最小	標準	最大	単位
Phase1 charge 電流 1	Iphase1c1	GHU GHV GHW GLU GLV GLW	Phase1 用 Charge 電流設定レジスター： [PREDRVSRCR]<IPHASE1>=0000 (0mA)(min) ※ハイサイド/ローサイド共用	-0.1	0	0.1	mA
Phase1 charge 電流 2	Iphase1c2		Phase1 用 Charge 電流設定レジスター： [PREDRVSRCR]<IPHASE1>=1000 (15mA) ※ハイサイド/ローサイド共用	-19.5	-15	-10.5	mA
Phase1 charge 電流 3	Iphase1c3		Phase1 用 Charge 電流設定レジスター： [PREDRVSRCR]<IPHASE1>=1001 (30mA) ※ハイサイド/ローサイド共用	-39	-30	-21	mA
Phase1 charge 電流 4	Iphase1c4		Phase1 用 Charge 電流設定レジスター： [PREDRVSRCR]<IPHASE1>=1011 (60mA) ※ハイサイド/ローサイド共用	-78	-60	-42	mA
Phase1 charge 電流 5	Iphase1c5		Phase1 用 Charge 電流設定レジスター： [PREDRVSRCR]<IPHASE1>=1111 (120mA)(max) ※ハイサイド/ローサイド共用	-156	-120	-84	mA

© 2024-2025
Toshiba Electronic Devices & Storage Corporation

項　　目	記　号	端子	条 件	最小	標準	最大	単位
Phase2 ハイサイド電流 1	Iphase2h1	GHU GHV GHW GLU GLV GLW	ハイサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2H>=00000 (1mA)(min)	-1.4	-1	-0.6	mA
Phase2 ハイサイド電流 2	Iphase2h2		ハイサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2H>=00001 (2mA)	-2.6	-2	-1.4	mA
Phase2 ハイサイド電流 3	Iphase2h3		ハイサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2H>=00011 (4mA)	-5.2	-4	-2.8	mA
Phase2 ハイサイド電流 4	Iphase2h4		ハイサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2H>=00111 (8mA)	-10.4	-8	-5.6	mA
Phase2 ハイサイド電流 5	Iphase2h5		ハイサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2H>=01111 (16mA)	-20.8	-16	-11.2	mA
Phase2 ハイサイド電流 6	Iphase2h6		ハイサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2H>=10000 (18mA)	-23.4	-18	-12.6	mA
Phase2 ハイサイド電流 7	Iphase2h7		ハイサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2H>=10001 (20mA)	-26	-20	-14	mA
Phase2 ハイサイド電流 8	Iphase2h8		ハイサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2H>=10011 (24mA)	-31.2	-24	-16.8	mA
Phase2 ハイサイド電流 9	Iphase2h9		ハイサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2H>=10111 (32mA)	-41.6	-32	-22.4	mA
Phase2 ハイサイド電流 10	Iphase2h10		ハイサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2H>=11111 (48mA)(max)	-62.4	-48	-33.6	mA

© 2024-2025
Toshiba Electronic Devices & Storage Corporation

項　　目	記　号	端子	条 件	最小	標準	最大	単位
Phase2 ローサイド電流 1	Iphase2I1	GHU GHV GHW GLU GLV GLW	ローサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2L>=00000 (1mA)(min)	-1.4	-1	-0.6	mA
Phase2 ローサイド電流 2	Iphase2I2		ローサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2L>=00001 (2mA)	-2.6	-2	-1.4	mA
Phase2 ローサイド電流 3	Iphase2I3		ローサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2L>=00011 (4mA)	-5.2	-4	-2.8	mA
Phase2 ローサイド電流 4	Iphase2I4		ローサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2L>=00111 (8mA)	-10.4	-8	-5.6	mA
Phase2 ローサイド電流 5	Iphase2I5		ローサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2L>=01111 (16mA)	-20.8	-16	-11.2	mA
Phase2 ローサイド電流 6	Iphase2I6		ローサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2L>=10000 (18mA)	-23.4	-18	-12.6	mA
Phase2 ローサイド電流 7	Iphase2I7		ローサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2L>=10001 (20mA)	-26	-20	-14	mA
Phase2 ローサイド電流 8	Iphase2I8		ローサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2L>=10011 (24mA)	-31.2	-24	-16.8	mA
Phase2 ローサイド電流 9	Iphase2I9		ローサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2L>=10111 (32mA)	-41.6	-32	-22.4	mA
Phase2 ローサイド電流 10	Iphase2I10		ローサイド Phase2 用 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2L>=11111 (48mA)(max)	-62.4	-48	-33.6	mA
Phase3 電流	Iphase3		ハイサイド Phase2 用 max 設定 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2H>=11111 (48mA)(max) ローサード Phase2 用 max 設定 Charge 電流設定レジスター：[PREDRVSRCR]<IPHASE2L>=11111 (48mA) (max) ※ハイサイド/ローサイド別々	-218.4	-168	-117.6	mA

項　　目	記　号	端子	条 件	最小	標準	最大	単位
出力抵抗 1	Routh	GHU GHV GHW	High side discharge 側 Iol=-20mA	2	5.4	12	Ω
出力抵抗 2	Routl	GLU GLV GLW	Low side discharge 側 Iol=-20mA	2	5.4	12	Ω
入力伝搬 遅延時間 1	Thondelay	GHU GHV GHW GLU GLV GLW	ハイサイドターンオン Cload=15,000pF、25% of VGHx Phase1 charge 電流設定レジスター： [PREDRVSRCR]<IPHASE1>=1111 (120mA)(max) Phase2 charge 電流設定レジスター： [PREDRVSRCR]<IPHASE2H>=11111 (48mA)(max) 合計 168mA U, V, W, SLC = 0V 図 12.9.1 参照。	-	0.4	1.0	μs
入力伝搬 遅延時間 2	Thoffdelay		ハイサイドターンオフ Cload=15,000pF、75% of VGHx U, V, W, SLC = 0V (外付け R=47Ω, C=15,000pF)。 47Ω の外側で観測。 図 12.9.1 参照。	-	0.3	1.0	μs
入力伝搬 遅延時間 3	Tlondelay		ローサイドターンオン Cload=15,000pF、25% of VGLx Phase1 charge 電流設定レジスター： [PREDRVSRCR]<IPHASE1>=1111 (120mA)(max) Phase2 charge 電流設定レジスター： [PREDRVSRCR]<IPHASE2L>=11111 (48mA)(max) 合計 168mA 10%-90% U, V, W, SLC = 0V 図 12.9.1 参照。	-	0.4	1.0	μs
入力伝搬 遅延時間 4	Tloffdelay		ローサイドターンオフ Cload=15,000pF、75% of VGLx U, V, W, SLC = 0V (外付け R=47Ω, C=15,000pF)。 47Ω の外側で観測。 図 12.9.1 参照。	-	0.3	1.0	μs

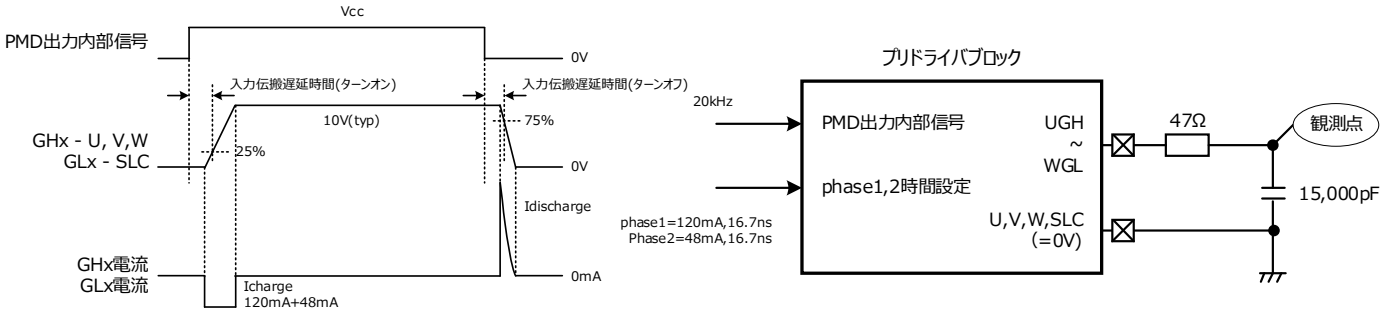


図 12.9.1 入力伝搬遅延時間測定タイミングチャート、測定回路図

項　　目	記　号	端子	条 件	最小	標準	最大	単位
Phase1 時間初期値 1	Tphase1i1	-	VECLK=60MHz Phase1 時間初期値設定レジスター： [MCSSDRVPTSR]<TPHASE1>= 000000(0ns)(min) 設計保証	-	0	-	ns
Phase1 時間初期値 2	Tphase1i2	-	VECLK=60MHz Phase1 時間初期値設定レジスター： [MCSSDRVPTSR]<TPHASE1>= 000001(16.7ns)	15.8	16.7	17.5	ns
Phase1 時間初期値 3	Tphase1i3	-	VECLK=60MHz Phase1 時間初期値設定レジスター： [MCSSDRVPTSR]<TPHASE1>= 000011(50ns)	47.5	50	52.5	ns
Phase1 時間初期値 4	Tphase1i4	-	VECLK=60MHz Phase1 時間初期値設定レジスター： [MCSSDRVPTSR]<TPHASE1>= 000111(116.7ns)	110.9	116.7	122.5	ns
Phase1 時間初期値 5	Tphase1i5	-	VECLK=60MHz Phase1 時間初期値設定レジスター： [MCSSDRVPTSR]<TPHASE1>= 001111(250ns)	237.5	250	262.5	ns
Phase1 時間初期値 6	Tphase1i6	-	VECLK=60MHz Phase1 時間初期値設定レジスター： [MCSSDRVPTSR]<TPHASE1>= 011111(516.7ns)	490.9	516.7	542.5	ns
Phase1 時間初期値 7	Tphase1i7	-	VECLK=60MHz Phase1 時間初期値設定レジスター： [MCSSDRVPTSR]<TPHASE1>= 111111(1050ns)(max)	997.5	1050	1102.5	ns

© 2024-2025
Toshiba Electronic Devices & Storage Corporation

項　　目	記　号	端子	条 件	最小	標準	最大	単位
Phase2 時間目標値 1	Tphase2t1	-	VECLK=60MHz Phase2 時間目標値設定レジスター： [MCSSDRVPTSR]<TPHASE2>= 0000000(0ns)(min) 設計保証	-	0	-	ns
Phase2 時間目標値 2	Tphase2t2	-	VECLK=60MHz Phase2 時間目標値設定レジスター： [MCSSDRVPTSR]<TPHASE2>= 0000001(16.7ns)	15.8	16.7	17.5	ns
Phase2 時間目標値 3	Tphase2t3	-	VECLK=60MHz Phase2 時間目標値設定レジスター： [MCSSDRVPTSR]<TPHASE2>= 0000011(50ns)	47.5	50	52.5	ns
Phase2 時間目標値 4	Tphase2t4	-	VECLK=60MHz Phase2 時間目標値設定レジスター： [MCSSDRVPTSR]<TPHASE2>= 0000111(116.7ns)	110.9	116.7	122.5	ns
Phase2 時間目標値 5	Tphase2t5	-	VECLK=60MHz Phase2 時間目標値設定レジスター： [MCSSDRVPTSR]<TPHASE2>= 0001111(250ns)	237.5	250	262.5	ns
Phase2 時間目標値 6	Tphase2t6	-	VECLK=60MHz Phase2 時間目標値設定レジスター： [MCSSDRVPTSR]<TPHASE2>= 0011111(516.7ns)	490.9	516.7	542.5	ns
Phase2 時間目標値 7	Tphase2t7	-	VECLK=60MHz Phase2 時間目標値設定レジスター： [MCSSDRVPTSR]<TPHASE2>= 0111111(1050ns)	997.5	1050	1102.5	ns
Phase2 時間目標値 8	Tphase2t8	-	VECLK=60MHz Phase2 時間目標値設定レジスター： [MCSSDRVPTSR]<TPHASE2>= 1111111(2116.7ns)(max)	2010.9	2116.7	2222.5	ns
デッドタイム	Tdead	-	デッドタイム設定レジスター： [DTR]<DTR[9:0]> = 0x02D 3μs 設定時、VECLK=60MHz	2.85	3	3.15	μs

12.10. 電流検出 AMP

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　目	記　号	端子	条 件	最小	標準	最大	単位
同相電圧 入力範囲	Vcomin	RSH RSL	-	-0.2	-	2.0	V
Gain1	Gain1		5 倍設定	4.95	5	5.05	倍
Gain2	Gain2		10 倍設定	9.9	10	10.1	倍
Gain3	Gain3		15 倍設定	14.85	15	15.15	倍
Gain4	Gain4		20 倍設定	19.8	20	20.2	倍
Gain5	Gain5		40 倍設定	39.6	40	40.4	倍
Gain6	Gain6		60 倍設定	59.25	59.85	60.45	倍
出力 オフセット電圧 1	Vooffset1	-	VCC/2 設定 ※キャリブレーション実施後、 Gain60 倍設定，入力オフセット込み	VCC/2 -0.0606	2.5	VCC/2 +0.0606	V
出力 オフセット電圧 2	Vooffset2	-	VCC/5 設定 ※キャリブレーション実施後、 Gain60 倍設定，入力オフセット込み	VCC/5 -0.0606	1.0	VCC/5 +0.0606	V
出力 オフセット電圧 3	Vooffset3	-	VCC/8 設定 ※キャリブレーション実施後、 Gain60 倍設定，入力オフセット込み	VCC/8 -0.0606	0.625	VCC/8 +0.0606	V
出力 オフセット電圧 4	Vooffset4	-	VCC/10 設定 ※キャリブレーション実施後、 Gain60 倍設定，入力オフセット込み	VCC/10 -0.0606	0.5	VCC/10 +0.0606	V
セトリングタイム 1	Tsettle1	-	Gain5 倍設定、出力電圧 2.5V⇔3.5V 入力外付けフィルターなし 出力電圧が最終値の±2%以内に 収束する時間、設計保証 図 12.10.1 参照。	-	-	0.5	μs
セトリングタイム 2	Tsettle2	-	Gain20 倍設定、出力電圧 2.5V⇔3.5V 入力外付けフィルターなし 出力電圧が最終値の±2%以内に 収束する時間、設計保証 図 12.10.1 参照。	-	-	0.8	μs
セトリングタイム 3	Tsettle3	-	Gain60 倍設定、出力電圧 2.5V⇔3.5V 入力外付けフィルターなし 出力電圧が最終値の±2%以内に 収束する時間、設計保証 図 12.10.1 参照。	-	-	1.7	μs
出力電圧 H	Voh_amp	-	-	VCC- 0.3	-	-	V
出力電圧 L	Vol_amp	-	-	-	-	0.3	V

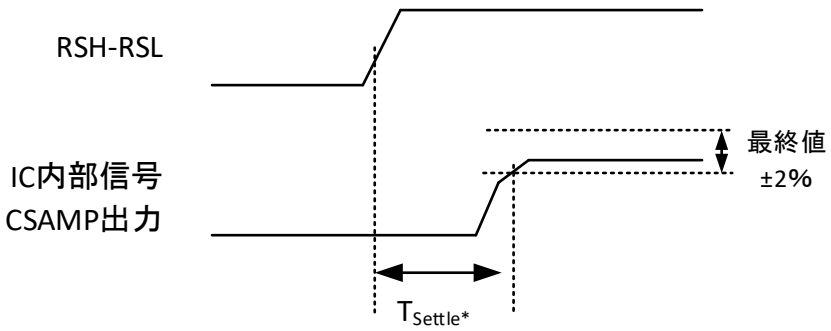


図 12.10.1 電流検出 AMP セトリングタイム タイミングチャート

12.11. 電流制限検出回路

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　目	記　号	端子	条 件	最小	標準	最大	単位
電流制限検出しきい値 1	Vlimit1	-	電流制限しきい値設定レジスター：[CLCMPSR]<CLCMPTV>=00000(min)	-39	0	39	mV
電流制限検出しきい値 2	Vlimit2	-	電流制限しきい値設定レジスター：[CLCMPSR]<CLCMPTV>=00001	VCC ×1/32 -0.039	0.156	VCC ×1/32 +0.039	V
電流制限検出しきい値 3	Vlimit3	-	電流制限しきい値設定レジスター：[CLCMPSR]<CLCMPTV>=00011	VCC ×3/32 -0.039	0.468	VCC ×3/32 +0.039	V
電流制限検出しきい値 4	Vlimit4	-	電流制限しきい値設定レジスター：[CLCMPSR]<CLCMPTV>=00111	VCC ×7/32 -0.039	1.094	VCC ×7/32 +0.039	V
電流制限検出しきい値 5	Vlimit5	-	電流制限しきい値設定レジスター：[CLCMPSR]<CLCMPTV>=01111	VCC ×15/32 -0.039	2.344	VCC ×15/32 +0.039	V
電流制限検出しきい値 6	Vlimit6	-	電流制限しきい値設定レジスター：[CLCMPSR]<CLCMPTV>=11111(max)	VCC ×31/32 -0.039	4.844	VCC ×31/32 +0.039	V
デジタルフィルター時間 1	Tclfil1	-	デジタルフィルター時間設定レジスター：[OVVCR]<OVVCNT[4:0]> = 0x0F VECLK = 60MHz 図 12.2.1 参照。	3.8	4.0	4.2	μs
デジタルフィルター時間 4	Tclfil4	-	デジタルフィルター時間設定レジスター：[OVVCR]<OVVCNT[4:0]> = 0x06 VECLK = 60MHz 図 12.2.1 参照。	1.52	1.6	1.68	μs
デジタルフィルター時間 2	Tclfil2	-	デジタルフィルター時間設定レジスター：[CLCMPDFSR]<CLCMPDFS>=0 10MHz×32 回一致 図 12.2.1 参照。	3.04	3.2	3.36	μs
デジタルフィルター時間 3	Tclfil3	-	デジタルフィルター時間設定レジスター：[CLCMPDFSR]<CLCMPDFS>=1 10MHz×16 回一致 図 12.2.1 参照。	1.52	1.6	1.68	μs

注：デジタルフィルター時間 1, 4 とデジタルフィルター時間 2,3 は、別経路のデジタルフィルターのフィルター時間になりますので、ご注意ください。
デジタルフィルター時間 1, 4 はレジスター設定により、無効とすることが可能です。

12.12. 過電流検出回路

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　目	記　号	端子	条 件	最小	標準	最大	単位
過電流検出しきい値 1	Voc1	-	過電流検出しきい値設定レジスター：[OCCMPSR]<OCCMPTV>=0000(min)	-39	0	39	mV
過電流検出しきい値 2	Voc2	-	過電流検出しきい値設定レジスター：[OCCMPSR]<OCCMPTV>=0001	VCC ×1/16 -0.039	0.313	VCC ×1/16 +0.039	V
過電流検出しきい値 3	Voc3	-	過電流検出しきい値設定レジスター：[OCCMPSR]<OCCMPTV>=0011	VCC ×3/16 -0.039	0.9375	VCC ×3/16 +0.039	V
過電流検出しきい値 4	Voc4	-	過電流検出しきい値設定レジスター：[OCCMPSR]<OCCMPTV>=0111	VCC ×7/16 -0.039	2.1875	VCC ×7/16 +0.039	V
過電流検出しきい値 5	Voc5	-	過電流検出しきい値設定レジスター：[OCCMPSR]<OCCMPTV>=1111(max)	VCC ×15/16 -0.039	4.6875	VCC ×15/16 +0.039	V
デジタルフィルター時間 1	Tocfil1	-	デジタルフィルター時間設定レジスター：[EMGCR]<EMGCNT[4:0]> = 0x06 VECLK = 60MHz 図 12.2.1 参照。	1.52	1.6	1.68	μs
デジタルフィルター時間 2	Tocfil2	-	デジタルフィルター時間設定レジスター： [OCCMPDFSR]<OCCMPDFS> =0 10MHz×32 回一致 図 12.2.1 参照。	3.04	3.2	3.36	μs
デジタルフィルター時間 3	Tocfil3	-	デジタルフィルター時間設定レジスター： [OCCMPDFSR]<OCCMPDFS> =1 10MHz×16 回一致 図 12.2.1 参照。	1.52	1.6	1.68	μs

注：デジタルフィルター時間 1 とデジタルフィルター時間 2,3 の長い方が有効となりますのでご注意ください。
デジタルフィルター時間 1 はレジスター設定により、無効とすることが可能です。

12.13. 位置検出回路

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　目	記　号	端子	条 件	最小	標準	最大	単位
入力電圧範囲	Vinrange	U, V, W, COM	47Ω を介しての入力 COM は相電圧の半分の電圧	-2.5	-	VBAT	V
入力オフセット電圧 1	Voffset1	U, V, W, COM	COM=0V COM 電圧相間差	-80	-	80	mV
入力オフセット電圧 21	Voffset21		COM=VBAT/2, VBAT=6V COM 電圧相間差	-75	-	75	mV
入力オフセット電圧 22	Voffset22		COM=VBAT/2, VBAT=12V COM 電圧相間差	-50	-	50	mV
入力オフセット電圧 23	Voffset23		COM=VBAT/2, VBAT=18V COM 電圧相間差	-75	-	75	mV
入力オフセット電圧 1 相間差	Voffset1d	U, V, W	COM=0V, U-V, V-W, W-U 相間差	-99	-	99	mV
位置検出フィルター時間	Tbemffil	-	デジタルフィルター時間設定レジスター：<FILVAL[6:0]> = 0x3C VECLK = 60MHz 図 12.2.1 参照。	0.95	1	1.05	μs

12.14. TSD

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　目	記　号	端子	条 件	最小	標準	最大	単位
過熱検出温度	Ttsd	-	設計保証	175	190	205	℃
過熱検出解除温度	Ttsdr	-	設計保証	145	160	175	℃

注:
・出荷テストは実施しておりません。評価のみ実施。
・5V 電源回路用 TSD と LINPHY 用 TSD の電気的特性は同一です。

12.15. 外付け FET オープン/ショート故障検出回路

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　目	記　号	端子	条 件	最小	標準	最大	単位
ショート検出しきい値 1	Vos1	VBATD U, V, W SLC	VBATD-U,V,W、U,V,W-SLC しきい値設定レジスター：[OSCMPSR]<OSCMPTV>=000(min)	10	240	460	mV
ショート検出しきい値 2	Vos2		VBATD-U,V,W、U,V,W-SLC しきい値設定レジスター：[OSCMPSR]<OSCMPTV>=001	60	280	510	mV
ショート検出しきい値 3	Vos3		VBATD-U,V,W、U,V,W-SLC しきい値設定レジスター：[OSCMPSR]<OSCMPTV>=010	160	380	610	mV
ショート検出しきい値 4	Vos4		VBATD-U,V,W、U,V,W-SLC しきい値設定レジスター：[OSCMPSR]<OSCMPTV>=011	270	480	720	mV
ショート検出しきい値 5	Vos5		VBATD-U,V,W、U,V,W-SLC しきい値設定レジスター：[OSCMPSR]<OSCMPTV>=100	360	580	830	mV
ショート検出しきい値 6	Vos6		VBATD-U,V,W、U,V,W-SLC しきい値設定レジスター：[OSCMPSR]<OSCMPTV>=101	460	680	940	mV
ショート検出しきい値 7	Vos7		VBATD-U,V,W、U,V,W-SLC しきい値設定レジスター：[OSCMPSR]<OSCMPTV> =110, 111(max)	560	780	1050	mV
入力電流 1 (注 1)	Iosin1	U, V, W	VBAT = 12V、U, V,W 端子電圧 = 12V しきい値設定レジスター：[OSCMPSR]<OSCMPTV> = 000 プリドライバーイネーブルレジスター：[PREDRVER]<PREDRVEN>=0	69	-	165	μA
入力電流 2 (注 1)	Iosin2		VBAT= 12V、U, V,W 端子電圧 = 0V しきい値設定レジスター：[OSCMPSR]<OSCMPTV> = 000 プリドライバーイネーブルレジスター：[PREDRVER]<PREDRVEN>=0	-5.0	-	5.0	μA
入力電流 3	Iosin3	SLC	しきい値設定レジスター：[OSCMPSR]<OSCMPTV> = 11x プリドライバーイネーブルレジスター：[PREDRVER]<PREDRVEN>=0 SLC 端子流入電流	-10	-	5	μA

項　　目	記　号	端子	条 件	最小	標準	最大	単位
デジタル フィルター時間 1 (注 2)	Tshortfil5	-	フィルター時間設定レジスター：[OSCMPDFSR]<OSCMPDFS>=00 10MHz×64 回一致 図 12.2.1 参照。	6.08	6.4	6.72	μs
デジタル フィルター時間 2 (注 2)	Tshortfil6	-	フィルター時間設定レジスター：[OSCMPDFSR]<OSCMPDFS>=01 10MHz×48 回一致 図 12.2.1 参照。	4.56	4.8	5.04	μs
デジタル フィルター時間 3 (注 2)	Tshortfil7	-	フィルター時間設定レジスター：[OSCMPDFSR]<OSCMPDFS>=10 10MHz×32 回一致 図 12.2.1 参照。	3.04	3.2	3.36	μs
デジタル フィルター時間 4 (注 2)	Tshortfil8	-	フィルター時間設定レジスター：[OSCMPDFSR]<OSCMPDFS>=11 10MHz×16 回一致 図 12.2.1 参照。	1.52	1.6	1.68	μs

注 1: U, V, W 端子には他の回路ブロックも接続されていますが、本項目に他の回路ブロック分も含めた入力電流として示します。

注 2: 外付け FET オープン/ショート故障検出のデジタルフィルターとしては、上記フィルター時間 1~4 と 12.12 のデジタルフィルター時間 1 の長い方で設定されるので注意してください。

12.16. LIN

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　目	記号	端子	条 件	最小	標準	最大	単位
Supply voltage range	V_{VB}	VBAT	ECU operating voltage range (Param 9)	8.0	-	18.0	V
Supply voltage range	V_{SUP}		Note：Param 10 of LIN configuration is defined 7.0V(min), IC requires 6.0V(min) on 5V regulator.	6.0	-	18.0	V
Supply voltage MAX Ratings	$V_{SUP_NON_OP}$		Voltage range within which the device is not destroyed. An optional time limit for the maximum value shall be at least 400 ms. No guarantee of correct operation. (Param 11)	-0.3	-	40	V
BUS MAX Ratings	$V_{BUS_MAX_RATING}$	LIN	Voltage range within which the device is not destroyed. (Param 82) An optional time limit for the maximum value shall be at least 400 ms. No guarantee of correct operation.	-27	-	40	V
Receiver threshold voltage, recessive to dominant edge	V_{th_rec}		Low Voltage: Recessive Input Threshold(SAE)	0.4	-	0.53	V_{SUP}
Receiver threshold voltage, dominant to recessive edge	V_{th_dom}		High Voltage: Dominant Input Threshold(SAE)	0.47	-	0.6	V_{SUP}
BUS current limitation	I_{BUS_LIM}		Current Limitation for Driver dominant state driver on VBUS = VBAT_maxd (Param 12)	40	-	200	mA
Leakage current (dominant)	$I_{BUS_PAS_dom}$		Input leakage current at the receiver incl. slave Pull Up resistor as specified in Param 26 driver off VBUS = 0 V VBAT = 12 V (Param 13)	-1	-	-	mA
Leakage current (recessive)	$I_{BUS_PAS_rec}$		Driver off 8 V < VBAT < 18 V, 8 V < VBUS < 18 V, VBUS > VBAT (Param 14)	-	-	20	μA
Leakage current1	$I_{BUS_NO_GND}$		Control unit disconnected from ground GNDDevice = VSUP　0 V < VBUS < 18 V　VBAT = 12 V　Loss of local ground shall not affect communication in the residual network. (Param 15)	-1	-	1	mA
Leakage current2	$I_{BUS_NO_BAT}$		VBAT disconnected　VSUP = GND　0 V < VBUS < 18 V　Node shall sustain the current that can flow under this condition. Bus shall remain operational under this condition. (Param 16 and SAE)	-	-	23	μA
Voltage of Receiver dominant state	V_{BUS_dom}		Receiver dominant state　Note: Param 17 of LINPHY configuration is not defined minimum voltage. (Param 17)	-27	-	0.4× VBAT	V

項　　目	記号	端子	条 件	最小	標準	最大	単位
Voltage of Receiver recessive state	V_{BUS_rec}	LIN	Receiver recessive state (Param 18)	0.6	-	-	V_{SUP}
Receiver center voltage	V_{BUS_CNT}		VBUS_CNT = (Vth_dom + Vth_rec)/2 (Param 19)	0.475	-	0.525	V_{SUP}
Receiver hysteresis	V_{HYS}		VHYS = Vth_rec–Vth_dom (Param 20 and SAE)	0.07	-	0.175	V_{SUP}
Duty cycle D1 (for worst case at 20 kbps)	D1		THRec(max) =0,744 × VSUP; THDom(max) =0,581 × VSUP; VSUP = 7,0 V to 18 V; tBIT = 50 µs; D1 = tBus_rec(min)/(2 × tBIT) (Param 27) <PHYFBRM>=0	0.396	-	-	-
Duty cycle D2 (for worst case at 20 kbps)	D2		THRec(min) =0,422 × VSUP; THDom(min) =0,284 × VSUP; VSUP = 7,6 V to 18 V; tBIT = 50 µs; D2 = tBus_rec(max)/(2 × tBIT) (Param 28) <PHYFBRM>=0	-	-	0.581	-
Duty cycle D3 (for worst case at 10 kbps)	D3		THRec(max) =0,778 × VSUP; THDom(max) =0,616 × VSUP; VSUP = 7,0 V to 18 V; tBIT = 96 µs; D3 = tBus_rec(min)/(2 × tBIT) (Param 29) <PHYFBRM>=0	0.417	-	-	-
Duty cycle D4 (for worst case at 10 kbps)	D4		THRec(min) =0,389 × VSUP; THDom(min) =0,251 × VSUP; VSUP = 7,6 V to 18 V; tBIT = 96 µs; D4 = tBus_rec(max)/(2 × tBIT) (Param 30) <PHYFBRM>=0	-	-	0.59	-
Propagation delay	t_{rx_pd}		Propagation delay of receiver (Param 31) ・bus dominant to RxD LOW(t_{rx_pdf}) ・bus recessive to RxD HIGH(t_{rx_pdr}) 図 12.16.1 参照。	-	-	6	µs
Receiver delay symmetry	t_{rx_sym}		Symmetry of receiver propagation delay rising edge with respect to falling edge (Param 32) $t_{rx_sym} = t_{rx_pdf} - t_{rx_pdf}$	-2	-	2	µs
Bus Pull Up resistance1	R_{SLAVE}		internal resistance (Param 26)	20	30	60	kΩ
Bus Pull Up resistance2	R_{MASTER}		The serial diode is mandatory. Only for valid for transceiver with integrated master Pull Up resistor. (Param 25) external resistance	900	-	1100	Ω
LIN input capacity (Guaranteed by design)	C_{SLAVE}		Capacitance of slave node (Param 37) 250pF -220pF = 30pF max	-	-	30	pF
Current consumption in sleep mode (Guaranteed by design)	I_{sleep_LIN}	VBAT	VBAT=12V, RT=25℃, Only working LIN bus Wakeup signal Only LINPHY current consumption at [PMUSCR]<LIN_MODE>=0(Sleep Operate Mode)	-	-	3	µA

項　　目	記号	端子	条 件	最小	標準	最大	単位
Dominant time for bus Wakeup	t_{WAKE}	LIN	Wakeup pulse width from LIN bus 図 12.16.2 参照。	30	-	150	μs
Turn off time to 【Standby】	t_{sleep}	-	Turn off time from 【Active】 to 【Standby】 state	-	-	1	ms
Wakeup threshold voltage	V_{BUSwk}	LIN	Threshold voltage for Wakeup signal detection	0.4	0.5	0.6	V_{SUP}
ESD Susceptibility HBM1 pins LIN vs. LINGND	V_{ESDLIN}	LIN	IEC61000-4-2 Conducted HBM	-6	-	6	kV
ESD Susceptibility HBM3 pins LIN vs. LINGND	$V_{ESDLIN3}$		AEC-Q100-002	-6	-	6	kV

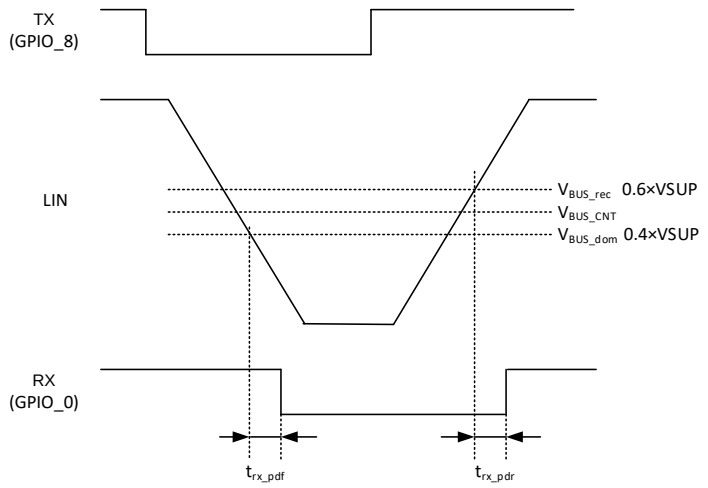


図 12.16.1 LIN Propagation delay タイミングチャート

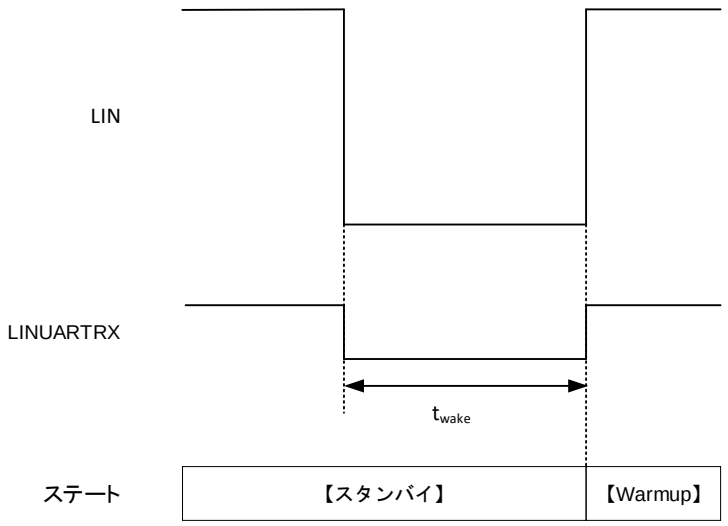


図 12.16.2 LIN Dominant time for bus Wakeup タイミングチャート

12.17. PWM 通信回路 1

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　目	記　号	端子	条 件	最小	標準	最大	単位
出力電圧 H1	Vouth1	LIN	プルアップ抵抗 = 3.6kΩ	VBAT -1.0	-	VBAT	V
出力電圧 L1	Voutl1		プルアップ抵抗 = 3.6kΩ	0	-	1.2	V

注：入力関連の仕様は LIN bus ライン共通のため LINPHY.の電気的特性と同一です。

12.18. PWM 通信回路 2

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　目	記　号	端子	条 件	最小	標準	最大	単位
入力しきい値電圧 H	Vinh	PWMIN	-	VCC ×0.86	VCC ×0.91	VCC ×0.96	V
入力しきい値電圧 L	Vinl		-	VCC ×0.82	VCC ×0.87	VCC ×0.92	V
入力しきい値電圧 Hys	Vinhys		Vinhys=Vinh-Vinl 設計保証	-	0.2	-	V
入力電流 1	Iin1		Vin=18V	-	20	36	μA
入力電流 2	Iin2		Vin=0V	-1	-	1	μA
入力デジタルフィルター	Tpwmfil		Cap timer の入力デジタルフィルターを CPUCLK=40MHz, 128 分周設定の場合。図 12.2.1 参照。	6.08	6.4	6.72	μs
出力電圧 H	Vouth2	GPIO_9 /PWMOUT 0	負荷条件 [GPOPSR]<GPIOPSx>=00：-1mA [GPOPSR]<GPIOPSx>=01：-2mA [GPOPSR]<GPIOPSx>=10：-4mA [GPOPSR]<GPIOPSx>=11：-6mA	VCC ×0.8	-	-	V
出力電圧 L	Voutl2		負荷条件 [GPOPSR]<GPIOPSx>=00：1mA [GPOPSR]<GPIOPSx>=01：2mA [GPOPSR]<GPIOPSx>=10：4mA [GPOPSR]<GPIOPSx>=11：6mA	-	-	0.5	V

12.19. UART 特性

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　　目	記　号	端子	条 件	最小	標準	最大	単位
通信速度	Fuart	GPIO_10 /UART_RX, GPIO_11 /UART_TX	-	-	-	1	Mbps

12.20. SPI

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　　目	記　号	端子	条 件	最小	標準	最大	単位
SCLK 周期 (マスター)	Tm	SCLK	図 12.20.1, 図 12.20.2 参照。	T×m ただし 250ns 以上	-	-	ns
SCLK 周期 (スレーブ	Ts		図 12.20.3, 図 12.20.4 参照。	T×n ただし 1μs 以上	-	-	ns
マスターモード時 SCLK "Low" レベル パルス幅	Twlm		図 12.20.1, 図 12.20.2 参照。	0.4	-	0.6	Tm
マスターモード時 SCLK "High" レベル パルス幅	Twhm		図 12.20.1, 図 12.20.2 参照。	0.4	-	0.6	Tm
スレーブモード時 SCLK "Low" レベル パルス幅	Twls		図 12.20.3, 図 12.20.4 参照。	0.4	-	0.6	Ts
スレーブモード時 SCLK "High" レベル パルス幅	Twhs		図 12.20.3, 図 12.20.4 参照。	0.4	-	0.6	Ts
マスターモード時 SCLK 立ち上がり/立ち下がりエッジ →出力データ有効	Todsm		図 12.20.1, 図 12.20.2 参照。	-	-	50	ns
マスターモード時 SCLK 立ち上がり/立ち下がりエッジ → 出力データ保持	Todhm		図 12.20.1, 図 12.20.2 参照。	-20	-	-	ns
マスターモード時 SCLK 立ち上がり/立ち下がりエッジ → 入力データ有効 遅延時間	Tidsm		図 12.20.1, 図 12.20.2 参照。	55	-	-	ns
マスターモード時 SCLK 立ち上がり/立ち下がりエッジ (入力データ保持)	Tidhm		図 12.20.1, 図 12.20.2 参照。	100	-	-	ns
マスターモード時 CSN 有効→SCLK 立ち上がり/立ち下がりエッジ	Tofsm	CSN SCLK	図 12.20.1, 図 12.20.2 参照。	T×m -50	-	-	ns

項　　目	記　号	端子	条 件	最小	標準	最大	単位
スレーブモード時 SCLK 立ち上がり/立ち下がりエッジ (出力データ有効遅延時間)	Todss	SCLK	図 12.20.3, 図 12.20.4 参照。	-	-	3T+90	ns
スレーブモード時 SCLK 立ち上がり/立ち下がりエッジ (出力データ保持)	Todhs		図 12.20.3, 図 12.20.4 参照。	2T	-	-	ns
スレーブモード時 SCLK 立ち上がり/立ち下がりエッジ (入力データ有効遅延時間)	Tidss		図 12.20.3, 図 12.20.4 参照。	10	-	-	ns
スレーブモード時 SCLK 立ち上がり/立ち下がりエッジ →入力データ保持	Tidhs		図 12.20.3, 図 12.20.4 参照。	3T+20	-	-	ns
スレーブモード時 CSN 有効→SCLK 立ち上がり/立ち下がりエッジ	Tifss	CSN SCLK	図 12.20.3, 図 12.20.4 参照。	T×n -20	-	-	ns
マスターモード時 SCLK 立ち上がり/立ち下がりエッジ →CSN 入力デアサート	Tofhm		図 12.20.1, 図 12.20.2 参照。	T×m -50	-	-	ns
スレーブモード時 SCLK 立ち上がり/立ち下がりエッジ →CSN 入力デアサート	Tifhs		図 12.20.3, 図 12.20.4 参照。	T×n -20	-	-	ns

注:
・負荷容量 CL=100pF
・[GPOPSR]< GPIOPSx>=11（6mA 設定）
・12.20 は設計保証となります。
・T は SSPCLK 周期（40MHz 時は 25ns)
・n は SCLK 周期と SSPCLK 周期の比　(n≧12)
・m は SCLK 周期と SSPCLK 周期の比　(65024≧m≧2)

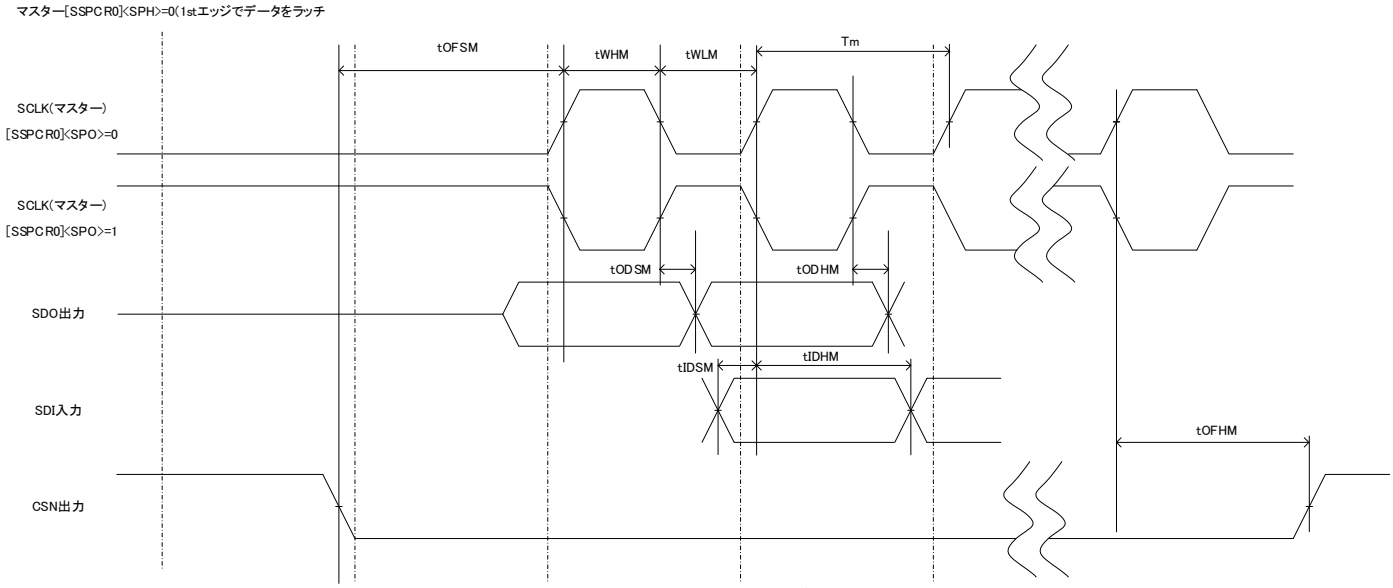


図 12.20.1 SPI 通信タイミングチャート 1

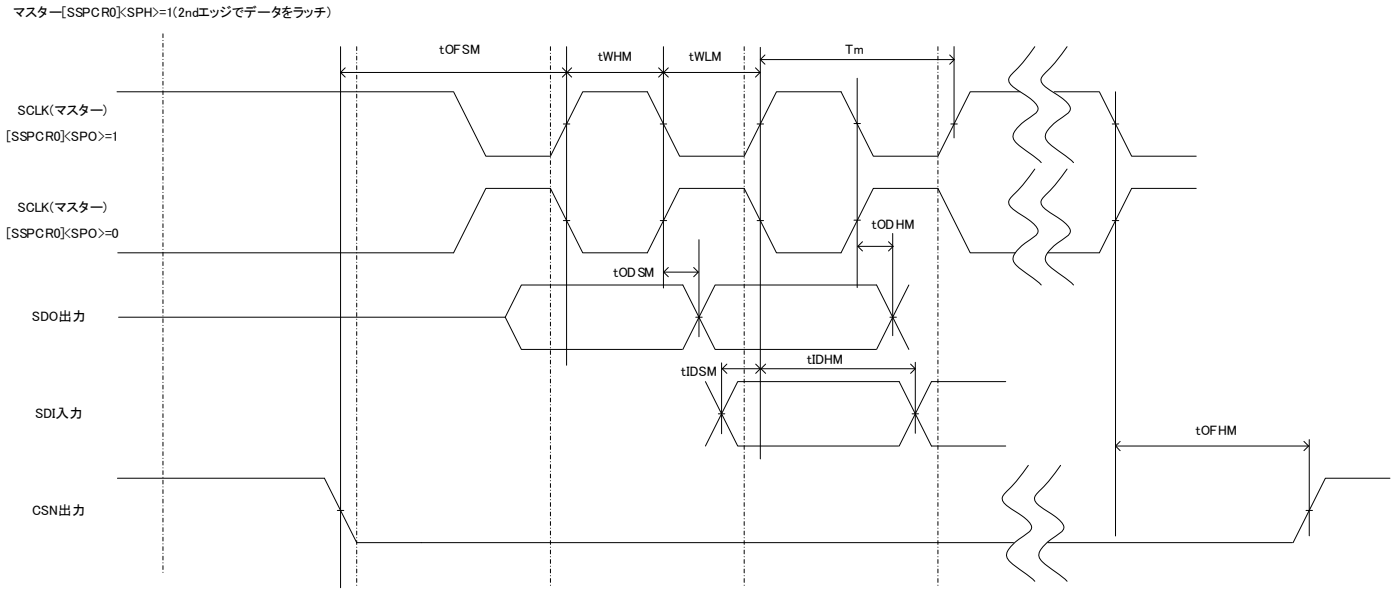


図 12.20.2 SPI 通信タイミングチャート 2

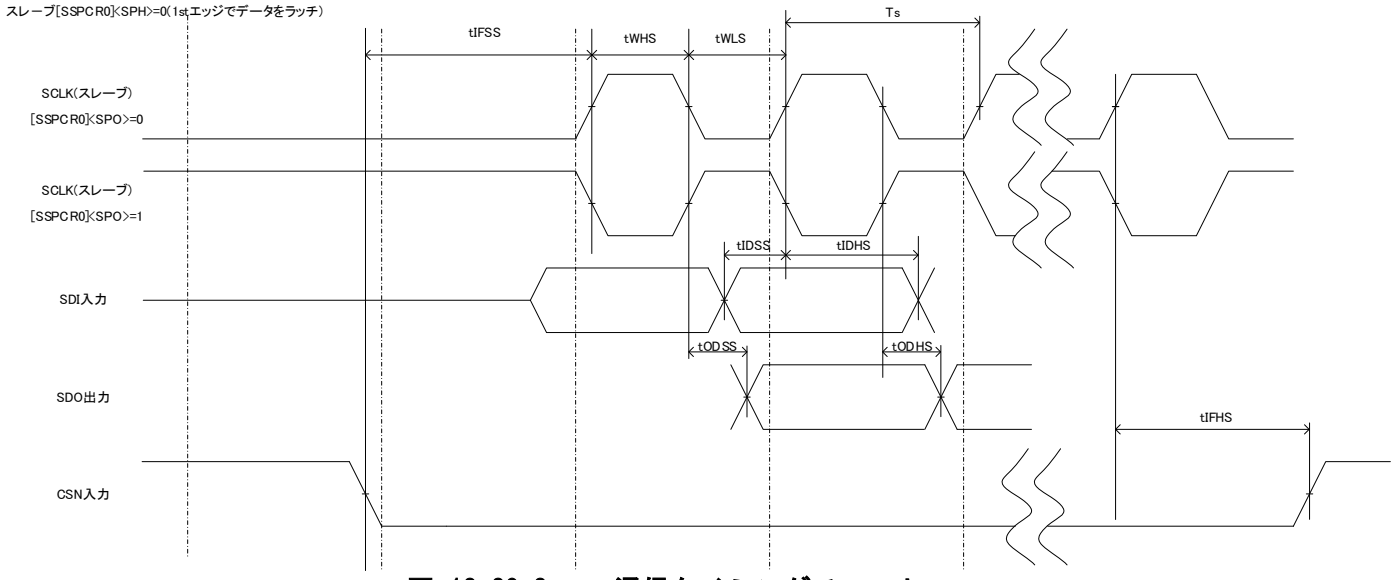


図 12.20.3 SPI 通信タイミングチャート 3

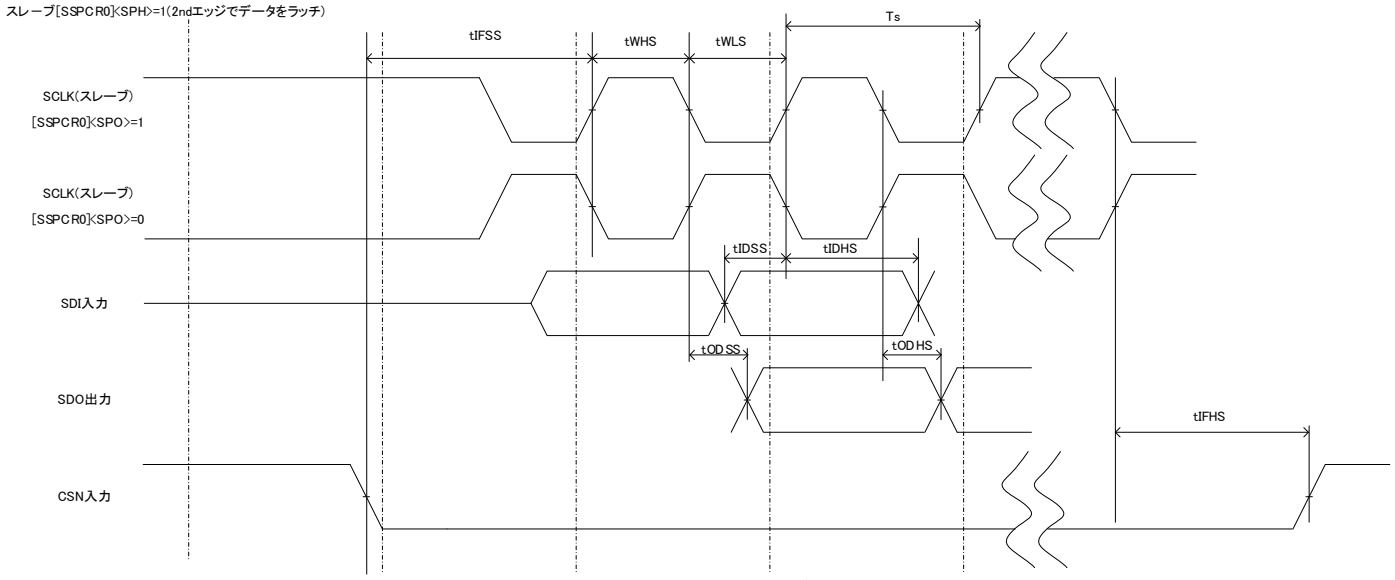


図 12.20.4 SPI 通信タイミングチャート 4

12.21. GPIO

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　目	記　号	端子	条 件	最小	標準	最大	単位
入力しきい値電圧 H	Vinh*	GPIO_x	-	VCC ×0.75	-	-	V
入力しきい値電圧 L	Vinl*		-	-	-	VCC ×0.25	V
プルアップ抵抗	Rpullup		-	30	50	100	kΩ
プルダウン抵抗	Rpulldown		-	30	50	100	kΩ
出力電圧 H	Vouth		負荷条件 [GPOPSR]<GPIOPSx>=00：-1mA [GPOPSR]<GPIOPSx>=01：-2mA [GPOPSR]<GPIOPSx>=10：-4mA [GPOPSR]<GPIOPSx>=11：-6mA	VCC ×0.8	-	-	V
出力電圧 L	Voutl		負荷条件 [GPOPSR]<GPIOPSx>=00：1mA [GPOPSR]<GPIOPSx>=01：2mA [GPOPSR]<GPIOPSx>=10：4mA [GPOPSR]<GPIOPSx>=11：6mA	-	-	0.5	V

12.22. Flash(Code Flash)

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項目	記号	端子	条件	規格値			単位
				最小	標準	最大	
バス周波数	-	-	-	-	-	42	MHz
リード周波数	-	-	-	-	-	10.5	MHz
データ保持時間 1	-	-	Tj=85℃, 1k 回の書き込み/消去の後	40	-	-	年
Flash 容量	-	-	-	-	64	-	Kbytes
データアクセスサイズ	-	-	読み出し/書き込みに同じ	-	Word (32bit)	-	-
消去時間	-	-	64KB、Tj=-40~150℃	-	80	-	ms
書き込み時間	-	-	Tj=-40~150℃	-	2	-	s
消去ブロックサイズ	-	-	-	-	8	-	Kbytes
消去ブロック時間	-	-	1 ブロック (8Kbytes)、Tj=-40~150℃	-	6.8	-	ms
書き込みブロックサイズ	-	-	-	-	128	-	bytes
書き込みブロック時間	-	-	128bytes、Tj=-40~150℃	-	2.4	-	ms

注：バス周波数に合わせて Flash リードアクセスの wait 設定を変更する必要があります。

12.23. その他

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　目	記　号	端子	条 件	最小	標準	最大	単位
入力しきい値電圧 H	Vmd*inh	MD0 MD1	-	VCC ×0.75	-	-	V
入力しきい値電圧 L	Vmd*inl		-	-	-	VCC ×0.25	V
プルダウン抵抗	Rmd*pd		-	30	50	100	kΩ

12.24. 熱抵抗

特記なき場合の試験条件：VBAT=6～18V、VCC=4.8～5.2V、VDD=1.45～1.55V、Tj=-40～175℃

項　目	記　号	端子	条 件	最小	標準	最大	単位
Junction to Ambient	θJA	-	Junction、Ambient 間の熱抵抗	-	30	-	℃/W
Junction to Package Top	ψJT		Junction、Package Top 間の熱抵抗	-	0.21	-	℃/W

注:

・この値は熱シミュレーションの結果であり設計保証値です。出荷検査は実施致しません。

・基板条件は以下です。

- 基板サイズ ： 114.3mm × 76.2mm × 1.6mm (JEDEC 基板：Jesd51-7)
- 層数 ： Multi-Layer (Cu 4 層)
- Cu 層厚 ： 35μm (2/3 層)、70μm (1/4 層)
- Cu 層面積 ： 74.2 × 74.2 mm2
- Cu VIA 数 ： 16 (4mm × 4mm)
- 周囲温度 ： 25℃ （無風）

13. 応用回路例

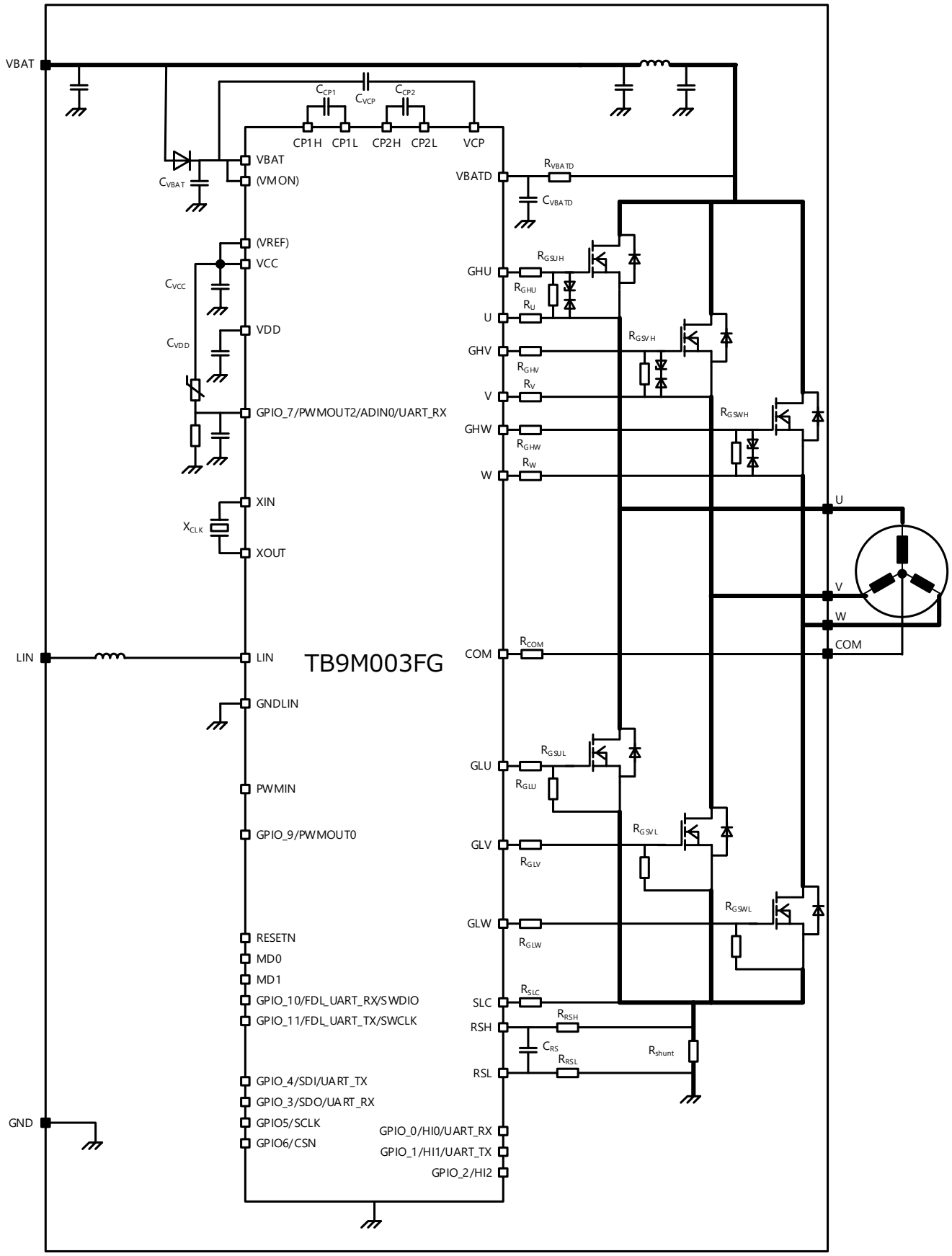
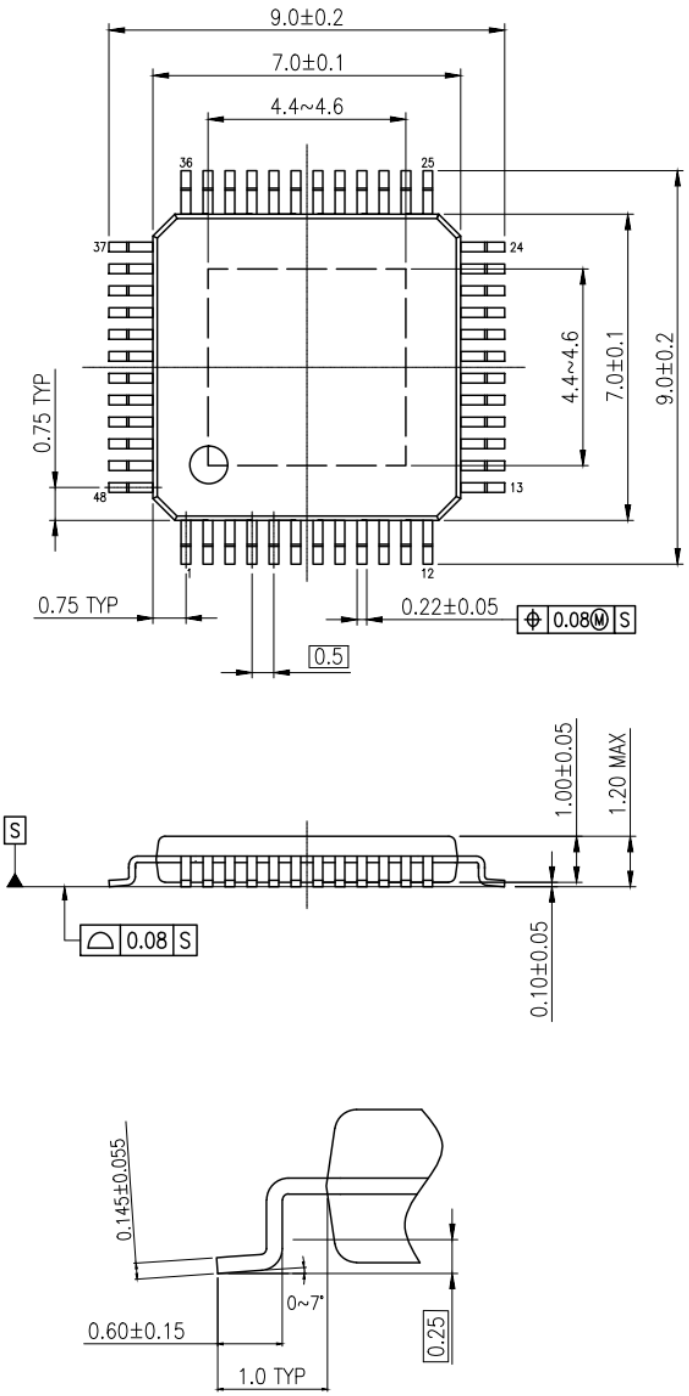


図 13.1　応用回路例

14. 外形図

14.1. 外形寸法図

P-HTQFP48-0707-0.50-001 "Unit:mm"



質量: 0.14 g (標準)

図 14.1 外形寸法図

14.2. 現品表示

品名：TB9M003FG

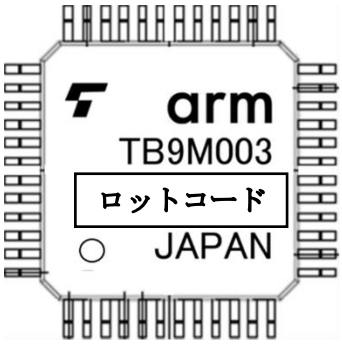
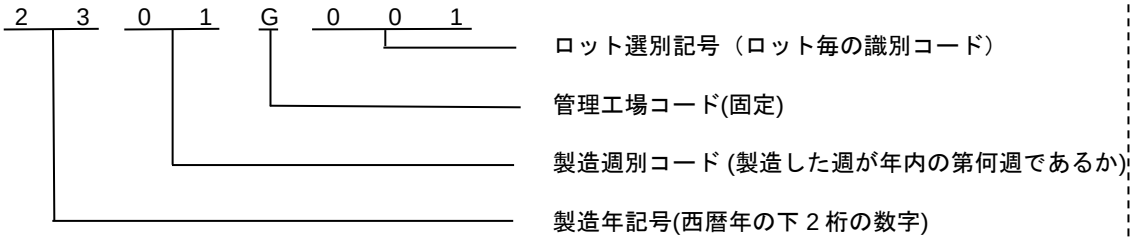


図 14.2　現品表示

ロットコード内訳(表示例)



15. 使用上のご注意およびお願い事項

15.1. 使用上の注意事項

(1) 絶対最大定格は複数の定格の、どの 1 つの値も瞬時たりとも超えてはならない規格です。
複数の定格のいずれに対しても超えることができません。
絶対最大定格を超えると破壊、損傷および劣化の原因となり、破裂・燃焼による傷害を負うことがあります。

(2) 過電流の発生や IC の故障の場合に大電流が流れ続けないように、適切な電源ヒューズを使用してください。IC は絶対最大定格を超えた使い方、誤った配線、および配線や負荷から誘起される異常パルスノイズなどが原因で破壊することあり、この結果、IC に大電流が流れ続けることで、発煙・発火に至ることがあります。破壊における大電流の流出入を想定し、影響を最小限にするため、ヒューズの容量や溶断時間、挿入回路位置などの適切な設定が必要となります。

15.2. 使用上の留意点

(1) 過電流保護回路過電流制限回路
（通常: カレントリミッター回路）はどのような場合でも IC を保護するわけではありません。動作後は、速やかに過電流状態を解除するようお願いします。絶対最大定格を超えた場合など、ご使用方法や状況により、過電流制限回路が正常に動作しなかったり、動作する前に IC が破壊したりすることがあります。また、動作後、長時間過電流が流れ続けた場合、ご使用方法や状況によっては、IC が発熱などにより破壊することがあります。

(2) 熱遮断回路
熱遮断回路（通常: サーマルシャットダウン回路）は、どのような場合でも IC を保護するわけではありません。動作後は、速やかに発熱状態を解除するようお願いします。絶対最大定格を超えて使用した場合など、ご使用法や状況により、熱遮断回路が正常に動作しなかったり、動作する前に IC が破壊したりすることがあります。

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウエア、ソフトウエアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウエア・ソフトウエア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

東芝デバイス&ストレージ株式会社
https://toshiba.semicon-storage.com/jp/

© 2024-2025
Toshiba Electronic Devices & Storage Corporation