

**32 ビット RISC マイクロコントローラー
リファレンスマニュアル**

**I²C インターフェース バージョン A
(EI2C-A)**

Revision 1.6

2024-09

東芝デバイス&ストレージ株式会社

目次

序章	5
関連するドキュメント	5
表記規約	6
用語・略語	8
1. 概要	9
2. 構成	10
3. 機能説明・動作説明	11
3.1. I ² C バスの構成	11
3.2. データフォーマット	12
3.3. 動作説明	13
3.3.1. シリアルクロック	13
3.3.2. マスター/スレーブの自動選択	15
3.3.3. I ² C バスのイネーブル	16
3.3.4. スタート/ストップコンディション	17
3.3.5. 反復スタートコンディションの発生	19
3.3.6. スレーブアドレス一致検出、ジェネラルコール検出の選択	19
3.3.7. アービトレーションロスト検出モニター	21
3.3.8. 受信 ACK ビットモニター	23
3.3.9. 受信 ACK ウェイト	23
3.3.10. 反復スタート検出	23
3.3.11. ソフトウェアリセット	24
3.3.12. ノイズフィルター	24
3.3.13. タイムアウト	25
3.3.14. SCL 単発出力機能	25
3.3.15. 割り込みサービス要求と解除	26
3.3.16. DMA リクエスト出力制御	26
3.3.17. I ² C バスモニター	26
3.4. アドレス一致ウエイクアップ機能	27
3.4.1. ウエイクアップでのクロックストレッチ機能	27
3.4.2. アドレス一致ウエイクアップ機能の流れ	27
4. レジスタ説明	29
4.1. レジスタ一覧	29
4.2. レジスタ詳細	30
4.2.1. [I2CxARST] (I2C リセットレジスタ)	30
4.2.2. [I2CxAEN] (I2C イネーブルレジスタ)	30
4.2.3. [I2CxACR0] (I2C コントロールレジスタ0)	31
4.2.4. [I2CxACR1] (I2C コントロールレジスタ1)	32
4.2.5. [I2CxADBRT] (I2C 送信データバッファレジスタ)	33
4.2.6. [I2CxADBRR] (I2C 受信データバッファレジスタ)	33

4.2.7. [I2CxASR0] (I2C ステータスレジスター0)	33
4.2.8. [I2CxASR1] (I2C ステータスレジスター1)	34
4.2.9. [I2CxAPRS] (I2C プリスケールクロック設定レジスター)	36
4.2.10. [I2CxASCL] (I2C SCL 幅設定レジスター)	36
4.2.11. [I2CxAAR1] (I2C 第 1 スレーブアドレスレジスター)	37
4.2.12. [I2CxAAR2] (I2C 第 2 スレーブアドレスレジスター)	37
4.2.13. [I2CxAIE] (I2C 割り込み/DMA 設定レジスター)	38
4.2.14. [I2CxAPM] (I2C バス端子モニターレジスター)	39
4.2.15. [I2CSWUPCR1] (I2C ウェイクアップコントロールレジスター1)	40
4.2.16. [I2CSWUPCR2] (I2C ウェイクアップコントロールレジスター2)	40
4.2.17. [I2CSWUPCR3] (I2C ウェイクアップコントロールレジスター3)	40
4.2.18. [I2CSWUPSL] (I2C ステータスレジスター)	41
4.2.19. [I2CSWUPCR4] (I2C ウェイクアップコントロールレジスター4)	41
4.2.20. [I2CSWUPCR5] (I2C ウェイクアップコントロールレジスター5)	41
5. 使用方法の例	42
5.1. データ転送手順	42
5.1.1. デバイスの初期化	42
5.1.2. マスター送信	43
5.1.3. マスター受信	45
5.1.4. スレーブ送信	50
5.1.5. スレーブ受信	52
5.1.6. 回復スタート	53
5.2. ウェイクアップ動作設定手順 (例)	54
6. 使用上の注意	56
7. 改訂履歴	57
製品取り扱い上のお願い	59

目次

図 2.1	I ² C インターフェース バージョン A 構成図	10
図 3.1	I ² C バス構成	11
図 3.2	I ² C インターフェース バージョン A のデータフォーマット	12
図 3.3	クロック同期化の例	15
図 3.4	スタートコンディションの発生とスレーブアドレスの発生	17
図 3.5	ストップコンディションの発生	18
図 3.6	ジェネラルコール検出の変化	20
図 3.7	アービトレーションロスト	21
図 3.8	アービトレーションロスト動作 (上記内部フラグはマスターBを示す)	22
図 3.9	受信 ACK ビットモニターの変化	23
図 3.10	反復スタート検出フラグ	23
図 3.11	DNF 1PRSCK 幅除去例	24
図 3.12	クロックストレッチ機能	27
図 3.13	アドレス一致ウエイクアップ機能	28
図 5.1	ウエイクアップ初期設定	54
図 5.2	復帰後処理	55

表目次

表 2.1	信号一覧表	10
表 3.1	転送速度に対する<SCLH[7:0]>、<SCLL[7:0]>、<PRS[5:0]>、<DNF[2:0]>の設定(例)	14
表 3.2	各モードでの[I2CxASR0]<TRX>の動作	16
表 3.3	初期化レジスター/ビット一覧	24
表 3.4	割り込み信号と要因	26
表 7.1	改訂履歴	57

序章

関連するドキュメント

文書名
データシート
製品個別情報
例外
クロック制御と動作モード

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は[m:n]とまとめて表記する場合があります。
例: S[3:0]は S3、S2、S1、S0 の 4 つの信号名をまとめて表記しています。
- 本文中[]で囲まれたものはレジスターを定義しています。
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1]、[XYZ2]、[XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A、B、C、...を表します。
例: [ADACR0]、[ADBCR0]、[ADCCR0] → [ADxCR0]
チャンネルの場合、「x」は 0、1、2、..を表します。
例: [T32A0RUNA]、[T32A1RUNA]、[T32A2RUNA] → [T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。
例: [3:0]はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード/ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「-」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ANF	Analog Noise Filter
DNF	Digital Noise Filter
EI2C	I ² C Interface Version A
INT	Interrupt
I2C	Inter-Integrated Circuit
I2CS	I ² C Wake-up Circuit from Stand-by Mode
Fm	Fast-mode
Fm+	Fast-mode Plus
STD	Standard-mode

1. 概要

I²C インターフェース バージョン A は、1UNIT 回路単位で 1ch(SCL,SDA)の送受信回路として動作することができます。

以下に、機能の一覧を示します。

機能分類	機能	動作説明または範囲
通信速度制御	プリスケラー分周選択	1/1、1/2、1/3～1/30、1/31、1/64 に分周可能
	SCL クロック	マスター時、SCL の HIGH 幅/LOW 幅を個別に選択設定可能
	転送速度	10kbit/s～1Mbit/s (Fast-mode Plus(Fm+)まで対応) (fsys = 8～120MHz)
通信フォーマット	I ² C バスフォーマット	マスター/スレーブの自動選択
	データ長	8 ビット
	アクリッジ	アクリッジ応答の選択可能(ACK/NACK)
	スタート/ストップコンディション	スタート/ストップコンディションの発生可能
	スレーブアドレス	7/10 ビットアドレッシングフォーマット対応 異なるスレーブアドレスを 2 セット設定可能 ジェネラルコールアドレスの検出可能
送受信制御	アービトレーション	マルチマスター対応 クロック同期化対応 アービトレーションロスト検出の選択可能
	WAIT 機能	受信後 WAIT 機能選択可能
	SCL 単発出力	単発の SCL クロックを出力可能
	反復スタート検出、発生	バスラインの反復スタートの検出(スレーブモード時) 発生(マスターモード時)可能
	ノイズキャンセル	デジタル、アナログ選択可能
連動制御	割り込み	送信バッファオーバーフロー割り込み 受信バッファフル割り込み ステータス割り込み(要因: 11 種類) (転送終了検出、スタートコンディション検出、反復スタートコンディション検出、ストップコンディション検出、NACK 検出、アービトレーションロスト検出、ジェネラルコール検出、スレーブアドレス一致検出、エラースタートコンディション検出、エラーストップコンディション検出、タイムアウト検出)
	DMA 要求	送信、受信別に設定可能
	アドレス一致ウエイクアップ機能	スレーブアドレス一致検出を低消費電力モード解除などの割り込みとして使用可能
その他	タイムアウト検出機能	SCL の停止時間を検出する 16 ビットタイマーカウンター

注 1) HS(High speed)モード、START バイトには対応していません。

注 2) スロープ制御、電源 OFF 時の I/O 対応、入力電圧(VIH/VIL)、出力電圧(VOL = 0.4V、VDD>2V、3mA シンク)など製品によっては、対応できない機能があります。詳細はデータシート(DS)の"電気的特性"の章を参照してください。

2. 構成

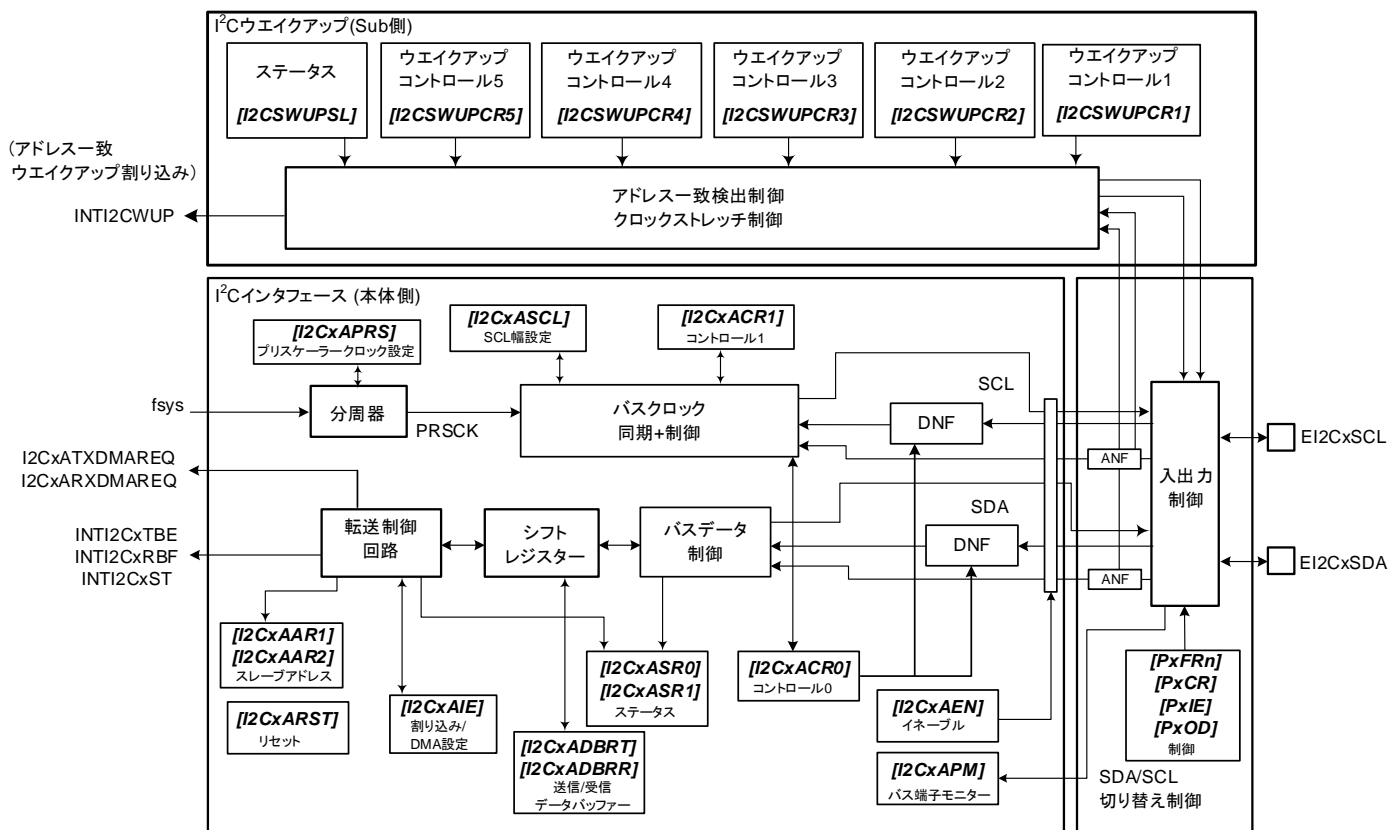


図 2.1 I²C インターフェース バージョン A 構成図

ウェイクアップ用回路は拡張機能になります。アナログ NF(ノイズフィルター)と拡張機能は、製品の仕様によっては搭載されない場合もありますので、各製品のデータシートを確認してください。

表 2.1 信号一覧表

No.	信号名	信号名称	I/O	参照リファレンスマニュアル
1	fsys	システムクロック	入力	クロック制御と動作モード
2	EI2CxSCL	SCL 信号	入出力	データシート
3	EI2CxSDA	SDA 信号	入出力	データシート
4	INTI2CxTBE	I2C 送信バッファエンプティ割り込み	出力	例外
5	INTI2CxRBF	I2C 受信バッファフル割り込み	出力	例外
6	INTI2CxST	I2C ステータス割り込み	出力	例外
7	INTI2CWUP	I2C ウェイクアップ割り込み	出力	例外
8	I2CxATXDMAREQ	送信 DMA リクエスト	出力	製品個別情報
9	I2CxARXDMAREQ	受信 DMA リクエスト	出力	製品個別情報

3. 機能説明・動作説明

I²C インターフェースを使用する場合は、f_{sys} 供給停止レジスタA([CGFSYSENA],[CGFSYSMENA])、f_{sys} 供給停止レジスタB([CGFSYSENB],[CGFSYSMENB])、f_{sys} 供給停止レジスタC([CGFSYSMENC])、f_c 供給停止レジスタ([CGFCEN])で該当するクロックイネーブルビットを“1”(クロック供給)に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため、製品によってレジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

3.1. I²C バスの構成

I²C バスはシリアルデータ(SDA)とシリアルクロック(SCL)を通して、デバイスがバスに接続されるバスで、複数のデバイスと通信が可能です。

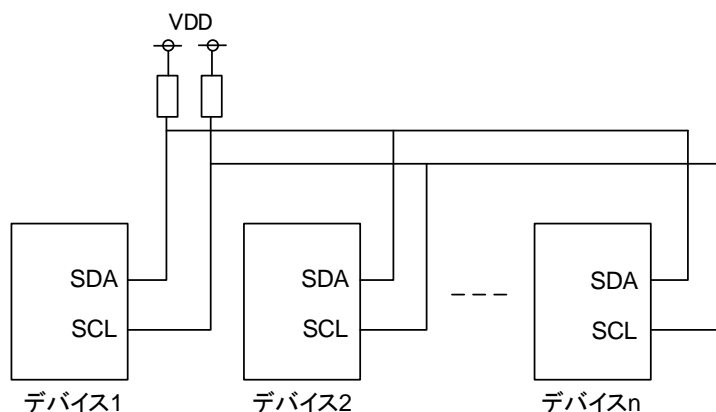


図 3.1 I²Cバス構成

I²C バス上のマスター/スレーブデバイスとして動作します。マスターデバイスは、バス上のシリアルクロックライン(SCL)のドライブ、8bit アドレス送信、8bit のデータ送信/受信を行います。スレーブデバイスは、バス上のシリアルクロックに同期して、8bit アドレスの受信、8bit のシリアルデータの送信/受信を行います。

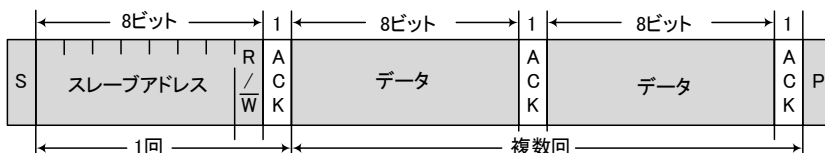
マスター/スレーブに関わらず、受信動作をしたデバイスはシリアルデータ受信後アクノリッジ信号を出力することができ、送信動作をしたデバイスはそのアクノリッジを受けることができます。マスターはそのアクノリッジのためのクロックを出力することができます。

また、同一バス上に複数のマスターのあるマルチマスター時、シリアルクロック同期化、およびシリアルデータの整合性を保つためのアービトラージョンロストをサポートしています。

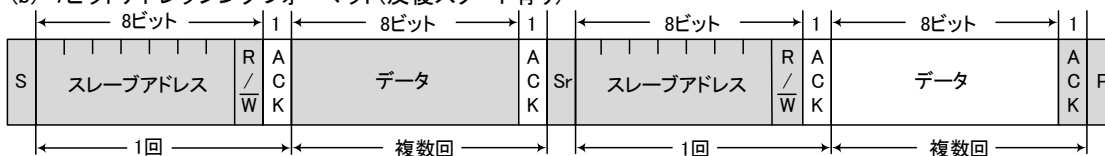
3.2. データフォーマット

I²C インターフェース バージョン A で対応するデータフォーマットを以下に示します。

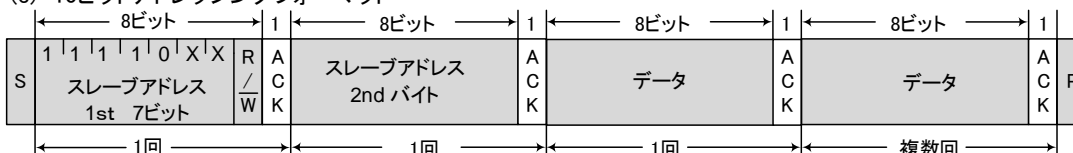
(a) 7ビットアドレッシングフォーマット



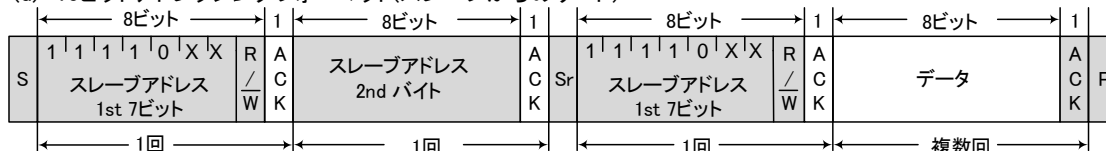
(b) 7ビットアドレッシングフォーマット(反復スタート有り)



(c) 10ビットアドレッシングフォーマット



(d) 10ビットアドレッシングフォーマット(スレーブからのリード)



- 注) S: スタートコンディション
 Sr: 反復スタートコンディション
 R/W: 方向ビット
 ACK: アクノリッジビット
 P: ストップコンディション

図 3.2 I²C インターフェース バージョン A のデータフォーマット

3.3. 動作説明

3.3.1. シリアルクロック

(1) 基準クロック

データ転送の基準クロックは $[I2CxAPRS]<PRS[5:0]>$ で設定されたプリスケールクロック (PRSCK) です。入力された動作クロック (fsys) を 1/1、1/2、1/3、・・・、1/63、1/64 に分周し、PRSCK を生成します。PRSCK クロック幅は以下の範囲で設定します。

$$[I2CxACR0]<NFSEL> = 0: \\ (50\text{ns}/(<DNF[2:0]> + 1)) \leq \text{クロック幅} \leq (t_{\text{HIGH}}(\text{モード別 Min 値}) / (<DNF[2:0]> + 2))$$

$$[I2CxACR0]<NFSEL> = 1: \\ \text{クロック幅} \leq (t_{\text{HIGH}}(\text{モード別 Min 値}) / 2)$$

(2) シリアルクロック

プリスケールクロック (PRSCK) を元に $[I2CxASCL]<SCLH[7:0]>$ で HIGH 時間 (以降、 t_{HIGH})、 $[I2CxASCL]<SCLL[7:0]>$ で LOW 時間 (以降 t_{LOW}) を設定し、シリアルクロックを生成します。 t_{HIGH} 、 t_{LOW} の設定時間は、規格の準拠した値になるようにします。

シリアルクロックの周波数は、ノイズフィルターの種類によって下記のようになります

- デジタルノイズフィルター使用時 ($[I2CxACR0]<NFSEL> = 0$)
 - $t_{\text{HIGH}}(\text{ns}) = ((<SCLH[7:0]> + 2 + (<DNF[2:0]> + 1)) \times ((<PRS[5:0]> + 1) / \text{fsys (MHz)})) \times 1000$
 - $t_{\text{LOW}}(\text{ns}) = ((<SCLL[7:0]> + 2 + (<DNF[2:0]> + 1)) \times ((<PRS[5:0]> + 1) / \text{fsys (MHz)})) \times 1000$
- アナログノイズフィルター使用時 ($[I2CxACR0]<NFSEL> = 1$)
 - $t_{\text{HIGH}}(\text{ns}) = ((<SCLH[7:0]> + 2) \times ((<PRS[5:0]> + 1) / \text{fsys (MHz)})) \times 1000$
 - $t_{\text{LOW}}(\text{ns}) = ((<SCLL[7:0]> + 2) \times ((<PRS[5:0]> + 1) / \text{fsys (MHz)})) \times 1000$

シリアルクロックの転送レートは以下のように計算します。

$$\text{シリアルクロックレート } f_{\text{SCL}} (\text{kHz}) = (1 / (t_{\text{HIGH}} (\text{ns}) + t_{\text{LOW}} (\text{ns}) + t_{\text{r}} (\text{ns}) + t_{\text{f}} (\text{ns}))) \times 1000000$$

tr: SCL の立ち上がり時間

tf: SCL の立ち下がり時間

以下の表 3.1 の各転送速度を計算するときの t_r 、 t_f は下記のとおりです。

- 転送速度 100 kHz のとき: $t_r = 1000$ (ns)、 $t_f = 300$ (ns)
- 転送速度 400 kHz のとき: $t_r = 300$ (ns)、 $t_f = 300$ (ns)
- 転送速度 1000 kHz のとき: $t_r = 120$ (ns)、 $t_f = 120$ (ns)

表 3.1 転送速度に対する<SCLH[7:0]>、<SCLL[7:0]>、<PRS[5:0]>、<DNF[2:0]>の設定(例)

[I2CxACR0] <NFSEL>	転送速度 (kHz)	動作周波数 f_{sys} (MHz)							
		20				40			
		<SCLL[7:0]>	<SCLH[7:0]>	<PRS[5:0]>	<DNF[2:0]>	<SCLL[7:0]>	<SCLH[7:0]>	<PRS[5:0]>	<DNF[2:0]>
0 (デジタル)	100	91	77	0	0	91	77	1	0
	400	23	9	0	0	23	9	1	0
	1000	8	3	0	0	7	3	1	0

[I2CxACR0] <NFSEL>	転送速度 (kHz)	動作周波数 f_{sys} (MHz)							
		80				100			
		<SCLL[7:0]>	<SCLH[7:0]>	<PRS[5:0]>	<DNF[2:0]>	<SCLL[7:0]>	<SCLH[7:0]>	<PRS[5:0]>	<DNF[2:0]>
0 (デジタル)	100	182	154	1	3	229	194	1	3
	400	98	42	0	3	59	24	1	3
	1000	7	16	1	1	19	7	1	3

[I2CxACR0] <NFSEL>	転送速度 (kHz)	動作周波数 f_{sys} (MHz)			
		120			
		<SCLL[7:0]>	<SCLH[7:0]>	<PRS[5:0]>	<DNF[2:0]>
0 (デジタル)	100	184	156	2	1
	400	48	20	2	1
	1000	16	7	2	1

なお、他のデバイスの出力するシリアルクロックと同期をとる機能があるため、シリアルクロックの速度は一定で無くなることもあります。

スレーブモード時も、クロックストレッチ解除後のセットアップ時間確保に、 t_{LOW} 時間を使用しますので、必ず<SCLL[7:0]>、<SCLH[7:0]>の設定を行ってください。

マスター時、スタートコンディション発生時のホールドタイムと、ストップコンディション発生時のセットアップタイムは下記となります。

ホールドタイム($t_{HD,STA}$): t_{HIGH}

セットアップタイム($t_{SU,STO}$): t_{HIGH}

また、反復スタート時のスタートコンディションのセットアップタイムは下記のとおりです。

セットアップタイム($t_{SU,STA}$): t_{LOW}

(3) クロック同期化

I²Cバスでは端子の構造上、バスをワイヤードアンドで駆動させるために、クロックラインを最初に"LOW"レベルに引いたマスターが、"HIGH"レベルを出力しているマスターのクロックを無効にします。このため、"HIGH"レベルを出力しているマスターは、これを検出し対応する必要があります。

I²Cはクロック同期化機能をもっており、バス上に複数のマスターが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に2つのマスターが同時に存在した場合を例にあげて以下に示します。

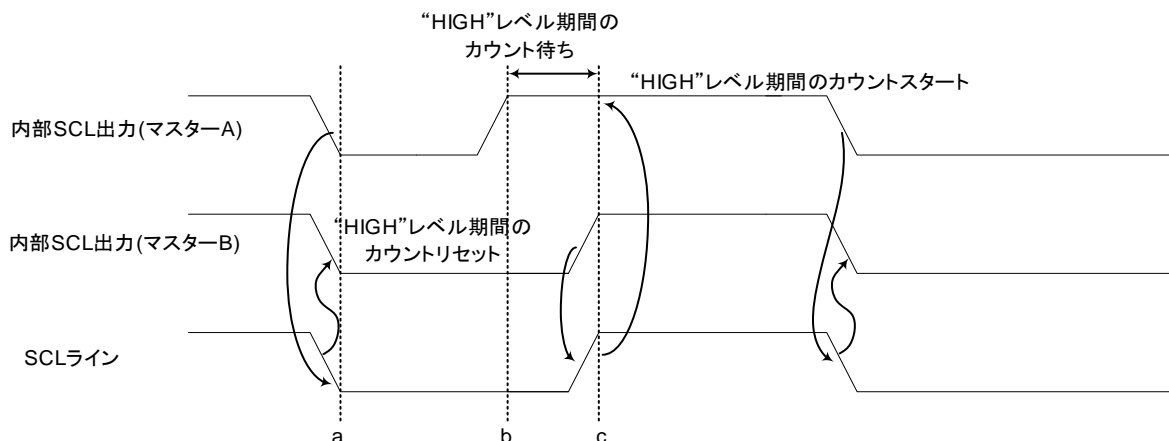


図 3.3 クロック同期化の例

a点でマスターAがSCLを"LOW"レベルに引くことで、バスのSCLラインは"LOW"レベルになります。マスターBはこれを検出し、マスターBの"HIGH"レベル期間のカウントリセットし、SCLを"LOW"レベルに引きます。

b点でマスターAは"LOW"レベル期間のカウンタを終わり、SCLを"HIGH"レベルにします。しかしマスターBがバスのSCLラインを"LOW"レベルに保持し続けているので、マスターAは"HIGH"レベル期間のカウンタを始めません。c点でマスターBがSCLを"HIGH"レベルにし、バスのSCLラインが"HIGH"レベルになったことを検出後、マスターAは"HIGH"レベル期間のカウンタを始めます。

その後"HIGH"レベル期間のカウンタを終了したマスターAがSCLを"LOW"に引くことで、バスのSCLラインは"LOW"レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスターの中で最も短い"HIGH"レベル期間をもつマスターと、最も長い"LOW"レベル期間をもつマスターによって決定されます。

3.3.2. マスター/スレーブの自動選択

初期設定では、マルチマスター時を想定してアドレス受信が行えるようにスレーブデバイスとして動作します。

[I2CxASR0]<BB>=0のとき、[I2CxACR1]<ST>を"1"にセットすると、スタートコンディションを発生し、I²Cはマスターデバイスとして動作します。

マスターデバイスとして動作中にストップコンディション、アービトレーションロスト、エラースタートコンディションあるいはエラーストップコンディションを検出するとスレーブデバイスに移行します。現在の状態は[I2CxASR0]<MST>で確認します。

3.3.2.1. トランスミッター/レシーバーの選択

マスター時のアドレス送信はトランスミッターとして動作します。スレーブからアクノリッジが返ってくると、送信した方向ビットが"1"の場合はレシーバーに移行し、"0"の場合はトランスミッターとして動作を継続します。

アドレス送信中にアービトレーションロストを検出あるいはエラースタートコンディションを検出するとスレーブのレシーバーに移行しアドレス受信を継続します。

スレーブ時はマスターから送信された方向ビットによって決定します。方向ビットが"0"の場合はレシーバーとして動作する。"1"の場合はトランスミッターとして動作します。

現在の状態は[I2CxASR0]<TRX>で確認できます。

表 3.2 に各モードでの[I2CxASR0]<TRX>の変化条件と変化後の[I2CxASR0]<TRX>の値を示します。

表 3.2 各モードでの[I2CxASR0]<TRX>の動作

モード	方向ビット	変化条件	変化後の TRX
スレーブ	0	受信したスレーブアドレスが <SA>(<SA2>)に設定された値と同じとき	0
	1		1
マスター	0	ACK 信号が返ってきたとき	1
	1		0

3.3.3. I²C バスのイネーブル

[I2CxAEN]<I2CM>を"1"にセットすると I²C バス(SDA、SCL 入出力)が有効になります。

I²C バスをイネーブルにするときは、端子の状態が"HIGH"になっていることを確認後、[I2CxAEN]<I2CM>を"1"にしてください。

また、SDA、SCL 入出力を無効にするにはバスフリーを確認後、[I2CxAEN]<I2CM>を"0"にしてください。

3.3.4. スタート/ストップコンディション

3.3.4.1. スタートコンディション

$[I2CxASR0]<BB>$ が"0"のときに、 $[I2CxACR1]<ST>$ に"1"をセットすると、バス上にスタートコンディションが出力されます。

この後、 $[I2CxASR0]<MST>$ 、 $<TRX>$ が"1"にセットされ、スタートコンディションを検出すると検出フラグ $[I2CxACR1]<STCF>$ が"1"になり、WAIT(SCLを"L"に引いている)状態になり、スレーブアドレス送信待ちとなります。(割り込みを許可の場合、INTI2CxST割り込みを発生します)

割り込み処理などで、 $[I2CxASR1]<STCF>$ に"1"を書き込み、次に、 $[I2CxADBRT]<DBT>$ にアドレス、方向ビットを書き込み、 $[I2CxASR1]<TBE>$ を"0"にすると、バス上にアドレス、方向ビットを出力します。

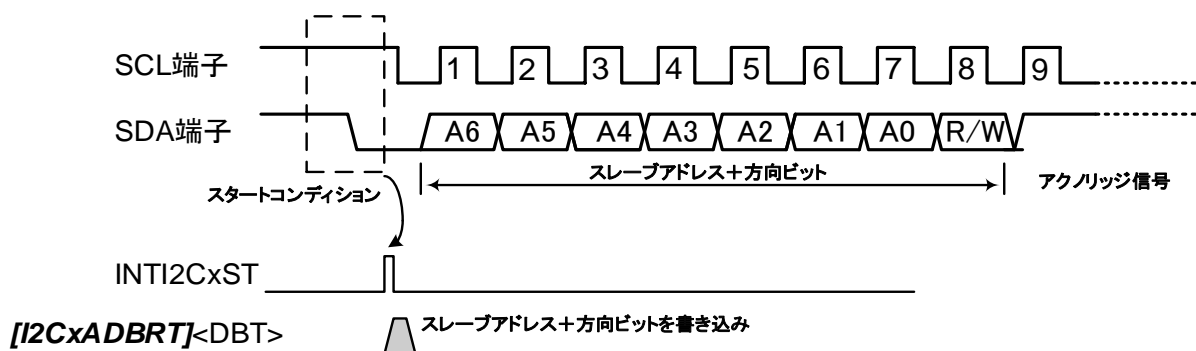


図 3.4 スタートコンディションの発生とスレーブアドレスの発生

3.3.4.2. 10ビットアドレス(2バイト目)

1バイト目の送信後に $[I2CxASR1]<TBE>=1$ になり WAIT 状態になります。割り込みを許可している場合は、INTI2CxST が発生します。

割り込み処理などで、 $[I2CxADBRT]<DBT>$ に残りのアドレスを書き込むと $[I2CxASR1]<TBE>=0$ になりアドレス送信が開始されます。1バイト目の送信時と異なりシフトレジスターにデータが転送されると $[I2CxASR1]<TBE>=1$ になります。

3.3.4.3. ストップコンディション発生

$[I2CxASR0]<BB>$ 、 $<MST>$ が"1"のときに、 $[I2CxACR1]<SP>$ に"1"を書き込むと、バス上にストップコンディションを出力するシーケンスが開始され、バス上にストップコンディションが発生します。

ストップコンディション発生時に、バスの SCL ラインがほかのデバイスにより"LOW"レベルに引かれていた場合、SCL ラインが解放された後に、ストップコンディションがバスに反映されます。

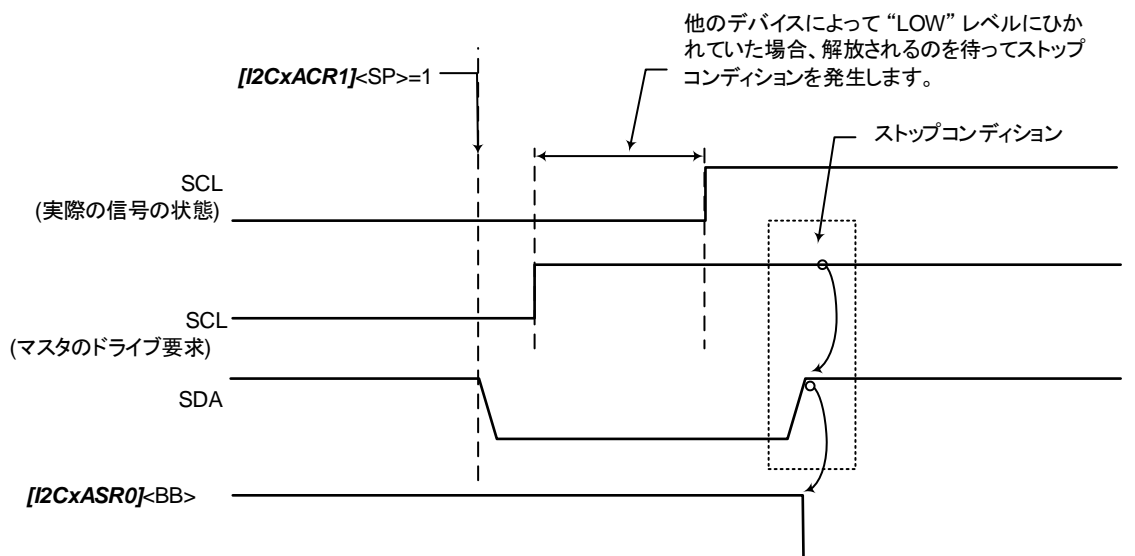


図 3.5 ストップコンディションの発生

また、 $[I2CxASR0]<BB>$ を読み出すことで、バスの状態を知ることができます。 $[I2CxASR0]<BB>$ は、バス上のスタートコンディションを検出すると"1"にセットされ(バスビジー状態)、ストップコンディションを検出すると"0"にクリアされます(バスフリー状態)。

3.3.4.4. エラー検出機能

通信中の不正なフォーマットを検出する検出機能を内蔵しています。

(1) スタートコンディション

$[I2CACR0]<ESTE>=1$ に設定すると、スタートコンディションの不正検出が有効になります。

通信中にスタートコンディションを検出した場合、不正なフォーマットが発生しているとして、エラースタートコンディション検出フラグ $[I2CxASR1]<EST>=1$ をセットします。割り込みを許可している場合はINTI2CxSTを発生します。

エラー検出時は、現在の処理を中断し、アドレス受信動作に移行します。なおエラースタートコンディション検出時は反復スタートコンディション検出フラグ $[I2CxASR1]<RSCF>$ はセットされません。

(2) ストップコンディション

$[I2CxACR0]<ESPE>=1$ に設定すると、ストップコンディションの不正検出が有効になります。

通信中にストップコンディションを検出した場合、不正なフォーマットが発生しているとして、エラーストップコンディション検出フラグ $[I2CxASR1]<ESP>=1$ をセットします。割り込みを許可している場合はINTI2CxSTを出力します。

エラー検出時は、通常のストップコンディションの検出と同様に通信を終了します。

エラーストップコンディション検出時はストップコンディション検出フラグ $[I2CxASR1]<SPCF>$ はセットされません。

なおコンディション検出フラグを"0"に設定変更すると、スタート/ストップコンディション検出動作も実行されなくなります。

3.3.5. 反復スタートコンディションの発生

[I2CxASR0]<MST>と<BB>が"1"の時に[I2CxACR1]<RS>=1 を書き込むと反復スタートコンディションの出力のために SDA を開放した後、バス上にスタートコンディションを出力します。他のデバイスにより SCL が"L"に引かれていた場合、SCL が解放されて t_{Low} 時間後にスタートコンディションを出力します。

3.3.6. スレーブアドレス一致検出、ジェネラルコール検出の選択

受信したスレーブアドレスがジェネラルコールか2種類のスレーブアドレスとの一致かを検出できます。

第1スレーブアドレスと第2スレーブアドレスの2種類のスレーブアドレスが設定でき、それぞれ7ビットスレーブアドレスまたは10ビットスレーブアドレスに対応します。

第1スレーブアドレスの設定、一致検出を行うためには[I2CxAAR1]<SA1E>を"1"に設定し一致検出を有効にします。受信したアドレスがスレーブアドレスと一致すると[I2CxASR1]<AAS1>に"1"をセットします。割り込みが有効の場合は、INTI2CxST が発生します。

第2スレーブアドレスの設定も同様に、[I2CxAAR2]<SA2E>で行い、一致を検出すると[I2CxASR2]<AAS2>を"1"にセットします。

スレーブアドレスが不一致の時は[I2CxACR1]<ACKSEL>の設定に関係なく NACK を出力します。スレーブアドレスが一致の時は[I2CxACR1]<ACKSEL>の設定に従い ACK/NACK を出力します。NACK を出力した場合もスレーブアドレスが一致したとして動作を継続します。

反復スタート、エラースタートの場合は7ビットスレーブアドレス時と10ビットスタートアドレス時で動作が異なります。

7ビットスレーブアドレス時はスタート時と同じ動作をします。10ビットスレーブアドレス時はスタート時にスレーブアドレスが一致していることを前提に1バイト目のみで一致判定を行います。そのため、スレーブアドレス不一致の時は常に不一致となります。また、スタートコンディション検出から[I2CxASR1]<AAS1>がセットされる前も同様に不一致となります。

3.3.6.1. 10ビットスレーブアドレス一致

10ビットスレーブアドレスで使用する場合は[I2CxAAR1]<SAFS1>を"1"に、[I2CxAAR1]<SA1[9:0]>にスレーブアドレスを設定します。

スタートコンディションを検知後1バイト目の受信動作は7ビットスレーブアドレス受信と同じです。受信したアドレスが"0b11110xx0" (xx = [I2CxAAR1]<SA[9:8]>)であれば ACK を出力し、2バイト目を受信します。

なお"0b11110xx"は予約語のため、スレーブアドレスに設定することは禁止です。

3.3.6.2. ジェネラルコール検出

ジェネラルコール検出を行うためには $[I2CxACR0]<GCE>$ を "1" に設定し一致検出を有効にします。一致検出動作はスレーブアドレス一致と同じです。ジェネラルコールを検出すると、 $[I2CxASR1]<GC>$ に "1" がセットされ、割り込みが有効の場合は、INTI2CxST が発生します。

ジェネラルコール検出後は通常のスレーブ受信動作になります。

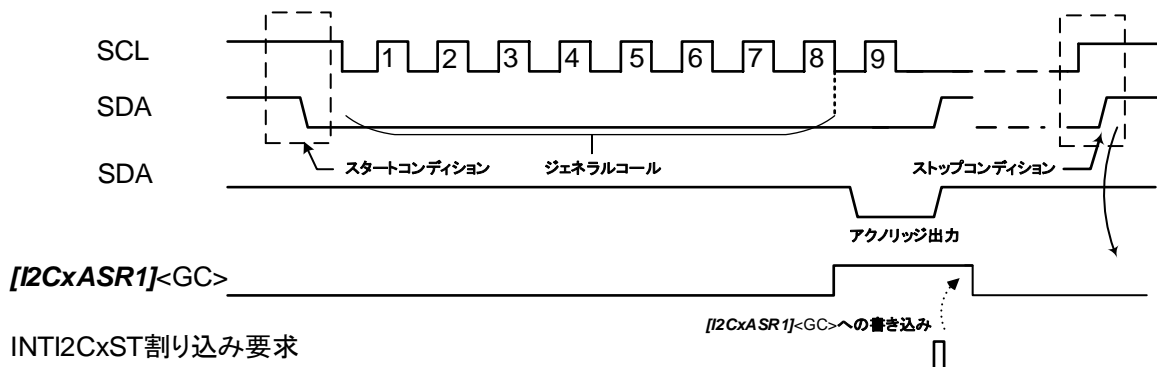


図 3.6 ジェネラルコール検出の変化

3.3.7. アービトレーションロスト検出モニター

I²Cバスではマルチマスター(1つのバス上で同時に2つ以上のマスターが存在する)が可能なため、転送されるデータの内容を保証するために、バスのアービトレーション手段が必要となります。

I²Cバスでは、バスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に2つのマスターが同時に存在した場合を例にあげて以下に示します。

a 点のビットまでマスターA、マスターB とともに同じデータを出力し、a 点でマスターB がデータ 1 を出力、マスターA がデータ 0 を出力すると、バスの SDA ラインはワイヤードアンドで駆動されるために、SDA ラインはマスターA によって"LOW"レベルに引かれます。

b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわちマスターA のデータを取り込みます。

このときマスターB の出力したデータは無効になります。マスターB のこの状態を"アービトレーションロスト"と呼び、アービトレーションを失ったマスターB は、SDA、SCL を解放し、アービトレーションを失っていない、マスターA の出力するデータに影響を及ぼさないようにします。また、複数のマスターが、1ワード目で全く等しいデータを送信した場合、アービトレーションの手段は2ワード目以降も継続されます。

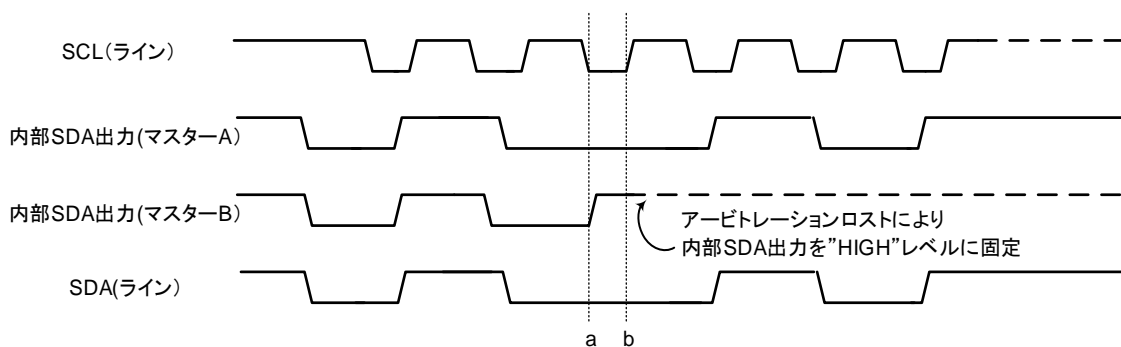


図 3.7 アービトレーションロスト

スレーブ時はアービトレーションロストの検出は行ないません。

マスター動作時に[I2CxACR0]<ALE> = 1に設定すると以下の条件でアービトレーションロストが発生し、SCL/SDA を開放します。

1. スタートコンディション出力時に SDA = 0 または[I2CxASR0]<BB> = 1 を検出。
2. トランスミッターでアドレス"1"送信時に SDA = 0 を検出。
3. トランスミッターでデータ"1"送信時に SDA = 0 を検出。
4. レシーバーで NACK 送信時に SDA = 0 を検出

アービトレーションロスト発生後の動作は条件によって異なり以下のようにになります。

1. $[I2CxACR1]<ST>=0$ にクリアし、スレーブに移行してアドレス一致確認を行います。
2. 7 ビットスレーブアドレスと 10 ビットスレーブアドレスの 1 バイト目の時はスレーブに移行してアドレス一致確認を行います。
- 10 ビットスレーブアドレスの 2 バイト目の時は 1 バイト目が一致している場合はスレーブに移行してアドレス一致確認を行います。1 バイト目が不一致の場合は待機状態に移行します。
3. $[I2CxACR1]<RS><SP>=0$ にクリアし、待機状態に移行します。

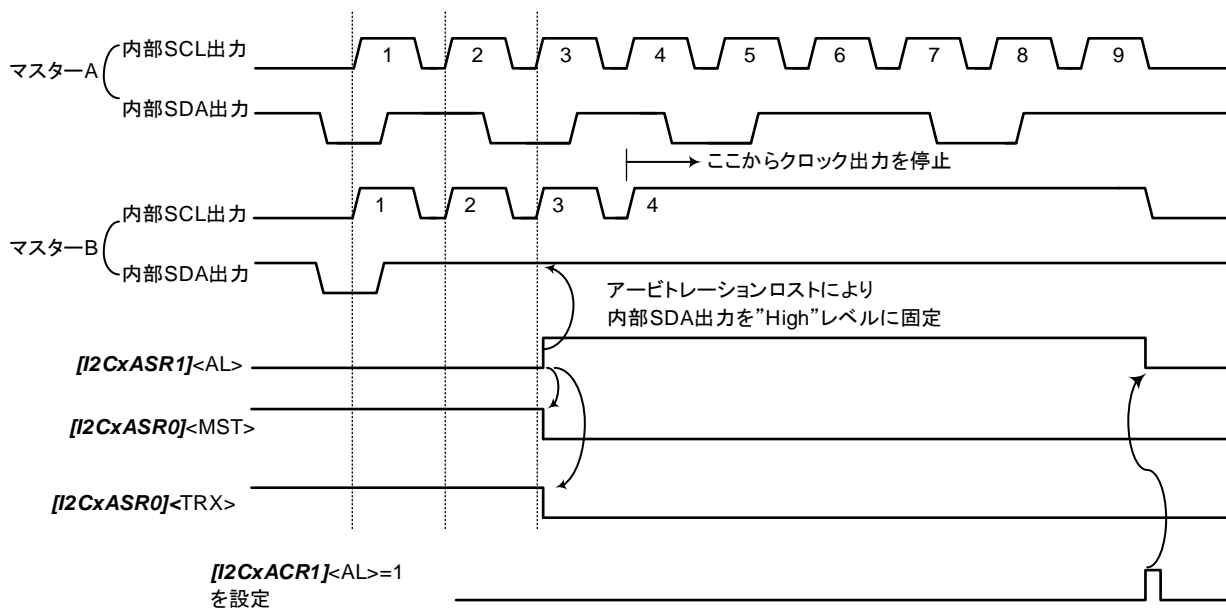


図 3.8 アービトレーションロスト動作 (上記内部フラグはマスターBを示す)

3.3.8. 受信 ACK ビットモニター

[I2CxASR0]<ACKF>は、バス上の SCL ラインの立ち上がりで取り込まれた、9bit 目のデータ転送時の値が保持されます。これにより、アクノリッジビットの状態を判断します。

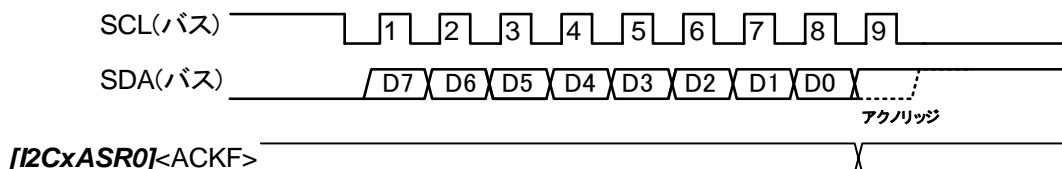


図 3.9 受信ACKビットモニターの変化

3.3.9. 受信 ACK ウェイト

受信時に、[I2CxACR1]<ACKWAIT> = 1 を設定していると、8 ビットデータ受信後に WAIT 状態になります。

WAIT 状態の解除は、[I2CxACR1]<ACKSEL>へ書き込みを行うことで行います。

この機能を使用すると、受信データを[I2CxADBRR]から読み出して後に、[I2CxACR1]<ACKSEL>を設定して、ACK/NACK を制御することが可能になります。

3.3.10. 反復スタート検出

I2C 動作中にバスラインに反復スタートを検出した場合に、[I2CxASR1]<RSCF>が"1"にセットされます。反復スタートは、マスターデバイスがスレーブデバイスに対してデータ転送を終了させずに、転送の方向を変化させる場合などに使用されます。

<RSCF> = 1 のときは、送信アドレス設定待ち状態となります。アドレスを送信するためには、このビットをクリアし、送信バッファに有効なデータがあることが必要です。

なお<RSCF>は、エラースタートコンディション検出では、セットされません。

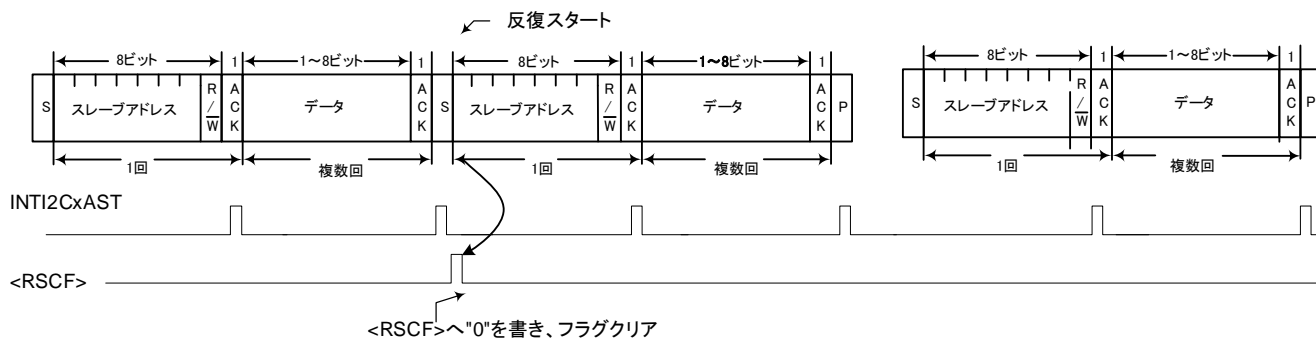


図 3.10 反復スタート検出フラグ

3.3.11. ソフトウェアリセット

I²C インターフェースは、機能初期化のためのソフトウェアリセット機能があります。ノイズなどにより I2C がロックしたとき、この機能を使うことで I2C を初期化することができます。

[I2CxARST]<SWRES[1:0]>に"10"、"01"の順に書き込みを行うとソフトウェアリセットが発生します。

ソフトウェアリセット発生後、下表のように、データレジスターを除く I2C レジスター、ビットが初期化されます。

表 3.3 初期化レジスター/ビット一覧

レジスター/<ビット>	
[I2CxAEN]<I2CM>	[I2CxASCL]
[I2CxACR0]	[I2CxAAR1]
[I2CxACR1]	[I2CxAAR2]
[I2CxASR0]	[I2CxAIE]
[I2CxASR1]	[I2CxAPM]<SDAOUT><SCLOUT>
[I2CxAPRS]	

3.3.12. ノイズフィルター

I²C インターフェースは、SCL 端子、SDA 端子内にノイズキャンセル機能を内蔵し、**[I2CxACR0]<NFSEL>**の設定で外部のアナログノイズフィルターを経由した SCL、SDA か PORT 経由の SCL、SDA を使用するかを選択できます。

[I2CACR0]<NFSEL> = 0 に設定したときは PORT 経由の SCL、SDA が選択され、**[I2CxACR0]<DNF>**で設定したデジタルノイズフィルターの段数を通過後、内部信号として使用されます。

デジタルノイズフィルターのノイズ幅設定は、<DNF>の設定で、PRSCK 幅の 1~6 を選択可能です。

ノイズフィルターで除去するノイズ幅は、SCL の High/Low 幅よりも狭くしてください。

なお Fm/Fm+モードの規格では、最大 50ns 未満のスパイクパルスを除去する必要があります。

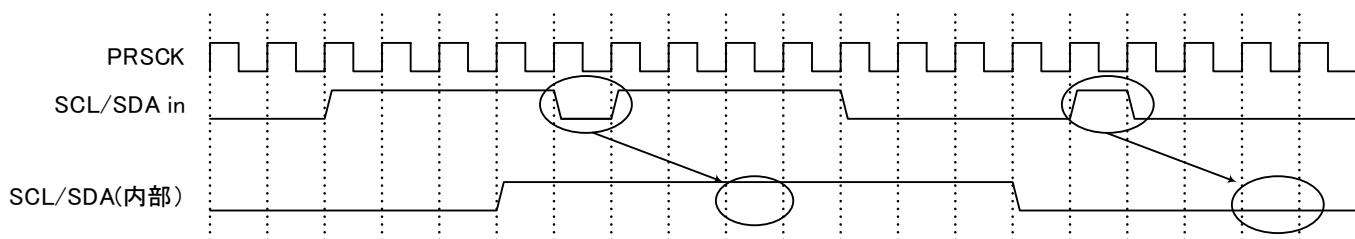


図 3.11 DNF 1PRSCK幅除去例

3.3.13. タイムアウト

バスがロック(SCL が"H"または"L"から変化しなくなった)していることを検出する機能で、マスター/スレーブ両方で動作します。

[I2CxACR0]<TOE>を"1"に設定するとタイムアウト機能が有効になります。スタートコンディションが発行されバスビジー**[I2CxASR0]<BB>**が"1"にセットされると内蔵の 16 ビットのタイマーが動作します。

内蔵タイマーは SCL が変化しないときにカウントアップし、SCL の立ち上がりまたは立ち下がりを検出するとカウンターを"0"にクリアします。**[I2CxACR0]<TOPER>**で設定した値とカウンター値が一致するとタイムアウト検出フラグビット**[I2CxASR1]<TOERR>**に"1"をセットします。

[I2CxAIE]<INTTOE>を"1"に設定し割り込み出力を許可している場合はタイムアウト検出フラグビットに"1"がセットされた次の fsys でステータス割り込み INTI2CxST を発生します

検出時間は以下の計算式で表せます。

$\text{TimeOut[ms]} = (\text{<TOPER[1:0]>の設定}) \times (\text{<PRSCK>} / (\text{fsys (MHz)} \times 1000))$

例. <TOPER[1:0]> = 11、<PRSCK> = 2 分周、fsys = 80 MHz の場合は

$\text{TimeOut[ms]} = 2^{16} \times (2 / 80 \times 1000) = 1.64 \text{ ms}$

3.3.14. SCL 単発出力機能

マスター動作時、ストップコンディションの発行要求したときにスレーブデバイスが SDA を"L"に固定し、ストップコンディションを発行できないときに、スレーブデバイスの"L"固定状態を解放するため、SCL を追加出力する機能です。

[I2CxACR1]<OMC> = 1 をセットすると SCL が 1 回出力されます。

([I2CxACR1] = 0x0400)

SCL 単発出力を使用後にストップコンディションを発行するためには、**[I2CxACR1]<OMC><SP>** = 1 を同時に設定します。

([I2CxACR1] = 0x0404)

ストップコンディション発行を実施したときに SDA が開放されていない場合は、ストップコンディションが発生せずストップコンディション検知待ちになります。この場合、SDA を開放するために SCL 単発出力を再度行うことができます。

この機能は SDA 解放後、ストップすることを前提にしているため SCL 出力とストップコンディション発行以外の動作はできません。また、通信中の使用もできません。

なお SCL 単発出力中、アービトレーションロスト検出は無効になり、**[I2CxASR0]<BC>**も変化しません。

3.3.15. 割り込みサービス要求と解除

I²C インターフェースは送信バッファエンプティータ割り込み(INTI2CxTBE)、受信バッファフル割り込み(INTI2CxRBF)、ステータス割り込み(INTI2CxST)の3つの割り込みを持っています。
ステータス割り込みは、11 要因で発生します。

表 3.4 割り込み信号と要因

割り込み信号	割り込み要因	要因検出	割り込み出力許可/禁止設定
INTI2CxTBE	送信バッファエンプティータ	常時	常時
INTI2CxRBF	受信バッファフル	常時	常時
INTI2CxST	転送終了検出	常時	常時
	スタートコンディション検出	常時	選択可能
	反復スタートコンディション検出	常時	選択可能
	ストップコンディション検出	常時	選択可能
	ジェネラルコール検出	選択可能	選択可能
	スレーブアドレス一致検出	選択可能	選択可能
	NACK 検出	選択可能	選択可能
	アービトレーションロスト検出	選択可能	選択可能
	タイムアウト検出	選択可能	選択可能
	エラースタートコンディション検出	選択可能	選択可能
エラーストップコンディション検出	選択可能	選択可能	

3.3.16. DMA リクエスト出力制御

[I2CxAIE]<DMARX>を"1"に設定すると受信バッファフル検出で受信 DMA リクエストが、
[I2CxAIE]<DMATX>を"1"に設定すると送信バッファエンプティータ検出で送信 DMA リクエストが出力されます。

DMA リクエストは受信バッファフル検出、または送信バッファエンプティータ検出が行われて、ステータスレジスタにフラグがセットされ、次の fsys でアサートし、DMA クリア信号がアサートされるまで"H"を維持します。DMA クリア信号がアサートされるか、または[I2CxAIE]<DMAxx>に"0"を書き込むと DMA リクエスト信号は" L" になります。

DMA リクエストのセットとクリアが同時に発生したときはクリアが優先されます。

3.3.17. I²C バスモニター

この I²C インターフェースは、[I2CxAPM]レジスタで現在の I²C バスの状態を確認できるバスモニター機能を内蔵しています。

[I2CxAPM]<SCL><SDA>は[I2CxACR0]<NFSEL>で選択された入力端子の状態を示しています。

このビットへ外部 I²C バスの値が反映されるまで PRSCK 2 サイクルかかります。

[I2CxAPM]<SCLOUT><SDAOUT>は、この I²C インターフェースの出力端子の状態を示しています。

3.4. アドレス一致ウェイクアップ機能

I²C ウェイクアップ(Sub 側)が実装されている場合に有効な機能です。

スレーブモード時、低消費電力モードで、I²Cバス上のスレーブアドレスが自アドレス(スレーブアドレス)と一致した場合、割り込み(INTI2CWUP)を発生し低消費電力モードを解除する機能です。

この機能を使用する場合は、低消費電力モードへ移行する前に、バスフリー状態で、I²C インターフェース(本体側)を停止してください。

I²C インターフェース(本体側)は、低消費電力モードの IDLE 中を除き、クロック停止状態となります。

3.4.1. ウェイクアップでのクロックストレッチ機能

スレーブモード時、スレーブアドレスの一致確認後、ACK を返した後に、SCL を"LOW"へ引くクロックストレッチ動作を行います。

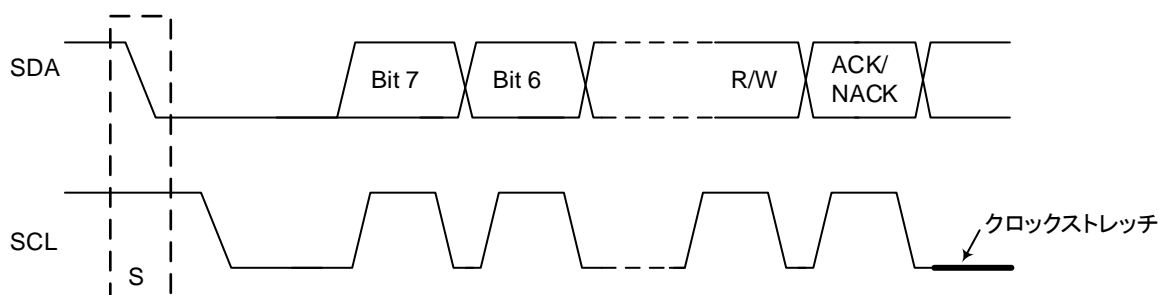


図 3.12 クロックストレッチ機能

注) クロックストレッチ動作中に低消費電力モードへ移行した場合、バスがロックされた状態が保持されるためアドレス一致ウェイクアップ機能を使用することはできません。

3.4.2. アドレス一致ウェイクアップ機能の流れ

アドレス一致検出から、割り込み発生、低消費電力モードの解除、クロックストレッチ解除までの流れを図に示します。

1. アドレス一致検出すると ACK 応答後、INTI2CWUP 割り込みを発生
2. 低消費電力モードを解除するとともに、クロックストレッチを開始します。
3. 低消費電力モード解除後の割り込み処理で、`[I2CSWUPCR1]<INTEND>`による割り込み要求クリア
4. `[I2CSWUPCR1]<I2RES>`によるクロックストレッチの解除を行います。

なお、3.の割り込み処理で、`[I2CSWUPCR1]<INTEND>`を"1" → "0"と連続書き込みをすることで、I²C ウェイクアップ(子側)から I²C インターフェース(本体側)への I2C 情報が設定されます。

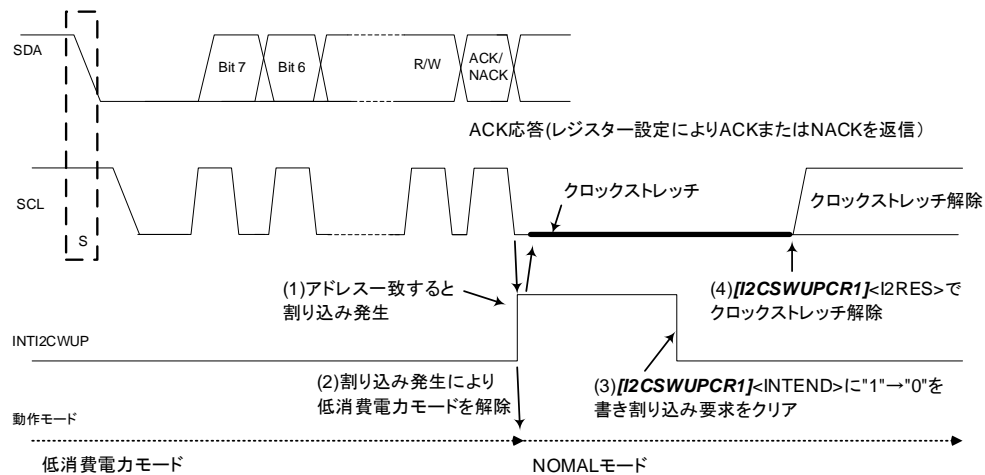


図 3.13 アドレス一致ウエイクアップ機能

- 注 1) アドレス一致ウエイクアップを検出するとノーマル動作復帰まで、I²C バスはロックされます。(クロックストレッチ)
- 注 2) マスター側からは ACK クロックのみが返信され、スレーブデバイスは ACK か NACK を選択して送信します。

なおウエイクアップ機能を使用する際には、スレーブアドレスとジェネラルコールの検出の条件が同じになるように設定してください。

- [I2CxAAR1]<SA1[6:0]> = [I2CSWUPCR2]<WUPSA1[6:0]> ; 同じ 7-bit アドレス、検出条件
- [I2CxAAR2]<SA2[6:0]> = [I2CSWUPCR3]<WUPSA2[6:0]> ; 同じ 7-bit アドレス、検出条件
- [I2CxAAR1]<SA1[9:7]> = [I2CSWUPCR4]<WUPSA1U[2:0]> ; 同じ 10-bit アドレスの上位 3bit
- [I2CxAAR2]<SA2[9:7]> = [I2CSWUPCR5]<WUPSA2U[2:0]> ; 同じ 10-bit アドレスの上位 3bit
- [I2CxACR0]<GCE>、[I2CxACR1]<ACKSEL>の設定内容と、[I2CSWUPCR1]<ACK>、<SGCDI>

4. レジスター説明

4.1. レジスター一覧

I2C のレジスターとアドレスを以下に示します。

機能名	チャンネル/ユニット	ベースアドレス				
		TYPE1	TYPE2	TYPE3	TYPE4	
I2C ウェイクアップ(Sub 側)	I2CS	-	0x4003E800	-	-	-
I2C インターフェース バージョン A (本体側)	EI2C	ch0	0x400A5000	0x400D8000	0x400D1000	0x40071000
		ch1	0x400A6000	0x400D9000	0x400D2000	0x40072000
		ch2	0x400A7000	0x400DA000	0x400D3000	0x40073000
		ch3	0x400A8000	0x400DB000	0x400D4000	0x40074000
		ch4	0x400A9000	0x400DC000	0x400D5000	0x40075000

注) 製品によって使用されるベースアドレスタイプは異なります。詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

I2C インターフェース バージョン A (EI2C)

レジスター名	アドレス(Base+)	
I2C リセットレジスター	[I2CxARST]	0x0000
I2C イネーブルレジスター	[I2CxAEN]	0x0004
I2C コントロールレジスター0	[I2CxACR0]	0x0008
I2C コントロールレジスター1	[I2CxACR1]	0x000C
I2C 送信データバッファレジスター	[I2CxADBRT]	0x0010
I2C 受信データバッファレジスター	[I2CxADBRR]	0x0014
I2C ステータスレジスター0	[I2CxASR0]	0x0018
I2C ステータスレジスター1	[I2CxASR1]	0x001C
I2C プリスケイラークロック設定レジスター	[I2CxAPRS]	0x0020
I2C SCL 幅設定レジスター	[I2CxASCL]	0x0024
I2C 第 1 スレーブアドレスレジスター	[I2CxAAR1]	0x0028
I2C 第 2 スレーブアドレスレジスター	[I2CxAAR2]	0x002C
I2C 割り込み/DMA 設定レジスター	[I2CxAIE]	0x0030
I2C バス端子モニターレジスター	[I2CxAPM]	0x0034

x は ch 番号です。

各 ch のレジスターは同じ構成になっています

I2C ウェイクアップ (I2CS)

レジスター名	アドレス(Base+)	
I2C ウェイクアップコントロールレジスター1	[I2CSWUPCR1]	0x0000
I2C ウェイクアップコントロールレジスター2	[I2CSWUPCR2]	0x0001
I2C ウェイクアップコントロールレジスター3	[I2CSWUPCR3]	0x0002
I2C ウェイクアップステータスレジスター	[I2CSWUPSL]	0x0003
I2C ウェイクアップコントロールレジスター4	[I2CSWUPCR4]	0x0004
I2C ウェイクアップコントロールレジスター5	[I2CSWUPCR5]	0x0005

注) 上記レジスターは、バイトアクセスのみ可です。

4.2. レジスタ詳細

4.2.1. [I2CxARST] (I2C リセットレジスタ)

Bit	Bit symbol	リセット後	Type	機能
31:2	-	0	R	リードすると"0"が読めます。
1:0	SWRES[1:0]	00	W	ソフトウェアリセット発生制御 "10" → "01"の連続書き込みでリセットを発生します。

4.2.2. [I2CxAEN] (I2C イネーブルレジスタ)

Bit	Bit symbol	リセット後	Type	機能
31:1	-	0	R	リードすると"0"が読めます。
0	I2CM	0	R/W	I2C 動作制御 0: ディセーブル(SCL/SDA 入出力無効) 1: イネーブル(SCL/SDA 入出力有効)

注) I2C の通信動作中は、書き換えをしないでください。

4.2.3. [I2CxACR0] (I2C コントロールレジスタ-0)

Bit	Bit symbol	リセット後	Type	機能
31:16	-	0	R	リードすると"0"が読めます。
15	-	0	R	リードすると"0"が読めます。
14:12	DNF[2:0]	000	R/W	デジタルノイズフィルターのノイズ除去時間設定 000: 1 × PRSCK 幅 100: 5 × PRSCK 幅 001: 2 × PRSCK 幅 101: 6 × PRSCK 幅 010: 3 × PRSCK 幅 110: 000 と同じ 011: 4 × PRSCK 幅 111: 000 と同じ
11	NFSEL	0	R/W	ノイズフィルター選択 0: デジタルノイズフィルター 1: アナログノイズフィルター
10:9	TOPER[1:0]	00	R/W	タイムアウト検出時間設定 00: 2 ¹³ × PRSCK 01: 2 ¹⁴ × PRSCK 10: 2 ¹⁵ × PRSCK 11: 2 ¹⁶ × PRSCK
8	TOE	0	R/W	タイムアウト制御設定 0: 無効(検出を行わない) 1: 有効(検出を行う)
7:5	-	0	R	リードすると"0"が読めます。
4	ESPE	0	R/W	エラーストップコンディション検出制御 0: 検出しない 1: 検出する
3	ESTE	0	R/W	エラースタートコンディション検出制御 0: 検出しない 1: 検出する
2	NACKE	0	R/W	送信時の NACK 検出制御 0: 検出しない 1: 検出する
1	GCE	0	R/W	ジェネラルコール検出制御 0: 検出しない 1: 検出する
0	ALE	0	R/W	アービトレーションロスト検出制御 0: 検出しない 1: 検出する

注) I2C の通信動作中は、書き換えをしないでください。

4.2.4. [I2CxACR1] (I2C コントロールレジスター1)

Bit	Bit symbol	リセット後	Type	機能
31:16	-	0	R	リードすると"0"が読めます。
15:11	-	0	R	リードすると"0"が読めます。
10	OMC	0	R/W	SCL 単発出力 0: SCL の追加発生無し 1: SCL の追加発生 SCL 出力後は自動的に"0"になります。 異常処理時に使用します。 正常な通信動作中に使用すると誤作動の原因になります。 スレーブ時の書き込み無効です。
9:5	-	0	R	リードすると"0"が読めます。
4	ACKWAIT	0	R/W	レシーバー時の Wait 挿入位置選択 0: Wait 挿入しない 1: 8bit 転送後(ACK/NACK 前)
3	ACKSEL	0	R/W	ACK/NACK 出力選択 0: ACK 出力 1: NACK 出力 <ACKWAIT> = 1 の時は、この bit への書き込みで WAIT を解除します。 スレーブアドレス不一致の時は設定にかかわらず NACK を出力します。
2	SP	0	R/W	ストップコンディション発行リクエスト 0: リクエスト無し 1: リクエストあり 1 書き込みは [I2CxASR0]<MST> = 1 の時だけ有効です。 <MST> = 0 の時は無視されます。 ストップコンディション検知、アービトレーションロスト検出、エラースタート/エラーストップコンディション検出で"0"にクリアされます。
1	RS	0	R/W	反復スタートコンディション発行リクエスト 0: リクエスト無し 1: リクエストあり 1 書き込みは [I2CxASR0]<MST> = 1 かつ [I2CxAST0]<BB> = 1 の時だけ有効。 <MST> = 0 あるいは <BB> = 0 の時は無視されます。 反復スタートコンディション検知、アービトレーションロスト検出、エラースタート/エラーストップコンディション検出で"0"にクリアされます。
0	ST	0	R/W	スタートコンディション発行リクエスト 0: リクエスト無し 1: リクエストあり スタートコンディション検知、アービトレーションロスト検出で"0"にクリアされます。

4.2.5. [I2CxADBRT] (I2C 送信データバッファレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:0	DBT[7:0]	0x00	R/W	送信データ設定

4.2.6. [I2CxADBRR] (I2C 受信データバッファレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:0	DBR[7:0]	0x00	R	受信データ格納

4.2.7. [I2CxASR0] (I2C ステータスレジスター0)

Bit	Bit symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:4	BC[3:0]	0000	R	転送ビットカウント(SCL 立ち上がりでカウント) 0000: 待機状態 0x1: 1 ビット目転送 : 0x8: 8 ビット目転送 0x9: ACK ビット転送 上記以外の値となることはありません。
3	MST	0	R	マスター/スレーブ選択モニター 0: スレーブ 1: マスター
2	TRX	0	R	送信/受信選択状態モニター 0: レシーバー(受信) 1: トランスミッター(送信)
1	BB	0	R	バス状態モニター 0: バスフリー 1: バスビジー スタートコンディション検知で"1"になり、ストップコンディション検知で"0"になります
0	ACKF	0	R	受信 ACK ビット 0: ACK 1: NACK 最後のデータ転送時の値を保持します。

4.2.8. [I2CxASR1] (I2C ステータスレジスタ-1)

Bit	Bit symbol	リセット後	Type	機能
31:14	-	0	R	リードすると"0"が読めます。
13	TOERR	0	R	タイムアウト検出フラグ 0: 未検出 1: 検出
			W	タイムアウト検出フラグクリア 0: 無効 1: クリア
12	ESP	0	R	エラーストップコンディション検出フラグ 0: 未検出 1: 検出
			W	エラーストップコンディション検出フラグクリア 0: 無効 1: クリア
11	EST	0	R	エラースタートコンディション検出フラグ 0: 未検出 1: 検出
			W	エラースタートコンディション検出フラグクリア 0: 無効 1: クリア
10	AAS2	0	R	第 2 スレーブアドレス一致検出フラグ 0: 未検出 1: 検出 10ビットアドレス時は下位 8bit(2 バイト目)が一致したときに 1 になります。
			W	第 2 スレーブアドレス一致検出フラグクリア 0: 無効 1: クリア
9	AAS1	0	R	第 1 スレーブアドレス一致検出フラグ 0: 未検出 1: 検出 10ビットアドレス時は下位 8bit(2 バイト目)が一致したときに 1 になります。
			W	第 1 スレーブアドレス一致検出フラグクリア 0: 無効 1: クリア
8	GC	0	R	ジェネラルコール一致検出フラグ 0: 未検出 1: 検出
			W	ジェネラルコール一致検出フラグクリア 0: 無効 1: クリア
7	AL	0	R	アービトレーションロスト検出フラグ 0: 未検出 1: 検出
			W	アービトレーションロスト検出フラグクリア 0: 無効 1: クリア
6	NACK	0	R	NACK 検出フラグ 0: 未検出 1: 検出 送信時のみ検出します
			W	NACK 検出フラグクリア 0: 無効(無視される) 1: クリア

Bit	Bit symbol	リセット後	Type	機能
5	RBF	0	R	受信バッファフル検出フラグ 0: 未検出 1: 検出 7ビットスレーブアドレス、10ビットスレーブアドレスの受信中は検出しません。
			W	受信バッファフル検出フラグクリア 0: 無効(無視される) 1: クリア [I2CxADBRR]をリードすることでもクリアされます。
4	TBE	1	R	送信バッファエンプティ検出フラグ 0: 未検出 1: 検出 7ビットスレーブアドレス、10ビットスレーブアドレスの1バイト目を送信中は検出しません。スタートコンディション検出で1になります。
			W	送信バッファエンプティ検出フラグクリア 0: 無効(無視される) 1: クリア [I2CxADBRT]へのライトでもクリアされます
3	TEND	0	R	転送終了検出フラグ 0: 未検出 1: 検出
			W	転送終了検出フラグクリア 0: 無効(無視される) 1: クリア
2	SPCF	0	R	ストップコンディション検出フラグ 0: 未検出 1: 検出 エラーストップコンディション検出時は"1"にセットされません
			W	ストップコンディション検出フラグクリア 0: 無効(無視される) 1: クリア
1	RSCF	0	R	反復スタートコンディション検出フラグ 0: 未検出 1: 検出 エラースタートコンディション検出時は"1"にセットされません
			W	反復スタートコンディション検出フラグクリア 0: 無効(無視される) 1: クリア 反復スタートコンディション発行後このビットに"1"がセットされたときは送信アドレス設定のための Wait 状態です。アドレス送信するためにはこのビットをクリアし、送信データバッファに有効なデータがあることが必要です。
0	STCF	0	R	スタートコンディション検出フラグ 0: 未検出 1: 検出
			W	スタートコンディション検出フラグクリア 0: 無効(無視される) 1: クリア スタートコンディション発行後このビットに"1"がセットされたときは送信アドレス設定のための Wait 状態です。アドレス送信するためにはこのビットをクリアすることと送信データバッファに有効なデータがあることが必要です。

4.2.9. [I2CxAPRS] (I2C プリスケラークロック設定レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:6	-	0	R	リードすると"0"が読めます。
5:0	PRS[5:0]	000000	R/W	シリアルクロック生成用プリスケラークロック(PRSCK)周波数の選択 000000: fsys / 1 000001: fsys / 2 : 111110: fsys / 63 111111: fsys / 64

注) I2C の通信動作中は、書き換えをしないでください。

4.2.10. [I2CxASCL] (I2C SCL 幅設定レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:16	-	0	R	リードすると"0"が読めます。
15:8	SCLL[7:0]	0x00	R/W	SCL Low 幅設定 [I2CxACR0]<NFSEL> = 0 設定時 0x00: 設定禁止 0x01~0xFF: ($\langle SCLL[7:0] \rangle + 2 + (\langle DNF[2:0] \rangle + 1)$) × PRSCK 周期 [I2CxACR0]<NFSEL> = 1 設定時 0x00: 設定禁止 0x01~0xFF: ($\langle SCLL[7:0] \rangle + 2$) × PRSCK 周期
7:0	SCLH[7:0]	0x00	R/W	SCL High 幅設定 [I2CxACR0]<NFSEL> = 0 設定時 0x00~0xFF: ($\langle SCLH[7:0] \rangle + 2 + (\langle DNF[2:0] \rangle + 1)$) × PRSCK 周期 [I2CxACR0]<NFSEL> = 1 設定時 0x00~0xFF: ($\langle SCLH[7:0] \rangle + 2$) × PRSCK 周期

注) I2C の通信動作中は、書き換えをしないでください。

4.2.11. [I2CxAAR1] (I2C 第 1 スレーブアドレスレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:16	-	0	R	リードすると"0"が読めます。
15	SAFS1	0	R/W	第 1 スレーブアドレスのフォーマット選択 0: 7 ビットアドレスフォーマット 1: 10 ビットアドレスフォーマット
14:11	-	0	R	リードすると"0"が読めます。
10:1	SA1[9:0]	0x000	R/W	第 1 スレーブアドレス設定: 上位 3bit <9:7> 10 ビットアドレスの上位 3 ビットを設定
				第 1 スレーブアドレス設定: 下位 7bit <6:0> 10 ビットアドレスの下位 7 ビット、7 ビットアドレスを設定
0	SA1E	0	R/W	第 1 スレーブアドレス制御 0: 無効(一致検出を行わない) 1: 有効(一致検出を行う)

注) I2C の通信動作中は、書き換えをしないでください。

4.2.12. [I2CxAAR2] (I2C 第 2 スレーブアドレスレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:16	-	0	R	リードすると"0"が読めます。
15	SAFS2	0	R/W	第 2 スレーブアドレスのフォーマット選択 0: 7 ビットアドレスフォーマット 1: 10 ビットアドレスフォーマット
14:11	-	0	R	リードすると"0"が読めます。
10:1	SA2[9:0]	0x000	R/W	第 2 スレーブアドレス設定: 上位 3bit <9:7> 10 ビットアドレスの上位 3 ビットを設定
				第 2 スレーブアドレス設定: 下位 7bit <6:0> 10 ビットアドレスの下位 7 ビット、7 ビットアドレスを設定
0	SA2E	0	R/W	第 2 スレーブアドレス制御 0: 無効(一致検出を行わない) 1: 有効(一致検出を行う)

注) I2C の通信動作中は、書き換えをしないでください。

4.2.13. [I2CxAIE] (I2C 割り込み/DMA 設定レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:16	-	0	R	リードすると"0"が読めます。
15	DMARX	0	RW	受信 DMA リクエスト制御設定 0: 無効(DMA リクエストを出力しない) 1: 許可(DMA リクエストを出力する)
14	DMATX	0	RW	送信 DMA リクエスト制御設定 0: 無効(DMA リクエストを出力しない) 1: 許可(DMA リクエストを出力する)
13	INTTOE	0	RW	ステータス割り込み発生要因設定(タイムアウト検出) 0: 無効(割り込みを出力しない) 1: 有効(割り込みを出力する)
12	INTESPE	0	RW	ステータス割り込み発生要因設定(エラーストップコンディション検出) 0: 無効(割り込みを出力しない) 1: 有効(割り込みを出力する)
11	INTESTE	0	RW	ステータス割り込み発生要因設定(エラースタートコンディション検出) 0: 無効(割り込みを出力しない) 1: 有効(割り込みを出力する)
10	-	0	R	リードすると"0"が読めます。
9	INTASE	0	RW	ステータス割り込み発生要因設定(第 1 または第 2 スレーブアドレス一致検出) 0: 無効(割り込みを出力しない) 1: 有効(割り込みを出力する)
8	INTGCE	0	RW	ステータス割り込み発生要因設定(ジェネラルコール検出) 0: 無効(割り込みを出力しない) 1: 有効(割り込みを出力する)
7	INTALE	0	RW	ステータス割り込み発生要因設定(アービトレーションロスト検出) 0: 無効(割り込みを出力しない) 1: 有効(割り込みを出力する)
6	INTNACKE	0	RW	ステータス割り込み発生要因設定(NACK 検出) 0: 無効(割り込みを出力しない) 1: 有効(割り込みを出力する)
5:3	-	0	R	リードすると"0"が読めます。
2	INTSPE	0	RW	ステータス割り込み発生要因設定(ストップコンディション検出) 0: 無効(割り込みを出力しない) 1: 許可(割り込みを出力する)
1	INTRSE	0	RW	ステータス割り込み発生要因設定(反復スタートコンディション検出) 0: 無効(割り込みを出力しない) 1: 許可(割り込みを出力する)
0	INTSTE	0	RW	ステータス割り込み発生要因設定(スタートコンディション検出) 0: 無効(割り込みを出力しない) 1: 許可(割り込みを出力する)

注) I2C の通信動作中は、書き換えをしないでください。

4.2.14. [I2CxAPM] (I2C バス端子モニターレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:4	-	0	R	リードすると"0"が読めます。
3	SDAOUT	1	R	SDA 出力モニター 0: SDA 端子を Low にしている 1: SDA 端子を解放している
2	SCLOUT	1	R	SCL 出力モニター 0: SCL 端子を Low にしている 1: SCL 端子を解放している
1	SDA	不定	R	SDA 端子モニター 0: SDA は Low レベル 1: SDA は High レベル
0	SCL	不定	R	SCL 端子モニター 0: SCL は Low レベル 1: SCL は High レベル

4.2.15. [I2CSWUPCR1] (I2C ウェイクアップコントロールレジスター1)

Bit	Bit symbol	リセット後	Type	機能
7	BUSY	0	R	0: ストップコンディション検出 1: スタートコンディション検出
6	SGCDI	0	R/W	0: ジェネラルコール検出 On 1: ジェネラルコール検出 Off
5	ACK	0	R/W	0: ACK 出力有り ("0"出力) 1: ACK 出力無し ("1"出力) (NACK 設定)
4	I2RES	1	R	I ² C バスリセット 0: リセット解除 1: リセット中
			W	0: リセット解除 1: リセット
3	RW	0	R	マスターからの送受信要求モニター 0:スレーブ受信 1:スレーブ送信
2	-	0	R	リードすると"0"が読めます
1	GC	0	R	ジェネラルコール検出ステータス 0: 非検出 1: 検出
0	INTEND	0	R/W	割り込み解除 0: - 1: 割り込み解除

注 1) <I2RES> = 1 とすれば I²C バスはリセットされますが、自動では"0"には戻りません。リセットを解除するには<I2RES> = 0 としてリセットを解除してください。

注 2) <I2RES>によりリセットを行った場合、I²C ウェイクアップ(Sub 側)の全 Read レジスターが初期化されます。Write データは初期化されません。

注 3) <I2RES>によるリセット動作解除後、設定値に従って回路動作を行います。従って、<I2RES> = 1 時に、スレーブアドレスの設定や ACK の有無などの設定を行ってください。

注 4) アドレス不一致時、マスターからの送受信要求によらず<RW>は"0"となります。

4.2.16. [I2CSWUPCR2] (I2C ウェイクアップコントロールレジスター2)

Bit	Bit symbol	リセット後	Type	機能
7:1	WUPSA1[6:0]	0x00	R/W	第 1 スレーブアドレス設定
0	-	0	R	リードすると"0"が読めます

4.2.17. [I2CSWUPCR3] (I2C ウェイクアップコントロールレジスター3)

Bit	Bit symbol	リセット後	Type	機能
7:1	WUPSA2[6:0]	0x00	R/W	第 2 スレーブアドレス設定
0	WUPSA2EN	0	R/W	第 2 スレーブアドレスの使用設定 0: 未使用 1: 使用

4.2.18. [I2CSWUPSL] (I2C ステータスレジスター)

Bit	Bit symbol	リセット後	Type	機能
7:3	-	0x00	R	リードすると"0"が読めます。
2	WUPSA2	0	R	第 2 アドレスの受信ステータス 0: 第 2 スレーブアドレスと不一致 1: 第 2 スレーブアドレスと一致
1	WUPSA	0	R	第 1 アドレスの受信ステータス 0: 第 1 スレーブアドレスと不一致 1: 第 1 スレーブアドレスと一致
0	-	0	R	リードすると"0"が読めます。

4.2.19. [I2CSWUPCR4] (I2C ウェイクアップコントロールレジスター4)

Bit	Bit symbol	リセット後	Type	機能
7	WUPSAFS1	0	R/W	第 1 スレーブアドレスのフォーマット選択 0: 7bit アドレス 1: 10bit アドレス
6:3	-	0x0	R	リードすると"0"が読めます
2:0	WUPSA1U[2:0]	000	R/W	第 1 スレーブアドレス(10-bit の上位 3 bit)の使用設定

4.2.20. [I2CSWUPCR5] (I2C ウェイクアップコントロールレジスター5)

Bit	Bit symbol	リセット後	Type	機能
7	WUPSAFS2	0	R/W	第 2 スレーブアドレスのフォーマット選択 0: 7bit アドレス 1: 10bit アドレス
6:3	-	0x0	R	リードすると"0"が読めます
2:0	WUPSA2U[2:0]	000	R/W	第 2 スレーブアドレス(10bit アドレスの上位 3bit)の使用設定

5. 使用方法の例

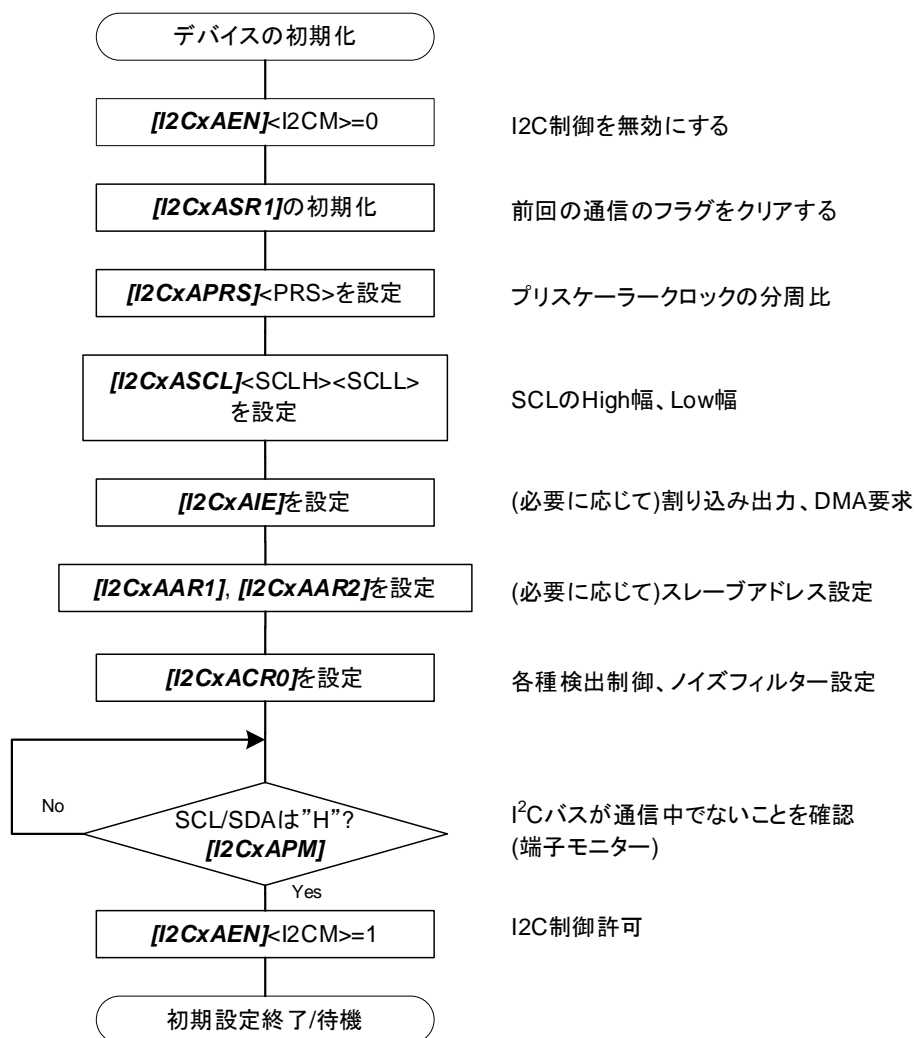
5.1. データ転送手順

5.1.1. デバイスの初期化

最初に SDA と SCL 端子の状態が HIGH(バスフリー)になっていることを確認し、 $[I2Cx AEN] \langle I2CM \rangle = 0$ を設定し、I2C 制御を無効にします。次に、 $[I2Cx ASR1]$ で通信フラグクリアし、プリスケールクロックと SCL の High 幅、Low 幅の設定を行います。

この後、必要に応じて、 $[I2Cx AIE]$ 、 $[I2Cx AAR1]$ 、 $[I2Cx AAR2]$ を設定し、 $[I2Cx ACR0]$ で、各種検出制御、ノイズフィルターの設定をします。

最後に、通信中でないことを確認し、 $[I2Cx AEN] \langle I2CM \rangle = 1$ を設定し、I2C 制御を有効にします。



5.1.2. マスター送信

アドレス送信後に ACK 応答があった場合、 $[I2CxASR1]<TBE>$ に"1"をセット、INTI2CxTBE を出力し送信データ準備待ち状態になります。送信データバッファ $[I2CxADBRT]<DBT>$ にデータを書き込むか、 $[I2CxASR1]<TBE>$ に"1"を書き込むと $[I2CxASR1]<TBE>$ が"0"になり、 $[I2CxADBRT]<DBT>$ のデータがシフトレジスターに転送され送信が開始します。シフトレジスターにデータが転送されると $[I2CxASR1]<TBE>$ に"1"をセットし、INTI2CxTBE を出力します。 $[I2CxASR0]<BC> = 8$ かつ SCL 立ち下がりを検出すると ACK/NACK 受信のため、SDA を"1"に開放します。

ACK/NACK 受信後の動作は $[I2CxACR0]<NACKE>$ の設定で変わります。

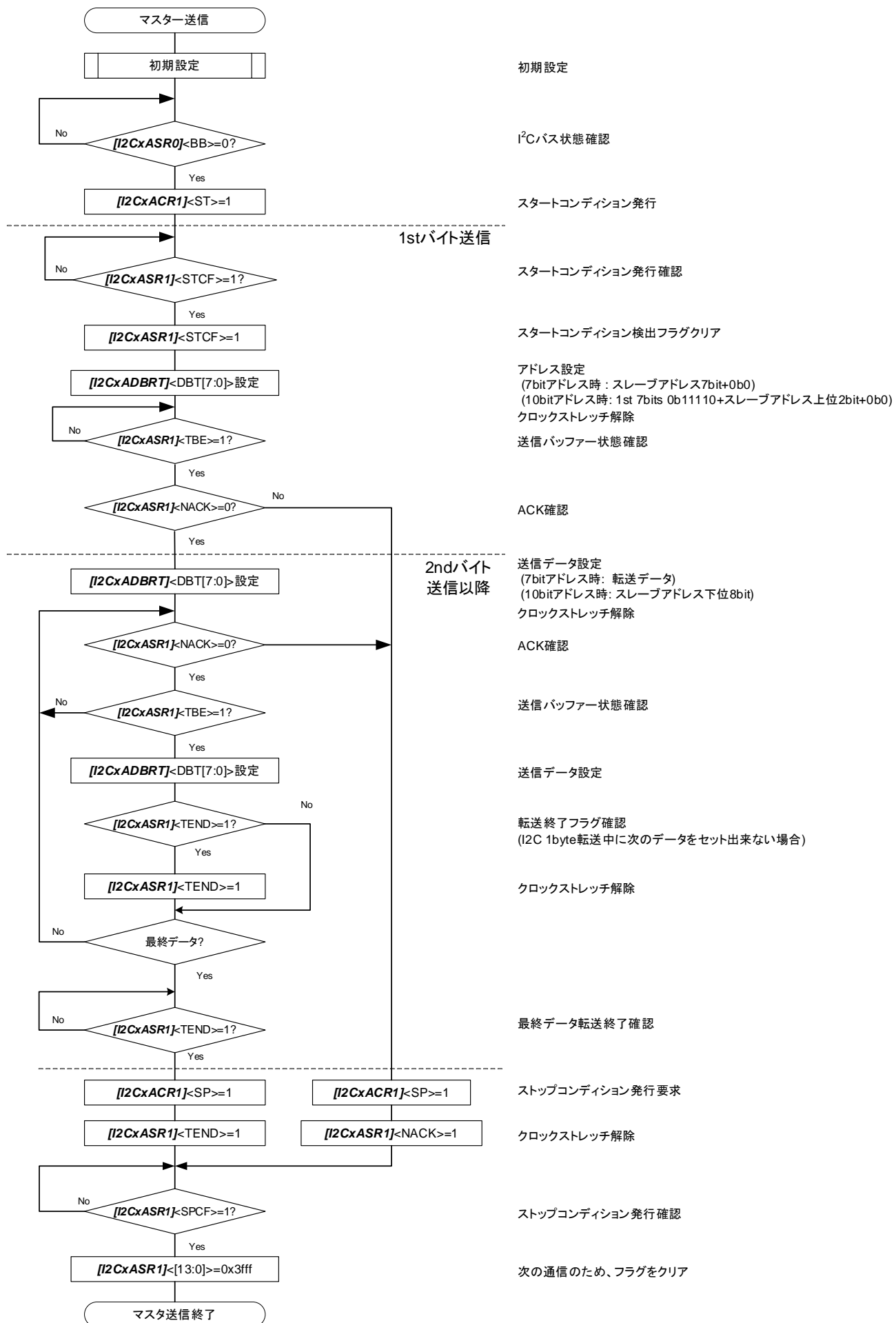
$[I2CxACR0]<NACKE> = 0$ の場合、ACK/NACK 受信後に $[I2CxASR1]<TBE> = 0$ であれば、直ちに次の送信を開始します。 $[I2CxASR1]<TBE> = 1$ の場合は $[I2CxASR1]<TEND>$ に"1"をセットし、INTI2CxST を出力して WAIT 状態になります。WAIT 解除には $[I2CxASR1]<TEND>$ をクリアします。

$[I2CxACR0]<NACKE> = 1$ の場合、NACK 受信すると NACK 検出フラグ $[I2CxASR1]<NACK>$ に"1"をセットし、 $[I2CxASR1]<TBE>$ の値にかかわらず WAIT 状態になります。

割り込みを許可している場合は INTI2CxST が出力されます。

WAIT 解除には $[I2CxASR1]<NACK>$ に"1"を書き込み、NACK 検出フラグをクリアします。ただし、 $[I2CxASR1]<TEND> = 1$ の場合は $[I2CxASR1]<TEND>$ もクリアする必要があります。NACK 検出フラグをクリアしたとき、ストップコンディション発行、反復スタートコンディション発行設定をしている場合は各コンディションの発行をし、設定していない場合は次の送信を開始します。ACK 受信時は $[I2CxACR0]<NACKE> = 0$ と同じ動作をします。

ACK/NACK はシフトレジスターに取り込まれず、 $[I2CxASR0]<ACKF>$ に直接セットされます。



5.1.3. マスター受信

アドレス送信後に ACK 応答がされると、 $[I2CxASR0]<TRX>$ を"0"にセットし受信動作を開始します。8 ビットまで受信するとシフトレジスタの値を受信データバッファレジスタ($[I2CxADBRR]<DBR>$)に転送し、 $[I2CxASR1]<RBF>$ が"1"にセットされて、割り込み INTI2CxRBF を出力します。

$[I2CxACR1]<ACKWAIT>$ を"1"に設定したときは、WAIT 状態になります。

$[I2CxACR1]<ACKSEL>$ に書き込みを行うと WAIT が解除され、 $[I2CxACR1]<ACKSEL>$ に従って ACK または NACK を出力します。

$[I2CxACR1]<ACKWAIT>$ に"0"を設定したときは、WAIT 状態にならず $[I2CxACR1]<ACKSEL>$ に従い ACK または NACK を出力します。

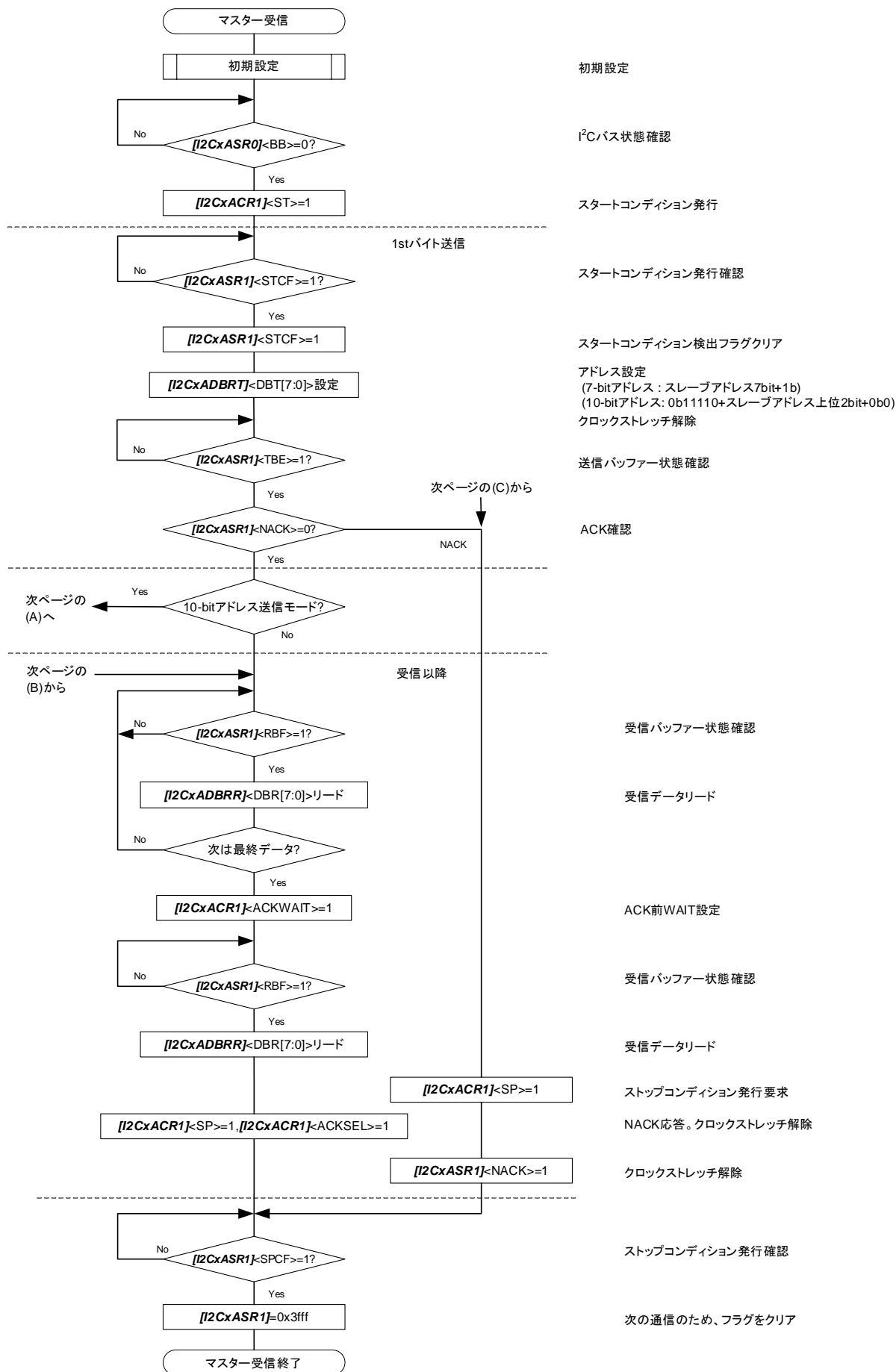
ACK または NACK を出力後、SCL 立ち下がりです DA を開放します。

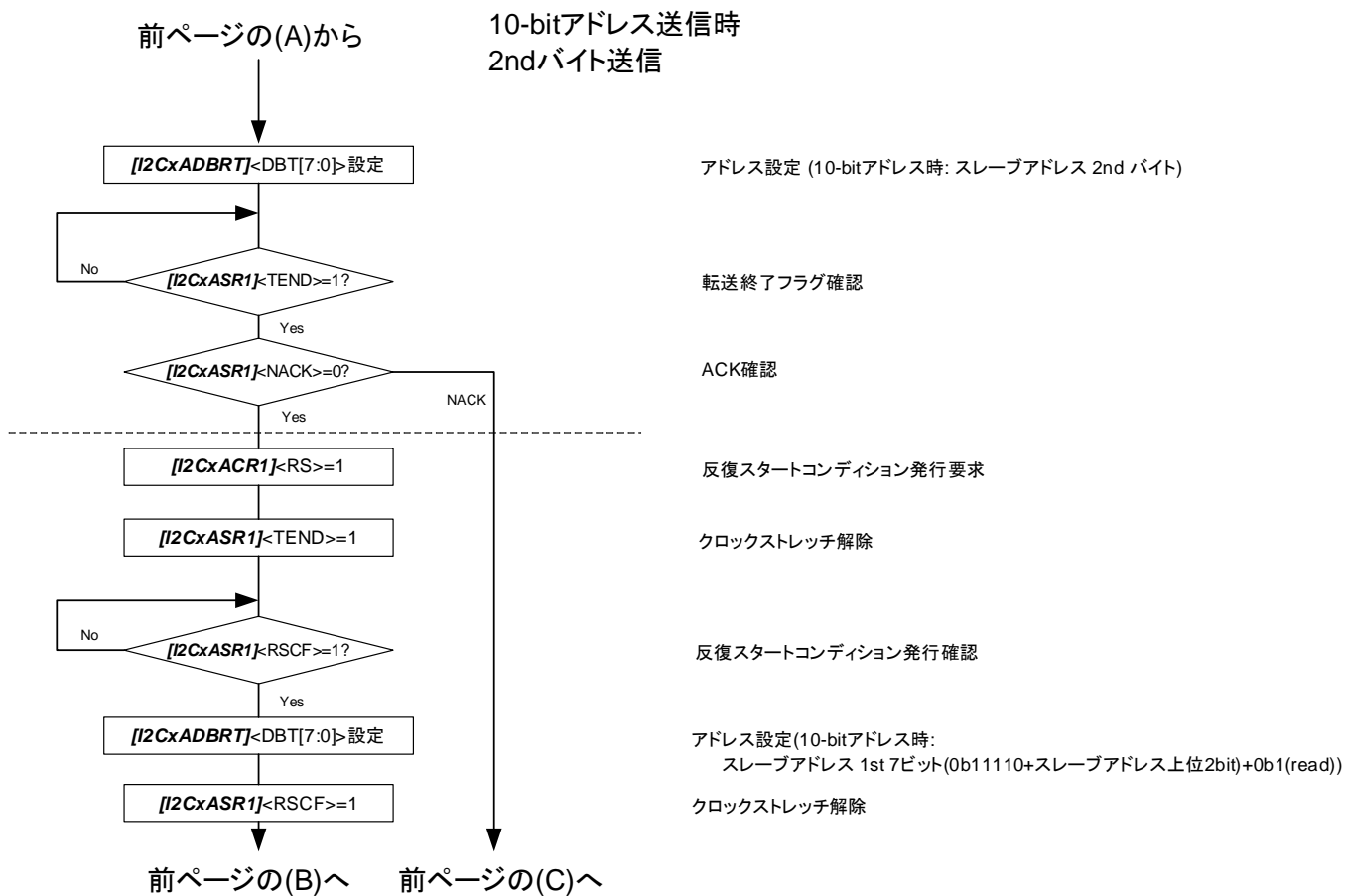
ACK を送信したときは、 $[I2CxASR1]<RBF>=0$ またはシフトレジスタに有効なデータが無いときは受信動作を継続します。 $[I2CxASR1]<RBF>=1$ かつシフトレジスタに有効なデータがあるときは $[I2CxASR1]<TEND>$ に"1"をセットし、WAIT 状態になります。WAIT 解除には $[I2CxASR1]<TEND>$ に"1"を書き込み、 $[I2CxASR1]<TEND>=0$ にします。

NACK を送信したときは、NACK を送信する前にストップコンディション発行または反復スタートコンディション発行設定を行っていた場合はその動作を行います。設定していない場合は継続して受信動作を行います。

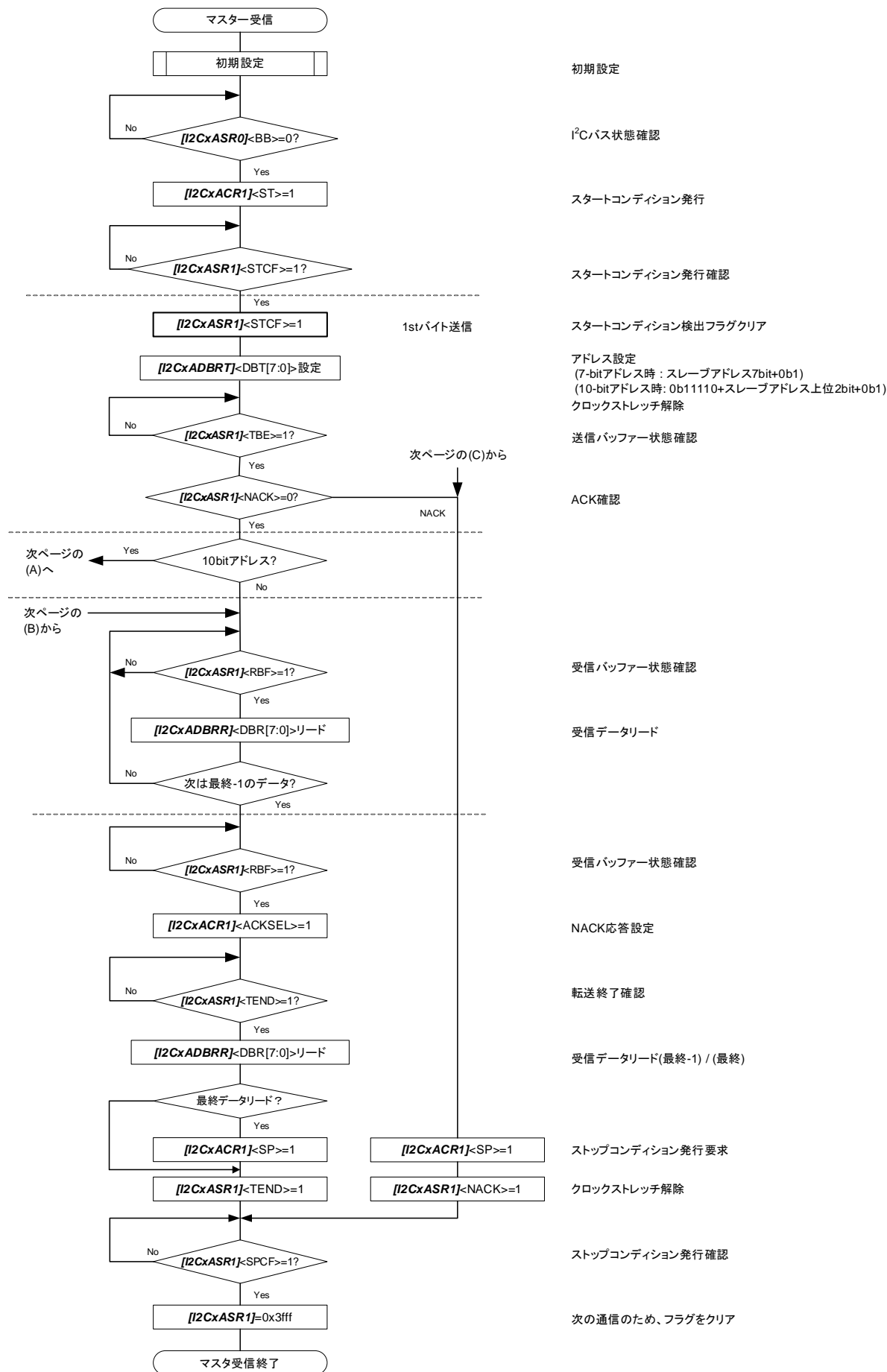
通信中に $[I2CxACR1]<ACKWAIT>$ を"1"に設定すると、最終ビットを受信する前に設定されていた場合は、ACK 応答前に WAIT 状態になります。最終ビットを受信後に設定された場合は、次の受信の ACK 応答前に WAIT 状態になります。

<ACKWAIT>を使用し、受信する場合:

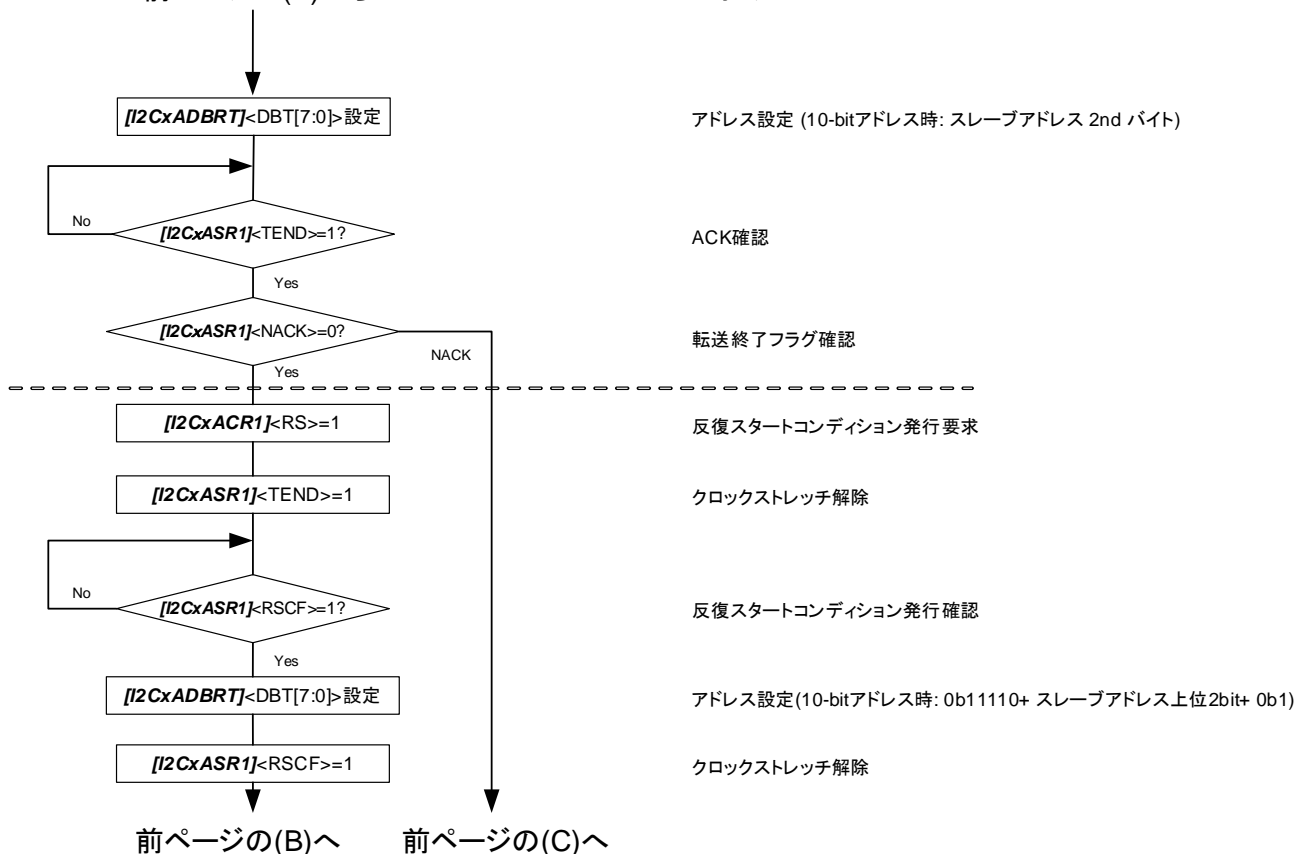




転送終了フラグを使用したマスター受信:



前ページの(A)から 10-bit アドレスモード時 処理



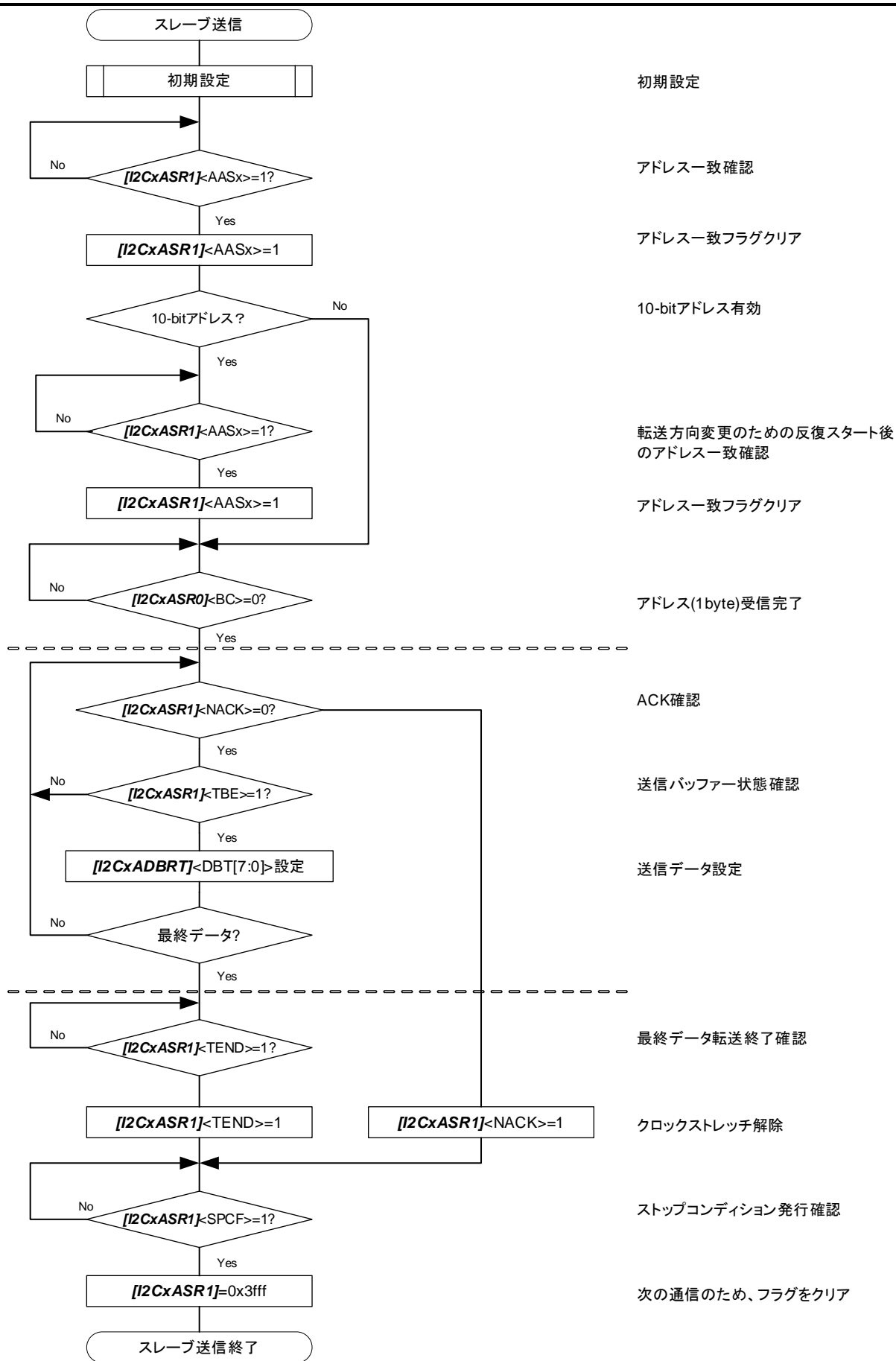
5.1.4. スレーブ送信

スレーブアドレス一致の ACK を出力した後クロックストレッチを行い、 $[I2CxASR1]<TBE>$ に"1"をセットし INTI2CxTBE を出力します。送信データバッファ $[I2CxADBRT]<DBT>$ にデータを書き込むか、 $[I2CxASR1]<TBE>$ に"1"を書き込むと $[I2CxASR1]<TBE>=0$ になり、 $[I2CxADBRT]<DBT>$ のデータがシフトレジスターに転送されると同時にクロックストレッチを解除します。

$[I2CxACR0]<NACKE>=1$ で NACK を検出するとクロックストレッチを行います。クロックストレッチの解除は NACK 検出フラグをクリアします。NACK 検出フラグをクリアするとクロックストレッチを解除し、SDA を"1"に開放し、ストップコンディション検出あるいは反復スタートコンディション検出待ちになります。

ACK を検出した場合は、マスターが継続してクロックを出力すると、送信動作を継続します。

なお ACK/NACK はシフトレジスターに取り込まれず、 $[I2CxASR0]<ACKF>$ に直接セットされます。

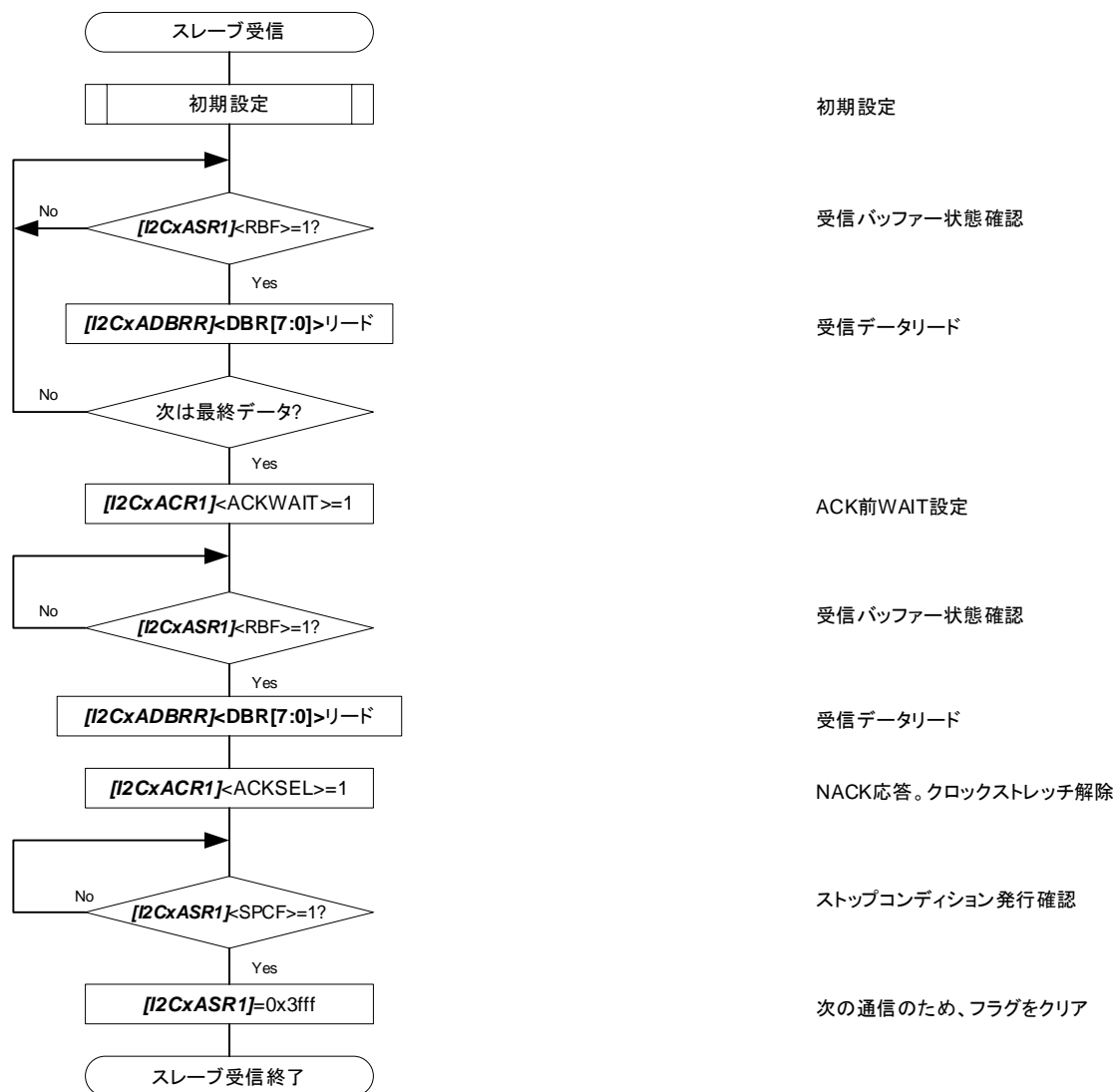


5.1.5. スレーブ受信

スレーブアドレス一致の ACK を出力した後、受信動作を開始します。8 ビットまで受信するとシフトレジスタの値を受信データバッファレジスタ($[I2CxADBRR]<DBR>$)に転送し、 $[I2CxASR1]<RBF>$ を"1"にセットし、割り込み INTI2CxRBF を出力します。

ACK 送信の場合はマスター受信動作と同様になります。

NACK 送信の場合は、NACK 送信後、SCL と SDA を開放しストップコンディション検知または反復スタートコンディション検知待ちになります。



5.1.6. 反復スタート

[I2CxASR0]<MST>と<BB>が"1"の時に[I2CxACR1]<RS>に"1"を書き込むと、反復スタートを出力することができます。

反復スタートコンディションを出力するため SDA を開放するタイミングは以下のとおりです。

- 1. [I2CxACR0]<NACKE> = 0 または [I2CxACR0]<NACKE> = 1 かつ ACK 検出の場合は転送終了時。
([I2CxASR0]<BC> = 0 になったとき)
- 2. [I2CxACR0]<NACKE> = 1 かつ NACK 検出の場合、[I2CxASR1]<NACK>をクリアするとき。
この場合、[I2CxASR1]<NACK>をクリアする前に[I2CxACR1]<RS>に"1"を書き込みます。
- 3. 転送終了検出の場合、[I2CxASR1]<TEND>をクリアするとき。
[I2CxASR1]<TEND>をクリアする前に[I2CxACR1]<RS>に"1"を書き込みます。

反復スタートコンディションを検出すると、[I2CxACR1]<RSCF>を"1"にセットし、WAIT 状態になります。

WAIT を解除するには、[I2CxACR1]<RSCF>に"0"を書き込んだ後、[I2CxADBRT]<DBT>にアドレス、方向ビットを書き込みます。

5.2. ウェイクアップ動作設定手順 (例)

初期設定: STOP1 へ入るために、ウェイクアップ側の設定について

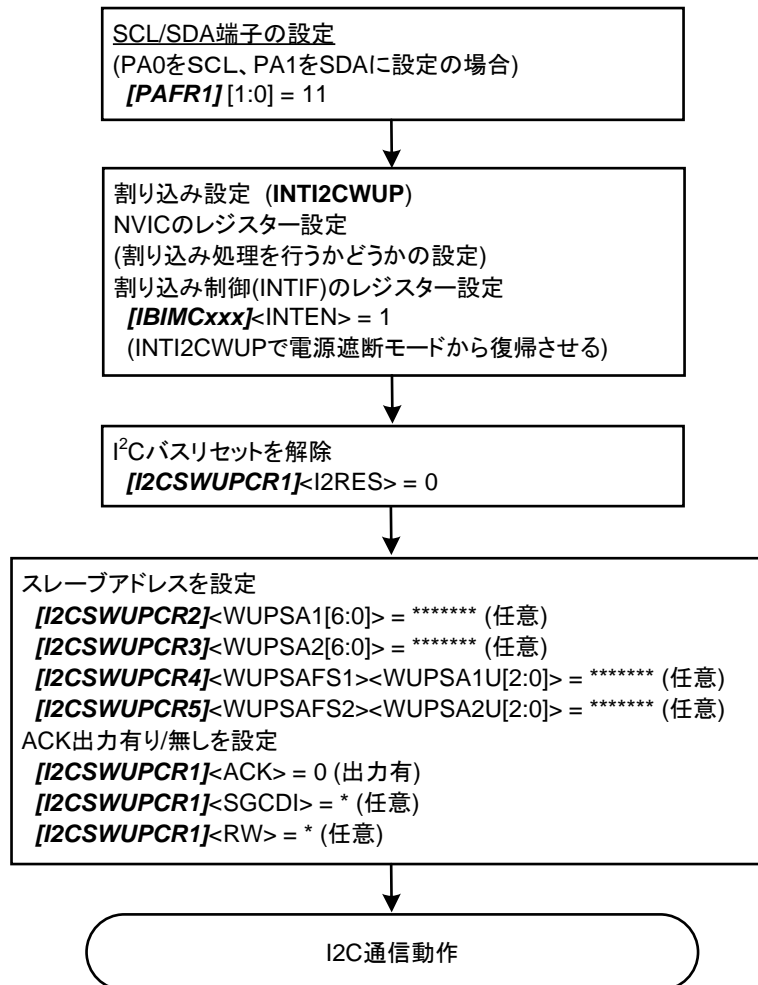


図 5.1 ウェイクアップ初期設定

注) [I2CSWUPCR1]<I2RES> = 1 によるリセット動作中は、リセット動作を継続していますが、レジスターへの書き込みは可能です。

I²C インターフェース(本体側)は、低消費電力モード(STOP1 または STOP2)の解除処理の中で設定を実施してください。以下のレジスターが設定されていないとウェイクアップ後の通信が正しく動作しません。通信を再開させるために、本体側の初期設定を忘れずに行ってください。

[I2CxAEN]、[I2CxACR1]、[I2CxACR0]

[I2CxAPRS]、[I2CxSCL]

[I2CxAAR1]、[I2CxAAR2] ; 任意

[I2CxAIE] ; 使用する機能を設定

<割り込み発生時>

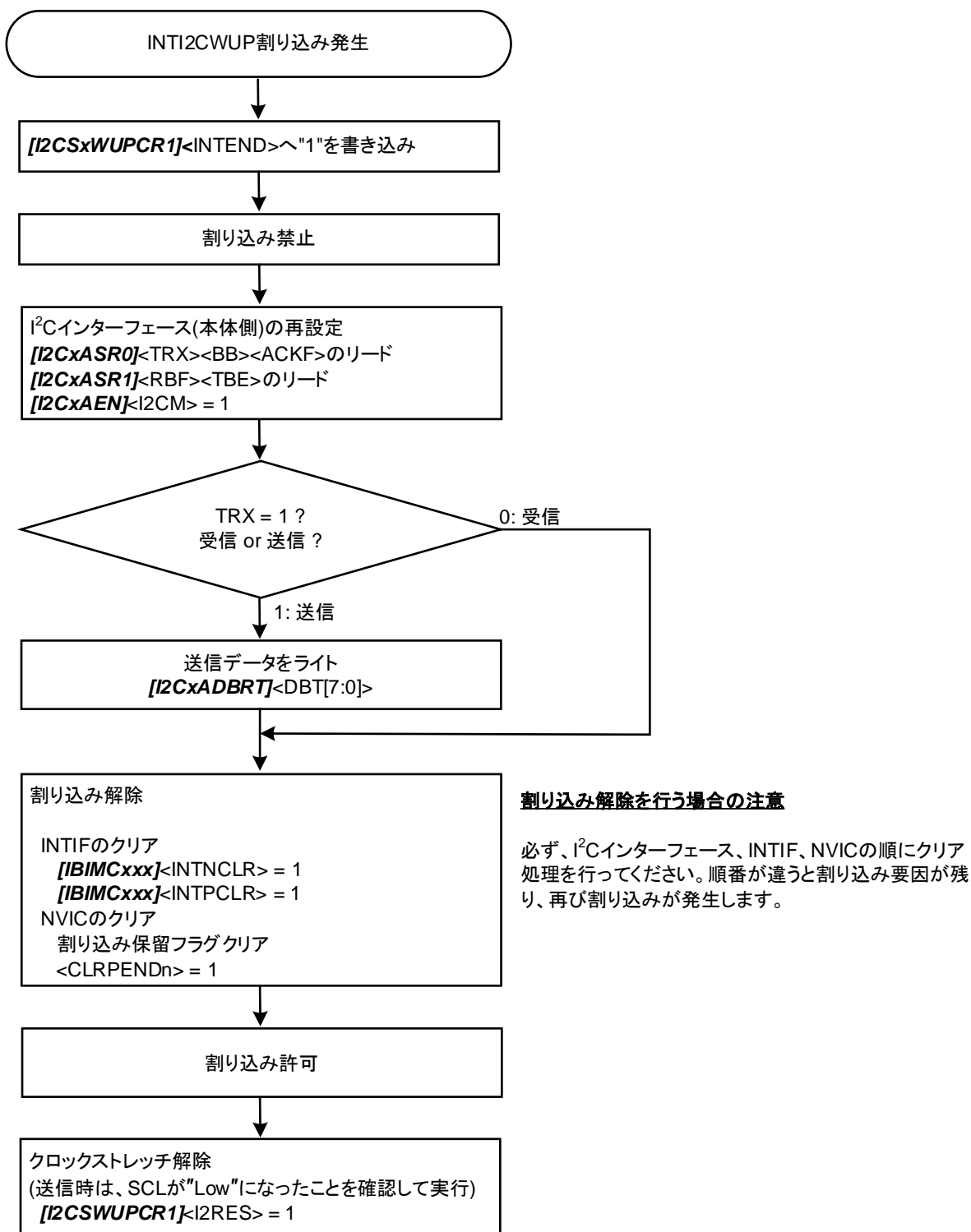


図 5.2 復帰後処理

6. 使用上の注意

この製品は、搭載されたハードウェアによる機能では、I²C 規格で規定されている AC 電気的特性の中で仕様を満たせない項目があります。仕様を満たせない項目の中には、ソフトウェアで対応が必要なものがありますので、該当する機能を使用される場合は対応をお願いします。

ソフトウェアで対応が必要な項目は、下記のとおりです。

- ストップコンディションとスタートコンディション間のバスフリー時間(t_{BUF})
マスターモードで、ソフトウェアによる時間確保が必要です。
ストップコンディション発行後は、I²C インターフェースはスレーブ状態かつバスフリー状態となり、ストップ検出フラグ<SPCF>=1 となります。

7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2020-11-17	新規
1.1	2021-02-04	<ul style="list-style-type: none"> ・3.3.1. シリアルクロック 表 3.1 転送速度に対する SCLH、SCLL、PRSCK の設定(例) fsys = 20MHz、転送速度 100kHz のときの<SCLL[7:0]>の値を 7 から 8 に修正 ・3.3.1. シリアルクロック (2)を修正 ・5.1.1. デバイスの初期化 フローチャートを修正 ・5.1.2. マスター送信 フローチャートを修正 ・5.1.3. マスター受信 <ACKWAIT>を使用し、受信する場合 フローチャートを修正 ・5.1.3. マスター受信 転送終了フラグを使用したマスター受信 フローチャートを修正 ・5.1.4. スレーブ送信 フローチャートを修正 ・5.1.5. スレーブ受信 フローチャートを修正
1.2	2023-01-17	<ul style="list-style-type: none"> ・3.3.4.1. スタートコンディション "[I2CxACR1]<STCF>に"0" → "[I2CxASR1]<STCF>に"1"に修正 ・4.2.2. [I2CxAEN] (I2C イネーブルレジスター) 注)の"I2C 動作中([I2CxAEN]<I2CM> = 1)は" → "I2C の通信動作中は" に修正 ・4.2.8. [I2CxASR1] (I2C ステータスレジスター1) <TBE>初期値: "0"→"1"に修正 <RSCF><TRCF>"W"欄: "スターコンディション" → "スタートコンディション" に修正 ・4.2.12. [I2CxAAR2] (I2C 第 2 スレーブアドレス設定レジスター) 設定を削除
1.3	2024-04-12	<ul style="list-style-type: none"> ・2. 構成 図 2.1 を修正 ・3.2. データフォーマット 図 3.2 を修正 ・3.3.1. シリアルクロック (2)シリアルクロックの説明文を修正 図を削除 ・4.1. レジスター一覧 ベースアドレス項目に TYPE3 を追加 ・4.2.7. [I2CxASR0] (I2C ステータスレジスター0) <BC>の機能欄を修正 ・4.2.10. [I2CxASCL] (I2C SCL 幅設定レジスター) <SCLL>、<SCLH>の機能欄を修正 ・5.1.2. マスター送信 図の変更 ・5.1.3. マスター受信 図の変更

Revision	Date	Description
1.4	2024-07-04	<ul style="list-style-type: none">・関連するドキュメントにデータシートを追加・表 2.1 信号一覧表 EI2CxSCL、EI2CxSDA の参照リファレンスマニュアルを変更・4.1 レジスタ一覧 ベースアドレスに TYPE4 を追加
1.5	2024-09-05	<ul style="list-style-type: none">・3.2. データフォーマット 図 3.2 を修正・3.3.1. シリアルクロック (2)シリアルクロックの説明文を修正
1.6	2024-09-27	<ul style="list-style-type: none">・4.2.10. [I2CxASCL] (I2C SCL 幅設定レジスター) <SCLL>、<SCLH>の機能欄を修正

製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事情報の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。