

32 ビット RISC マイクロコントローラー
TXZ+ファミリー
TMPM4K グループ(1)

リファレンスマニュアル
製品個別情報
(PINFO-M4K(1))

Revision 1.0

2024-07

東芝デバイス&ストレージ株式会社

目次

序章	9
関連するドキュメント	9
表記規約	10
用語・略語	12
1. 概要	13
2. 各周辺機能の情報	13
2.1. レジスターベースアドレス	13
2.2. トリガーセクター (TRGSEL)	14
2.2.1. トリガーセクターと製品対応	15
2.2.2. 使用方法と設定	21
2.2.3. レジスター一覧	22
2.2.4. レジスター詳細	23
2.2.4.1. [TSELxCR0] (コントロールレジスター0)	23
2.2.4.2. [TSELxCR1] (コントロールレジスター1)	25
2.2.4.3. [TSELxCR2] (コントロールレジスター2)	27
2.2.4.4. [TSELxCR3] (コントロールレジスター3)	29
2.2.4.5. [TSELxCR4] (コントロールレジスター4)	31
2.2.4.6. [TSELxCR5] (コントロールレジスター5)	33
2.2.4.7. [TSELxCR6] (コントロールレジスター6)	35
2.2.4.8. [TSELxCR7] (コントロールレジスター7)	37
2.2.4.9. [TSELxCR8] (コントロールレジスター8)	39
2.2.4.10. [TSELxCR9] (コントロールレジスター9)	41
2.2.4.11. [TSELxCR10] (コントロールレジスター10)	43
2.3. DMA コントローラー (DMAC)	45
2.3.1. 搭載ユニット	45
2.3.2. DMA 要求一覧	45
2.4. 32 ビットタイマーイベントカウンタ (T32A)	49
2.4.1. 搭載チャンネル	49
2.4.2. 機能端子とポート	50
2.4.3. プリスケラー用クロック	52
2.4.4. 内部信号接続仕様	52
2.4.4.1. キャプチャトリガー信号接続仕様	52
2.4.4.2. 同期制御接続仕様	56
2.4.5. 製品別パルスカウント対応一覧	57
2.4.6. DMA 要求	58
2.4.7. 非対応割り込み	59
2.5. 非同期シリアル通信回路 (UART)	60
2.5.1. 搭載チャンネル	60

2.5.2. 機能端子とポート	60
2.5.3. ハーフクロックモード対応	61
2.5.4. プリスケラー用クロック	61
2.5.5. DMA 要求	61
2.5.6. 内部信号接続仕様	62
2.5.6.1. トリガー転送信号接続仕様	62
2.5.6.2. T32A 接続	63
2.6. シリアルペリフェラルインターフェース (TSPI)	64
2.6.1. 搭載チャンネル	64
2.6.2. 機能端子とポート	64
2.6.3. 製品別転送モード対応一覧	65
2.6.4. [TSPIxCR2]<RXDLY>の設定値	65
2.6.5. プリスケラー用クロック	65
2.6.6. DMA 要求	66
2.6.7. 内部信号接続仕様	67
2.6.7.1. トリガー転送信号接続仕様	67
2.6.7.2. T32A 接続	68
2.7. I ² C インターフェース (I2C)	69
2.7.1. 搭載チャンネル	69
2.7.2. 機能端子とポート	69
2.7.3. プリスケラー用クロック	69
2.7.4. DMA 要求	70
2.8. I ² C インターフェース バージョン A (EI2C)	71
2.8.1. 搭載チャンネル	71
2.8.2. 機能端子とポート	71
2.8.3. ベースアドレス	71
2.8.4. プリスケラー用クロック	72
2.8.5. DMA 要求	73
2.9. 12 ビットアナログデジタルコンバーター(ADC)	74
2.9.1. 搭載ユニット	74
2.9.2. 対応レジスター	74
2.9.3. 機能端子とポート	75
2.9.4. ADC 用変換クロック	75
2.9.5. モード設定レジスター2 の設定値	76
2.9.6. トリミング設定レジスターの設定値	76
2.9.7. DMA 要求	76
2.9.8. 内部信号接続仕様	77
2.9.8.1. 起動トリガー接続仕様	78
2.9.8.2. その他接続	80
2.9.9. トリガー生成回路(TRGGEN)	81
2.9.9.1. 機能説明・動作説明	81

2.9.9.2. レジスター一覧	81
2.9.9.3. [TRGGEN] (トリガー生成レジスター)	81
2.9.10. AD 変換結果比較回路(ADCCMP)	82
2.9.10.1. 概要	82
2.9.10.2. 構成	82
2.9.10.3. 機能説明・動作説明	83
2.9.10.3.1. クロック供給	83
2.9.10.3.2. 検出	83
2.9.10.3.3. 検出時の情報	84
2.9.10.3.4. 動作設定	85
2.9.10.3.5. 割り込みのクリア	85
2.9.10.3.6. FIFO のクリア	85
2.9.10.4. レジスター一覧	86
2.9.10.5. [ACMPEN] (イネーブルレジスター)	87
2.9.10.6. [ACMPERRSET] (許容誤差設定レジスター)	87
2.9.10.7. [ACMPTIMEOUT] (タイムアウト時間設定レジスター)	87
2.9.10.8. [ACMPSEL] (比較チャンネル選択レジスター)	88
2.9.10.9. [ACMPTIME] (時刻カウンターレジスター)	88
2.9.10.10. [ACMPCLR] (クリアレジスター)	89
2.9.10.11. [ACMPSTATUS] (ステータスレジスター)	89
2.9.10.12. [ACMPERRLOG0] (エラーログレジスター0)	90
2.9.10.13. [ACMPERRRES0] (エラー結果レジスター0)	90
2.9.10.14. [ACMPERRTIM0] (エラー時刻レジスター0)	91
2.10. アドバンストプログラマブルモーター制御回路 (A-PMD)	92
2.10.1. 搭載チャンネル	92
2.10.2. 機能端子とポート	92
2.10.3. DMA 要求	93
2.10.4. 内部信号接続仕様	94
2.10.4.1. その他接続	94
2.10.4.2. チャンネル間同期制御接続仕様	96
2.11. アドバンストエンコーダー入力回路 (32-bit) (A-ENC32)	97
2.11.1. 搭載チャンネル	97
2.11.2. 機能端子とポート	97
2.11.3. 内部信号接続仕様	98
2.11.3.1. T32A/A-ENC32 接続	98
2.12. オペアンプ (OPAMP)	99
2.12.1. 搭載ユニット	99
2.12.2. 接続端子	99
2.12.3. 内部信号接続仕様	99
2.13. クロック選択式ウオッチドッグタイマー (SIWDT)	100
2.13.1. 搭載チャンネル	100
2.13.2. カウントクロック	100
2.13.3. 制御出力	100

2.14. CRC 計算回路 (CRC)	101
2.15. RAM パリティ (RAMP)	101
2.15.1. 搭載チャンネル	101
2.15.2. エラー判定ブロックエリア	101
2.16. 周波数検知回路 (OFD)	102
2.16.1. 搭載チャンネル	102
2.16.2. 基準クロック	102
2.16.3. 検知対象クロック	102
2.17. デバッグインターフェース	103
2.17.1. 製品別デバッグインターフェース一覧	103
2.18. ノンブレイクデバッグインターフェース (NBDIF)	104
2.18.1. 搭載一覧	104
2.18.2. 製品別 NBDIF 端子一覧	104
2.19. デジタルノイズフィルター回路 (DNF)	105
2.19.1. 搭載ユニット	105
2.19.2. 製品別外部割り込み端子と DNF	105
2.19.3. サンプリングソースクロック	106
2.20. トリミング回路 (TRM)	106
2.20.1. 搭載一覧	106
2.20.2. トリミング対象発振器	106
2.21. 電圧検知回路 (LVD)	107
2.21.1. 搭載一覧	107
2.21.2. 検知対象電源端子	107
2.22. フラッシュメモリー	108
2.22.1. 書き込み、消去用クロック	108
2.22.2. 製品別コードフラッシュブロック構成	108
2.22.3. フラッシュアクセスコントロールレジスター[FCACCR]<FCLC[2:0]>の設定	109
2.22.4. ID-Read 時のマクロコード値	109
2.22.5. シングルブートモード時の使用リソース	109
3. 改訂履歴	110
製品取り扱い上のお願い	111

図目次

図 2.1	トリガーセクター接続例	14
図 2.2	ADC と周辺機能の接続	77
図 2.3	ADCCMP ブロック図	82

目次

表 2.1	レジスターベースアドレスタイプ.....	13
表 2.2	製品別トリガーセクター対応一覧 (1/6).....	15
表 2.3	製品別トリガーセクター対応一覧 (2/6).....	16
表 2.4	製品別トリガーセクター対応一覧 (3/6).....	17
表 2.5	製品別トリガーセクター対応一覧 (4/6).....	18
表 2.6	製品別トリガーセクター対応一覧 (5/6).....	19
表 2.7	製品別トリガーセクター対応一覧 (6/6).....	20
表 2.8	DMAC 搭載ユニット.....	45
表 2.9	DMA 要求一覧(1/4).....	45
表 2.10	DMA 要求一覧(2/4).....	46
表 2.11	DMA 要求一覧(3/4).....	47
表 2.12	DMA 要求一覧(4/4).....	48
表 2.13	T32A 搭載チャンネル.....	49
表 2.14	T32A 機能端子とポート(1/2).....	50
表 2.15	T32A 機能信号とポート(2/2).....	51
表 2.16	T32A プリスケラー用クロック.....	52
表 2.17	T32A キャプチャトリガー信号接続仕様(1/3).....	53
表 2.18	T32A キャプチャトリガー信号接続仕様(2/3).....	54
表 2.19	T32A キャプチャトリガー信号接続仕様(3/3).....	55
表 2.20	T32A 同期制御接続仕様.....	56
表 2.21	T32A 製品別パルスカウンター対応一覧.....	57
表 2.22	T32A DMA 要求(1/2).....	58
表 2.23	T32A DMA 要求(2/2).....	59
表 2.24	UART 搭載チャンネル.....	60
表 2.25	UART 機能端子とポート.....	60
表 2.26	UART プリスケラー用クロック.....	61
表 2.27	UART DMA 要求.....	61
表 2.28	UART トリガー転送信号接続仕様.....	62
表 2.29	UART 内部接続仕様: 出力.....	63
表 2.30	TSPI 搭載チャンネル.....	64
表 2.31	TSPI 機能端子とポート.....	64
表 2.32	TSPI モード対応一覧.....	65
表 2.33	[TSPIxCR2]<RXDLY[2:0]>の設定値.....	65
表 2.34	TSPI プリスケラー用クロック.....	65
表 2.35	TSPI DMA 要求.....	66
表 2.36	TSPI トリガー転送信号設読仕様.....	67
表 2.37	TSPI 内部接続仕様: 出力.....	68
表 2.38	I2C 搭載チャンネル.....	69
表 2.39	I2C 機能端子とポート.....	69
表 2.40	I2C プリスケラー用クロック.....	69
表 2.41	I2C DMA 要求.....	70
表 2.42	EI2C 搭載チャンネル.....	71
表 2.43	EI2C 機能端子とポート.....	71
表 2.44	EI2C ベースアドレス.....	71
表 2.45	EI2C プリスケラー用クロック.....	72
表 2.46	EI2C DMA 要求.....	73
表 2.47	ADC 搭載ユニット.....	74
表 2.48	ADC ユニット別の対応レジスター.....	74
表 2.49	ADC 機能端子とポート.....	75

表 2.50	ADC 用変換クロック	75
表 2.51	ADC モード設定レジスター2 の設定値	76
表 2.52	トリミング設定レジスターの設定値	76
表 2.53	ADC DMA 要求	76
表 2.54	ADC 起動トリガー接続仕様	79
表 2.55	ADC 内部接続仕様:出力	80
表 2.56	信号一覧表	83
表 2.57	FIFO と対応するレジスター	84
表 2.58	FIFO 格納情報	84
表 2.59	A-PMD 搭載チャンネル	92
表 2.60	A-PMD 機能端子とポート	92
表 2.61	A-PMD DMA 要求	93
表 2.62	A-PMD 内部接続仕様: 入力 (1/2)	94
表 2.63	A-PMD 内部接続仕様: 入力 (2/2)	95
表 2.64	A-PMD 内部接続仕様: 出力	96
表 2.65	A-PMD チャンネル間同期制御接続仕様	96
表 2.66	A-ENC32 搭載チャンネル	97
表 2.67	A-ENC32 機能端子とポート	97
表 2.68	A-ENC32 内部接続仕様: 入力	98
表 2.69	A-ENC32 内部接続仕様: 出力	98
表 2.70	OPAMP 搭載ユニット	99
表 2.71	OPAMP 接続端子	99
表 2.72	OPAMP 内部接続	99
表 2.73	SIWDT 搭載チャンネル	100
表 2.74	SIWDT カウントクロック	100
表 2.75	SIWDT 制御出力	100
表 2.76	CRC 搭載チャンネル	101
表 2.77	RAMP 搭載チャンネル	101
表 2.78	RAMP のエラー判定ブロックエリア	101
表 2.79	OFD 搭載チャンネル	102
表 2.80	OFD 基準クロック	102
表 2.81	OFD 検知対象クロック	102
表 2.82	デバッグインターフェース一覧	103
表 2.83	NBDIF 搭載一覧	104
表 2.84	製品別 NBDIF 端子一覧	104
表 2.85	DNF 搭載ユニット	105
表 2.86	外部割り込み端子と DNF	105
表 2.87	DNF サンプリングソースクロック	106
表 2.88	TRM 搭載一覧	106
表 2.89	TRM トリミング対象発振器	106
表 2.90	LVD 搭載一覧	107
表 2.91	LVD 検知対象電源端子	107
表 2.92	書き込み、消去用クロック	108
表 2.93	製品別コードフラッシュブロック構成	108
表 2.94	フラッシュアクセスコントロールレジスター[FCACCR]<FCLC[2:0]>の設定	109
表 2.95	ID-Read 時のマクロコード値	109
表 2.96	シングルブートモード時の使用リソース	109
表 3.1	改訂履歴	110

序章

関連するドキュメント

文書名	IP 記号
入出力ポート	PORT-M4K(1)
例外	EXCEPT-M4K(1)
クロック制御と動作モード	CG-M4K(1)-E
DMA コントローラー	DMAC-B
32 ビットタイマーイベントカウンター	T32A-C
非同期シリアル通信回路	UART-C
シリアルペリフェラルインターフェース	TSPI-E
I ² C インターフェース	I2C-B
I ² C インターフェース バージョン A	EI2C-A
12 ビットアナログデジタルコンバーター	ADC-G2
オペアンプ	OPAMP-B
アドバンストプログラマブルモーター制御回路	A-PMD-A
アドバンストエンコーダー入力回路(32-bit)	A-ENC32-A
クロック選択式ウォッチドッグタイマー	SIWDT-A
周波数検知回路	OFD-A
デバッグインターフェース	DEBUG-A
ノンブレイクデバッグインターフェース	NBDIF-A
デジタルノイズフィルター回路	DNF-A
トリミング回路	TRM-B
電圧検知回路	LVD-D
CRC 計算回路	CRC-A
RAM パリティ	RAMP-B
フラッシュメモリー	FLASH256U2-A

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は[m: n]とまとめて表記する場合があります。
例: S[3:0]は S3、S2、S1、S0 の 4 つの信号名をまとめて表記しています。
- 本文中[]で囲まれたものはレジスターを定義しています。
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1]、[XYZ2]、[XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A、B、C、...を表します。
例: [ADACR0]、[ADBCR0]、[ADCCR0] → [ADxCR0]
チャンネルの場合、「x」は 0、1、2、..を表します。
例: [T32A0RUNA]、[T32A1RUNA]、[T32A2RUNA] → [T32AxRUNA]
- レジスターのビット範囲は[m: n]と表記します。
例: [3:0]はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード/ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「-」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC32	Advanced Encoder input Circuit (32-bit)
A-PMD	Advanced Programmable Motor Control Circuit
CRC	Cyclic Redundancy check
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
EHOSC	External High-speed Oscillator
EI2C	I ² C Interface Version A
IHOSC	Internal High-speed Oscillator
INT	Interrupt
I2C	Inter-integrated Circuit
LVD	Voltage Detection Circuit
NBDIF	Non -break Debug Interface
OFD	Oscillation Frequency Detector
OPAMP	Operational Amplifier
RAMP	RAM Parity
SIWDT	Clock Selective Watchdog Timer
TRGSEL	Trigger Selection Circuit
TRM	Trimming Circuit
TSPI	Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Asynchronous Serial Communication Circuit

1. 概要

この章では、周辺機能に関し、チャンネルまたはユニット数、端子情報、その他の製品固有機能の情報について纏めています。各周辺機能のリファレンスマニュアルと合わせてご使用ください。

2. 各周辺機能の情報

2.1. レジスターベースアドレス

下記に各周辺機能で使用するレジスターのベースアドレスタイプを示します。

表 2.1 レジスターベースアドレスタイプ

製品	レジスターベースアドレスタイプ
TMPM4K グループ(1)	TYPE1

上記ベースアドレスタイプを参照して各周辺機能の開発を行ってください。
リファレンスマニュアルのレジスターベースアドレスに TYPE1/2 の記載がない場合は TYPE1 としてご使用ください。

注)PC インターフェースバージョン A(EI2C)のベースアドレスについては、本ドキュメント内の「2.8.3 ベースアドレス」を参照してください。

2.2. トリガーセクター (TRGSEL)

トリガーセクターは、周辺機能、ポートなどから入力された複数のトリガーから、1 つのトリガーを選択し周辺機能にトリガー信号を出力する回路です。

8本のトリガーから[TSEL0CRn]<INSELm>で選択されたトリガーを、接続先の周辺機能に出力します。

「図 2.1 トリガーセクター接続例」は、DMA 転送割り込みがトリガーセクター経由で DMA コントローラーに接続されている例です。[TSEL0CR3]で入力トリガー選択、エッジ検出の許可/禁止とエッジ検出条件の設定およびトリガー出力の制御を行います。

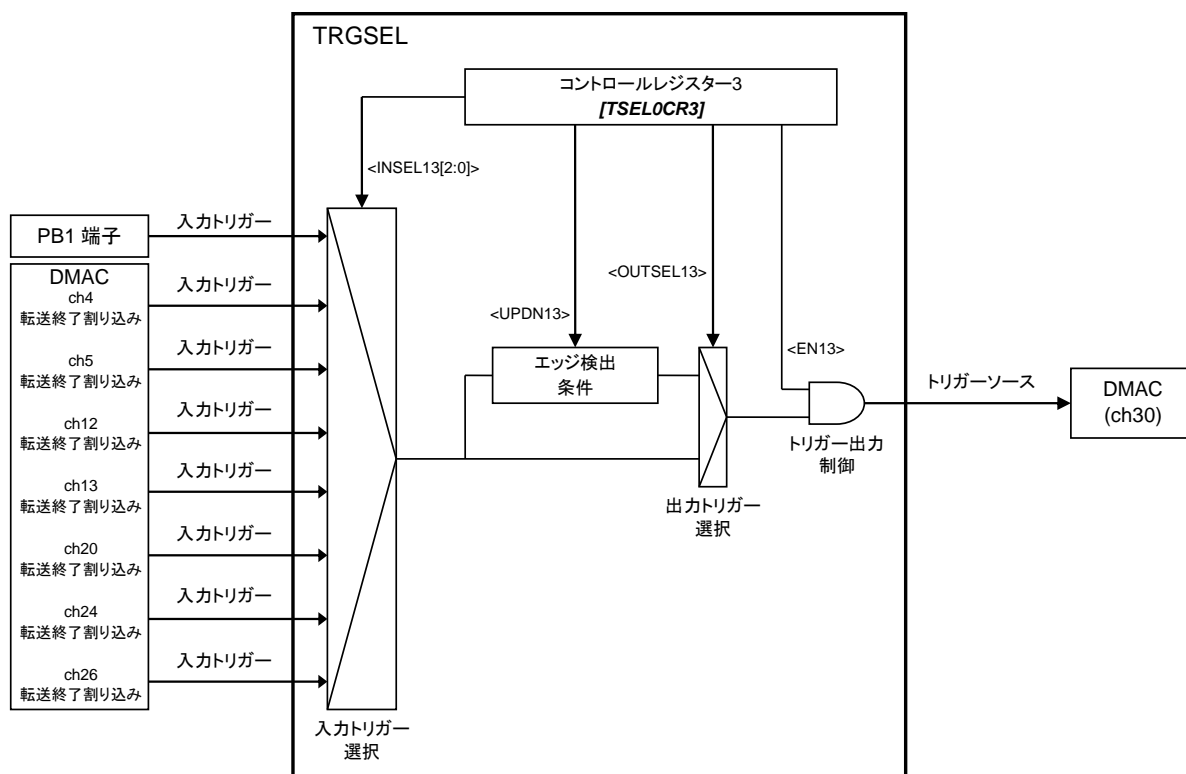


図 2.1 トリガーセクター接続例

2.2.1. トリガーセクターと製品対応

TMPM4K グループ(1)のトリガーセクターは、11本の制御レジスター(*[TSEL0CR0 ~ 10]*)で構成されており43本のトリガーを制御できます。

下記の表にコントロールレジスターと接続先および対応製品を示します。

表 2.2 製品別トリガーセクター対応一覧 (1/6)

レジスター	Bit symbol	接続先	選択先トリガースource	製品対応(○: 対応、-: 非対応)		
				M4K4	M4K2	M4K1
<i>[TSEL0CR0]</i>	INSEL0	DMA ch7	TSPi ch3 送信 DMA 要求	○	-	-
			ADC unit B 汎用トリガーDMA 要求 ADC unit B 単独変換 DMA 要求 ADC unit B 連続変換 DMA 要求	○	○	○
	INSEL1	DMA ch18	ADC unit A 汎用トリガーDMA 要求 ADC unit A 単独変換 DMA 要求 ADC unit A 連続変換 DMA 要求	○	○	○
	INSEL2	DMA ch19	T32A ch0 DMA 要求レジスターA1 一致 T32A ch0 DMA 要求レジスターC1 一致 T32A ch1 DMA 要求レジスターA1 一致 T32A ch1 DMA 要求レジスターC1 一致 A-PMD ch0 PWM 割り込み	○	○	○
	INSEL3	DMA ch20	T32A ch2 DMA 要求レジスターA1 一致 T32A ch2 DMA 要求レジスターC1 一致 T32A ch3 DMA 要求レジスターA1 一致 T32A ch3 DMA 要求レジスターC1 一致 A-PMD ch1 PWM 割り込み	○	○	○
<i>[TSEL0CR1]</i>	INSEL4	DMA ch21	T32A ch4 DMA 要求レジスターA1 一致 T32A ch4 DMA 要求レジスターC1 一致 T32A ch5 DMA 要求レジスターA1 一致 T32A ch5 DMA 要求レジスターC1 一致	○	○	○
	INSEL5	DMA ch22	T32A ch0 DMA 要求レジスターB1 一致 T32A ch1 DMA 要求レジスターB1 一致 T32A ch2 DMA 要求レジスターB1 一致 T32A ch3 DMA 要求レジスターB1 一致 T32A ch4 DMA 要求レジスターB1 一致 T32A ch5 DMA 要求レジスターB1 一致	○	○	○
	INSEL6	DMA ch23	T32A ch0 DMA 要求キャプチャA0 T32A ch0 DMA 要求キャプチャA1 T32A ch1 DMA 要求キャプチャA0 T32A ch1 DMA 要求キャプチャA1 T32A ch0 DMA 要求キャプチャC0 T32A ch0 DMA 要求キャプチャC1 T32A ch1 DMA 要求キャプチャC0 T32A ch1 DMA 要求キャプチャC1	○	○	○
	INSEL7	DMA ch24	T32A ch2 DMA 要求キャプチャA0 T32A ch2 DMA 要求キャプチャA1 T32A ch3 DMA 要求キャプチャA0 T32A ch3 DMA 要求キャプチャA1 T32A ch2 DMA 要求キャプチャC0 T32A ch2 DMA 要求キャプチャC1 T32A ch3 DMA 要求キャプチャC0 T32A ch3 DMA 要求キャプチャC1	○	○	○

表 2.3 製品別トリガーセクター対応一覧 (2/6)

レジスター	Bit symbol	接続先	選択先トリガースource	製品対応(○: 対応、-: 非対応)		
				M4K4	M4K2	M4K1
[TSEL0CR2]	INSEL8	DMA ch25	T32A ch4 DMA 要求キャプチャーA0 T32A ch4 DMA 要求キャプチャーA1 T32A ch5 DMA 要求キャプチャーA0 T32A ch5 DMA 要求キャプチャーA1 T32A ch4 DMA 要求キャプチャーC0 T32A ch4 DMA 要求キャプチャーC1 T32A ch5 DMA 要求キャプチャーC0 T32A ch5 DMA 要求キャプチャーC1	○	○	○
	INSEL9	DMA ch26	T32A ch0 DMA 要求キャプチャーB0 T32A ch0 DMA 要求キャプチャーB1 T32A ch1 DMA 要求キャプチャーB0 T32A ch1 DMA 要求キャプチャーB1 T32A ch2 DMA 要求キャプチャーB0 T32A ch2 DMA 要求キャプチャーB1	○	○	○
	INSEL10	DMA ch27	T32A ch3 DMA 要求キャプチャーB0 T32A ch3 DMA 要求キャプチャーB1 T32A ch4 DMA 要求キャプチャーB0 T32A ch4 DMA 要求キャプチャーB1 T32A ch5 DMA 要求キャプチャーB0 T32A ch5 DMA 要求キャプチャーB1	○	○	○
	INSEL11	DMA ch28	DMAC ch0 転送完了 DMAC ch1 転送完了 DMAC ch8 転送完了 DMAC ch9 転送完了 DMAC ch16 転送完了 DMAC ch17 転送完了 DMAC ch22 転送完了	○	○	○
[TSEL0CR3]	INSEL12	DMA ch29	DMAC ch2 転送完了 DMAC ch3 転送完了	○	-	-
			DMAC ch10 転送完了 DMAC ch11 転送完了 DMAC ch18 転送完了 DMAC ch19 転送完了 DMAC ch23 転送完了	○	○	○
	INSEL13	DMA ch30	端子 PF0(TRGIN0)	○	○	○
			DMAC ch4 転送完了 DMAC ch5 転送完了 DMAC ch12 転送完了 DMAC ch13 転送完了 DMAC ch20 転送完了 DMAC ch24 転送完了 DMAC ch26 転送完了	○	○	○
	INSEL14	DMA ch31	端子 PB1(TRGIN1)	○	○	○
			DMAC ch6 転送完了 DMAC ch14 転送完了 DMAC ch15 転送完了	○	-	-
	INSEL15	ADC unit A	DMAC ch7 転送完了 DMAC ch21 転送完了 DMAC ch25 転送完了 DMAC ch27 転送完了	○	○	○
			端子 PF2(TRGIN2)	○	-	-
PF0 端子(TRGIN0) PB1 端子(TRGIN1) PF2 端子(TRGIN2)			○	○	○	
			T32A ch5 タイマーレジスターA1 一致トリガー T32A ch5 タイマーレジスターB1 一致トリガー T32A ch5 タイマーレジスターC1 一致トリガー トリガー生成回路(TRGGEN)出力	○	○	○

表 2.4 製品別トリガーセレクト対応一覧 (3/6)

レジスター	Bit symbol	接続先	選択先トリガースource	製品対応(O: 対応、-: 非対応)		
				M4K4	M4K2	M4K1
[TSEL0CR4]	INSEL16	ADC unit B	PF0 端子(TRGIN0)	○	○	○
			PB1 端子(TRGIN1)	○	○	○
			PF2 端子(TRGIN2)	○	-	-
			T32A ch3 タイマーレジスターA1 一致トリガー T32A ch3 タイマーレジスターB1 一致トリガー T32A ch3 タイマーレジスターC1 一致トリガー トリガーセレクト INSEL15 出力	○	○	○
	INSEL17	TSPI ch0	PF0 端子(TRGIN0)	○	○	○
			PB1 端子(TRGIN1)	○	○	○
			PF2 端子(TRGIN2)	○	-	-
			T32A ch5 タイマーレジスターA1 一致トリガー T32A ch5 タイマーレジスターB1 一致トリガー T32A ch5 タイマーレジスターC1 一致トリガー	○	○	○
	INSEL18	TSPI ch1	PF0 端子(TRGIN0)	○	-	-
			PB1 端子(TRGIN1)	○	-	-
			PF2 端子(TRGIN2)	○	-	-
			T32A ch5 タイマーレジスターA1 一致トリガー T32A ch5 タイマーレジスターB1 一致トリガー T32A ch5 タイマーレジスターC1 一致トリガー	○	-	-
	INSEL19	TSPI ch2	PF0 端子(TRGIN0)	○	○	○
			PB1 端子(TRGIN1)	○	○	○
			PF2 端子(TRGIN2)	○	-	-
			T32A ch5 タイマーレジスターA1 一致トリガー T32A ch5 タイマーレジスターB1 一致トリガー T32A ch5 タイマーレジスターC1 一致トリガー	○	○	○
[TSEL0CR5]	INSEL20	TSPI ch3	PF0 端子(TRGIN0)	○	-	-
			PB1 端子(TRGIN1)	○	-	-
			PF2 端子(TRGIN2)	○	-	-
			T32A ch5 タイマーレジスターA1 一致トリガー T32A ch5 タイマーレジスターB1 一致トリガー T32A ch5 タイマーレジスターC1 一致トリガー	○	-	-
	INSEL21	UART ch0	PF0 端子(TRGIN0)	○	○	○
			PB1 端子(TRGIN1)	○	○	○
			PF2 端子(TRGIN2)	○	-	-
			T32A ch5 タイマーレジスターA1 一致トリガー T32A ch5 タイマーレジスターB1 一致トリガー T32A ch5 タイマーレジスターC1 一致トリガー	○	○	○
	INSEL22	UART ch1	PF0 端子(TRGIN0)	○	○	○
			PB1 端子(TRGIN1)	○	○	○
			PF2 端子(TRGIN2)	○	-	-
			T32A ch5 タイマーレジスターA1 一致トリガー T32A ch5 タイマーレジスターB1 一致トリガー T32A ch5 タイマーレジスターC1 一致トリガー	○	○	○
	INSEL23	UART ch2	PF0 端子(TRGIN0)	○	○	○
			PB1 端子(TRGIN1)	○	○	○
			PF2 端子(TRGIN2)	○	-	-
			T32A ch5 タイマーレジスターA1 一致トリガー T32A ch5 タイマーレジスターB1 一致トリガー T32A ch5 タイマーレジスターC1 一致トリガー	○	○	○

表 2.5 製品別トリガーセレクト対応一覧 (4/6)

レジスター	Bit symbol	接続先	選択先トリガースource	製品対応(O: 対応、-: 非対応)			
				M4K4	M4K2	M4K1	
[TSEL0CR6]	INSEL24	UART ch3	PF0 端子(TRGIN0)	○	-	-	
			PB1 端子(TRGIN1)	○	-	-	
			PF2 端子(TRGIN2)	○	-	-	
			T32A ch5 タイマーレジスターA1 一致トリガー T32A ch5 タイマーレジスターB1 一致トリガー T32A ch5 タイマーレジスターC1 一致トリガー	○	-	-	
	INSEL25	T32A ch0 タイマーA	PF0 端子(TRGIN0)	○	○	○	
			PB1 端子(TRGIN1)	○	○	○	
			PF2 端子(TRGIN2)	○	-	-	
			UART ch0 送信完了トリガー UART ch0 受信完了トリガー TSPI ch0 送信完了信号 TSPI ch0 受信完了信号	○	○	○	
	INSEL26	T32A ch0 タイマーB	T32A ch0 タイマーレジスターA0 一致トリガー T32A ch0 タイマーレジスターA1 一致トリガー T32A ch0 タイマーA オーバーフロートリガー T32A ch0 タイマーA アンダーフロートリガー	○	○	○	
	INSEL27	T32A ch0 タイマーC	T32A ch5 タイマーレジスターC0 一致トリガー T32A ch5 タイマーレジスターC1 一致トリガー T32A ch5 タイマーC オーバーフロートリガー T32A ch5 タイマーC アンダーフロートリガー	○	○	○	
	[TSEL0CR7]	INSEL28	T32A ch1 タイマーA	PF0 端子(TRGIN0)	○	○	○
				PB1 端子(TRGIN1)	○	○	○
				PF2 端子(TRGIN2)	○	-	-
				UART ch1 送信完了トリガー UART ch1 受信完了トリガー	○	○	○
				TSPI ch1 送信完了信号 TSPI ch1 受信完了信号	○	-	-
				A-ENC32 ch1 分周パルス	○	○	○
INSEL29		T32A ch1 タイマーB	T32A ch1 タイマーレジスターA0 一致トリガー T32A ch1 タイマーレジスターA1 一致トリガー T32A ch1 タイマーA オーバーフロートリガー T32A ch1 タイマーA アンダーフロートリガー	○	○	○	
INSEL30		T32A ch1 タイマーC	T32A ch0 タイマーレジスターC0 一致トリガー T32A ch0 タイマーレジスターC1 一致トリガー T32A ch0 タイマーC オーバーフロートリガー T32A ch0 タイマーC アンダーフロートリガー	○	○	○	
INSEL31		T32A ch2 タイマーA	PF0 端子(TRGIN0)	○	○	○	
			PB1 端子(TRGIN1)	○	○	○	
			PF2 端子(TRGIN2)	○	-	-	
			UART ch2 送信完了トリガー UART ch2 受信完了トリガー TSPI ch2 送信完了信号 TSPI ch2 受信完了信号	○	○	○	

表 2.6 製品別トリガーセレクト-対応一覽 (5/6)

レジスタ-	Bit symbol	接続先	選択先トリガ-ソース	製品対応(O: 対応、-: 非対応)		
				M4K4	M4K2	M4K1
[TSEL0CR8]	INSEL32	T32A ch2 タイマ-B	T32A ch2 タイマ-レジスタ-A0 一致トリガ- T32A ch2 タイマ-レジスタ-A1 一致トリガ- T32A ch2 タイマ-A オ-バ-フロ-トリガ- T32A ch2 タイマ-A アンダ-フロ-トリガ-	○	○	○
	INSEL33	T32A ch2 タイマ-C	T32A ch1 タイマ-レジスタ-C0 一致トリガ- T32A ch1 タイマ-レジスタ-C1 一致トリガ- T32A ch1 タイマ-C オ-バ-フロ-トリガ- T32A ch1 タイマ-C アンダ-フロ-トリガ-	○	○	○
	INSEL34	T32A ch3 タイマ-A	PF0 端子(TRGIN0)	○	○	○
			PB1 端子(TRGIN1)	○	○	○
			PF2 端子(TRGIN2)	○	-	-
			UART ch3 送信完了トリガ- UART ch3 受信完了トリガ- TSPI ch3 送信完了信号 TSPI ch3 受信完了信号	○	-	-
I2C ch0 割り込み E12C ch0 ステ-タス割り込み			○	○	○	
INSEL35	T32A ch3 タイマ-B	T32A ch3 タイマ-レジスタ-A0 一致トリガ- T32A ch3 タイマ-レジスタ-A1 一致トリガ- T32A ch3 タイマ-A オ-バ-フロ-トリガ- T32A ch3 タイマ-A アンダ-フロ-トリガ-	○	○	○	
[TSEL0CR9]	INSEL36	T32A ch3 タイマ-C	T32A ch2 タイマ-レジスタ-C0 一致トリガ- T32A ch2 タイマ-レジスタ-C1 一致トリガ- T32A ch2 タイマ-C オ-バ-フロ-トリガ- T32A ch2 タイマ-C アンダ-フロ-トリガ-	○	○	○
	INSEL37	T32A ch4 タイマ-A	PF0 端子(TRGIN0)	○	○	○
			PB1 端子(TRGIN1)	○	○	○
			PF2 端子(TRGIN2)	○	-	-
			A-ENC32 ch0 分周パルス ADC unit B 汎用トリガ-割り込み ADC unit B 単独変換割り込み ADC unit B 連続変換割り込み ADC unit B 監視機能 0 割り込み	○	○	○
	INSEL38	T32A ch4 タイマ-B	T32A ch4 タイマ-レジスタ-A0 一致トリガ- T32A ch4 タイマ-レジスタ-A1 一致トリガ- T32A ch4 タイマ-A オ-バ-フロ-トリガ- T32A ch4 タイマ-A アンダ-フロ-トリガ-	○	○	○
INSEL39	T32A ch4 タイマ-C	T32A ch3 タイマ-レジスタ-C0 一致トリガ- T32A ch3 タイマ-レジスタ-C1 一致トリガ- T32A ch3 タイマ-C オ-バ-フロ-トリガ- T32A ch3 タイマ-C アンダ-フロ-トリガ-	○	○	○	

表 2.7 製品別トリガーセレクト対応一覧 (6/6)

レジスター	Bit symbol	接続先	選択先トリガースource	製品対応(O: 対応、-: 非対応)		
				M4K4	M4K2	M4K1
[TSEL0CR10]	INSEL40	T32A ch5 タイマーA	PF0 端子(TRGIN0)	○	○	○
			PB1 端子(TRGIN1)	○	○	○
			PF2 端子(TRGIN2)	○	-	-
			ADC unit A 汎用トリガー割り込み	○	○	○
			ADC unit A 単独変換割り込み			
			ADC unit A 連続変換割り込み			
	ADC unit A 監視機能 0 割り込み					
	ADC unit A 監視機能 1 割り込み					
	INSEL41	T32A ch5 タイマーB	T32A ch5 タイマーレジスターA0 一致トリガー	○	○	○
			T32A ch5 タイマーレジスターA1 一致トリガー			
			T32A ch5 タイマーA オーバーフロートリガー			
	INSEL42	T32A ch5 タイマーC	T32A ch5 タイマーA アンダーフロートリガー	○	○	○
T32A ch4 タイマーレジスターC0 一致トリガー						
T32A ch4 タイマーレジスターC1 一致トリガー						
T32A ch4 タイマーC オーバーフロートリガー						
		T32A ch4 タイマーC アンダーフロートリガー				

2.2.2. 使用方法と設定

TRGSEL を使用する場合は、f_{sys} 供給停止レジスタA(**[CGFSYSENA]**)、f_{sys} 供給停止レジスタB(**[CGFSYSENB]**)、fc 供給停止レジスタ(**[CGFCEN]**)で該当するクロックイネーブルビットを"1"(クロック供給)に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため、製品によってレジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

トリガーセクターの設定は以下の順序で行ってください。

(1) 入力トリガーの選択(**[TSEL0CRn]**<INSELM>)

トリガーセクターの接続先に対し、入力トリガーの選択を行います。

入力トリガーの選択はコントロールレジスタの入力トリガー選択ビット

(**[TSEL0CRn]**<INSELM>)で設定してください。(n: レジスタ番号、m: トリガー番号)

(2) エッジ検出条件の選択(**[TSEL0CRn]**<UPDNm>)

エッジ検出が必要な入力トリガー信号に対して、立ち上がりエッジまたは立ち下がりエッジ検出の選択を行います。

エッジ検出条件の選択はコントロールレジスタのエッジ検出条件の選択ビット

(**[TSEL0CRn]**<UPDNm>)で設定してください。

エッジ検出が必要なトリガー信号は以下となります。

– 外部トリガー入力 (TRGIN0、TRGIN1、TRGIN2)

(3) トリガー出力の選択(**[TSEL0CRn]**<OUTSELM>)

出力するトリガー信号に対し、エッジ検出なし出力またはエッジ検出あり出力の選択を行います。

トリガー出力の選択はコントロールレジスタのトリガー出力の選択ビット

(**[TSEL0CRn]**<OUTSELM>)で設定してください。

(4) 出力の許可(**[TSEL0CRn]**<ENm>)

選択したトリガー信号の出力許可または禁止を選択します。

出力許可または禁止の選択はコントロールレジスタのトリガー出力制御の設定ビット

(**[TSEL0CRn]**<ENm>)を設定してください。**[TSEL0CRn]**<ENm>を"1"に設定するとトリガー出力が許可になります。

2.2.3. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

周辺機能		チャンネル/ユニット	ベースアドレス
トリガーセクター	TRGSEL	ch0	0x400BB800

レジスタ名		アドレス(Base+)
コントロールレジスタ0	[TSELxCR0]	0x0000
コントロールレジスタ1	[TSELxCR1]	0x0004
コントロールレジスタ2	[TSELxCR2]	0x0008
コントロールレジスタ3	[TSELxCR3]	0x000C
コントロールレジスタ4	[TSELxCR4]	0x0010
コントロールレジスタ5	[TSELxCR5]	0x0014
コントロールレジスタ6	[TSELxCR6]	0x0018
コントロールレジスタ7	[TSELxCR7]	0x001C
コントロールレジスタ8	[TSELxCR8]	0x0020
コントロールレジスタ9	[TSELxCR9]	0x0024
コントロールレジスタ10	[TSELxCR10]	0x0028

2.2.4. レジスター詳細

以下の章でレジスターの詳細を示します。
 各表の機能欄カッコ内の記号は各機能信号名を表しています。

2.2.4.1. [TSELxCR0](コントロールレジスター0)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL3[2:0]	000	R/W	入カトリガーの選択 (DMA ch20) 000: T32A ch2 DMA 要求レジスターA1 一致 (T32A02DMAREQCMPA1) 001: T32A ch2 DMA 要求レジスターC1 一致 (T32A02DMAREQCMPC1) 010: T32A ch3 DMA 要求レジスターA1 一致 (T32A03DMAREQCMPA1) 011: T32A ch3 DMA 要求レジスターC1 一致 (T32A03DMAREQCMPC1) 100: A-PMD ch1 PWM 割り込み (INTPWM1) 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN3	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL3	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN3	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL2[2:0]	000	R/W	入カトリガーの選択 (DMA ch19) 000: T32A ch0 DMA 要求レジスターA1 一致 (T32A00DMAREQCMPA1) 001: T32A ch0 DMA 要求レジスターC1 一致 (T32A00DMAREQCMPC1) 010: T32A ch1 DMA 要求レジスターA1 一致 (T32A01DMAREQCMPA1) 011: T32A ch1 DMA 要求レジスターC1 一致 (T32A01DMAREQCMPC1) 100: A-PMD ch0 PWM 割り込み (INTPWM0) 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN2	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL2	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN2	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL1[2:0]	000	R/W	入カトリガーの選択 (DMA ch18) 000: ADC unit A 汎用トリガーDMA 要求 (ADATRG_DMAREQ) 001: ADC unit A 単独変換 DMA 要求 (ADASGL_DMAREQ) 010: ADC unit A 連続変換 DMA 要求 (ADACNT_DMAREQ) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN1	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL1	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN1	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL0[2:0]	000	R/W	入カトリガーの選択 (DMA ch7) 000: TSPI ch3 送信 DMA 要求 (TSPI3TX_DMA) 001: ADC unit B 汎用トリガーDMA 要求 (ADBTRG_DMAREQ) 010: ADC unit B 単独変換 DMA 要求 (ADBSGL_DMAREQ) 011: ADC unit B 連続変換 DMA 要求 (ADBCNT_DMAREQ) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN0	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL0	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN0	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.2. [TSELxCR1](コントロールレジスター1)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL7[2:0]	000	R/W	入力トリガーの選択 (DMA ch24) 000: T32A ch2 DMA 要求キャプチャーA0 (T32A02DMAREQCAPA0) 001: T32A ch2 DMA 要求キャプチャーA1 (T32A02DMAREQCAPA1) 010: T32A ch3 DMA 要求キャプチャーA0 (T32A03DMAREQCAPA0) 011: T32A ch3 DMA 要求キャプチャーA1 (T32A03DMAREQCAPA1) 100: T32A ch2 DMA 要求キャプチャーC0 (T32A02DMAREQCAPC0) 101: T32A ch2 DMA 要求キャプチャーC1 (T32A02DMAREQCAPC1) 110: T32A ch3 DMA 要求キャプチャーC0 (T32A03DMAREQCAPC0) 111: T32A ch3 DMA 要求キャプチャーC1 (T32A03DMAREQCAPC1)
27	-	0	R	リードすると"0"が読めます。
26	UPDN7	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL7	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN7	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL6[2:0]	000	R/W	入力トリガーの選択 (DMA ch23) 000: T32A ch0 DMA 要求キャプチャーA0 (T32A00DMAREQCAPA0) 001: T32A ch0 DMA 要求キャプチャーA1 (T32A00DMAREQCAPA1) 010: T32A ch1 DMA 要求キャプチャーA0 (T32A01DMAREQCAPA0) 011: T32A ch1 DMA 要求キャプチャーA1 (T32A01DMAREQCAPA1) 100: T32A ch0 DMA 要求キャプチャーC0 (T32A00DMAREQCAPC0) 101: T32A ch0 DMA 要求キャプチャーC1 (T32A00DMAREQCAPC1) 110: T32A ch1 DMA 要求キャプチャーC0 (T32A01DMAREQCAPC0) 111: T32A ch1 DMA 要求キャプチャーC1 (T32A01DMAREQCAPC1)
19	-	0	R	リードすると"0"が読めます。
18	UPDN6	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL6	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN6	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL5[2:0]	000	R/W	入力トリガーの選択 (DMA ch22) 000: T32A ch0 DMA 要求レジスターB1 一致 (T32A00DMAREQCMPB1) 001: T32A ch1 DMA 要求レジスターB1 一致 (T32A01DMAREQCMPB1) 010: T32A ch2 DMA 要求レジスターB1 一致 (T32A02DMAREQCMPB1) 011: T32A ch3 DMA 要求レジスターB1 一致 (T32A03DMAREQCMPB1) 100: T32A ch4 DMA 要求レジスターB1 一致 (T32A04DMAREQCMPB1) 101: T32A ch5 DMA 要求レジスターB1 一致 (T32A05DMAREQCMPB1) 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN5	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL5	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN5	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL4[2:0]	000	R/W	入力トリガーの選択 (DMA ch21) 000: T32A ch4 DMA 要求レジスターA1 一致 (T32A04DMAREQCMPA1) 001: T32A ch4 DMA 要求レジスターC1 一致 (T32A04DMAREQCMPA1) 010: T32A ch5 DMA 要求レジスターA1 一致 (T32A05DMAREQCMPA1) 011: T32A ch5 DMA 要求レジスターC1 一致 (T32A05DMAREQCMPA1) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN4	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL4	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN4	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.3. [TSELxCR2](コントロールレジスター2)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL11[2:0]	000	R/W	入カトリガーの選択 (DMA ch28) 000: DMAC ch0 転送完了 (INTDMAATC0) 001: DMAC ch1 転送完了 (INTDMAATC1) 010: DMAC ch8 転送完了 (INTDMAATC8) 011: DMAC ch9 転送完了 (INTDMAATC9) 100: DMAC ch16 転送完了 (INTDMAATC16) 101: DMAC ch17 転送完了 (INTDMAATC17) 110: DMAC ch22 転送完了 (INTDMAATC22) 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN11	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL11	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN11	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL10[2:0]	000	R/W	入カトリガーの選択 (DMA ch27) 000: T32A ch3 DMA 要求キャプチャー-B0 (T32A03DMAREQCAPB0) 001: T32A ch3 DMA 要求キャプチャー-B1 (T32A03DMAREQCAPB1) 010: T32A ch4 DMA 要求キャプチャー-B0 (T32A04DMAREQCAPB0) 011: T32A ch4 DMA 要求キャプチャー-B1 (T32A04DMAREQCAPB1) 100: T32A ch5 DMA 要求キャプチャー-B0 (T32A05DMAREQCAPB0) 101: T32A ch5 DMA 要求キャプチャー-B1 (T32A05DMAREQCAPB1) 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN10	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL10	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN10	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL9[2:0]	000	R/W	入力トリガーの選択 (DMA ch26) 000: T32A ch0 DMA 要求キャプチャー-B0 (T32A00DMAREQCAPB0) 001: T32A ch0 DMA 要求キャプチャー-B1 (T32A00DMAREQCAPB1) 010: T32A ch1 DMA 要求キャプチャー-B0 (T32A01DMAREQCAPB0) 011: T32A ch1 DMA 要求キャプチャー-B1 (T32A01DMAREQCAPB1) 100: T32A ch2 DMA 要求キャプチャー-B0 (T32A02DMAREQCAPB0) 101: T32A ch2 DMA 要求キャプチャー-B1 (T32A02DMAREQCAPB1) 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN9	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL9	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN9	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL8[2:0]	000	R/W	入力トリガーの選択 (DMA ch25) 000: T32A ch4 DMA 要求キャプチャー-A0 (T32A04DMAREQCAPA0) 001: T32A ch4 DMA 要求キャプチャー-A1 (T32A04DMAREQCAPA1) 010: T32A ch5 DMA 要求キャプチャー-A0 (T32A05DMAREQCAPA0) 011: T32A ch5 DMA 要求キャプチャー-A1 (T32A05DMAREQCAPA1) 100: T32A ch4 DMA 要求キャプチャー-C0 (T32A04DMAREQCAPC0) 101: T32A ch4 DMA 要求キャプチャー-C1 (T32A04DMAREQCAPC1) 110: T32A ch5 DMA 要求キャプチャー-C0 (T32A05DMAREQCAPC0) 111: T32A ch5 DMA 要求キャプチャー-C1 (T32A05DMAREQCAPC1)
3	-	0	R	リードすると"0"が読めます。
2	UPDN8	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL8	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN8	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.4. [TSELxCR3](コントロールレジスター3)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL15[2:0]	000	R/W	入カトリガーの選択 (ADC unit A 汎用トリガー) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch5 タイマーレジスターA1 一致トリガー (T32A05TRGOUTCMPA1) 100: T32A ch5 タイマーレジスターB1 一致トリガー (T32A05TRGOUTCMPB1) 101: T32A ch5 タイマーレジスターC1 一致トリガー (T32A05TRGOUTCMPC1) 110: トリガー生成回路出力 (TRGGEN) 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN15	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL15	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN15	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL14[2:0]	000	R/W	入カトリガーの選択 (DMA ch31) 000: DMAC ch6 転送完了 (INTDMAATC6) 001: DMAC ch7 転送完了 (INTDMAATC7) 010: DMAC ch14 転送完了 (INTDMAATC14) 011: DMAC ch15 転送完了 (INTDMAATC15) 100: DMAC ch21 転送完了 (INTDMAATC21) 101: DMAC ch25 転送完了 (INTDMAATC25) 110: DMAC ch27 転送完了 (INTDMAATC27) 111: PF2 端子 (TRGIN2)
19	-	0	R	リードすると"0"が読めます。
18	UPDN14	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL14	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN14	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL13[2:0]	000	R/W	入力トリガーの選択 (DMA ch30) 000: DMAC ch4 転送完了 (INTDMAATC4) 001: DMAC ch5 転送完了 (INTDMAATC5) 010: DMAC ch12 転送完了 (INTDMAATC12) 011: DMAC ch13 転送完了 (INTDMAATC13) 100: DMAC ch20 転送完了 (INTDMAATC20) 101: DMAC ch24 転送完了 (INTDMAATC24) 110: DMAC ch26 転送完了 (INTDMAATC26) 111: PB1 端子(TRGIN1)
11	-	0	R	リードすると"0"が読めます。
10	UPDN13	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL13	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN13	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL12[2:0]	000	R/W	入力トリガーの選択 (DMA ch29) 000: DMAC ch2 転送完了 (INTDMAATC2) 001: DMAC ch3 転送完了 (INTDMAATC3) 010: DMAC ch10 転送完了 (INTDMAATC10) 011: DMAC ch11 転送完了 (INTDMAATC11) 100: DMAC ch18 転送完了 (INTDMAATC18) 101: DMAC ch19 転送完了 (INTDMAATC19) 110: DMAC ch23 転送完了 (INTDMAATC23) 111: PFO 端子(TRGIN0)
3	-	0	R	リードすると"0"が読めます。
2	UPDN12	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL12	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN12	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.5. [TSELxCR4](コントロールレジスター4)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL19[2:0]	000	R/W	入カトリガーの選択 (TSPI ch2 トリガー入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch5 タイマーレジスターA1 一致トリガー (T32A05TRGOUTCMPA1) 100: T32A ch5 タイマーレジスターB1 一致トリガー (T32A05TRGOUTCMPB1) 101: T32A ch5 タイマーレジスターC1 一致トリガー (T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN19	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL19	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN19	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL18[2:0]	000	R/W	入カトリガーの選択 (TSPI ch1 トリガー入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch5 タイマーレジスターA1 一致トリガー (T32A05TRGOUTCMPA1) 100: T32A ch5 タイマーレジスターB1 一致トリガー (T32A05TRGOUTCMPB1) 101: T32A ch5 タイマーレジスターC1 一致トリガー (T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN18	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL18	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN18	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL17[2:0]	000	R/W	入カトリガーの選択 (TSPI ch0 トリガー入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch5 タイマーレジスターA1 一致トリガー (T32A05TRGOUTCMPA1) 100: T32A ch5 タイマーレジスターB1 一致トリガー (T32A05TRGOUTCMPB1) 101: T32A ch5 タイマーレジスターC1 一致トリガー (T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN17	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL17	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN17	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL16[2:0]	000	R/W	入カトリガーの選択 (ADC unit B 汎用トリガー) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch3 タイマーレジスターA1 一致トリガー (T32A03TRGOUTCMPA1) 100: T32A ch3 タイマーレジスターB1 一致トリガー (T32A03TRGOUTCMPB1) 101: T32A ch3 タイマーレジスターC1 一致トリガー (T32A03TRGOUTCMPC1) 110: トリガーセクター INSEL15 出力 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN16	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL16	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN16	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.6. [TSELxCR5](コントロールレジスター5)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL23[2:0]	000	R/W	入カトリガーの選択 (UART ch2 トリガー入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch5 タイマーレジスターA1 一致トリガー (T32A05TRGOUTCMPA1) 100: T32A ch5 タイマーレジスターB1 一致トリガー (T32A05TRGOUTCMPB1) 101: T32A ch5 タイマーレジスターC1 一致トリガー (T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN23	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL23	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN23	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL22[2:0]	000	R/W	入カトリガーの選択 (UART ch1 トリガー入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch5 タイマーレジスターA1 一致トリガー (T32A05TRGOUTCMPA1) 100: T32A ch5 タイマーレジスターB1 一致トリガー (T32A05TRGOUTCMPB1) 101: T32A ch5 タイマーレジスターC1 一致トリガー (T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN22	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL22	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN22	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL21[2:0]	000	R/W	入力トリガーの選択 (UART ch0 トリガー入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch5 タイマーレジスターA1 一致トリガー (T32A05TRGOUTCMPA1) 100: T32A ch5 タイマーレジスターB1 一致トリガー (T32A05TRGOUTCMPB1) 101: T32A ch5 タイマーレジスターC1 一致トリガー (T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN21	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL21	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN21	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL20[2:0]	000	R/W	入力トリガーの選択 (TSPI ch3 トリガー入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch5 タイマーレジスターA1 一致トリガー (T32A05TRGOUTCMPA1) 100: T32A ch5 タイマーレジスターB1 一致トリガー (T32A05TRGOUTCMPB1) 101: T32A ch5 タイマーレジスターC1 一致トリガー (T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN20	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL20	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN20	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.7. [TSELxCR6](コントロールレジスター6)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL27[2:0]	000	R/W	入力トリガーの選択 (T32A ch0 タイマーC 内部トリガー入力) 000: T32A ch5 タイマーレジスターC0 一致トリガー (T32A05TRGOUTCMPC0) 001: T32A ch5 タイマーレジスターC1 一致トリガー (T32A05TRGOUTCMPC1) 010: T32A ch5 タイマーC オーバーフロートリガー (T32A05TRGOUTOFC) 011: T32A ch5 タイマーC アンダーフロートリガー (T32A05TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN27	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL27	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN27	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL26[2:0]	000	R/W	入力トリガーの選択 (T32A ch0 タイマーB 内部トリガー入力) 000: T32A ch0 タイマーレジスターA0 一致トリガー (T32A00TRGOUTCMPA0) 001: T32A ch0 タイマーレジスターA1 一致トリガー (T32A00TRGOUTCMPA1) 010: T32A ch0 タイマーA オーバーフロートリガー (T32A00TRGOUTOFA) 011: T32A ch0 タイマーA アンダーフロートリガー (T32A00TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN26	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL26	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN26	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL25[2:0]	000	R/W	入カトリガーの選択 (T32A ch0 タイマーA 内部トリガー入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: UART ch0 送信完了 (UART0TXTRG) 100: UART ch0 受信完了 (UART0RXTRG) 101: TSPI ch0 送信完了 (TSPI0TXEND) 110: TSPI ch0 受信完了 (TSPI0RXEND) 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN25	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL25	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN25	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL24[2:0]	000	R/W	入カトリガーの選択 (UART ch3 トリガー入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch5 タイマーレジスターA1 一致トリガー (T32A05TRGOUTCMPA1) 100: T32A ch5 タイマーレジスターB1 一致トリガー (T32A05TRGOUTCMPB1) 101: T32A ch5 タイマーレジスターC1 一致トリガー (T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN24	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL24	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN24	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.8. [TSELxCR7](コントロールレジスター7)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL31[2:0]	000	R/W	入力トリガーの選択 (T32A ch2 タイマー-A 内部トリガー入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: UART ch2 送信完了 (UART2TXTRG) 100: UART ch2 受信完了 (UART2RXTRG) 101: TSPI ch2 送信完了 (TSPI2TXEND) 110: TSPI ch2 受信完了 (TSPI2RXEND) 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN31	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL31	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN31	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL30[2:0]	000	R/W	入力トリガーの選択 (T32A ch1 タイマー-C 内部トリガー入力) 000: T32A ch0 タイマーレジスターC0 一致トリガー (T32A00TRGOUTCMPC0) 001: T32A ch0 タイマーレジスターC1 一致トリガー (T32A00TRGOUTCMPC1) 010: T32A ch0 タイマー-C オーバーフロートリガー (T32A00TRGOUTOFC) 011: T32A ch0 タイマー-C アンダーフロートリガー (T32A00TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN30	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL30	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN30	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL29[2:0]	000	R/W	入力トリガーの選択 (T32A ch1 タイマーB 内部トリガー入力) 000: T32A ch1 タイマーレジスターA0 一致トリガー (T32A01TRGOUTCMPA0) 001: T32A ch1 タイマーレジスターA1 一致トリガー (T32A01TRGOUTCMPA1) 010: T32A ch1 タイマーA オーバーフロートリガー (T32A01TRGOUTOFA) 011: T32A ch1 タイマーA アンダーフロートリガー (T32A01TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN29	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL29	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN29	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL28[2:0]	000	R/W	入力トリガーの選択 (T32A ch1 タイマーA 内部トリガー入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: UART ch1 送信完了 (UART1TXTRG) 100: UART ch1 受信完了 (UART1RXTRG) 101: TSPI ch1 送信完了 (TSPI1TXEND) 110: TSPI ch1 受信完了 (TSPI1RXEND) 111: A-ENC32 ch1 分周パルス (ENC1TIMPLS)
3	-	0	R	リードすると"0"が読めます。
2	UPDN28	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL28	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN28	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.9. [TSELxCR8](コントロールレジスタ-8)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL35[2:0]	000	R/W	入力トリガーの選択 (T32A ch3 タイマー-B 内部トリガー入力) 000: T32A ch3 タイマーレジスタ-A0 一致トリガー (T32A03TRGOUTCMPA0) 001: T32A ch3 タイマーレジスタ-A1 一致トリガー (T32A03TRGOUTCMPA1) 010: T32A ch3 タイマー-A オーバーフロートリガー (T32A03TRGOUTOFA) 011: T32A ch3 タイマー-A アンダーフロートリガー (T32A03TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN35	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL35	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN35	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL34[2:0]	000	R/W	入力トリガーの選択 (T32A ch3 タイマー-A 内部トリガー入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: UART ch3 送信完了 (UART3TXTRG) 100: UART ch3 受信完了 (UART3RXTRG) 101: TSPI ch3 送信完了 (TSPI3TXEND) 110: TSPI ch3 受信完了 (TSPI3RXEND) 111: I2C ch0 割り込み (INTI2C0)/EI2C ch0 ステータス割り込み (INTI2C0ST)
19	-	0	R	リードすると"0"が読めます。
18	UPDN34	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL34	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN34	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL33[2:0]	000	R/W	入力トリガーの選択 (T32A ch2 タイマーC 内部トリガー入力) 000: T32A ch1 タイマーレジスターC0 一致トリガー (T32A01TRGOUTCMPC0) 001: T32A ch1 タイマーレジスターC1 一致トリガー (T32A01TRGOUTCMPC1) 010: T32A ch1 タイマーC オーバーフロートリガー (T32A01TRGOUTOFC) 011: T32A ch1 タイマーC アンダーフロートリガー (T32A01TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN33	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL33	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN33	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL32[2:0]	000	R/W	入力トリガーの選択 (T32A ch2 タイマーB 内部トリガー入力) 000: T32A ch2 タイマーレジスターA0 一致トリガー (T32A02TRGOUTCMPA0) 001: T32A ch2 タイマーレジスターA1 一致トリガー (T32A02TRGOUTCMPA1) 010: T32A ch2 タイマーA オーバーフロートリガー (T32A02TRGOUTOFA) 011: T32A ch2 タイマーA アンダーフロートリガー (T32A02TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN32	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL32	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN32	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.10. [TSELxCR9](コントロールレジスター9)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL39[2:0]	000	R/W	入カトリガーの選択 (T32A ch4 タイマーC 内部トリガー入力) 000: T32A ch3 タイマーレジスターC0 一致トリガー (T32A03TRGOUTCMPC0) 001: T32A ch3 タイマーレジスターC1 一致トリガー (T32A03TRGOUTCMPC1) 010: T32A ch3 タイマーC オーバーフロートリガー (T32A03TRGOUTOFC) 011: T32A ch3 タイマーC アンダーフロートリガー (T32A03TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN39	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL39	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN39	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL38[2:0]	000	R/W	入カトリガーの選択 (T32A ch4 タイマーB 内部トリガー入力) 000: T32A ch4 タイマーレジスターA0 一致トリガー (T32A04TRGOUTCMPA0) 001: T32A ch4 タイマーレジスターA1 一致トリガー (T32A04TRGOUTCMPA1) 010: T32A ch4 タイマーA オーバーフロートリガー (T32A04TRGOUTOFA) 011: T32A ch4 タイマーA アンダーフロートリガー (T32A04TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN38	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL38	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN38	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL37[2:0]	000	R/W	入力トリガーの選択 (T32A ch4 タイマーA 内部トリガー入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: A-ENC32 ch0 分周パルス (ENC0TIMPLS) 100: ADC unit B 汎用トリガー割り込み (INTADBTRG) 101: ADC unit B 単独変換割り込み (INTADBSGL) 110: ADC unit B 連続変換割り込み (INTADBCNT) 111: ADC unit B 監視機能 0 割り込み (INTADBCPO)
11	-	0	R	リードすると"0"が読めます。
10	UPDN37	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL37	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN37	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6: 4	INSEL36[2:0]	000	R/W	入力トリガーの選択 (T32A ch3 タイマーC 内部トリガー入力) 000: T32A ch2 タイマーレジスターC0 一致トリガー (T32A02TRGOUTCMPC0) 001: T32A ch2 タイマーレジスターC1 一致トリガー (T32A02TRGOUTCMPC1) 010: T32A ch2 タイマーC オーバーフロートリガー (T32A02TRGOUTOFC) 011: T32A ch2 タイマーC アンダーフロートリガー (T32A02TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN36	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL36	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN36	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.11. [TSELxCR10] (コントロールレジスタ-10)

Bit	Bit symbol	リセット後	Type	機能
31:23	-	0	R	リードすると"0"が読めます。
22:20	INSEL42[2:0]	000	R/W	入カトリガーの選択 (T32A ch5 タイマーC 内部トリガー入力) 000: T32A ch4 タイマーレジスタ-C0 一致トリガー (T32A04TRGOUTCMPC0) 001: T32A ch4 タイマーレジスタ-C1 一致トリガー (T32A04TRGOUTCMPC1) 010: T32A ch4 タイマーC オーバーフロートリガー (T32A04TRGOUTOFC) 011: T32A ch4 タイマーC アンダーフロートリガー (T32A04TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN42	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL42	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN42	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。
14:12	INSEL41[2:0]	000	R/W	入カトリガーの選択 (T32A ch5 タイマーB 内部トリガー入力) 000: T32A ch5 タイマーレジスタ-A0 一致トリガー (T32A05TRGOUTCMPA0) 001: T32A ch5 タイマーレジスタ-A1 一致トリガー (T32A05TRGOUTCMPA1) 010: T32A ch5 タイマーA オーバーフロートリガー (T32A05TRGOUTOFA) 011: T32A ch5 タイマーA アンダーフロートリガー (T32A05TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN41	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL41	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN41	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
6: 4	INSEL40[2:0]	000	R/W	入力トリガーの選択 (T32A ch5 タイマーA 内部トリガー入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: ADC unit A 汎用トリガー割り込み (INTADATRG) 100: ADC unit A 単独変換割り込み (INTADASGL) 101: ADC unit A 連続変換割り込み (INTADACNT) 110: ADC unit A 監視機能 0 割り込み (INTADACP0) 111: ADC unit A 監視機能 1 割り込み (INTADACP1)
3	-	0	R	リードすると"0"が読めます。
2	UPDN40	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL40	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN40	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.3. DMA コントローラー (DMAC)

2.3.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.8 DMAC搭載ユニット

製品	DMAC 搭載ユニット (○: 搭載、-: 非搭載)
	ユニット A
M4K4	○
M4K2	○
M4K1	○

2.3.2. DMA 要求一覧

下記表に DMA 要求一覧を示します。

表のトリガーセクター欄にレジスタ名のあるチャンネルは、トリガーセクターで使用する要求を選択してください。表内の"-"は該当する機能がありません。

表 2.9 DMA要求一覧(1/4)

チャンネル	シングル転送		トリガーセクター	バースト転送	
		信号名			
0	TSPI ch0 受信	TSPI0RX_DMA	-	TSPI ch0 受信	TSPI0RX_DMA
1	TSPI ch0 送信	TSPI0TX_DMA	-	TSPI ch0 送信	TSPI0TX_DMA
2	TSPI ch1 受信	TSPI1RX_DMA	-	TSPI ch1 受信	TSPI1RX_DMA
3	TSPI ch1 送信	TSPI1TX_DMA	-	TSPI ch1 送信	TSPI1TX_DMA
4	TSPI ch2 受信	TSPI2RX_DMA	-	TSPI ch2 受信	TSPI2RX_DMA
5	TSPI ch2 送信	TSPI2TX_DMA	-	TSPI ch2 送信	TSPI2TX_DMA
6	TSPI ch3 受信	TSPI3RX_DMA	-	TSPI ch3 受信	TSPI3RX_DMA
7	TSPI ch3 送信	TSPI3TX_DMA	[TSEL0CR0] <INSEL0>	TSPI ch3 送信	TSPI3TX_DMA
				ADC unit B 汎用トリガー	ADBTRG_DMAREQ
				ADC unit B 単独変換	ADBSGL_DMAREQ
				ADC unit B 連続変換	ADBCNT_DMAREQ
8	UART ch0 受信	UART0RX_DMAREQ	-	UART ch0 受信	UART0RX_DMAREQ
9	UART ch0 送信	UART0TX_DMAREQ	-	UART ch0 送信	UART0TX_DMAREQ
10	UART ch1 受信	UART1RX_DMAREQ	-	UART ch1 受信	UART1RX_DMAREQ
11	UART ch1 送信	UART1TX_DMAREQ	-	UART ch1 送信	UART1TX_DMAREQ
12	UART ch2 受信	UART2RX_DMAREQ	-	UART ch2 受信	UART2RX_DMAREQ
13	UART ch2 送信	UART2TX_DMAREQ	-	UART ch2 送信	UART2TX_DMAREQ
14	UART ch3 受信	UART3RX_DMAREQ	-	UART ch3 受信	UART3RX_DMAREQ
15	UART ch3 送信	UART3TX_DMAREQ	-	UART ch3 送信	UART3TX_DMAREQ
16	-	-	-	EI2C/I2C ch0 受信	I2C0ARXDMAREQ/ I2C0RXDMAREQ

注) ch7 はトリガーセクターで DMA 要求のトリガーソースを選択します。詳細な接続先については、「2.2 トリガーセクター (TRGSEL)」を参照してください。

表 2.10 DMA要求一覧(2/4)

チャンネル	シングル転送		バースト転送		
		信号名	トリガー セレクター		信号名
17	-	-	-	EI2C/I2C ch0 送信	I2C0ATXDMAREQ/ I2C0TXDMAREQ
18	-	-	[TSEL0CR0] <INSEL1>	ADC unit A 汎用トリガー	ADATRG_DMAREQ
				ADC unit A 単独変換	ADASGL_DMAREQ
				ADC unit A 連続変換	ADACNT_DMAREQ
19	-	-	[TSEL0CR0] <INSEL2>	T32A ch0 レジスター-A1 一致	T32A00DMAREQCMPA1
				T32A ch0 レジスター-C1 一致	T32A00DMAREQCMPC1
				T32A ch1 レジスター-A1 一致	T32A01DMAREQCMPA1
				T32A ch1 レジスター-C1 一致	T32A01DMAREQCMPC1
				A-PMD ch0 PWM 割り込み	INTPWM0
20	-	-	[TSEL0CR0] <INSEL3>	T32A ch2 レジスター-A1 一致	T32A02DMAREQCMPA1
				T32A ch2 レジスター-C1 一致	T32A02DMAREQCMPC1
				T32A ch3 レジスター-A1 一致	T32A03DMAREQCMPA1
				T32A ch3 レジスター-C1 一致	T32A03DMAREQCMPC1
				A-PMD ch1 PWM 割り込み	INTPWM1
21	-	-	[TSEL0CR1] <INSEL4>	T32A ch4 レジスター-A1 一致	T32A04DMAREQCMPA1
				T32A ch4 レジスター-C1 一致	T32A04DMAREQCMPC1
				T32A ch5 レジスター-A1 一致	T32A05DMAREQCMPA1
				T32A ch5 レジスター-C1 一致	T32A05DMAREQCMPC1
22	-	-	[TSEL0CR1] <INSEL5>	T32A ch0 レジスター-B1 一致	T32A00DMAREQCMPB1
				T32A ch1 レジスター-B1 一致	T32A01DMAREQCMPB1
				T32A ch2 レジスター-B1 一致	T32A02DMAREQCMPB1
				T32A ch3 レジスター-B1 一致	T32A03DMAREQCMPB1
				T32A ch4 レジスター-B1 一致	T32A04DMAREQCMPB1
				T32A ch5 レジスター-B1 一致	T32A05DMAREQCMPB1
23	-	-	[TSEL0CR1] <INSEL6>	T32A ch0 キャプチャーA0	T32A00DMAREQCAPA0
				T32A ch0 キャプチャーA1	T32A00DMAREQCAPA1
				T32A ch1 キャプチャーA0	T32A01DMAREQCAPA0
				T32A ch1 キャプチャーA1	T32A01DMAREQCAPA1
				T32A ch0 キャプチャーC0	T32A00DMAREQCAPC0
				T32A ch0 キャプチャーC1	T32A00DMAREQCAPC1
				T32A ch1 キャプチャーC0	T32A01DMAREQCAPC0
				T32A ch1 キャプチャーC1	T32A01DMAREQCAPC1
24	-	-	[TSEL0CR1] <INSEL7>	T32A ch2 キャプチャーA0	T32A02DMAREQCAPA0
				T32A ch2 キャプチャーA1	T32A02DMAREQCAPA1
				T32A ch3 キャプチャーA0	T32A03DMAREQCAPA0
				T32A ch3 キャプチャーA1	T32A03DMAREQCAPA1
				T32A ch2 キャプチャーC0	T32A02DMAREQCAPC0
				T32A ch2 キャプチャーC1	T32A02DMAREQCAPC1
				T32A ch3 キャプチャーC0	T32A03DMAREQCAPC0
				T32A ch3 キャプチャーC1	T32A03DMAREQCAPC1

注) ch18~24 はトリガーセレクターで DMA 要求のトリガースソースを選択します。詳細な接続先については、「2.2 トリガーセレクター (TRGSEL)」を参照してください。

表 2.11 DMA要求一覧(3/4)

チャンネル	シングル転送		バースト転送		
		信号名	トリガー セレクター	信号名	
25	-	-	[TSEL0CR2] <INSEL8>	T32A ch4 キャプチャーA0	T32A04DMAREQCAPA0
				T32A ch4 キャプチャーA1	T32A04DMAREQCAPA1
				T32A ch5 キャプチャーA0	T32A05DMAREQCAPA0
				T32A ch5 キャプチャーA1	T32A05DMAREQCAPA1
				T32A ch4 キャプチャーC0	T32A04DMAREQCAPC0
				T32A ch4 キャプチャーC1	T32A04DMAREQCAPC1
				T32A ch5 キャプチャーC0	T32A05DMAREQCAPC0
				T32A ch5 キャプチャーC1	T32A05DMAREQCAPC1
26	-	-	[TSEL0CR2] <INSEL9>	T32A ch0 キャプチャーB0	T32A00DMAREQCAPB0
				T32A ch0 キャプチャーB1	T32A00DMAREQCAPB1
				T32A ch1 キャプチャーB0	T32A01DMAREQCAPB0
				T32A ch1 キャプチャーB1	T32A01DMAREQCAPB1
				T32A ch2 キャプチャーB0	T32A02DMAREQCAPB0
				T32A ch2 キャプチャーB1	T32A02DMAREQCAPB1
27	-	-	[TSEL0CR2] <INSEL10>	T32A ch3 キャプチャーB0	T32A03DMAREQCAPB0
				T32A ch3 キャプチャーB1	T32A03DMAREQCAPB1
				T32A ch4 キャプチャーB0	T32A04DMAREQCAPB0
				T32A ch4 キャプチャーB1	T32A04DMAREQCAPB1
				T32A ch5 キャプチャーB0	T32A05DMAREQCAPB0
				T32A ch5 キャプチャーB1	T32A05DMAREQCAPB1
28	-	-	[TSEL0CR2] <INSEL11>	DMAC ch0 転送完了	INTDMAATC0
				DMAC ch1 転送完了	INTDMAATC1
				DMAC ch8 転送完了	INTDMAATC8
				DMAC ch9 転送完了	INTDMAATC9
				DMAC ch16 転送完了	INTDMAATC16
				DMAC ch17 転送完了	INTDMAATC17
				DMAC ch22 転送完了	INTDMAATC22
29	-	-	[TSEL0CR3] <INSEL12>	DMAC ch2 転送完了	INTDMAATC2
				DMAC ch3 転送完了	INTDMAATC3
				DMAC ch10 転送完了	INTDMAATC10
				DMAC ch11 転送完了	INTDMAATC11
				DMAC ch18 転送完了	INTDMAATC18
				DMAC ch19 転送完了	INTDMAATC19
				DMAC ch23 転送完了	INTDMAATC23
				TRGIN0(PF0 端子)	TRGIN0

注) ch25 ~ ch29 はトリガーセレクターで DMA 要求のトリガースソースを選択します。詳細な接続先については、「2.2 トリガーセレクター (TRGSEL)」を参照してください。

表 2.12 DMA要求一覧(4/4)

チャンネル	シングル転送		バースト転送		
		信号名	トリガー セレクター		信号名
30	-	-	[TSEL0CR3] <INSEL13>	DMAC ch4 転送完了	INTDMAATC4
				DMAC ch5 転送完了	INTDMAATC5
				DMAC ch12 転送完了	INTDMAATC12
				DMAC ch13 転送完了	INTDMAATC13
				DMAC ch20 転送完了	INTDMAATC20
				DMAC ch24 転送完了	INTDMAATC24
				DMAC ch26 転送完了	INTDMAATC26
				TRGIN1(PB1 端子)	TRGIN1
31	-	-	[TSEL0CR3] <INSEL14>	DMAC ch6 転送完了	INTDMAATC6
				DMAC ch7 転送完了	INTDMAATC7
				DMAC ch14 転送完了	INTDMAATC14
				DMAC ch15 転送完了	INTDMAATC15
				DMAC ch21 転送完了	INTDMAATC21
				DMAC ch25 転送完了	INTDMAATC25
				DMAC ch27 転送完了	INTDMAATC27
				TRGIN2(PF2 端子)	TRGIN2

注) ch30、31 はトリガーセレクターで DMA 要求のトリガースースを選択します。詳細な接続先については、「2.2 トリガーセレクター (TRGSEL)」を参照してください。

2.4. 32 ビットタイマーイベントカウンター (T32A)

2.4.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.13 T32A搭載チャンネル

製品	T32A チャンネル (○: 搭載、-: 非搭載)					
	ch0	ch1	ch2	ch3	ch4	ch5
M4K4	○	○	○	○	○	○
M4K2	○	○	○	○	○	○
M4K1	○	○	○	○	○	○

2.4.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
 複数に割り当てられている同一機能端子は排他的に使用してください。
 製品により機能端子がないチャンネルもあります。

表 2.14 T32A機能端子とポート(1/2)

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (○: あり、-: なし)		
				M4K4	M4K2	M4K1
ch0	T32A00INA0	入力	PK1	○	○	○
	T32A00INA1	入力	-	-	-	-
	T32A00OUTA	出力	PK0	○	○	○
	T32A00INB0	入力	-	-	-	-
	T32A00INB1	入力	-	-	-	-
	T32A00OUTB	出力	-	-	-	-
	T32A00INC0	入力	PK1	○	○	○
	T32A00INC1	入力	-	-	-	-
	T32A00OUTC	出力	PK0	○	○	○
ch1	T32A01INA0	入力	PA1	○	○	-
	T32A01INA1	入力	PA2	○	-	-
	T32A01OUTA	出力	PA2	○	-	-
	T32A01INB0	入力	PA0	○	○	○
	T32A01INB1	入力	-	-	-	-
	T32A01OUTB	出力	PA0	○	○	○
	T32A01INC0	入力	PA1	○	○	-
	T32A01INC1	入力	PA2	○	-	-
	T32A01OUTC	出力	PA2	○	-	-
ch2	T32A02INA0	入力	PG1	○	○	○
	T32A02INA1	入力	PG2	○	○	○
	T32A02OUTA	出力	PG0	○	○	○
	T32A02INB0	入力	-	-	-	-
	T32A02INB1	入力	-	-	-	-
	T32A02OUTB	出力	-	-	-	-
	T32A02INC0	入力	PG1	○	○	○
	T32A02INC1	入力	PG2	○	○	○
	T32A02OUTC	出力	PG0	○	○	○

表 2.15 T32A 機能信号とポート(2/2)

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (○: あり、-: なし)		
				M4K4	M4K2	M4K1
ch3	T32A03INA0	入力	PC1	○	-	-
	T32A03INA1	入力	PC2	○	-	-
	T32A03OUTA	出力	PC0	○	○	○
	T32A03INB0	入力	-	-	-	-
	T32A03INB1	入力	-	-	-	-
	T32A03OUTB	出力	-	-	-	-
	T32A03INC0	入力	PC1	○	-	-
	T32A03INC1	入力	PC2	○	-	-
	T32A03OUTC	出力	PC0	○	○	○
ch4	T32A04INA0	入力	PF1	○	-	-
	T32A04INA1	入力	PF2	○	-	-
	T32A04OUTA	出力	PF0	○	○	○
	T32A04INB0	入力	-	-	-	-
	T32A04INB1	入力	-	-	-	-
	T32A04OUTB	出力	-	-	-	-
	T32A04INC0	入力	PF1	○	-	-
	T32A04INC1	入力	PF2	○	-	-
	T32A04OUTC	出力	PF0	○	○	○
ch5	T32A05INA0	入力	PB1	○	○	○
	T32A05INA1	入力	-	-	-	-
	T32A05OUTA	出力	PB0	○	○	○
	T32A05INB0	入力	-	-	-	-
	T32A05INB1	入力	-	-	-	-
	T32A05OUTB	出力	PB1	○	○	○
	T32A05INC0	入力	PB1	○	○	○
	T32A05INC1	入力	-	-	-	-
	T32A05OUTC	出力	PB0	○	○	○

2.4.3. プリスケーラー用クロック

32ビットタイマーイベントカウンタは、プリスケーラー用クロックに以下の表に示すクロックが使用されます。

表 2.16 T32Aプリスケーラー用クロック

クロック
$\Phi T0$

2.4.4. 内部信号接続仕様

2.4.4.1. キャプチャトリガー信号接続仕様

32ビットタイマーイベントカウンタは、以下の表に示すキャプチャトリガー信号が接続されます。

下記表のトリガーセクター欄にレジスタ名のある入力トリガー信号は、トリガーセクターで使用する入力トリガーを選択してください。

表 2.17 T32Aキャプチャトリガー信号接続仕様(1/3)

チャンネル		キャプチャトリガー 入力信号名	トリガースource		
タイマー	トリガー セレクター		入力トリガー信号	信号名	
ch0	タイマーA	T32A00TRGINAPHCK (他タイマー出力)	-	-	-
		T32A00TRGINAPCK (内部トリガー入力)	[TSEL0CR6] <INSEL25>	PF0 端子(TRGIN0)	TRGIN0
				PB1 端子(TRGIN1)	TRGIN1
				PF2 端子(TRGIN2)	TRGIN2
				UART ch0 送信完了トリガー	UART0TXTRG
				UART ch0 受信完了トリガー	UART0RXTRG
				TSPI ch0 送信完了信号	TSPI0TXEND
	TSPI ch0 受信完了信号	TSPI0RXEND			
	タイマーB	T32A00TRGINBPHCK (他タイマー出力)	T32A ch0 タイマーA 出力		T32A00OUTA
		T32A00TRGINBPCK (他タイマー入力)	[TSEL0CR6] <INSEL26>	T32A ch0 タイマーレジスターA0 一致トリガー	T32A00TRGOUTCMPA0
	T32A ch0 タイマーレジスターA1 一致トリガー	T32A00TRGOUTCMPA1			
	T32A ch0 タイマーA オーバーフロートリガー	T32A00TRGOUTOFA			
T32A ch0 タイマーA アンダーフロートリガー	T32A00TRGOUTUFA				
タイマーC	T32A00TRGINCPHCK (他タイマー出力)	-	-	-	
	T32A00TRGINCPCK (内部トリガー入力)	[TSEL0CR6] <INSEL27>	T32A ch5 タイマーレジスターC0 一致トリガー	T32A05TRGOUTCMPC0	
			T32A ch5 タイマーレジスターC1 一致トリガー	T32A05TRGOUTCMPC1	
			T32A ch5 タイマーC オーバーフロートリガー	T32A05TRGOUTOFC	
			T32A ch5 タイマーC アンダーフロートリガー	T32A05TRGOUTUFC	
ch1	タイマーA		T32A01TRGINAPHCK (他タイマー出力)	-	-
		T32A01TRGINAPCK (内部トリガー入力)	[TSEL0CR7] <INSEL28>	PF0 端子(TRGIN0)	TRGIN0
				PB1 端子(TRGIN1)	TRGIN1
				PF2 端子(TRGIN2)	TRGIN2
				UART ch1 送信完了トリガー	UART1TXTRG
				UART ch1 受信完了トリガー	UART1RXTRG
				TSPI ch1 送信完了信号	TSPI1TXEND
	TSPI ch1 受信完了信号	TSPI1RXEND			
	タイマーB	T32A01TRGINBPHCK (他タイマー出力)	T32A ch1 タイマーA 出力		T32A01OUTA
		T32A01TRGINBPCK (内部トリガー入力)	[TSEL0CR7] <INSEL29>	T32A ch1 タイマーレジスターA0 一致トリガー	T32A01TRGOUTCMPA0
	T32A ch1 タイマーレジスターA1 一致トリガー	T32A01TRGOUTCMPA1			
	T32A ch1 タイマーA オーバーフロートリガー	T32A01TRGOUTOFA			
T32A ch1 タイマーA アンダーフロートリガー	T32A01TRGOUTUFA				
タイマーC	T32A01TRGINCPHCK (他タイマー出力)	-	-	-	
	T32A00TRGINCPCK (内部トリガー入力)	[TSEL0CR7] <INSEL30>	T32A ch0 タイマーレジスターC0 一致トリガー	T32A00TRGOUTCMPC0	
			T32A ch0 タイマーレジスターC1 一致トリガー	T32A00TRGOUTCMPC1	
			T32A ch0 タイマーC オーバーフロートリガー	T32A00TRGOUTOFC	
T32A ch0 タイマーC アンダーフロートリガー	T32A00TRGOUTUFC				

注) [TSEL0CRn]<INSELm>はトリガーセレクターで内部トリガーのトリガースourceを選択します。詳細な接続先については、「2.2 トリガーセレクター (TRGSEL)」を参照してください。

表 2.18 T32A キャプチャートリガー信号接続仕様(2/3)

チャンネル		キャプチャートリガー 入力信号名	トリガースource		
タイマー	トリガー セレクター		入力トリガー信号	信号名	
ch2	タイマーA	T32A02TRGINAPHCK (他タイマー出力)	-	-	-
		T32A02TRGINAPCK (内部トリガー入力)	[TSEL0CR7] <INSEL31>	PF0 端子(TRGIN0)	TRGIN0
				PB1 端子(TRGIN1)	TRGIN1
				PF2 端子(TRGIN2)	TRGIN2
				UART ch2 送信完了トリガー	UART2TXTRG
				UART ch2 受信完了トリガー	UART2RXTRG
				TSPI ch2 送信完了信号	TSPI2TXEND
	TSPI ch2 受信完了信号	TSPI2RXEND			
	タイマーB	T32A02TRGINBPHCK (他タイマー出力)	T32A ch2 タイマーA 出力	T32A02OUTA	
		T32A02TRGINBPCK (内部トリガー入力)	[TSEL0CR8] <INSEL32>	T32A ch2 タイマーレジスターA0 一致トリガー	T32A02TRGOUTCMPA0
				T32A ch2 タイマーレジスターA1 一致トリガー	T32A02TRGOUTCMPA1
				T32A ch2 タイマーA オーバーフロートリガー	T32A02TRGOUTOFA
	T32A ch2 タイマーA アンダーフロートリガー			T32A02TRGOUTUFA	
	タイマーC	T32A02TRGINCPHCK (他タイマー出力)	-	-	-
		T32A02TRGINCPCK (内部トリガー入力)	[TSEL0CR8] <INSEL33>	T32A ch1 タイマーレジスターC0 一致トリガー	T32A01TRGOUTCMPC0
				T32A ch1 タイマーレジスターC1 一致トリガー	T32A01TRGOUTCMPC1
T32A ch1 タイマーC オーバーフロートリガー				T32A01TRGOUTOFC	
T32A ch1 タイマーC アンダーフロートリガー				T32A01TRGOUTUFC	
ch3	タイマーA	T32A03TRGINAPHCK (他タイマー出力)		-	-
		T32A03TRGINAPCK (内部トリガー入力)	[TSEL0CR8] <INSEL34>	PF0 端子(TRGIN0)	TRGIN0
				PB1 端子(TRGIN1)	TRGIN1
				PF2 端子(TRGIN2)	TRGIN2
				UART ch3 送信完了トリガー	UART3TXTRG
				UART ch3 受信完了トリガー	UART3RXTRG
				TSPI ch3 送信完了信号	TSPI3TXEND
				TSPI ch3 受信完了信号	TSPI3RXEND
	I2C ch0 割り込み/ EI2C ch0 ステータス割り込み	INTI2C0/INTI2C0ST			
	タイマーB	T32A03TRGINBPHCK (他タイマー出力)	T32A ch3 タイマーA 出力	T32A03OUTA	
T32A03TRGINBPCK (内部トリガー入力)		[TSEL0CR8] <INSEL35>	T32A ch3 タイマーレジスターA0 一致トリガー	T32A03TRGOUTCMPA0	
			T32A ch3 タイマーレジスターA1 一致トリガー	T32A03TRGOUTCMPA1	
			T32A ch3 タイマーA オーバーフロートリガー	T32A03TRGOUTOFA	
	T32A ch3 タイマーA アンダーフロートリガー		T32A03TRGOUTUFA		
タイマーC	T32A03TRGINCPHCK (他タイマー出力)	-	-	-	
	T32A03TRGINCPCK (内部トリガー入力)	[TSEL0CR9] <INSEL36>	T32A ch2 タイマーレジスターC0 一致トリガー	T32A02TRGOUTCMPC0	
			T32A ch2 タイマーレジスターC1 一致トリガー	T32A02TRGOUTCMPC1	
			T32A ch2 タイマーC オーバーフロートリガー	T32A02TRGOUTOFC	
T32A ch2 タイマーC アンダーフロートリガー			T32A02TRGOUTUFC		

注) [TSEL0CRn]<INSELm>はトリガーセレクターで内部トリガーのトリガースourceを選択します。詳細な接続先については、「2.2 トリガーセレクター (TRGSEL)」を参照してください。

表 2.19 T32A キャプチャトリガー信号接続仕様(3/3)

チャンネル	タイマー	キャプチャトリガー 入力信号名	トリガースource			
			トリガー セレクター	入力トリガー信号	信号名	
ch4	タイマーA	T32A04TRGINAPHCK (他タイマー出力)	-	-	-	
		T32A04TRGINAPCK (内部トリガー入力)	[TSEL0CR9] <INSEL37>	PF0 端子(TRGIN0)	TRGIN0	
				PB1 端子(TRGIN1)	TRGIN1	
				PF2 端子(TRGIN2)	TRGIN2	
				A-ENC32 分周パルス信号	ENC0TIMPLS	
				ADC unit B 汎用トリガー割り込み	INTADBTRG	
				ADC unit B 単独変換割り込み	INTADBSGL	
				ADC unit B 連続変換割り込み	INTADBCNT	
	ADC unit B 監視機能 0 割り込み	INTADBCP0				
	タイマーB	T32A04TRGINBPHCK (他タイマー出力)	T32A ch4 タイマーA 出力			T32A04OUTA
		T32A04TRGINBPCK (内部トリガー入力)	[TSEL0CR9] <INSEL38>	T32A ch4 タイマーレジスターA0 一致トリガー	T32A04TRGOUTCMPA0	
				T32A ch4 タイマーレジスターA1 一致トリガー	T32A04TRGOUTCMPA1	
				T32A ch4 タイマーA オーバーフロートリガー	T32A04TRGOUTOFA	
	T32A ch4 タイマーA アンダーフロートリガー			T32A04TRGOUTUFA		
	タイマーC	T32A04TRGINCPHCK (他タイマー出力)	-	-	-	
T32A04TRGINCPCK (内部トリガー入力)		[TSEL0CR9] <INSEL39>	T32A ch3 タイマーレジスターC0 一致トリガー	T32A03TRGOUTCMPC0		
			T32A ch3 タイマーレジスターC1 一致トリガー	T32A03TRGOUTCMPC1		
			T32A ch3 タイマーC オーバーフロートリガー	T32A03TRGOUTOFC		
	T32A ch3 タイマーC アンダーフロートリガー		T32A03TRGOUTUFC			
ch5	タイマーA	T32A05TRGINAPHCK (他タイマー出力)	-	-	-	
		T32A05TRGINAPCK (内部トリガー入力)	[TSEL0CR10] <INSEL40>	PF0 端子(TRGIN0)	TRGIN0	
				PB1 端子(TRGIN1)	TRGIN1	
				PF2 端子(TRGIN2)	TRGIN2	
				ADC unit A 汎用トリガー割り込み	INTADATRG	
				ADC unit A 単独変換割り込み	INTADASGL	
				ADC unit A 連続変換割り込み	INTADACNT	
				ADC unit A 監視機能 0 割り込み	INTADACP0	
	ADC unit A 監視機能 1 割り込み	INTADACP1				
	タイマーB	T32A05TRGINBPHCK (他タイマー出力)	T32A ch5 タイマーA 出力			T32A05OUTA
		T32A05TRGINBPCK (内部トリガー入力)	[TSEL0CR10] <INSEL41>	T32A ch5 タイマーレジスターA0 一致トリガー	T32A05TRGOUTCMPA0	
				T32A ch5 タイマーレジスターA1 一致トリガー	T32A05TRGOUTCMPA1	
				T32A ch5 タイマーA オーバーフロートリガー	T32A05TRGOUTOFA	
	T32A ch5 タイマーA アンダーフロートリガー			T32A05TRGOUTUFA		
	タイマーC	T32A05TRGINCPHCK (他タイマー出力)	-	-	-	
T32A05TRGINCPCK (内部トリガー入力)		[TSEL0CR10] <INSEL42>	T32A ch4 タイマーレジスターC0 一致トリガー	T32A04TRGOUTCMPC0		
			T32A ch4 タイマーレジスターC1 一致トリガー	T32A04TRGOUTCMPC1		
			T32A ch4 タイマーC オーバーフロートリガー	T32A04TRGOUTOFC		
	T32A ch4 タイマーC アンダーフロートリガー		T32A04TRGOUTUFC			

注) [TSEL0CRn]<INSELm>はトリガーセレクターで内部トリガーのトリガースourceを選択します。詳細な接続先については、「2.2 トリガーセレクター (TRGSEL)」を参照してください。

2.4.4.2. 同期制御接続仕様

32ビットタイマーイベントカウンタは、以下の表に示すように同じチャンネル内でタイマーが同期接続されています。

表 2.20 T32A同期制御接続仕様

チャンネル	タイマー	マスター		タイマー	スレーブ	
		機能(出力)	信号名		機能(入力)	信号名
ch0	タイマーA	同期スタート出力 A	T32A00SYNCSTARTOUTA	タイマーB	同期スタート B	T32A00SYNCSTARTB
		同期ストップ出力 A	T32A00SYNCSTOPOUTA		同期停止 B	T32A00SYNCSTOPB
		同期リロード出力 A	T32A00SYNCRELOADOUTA		同期リロード B	T32A00SYNCRELOADB
ch1	タイマーA	同期スタート出力 A	T32A01SYNCSTARTOUTA	タイマーB	同期スタート B	T32A01SYNCSTARTB
		同期ストップ出力 A	T32A01SYNCSTOPOUTA		同期停止 B	T32A01SYNCSTOPB
		同期リロード出力 A	T32A01SYNCRELOADOUTA		同期リロード B	T32A01SYNCRELOADB
ch2	タイマーA	同期スタート出力 A	T32A02SYNCSTARTOUTA	タイマーB	同期スタート B	T32A02SYNCSTARTB
		同期ストップ出力 A	T32A02SYNCSTOPOUTA		同期停止 B	T32A02SYNCSTOPB
		同期リロード出力 A	T32A02SYNCRELOADOUTA		同期リロード B	T32A02SYNCRELOADB
ch3	タイマーA	同期スタート出力 A	T32A03SYNCSTARTOUTA	タイマーB	同期スタート B	T32A03SYNCSTARTB
		同期ストップ出力 A	T32A03SYNCSTOPOUTA		同期停止 B	T32A03SYNCSTOPB
		同期リロード出力 A	T32A03SYNCRELOADOUTA		同期リロード B	T32A03SYNCRELOADB
ch4	タイマーA	同期スタート出力 A	T32A04SYNCSTARTOUTA	タイマーB	同期スタート B	T32A04SYNCSTARTB
		同期ストップ出力 A	T32A04SYNCSTOPOUTA		同期停止 B	T32A04SYNCSTOPB
		同期リロード出力 A	T32A04SYNCRELOADOUTA		同期リロード B	T32A04SYNCRELOADB
ch5	タイマーA	同期スタート出力 A	T32A05SYNCSTARTOUTA	タイマーB	同期スタート B	T32A05SYNCSTARTB
		同期ストップ出力 A	T32A05SYNCSTOPOUTA		同期停止 B	T32A05SYNCSTOPB
		同期リロード出力 A	T32A05SYNCRELOADOUTA		同期リロード B	T32A05SYNCRELOADB

2.4.5. 製品別パルスカウンタ対応一覧

32ビットタイマーイベントカウンタは、以下の表に示すように製品によってパルスカウンタの対応が異なります。

表 2.21 T32A製品別パルスカウンタ対応一覧

チャネル	M4K4	M4K2	M4K1
ch0	1 相パルスカウンタ		
ch1	2 相パルスカウンタ 1 相パルスカウンタ	1 相パルスカウンタ	-
ch2	2 相パルスカウンタ 1 相パルスカウンタ		
ch3	2 相パルスカウンタ 1 相パルスカウンタ	-	-
ch4	2 相パルスカウンタ 1 相パルスカウンタ	-	-
ch5	1 相パルスカウンタ		

2.4.6. DMA 要求

32 ビットタイマーイベントカウンタは、以下の表に示す DMA 要求があります。

表のトリガーセクター欄にレジスタ名の記載あるものは、トリガーセクターで使用する要求を選択してください。

表 2.22 T32A DMA要求(1/2)

チャンネル	要求	信号名	トリガーセクター	DMA 要求チャンネル		
				シングル転送	バースト転送	
ch0	DMA 要求 レジスタ-A1 一致	T32A00DMAREQCMPA1	[TSEL0CR0] <INSEL2>	19	-	○
	DMA 要求 レジスタ-C1 一致	T32A00DMAREQCMPC1				
	DMA 要求 レジスタ-B1 一致	T32A00DMAREQCMPB1	[TSEL0CR1] <INSEL5>	22	-	○
	DMA 要求 キャプチャ-A0	T32A00DMAREQCAPA0				
	DMA 要求 キャプチャ-A1	T32A00DMAREQCAPA1	[TSEL0CR1] <INSEL6>	23	-	○
	DMA 要求 キャプチャ-C0	T32A00DMAREQCAPC0				
	DMA 要求 キャプチャ-C1	T32A00DMAREQCAPC1				
	DMA 要求 キャプチャ-B0	T32A00DMAREQCAPB0	[TSEL0CR2] <INSEL9>	26	-	○
DMA 要求 キャプチャ-B1	T32A00DMAREQCAPB1					
ch1	DMA 要求 レジスタ-A1 一致	T32A01DMAREQCMPA1	[TSEL0CR0] <INSEL2>	19	-	○
	DMA 要求 レジスタ-C1 一致	T32A01DMAREQCMPC1				
	DMA 要求 レジスタ-B1 一致	T32A01DMAREQCMPB1	[TSEL0CR1] <INSEL5>	22	-	○
	DMA 要求 キャプチャ-A0	T32A01DMAREQCAPA0				
	DMA 要求 キャプチャ-A1	T32A01DMAREQCAPA1	[TSEL0CR1] <INSEL6>	23	-	○
	DMA 要求 キャプチャ-C0	T32A01DMAREQCAPC0				
	DMA 要求 キャプチャ-C1	T32A01DMAREQCAPC1				
	DMA 要求 キャプチャ-B0	T32A01DMAREQCAPB0	[TSEL0CR2] <INSEL9>	26	-	○
DMA 要求 キャプチャ-B1	T32A01DMAREQCAPB1					

注) ○: 対応、-: 非対応

表 2.23 T32A DMA要求(2/2)

チャンネル	要求	信号名	トリガー セレクター	DMA 要求チャンネル		
				シングル 転送	バースト 転送	
ch2	DMA 要求 レジスター-A1 一致	T32A02DMAREQCMPA1	[TSEL0CR0] <INSEL3>	20	-	○
	DMA 要求 レジスター-C1 一致	T32A02DMAREQCMPA1				
	DMA 要求 レジスター-B1 一致	T32A02DMAREQCMPB1	[TSEL0CR1] <INSEL5>	22	-	○
	DMA 要求 キャプチャー-A0	T32A02DMAREQCAPA0				
	DMA 要求 キャプチャー-A1	T32A02DMAREQCAPA1	[TSEL0CR1] <INSEL7>	24	-	○
	DMA 要求 キャプチャー-C0	T32A02DMAREQCAPC0				
	DMA 要求 キャプチャー-C1	T32A02DMAREQCAPC1				
	DMA 要求 キャプチャー-B0	T32A02DMAREQCAPB0	[TSEL0CR2] <INSEL9>	26	-	○
DMA 要求 キャプチャー-B1	T32A02DMAREQCAPB1					
ch3	DMA 要求 レジスター-A1 一致	T32A03DMAREQCMPA1	[TSEL0CR0] <INSEL3>	20	-	○
	DMA 要求 レジスター-C1 一致	T32A03DMAREQCMPA1				
	DMA 要求 レジスター-B1 一致	T32A03DMAREQCMPB1	[TSEL0CR1] <INSEL5>	22	-	○
	DMA 要求 キャプチャー-A0	T32A03DMAREQCAPA0				
	DMA 要求 キャプチャー-A1	T32A03DMAREQCAPA1	[TSEL0CR1] <INSEL7>	24	-	○
	DMA 要求 キャプチャー-C0	T32A03DMAREQCAPC0				
	DMA 要求 キャプチャー-C1	T32A03DMAREQCAPC1				
	DMA 要求 キャプチャー-B0	T32A03DMAREQCAPB0	[TSEL0CR2] <INSEL10>	27	-	○
DMA 要求 キャプチャー-B1	T32A03DMAREQCAPB1					
ch4	DMA 要求 レジスター-A1 一致	T32A04DMAREQCMPA1	[TSEL0CR1] <INSEL4>	21	-	○
	DMA 要求 レジスター-C1 一致	T32A04DMAREQCMPA1				
	DMA 要求 レジスター-B1 一致	T32A04DMAREQCMPB1	[TSEL0CR1] <INSEL5>	22	-	○
	DMA 要求 キャプチャー-A0	T32A04DMAREQCAPA0				
	DMA 要求 キャプチャー-A1	T32A04DMAREQCAPA1	[TSEL0CR2] <INSEL8>	25	-	○
	DMA 要求 キャプチャー-C0	T32A04DMAREQCAPC0				
	DMA 要求 キャプチャー-C1	T32A04DMAREQCAPC1				
	DMA 要求 キャプチャー-B0	T32A04DMAREQCAPB0	[TSEL0CR2] <INSEL10>	27	-	○
DMA 要求 キャプチャー-B1	T32A04DMAREQCAPB1					
ch5	DMA 要求 レジスター-A1 一致	T32A05DMAREQCMPA1	[TSEL0CR1] <INSEL4>	21	-	○
	DMA 要求 レジスター-C1 一致	T32A05DMAREQCMPA1				
	DMA 要求 レジスター-B1 一致	T32A05DMAREQCMPB1	[TSEL0CR1] <INSEL5>	22	-	○
	DMA 要求 キャプチャー-A0	T32A05DMAREQCAPA0				
	DMA 要求 キャプチャー-A1	T32A05DMAREQCAPA1	[TSEL0CR2] <INSEL8>	25	-	○
	DMA 要求 キャプチャー-C0	T32A05DMAREQCAPC0				
	DMA 要求 キャプチャー-C1	T32A05DMAREQCAPC1				
	DMA 要求 キャプチャー-B0	T32A05DMAREQCAPB0	[TSEL0CR2] <INSEL10>	27	-	○
DMA 要求 キャプチャー-B1	T32A05DMAREQCAPB1					

注) ○: 対応、-: 非対応

2.4.7. 非対応割り込み

この製品は、毎カウント割り込み(INTT32AxEVRYC)は非対応です。

2.5. 非同期シリアル通信回路 (UART)

2.5.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。
M4K グループ(1)製品に搭載の UART の最大通信速度は 5Mbps です。

表 2.24 UART搭載チャンネル

製品	UART 搭載チャンネル (○: 搭載、-: 非搭載)			
	ch0	ch1	ch2	ch3
M4K4	○	○	○	○
M4K2	○	○	○	-
M4K1	○	○	○	-

2.5.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
複数に割り当てられている同一機能端子は排他的に使用してください。
製品により機能端子がないチャンネルもあります。

表 2.25 UART機能端子とポート

チャンネル	機能端子 (信号名)		ポート	ポートの製品対応 (○: 搭載、-: 非搭載)		
				M4K4	M4K2	M4K1
ch0	UT0TXDA	出力	PK1	○	○	○
			PK3	○	○	○
			PK0	○	○	○
			PK2	○	○	○
	UT0RXD	入力	PK0	○	○	○
			PK2	○	○	○
			PK1	○	○	○
			PK3	○	○	○
ch1	UT1TXDA	出力	PA0	○	○	-
			PA1	○	○	-
			PB1	○	○	○
			PB0	○	○	○
	UT1RXD	入力	PA1	○	○	-
			PA0	○	○	-
			PB0	○	○	○
			PB1	○	○	○
ch2	UT2TXDA	出力	PG0	○	○	○
	UT2RXD	入力	PG1	○	○	○
ch3	UT3TXDA	出力	PC0	○	-	-
			PC1	○	-	-
	UT3RXD	入力	PC1	○	-	-
			PC0	○	-	-

2.5.3. ハーフクロックモード対応

非同期シリアル通信回路のハーフクロックモードは、一端子モードのみ対応しています

2.5.4. プリスケール用クロック

非同期シリアル通信回路は、プリスケール用クロックに以下の表に示すクロックが使用されます。

表 2.26 UART プリスケール用クロック

クロック
ΦT0

2.5.5. DMA 要求

非同期シリアル通信回路は、以下の表に示す DMA 要求があります。
表内の“-”は該当する機能がありません。

表 2.27 UART DMA要求

チャンネル	要求	信号名	トリガー セレクター	DMA 要求チャンネル		
				シングル 転送	バースト 転送	
ch0	UART ch0 受信	UART0RX_DMAREQ	-	8	○	○
	UART ch0 送信	UART0TX_DMAREQ		9	○	○
ch1	UART ch1 受信	UART1RX_DMAREQ	-	10	○	○
	UART ch1 送信	UART1TX_DMAREQ		11	○	○
ch2	UART ch2 受信	UART2RX_DMAREQ	-	12	○	○
	UART ch2 送信	UART2TX_DMAREQ		13	○	○
ch3	UART ch3 受信	UART3RX_DMAREQ	-	14	○	○
	UART ch3 送信	UART3TX_DMAREQ	-	15	○	○

注) ○ : 対応、- : 非対応

2.5.6. 内部信号接続仕様

2.5.6.1. トリガー転送信号接続仕様

非同期シリアル通信回路には、トリガー信号による送信機能があります。
 トリガー信号は以下の表に示すトリガースソースをトリガーセクターで選択し使用します。

表 2.28 UARTトリガー転送信号接続仕様

チャンネル	信号名	トリガーセクター	トリガースソース	
			入力トリガー信号	信号名
ch0	UART0TRGIN	[TSEL0CR5] <INSEL21>	PF0 端子(TRGIN0)	TRGIN0
			PB1 端子(TRGIN1)	TRGIN1
			PF2 端子(TRGIN2)	TRGIN2
			T32A ch5 タイマーレジスターA1 一致トリガー	T32A05TRGOUTCMPA1
			T32A ch5 タイマーレジスターB1 一致トリガー	T32A05TRGOUTCMPB1
			T32A ch5 タイマーレジスターC1 一致トリガー	T32A05TRGOUTCMPC1
ch1	UART1TRGIN	[TSEL0CR5] <INSEL22>	PF0 端子(TRGIN0)	TRGIN0
			PB1 端子(TRGIN1)	TRGIN1
			PF2 端子(TRGIN2)	TRGIN2
			T32A ch5 タイマーレジスターA1 一致トリガー	T32A05TRGOUTCMPA1
			T32A ch5 タイマーレジスターB1 一致トリガー	T32A05TRGOUTCMPB1
			T32A ch5 タイマーレジスターC1 一致トリガー	T32A05TRGOUTCMPC1
ch2	UART2TRGIN	[TSEL0CR5] <INSEL23>	PF0 端子(TRGIN0)	TRGIN0
			PB1 端子(TRGIN1)	TRGIN1
			PF2 端子(TRGIN2)	TRGIN2
			T32A ch5 タイマーレジスターA1 一致トリガー	T32A05TRGOUTCMPA1
			T32A ch5 タイマーレジスターB1 一致トリガー	T32A05TRGOUTCMPB1
			T32A ch5 タイマーレジスターC1 一致トリガー	T32A05TRGOUTCMPC1
ch3	UART3TRGIN	[TSEL0CR6] <INSEL24>	PF0 端子(TRGIN0)	TRGIN0
			PB1 端子(TRGIN1)	TRGIN1
			PF2 端子(TRGIN2)	TRGIN2
			T32A ch5 タイマーレジスターA1 一致トリガー	T32A05TRGOUTCMPA1
			T32A ch5 タイマーレジスターB1 一致トリガー	T32A05TRGOUTCMPB1
			T32A ch5 タイマーレジスターC1 一致トリガー	T32A05TRGOUTCMPC1

注) [TSEL0CRn]<INSELm>はトリガーセクターでトリガー入力のトリガースソースを選択します。トリガーセクターの詳細は、「2.2 トリガーセクター (TRGSEL)」を参照してください。

2.5.6.2. T32A 接続

非同期シリアル通信回路は、その他、下記表のように内部で周辺機能と接続されている信号があります。

表 2.29 UART内部接続仕様: 出力

チャンネル	機能出力		トリガー セレクター	出力先	信号名
		信号名			
ch0	UART ch0 送信完了トリガー出力	UART0TXTRG	[TSEL0CR6] <INSEL25>	T32A ch0 タイマーA	T32A00TRGINAPCK
	UART ch0 受信完了トリガー出力	UART0RXTRG			
ch1	UART ch1 送信完了トリガー出力	UART1TXTRG	[TSEL0CR7] <INSEL28>	T32A ch1 タイマーA	T32A01TRGINAPCK
	UART ch1 受信完了トリガー出力	UART1RXTRG			
ch2	UART ch2 送信完了トリガー出力	UART2TXTRG	[TSEL0CR7] <INSEL31>	T32A ch2 タイマーA	T32A02TRGINAPCK
	UART ch2 受信完了トリガー出力	UART2RXTRG			
ch3	UART ch3 送信完了トリガー出力	UART3TXTRG	[TSEL0CR8] <INSEL34>	T32A ch3 タイマーA	T32A03TRGINAPCK
	UART ch3 受信完了トリガー出力	UART3RXTRG			

2.6. シリアルペリフェラルインターフェース (TSPI)

2.6.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。
M4K グループ(1)製品に搭載の TSPI の最大通信速度は 20Mbps です。

表 2.30 TSPI搭載チャンネル

製品	TSPI チャンネル (○: 搭載、-: 非搭載)			
	ch0	ch1	ch2	ch3
M4K4	○	○	○	○
M4K2	○	-	○	-
M4K1	○	-	○	-

2.6.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。
複数に割り当てられている同一機能端子は排他的に使用してください。
製品により機能端子がないチャンネルもあります。

表 2.31 TSPI機能端子とポート

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (○: 搭載、-: 非搭載)		
				M4K4	M4K2	M4K1
ch0	TSPI0SCK	入出力	PK4	○	○	○
	TSPI0TXD	出力	PK3	○	○	○
	TSPI0RXD	入力	PK2	○	○	○
ch1	TSPI1SCK	入出力	PA2	○	-	-
	TSPI1TXD	出力	PA0	○	-	-
	TSPI1RXD	入力	PA1	○	-	-
ch2	TSPI2SCK	入出力	PG2	○	○	○
	TSPI2TXD	出力	PG0	○	○	○
	TSPI2RXD	入力	PG1	○	○	○
ch3	TSPI3SCK	入出力	PC2	○	-	-
	TSPI3TXD	出力	PC0	○	-	-
	TSPI3RXD	入力	PC1	○	-	-

注) TMPM4K グループ(1)は、TXPIxCSIN 端子/TXPIxCS0 端子/TXPIxCS1 端子/TXPIxCS2 端子/TXPIxCS3 端子はありません。

2.6.3. 製品別転送モード対応一覧

シリアルペリフェラルインターフェースは、以下の表に示すように製品によって使用できる転送モードが異なります。

表 2.32 TSPIモード対応一覧

チャンネル	モード対応		
	M4K4	M4K2	M4K1
ch0	SIO モード		
ch1	SIO モード	-	-
ch2	SIO モード		
ch3	SIO モード	-	-

2.6.4. [TSPIxCR2]<RXDLY>の設定値

TMPM4K グループ(1)製品は、TSPI 制御レジスタ2([TSPIxCR2]<RXDLY[2:0]>)の設定値は以下のとおりです。

表 2.33 [TSPIxCR2]<RXDLY[2:0]>の設定値

Bit	Bit Symbol	リセット後	機能
18:16	<RXDLY[2:0]>	001	000: fsys ≤ 40MHz 001: fsys > 40MHz

2.6.5. プリスケラー用クロック

シリアルペリフェラルインターフェースは、プリスケラー用クロックに以下の表に示すクロックが使用されます。

表 2.34 TSPIプリスケラー用クロック

クロック
ΦT0

2.6.6. DMA 要求

シリアルペリフェラルインターフェースは、以下の表に示す DMA 要求があります。
 表内の"-"は該当する機能がありません。

表 2.35 TSPI DMA要求

チャンネル	要求	信号名	トリガー セレクター	DMA 要求チャンネル		
				シングル 転送	バースト 転送	
ch0	TSPI ch0 受信	TSPI0RX_DMA	-	0	○	○
	TSPI ch0 送信	TSPI0TX_DMA		1	○	○
ch1	TSPI ch1 受信	TSPI1RX_DMA	-	2	○	○
	TSPI ch1 送信	TSPI1TX_DMA		3	○	○
ch2	TSPI ch2 受信	TSPI2RX_DMA	-	4	○	○
	TSPI ch2 送信	TSPI2TX_DMA	-	5	○	○
ch3	TSPI ch3 受信	TSPI3RX_DMA	-	6	○	○
	TSPI ch3 送信	TSPI3TX_DMA	[TSEL0CR0] <INSEL0>	7	○	○

注) ○: 対応、 -: 非対応

2.6.7. 内部信号接続仕様

2.6.7.1. トリガー転送信号接続仕様

シリアルペリフェラルインターフェースには、トリガー信号による転送機能があります。
 トリガー信号は以下の表に示すトリガースソースをトリガーセクターで選択し使用します。

表 2.36 TSPIトリガー転送信号接続仕様

チャンネル	信号名	トリガーセクター	トリガースソース	
			入力トリガー信号	信号名
ch0	TSPI0TRG (入力)	[TSEL0CR4] <INSEL17>	PF0 端子(TRGIN0)	TRGIN0
			PB1 端子(TRGIN1)	TRGIN1
			PF2 端子(TRGIN2)	TRGIN2
			T32A ch5 タイマーレジスターA1 一致トリガー	T32A05TRGOUTCMPA1
			T32A ch5 タイマーレジスターB1 一致トリガー	T32A05TRGOUTCMPB1
			T32A ch5 タイマーレジスターC1 一致トリガー	T32A05TRGOUTCMPC1
ch1	TSPI1TRG (入力)	[TSEL0CR4] <INSEL18>	PF0 端子(TRGIN0)	TRGIN0
			PB1 端子(TRGIN1)	TRGIN1
			PF2 端子(TRGIN2)	TRGIN2
			T32A ch5 タイマーレジスターA1 一致トリガー	T32A05TRGOUTCMPA1
			T32A ch5 タイマーレジスターB1 一致トリガー	T32A05TRGOUTCMPB1
			T32A ch5 タイマーレジスターC1 一致トリガー	T32A05TRGOUTCMPC1
ch2	TSPI2TRG (入力)	[TSEL0CR4] <INSEL19>	PF0 端子(TRGIN0)	TRGIN0
			PB1 端子(TRGIN1)	TRGIN1
			PF2 端子(TRGIN2)	TRGIN2
			T32A ch5 タイマーレジスターA1 一致トリガー	T32A05TRGOUTCMPA1
			T32A ch5 タイマーレジスターB1 一致トリガー	T32A05TRGOUTCMPB1
			T32A ch5 タイマーレジスターC1 一致トリガー	T32A05TRGOUTCMPC1
ch3	TSPI3TRG (入力)	[TSEL0CR5] <INSEL20>	PF0 端子(TRGIN0)	TRGIN0
			PB1 端子(TRGIN1)	TRGIN1
			PF2 端子(TRGIN2)	TRGIN2
			T32A ch5 タイマーレジスターA1 一致トリガー	T32A05TRGOUTCMPA1
			T32A ch5 タイマーレジスターB1 一致トリガー	T32A05TRGOUTCMPB1
			T32A ch5 タイマーレジスターC1 一致トリガー	T32A05TRGOUTCMPC1

注) [TSEL0CR4]<INSELm>、[TSEL0CR5]<INSELm>はトリガーセクターでトリガースソースを選択します。トリガーセクターの詳細は、「2.2 トリガーセクター (TRGSEL)」を参照してください。

2.6.7.2. T32A 接続

シリアルペリフェラルインターフェースは、下記表のように内部で周辺機能と接続されている信号があります。

表 2.37 TSPI内部接続仕様: 出力

チャンネル	機能出力		トリガー セレクター	出力先	信号名
		信号名			
ch0	TSPI ch0 送信完了信号	TSPI0TXEND	[TSEL0CR6] <INSEL25>	T32A ch0 タイマーA	T32A00TRGINAPCK
	TSPI ch0 受信完了信号	TSPI0RXEND			
ch1	TSPI ch1 送信完了信号	TSPI1TXEND	[TSEL0CR7] <INSEL28>	T32A ch1 タイマーA	T32A01TRGINAPCK
	TSPI ch1 受信完了信号	TSPI1RXEND			
ch2	TSPI ch2 送信完了信号	TSPI2TXEND	[TSEL0CR7] <INSEL31>	T32A ch2 タイマーA	T32A02TRGINAPCK
	TSPI ch2 受信完了信号	TSPI2RXEND			
ch3	TSPI ch3 送信完了信号	TSPI3TXEND	[TSEL0CR8] <INSEL34>	T32A ch3 タイマーA	T32A03TRGINAPCK
	TSPI ch3 受信完了信号	TSPI3RXEND			

2.7. I²C インターフェース (I2C)

I2C と EI2C は排他的に使用してください。

2.7.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

TMPM4K グループ(1)製品に搭載の I²C インターフェースは、標準モード、ファストモードに対応します。

表 2.38 I2C搭載チャンネル

製品	I2C チャンネル (○: 搭載、-: 非搭載)
	ch0
M4K4	○
M4K2	○
M4K1	○

2.7.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.39 I2C機能端子とポート

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (○: 搭載、-: 非搭載)		
				M4K4	M4K2	M4K1
ch0	I2C0SCL	入出力	PB1	○	○	○
	I2C0SDA	入出力	PB0	○	○	○

2.7.3. プリスケーラー用クロック

I²C インターフェースは、プリスケーラー用クロックに以下の表に示すクロックが使用されます。

表 2.40 I2Cプリスケーラー用クロック

クロック
fsys

2.7.4. DMA 要求

I²C インターフェースは、以下の表に示す DMA 要求があります。
表内の "-" は該当する機能がありません。

表 2.41 I²C DMA 要求

チャンネル	要求	信号名	トリガー セレクター	DMA 要求チャンネル		
				シングル 転送	バースト 転送	
ch0	I ² C ch0 受信	I2C0RXDMAREQ	-	16	-	○
	I ² C ch0 送信	I2C0TXDMAREQ	-	17	-	○

注) ○: 対応、-: 非対応

2.8. I²C インターフェース バージョン A (EI2C)

I2C と EI2C は排他的に使用してください。

2.8.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

TMPM4K グループ(1)製品に搭載の I2C インターフェース バージョン A は、標準モード、ファストモード、ファストモードプラスに対応します。

表 2.42 EI2C搭載チャンネル

製品	EI2C チャンネル (○: 搭載、-: 非搭載)
	ch0
M4K4	○
M4K2	○
M4K1	○

2.8.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.43 EI2C 機能端子とポート

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (○: 搭載、-: 非搭載)		
				M4K4	M4K2	M4K1
ch0	EI2C0SCL	入出力	PB1	○	○	○
	EI2C0SDA	入出力	PB0	○	○	○

2.8.3. ベースアドレス

TMPM4K グループ(1)製品の EI2C のベースアドレスを表 2.44 に示します。

注)リファレンスマニュアルに記載されているアドレスとは異なります。

表 2.44 EI2C ベースアドレス

機能名	チャンネル/ユニット	ベースアドレス
I ² C インターフェース	EI2C ch0	0x400A0100

2.8.4. プリスケーラー用クロック

I²C インターフェース バージョン A は、プリスケーラー用クロックに以下の表に示すクロックが使用されます。

表 2.45 EI2Cプリスケーラー用クロック

クロック
fsys

2.8.5. DMA 要求

I²C インターフェース バージョン A は、以下の表に示す DMA 要求があります。
 表内の "-" は該当する機能がありません。

表 2.46 EI2C DMA要求

チャンネル	要求	信号名	トリガー セレクター	DMA 要求チャンネル		
				シングル 転送	バースト 転送	
ch0	EI2C ch0 受信	I2C0ARXDMAREQ	-	16	-	○
	EI2C ch0 送信	I2C0ATXDMAREQ	-	17	-	○

注) ○: 対応、 -: 非対応

2.9. 12ビットアナログデジタルコンバーター(ADC)

2.9.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.47 ADC 搭載ユニット

製品	ADC 搭載ユニット (○:あり、-なし)	
	ユニット A	ユニット B
M4K4	○	○
M4K2	○	○
M4K1	○	○

2.9.2. 対応レジスター

TMPM4K グループ(1)のユニット別の対応レジスターを下表に示します。

表 2.48 ADC ユニット別の対応レジスター

ユニット	汎用起動要因用 プログラムレジスター	変換結果格納レジスター
A	[ADATSET0]~[ADATSET23]	[ADAREG0]~[ADAREG23]
B	[ADBTSET0]~[ADBTSET23]	[ADBREG0]~[ADBREG23]

2.9.3. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
製品により機能端子がないチャンネルもあります。

表 2.49 ADC 機能端子とポート

入力チャンネル	機能端子 (信号名)	ポート	ポートの製品対応 (○:あり、-なし)		
			M4K4	M4K2	M4K1
ch0	-	-	-	-	-
ch1	AINA01/AINB01	PE4	○	-	-
ch2	AINA02/AINB02	PE3	○	-	-
ch3	AINA03/AINB03	PE2	○	○	-
ch4	AINA04/AINB04	PE1	○	○	○
ch5	AINA05/AINB05	PE0	○	○	○
ch6	AINA06/AINB06	PD6	○	○	○
ch7	AINA07/AINB07	PD5	○	○	○
ch8	AINA08/AINB08	PD4	○	○	○
ch9	AINA09/AINB09	PD3	○	○	○
ch10	AINA10/AINB10	PD2	○	○	○
ch11	AINA11/AINB11	PD0	○	○	○
ch12	AINA12/AINB12	PD1	○	○	○
ch13	-	-	-	-	-
ch14	-	-	-	-	-
ch15	-	-	-	-	-
ch16	VREFH	-	○	○	○
ch17	VREFL(注 2)	-	○	○	○
ch18	リファレンス電源(注 3)	-	○	○	○

注 1) ユニット A/B とも、ch16~ch18 は自己診断機能サポート用に内部接続されています。

注 2) VREFL は AVSS に接続されています

注 3) リファレンス電源については「TMPM4K グループ(1)データシート」の電気的特性を参照してください。

2.9.4. ADC 用変換クロック

12 ビットアナログデジタルコンバーターは、AD コンバーター用変換クロックに以下の表に示すクロックが使用されます。

表 2.50 ADC 用変換クロック

クロック
ADCLK

2.9.5. モード設定レジスター2 の設定値

モード設定レジスター2(*[ADxMOD2]*)の設定値については、以下の表の値を必ず設定してください。

表 2.51 ADCモード設定レジスター2の設定値

レジスター名	値
<i>[ADxMOD2]</i> <MOD2[31:0]>	0x00000000

2.9.6. トリミング設定レジスターの設定値

トリミング設定レジスター(*[ADxTRM]*)の設定値については、以下の表の値を必ず設定してください。

表 2.52 トリミング設定レジスターの設定値

レジスター名	条件	値
<i>[ADxTRM]</i> <TRM[31:0]>	$4.5V \leq AVDD5 \leq 5.5V$	0x0000E000
	$2.7V \leq AVDD5 < 4.5V$	0x00000000

2.9.7. DMA 要求

12 ビットアナログデジタルコンバーターは、以下の表に示す DMA 要求があります。

表 2.53 ADC DMA要求

ユニット	要求	信号名	トリガー セレクター	DMA 要求チャンネル		
				シングル 転送	バースト 転送	
A	汎用トリガーDMA 要求	ADATRG_DMAREQ	<i>[TSELOCR0]</i> <INSEL1>	18	-	○
	単独変換 DMA 要求	ADASGL_DMAREQ			-	○
	連続変換 DMA 要求	ADACNT_DMAREQ			-	○
B	汎用トリガーDMA 要求	ADBTRG_DMAREQ	<i>[TSELOCR0]</i> <INSEL0>	7	-	○
	単独変換 DMA 要求	ADBSGL_DMAREQ			-	○
	連続変換 DMA 要求	ADBCNT_DMAREQ			-	○

注) ○:対応、-:非対応

2.9.8. 内部信号接続仕様

12ビットアナログデジタルコンバーターと周辺機能との接続を図 2.2 に示します。

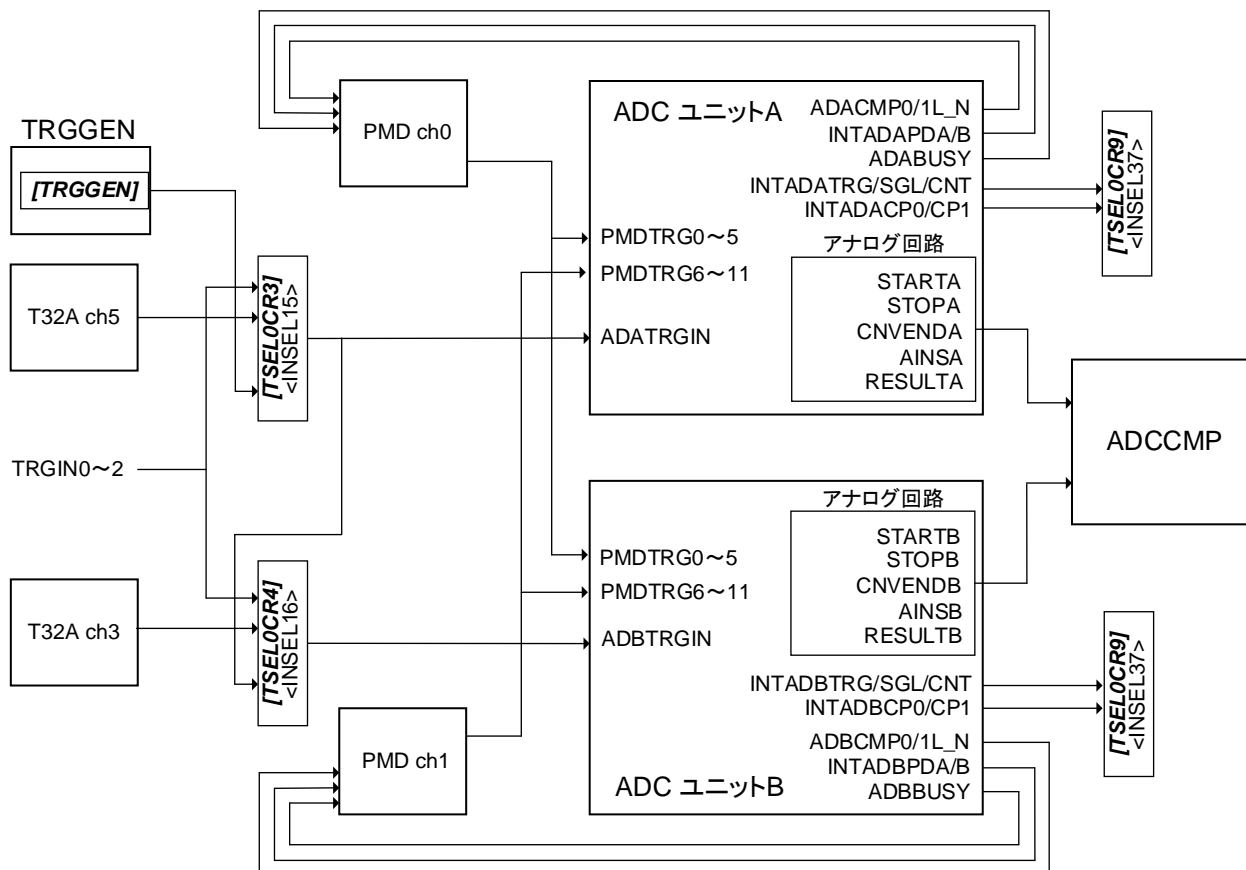


図 2.2 ADCと周辺機能の接続

2.9.8.1. 起動トリガー接続仕様

12ビットアナログデジタルコンバーターには、トリガー信号によるAD変換機能があります。トリガー信号の接続を表 2.54 に示します。

表 2.54のトリガーセクター欄にレジスター名のある入力トリガー信号は、トリガーセクターで使用する入力トリガーを選択してください。表内の"-"は該当する機能がありません。

トリガー信号として、A-PMD の出力するトリガーと汎用トリガーがあります。

汎用トリガーのソースとして、端子入力、タイマー出力の他、トリガー生成回路(TRGGEN)の出力があります。TRGGEN はレジスター設定により、トリガー信号を制御する回路です。詳細は「2.9.9 トリガー生成回路(TRGGEN)」を参照してください。

汎用トリガーで12ビットアナログデジタルコンバーターのユニットAとユニットBを同時に起動する場合、ユニットBの汎用トリガー選択[TRGSEL]<INSEL16>は、ユニットAの汎用トリガー選択[TRGSEL]<INSEL15>の出力を選択してください。

表 2.54 ADC 起動トリガー接続仕様

ユニット	信号入力		トリガーセレクター	入力元	
		信号名			信号名
A	PMD0 PMD トリガー0	PMDTRG0	-	A-PMD ch0	PMD0TRG0
	PMD0 PMD トリガー1	PMDTRG1	-		PMD0TRG1
	PMD0 PMD トリガー2	PMDTRG2	-		PMD0TRG2
	PMD0 PMD トリガー3	PMDTRG3	-		PMD0TRG3
	PMD0 PMD トリガー4	PMDTRG4	-		PMD0TRG4
	PMD0 PMD トリガー5	PMDTRG5	-		PMD0TRG5
	PMD1 PMD トリガー0	PMDTRG6	-	A-PMD ch1	PMD1TRG0
	PMD1 PMD トリガー1	PMDTRG7	-		PMD1TRG1
	PMD1 PMD トリガー2	PMDTRG8	-		PMD1TRG2
	PMD1 PMD トリガー3	PMDTRG9	-		PMD1TRG3
	PMD1 PMD トリガー4	PMDTRG10	-		PMD1TRG4
	PMD1 PMD トリガー5	PMDTRG11	-		PMD1TRG5
	汎用トリガー	ADATRGIN	[TSEL0CR3] <INSEL15>	PF0 端子 (TRGIN0)	TRGIN0
				PB1 端子 (TRGIN1)	TRGIN1
PF2 端子 (TRGIN2)				TRGIN2	
T32A ch5				T32A05TRGOUTCMPA1	
				T32A05TRGOUTCMPB1	
				T32A05TRGOUTCMPC1	
TRGGEN	TRGGEN				
B	PMD0 PMD トリガー0	PMDTRG0	-	A-PMD ch0	PMD0TRG0
	PMD0 PMD トリガー1	PMDTRG1	-		PMD0TRG1
	PMD0 PMD トリガー2	PMDTRG2	-		PMD0TRG2
	PMD0 PMD トリガー3	PMDTRG3	-		PMD0TRG3
	PMD0 PMD トリガー4	PMDTRG4	-		PMD0TRG4
	PMD0 PMD トリガー5	PMDTRG5	-		PMD0TRG5
	PMD1 PMD トリガー0	PMDTRG6	-	A-PMD ch1	PMD1TRG0
	PMD1 PMD トリガー1	PMDTRG7	-		PMD1TRG1
	PMD1 PMD トリガー2	PMDTRG8	-		PMD1TRG2
	PMD1 PMD トリガー3	PMDTRG9	-		PMD1TRG3
	PMD1 PMD トリガー4	PMDTRG10	-		PMD1TRG4
	PMD1 PMD トリガー5	PMDTRG11	-		PMD1TRG5
	汎用トリガー	ADBTRGIN	[TSEL0CR4] <INSEL16>	PF0 端子 (TRGIN0)	TRGIN0
				PB1 端子 (TRGIN1)	TRGIN1
PF2 端子 (TRGIN2)				TRGIN2	
T32A ch3				T32A03TRGOUTCMPA1	
				T32A03TRGOUTCMPB1	
				T32A03TRGOUTCMPC1	
TRGSEL	[TSEL0CR3]<INSEL15> 出力				

注) [TSEL0CR3]<INSEL15>、[TSEL0CR4]<INSEL16>はトリガーセレクターで起動トリガーのトリガーソースを選択します。詳細な接続先については、「2.2 トリガーセレクター (TRGSEL)」を参照してください。

2.9.8.2. その他接続

12 ビットアナログデジタルコンバーターの出力は、表 2.55 のように周辺機能と接続されています。表内の“-”は該当する機能がありません。

T32A、A-PMD については、それぞれのリファレンスマニュアルを参照してください。

ADCCMP については、「2.9.10 AD 変換結果比較回路(ADCCMP)」を参照してください。

表 2.55 ADC 内部接続仕様:出力

ユニット	機能出力	信号名	トリガー セレクター		出力先
					信号名
A	汎用トリガー割り込み	INTADATRG	[TSEL0CR10] INSEL40	T32A ch5 タイマーA	T32A05TRGINAPCK
	単独変換割り込み	INTADASGL			
	連続変換割り込み	INTADACNT			
	監視機能 0 割り込み	INTADACP0			
	監視機能 1 割り込み	INTADACP1			
	PMD 保護用監視機能 0 出力	ADACP0L_N	-	A-PMD ch0	ADACMP0L_N
	PMD 保護用監視機能 1 出力	ADACP1L_N	-		ADACMP1L_N
	PMD 変換終了割り込み A	INTADAPDA	-	A-PMD ch0	INTADAPDA
	PMD 変換終了割り込み B	INTADAPDB	-		INTADAPDB
	AD 変換中フラグ	ADABUSY	-	ADCCMP	ADABUSY
	変換スタート	STARTA	-		STARTA
	強制終了	STOPA	-		STOPA
	変換終了	CNVENDA	-		CNVENDA
	変換チャンネル	AINSA	-		AINSA
変換結果	RESULTA	-	RESULTA		
B	汎用トリガー割り込み	INTADBTRG	[TSEL0CR9] INSEL37	T32A ch4 タイマーA	T32A04TRGINAPCK
	単独変換割り込み	INTADBSGL			
	連続変換割り込み	INTADBCNT			
	監視機能 0 割り込み	INTADBCP0			
	PMD 保護用監視機能 0 出力	ADBCP0L_N	-	A-PMD ch1	ADBCMP0L_N
	PMD 保護用監視機能 1 出力	ADBCP1L_N	-		ADBCMP1L_N
	PMD 変換終了割り込み A	INTADBPDA	-	A-PMD ch1	INTADBPDA
	PMD 変換終了割り込み B	INTADBPDB	-		INTADBPDB
	AD 変換中フラグ	ADBBUSY	-	ADCCMP	ADBBUSY
	変換スタート	STARTB	-		STARTB
	強制終了	STOPB	-		STOPB
	変換終了	CNVENDB	-		CNVENDB
	変換チャンネル	AINSB	-		AINSB
	変換結果	RESULTB	-		RESULTB

2.9.9. トリガー生成回路(TRGGEN)

2.9.9.1. 機能説明・動作説明

TRGGEN は、12 ビットアナログデジタルコンバーターの汎用トリガーを生成する回路です。
汎用トリガーを生成する場合、**[TRGGEN]<GEN>**に”1”を設定してください。汎用トリガー生成後、**[TRGGEN]<GEN>**を”0”にクリアすると次の汎用トリガー生成が可能になります。

2.9.9.2. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

周辺機能		チャンネル/ユニット	ベースアドレス
トリガー生成回路	TRG	-	0x400FF000

レジスタ名	アドレス(Base+)
トリガー生成レジスタ	[TRGGEN] 0x0000

2.9.9.3. **[TRGGEN]**(トリガー生成レジスタ)

Bit	Bit symbol	リセット後	Type	機能
31:1	-	0	R	リードすると”0”が読めます。
0	GEN	0	R/W	ADC 汎用トリガー生成 0: 汎用トリガーの生成準備 1: 汎用トリガーを生成する

2.9.10. AD 変換結果比較回路(ADCCMP)

2.9.10.1. 概要

ADCCMP は、ADC ユニット A とユニット B で同じ AIN チャンネルを同時に変換している場合に、変換結果の差が設定よりも大きいことを検出します。

2.9.10.2. 構成

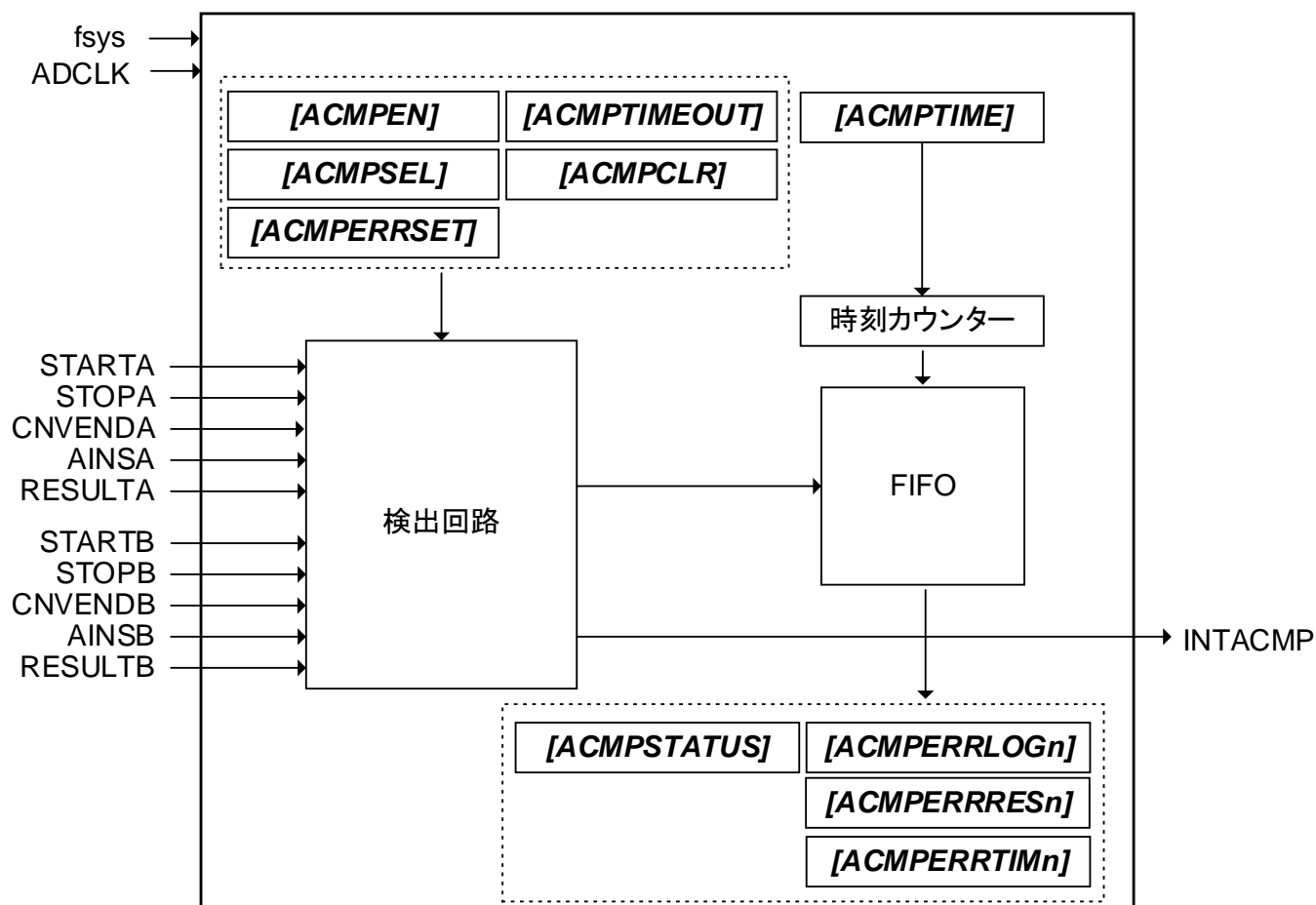


図 2.3 ADCCMPブロック図

表 2.56 信号一覧表

No	信号名	I/O	参照リファレンスマニュアル	
1	fsys	システムクロック	入力	クロック制御と動作モード
2	ADCLK	ADC 用変換クロック	入力	クロック制御と動作モード
3	STARTA	ADC ユニット A 変換開始	入力	2.9.8. 内部信号接続仕様
4	STOPA	ADC ユニット A 変換停止	入力	2.9.8. 内部信号接続仕様
5	CNVENDA	ADC ユニット A 変換終了	入力	2.9.8. 内部信号接続仕様
6	AINSA	ADC ユニット A AIN 選択	入力	2.9.8. 内部信号接続仕様
7	RESULTA	ADC ユニット A 変換結果	入力	2.9.8. 内部信号接続仕様
8	STARTB	ADC ユニット B 変換開始	入力	2.9.8. 内部信号接続仕様
9	STOPB	ADC ユニット B 変換停止	入力	2.9.8. 内部信号接続仕様
10	CNVENDB	ADC ユニット B 変換終了	入力	2.9.8. 内部信号接続仕様
11	AINSB	ADC ユニット B AIN 選択	入力	2.9.8. 内部信号接続仕様
12	RESULTB	ADC ユニット B 変換結果	入力	2.9.8. 内部信号接続仕様
13	INTADCCMP	ADCCMP 割り込み	出力	例外

2.9.10.3. 機能説明・動作説明

2.9.10.3.1. クロック供給

ADCCMPを使用する場合は、fsys 供給停止レジスタB(*[CGFSYSENB]*)で該当するクロックイネーブルビットを"1"(クロック供給)に設定してください。また、ADC ユニット A とユニット B の変換クロックイネーブル(*[CGSPCLKEN]*<ADCKEN0><ADCKEN1>)を同時に"1"(クロック供給)に設定してください。

2.9.10.3.2. 検出

ADCCMP は以下の事象を検出します。

【グループ A】

A-1) 2つのユニットの変換開始のタイミングが異なる

【グループ B】

B-1) どちらかのユニットの変換を停止した

B-2) 2つのユニットの変換終了のタイミングが異なる

B-3) タイムアウト設定時間内にどちらのユニットの変換も終了しない

B-4) 変換結果に設定以上の差がある

変換開始が ADCLK 2クロック以上異なる場合、A-1 が 2回検出されます。

グループ B の B-1、B-2、B-3 は同時に検出される場合があります。

グループ A とグループ B の事象が同時に検出される場合があります。

全ての事象について、検出時の情報が FIFO に格納されます。

B-1 以外の事象は割り込み要因となり、検出すると割り込み信号 INTADCCMP が出力されます。

「2.9.10.3.4 動作設定」に記載された使い方をすることで、A-1、B-2、B-3 の事象の発生を防ぐことができます。

2.9.10.3.3. 検出時の情報

検出時の情報は 8 段の FIFO へ 0 段目から 7 段目の順に格納されます。FIFO の各段にはアドレスが割り付けられており、レジスターから読み出すことができます。FIFO のデータを読み出すレジスターは、エラーログレジスター n ($[ACMPERRLOGn](n=0\sim7)$)、エラー結果レジスター n ($[ACMPERRRESn](n=0\sim7)$)、エラー時刻レジスター n ($[ACMPERRTIMn](n=0\sim7)$) の 3 種類です。

FIFO と対応するレジスターを表 2.57 に示します。

表 2.57 FIFOと対応するレジスター

FIFO 段数	レジスター		
0	$[ACMPERRLOG0]$	$[ACMPERRRES0]$	$[ACMPERRTIM0]$
1	$[ACMPERRLOG1]$	$[ACMPERRRES1]$	$[ACMPERRTIM1]$
2	$[ACMPERRLOG2]$	$[ACMPERRRES2]$	$[ACMPERRTIM2]$
:	:	:	:
7	$[ACMPERRLOG7]$	$[ACMPERRRES7]$	$[ACMPERRTIM7]$

$[ACMPERRLOGn]$ 、 $[ACMPERRRESn]$ に格納される情報を表 2.58 に示します。

$[ACMPERRTIMn]$ には、検出時の時刻カウンターの値が格納されます。時刻カウンターは ADCLK でカウントするフリーランカウンターです。

A-1 の事象が 2 回検出された場合、2 回分の情報が FIFO に格納されます。

複数の事象が同時に発生した場合、FIFO に格納される情報は以下のとおりです。

- 複数のグループ B の事象が同時に発生した場合
B-1～B-4 の中で一番小さい番号の情報が FIFO に格納されます。
- グループ A とグループ B の事象が同時に発生した場合
グループ B の事象、グループ A の事象の順に FIFO に格納されます。
FIFO の空きが 1 段の場合は、グループ B の情報のみ格納されます。

表 2.58 FIFO格納情報

事象	$[ACMPERRLOGn]$							$[ACMPERRRESn]$		
	<AINA>	<AINB>	<ETYPE>	<ENDA>	<ENDB>	<STARTA>	<STARTB>	<RESULTA>	<RESULTB>	
A	1	AINA	AINB	01	0	0	STARTA	STARTB	0x000	0x000
B	1	AINA	AINB	00	0	0	0	0	0x000	0x000
	2	AINA	AINB	10	CONVENDA	CONVENDB	1	1	0x000	0x000
	3	AINA	AINB	11	0	0	1	1	0x000	0x000
	4	AINA	AINB	00	1	1	1	1	RESULTA	RESULTB

FIFO に保持している情報の数は、ステータスレジスター $[ACMPSTATUS]<LOGNUM>$ で確認できます。FIFO のデータは以下の手順でリードします。1～3 の手順が完了すると、次のデータがリード可能です。

1. 対象の FIFO 段に対応する $[ACMPERRLOGn]$ をリードします。
このとき、 $[ACMPERRLOGn]<READFLG>$ は "0" となっています。
2. $[ACMPERRLOGn]<READFLG>$ が "1" になるまで待ちます。
3. $[ACMPERRLOGn]<READFLG>$ が "1" になると、このときリードした $[ACMPERRLOGn]$ の $<READFLG>$ 以外のデータも有効です。続けて $[ACMPERRRESn]$ 、 $[ACMPERRTIMn]$ をリードしてください。

リードしても FIFO はクリアされません。FIFO のクリアについては、「2.9.10.3.6 FIFO のクリア」を参照してください。

2.9.10.3.4. 動作設定

比較対象とする AIN チャンネルに対し、ADC ユニット A とユニット B の変換クロック、変換時間、起動要因を同じ設定にしてください。

ADC ユニット A とユニット B が同時に変換を開始するよう、起動要因として PMD トリガーか汎用トリガーを使用してください。汎用トリガーを利用する場合、ユニット B は、**[TSEL0CR4]<INSEL16>**で”110”(トリガーセクターINSEL15 出力)を選択し、ユニット A と同じ汎用トリガー要因で起動するようにしてください。

ADCCMP の設定は以下の手順で行ってください。

1. ユニット A の変換結果に対しユニット B の変換結果として許容する差の上限と下限を、許容誤差設定レジスター(**[ACMPERRSET]**)に設定します。
2. タイムアウト時間設定レジスター(**[ACMP TIMEOUT]**)に、タイムアウト時間を設定します。変換時間より大きい値を設定してください。タイムアウト時間は ADCLK でカウントされます。
3. 比較対象の AIN チャンネルを比較チャンネル選択レジスター(**[ACMPSEL]**)に設定します。
4. 時刻カウンターレジスター(**[ACMP TIME]**)に任意の値を設定することができます。
[ACMP TIME]に書き込むと**[ACMP STATUS]<TWRITE>**が”1”になります。書き込み完了を示す”0”となったのちに次の操作を行ってください。
5. イネーブルレジスター**[ACMPEN]<EN>**に”1”を設定すると動作を開始します。

2.9.10.3.5. 割り込みのクリア

割り込みをクリアするには、**[ACMPCLR]<ICLR>**に”1”を書き込みます。

同時に複数の要因を検出した場合や割り込みクリアの処理中に新たな割り込み要因を検出した場合、1 回の書き込みではクリアされません。割り込みを完全にクリアするためには、**<ICLR>**から”0”がリードできるまで”1”の書き込みを繰り返してください。

2.9.10.3.6. FIFO のクリア

FIFO のクリアは、0 段目のデータに対して行われます。**[ACMPCLR]<LCLR>**に”1”を書き込むと 0 段目のデータが消去され、1 段目から 7 段目のデータが 1 つ小さい番号へ移動します。**<LCLR>**をリードすることで、クリア動作の完了を確認してください。

FIFO の全てのデータをクリアするには、**[ACMP STATUS]<LOGNUM>**が”0”になるまで上記の操作を繰り返してください。

FIFO のクリア動作中に新たに事象が検出されると、追加されたデータが FIFO に残る場合があります。AD 変換を止めてから操作を行うことで、FIFO の全てのデータを確実にクリアすることができます。

2.9.10.4. レジスタ一覽

制御レジスタとアドレスは以下のとおりです。

周辺機能		チャンネル/ユニット	ベースアドレス
AD 変換結果比較回路	ADCCMP	-	0x400BE000

レジスタ名		アドレス(Base+)
イネーブルレジスタ	[ACMPEN]	0x0000
許容誤差設定レジスタ	[ACMPERRSET]	0x0004
タイムアウト時間設定レジスタ	[ACMPTIMEOUT]	0x0008
比較チャンネル選択レジスタ	[ACMPSEL]	0x000C
時刻カウンタレジスタ	[ACMPTIME]	0x0010
クリアレジスタ	[ACMPCLR]	0x0020
ステータスレジスタ	[ACMPSTATUS]	0x0024
エラーログレジスタ0	[ACMPERRLOG0]	0x0200
エラー結果レジスタ0	[ACMPERRRES0]	0x0204
エラー時刻レジスタ0	[ACMPERRTIM0]	0x0208
エラーログレジスタ1	[ACMPERRLOG1]	0x0210
エラー結果レジスタ1	[ACMPERRRES1]	0x0214
エラー時刻レジスタ1	[ACMPERRTIM1]	0x0218
エラーログレジスタ2	[ACMPERRLOG2]	0x0220
エラー結果レジスタ2	[ACMPERRRES2]	0x0224
エラー時刻レジスタ2	[ACMPERRTIM2]	0x0228
エラーログレジスタ3	[ACMPERRLOG3]	0x0230
エラー結果レジスタ3	[ACMPERRRES3]	0x0234
エラー時刻レジスタ3	[ACMPERRTIM3]	0x0238
エラーログレジスタ4	[ACMPERRLOG4]	0x0240
エラー結果レジスタ4	[ACMPERRRES4]	0x0244
エラー時刻レジスタ4	[ACMPERRTIM4]	0x0248
エラーログレジスタ5	[ACMPERRLOG5]	0x0250
エラー結果レジスタ5	[ACMPERRRES5]	0x0254
エラー時刻レジスタ5	[ACMPERRTIM5]	0x0258
エラーログレジスタ6	[ACMPERRLOG6]	0x0260
エラー結果レジスタ6	[ACMPERRRES6]	0x0264
エラー時刻レジスタ6	[ACMPERRTIM6]	0x0268
エラーログレジスタ7	[ACMPERRLOG7]	0x0270
エラー結果レジスタ7	[ACMPERRRES7]	0x0274
エラー時刻レジスタ7	[ACMPERRTIM7]	0x0278

[ACMPERRSET]、[ACMPTIMEOUT]、[ACMPSEL]は、動作中([ACMPEN]<EN>="1")書き換えできません。

2.9.10.5. [ACMPEN] (イネーブルレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:1	-	0	R	リードすると"0"が読めます。
0	EN	0	R/W	ADCCMP 動作制御 0: 動作禁止 1: 動作許可

2.9.10.6. [ACMPERRSET] (許容誤差設定レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:28	-	0	R	リードすると"0"が読めます。
27:16	UERR[11:0]	0x000	R/W	誤差上限 ADC ユニット A の変換結果より ADC ユニット B の変換結果が大きい場合の誤差の最大値を設定します。
15:12	-	0	R	リードすると"0"が読めます。
11:0	DERR[11:0]	0x000	R/W	誤差下限 ADC ユニット A の変換結果より ADC ユニット B の変換結果が小さい場合の誤差の最大値を設定します。

2.9.10.7. [ACMPTIMEOUT] (タイムアウト時間設定レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:16	-	0	R	リードすると"0"が読めます。
15:0	TIMEOUT	0x0000	R/W	タイムアウト時間 タイムアウト時間を設定します。

2.9.10.8. [ACMPSEL] (比較チャンネル選択レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:19	-	0	R/W	"0"を書いてください。
18	SEL18	0	R/W	比較チャンネル選択 0: 比較しない 1: 比較する
17	SEL17	0	R/W	
16	SEL16	0	R/W	ビット番号が入力チャンネル番号に対応します。
15	SEL15	0	R/W	"0"を書いてください。
14	SEL14	0	R/W	
13	SEL13	0	R/W	比較チャンネル選択 0: 比較しない 1: 比較する ビット番号が入力チャンネル番号に対応します。
12	SEL12	0	R/W	
11	SEL11	0	R/W	
10	SEL10	0	R/W	
9	SEL9	0	R/W	
8	SEL8	0	R/W	
7	SEL7	0	R/W	
6	SEL6	0	R/W	
5	SEL5	0	R/W	
4	SEL4	0	R/W	
3	SEL3	0	R/W	
2	SEL2	0	R/W	
1	SEL1	0	R/W	
0	SEL0	0	R/W	"0"を書いてください。

2.9.10.9. [ACMPTIME] (時刻カウンターレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:0	TIME	0	R/W	時刻カウンター [ライト] 時刻カウンターに値を設定します。 [リード] 時刻カウンターの値が読めます。

2.9.10.10. [ACMPCLR](クリアレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:9	-	0	R	リードすると"0"が読めます。
8	ICLR	0	R/W	割り込みのクリア [ライト] 1: 割り込みをクリアする "0"の書き込みは意味を持ちません。 [リード] 0: 割り込みは発生していない 1: 割り込みが発生している
7:1	-	0	R	リードすると"0"が読めます。
0	LCLR	0	R/W	FIFO の 0 段クリア [ライト] 1:FIFO の 0 段をクリアする。 "0"の書き込みは意味を持ちません。 [リード] 0: FIFO クリア動作中ではない 1: FIFO クリア動作中

2.9.10.11. [ACMPSTATUS](ステータスレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:9	-	0	R	リードすると"0"が読めます。
8	TWRITE	0	R	時刻カウンター書き込み状態 0: 時刻カウンター書き込み動作中でない 1: 時刻カウンター書き込み動作中
7:6	-	0	R	リードすると"0"が読めます。
5:0	LOGNUM	0	R	FIFO のデータ数 FIFO のデータ数を示します

2.9.10.12. [ACMPERRLOG0] (エラーログレジスター0)

[ACMPERRLOG0]の例です。[ACMPERRLOG1]~[ACMPERRLOG7]も同じ構成です。

Bit	Bit symbol	リセット後	Type	機能
31:29	-	0	R	リードすると"0"が読めます。
28:24	AINA	00000	R	ADC ユニット A の AIN チャネル 全ての事象で検出時の ADC ユニット A の AIN チャネルを示します
23:21	-	0	R	リードすると"0"が読めます。
20:16	AINB	00000	R	ADC ユニット B の AIN チャネル 全ての事象で検出時の ADC ユニット B の AIN チャネルを示します
15:10	-	0	R	リードすると"0"が読めます。
9:8	ETYPE	00	R	検出された事象 00: 変換停止(B-1)または許容誤差以上の変換結果(B-4) 01: 変換開始のタイミングが異なる(A-1) 10: 変換終了のタイミングが異なる(B-2) 11: タイムアウト(B-3)
7	ENDB	0	R	ADC ユニット B の変換終了信号状態 事象 B-2 検出時の ADC ユニット B の CNVENDB 信号の状態を示します。
6	ENDA	0	R	ADC ユニット A の変換終了信号状態 事象 B-2 検出時の ADC ユニット A の CNVENDA 信号の状態を示します。
5	STARTB	0	R	ADC ユニット B の変換開始信号状態 事象 A-1 検出時の ADC ユニット B の STARTB 信号の状態を示します。
4	STARTA	0	R	ADC ユニット A の変換開始信号状態 事象 A-1 検出時の ADC ユニット A の STARTA 信号の状態を示します。
3:1	-	0	R	リードすると"0"が読めます。
0	READFLG	0	R	FIFO 読み出しフラグ "1"が読めたとき、[ACMPERRLOG0]、[ACMPERRRES0]、 [ACMPERRTIM0]の値が有効です。

2.9.10.13. [ACMPERRRES0] (エラー結果レジスター0)

[ACMPERRRES0]の例です。[ACMPERRRES1]~[ACMPERRRES7]も同じ構成です。

Bit	Bit symbol	リセット後	Type	機能
31:28	-	0	R	リードすると"0"が読めます。
27:16	RESULTA	0x000	R	ADC ユニット A の変換結果 事象 B-4 検出時の ADC ユニット A の変換結果を示します。
15:12	-	0	R	リードすると"0"が読めます。
11:0	RESULTB	0x000	R	ADC ユニット B の変換結果 事象 B-4 検出時の ADC ユニット B の変換結果を示します。

2.9.10.14. [ACMPERRTIM0] (エラー時刻レジスター0)

[ACMPERRTIM0]の例です。[ACMPERRTIM1]～[ACMPERRTIM7]も同じ構成です。

Bit	Bit symbol	リセット後	Type	機能
31:0	ERRTIME	0x00000000	R	検出時刻 全ての事象検出時の時刻カウンターの値を示します。

2.10. アドバンストプログラマブルモーター制御回路 (A-PMD)

2.10.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.59 A-PMD搭載チャンネル

製品	A-PMD 搭載チャンネル (○: 搭載、-: 非搭載)	
	ch0	ch1
M4K4	○	○
M4K2	○	○
M4K1	○	-

2.10.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.60 A-PMD機能端子とポート

チャンネル	機能端子		信号名	ポート	ポートの製品対応 (○: 搭載、-: 非搭載)		
					M4K4	M4K2	M4K1
ch0	XO0	出力	XO0	PJ1	○	○	○
	YO0	出力	YO0	PJ3	○	○	○
	ZO0	出力	ZO0	PJ5	○	○	○
	UO0	出力	UO0	PJ0	○	○	○
	VO0	出力	VO0	PJ2	○	○	○
	WO0	出力	WO0	PJ4	○	○	○
	EMG0	入力	EMG0	PD6	○	○	○
				PH2	○	○	○
				PJ6	○	○	○
	OVV0	入力	OVV0	PJ7	○	-	-
デバッグ出力	出力	PMD0DBG	PB0	○	○	○	
			PG0	○	○	○	
			PJ0	○	○	○	
ch1	XO1	出力	XO1	PG3	○	○	-
	YO1	出力	YO1	PG4	○	○	-
	ZO1	出力	ZO1	PG5	○	○	-
	UO1	出力	UO1	PG0	○	○	-
	VO1	出力	VO1	PG1	○	○	-
	WO1	出力	WO1	PG2	○	○	-
	EMG1	入力	EMG1	PF0	○	○	-
	OVV1	入力	OVV1	-	-	-	-
	デバッグ出力	出力	PMD1DBG	PB1	○	○	-
				PG1	○	○	-
PJ1				○	○	-	

2.10.3. DMA 要求

A-PMD は、以下の表に示す DMA 要求があります。

表 2.61 A-PMD DMA要求

チャンネル	要求	信号名	トリガー セレクター	DMA 要求チャンネル		
				シングル 転送	バースト 転送	
ch0	A-PMD ch0 PWM 割り込み	INTPWM0	[TSEL0CR0] <INSEL2>	19	-	○
ch1	A-PMD ch1 PWM 割り込み	INTPWM1	[TSEL0CR0] <INSEL3>	20	-	○

注) ○: 対応、 -: 非対応

2.10.4. 内部信号接続仕様

2.10.4.1. その他接続

A-PMD は、下記表のように内部で周辺機能と接続されている信号があります。

表 2.62 A-PMD内部接続仕様: 入力 (1/2)

チャンネル	機能入力	入力元		
		信号名	信号名	
ch0	ADC 変換終了割り込み A	INTADAPDA	INTADAPDA	
	ADC 変換終了割り込み B	INTADAPDB	INTADAPDB	
	ADC 変換動作中状態信号	ADABUSY	ADABUSY	
	ADC 監視機能 0 信号(OVV 検知)	ADACMP0L_N	ADACMP0L_N	
	ADC 監視機能 1 信号(OVV 検知)	ADACMP1L_N	ADACMP1L_N	
	ADC 変換終了割り込み C	INTADxPDC	-	
	ADC 変換終了割り込み D	INTADxPDD	-	
	ADC 変換優先度割り込み	INTADxPFLG	-	
	転流トリガー(A-ENC32 位置検出同期)	INTENC00	A-ENC32 ch0	INTENC00
	転流トリガー(汎用タイマー同期)	PMD0TMR	T32A ch0	T32A00TRGOUTCMPA0
	転流トリガー(A-ENC32 MCMP 同期)	ENC0CTRGO	A-ENC32 ch0	ENC0CTRGO
	VE U 相 PWM デューティ	VExCMPU	-	-
	VE V 相 PWM デューティ	VExCMPV	-	-
	VE W 相 PWM デューティ	VExCMPW	-	-
	VE トリガーコンペア 0	VExTRGCMP0	-	-
	VE トリガーコンペア 1	VExTRGCMP1	-	-
	VE 同期トリガー出力選択	VExTRGSEL	-	-
	VE 通電制御/出力制御	VExOUTCR	-	-
	VE EMG 復帰	VExEMGRS	-	-
	VE タスク遷移信号	VExTASKP	-	-
VE 割り込み	INTVCNx	-	-	

表 2.63 A-PMD内部接続仕様: 入力 (2/2)

チャンネル	機能入力	入力元		
		信号名	信号名	
ch1	ADC 変換終了割り込み A	INTADBPDA	ADC unit B	INTADBPDA
	ADC 変換終了割り込み B	INTADBPDB		INTADBPDB
	ADC 変換動作中状態信号	ADBBUSY		ADBBUSY
	ADC 監視機能 0 信号(OVV 検知)	ADBCMP0L_N		ADBCP0L_N
	ADC 監視機能 1 信号(OVV 検知)	ADBCMP1L_N		ADBCP1L_N
	ADC 変換終了割り込み C	INTADxPDC	-	-
	ADC 変換終了割り込み D	INTADxPDD		
	ADC 優先割り込み	INTADxPFLG		
	転流トリガー(A-ENC32 位置検出同期)	INTENC10	A-ENC32 ch1	INTENC10
	転流トリガー(汎用タイマー同期)	PMD1TMR	T32A ch2	T32A02TRGOUTCMPA0
	転流トリガー(A-ENC32 MCMP 同期)	ENC1CTRGO	A-ENC32 ch1	ENC1CTRGO
	VE U 相 PWM デューティ	VExCMPU	-	-
	VE V 相 PWM デューティ	VExCMPV		
	VE W 相 PWM デューティ	VExCMPW		
	VE トリガーコンペア 0	VExTRGCMP0		
	VE トリガーコンペア 1	VExTRGCMP1		
	VE 同期トリガー出力選択	VExTRGSEL		
	VE 通電制御/出力制御	VExOUTCR		
	VE EMG 復帰	VExEMGRS		
	VE タスク遷移信号	VExTASKP		
VE 割り込み	INTVCNx			

表 2.64 A-PMD内部接続仕様: 出力

チャンネル	機能出力	出力先		
		信号名		信号名
ch0	ADC 同期トリガー出力 0	PMD0TRG0	ADC unit A	PMD0TRG0
			ADC unit B	PMD0TRG0
	ADC 同期トリガー出力 1	PMD0TRG1	ADC unit A	PMD0TRG1
			ADC unit B	PMD0TRG1
	ADC 同期トリガー出力 2	PMD0TRG2	ADC unit A	PMD0TRG2
			ADC unit B	PMD0TRG2
	ADC 同期トリガー出力 3	PMD0TRG3	ADC unit A	PMD0TRG3
			ADC unit B	PMD0TRG3
	ADC 同期トリガー出力 4	PMD0TRG4	ADC unit A	PMD0TRG4
ADC unit B			PMD0TRG4	
ADC 同期トリガー出力 5	PMD0TRG5	ADC unit A	PMD0TRG5	
		ADC unit B	PMD0TRG5	
エンコーダー入力用 PWM 信号	PMD0PWMON	A-ENC32 ch0	ENC0PWMON	
PWM 割り込み	INTPWM0	-	-	
ch1	ADC 同期トリガー出力 0	PMD1TRG0	ADC unit A	PMD1TRG0
			ADC unit B	PMD1TRG0
	ADC 同期トリガー出力 1	PMD1TRG1	ADC unit A	PMD1TRG1
			ADC unit B	PMD1TRG1
	ADC 同期トリガー出力 2	PMD1TRG2	ADC unit A	PMD1TRG2
			ADC unit B	PMD1TRG2
	ADC 同期トリガー出力 3	PMD1TRG3	ADC unit A	PMD1TRG3
			ADC unit B	PMD1TRG3
	ADC 同期トリガー出力 4	PMD1TRG4	ADC unit A	PMD1TRG4
ADC unit B			PMD1TRG4	
ADC 同期トリガー出力 5	PMD1TRG5	ADC unit A	PMD1TRG5	
		ADC unit B	PMD1TRG5	
エンコーダー入力用 PWM 信号	PMD1PWMON	A-ENC32 ch1	ENC1PWMON	
PWM 割り込み	INTPWM1	-	-	

2.10.4.2. チャンネル間同期制御接続仕様

A-PMD は、以下の表に示すようにチャンネル間で同期接続されています。

表 2.65 A-PMDチャンネル間同期制御接続仕様

チャンネル	マスター		チャンネル	スレーブ	
	機能(出力)	信号名		機能(入力)	信号名
ch0	PWM 許可同期出力	PMD0SYNCDENO	ch1	PWM 許可同期入力	PMD1SYNCDENI
	EMG 保護同期出力	PMD0SYNCEMGO		EMG 保護同期入力	PMD1SYNCEMGI
	OVV 保護同期出力	PMD0SYNCOVVO		OVV 保護同期入力	PMD1SYNCOVVI

2.11. アドバンストエンコーダー入力回路 (32-bit) (A-ENC32)

2.11.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.66 A-ENC32搭載チャンネル

製品	A-ENC32 搭載チャンネル (○: 搭載、-: 非搭載)	
	ch0	ch1
M4K4	○	○
M4K2	○	○
M4K1	○	○

2.11.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.67 A-ENC32機能端子とポート

チャンネル	機能端子		信号名	ポート	ポートの製品対応 (○: 搭載、-: 非搭載)		
					M4K4	M4K2	M4K1
ch0	ENC0A	入力	ENC0A	PG0	○	○	○
	ENC0B	入力	ENC0B	PG1	○	○	○
	ENC0Z	入力	ENC0Z	PG2	○	○	○
ch1	ENC1A	入力	ENC1A	PJ5	○	○	○
	ENC1B	入力	ENC1B	PJ4	○	○	○
	ENC1Z	入力	ENC1Z	PJ3	○	○	○

2.11.3. 内部信号接続仕様

2.11.3.1. T32A/A-ENC32 接続

アドバンストエンコーダー入力回路は、下記表のように内部で周辺機能と接続されている信号があります。

表内の "-" は該当する機能がありません。

表 2.68 A-ENC32内部接続仕様: 入力

チャンネル	機能入力	入力元		
		信号名		信号名
ch0	汎用タイマー出力信号	ENC0PSGI	T32A ch0 タイマー出力 A	T32A00OUTA
	サンプリング用 PWM 信号	ENC0PWMON	A-PMD ch0 PWM 信号	PMD0PWMON
ch1	汎用タイマー出力信号	ENC1PSGI	T32A ch2 タイマー出力 A	T32A02OUTA
	サンプリング用 PWM 信号	ENC1PWMON	A-PMD ch1 PWM 信号	PMD1PWMON

表 2.69 A-ENC32内部接続仕様: 出力

チャンネル	機能出力	出力先			
		信号名	トリガーセクター	信号名	
ch0	分周パルス信号	ENC0TIMPLS	[TSEL0CR8] <INSEL37>	T32A ch4 タイマーA キャプチャートリガー入力	T32A04TRGINAPHCK
	転流トリガー	ENC0CTRGO	-	A-PMD ch0 転流トリガー (電気角同期)	ENC0CTRGO
	エンコーダー入力割り込み 0	INTENC00	-	A-PMD ch0 転流トリガー (ENC 位置検出同期)	INTENC00
ch1	分周パルス信号	ENC1TIMPLS	[TSEL0CR7] <INSEL28>	T32A ch1 タイマーA キャプチャートリガー入力	T32A01TRGINAPHCK
	転流トリガー	ENC1CTRGO	-	A-PMD ch1 転流トリガー (電気角同期)	ENC1CTRGO
	エンコーダー入力割り込み 0	INTENC10	-	A-PMD ch1 転流トリガー (ENC 位置検出同期)	INTENC10

2.12. オペアンプ (OPAMP)

2.12.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.70 OPAMP 搭載ユニット

製品	OPAMP 搭載ユニット (○: 搭載、-: 非搭載)
	ユニット A
M4K4	○
M4K2	○
M4K1	○

2.12.2. 接続端子

OPAMP が接続可能な AD コンバーターの端子は下記のとおりです。

表 2.71 OPAMP接続端子

OPAMP	ADC 端子	製品(○: 搭載、-: 非搭載)		
		M4K4	M4K2	M4K1
ユニット A	AINA11/AINB11 AINA12/AINB12	○	○	○

2.12.3. 内部信号接続仕様

OPAMP と AD コンバーターは、下記表のように内部で接続されています。

表 2.72 OPAMP内部接続

ADC 入力端子	OPAMP 入力端子	OPAMP 出力端子	OPAMP 出力 ADC
AINA11/AINB11	AINAM	AMPOUTA	AINA12/AINB12
AINA12/AINB12	AINAP		

2.13. クロック選択式ウォッチドッグタイマー (SIWDT)

2.13.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.73 SIWDT搭載チャンネル

製品	SIWDT チャンネル (○: 搭載、-: 非搭載)
M4K4	○
M4K2	○
M4K1	○

2.13.2. カウントクロック

クロック選択式ウォッチドッグタイマーは、カウントするクロックを選択可能です。以下の表に選択できるクロックを示します。

表 2.74 SIWDTカウントクロック

クロック	信号名	選択
システムクロック	f _{sys}	[SIWDT0MOD]<WDCLS> レジスターで選択します。
内蔵高速発振器 1 クロック	f _{IHOSC1}	
内蔵高速発振器 2 クロック	f _{IHOSC2}	

2.13.3. 制御出力

内蔵高速発振器 2 クロック (f_{IHOSC2}) を選択した場合、内蔵高速発振器 2 発振制御ビットの書き換えを禁止することが可能です。

表 2.75 SIWDT制御出力

制御出力	信号名	備考
内蔵高速発振器 2 発振制御ビット ([CGOSCCR]<IHOSC2EN> のプロテクト信号)	OSCPRO	[SIWDT0OSCCR]<OSCPRO>レジスター で設定します。

2.14. CRC 計算回路 (CRC)

製品毎の搭載チャンネルを下記表に示します。

表 2.76 CRC搭載チャンネル

製品	CRC 搭載チャンネル (○: 搭載、-: 非搭載)
	ch0
M4K4	○
M4K2	○
M4K1	○

2.15. RAM パリティ (RAMP)

2.15.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.77 RAMP搭載チャンネル

製品	RAMP 搭載チャンネル (○: 搭載、-: 非搭載)
	ch0
M4K4	○
M4K2	○
M4K1	○

2.15.2. エラー判定ブロックエリア

下表に製品毎のエラー判定ブロックエリアを示します。

表 2.78 RAMPのエラー判定ブロックエリア

レジスター名	エラー判定ブロックエリア	製品(○: 対応、-: 非対応)		
		M4K4	M4K2	M4K1
[RPARST]<RPARFG2>	0x20002000 ~ 0x200047FF	○	○	○
[RPARST]<RPARFG1>	0x20001000 ~ 0x20001FFF	○	○	○
[RPARST]<RPARFG0>	0x20000000 ~ 0x20000FFF	○	○	○

2.16. 周波数検知回路 (OFD)

2.16.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.79 OFD搭載チャンネル

製品	OFD チャンネル (○: 搭載、-: 非搭載)
	ch0
M4K4	○
M4K2	○
M4K1	○

2.16.2. 基準クロック

周波数検知回路は以下の表のクロックを基準クロックとして動作します。

表 2.80 OFD基準クロック

基準クロック	信号名	分周値
内蔵高速発振器 2 クロック	f _{IHOSC2}	256

2.16.3. 検知対象クロック

周波数検知回路は以下の表の検知対象クロックからモニターしたいクロックを選択します。

表 2.81 OFD 検知対象クロック

検知対象クロック		信号名
入力信号	外部高速発振器クロック	f _{EHOSC}
	CG(クロック制御部)の[CGOSCCR]<OSCSEL>と [CGPLLOSEL]<PLL0SEL>で選択されたクロック	fc

2.17. デバッグインターフェース

2.17.1. 製品別デバッグインターフェース一覧

表 2.82 デバッグインターフェース一覧

デバッグ機能	デバッグ端子 (信号名)	ポート	端子対応 (○: 搭載、-: 非搭載)		
			M4K4	M4K2	M4K1
シリアルワイヤ	SWDIO	PK2	○	○	○
	SWCLK	PK3	○	○	○
	SWV	PK1	○	○	○
JTAG	TMS	PK2	○	○	○
	TCK	PK3	○	○	○
	TDO	PK1	○	○	○
	TDI	PK0	○	○	○
	TRST_N	PK4	○	○	○
ETMトレース	TRACECLK	PL4	○	-	-
	TRACEDATA0	PL0	○	-	-
	TRACEDATA1	PL1	○	-	-
	TRACEDATA2	PL2	○	-	-
	TRACEDATA3	PL3	○	-	-

2.18. ノンブレイクデバッグインターフェース (NBDIF)

2.18.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.83 NBDIF搭載一覧

製品	NBDIF 搭載一覧 (○: 搭載、-: 非搭載)
M4K4	○
M4K2	-
M4K1	-

2.18.2. 製品別 NBDIF 端子一覧

表 2.84 製品別NBDIF端子一覧

デバッグ端子 (信号名)	ポート	端子対応 (○: 搭載、-: 非搭載)		
		M4K4	M4K2	M4K1
NBDSYNC	PK4	○	-	-
NBDCLK	PL4	○	-	-
NBDDATA0	PL0	○	-	-
NBDDATA1	PL1	○	-	-
NBDDATA2	PL2	○	-	-
NBDDATA3	PL3	○	-	-

2.19. デジタルノイズフィルター回路 (DNF)

2.19.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.85 DNF搭載ユニット

製品	DNF 搭載ユニット (○: 搭載、-: 非搭載)
	ユニット A
M4K4	○
M4K2	○
M4K1	○

2.19.2. 製品別外部割り込み端子と DNF

デジタルノイズフィルター回路は以下の外部割り込み端子に対応しています。

表 2.86 外部割り込み端子と DNF

外部割り込み端子 (信号名)	ポート	設定レジスター名	端子対応 (○: 搭載、-: 非搭載)		
			M4K4	M4K2	M4K1
INT00a	PK0	[DNFAENCR]<NFEN0>	○	○	○
INT00b	PF1	[DNFAENCR]<NFEN11>	○	-	-
INT01a	PK1	[DNFAENCR]<NFEN1>	○	○	○
INT01b	PF2	[DNFAENCR]<NFEN12>	○	-	-
INT02a	PK2	[DNFAENCR]<NFEN2>	○	○	○
INT02b	PB0	[DNFAENCR]<NFEN13>	○	○	○
INT03a	PK3	[DNFAENCR]<NFEN3>	○	○	○
INT03b	PB1	[DNFAENCR]<NFEN14>	○	○	○
INT04	PG0	[DNFAENCR]<NFEN4>	○	○	○
INT05	PG1	[DNFAENCR]<NFEN5>	○	○	○
INT06	PK4	[DNFAENCR]<NFEN6>	○	○	○
INT07a	PA0	[DNFAENCR]<NFEN7>	○	○	○
INT07b	PC2	[DNFAENCR]<NFEN15>	○	-	-
INT08	PC0	[DNFAENCR]<NFEN8>	○	○	○
INT09	PA1	[DNFAENCR]<NFEN9>	○	○	-
INT10	PC1	[DNFAENCR]<NFEN10>	○	-	-

2.19.3. サンプリングソースクロック

デジタルノイズフィルタ回路は、サンプリングのソースクロックとして以下の表に示すクロックが使用されます。

表 2.87 DNFサンプリングソースクロック

クロック
fc

2.20. トリミング回路 (TRM)

2.20.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.88 TRM搭載一覧

製品	TRM 搭載 (○: 搭載、-: 非搭載)
M4K4	○
M4K2	○
M4K1	○

2.20.2. トリミング対象発振器

トリミング回路の対象発振器は以下の表に示す発振器です。

表 2.89 TRM トリミング対象発振器

対象発振器	発振器名
内蔵高速発振器 1	IHOSC1

2.21. 電圧検知回路 (LVD)

2.21.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.90 LVD搭載一覧

製品	LVD 搭載一覧 (○: 搭載、-: 非搭載)
M4K4	○
M4K2	○
M4K1	○

2.21.2. 検知対象電源端子

電圧検知回路は以下の表の電源端子をモニターします。

表 2.91 LVD検知対象電源端子

検知対象電源端子	電源端子名
デジタル用電源端子	DVDD5A/DVDD5B/DVDD5C

2.22. フラッシュメモリー

2.22.1. 書き込み、消去用クロック

フラッシュメモリーは、コードフラッシュへの書き込み、消去用に以下の表に示すクロックが使用されます。

表 2.92 書き込み、消去用クロック

書き込み、消去用クロック
f _{IHOSC1}

2.22.2. 製品別コードフラッシュブロック構成

コードフラッシュは、下記の表のように製品によってメモリーのブロック構成が異なります。

表 2.93 製品別コードフラッシュブロック構成

ブロック名称	M4K4FYBUG	M4K4FWBUG	ブロック サイズ (KB)
	M4K2FYBDUG M4K1FYBUG	M4K2FWBDUG M4K1FWBUG	
Block0	PG0	○	4
	PG1	○	4
	PG2	○	4
	PG3	○	4
	PG4	○	4
	PG5	○	4
	PG6	○	4
	PG7	○	4
Block1	○	○	32
Block2	○	○	32
Block3	○	○	32
Block4	○	-	32
Block5	○	-	32
Block6	○	-	32
Block7	○	-	32

注) ○: Block あり、-: Block なし

2.22.3. フラッシュアクセスコントロールレジスター[FCACCR]<FCLC[2:0]>の設定

フラッシュアクセスコントロールレジスター[FCACCR]<FCLC[2:0]>の設定は、以下のとおりです。
TMPM4K グループ(1)は、<FCLC[2:0]>はリセット後の値で使用してください。

表 2.94 フラッシュアクセスコントロールレジスター[FCACCR]<FCLC[2:0]>の設定

Bit	Bit symbol	リセット後	機能
2:0	<FCLC[2:0]>	011	コードフラッシュのリードクロック制御

2.22.4. ID-Read 時のマクロコード値

この製品のマクロコード値は、以下のとおりです。

表 2.95 ID-Read時のマクロコード値

Code	ID[15:0]
マクロコード(コードフラッシュ)	0x0421

2.22.5. シングルブートモード時の使用リソース

シングルブートモードでは下記表の周辺機能を使用します。

表 2.96 シングルブートモード時の使用リソース

周辺機能	チャンネル	機能	ポート(端子名)
BOOT	-	-	PJ6(BOOT_N)
UART	ch0	RXD	PK0(UT0RXD)
		TXD	PK1(UT0TXDA)
T32A	ch0	-	-

3. 改訂履歴

表 3.1 改訂履歴

Revision	Date	Description
1.0	2024-07-22	・新規作成

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報(本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど)および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器(以下“特定用途”という)に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器(ヘルスケア除く)、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証(機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。)をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。