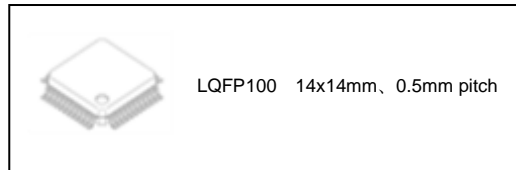


CMOS 形 デジタル集積回路 シリコン モノリシック

## TMPM471F10FG

## 概要

- Arm® Cortex®-M4(FPU 機能搭載)  
動作周波数: 160MHz、動作電圧: 4.5 ~ 5.5V
- 1MB コードフラッシュ
- 100 ピン パッケージ



## 用途

モーター、モーター家電、産業機器に幅広く使用可能

## 特長

- Arm Cortex-M4(FPU 機能搭載) コア搭載
  - 動作周波数: 1 ~ 160MHz
  - メモリー保護ユニット(MPU)搭載
- 動作電圧と消費電力
  - 動作電圧: 4.5 ~ 5.5V
  - 低消費電力動作: IDLE、STOP1
- 動作温度範囲: -40 ~ +85°C
- 内蔵メモリー
  - コードフラッシュ: 1MB、書き換え: 10 万回
  - 命令実行と並行して実行中と別のエリアを書き換え可能
  - RAM: 64KB、パリティ付き
- クロック
  - 外部高速発振器: 6MHz ~ 24MHz(セラミック、水晶)
  - 外部高速クロック入力: 6 ~ 10MHz
  - 内蔵高速発振器(IHOSC1): 10MHz、ユーザトリミング
  - PLL: 160MHz(システムクロック)
- 周波数検知(OFD): システムクロック異常検知
- 電圧検知(LVD): 4 レベル、割り込みとリセット出力選択
- 割り込み
  - 外部要因: 16  
(外部端子: 16 本、DNF(デジタルノイズフィルター)付き)
  - 内部要因: 80
- 入出力ポート: 81 本 (入力: 2 本)
  - ブルアップ/ダウン、オーブンドレイン
- オンチップデバッグ(JTAG/SW)、TRACE(4bit)
- トリガーセレクター(TRGSEL)
  - DMAC やタイマーなどの起動要因を拡張
- DMA コントローラー(DMAC): 1 ユニット
  - チャンネル数: 30 チャンネル、内部/外部トリガー
- CRC 計算回路(CRC): CRC32、CRC16
- 非同期シリアル通信回路(UART): 5 チャンネル
  - 最大 5Mbps、FIFO(送信×8、受信×8)
- シリアルペリフェラルインターフェース(TSPI): 4 チャンネル
  - SIO/SPI モード、最大 20MHz、  
FIFO(送信 16 ビット×8、受信 16 ビット×8)
- I<sup>2</sup>C インターフェース バージョン A (EI2C): 2 チャンネル
  - マルチマスター、10bit アドレス対応
- 12 ビット AD コンバーター(ADC): 2 ユニット/23 チャンネル入力
  - 変換時間: 最速 0.6µs
  - 自己診断サポート機能
- アドバンストプログラマブルモーター制御回路(A-PMD): 2 チャンネル
  - 3 相相補 PWM 出力、ADC との同期動作
  - PFC 制御: 3 相インターリーブ PFC 対応可
  - 外部入力による緊急停止機能(EMG 端子、OVV 端子)
- アドバンストエンコーダー入力回路(32-bit) (A-ENC32): 2 チャンネル
  - エンコーダー/センサー(3 種)/タイマー/位相カウンタモード
- 32 ビットタイマーイベントカウンター(T32A)
  - 32 ビットタイマー時 5 チャンネル、16 ビットタイマー時 10 チャンネル
  - インターバルタイマー、イベントカウント、インプットキャプチャー、位相差入力、PPG 出力、同期スタート、トリガースタート
- ウォッチドッグタイマー(SIWDT): 1 チャンネル
  - システムクロックと別系統のソースクロックを選択  
クリアウインドウ、割り込みとリセット出力選択

製品量産開始時期  
2024-09

機能別製品一覧

表 1.1 機能別製品一覧

内蔵機能		TMPM471F10FG
Memory	Code Flash (KB)	1024
	RAM (KB)	64
I/O port	PORT (pin)	81
External interrupt	Factor	16
	Pin	16
DMA	DMAC (ch)	30
Timer function	T32A (ch)	5
Serial communication function	UART (ch)	5
	EI2C (ch)	2
	TSPI (ch)	4
Analog function	12-bit ADC Unit A/B (AIN ch)	12/11
Motor control peripherals	A-PMD (ch)	2
	A-ENC32 (ch)	2
Other peripherals	CRC	1
	RAMP (ch)	2
System function	LVD	1
	SIWDT (ch)	1
	OFD	1
	POR	1
Debug interface	Debug	JTAG/SW TRACE(4bit)
Package	Package type	LQFP100 (14 mm x 14 mm 0.5 mm pitch)

## 目次

概要 .....	1
用途 .....	1
特長 .....	1
機能別製品一覧 .....	2
目次 .....	3
図目次 .....	6
表目次 .....	7
序章 .....	8
表記規約 .....	8
用語・略語 .....	10
1. ブロック図 .....	11
2. 端子配置図 .....	12
2.1. LQFP100 .....	12
3. メモリーマップ .....	13
4. 端子説明 .....	14
4.1. 機能端子名称と機能 .....	14
4.1.1. 周辺機能端子 .....	14
4.1.2. デバッグ端子 .....	15
4.1.3. 制御端子 .....	16
4.1.4. 電源端子 .....	16
4.1.5. 電源間コンデンサー .....	17
4.2. 機能端子とポート割り当て(端子番号) .....	18
4.3. ポート .....	24
4.3.1. ポート仕様一覧 .....	25
5. 機能説明・動作説明 .....	28
5.1. リファレンスマニュアル .....	28
5.2. プロセッサコア .....	29
5.2.1. コアに関する情報 .....	29
5.2.2. 構成可能なオプション .....	29
5.3. クロック制御と動作モード (CG) .....	30
5.4. フラッシュメモリー(コードフラッシュ) .....	30
5.5. 発振器 .....	31
5.6. トリミング回路 (TRM) .....	31
5.7. 周波数検知回路 (OFD) .....	32
5.8. 電圧検知回路 (LVD) .....	32
5.9. デジタルノイズフィルター回路 (DNF) .....	32

5.10. デバッグインターフェース (DEBUG) .....	33
5.11. DMA コントローラー (DMAC) .....	33
5.12. 非同期シリアル通信回路 (UART).....	33
5.13. シリアルペリフェラルインターフェース (TSPI) .....	34
5.14. I <sup>2</sup> C インターフェース バージョン A (EI2C).....	34
5.15. 12 ビットアナログデジタルコンバーター (ADC).....	35
5.16. アドバンストプログラマブルモーター制御回路 (A-PMD).....	35
5.17. アドバンストエンコーダー入力回路(32-bit) (A-ENC32) .....	35
5.18. 32 ビットタイマーイベントカウンタ (T32A).....	36
5.19. クロック選択式ウォッチドッグタイマー (SIWDT).....	36
5.20. CRC 計算回路 (CRC) .....	37
5.21. RAM パリティ(RAMP).....	37
5.22. セキュリティリスク対策 .....	38
5.22.1. 概要 .....	38
5.22.2. 免責事項 .....	38
6. 等価回路図 .....	39
6.1. ポート .....	39
6.2. アナログ関連端子 .....	42
6.3. 制御端子.....	43
6.4. クロック制御 .....	43
7. 電気的特性 .....	44
7.1. 絶対最大定格 .....	44
7.2. DC 電気的特性(1/2).....	46
7.3. DC 電気的特性 (2/2) (消費電流) .....	48
7.4. 12 ビット AD コンバーター特性 .....	50
7.5. 電源電圧変動 .....	51
7.6. リセット時内部処理特性 .....	51
7.7. パワーオンリセット特性 .....	52
7.8. PORF 特性.....	52
7.9. 電圧検出回路特性 .....	52
7.10. AC 電気的特性.....	53
7.10.1. シリアルペリフェラルインターフェース (TSPI) .....	53
7.10.1.1. 条件 .....	53
7.10.1.2. AC 電気的特性 .....	53
7.10.2. I <sup>2</sup> C インターフェース バージョン A (EI2C).....	58
7.10.2.1. 条件 .....	58
7.10.2.2. AC 電気的特性 .....	58
7.10.3. 32 ビットタイマーイベントカウンタ (T32A).....	59

7.10.3.1. 条件.....	59
7.10.3.2. AC 電気的特性.....	60
7.10.4. 外部割り込み.....	61
7.10.4.1. 条件.....	61
7.10.4.2. AC 電気的特性.....	61
7.10.5. デバッグ通信.....	62
7.10.5.1. 条件.....	62
7.10.5.2. SWD インターフェース.....	62
7.10.5.3. JTAG インターフェース.....	62
7.10.5.4. ETM トレース.....	63
7.10.6. ノイズフィルター特性.....	63
7.10.7. 外部クロック入力.....	64
7.10.7.1. 条件.....	64
7.10.7.2. AC 電気的特性.....	64
7.11. フラッシュ特性.....	65
7.11.1. コードフラッシュ特性.....	65
7.11.2. チップ消去特性.....	65
7.12. レギュレーター.....	65
7.13. 発振回路.....	66
7.13.1. 内蔵発振器.....	66
7.13.2. 外部発振器.....	66
7.13.3. 発振回路例.....	66
7.13.4. セラミック発振子.....	67
7.13.5. プリント基板の設計に関する注意.....	67
8. 外形寸法図.....	68
8.1. P-LQFP100-1414-0.50-002.....	68
9. 使用上のご注意およびお願い事項.....	69
10. 改訂履歴.....	70
Appendix.....	71
全端子一覧表.....	71
製品取り扱い上のお願い.....	73

## 図目次

図 1.1	TMPM471F10FG のブロック図 .....	11
図 3.1	TMPM471F10FG のメモリーマップ .....	13
図 4.1	電源間コンデンサーの接続図 .....	17
図 5.1	セキュリティーリスク対策 .....	38
図 7.1	電源変動レート .....	51
図 7.2	1st クロックエッジサンプリング(マスター) .....	56
図 7.3	2nd クロックエッジサンプリング(マスター) .....	56
図 7.4	1st クロックエッジサンプリング(スレーブ) .....	57
図 7.5	2nd クロックエッジサンプリング(スレーブ) .....	57
図 7.6	EI2C の AC タイミング .....	59
図 7.7	カウントパルス入力 .....	60
図 7.8	JTAG/SW 波形 .....	62
図 7.9	トレース信号波形 .....	63
図 7.10	外部クロック入力波形 .....	64
図 7.11	発振回路例 .....	66

## 表目次

表 1.1	機能別製品一覧.....	2
表 4.1	周辺端子名称と機能.....	14
表 4.2	デバッグ端子名称と機能.....	15
表 4.3	制御端子名称と機能.....	16
表 4.4	電源端子名称と機能.....	16
表 4.5	信号接続一覧: UART.....	18
表 4.6	信号接続一覧: I2C/TSPI.....	19
表 4.7	信号接続一覧: T32A.....	20
表 4.8	信号接続一覧: ADC/INT.....	21
表 4.9	信号接続一覧: A-PMD/A-ENC32.....	22
表 4.10	信号接続一覧: JTAG/SW/TRACE/制御端子.....	23
表 4.11	ポート A~D のポート名、仕様.....	25
表 4.12	ポート E~H のポート名、仕様.....	26
表 4.13	ポート J~L、N、P、R のポート名、仕様.....	27
表 5.1	TMPM4K グループ(2) リファレンスマニュアル一覧.....	28
表 5.2	コアリビジョン.....	29
表 5.3	構成可能なオプションと実装.....	29
表 5.4	搭載発振器.....	31
表 5.5	TRM 搭載一覧.....	31
表 5.6	OFD 搭載一覧.....	32
表 5.7	LVD 搭載一覧.....	32
表 5.8	DNF 搭載数.....	32
表 5.9	DMAC 搭載一覧.....	33
表 5.10	UART 搭載一覧.....	33
表 5.11	TSPI 搭載一覧.....	34
表 5.12	I2C 搭載一覧.....	34
表 5.13	ADC チャンネル一覧.....	35
表 5.14	A-PMD 搭載一覧.....	35
表 5.15	A-ENC32 搭載一覧.....	35
表 5.16	T32A 搭載一覧.....	36
表 5.17	SIWDT 搭載一覧.....	36
表 5.18	CRC 搭載一覧.....	37
表 5.19	RAMP 搭載一覧.....	37
表 5.20	アクセス経路と保護対象(1).....	38
表 5.21	アクセス経路と保護対象(2).....	38
表 7.1	絶対最大定格.....	44
表 7.2	パッケージ熱抵抗.....	45
表 7.3	I <sub>DD</sub> 測定条件(端子設定、発振回路).....	48
表 7.4	I <sub>DD</sub> 測定条件(CPU、周辺回路).....	49
表 10.1	改訂履歴.....	70

## 序章

### 表記規約

- 数値表記は以下の規則に従います。
  - 16 進数表記: 0xABC
  - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
  - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「\_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は[m:n]とまとめて表記する場合があります。  
例: S[3:0]は S3、S2、S1、S0 の 4 つの信号名をまとめて表記しています。
- 本文中[ ]で囲まれたものはレジスターを定義しています。  
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。  
例: [XYZ1]、[XYZ2]、[XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。  
ユニットの場合、「x」は A、B、C、...を表します。  
例: [ADACR0]、[ADBCR0]、[ADCCR0] → [ADxCR0]  
チャンネルの場合、「x」は 0、1、2、...を表します。  
例: [T32A0RUNA]、[T32A1RUNA]、[T32A2RUNA] → [T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。  
例: [3:0]はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。  
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
  - バイト: 8 ビット
  - ハーフワード: 16 ビット
  - ワード: 32 ビット
  - ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
  - R: リードオンリー
  - W: ライトオンリー
  - R/W: リード/ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「-」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。  
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。  
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。



\*\*\*\*\*  
**Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.**  
\*\*\*\*\*



本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

## 用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC32	Advanced Encoder Input Circuit (32-bit)
A-PMD	Advanced Programmable Motor Control Circuit
CRC	Cyclic Redundancy Check
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
EHOSC	External High-speed Oscillator
EI2C	I <sup>2</sup> C Interface Version A
IHOSC	Internal High-speed Oscillator
INT	Interrupt
I <sup>2</sup> C	Inter-Integrated Circuit
LVD	Voltage Detection Circuit
NMI	Non-Maskable Interrupt
OFD	Oscillation Frequency Detector
POR	Power On Reset Circuit
RAMP	RAM parity
SIWDT	Clock Selective Watchdog Timer
TRGSEL	Trigger Selection Circuit
TRM	Trimming Circuit
TSPI	Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Asynchronous Serial Communication Circuit

## 1. ブロック図

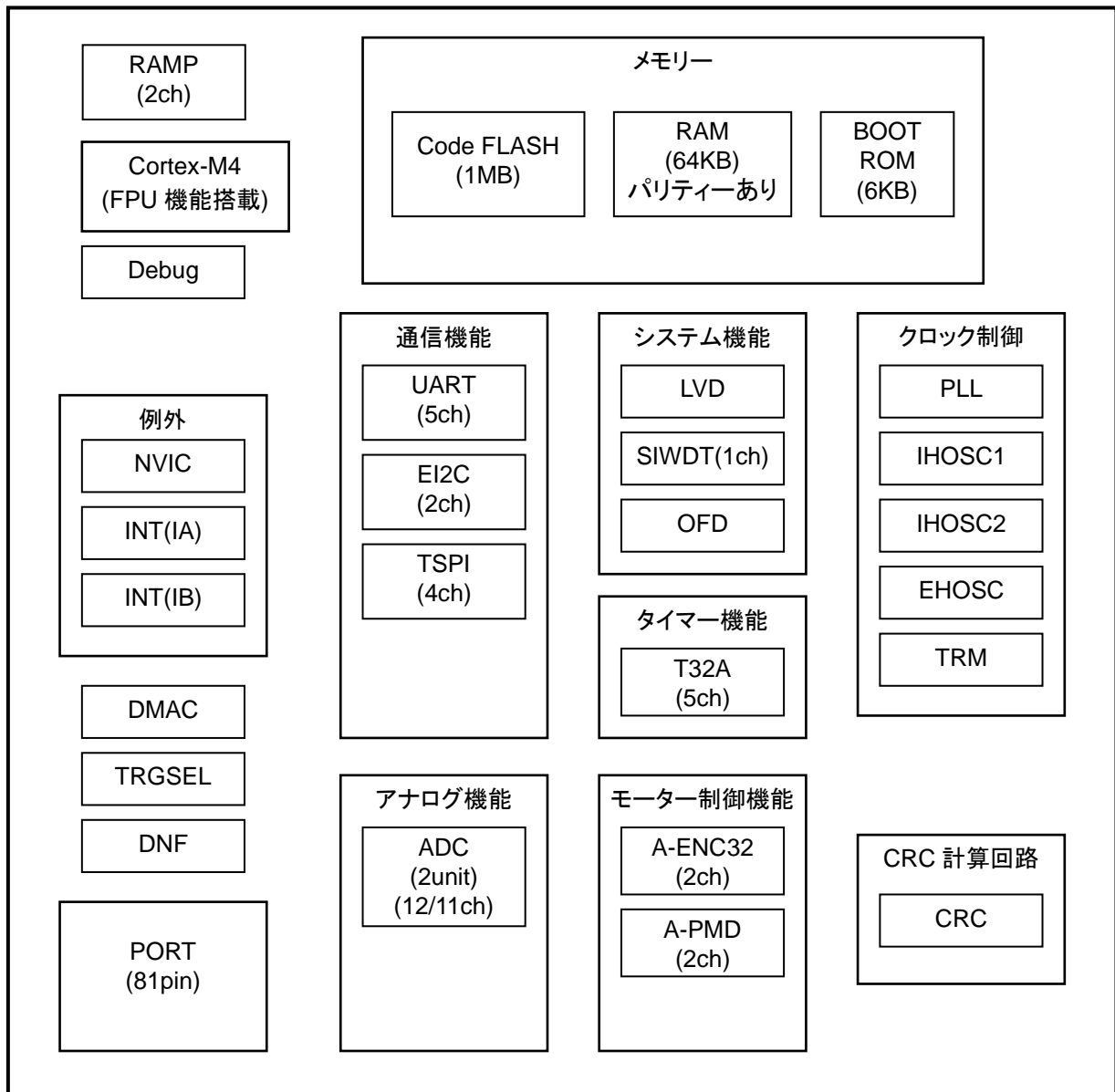
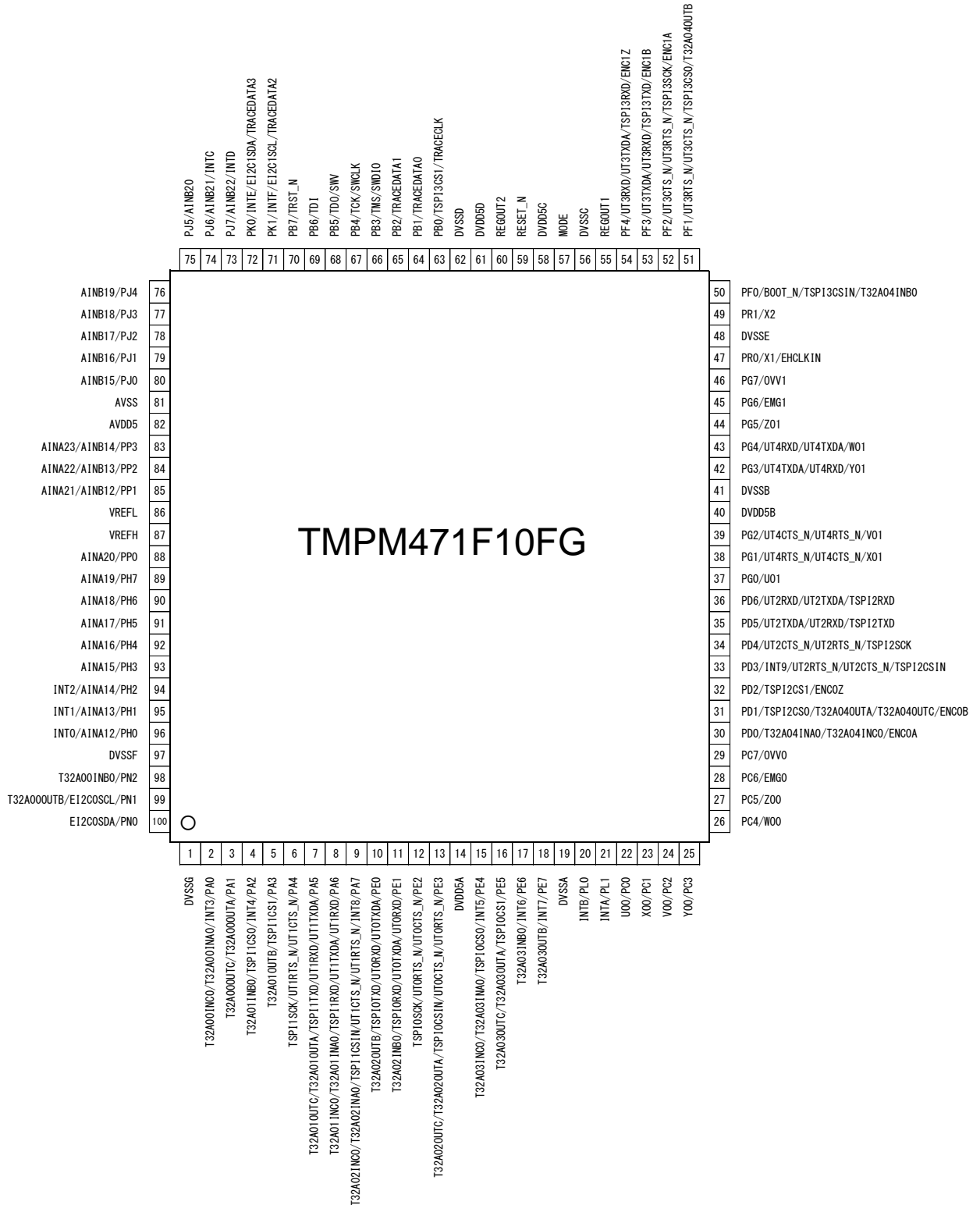


図 1.1 TPM471F10FGのブロック図

## 2. 端子配置図

### 2.1. LQFP100



## 3. メモリーマップ

0xFFFFFFFF	Vendor-Specific	System level	0xFFFFFFFF	Vendor-Specific
0xE0100000 0xE00FFFFFF	CPU Register Region		0xE0100000 0xE00FFFFFF	CPU Register Region
0xE0000000	Fault	Peripheral	0xE0000000	Fault
0x5E100000	Code Flash (Mirror 1MB)		0x5E100000	Code Flash (1MB)
0x5E000000	SFR (Flash)		0x5E000000	SFR (Flash)
0x5DFF0000	Fault		0x5DFF0000	Fault
0x44000000	SFR (Bit Band Alias)		0x44000000	SFR (Bit Band Alias)
0x42000000	Fault		0x42000000	Fault
0x40100000	SFR		0x40100000	SFR
0x400C1000	Fault		0x400C1000	Fault
0x400BA000	SFR		0x400BA000	SFR
0x4003E000	Fault		0x4003E000	Fault
0x40000000	Fault		0x40000000	Fault
			0x3F7F9800	BOOT ROM (Mirror)
			0x3F7F8000	Fault
0x24000000	Bit Band Alias (RAM)		0x24000000	Bit Band Alias (RAM)
0x22000000	Fault	0x22000000	Fault	
0x20010000	RAM2 (8KB)	0x20010000	RAM2 (8KB)	
0x2000E000	RAM1 (48KB)	0x2000E000	RAM1 (48KB)	
0x20002000	RAM0 (8KB)	0x20002000	RAM0 (8KB)	
0x20000000	Fault	0x20000000	Fault	
0x00100000	Code Flash (1MB)	Code	0x00001800	BOOT ROM (6KB)
0x00000000			0x00000000	

Single chip mode

Single BOOT mode

図 3.1 TPM471F10FGのメモリーマップ

注1) Fault: アクセスしないでください。

注2) Single chip Mode / Single Boot Mode の詳細についてはリファレンスマニュアルの「フラッシュメモリー」を参照してください。

## 4. 端子説明

### 4.1. 機能端子名称と機能

#### 4.1.1. 周辺機能端子

表 4.1 周辺端子名称と機能

周辺機能	端子名称	入出力	機能
割り込み制御 (IA/IB)	INTx	Input	外部割り込み入力端子 ノイズフィルタ(フィルタ幅 Typ.30ns)を内蔵しています。
32ビットタイマー イベントカウンター (T32A)	T32AxINA0	Input	16ビットタイマーA インพุットキャプチャ入力端子 0
	T32AxOUTA	Output	16ビットタイマーA 出力端子
	T32AxINB0	Input	16ビットタイマーB インพุットキャプチャ入力端子 0
	T32AxOUTB	Output	16ビットタイマーB 出力端子
	T32AxINC0	Input	32ビットタイマーインพุットキャプチャ入力端子 0
	T32AxOUTC	Output	32ビットタイマー出力端子
シリアルペリフェラル インターフェース (TSPI)	TSPIxCSIN	Input	チップセレクト入力端子
	TSPIxCS0	Output	チップセレクト出力端子 0
	TSPIxCS1	Output	チップセレクト出力端子 1
	TSPIxRXD	Input	データ入力端子
	TSPIxTXD	Output	データ出力端子
	TSPIxSCK	I/O	クロック入出力端子
非同期シリアル通信回路 (UART)	UTxRXD	Input	データ入力端子
	UTxTXDA	Output	データ出力端子 A
	UTxCTS_N	Input	送信可能入力端子
	UTxRTS_N	Output	送信要求出力端子
I <sup>2</sup> C インターフェース (EI2C)	EI2CxSDA	I/O	データ入出力端子
	EI2CxSCL	I/O	クロック入出力端子
アドバンストプログラマブル モーター制御回路 (A-PMD)	EMGx	Input	異常検出入力端子
	OVVx	Input	過電圧検出入力端子
	UOx	Output	U 相出力端子
	VOx	Output	V 相出力端子
	WOx	Output	W 相出力端子
	XOx	Output	X 相出力端子
	YOx	Output	Y 相出力端子
	ZOx	Output	Z 相出力端子
アドバンスト エンコーダー入力回路(32-bit) (A-ENC32)	ENCxA	Input	エンコーダー入力端子 A
	ENCxB	Input	エンコーダー入力端子 B
	ENCxZ	Input	エンコーダー入力端子 Z
アナログデジタルコンバーター (ADC)	AINAx AINBx	Input	アナログ入力端子

注) 端子名称の"x"にはチャンネル番号、ユニット番号、割り込み番号が入ります。

4.1.2. デバッグ端子

表 4.2 デバッグ端子名称と機能

デバッグポート	デバッグ端子名称	入出力	機能
JTAG	TMS	Input	JTAG テストモード選択入力端子
	TCK	Input	JTAG シリアルクロック入力端子
	TDO	Output	JTAG シリアルデータ出力端子
	TDI	Input	JTAG シリアルデータ入力端子
	TRST_N	Input	JTAG テストリセット入力端子
SW	SWDIO	I/O	シリアルワイヤデータ入出力端子
	SWCLK	Input	シリアルワイヤクロック入力端子
	SWV	Output	シリアルワイヤビューワ出力端子
TRACE	TRACECLK	Output	トレースクロック出力端子
	TRACEDATA0	Output	トレースデータ出力端子 0
	TRACEDATA1	Output	トレースデータ出力端子 1
	TRACEDATA2	Output	トレースデータ出力端子 2
	TRACEDATA3	Output	トレースデータ出力端子 3

### 4.1.3. 制御端子

表 4.3 制御端子名称と機能

	端子名	入出力	機能
制御端子	X1	Input	高速発振子接続端子
	X2	Output	高速発振子接続端子
	EHCLKIN	Input	外部クロック入力端子
	BOOT_N	Input	BOOT モード制御用端子 RESET_N 端子入力の立ち上がりで BOOT モード制御用端子がサンプリングされます。内部リセット要因ではサンプリングされません。 BOOT モード制御用端子のレベルが"Low"の場合、シングルブートモードになります。"High"の場合、シングルチップモードになります。 シングルブートモードの詳細については、リファレンスマニュアル「フラッシュメモリー」を参照してください。
	RESET_N	Input	リセット信号入力端子
	MODE	Input	モード端子 必ず"Low"レベルに固定してください。

### 4.1.4. 電源端子

表 4.4 電源端子名称と機能

	端子名	機能
電源	DVDD5A (注 1) DVDD5B (注 1) DVDD5C (注 1) DVDD5D (注 1)	デジタル用電源端子 DVDD5A/B/C/D は下記の端子に電源を供給しています。 PA ~ PG、PK、PL、PN、PR、MODE、RESET_N
	DVSSA (注 2) DVSSB (注 2) DVSSC (注 2) DVSSD (注 2) DVSSE (注 2) DVSSF (注 2) DVSSG (注 2)	デジタル用 GND 端子
	REGOUT1 (注 3)	レギュレーター用コンデンサー接続端子(注 4)
	REGOUT2 (注 3)	レギュレーター用コンデンサー接続端子(注 4)
	AVDD5 VREFH	アナログ用電源端子、アナログ基準電源端子(VREFH)です AVDD5 は下記の端子に電源を供給しています。 PH、PJ、PP
	AVSS VREFL	アナログ用 GND 端子、アナログ基準GND 端子(VREFL)

注 1) DVDD5A、DVDD5B、DVDD5C、DVDD5D は、外部で同電位の電圧を印加してください。

注 2) DVSSA、DVSSB、DVSSC、DVSSD、DVSSE、DVSSF、DVSSG は、外部で同電位の電圧を印加してください。

注 3) REGOUT1、REGOUT2 は、DVDD5A、DVDD5B、DVDD5C、DVDD5D や DVSSA、DVSSB、DVSSC、DVSSD、DVSSE、DVSSF、DVSSG とショートしないでください。

注 4) コンデンサー容量は「7.12. レギュレーター」を参照してください。



## 4.1.5. 電源間コンデンサー

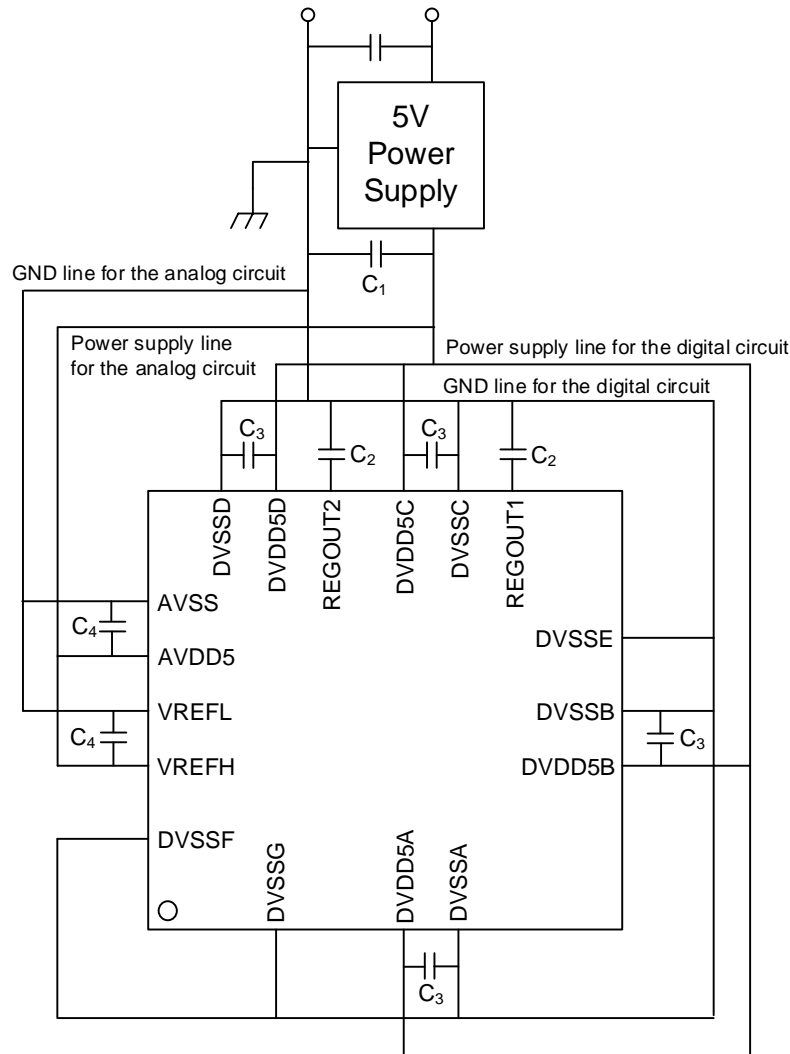


図 4.1 電源間コンデンサーの接続図

- 注 1) 5V 電源出力端子近くにセラミックコンデンサー(C<sub>1</sub>)を挿入してください。「7.6. リセット時内部処理特性」の電源傾斜の条件を満たす容量としてください。
- 注 2) 各 MCU 電源端子の近傍で電源-GND 間にバイパスコンデンサー(C<sub>3</sub>、C<sub>4</sub>:0.01μF ~ 0.1μF 程度)を挿入してください。
- 注 3) 内蔵レギュレーター用コンデンサー接続端子(REGOUT1、REGOUT2)に同容量の電源安定用のセラミックコンデンサー(C<sub>2</sub>)を挿入してください。これらのコンデンサーは REGOUT1 と DVSSC、REGOUT2 と DVSSD 近傍に配置してください。コンデンサー容量は「7.12. レギュレーター」を参照してください。
- 注 4) デジタル電源からアナログ回路へのノイズ混入を抑制するため、アナログ電源ラインとデジタル電源ラインは 5V 電源出力の近くで分離してください。
- 注 5) 周辺回路からアナログ回路へのノイズ混入を抑制するため、アナログ電源系の入出力端子にフィルター回路やプルアップ/ダウン抵抗を挿入する場合、それらの回路を構成する部品はアナログ電源ラインに接続してください。
- 注 6) 電源ラインと GND ラインとコンデンサーによるループ回路で受ける高周波ノイズを抑制するため、電源ラインと GND ラインは離さずに配線してください。

## 4.2. 機能端子とポート割り当て(端子番号)

機能端子から見たポート割り当てと各製品の端子番号です。

表 4.5 信号接続一覧: UART

機能	兼用機能端子名	ポート名	TMPM471F10FG (LQFP100)
UART ch0	UT0RXD	PE0	10
		PE1	11
	UT0TXDA	PE1	11
		PE0	10
	UT0CTS_N	PE2	12
		PE3	13
UT0RTS_N	PE3	13	
	PE2	12	
UART ch1	UT1RXD	PA5	7
		PA6	8
	UT1TXDA	PA6	8
		PA5	7
	UT1CTS_N	PA4	6
		PA7	9
UT1RTS_N	PA7	9	
	PA4	6	
UART ch2	UT2RXD	PD5	35
		PD6	36
	UT2TXDA	PD6	36
		PD5	35
	UT2CTS_N	PD3	33
		PD4	34
UT2RTS_N	PD4	34	
	PD3	33	
UART ch3	UT3RXD	PF3	53
		PF4	54
	UT3TXDA	PF4	54
		PF3	53
	UT3CTS_N	PF1	51
		PF2	52
UT3RTS_N	PF2	52	
	PF1	51	
UART ch4	UT4RXD	PG3	42
		PG4	43
	UT4TXDA	PG4	43
		PG3	42
	UT4CTS_N	PG1	38
		PG2	39
UT4RTS_N	PG2	39	
	PG1	38	

表 4.6 信号接続一覧: I2C/TSPI

機能	兼用機能端子名	ポート名	TPM471F10FG (LQFP100)
I2C ch0	EI2C0SDA	PN0	100
	EI2C0SCL	PN1	99
I2C ch1	EI2C1SDA	PK0	72
	EI2C1SCL	PK1	71
TSPi ch0	TSPi0RXD	PE1	11
	TSPi0TXD	PE0	10
	TSPi0SCK	PE2	12
	TSPi0CSIN	PE3	13
	TSPi0CS0	PE4	15
	TSPi0CS1	PE5	16
TSPi ch1	TSPi1RXD	PA6	8
	TSPi1TXD	PA5	7
	TSPi1SCK	PA4	6
	TSPi1CSIN	PA7	9
	TSPi1CS0	PA2	4
	TSPi1CS1	PA3	5
TSPi ch2	TSPi2RXD	PD6	36
	TSPi2TXD	PD5	35
	TSPi2SCK	PD4	34
	TSPi2CSIN	PD3	33
	TSPi2CS0	PD1	31
	TSPi2CS1	PD2	32
TSPi ch3	TSPi3RXD	PF4	54
	TSPi3TXD	PF3	53
	TSPi3SCK	PF2	52
	TSPi3CSIN	PF0	50
	TSPi3CS0	PF1	51
	TSPi3CS1	PB0	63

表 4.7 信号接続一覧: T32A

機能	兼用機能端子名	ポート名	TMPM471F10FG (LQFP100)
T32A ch0	T32A00INA0	PA0	2
	T32A00OUTA	PA1	3
	T32A00INB0	PN2	98
	T32A00OUTB	PN1	99
	T32A00INC0	PA0	2
	T32A00OUTC	PA1	3
T32A ch1	T32A01INA0	PA6	8
	T32A01OUTA	PA5	7
	T32A01INB0	PA2	4
	T32A01OUTB	PA3	5
	T32A01INC0	PA6	8
	T32A01OUTC	PA5	7
T32A ch2	T32A02INA0	PA7	9
	T32A02OUTA	PE3	13
	T32A02INB0	PE1	11
	T32A02OUTB	PE0	10
	T32A02INC0	PA7	9
	T32A02OUTC	PE3	13
T32A ch3	T32A03INA0	PE4	15
	T32A03OUTA	PE5	16
	T32A03INB0	PE6	17
	T32A03OUTB	PE7	18
	T32A03INC0	PE4	15
	T32A03OUTC	PE5	16
T32A ch4	T32A04INA0	PD0	30
	T32A04OUTA	PD1	31
	T32A04INB0	PF0	50
	T32A04OUTB	PF1	51
	T32A04INC0	PD0	30
	T32A04OUTC	PD1	31

表 4.8 信号接続一覧: ADC/INT

機能	兼用機能端子名	ポート名	TMPM471F10FG (LQFP100)
ADC unit A	AINA12	PH0	96
	AINA13	PH1	95
	AINA14	PH2	94
	AINA15	PH3	93
	AINA16	PH4	92
	AINA17	PH5	91
	AINA18	PH6	90
	AINA19	PH7	89
	AINA20	PP0	88
	AINA21	PP1	85
	AINA22	PP2	84
	AINA23	PP3	83
ADC unit B	AINB12	PP1	85
	AINB13	PP2	84
	AINB14	PP3	83
	AINB15	PJ0	80
	AINB16	PJ1	79
	AINB17	PJ2	78
	AINB18	PJ3	77
	AINB19	PJ4	76
	AINB20	PJ5	75
	AINB21	PJ6	74
AINB22	PJ7	73	
INT	INT0	PH0	96
	INT1	PH1	95
	INT2	PH2	94
	INT3	PA0	2
	INT4	PA2	4
	INT5	PE4	15
	INT6	PE6	17
	INT7	PE7	18
	INT8	PA7	9
	INT9	PD3	33
	INTA	PL1	21
	INTB	PL0	20
	INTC	PJ6	74
	INTD	PJ7	73
	INTE	PK0	72
	INTF	PK1	71

表 4.9 信号接続一覧: A-PMD/A-ENC32

機能	兼用機能端子名	ポート名	TMPM471F10FG (LQFP100)
A-PMD ch0	EMG0	PC6	28
	OVV0	PC7	29
	UO0	PC0	22
	VO0	PC2	24
	WO0	PC4	26
	XO0	PC1	23
	YO0	PC3	25
	ZO0	PC5	27
A-PMD ch1	EMG1	PG6	45
	OVV1	PG7	46
	UO1	PG0	37
	VO1	PG2	39
	WO1	PG4	43
	XO1	PG1	38
	YO1	PG3	42
	ZO1	PG5	44
A-ENC32 ch0	ENC0A	PD0	30
	ENC0B	PD1	31
	ENC0Z	PD2	32
A-ENC32 ch1	ENC1A	PF2	52
	ENC1B	PF3	53
	ENC1Z	PF4	54

表 4.10 信号接続一覧: JTAG/SW/TRACE/制御端子

機能	兼用機能端子名	ポート名	TMPM471F10FG (LQFP100)
JTAG	TMS	PB3	66
	TCK	PB4	67
	TDO	PB5	68
	TDI	PB6	69
	TRST_N	PB7	70
SW	SWDIO	PB3	66
	SWCLK	PB4	67
	SWV	PB5	68
TRACE	TRACECLK	PB0	63
	TRACEDATA0	PB1	64
	TRACEDATA1	PB2	65
	TRACEDATA2	PK1	71
	TRACEDATA3	PK0	72
制御端子	X1	PR0	47
	X2	PR1	49
	EHCLKIN	PR0	47
	BOOT_N	PF0	50
	RESET_N		59
	MODE		57

### 4.3. ポート

表中の記号の意味は下記のとおりです。

- **Input/Output:** ポートの入出力  
Input: 入力  
Output: 出力  
I/O: 入出力
- **PU/PD:** プログラマブルプルアップ/プルダウン対応  
PU: プログラマブルプルアップ選択可能  
PD: プログラマブルプルダウン選択可能
- **OD:** プログラマブルオープンドレイン出力対応  
YES: 対応  
NO: 非対応
- **SMT/CMOS:** 入力ゲート  
SMT: シュミット入力  
CMOS: CMOS 入力
- **リセット中の状態:** リセット期間中の端子状態です  
Hi-Z: ハイインピーダンス  
PU: プルアップ  
PD: プルダウン
- **リセット後の状態:** リセット解除直後の端子状態です  
Hi-Z: ハイインピーダンス  
PU: プルアップ  
PD: プルダウン



## 4.3.1. ポート仕様一覧

表 4.11 ポートA~Dのポート名、仕様

ポート名	Input/Output	PU/PD	OD	SMT/ CMOS	リセット中 の状態	リセット後 の状態
PA0	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PA1	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PA2	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PA3	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PA4	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PA5	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PA6	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PA7	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PB0	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PB1	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PB2	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PB3	I/O	PU/PD	YES	SMT	PU (注)	PU (注)
PB4	I/O	PU/PD	YES	SMT	PD (注)	PD (注)
PB5	I/O	PU/PD	YES	SMT	Hi-Z (注)	Hi-Z (注)
PB6	I/O	PU/PD	YES	SMT	PU (注)	PU (注)
PB7	I/O	PU/PD	YES	SMT	PU (注)	PU (注)
PC0	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PC1	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PC2	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PC3	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PC4	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PC5	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PC6	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PC7	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PD0	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PD1	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PD2	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PD3	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PD4	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PD5	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PD6	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z

注) 初期値はデバッグ用端子に割り当てられています。(PB6: TDI、PB5: TDO/SWV、PB3: TMS/SWDIO、PB2: TCK/SWCLK、PB7: TRST\_N)  
 ツールからのコマンドを受け付けるまでは PB5: TDO/SWV は出力にはなりません。

表 4.12 ポートE-Hのポート名、仕様

ポート名	Input/Output	PU/PD	OD	SMT/ CMOS	リセット中 の状態	リセット後 の状態
PE0	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PE1	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PE2	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PE3	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PE4	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PE5	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PE6	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PE7	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PF0	I/O	PU/PD (注)	YES	SMT	Hi-Z (注)	Hi-Z
PF1	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PF2	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PF3	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PF4	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PG0	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PG1	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PG2	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PG3	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PG4	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PG5	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PG6	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PG7	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PH0	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PH1	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PH2	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PH3	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PH4	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PH5	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PH6	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PH7	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z

注) BOOT\_N 端子と兼用です。RESET\_N 端子=0 の時、プルアップ(PU)となります。  
 RESET\_N 端子=1 の時に内部リセットがかかった場合は Hi-Z です。

表 4.13 ポートJ~L、N、P、Rのポート名、仕様

ポート名	Input/Output	PU/PD	OD	SMT/ CMOS	リセット中 の状態	リセット後 の状態
PJ0	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PJ1	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PJ2	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PJ3	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PJ4	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PJ5	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PJ6	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PJ7	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PK0	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PK1	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PL0	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PL1	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PN0	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PN1	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PN2	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PP0	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PP1	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PP2	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PP3	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
PR0	Input	PD	NO	SMT	Hi-Z	Hi-Z
PR1	Input	PD	NO	SMT	Hi-Z	Hi-Z

## 5. 機能説明・動作説明

### 5.1. リファレンスマニュアル

TMPM471F10FG の搭載機能詳細は下表のリファレンスマニュアルを参照してください。

表 5.1 TMPM4Kグループ(2) リファレンスマニュアル一覧

リファレンスマニュアル	IP 記号	分類
入出力ポート (TMPM4K グループ(2))	PORT-TMPM471F10FG	システム
例外 (TMPM4K グループ(2))	EXCEPT-TMPM471F10FG	システム
クロック制御と動作モード (TMPM4K グループ(2))	CG-TMPM471F10FG	システム
製品個別情報 (TMPM4K グループ(2))	PINFO-TMPM471F10FG	システム
フラッシュメモリー	FLASH10MUD32-A	周辺機能
トリミング回路	TRM-B	周辺機能
周波数検知回路	OFD-A	周辺機能
電圧検知回路	LVD-D2	周辺機能
デジタルノイズフィルタ回路	DNF-A	周辺機能
デバッグインターフェース	DEBUG-A	周辺機能
DMA コントローラー	DMAC-B	周辺機能
非同期シリアル通信回路	UART-C	周辺機能
シリアルペリフェラルインターフェース	TSPI-E	周辺機能
I <sup>2</sup> C インターフェース バージョン A	EI2C-A	周辺機能
12 ビットアナログデジタルコンバーター	ADC-G2	周辺機能
アドバンストプログラマブルモーター制御回路	A-PMD-A	周辺機能
アドバンストエンコーダー入力回路(32-bit)	A-ENC32-A	周辺機能
32 ビットタイマーイベントカウンター	T32A-C	周辺機能
クロック選択式ウォッチドックタイマー	SIWDT-A	周辺機能
CRC 計算回路	CRC-A	周辺機能
RAM パリティ	RAMP-B	周辺機能

## 5.2. プロセッサコア

TMPM471F10FG には、高性能 32 ビットプロセッサコア(Arm 社 Cortex-M4(FPU 機能搭載)コア)が内蔵されています。

プロセッサコアの動作については、Arm 社からリリースされている"ARM Cortex-M4 プロセッサテクニカルリファレンスマニュアル"を参照してください。この章では、製品固有の情報について説明します。

### 5.2.1. コアに関する情報

TMPM471F10FG で使用している Cortex-M4(FPU 機能搭載)コアのリビジョンは以下のとおりです。

表 5.2 コアリビジョン

コアリビジョン
r0p1

### 5.2.2. 構成可能なオプション

Cortex-M4(FPU 機能搭載)コアは、一部のブロックについて実装するかどうかを選択することができます。

TMPM471F10FG での構成は以下のとおりです。

表 5.3 構成可能なオプションと実装

構成可能なオプション	実装
FWB	リテラルコンパレーター: 2 本 命令コンパレーター: 6 本
DWT	コンパレーター: 4 本
ITM	あり
MPU	あり
ETM	あり
AHB-AP	あり
AHB トレースマクロ セルインターフェース	なし
TPIU	あり
WIC	なし
デバッグポート	JTAG/シリアルワイヤ
ビットバンド	あり
AHB の継続的な制御	なし

### 5.3. クロック制御と動作モード (CG)

CG は、クロックギアやプリスケラークロックの選択、発振器のウォーミングアップなどを設定する機能です。

動作モードとして NORMAL モードと低消費電力モードがあり、使用方法に応じてモード遷移を行うことで消費電力を抑えることができます。

また、システムクロックは高速で動作する「高速システムクロック」と、高速システムクロックを分周して動作する「中速システムクロック」があります。

クロック制御回路の概要は、下記のとおりです。

- 内部高速発振回路: 10MHz
- 外部高速発振回路と内部高速発振回路が選択可能
- PLL 回路: システムクロック用は高速発振器の周波数に合わせて倍率を変更して 160MHz 出力可能
- クロックギア:  
高速クロックを 1/1、1/2、1/4、1/8、1/16 分周し、システムクロック (fsys) として選択可能。
- 低消費電力モード:  
IDLE: CPU が停止します。周辺機能は動作可能です。  
STOP1: システムクロックが停止します。

### 5.4. フラッシュメモリー(コードフラッシュ)

TMPM471F10FG は、1MB のコードフラッシュを搭載しています。

コードフラッシュは命令コードを格納し、CPU がリードして実行します。

TMPM471F10FG では、1つのエリアで命令を実行しながら、別のエリアを書き換えることが可能なデュアルモードを搭載しています。

また、ブロック単位で書き込み/消去を禁止するプロテクト機能、第3者によるプログラムコードの読み出しを禁止するセキュリティー機能などを搭載しています。

## 5.5. 発振器

- 外部高速発振器(EHOSC): 外部にクリスタル発振子またはセラミック発振子を接続して、システムクロックの源発振に使用します。
- 内蔵高速発振器 1 (IHOSC1): 10MHz の発振器です。システムクロックの源発振に使用します。
- 内蔵高速発振器 2 (IHOSC2): 10MHz の発振器です。OFD、SIWDT の基準クロック、カウントクロックの源発振に使用します。

表 5.4 搭載発振器

	TPM471F10FG
EHOSC	○
IHOSC1	○
IHOSC2	○

## 5.6. トリミング回路 (TRM)

TRM は、内蔵高速発振器 1(IHOSC1)の発振周波数を調整する回路です。

表 5.5 TRM搭載一覧

	TPM471F10FG
TRM	○

## 5.7. 周波数検知回路 (OFD)

OFDはクロックの異常を検知します。計測対象として外部高速発振クロック( $f_{EHOSC}$ )または高速クロック( $f_c$ )のどちらかを選択できます。内蔵の基準クロック( $f_{IHOSC2}$ )を用いて、選択したクロックを計測し、設定範囲から外れると内部リセット信号を発生します。

検出範囲として、検出する周波数の上限と下限を個別に設定することができます。

表 5.6 OFD搭載一覧

	TMPM471F10FG
OFD	○

## 5.8. 電圧検知回路 (LVD)

LVDは、電源電圧があらかじめ設定した電圧を下回るあるいは上回ったことを検知すると、割り込み要求または内部リセット信号を発生します。

設定電圧は8種類から選択することができます。電源投入時、リセット時からイネーブルです。

表 5.7 LVD搭載一覧

	TMPM471F10FG
LVD	○

## 5.9. デジタルノイズフィルター回路 (DNF)

DNFは外部割り込み入力端子に搭載したデジタルノイズフィルター回路です。外部割り込み信号INTxのHighレベル/Lowレベル入力ともにノイズを除去します。

表 5.8 DNF搭載数

	TMPM471F10FG
DNF 搭載数	16



## 5.10. デバッグインターフェース (DEBUG)

デバッグツールと接続するためのデバッグインターフェースとして、シリアルワイヤデバッグポート (SWCLK、SWDIO)と、JTAG デバッグポート(TDI、TDO、TMS、TCK、TRST\_N)の2種類あります。これらの端子をデバッグツールと接続してプログラム開発を行います。また、デバッグ作業を軽減するためにトレースクロック (TRACECLK)とトレース出力 (TRACEDATA0 ~ 3)があります。

TMPM471F10FG は、シリアルワイヤデバッグポート、JTAG デバッグポート、トレース出力をサポートしています。

## 5.11. DMA コントローラー (DMAC)

DMAC は、周辺機能からメモリーへ、メモリーから周辺機能へ、あるいはメモリーからメモリーへデータを移動させることができる周辺機能です。これらの動作は CPU 制御と別に行われるため、DMA を使用することで、CPU の負荷を著しく減らすことができます。

TMPM471F10FG は、DMA コントローラー (DMAC) を 1 ユニット搭載しており、ユニット当たり最大 32 チャンネルの起動要因があります。

表 5.9 DMAC搭載一覧

Unit	TMPM471F10FG
Unit A	○

## 5.12. 非同期シリアル通信回路 (UART)

UART は、非同期シリアル通信機能です。7、8、9 ビットのデータ長、パリティ有無、STOP ビット長を選択できます。MSB ファースト/LSB ファーストの選択、データ極性の反転の他にポート設定で TXD/RXD の端子入れ替えができます。FIFO バッファは、送信で 8 段、受信で 8 段を内蔵しています。また、CTS/RTS による通信制御をサポートしています。

表 5.10 UART搭載一覧

Channel	TMPM471F10FG
Channel 0	○
Channel 1	○
Channel 2	○
Channel 3	○
Channel 4	○

### 5.13. シリアルペリフェラルインターフェース (TSPI)

TSPI は通信時に CS(チップセレクト)信号を使用する SPI 方式と、CS 信号を使用しない SIO 方式の 2 つの通信方式に対応し、他のデバイスと高速なシリアル転送が可能な通信機能です。データ長は、7 ビット(パリティあり)から 32 ビット(パリティなし)まで 1 ビット単位で変更可能です。

受信、送信ともに 16 ビットの FIFO が 8 段あります。マスター、スレーブに対応します。また、フレームモード(フレーム長(8 ~ 32bit))か、セクターモード(2 ~ 4 セクターで、フレーム長(8 ~ 128bit))を構成が使用できます。

表 5.11 TSPI搭載一覧

Channel	TMPM471F10FG
Channel 0	○
Channel 1	○
Channel 2	○
Channel 3	○

### 5.14. I<sup>2</sup>C インターフェース バージョン A (EI2C)

EI2C は、I<sup>2</sup>C の二線式双方向シリアル通信機能と互換ある通信機能です。マスターとスレーブの関係で通信をしますが、同一バス上に複数のマスターが存在可能なマルチマスターをサポートしています。

また、通信スピードは標準モード(最大 100kHz)、ファストモード(最大 400kHz)、ファストモードプラス(最大 1MHz)に対応しています。スレーブアドレスは 7bit および 10bit のアドレッシングフォーマットに対応しています。

表 5.12 EI2C搭載一覧

Channel	TMPM471F10FG
Channel 0	○
Channel 1	○

## 5.15. 12 ビットアナログデジタルコンバーター (ADC)

ADC は、12 ビット逐次変換方式のアナログデジタルコンバーターです。変換結果レジスターとアナログ入力の組み合わせは、AD 変換の開始要因ごとにプログラム可能です。アナログデジタル変換の起動要因は、ソフトウェアまたは周辺機能(A-PMD のトリガー出力、タイマーイベントカウンター出力、ポート入力)から選択できます。特に A-PMD と連携することでモーターを容易に制御することができます。

また、変換結果の監視機能があり、比較条件と一致した場合に割り込みを発生させることができます。

VREFH/VREFL およびリファレンス電源と接続するセレクターを内蔵しており、ソフトウェアで制御することで自己診断機能をサポートします。

表 5.13 ADCチャンネル一覧

ADC	TMPM471F10FG
Unit A AIN 数	12
Unit B AIN 数	11

## 5.16. アドバンストプログラマブルモーター制御回路 (A-PMD)

A-PMD は、ブラシレス DC モーターを容易に制御することができます。パルス幅変調回路、デッドタイム回路を持ち、3相相補PWM出力やADCを連携させるモーター制御用の信号を容易に発生できます。

また、過電圧検出入力や異常検出入力をもっており、緊急時の安全対策も実現できます。

さらに、力率改善のための3相インターリーブ PFC 制御が可能です。

表 5.14 A-PMD搭載一覧

Channel	TMPM471F10FG
Channel 0	○
Channel 1	○

## 5.17. アドバンストエンコーダー入力回路(32-bit) (A-ENC32)

A-ENC32は、インクリメンタル型エンコーダーに対応し、モーターの位置を容易に得ることができます。信号の入力端子にノイズキャンセラーが内蔵されているので、インクリメンタルエンコーダー、ホールセンサーの信号を直接入力することができます。

エンコーダーモード、センサーモード(3種類)、タイマーモードおよび位相カウンターモードの6つの動作モードに対応しています。

表 5.15 A-ENC32搭載一覧

Channel	TMPM471F10FG
Channel 0	○
Channel 1	○

## 5.18. 32 ビットタイマーイベントカウンター (T32A)

T32A は、32 ビットタイマーまたは、2 本の 16 ビットタイマーとして動作するタイマーイベントカウンターです。32 ビットタイマーと 16 ビットタイマーの選択が可能です。32 ビットタイマーの場合、32 ビットカウンター内蔵のタイマーCとして動作します。16 ビットタイマーの場合、16 ビットカウンター内蔵のタイマーA とタイマーB の構成で動作します。

インターバルタイマー、イベントカウント、インプットキャプチャー、2 相カウンター入力、PPG 出力、同期スタート、トリガースタート/ストップなど多彩な機能を内蔵しています。

表 5.16 T32A搭載一覧

Channel	TMPM471F10FG
Channel 0	○
Channel 1	○
Channel 2	○
Channel 3	○
Channel 4	○

## 5.19. クロック選択式ウォッチドッグタイマー (SIWDT)

SIWDT は、ノイズなどの原因により CPU が誤動作(暴走)した結果あらかじめ設定した検出時間以内にカウンターをクリアできなかった場合、カウンターのオーバーフローを検出して割り込み要求を発生またはリセットを発生する周辺機能です。

カウントクロックとして、システムクロック( $f_{sys}/4$ )の他に内蔵発振器 1( $f_{IHOSC1}$ )、内蔵発振器 2( $f_{IHOSC2}$ )の 3 つから選択が可能です。

指定された期間のみカウントクリアが可能な、カウントクリアウインドウ機能があります。

また、プロテクトモードに設定することでレジスターの変更を禁止することができます(カウンタークリアは可能)。

表 5.17 SIWDT搭載一覧

Channel	TMPM471F10FG
Channel 0	○

## 5.20. CRC 計算回路 (CRC)

CRC 計算回路は、CRC32 および CRC16 のハードウェア計算回路を内蔵しています。メモリーや通信データを処理してエラーを検出することに使用できます。

表 5.18 CRC搭載一覧

	TMPM471F10FG
CRC	○

## 5.21. RAM パリティ(RAMP)

RAM パリティは、RAM へのライト時に偶数パリティデータを生成(8 ビットデータごとに計算)して格納し、リード時にはパリティ判定を行います。判定でエラーとなった場合は割り込みを発生します。また、エラーが発生したステータスとアドレスが分かります。

表 5.19 RAMP搭載一覧

Channel	TMPM471F10FG
Channel 0	○
Channel 1	○

## 5.22. セキュリティリスク対策

### 5.22.1. 概要

TMPM471F10FG は、不正なアクセスを防ぐことを目的としたセキュリティリスク対策として2つの機能を実装しています。動作モードごとに想定するアクセス経路と保護対象を、表 5.20、表 5.21、図 5.1 に示します。

機能の詳細は、「フラッシュメモリー」のリファレンスマニュアルを参照してください

(1) セキュリティ機能

セキュリティ機能は、デバッグツールとの通信を禁止します。また、フラッシュライターによるフラッシュメモリーの読み出しと書き込みを禁止します。

表 5.20 アクセス経路と保護対象(1)

動作モード	アクセス経路	保護対象
シングルチップモード シングルブートモード	JTAG/SW	CPU FLASH/ROM/RAM
フラッシュライターモード	フラッシュライター	FLASH

(2) RAM 転送コマンドにおけるパスワード

シングルブートモードは、UART 通信でコマンドを送信することで動作します。RAM 転送コマンドに対しては、パスワードによる認証が行われます。

表 5.21 アクセス経路と保護対象(2)

動作モード	アクセス経路	保護対象
シングルブートモード	UART	CPU FLASH/ROM/RAM

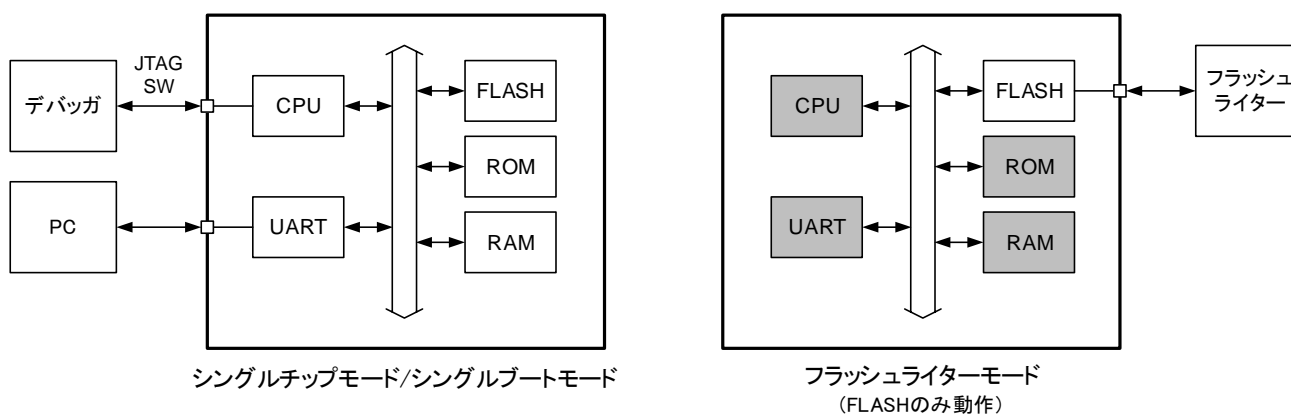


図 5.1 セキュリティリスク対策

注) ノンブレイクデバッグインターフェース(NBDIF)搭載製品について、セキュリティ機能はNBDIFの通信を禁止しないため、**[NBDCR0]<NBDEN>**で禁止してください。

### 5.22.2. 免責事項

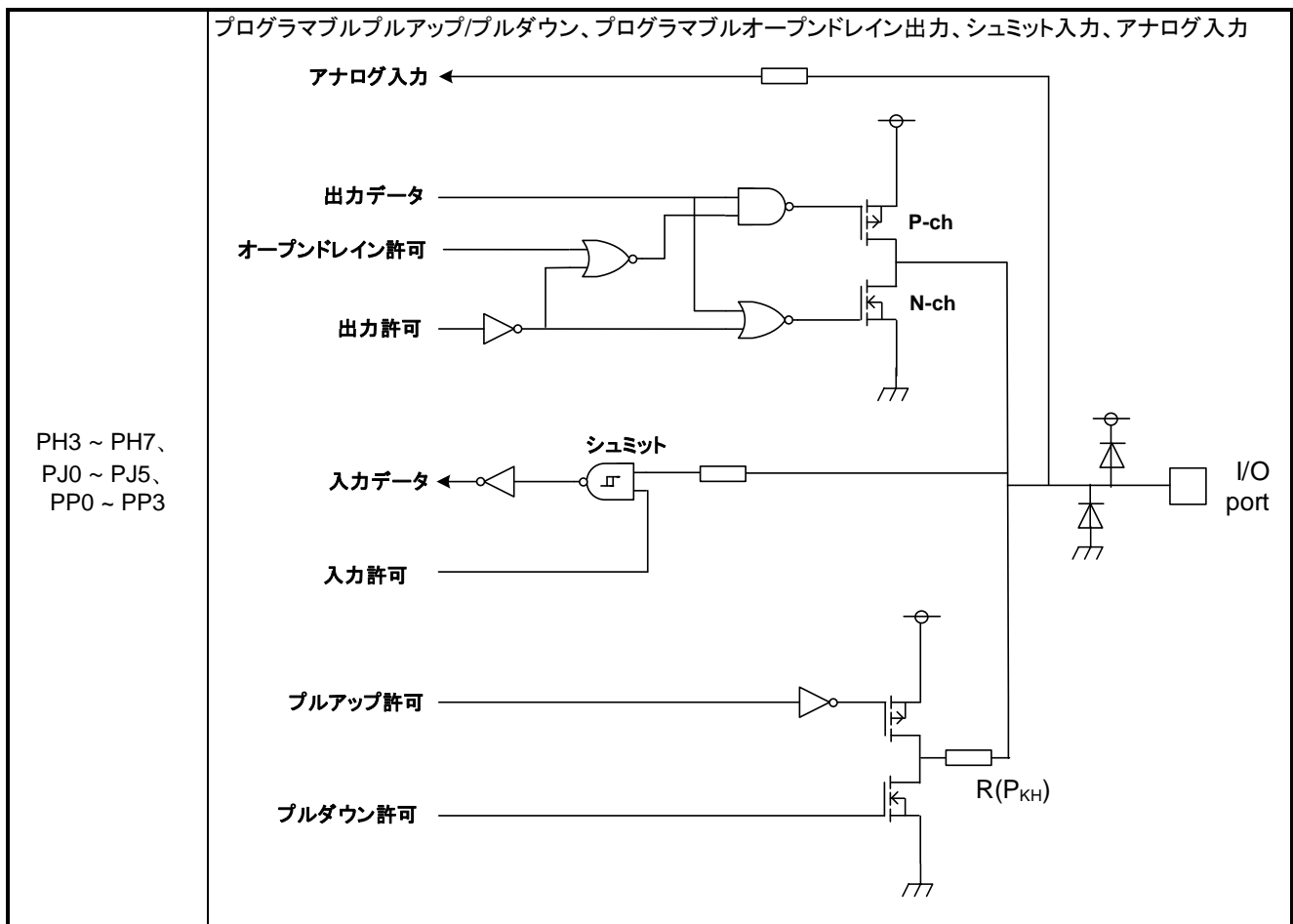
巻末の「製品取り扱い上のお願ひ」を確認ください。

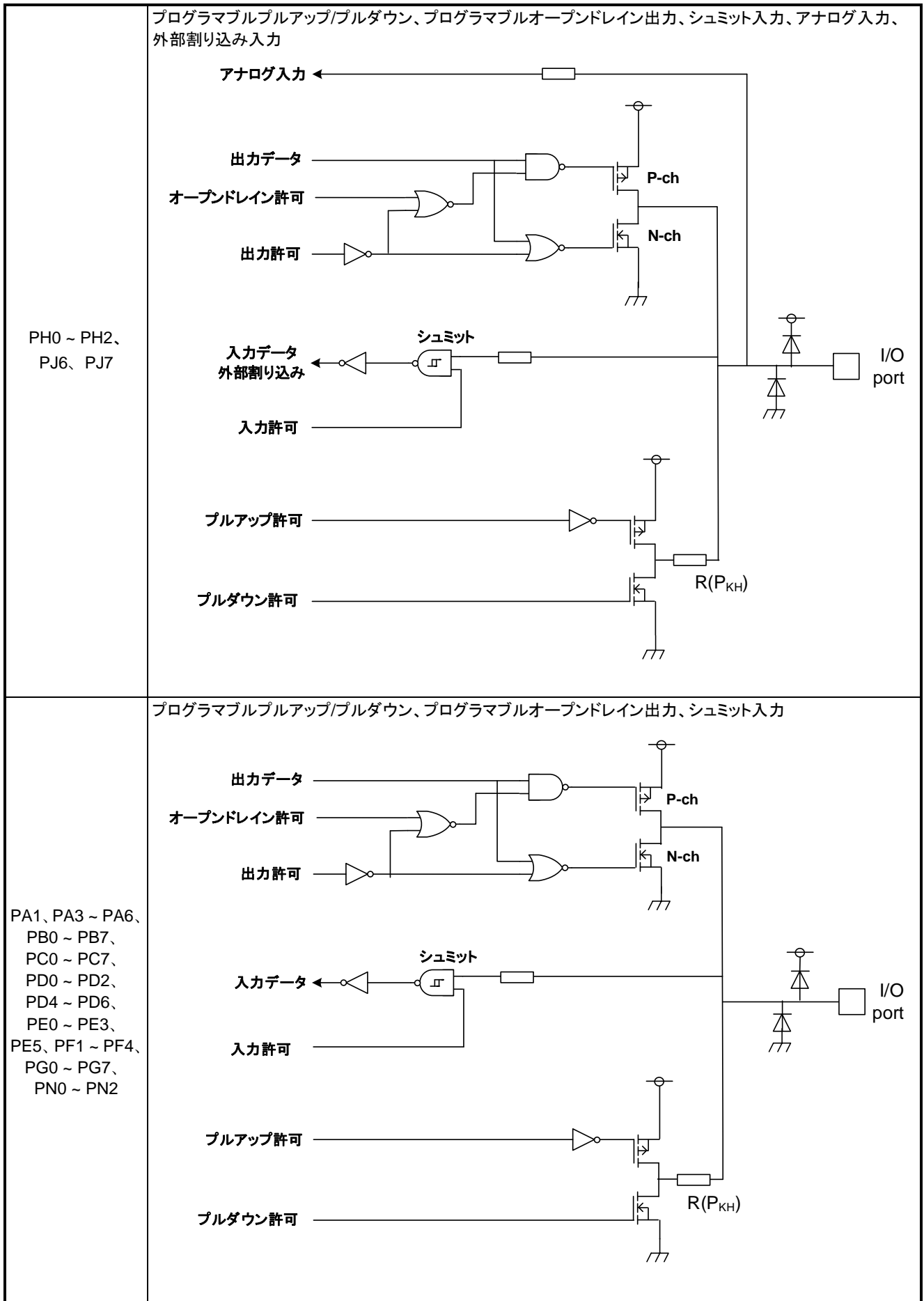
## 6. 等価回路図

ポート等価回路図は、基本的に標準 CMOS ロジック IC 「74HCxx」 シリーズと同じゲート記号を使って書かれています。入力保護抵抗は、数十  $\Omega$  ~ 数百  $\Omega$  程度です。

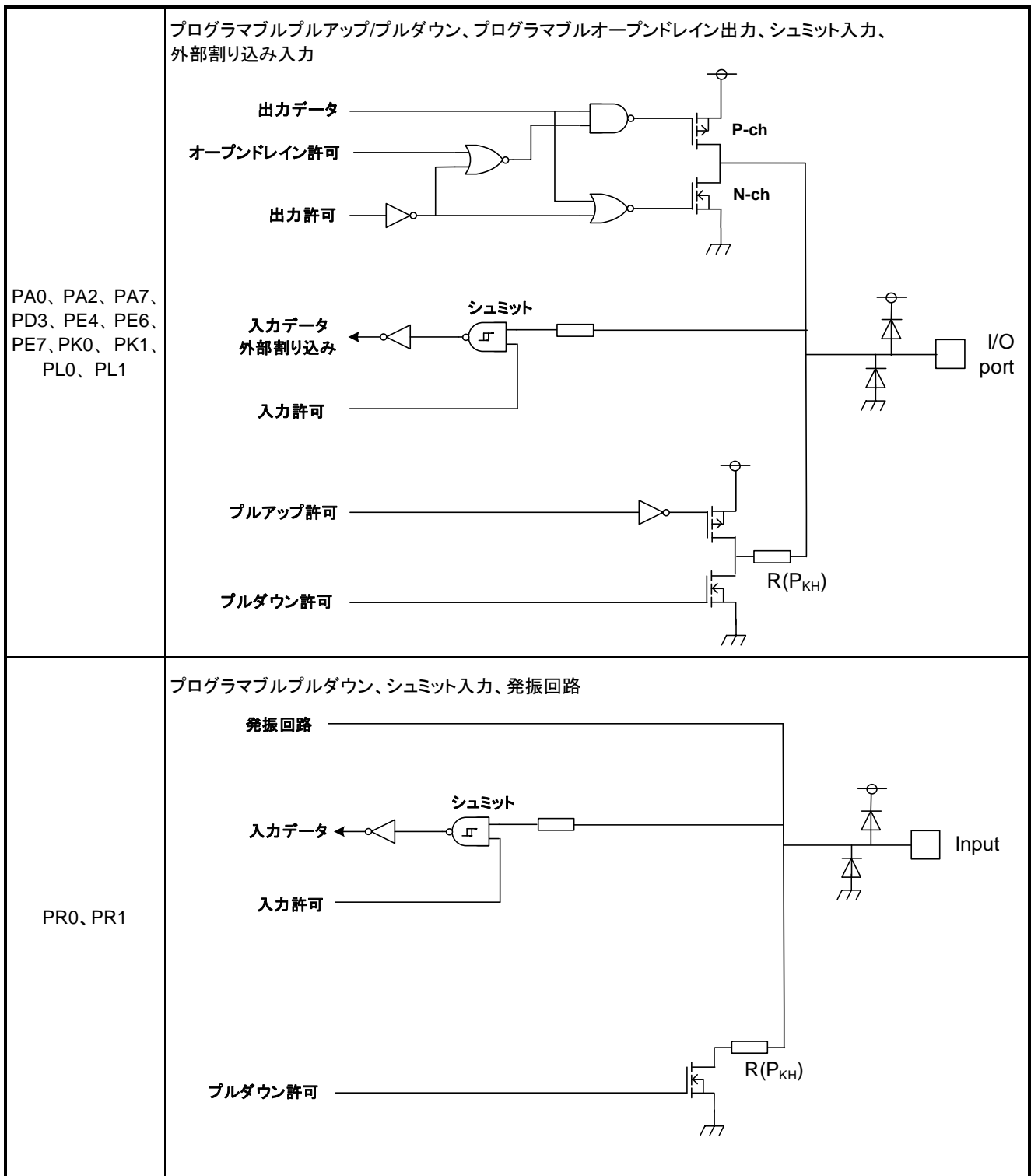
注) 図中の数値の記載のない抵抗は、入力保護抵抗を示します。

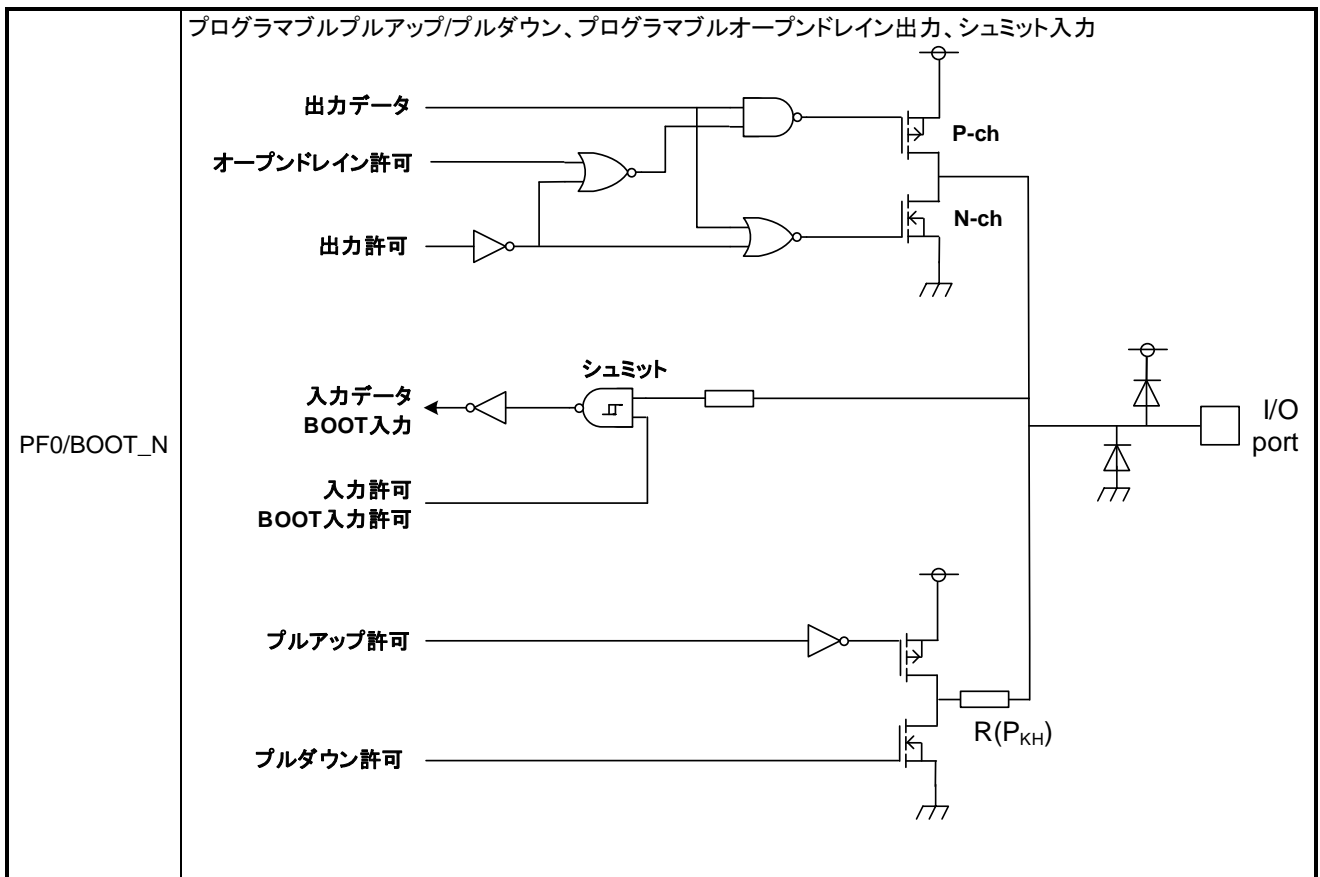
### 6.1. ポート



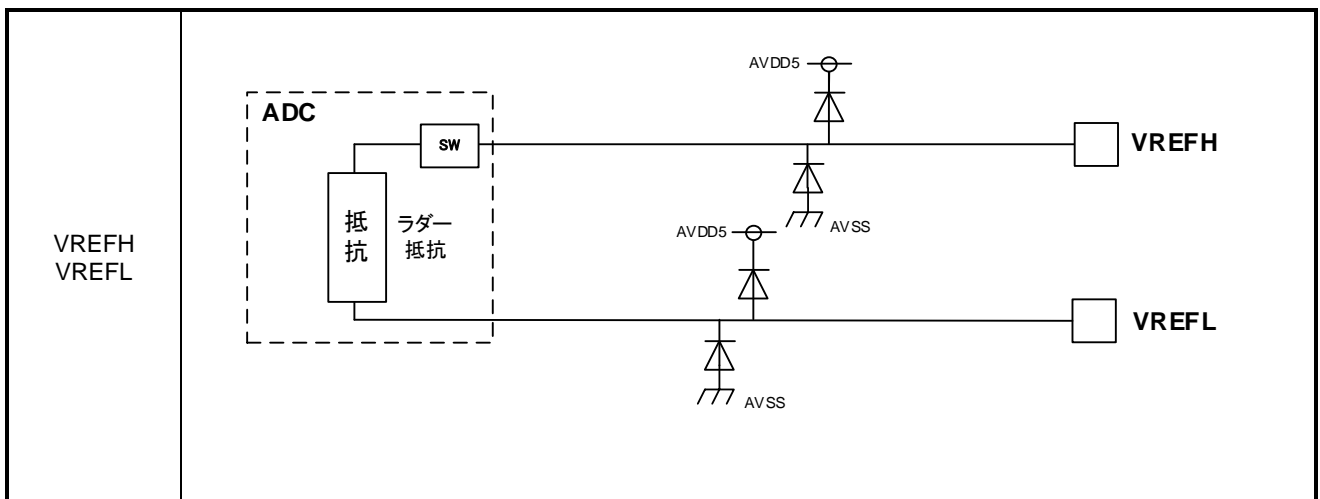






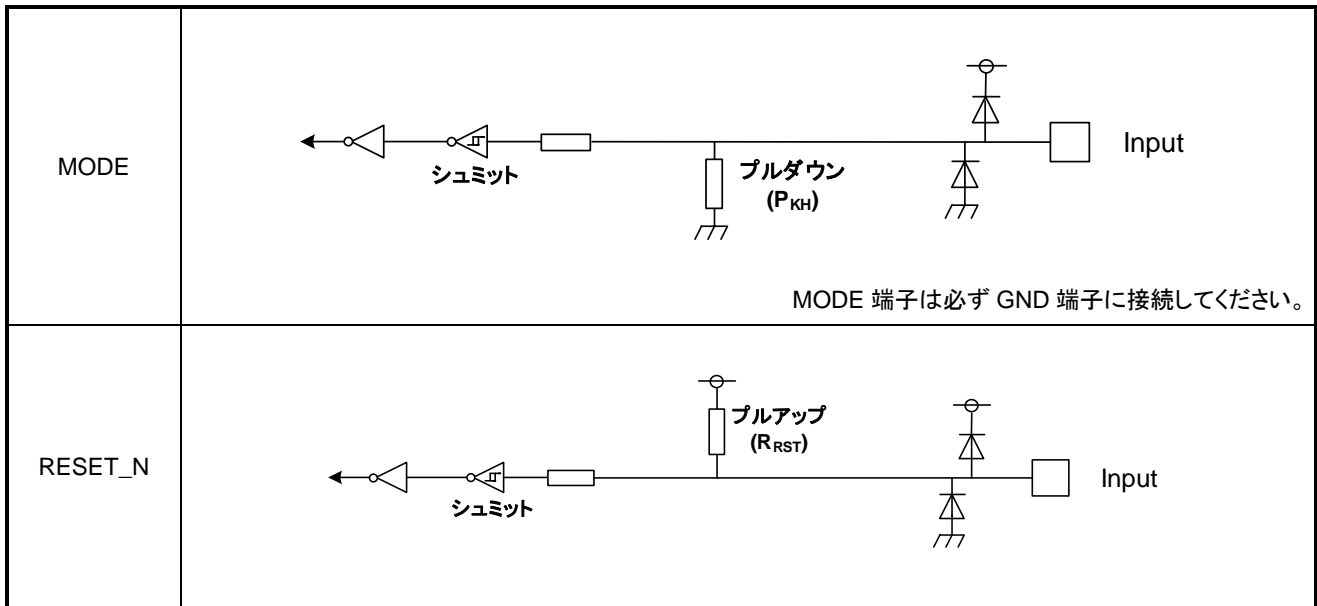


## 6.2. アナログ関連端子

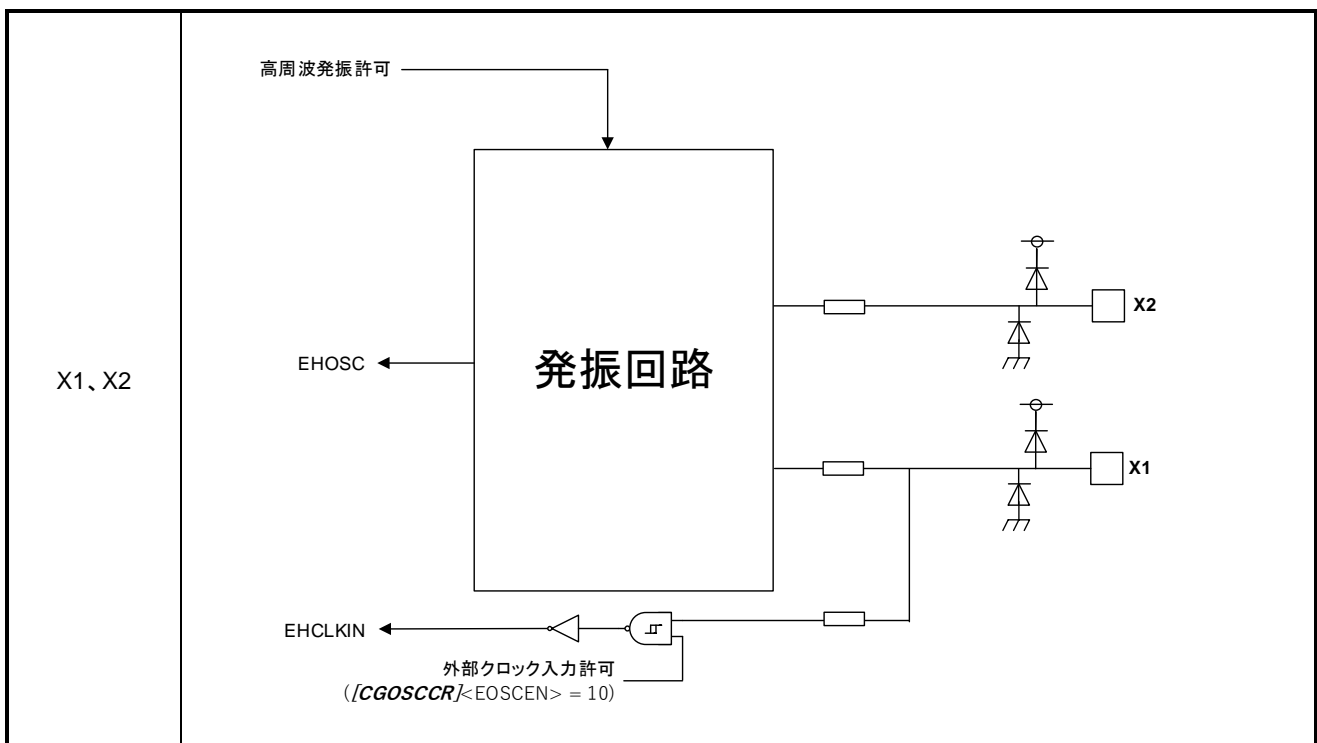


注) SW: ON/OFF スイッチ回路

## 6.3. 制御端子



## 6.4. クロック制御



## 7. 電気的特性

DVDD5 は DVDD5A、DVDD5B、DVDD5C、DVDD5D の総称です。DVSS は DVSSA、DVSSB、DVSSC、DVSSD、DVSSE、DVSSF、DVSSG の総称です。

### 7.1. 絶対最大定格

表 7.1 絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD5	-0.3 ~ 6.0	V
		AVDD5	-0.3 ~ DVDD5 (注 2)	
入力電圧	PA0 ~ PA7、PB0 ~ PB7、PC0 ~ PC7、PD0 ~ PD6、PE0 ~ PE7、PF0 ~ PF4、PG0 ~ PG7、PK0、PK1、PL0、PL1、PN0 ~ PN2、PR0、PR1、MODE、RESET_N	V <sub>IN1</sub>	-0.3 ~ DVDD5+0.3 (≦6.0V) (注 2)	V
	PH0 ~ PH7、PJ0 ~ PJ7、PP0 ~ PP3	V <sub>IN2</sub>	-0.3 ~ AVDD5+0.3 (≦6.0V) (注 2)	
低レベル出力電流	1 端子ごと PA0 ~ PA7、PB0 ~ PB7、PC0 ~ PC7、PD0 ~ PD6、PE0 ~ PE7、PF0 ~ PF4、PG0 ~ PG7、PH0 ~ PH7、PJ0 ~ PJ7、PK0、PK1、PL0、PL1、PN0 ~ PN2、PP0 ~ PP3	I <sub>OL</sub>	5	mA
	全端子合計	ΣI <sub>OL</sub>	50	
高レベル出力電流	1 端子ごと PA0 ~ PA7、PB0 ~ PB7、PC0 ~ PC7、PD0 ~ PD6、PE0 ~ PE7、PF0 ~ PF4、PG0 ~ PG7、PH0 ~ PH7、PJ0 ~ PJ7、PK0、PK1、PL0、PL1、PN0 ~ PN2、PP0 ~ PP3	I <sub>OH</sub>	-5	mA
	全端子合計	ΣI <sub>OH</sub>	-50	
はんだ付け温度		T <sub>SOLDER</sub>	260	°C
保存温度		T <sub>STG</sub>	-55 ~ 125	°C
動作温度		T <sub>OPR</sub>	-40 ~ 85	°C
ジャンクション温度(注 3)		T <sub>j</sub>	-40 ~ 125	

注1) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格(電流、電圧、消費電力、温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

注 2) DVDD5 と AVDD5 は電源投入から電源遮断まで同電位で使用してください。

注 3) 最大ジャンクション温度( $T_j$ )の計算式を以下に示します。

$$T_j(\text{Max}) = T_{\text{OPR}}(\text{Max}) + PD(\text{Max}) \times \theta_{ja}$$

$\theta_{ja}$ (パッケージ熱抵抗( $^{\circ}\text{C}/\text{W}$ ))は表 7.2 を参照してください。  
 最大消費電力( $PD(\text{Max})$ )の計算式を以下に示します。

$$PD(\text{Max}) = V_{\text{DD}} \times I_{\text{DD}}(\text{Max}) + \sum (I_{\text{OL}} \times V_{\text{OL}}) + \sum ((V_{\text{DD}} - V_{\text{OH}}) \times |I_{\text{OH}}|)$$

$I_{\text{OL}}$ : "Low"レベル出力電流

$I_{\text{OH}}$ : "High"レベル出力電流

$V_{\text{OL}}$ : "Low"レベル出力電圧

$V_{\text{OH}}$ : "High"レベル出力電圧

$I_{\text{DD}}(\text{MAX})$ : I/O を除く、マイコン内の回路で消費される電流

「7.3. DC 電気的特性 (2/2) (消費電流)」を参考にしてください。

表 7.2 パッケージ熱抵抗

項目	記号	パッケージ	基板条件	値 (注)	単位
パッケージ熱抵抗	$\theta_{ja}$	P-LQFP100-1414-0.50-002	JESD51-2、JESD51-3 準拠 (1s)	65.9	$^{\circ}\text{C}/\text{W}$
			JESD51-2、JESD51-7 準拠 (2s-2p)	53.3	

注) 値は参考値です。基板条件の詳細は JEDEC 規格を参照してください。

## 7.2. DC 電氣的特性(1/2)

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V  
DVSS=AVSS=0V  
Ta=-40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
電源電圧	VDD	fosc=6 ~ 24MHz fsys=1 ~ 160MHz fsysm=1 ~ 80MHz	4.5	-	5.5	V
電源電圧 (電源上昇、電源降下時) (注 3)	VDD	fosc=6 ~ 24MHz fsys=1 ~ 160MHz fsysm=1 ~ 80MHz	3.91	-	4.5	
低レベル入力電圧	V <sub>IL1</sub>	PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD6, PE0 ~ PE7, PF0 ~ PF4, PG0 ~ PG7, PK0, PK1, PL0, PL1, PN0 ~ PN2, PR0, PR1, MODE, RESET_N	-0.3	-	DVDD5×0.25	V
	V <sub>IL2</sub>	PH0 ~ PH7, PJ0 ~ PJ7, PP0 ~ PP3			AVDD5×0.25	
高レベル入力電圧	V <sub>IH1</sub>	PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD6, PE0 ~ PE7, PF0 ~ PF4, PG0 ~ PG7, PK0, PK1, PL0, PL1, PN0 ~ PN2, PR0, PR1, MODE, RESET_N	DVDD5×0.75	-	DVDD5+0.3	V
	V <sub>IH2</sub>	PH0 ~ PH7, PJ0 ~ PJ7, PP0 ~ PP3			AVDD5+0.3	
低レベル出力電圧	V <sub>OL1</sub>	PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD6, PE0 ~ PE7, PF0 ~ PF4, PG0 ~ PG7, PK0, PK1, PL0, PL1, PN0 ~ PN2	-	-	0.4	V
	V <sub>OL2</sub>	PH0 ~ PH7, PJ0 ~ PJ7, PP0 ~ PP3			0.4	
高レベル出力電圧	V <sub>OH1</sub>	PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD6, PE0 ~ PE7, PF0 ~ PF4, PG0 ~ PG7, PK0, PK1, PL0, PL1, PN0 ~ PN2	DVDD5-0.4	-	-	
	V <sub>OH2</sub>	PH0 ~ PH7, PJ0 ~ PJ7, PP0 ~ PP3			-	

注 1) Typ.値は特に指定のない限り Ta=25°C、DVDD5=AVDD5=5.0V の値です。

注 2) DVDD5、AVDD5 は同電位で使用してください。

注 3) 電源上昇時(パワーオン時)と電圧検出回路(LVD)イネーブルでの電源電圧下降時における電圧範囲となります。なお、3.91V ≤ VDD < 4.5V の範囲では 12 ビット AD コンバーター変換特性および AC 電氣的特性は保証外となります。

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V  
 DVSS=AVSS=0V  
 Ta=-40 ~ 85°C

項目		記号	条件	Min	Typ.	Max	単位
リーク電流		I <sub>L</sub>	0V ≤ VIN ≤ DVDD5 0V ≤ VIN ≤ AVDD5	-5	±0.05	5	μA
シュミット入力幅		V <sub>TH</sub>	DVDD5 = AVDD5 = 5V	-	1.0	-	V
リセットプルアップ抵抗		R <sub>RST</sub>	-	25	50	100	kΩ
プログラマブルプルアップ/ダウン抵抗		P <sub>KH</sub>	Pull-up Pull-down	25 25	50 50	100 100	
Pin 容量(電源端子を除く)		C <sub>IO</sub>	fc = 1MHz	-	-	10	pF
低レベル 出力電流	1 端子ごと	I <sub>OL</sub>	DVDD5=AVDD5=5V	-	-	2 (注 3)	mA
	下記ポート全体で PA0 ~ PA7、PE0 ~ PE7、 PN0 ~ PN3	ΣI <sub>OL1</sub>	DVDD5=5V	-	-	35 (注 4)	
	下記ポート全体で PC0 ~ PC7、PD0 ~ PD6、 PG0 ~ PG7、PL0、PL1	ΣI <sub>OL2</sub>	DVDD5=5V	-	-	35 (注 4)	
	下記ポート全体で PB0 ~ PB7、PF0 ~ PF4、 PK0、PK1	ΣI <sub>OL3</sub>	DVDD5=5V	-	-	35 (注 4)	
	下記ポート全体で PH0 ~ PH7、PJ0 ~ PJ7、 PP0 ~ PP3	ΣI <sub>OL4</sub>	AVDD5=5V	-	-	35 (注 4)	
高レベル 出力電流	1 端子ごと	I <sub>OH</sub>	DVDD5=AVDD5=5V	-2 (注 3)	-	-	mA
	下記ポート全体で PA0 ~ PA7、PE0 ~ PE7、 PN0 ~ PN3	ΣI <sub>OH1</sub>	DVDD5=5V	-35 (注 4)	-	-	
	下記ポート全体で PC0 ~ PC7、PD0 ~ PD6、 PG0 ~ PG7、PL0、PL1	ΣI <sub>OH2</sub>	DVDD5=5V	-35 (注 4)	-	-	
	下記ポート全体で PB0 ~ PB7、PF0 ~ PF4、 PK0、PK1	ΣI <sub>OH3</sub>	DVDD5=5V	-35 (注 4)	-	-	
	下記ポート全体で PH0 ~ PH7、PJ0 ~ PJ7、 PP0 ~ PP3	ΣI <sub>OH4</sub>	AVDD5=5V	-35 (注 4)	-	-	

注 1) Typ.値は特に指定のない限り Ta=25°C、DVDD5=AVDD5=5.0V の値です。

注 2) DVDD5、AVDD5 は同電位で使用してください。

注 3) 端子の電流合計が各グループ電流の合計を越えないこと。

注 4) 各グループ電流の合計が、絶対最大定格を越えないこと。

## 7.3. DC 電気的特性 (2/2) (消費電流)

Ta=-40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
NORMAL	I <sub>DD</sub>	動作条件は表 7.3、表 7.4 を参照してください。	-	30	75	mA
IDLE			-	5	50	
STOP1			-	1	25	

注 1) Typ.値は特に指定のない限り Ta=25°C、DVDD5=AVDD5=5.0V の値です。

注 2) DVDD5、AVDD5 は同電位で使用してください。

注 3) AVDD5、VREF 電流を含みます。

表 7.3 I<sub>DD</sub>測定条件(端子設定、発振回路)

		NORMAL	IDLE	STOP1
端子設定	DVDD5 AVDD5 VREFH	5.0V(Typ.)、5.5V(Max)		
	X1、X2 端子	発振子接続(10MHz)		
	入力端子	固定		
	出力端子	開放		
動作条件 (発振回路)	システムクロック (fsys/fsysm)	160MHz/80MHz		停止
	外部高速発振器 (EHOSC)	発振		停止
	内部高速発振器 (IHOSC1)	停止		
	PLL	動作		停止



表 7.4 I<sub>DD</sub>測定条件(CPU、周辺回路)

回路	搭載回路数	NORMAL	IDLE	STOP1
CPU	1	動作 (ドライストン Ver.2.1)		停止
DMAC	1	(UART ch0、ch2: 送信で起動, 転送元: RAM)		停止
ADC	2	動作 (0.6μs、連続変換)		停止
T32A	5	全 ch: 動作		停止
A-PMD	2	全 ch: 動作		停止
A-ENC32	2	動作		停止
SIWDT	1	動作		停止
UART	5	3ch: 送信(1.25Mbps)		停止
EI2C	2		停止	
TSPI	4	2ch: 送信、10MHz		停止
CRC	1		停止	
RAMP	2	動作		停止
LVD	1		停止	
OFD	1	動作		停止
Debug	1		停止	
入出力ポート	—	動作		停止

Ta=-40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
アナログ消費電流 (VREF 電流を含む)	I <sub>AVDD</sub>	AVDD5=5.0V (Typ.)、5.5V (Max)、 AVSS=0V ADC 2 unit 動作	-	10	13	mA

## 7.4. 12 ビット AD コンバーター特性

DVDD5=AVDD5=4.5V ~ 5.5V  
 DVSS=AVSS=0V  
 Ta=-40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧(+)	VREFH	-	4.5	-	AVDD5	V
アナログ入力電圧	V <sub>AIN</sub>	-	VREFL	-	VREFH	
アナログ電源と基準電圧差	ΔVREF	VREFH ≤ AVDD5	0	-	0.5	
積分非直線性誤差(INL)	-	1 ユニット動作 4.5V ≤ AVDD5 ≤ 5.5V 4.5V ≤ VREFH ≤ 5.5V AVSS = VREFL = 0V AIN 負荷抵抗 = 600Ω AIN 負荷容量 ≥ 0.1 μF	-5	-	5	LSB
微分非直線性誤差(DNL)			-2	-	3	
ゼロスケール誤差			-4	-	5	
フルスケール誤差			-5	-	4	
総合誤差			-7	-	5	
SCLK 周波数	f <sub>SCLK</sub>	4.5V ≤ AVDD5 ≤ 5.5V	4	-	40	MHz
サンプリング時間	t <sub>smp1</sub>	-	0.2	-	-	μs
変換時間	t <sub>conv</sub>	4.5V ≤ AVDD5 ≤ 5.5V SCLK = 40MHz	0.6	-	-	
安定待ち時間	t <sub>sta</sub>	[ADAMOD0]<DACON> = 1 設定後	3	-	-	

注 1) 1LSB=(VREFH-VREFL) / 4096 [V]

注 2) AD コンバーター単体動作の時の特性です。

DVDD5=AVDD5=4.5V ~ 5.5V  
 DVSS=AVSS=0V  
 Ta=-40 ~ 85°C

項目	条件	Min	Typ.	Max	単位
リファレンス電源電圧	Unit A: ch26 選択 Unit B: ch25 選択	0.99	-	1.21	V

## 7.5. 電源電圧変動

DVSS=AVSS=0V  
 Ta = -40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
電源傾斜	V <sub>PON</sub>	電源投入時立ち上がり傾斜	0.3	-	100	mV/μs
	V <sub>POFF</sub>	電源遮断時立ち下がり傾斜	-	-	10	
電源変動レート	V <sub>fr</sub>	4.5V ≤ DVDD5=AVDD5 ≤ 5.5V	-50	-	50	

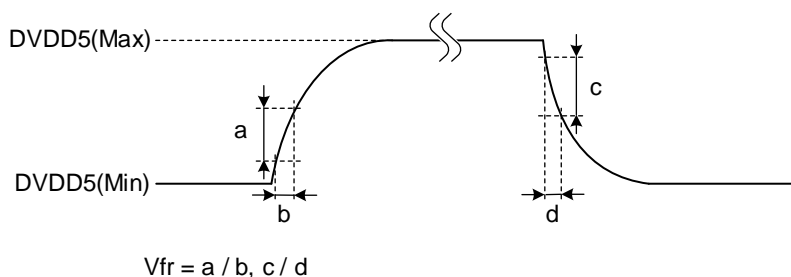


図 7.1 電源変動レート

## 7.6. リセット時内部処理特性

DVSS=AVSS=0V  
 Ta = -40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
内部初期化時間	t <sub>INIT</sub>	パワーオン時	-	-	1.92	ms
内部処理時間	t <sub>IRST</sub>	-	0.15	-	1.13	
CPU 動作待ち時間 (注)	t <sub>CPUWT</sub>	パワーオン時				μs
		STOP1 モードで LVD によるリセット動作時	12	-	15	
		STOP1 モードで RESET_N 端子によるリセット動作時				
		NORMAL/IDLE モードで LVD によるリセット動作時	143	-	148	
		NORMAL/IDLE モードで RESET_N 端子によるリセット動作時				
		NORMAL/IDLE モードで SIWDT/OFD/LOCKUP/SYSRESET によるリセット動作時				

注) SIWDT/OFD/LOCKUP/SYSRESET によるリセット動作時を除き、リセット要因が継続した場合、同リセット要因が解除された後に、t<sub>CPUWT</sub>(CPU 動作待ち時間)の計測が始まります。

## 7.7. パワーオンリセット特性

DVSS=AVSS=0V  
 Ta=-40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
解除電圧	V <sub>PREL</sub>	電源立ち上がり	2.22	2.33	2.44	V
検知電圧	V <sub>PDET</sub>	電源立ち下がり	2.17	2.28	2.39	
検知パルス幅1	T <sub>PDET1</sub>	-	200	-	-	μs

## 7.8. PORF 特性

DVSS=AVSS=0V  
 Ta=-40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
解除電圧	V <sub>PORFL</sub>	電源立ち上がり	2.57	2.64	2.71	V
検知電圧	V <sub>PORFD</sub>	電源立ち下がり	2.52	2.59	2.66	
検知パルス幅2	T <sub>PDET2</sub>	-	200	-	-	μs

## 7.9. 電圧検出回路特性

DVDD5=AVDD5=4.5V ~ 5.5V  
 DVSS=AVSS=0V  
 Ta=-40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
検知/解除電圧	V <sub>LVL0</sub>	電源立ち上がり	3.96	4.05	4.14	V
		電源立ち下がり	3.91	4.0	4.09	
	V <sub>LVL1</sub>	電源立ち上がり	4.16	4.25	4.34	V
		電源立ち下がり	4.11	4.2	4.29	
	V <sub>LVL2</sub>	電源立ち上がり	4.36	4.45	4.54	V
		電源立ち下がり	4.31	4.4	4.49	
V <sub>LVL3</sub>	電源立ち上がり	4.56	4.65	4.74	V	
	電源立ち下がり	4.51	4.6	4.69		
検知応答時間	t <sub>VDDT1</sub>	電源立ち下がり	-	-	100	μs
解除遅延時間	t <sub>VDDT2</sub>	電源立ち上がり	-	-	100	
セットアップ時間	t <sub>LV DEN</sub>	-	-	-	100	
検知最小パルス幅	t <sub>LVDPW</sub>	-	200	-	-	

## 7.10. AC 電気的特性

この章の「AC 電気的特性」に示されている値には、クロック誤差は含まれていません。実際には、AC 特性は誤差(a)と(b)の両方の影響を受ける可能性があります。

- (a) fosc として使用するクロックの発振周波数誤差
- (b) PLL 誤差(最大±3%)

### 7.10.1. シリアルペリフェラルインターフェース (TSPI)

#### 7.10.1.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD5 = AVDD5 = 4.5V ~ 5.5V
- Ta = -40 ~ 85°C
- 入出力レベル: High = 0.5×DVDD5、Low = 0.5×DVDD5
- 負荷容量: CL = 30pF

#### 7.10.1.2. AC 電気的特性

T は TSPI の動作クロックの周期を表します。TSPI の動作クロックは、システムクロック f<sub>sysm</sub> と同じ周期です。この周期は、クロックギアの設定に依存します。

k1 の値は[TSPIxFMTR0]<CSSCKDL[3:0]>、k2 の値は[TSPIxFMTR0]<SCKCSDL[3:0]>で設定された TSPIxSCK のサイクル数で、1 ~ 16 の値になります。k3 の値は[TSPIxCR2]<RXDLY[2:0]>の設定に 1 を加えた値で、1 ~ 8 になります。

## (1) SPI モード マスター

項目	記号	Min	Max	単位
TSPIxSCK 出力周波数	f <sub>CYC</sub>	-	20	MHz
TSPIxSCK 出力周期	t <sub>CYC</sub>	50	-	ns
TSPIxSCK 低レベル出力パルス幅	t <sub>WL</sub>	(t <sub>CYC</sub> / 2) - 13	-	
TSPIxSCK 高レベル出力パルス幅	t <sub>WH</sub>	(t <sub>CYC</sub> / 2) - 13	-	
TSPIxCSn 出力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t <sub>CSU</sub>	(t <sub>CYC</sub> × k1) - 20	(t <sub>CYC</sub> × k1) + 9	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSn ホールド時間	t <sub>CHD</sub>	(t <sub>CYC</sub> × (k2 + 0.5)) - 20	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t <sub>DSU</sub>	35 - k3 × T	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t <sub>DHD</sub>	k3 × T - 8.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD ホールド時間	t <sub>DLY1</sub>	-18	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t <sub>DLY2</sub>	-	16	
TSPIxCSn 立ち下がり→TSPIxTXD 遅延時間	t <sub>DLY3</sub>	(t <sub>CYC</sub> × (k1 - 0.5)) - 25	(t <sub>CYC</sub> × (k1 - 0.5)) + 6	

## (2) SPI モード スレーブ

項目	記号	Min	Max	単位
TSPIxSCK 入力周波数	f <sub>CYC</sub>	-	15	MHz
TSPIxSCK 入力周期	t <sub>CYC</sub>	66.6	-	ns
TSPIxSCK 低レベル入力パルス幅	t <sub>WL</sub>	20.3	-	
TSPIxSCK 高レベル入力パルス幅	t <sub>WH</sub>	20.3	-	
TSPIxCSIN 入力 (1st) ←TSPIxSCK 立ち上がり/立ち下がり時間	t <sub>CSU1</sub>	170	-	
TSPIxCSIN 入力 (2nd) ←TSPIxSCK 立ち上がり/立ち下がり時間	t <sub>CSU2</sub>	80	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間 (1st)	t <sub>CHD</sub>	80	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間 (2nd)	t <sub>CHD</sub>	7	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t <sub>DSU</sub>	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t <sub>DHD</sub>	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD ホールド時間	t <sub>DLY1</sub>	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t <sub>DLY2</sub>	-	30	
TSPIxCSIN 立ち下がり→TSPIxTXD 遅延時間	t <sub>DLY3</sub>	-	55	
TSPIxCSIN 高レベル入力パルス幅 (1st)	t <sub>WDIS</sub>	T × 5 + 20	-	
TSPIxCSIN 高レベル入力パルス幅 (2nd)	t <sub>WDIS</sub>	T × 2 + 20	-	

### (3) SIO モード マスター

項目	記号	Min	Max	単位
TSPIxSCK 出力周波数	f <sub>CYC</sub>	-	20	MHz
TSPIxSCK 出力周期	t <sub>CYC</sub>	50	-	ns
TSPIxSCK 低レベル出力パルス幅	t <sub>WL</sub>	(t <sub>CYC</sub> / 2) - 13	-	
TSPIxSCK 高レベル出力パルス幅	t <sub>WH</sub>	(t <sub>CYC</sub> / 2) - 13	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t <sub>DSU</sub>	35 - k3 × T	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t <sub>DHD</sub>	k3 × T - 8.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD ホールド時間	t <sub>ODLY1</sub>	-18	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t <sub>ODLY2</sub>	-	16	

### (4) SIO モード スレーブ

項目	記号	Min	Max	単位
TSPIxSCK 入力周波数	f <sub>CYC</sub>	-	15	MHz
TSPIxSCK 入力周期	t <sub>CYC</sub>	66.6	-	ns
TSPIxSCK 低レベル入力パルス幅	t <sub>WL</sub>	20.3	-	
TSPIxSCK 高レベル入力パルス幅	t <sub>WH</sub>	20.3	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間	t <sub>CHD</sub>	7	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t <sub>DSU</sub>	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t <sub>DHD</sub>	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD ホールド時間	t <sub>ODLY1</sub>	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t <sub>ODLY2</sub>	-	30	

## (1) 1st クロックエッジサンプリング(マスター)

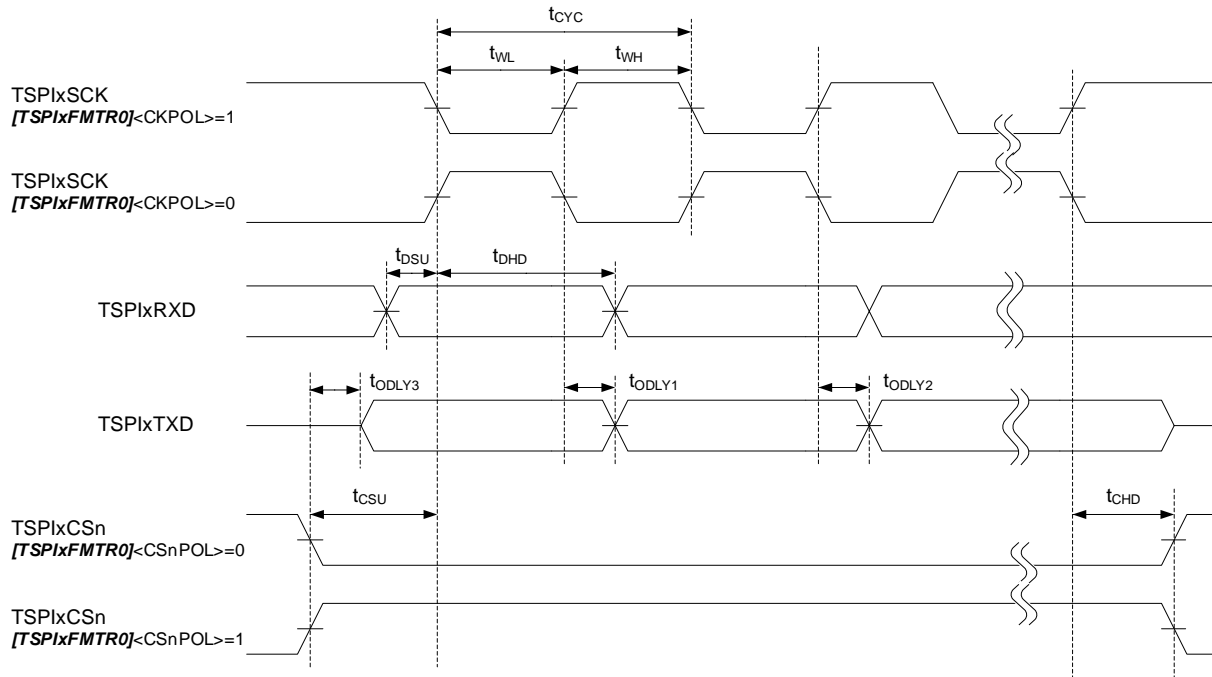


図 7.2 1stクロックエッジサンプリング(マスター)

## (2) 2nd クロックエッジサンプリング(マスター)

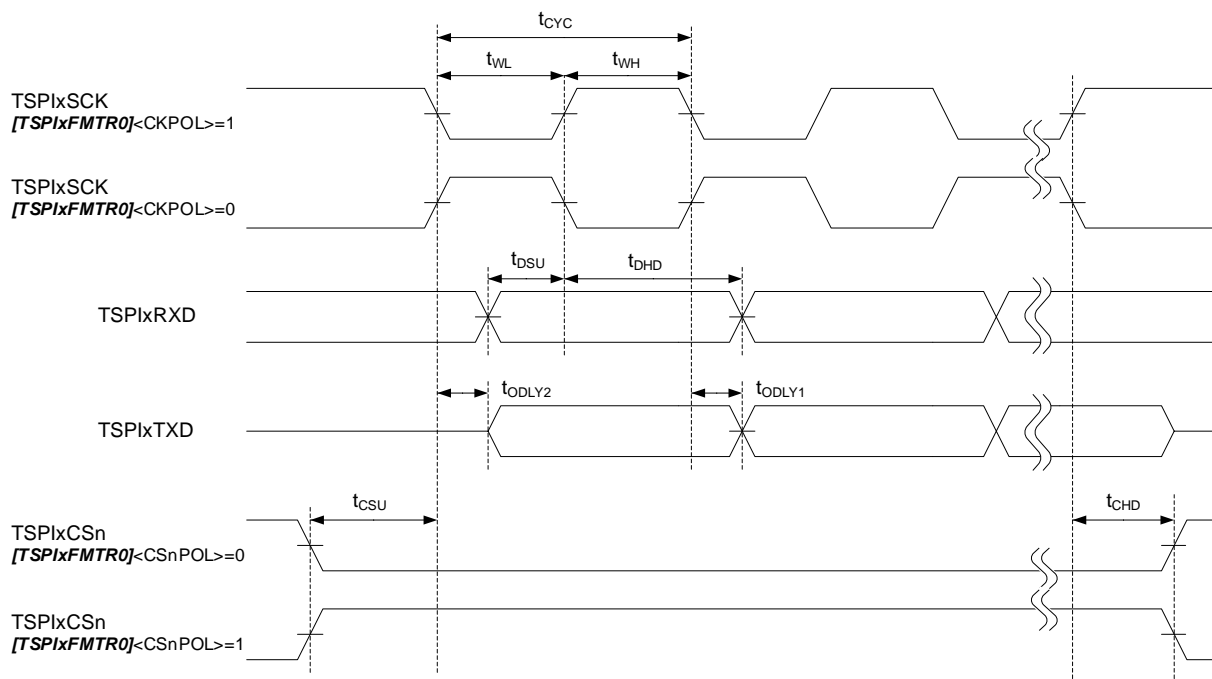


図 7.3 2ndクロックエッジサンプリング(マスター)



### (3) 1st クロックエッジサンプリング(スレーブ)

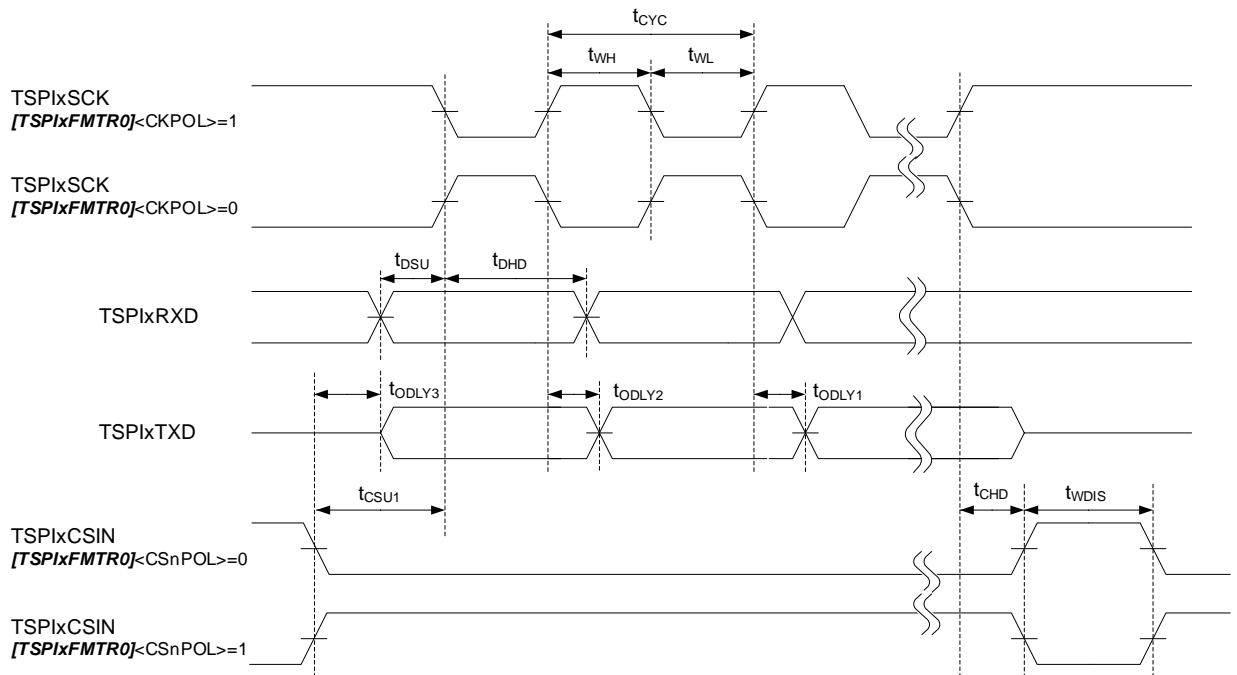


図 7.4 1stクロックエッジサンプリング(スレーブ)

### (4) 2nd クロックエッジサンプリング(スレーブ)

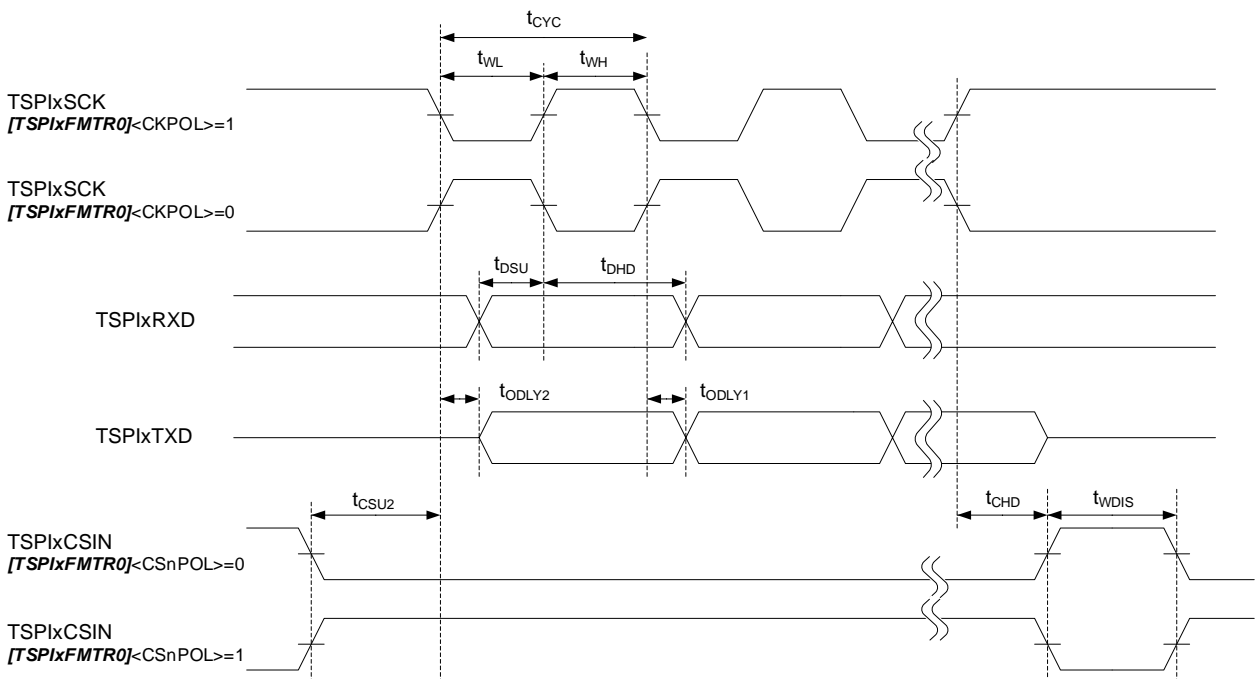


図 7.5 2ndクロックエッジサンプリング(スレーブ)

## 7.10.2. I<sup>2</sup>C インターフェース バージョン A (EI2C)

### 7.10.2.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD5=AVDD5=4.5V ~ 5.5V
- Ta = -40 ~ 85°C
- 出力レベル: Low = 0.4V
- 入力レベル: High = 0.7 × DVDD5、Low = 0.3 × DVDD5
- 負荷容量: CL = 30pF
- 外部プルアップ抵抗: Rp = 2.2 kΩ

### 7.10.2.2. AC 電気的特性

項目	記号	標準モード		ファストモード		ファストモードプラス		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	f <sub>SCL</sub>	0	100	0	400	0	1000	kHz
スタートコンディション保持	t <sub>HD,STA</sub>	4.0	-	0.6	-	0.26	-	μs
SCL クロック Low 幅(入力)(注 1)	t <sub>LOW</sub>	4.7	-	1.3	-	0.5	-	
SCL クロック High 幅(入力)(注 1)	t <sub>HIGH</sub>	4.0	-	0.6	-	0.26	-	
再スタートコンディション セットアップ時間	t <sub>SU,STA</sub>	4.7	-	0.6	-	0.26	-	
データ保持時間(入力)(注 2)	t <sub>HD,DAT</sub>	0	-	0	-	0	-	
データセットアップ時間	t <sub>SU,DAT</sub>	250	-	100	-	50	-	ns
ストップコンディションセットアップ時間	t <sub>SU,STO</sub>	4.0	-	0.6	-	0.26	-	μs
ストップコンディションとスタートコンディション間のバスフリー時間(注 3)	t <sub>BUF</sub>	4.7	-	1.3	-	0.5	-	

注1) 通信規格上、標準モード/ファストモード/ファストモードプラスの最高速度は 100kHz/400kHz/1000kHz です。内部 SCL クロックの周波数の設定は、リファレンスマニュアル「I<sup>2</sup>C インターフェース バージョン A」3.3.1.章の計算式を参照してください。

注2) 通信規格では、SDA 入力時に内部でデータ保持時間を 300ns 確保して、SCL 立ち下がり時の不安定な状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL/SDA の t<sub>r</sub>/t<sub>f</sub>を含めて、バス上で上表のデータ保持時間(入力)を守るように、設計してください。

注3) ソフトウェアで時間を確保してください。

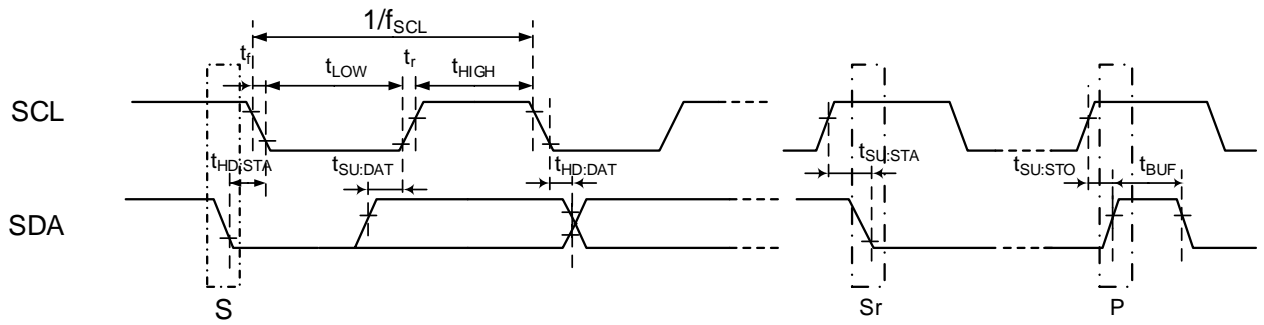


図 7.6 I2CのACタイミング

### 7.10.3. 32 ビットタイマーイベントカウンタ (T32A)

T32AxINA0、T32AxINB0、T32AxINC0 入力に対する AC 電气的特性です。

#### 7.10.3.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD5 = AVDD5 = 4.5V ~ 5.5V
- Ta = -40 ~ 85°C
- 入力レベル: High = 0.5 × DVDD5、Low = 0.5 × DVDD5

## 7.10.3.2. AC 電気的特性

TはT32Aの動作クロックの周期を表します。T32Aの動作クロックは、クロックΦT0mと同じ周期です。この周期は、プリスケラークロックの設定に依存します。

(1) パルスカウント動作時以外

項目	記号	Min	Max	単位
Lowレベルパルス幅	t <sub>vCKL</sub>	2T + 20	-	ns
Highレベルパルス幅	t <sub>vCKH</sub>	2T + 20	-	

(2) パルスカウント動作時

項目	記号	Min	Max	単位
パルス周期	t <sub>dCYC</sub>	1000	-	ns
低レベルパルス幅	t <sub>pWL</sub>	500	-	
高レベルパルス幅	t <sub>pWH</sub>	500	-	

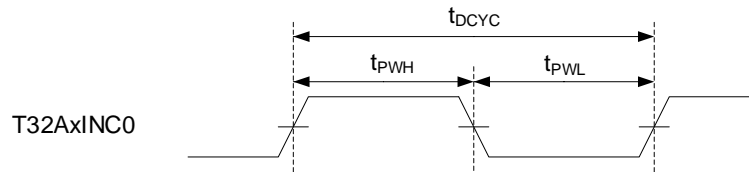


図 7.7 カウントパルス入力

## 7.10.4. 外部割り込み

### 7.10.4.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD5 = AVDD5 = 4.5V ~ 5.5V
- Ta = -40 ~ 85°C
- 入力レベル: High = 0.5 × DVDD5、Low = 0.5 × DVDD5

### 7.10.4.2. AC 電气的特性

表中の T はシステムクロック fsys の周期を表します。

(1) NORMAL、IDLE モード時

項目	記号	Min	Max	単位
Low レベルパルス幅	t <sub>INTAL1</sub>	T + 100	-	ns
High レベルパルス幅	t <sub>INTAH1</sub>	T + 100	-	

(2) STOP1 モード時

項目	記号	Min	Max	単位
Low レベルパルス幅	t <sub>INTCL2</sub>	125	-	ns
High レベルパルス幅	t <sub>INTCH2</sub>	125	-	

## 7.10.5. デバッグ通信

### 7.10.5.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD5 = AVDD5 = 4.5V ~ 5.5V
- Ta = -40 ~ 85°C
- 入出力レベル: High = 0.5 × DVDD5、Low = 0.5 × DVDD5
- 負荷容量: CL = 30pF

### 7.10.5.2. SWD インターフェース

項目	記号	Min	Max	単位
CLK High レベル幅	$t_{dckh}$	50	-	ns
CLK Low レベル幅	$t_{dckl}$	50	-	
CLK 立ち上がりから出力データ保持	$t_{d1}$	1	-	
CLK 立ち上がりから出力データ有効	$t_{d2}$	-	35	
入力データ有効から CLK 立ち上がり	$t_{ds}$	20	-	
CLK 立ち上がりから入力データ保持	$t_{dh}$	15	-	

### 7.10.5.3. JTAG インターフェース

項目	記号	Min	Max	単位
CLK High レベル幅	$t_{dckh}$	50	-	ns
CLK Low レベル幅	$t_{dckl}$	50	-	
CLK 立ち上がりから出力データ保持	$t_{d3}$	0	-	
CLK 立ち上がりから出力データ有効	$t_{d4}$	-	35	
入力データ有効から CLK 立ち上がり	$t_{ds}$	20	-	
CLK 立ち上がりから入力データ保持	$t_{dh}$	15	-	

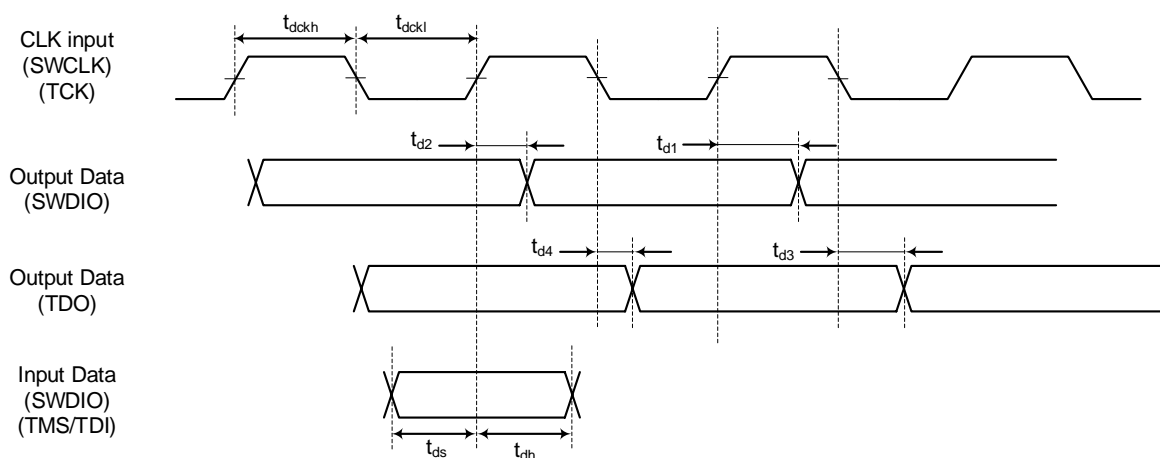


図 7.8 JTAG/SW波形

## 7.10.5.4. ETM トレース

項目	記号	Min	Max	単位
TRACECLK 周期	$t_{clk}$	25	-	ns
TRACECLK 立ち上がりから DATA 有効	$t_{setupr}$	2	-	
TRACECLK 立ち上がりから TRACEDATA 保持	$t_{holdr}$	1	-	
TRACECLK 立ち下がりから TRACEDATA 有効	$t_{setupf}$	2	-	
TRACECLK 立ち下がりから TRACEDATA 保持	$t_{holdf}$	1	-	

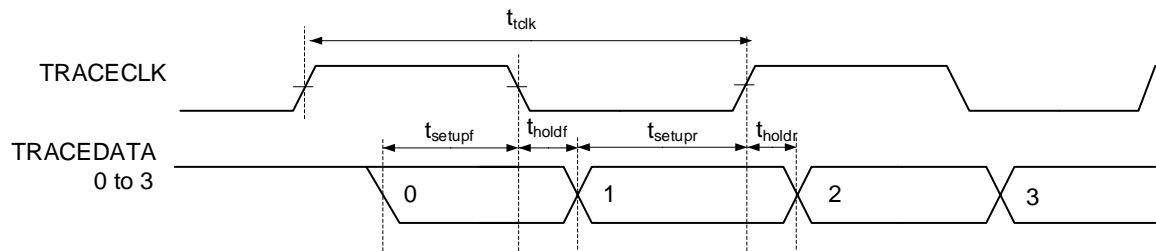


図 7.9 トレース信号波形

## 7.10.6. ノイズフィルター特性

項目	条件	Min	Typ.	Max	単位
ノイズキャンセル幅	DVDD5 = 4.5 ~ 5.5V Ta = -40 ~ 85°C	15	30	60	ns

## 7.10.7. 外部クロック入力

### 7.10.7.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD5 = AVDD5 = 4.5V ~ 5.5V
- Ta = -40 ~ 85°C
- 入力レベル: High = 0.75 × DVDD5、Low = 0.25 × DVDD5

### 7.10.7.2. AC 電気的特性

項目	記号	Min	Typ.	Max	単位
クロック周波数( $1/t_{EHCLKIN}$ )	$f_{EHCLKIN}$	6	-	10	MHz
クロック Duty	-	45	-	55	%
クロック立ち上がり時間	$t_r$	-	-	10	ns
クロック立ち下がり時間	$t_f$	-	-	10	ns

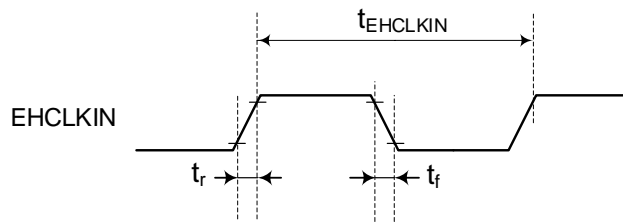


図 7.10 外部クロック入力波形



## 7.11. フラッシュ特性

### 7.11.1. コードフラッシュ特性

DVDD5=4.5V ~ 5.5V  
 Ta=-40 ~ 85°C

項目	条件	Min	Typ.	Max	単位
フラッシュメモリー書き換え回数	-	-	-	100,000	回
書き込み時間	1word あたりに換算	-	22.6	-	µs
消去時間	ページ	1.1	-	4.2	ms
	ブロック	8.4	-	33.6	
	エリア(注)	-	9.1	-	

注) プロテクトが有効なブロックが無い場合です。

### 7.11.2. チップ消去特性

DVDD5=4.5V ~ 5.5V  
 Ta=-40 ~ 85°C

項目	条件	Min	Typ.	Max	単位
チップ消去時間	消去対象: コードフラッシュ プロテクトビット(コード) セキュリティビット	20.3	-	26.5	ms

注) 自動チップ消去、自動プロテクトビット消去(コード)、自動セキュリティビット消去コマンドの実行時間の合計です。自動チップ消去コマンドは、プロテクトが有効なブロックが無い場合の時間です

## 7.12. レギュレーター

DVDD5=4.5V ~ 5.5V  
 Ta= -40 ~ 85°C

項目	条件	Min	Typ.	Max	単位
REGOUT1 コンデンサー容量	-	0.8	4.7	5.64	µF
REGOUT2 コンデンサー容量		0.8	4.7	5.64	

## 7.13. 発振回路

### 7.13.1. 内蔵発振器

DVDD5=4.5V ~ 5.5V  
 Ta=-40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f <sub>IHOSC1</sub>	-	9.9	10	10.1	MHz
	f <sub>IHOSC2</sub>		9	10	11	

### 7.13.2. 外部発振器

DVDD5=4.5V ~ 5.5V  
 Ta=-40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f <sub>EHOSC</sub>	-	6	-	24	MHz

- 注1) 常に精度 1%以内の発振が供給される環境で使用してください。  
 注2) 接続する発振子とのマッチングは発振子メーカーへ依頼してください。

### 7.13.3. 発振回路例

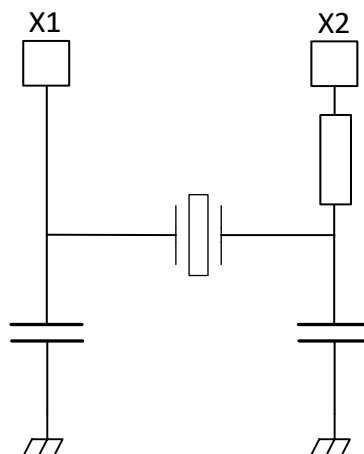


図 7.11 発振回路例

発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

## 7.13.4. セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。  
(株)村田製作所の製品詳細につきましては同社ホームページを参照してください。

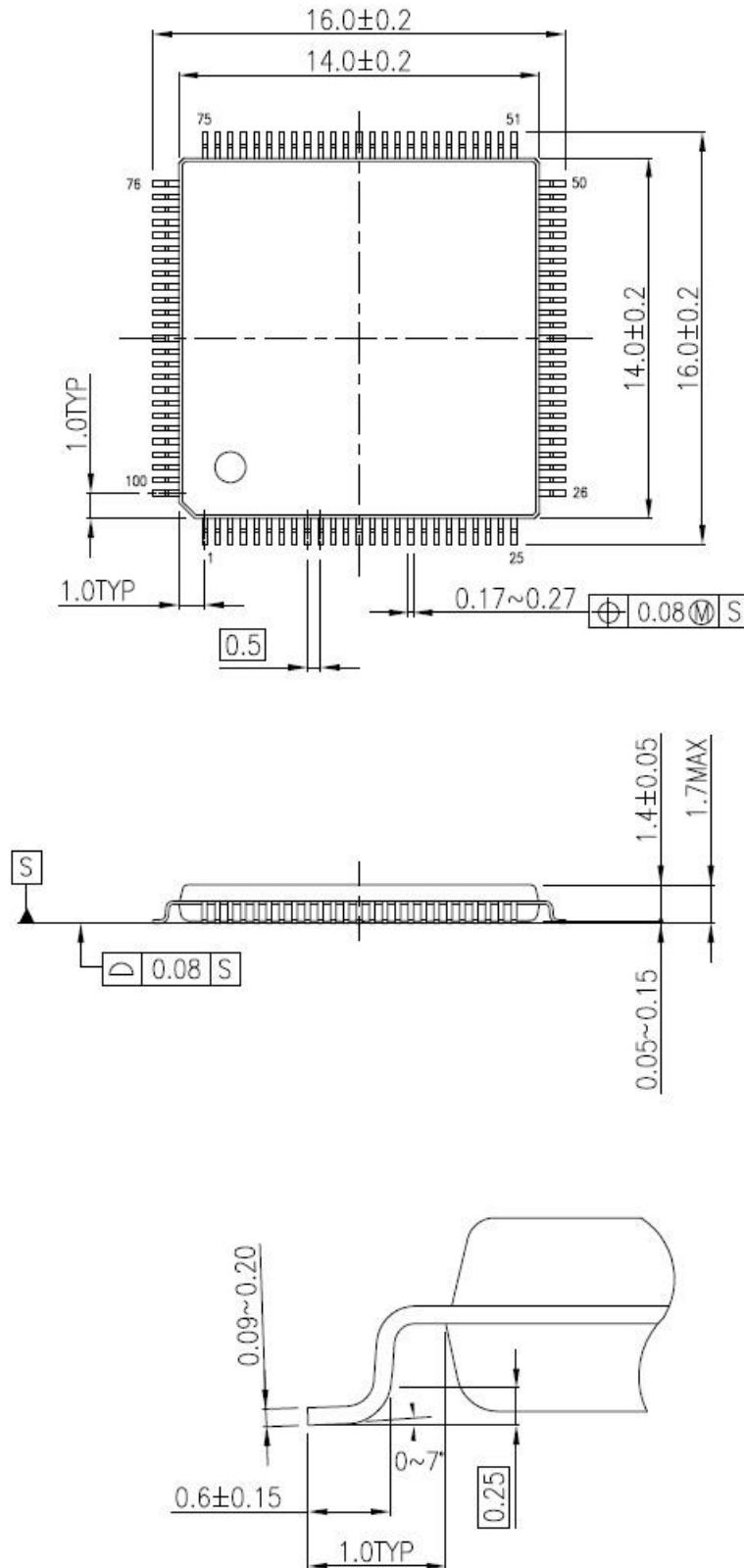
## 7.13.5. プリント基板の設計に関する注意

振動子と発振のための素子を接続する基板パターンは浮遊容量やインダクタンスによる特性の劣化を防止するために最短距離の配線長で設計してください。また、多層基板の場合は発振回路の直下の層には面グランドや信号パターンを配線しないようにお願いします。詳しくは、発振子メーカーのホームページを参照してください。

## 8. 外形寸法図

### 8.1. P-LQFP100-1414-0.50-002

Unit: mm



## 9. 使用上のご注意およびお願い事項

本資料に掲載されている製品について、使用上の注意点を説明します。  
なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

### (1) 電源投入時の動作について

電源投入時、本資料に掲載されている製品の内部は不定状態となります。

このため、リセットが有効となるまで、端子の状態は不定となります。

外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有効になるまでの間、端子の状態は不定となります。

また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。

### (2) 未使用端子の処置について

本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生してLSI内部で静電破壊やラッチアップが発生することがあります。

未使用端子については、1本ずつ抵抗を通して電源端子または1本ずつ抵抗を通してGND端子に固定することを推奨します。

### (3) クロック発振の安定について

リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。

## 10. 改訂履歴

表 10.1 改訂履歴

Revision	日付	内容
1.0	2024-08-30	・新規作成

## Appendix

### 全端子一覧表

兼用機能 A~C:ポートファンクションレジスタの設定なしにポートに割り当てられる兼用機能です。  
兼用機能 1~7: ポートファンクションレジスタの設定によりポートに割り当てられる兼用機能です。

M471 LQFP100	端子名称	兼用機能 A	兼用機能 B	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	兼用機能 5	兼用機能 6	兼用機能 7	入出力	PU/PD	OD	SMT/ CMOS	リセット中 の状態	リセット後 の状態
1	DVSSG										-	-	-	-	-	-
2	PA0		INT3				T32A00INA0	T32A00INC0			I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
3	PA1						T32A00OUTA	T32A00OUTC			I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
4	PA2		INT4			TSPI1CS0	T32A01INB0				I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
5	PA3					TSPI1CS1	T32A01OUTB				I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
6	PA4			UT1CTS_N	UT1RTS_N	TSPI1SCK					I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
7	PA5			UT1TXDA	UT1RXD	TSPI1TXD	T32A01OUTA	T32A01OUTC			I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
8	PA6			UT1RXD	UT1TXDA	TSPI1RXD	T32A01INA0	T32A01INC0			I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
9	PA7		INT8	UT1RTS_N	UT1CTS_N	TSPI1CSIN	T32A02INA0	T32A02INC0			I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
10	PE0			UT0TXDA	UT0RXD	TSPI0TXD	T32A02OUTB				I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
11	PE1			UT0RXD	UT0TXDA	TSPI0RXD	T32A02INB0				I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
12	PE2			UT0CTS_N	UT0RTS_N	TSPI0SCK					I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
13	PE3			UT0RTS_N	UT0CTS_N	TSPI0CSIN	T32A02OUTA	T32A02OUTC			I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
14	DVDD5A										-	-	-	-	-	-
15	PE4		INT5			TSPI0CS0	T32A03INA0	T32A03INC0			I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
16	PE5					TSPI0CS1	T32A03OUTA	T32A03OUTC			I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
17	PE6		INT6				T32A03INB0				I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
18	PE7		INT7				T32A03OUTB				I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
19	DVSSA										-	-	-	-	-	-
20	PL0		INTB								I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
21	PL1		INTA								I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
22	PC0								UO0		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
23	PC1								XO0		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
24	PC2								VO0		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
25	PC3								YO0		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
26	PC4								WO0		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
27	PC5								ZO0		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
28	PC6								EMG0		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
29	PC7								OVV0		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
30	PD0						T32A04INA0	T32A04INC0	ENC0A		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
31	PD1					TSPI2CS0	T32A04OUTA	T32A04OUTC	ENC0B		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
32	PD2					TSPI2CS1			ENC0Z		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
33	PD3		INT9	UT2RTS_N	UT2CTS_N	TSPI2CSIN					I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
34	PD4			UT2CTS_N	UT2RTS_N	TSPI2SCK					I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
35	PD5			UT2TXDA	UT2RXD	TSPI2TXD					I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
36	PD6			UT2RXD	UT2TXDA	TSPI2RXD					I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
37	PG0								UO1		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
38	PG1			UT4RTS_N	UT4CTS_N				XO1		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
39	PG2			UT4CTS_N	UT4RTS_N				VO1		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
40	DVDD5B										-	-	-	-	-	-
41	DVSSB										-	-	-	-	-	-
42	PG3			UT4TXDA	UT4RXD				YO1		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
43	PG4			UT4RXD	UT4TXDA				WO1		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
44	PG5								ZO1		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
45	PG6								EMG1		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
46	PG7								OVV1		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
47	PR0	X1	EHCLKIN								Input	PD	-	SMT	Hi-Z	Hi-Z
48	DVSSE										-	-	-	-	-	-
49	PR1	X2									Input	PD	-	SMT	Hi-Z	Hi-Z
50	PF0	BOOT_N				TSPI3CSIN	T32A04INB0				I/O	PU/PD	YES	SMT	Hi-Z (注1)	Hi-Z
51	PF1			UT3RTS_N	UT3CTS_N	TSPI3CS0	T32A04OUTB				I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
52	PF2			UT3CTS_N	UT3RTS_N	TSPI3SCK			ENC1A		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
53	PF3			UT3TXDA	UT3RXD	TSPI3TXD			ENC1A		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
54	PF4			UT3RXD	UT3TXDA	TSPI3RXD			ENC1A		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
55	REGOUT1										-	-	-	-	-	-
56	DVSSC										-	-	-	-	-	-

M471 LQFP100	端子名称	兼用機能 A	兼用機能 B	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	兼用機能 5	兼用機能 6	兼用機能 7	入出力	PU/PD	OD	SMT/ CMOS	リセット中 の状態	リセット後 の状態
57	MODE										Input	PD	-	SMT	-	-
58	DVDD5C										-	-	-	-	-	-
59	RESET_N										Input	PU	-	SMT	-	-
60	REGOUT2										-	-	-	-	-	-
61	DVDD5D										-	-	-	-	-	-
62	DVSSD										-	-	-	-	-	-
63	PB0					TSPI3CS1				TRACECLK	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
64	PB1									TRACEDATA0	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
65	PB2									TRACEDATA1	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
66	PB3									TMS/SWDIO	I/O	PU/PD	YES	SMT	PU (注2)	PU (注2)
67	PB4									TCK/SWCLK	I/O	PU/PD	YES	SMT	PD (注2)	PD (注2)
68	PB5									TDO/SWV	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
69	PB6									TDI	I/O	PU/PD	YES	SMT	PU (注2)	PU (注2)
70	PB7									TRST_N	I/O	PU/PD	YES	SMT	PU (注2)	PU (注2)
71	PK1		INTF			EI2C1SCL				TRACEDATA2	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
72	PK0		INTE			EI2C1SDA				TRACEDATA3	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
73	PJ7	AINB22	INTD								I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
74	PJ6	AINB21	INTC								I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
75	PJ5	AINB20									I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
76	PJ4	AINB19									I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
77	PJ3	AINB18									I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
78	PJ2	AINB17									I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
79	PJ1	AINB16									I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
80	PJ0	AINB15									I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
81	AVSS										-	-	-	-	-	-
82	AVDD5										-	-	-	-	-	-
83	PP3	AINA23/AINB14									I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
84	PP2	AINA22/AINB13									I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
85	PP1	AINA21/AINB12									I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
86	VREFL										-	-	-	-	-	-
87	VREFH										-	-	-	-	-	-
88	PP0	AINA20									I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
89	PH7	AINA19									I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
90	PH6	AINA18									I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
91	PH5	AINA17									I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
92	PH4	AINA16									I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
93	PH3	AINA15									I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
94	PH2	AINA14	INT2								I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
95	PH1	AINA13	INT1								I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
96	PH0	AINA12	INT0								I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
97	DVSSF										-	-	-	-	-	-
98	PN2						T32A00INB0				I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
99	PN1					EI2C0SCL	T32A00OUTB				I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
100	PN0					EI2C0SDA					I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z

注 1) RESET\_N 端子が"Low"の時、内蔵 pull-up が ON です。

注 2) 初期値で内蔵 pull-up/pull-down が ON です。



## 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。