

32 ビット RISC マイクロコントローラー  
**TX ファミリー**  
**TMPM471F10FG**  
リファレンスマニュアル  
入出力ポート  
**(PORT-TMPM471F10FG)**

Revision 1.0

---

2024-08

東芝デバイス&ストレージ株式会社

## 目次

序章 .....	5
関連するドキュメント .....	5
表記規約 .....	6
用語・略語 .....	8
1. 概要 .....	9
2. 動作説明 .....	9
2.1. クロック供給 .....	9
3. 信号接続一覧 .....	10
4. レジスタ説明 .....	17
4.1. レジスタ一覧 .....	18
4.2. ポート機能とレジスタ設定 .....	20
4.2.1. 機能端子を使用する際の設定について .....	20
4.2.2. PORT A .....	21
4.2.3. PORT B .....	23
4.2.4. PORT C .....	24
4.2.5. PORT D .....	25
4.2.6. PORT E .....	26
4.2.7. PORT F .....	27
4.2.8. PORT G .....	28
4.2.9. PORT H .....	29
4.2.10. PORT J .....	30
4.2.11. PORT K .....	31
4.2.12. PORT L .....	31
4.2.13. PORT N .....	31
4.2.14. PORT P .....	32
4.2.15. PORT R .....	32
5. ポート回路図 .....	33
5.1. タイプ FTU1a .....	33
5.2. タイプ FTU2a .....	34
5.3. タイプ FTU3a .....	35
5.4. タイプ FTU4a .....	36
5.5. タイプ FTU5a .....	37
5.6. タイプ FTU11a .....	38
5.7. タイプ FTU16a .....	39
6. 使用上のご注意およびお願い事項 .....	40
6.1. リセット期間中の端子状態について .....	40
6.2. 未使用端子の処理について .....	40
6.3. デバッグインターフェース端子を汎用ポートとして使用する際の注意 .....	40
7. 改訂履歴 .....	41

---

製品取り扱い上のお願い.....	42
------------------	----

## 図目次

図 5.1	ポートタイプ FTU1a .....	33
図 5.2	ポートタイプ FTU2a .....	34
図 5.3	ポートタイプ FTU3a .....	35
図 5.4	ポートタイプ FTU4a .....	36
図 5.5	ポートタイプ FTU5a .....	37
図 5.6	ポートタイプ FTU11a .....	38
図 5.7	ポートタイプ FTU16a .....	39

## 表目次

表 3.1	信号接続一覧: UART ch0、1、2、3.....	10
表 3.2	信号接続一覧: UART ch4/EI2C/TSPI .....	11
表 3.3	信号接続一覧: T32A.....	12
表 3.4	信号接続一覧: ADC.....	13
表 3.5	信号接続一覧: INT .....	14
表 3.6	信号接続一覧: A-PMD/A-ENC32 .....	15
表 3.7	信号接続一覧: JTAG/SW/TRACE/制御端子 .....	16
表 4.1	ポートベースアドレス.....	18
表 4.2	レジスター一覧.....	19
表 4.3	ポート A レジスター設定.....	21
表 4.4	ポート B レジスター設定.....	23
表 4.5	ポート C レジスター設定 .....	24
表 4.6	ポート D レジスター設定 .....	25
表 4.7	ポート E レジスター設定.....	26
表 4.8	ポート F レジスター設定.....	27
表 4.9	ポート G レジスター設定 .....	28
表 4.10	ポート H レジスター設定 .....	29
表 4.11	ポート J レジスター設定 .....	30
表 4.12	ポート K レジスター設定.....	31
表 4.13	ポート L レジスター設定.....	31
表 4.14	ポート N レジスター設定 .....	31
表 4.15	ポート P レジスター設定.....	32
表 4.16	ポート R レジスター設定 .....	32
表 7.1	改訂履歴.....	41

## 序章

### 関連するドキュメント

文書名
製品個別情報
クロック制御と動作モード
例外
フラッシュメモリー
I <sup>2</sup> C インターフェース バージョン A
シリアルペリフェラルインターフェース
12ビットアナログデジタルコンバーター
32ビットタイマーイベントカウンター
非同期シリアル通信回路
アドバンストプログラマブルモーター制御回路
アドバンストエンコーダー入力回路(32bit)
デバッグインターフェース

## 表記規約

- 数値表記は以下の規則に従います。
  - 16 進数表記: 0xABC
  - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
  - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「\_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。  
例: S[3:0] は S3、S2、S1、S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [ ] で囲まれたものはレジスターを定義しています。  
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。  
例: [XYZ1]、[XYZ2]、[XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。  
ユニットの場合、「x」は A、B、C...を表します。  
例: [ADACR0]、[ADBCR0]、[ADCCR0] → [ADxCR0]  
チャンネルの場合、「x」は 0、1、2、..を表します。  
例: [T32A0RUNA]、[T32A1RUNA]、[T32A2RUNA] → [T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。  
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。  
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。  
バイト: 8 ビット  
ハーフワード: 16 ビット  
ワード: 32 ビット  
ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。  
R: リードオンリー  
W: ライトオンリー  
R/W: リード / ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。  
また、読み出した値を使用しないでください。
- Default 値が「-」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。  
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。  
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

## 用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

I <sup>2</sup> C	Inter-Integrated Circuit
JTAG	Joint Test Action Group
SW	Serial Wire



## 1. 概要

ポート関連のレジスターとその設定について説明します。以下に機能の一覧を示します。

機能分類	機能	説明
ポート	-	内蔵プログラマブルプルアップ/プルダウンの選択、オープンドレイン出力選択が可能
周辺機能端子	外部割り込み	ノイズフィルター(フィルター幅 Typ. 30ns)付き割り込み入力端子
	32ビットタイマーイベントカウンタ	インプットキャプチャ入力端子、タイマー出力端子
	シリアルペリフェラルインターフェース	チップセレクト入力 1 端子、チップセレクト出力 2 端子、データ入力端子、データ出力端子、クロック入出力端子
	非同期シリアル通信回路	データ入力端子、データ出力端子、ハンドシェイク機能端子
	I <sup>2</sup> C インターフェース バージョン A	データ入出力端子、クロック入出力端子
	アナログデジタルコンバータ	アナログ入力端子
	アドバンストプログラマブルモーター制御回路	X/Y/Z 相出力端子、U/V/W 相出力端子、異常検出入力端子、過電圧検出入力端子
アドバンストエンコーダ入力回路 (32-bit)	エンコーダ入力端子	
デバッグ端子	JTAG	テストモード選択入力端子、シリアルクロック入力端子、シリアルデータ出力端子、シリアルデータ入力端子、テストリセット入力端子
	SW	シリアルワイヤデータ入出力端子、シリアルワイヤクロック入力端子、シリアルワイヤビューワ出力端子
	トレース	トレースクロック出力端子、トレースデータ出力 4 端子
制御端子	クロック制御	高速発振子接続端子、外部高速クロック入力
	BOOT モード制御	BOOT モード制御用端子

## 2. 動作説明

### 2.1. クロック供給

ポートを使用する場合は、f<sub>sys</sub> 供給停止レジスターA([CGFSYSENA]、[CGFSYSMENA])、f<sub>sys</sub> 供給停止レジスターB([CGFSYSMENB])、fc 供給停止レジスター([CGFCEN])で該当するクロックイネーブルビットを"1"(クロック供給)に設定してください。

該当レジスター、ビット位置は製品によって異なります。そのため、製品によってレジスターが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

### 3. 信号接続一覧

各リファレンスマニュアルのブロック図(信号一覧表)に記載された信号名を機能端子順に変換した表です。周辺機能のレジスター設定はポート順に説明していますので、ポート名の逆引きにご使用ください。

数値は端子番号を表します。

表 3.1 信号接続一覧: UART ch0、1、2、3

参照リファレンスマニュアル	兼用機能端子名	ポート名	TMPM471F10FG (LQFP100)
非同期シリアル通信回路	UT0RXD	PE0	10
		PE1	11
	UT0TXDA	PE1	11
		PE0	10
	UT0CTS_N	PE2	12
		PE3	13
	UT0RTS_N	PE3	13
		PE2	12
	UT1RXD	PA5	7
		PA6	8
	UT1TXDA	PA6	8
		PA5	7
	UT1CTS_N	PA4	6
		PA7	9
	UT1RTS_N	PA7	9
		PA4	6
	UT2RXD	PD5	35
		PD6	36
	UT2TXDA	PD6	36
		PD5	35
	UT2CTS_N	PD3	33
		PD4	34
	UT2RTS_N	PD4	34
		PD3	33
	UT3RXD	PF3	53
		PF4	54
	UT3TXDA	PF4	54
		PF3	53
UT3CTS_N	PF1	51	
	PF2	52	
UT3RTS_N	PF2	52	
	PF1	51	

表 3.2 信号接続一覧: UART ch4/EI2C/TSPI

参照リファレンスマニュアル	兼用機能端子名	ポート名	TMPM471F10FG (LQFP100)
非同期シリアル通信回路	UT4RXD	PG3	42
		PG4	43
	UT4TXDA	PG4	43
		PG3	42
	UT4CTS_N	PG1	38
		PG2	39
	UT4RTS_N	PG2	39
		PG1	38
I <sup>2</sup> C インターフェース バージョン A	EI2C0SDA	PN0	100
	EI2C0SCL	PN1	99
	EI2C1SDA	PK0	72
	EI2C1SCL	PK1	71
シリアルペリフェラルインターフェース	TSPI0RXD	PE1	11
	TSPI0TXD	PE0	10
	TSPI0SCK	PE2	12
	TSPI0CSIN	PE3	13
	TSPI0CS0	PE4	15
	TSPI0CS1	PE5	16
	TSPI1RXD	PA6	8
	TSPI1TXD	PA5	7
	TSPI1SCK	PA4	6
	TSPI1CSIN	PA7	9
	TSPI1CS0	PA2	4
	TSPI1CS1	PA3	5
	TSPI2RXD	PD6	36
	TSPI2TXD	PD5	35
	TSPI2SCK	PD4	34
	TSPI2CSIN	PD3	33
	TSPI2CS0	PD1	31
	TSPI2CS1	PD2	32
	TSPI3RXD	PF4	54
	TSPI3TXD	PF3	53
	TSPI3SCK	PF2	52
	TSPI3CSIN	PF0	50
TSPI3CS0	PF1	51	
TSPI3CS1	PB0	63	

表 3.3 信号接続一覧: T32A

参照リファレンスマニュアル	兼用機能端子名	ポート名	TMPM471F10FG (LQFP100)
32 ビットタイマーイベント カウンター	T32A00INA0	PA0	2
	T32A00OUTA	PA1	3
	T32A00INB0	PN2	98
	T32A00OUTB	PN1	99
	T32A00INC0	PA0	2
	T32A00OUTC	PA1	3
	T32A01INA0	PA6	8
	T32A01OUTA	PA5	7
	T32A01INB0	PA2	4
	T32A01OUTB	PA3	5
	T32A01INC0	PA6	8
	T32A01OUTC	PA5	7
	T32A02INA0	PA7	9
	T32A02OUTA	PE3	13
	T32A02INB0	PE1	11
	T32A02OUTB	PE0	10
	T32A02INC0	PA7	9
	T32A02OUTC	PE3	13
	T32A03INA0	PE4	15
	T32A03OUTA	PE5	16
	T32A03INB0	PE6	17
	T32A03OUTB	PE7	18
	T32A03INC0	PE4	15
	T32A03OUTC	PE5	16
	T32A04INA0	PD0	30
	T32A04OUTA	PD1	31
	T32A04INB0	PF0	50
	T32A04OUTB	PF1	51
	T32A04INC0	PD0	30
	T32A04OUTC	PD1	31

表 3.4 信号接続一覧: ADC

参照リファレンスマニュアル	兼用機能端子名	ポート名	TMPM471F10FG (LQFP100)
12ビットアナログデジタル コンバーター	AINA12	PH0	96
	AINA13	PH1	95
	AINA14	PH2	94
	AINA15	PH3	93
	AINA16	PH4	92
	AINA17	PH5	91
	AINA18	PH6	90
	AINA19	PH7	89
	AINA20	PP0	88
	AINA21	PP1	85
	AINA22	PP2	84
	AINA23	PP3	83
	AINB12	PP1	85
	AINB13	PP2	84
	AINB14	PP3	83
	AINB15	PJ0	80
	AINB16	PJ1	79
	AINB17	PJ2	78
	AINB18	PJ3	77
	AINB19	PJ4	76
	AINB20	PJ5	75
	AINB21	PJ6	74
AINB22	PJ7	73	

表 3.5 信号接続一覧: INT

参照リファレンスマニュアル	兼用機能端子名	ポート名	TMPM471F10FG (LQFP100)
例外	INT0	PH0	96
	INT1	PH1	95
	INT2	PH2	94
	INT3	PA0	2
	INT4	PA2	4
	INT5	PE4	15
	INT6	PE6	17
	INT7	PE7	18
	INT8	PA7	9
	INT9	PD3	33
	INTA	PL1	21
	INTB	PL0	20
	INTC	PJ6	74
	INTD	PJ7	73
	INTE	PK0	72
INTF	PK1	71	

表 3.6 信号接続一覧: A-PMD/A-ENC32

参照リファレンスマニュアル	兼用機能端子名	ポート名	TMPM471F10FG (LQFP100)
アドバンスプログラムブル モーター制御回路	EMG0	PC6	28
	OVV0	PC7	29
	UO0	PC0	22
	VO0	PC2	24
	WO0	PC4	26
	XO0	PC1	23
	YO0	PC3	25
	ZO0	PC5	27
	EMG1	PG6	45
	OVV1	PG7	46
	UO1	PG0	37
	VO1	PG2	39
	WO1	PG4	43
	XO1	PG1	38
	YO1	PG3	42
	ZO1	PG5	44
アドバンスエンコーダー 入力回路(32-bit)	ENC0A	PD0	30
	ENC0B	PD1	31
	ENC0Z	PD2	32
	ENC1A	PF2	52
	ENC1B	PF3	53
	ENC1Z	PF4	54

表 3.7 信号接続一覧: JTAG/SW/TRACE/制御端子

参照リファレンスマニュアル	兼用機能端子名	ポート名	TMPM471F10FG (LQFP100)
デバッグインターフェース	TMS	PB3	66
	TCK	PB4	67
	TDO	PB5	68
	TDI	PB6	69
	TRST_N	PB7	70
	SWDIO	PB3	66
	SWCLK	PB4	67
	SWV	PB5	68
デバッグインターフェース (トレース)	TRACECLK	PB0	63
	TRACEDATA0	PB1	64
	TRACEDATA1	PB2	65
	TRACEDATA2	PK1	71
	TRACEDATA3	PK0	72
クロック制御と動作モード	X1	PR0	47
	EHCLKIN	PR0	47
	X2	PR1	49
フラッシュメモリー	BOOT_N	PF0	50



## 4. レジスタ説明

ポートを使用するには以下のレジスタを設定する必要があります。  
レジスタは全て 32 ビットですが、ポートのビット数、機能の割り当てにより構成が異なります。  
以下の説明では"x"はポート名、"n"はファンクション番号を示します。

レジスタ名		Type	設定値	説明
[PxDATA]	データレジスタ	R/W	0 または 1	ポートのデータ読み込み、データ書き込みを行います。
[PxCR]	出力コントロールレジスタ	R/W	0: 出力禁止 1: 出力許可	出力の制御を行います。
[PxFRn]	ファンクションレジスタ n	R/W	0: PORT 1: 機能	機能設定を行いません。 "1" をセットすることにより割り当てられている機能を使用できるようになります。ファンクションレジスタはポートに割り当てられている機能ごとに存在します。複数の機能が割り当てられている場合、1つの機能のみ有効になるように設定してください。
[PxOD]	オープンドレインコントロールレジスタ	R/W	0: CMOS 1: オープンドレイン	プログラマブルオープンドレインの制御を行います。 プログラマブルオープンドレインは、[PxOD]=1 の設定で、出力データが"1" の場合に出力バッファをディセーブルにし、擬似的にオープンドレインを実現する機能です。
[PxPUP]	プルアップコントロールレジスタ	R/W	0: プルアップ禁止 1: プルアップ許可	プログラマブルプルアップを制御します。
[PxPDN]	プルダウンコントロールレジスタ	R/W	0: プルダウン禁止 1: プルダウン許可	プログラマブルプルダウンを制御します。
[PxIE]	入力コントロールレジスタ	R/W	0: 入力禁止 1: 入力許可	入力の制御を行いません。 [PxIE] をイネーブルにしてから外部データが [PxDATA] に反映されるまで 100ns(最大)の時間が必要です。

## 4.1. レジスタ一覧

機能の存在しないビットをリードすると"0"が読めます。ライトは意味を持ちません。

表 4.1 ポートベースアドレス

周辺機能	チャンネル/ ユニット	ベースアドレス	
入出力ポート	PA	-	0x400E0000
	PB	-	0x400E0100
	PC	-	0x400E0200
	PD	-	0x400E0300
	PE	-	0x400E0400
	PF	-	0x400E0500
	PG	-	0x400E0600
	PH	-	0x400E0700
	PJ	-	0x400E0800
	PK	-	0x400E0900
	PL	-	0x400E0A00
	PN	-	0x400E0B00
	PP	-	0x400E0C00
	PR	-	0x400E0D00

表 4.2 レジスタ一覧

レジスタ名	アドレス (Base+)	ポート A	ポート B	ポート C	ポート D	ポート E	ポート F
データレジスタ	0x0000	[PADATA]	[PBDATA]	[PCDATA]	[PDDATA]	[PEDATA]	[PFDATA]
出力コントロールレジスタ	0x0004	[PACR]	[PBCR]	[PCCR]	[PDCR]	[PECR]	[PFCR]
ファンクションレジスタ 1	0x0008	[PAFR1]	-	-	[PDFR1]	[PEFR1]	[PFFR1]
ファンクションレジスタ 2	0x000C	[PAFR2]	-	-	[PDFR2]	[PEFR2]	[PFFR2]
ファンクションレジスタ 3	0x0010	[PAFR3]	[PBFR3]	-	[PDFR3]	[PEFR3]	[PFFR3]
ファンクションレジスタ 4	0x0014	[PAFR4]	-	-	[PDFR4]	[PEFR4]	[PFFR4]
ファンクションレジスタ 5	0x0018	[PAFR5]	-	-	[PDFR5]	[PEFR5]	-
ファンクションレジスタ 6	0x001C	-	-	[PCFR6]	[PDFR6]	-	[PFFR6]
ファンクションレジスタ 7	0x0020	-	[PBFR7]	-	-	-	-
オープンドレインコントロールレジスタ	0x0028	[PAOD]	[PBOD]	[PCOD]	[PDOD]	[PEOD]	[PFOD]
ブルアップコントロールレジスタ	0x002C	[PAPUP]	[PBPUP]	[PCPUP]	[PDPUP]	[PEPUP]	[PFPUP]
ブルダウンコントロールレジスタ	0x0030	[PAPDN]	[PBDPN]	[PCPDN]	[PDPDN]	[PEPDN]	[PFPDN]
入力コントロールレジスタ	0x0038	[PAIE]	[PBIE]	[PCIE]	[PDIE]	[PEIE]	[PFIE]

レジスタ名	アドレス (Base+)	ポート G	ポート H	ポート J	ポート K	ポート L	ポート N
データレジスタ	0x0000	[PGDATA]	[PHDATA]	[PJDATA]	[PKDATA]	[PLDATA]	[PNDATA]
出力コントロールレジスタ	0x0004	[PGCR]	[PHCR]	[PJCR]	[PKCR]	[PLCR]	[PNCR]
ファンクションレジスタ 1	0x0008	[PGFR1]	-	-	-	-	-
ファンクションレジスタ 2	0x000C	[PGFR2]	-	-	-	-	-
ファンクションレジスタ 3	0x0010	-	-	-	[PKFR3]	-	[PNFR3]
ファンクションレジスタ 4	0x0014	-	-	-	-	-	[PNFR4]
ファンクションレジスタ 5	0x0018	-	-	-	-	-	-
ファンクションレジスタ 6	0x001C	[PGFR6]	-	-	-	-	-
ファンクションレジスタ 7	0x0020	-	-	-	[PKFR7]	-	-
オープンドレインコントロールレジスタ	0x0028	[PGOD]	[PHOD]	[PJOD]	[PKOD]	[PLOD]	[PNOD]
ブルアップコントロールレジスタ	0x002C	[PGPUP]	[PHPUP]	[PJPUP]	[PKPUP]	[PLPUP]	[PNPUP]
ブルダウンコントロールレジスタ	0x0030	[PGPDN]	[PHPDN]	[PJPDN]	[PKPDN]	[PLPDN]	[PNPDN]
入力コントロールレジスタ	0x0038	[PGIE]	[PHIE]	[PJIE]	[PKIE]	[PLIE]	[PNIE]

レジスタ名	アドレス (Base+)	ポート P	ポート R
データレジスタ	0x0000	[PPDATA]	[PRDATA]
出力コントロールレジスタ	0x0004	[PPCR]	-
ファンクションレジスタ 1	0x0008	-	-
ファンクションレジスタ 2	0x000C	-	-
ファンクションレジスタ 3	0x0010	-	-
ファンクションレジスタ 4	0x0014	-	-
ファンクションレジスタ 5	0x0018	-	-
ファンクションレジスタ 6	0x001C	-	-
ファンクションレジスタ 7	0x0020	-	-
オープンドレインコントロールレジスタ	0x0028	[PPOD]	-
ブルアップコントロールレジスタ	0x002C	[PPPUP]	-
ブルダウンコントロールレジスタ	0x0030	[PPPDN]	[PRPDN]
入力コントロールレジスタ	0x0038	[PPIE]	[PRIE]

注) "-"表記のアドレスにはアクセスしないでください。

## 4.2. ポート機能とレジスター設定

ポート機能レジスター設定一覧の表の見方を説明します。

[PxFRn]の欄は、設定の必要なファンクションレジスターを示します。このレジスターを"1"に設定するとその機能が有効となります。(x はポート名、n はファンクション番号)

表中の"N/A"のビットはリードすると"0"が読め、ライトは意味を持ちません。

表中の"0"、"1"は設定値を示し、"0/1"は任意に設定可能であることを示します。

PORT	リセット状態 標準	Input/Output	PORT Type	制御レジスター						
				[PADATA]	[PACR]	[PAFRn]	[PAOD]	[PAPUP]	[PAPDN]	[PAIE]
PA0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPIOCSIN	Input	FTU1a	0/1	0	[PAFR1]	0/1	0/1	0/1	1
	T32A00INB0	Input	FTU1a	0/1	0	[PAFR4]	0/1	0/1	0/1	1
PA4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT01a	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	TSPIOCSIN	Input	FTU1a	0/1	0	[PAFR1]	0/1	0/1	0/1	1
	TSPIOCSCK	Output	FTU1a	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	T32A00OUTB	Output	FTU1a	0/1	1	[PAFR4]	0/1	0/1	0/1	0
TRGIN2	Input	FTU1a	0/1	0	[PAFR7]	0/1	0/1	0/1	1	

[PxFRn]	端子					
	TSPIOCSIN	T32A00INB0	TSPIOCSCK	T32A00OUTB	TRGIN2	Input Port Output Port
[PAFR1]<bit0>	1	0	0	0	0	0
[PAFR4]<bit0>	0	1	0	0	0	0
[PAFR1]<bit4>	0	0	1	0	0	0
[PAFR4]<bit4>	0	0	0	1	0	0
[PAFR7]<bit4>	0	0	0	0	1	0

### 4.2.1. 機能端子を使用する際の設定について

機能端子を周辺機能の出力端子として使用する際には、ファンクションレジスターを使用する周辺機能([PxFRn]<bit m>=1)に設定し、出力コントロールレジスターを出力許可([PxCR]<bit m>=1)に設定した後、周辺機能の設定をしてください。ファンクションレジスターの設定よりも先に出力許可すると、ファンクションレジスターが設定されるまで、ポートのデータレジスター値が出力されます。

機能端子を周辺機能の入力端子として使用する際には、ポートの入力コントロールレジスターを入力([PxIE]<bit m>=1)に設定し、ファンクションレジスターを使用する周辺機能([PxFRn]<bit m>=1)に設定した後、周辺機能の設定をしてください。

また、I<sup>2</sup>C など入出力端子となる周辺機能を使用する場合は、ポートの入力コントロールレジスターを入力([PxIE]<bit m>=1)に設定し、ファンクションレジスターを使用する周辺機能([PxFRn]<bit m>=1)に設定し、出力コントロールレジスターを出力許可([PxCR]<bit m>=1)に設定した後、周辺機能の設定をしてください。

- ・複数の機能が割り当てられているポートは、使用する機能を一つだけ選択してください。
- ・同一機能が複数ポートに割り当てられている端子は、排他的に使用してください。

## 4.2.2. PORT A

表 4.3 ポートAレジスター設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスター						
	機能			[PADATA]	[PACR]	[PAFRn]	[PAOD]	[PAPUP]	[PAPDN]	[PAIE]
PA0	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT3	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	T32A00INA0	Input	FTU1a	0/1	0	[PAFR4]	0/1	0/1	0/1	1
	T32A00INC0	Input	FTU1a	0/1	0	[PAFR5]	0/1	0/1	0/1	1
PA1	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	T32A00OUTA	Output	FTU1a	0/1	1	[PAFR4]	0/1	0/1	0/1	0
	T32A00OUTC	Output	FTU1a	0/1	1	[PAFR5]	0/1	0/1	0/1	0
	リセット後	-	-	0	0	0	0	0	0	0
PA2	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT4	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI1CS0	Output	FTU1a	0/1	1	[PAFR3]	0/1	0/1	0/1	0
	T32A01INB0	Input	FTU1a	0/1	0	[PAFR4]	0/1	0/1	0/1	1
PA3	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	TSPI1CS1	Output	FTU1a	0/1	1	[PAFR3]	0/1	0/1	0/1	0
	T32A01OUTB	Output	FTU1a	0/1	1	[PAFR4]	0/1	0/1	0/1	0
	リセット後	-	-	0	0	0	0	0	0	0
PA4	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT1CTS_N	Input	FTU1a	0/1	0	[PAFR1]	0/1	0/1	0/1	1
	UT1RTS_N	Output	FTU1a	0/1	1	[PAFR2]	0/1	0/1	0/1	0
	TSPI1SCK	Input	FTU1a	0/1	0	[PAFR3]	0/1	0/1	0/1	1
Output		0/1		1	0/1		0/1	0/1	0	
PA5	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT1TXDA	Output	FTU1a	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	UT1RXD	Input	FTU1a	0/1	0	[PAFR2]	0/1	0/1	0/1	1
	TSPI1TXD	Output	FTU2a	0/1	1	[PAFR3]	0/1	0/1	0/1	0
	T32A01OUTA	Output	FTU1a	0/1	1	[PAFR4]	0/1	0/1	0/1	0
	T32A01OUTC	Output	FTU1a	0/1	1	[PAFR5]	0/1	0/1	0/1	0
PA6	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT1RXD	Input	FTU1a	0/1	0	[PAFR1]	0/1	0/1	0/1	1
	UT1TXDA	Output	FTU1a	0/1	1	[PAFR2]	0/1	0/1	0/1	0
	TSPI1RXD	Input	FTU1a	0/1	0	[PAFR3]	0/1	0/1	0/1	1
	T32A01INA0	Input	FTU1a	0/1	0	[PAFR4]	0/1	0/1	0/1	1
	T32A01INC0	Input	FTU1a	0/1	0	[PAFR5]	0/1	0/1	0/1	1

PORT	リセット状態	Input/Output	PORT Type	制御レジスター						
	機能			[PRDATA]	[PRCR]	[PRFRn]	[PROD]	[PRPUP]	[PRPDN]	[PRIE]
PA7	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT8	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	UT1RTS_N	Output	FTU1a	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	UT1CTS_N	Input	FTU1a	0/1	0	[PAFR2]	0/1	0/1	0/1	1
	TSPI1CSIN	Input	FTU1a	0/1	0	[PAFR3]	0/1	0/1	0/1	1
	T32A02INA0	Input	FTU1a	0/1	0	[PAFR4]	0/1	0/1	0/1	1
	T32A02INC0	Input	FTU1a	0/1	0	[PAFR5]	0/1	0/1	0/1	1

## 4.2.3. PORT B

表 4.4 ポートBレジスター設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスター						
	機能			[PBDATA]	[PBCR]	[PBFRn]	[PBOD]	[PBPUP]	[PBPDN]	[PBIE]
PB0	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	TSPI3CS1	Output	FTU1a	0/1	1	[PBFR3]	0/1	0/1	0/1	0
	TRACECLK	Output	FTU1a	0/1	1	[PBFR7]	0/1	0/1	0/1	0
PB1	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	TRACEDATA0	Output	FTU1a	0/1	1	[PBFR7]	0/1	0/1	0/1	0
PB2	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	TRACEDATA1	Output	FTU1a	0/1	1	[PBFR7]	0/1	0/1	0/1	0
PB3	リセット後 (TMS/SWDIO)	-	FTU2a	0	1(注)	[PBFR7]	0	1	0	1
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
PB4	リセット後 (TCK/SWCLK)	-	FTU2a	0	0	[PBFR7]	0	0	1	1
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
PB5	リセット後 (TDO/SWV)	-	FTU2a	0	1(注)	[PBFR7]	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
PB6	リセット後 (TDI)	-	FTU2a	0	0	[PBFR7]	0	1	0	1
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
PB7	リセット後 (TRST_N)	-	FTU3a	0	0	[PBFR7]	0	1	0	1
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0

注) ツールからのコマンドを受け付けるまでは出力になりません。

## 4.2.4. PORT C

表 4.5 ポートCレジスター設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスター						
	機能			[PCDATA]	[PCCR]	[PCFRn]	[PCOD]	[PCPUP]	[PCPDN]	[PCIE]
PC0	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UO0	Output	FTU2a	0/1	1	[PCFR6]	0/1	0/1	0/1	0
PC1	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	XO0	Output	FTU2a	0/1	1	[PCFR6]	0/1	0/1	0/1	0
PC2	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	VO0	Output	FTU2a	0/1	1	[PCFR6]	0/1	0/1	0/1	0
PC3	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	YO0	Output	FTU2a	0/1	1	[PCFR6]	0/1	0/1	0/1	0
PC4	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	WO0	Output	FTU2a	0/1	1	[PCFR6]	0/1	0/1	0/1	0
PC5	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	ZO0	Output	FTU2a	0/1	1	[PCFR6]	0/1	0/1	0/1	0
PC6	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	EMG0	Input	FTU1a	0/1	0	[PCFR6]	0/1	0/1	0/1	1
PC7	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	OVV0	Input	FTU1a	0/1	0	[PCFR6]	0/1	0/1	0/1	1



## 4.2.5. PORT D

表 4.6 ポートDレジスター設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスター						
	機能			[PDDATA]	[PDCR]	[PDFRn]	[PDOD]	[PDPUP]	[PDPDN]	[PDIE]
PD0	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	T32A04INA0	Input	FTU1a	0/1	0	[PDFR4]	0/1	0/1	0/1	1
	T32A04INC0	Input	FTU1a	0/1	0	[PDFR5]	0/1	0/1	0/1	1
	ENC0A	Input	FTU1a	0/1	0	[PDFR6]	0/1	0/1	0/1	1
PD1	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	TSPI2CS0	Output	FTU1a	0/1	1	[PDFR3]	0/1	0/1	0/1	0
	T32A04OUTA	Output	FTU1a	0/1	1	[PDFR4]	0/1	0/1	0/1	0
	T32A04OUTC	Output	FTU1a	0/1	1	[PDFR5]	0/1	0/1	0/1	0
	ENC0B	Input	FTU1a	0/1	0	[PDFR6]	0/1	0/1	0/1	1
PD2	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	TSPI2CS1	Output	FTU1a	0/1	1	[PDFR3]	0/1	0/1	0/1	0
	ENC0Z	Input	FTU1a	0/1	0	[PDFR6]	0/1	0/1	0/1	1
PD3	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT9	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	UT2RTS_N	Output	FTU1a	0/1	1	[PDFR1]	0/1	0/1	0/1	0
	UT2CTS_N	Input	FTU1a	0/1	0	[PDFR2]	0/1	0/1	0/1	1
	TSPI2CSIN	Input	FTU1a	0/1	0	[PDFR3]	0/1	0/1	0/1	1
PD4	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT2CTS_N	Input	FTU1a	0/1	0	[PDFR1]	0/1	0/1	0/1	1
	UT2RTS_N	Output	FTU1a	0/1	1	[PDFR2]	0/1	0/1	0/1	0
	TSPI2SCK	Input	FTU1a	0/1	0	[PDFR3]	0/1	0/1	0/1	1
	Output	0/1		1	0/1		0/1	0/1	0	
PD5	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT2TXDA	Output	FTU1a	0/1	1	[PDFR1]	0/1	0/1	0/1	0
	UT2RXD	Input	FTU1a	0/1	0	[PDFR2]	0/1	0/1	0/1	1
	TSPI2TXD	Output	FTU2a	0/1	1	[PDFR3]	0/1	0/1	0/1	0
PD6	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT2RXD	Input	FTU1a	0/1	0	[PDFR1]	0/1	0/1	0/1	1
	UT2TXDA	Output	FTU1a	0/1	1	[PDFR2]	0/1	0/1	0/1	0
	TSPI2RXD	Input	FTU1a	0/1	0	[PDFR3]	0/1	0/1	0/1	1

## 4.2.6. PORT E

表 4.7 ポートEレジスター設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスター						
	機能			[PEDATA]	[PECR]	[PEFRn]	[PEOD]	[PEPUP]	[PEPDN]	[PEIE]
PE0	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT0TXDA	Output	FTU1a	0/1	1	[PEFR1]	0/1	0/1	0/1	0
	UT0RXD	Input	FTU1a	0/1	0	[PEFR2]	0/1	0/1	0/1	1
	TSPI0TXD	Output	FTU2a	0/1	1	[PEFR3]	0/1	0/1	0/1	0
	T32A02OUTB	Output	FTU1a	0/1	1	[PEFR4]	0/1	0/1	0/1	0
PE1	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT0RXD	Input	FTU1a	0/1	0	[PEFR1]	0/1	0/1	0/1	1
	UT0TXDA	Output	FTU1a	0/1	1	[PEFR2]	0/1	0/1	0/1	0
	TSPI0RXD	Input	FTU1a	0/1	0	[PEFR3]	0/1	0/1	0/1	1
	T32A02INB0	Input	FTU1a	0/1	0	[PEFR4]	0/1	0/1	0/1	1
PE2	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT0CTS_N	Input	FTU1a	0/1	0	[PEFR1]	0/1	0/1	0/1	1
	UT0RTS_N	Output	FTU1a	0/1	1	[PEFR2]	0/1	0/1	0/1	0
	TSPI0SCK	Input	FTU1a	0/1	0	[PEFR3]	0/1	0/1	0/1	1
		Output		0/1	1		0/1	0/1	0/1	0
PE3	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT0RTS_N	Output	FTU1a	0/1	1	[PEFR1]	0/1	0/1	0/1	0
	UT0CTS_N	Input	FTU1a	0/1	0	[PEFR2]	0/1	0/1	0/1	1
	TSPI0CSIN	Input	FTU1a	0/1	0	[PEFR3]	0/1	0/1	0/1	1
	T32A02OUTA	Output	FTU1a	0/1	1	[PEFR4]	0/1	0/1	0/1	0
	T32A02OUTC	Output	FTU1a	0/1	1	[PEFR5]	0/1	0/1	0/1	0
PE4	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT5	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI0CS0	Output	FTU1a	0/1	1	[PEFR3]	0/1	0/1	0/1	0
	T32A03INA0	Input	FTU1a	0/1	0	[PEFR4]	0/1	0/1	0/1	1
	T32A03INC0	Input	FTU1a	0/1	0	[PEFR5]	0/1	0/1	0/1	1
PE5	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	TSPI0CS1	Output	FTU1a	0/1	1	[PEFR3]	0/1	0/1	0/1	0
	T32A03OUTA	Output	FTU1a	0/1	1	[PEFR4]	0/1	0/1	0/1	0
	T32A03OUTC	Output	FTU1a	0/1	1	[PEFR5]	0/1	0/1	0/1	0
PE6	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT6	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	T32A03INB0	Input	FTU1a	0/1	0	[PEFR4]	0/1	0/1	0/1	1
PE7	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT7	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	T32A03OUTB	Output	FTU1a	0/1	1	[PEFR4]	0/1	0/1	0/1	0

## 4.2.7. PORT F

表 4.8 ポートレジスター設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスター						
	機能			[PFDATA]	[PFCR]	[PFFRn]	[PFOD]	[PFPUP]	[PFPDN]	[PFIE]
PF0	リセット中 (BOOT_N)	Input	FTU16a	0	0	0	0	0(注)	0	0(注)
	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	TSPI3CSIN	Input	FTU1a	0/1	0	[PFFR3]	0/1	0/1	0/1	1
	T32A04INB0	Input	FTU1a	0/1	0	[PFFR4]	0/1	0/1	0/1	1
PF1	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT3RTS_N	Output	FTU1a	0/1	1	[PFFR1]	0/1	0/1	0/1	0
	UT3CTS_N	Input	FTU1a	0/1	0	[PFFR2]	0/1	0/1	0/1	1
	TSPI3CS0	Output	FTU1a	0/1	1	[PFFR3]	0/1	0/1	0/1	0
	T32A04OUTB	Output	FTU1a	0/1	1	[PFFR4]	0/1	0/1	0/1	0
PF2	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT3CTS_N	Input	FTU1a	0/1	0	[PFFR1]	0/1	0/1	0/1	1
	UT3RTS_N	Output	FTU1a	0/1	1	[PFFR2]	0/1	0/1	0/1	0
	TSPI3SCK	Input	FTU1a	0/1	0	[PFFR3]	0/1	0/1	0/1	1
		Output		0/1	1		0/1	0/1	0/1	0
	ENC1A	Input	FTU1a	0/1	0	[PFFR6]	0/1	0/1	0/1	1
PF3	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT3TXDA	Output	FTU1a	0/1	1	[PFFR1]	0/1	0/1	0/1	0
	UT3RXD	Input	FTU1a	0/1	0	[PFFR2]	0/1	0/1	0/1	1
	TSPI3TXD	Output	FTU2a	0/1	1	[PFFR3]	0/1	0/1	0/1	0
	ENC1B	Input	FTU1a	0/1	0	[PFFR6]	0/1	0/1	0/1	1
PF4	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT3RXD	Input	FTU1a	0/1	0	[PFFR1]	0/1	0/1	0/1	1
	UT3TXDA	Output	FTU1a	0/1	1	[PFFR2]	0/1	0/1	0/1	0
	TSPI3RXD	Input	FTU1a	0/1	0	[PFFR3]	0/1	0/1	0/1	1
	ENC1Z	Input	FTU1a	0/1	0	[PFFR6]	0/1	0/1	0/1	1

注)PF0 は、リセット端子(RESET\_N)によるリセット期間中は、プルアップ許可、入力許可で、BOOT\_N\_端子の状態を入力できます。

## 4.2.8. PORT G

表 4.9 ポートGレジスター設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスター						
	機能			[PGDATA]	[PGCR]	[PGFRn]	[PGOD]	[PGPUP]	[PGPDN]	[PGIE]
PG0	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UO1	Output	FTU2a	0/1	1	[PGFR6]	0/1	0/1	0/1	0
PG1	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT4RTS_N	Output	FTU1a	0/1	1	[PGFR1]	0/1	0/1	0/1	0
	UT4CTS_N	Input	FTU1a	0/1	0	[PGFR2]	0/1	0/1	0/1	1
	XO1	Output	FTU2a	0/1	1	[PGFR6]	0/1	0/1	0/1	0
PG2	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT4CTS_N	Input	FTU1a	0/1	0	[PGFR1]	0/1	0/1	0/1	1
	UT4RTS_N	Output	FTU1a	0/1	1	[PGFR2]	0/1	0/1	0/1	0
	VO1	Output	FTU2a	0/1	1	[PGFR6]	0/1	0/1	0/1	0
PG3	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT4TXDA	Output	FTU1a	0/1	1	[PGFR1]	0/1	0/1	0/1	0
	UT4RXD	Input	FTU1a	0/1	0	[PGFR2]	0/1	0/1	0/1	1
	YO1	Output	FTU2a	0/1	1	[PGFR6]	0/1	0/1	0/1	0
PG4	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT4RXD	Input	FTU1a	0/1	0	[PGFR1]	0/1	0/1	0/1	1
	UT4TXDA	Output	FTU1a	0/1	1	[PGFR2]	0/1	0/1	0/1	0
	WO1	Output	FTU2a	0/1	1	[PGFR6]	0/1	0/1	0/1	0
PG5	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	ZO1	Output	FTU2a	0/1	1	[PGFR6]	0/1	0/1	0/1	0
PG6	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	EMG1	Input	FTU1a	0/1	0	[PGFR6]	0/1	0/1	0/1	1
	OVV1	Input	FTU1a	0/1	0	[PGFR6]	0/1	0/1	0/1	1
PG7	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	OVV1	Input	FTU1a	0/1	0	[PGFR6]	0/1	0/1	0/1	1

## 4.2.9. PORT H

表 4.10 ポートHレジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
	機能			[PHDATA]	[PHCR]	[PHFRn]	[PHOD]	[PHPUP]	[PHPDN]	[PHIE]
PH0	リセット後	-	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	INT0	input	FTU4a	0/1	0	N/A	0/1	0/1	0/1	1
	AINA12	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PH1	リセット後	-	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	INT1	input	FTU4a	0/1	0	N/A	0/1	0/1	0/1	1
	AINA13	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PH2	リセット後	-	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	INT2	input	FTU4a	0/1	0	N/A	0/1	0/1	0/1	1
	AINA14	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PH3	リセット後	-	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINA15	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
	PH4	リセット後	-	-	0	0	N/A	0	0	0
PH4	リセット後	-	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINA16	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
	PH5	リセット後	-	-	0	0	N/A	0	0	0
Input Port		Input	-	0/1	0	N/A	0/1	0/1	0/1	1
Output Port		Output	-	0/1	1	N/A	0/1	0/1	0/1	0
AINA17		Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PH6		リセット後	-	-	0	0	N/A	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINA18	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
	PH7	リセット後	-	-	0	0	N/A	0	0	0
Input Port		Input	-	0/1	0	N/A	0/1	0/1	0/1	1
Output Port		Output	-	0/1	1	N/A	0/1	0/1	0/1	0
AINA19		Input	FTU5a	0/1	0	N/A	0/1	0	0	0

注) アナログ入力(AINAx)として使用する場合、[PHCR]は出力禁止"0"、[PHIE]は入力禁止"0"、[PHPUP]はプルアップ禁止"0"、[PHPDN]はプルダウン禁止"0"にしてください。

## 4.2.10. PORT J

表 4.11 ポートJレジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
	機能			[PJDATA]	[PJCR]	[PJFRn]	[PJOD]	[PJPUP]	[PJPDN]	[PJIE]
PJ0	リセット後	-	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINB15	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PJ1	リセット後	-	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINB16	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PJ2	リセット後	-	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINB17	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PJ3	リセット後	-	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINB18	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PJ4	リセット後	-	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINB19	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PJ5	リセット後	Input	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINB20	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PJ6	リセット後	-	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	INTC	input	FTU4a	0/1	0	N/A	0/1	0/1	0/1	1
	AINB21	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PJ7	リセット後	-	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	INTD	input	FTU4a	0/1	0	N/A	0/1	0/1	0/1	1
	AINB22	Input	FTU5a	0/1	0	N/A	0/1	0	0	0

注) アナログ入力(AINBx)として使用する場合、[PJCR]は出力禁止"0"、[PJIE]は入力禁止"0"、[PJPUP]はプルアップ禁止"0"、[PJPDN]はプルダウン禁止"0"にしてください。

## 4.2.11. PORT K

表 4.12 ポートKレジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
	機能			[PKDATA]	[PKCR]	[PKFRn]	[PKOD]	[PKPUP]	[PKPDN]	[PKIE]
PK0	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INTE	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	EI2C1SDA	Input/Output	FTU1a	0/1	1	[PKFR3]	1	0/1	0/1	1
	TRACEDATA3	Output	FTU1a	0/1	1	[PKFR7]	0/1	0/1	0/1	0
PK1	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INTF	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	EI2C1SCL	Input/Output	FTU1a	0/1	1	[PKFR3]	1	0/1	0/1	1
	TRACEDATA2	Output	FTU1a	0/1	1	[PKFR7]	0/1	0/1	0/1	0

## 4.2.12. PORT L

表 4.13 ポートLレジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
	機能			[PLDATA]	[PLCR]	[PLFRn]	[PLOD]	[PLPUP]	[PLPDN]	[PLIE]
PL0	リセット後	-	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	INTB	Input	FTU4a	0/1	0	N/A	0/1	0/1	0/1	1
PL1	リセット後	-	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	INTA	Input	FTU4a	0/1	0	N/A	0/1	0/1	0/1	1

## 4.2.13. PORT N

表 4.14 ポートNレジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
	機能			[PNDATA]	[PNCR]	[PNFRn]	[PNOD]	[PNPUP]	[PNPDN]	[PNIE]
PN0	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	EI2C0SDA	Input/Output	FTU1a	0/1	1	[PNFR3]	1	0/1	0/1	1
PN1	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	EI2C0SCL	Input/Output	FTU1a	0/1	1	[PNFR3]	1	0/1	0/1	1
	T32A00OUTB	Output	FTU1a	0/1	1	[PNFR4]	0/1	0/1	0/1	0
PN2	リセット後	-	-	0	0	0	0	0	0	0
	Input Port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	T32A00INB0	Input	FTU1a	0/1	0	[PNFR4]	0/1	0/1	0/1	1

## 4.2.14. PORT P

表 4.15 ポートPレジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
	機能			[PUDATA]	[PUCR]	[PUFRn]	[PUOD]	[PUPUP]	[PUPDN]	[PUIE]
PP0	リセット後	-	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINA20	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PP1	リセット後	-	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINA21/ AINB12	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PP2	リセット後	-	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINA22/ AINB13	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PP3	リセット後	-	-	0	0	N/A	0	0	0	0
	Input Port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINA23/ AINB14	Input	FTU5a	0/1	0	N/A	0/1	0	0	0

注) アナログ入力(AINAx/AINBx)として使用する場合、[PPCR]は出力禁止"0"、[PPIE]は入力禁止"0"、[PPPUP]はプルアップ禁止"0"、[PPPDN]はプルダウン禁止"0"にしてください。

## 4.2.15. PORT R

表 4.16 ポートRレジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
	機能			[PRDATA]	[PRCR]	[PRFRn]	[PROD]	[PRPUP]	[PRPDN]	[PRIE]
PR0	リセット後	-	-	0	N/A	N/A	N/A	N/A	0	0
	Input Port	Input	-	0/1	N/A	N/A	N/A	N/A	0/1	1
	X1	Input	FTU11a	0/1	N/A	N/A	N/A	N/A	0	0
	EHCLKIN	input	FTU11a	0/1	N/A	N/A	N/A	N/A	0	0/1
PR1	リセット後	-	-	0	N/A	N/A	N/A	N/A	0	0
	Input Port	Input	-	0/1	N/A	N/A	N/A	N/A	0/1	1
	X2	Output	FTU11a	0/1	N/A	N/A	N/A	N/A	0	0



## 5. ポート回路図

ポートには、FTU1a~FTU5a、FTU11a、FTU16a のタイプがあります。それぞれの回路図を次ページから示します。図中の点線は、データシートの「等価回路図」で記されている等価回路の範囲を示します。

回路図内の"I/O リセット"は、パワーオンリセット(POR)を示します。

### 5.1. タイプ FTU1a

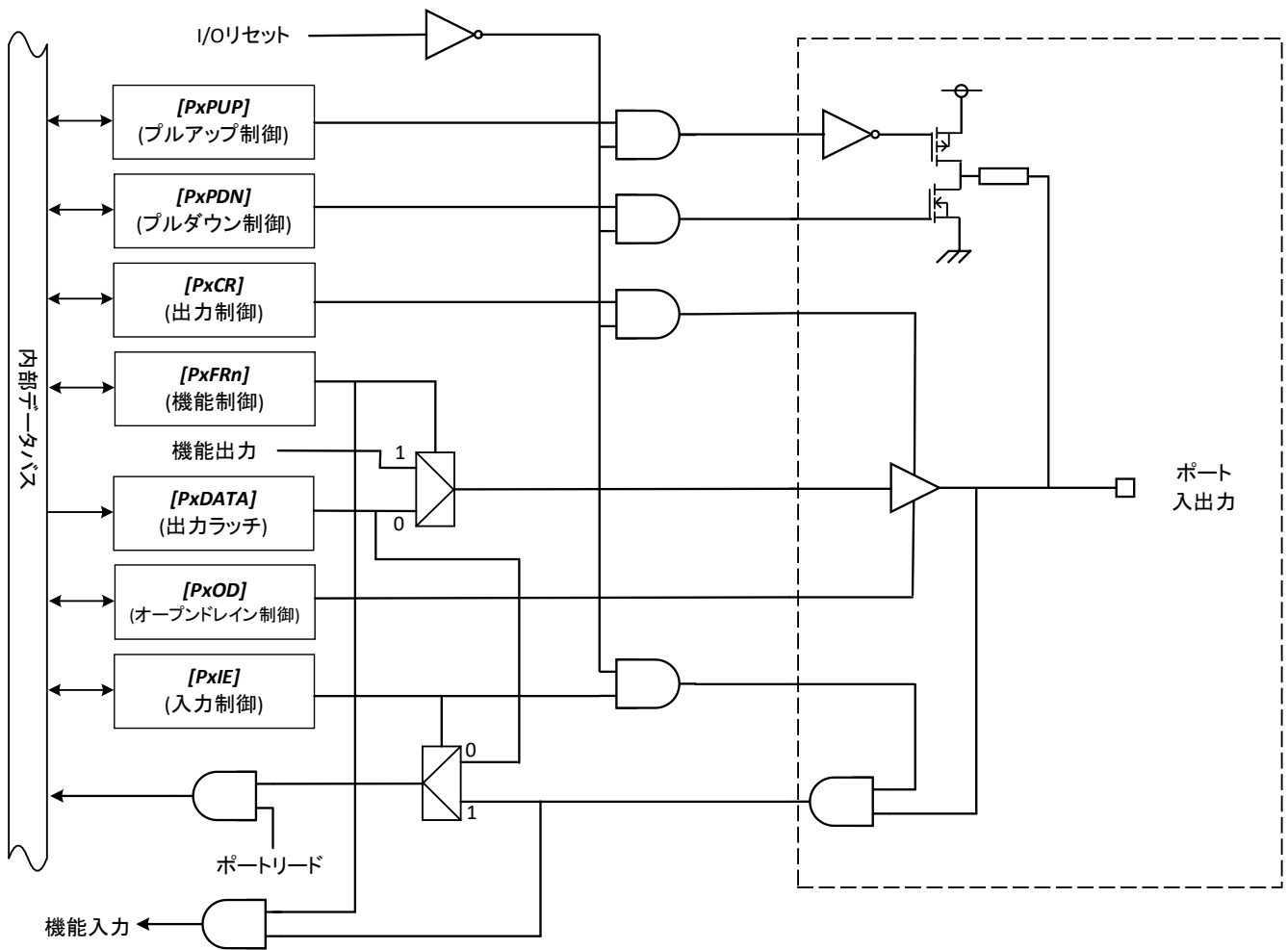


図 5.1 ポートタイプFTU1a

## 5.2. タイプ FTU2a

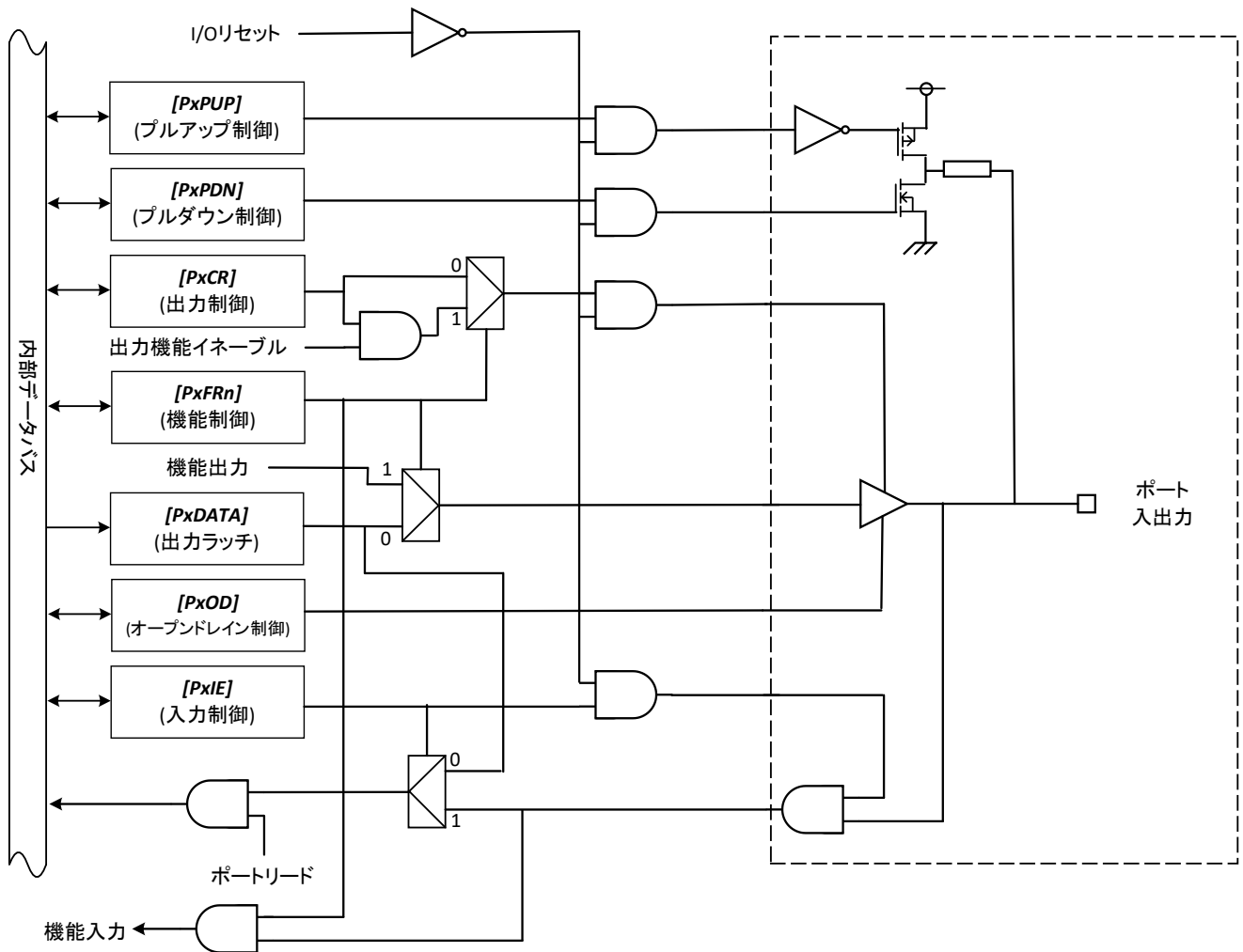


図 5.2 ポートタイプFTU2a

## 5.3. タイプ FTU3a

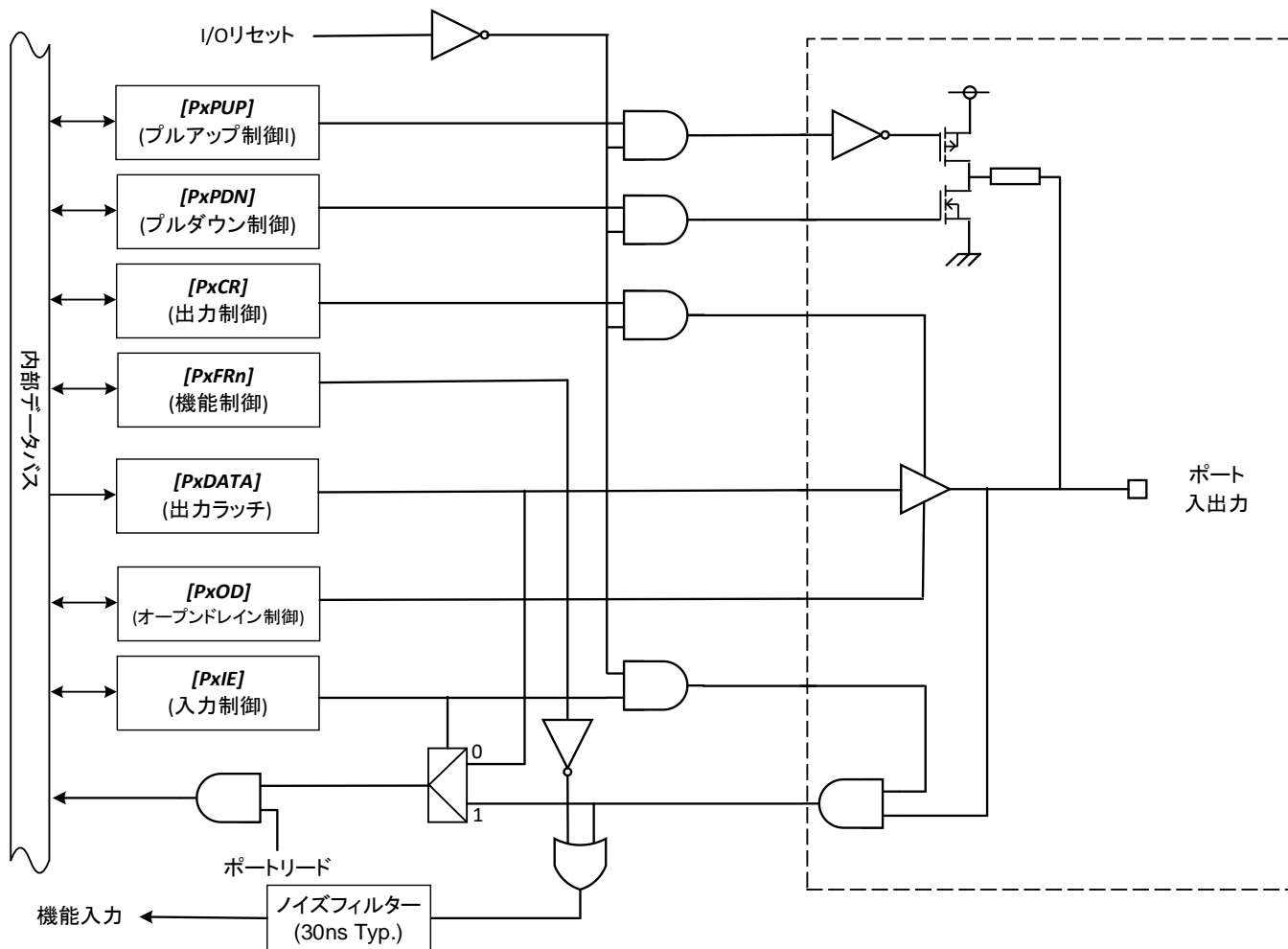


図 5.3 ポートタイプFTU3a

## 5.4. タイプ FTU4a

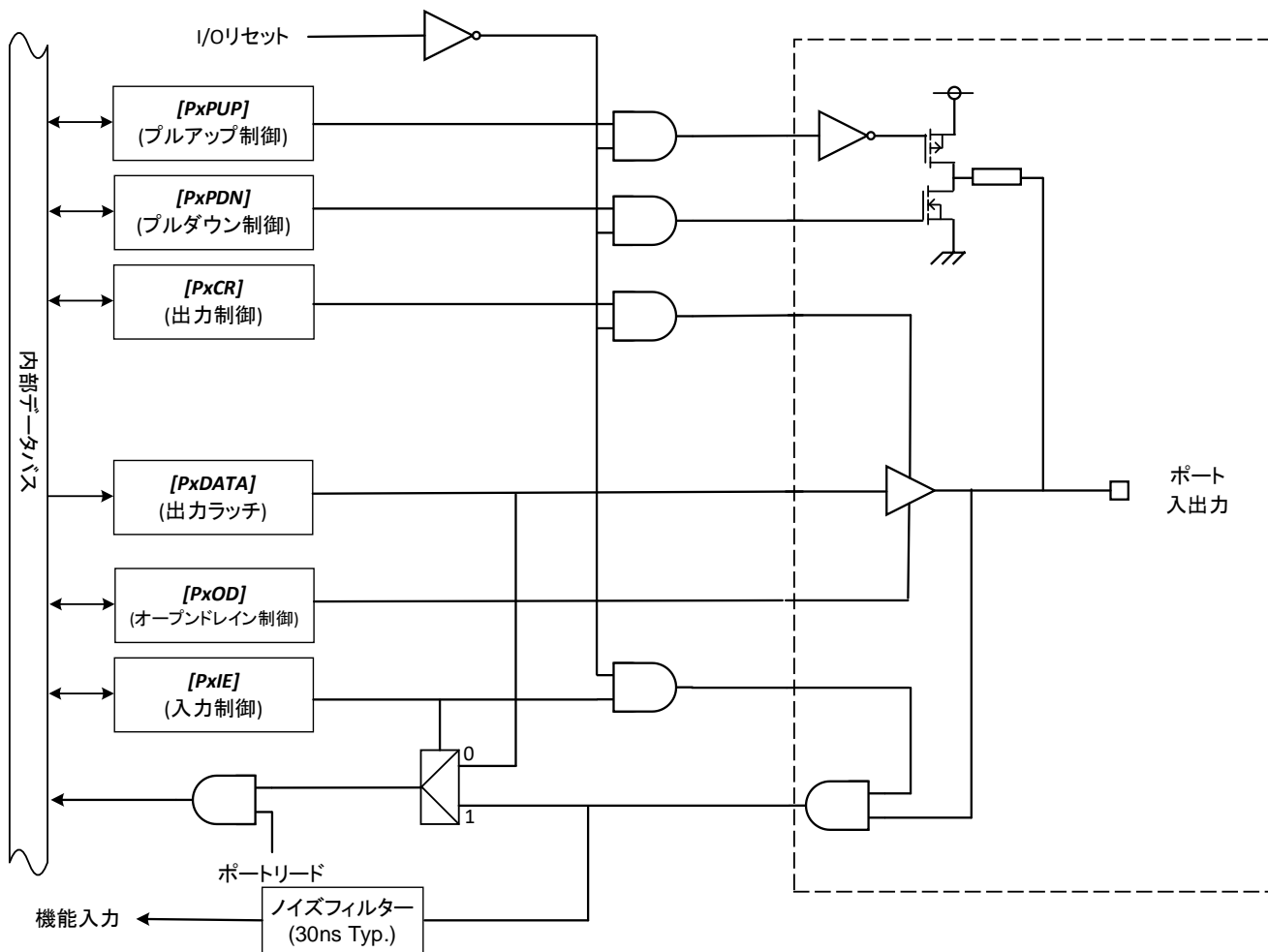


図 5.4 ポートタイプFTU4a

## 5.5. タイプ FTU5a

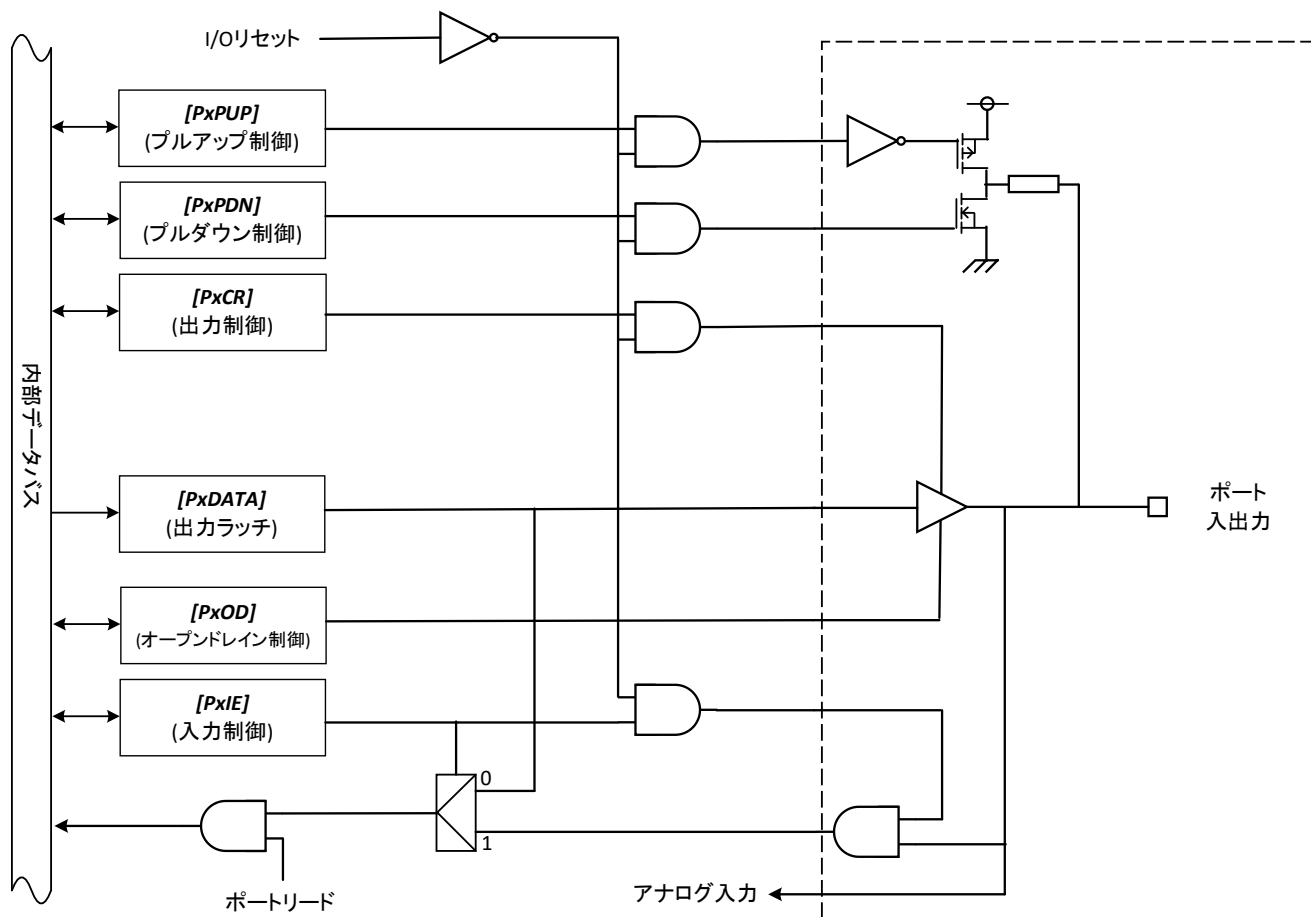


図 5.5 ポートタイプFTU5a

## 5.6. タイプ FTU11a

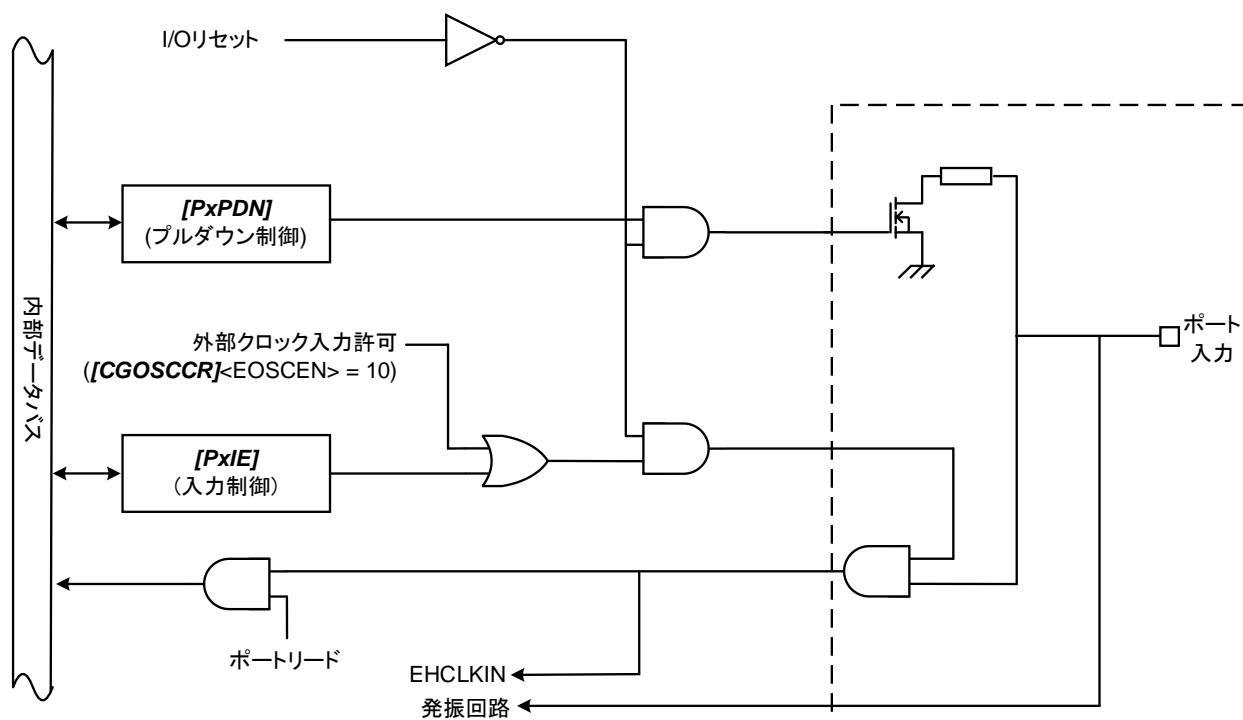


図 5.6 ポートタイプFTU11a

## 5.7. タイプ FTU16a

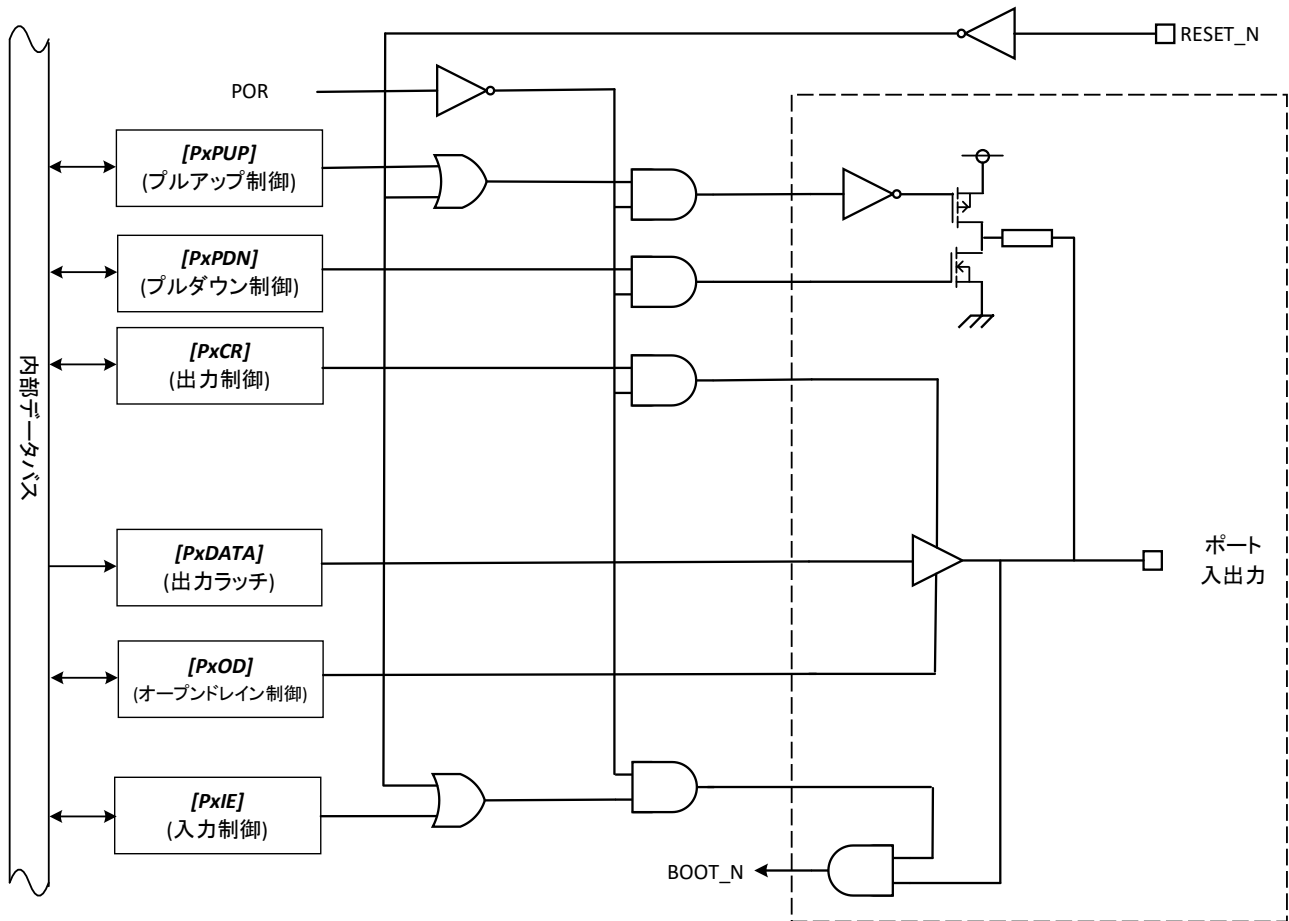


図 5.7 ポートタイプFTU16a

## 6. 使用上のご注意およびお願い事項

### 6.1. リセット期間中の端子状態について

リセット期間中、下記以外の端子はハイインピーダンス入力状態となり、プルアップ・プルダウンも無効状態となります。

- デバッグインターフェース兼用端子(PB3~PB6)はデバック端子状態となります。
- 端子リセット期間中、PF0(BOOT\_N)は入力およびプルアップが許可となっており、リセット信号の立ち上がりで、PF0が"High"の場合、シングルチップモードとなり内蔵 Flash メモリーから起動し、PF0が"Low"の場合、シングルブートモードとなり内蔵 BOOT プログラムから起動します。

### 6.2. 未使用端子の処理について

未使用端子は、1本ずつ抵抗を通して電源端子または1本ずつ抵抗を通して GND 端子に固定することを推奨します。

一般にハイインピーダンスの端子を開放状態にし、製品を動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。

### 6.3. デバッグインターフェース端子を汎用ポートとして使用する際の注意

リセット解除後ユーザープログラムでデバッグインターフェース端子を汎用ポートに設定すると、それ以降はデバッグツールからの接続ができなくなり制御ができなくなります。

デバッグツールによるデバッグができなくなった場合、シングルブートモードに設定し外部から UART 接続でフラッシュ消去することで、再度デバックツールと接続することができます。詳細はリファレンスマニュアルの「フラッシュメモリー」を参照してください。



## 7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2024-08-30	・新規作成

## 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。