

32 ビット RISC マイクロコントローラー

TX ファミリー
TMPM471F10FG

リファレンスマニュアル
製品個別情報
(PINFO-TMPM471F10FG)

Revision 1.0

2024-08

東芝デバイス&ストレージ株式会社

目次

序章	7
関連するドキュメント	7
表記規約	8
用語・略語	10
1. 概要	11
2. 各周辺機能の情報	11
2.1. レジスターベースアドレス	11
2.2. トリガーセクター (TRGSEL)	13
2.2.1. 使用方法と設定	14
2.2.2. レジスター一覧	15
2.2.3. レジスター詳細	16
2.2.3.1. [TSELxCR0] (コントロールレジスター0)	16
2.2.3.2. [TSELxCR1] (コントロールレジスター1)	18
2.2.3.3. [TSELxCR2] (コントロールレジスター2)	20
2.2.3.4. [TSELxCR3] (コントロールレジスター3)	22
2.2.3.5. [TSELxCR4] (コントロールレジスター4)	24
2.2.3.6. [TSELxCR5] (コントロールレジスター5)	26
2.2.3.7. [TSELxCR6] (コントロールレジスター6)	28
2.2.3.8. [TSELxCR7] (コントロールレジスター7)	30
2.2.3.9. [TSELxCR8] (コントロールレジスター8)	32
2.2.3.10. [TSELxCR9] (コントロールレジスター9)	34
2.2.3.11. [TSELxCR10] (コントロールレジスター10)	36
2.3. クロック選択式ウォッチドッグタイマー (SIWDT)	38
2.3.1. 搭載チャンネル	38
2.3.2. カウントクロック	38
2.3.3. 発振クロックプロテクト機能	38
2.4. 周波数検知回路 (OFD)	39
2.4.1. 搭載一覧	39
2.4.2. 基準クロック	39
2.4.3. 検知対象クロック	39
2.5. デバッグインターフェース	40
2.5.1. デバッグインターフェース端子一覧	40
2.5.2. トレースクロックの分周比	40
2.6. フラッシュメモリー (FLASH)	41
2.6.1. 書き込み、消去操作クロック	41
2.6.2. コードフラッシュブロック構成	41
2.6.3. アクセスコントロールレジスター [FCACCR] < FCLC[2:0] > の設定	42
2.6.4. ID-Read 時のマクロコード値	42
2.6.5. シングルブート使用リソース	43

2.7. DMA コントローラー (DMAC).....	44
2.7.1. 搭載ユニット.....	44
2.7.2. DMA 転送要求一覧.....	44
2.8. アドバンストプログラマブルモーター制御回路 (A-PMD).....	47
2.8.1. 搭載チャンネル.....	47
2.8.2. システムクロック.....	47
2.8.3. 機能端子とポート.....	48
2.8.4. DMA 要求.....	48
2.8.5. 内部信号接続仕様.....	49
2.8.5.1. その他接続.....	49
2.8.5.2. チャンネル間同期制御接続仕様.....	51
2.9. アドバンストエンコーダー入力回路(32-bit) (A-ENC32).....	52
2.9.1. 搭載チャンネル.....	52
2.9.2. 機能端子とポート.....	52
2.9.3. 内部信号接続仕様.....	53
2.9.3.1. T32A/A-PMD 接続.....	53
2.10. 12 ビットアナログデジタルコンバーター (ADC).....	54
2.10.1. 搭載ユニット.....	54
2.10.2. 対応レジスター.....	54
2.10.3. 機能端子とポート.....	55
2.10.4. アナログ基準端子.....	56
2.10.5. ADC 用変換クロック.....	56
2.10.6. モード設定レジスター2 の設定値.....	56
2.10.7. トリミング設定レジスターの設定値.....	56
2.10.8. DMA 要求.....	57
2.10.9. 内部信号接続仕様.....	58
2.10.9.1. 起動トリガー接続仕様.....	58
2.10.9.2. その他接続.....	59
2.11. 32 ビットタイマーイベントカウンタ (T32A).....	60
2.11.1. 搭載チャンネル.....	60
2.11.2. 機能端子とポート.....	60
2.11.3. プリスケイラー用クロック.....	61
2.11.4. 内部信号接続仕様.....	61
2.11.4.1. キャプチャトリガー信号接続仕様.....	61
2.11.4.2. その他接続.....	64
2.11.4.3. 同期制御接続仕様.....	66
2.11.5. パルスカウント対応一覧.....	67
2.11.6. DMA 要求.....	68
2.11.7. 非対応割り込み.....	69
2.12. 非同期シリアル通信回路 (UART).....	70
2.12.1. 搭載チャンネル.....	70

2.12.2. 機能端子とポート	71
2.12.3. ハーフクロックモード対応	72
2.12.4. プリスケーラー用クロック	72
2.12.5. DMA 要求	72
2.12.6. 内部信号接続仕様	73
2.12.6.1. トリガー転送信号接続仕様	73
2.12.6.2. T32A 接続	74
2.13. I ² C インターフェース バージョン A (EI2C)	75
2.13.1. 搭載チャンネル	75
2.13.2. 機能端子とポート	75
2.13.3. プリスケーラー用クロック	75
2.13.4. ウェイクアップ機能	76
2.13.5. DMA 要求	76
2.14. シリアルペリフェラルインターフェース (TSPI)	77
2.14.1. 搭載チャンネル	77
2.14.2. 機能端子とポート	77
2.14.3. [TSP]x[CR2]<RXDLY[2:0]>の設定値	78
2.14.4. プリスケーラー用クロック	78
2.14.5. DMA 要求	78
2.14.6. 内部信号接続仕様	79
2.14.6.1. トリガー転送信号接続仕様	79
2.14.6.2. T32A 接続	79
2.15. デジタルノイズフィルター回路 (DNF)	80
2.15.1. 搭載ユニット	80
2.15.2. 製品別外部割り込みと DNF の対応	80
2.15.3. サンプリングソースクロック	80
2.16. 電圧検知回路 (LVD)	81
2.16.1. 搭載一覧	81
2.16.2. 検知対象電源	81
2.16.3. LVD コントロールレジスター [LVDCR]<LVL[2:0]>の設定	81
2.17. CRC 計算回路 (CRC)	81
2.17.1. 搭載一覧	81
2.18. RAM パリティ (RAMP)	82
2.18.1. 搭載チャンネル	82
2.18.2. エラー判定ブロックエリア	82
2.19. トリミング回路 (TRM)	83
2.19.1. 搭載一覧	83
2.19.2. 対象発振器	83
3. 改訂履歴	84
製品取り扱い上のお願い	85

図目次

図 2.1 トリガーセクター接続例	13
-------------------------	----

表目次

表 2.1 レジスターベースアドレスタイプ (1/2)	11
表 2.2 レジスターベースアドレスタイプ (2/2)	12
表 2.3 SIWDT 搭載チャンネル	38
表 2.4 SIWDT カウントクロック	38
表 2.5 SIWDT 発振クロックプロテクト機能	38
表 2.6 OFD 搭載一覧	39
表 2.7 OFD 基準クロック	39
表 2.8 OFD 検知対象クロック	39
表 2.9 デバッグインターフェース端子一覧	40
表 2.10 TRACECLK の分周比	40
表 2.11 FLASH 書き込み、消去操作クロック	41
表 2.12 コードフラッシュブロック構成	41
表 2.13 アクセスコントロールレジスター[FCACCR]<FCLC[2:0]>の設定	42
表 2.14 ID-Read 時のマクロコード値	42
表 2.15 シングルブート使用リソース	43
表 2.16 RAM 転送可能アドレス	43
表 2.17 DMAC 搭載ユニット	44
表 2.18 DMA 転送要求一覧 (1/3)	44
表 2.19 DMA 転送要求一覧 (2/3)	45
表 2.20 DMA 転送要求一覧 (3/3)	46
表 2.21 A-PMD 搭載チャンネル	47
表 2.22 A-PMD システムクロック	47
表 2.23 A-PMD 機能端子	48
表 2.24 A-PMD DMA 要求	48
表 2.25 A-PMD 内部接続仕様:入力	49
表 2.26 A-PMD 内部接続仕様:出力	50
表 2.27 PMD チャンネル間同期制御接続仕様	51
表 2.28 A-ENC32 搭載チャンネル	52
表 2.29 A-ENC32 機能端子	52
表 2.30 A-ENC32 内部接続仕様:入力	53
表 2.31 A-ENC32 内部接続仕様:出力	53
表 2.32 ADC 搭載ユニット	54
表 2.33 ADC ユニット別の対応レジスター	54
表 2.34 ADC 機能端子とポート	55
表 2.35 アナログ基準端子割り付け	56
表 2.36 ADC 用変換クロック	56
表 2.37 ADC モード設定レジスター2 の設定値	56
表 2.38 トリミング設定レジスターの設定値	56
表 2.39 ADC DMA 要求	57
表 2.40 ADC 起動トリガー接続仕様:入力	58
表 2.41 ADC 内部接続仕様:出力	59
表 2.42 T32A 搭載チャンネル	60
表 2.43 T32A 機能端子とポート (1/2)	60
表 2.44 T32A 機能信号とポート (2/2)	61
表 2.45 T32A プリスケaler用クロック	61
表 2.46 T32A キャプチャトリガー信号接続仕様 (1/2)	62

表 2.47	T32A キャプチャトリガー信号接続仕様 (2/2)	63
表 2.48	T32A トリガー出力接続仕様(1/2)	64
表 2.49	T32A トリガー出力接続仕様(2/2)	65
表 2.50	T32A 同期制御接続仕様	66
表 2.51	T32A パルスカウンター対応一覧	67
表 2.52	T32A DMA 要求 (1/2)	68
表 2.53	T32A DMA 要求 (2/2)	69
表 2.54	UART 搭載チャンネル	70
表 2.55	UART 端子信号とポート	71
表 2.56	UART プリスケラー用クロック	72
表 2.57	UART DMA 要求	72
表 2.58	UART トリガー転送信号接続仕様:入力	73
表 2.59	UART 内部接続仕様:出力	74
表 2.60	EI2C 搭載チャンネル	75
表 2.61	EI2C 機能端子とポート	75
表 2.62	EI2C プリスケラー用クロック	75
表 2.63	EI2C DMA 要求	76
表 2.64	TSPI 搭載チャンネル	77
表 2.65	TSPI 機能端子とポート	77
表 2.66	[TSPi×CR2]<RXDLY[2:0]>の設定	78
表 2.67	TSPI プリスケラー用クロック	78
表 2.68	TSPI DMA 要求	78
表 2.69	TSPI トリガー転送仕様:入力	79
表 2.70	TSPI 内部接続仕様:出力	79
表 2.71	DNF 搭載ユニット	80
表 2.72	外部割り込みと DNF 対応	80
表 2.73	DNF サンプリングソースクロック	80
表 2.74	LVD 搭載一覧	81
表 2.75	LVD 検知対象電源	81
表 2.76	LVD コントロールレジスター[LVDCCR]<LVL[2:0]>の設定	81
表 2.77	CRC 搭載一覧	81
表 2.78	RAMP 搭載チャンネル	82
表 2.79	RAMP の RAM エリアとアドレス	82
表 2.80	TRM 搭載一覧	83
表 2.81	TRM トリミング対象発振器	83
表 3.1	改訂履歴	84

序章

関連するドキュメント

文書名	IP 記号
入出力ポート	PORT-TMPM471F10FG
例外	EXCEPT-TMPM471F10FG
クロック制御と動作モード	CG- TMPM471F10FG
DMA コントローラー	DMAC-B
32 ビットタイマーイベントカウンター	T32A-C
非同期シリアル通信回路	UART-C
シリアルペリフェラルインターフェース	TSPI-E
I ² C インターフェース バージョン A	EI2C-A
12 ビットアナログデジタルコンバーター	ADC-G2
アドバンストプログラマブルモーター制御回路	A-PMD-A
アドバンストエンコーダー入力回路(32bit)	A-ENC32-A
クロック選択式ウォッチドッグタイマー	SIWDT-A
周波数検知回路	OFD-A
デバッグインターフェース	DEBUG-A
デジタルノイズフィルター回路	DNF-A
トリミング回路	TRM-B
電圧検知回路	LVD-D2
CRC 計算回路	CRC-A
RAM パリティ	RAMP-B
フラッシュメモリー	FLASH10MUD32-A

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は[m:n]とまとめて表記する場合があります。
例: S[3:0]は S3、S2、S1、S0 の 4 つの信号名をまとめて表記しています。
- 本文中[]で囲まれたものはレジスターを定義しています。
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1]、[XYZ2]、[XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A、B、C、...を表します。
例: [ADACR0]、[ADBCR0]、[ADCCR0] → [ADxCR0]
チャンネルの場合、「x」は 0、1、2、..を表します。
例: [T32A0RUNA]、[T32A1RUNA]、[T32A2RUNA] → [T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。
例: [3:0]はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード/ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「-」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC32	Advanced Encoder Input Circuit(32-bit)
A-PMD	Advanced Programmable Motor Control Circuit
CRC	Cyclic Redundancy Check
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
EHOSC	External High-Speed Oscillator
EI2C	I ² C Interface Version A
IHOSC	Internal High-Speed Oscillator
INT	Interrupt
LVD	Voltage Detection Circuit
NMI	Non-Maskable Interrupt
OFD	Oscillation Frequency Detector
RAMP	RAM Parity
SIWDT	Clock Selective Watchdog Timer
TRGSEL	Trigger Selection Circuit
TRM	Trimming Circuit
TSPI	Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Asynchronous Serial Communication Circuit

1. 概要

この章では、周辺機能に関し、チャンネルまたはユニット数、端子情報、その他の製品固有機能の情報について纏めています。各周辺機能のリファレンスマニュアルと合わせてご使用ください。

2. 各周辺機能の情報

2.1. レジスタベースアドレス

TMPM471F10FG のレジスタベースアドレスタイプを下記に示します。

表 2.1 レジスタベースアドレスタイプ (1/2)

周辺機能			ベースアドレスタイプ (○: 該当、-: 非該当)			ベースアドレス
			TYPE1	TYPE2	TYPE3	
電圧検出回路	LVD	-	○	-	-	0x4003EC00
RAM パリティ	RAMP	ch0	-	-	○	0x40043000
		ch1	-	○	-	0x400A3000
CRC 計算回路	CRC	-	-	-	○	0x40043100
デジタルノイズフィルター回路	DNF	unit A	-	○	-	0x400A0200
クロック選択式ウォッチドックタイマー	SIWDT	ch0	-	○	-	0x400A0600
DMA コントローラー	DMAC	unit A	-	○	-	0x400A4000
12 ビットアナログデジタルコンバーター	ADC	unit A	-	-	○	0x4005A000
		unit B	-	-	○	0x4005A400
32 ビットタイマーイベントカウンタ	T32A	ch0	-	-	-	0x400C1000
		ch1	-	-	-	0x400C1400
		ch2	-	○	-	0x400C1800
		ch3	-	-	-	0x400C1C00
		ch4	-	-	-	0x400C2000
シリアルペリフェラルインターフェース	TSPI	ch0	-	-	-	0x400CA000
		ch1	-	○	-	0x400CA400
		ch2	-	-	-	0x400CA800
		ch3	-	-	-	0x400CAC00
非同期シリアル通信回路	UART	ch0	-	-	-	0x400CE000
		ch1	-	-	-	0x400CE400
		ch2	-	○	-	0x400CE800
		ch3	-	-	-	0x400CEC00
		ch4	-	-	-	0x400CF000
I ² C インターフェース バージョン A	EI2C	ch0	-	-	○	0x400D1000
		ch1	-	-	○	0x400D2000

表 2.2 レジスターベースアドレスタイプ (2/2)

周辺機能			ベースアドレスタイプ (○: 該当、-: 非該当)			ベースアドレス
			TYPE1	TYPE2	TYPE3	
トリミング回路	TRM	-	-	○	-	0x400E3100
周波数検知回路	OFD	-	-	○	-	0x400E4000
アドバンスプログラマブルモーター制御回路	A-PMD	ch0	-	-	○	0x40089000
		ch1	-	-	○	0x40089400
アドバンスエンコーダー入力回路 (32-bit)	A-ENC32	ch0	-	-	○	0x4008A000
		ch1	-	-	○	0x4008A400
フラッシュメモリー	Flash	-	○	-	-	0x5DFF0000

上記のベースアドレスタイプを参照し、各周辺機能の開発を行ってください。

2.2. トリガーセクター (TRGSEL)

トリガーセクターは、周辺機能、ポートなどから入力された複数のトリガーから、1 つのトリガーを選択し周辺機能にトリガー信号を出力する回路です。

8本のトリガーから[TSELOCRn]<INSELm>で選択されたトリガーを、接続先の周辺機能に出力します。

「図 2.1 トリガーセクター接続例」は、DMAC 転送終了割り込みがトリガーセクター経由でDMA コントローラー(ch29)に接続されている例です。[TSELOCR4]で入力トリガー選択、エッジ検出の許可/禁止とエッジ検出条件の設定およびトリガー出力制御を行います。

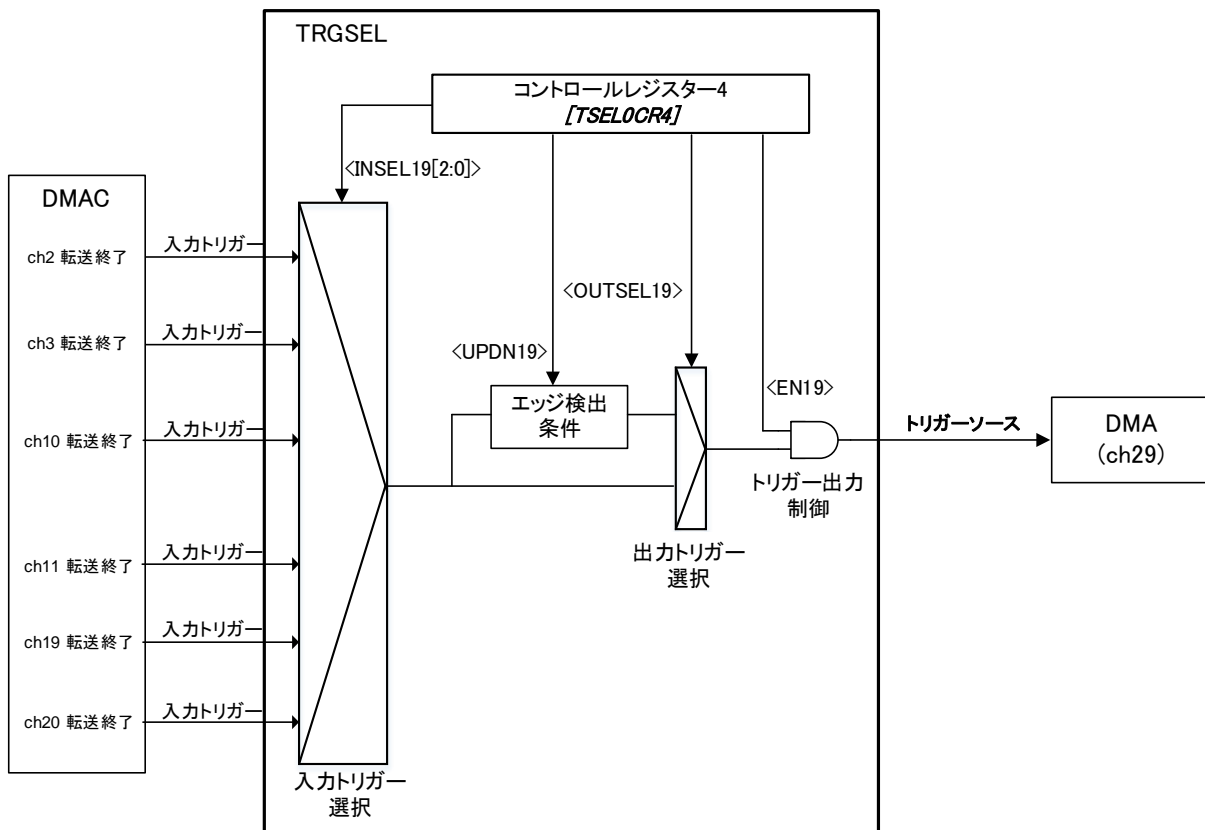


図 2.1 トリガーセクター接続例

2.2.1. 使用方法と設定

TRGSEL を使用する場合は、f_{sys} 供給停止レジスタA (*[CGFSYSENA]*、*[CGFSYSMENA]*)、f_{sys} 供給停止レジスタB (*[CGFSYSMENB]*)、fc 供給停止レジスタ (*[CGFCEN]*) で該当するクロックイネーブルビットを"1" (クロック供給) に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため、製品によってレジスタが存在しない場合があります。詳細はリファレンスマニュアル「クロック制御と動作モード」を参照してください。

トリガーセレクターの設定は以下の順序で行ってください。

(1) 入力トリガーの選択(*[TSEL0CRn]*<INSELm>)

トリガーセレクターの接続先に対し、入力トリガーの選択を行います。

入力トリガーの選択はコントロールレジスタの入力トリガー選択ビット (*[TSEL0CRn]*<INSELm>) で設定してください。(n: レジスタ番号、m: トリガー番号)

(2) エッジ検出条件の選択(*[TSEL0CRn]*<UPDNm>)

エッジ検出が必要な入力トリガー信号に対して、立ち上がりエッジまたは立ち下がりエッジ検出の選択を行います。

エッジ検出条件の選択はコントロールレジスタのエッジ検出条件の選択ビット (*[TSEL0CRn]*<UPDNm>) で設定してください。

エッジ検出が必要なトリガー信号は以下となります。

- ・外部トリガー入力 (TRGIN0、TRGIN1、TRGIN2)

(3) トリガー出力の選択(*[TSEL0CRn]*<OUTSELm>)

出力するトリガー信号に対し、エッジ検出なし出力またはエッジ検出あり出力の選択を行います。

トリガー出力の選択はコントロールレジスタのトリガー出力の選択ビット (*[TSEL0CRn]*<OUTSELm>) で設定してください。

(4) 出力の許可(*[TSEL0CRn]*<ENm>)

選択したトリガー信号の出力許可または禁止を選択します。

出力許可または禁止の選択はコントロールレジスタのトリガー出力制御の設定ビット (*[TSEL0CRn]*<ENm>) を設定してください。*[TSEL0CRn]*<ENm>を"1"に設定するとトリガー出力が許可になります。

2.2.2. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

周辺機能		チャンネル/ユニット	ベースアドレス
トリガーセクター	TRGSEL	ch0	0x400A0400

レジスタ名		アドレス(Base+)
コントロールレジスタ0	[TSELxCR0]	0x0000
コントロールレジスタ1	[TSELxCR1]	0x0004
コントロールレジスタ2	[TSELxCR2]	0x0008
コントロールレジスタ3	[TSELxCR3]	0x000C
コントロールレジスタ4	[TSELxCR4]	0x0010
コントロールレジスタ5	[TSELxCR5]	0x0014
コントロールレジスタ6	[TSELxCR6]	0x0018
コントロールレジスタ7	[TSELxCR7]	0x001C
コントロールレジスタ8	[TSELxCR8]	0x0020
コントロールレジスタ9	[TSELxCR9]	0x0024
コントロールレジスタ10	[TSELxCR10]	0x0028

2.2.3. レジスタ詳細

以下のセクションでレジスタの詳細を示します。
 各表の機能欄カッコ内の記号は各機能信号名を表しています。

2.2.3.1. [TSELxCR0] (コントロールレジスタ0)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL3[2:0]	000	R/W	入カトリガーの選択 (DMA ch3) 000: TSPI ch1 送信 DMA 要求 (TSPI1TX_DMA) 001: UART ch1 送信 DMA 要求 (UART1TX_DMAREQ) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN3	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL3	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN3	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL2[2:0]	000	R/W	入カトリガーの選択 (DMA ch2) 000: TSPI ch1 受信 DMA 要求 (TSPI1RX_DMA) 001: UART ch1 受信 DMA 要求 (UART1RX_DMAREQ) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN2	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL2	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN2	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL1[2:0]	000	R/W	入力トリガーの選択 (DMA ch1) 000: TSPI ch0 送信 DMA 要求 (TSPI0TX_DMA) 001: UART ch0 送信 DMA 要求 (UART0TX_DMAREQ) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN1	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL1	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN1	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL0[2:0]	000	R/W	入力トリガーの選択 (DMA ch0) 000: TSPI ch0 受信 DMA 要求 (TSPI0RX_DMA) 001: UART ch0 受信 DMA 要求 (UART0RX_DMAREQ) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN0	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL0	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN0	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.3.2. [TSELxCR1](コントロールレジスター1)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL7[2:0]	000	R/W	入力トリガーの選択 (DMA ch7) 000: TSPI ch3 送信 DMA 要求 (TSPI3TX_DMA) 001: UART ch3 送信 DMA 要求 (UART3TX_DMAREQ) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN7	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL7	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN7	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL6[2:0]	000	R/W	入力トリガーの選択 (DMA ch6) 000: TSPI ch3 受信 DMA 要求 (TSPI3RX_DMA) 001: UART ch3 受信 DMA 要求 (UART3RX_DMAREQ) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN6	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL6	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN6	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL5[2:0]	000	R/W	入力トリガーの選択 (DMA ch5) 000: TSPI ch2 送信 DMA 要求 (TSPI2TX_DMA) 001: UART ch2 送信 DMA 要求 (UART2TX_DMAREQ) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN5	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL5	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN5	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL4[2:0]	000	R/W	入力トリガーの選択 (DMA ch4) 000: TSPI ch2 受信 DMA 要求 (TSPI2RX_DMA) 001: UART ch2 受信 DMA 要求 (UART2RX_DMAREQ) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN4	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL4	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN4	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.3.3. [TSELxCR2](コントロールレジスタ-2)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL11[2:0]	000	R/W	入力トリガーの選択 (DMA ch20) 000: T32A ch2 DMA 要求レジスタ-A1 一致 (T32A02DMAREQCMPC1) 001: T32A ch2 DMA 要求レジスタ-C1 一致 (T32A02DMAREQCMPC1) 010: T32A ch3 DMA 要求レジスタ-A1 一致 (T32A03DMAREQCMPC1) 011: T32A ch3 DMA 要求レジスタ-C1 一致 (T32A03DMAREQCMPC1) 100: T32A ch4 DMA 要求レジスタ-A1 一致 (T32A04DMAREQCMPC1) 101: T32A ch4 DMA 要求レジスタ-C1 一致 (T32A04DMAREQCMPC1) 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN11	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL11	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN11	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL10[2:0]	000	R/W	入力トリガーの選択 (DMA ch19) 000: T32A ch0 DMA 要求レジスタ-A1 一致 (T32A00DMAREQCMPC1) 001: T32A ch0 DMA 要求レジスタ-C1 一致 (T32A00DMAREQCMPC1) 010: T32A ch1 DMA 要求レジスタ-A1 一致 (T32A01DMAREQCMPC1) 011: T32A ch1 DMA 要求レジスタ-C1 一致 (T32A01DMAREQCMPC1) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN10	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL10	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN10	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL9[2:0]	000	R/W	入力トリガーの選択 (DMA ch17) 000: ADC unit B 汎用トリガーDMA 要求 (ADBTRG_DMAREQ) 001: ADC unit B 単独変換 DMA 要求 (ADBSGL_DMAREQ) 010: ADC unit B 連続変換 DMA 要求 (ADBCNT_DMAREQ) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN9	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL9	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN9	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL8[2:0]	000	R/W	入力トリガーの選択 (DMA ch16) 000: ADC unit A 汎用トリガーDMA 要求 (ADATRG_DMAREQ) 001: ADC unit A 単独変換 DMA 要求 (ADASGL_DMAREQ) 010: ADC unit A 連続変換 DMA 要求 (ADACNT_DMAREQ) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN8	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL8	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN8	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.3.4. [TSELxCR3](コントロールレジスタ-3)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL15[2:0]	000	R/W	入力トリガーの選択 (DMA ch25) 000: T32A ch4 DMA 要求キャプチャーA0 (T32A04DMAREQCAPA0) 001: T32A ch4 DMA 要求キャプチャーA1 (T32A04DMAREQCAPA1) 010: T32A ch4 DMA 要求キャプチャーC0 (T32A04DMAREQCAPC0) 011: T32A ch4 DMA 要求キャプチャーC1 (T32A04DMAREQCAPC1) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN15	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL15	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN15	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL14[2:0]	000	R/W	入力トリガーの選択 (DMA ch24) 000: T32A ch2 DMA 要求キャプチャーA0 (T32A02DMAREQCAPA0) 001: T32A ch2 DMA 要求キャプチャーA1 (T32A02DMAREQCAPA1) 010: T32A ch3 DMA 要求キャプチャーA0 (T32A03DMAREQCAPA0) 011: T32A ch3 DMA 要求キャプチャーA1 (T32A03DMAREQCAPA1) 100: T32A ch2 DMA 要求キャプチャーC0 (T32A02DMAREQCAPC0) 101: T32A ch2 DMA 要求キャプチャーC1 (T32A02DMAREQCAPC1) 110: T32A ch3 DMA 要求キャプチャーC0 (T32A03DMAREQCAPC0) 111: T32A ch3 DMA 要求キャプチャーC1 (T32A03DMAREQCAPC1)
19	-	0	R	リードすると"0"が読めます。
18	UPDN14	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL14	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN14	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL13[2:0]	000	R/W	入力トリガーの選択 (DMA ch23) 000: T32A ch0 DMA 要求キャプチャーA0 (T32A00DMAREQCAPA0) 001: T32A ch0 DMA 要求キャプチャーA1 (T32A00DMAREQCAPA1) 010: T32A ch1 DMA 要求キャプチャーA0 (T32A01DMAREQCAPA0) 011: T32A ch1 DMA 要求キャプチャーA1 (T32A01DMAREQCAPA1) 100: T32A ch0 DMA 要求キャプチャーC0 (T32A00DMAREQCAPC0) 101: T32A ch0 DMA 要求キャプチャーC1 (T32A00DMAREQCAPC1) 110: T32A ch1 DMA 要求キャプチャーC0 (T32A01DMAREQCAPC0) 111: T32A ch1 DMA 要求キャプチャーC1 (T32A01DMAREQCAPC1)
11	-	0	R	リードすると"0"が読めます。
10	UPDN13	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL13	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN13	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL12[2:0]	000	R/W	入力トリガーの選択 (DMA ch22) 000: T32A ch0 DMA 要求レジスターB1 一致 (T32A00DMAREQCMPB1) 001: T32A ch1 DMA 要求レジスターB1 一致 (T32A01DMAREQCMPB1) 010: T32A ch2 DMA 要求レジスターB1 一致 (T32A02DMAREQCMPB1) 011: T32A ch3 DMA 要求レジスターB1 一致 (T32A03DMAREQCMPB1) 100: T32A ch4 DMA 要求レジスターB1 一致 (T32A04DMAREQCMPB1) 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN12	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL12	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN12	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.3.5. [TSELxCR4](コントロールレジスタ-4)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL19[2:0]	000	R/W	入カトリガーの選択 (DMA ch29) 000: DMAC ch2 転送終了 (INTDMAATC2) 001: DMAC ch3 転送終了 (INTDMAATC3) 010: DMAC ch10 転送終了 (INTDMAATC10) 011: DMAC ch11 転送終了 (INTDMAATC11) 100: DMAC ch19 転送終了 (INTDMAATC19) 101: DMAC ch20 転送終了 (INTDMAATC20) 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN19	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL19	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN19	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL18[2:0]	000	R/W	入カトリガーの選択 (DMA ch28) 000: DMAC ch0 転送終了 (INTDMAATC0) 001: DMAC ch1 転送終了 (INTDMAATC1) 010: DMAC ch8 転送終了 (INTDMAATC8) 011: DMAC ch9 転送終了 (INTDMAATC9) 100: DMAC ch16 転送終了 (INTDMAATC16) 101: DMAC ch17 転送終了 (INTDMAATC17) 110: DMAC ch26 転送終了 (INTDMAATC26) 111: DMAC ch27 転送終了 (INTDMAATC27)
19	-	0	R	リードすると"0"が読めます。
18	UPDN18	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL18	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN18	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL17[2:0]	000	R/W	入力トリガーの選択 (DMA ch27) 000: T32A ch3 DMA 要求キャプチャー-B0 (T32A03DMAREQCAPB0) 001: T32A ch3 DMA 要求キャプチャー-B1 (T32A03DMAREQCAPB1) 010: T32A ch4 DMA 要求キャプチャー-B0 (T32A04DMAREQCAPB0) 011: T32A ch4 DMA 要求キャプチャー-B1 (T32A04DMAREQCAPB1) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN17	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL17	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN17	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL16[2:0]	000	R/W	入力トリガーの選択 (DMA ch26) 000: T32A ch0 DMA 要求キャプチャー-B0 (T32A00DMAREQCAPB0) 001: T32A ch0 DMA 要求キャプチャー-B1 (T32A00DMAREQCAPB1) 010: T32A ch1 DMA 要求キャプチャー-B0 (T32A01DMAREQCAPB0) 011: T32A ch1 DMA 要求キャプチャー-B1 (T32A01DMAREQCAPB1) 100: T32A ch2 DMA 要求キャプチャー-B0 (T32A02DMAREQCAPB0) 101: T32A ch2 DMA 要求キャプチャー-B1 (T32A02DMAREQCAPB1) 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN16	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL16	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN16	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.3.6. [TSELxCR5](コントロールレジスタ-5)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL23[2:0]	000	R/W	入力トリガーの選択 (ADC unit B トリガー入力) 000: T32A ch2 タイマーレジスターA1 一致トリガー (T32A02TRGOUTCMPA1) 001: T32A ch2 タイマーレジスターB1 一致トリガー (T32A02TRGOUTCMPB1) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN23	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL23	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN23	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL22[2:0]	000	R/W	入力トリガーの選択 (ADC unit A トリガー入力) 000: T32A ch0 タイマーレジスターA1 一致トリガー (T32A00TRGOUTCMPA1) 001: T32A ch0 タイマーレジスターB1 一致トリガー (T32A00TRGOUTCMPB1) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN22	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL22	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN22	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL21[2:0]	000	R/W	入力トリガーの選択 (DMA ch31) 000: DMAC ch6 転送終了 (INTDMAATC6) 001: DMAC ch7 転送終了 (INTDMAATC7) 010: DMAC ch14 転送終了 (INTDMAATC14) 011: DMAC ch15 転送終了 (INTDMAATC15) 100: DMAC ch24 転送終了 (INTDMAATC24) 101: DMAC ch25 転送終了 (INTDMAATC25) 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN21	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL21	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN21	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL20[2:0]	000	R/W	入力トリガーの選択 (DMA ch30) 000: DMAC ch4 転送終了 (INTDMAATC4) 001: DMAC ch5 転送終了 (INTDMAATC5) 010: DMAC ch12 転送終了 (INTDMAATC12) 011: DMAC ch13 転送終了 (INTDMAATC13) 100: DMAC ch22 転送終了 (INTDMAATC22) 101: DMAC ch23 転送終了 (INTDMAATC23) 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN20	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL20	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN20	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.3.7. [TSELxCR6](コントロールレジスタ-6)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL27[2:0]	000	R/W	入カトリガーの選択 (TSPI/UART ch3 トリガー入力) 000: T32A ch4 タイマーレジスタ-A1 一致トリガー (T32A04TRGOUTCMPA1) 001: T32A ch4 タイマーレジスタ-B1 一致トリガー (T32A04TRGOUTCMPB1) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN27	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL27	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN27	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL26[2:0]	000	R/W	入カトリガーの選択 (TSPI/UART ch2 トリガー入力) 000: T32A ch1 タイマーレジスタ-A1 一致トリガー (T32A01TRGOUTCMPA1) 001: T32A ch1 タイマーレジスタ-B1 一致トリガー (T32A01TRGOUTCMPB1) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN26	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL26	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN26	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL25[2:0]	000	R/W	入カトリガーの選択 (TSPI/UART ch1 トリガー入力) 000: T32A ch1 タイマーレジスターA1 一致トリガー (T32A01TRGOUTCMPA1) 001: T32A ch1 タイマーレジスターB1 一致トリガー (T32A01TRGOUTCMPB1) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN25	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL25	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN25	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL24[2:0]	000	R/W	入カトリガーの選択 (TSPI/UART ch0 トリガー入力) 000: T32A ch3 タイマーレジスターA1 一致トリガー (T32A03TRGOUTCMPA1) 001: T32A ch3 タイマーレジスターB1 一致トリガー (T32A03TRGOUTCMPB1) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN24	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL24	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN24	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.3.8. [TSELxCR7](コントロールレジスタ-7)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL31[2:0]	000	R/W	入力トリガーの選択 (INSEL29 入力) 000: ADC unit A 汎用トリガー割り込み (INTADATRG) 001: ADC unit A 単独変換割り込み (INTADASGL) 010: ADC unit A 連続変換割り込み (INTADACNT) 011: ADC unit A 監視機能 0 割り込み (INTADACP0) 100: ADC unit A 監視機能 1 割り込み (INTADACP1) 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN31	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL31	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN31	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL30[2:0]	000	R/W	入力トリガーの選択 (T32A ch0 タイマーB 内部トリガー入力) 000: T32A ch0 タイマーレジスタA0 一致トリガー(T32A00TRGOUTCMPA0) 001: T32A ch0 タイマーレジスタA1 一致トリガー(T32A00TRGOUTCMPA1) 010: T32A ch0 タイマーA オーバーフロートリガー (T32A00TRGOUTOFA) 011: T32A ch0 タイマーA アンダーフロートリガー (T32A00TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN30	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL30	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN30	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL29[2:0]	000	R/W	入力トリガーの選択 (T32A ch0 タイマーA 内部トリガー入力) 000: T32A ch0 タイマーレジスターB0 一致トリガー (T32A00TRGOUTCMPB0) 001: T32A ch0 タイマーレジスターB1 一致トリガー (T32A00TRGOUTCMPB1) 010: T32A ch0 タイマーB オーバーフロートリガー (T32A00TRGOUTOFB) 011: T32A ch0 タイマーB アンダーフロートリガー (T32A00TRGOUTUFB) 100: Reserved 101: Reserved 110: Reserved 111: INSEL31 出力
11	-	0	R	リードすると"0"が読めます。
10	UPDN29	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL29	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN29	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL28[2:0]	000	R/W	入力トリガーの選択 (UART ch4 トリガー入力) 000: T32A ch4 タイマーレジスターA1 一致トリガー (T32A04TRGOUTCMPA1) 001: T32A ch4 タイマーレジスターB1 一致トリガー (T32A04TRGOUTCMPB1) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN28	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL28	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN28	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.3.9. [TSELxCR8](コントロールレジスタ-8)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL35[2:0]	000	R/W	入力トリガーの選択 (T32A ch2 タイマーB 内部トリガー入力) 000: T32A ch2 タイマーレジスタ-A0 一致トリガー (T32A02TRGOUTCMPA0) 001: T32A ch2 タイマーレジスタ-A1 一致トリガー (T32A02TRGOUTCMPA1) 010: T32A ch2 タイマーA オーバーフロートリガー (T32A02TRGOUTOFA) 011: T32A ch2 タイマーA アンダーフロートリガー (T32A02TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN35	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL35	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN35	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL34[2:0]	000	R/W	入力トリガーの選択 (T32A ch2 タイマーA 内部トリガー入力) 000: T32A ch2 タイマーレジスタ-B0 一致トリガー(T32A02TRGOUTCMPB0) 001: T32A ch2 タイマーレジスタ-B1 一致トリガー(T32A02TRGOUTCMPB1) 010: T32A ch2 タイマーB オーバーフロートリガー (T32A02TRGOUTOFB) 011: T32A ch2 タイマーB アンダーフロートリガー (T32A02TRGOUTUFB) 100: Reserved 101: Reserved 110: Reserved 111: INSEL41 出力
19	-	0	R	リードすると"0"が読めます。
18	UPDN34	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL34	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN34	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL33[2:0]	000	R/W	入力トリガーの選択 (T32A ch1 タイマーB 内部トリガー入力) 000: T32A ch1 タイマーレジスターA0 一致トリガー(T32A01TRGOUTCMPA0) 001: T32A ch1 タイマーレジスターA1 一致トリガー(T32A01TRGOUTCMPA1) 010: T32A ch1 タイマーA オーバーフロートリガー (T32A01TRGOUTOFA) 011: T32A ch1 タイマーA アンダーフロートリガー (T32A01TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN33	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL33	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN33	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL32[2:0]	000	R/W	入力トリガーの選択 (T32A ch1 タイマーA 内部トリガー入力) 000: T32A ch1 タイマーレジスターB0 一致トリガー (T32A01TRGOUTCMPB0) 001: T32A ch1 タイマーレジスターB1 一致トリガー (T32A01TRGOUTCMPB1) 010: T32A ch1 タイマーB オーバーフロートリガー (T32A01TRGOUTOFB) 011: T32A ch1 タイマーB アンダーフロートリガー (T32A01TRGOUTUFB) 100: Reserved 101: Reserved 110: Reserved 111: INSEL40 出力
3	-	0	R	リードすると"0"が読めます。
2	UPDN32	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL32	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN32	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.3.10. [TSELxCR9] (コントロールレジスタ-9)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL39[2:0]	000	R/W	入力トリガーの選択 (T32A ch4 タイマーB 内部トリガー入力) 000: T32A ch4 タイマーレジスタ-A0 一致トリガー (T32A04TRGOUTCMPA0) 001: T32A ch4 タイマーレジスタ-A1 一致トリガー (T32A04TRGOUTCMPA1) 010: T32A ch4 タイマーA オーバーフロートリガー (T32A04TRGOUTOFA) 011: T32A ch4 タイマーA アンダーフロートリガー (T32A04TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN39	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL39	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN39	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL38[2:0]	000	R/W	入力トリガーの選択 (T32A ch4 タイマーA 内部トリガー入力) 000: T32A ch4 タイマーレジスタ-B0 一致トリガー (T32A04TRGOUTCMPB0) 001: T32A ch4 タイマーレジスタ-B1 一致トリガー (T32A04TRGOUTCMPB1) 010: T32A ch4 タイマーB オーバーフロートリガー (T32A04TRGOUTOFB) 011: T32A ch4 タイマーB アンダーフロートリガー (T32A04TRGOUTUFB) 100: Reserved 101: Reserved 110: Reserved 111: INSEL43 出力
19	-	0	R	リードすると"0"が読めます。
18	UPDN38	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL38	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN38	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL37[2:0]	000	R/W	入力トリガーの選択 (T32A ch3 タイマーB 内部トリガー入力) 000: T32A ch3 タイマーレジスターA0 一致トリガー (T32A03TRGOUTCMPA0) 001: T32A ch3 タイマーレジスターA1 一致トリガー (T32A03TRGOUTCMPA1) 010: T32A ch3 タイマーA オーバーフロートリガー (T32A03TRGOUTOFA) 011: T32A ch3 タイマーA アンダーフロートリガー (T32A03TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN37	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL37	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN37	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL36[2:0]	000	R/W	入力トリガーの選択 (T32A ch3 タイマーA 内部トリガー入力) 000: T32A ch3 タイマーレジスターB0 一致トリガー (T32A03TRGOUTCMPB0) 001: T32A ch3 タイマーレジスターB1 一致トリガー (T32A03TRGOUTCMPB1) 010: T32A ch3 タイマーB オーバーフロートリガー (T32A03TRGOUTOFB) 011: T32A ch3 タイマーB アンダーフロートリガー (T32A03TRGOUTUFB) 100: Reserved 101: Reserved 110: Reserved 111: INSEL42 出力
3	-	0	R	リードすると"0"が読めます。
2	UPDN36	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL36	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN36	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.3.11. [TSELxCR10](コントロールレジスター10)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL43[2:0]	000	R/W	入力トリガーの選択 (INSEL38 入力) 000: UART ch3 送信完了トリガー (UART3TXTRG) 001: UART ch3 受信完了トリガー (UART3RXTRG) 010: TSPI ch3 送信完了トリガー (TSPI3TXEND) 011: TSPI ch3 受信完了トリガー (TSPI3RXEND) 100: UART ch4 送信完了トリガー (UART4TXTRG) 101: UART ch4 受信完了トリガー (UART4RXTRG) 110: EI2C ch1 ステータス割り込み (INTI2C1ST) 111: A-ENC32 ch1 分周パルス (ENC1TIMPLS)
27	-	0	R	リードすると"0"が読めます。
26	UPDN43	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL43	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN43	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL42[2:0]	000	R/W	入力トリガーの選択 (INSEL36 入力) 000: UART ch0 送信完了トリガー (UART0TXTRG) 001: UART ch0 受信完了トリガー (UART0RXTRG) 010: TSPI ch0 送信完了トリガー (TSPI0TXEND) 011: TSPI ch0 受信完了トリガー (TSPI0RXEND) 100: EI2C ch0 ステータス割り込み (INTI2C0ST) 101: A-ENC32 ch0 分周パルス (ENC0TIMPLS) 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN42	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL42	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN42	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14:12	INSEL41[2:0]	000	R/W	入力トリガーの選択 (INSEL34 入力) 000: ADC unit B 汎用トリガー割り込み (INTADBTRG) 001: ADC unit B 単独変換割り込み (INTADBSGL) 010: ADC unit B 連続変換割り込み (INTADBCNT) 011: ADC unit B 監視機能 0 割り込み (INTADBCP0) 100: ADC unit B 監視機能 1 割り込み (INTADBCP1) 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN41	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL41	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN41	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL40[2:0]	000	R/W	入力トリガーの選択 (INSEL32 入力) 000: UART ch1 送信完了トリガー (UART1TXTRG) 001: UART ch1 受信完了トリガー (UART1RXTRG) 010: TSPI ch1 送信完了トリガー (TSPI1TXEND) 011: TSPI ch1 受信完了トリガー (TSPI1RXEND) 100: UART ch2 送信完了トリガー (UART2TXTRG) 101: UART ch2 受信完了トリガー (UART2RXTRG) 110: TSPI ch2 送信完了トリガー (TSPI2TXEND) 111: TSPI ch2 受信完了トリガー (TSPI2RXEND)
3	-	0	R	リードすると"0"が読めます。
2	UPDN40	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL40	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN40	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.3. クロック選択式ウォッチドッグタイマー (SIWDT)

2.3.1. 搭載チャンネル

搭載チャンネルを下記表に示します。

表 2.3 SIWDT 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)
	ch0
TMPM471F10FG	○

2.3.2. カウントクロック

クロック選択式ウォッチドッグタイマーは、カウントするクロックを選択可能です。以下の表に選択できるクロックを示します。

表 2.4 SIWDT カウントクロック

クロック	信号名	選択
システムクロック	f _{system}	[SIWDTMOD]<WDCLS> レジスターで選択します。
内蔵高速発振器 1 クロック	f _{IHOSC1}	
内蔵高速発振器 2 クロック	f _{IHOSC2}	

2.3.3. 発振クロックプロテクト機能

内蔵高速発振器 2(f_{IHOSC2})を選択した場合、内蔵高速発振器 2 の書き換えを禁止することが可能です。

表 2.5 SIWDT 発振クロックプロテクト機能

制御出力	信号名	備考
内蔵高速発振器 2 発振制御ビット ([CGOSCCR]<IHOSC2EN> のプロテクト信号)	OSCPRO	[SIWDTOSCCR]<OSCPRO>レジスター で設定します。

2.4. 周波数検知回路 (OFD)

2.4.1. 搭載一覧

搭載一覧を下記表に示します。

表 2.6 OFD 搭載一覧

製品	OFD 搭載 (○: 搭載、-: 非搭載)
TMPM471F10FG	○

2.4.2. 基準クロック

周波数検知回路は以下の表のクロックを基準クロックとして動作します。

表 2.7 OFD 基準クロック

基準クロック	信号名	分周比
内蔵高速発振器 2 クロック	f _{IHOSC2}	128

2.4.3. 検知対象クロック

周波数検知回路は以下の表の検知対象クロックからモニターしたいクロックを選択します。

表 2.8 OFD 検知対象クロック

検知対象クロック		信号名
入力信号	外部高速発振器クロック	f _{EHOSC}
	CG(クロック制御部)の [CGOSCCR]<OSCSEL>と[CGPLL0SEL]<PLL0SEL>で 選択されたクロック	fc

2.5. デバッグインターフェース

2.5.1. デバッグインターフェース端子一覧

表 2.9 デバッグインターフェース端子一覧

デバッグ機能	デバッグ端子	ポート
シリアルワイヤ	SWDIO	PB3
	SWCLK	PB4
	SWV	PB5
JTAG	TMS	PB3
	TCK	PB4
	TDO	PB5
	TDI	PB6
	TRST_N	PB7
ETMトレース	TRACECLK	PB0
	TRACEDATA0	PB1
	TRACEDATA1	PB2
	TRACEDATA2	PK1
	TRACEDATA3	PK0

2.5.2. トレースクロックの分周比

表 2.10 TRACECLKの分周比

ソースクロック	分周比	出力
fsysh	1/4	TRACECLK

2.6. フラッシュメモリー (FLASH)

TMPM471F10FG はコードフラッシュのみを搭載しています。

2.6.1. 書き込み、消去操作クロック

フラッシュメモリーは、コードフラッシュへの書き込み、消去操作に以下の表に示すクロックが使用されます。

表 2.11 FLASH 書き込み、消去操作クロック

書き込み、消去操作クロック
fIHOSC1

注) 発振制御レジスターは[CGOSCCR]<IHOSC1EN>です。

2.6.2. コードフラッシュブロック構成

コードフラッシュメモリーは、下記の表のようなブロック構成となります。

表 2.12 コードフラッシュブロック構成

エリア	ブロック名称	ブロックサイズ (KB)
0	PG0	4
	PG1	4
	PG2	4
	PG3	4
	PG4	4
	PG5	4
	PG6	4
	PG7	4
	Block0	32
	Block1	32
	Block2	32
	Block3	32
	Block4	32
	Block5	32
	Block6	32
	Block7	32
Block8	32	
Block9	32	
Block10	32	
Block11	32	
Block12	32	
Block13	32	
Block14	32	
Block15	32	

エリア	ブロック名称	ブロック サイズ (KB)
1	Block16	32
	Block17	32
	Block18	32
	Block19	32
	Block20	32
	Block21	32
	Block22	32
	Block23	32
	Block24	32
	Block25	32
	Block26	32
	Block27	32
	Block28	32
	Block29	32
Block30	32	
Block31	32	

2.6.3. アクセスコントロールレジスタ<FCACCR>[FCLC[2:0]]の設定

アクセスコントロールレジスタ<FCACCR>[FCLC[2:0]]の設定は、以下のとおりです。

表 2.13 アクセスコントロールレジスタ<FCACCR>[FCLC[2:0]]の設定

Bit	Bit symbol	リセット後	機能
2:0	<FCLC[2:0]>	100	コードフラッシュのリードクロック制御 101: fsysh > 120MHz 100: 120MHz ≥ fsysh > 80MHz 011: 80MHz ≥ fsysh

2.6.4. ID-Read 時のマクロコード値

この製品のマクロコード値は、以下のとおりです。

表 2.14 ID-Read時のマクロコード値

Code	ID[15:0]
マクロコード(コードフラッシュ)	0x0402

2.6.5. シングルブート使用リソース

シングルブートでは下記表の周辺機能を使用します。

表 2.15 シングルブート使用リソース

周辺機能	チャンネル	機能	端子名
BOOT	—	-	PF0(BOOT_N)
UART	ch0	RXD	PE0/PE1(UT0RXD)
		TXD	PE1/PE0(UT0TXDA)
T32A	ch0	-	-

RAM ローダーコマンドで転送する RAM アドレスは下表の範囲で行ってください。

表 2.16 RAM転送可能アドレス

RAM 転送可能アドレス
0x20000400~0x2000DFFF

2.7. DMA コントローラー (DMAC)

2.7.1. 搭載ユニット

搭載ユニットを下記表に示します。

表 2.17 DMAC 搭載ユニット

製品	ユニット (○: 搭載、-: 非搭載)
	A
TMPM471F10FG	○

2.7.2. DMA 転送要求一覧

下記表に DMA 転送要求一覧を示します。

表のトリガーセクター欄にレジスター名のあるチャンネルは、トリガーセクターで使用する要求を選択してください。表内の“-”は該当する機能がありません。

表 2.18 DMA 転送要求一覧 (1/3)

チャンネル	シングル転送要求			バースト転送要求		
	トリガーセクター		信号名	トリガーセクター		信号名
0	[TSELOCRO] <INSEL0>	TSPI ch0 受信 DMA 要求	TSPI0RX_DMA	[TSELOCRO] <INSEL0>	TSPI ch0 受信 DMA 要求	TSPI0RX_DMA
		UART ch0 受信 DMA 要求	UART0RX_DMAREQ		UART ch0 受信 DMA 要求	UART0RX_DMAREQ
1	[TSELOCRO] <INSEL1>	TSPI ch0 送信 DMA 要求	TSPI0TX_DMA	[TSELOCRO] <INSEL1>	TSPI ch0 送信 DMA 要求	TSPI0TX_DMA
		UART ch0 送信 DMA 要求	UART0TX_DMAREQ		UART ch0 送信 DMA 要求	UART0TX_DMAREQ
2	[TSELOCRO] <INSEL2>	TSPI ch1 受信 DMA 要求	TSPI1RX_DMA	[TSELOCRO] <INSEL2>	TSPI ch1 受信 DMA 要求	TSPI1RX_DMA
		UART ch1 受信 DMA 要求	UART1RX_DMAREQ		UART ch1 受信 DMA 要求	UART1RX_DMAREQ
3	[TSELOCRO] <INSEL3>	TSPI ch1 送信 DMA 要求	TSPI1TX_DMA	[TSELOCRO] <INSEL3>	TSPI ch1 送信 DMA 要求	TSPI1TX_DMA
		UART ch1 送信 DMA 要求	UART1TX_DMAREQ		UART ch1 送信 DMA 要求	UART1TX_DMAREQ
4	[TSELOCRI] <INSEL4>	TSPI ch2 受信 DMA 要求	TSPI2RX_DMA	[TSELOCRI] <INSEL4>	TSPI ch2 受信 DMA 要求	TSPI2RX_DMA
		UART ch2 受信 DMA 要求	UART2RX_DMAREQ		UART ch2 受信 DMA 要求	UART2RX_DMAREQ
5	[TSELOCRI] <INSEL5>	TSPI ch2 送信 DMA 要求	TSPI2TX_DMA	[TSELOCRI] <INSEL5>	TSPI ch2 送信 DMA 要求	TSPI2TX_DMA
		UART ch2 送信 DMA 要求	UART2TX_DMAREQ		UART ch2 送信 DMA 要求	UART2TX_DMAREQ
6	[TSELOCRI] <INSEL6>	TSPI ch3 受信 DMA 要求	TSPI3RX_DMA	[TSELOCRI] <INSEL6>	TSPI ch3 受信 DMA 要求	TSPI3RX_DMA
		UART ch3 受信 DMA 要求	UART3RX_DMAREQ		UART ch3 受信 DMA 要求	UART3RX_DMAREQ
7	[TSELOCRI] <INSEL07>	TSPI ch3 送信 DMA 要求	TSPI3TX_DMA	[TSELOCRI] <INSEL07>	TSPI ch3 送信 DMA 要求	TSPI3TX_DMA
		UART ch3 送信 DMA 要求	UART3TX_DMAREQ		UART ch3 送信 DMA 要求	UART3TX_DMAREQ
8	-	UART ch4 受信 DMA 要求	UART4RX_DMAREQ	-	UART ch4 受信 DMA 要求	UART4RX_DMAREQ
9	-	UART ch4 送信 DMA 要求	UART4TX_DMAREQ	-	UART ch4 送信 DMA 要求	UART4TX_DMAREQ
10	-	-	-	-	EI2C ch0 受信 DMA リクエスト	I2C0ARXDMAREQ
11	-	-	-	-	EI2C ch0 送信 DMA リクエスト	I2C0ATXDMAREQ
12	-	-	-	-	EI2C ch1 受信 DMA リクエスト	I2C1ARXDMAREQ
13	-	-	-	-	EI2C ch1 送信 DMA リクエスト	I2C1ATXDMAREQ
14	-	-	-	-	A-PMD ch0 PWM 割り込み	INTPWM0
15	-	-	-	-	A-PMD ch1 PWM 割り込み	INTPWM1

注) ch0~ch7 はトリガーセクターで DMA 転送要求のトリガーソースを選択します。詳細な接続先については、「2.2.トリガーセクター (TRGSEL)」を参照してください。

表 2.19 DMA 転送要求一覧 (2/3)

チャンネル	シングル転送要求			バースト転送要求		
	トリガーセクター		信号名	トリガーセクター	信号名	
16	-	-	-	[TSEL0CR2] <INSEL8>	AD unit A 汎用トリガーDMA 要求	ADATRGMAREQ
					AD unit A 単独変換 DMA 要求	ADASLGMAREQ
					AD unit A 連続変換 DMA 要求	ADACNTDMAREQ
17	-	-	-	[TSEL0CR2] <INSEL9>	AD unit B 汎用トリガーDMA 要求	ADBTRGMAREQ
					AD unit B 単独変換 DMA 要求	ADBSLGMAREQ
					AD unit B 連続変換 DMA 要求	ADBCNTDMAREQ
18	-	-	-	-	-	-
19	-	-	-	[TSEL0CR2] <INSEL10>	T32A ch0 DMA 要求レジスタ-A1 一致	T32A00DMAREQCMPA1
					T32A ch0 DMA 要求レジスタ-C1 一致	T32A00DMAREQCMPC1
					T32A ch1 DMA 要求レジスタ-A1 一致	T32A01DMAREQCMPA1
					T32A ch1 DMA 要求レジスタ-C1 一致	T32A01DMAREQCMPC1
20	-	-	-	[TSEL0CR2] <INSEL11>	T32A ch2 DMA 要求レジスタ-A1 一致	T32A02DMAREQCMPA1
					T32A ch2 DMA 要求レジスタ-C1 一致	T32A02DMAREQCMPC1
					T32A ch3 DMA 要求レジスタ-A1 一致	T32A03DMAREQCMPA1
					T32A ch3 DMA 要求レジスタ-C1 一致	T32A03DMAREQCMPC1
					T32A ch4 DMA 要求レジスタ-A1 一致	T32A04DMAREQCMPA1
					T32A ch4 DMA 要求レジスタ-C1 一致	T32A04DMAREQCMPC1
21	-	-	-	-	-	-
22	-	-	-	[TSEL0CR3] <INSEL12>	T32A ch0 DMA 要求レジスタ-B1 一致	T32A00DMAREQCMPB1
					T32A ch1 DMA 要求レジスタ-B1 一致	T32A01DMAREQCMPB1
					T32A ch2 DMA 要求レジスタ-B1 一致	T32A02DMAREQCMPB1
					T32A ch3 DMA 要求レジスタ-B1 一致	T32A03DMAREQCMPB1
					T32A ch4 DMA 要求レジスタ-B1 一致	T32A04DMAREQCMPB1
23	-	-	-	[TSEL0CR3] <INSEL13>	T32A ch0 DMA 要求キャプチャーA0	T32A00DMAREQCAPA0
					T32A ch0 DMA 要求キャプチャーA1	T32A00DMAREQCAPA1
					T32A ch1 DMA 要求キャプチャーA0	T32A01DMAREQCAPA0
					T32A ch1 DMA 要求キャプチャーA1	T32A01DMAREQCAPA1
					T32A ch0 DMA 要求キャプチャーC0	T32A00DMAREQCAPC0
					T32A ch0 DMA 要求キャプチャーC1	T32A00DMAREQCAPC1
					T32A ch1 DMA 要求キャプチャーC0	T32A01DMAREQCAPC0
					T32A ch1 DMA 要求キャプチャーC1	T32A01DMAREQCAPC1
24	-	-	-	[TSEL0CR3] <INSEL14>	T32A ch2 DMA 要求キャプチャーA0	T32A02DMAREQCAPA0
					T32A ch2 DMA 要求キャプチャーA1	T32A02DMAREQCAPA1
					T32A ch3 DMA 要求キャプチャーA0	T32A03DMAREQCAPA0
					T32A ch3 DMA 要求キャプチャーA1	T32A03DMAREQCAPA1
					T32A ch2 DMA 要求キャプチャーC0	T32A02DMAREQCAPC0
					T32A ch2 DMA 要求キャプチャーC1	T32A02DMAREQCAPC1
					T32A ch3 DMA 要求キャプチャーC0	T32A03DMAREQCAPC0
					T32A ch3 DMA 要求キャプチャーC1	T32A03DMAREQCAPC1

注) ch16~ch24 はトリガーセクターで DMA 転送要求のトリガースソースを選択します。詳細な接続先については、「2.2.トリガーセクター (TRGSEL)」を参照してください。

表 2.20 DMA 転送要求一覧 (3/3)

チャンネル	シングル転送要求			バースト転送要求		
	トリガー セレクター		信号名	トリガー セレクター		信号名
25	-	-	-	[TSEL0CR3] <INSEL15>	T32A ch4 DMA 要求キャプチャーA0	T32A04DMAREQCAPA0
					T32A ch4 DMA 要求キャプチャーA1	T32A04DMAREQCAPA1
					T32A ch4 DMA 要求キャプチャーC0	T32A04DMAREQCAPC0
					T32A ch4 DMA 要求キャプチャーC1	T32A04DMAREQCAPC1
26	-	-	-	[TSEL0CR4] <INSEL16>	T32A ch0 DMA 要求キャプチャーB0	T32A00DMAREQCAPB0
					T32A ch0 DMA 要求キャプチャーB1	T32A00DMAREQCAPB1
					T32A ch1 DMA 要求キャプチャーB0	T32A01DMAREQCAPB0
					T32A ch1 DMA 要求キャプチャーB1	T32A01DMAREQCAPB1
					T32A ch2 DMA 要求キャプチャーB0	T32A02DMAREQCAPB0
					T32A ch2 DMA 要求キャプチャーB1	T32A02DMAREQCAPB1
27	-	-	-	[TSEL0CR4] <INSEL17>	T32A ch3 DMA 要求キャプチャーB0	T32A03DMAREQCAPB0
					T32A ch3 DMA 要求キャプチャーB1	T32A03DMAREQCAPB1
					T32A ch4 DMA 要求キャプチャーB0	T32A04DMAREQCAPB0
					T32A ch4 DMA 要求キャプチャーB1	T32A04DMAREQCAPB1
28	-	-	-	[TSEL0CR4] <INSEL18>	DMAC ch0 転送終了割り込み	INTDMAATC0
					DMAC ch1 転送終了割り込み	INTDMAATC1
					DMAC ch8 転送終了割り込み	INTDMAATC8
					DMAC ch9 転送終了割り込み	INTDMAATC9
					DMAC ch16 転送終了割り込み	INTDMAATC16
					DMAC ch17 転送終了割り込み	INTDMAATC17
					DMAC ch26 転送終了割り込み	INTDMAATC26
					DMAC ch27 転送終了割り込み	INTDMAATC27
29	-	-	-	[TSEL0CR4] <INSEL19>	DMAC ch2 転送終了割り込み	INTDMAATC2
					DMAC ch3 転送終了割り込み	INTDMAATC3
					DMAC ch10 転送終了割り込み	INTDMAATC10
					DMAC ch11 転送終了割り込み	INTDMAATC11
					DMAC ch19 転送終了割り込み	INTDMAATC19
					DMAC ch20 転送終了割り込み	INTDMAATC20
30	-	-	-	[TSEL0CR5] <INSEL20>	DMAC ch4 転送終了割り込み	INTDMAATC4
					DMAC ch5 転送終了割り込み	INTDMAATC5
					DMAC ch12 転送終了割り込み	INTDMAATC12
					DMAC ch13 転送終了割り込み	INTDMAATC13
					DMAC ch22 転送終了割り込み	INTDMAATC22
					DMAC ch23 転送終了割り込み	INTDMAATC23
31	-	-	-	[TSEL0CR5] <INSEL21>	DMAC ch6 転送終了割り込み	INTDMAATC6
					DMAC ch7 転送終了割り込み	INTDMAATC7
					DMAC ch14 転送終了割り込み	INTDMAATC14
					DMAC ch15 転送終了割り込み	INTDMAATC15
					DMAC ch24 転送終了割り込み	INTDMAATC24
					DMAC ch25 転送終了割り込み	INTDMAATC25

注) ch25~ch31 はトリガーセレクターで DMA 転送要求のトリガースソースを選択します。詳細な接続先については、「2.2.トリガーセレクター (TRGSEL)」を参照してください。

2.8. アドバンストプログラマブルモーター制御回路 (A-PMD)

2.8.1. 搭載チャンネル

搭載チャンネルを下記表に示します。

表 2.21 A-PMD 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)	
	ch0	ch1
TMPM471F10FG	○	○

2.8.2. システムクロック

A-PMD は以下の表のクロックをシステムクロックとして動作します。

表 2.22 A-PMD システムクロック

クロック	信号名
システムクロック	fsysh

2.8.3. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.23 A-PMD 機能端子

チャンネル	機能端子		ポート
ch0	U00	出力	PC0
	VO0	出力	PC2
	WO0	出力	PC4
	XO0	出力	PC1
	YO0	出力	PC3
	ZO0	出力	PC5
	EMG0	入力	PC6
	OVV0	入力	PC7
ch1	U01	出力	PG0
	VO1	出力	PG2
	WO1	出力	PG4
	XO1	出力	PG1
	YO1	出力	PG3
	ZO1	出力	PG5
	EMG1	入力	PG6
	OVV1	入力	PG7

2.8.4. DMA 要求

A-PMD は、以下の表に示す DMA 要求があります。

表 2.24 A-PMD DMA要求

チャンネル	要求	信号名	トリガーセレクター	DMA 要求チャンネル		
				シングル転送	バースト転送	
ch0	PWM 割り込み	INTPWM0	-	14	—	○
ch1	PWM 割り込み	INTPWM1	-	15	—	○

注) ○: 対応、—: 非対応

2.8.5. 内部信号接続仕様

2.8.5.1. その他接続

A-PMD は、下記表のように内部で周辺機能と接続されている信号があります。

表 2.25 A-PMD 内部接続仕様:入力

チャンネル	機能入力		入力元			
		信号名		信号名		
ch0	ADC 変換動作中状態信号	ADABUSY	ADC unit A	ADABUSY		
	ADC 監視機能 0 信号(OVV 検知)	ADACMP0L_N		ADACP0L_N		
	ADC 監視機能 1 信号(OVV 検知)	ADACMP1L_N		ADACP1L_N		
	ADC 変換終了割り込み A	INTADAPDA		INTADAPDA		
	ADC 変換終了割り込み B	INTADAPDB		INTADAPDB		
	ADC 変換終了割り込み C	INTADxPDC		-	-	
	ADC 変換終了割り込み D	INTADxPDD	-	-		
	ADC 変換優先度割り込み	INTADxPFLG	-	-		
	転流トリガー(A-ENC 位置検出同期)	INTENC00	A-ENC32 ch0	INTENC00		
	転流トリガー(汎用タイマー同期)	PMD0TMR	T32A ch0 タイマーA	T32A00TRGOUTCMPA0		
	転流トリガー(A-ENC MCMP 同期)	ENC0CTRGO	A-ENC32 ch0	ENC0CTRGO		
	VE U 相 PWM デューティ	VExCMPU	-	-		
	VE V 相 PWM デューティ	VExCMPV				
	VE W 相 PWM デューティ	VExCMPW				
	VE トリガーコンペア 0	VExTRGCMP0				
	VE トリガーコンペア 1	VExTRGCMP1				
	VE 同期トリガー出力選択	VExTRGSEL				
	VE 通電制御/出力制御	VExOUTCR				
	VE EMG 復帰	VExEMGRS				
	VE タスク遷移信号	VExTASKP				
VE 割り込み	INTVCNx					
ch1	ADC 変換動作中状態信号	ADBBUSY			ADC unit B	ADBBUSY
	ADC 監視機能 0 信号(OVV 検知)	ADBCMP0L_N				ADBCP0L_N
	ADC 監視機能 1 信号(OVV 検知)	ADBCMP1L_N				ADBCP1L_N
	ADC 変換終了割り込み A	INTADBPDA				INTADBPDA
	ADC 変換終了割り込み B	INTADBPDB	INTADBPDB			
	ADC 変換終了割り込み C	INTADxPDC	-	-		
	ADC 変換終了割り込み D	INTADxPDD	-	-		
	ADC 変換優先度割り込み	INTADxPFLG	-	-		
	転流トリガー(A-ENC 位置検出同期)	INTENC10	A-ENC32 ch1	INTENC10		
	転流トリガー(汎用タイマー同期)	PMD1TMR	T32A ch1 タイマーA	T32A01TRGOUTCMPA0		
	転流トリガー(A-ENC MCMP 同期)	ENC1CTRGO	A-ENC32 ch1	ENC1CTRGO		
	VE U 相 PWM デューティ	VExCMPU	-	-		
	VE V 相 PWM デューティ	VExCMPV				
	VE W 相 PWM デューティ	VExCMPW				
	VE トリガーコンペア 0	VExTRGCMP0				
	VE トリガーコンペア 1	VExTRGCMP1				
	VE 同期トリガー出力選択	VExTRGSEL				
	VE 通電制御/出力制御	VExOUTCR				
	VE EMG 復帰	VExEMGRS				
	VE タスク遷移信号	VExTASKP				
VE 割り込み	INTVCNx					

表 2.26 A-PMD 内部接続仕様:出力

チャンネル	機能出力		出力先	
		信号名		信号名
ch0	ADC 同期トリガー出力 0	PMD0TRG0	ADC unit A	PMDTRG0
			ADC unit B	PMDTRG0
	ADC 同期トリガー出力 1	PMD0TRG1	ADC unit A	PMDTRG1
			ADC unit B	PMDTRG1
	ADC 同期トリガー出力 2	PMD0TRG2	ADC unit A	PMDTRG2
			ADC unit B	PMDTRG2
	ADC 同期トリガー出力 3	PMD0TRG3	ADC unit A	PMDTRG3
			ADC unit B	PMDTRG3
ADC 同期トリガー出力 4	PMD0TRG4	ADC unit A	PMDTRG4	
		ADC unit B	PMDTRG4	
ADC 同期トリガー出力 5	PMD0TRG5	ADC unit A	PMDTRG5	
		ADC unit B	PMDTRG5	
エンコーダー入力用 PWM 信号	PMD0PWMON	A-ENC32 ch0	ENC0PWMON	
PWM 割り込み	INTPWM0	-	-	
ch1	ADC 同期トリガー出力 0	PMD1TRG0	ADC unit A	PMDTRG6
			ADC unit B	PMDTRG6
	ADC 同期トリガー出力 1	PMD1TRG1	ADC unit A	PMDTRG7
			ADC unit B	PMDTRG7
	ADC 同期トリガー出力 2	PMD1TRG2	ADC unit A	PMDTRG8
			ADC unit B	PMDTRG8
	ADC 同期トリガー出力 3	PMD1TRG3	ADC unit A	PMDTRG9
			ADC unit B	PMDTRG9
ADC 同期トリガー出力 4	PMD1TRG4	ADC unit A	PMDTRG10	
		ADC unit B	PMDTRG10	
ADC 同期トリガー出力 5	PMD1TRG5	ADC unit A	PMDTRG11	
		ADC unit B	PMDTRG11	
エンコーダー入力用 PWM 信号	PMD1PWMON	A-ENC32 ch1	ENC1PWMON	
PWM 割り込み	INTPWM1	-	-	

2.8.5.2. チャンネル間同期制御接続仕様

PMD は、以下の表に示すようにチャンネル間で同期接続されています。

表 2.27 PMD チャンネル間同期制御接続仕様

マスター			スレーブ		
チャンネル	機能(出力)	信号名	チャンネル	機能(入力)	信号名
ch0	PWM 許可同期出力	PMD0SYNCDENO	ch1	PWM 許可同期入力	PMD1SYNCDENI
	EMG 保護同期出力	PMD0SYNCEMGO	ch1	EMG 保護同期入力	PMD1SYNCEMGI
	OVV 保護同期出力	PMD0SYNCOVVO	ch1	OVV 保護同期入力	PMD1SYNCOVVI

2.9. アドバンストエンコーダー入力回路(32-bit) (A-ENC32)

2.9.1. 搭載チャンネル

搭載チャンネルを下記表に示します。

表 2.28 A-ENC32 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)	
	ch0	ch1
TMPM471F10FG	○	○

2.9.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.29 A-ENC32 機能端子

チャンネル	機能端子		ポート
ch0	ENC0A	入力	PD0
	ENC0B	入力	PD1
	ENC0Z	入力	PD2
ch1	ENC1A	入力	PF2
	ENC1B	入力	PF3
	ENC1Z	入力	PF4

2.9.3. 内部信号接続仕様

2.9.3.1. T32A/A-PMD 接続

アドバンストエンコーダー入力回路は、下記表のように内部で周辺機能と接続されている信号があります。表内の“-”は該当する機能がありません。

表 2.30 A-ENC32 内部接続仕様:入力

チャネル	機能入力		入力信号		
		信号名	周辺機能		信号名
ch0	汎用タイマー出力信号	ENC0PSGI	T32A ch0	T32A タイマー出力 A	T32A00OUTA
	サンプリング用 PWM 信号	ENC0PWMON	A-PMD ch0	A-PMD PWM 信号	PMD0PWMON
ch1	汎用タイマー出力信号	ENC1PSGI	T32A ch1	T32A タイマー出力 A	T32A01OUTA
	サンプリング用 PWM 信号	ENC1PWMON	A-PMD ch1	A-PMD PWM 信号	PMD1PWMON

表 2.31 A-ENC32 内部接続仕様:出力

チャネル	機能出力		トリガーセレクター	出力先		
		信号名		周辺機能		信号名
ch0	分周パルス信号	ENC0TIMPLS	[TSEL0CR10] <INSEL42>	TRGSEL	INSEL36 入力	-
	PMD 用転流トリガー出力	ENC0CTRGO	-	A-PMD ch0	PMD 転流トリガー (電気角同期)	ENC0CTRGO
	エンコーダー入力 割り込み 0	INTENC00	-		転流トリガー (ENC 位置検出同期)	INTENC00
ch1	分周パルス信号	ENC1TIMPLS	[TSEL0CR10] <INSEL43>	TRGSEL	INSEL38 入力	-
	PMD 用転流トリガー出力	ENC1CTRGO	-	A-PMD ch1	PMD 転流トリガー (電気角同期)	ENC1CTRGO
	エンコーダー入力 割り込み 0	INTENC10	-		転流トリガー (ENC 位置検出同期)	INTENC10

2.10. 12 ビットアナログデジタルコンバーター (ADC)

2.10.1. 搭載ユニット

搭載ユニットを下記表に示します。

表 2.32 ADC 搭載ユニット

製品	ユニット (○: 搭載、-: 非搭載)	
	A	B
TMPM471F10FG	○	○

2.10.2. 対応レジスター

ユニット別の対応レジスターを下表に示します。

表 2.33 ADC ユニット別の対応レジスター

ユニット	汎用起動要因用 プログラムレジスター	変換結果格納レジスター
A	[ADATSET0]~[ADATSET15]	[ADAREG0]~[ADAREG15]
B	[ADBTSET0]~[ADBTSET15]	[ADBREG0]~[ADBREG15]

2.10.3. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

表 2.34 ADC 機能端子とポート

	ユニット	機能端子	ポート
	信号入力		
A	AINA12	AINA12	PH0
	AINA13	AINA13	PH1
	AINA14	AINA14	PH2
	AINA15	AINA15	PH3
	AINA16	AINA16	PH4
	AINA17	AINA17	PH5
	AINA18	AINA18	PH6
	AINA19	AINA19	PH7
	AINA20	AINA20	PP0
	AINA21	AINA21	PP1
	AINA22	AINA22	PP2
	AINA23	AINA23	PP3
	AINA24 (注 1)	VREFH	—
	AINA25 (注 1)	VREFL	—
	AINA26 (注 1)	リファレンス電源 (注 2)	—
B	AINB12	AINB12	PP1
	AINB13	AINB13	PP2
	AINB14	AINB14	PP3
	AINB15	AINB15	PJ0
	AINB16	AINB16	PJ1
	AINB17	AINB17	PJ2
	AINB18	AINB18	PJ3
	AINB19	AINB19	PJ4
	AINB20	AINB20	PJ5
	AINB21	AINB21	PJ6
	AINB22	AINB22	PJ7
	AINB23 (注 1)	VREFH	—
	AINB24 (注 1)	VREFL	—
AINB25 (注 1)	リファレンス電源 (注 2)	—	

注 1) ユニット A の AINA24/AINA25/AINA26、ユニット B の AINB23/AINB24/AINB25 は自己診断機能サポート用内部接続されています。

注 2) リファレンス電源については「TPM471F10FG データシート」の電気的特性を参照してください。

2.10.4. アナログ基準端子

ADC のアナログ基準端子はユニット A/B で共通です。端子割り付けは下記のとおりです。

表 2.35 アナログ基準端子割り付け

ユニット	アナログ基準端子	TMPM471F10FG
A	VREFHA/VREFLA	87/86
B	VREFHB/VREFLB	

2.10.5. ADC 用変換クロック

AD コンバーター用変換クロックは以下の表に示すクロックが使用されます。

表 2.36 ADC用変換クロック

クロック
ADCLK

2.10.6. モード設定レジスター2 の設定値

モード設定レジスター2($[ADxMOD2]$)の設定値については、以下の表の値を必ず設定してください。

表 2.37 ADCモード設定レジスター2の設定値

レジスター名	値
$[ADxMOD2]<MOD2[31:0]>$	0x00000000

2.10.7. トリミング設定レジスターの設定値

トリミング設定レジスター($[ADxTRM]$)の設定値については、以下の表の値を必ず設定してください。

表 2.38 トリミング設定レジスターの設定値

レジスター名	値
$[ADxTRM]<TRM[31:0]>$	0x00000000

2.10.8. DMA 要求

ADC は、以下の表に示す DMA 要求があります。

表 2.39 ADC DMA要求

ユニット	要求	信号名	トリガーセレクター	DMA 要求チャンネル		
				シングル転送	バースト転送	
A	汎用トリガーDMA 要求	ADATRG_DMAREQ	[TSEL0CR2] <INSEL8>	16	—	○
	単独変換 DMA 要求	ADASGL_DMAREQ			—	○
	連続変換 DMA 要求	ADACNT_DMAREQ			—	○
B	汎用トリガーDMA 要求	ADBTRG_DMAREQ	[TSEL0CR2] <INSEL9>	17	—	○
	単独変換 DMA 要求	ADBSGL_DMAREQ			—	○
	連続変換 DMA 要求	ADBCNT_DMAREQ			—	○

注) ○: 対応、—: 非対応

2.10.9. 内部信号接続仕様

2.10.9.1. 起動トリガー接続仕様

12ビットアナログデジタルコンバーターには、トリガー信号によるAD変換機能があります。

下記表のトリガーセクター欄にレジスター名のある入力トリガー信号は、トリガーセクターで使用する入力トリガーを選択してください。表内の“-”は該当する機能がありません。

表 2.40 ADC 起動トリガー接続仕様:入力

ユニット	信号入力		トリガーセクター	入力元	
		信号名			信号名
A	PMD0 PMD トリガー0	PMDTRG0	-	A-PMD ch0	PMD0TRG0
	PMD0 PMD トリガー1	PMDTRG1	-		PMD0TRG1
	PMD0 PMD トリガー2	PMDTRG2	-		PMD0TRG2
	PMD0 PMD トリガー3	PMDTRG3	-		PMD0TRG3
	PMD0 PMD トリガー4	PMDTRG4	-		PMD0TRG4
	PMD0 PMD トリガー5	PMDTRG5	-		PMD0TRG5
	PMD1 PMD トリガー0	PMDTRG6	-	A-PMD ch1	PMD1TRG0
	PMD1 PMD トリガー1	PMDTRG7	-		PMD1TRG1
	PMD1 PMD トリガー2	PMDTRG8	-		PMD1TRG2
	PMD1 PMD トリガー3	PMDTRG9	-		PMD1TRG3
	PMD1 PMD トリガー4	PMDTRG10	-		PMD1TRG4
	PMD1 PMD トリガー5	PMDTRG11	-		PMD1TRG5
	汎用トリガー	ADATRGIN	[TSEL0CR5] <INSEL22>	T32A ch0	T32A00TRGOUTCMPA1 T32A00TRGOUTCMPB1
	B	PMD0 PMD トリガー0	PMDTRG0	-	A-PMD ch0
PMD0 PMD トリガー1		PMDTRG1	-	PMD0TRG1	
PMD0 PMD トリガー2		PMDTRG2	-	PMD0TRG2	
PMD0 PMD トリガー3		PMDTRG3	-	PMD0TRG3	
PMD0 PMD トリガー4		PMDTRG4	-	PMD0TRG4	
PMD0 PMD トリガー5		PMDTRG5	-	PMD0TRG5	
PMD1 PMD トリガー0		PMDTRG6	-	A-PMD ch1	PMD1TRG0
PMD1 PMD トリガー1		PMDTRG7	-		PMD1TRG1
PMD1 PMD トリガー2		PMDTRG8	-		PMD1TRG2
PMD1 PMD トリガー3		PMDTRG9	-		PMD1TRG3
PMD1 PMD トリガー4		PMDTRG10	-		PMD1TRG4
PMD1 PMD トリガー5		PMDTRG11	-		PMD1TRG5
汎用トリガー		ADATRGIN	[TSEL0CR5] <INSEL23>	T32A ch2	T32A02TRGOUTCMPA1 T32A02TRGOUTCMPB1

注) [TSEL0CR5]<INSEL22><INSEL23>はトリガーセクターで、起動トリガーのトリガーソースを選択します。詳細な接続先については、「2.2.トリガーセクター (TRGSEL)」を参照してください。

2.10.9.2. その他接続

ADC は、その他、下記表のように内部で周辺機能と接続されている信号があります。表内の“-”は該当する機能がありません。

表 2.41 ADC 内部接続仕様:出力

ユニット	機能出力		トリガーセレクター	出力先	
		信号名			信号名
A	汎用トリガー割り込み	INTADATRG	[TSEL0CR7] <INSEL31>	TRGSEL INSEL29 入力	-
	単独変換割り込み	INTADASGL			
	連続変換割り込み	INTADACNT			
	監視機能 0 割り込み	INTADACP0			
	監視機能 1 割り込み	INTADACP1			
	PMD 保護用監視機能 0 出力	ADACP0L_N	-	A-PMD ch0	ADACMP0L_N
	PMD 保護用監視機能 1 出力	ADACP1L_N	-		ADACMP1L_N
	PMD トリガー割り込み A	INTADAPDA	-		INTADAPDA
	PMD トリガー割り込み B	INTADAPDB	-		INTADAPDB
	AD 変換中フラグ	ADABUSY	-		ADABUSY
B	汎用トリガー割り込み	INTADBTRG	[TSEL0CR10] <INSEL41>	TRGSEL INSEL34 入力	-
	単独変換割り込み	INTADBSGL			
	連続変換割り込み	INTADBCNT			
	監視機能 0 割り込み	INTADBCP0			
	監視機能 1 割り込み	INTADBCP1			
	PMD 保護用監視機能 0 出力	ADBCP0L_N	-	A-PMD ch1	ADBCMP0L_N
	PMD 保護用監視機能 1 出力	ADBCP1L_N	-		ADBCMP1L_N
	PMD トリガー割り込み A	INTADBPDA	-		INTADBPDA
	PMD トリガー割り込み B	INTADBPDB	-		INTADBPDB
	AD 変換中フラグ	ADBBUSY	-		ADBBUSY

2.11. 32 ビットタイマーイベントカウンター (T32A)

2.11.1. 搭載チャンネル

搭載チャンネルを下記表に示します。

表 2.42 T32A 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)				
	ch0	ch1	ch2	ch3	ch4
TMPM471F10FG	○	○	○	○	○

2.11.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
 複数に割り当てられている同一機能端子は排他的に使用してください。

表 2.43 T32A 機能端子とポート (1/2)

チャンネル	機能端子		ポート
ch0	T32A00INA0	入力	PA0
	T32A00OUTA	出力	PA1
	T32A00INB0	入力	PN2
	T32A00OUTB	出力	PN1
	T32A00INC0	入力	PA0
	T32A00OUTC	出力	PA1
ch1	T32A01INA0	入力	PA6
	T32A01OUTA	出力	PA5
	T32A01INB0	入力	PA2
	T32A01OUTB	出力	PA3
	T32A01INC0	入力	PA6
	T32A01OUTC	出力	PA5
ch2	T32A02INA0	入力	PA7
	T32A02OUTA	出力	PE3
	T32A02INB0	入力	PE1
	T32A02OUTB	出力	PE0
	T32A02INC0	入力	PA7
	T32A02OUTC	出力	PE3

表 2.44 T32A 機能信号とポート (2/2)

チャネル	機能端子		ポート
ch3	T32A03INA0	入力	PE4
	T32A03OUTA	出力	PE5
	T32A03INB0	入力	PE6
	T32A03OUTB	出力	PE7
	T32A03INC0	入力	PE4
	T32A03OUTC	出力	PE5
Ch4	T32A04INA0	入力	PD0
	T32A04OUTA	出力	PD1
	T32A04INB0	入力	PF0
	T32A04OUTB	出力	PF1
	T32A04INC0	入力	PD0
	T32A04OUTC	出力	PD1

2.11.3. プリスケラー用クロック

32ビットタイマーイベントカウンタは、プリスケラー用クロックに以下の表に示すクロックが使用されます。

表 2.45 T32A プリスケラー用クロック

クロック
ΦT0m

2.11.4. 内部信号接続仕様

2.11.4.1. キャプチャトリガー信号接続仕様

32ビットタイマーイベントカウンタは、以下の表に示すキャプチャトリガー信号が接続されます。
 下記表のトリガーセクター欄にレジスタ名のある入力トリガー信号は、トリガーセクターで使用する入力トリガーを選択してください。

表 2.46 T32A キャプチャトリガー信号接続仕様 (1/2)

チャンネル		トリガーソース			
タイマー	キャプチャトリガー入力	トリガーセクター	入力トリガー信号	信号名	
ch0	タイマーA	T32A00TRGINAPHCK (他タイマー出力)	-	T32A ch0 タイマーB 出力	T32A00OUTB
		T32A00TRGINAPCK (内部トリガー入力)	[TSELOCR7] <INSEL29>	T32A ch0 タイマーレジスタ-B0 一致トリガー	T32A00TRGOUTCMPB0
				T32A ch0 タイマーレジスタ-B1 一致トリガー	T32A00TRGOUTCMPB1
				T32A ch0 タイマーB オーバーフロートリガー	T32A00TRGOUTOFB
				T32A ch0 タイマーB アンダーフロートリガー	T32A00TRGOUTUFB
	INSEL31 出力	-			
	タイマーB	T32A00TRGINBPHCK (他タイマー出力)	-	T32A ch0 タイマーA 出力	T32A00OUTA
		T32A00TRGINBPCK (内部トリガー入力)	[TSELOCR7] <INSEL30>	T32A ch0 タイマーレジスタ-A0 一致トリガー	T32A00TRGOUTCMPA0
				T32A ch0 タイマーレジスタ-A1 一致トリガー	T32A00TRGOUTCMPA1
				T32A ch0 タイマーA オーバーフロートリガー	T32A00TRGOUTOFA
				T32A ch0 タイマーA アンダーフロートリガー	T32A00TRGOUTUFA
	タイマーC	T32A00TRGINCPHCK (他タイマー出力)	-	-	-
T32A00TRGINCPCK (内部トリガー入力)					
ch1	タイマーA	T32A01TRGINAPHCK (他タイマー出力)	-	T32A ch1 タイマーB 出力	T32A01OUTB
		T32A01TRGINAPCK (内部トリガー入力)	[TSELOCR8] <INSEL32>	T32A ch1 タイマーレジスタ-B0 一致トリガー	T32A01TRGOUTCMPB0
				T32A ch1 タイマーレジスタ-B1 一致トリガー	T32A01TRGOUTCMPB1
				T32A ch1 タイマーB オーバーフロートリガー	T32A01TRGOUTOFB
				T32A ch1 タイマーB アンダーフロートリガー	T32A01TRGOUTUFB
	INSEL40 出力	-			
	タイマーB	T32A01TRGINBPHCK (他タイマー出力)	-	T32A ch1 タイマーA 出力	T32A01OUTA
		T32A01TRGINBPCK (内部トリガー入力)	[TSELOCR8] <INSEL33>	T32A ch1 タイマーレジスタ-A0 一致トリガー	T32A01TRGOUTCMPA0
				T32A ch1 タイマーレジスタ-A1 一致トリガー	T32A01TRGOUTCMPA1
				T32A ch1 タイマーA オーバーフロートリガー	T32A01TRGOUTOFA
				T32A ch1 タイマーA アンダーフロートリガー	T32A01TRGOUTUFA
	タイマーC	T32A01TRGINCPHCK (他タイマー出力)	-	-	-
T32A01TRGINCPCK (内部トリガー入力)					
ch2	タイマーA	T32A02TRGINAPHCK (他タイマー出力)	-	T32A ch2 タイマーB 出力	T32A02OUTB
		T32A02TRGINAPCK (内部トリガー入力)	[TSELOCR8] <INSEL34>	T32A ch2 タイマーレジスタ-B0 一致トリガー	T32A02TRGOUTCMPB0
				T32A ch2 タイマーレジスタ-B1 一致トリガー	T32A02TRGOUTCMPB1
				T32A ch2 タイマーB オーバーフロートリガー	T32A02TRGOUTOFB
				T32A ch2 タイマーB アンダーフロートリガー	T32A02TRGOUTUFB
	INSEL41 出力	-			
	タイマーB	T32A02TRGINBPHCK (他タイマー出力)	-	T32A ch2 タイマーA 出力	T32A02OUTA
		T32A02TRGINBPCK (内部トリガー入力)	[TSELOCR8] <INSEL35>	T32A ch2 タイマーレジスタ-A0 一致トリガー	T32A02TRGOUTCMPA0
				T32A ch2 タイマーレジスタ-A1 一致トリガー	T32A02TRGOUTCMPA1
				T32A ch2 タイマーA オーバーフロートリガー	T32A02TRGOUTOFA
				T32A ch2 タイマーA アンダーフロートリガー	T32A02TRGOUTUFA
	タイマーC	T32A02TRGINCPHCK (他タイマー出力)	-	-	-
T32A02TRGINCPCK (内部トリガー入力)					

注) [TSELOCRn]<INSELm>はトリガーセクターで、内部トリガーのトリガーソースを選択します。
 詳細な接続先については、「2.2.トリガーセクター (TRGSEL)」を参照してください。

表 2.47 T32A キャプチャトリガー信号接続仕様 (2/2)

チャネル		トリガースource			
タイマー	キャプチャトリガー入力	トリガーセレクター	入力トリガー信号	信号名	
ch3	タイマー A	T32A03TRGINAPHCK (他タイマー出力)	-	T32A ch3 タイマー-B 出力	T32A03OUTB
		T32A03TRGINAPCK (内部トリガー入力)	[TSEL0CR9] <INSEL36>	T32A ch3 タイマーレジスターB0 一致トリガー	T32A03TRGOUTCMPB0
				T32A ch3 タイマーレジスターB1 一致トリガー	T32A03TRGOUTCMPB1
				T32A ch3 タイマー-B オーバーフロートリガー	T32A03TRGOUTOFB
				T32A ch3 タイマー-B アンダーフロートリガー	T32A03TRGOUTUFB
	INSEL42 出力	-			
	タイマー B	T32A03TRGINBPHCK (他タイマー出力)	-	T32A ch3 タイマー-A 出力	T32A03OUTA
		T32A03TRGINBPCK (内部トリガー入力)	[TSEL0CR9] <INSEL37>	T32A ch3 タイマーレジスターA0 一致トリガー	T32A03TRGOUTCMPA0
				T32A ch3 タイマーレジスターA1 一致トリガー	T32A03TRGOUTCMPA1
				T32A ch3 タイマー-A オーバーフロートリガー	T32A03TRGOUTOFA
	T32A ch3 タイマー-A アンダーフロートリガー	T32A03TRGOUTUFA			
	タイマー C	T32A03TRGINCPHCK (他タイマー出力)	-	-	-
T32A03TRGINCPCK (内部トリガー入力)					
ch4	タイマー A	T32A04TRGINAPHCK (他タイマー出力)	-	T32A ch4 タイマー-B 出力	T32A04OUTB
		T32A04TRGINAPCK (内部トリガー入力)	[TSEL0CR9] <INSEL38>	T32A ch4 タイマーレジスターB0 一致トリガー	T32A04TRGOUTCMPB0
				T32A ch4 タイマーレジスターB1 一致トリガー	T32A04TRGOUTCMPB1
				T32A ch4 タイマー-B オーバーフロートリガー	T32A04TRGOUTOFB
				T32A ch4 タイマー-B アンダーフロートリガー	T32A04TRGOUTUFB
	INSEL43 出力	-			
	タイマー B	T32A04TRGINBPHCK (他タイマー出力)	-	T32A ch4 タイマー-A 出力	T32A04OUTA
		T32A04TRGINBPCK (内部トリガー入力)	[TSEL0CR9] <INSEL39>	T32A ch4 タイマーレジスターA0 一致トリガー	T32A04TRGOUTCMPA0
				T32A ch4 タイマーレジスターA1 一致トリガー	T32A04TRGOUTCMPA1
				T32A ch4 タイマー-A オーバーフロートリガー	T32A04TRGOUTOFA
	T32A ch4 タイマー-A アンダーフロートリガー	T32A04TRGOUTUFA			
	タイマー C	T32A04TRGINCPHCK (他タイマー出力)	-	-	-
T32A04TRGINCPCK (内部トリガー入力)					

注) [TSEL0CRn]<INSELm>はトリガーセレクターで、内部トリガーのトリガースourceを選択します。
 詳細な接続先については、「2.2.トリガーセレクター (TRGSEL)」を参照してください。

2.11.4.2. その他接続

表 2.48 T32A トリガー出力接続仕様(1/2)

チャンネル	信号出力		トリガーセクター	出力先		
	タイマー	信号名			信号名	
ch0	タイマー-A	タイマー出力 A	T32A00OUTA	-	T32A ch0 タイマー-B	T32A00TRGINBPHCK
				-	A-ENC32 ch0	ENC0PSGI
				-	A-PMD ch0	PMD0TMR
		タイマーレジスタ-A0 一致トリガー	T32A00TRGOUTCMP A0	[TSEL0CR7] <INSEL30>	T32A ch0 タイマー-B	T32A00TRGINBPCCK
		タイマーレジスタ-A1 一致トリガー	T32A00TRGOUTCMP A1	[TSEL0CR5] <INSEL22>	ADC unit A	ADATRGIN
		タイマー-A オーバーフロートリガー	T32A00TRGOUTOFA	[TSEL0CR7] <INSEL30>	T32A ch0 タイマー-B	T32A00TRGINBPCCK
		タイマー-A アンダーフロートリガー	T32A00TRGOUTUFA			
	タイマー-B	タイマー出力 B	T32A00OUTB	-	T32A ch0 タイマー-A	T32A00TRGINAPHCK
		タイマー-B オーバーフロートリガー	T32A00TRGOUTOFB			
		タイマー-B アンダーフロートリガー	T32A00TRGOUTUFB			
		タイマーレジスタ-B0 一致トリガー	T32A00TRGOUTCMP B0	[TSEL0CR7] <INSEL29>	T32A ch0 タイマー-A	T32A00TRGINAPCK
		タイマーレジスタ-B1 一致トリガー	T32A00TRGOUTCMP B1	[TSEL0CR5] <INSEL22>	ADC unit A	ADATRGIN
	タイマー-C	タイマー出力 C	T32A00OUTC			
		タイマー-C オーバーフロートリガー	T32A00TRGOUTOFC			
		タイマー-C アンダーフロートリガー	T32A00TRGOUTUFC			
		タイマーレジスタ-C0 一致トリガー	T32A00TRGOUTCMP C0	-	-	-
		タイマーレジスタ-C1 一致トリガー	T32A00TRGOUTCMP C1			
ch1	タイマー-A	タイマー出力 A	T32A01OUTA	-	T32A ch1 タイマー-B	T32A01TRGINBPHCK
				-	A-ENC32 ch1	ENC1PSGI
				-	A-PMD ch1	PMD1TMR
		タイマーレジスタ-A0 一致トリガー	T32A01TRGOUTCMP A0	[TSEL0CR8] <INSEL33>	T32A ch1 タイマー-B	T32A01TRGINBPCCK
		タイマーレジスタ-A1 一致トリガー	T32A01TRGOUTCMP A1	[TSEL0CR6] <INSEL25>	TSPI ch1	TSPI1TRG
				[TSEL0CR6] <INSEL26>	UART ch1	UART1TRGIN
			[TSEL0CR6] <INSEL26>	TSPI ch2	TSPI2TRG	
			[TSEL0CR6] <INSEL26>	UART ch2	UART2TRGIN	
	タイマー-A オーバーフロートリガー	T32A01TRGOUTOFA	[TSEL0CR8] <INSEL33>	T32A ch1 タイマー-B	T32A01TRGINBPCCK	
	タイマー-A アンダーフロートリガー	T32A01TRGOUTUFA				
	タイマー-B	タイマー出力 B	T32A01OUTB	-	T32A ch1 タイマー-A	T32A01TRGINAPHCK
		タイマー-B オーバーフロートリガー	T32A01TRGOUTOFB			
		タイマー-B アンダーフロートリガー	T32A01TRGOUTUFB			
		タイマーレジスタ-B0 一致トリガー	T32A01TRGOUTCMP B0	[TSEL0CR8] <INSEL32>	T32A ch1 タイマー-A	T32A01TRGINAPCK
		タイマーレジスタ-B1 一致トリガー	T32A01TRGOUTCMP B1	[TSEL0CR6] <INSEL25>	TSPI ch1	TSPI1TRG
				[TSEL0CR6] <INSEL26>	UART ch1	UART1TRGIN
			[TSEL0CR6] <INSEL26>	TSPI ch2	TSPI2TRG	
			[TSEL0CR6] <INSEL26>	UART ch2	UART2TRGIN	
タイマー-C	タイマー出力 C	T32A01OUTC				
	タイマー-C オーバーフロートリガー	T32A01TRGOUTOFC				
	タイマー-C アンダーフロートリガー	T32A01TRGOUTUFC				
	タイマーレジスタ-C0 一致トリガー	T32A01TRGOUTCMP C0	-	-	-	
	タイマーレジスタ-C1 一致トリガー	T32A01TRGOUTCMP C1				

注) [TSEL0CRn]<INSELM>はトリガーセクターで、内部トリガーのトリガーソースを選択します。
 詳細な接続先については、「2.2.トリガーセクター (TRGSEL)」を参照してください。

表 2.49 T32A トリガー出力接続仕様(2/2)

チャンネル	タイマー	信号出力		トリガーセレクター	出力先	
			信号名			信号名
ch2	タイマーA	タイマー出力 A	T32A02OUTA	-	T32A ch2 タイマーB	T32A02TRGINBPHCK
		タイマーレジスターA0 一致トリガー	T32A02TRGOUTCMPA0	[TSEL0CR8] <INSEL35>	T32A ch2 タイマーB	T32A02TRGINBPCK
		タイマーレジスターA1 一致トリガー	T32A02TRGOUTCMPA1			
		タイマーA オーバーフロートリガー	T32A02TRGOUTOFA			
		タイマーA アンダーフロートリガー	T32A02TRGOUTUFA			
	タイマーB	タイマー出力 B	T32A02OUTB	-	T32A ch2 タイマーA	T32A02TRGINAPHCK
		タイマーB オーバーフロートリガー	T32A02TRGOUTOFB	[TSEL0CR8] <INSEL34>	T32A ch2 タイマーA	T32A02TRGINAPCK
		タイマーB アンダーフロートリガー	T32A02TRGOUTUFB			
		タイマーレジスターB0 一致トリガー	T32A02TRGOUTCMPB0			
		タイマーレジスターB1 一致トリガー	T32A02TRGOUTCMPB1	[TSEL0CR5] <INSEL23>	ADC unit B	ADBTRGIN
	タイマーC	タイマー出力 C	T32A02OUTC	-	-	-
		タイマーC オーバーフロートリガー	T32A02TRGOUTOFC	-	-	-
		タイマーC アンダーフロートリガー	T32A02TRGOUTUFC			
		タイマーレジスターC0 一致トリガー	T32A02TRGOUTCMPC0			
		タイマーレジスターC1 一致トリガー	T32A02TRGOUTCMPC1			
ch3	タイマーA	タイマー出力 A	T32A03OUTA	-	T32A ch3 タイマーB	T32A03TRGINBPHCK
		タイマーA オーバーフロートリガー	T32A03TRGOUTOFA	[TSEL0CR9] <INSEL37>	T32A ch3 タイマーB	T32A03TRGINBPCK
		タイマーA アンダーフロートリガー	T32A03TRGOUTUFA			
		タイマーレジスターA0 一致トリガー	T32A03TRGOUTCMPA0			
		タイマーレジスターA1 一致トリガー	T32A03TRGOUTCMPA1	[TSEL0CR6] <INSEL24>	TSPI ch0	TSPI0TRG
	UART ch0	UART0TRGIN				
	タイマーB	タイマー出力 B	T32A03OUTB	-	T32A ch3 タイマーA	T32A03TRGINAPHCK
		タイマーB オーバーフロートリガー	T32A03TRGOUTOFB	[TSEL0CR9] <INSEL36>	T32A ch3 タイマーA	T32A03TRGINAPCK
		タイマーB アンダーフロートリガー	T32A03TRGOUTUFB			
		タイマーレジスターB0 一致トリガー	T32A03TRGOUTCMPB0			
		タイマーレジスターB1 一致トリガー	T32A03TRGOUTCMPB1	[TSEL0CR6] <INSEL24>	TSPI ch0	TSPI0TRG
	UART ch0	UART0TRGIN				
	タイマーC	タイマー出力 C	T32A03OUTC	-	-	-
		タイマーC オーバーフロートリガー	T32A03TRGOUTOFC	-	-	-
		タイマーC アンダーフロートリガー	T32A03TRGOUTUFC			
タイマーレジスターC0 一致トリガー		T32A03TRGOUTCMPC0				
タイマーレジスターC1 一致トリガー		T32A03TRGOUTCMPC1				
ch4	タイマーA	タイマー出力 A	T32A04OUTA	-	T32A ch4 タイマーB	T32A04TRGINBPHCK
		タイマーA オーバーフロートリガー	T32A04TRGOUTOFA	[TSEL0CR9] <INSEL39>	T32A ch4 タイマーB	T32A04TRGINBPCK
		タイマーA アンダーフロートリガー	T32A04TRGOUTUFA			
		タイマーレジスターA0 一致トリガー	T32A04TRGOUTCMPA0			
		タイマーレジスターA1 一致トリガー	T32A04TRGOUTCMPA1			
	タイマーB	タイマー出力 B	T32A04OUTB	-	T32A ch4 タイマーA	T32A04TRGINAPHCK
		タイマーB オーバーフロートリガー	T32A04TRGOUTOFB	[TSEL0CR9] <INSEL38>	T32A ch4 タイマーA	T32A04TRGINAPCK
		タイマーB アンダーフロートリガー	T32A04TRGOUTUFB			
		タイマーレジスターB0 一致トリガー	T32A04TRGOUTCMPB0			
		タイマーレジスターB1 一致トリガー	T32A04TRGOUTCMPB1	[TSEL0CR6] <INSEL27>	TSPI ch3	TSPI3TRG
	UART ch3	UART3TRGIN				
	タイマーC	タイマー出力 C	T32A04OUTC	-	-	-
		タイマーC オーバーフロートリガー	T32A04TRGOUTOFC	-	-	-
		タイマーC アンダーフロートリガー	T32A04TRGOUTUFC			
		タイマーレジスターC0 一致トリガー	T32A04TRGOUTCMPC0			
タイマーレジスターC1 一致トリガー		T32A04TRGOUTCMPC1				
		[TSEL0CR7] <INSEL28>	UART ch4	UART4TRGIN		

注) [TSEL0CRn]<INSELm>はトリガーセレクターで、内部トリガーのトリガーソースを選択します。
 詳細な接続先については、「2.2.トリガーセレクター (TRGSEL)」を参照してください。

2.11.4.3. 同期制御接続仕様

32ビットタイマーイベントカウンターは、以下の表に示すように同じチャンネル内でタイマーが同期接続されています。

表 2.50 T32A 同期制御接続仕様

チャンネル	マスター			スレーブ		
	タイマー	機能(出力)	信号名	タイマー	機能(入力)	信号名
ch0	タイマー A	同期スタート出力 A	T32A00SYNCSTARTOUTA	タイマー B	同期スタート B	T32A00SYNCSTARTB
		同期ストップ出力 A	T32A00SYNCSTOPOUTA		同期停止 B	T32A00SYNCSTOPB
		同期リロード出力 A	T32A00SYNCRELOADOUTA		同期リロード B	T32A00SYNCRELOADB
ch1	タイマー A	同期スタート出力 A	T32A01SYNCSTARTOUTA	タイマー B	同期スタート B	T32A01SYNCSTARTB
		同期ストップ出力 A	T32A01SYNCSTOPOUTA		同期停止 B	T32A01SYNCSTOPB
		同期リロード出力 A	T32A01SYNCRELOADOUTA		同期リロード B	T32A01SYNCRELOADB
ch2	タイマー A	同期スタート出力 A	T32A02SYNCSTARTOUTA	タイマー B	同期スタート B	T32A02SYNCSTARTB
		同期ストップ出力 A	T32A02SYNCSTOPOUTA		同期停止 B	T32A02SYNCSTOPB
		同期リロード出力 A	T32A02SYNCRELOADOUTA		同期リロード B	T32A02SYNCRELOADB
ch3	タイマー A	同期スタート出力 A	T32A03SYNCSTARTOUTA	タイマー B	同期スタート B	T32A03SYNCSTARTB
		同期ストップ出力 A	T32A03SYNCSTOPOUTA		同期停止 B	T32A03SYNCSTOPB
		同期リロード出力 A	T32A03SYNCRELOADOUTA		同期リロード B	T32A03SYNCRELOADB
ch4	タイマー A	同期スタート出力 A	T32A04SYNCSTARTOUTA	タイマー B	同期スタート B	T32A04SYNCSTARTB
		同期ストップ出力 A	T32A04SYNCSTOPOUTA		同期停止 B	T32A04SYNCSTOPB
		同期リロード出力 A	T32A04SYNCRELOADOUTA		同期リロード B	T32A04SYNCRELOADB

2.11.5. パルスカウント対応一覧

32 ビットタイマーイベントカウンタは、以下の表に示すパルスカウンタとなります。

表 2.51 T32Aパルスカウンタ対応一覧

チャンネル	対応
ch0	1 相パルスカウンタ
ch1	1 相パルスカウンタ
ch2	1 相パルスカウンタ
ch3	1 相パルスカウンタ
ch4	1 相パルスカウンタ

2.11.6. DMA 要求

32 ビットタイマーイベントカウンタは、以下の表に示す DMA 要求があります。

表のトリガーセクター欄にレジスタ名の記載あるものは、トリガーセクターで使用する要求を選択してください。

表 2.52 T32A DMA要求 (1/2)

チャンネル	要求	信号名	トリガーセクター	DMA 要求チャンネル		
				シングル転送	バースト転送	
ch0	DMA 要求レジスタ-A1 一致	T32A00DMAREQCMPA1	[TSEL0CR2] <INSEL10>	19	-	○
	DMA 要求レジスタ-C1 一致	T32A00DMAREQCMPC1				
	DMA 要求レジスタ-B1 一致	T32A00DMAREQCMPB1	[TSEL0CR3] <INSEL12>	22	-	○
	DMA 要求キャプチャ-A0	T32A00DMAREQCAPA0	[TSEL0CR3] <INSEL13>	23	-	○
	DMA 要求キャプチャ-A1	T32A00DMAREQCAPA1				
	DMA 要求キャプチャ-C0	T32A00DMAREQCAPC0				
	DMA 要求キャプチャ-C1	T32A00DMAREQCAPC1				
	DMA 要求キャプチャ-B0	T32A00DMAREQCAPB0	[TSEL0CR4] <INSEL16>	26	-	○
DMA 要求キャプチャ-B1	T32A00DMAREQCAPB1					
ch1	DMA 要求レジスタ-A1 一致	T32A01DMAREQCMPA1	[TSEL0CR2] <INSEL10>	19	-	○
	DMA 要求レジスタ-C1 一致	T32A01DMAREQCMPC1				
	DMA 要求レジスタ-B1 一致	T32A01DMAREQCMPB1	[TSEL0CR3] <INSEL12>	22	-	○
	DMA 要求キャプチャ-A0	T32A01DMAREQCAPA0	[TSEL0CR3] <INSEL13>	23	-	○
	DMA 要求キャプチャ-A1	T32A01DMAREQCAPA1				
	DMA 要求キャプチャ-C0	T32A01DMAREQCAPC0				
	DMA 要求キャプチャ-C1	T32A01DMAREQCAPC1				
	DMA 要求キャプチャ-B0	T32A01DMAREQCAPB0	[TSEL0CR4] <INSEL16>	26	-	○
DMA 要求キャプチャ-B1	T32A01DMAREQCAPB1					
ch2	DMA 要求レジスタ-A1 一致	T32A02DMAREQCMPA1	[TSEL0CR2] <INSEL11>	20	-	○
	DMA 要求レジスタ-C1 一致	T32A02DMAREQCMPC1				
	DMA 要求レジスタ-B1 一致	T32A02DMAREQCMPB1	[TSEL0CR3] <INSEL12>	22	-	○
	DMA 要求キャプチャ-A0	T32A02DMAREQCAPA0	[TSEL0CR3] <INSEL14>	24	-	○
	DMA 要求キャプチャ-A1	T32A02DMAREQCAPA1				
	DMA 要求キャプチャ-C0	T32A02DMAREQCAPC0				
	DMA 要求キャプチャ-C1	T32A02DMAREQCAPC1				
	DMA 要求キャプチャ-B0	T32A02DMAREQCAPB0	[TSEL0CR4] <INSEL16>	26	-	○
DMA 要求キャプチャ-B1	T32A02DMAREQCAPB1					

注) ○: 対応、-: 非対応

表 2.53 T32A DMA要求 (2/2)

チャンネル	要求	信号名	トリガーセレクター	DMA 要求チャンネル			
				シングル 転送	バースト 転送		
ch3	DMA 要求レジスターA1 一致	T32A03DMAREQCMPA1	[TSEL0CR2] <INSEL11>	20	-	○	
	DMA 要求レジスターC1 一致	T32A03DMAREQCMPC1					
	DMA 要求レジスターB1 一致	T32A03DMAREQCMPB1	[TSEL0CR3] <INSEL12>	22	-	○	
	DMA 要求キャプチャーA0	T32A03DMAREQCAPA0	[TSEL0CR3] <INSEL14>	24	-	○	
	DMA 要求キャプチャーA1	T32A03DMAREQCAPA1					
	DMA 要求キャプチャーC0	T32A03DMAREQCAPC0					
	DMA 要求キャプチャーC1	T32A03DMAREQCAPC1					
	DMA 要求キャプチャーB0	T32A03DMAREQCAPB0	[TSEL0CR4] <INSEL17>	27	-	○	
DMA 要求キャプチャーB1	T32A03DMAREQCAPB1						
ch4	DMA 要求レジスターA1 一致	T32A04DMAREQCMPA1	[TSEL0CR2] <INSEL11>	20	-	○	
	DMA 要求レジスターC1 一致	T32A04DMAREQCMPC1					
	DMA 要求レジスターB1 一致	T32A04DMAREQCMPB1	[TSEL0CR3] <INSEL12>	22	-	○	
	DMA 要求キャプチャーA0	T32A04DMAREQCAPA0	[TSEL0CR3] <INSEL15>	25	-	○	
	DMA 要求キャプチャーA1	T32A04DMAREQCAPA1					
	DMA 要求キャプチャーC0	T32A04DMAREQCAPC0					
	DMA 要求キャプチャーC1	T32A04DMAREQCAPC1					
	DMA 要求キャプチャーB0	T32A04DMAREQCAPB0	[TSEL0CR4] <INSEL17>	27	-	○	
DMA 要求キャプチャーB1	T32A04DMAREQCAPB1						

注) ○: 対応、-: 非対応

2.11.7. 非対応割り込み

この製品は、毎カウント割り込み(INTT32AxEVRYC)は非対応です。

2.12. 非同期シリアル通信回路 (UART)

2.12.1. 搭載チャンネル

搭載チャンネルを下記表に示します。

TMPM471F10FG に搭載の UART の最大通信速度は 5Mbps です。

表 2.54 UART 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)				
	ch0	ch1	ch2	ch3	ch4
TMPM471F10FG	○	○	○	○	○

2.12.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
 複数に割り当てられている同一機能端子は排他的に使用してください。

表 2.55 UART端子信号とポート

チャンネル	機能端子		ポート
ch0	UT0TXDA	出力	PE0
			PE1
	UT0RXD	入力	PE0
			PE1
UT0CTS_N	出力	PE2	
		PE3	
UT0RTS_N	入力	PE2	
		PE3	
ch1	UT1TXDA	出力	PA5
			PA6
	UT1RXD	入力	PA5
			PA6
UT1CTS_N	出力	PA4	
		PA7	
UT1RTS_N	入力	PA4	
		PA7	
ch2	UT2TXDA	出力	PD5
			PD6
	UT2RXD	入力	PD5
			PD6
UT2CTS_N	出力	PD3	
		PD4	
UT2RTS_N	入力	PD3	
		PD4	
ch3	UT3TXDA	出力	PF3
			PF4
	UT3RXD	入力	PF3
			PF4
UT3CTS_N	出力	PF1	
		PF2	
UT3RTS_N	入力	PF1	
		PF2	
Ch4	UT4TXDA	出力	PG3
			PG4
	UT4RXD	入力	PG3
			PG4
UT4CTS_N	出力	PG1	
		PG2	
UT4RTS_N	入力	PG1	
		PG2	

2.12.3. ハーフクロックモード対応

非同期シリアル通信回路のハーフクロックモードは、一端子モードのみ対応しています。

2.12.4. プリスケーラー用クロック

非同期シリアル通信回路は、プリスケーラー用クロックに以下の表に示すクロックが使用されます。

表 2.56 UART プリスケーラー用クロック

クロック
ΦT0m

2.12.5. DMA 要求

非同期シリアル通信回路は、以下の表に示す DMA 要求があります。

表 2.57 UART DMA要求

チャンネル	要求	信号名	トリガー セレクター	DMA 要求チャンネル		
				シングル転送	バースト転送	
ch0	受信 DMA 要求	UART0RX_DMAREQ	[TSELOCR0] <INSEL0>	0	○	○
	送信 DMA 要求	UART0TX_DMAREQ	[TSELOCR0] <INSEL1>	1	○	○
ch1	受信 DMA 要求	UART1RX_DMAREQ	[TSELOCR0] <INSEL2>	2	○	○
	送信 DMA 要求	UART1TX_DMAREQ	[TSELOCR0] <INSEL3>	3	○	○
ch2	受信 DMA 要求	UART2RX_DMAREQ	[TSELOCR1] <INSEL4>	4	○	○
	送信 DMA 要求	UART2TX_DMAREQ	[TSELOCR1] <INSEL5>	5	○	○
ch3	受信 DMA 要求	UART3RX_DMAREQ	[TSELOCR1] <INSEL6>	6	○	○
	送信 DMA 要求	UART3TX_DMAREQ	[TSELOCR1] <INSEL7>	7	○	○
Ch4	受信 DMA 要求	UART4RX_DMAREQ	-	8	○	○
	送信 DMA 要求	UART4TX_DMAREQ	-	9	○	○

注) ○: 対応、-: 非対応

2.12.6. 内部信号接続仕様

2.12.6.1. トリガー転送信号接続仕様

非同期シリアル通信回路には、トリガー信号による送信機能があります。
 トリガー信号は以下の表に示すトリガーソースをトリガーセクターで選択し使用します。

表 2.58 UART トリガー転送信号接続仕様:入力

チャンネル	機能入力		トリガーセクター	トリガーソース	
		信号名		入力トリガー信号	信号名
ch0	トリガー送信用 トリガー入力	UART0TRGIN	[TSEL0CR6] <INSEL24>	T32A ch3 タイマーレジスターA1 一致トリガー	T32A03TRGOUTCMPA1
				T32A ch3 タイマーレジスターB1 一致トリガー	T32A03TRGOUTCMPB1
ch1	トリガー送信用 トリガー入力	UART1TRGIN	[TSEL0CR6] <INSEL25>	T32A ch1 タイマーレジスターA1 一致トリガー	T32A01TRGOUTCMPA1
				T32A ch1 タイマーレジスターB1 一致トリガー	T32A01TRGOUTCMPB1
ch2	トリガー送信用 トリガー入力	UART2TRGIN	[TSEL0CR6] <INSEL26>	T32A ch1 タイマーレジスターA1 一致トリガー	T32A01TRGOUTCMPA1
				T32A ch1 タイマーレジスターB1 一致トリガー	T32A01TRGOUTCMPB1
ch3	トリガー送信用 トリガー入力	UART3TRGIN	[TSEL0CR6] <INSEL27>	T32A ch4 タイマーレジスターA1 一致トリガー	T32A04TRGOUTCMPA1
				T32A ch4 タイマーレジスターB1 一致トリガー	T32A04TRGOUTCMPB1
ch4	トリガー送信用 トリガー入力	UART4TRGIN	[TSEL0CR7] <INSEL28>	T32A ch4 タイマーレジスターA1 一致トリガー	T32A04TRGOUTCMPA1
				T32A ch4 タイマーレジスターB1 一致トリガー	T32A04TRGOUTCMPB1

注) [TSEL0CRn]<INSELm>はトリガーセクターで、トリガー入力のトリガーソースを選択します。
 トリガーセクターの詳細は、「2.2.トリガーセクター (TRGSEL)」を参照してください。

2.12.6.2. T32A 接続

非同期シリアル通信回路は、その他、下記表のように内部で周辺機能と接続されている信号があります。

表 2.59 UART 内部接続仕様:出力

チャンネル	機能出力		トリガーセレクター	周辺機能	出力先	
		信号名				信号名
ch0	送信完了トリガー	UART0TXTRG	[TSEL0CR10] <INSEL42>	TRGSEL	INSEL36 入力	-
	受信完了トリガー	UART0RXTRG				
ch1	送信完了トリガー	UART1TXTRG	[TSEL0CR10] <INSEL40>	TRGSEL	INSEL32 入力	-
	受信完了トリガー	UART1RXTRG				
ch2	送信完了トリガー	UART2TXTRG	[TSEL0CR10] <INSEL40>	TRGSEL	INSEL32 入力	-
	受信完了トリガー	UART2RXTRG				
ch3	送信完了トリガー	UART3TXTRG	[TSEL0CR10] <INSEL43>	TRGSEL	INSEL38 入力	-
	受信完了トリガー	UART3RXTRG				
ch4	送信完了トリガー	UART4TXTRG	[TSEL0CR10] <INSEL43>	TRGSEL	INSEL38 入力	-
	受信完了トリガー	UART4RXTRG				

2.13. I²C インターフェース バージョン A (EI2C)

2.13.1. 搭載チャンネル

搭載チャンネルを下記表に示します。

TMPM471F10FG に搭載の I²C インターフェース バージョン A は、標準モード、ファストモード、ファストモードプラスに対応します。

表 2.60 EI2C 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)	
	ch0	ch1
TMPM471F10FG	○	○

2.13.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.61 EI2C 機能端子とポート

チャンネル	機能端子		ポート
ch0	EI2C0SCL	入出力	PN1
	EI2C0SDA	入出力	PN0
ch1	EI2C1SCL	入出力	PK1
	EI2C1SDA	入出力	PK0

2.13.3. プリスケーラー用クロック

I²C インターフェース バージョン A は、プリスケーラー用クロックに以下の表に示すクロックが使用されます。

表 2.62 EI2C プリスケーラー用クロック

クロック
f _{sysm}

2.13.4. ウェイクアップ機能

TMPM471F10FG には I²C インターフェース バージョン A のウェイクアップ機能はありません。

2.13.5. DMA 要求

I²C インターフェース バージョン A は、以下の表に示す DMA 要求があります。

表 2.63 EI2C DMA要求

チャンネル	要求	信号名	DMA 要求チャンネル		
			シングル転送	バースト転送	
ch0	受信 DMA リクエスト	I2C0ARXDMAREQ	10	—	○
	送信 DMA リクエスト	I2C0ATXDMAREQ	11	—	○
ch1	受信 DMA リクエスト	I2C1ARXDMAREQ	12	—	○
	送信 DMA リクエスト	I2C1ATXDMAREQ	13	—	○

注) ○: 対応、—: 非対応

2.14. シリアルペリフェラルインターフェース (TSPI)

2.14.1. 搭載チャンネル

搭載チャンネルを下記表に示します。

TMPM471F10FG に搭載の TSPI の最大通信速度はマスター時 20MHz、スレーブ時 15MHz です。

表 2.64 TSPI 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)			
	ch0	ch1	ch2	ch3
TMPM471F10FG	○	○	○	○

2.14.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

複数に割り当てられている同一機能端子は排他的に使用してください。

表 2.65 TSPI 機能端子とポート

チャンネル	機能端子		ポート
ch0	TSPi0SCK	入出力	PE2
	TSPi0TXD	出力	PE0
	TSPi0RXD	入力	PE1
	TSPi0CSIN	入力	PE3
	TSPi0CS0	出力	PE4
	TSPi0CS1	出力	PE5
ch1	TSPi1SCK	入出力	PA4
	TSPi1TXD	出力	PA5
	TSPi1RXD	入力	PA6
	TSPi1CSIN	入力	PA7
	TSPi1CS0	出力	PA2
	TSPi1CS1	出力	PA3
ch2	TSPi2SCK	入出力	PD4
	TSPi2TXD	出力	PD5
	TSPi2RXD	入力	PD6
	TSPi2CSIN	入力	PD3
	TSPi2CS0	出力	PD1
	TSPi2CS1	出力	PD2
ch3	TSPi3SCK	入出力	PF2
	TSPi3TXD	出力	PF3
	TSPi3RXD	入力	PF4
	TSPi3CSIN	入力	PF0
	TSPi3CS0	出力	PF1
	TSPi3CS1	出力	PB0

注) TMPM471F10FG は、TSPi_xCS2 端子/TSPi_xCS3 端子はありません。

2.14.3. [TSPIxCR2]<RXDLY[2:0]>の設定値

TPM471F10FG は、TSPI 制御レジスタ2([TSPIxCR2]<RXDLY[2:0]>)の設定値は以下のとおりです。

表 2.66 [TSPIxCR2]<RXDLY[2:0]>の設定

Bit	Bit symbol	リセット後	機能
18:16	<RXDLY[2:0]>	001	000: fsysm ≤ 40MHz 001: fsysm > 40MHz

2.14.4. プリスケーラー用クロック

シリアルペリフェラルインターフェースは、プリスケーラー用クロックに以下の表に示すクロックが使用されます。

表 2.67 TSPI プリスケーラー用クロック

クロック
ΦT0m

2.14.5. DMA 要求

シリアルペリフェラルインターフェースは、以下の表に示す DMA 要求があります。

表 2.68 TSPI DMA要求

チャンネル	要求	信号名	トリガー セレクター	DMA 要求チャンネル		
				シングル 転送	バースト 転送	
ch0	受信 DMA 要求	TSPI0RX_DMA	[TSELOCR0] <INSEL0>	0	○	○
	送信 DMA 要求	TSPI0TX_DMA	[TSELOCR0] <INSEL1>	1	○	○
ch1	受信 DMA 要求	TSPI1RX_DMA	[TSELOCR0] <INSEL2>	2	○	○
	送信 DMA 要求	TSPI1TX_DMA	[TSELOCR0] <INSEL3>	3	○	○
ch2	受信 DMA 要求	TSPI02X_DMA	[TSELOCR1] <INSEL4>	4	○	○
	送信 DMA 要求	TSPI2TX_DMA	[TSELOCR1] <INSEL5>	5	○	○
ch3	受信 DMA 要求	TSPI3RX_DMA	[TSELOCR1] <INSEL6>	6	○	○
	送信 DMA 要求	TSPI3TX_DMA	[TSELOCR1] <INSEL7>	7	○	○

注) ○: 対応、-: 非対応

2.14.6. 内部信号接続仕様

2.14.6.1. トリガー転送信号接続仕様

シリアルペリフェラルインターフェースには、トリガー信号による通信開始機能があります。トリガー信号は以下の表に示すトリガーソースをトリガーセクターで選択し使用します。

表 2.69 TSPI トリガー転送仕様:入力

チャンネル	機能入力		トリガーセクター	トリガーソース	
		信号名		入力トリガー信号	信号名
ch0	トリガー入力 通信開始	TSPI0TRG	[TSEL0CR6] <INSEL24>	T32A ch3 タイマーレジスターA1 一致トリガー	T32A03TRGOUTCMPA1
				T32A ch3 タイマーレジスターB1 一致トリガー	T32A03TRGOUTCMPB1
ch1	トリガー入力 通信開始	TSPI1TRG	[TSEL0CR6] <INSEL25>	T32A ch1 タイマーレジスターA1 一致トリガー	T32A01TRGOUTCMPA1
				T32A ch1 タイマーレジスターB1 一致トリガー	T32A01TRGOUTCMPB1
ch2	トリガー入力 通信開始	TSPI2TRG	[TSEL0CR6] <INSEL26>	T32A ch1 タイマーレジスターA1 一致トリガー	T32A01TRGOUTCMPA1
				T32A ch1 タイマーレジスターB1 一致トリガー	T32A01TRGOUTCMPB1
ch3	トリガー入力 通信開始	TSPI3TRG	[TSEL0CR6] <INSEL27>	T32A ch4 タイマーレジスターA1 一致トリガー	T32A04TRGOUTCMPA1
				T32A ch4 タイマーレジスターB1 一致トリガー	T32A04TRGOUTCMPB1

注) [TSEL0CR6]<INSEL24> ~ <INSEL27>はトリガーセクターで、トリガー入力のトリガーソースを選択します。トリガーセクターの詳細は、「2.2.トリガーセクター (TRGSEL)」を参照してください。

2.14.6.2. T32A 接続

シリアルペリフェラルインターフェースは、その他、下記表のように内部で周辺機能と接続されている信号があります。

表 2.70 TSPI 内部接続仕様:出力

チャンネル	機能出力		トリガーセクター	出力先		
		信号名		周辺機能		信号名
ch0	送信完了トリガー	TSPI0TXEND	[TSEL0CR10] <INSEL42>	TRGSEL	INSEL36 入力	-
	受信完了トリガー	TSPI0RXEND				
ch1	送信完了トリガー	TSPI1TXEND	[TSEL0CR10] <INSEL40>	TRGSEL	INSEL32 入力	-
	受信完了トリガー	TSPI1RXEND				
ch2	送信完了トリガー	TSPI2TXEND	[TSEL0CR10] <INSEL40>	TRGSEL	INSEL32 入力	-
	受信完了トリガー	TSPI2RXEND				
ch3	送信完了トリガー	TSPI3TXEND	[TSEL0CR10] <INSEL43>	TRGSEL	INSEL38 入力	-
	受信完了トリガー	TSPI3RXEND				

2.15. デジタルノイズフィルタ回路 (DNF)

2.15.1. 搭載ユニット

搭載ユニットを下記表に示します。

表 2.71 DNF 搭載ユニット

製品	ユニット (○: 搭載、-: 非搭載)
	A
TMPM471F10FG	○

2.15.2. 製品別外部割り込みと DNF の対応

DNF は以下の外部割り込み端子に対応しています。

表 2.72 外部割り込みとDNF対応

外部割り込み端子 (信号名)	ポート	ユニット	設定レジスタ名
INT0	PH0	A	[DNFAENCR]<NFEN0>
INT1	PH1		[DNFAENCR]<NFEN1>
INT2	PH2		[DNFAENCR]<NFEN2>
INT3	PA0		[DNFAENCR]<NFEN3>
INT4	PA2		[DNFAENCR]<NFEN4>
INT5	PE4		[DNFAENCR]<NFEN5>
INT6	PE6		[DNFAENCR]<NFEN6>
INT7	PE7		[DNFAENCR]<NFEN7>
INT8	PA7		[DNFAENCR]<NFEN8>
INT9	PD3		[DNFAENCR]<NFEN9>
INTA	PL1		[DNFAENCR]<NFEN10>
INTB	PL0		[DNFAENCR]<NFEN11>
INTC	PJ6		[DNFAENCR]<NFEN12>
INTD	PJ7		[DNFAENCR]<NFEN13>
INTE	PK0		[DNFAENCR]<NFEN14>
INTF	PK1		[DNFAENCR]<NFEN15>

2.15.3. サンプリングソースクロック

DNF は、サンプリングのソースクロックとして以下の表に示すクロックが使用されます。

表 2.73 DNF サンプリングソースクロック

クロック
fc

2.16. 電圧検知回路 (LVD)

2.16.1. 搭載一覧

搭載一覧を下記表に示します。

表 2.74 LVD 搭載一覧

製品	LVD 搭載 (○: 搭載、-: 非搭載)
TMPM471F10FG	○

2.16.2. 検知対象電源

電圧検知回路は以下の表の電源をモニターします。

表 2.75 LVD 検知対象電源

検知対象電源	電源名
デジタル用電源端子	DVDD5A/DVDD5B/DVDD5C/DVDD5D

2.16.3. LVD コントロールレジスター [LVDCR]<LVL[2:0]> の設定

LVD コントロールレジスター [LVDCR]<LVL[2:0]> のリセット後の値と設定可能な値は、以下のとおりです。

表 2.76 LVD コントロールレジスター [LVDCR]<LVL[2:0]> の設定

Bit	Bit symbol	リセット後	機能
6:4	<LVL[2:0]>	100	検知/解除電圧の設定 検知電圧 解除電圧 100: 4.0V 4.05V 101: 4.2V 4.25V 110: 4.4V 4.45V 111: 4.6V 4.65V 上記以外: Reserved

2.17. CRC 計算回路 (CRC)

2.17.1. 搭載一覧

搭載一覧を下記表に示します。

表 2.77 CRC 搭載一覧

製品	CRC 搭載 (○: 搭載、-: 非搭載)
TMPM471F10FG	○

2.18. RAM パリティ (RAMP)

2.18.1. 搭載チャンネル

搭載チャンネルを下記表に示します。

表 2.78 RAMP 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)	
	ch0	ch1
TMPM471F10FG	○	○

2.18.2. エラー判定ブロックエリア

下表にエラー判定 RAM ブロックエリアを示します。

表 2.79 RAMPのRAMエリアとアドレス

チャンネル	レジスター名	RAM エリア アドレス
ch0	[RPAR0ST]<RPARFG0>	0x20000000 ~ 0x20001FFF
	[RPAR0ST]<RPARFG1>	0x20002000 ~ 0x2000DFFF
ch1	[RPAR1ST]<RPARFG0>	0x2000E000 ~ 0x2000FFFF

2.19. トリミング回路 (TRM)

2.19.1. 搭載一覧

搭載一覧を下記表に示します。

表 2.80 TRM 搭載一覧

製品	TRM 搭載 (○: 搭載、-: 非搭載)
TMPM471F10FG	○

2.19.2. 対象発振器

トリミング回路の対象発振器は以下の表に示す発振器です。

表 2.81 TRM トリミング対象発振器

対象発振器	発振器名
内蔵高速発振器 1	IHOSC1

3. 改訂履歴

表 3.1 改訂履歴

Revision	Date	Description
1.0	2024-08-30	・新規作成

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。