

**32 ビット RISC マイクロコントローラー  
リファレンスマニュアル**

**シリアルペリフェラルインターフェース  
(TSPI-E)**

**Revision 1.3**

---

**2024-10**

**東芝デバイス&ストレージ株式会社**

## 目次

序章 .....	7
関連するドキュメント .....	7
表記規約 .....	8
用語・略語 .....	10
1. 概要 .....	11
2. 構成 .....	20
3. 機能説明・動作説明 .....	22
3.1. 基本操作 .....	22
3.1.1. クロック供給 .....	22
3.1.2. 転送の開始と停止 .....	22
3.2. 転送クロック .....	23
3.2.1. 転送クロック周波数 .....	23
3.2.1.1. マスター動作 .....	23
3.2.1.2. 転送クロック生成条件 .....	26
3.2.1.3. スレーブ動作 .....	27
3.3. 通信モード .....	27
3.3.1. SPI/SIO モード選択 .....	28
3.3.2. マスター/スレーブ選択 .....	28
3.3.3. フレーム/セクター選択 .....	28
3.4. 通信動作モード .....	29
3.4.1. 送受信(全2重)通信モード .....	29
3.4.2. 送信モード .....	31
3.4.3. 受信モード .....	32
3.5. 転送モード .....	33
3.5.1. バースト転送 .....	33
3.5.2. 連続転送 .....	33
3.6. データフォーマット .....	34
3.6.1. フレームモード .....	34
3.6.1.1. バッファ構成と動作 .....	35
3.6.1.2. フレームモード動作 1(パリティ無/MSB ファースト) .....	36
3.6.1.3. フレームモード動作 2(パリティ無/LSB ファースト) .....	37
3.6.1.4. フレームモード動作 3(パリティ有/MSB ファースト) .....	38
3.6.1.5. フレームモード動作 4(パリティ有/LSB ファースト) .....	39
3.6.1.6. マスター動作時の転送サイクル .....	40
3.6.2. セクターモード .....	41
3.6.2.1. バッファ構成と動作 .....	42
3.6.2.2. セクターモード動作 1(パリティ無/MSB ファースト) .....	43
3.6.2.3. セクターモード動作 2(パリティ無/LSB ファースト) .....	44

3.6.2.4. セクターモード動作 3(パリティ有/MSB ファースト)	45
3.6.2.5. セクターモード動作 4(パリティ有/LSB ファースト)	46
3.6.2.6. マスター動作時の転送サイクル	47
3.7. 割り込み要求	49
3.7.1. 送信完了割り込み/受信完了割り込み	50
3.7.2. 送信 FIFO 割り込み/受信 FIFO 割り込み	50
3.7.3. エラー割り込み	50
3.8. DMA 要求	52
3.8.1. 送信	52
3.8.2. 受信	52
3.9. トリガー制御	53
3.9.1. 通信開始トリガー	53
3.9.2. 通信完了トリガー	54
3.10. 特殊制御	54
3.10.1. クロック SCK の極性	54
3.10.2. アイドル期間の TSPiXTXD 出力	54
3.10.3. TXD 最終データ保持時間	56
3.10.4. RXD サンプリングタイミング	56
3.10.5. CS タイミングと極性	60
3.10.6. ソフトウェアリセット	60
4. レジスター説明	62
4.1. レジスター一覧	62
4.2. レジスター詳細	63
4.2.1. [TSPiXCR0] (TSPi 制御レジスター0)	63
4.2.2. [TSPiXCR1] (TSPi 制御レジスター1)	64
4.2.3. [TSPiXCR2] (TSPi 制御レジスター2)	66
4.2.4. [TSPiXCR3] (TSPi 制御レジスター3)	67
4.2.5. [TSPiXBR] (TSPi ポーレートレジスター)	68
4.2.6. [TSPiXFMTR0] (TSPi フォーマット制御レジスター0)	68
4.2.7. [TSPiXFMTR1] (TSPi フォーマット制御レジスター1)	70
4.2.8. [TSPiXSECTCR0] (TSPi セクターモード制御レジスター0)	70
4.2.9. [TSPiXSECTCR1] (TSPi セクターモード制御レジスター1)	71
4.2.10. [TSPiXDR] (TSPi データレジスター)	71
4.2.11. [TSPiXSR] (TSPi ステータスレジスター)	72
4.2.12. [TSPiXERR] (TSPi エラーフラグレジスター)	75
5. 使用方法の例	77
5.1. モード組み合わせ一覧	77
5.2. フレームモードの転送開始と停止	78
5.2.1. マスター動作の通信開始トリガー起動	78
5.2.2. マスター動作のソフトウェア起動	79

5.2.3. スレーブ動作のソフトウェア起動.....	80
5.3. セクターモードの転送開始と停止 .....	82
5.3.1. マスター動作の通信開始トリガー起動.....	82
5.3.2. マスター動作のソフトウェア起動.....	83
5.3.3. スレーブ動作のソフトウェア起動.....	84
6. 使用上のご注意およびお願い事項.....	85
7. 改訂履歴.....	86
製品取り扱い上のお願い.....	87

## 目次

図 2.1	TSPI のブロック図 .....	20
図 3.1	転送クロック生成回路 .....	23
図 3.2	送受信(全 2 重)通信の動作例 .....	29
図 3.3	送信モードの動作例 .....	31
図 3.4	受信モードの動作例 .....	32
図 3.5	フレームモードのデータフォーマット概略 .....	34
図 3.6	フレームモード/パリティ無/MSB ファーストのバッファ動作 .....	36
図 3.7	フレームモード/パリティ無/LSB ファーストのバッファ動作 .....	37
図 3.8	フレームモード/パリティ有/MSB ファーストのバッファ動作 .....	38
図 3.9	フレームモード/パリティ有/LSB ファーストのバッファ動作 .....	39
図 3.10	セクターモードのデータフォーマット概略 .....	41
図 3.11	セクターモード/パリティ無/MSB ファーストのバッファ動作 .....	43
図 3.12	セクターモード/パリティ無/LSB ファーストのバッファ動作 .....	44
図 3.13	セクターモード/パリティ有/MSB ファーストのバッファ動作 .....	45
図 3.14	セクターモード/パリティ有/LSB ファーストのバッファ動作 .....	46
図 3.15	セクターモード/マスター動作時のセクター間サイクル発生タイミング .....	47
図 3.16	割り込み要求回路 .....	49
図 3.17	オーバーランエラーとアンダーランエラー .....	51
図 3.18	SPI モードのアイドル期間と送信端子状態 .....	55
図 3.19	SIO モードのアイドル期間と送信端子状態 .....	55
図 3.20	SPI モード(マスター)のデータサンプリングタイミング .....	57
図 3.21	SPI モード(スレーブ)のデータサンプリングタイミング .....	58
図 3.22	SIO モード(マスター)のデータサンプリングタイミング .....	59
図 3.23	SIO モード(スレーブ)のデータサンプリングタイミング .....	59
図 3.24	転送フォーマットとタイミング調整(2nd エッジの例) .....	60

## 表目次

表 1.1	機能概要一覧 (フレーム/セクター モード比較).....	11
表 1.2	機能概要(SPI モード、マスター、フレーム).....	12
表 1.3	機能概要(SPI モード、スレーブ、フレーム).....	13
表 1.4	機能概要(SIO モード、マスター、フレーム).....	14
表 1.5	機能概要(SIO モード、スレーブ、フレーム).....	15
表 1.6	機能概要(SPI モード、マスター、セクター).....	16
表 1.7	機能概要(SPI モード、スレーブ、セクター).....	17
表 1.8	機能概要(SIO モード、マスター、セクター).....	18
表 1.9	機能概要(SIO モード、スレーブ、セクター).....	19
表 2.1	信号一覧.....	21
表 3.1	転送クロック生成例.....	24
表 3.2	転送クロック生成条件とレジスター設定値.....	26
表 3.3	スレーブ動作転送クロック条件(2nd エッジ).....	27
表 3.4	通信モードと組み合わせ可能な動作仕様.....	27
表 3.5	転送モードの使用可否.....	33
表 3.6	フレームモード設定可能 Fill レベル.....	35
表 3.7	フレームモードのデータフォーマット例.....	35
表 3.8	フレームモード/マスター動作時の転送サイクル例.....	40
表 3.9	セクターモード設定可能 Fill レベル.....	42
表 3.10	セクターモードのデータフォーマット例.....	42
表 3.11	セクターモード/マスター動作時のセクター転送後の動作仕様.....	47
表 3.12	セクターモード/マスター動作時の転送サイクル例.....	48
表 3.13	割り込み要因と割り込み要求.....	49
表 3.14	通信開始トリガーの設定モード.....	53
表 3.15	アイドル期間中の TSPIxTXD 出力.....	54
表 3.16	通信モードと RXD サンプリングタイミングの使用可否.....	56
表 3.17	データ取り込みタイミング.....	56
表 4.1	ソフトウェアリセットにより初期化されるレジスター.....	63
表 4.2	通信停止設定時の転送状態と設定可能状態フラグ.....	74
表 4.3	Fill レベルステータスの表示範囲.....	74
表 4.4	送信 FIFO と送信動作の状態.....	74
表 4.5	受信 FIFO と受信動作の状態.....	74
表 4.6	アンダーランエラー時の処置.....	76
表 4.7	オーバーランエラー時の処置.....	76
表 5.1	モード組み合わせ一覧(起動方法、RXD データサンプリング).....	77
表 5.2	フレームモードの転送開始・停止(マスター動作、通信開始トリガー起動).....	78
表 5.3	フレームモードの転送開始・停止(マスター動作、ソフトウェア起動).....	79
表 5.4	フレームモードの転送開始・停止(スレーブ動作、ソフトウェア起動)(1).....	80
表 5.5	フレームモードの転送開始・停止(スレーブ動作、ソフトウェア起動)(2).....	81
表 5.6	セクターモードの転送開始・停止(マスター動作、通信開始トリガー起動).....	82
表 5.7	セクターモードの転送開始・停止(マスター動作、ソフトウェア起動).....	83
表 5.8	セクターモードの転送開始・停止(スレーブ動作、ソフトウェア起動).....	84
表 7.1	改訂履歴.....	86

## 序章

### 関連するドキュメント

文書名
データシート
クロック制御と動作モード
例外
入出力ポート
製品個別情報

## 表記規約

- 数値表記は以下の規則に従います。
  - 16 進数表記: 0xABC
  - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
  - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「\_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は[m:n]とまとめて表記する場合があります。  
例: S[3:0]は S3、S2、S1、S0 の 4 つの信号名をまとめて表記しています。
- 本文中[ ]で囲まれたものはレジスターを定義しています。  
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。  
例: [XYZ1]、[XYZ2]、[XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。  
ユニットの場合、「x」は A、B、C、...を表します。  
例: [ADACR0]、[ADBCR0]、[ADCCR0] → [ADxCR0]  
チャンネルの場合、「x」は 0、1、2、..を表します。  
例: [T32A0RUNA]、[T32A1RUNA]、[T32A2RUNA] → [T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。  
例: [3:0]はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。  
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
  - バイト: 8 ビット
  - ハーフワード: 16 ビット
  - ワード: 32 ビット
  - ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
  - R: リードオンリー
  - W: ライトオンリー
  - R/W: リード/ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「-」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。  
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。  
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

### 用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ACK	Acknowledgement
DMA	Direct Memory Access
FIFO	First-In First-Out
LSB	Least Significant Bit
MSB	Most Significant Bit
SIO	Serial Input/Output
TSPI	Serial Peripheral Interface

### 1. 概要

TSPI(シリアルペリフェラルインターフェース)は、SPIモードまたはSIOモードの選択、クロックマスターまたはクロックスレーブの選択、フレームとセクターのモード選択により計8種の通信モードを備え1chの送受信回路として動作します。セクターモードでは最大4種のデータ長を組み合わせることで1フレームとして送受信可能でデータ種別の処理効率が改善します。表 1.1に機能概要の一覧を表 1.2～表 1.9に通信モード別の機能概要を示します。

表 1.1 機能概要一覧 (フレーム/セクター モード比較)

機能分類		フレームモード仕様	セクターモード仕様	
転送クロック	プリスケラー	(マスター) 入力クロックを 1,2,4~512 分周		
	ポーレートジェネレーター	(マスター) プリスケラー出力を 1,2,3~16 分周		
	転送クロック生成	(マスター) ポーレートジェネレーター出力を 2 分周		
送受信制御	通信モード	SPI/SIO モード		
		マスター/スレーブ		
		フレームモード	セクターモード	
	通信動作モード	送受信(全 2 重通信)/送信/受信		
転送モード	バースト転送/連続転送	連続転送		
データフォーマット	セクター数/セクター長	—	2~4 セクター/1~32 ビット	
	フレーム長	8~32 ビット	8~128 ビット(セクター合計)	
	FIFO 段数	16 ビット×8 段/32 ビット×4 段	32 ビット×4 段	
	パリティ	パリティ無/偶数パリティ/奇数パリティの選択		
	データ転送方向	MSB ファースト/LSB ファーストの選択		
連動制御	割り込み	送信	完了/FIFO	
		受信	完了/FIFO	
		エラー	(マスター) 垂直パリティ/通信開始トリガー (スレーブ) 垂直パリティ/アンダーラン/オーバーラン	
	ステータスフラグ	共通	TSPI 設定可能状態	
		送信	動作中/完了/FIFO 割り込み/FIFOfill レベル/FIFO エンプティ	
		受信	動作中/完了/FIFO 割り込み/FIFOfill レベル/FIFO フル	
		エラー	(マスター) 垂直パリティ/通信開始トリガー (スレーブ) 垂直パリティ/アンダーラン/オーバーラン	
	DMA 要求	送信	シングル DMA 要求/バースト DMA 要求	
		受信	シングル DMA 要求/バースト DMA 要求	
	トリガー制御 (注 1)	トリガー入力	(マスター) 通信開始トリガー → 通信開始	
トリガー出力		送信完了 → 送信完了トリガー、受信完了 → 受信完了トリガー		
特殊制御 (注 2)	SCK 極性選択	High、Low:(アイドル期間のレベル)		
	TXD レベル選択	アイドル期間中:High、Low、最終データ、Hi-Z (スレーブ) アンダーランエラー発生時:High、Low		
	TXD タイミング	(スレーブ) SIO モード最終データ保持時間:2/fsys~128/fsys		
	RXD タイミング	(マスター) 1st エッジ/2nd エッジデータサンプリングタイミング		
		(スレーブ) 1st エッジ/2nd エッジデータサンプリングタイミング	(スレーブ) 2nd エッジデータサンプリングタイミング	
	CS 極性選択	High、Low:(アサート期間のレベル)		
	CS タイミング	(マスター) CS アサート後サイクル:1/fsck~16/fsck		
		(マスター) CS デアサート前サイクル:1/fsck~16/fsck		
	フレームインターバル期間	(マスター) バースト転送:0/fsck~15/fsck	—	
アイドル期間	(マスター) 連続転送:1/fsck~15/fsck			
ソフトウェアリセット	ソフトウェアによる初期化			

注1) 連携機能はリファレンスマニュアル「製品個別情報」を参照してください。

注2) fsys:システムクロック周波数 f<sub>sck</sub>:転送クロック周波数

表 1.2 機能概要(SPIモード、マスター、フレーム)

機能分類		動作説明または範囲	
転送クロック	プリスケラー	入力クロックを 1,2,4~512 分周	
	ボーレートジェネレーター	プリスケラー出力を 1,2,3~16 分周	
	転送クロック生成	ボーレートジェネレーター出力を 2 分周	
送受信制御	通信モード	SPI モード、マスター、フレームモード	
	通信動作モード	送受信(全 2 重通信)、送信、受信	
	転送モード	バースト転送/連続転送	
データフォーマット	フレーム長	8~32 ビット(1 ビット単位で設定可能)	
	FIFO 段数	16 ビット×8 段/32 ビット×4 段	
	パリティ	パリティ無/偶数パリティ/奇数パリティの選択	
	データ転送方向	MSB ファースト/LSB ファーストの選択	
連動制御	割り込み	送信	完了/FIFO
		受信	完了/FIFO
		エラー	垂直パリティ/通信開始トリガー
	ステータスフラグ	共通	TSPI 設定可能状態
		送信	動作中/完了/FIFO 割り込み/FIFO fill レベル/FIFO エンプティ
		受信	動作中/完了/FIFO 割り込み/FIFO fill レベル/FIFO フル
	DMA 要求	送信	シングル DMA 要求/バースト DMA 要求
		受信	シングル DMA 要求/バースト DMA 要求
	トリガー制御 (注 1)	トリガー入力	通信開始トリガー → 通信開始
		トリガー出力	送信完了 → 送信完了トリガー、受信完了 → 受信完了トリガー
特殊制御 (注 2)	SCK 極性選択	High、Low:(アイドル期間のレベル)	
	TXD レベル選択	アイドル期間中:High、Low、最終データ、Hi-Z	
	RXD タイミング	1st エッジ/2nd エッジ データサンプリングタイミング	
	CS 極性選択	High、Low:(アサート期間のレベル)	
	CS タイミング	CS アサート後サイクル:1/f <sub>SCK</sub> ~16/f <sub>SCK</sub>	
		CS デアサート前サイクル:1/f <sub>SCK</sub> ~16/f <sub>SCK</sub>	
	フレームインターバル期間	バースト転送:0/f <sub>SCK</sub> ~15/f <sub>SCK</sub>	
	アイドル期間	連続転送:1/f <sub>SCK</sub> ~15/f <sub>SCK</sub>	
ソフトウェアリセット	ソフトウェアによる初期化		

注1) 連携機能はリファレンスマニュアル「製品個別情報」を参照してください。

注2) f<sub>SCK</sub>:転送クロック周波数

表 1.3 機能概要(SPIモード、スレーブ、フレーム)

機能分類		動作説明または範囲	
送受信制御	通信モード	SPI モード、スレーブ、フレームモード	
	通信動作モード	送受信(全 2 重通信)、送信、受信	
	転送モード	バースト転送/連続転送	
データフォーマット	フレーム長	8~32 ビット(1 ビット単位で設定可能)	
	FIFO 段数	16 ビット×8 段/32 ビット×4 段	
	パリティ	パリティ無/偶数パリティ/奇数パリティの選択	
	データ転送方向	MSB ファースト/LSB ファーストの選択	
連動制御	割り込み	送信	完了/FIFO
		受信	完了/FIFO
		エラー	垂直パリティ/アンダーラン/オーバーラン
	ステータスフラグ	共通	TSPI 設定可能状態
		送信	動作中/完了/FIFO 割り込み/FIFOfill レベル/FIFO エンプティ
		受信	動作中/完了/FIFO 割り込み/FIFOfill レベル/FIFO フル
	DMA 要求	送信	シングル DMA 要求/バースト DMA 要求
		受信	シングル DMA 要求/バースト DMA 要求
	トリガー制御(注)	トリガー出力	送信完了 → 送信完了トリガー、受信完了 → 受信完了トリガー
特殊制御	SCK 極性選択	High、Low:(アイドル期間のレベル)	
	TXD レベル選択	アイドル期間中:High、Low、最終データ、Hi-Z	
		アンダーランエラー発生時:High、Low	
	RXD タイミング	1st エッジ/2nd エッジ データサンプリングタイミング	
	CS 極性選択	High、Low:(アサート期間のレベル)	
ソフトウェアリセット	ソフトウェアによる初期化		

注)連携機能はリファレンスマニュアル「製品個別情報」を参照してください。

表 1.4 機能概要(SIOモード、マスター、フレーム)

機能分類		動作説明または範囲	
転送クロック	プリスケラー	入力クロックを 1,2,4~512 分周	
	ボーレートジェネレーター	プリスケラー出力を 1,2,3~16 分周	
	転送クロック生成	ボーレートジェネレーター出力を 2 分周	
送受信制御	通信モード	SIO モード、マスター、フレームモード	
	通信動作モード	送受信(全 2 重通信)、送信、受信	
	転送モード	バースト転送/連続転送	
データフォーマット	フレーム長	8~32 ビット(1 ビット単位で設定可能)	
	FIFO 段数	16 ビット×8 段/32 ビット×4 段	
	パリティ	パリティ無/偶数パリティ/奇数パリティの選択	
	データ転送方向	MSB ファースト/LSB ファーストの選択	
連動制御	割り込み	送信	完了/FIFO
		受信	完了/FIFO
		エラー	垂直パリティ/通信開始トリガー
	ステータスフラグ	共通	TSPI 設定可能状態
		送信	動作中/完了/FIFO 割り込み/FIFOfill レベル/FIFO エンプティ
		受信	動作中/完了/FIFO 割り込み/FIFOfill レベル/FIFO フル
		エラー	垂直パリティ/通信開始トリガー
	DMA 要求	送信	シングル DMA 要求/バースト DMA 要求
		受信	シングル DMA 要求/バースト DMA 要求
	トリガー制御 (注 1)	トリガー入力	通信開始トリガー → 通信開始
トリガー出力		送信完了 → 送信完了トリガー、受信完了 → 受信完了トリガー	
特殊制御 (注 2)	SCK 極性選択	High、Low:(アイドル期間のレベル)	
	TXD レベル選択	アイドル期間中:High、Low、最終データ、Hi-Z	
	RXD タイミング	1st エッジ/2nd エッジデータサンプリングタイミング	
	フレームインターバル期間	バースト転送:0/f <sub>SCK</sub> ~15/f <sub>SCK</sub>	
	アイドル期間	連続転送:1/f <sub>SCK</sub> ~15/f <sub>SCK</sub>	
	ソフトウェアリセット	ソフトウェアによる初期化	

注1) 連携機能はリファレンスマニュアル「製品個別情報」を参照してください。

注2) f<sub>SCK</sub>:転送クロック周波数

表 1.5 機能概要(SIOモード、スレーブ、フレーム)

機能分類		動作説明または範囲	
送受信制御	通信モード	SIO モード、スレーブ、フレームモード	
	通信動作モード	送受信(全 2 重通信)、送信、受信	
	転送モード	バースト転送/連続転送	
データフォーマット	フレーム長	8~32 ビット(1 ビット単位で設定可能)	
	FIFO 段数	16 ビット×8 段/32 ビット×4 段	
	パリティ	パリティ無/偶数パリティ/奇数パリティの選択	
	データ転送方向	MSB ファースト/LSB ファーストの選択	
連動制御	割り込み	送信	完了/FIFO
		受信	完了/FIFO
		エラー	垂直パリティ/アンダーラン/オーバーラン
	ステータスフラグ	共通	TSPI 設定可能状態
		送信	動作中/完了/FIFO 割り込み/FIFOfill レベル/FIFO エンプティ
		受信	動作中/完了/FIFO 割り込み/FIFOfill レベル/FIFO フル
	DMA 要求	送信	シングル DMA 要求/バースト DMA 要求
		受信	シングル DMA 要求/バースト DMA 要求
	トリガー制御(注 1)	トリガー出力	送信完了 → 送信完了トリガー、受信完了 → 受信完了トリガー
特殊制御	SCK 極性選択	High、Low:(アイドル期間のレベル)	
	TXD レベル選択	アイドル期間中:High、Low、最終データ、Hi-Z	
		アンダーランエラー発生時:High、Low	
	TXD タイミング(注 2)	最終データ保持時間:2/fsys~128/fsys	
	RXD タイミング	1st エッジ/2nd エッジデータサンプリングタイミング	
ソフトウェアリセット	ソフトウェアによる初期化		

注1) 連携機能はリファレンスマニュアル「製品個別情報」を参照してください。

注2) fsys:システムクロック周波数

表 1.6 機能概要(SPIモード、マスター、セクター)

機能分類		動作説明または範囲	
転送クロック	プリスケラー	入力クロックを 1,2,4~512 分周	
	ポーレートジェネレーター	プリスケラー出力を 1,2,3~16 分周	
	転送クロック生成	ポーレートジェネレーター出力を 2 分周	
送受信制御	通信モード	SPI モード、マスター、セクターモード	
	通信動作モード	送受信(全 2 重通信)、送信、受信	
	転送モード	連続転送	
データフォーマット	セクター数/セクター長	2~4 セクター/1~32 ビット(1 ビット単位で設定可能)	
	フレーム長	8~128 ビット(セクター合計)	
	FIFO 段数	32 ビット×4 段	
	パリティ	パリティ無/偶数パリティ/奇数パリティの選択	
	データ転送方向	MSB ファースト/LSB ファーストの選択	
連動制御	割り込み	送信	完了/FIFO
		受信	完了/FIFO
		エラー	垂直パリティ/通信開始トリガー
	ステータスフラグ	共通	TSPI 設定可能状態
		送信	動作中/完了/FIFO 割り込み/FIFOfill レベル/FIFO エンプティ
		受信	動作中/完了/FIFO 割り込み/FIFOfill レベル/FIFO フル
		エラー	垂直パリティ/通信開始トリガー
	DMA 要求	送信	シングル DMA 要求/バースト DMA 要求
		受信	シングル DMA 要求/バースト DMA 要求
	トリガー制御 (注 1)	トリガー入力	通信開始トリガー → 通信開始
トリガー出力		送信完了 → 送信完了トリガー、受信完了 → 受信完了トリガー	
特殊制御 (注 2)	SCK 極性選択	High、Low:(アイドル期間のレベル)	
	TXD レベル選択	アイドル期間中:High、Low、最終データ、Hi-Z	
	RXD タイミング	1st エッジ/2nd エッジデータサンプリングタイミング	
	CS 極性選択	High、Low:(アサート期間のレベル)	
	CS タイミング	CS アサート後サイクル:1/f <sub>SCK</sub> ~16/f <sub>SCK</sub>	
		CS デアサート前サイクル:1/f <sub>SCK</sub> ~16/f <sub>SCK</sub>	
	アイドル期間	連続転送:1/f <sub>SCK</sub> ~15/f <sub>SCK</sub>	
ソフトウェアリセット	ソフトウェアによる初期化		

注1) 連携機能はリファレンスマニュアル「製品個別情報」を参照してください。

注2) f<sub>SCK</sub>:転送クロック周波数

表 1.7 機能概要(SPIモード、スレーブ、セクター)

機能分類		動作説明または範囲	
送受信制御	通信モード	SPI モード、スレーブ、セクターモード	
	通信動作モード	送受信(全 2 重通信)、送信、受信	
	転送モード	連続転送	
データフォーマット	セクター数/セクター長	2~4 セクター/2~32 ビット(1 ビット単位で設定可能)	
	フレーム長	8~128 ビット(セクター合計)	
	FIFO 段数	32 ビット×4 段	
	パリティ	パリティ無/偶数パリティ/奇数パリティの選択	
	データ転送方向	MSB ファースト/LSB ファーストの選択	
連動制御	割り込み	送信	完了/FIFO
		受信	完了/FIFO
		エラー	垂直パリティ/アンダーラン/オーバーラン
	ステータスフラグ	共通	TSPI 設定可能状態
		送信	動作中/完了/FIFO 割り込み/FIFOfill レベル/FIFO エンプティ
		受信	動作中/完了/FIFO 割り込み/FIFOfill レベル/FIFO フル
	DMA 要求	送信	シングル DMA 要求/バースト DMA 要求
		受信	シングル DMA 要求/バースト DMA 要求
	トリガー制御(注)	トリガー出力	送信完了 → 送信完了トリガー、受信完了 → 受信完了トリガー
特殊制御	SCK 極性選択	High、Low:(アイドル期間のレベル)	
	TXD レベル選択	アイドル期間中:High、Low、最終データ、Hi-Z	
		アンダーランエラー発生時:High、Low	
	RXD タイミング	2nd エッジ データサンプリングタイミング	
	CS 極性選択	High、Low:(アサート期間のレベル)	
ソフトウェアリセット	ソフトウェアによる初期化		

注)連携機能はリファレンスマニュアル「製品個別情報」を参照してください。

表 1.8 機能概要(SIOモード、マスター、セクター)

機能分類		動作説明または範囲	
転送クロック	プリスケラー	入カクロックを 1,2,4~512 分周	
	ボーレートジェネレーター	プリスケラー出力を 1,2,3~16 分周	
	転送クロック生成	ボーレートジェネレーター出力を 2 分周	
送受信制御	通信モード	SIO モード、マスター、セクターモード	
	通信動作モード	送受信(全 2 重通信)、送信、受信	
	転送モード	連続転送	
データフォーマット	セクター数/セクター長	2~4 セクター/1~32 ビット(1 ビット単位で設定可能)	
	フレーム長	8~128 ビット(セクター合計)	
	FIFO 段数	32 ビット×4 段	
	パリティ	パリティ無/偶数パリティ/奇数パリティの選択	
	データ転送方向	MSB ファースト/LSB ファーストの選択	
連動制御	割り込み	送信	完了/FIFO
		受信	完了/FIFO
		エラー	垂直パリティ/通信開始トリガー
	ステータスフラグ	共通	TSPI 設定可能状態
		送信	動作中/完了/FIFO 割り込み/FIFOfill レベル/FIFO エンプティ
		受信	動作中/完了/FIFO 割り込み/FIFOfill レベル/FIFO フル
	DMA 要求	送信	シングル DMA 要求/バースト DMA 要求
		受信	シングル DMA 要求/バースト DMA 要求
	トリガー制御 (注 1)	トリガー入力	通信開始トリガー → 通信開始
		トリガー出力	送信完了 → 送信完了トリガー、受信完了 → 受信完了トリガー
特殊制御	SCK 極性選択	High、Low:(アイドル期間のレベル)	
	TXD レベル選択	アイドル期間中:High、Low、最終データ、Hi-Z	
	RXD タイミング	1st エッジ/2nd エッジデータサンプリングタイミング	
	アイドル期間(注 2)	連続転送:1/f <sub>SCK</sub> ~15/f <sub>SCK</sub>	
	ソフトウェアリセット	ソフトウェアによる初期化	

注1) 連携機能はリファレンスマニュアル「製品個別情報」を参照してください。

注2) f<sub>SCK</sub>:転送クロック周波数

表 1.9 機能概要(SIOモード、スレーブ、セクター)

機能分類		動作説明または範囲	
送受信制御	通信モード	SIO モード、スレーブ、セクターモード	
	通信動作モード	送受信(全 2 重通信)、送信、受信	
	転送モード	連続転送	
データフォーマット	セクター数/セクター長	2~4 セクター/2~32 ビット(1 ビット単位で設定可能)	
	フレーム長	8~128 ビット(セクター合計)	
	FIFO 段数	32 ビット×4 段	
	パリティ	パリティ無/偶数パリティ/奇数パリティの選択	
	データ転送方向	MSB ファースト/LSB ファーストの選択	
連動制御	割り込み	送信	完了/FIFO
		受信	完了/FIFO
		エラー	垂直パリティ/アンダーラン/オーバーラン
	ステータスフラグ	共通	TSPI 設定可能状態
		送信	動作中/完了/FIFO 割り込み/FIFOfill レベル/FIFO エンプティ
		受信	動作中/完了/FIFO 割り込み/FIFOfill レベル/FIFO フル
	DMA 要求	送信	シングル DMA 要求/バースト DMA 要求
		受信	シングル DMA 要求/バースト DMA 要求
	トリガー制御(注 1)	トリガー出力	送信完了 → 送信完了トリガー、受信完了 → 受信完了トリガー
特殊制御	SCK 極性選択	High、Low:(アイドル期間のレベル)	
	TXD レベル選択	アイドル期間中:High、Low、最終データ、Hi-Z	
		アンダーランエラー発生時:High、Low	
	TXD タイミング(注 2)	最終データ保持時間:2/fsys~128/fsys	
	RXD タイミング	2nd エッジ データサンプリングタイミング	
ソフトウェアリセット	ソフトウェアによる初期化		

注1) 連携機能はリファレンスマニュアル「製品個別情報」を参照

注2) fsys:システムクロック周波数

### 2. 構成

TSPIのブロック図と信号一覧を示します。

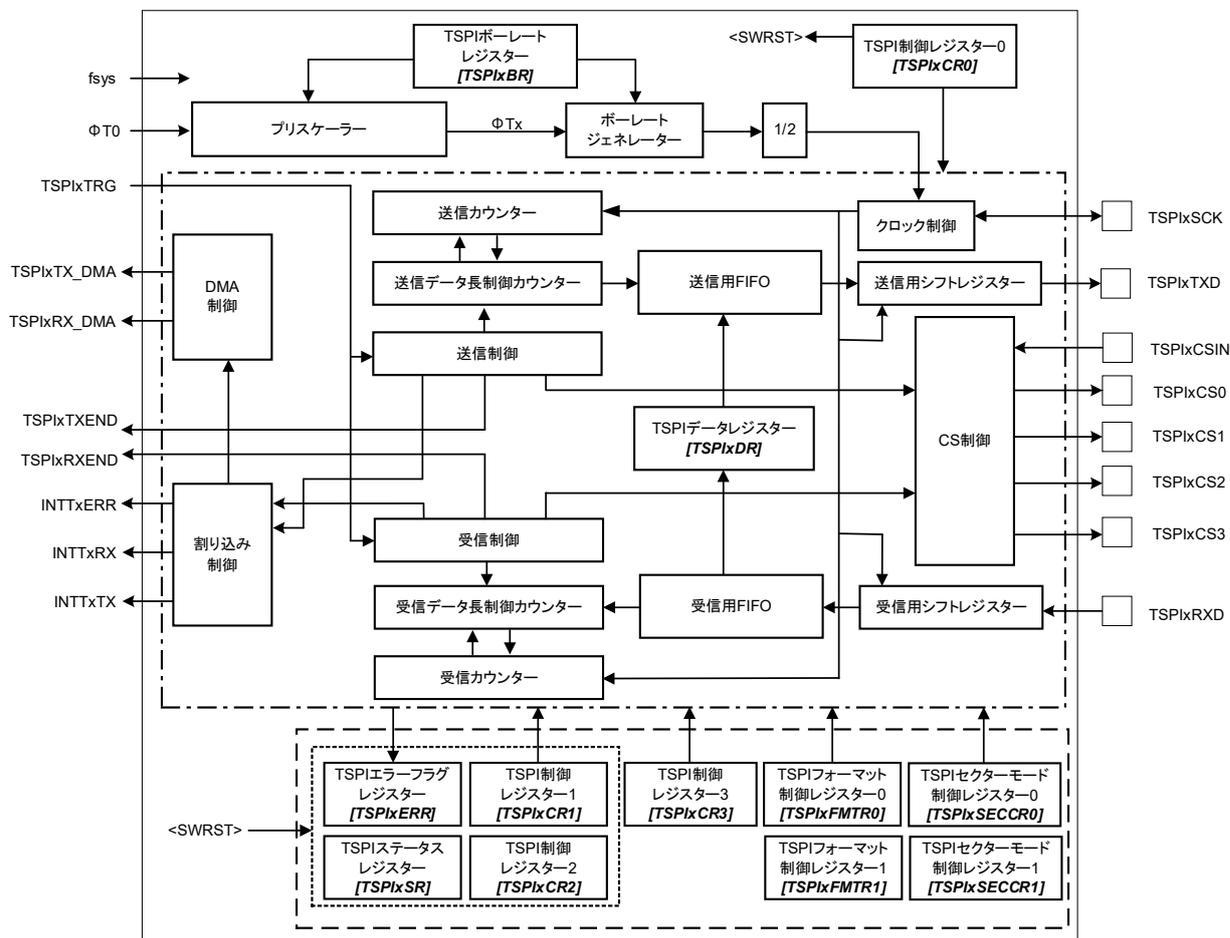


図 2.1 TSPIのブロック図

表 2.1 信号一覧

No	信号名	信号名称	I/O	参照リファレンスマニュアル
1	fsys	システムクロック	入力	クロック制御と動作モード
2	$\Phi T0$	プリスケラー用クロック	入力	クロック制御と動作モード
3	TSPIxSCK	シリアルクロック出力/シリアルクロック入力	入出力	データシート
4	TSPIxCS0	チップセレクト 0	出力	データシート
5	TSPIxCS1	チップセレクト 1	出力	データシート
6	TSPIxCS2	チップセレクト 2	出力	データシート
7	TSPIxCS3	チップセレクト 3	出力	データシート
8	TSPIxCSIN	スレーブ動作用チップセレクト入力	入力	データシート
9	TSPIxTXD	送信シリアルデータ	出力	データシート
10	TSPIxRXD	受信シリアルデータ	入力	データシート
11	INTTxTX	送信割り込み	出力	例外
12	INTTxRX	受信割り込み	出力	例外
13	INTTxERR	エラー割り込み	出力	例外
14	TSPIxTRG	通信開始トリガー	入力	製品個別情報
15	TSPIxTX_DMA	送信 DMA 要求	出力	製品個別情報
16	TSPIxRX_DMA	受信 DMA 要求	出力	製品個別情報
17	TSPIxTXEND	送信完了トリガー	出力	製品個別情報
18	TSPIxRXEND	受信完了トリガー	出力	製品個別情報

### 3. 機能説明・動作説明

#### 3.1. 基本操作

##### 3.1.1. クロック供給

TSPIを使用する場合は、fsys 供給停止レジスタA( $[CGFSYSENA]$ 、 $[CGFSYSMENA]$ )、fsys 供給停止レジスタB( $[CGFSYSENB]$ 、 $[CGFSYSMENB]$ )、fsys 供給停止レジスタC( $[CGFSYSMENC]$ )、fc 供給停止レジスタ( $[CGFCEN]$ )で該当するクロックイネーブルビットを"1"(クロック供給)に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため、製品によってレジスタが存在しない場合があります。詳細はリファレンスマニュアル「クロック制御と動作モード」を参照してください。

クロックの供給を停止する場合、TSPIが停止していること( $[TSPIxCR0]$ <TSPIE>=0)を確認してください。また、STOP1/STOP2 モードに遷移する際も同様にTSPIが停止していることを確認してください。

##### 3.1.2. 転送の開始と停止

はじめに $[TSPIxCR0]$ <TSPIE>(動作制御レジスタ)を"1"に設定し、停止状態を確認した後に通信モード、転送モード、転送フォーマットなど必要な設定を行ってください。

また各種設定変更および通信許可や通信開始トリガー設定を有効にする場合も停止状態を確認した後に設定を行ってください。

停止状態:  $[TSPIxSR]$ <TSPISUE>=0 かつ  $[TSPIxCR1]$ <TRGEN>=0、<TRXE>=0

送受信(全2重通信)通信モードおよび送信モードの場合は転送開始には2つの方法があります。

1. 通信制御レジスタ $[TSPIxCR1]$ <TRXE>=1にして通信許可にした後、データレジスタ $[TSPIxDR]$ にデータを書き込む
2. データレジスタ $[TSPIxDR]$ にデータを書き込んだ後、 $[TSPIxCR1]$ <TRXE>=1にして通信許可する

受信モードの場合は $[TSPIxCR1]$ <TRXE>=1にすると直ちに受信を開始します。

転送を停止するには、 $[TSPIxCR1]$ <TRXE>=0を設定してください。バースト転送、連続転送とも、転送途中のフレームは転送終了まで行われます。詳細は「表 4.2 通信停止設定時の転送状態と設定可能状態フラグ」を参照してください。

停止状態ではTSPIxSCK、TSPIxCS0/1/2/3、TSPIxTXDはアイドル状態になります。詳細は「3.10 特殊制御」を参照してください。

バースト転送を停止した後に再度転送許可すると、 $[TSPIxCR1]$ <FC[7:0]>(転送フレーム数設定レジスタ)レジスタで設定したフレーム数の1フレーム目から動作を開始します。

## 3.2. 転送クロック

高速プリスケラー用クロック ( $\Phi T0h$ )、中速プリスケラー用クロック ( $\Phi T0m$ )を含む総称としてプリスケラー用クロック(以降、 $\Phi T0$ )と記します。

マスター動作時の転送クロックは、転送クロック生成回路で $\Phi T0$ から生成します。

製品およびチャンネル別の $\Phi T0$ の詳細はリファレンスマニュアル「製品個別情報」を参照してください。また  $f_{SCK}$  および  $f_{SCKi}$  の最大周波数は、製品ごとのデータシートの電気的特性を参照してください。

### 3.2.1. 転送クロック周波数

#### 3.2.1.1. マスター動作

転送クロックの生成回路を図 3.1 に示します。

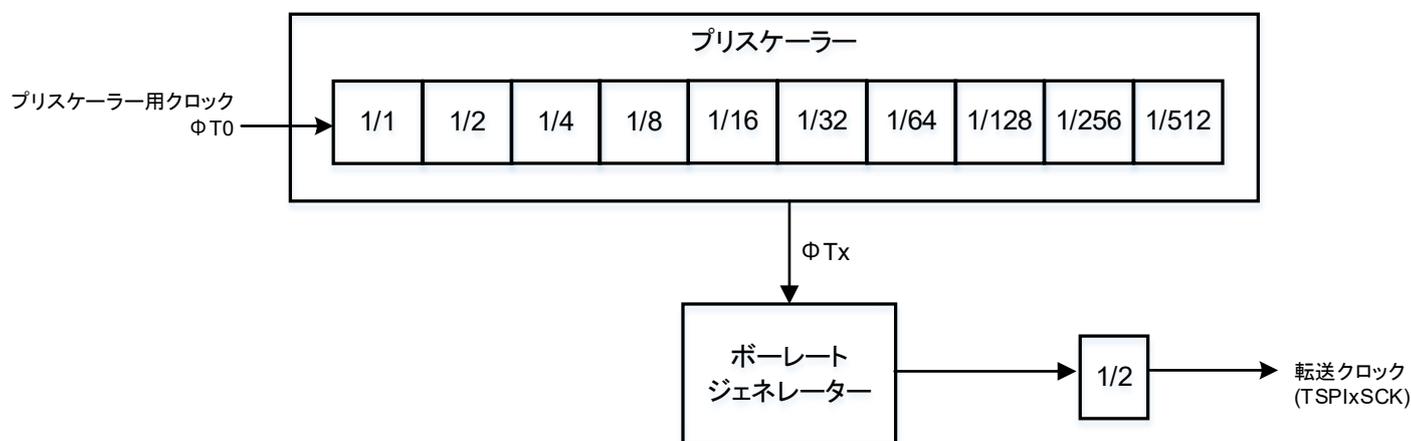


図 3.1 転送クロック生成回路

プリスケラーは、 $\Phi T0$  を 1～512 分周します( $\Phi T0 \sim \Phi T256$ )。分周選択は、 $[TSPIxBR] \langle BRCK[3:0] \rangle$ で行います。

ボーレートジェネレーターは、 $\Phi Tx$  を 1～16 分周します。分周選択は、 $[TSPIxBR] \langle BRS[3:0] \rangle$ で行います。

転送クロック周波数(以降は  $f_{SCK}$ )の計算式を以下に生成例を表 3.1 に示します。

$$f_{SCK} = \Phi T0 \times [TSPIxBR] \langle BRCK[3:0] \rangle \text{設定}(1/x) \times [TSPIxBR] \langle BRS[3:0] \rangle \text{設定}(1/N) \times 1/2$$

$$(x=1,2,4,8,16 \dots 256,512 \quad N=1,2,3,4, \dots 16)$$

注)  $\Phi T0$  の条件は、 $f_{sys}$  以下( $f_{sys} \geq \Phi T0$ )となるように設定してください。

表 3.1 転送クロック生成例

[TSPIxBR] <BRCK[3:0]>	[TSPIxBR] <BRS[3:0]>	ΦT0 分周	プリスケラー用クロック ΦT0 [MHz]										
			40	50	60	80	100	120	140	150	160	180	200
0000	0001	2	20	25									
0000	0010	4	10	12.5	15	20	25						
0001	0001												
0000	0011	6	6.6	8.3	10	13.3	16.6	20	23.3	25			
0000	0100	8	5	6.2	7.5	10	12.5	15	17.5	18.7	20	22.5	25
0001	0010												
0010	0001												
0000	0101	10	4	5	6	8	10	12	14	15	16	18	20
0000	0110	12	3.3	4.1	5	6.6	8.3	10	11.6	12.6	13.3	15	16.6
0001	0011												
0000	0111	14	2.8	3.5	4.2	5.7	7.1	8.5	10	10.7	11.4	12.8	14.2
0000	1000	16	2.5	3.1	3.7	5	6.2	7.5	8.7	9.3	10	11.2	12.5
0001	0100												
0010	0010												
0011	0001												
0000	1001	18	2.2	2.7	3.3	4.4	5.5	6.6	7.7	8.3	8.8	10	11.1
0000	1010	20	2	2.5	3	4	5	6	7	7.5	8	9	10
0001	0101												
0000	1011	22	1.8	2.2	2.7	3.6	4.5	5.4	6.3	6.8	7.2	8.1	9.0
0000	1100	24	1.6	2.0	2.5	3.3	4.1	5	5.8	6.2	6.6	7.5	8.3
0001	0110												
0010	0011												
0000	1101	26	1.5	1.9	2.3	3.0	3.8	4.6	5.3	5.7	6.1	6.9	7.6
0000	1110	28	1.4	1.7	2.1	2.8	3.5	4.2	5	5.3	5.7	6.4	7.1
0001	0111												
0000	1111	30	1.3	1.6	2	2.6	3.3	4	4.6	5	5.3	6	6.6
0000	0000	32	1.2	1.5	1.8	2.5	3.1	3.7	4.3	4.6	5	5.6	6.2
0001	1000												
0010	0100												
0011	0010												
0100	0001												
0001	1001	36	1.1	1.3	1.6	2.2	2.7	3.3	3.8	4.1	4.4	5	5.5
0001	1010	40	1	1.2	1.5	2	2.5	3	3.5	3.7	4	4.5	5
0010	0101												
0001	1011	44	0.9	1.1	1.3	1.8	2.2	2.7	3.1	3.4	3.6	4.0	4.5
0001	1100	48	0.8	1.0	1.2	1.6	2.0	2.5	2.9	3.1	3.3	3.7	4.1
0010	0110												
0011	0011												
0001	1101	52	0.7	0.9	1.1	1.5	1.9	2.3	2.6	2.8	3.0	3.4	3.8
0001	1110	56	0.7	0.8	1.0	1.4	1.7	2.1	2.5	2.6	2.8	3.2	3.5
0010	0111												
0001	1111	60	0.6	0.8	1	1.3	1.6	2	2.3	2.5	2.6	3	3.3
0001	0000	64	0.6	0.7	0.9	1.2	1.5	1.8	2.1	2.3	2.5	2.8	3.1
0010	1000												
0011	0100												
0100	0010												
0101	0001												

注) 転送クロック 25MHz を超える条件(灰色セル)は使用できません。また、最大転送クロックは製品に

よっては 25MHz 未満の場合がありますので、詳細は各製品のデータシートおよび、リファレンスマニュアル「製品個別情報」を参照してください。

### 3.2.1.2. 転送クロック生成条件

TSPI の転送クロック周波数( $f_{SCK}$ )の生成条件を設定します。

$f_{SCK}$  生成条件にはシステムクロック( $f_{SYS}$ )とプリスケラー用クロック( $\Phi T0$ )との周波数比を含みます。各クロックの関係およびレジスター設定範囲を記します。

$f_{SCK}$  生成条件:

$$f_{SYS} / f_{SCK} = 2^L \times 2^M \times 2N$$

( $f_{SYS} / f_{SCK}$ : システムクロック( $f_{SYS}$ )と転送クロック( $f_{SCK}$ )の比)

$$f_{SYS} / \Phi T0 = 2^L = 1/16, 1/8, 1/4, 1/2, 1, 2, 4, 8 \sim 512 \quad L = -4 \sim 9$$

( $2^L$ : システムクロック( $f_{SYS}$ )とプリスケラー用クロック( $\Phi T0$ )の比)

$$\Phi T0 / \Phi T_x = 2^M = 1, 2, 4, 8, 16, 32, 64, 128, 256, 512 \quad M = 0 \sim 9$$

( $2^M$ :  $[TSPIxBR] < BRCK[3:0] >$  で設定するプリスケラーの分周値)

$$\Phi T_x / f_{SCK} = 2N = 2, 4, 6, 8, 10, 12 \sim 22, 24, 26, 28, 30, 32 \quad N = 1 \sim 16$$

( $N$ :  $[TSPIxBR] < BRS[3:0] >$  で設定するボーレートジェネレーターの分周値)

表 3.2 に各レジスター設定と  $f_{SCK}$  生成条件の組み合わせを示します。

表 3.2 転送クロック生成条件とレジスター設定値

$f_{SYS} / \Phi T0$	$[TSPIxBR] < BRCK[3:0] >$	$[TSPIxBR] < BRS[3:0] >$	$f_{SYS} / f_{SCK}$	$[TSPIxCR2] < RXDLY[2:0] >$
1/16 ~ 1/2 (注)	—	—	—	—
1	0000	0001	2	000
1	0000	0010	4	000 ~ 001
1	0000	0011	6	000 ~ 010
1	0000	0100	8	000 ~ 011
1	0000	0101	10	000 ~ 100
1	0000	0110	12	000 ~ 101
1	0000	0111	14	000 ~ 110
1	0000	0000、1000~1111	16 以上	000 ~ 111
1	0001	0001	4	000 ~ 001
1	0001	0010	8	000 ~ 011
1	0001	0011	12	000 ~ 101
1	0001	0000、0100~1111	16 以上	000 ~ 111
1	0010	0001	8	000 ~ 011
1	0010	0000、0010~1111	16 以上	000 ~ 111
1	0011~1001	0000~1111	16 以上	000 ~ 111
2	0000	0001	4	000 ~ 001
2	0000	0010	8	000 ~ 011
2	0000	0011	12	000 ~ 101
2	0000	0000、0100~1111	16 以上	000 ~ 111
2	0001	0001	8	000 ~ 011
2	0001	0000、0010~1111	16 以上	000 ~ 111
2	0010~1001	0000~1111	16 以上	000 ~ 111
4	0000	0001	8	000 ~ 011
4	0000	0000、0010~1111	16 以上	000 ~ 111
4	0001~1001	0000~1111	16 以上	000 ~ 111
8~512	0000~1001	0000~1111	16 以上	000 ~ 111

注)  $f_{SYS}/\Phi T0$  が 1/16~1/2 のクロック生成条件は使用禁止です

### 3.2.1.3. スレーブ動作

転送クロック入力周波数(以降は  $f_{SCKi}$ )は以下の条件となるように設定してください。  
 RXD サンプリングを 1st エッジで行う場合、 $4 \leq f_{sys}/f_{SCKi}$  の条件で使用してください。  
 2nd エッジで行う場合は表 3.3 の条件で使用してください。

表 3.3 スレーブ動作転送クロック条件(2ndエッジ)

$f_{SCKi}$ 条件 $f_{sys} / f_{SCKi} = N$	セクターモード セクター長	フレームモード フレーム長
$N < 2$	—	—
$2 \leq N$	4~32 ビット	全範囲 (8~32 ビット)
$4 \leq N$	2~32 ビット	

### 3.3. 通信モード

通信モードの選択を行います。

$[TSPIxCR1] < TSPIMS >$  (通信モード選択レジスタ)で SPI/SIO モードを指定します。

$[TSPIxCR1] < MSTR >$  (マスター/スレーブ選択レジスタ)でマスター動作/スレーブ動作を指定します。

$[TSPIxSECTCR0] < SECT >$  (セクターモード選択レジスタ)でフレーム/セクターを指定します。

表 3.4 に通信モードと組み合わせ可能な動作仕様を記します。

表 3.4 通信モードと組み合わせ可能な動作仕様

送受信制御			データフォーマット				運動制御	特殊制御					
通信モード		通信動作モード	転送モード	フレーム長 bit	FIFO Bit x 段	共通		レベル選択	タイミング選択				
SPI	マスター動作	フレーム	バースト連続	8~32	16x8 32x4	パリティ ・無し ・偶数 ・奇数	割り込み DMA トリガー ・通信開始 ・送信完了 ・受信完了	SCK 極性 TXD ・アイドル期間 CS 極性	RXD サンプリング ・1st エッジ ・2nd エッジ CS タイミング フレームインターバル アイドル時間				
		セクター	連続	8~128	32x4								
	スレーブ動作	フレーム	バースト連続	8~32	16x8 32x4					転送方向 ・MSB ・LSB	割り込み DMA トリガー ・通信開始 ・送信完了 ・受信完了	SCK 極性 TXD ・アイドル期間 CS 極性	RXD サンプリング ・1st エッジ ・2nd エッジ
		セクター	連続	8~128	32x4								
SIO	マスター動作	フレーム	バースト連続	8~32	16x8 32x4	転送方向 ・MSB ・LSB	割り込み DMA トリガー ・通信開始 ・送信完了 ・受信完了	SCK 極性 TXD ・アイドル期間	RXD サンプリング ・1st エッジ ・2nd エッジ フレームインターバル アイドル時間				
		セクター	連続	8~128	32x4								
	スレーブ動作	フレーム	バースト連続	8~32	16x8 32x4					転送方向 ・MSB ・LSB	割り込み DMA トリガー ・通信開始 ・送信完了 ・受信完了	SCK 極性 TXD ・アイドル期間 ・アンダーランエラー	RXD サンプリング ・1st エッジ ・2nd エッジ TXD 最終データ 保持時間
		セクター	連続	8~128	32x4								

### 3.3.1. SPI/SIO モード選択

SPI モードと SIO モードを選択します。/[TSPIxCRI]/<TSPIMS>(通信モード選択レジスタ)を"0"に設定すると SPI モード、"1"に設定すると SIO モードです。

#### (1) SPI モード

SPI モードでは、TSPIxSCK(クロック入出力)、TSPIxCS0/1/2/3(チップセレクト信号出力)、TSPIxCSIN(チップセレクト信号入力)、TSPIxTXD(データ送信)、TSPIxRXD(データ受信)の端子を使用することにより、マスターまたはスレーブとして通信することができます。

また、チップセレクト信号出力を 4 本(TSPIxCS0/1/2/3)搭載しており、マスターデバイスとして 4 つの外部スレーブデバイスと通信を行うことができます。(注) また、チップセレクト信号入力を 1 本(TSPIxCSIN)搭載しており、スレーブデバイスとして 1 つのマスターデバイスと通信を行うことができます。

注) 製品によってチップセレクト信号出力の数が異なりますので、製品ごとのデータシートおよびリファレンスマニュアル「製品個別情報」を参照してください。

#### (2) SIO モード

SIO モードでは、TSPIxSCK、TSPIxTXD、TSPIxRXD により、マスターまたはスレーブとして通信することができます。マスターデバイスとスレーブデバイスは 1 対 1 で通信します。

注) SIO モード使用時は、ポート設定で TSPIxCS0/1/2/3 および TSPIxCSIN を選択しないでください。

### 3.3.2. マスター/スレーブ選択

マスターデバイス動作(クロックを出力)とスレーブデバイス動作(クロックを入力)を選択します。/[TSPIxCRI]/<MSTR>(マスター/スレーブ選択レジスタ)を"0"に設定するとスレーブデバイス動作、"1"に設定するとマスターデバイス動作です。

#### ● マスター動作

TSPIxSCK から出力するクロックに同期して通信動作を行います。

SPI モードでは、TSPIxCS0/1/2/3 からチップセレクト信号を出力し、スレーブデバイスを選択します。

#### ● スレーブ動作

TSPIxSCK から入力されたクロックに同期して通信動作を行います。

SPI モードでは、TSPIxCSIN から入力されるチップセレクト信号により選択されていないときは、TSPIxSCK への入力は無視されます。ただし、TSPIxCSIN デアサート開始から TSPIxCSIN デアサート中のシリアルクロックの最初のエッジまでは製品で使用する TSPI スレーブモードの最大速度のシリアルクロック 1 サイクル分離してください。

### 3.3.3. フレーム/セクター選択

フレームモードとセクターモードを選択します。/[TSPIxSECTCR0]/<SECT>(セクターモード制御レジスタ0)を"0"(初期値)に設定するとフレームモード、"1"に設定するとセクターモードです。

セクターモードは、異なるセクター長の 2~4 のセクターで 1 フレームを構成する場合と 32 ビットを超えるフレーム長の場合に選択します。セクターモードの詳細は、「3.6.2 セクターモード」を参照してください。

### 3.4. 通信動作モード

#### 3.4.1. 送受信(全2重)通信モード

図 3.2 にマスター動作、フレーム長 32bit、パリティなし、FIFO を 1 段利用する場合の送受信(全 2 重)通信連続転送の動作例を示します。(  $[TSPIxCR2] <TIDLE[1:0]> = 10$  )

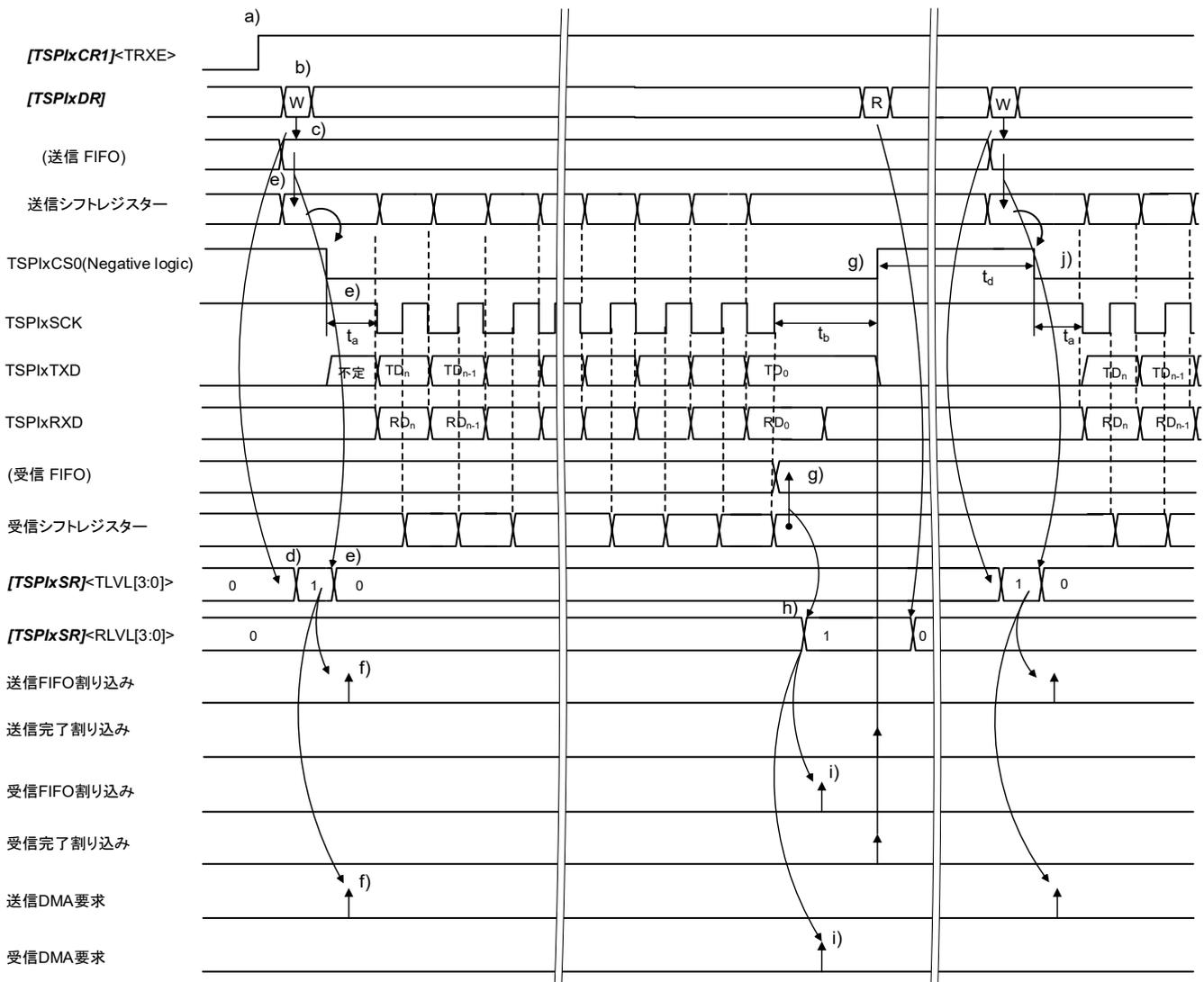


図 3.2 送受信(全2重)通信の動作例

- $[TSPIxCR1] <TRXE>$  (通信制御レジスタ)に"1"をライトして通信を許可します。
- $[TSPIxDR]$  (TSPI データレジスタ)にデータをライトします。
- $[TSPIxDR]$ にデータをライトすると内部送信 FIFO の下段から順にバッファされます。
- 送信 FIFO に 1 段分のデータがバッファされた為、 $[TSPIxSR] <TLVL[3:0]>$ が"1"になります。
- 送信 FIFO にバッファされたデータはシフトレジスタに移動し、 $[TSPIxSR] <TLVL[3:0]>$ が"0"になります。 $[TSPIxFMTR0] <CSSCKDL[3:0]>$  (CS アサート後サイクルレジスタ)で設定した CS アサート後サイクル( $t_a$ )経過後、 $TSPIxSCK$  からシリアルクロックの出力が開始されます。
- $[TSPIxSR] <TLVL[3:0]>$ が"1"から"0"へ変化したため、送信 FIFO 割り込みや送信 DMA 要求が発生します。

- g) シリアルクロックの最後の立ち上がりエッジで受信データの全てのビットが受信シフトレジスタに取り込まれ、受信 FIFO に移動します。さらに、シリアルクロックの最後の立ち上がりエッジから  $[TSPIxFMTR0] \langle SCKCSDL[3:0] \rangle$  (CS デアサート前サイクルレジスタ) で設定した CS デアサート前サイクル (tb) 経過後、TSPIxCS0 がデアサートされ、送信完了割り込みと受信完了割り込みが発生されます。
- h) 受信 FIFO に 1 段分のデータがバッファされたため、 $[TSPIxSR] \langle RLVL[3:0] \rangle$  が "1" になります。
- i)  $[TSPIxSR] \langle RLVL[3:0] \rangle$  が "0" から "1" へ変化したため受信 FIFO 割り込み、または受信 DMA 要求が発生します。
- j) TSPIxCS0 がデアサートされてから  $[TSPIxFMTR0] \langle CSINT[3:0] \rangle$  (アイドル期間レジスタ) で設定したアイドル期間 (td) 経過までは送信 FIFO にデータがあってもシリアル転送を開始せず、TSPIxCS0 をデアサートのまま保持します。アイドル期間 (td) が経過した後、TSPIxCS0 がアサートされシリアル転送が開始されます。

### 3.4.2. 送信モード

図 3.3 にマスター動作、フレーム長 32bit、パリティなし、FIFO を 1 段利用する場合の送信モードでの連続転送の動作例を示します。(  $[TSPIxCR2] <TIDLE[1:0] > = 10$  )

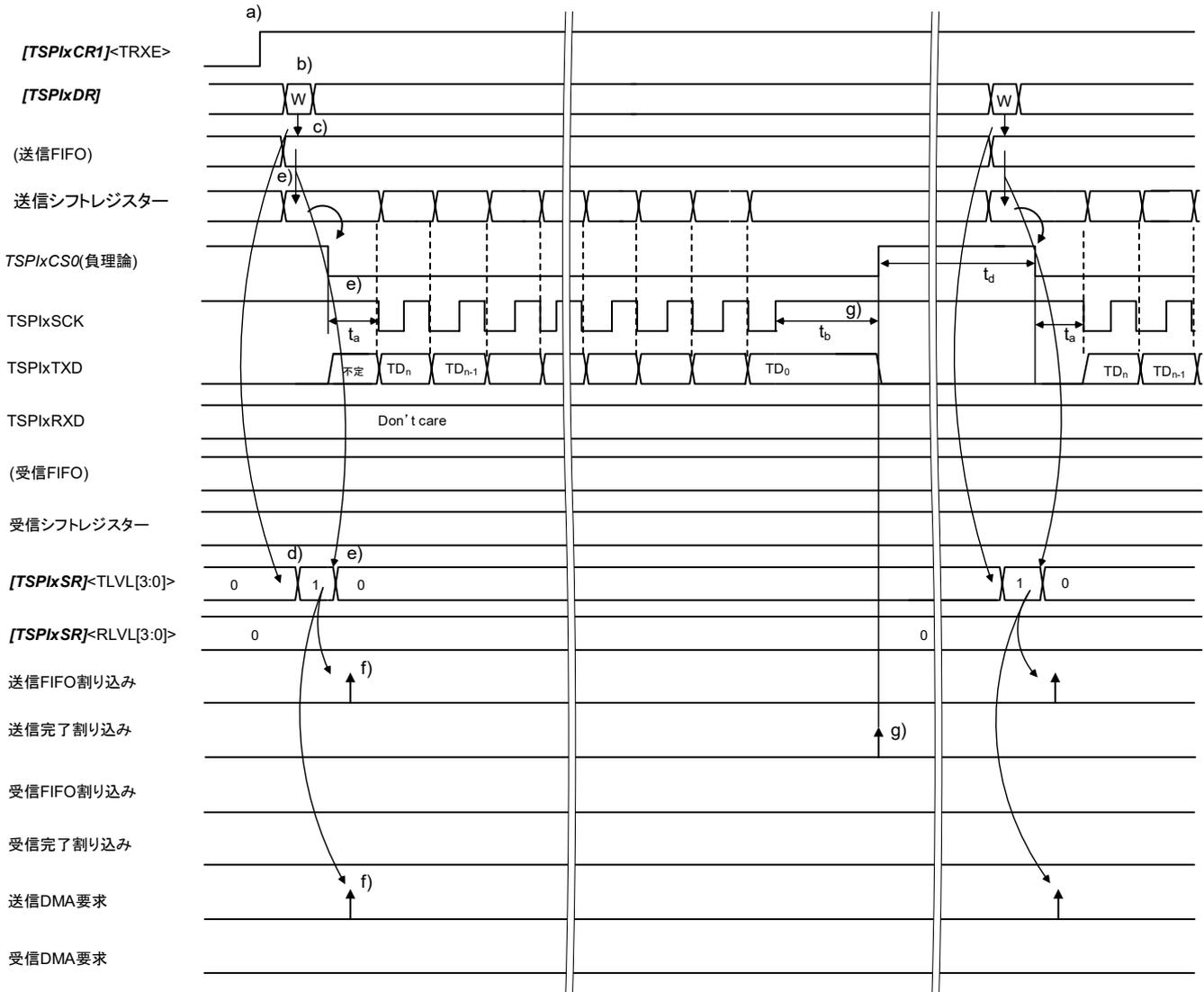


図 3.3 送信モードの動作例

- $[TSPIxCR1] <TRXE >$  に "1" をライトして通信を許可します。
- $[TSPIxDR]$  にデータをライトします。
- $[TSPIxDR]$  にデータをライトすると内部送信 FIFO の下段から順にバッファされます。
- 送信 FIFO に 1 段分のデータがバッファされた為、 $[TSPIxSR] <TLVL[3:0] >$  が "1" になります。
- 送信 FIFO にバッファされたデータはシフトレジスターに移動し、 $[TSPIxSR] <TLVL[3:0] >$  が "0" になります。 $[TSPIxFMTR0] <CSSCKDL[3:0] >$  で設定した CS アサート後サイクル ( $t_a$ ) 経過後、TSPIxSCK からシリアルクロックの出力が開始されます。
- $[TSPIxSR] <TLVL[3:0] >$  が "1" から "0" へ変化したため、送信 FIFO 割り込みや送信 DMA 要求が発生します。
- TSPIxCS0 がデアサートされてから  $[TSPIxFMTR0] <CSINT[3:0] >$  で設定したアイドル期間 ( $t_d$ ) 経過までは送信 FIFO にデータがあってもシリアル転送を開始せず、TSPIxCS0 をデアサートのまま保持します。アイドル期間 ( $t_d$ ) が経過した後、TSPIxCS0 がアサートされシリアル転送が開始されます。

### 3.4.3. 受信モード

図 3.4 にマスター動作、フレーム長 32bit、パリティなし、FIFO を 1 段利用する場合の受信モードでの連続転送の動作例を示します。(  $[TSPIxCR2] <TIDLE[1:0] > = 10$  )

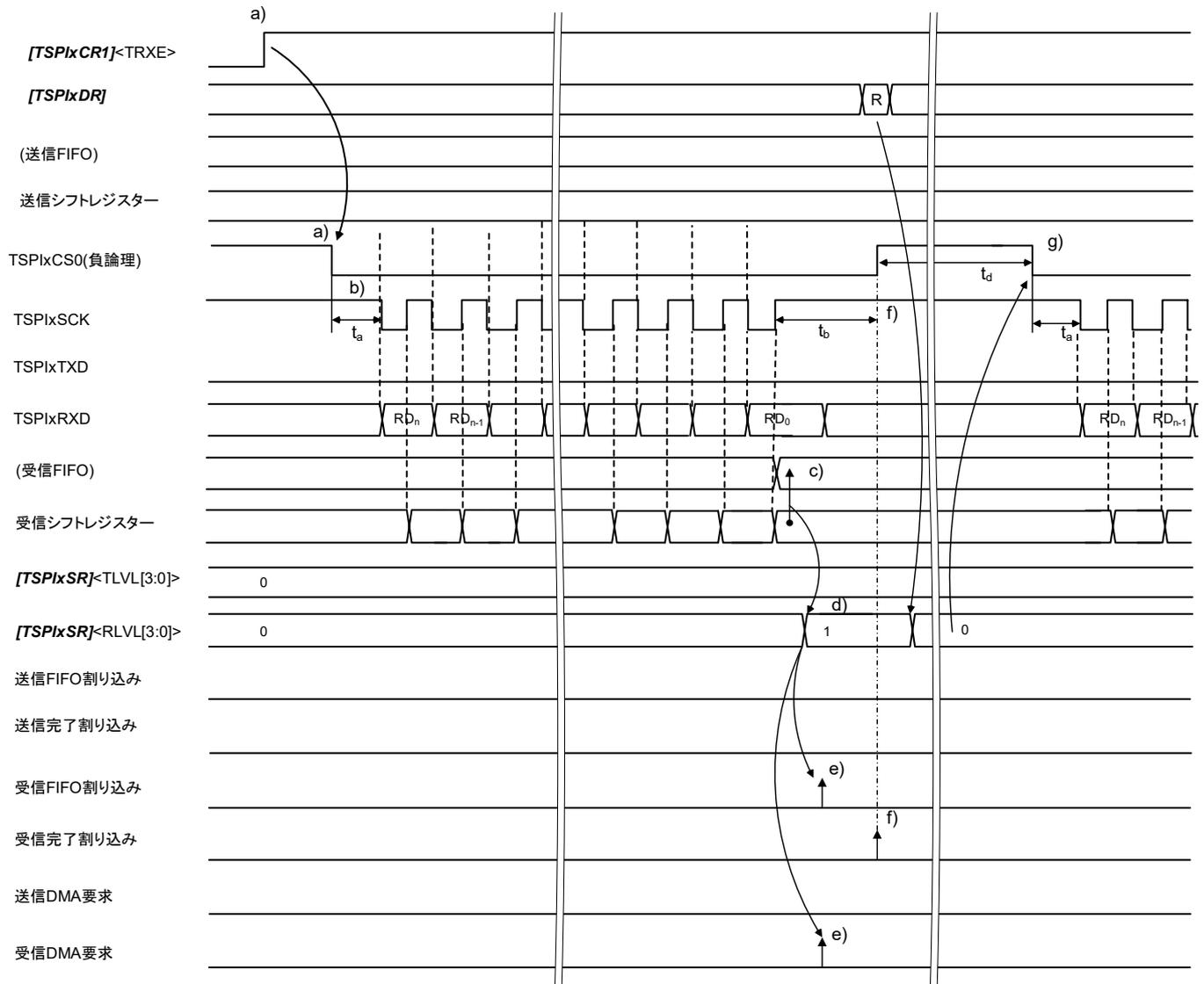


図 3.4 受信モードの動作例

- a)  $[TSPIxCR1] <TRXE >$  に "1" をライトして通信を許可します。受信 FIFO に空きがあるため直ちに  $TSPIxCS0$  がアサートされ、シリアル転送が開始されます。
- b)  $[TSPIxFMTR0] <CSSCKDL[3:0] >$  で設定した CS アサート後サイクル ( $t_a$ ) 経過後、 $TSPIxSCK$  からシリアルクロックの出力が開始されます。
- c) シリアルクロックの最後の立ち上がりエッジで受信データの全てのビットが受信シフトレジスタに取り込まれ、受信 FIFO に移動します。
- d) 受信 FIFO に 1 段分のデータがバッファされたため、 $[TSPIxSR] <RLVL[3:0] >$  が "1" になります。
- e)  $[TSPIxSR] <RLVL[3:0] >$  が "0" から "1" へ変化したため受信 FIFO 割り込みや受信 DMA 要求が発生します。
- f) シリアルクロックの最後の立ち上がりエッジから  $[TSPIxFMTR0] <SCKCSDL[3:0] >$  で設定した CS デアサート前サイクル ( $t_b$ ) 経過後、 $TSPIxCS0$  がデアサートされ、受信完了割り込みが発生されます。
- g)  $TSPIxCS0$  がデアサートされてから  $[TSPIxFMTR0] <CSINT[3:0] >$  で設定したアイドル期間 ( $t_d$ ) 経過まではシリアル転送を開始せず、 $TSPIxCS0$  をデアサートのまま保持します。アイドル期間 ( $t_d$ ) が経過した後、受信 FIFO に空きがあれば再び  $TSPIxCS0$  がアサートされシリアル転送が開始されます。

## 3.5. 転送モード

転送モードには、転送フレーム数 1~255 を指定して転送するバースト転送、転送フレーム数を指定しない連続転送の 2 つがあります。

転送モードとフレーム数は、 $[TSPIxCR1]<FC[7:0]>$ (転送フレーム数設定レジスター)で指定できます。

表 3.5 転送モードの使用可否

フレーム/セクター選択	転送モード	
	バースト転送	連続転送
フレームモード	○	○
セクターモード	×	○

### 3.5.1. バースト転送

バースト転送はフレーム数 1~255、無限転送を指定して転送するモードです。

SPI モードでマスターの場合は、あらかじめ設定したフレームの転送中は  $TSPIxCS0/1/2/3$  をアサート状態に保持します。設定したフレームの転送が終了すると、 $TSPIxCS0/1/2/3$  はデアサートされます。

バースト転送は、フレームモードで使用可能です。

### 3.5.2. 連続転送

連続転送は転送フレーム数を指定しないで 1 フレーム転送を繰り返すモードです。

SPI モードでマスターの場合は、1 フレーム転送終了ごとに  $TSPIxCS0/1/2/3$  が必ずデアサートされ、次のフレームの転送時に  $TSPIxCS0/1/2/3$  がアサートされます。

注1) スレーブモードでの送信時に 1st エッジでデータをサンプリング( $[TSPIxFMTR0]<CKPHA>=0$ )の設定で連続転送が行われた場合、最終データ送信直後にアンダーランフラグが"1" ( $[TSPIxERR]<UDRERR>=1$ )になります。

注2) スレーブモードでの受信時に 1st エッジでデータをサンプリング( $[TSPIxFMTR0]<CKPHA>=0$ )の設定で連続転送が行われた場合、FIFO フル( $[TSPIxSR]<RFLL>=1$ )の状態を受信を継続すると、最終データ受信直後にオーバーランフラグが"1"( $[TSPIxERR]<OVRERR>=1$ )になります。

連続転送は、以下の 2 つのモードが選択可能です。

#### フレームモード

- フレーム長 8~32 ビットのフレーム単位で転送するモードです。

#### セクターモード

- フレーム長 8~128 ビットのフレーム単位で転送するモードです。
- 1 フレームは 2~4 のセクターで構成します。
- 各セクターのセクター長は、以下の範囲で設定可能です。

マスター動作時 : 1~32 ビット

スレーブ動作時 : 2~32 ビット ( $f_{sys}/f_{SCKi} \geq 4$ )

: 4~32 ビット ( $f_{sys}/f_{SCKi} \geq 2$ )

セクターモードの詳細は、「3.6.2 セクターモード」を参照ください。

### 3.6. データフォーマット

データフォーマットは、フレームモードとセクターモードが選択可能です。セクターモード選択は、**[TSPIxSECTCR0]**(セクターモード制御レジスタ0)を設定します。セクター長を指定する場合は、**[TSPIxSECTCR1]**(セクターモード制御レジスタ1)を設定します。転送方向 MSB/LSB ファースト選択は、**[TSPIxFMTR0]**(フォーマット制御レジスタ0)を設定し、パリティ有/無と偶数/奇数選択は、**[TSPIxFMTR1]**(フォーマット制御レジスタ1)を設定します。またデータレジスタ**[TSPIxDR]**(RD\_31 ~ RD\_0)を読み出したとき、受信データ以外のデータは "0"です。

#### 3.6.1. フレームモード

フレームモードでは8~32ビット長のフレームの転送をバースト転送か連続転送のモードで行います。フレームモードのデータフォーマットを図 3.5 に示します。

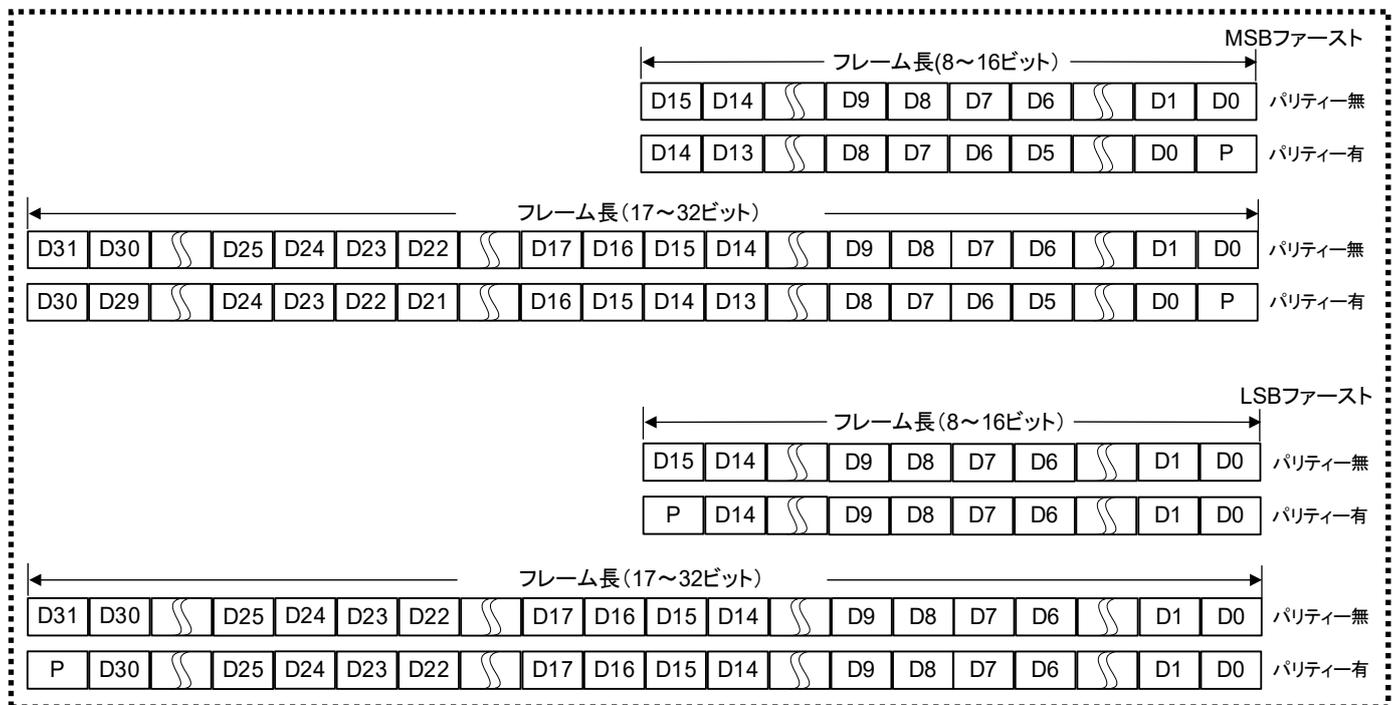


図 3.5 フレームモードのデータフォーマット概略

#### パリティ無しの場合

データ長と同じ値をフレーム長に指定します。

データ長が 31 ビットの例では、**[TSPIxFMTR0]<FL[5:0]>=011111** を設定します。

#### パリティ有りの場合

データ長にパリティビット分の 1 ビットを加えた値をフレーム長に指定します。

フレーム長は 8~32 ビットであり、従ってデータ長は 7~31 ビットになります。データ長が 31 ビットの例では、**[TSPIxFMTR0]<FL[5:0]>=100000** を設定します。送信時は、送信 FIFO のデータにパリティビットが付加され送信シフトレジスタに移動します。受信時は、受信シフトレジスタのデータからパリティビットが削除されて受信 FIFO に移動します。

### 3.6.1.1. バッファ構成と動作

送信バッファおよび受信バッファはそれぞれ独立しており、各バッファは FIFO と 32bit 幅のシフトレジスタから構成されるダブルバッファ構造でデータレジスタ  $[TSPIxDR]$  でアクセスします。

送信 FIFO と受信 FIFO はフレーム長によって 8 段 16bit 幅、または 4 段 32bit 幅で動作します。フレーム長に対応する設定可能 Fill レベルの各範囲を表 3.6 に示します。

表 3.6 フレームモード設定可能 Fill レベル

フレーム長	設定可能な Fill レベル	
	送信 FIFO $[TSPIxCR2]<TIL[3:0]>$	受信 FIFO $[TSPIxCR2]<RIL[3:0]>$
8~16bit	0~7	1~8
17~32bit	0~3	1~4

注) Fill レベルは利用可能な Fill レベルの範囲内の値を設定してください。利用可能な Fill レベルの範囲外の値を設定した場合の動作は保証しません。

表 3.7 フレームモードのデータフォーマット例

条件	パリティ付加	転送方向	フレーム長
フレームモード動作 1	パリティ無し	MSB ファースト	32 ビット
フレームモード動作 2		LSB ファースト	8 ビット
フレームモード動作 3	パリティ有り	MSB ファースト	16 ビット
フレームモード動作 4		LSB ファースト	24 ビット

以降、「表 3.7 フレームモードのデータフォーマット例」の動作 1~4 の条件について説明します。

送信動作は、送信データのデータレジスタへの書き込みから送信シフトレジスタ出力までの流れを示し、受信動作は、受信シフトレジスタへの受信データ入力からデータレジスタの読み出しまでの流れを示します。

図中では、各データの表記をデータレジスタ  $[TSPIxDR]$  のライトデータを WR<sub>31</sub>~WR<sub>0</sub>、リードデータを RD<sub>31</sub>~RD<sub>0</sub>、送信シフトレジスタのデータを TXD<sub>31</sub>~TXD<sub>0</sub>、受信シフトレジスタのデータを RXD<sub>31</sub>~RXD<sub>0</sub>、FIFO 内のフレーム n データを fn<sub>31</sub>~fn<sub>0</sub>(FIFO 段数が 4 段の場合 n=0~3、8 段の場合 n=0~7)、パリティビットを P と表します。

### 3.6.1.2. フレームモード動作 1(パリティ無/MSB ファースト)

パリティ無し、MSB ファースト、フレーム長(17~32 ビット)、FIFO4 段の転送例を示します。

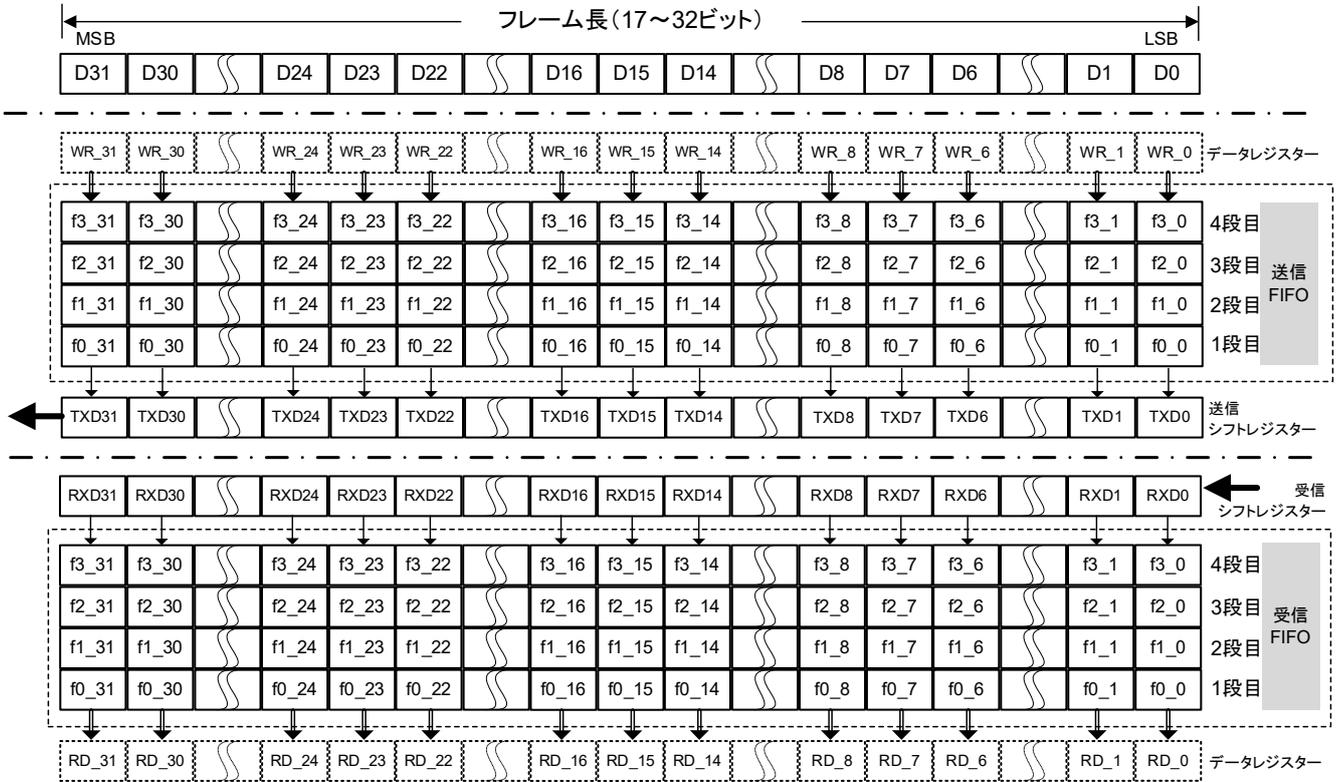


図 3.6 フレームモード/パリティ無/MSBファーストのバッファ動作

停止状態:  $[TSPIxSR] \langle TSPISUE \rangle = 0$  かつ  $[TSPIxCRI] \langle TRGEN \rangle = 0$ ,  $\langle TRXE \rangle = 0$

#### (1) 送信バッファ動作

停止状態および通信中に CPU または DMAC がデータレジスタ  $[TSPIxDR]$  に書いた送信データは、送信 FIFO が空の場合は 1 段目に、1 段目にデータがある場合は 2 段目に下段から順に積まれます。また送信バッファが空の時、通信許可してから書いた送信データは、送信シフトレジスタに直ちに転送され送信開始されます。スレーブ動作時は、アンダーランエラー発生しないよう注意してください。(「3.7.3 エラー割り込み」参照)

図 3.6 はフレーム  $f0 \sim f3$  の送信データが、送信 FIFO の 1~4 段目に格納されている状態の図です。停止状態から通信許可するか送信中のフレームが送信終了すると送信 FIFO の 1 段目のデータは、送信シフトレジスタに移動し送信開始されます。同時に 2~4 段目のデータは、1~3 段目に移動します。

送信シフトレジスタの送信データは、シリアルクロックごとにフレーム  $f0$  の MSB ( $f0_{31}$ ) から順に送信されます。

#### (2) 受信バッファ動作

通信中、1 フレーム受信終了するごとに受信シフトレジスタのデータは、受信 FIFO が空の場合は 1 段目に、1 段目にデータがある場合は 2 段目に下段から順に積まれます。

図 3.6 はフレーム  $f0 \sim f3$  の受信データが、受信 FIFO の 1~4 段目に格納されている状態の図です。受信データは、シリアルクロックごとにフレーム  $f0$  の MSB ( $f0_{31}$ ) から順に受信シフトレジスタに格納され、1 フレーム受信終了するごとに受信 FIFO の下段から順に積まれます。

CPU または DMAC がデータレジスタ  $[TSPIxDR]$  から受信 FIFO の 1 段目のデータを読み出します。同時に 2~4 段目のデータは、1~3 段目に移動します。

### 3.6.1.3. フレームモード動作 2(パリティ無/LSB ファースト)

パリティ無し、LSB ファースト、フレーム長(8~16 ビット)、FIFO 8 段の転送例を示します。

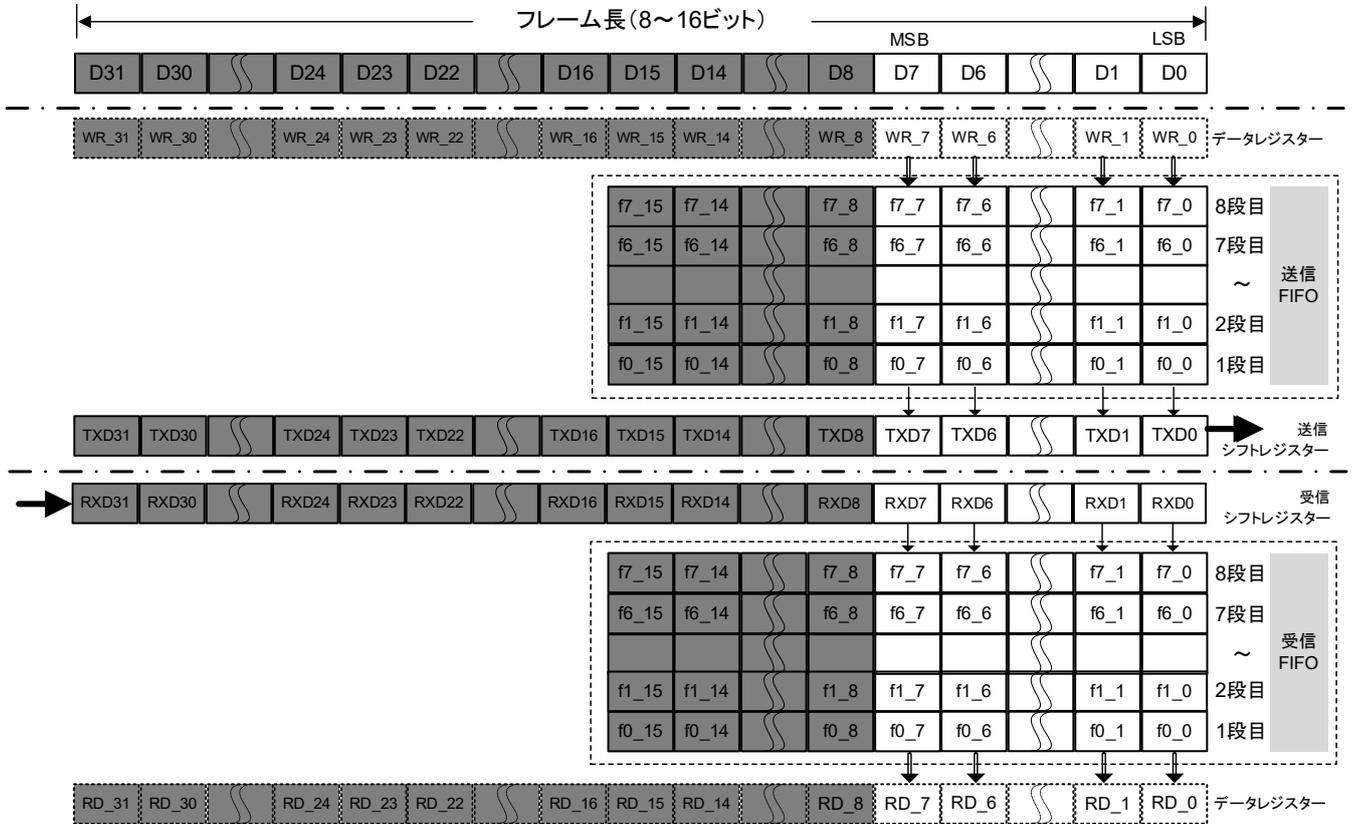


図 3.7 フレームモード/パリティ無/LSBファーストのバッファ動作

#### (1) 送信バッファ動作

停止状態および通信中に CPU または DMAC がデータレジスタ  $[TSPIxDR]$  に書いた送信データは、送信 FIFO が空の場合は 1 段目に、1 段目にデータがある場合は 2 段目に下段から順に積まれます。

また送信バッファが空の時、通信許可してから書いた送信データは、送信シフトレジスタに直ちに転送され送信開始されます。スレーブ動作時は、アンダーランエラー発生しないよう注意してください。(「3.7.3 エラー割り込み」参照)

図 3.7 はフレーム f0~f7 の送信データが、送信 FIFO の 1~8 段目に格納されている状態の図です。

停止状態から通信許可するか送信中のフレームが送信終了すると送信 FIFO の 1 段目のデータは、送信シフトレジスタに移動し送信開始されます。同時に 2~4 段目のデータは、1~3 段目に移動します。

送信シフトレジスタの送信データは、シリアルクロックごとにフレーム f0 の LSB(f0<sub>0</sub>)から順に送信されます。

#### (2) 受信バッファ動作

通信中、1 フレーム受信終了するごとに受信シフトレジスタのデータは、受信 FIFO が空の場合は 1 段目に、1 段目にデータがある場合は 2 段目に下段から順に積まれます。

図 3.7 はフレーム f0~f7 の受信データが、受信 FIFO の 1~8 段目に格納されている状態の図です。

受信データは、シリアルクロックごとにフレーム f0 の LSB(f0<sub>0</sub>)から順に受信シフトレジスタに格納され、1 フレーム受信終了するごとに受信 FIFO の下段から順に積まれます。

CPU または DMAC がデータレジスタ  $[TSPIxDR]$  から受信 FIFO の 1 段目のデータを読み出します。同時に 2~4 段目のデータは、1~3 段目に移動します。

### 3.6.1.4. フレームモード動作 3(パリティ有/MSB ファースト)

パリティ有り、MSB ファースト、フレーム長(8~16 ビット)、FIFO 8 段の転送例を示します。

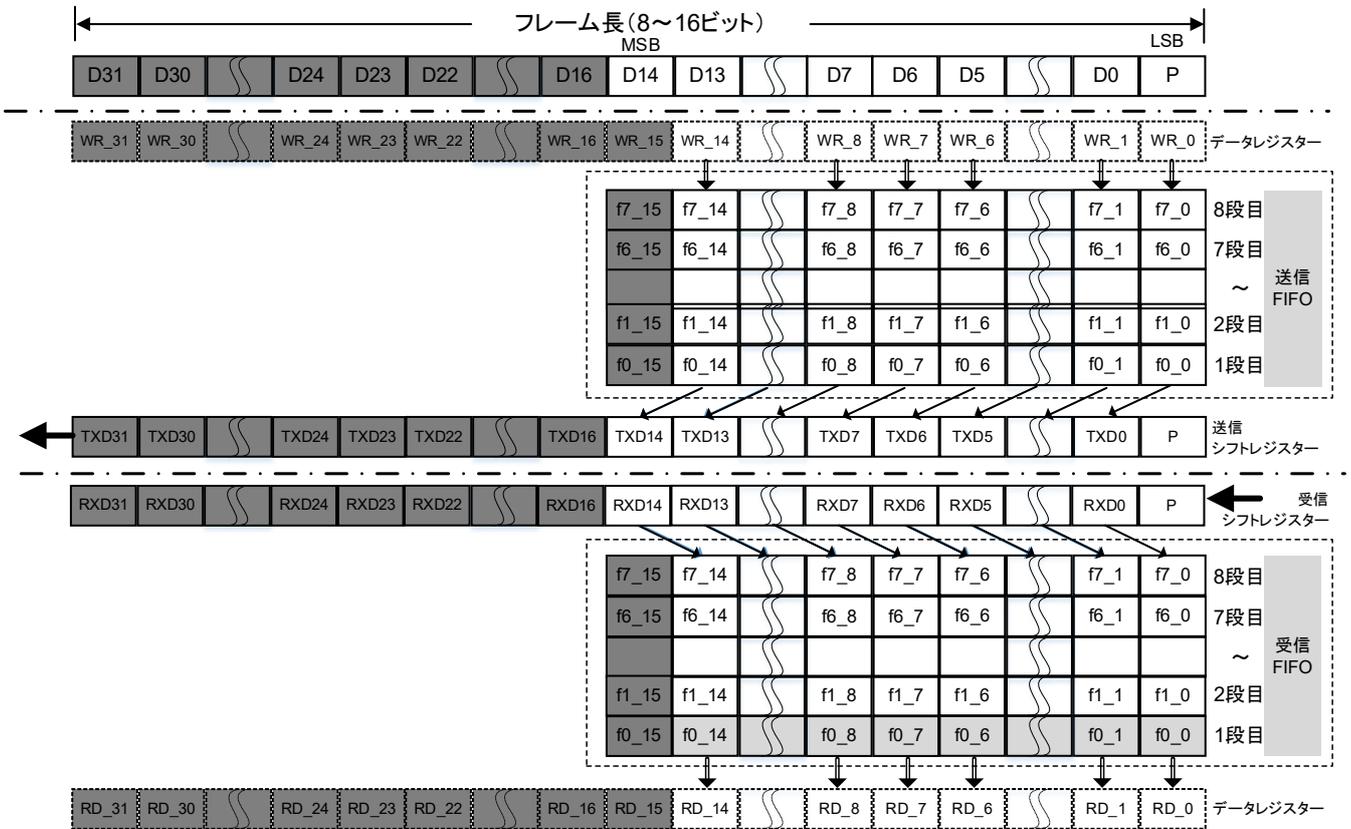


図 3.8 フレームモード/パリティ有/MSBファーストのバッファ動作

#### (1) 送信バッファ動作

停止状態および通信中に CPU または DMAC がデータレジスタ  $[TSPIxDR]$  に書いた送信データは、送信 FIFO が空の場合は 1 段目に、1 段目にデータがある場合は 2 段目に下段から順に積まれます。

また送信バッファが空の時、通信許可してから書いた送信データは、送信シフトレジスタに直ちに転送され送信開始されます。スレーブ動作時は、アンダーランエラー発生しないよう注意してください。(「3.7.3 エラー割り込み」参照)

図 3.8 はフレーム  $f_0 \sim f_7$  の送信データが、送信 FIFO の 1~8 段目に格納されている状態の図です。

停止状態から通信許可するか送信中のフレームが送信終了すると送信 FIFO の 1 段目のデータは、LSB にパリティビットが付加され、送信シフトレジスタに移動し送信開始されます。同時に 2~8 段目のデータは、1~7 段目に移動します。

送信シフトレジスタの送信データは、シリアルクロックごとにフレーム  $f_0$  の MSB( $f_0_{14}$ )から順に送信されます。

#### (2) 受信バッファ動作

通信中、1 フレーム受信終了するごとに受信シフトレジスタのデータは、受信 FIFO が空の場合は 1 段目に、1 段目にデータがある場合は 2 段目に下段から順に積まれます。

図 3.8 はフレーム  $f_0 \sim f_7$  の受信データが、受信 FIFO の 1~8 段目に格納されている状態の図です。

受信データは、シリアルクロックごとにフレーム  $f_0$  の MSB( $f_0_{14}$ )から順に受信シフトレジスタに格納され、1 フレーム受信終了するごとに LSB からパリティビットが削除され、受信 FIFO の下段から順に積まれます。

CPU または DMAC がデータレジスタ  $[TSPIxDR]$  から受信 FIFO の 1 段目のデータを読み出します。同時に 2~8 段目のデータは、1~7 段目に移動します。

### 3.6.1.5. フレームモード動作 4(パリティ有/LSB ファースト)

パリティ有り、LSB ファースト、フレーム長(17~32 ビット)、FIFO 4 段の転送例を示します。



図 3.9 フレームモード/パリティ有/LSBファーストのバッファー動作

#### (1) 送信バッファー動作

停止状態および通信中に CPU または DMAC がデータレジスタ [TSPIxDR] に書いた送信データは、送信 FIFO が空の場合は 1 段目に、1 段目にデータがある場合は 2 段目に下段から順に積まれます。

また送信バッファが空の時、通信許可してから書いた送信データは、送信シフトレジスタに直ちに転送され送信開始されます。スレーブ動作時は、アンダーランエラー発生しないよう注意してください。(「3.7.3 エラー割り込み」参照)

図 3.9 はフレーム f0~f3 の送信データが、送信 FIFO の 1~4 段目に格納されている状態の図です。

停止状態から通信許可するか送信中のフレームが送信終了すると送信 FIFO の 1 段目のデータは、MSB にパリティビットが付加され、送信シフトレジスタに移動し送信開始されます。同時に 2~4 段目のデータは、1~3 段目に移動します。

送信シフトレジスタの送信データは、シリアルクロックごとにフレーム f0 の LSB(f0\_0) から順に送信されます。

#### (2) 受信バッファー動作

通信中、1 フレーム受信終了するごとに受信シフトレジスタのデータは、受信 FIFO が空の場合は 1 段目に、1 段目にデータがある場合は 2 段目に下段から順に積まれます。

図 3.9 はフレーム f0~f3 の受信データが、受信 FIFO の 1~4 段目に格納されている状態の図です。

受信データは、シリアルクロックごとにフレーム f0 の LSB(f0\_0) から順に受信シフトレジスタに格納され、1 フレーム受信終了するごとに MSB からパリティビットが削除され、受信 FIFO の下段から順に積まれます。

CPU または DMAC がデータレジスタ [TSPIxDR] から受信 FIFO の 1 段目のデータを読み出します。同時に 2~4 段目のデータは、1~3 段目に移動します。

### 3.6.1.6. マスター動作時の転送サイクル

マスター動作時のフレーム転送サイクルの実行数を示します。

表 3.8 フレームモード/マスター動作時の転送サイクル例

No.	サイクル合計 No.1,2: バースト転送 $a+b+c \times d+(d-1) \times e$ No.3,4: 連続転送 $a+b+c+g$	転送サイクル (SPI モード動作時の CS アサート期間に相当)					連続転送 アイドル期間 $g:1 \sim 15$
		CS アサート 後サイクル $a:1 \sim 16$	CS デアサート 前サイクル $b:1 \sim 16$	フレーム長 [bit] $c:8 \sim 32$	バースト転送		
					フレーム数 $d:1 \sim 255$	フレーム インターバル期間 $e:0 \sim 15$	
1	10~34	1	1	8~32	1	0	—
2	5882~12002	16	16	8~32	255	15	—
3	11~35	1	1	8~32	—	—	1
4	55~79	16	16	8~32	—	—	15

バースト転送のサイクル合計は以下の式で表すことができます。

$$\text{サイクル合計} = \text{CS アサート後}(a) + \text{CS デアサート前}(b) + \text{フレーム長}(c) \times \text{フレーム数}(d) + (\text{フレーム数}(d) - 1) \times \text{フレームインターバル期間}(e)$$

No.1 の例でフレーム長 32 ビットの場合、

$$\text{転送サイクルの合計は } 1+1+32 \times 1+(1-1) \times 0 = 34 \text{ サイクルです}$$

No.2 の例でフレーム長 8 ビットの場合、

$$\text{転送サイクルの合計は } 16+16+8 \times 255+(255-1) \times 15 = 5882 \text{ サイクルです}$$

連続転送の開始から次フレームの開始までのサイクル合計は以下の式で表すことができます。

$$\text{サイクル合計} = \text{CS アサート後}(a) + \text{CS デアサート前}(b) + \text{フレーム長}(c) + \text{アイドル期間}(g)$$

No.3 の例でフレーム長 32 ビットの場合、転送サイクルの合計は  $1+1+32+1=35$  サイクルです

No.4 の例でフレーム長 8 ビットの場合、転送サイクルの合計は  $16+16+8+15=55$  サイクルです

各転送時間は以下の式で表すことができます。

$$\text{転送時間} = \text{転送クロック周期}(1/f_{\text{SCK}}) \times \text{サイクル合計}$$

また CS アサート後/CS デアサート前サイクルは、 $[TSPIx\text{FMTR0}] < \text{CSSCKDL}[3:0] > < \text{SCKCSDL}[3:0] >$  で設定し、2 フレーム以上のバースト転送時のフレームインターバル期間と連続転送時のアイドル期間は  $[TSPIx\text{FMTR0}] < \text{FINT}[3:0] > < \text{CSINT}[3:0] >$  で設定します。各サイクル発生の期間は、SPI/SIO の両モード共通で有効です。

### 3.6.2. セクターモード

セクターモードでは、最大4セクターで構成するフレームの転送を連続転送のモードで行います。

データ転送順にセクター0(S0)、セクター1(S1)、セクター2(S2)、セクター3(S3)と称します。

MSB ファースト転送時は MSB 側が S0、LSB ファースト転送時は LSB 側が S0 となります。

各セクター長は、 $[TSPIxSECTCR1] \langle SECTL0[5:0] \rangle / \langle SECTL1[5:0] \rangle / \langle SECTL2[5:0] \rangle / \langle SECTL3[5:0] \rangle$  に設定します。

セクターモードのデータフォーマットを図 3.10 に示します。

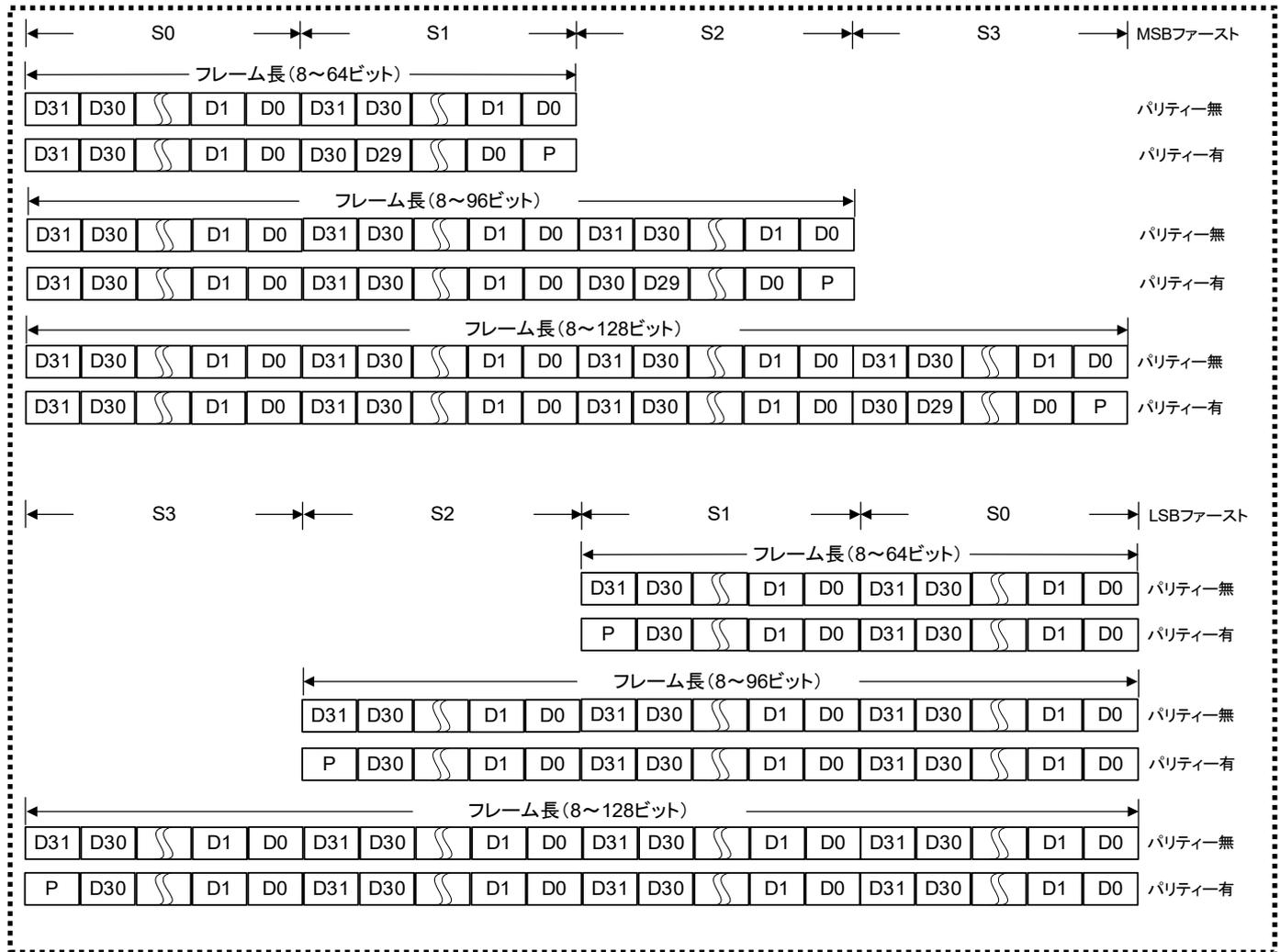


図 3.10 セクターモードのデータフォーマット概略

#### パリティ無しの場合

各セクターのデータ長 1~32 ビットと同じ値をセクター長に指定します。セクター0 のデータ長が 31 ビットの例では、セクター0 のセクター長設定レジスターに  $[TSPIxSECTCR1] \langle SECTL0[5:0] \rangle = 011111$  を設定します。

#### パリティ有りの場合

最終セクター以外のセクターはデータ長 1~32 ビットと同じ値をセクター長に指定します。

最終セクターはデータ長 1~31 ビットにパリティビットの 1 ビットを加えた値をセクター長 2~32 ビットに指定します。セクター長 1 ビット(パリティビットのみ)は禁止です。最終セクター2 のデータ長が 31 ビットの例では、セクター長設定レジスターに  $[TSPIxSECTCR1] \langle SECTL2[5:0] \rangle = 100000$  を設定します。使用しないセクター3 のセクター長設定レジスターに  $[TSPIxSECTCR1] \langle SECTL3[5:0] \rangle = 000000$

を設定します。

送信時は、送信 FIFO のデータにパリティビットが付加され送信シフトレジスターに移動します。

受信時は、受信シフトレジスターのデータからパリティビットが削除されて受信 FIFO に移動します。

### 3.6.2.1. バッファ構成と動作

送信および受信バッファはそれぞれ独立しており、各バッファは 32bit 幅 4 段の FIFO と 32bit 幅のシフトレジスターから構成されるダブルバッファ構造でデータレジスター  $[TSPIxDR]$  でアクセスします。

セクターモードは、データの格納および移動を最大 32 ビット長のセクター単位で行います。

セクターモードの設定可能な Fill レベルの範囲を表 3.9 に示します。

表 3.9 セクターモード設定可能 Fill レベル

セクター長 (S0/S1/S2/S3)	設定可能な Fill レベル	
	送信 FIFO $[TSPIxCR2]<TIL[3:0]>$	受信 FIFO $[TSPIxCR2]<RIL[3:0]>$
1~32bit	0~3	1~4

注1) Fill レベルは利用可能な Fill レベルの範囲内の値を設定してください。利用可能な Fill レベルの範囲外の値を設定した場合の動作は保証しません。

注2) 受信 FIFO がフルの状態ではセクター長の変更は禁止。

表 3.10 セクターモードのデータフォーマット例

条件	パリティ付加	転送方向	セクター数/セクター長(S0/S1/S2/S3)
セクターモード動作 1	パリティ無し	MSB ファースト	4 セクター/(32/32/32/32)
セクターモード動作 2		LSB ファースト	2 セクター/(24/16/0/0)
セクターモード動作 3	パリティ有り	MSB ファースト	3 セクター/(8/16/32/0)
セクターモード動作 4		LSB ファースト	4 セクター/(32/24/16/8)

以降、「表 3.10 セクターモードのデータフォーマット例」の動作 1~4 の条件について説明します。

送信動作は、送信データのデータレジスターへの書き込みから送信シフトレジスター出力までの流れを示し、受信動作は、受信シフトレジスターへの受信データ入力からデータレジスターの読み出しまでの流れを示します。

図中では、各データの表記をデータレジスター  $[TSPIxDR]$  のライトデータを WR<sub>31</sub>~WR<sub>0</sub>、リードデータを RD<sub>31</sub>~RD<sub>0</sub>、送信シフトレジスターのデータを TXD<sub>31</sub>~TXD<sub>0</sub>、受信シフトレジスターのデータを RXD<sub>31</sub>~RXD<sub>0</sub>、フレーム構成例と FIFO 内のセクター n データを Sn<sub>31</sub>~Sn<sub>0</sub>(n=0~3、セクター数最大 4)、パリティビットを P と表します。

### 3.6.2.2. セクターモード動作 1(パリティ無/MSB ファースト)

パリティ無/MSB ファースト/4 セクター(128 ビット/フレーム)転送時のバッファ動作の図です。

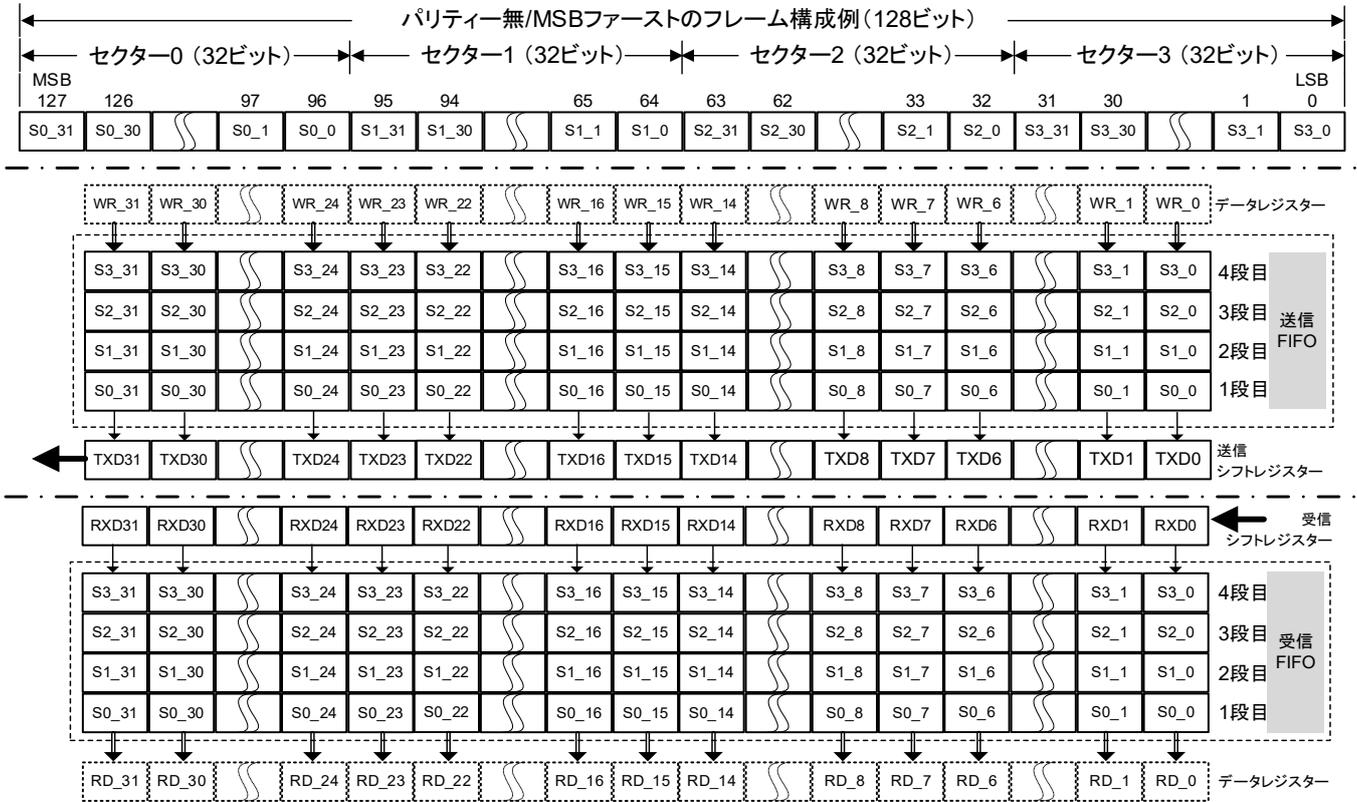


図 3.11 セクターモード/パリティ無/MSBファーストのバッファ動作

停止状態:  $[TSPIxSR] \langle TSPISUE \rangle = 0$  かつ  $[TSPIxCR1] \langle TRGEN \rangle = 0, \langle TRXE \rangle = 0$

#### (1) 送信バッファ動作

停止状態および通信中に CPU または DMAC がデータレジスタ  $[TSPIxDR]$  に書いた送信データは、送信 FIFO が空の場合は 1 段目に、1 段目にデータがある場合は 2 段目に下段から順に積まれます。また送信バッファが空の時、通信許可してから書いた送信データは、送信シフトレジスタに直ちに転送され送信開始されます。スレーブ動作時は、アンダーランエラー発生しないよう注意してください。(「3.7.3 エラー割り込み」参照)

図 3.11 はセクター0~3 の送信データが、送信 FIFO の 1~4 段目に格納されている状態の図です。停止状態から通信許可するか送信中のセクターが送信終了すると送信 FIFO の 1 段目のデータは、送信シフトレジスタに移動し送信開始されます。同時に 2~4 段目のデータは、1~3 段目に移動します。送信シフトレジスタの送信データは、シリアルクロックごとにセクター0 の MSB(S0\_31)から順に送信されます。

#### (2) 受信バッファ動作

通信中、1 セクター受信終了するごとに受信シフトレジスタのデータは、受信 FIFO が空の場合は 1 段目に、1 段目にデータがある場合は 2 段目に下段から順に積まれます。

図 3.11 はセクター0~3 のデータが、受信 FIFO の 1~4 段目に格納されている状態の図です。受信データは、シリアルクロックごとにセクター0 の MSB(S0\_31)から順に受信シフトレジスタに格納され、1 セクター受信終了するごとに受信 FIFO の下段から順に積まれます。

CPU または DMAC がデータレジスタ  $[TSPIxDR]$  から受信 FIFO の 1 段目のデータを読み出します。同時に 2~4 段目のデータは、1~3 段目に移動します。

### 3.6.2.3. セクターモード動作 2(パリティ無/LSB ファースト)

パリティ無/LSB ファースト/2 セクター(40 ビット/フレーム)転送時のバッファ動作の図です。

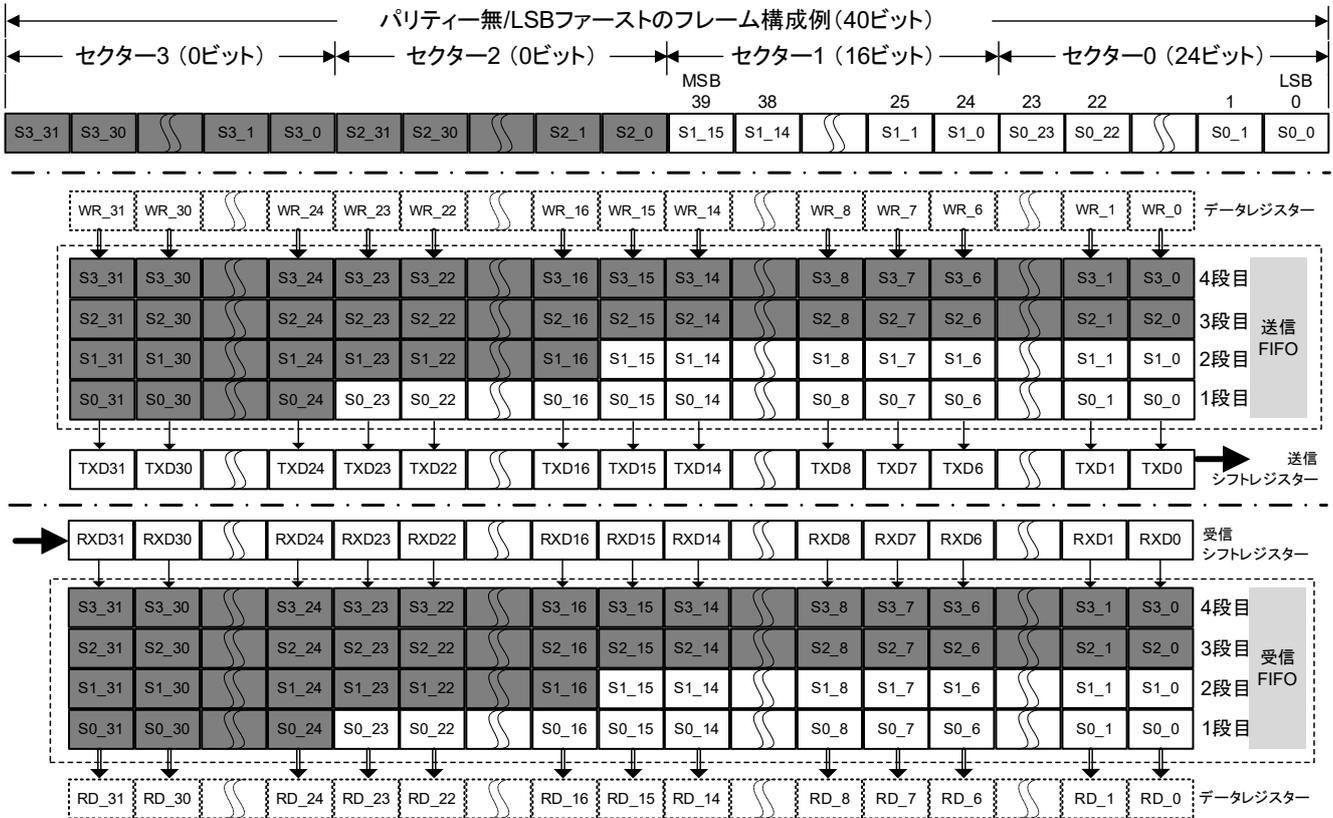


図 3.12 セクターモード/パリティ無/LSBファーストのバッファ動作

#### (1) 送信バッファ動作

停止状態および通信中に CPU または DMAC がデータレジスタ  $[TSPIxDR]$  に書いた送信データは、送信 FIFO が空の場合は 1 段目に、1 段目にデータがある場合は 2 段目に下段から順に積まれます。

また送信バッファが空の時、通信許可してから書いた送信データは、送信シフトレジスタに直ちに転送され送信開始されます。スレーブ動作時は、アンダーランエラー発生しないよう注意してください。(「3.7.3 エラー割り込み」参照)

図 3.12 はセクター0~1 の送信データが、送信 FIFO の 1~2 段目に格納されている状態の図です。

停止状態から通信許可するか送信中のセクターが送信終了すると送信 FIFO の 1 段目のデータは、送信シフトレジスタに移動し送信開始されます。同時に 2 段目のデータは、1 段目に移動します。

送信シフトレジスタの送信データは、シリアルクロックごとにセクター0 の LSB(S0\_0) から順に送信されます。

#### (2) 受信バッファ動作

通信中、1 セクター受信終了するごとに受信シフトレジスタのデータは、受信 FIFO が空の場合は 1 段目に、1 段目にデータがある場合は 2 段目に下段から順に積まれます。

図 3.12 はセクター0~1 のデータが、受信 FIFO の 1~2 段目に格納されている状態の図です。

受信データは、シリアルクロックごとにセクター0 の LSB(S0\_0) から順に受信シフトレジスタに格納され、1 セクター受信終了するごとに受信 FIFO の下段から順に積まれます。

CPU または DMAC がデータレジスタ  $[TSPIxDR]$  から受信 FIFO の 1 段目のデータを読み出します。同時に 2 段目のデータは、1 段目に移動します。

### 3.6.2.4. セクターモード動作 3(パリティ有/MSB ファースト)

パリティ有/MSB ファースト/3 セクター(56 ビット/フレーム)転送時のバッファ動作の図です。

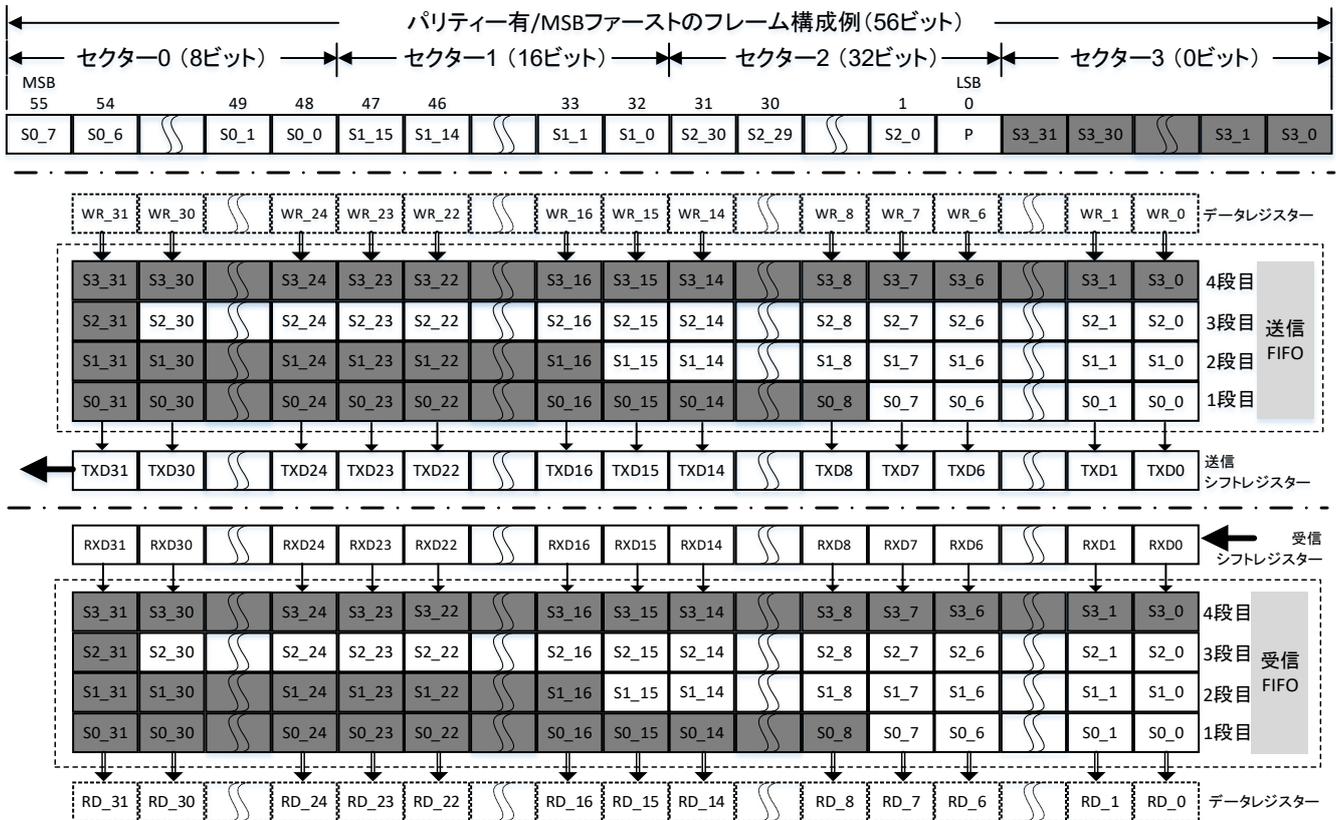


図 3.13 セクターモード/パリティ有/MSBファーストのバッファ動作

#### (1) 送信バッファ動作

停止状態および通信中に CPU または DMAC がデータレジスタ  $[TSPIxDR]$  に書いた送信データは、送信 FIFO が空の場合は 1 段目に、1 段目にデータがある場合は 2 段目に下段から順に積まれます。

また送信バッファが空の時、通信許可してから書いた送信データは、送信シフトレジスタに直ちに転送され送信開始されます。スレーブ動作時は、アンダーランエラー発生しないよう注意してください。(「3.7.3 エラー割り込み」参照)

図 3.13 はセクター0~2 の送信データが、送信 FIFO の 1~3 段目に格納されている状態の図です。停止状態から通信許可するか送信中のセクターが送信終了すると送信 FIFO の 1 段目のデータは、送信シフトレジスタに移動し送信開始されます。同時に 2~3 段目のデータは、1~2 段目に移動します。送信 FIFO の 1 段目が最終セクター2 の際は、LSB にパリティビットが付加されたデータが送信シフトレジスタに移動し送信開始されます。

送信シフトレジスタの送信データは、シリアルクロックごとにセクター0 の MSB(S0\_7)から順に送信されます。

#### (2) 受信バッファ動作

通信中、1 セクター受信終了するごとに受信シフトレジスタのデータは、受信 FIFO が空の場合は 1 段目に、1 段目にデータがある場合は 2 段目に下段から順に積まれます。

図 3.13 はセクター0~2 のデータが、受信 FIFO の 1~3 段目に格納されている状態の図です。

受信データは、シリアルクロックごとにセクター0 の MSB(S0\_7)から順に受信シフトレジスタに格納され、1 セクター受信終了するごとに受信 FIFO の下段から順に積まれます。最終セクター2 を受信した際は、LSB からパリティビットが削除されたデータが受信 FIFO に移動します。

CPU または DMAC がデータレジスタ  $[TSPIxDR]$  から受信 FIFO の 1 段目のデータを読み出します。同時に 2~3 段目のデータは、1~2 段目に移動します。

### 3.6.2.5. セクターモード動作 4(パリティ有/LSB ファースト)

パリティ有/LSB ファースト/4 セクター(80 ビット/フレーム)転送時のバッファ動作の図です。

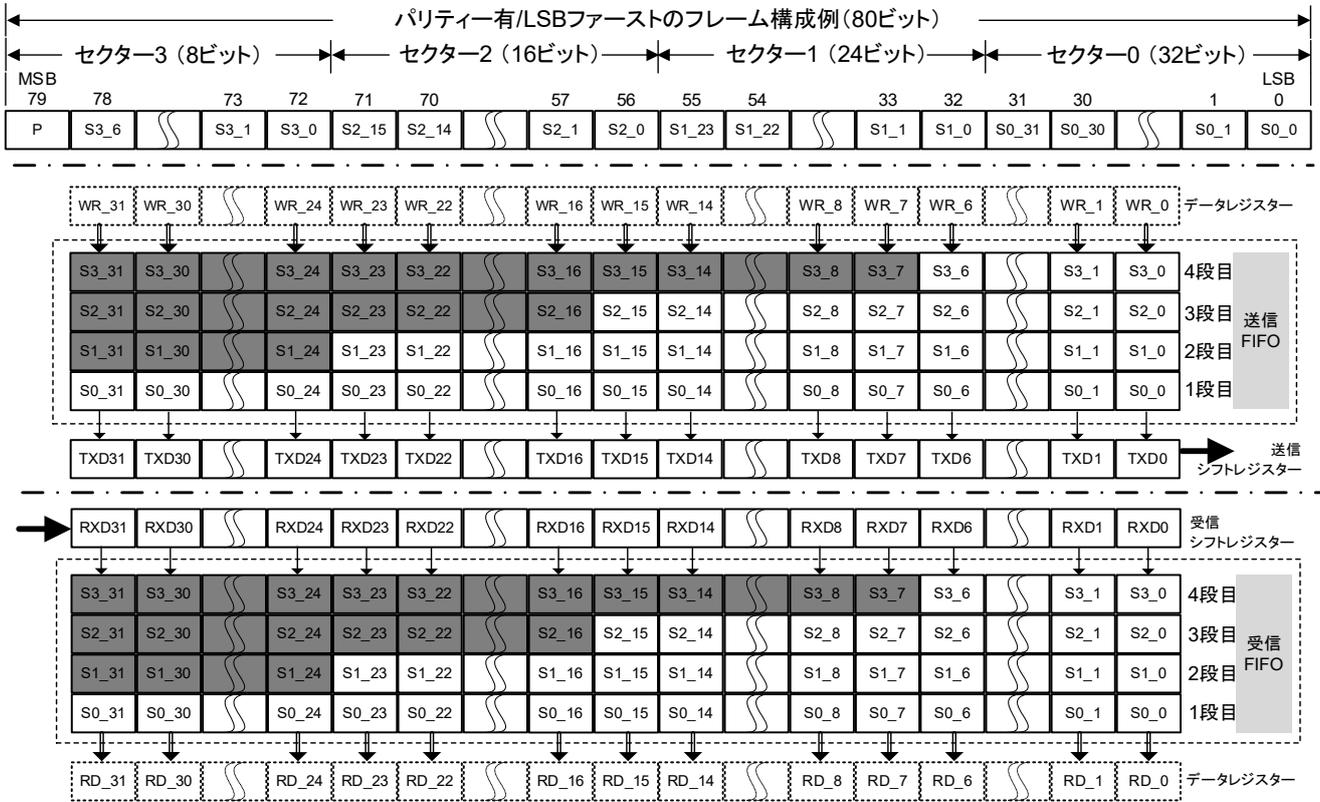


図 3.14 セクターモード/パリティ有/LSBファーストのバッファ動作

#### (1) 送信バッファ動作

停止状態および通信中に CPU または DMAC がデータレジスタ  $[TSPLxDR]$  に書いた送信データは、送信 FIFO が空の場合は 1 段目に、1 段目にデータがある場合は 2 段目に下段から順に積まれます。

また送信バッファが空の時、通信許可してから書いた送信データは、送信シフトレジスタに直ちに転送され送信開始されます。(スレーブ動作時は、アンダーランエラー発生しないよう注意してください。[3.7.3 エラー割り込み] 参照)

図 3.14 はセクター 0~3 の送信データが、送信 FIFO の 1~4 段目に格納されている状態の図です。

停止状態から通信許可するか送信中のセクターが送信終了すると送信 FIFO の 1 段目のデータは、送信シフトレジスタに移動し送信開始されます。送信 FIFO の 1 段目が最終セクター 3 の際は、MSB にパリティビットが付加されたデータが送信シフトレジスタに移動し送信開始されます。同時に 2~4 段目のデータは、1~3 段目に移動します。

送信シフトレジスタの送信データは、シリアルクロックごとにセクター 0 の LSB(S0\_0) から順に送信されます。

#### (2) 受信バッファ動作

通信中、1 セクター受信終了するごとに受信シフトレジスタのデータは、受信 FIFO が空の場合は 1 段目に、1 段目にデータがある場合は 2 段目に下段から順に積まれます。

図 3.14 はセクター 0~3 のデータが、受信 FIFO の 1~4 段目に格納されている状態の図です。

受信データは、シリアルクロックごとにセクター 0 の LSB(S0\_0) から順に受信シフトレジスタに格納され、1 セクター受信終了するごとに受信 FIFO の下段から順に積まれます。最終セクター 3 を受信した際は、MSB からパリティビットが削除されたデータが受信 FIFO に移動します。

CPU または DMAC がデータレジスタ  $[TSPLxDR]$  から受信 FIFO の 1 段目のデータを読み出します。同時に 2~4 段目のデータは、1~3 段目に移動します。

### 3.6.2.6. マスター動作時の転送サイクル

マスター動作時のセクター転送後の動作仕様を示します。

最終セクター以外のセクターがセクター長 1 ビットの場合、セクター転送後にセクター間サイクルが発生します。

表 3.11 セクターモード/マスター動作時のセクター転送後の動作仕様

セクター転送順	セクター (注)[bit]	セクター転送後の動作仕様	
最終セクター以外	1	セクター間サイクル発生、転送クロック 1 周期( $1/f_{SCK}$ )後に次セクターの転送開始	
	2~32	セクター間サイクル発生なく、次セクターの転送開始	
最終セクター	1~32	フレーム転送終了 (パリティビットある場合は含む)	パリティビットのみは禁止
	5~32		—
	6~32		
	7~32		

注) 表 3.12 のデータ転送サイクルのセクター0/1/2/3 の bit 長を表します。

セクター1 がセクター長 1 ビットのセクター間サイクル発生タイミングの例を図 3.15 に示します。1 サイクルは、転送クロック TSPIxSCK の周期( $1/f_{SCK}$ )です。

[セクター間サイクルタイミング例: SPIモード(マスター) <CSnPOL>=0, <CKPOL>=0, <CKPHA>=1]

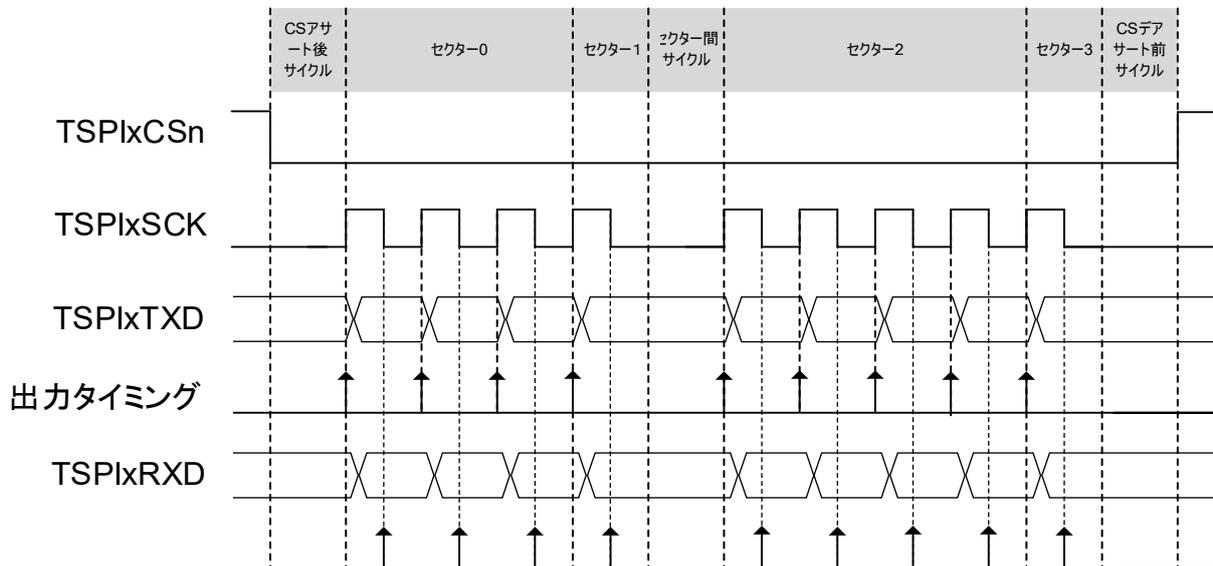


図 3.15 セクターモード/マスター動作時のセクター間サイクル発生タイミング

上記は、TSPIxCSnの極性が負論理 [ $TSPIxFMTR0$ ] <CSnPOL>=0、TSPIxSCKの極性(アイドル期間のレベル)が"Low" <CKPOL>=0、RXD サンプリグタイミングが 2nd エッジ <CKPHA>=1 の設定の場合、CS アサート後サイクルと CS デアサート前サイクルが 1、セクター長はセクター0 が 3 ビット、セクター1 が 1 ビット、セクター2 が 4 ビット、セクター3 が 1 ビットの例のタイミング図です。

セクター間サイクルは、セクター長 1 ビットのセクター1 転送後に 1 サイクル発生します。同じくセクター長 1 ビットのセクター3 は最終セクターのため発生しません。

セクター間サイクルでは TSPIxSCK が変化せず、TSPIxTXD はセクター1 のデータを維持します。(TSPIxRXD はスレーブモードの TSPIxTXD からのデータ受信を想定したものです)。

各条件の転送サイクル数をセクター数およびセクター長別に示します。

表 3.12 セクターモード/マスター動作時の転送サイクル例

No.	サイクル合計 連続転送: a+b+c+f+g	転送サイクル (SPI モード動作時の CS アサート期間に相当)							連続転送 アイドル 期間 g:1~15	
		CS アサート 後サイクル a:1~16	CS デアサート 前サイクル b:1~16	フレーム長 c:8~128				セクター間 サイクル f:0~3		
				データ転送サイクル [bit]						
				セクター0 1~32	セクター1 1~32	セクター2 1~32	セクター3 1~32			
1	10~130	1	1	2~32	2~32	2~32	1~32	8~128	0	—
2	11~100	1	1	2~32	2~32	1	1~32	8~97	1	—
				2~32	1	2~32	1~32			
				1	2~32	2~32	1~32			
3	12~70	1	1	2~32	1	1	1~32	8~66	2	—
				1	2~32	1	1~32			
				1	1	2~32	1~32			
4	43~70	16	16	1	1	1	5~32	8~35	3	—
5	10~98	1	1	2~32	2~32	1~32	0	8~96	0	—
6	11~68	1	1	2~32	1	1~32	0	8~65	1	—
				1	2~32	1~32	0			
7	12~38	1	1	1	1	6~32	0	8~34	2	—
8	10~66	1	1	2~32	1~32	0	0	8~64	0	—
9	11~36	1	1	1	7~32	0	0	8~33	1	—
10	11~67	1	1	2~32	1~32	0	0	8~64	0	1
11	58~85	16	16	1	1	1	5~32	8~35	3	15

ソフトウェア起動時、転送開始から次フレームの開始までのサイクル合計は以下の式で表すことができます。

$$\text{サイクル合計} = \text{CS アサート後(a)} + \text{CS デアサート前(b)} + \text{フレーム長(c)} + \text{セクター間サイクル(f)} + \text{アイドル期間(g)}$$

No.10 の例でフレーム長 8 ビットの場合、転送サイクルの合計は  $1+1+8+0+1 = 11$  サイクルです

No.11 の例でフレーム長 35 ビットの場合、転送サイクルの合計は  $16+16+35+3+15 = 85$  サイクルです

また、開始<TRXE>=1 と停止<TRXE>=0 のレジスター連続書き込みにより 1 フレーム転送が可能です。1 フレーム転送のサイクル合計は、通信開始トリガー起動時と同様です。

通信開始トリガー起動時、1 フレーム転送のためサイクル合計は以下の式で表すことができます。

$$\text{サイクル合計} = \text{CS アサート後(a)} + \text{CS デアサート前(b)} + \text{フレーム長(c)} + \text{セクター間サイクル(f)}$$

No.8 の例でフレーム長 64 ビットの場合、転送サイクルの合計は  $1+1+64+0 = 66$  サイクルです

No.4 の例でフレーム長 8 ビットの場合、転送サイクルの合計は  $16+16+8+3 = 43$  サイクルです

各転送時間は以下の式で表すことができます。

$$\text{転送時間} = \text{転送クロック周期}(1/f_{\text{SCK}}) \times \text{サイクル合計}$$

また CS アサート後/CS デアサート前サイクルは、`[TSPixFMTR0]<CSSCKDL[3:0]> <SCKCSDL[3:0]>` で設定し、2 フレーム以上連続転送の場合のアイドル期間は `[TSPixFMTR0]<CSINT[3:0]>` で設定します。各サイクル発生の間は、SPI/SIO の両モード共通で有効です。

### 3.7. 割り込み要求

TSPIには、送信割り込み、受信割り込み、エラー割り込みの3種類の割り込みがあります。おのこの割り込みは、関係する割り込み要因がひとつの割り込み要求にまとめられて出力されます。送信割り込み、受信割り込みはおのこの割り込み要因ごとに、エラー割り込みは一括して許可/禁止の設定が可能です。

表 3.13 割り込み要因と割り込み要求

割り込み要求	割り込み要因	許可レジスター
送信割り込み	送信完了割り込み	[TSPIxCR2]<INTTXWE>
	送信 FIFO 割り込み	[TSPIxCR2]<INTTXFE>
受信割り込み	受信完了割り込み	[TSPIxCR2]<INTRXWE>
	受信 FIFO 割り込み	[TSPIxCR2]<INTRXFE>
エラー割り込み	垂直パリティエラー割り込み	[TSPIxCR2]<INTERR>
	オーバーランエラー割り込み	
	アンダーランエラー割り込み	
	通信開始トリガーエラー割り込み	

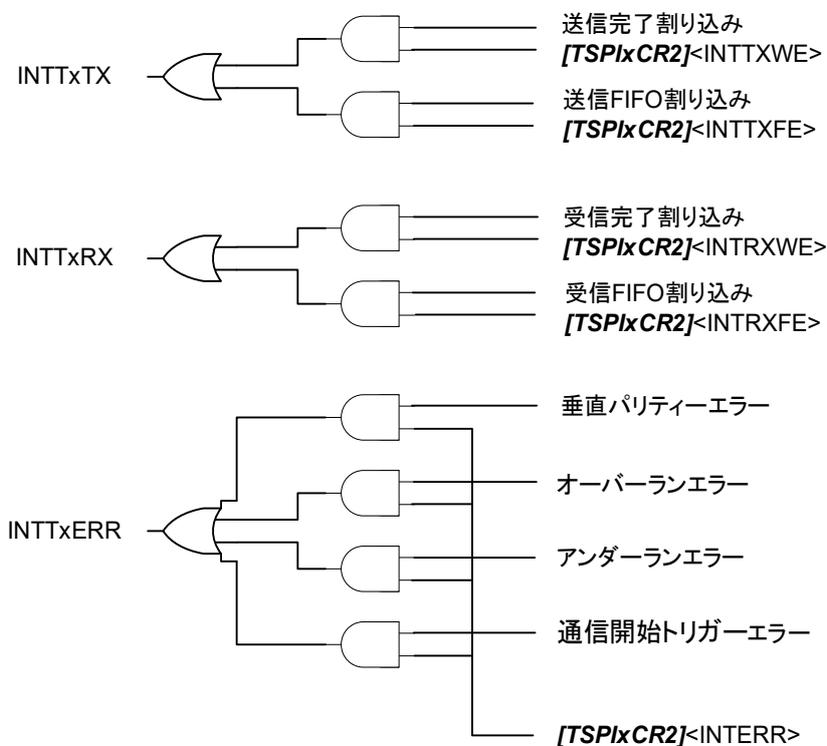


図 3.16 割り込み要求回路

### 3.7.1. 送信完了割り込み/受信完了割り込み

- マスターデバイス動作

送信完了割り込みは、送信または送受信(全2重)通信のとき、バースト転送と連続転送共に  $TSPIxCS0/1/2/3$  がデアサートされるタイミングで発生します。

また同様に、受信完了割り込みは、受信または送受信(全2重)通信のとき、バースト転送と連続転送共に  $TSPIxCS0/1/2/3$  がデアサートされるタイミングで発生します。

- スレーブデバイス動作

送信完了割り込みは、送信または送受信(全2重)通信のとき、バースト転送の場合は最終フレーム転送終了のタイミングで、連続転送の場合は1フレーム転送終了のタイミングで発生します。

また同様に、受信完了割り込みは、受信または送受信(全2重)通信のとき、バースト転送は最終フレーム転送終了のタイミングで、連続転送は1フレーム転送終了のタイミングで発生します。

### 3.7.2. 送信 FIFO 割り込み/受信 FIFO 割り込み

送信 FIFO 割り込みは、下記の条件を満たすと発生します。

-  $[TSPIxSR]<TLVL[3:0]>$ (送信 FIFO Fill レベル状態レジスター)が $[TSPIxCR2]<TIL[3:0]>$ (送信 FIFO Fill レベル設定レジスター)に設定された送信 FIFO 割り込み発生条件より1つ大きい状態。

送信 FIFO から送信シフトレジスターへのデータ転送が行われ、送信 FIFO の Fill レベルが1つ減り、 $<TLVL[3:0]>$ が送信割り込み発生条件 $<TIL[3:0]>$ と同じ値に変化したとき。

-  $<TLVL[3:0]> = <TIL[3:0]> + 1$  の場合、送信開始前 FIFO のデータがシフトレジスターに取り込まれたときに割り込みが発生します。

受信 FIFO 割り込みは、下記の条件を満たすと発生します。

-  $[TSPIxSR]<RLVL[3:0]>$ (受信 FIFO Fill レベル状態レジスター)が $[TSPIxCR2]<RIL[3:0]>$ (受信 FIFO Fill レベル設定レジスター)に設定された受信割り込み発生条件より1つ小さい状態で受信シフトレジスターから受信 FIFO へのデータ転送が行われ、受信 FIFO の Fill レベルが1つ増え、 $<RLVL[3:0]>$ が受信割り込み発生条件 $<RIL[3:0]>$ と同じ値に変化したとき。

### 3.7.3. エラー割り込み

以下のようなエラー割り込みが発生します。エラーが発生した場合は、適切に処理してください。

(1) パリティエラー割り込み

パリティエラー割り込みは、パリティエラーが起こったときに発生する割り込みです。パリティが有効なとき、フレーム長の最終ビットより1ビット前までに受信したデータからパリティが自動計算されます。

フレーム長の最終ビットとして受信したパリティビットと比較し、一致しなかったときにパリティエラー割り込みが発生します。また、割り込みが生成するタイミングは受信フレームデータが受信 FIFO に格納されるタイミングです。

### (2) アンダーランエラー割り込みとオーバーランエラー割り込み

アンダーランエラー、オーバーランエラーはスレーブモードで発生します。

送信シフトレジスタのデータを送信終了後、送信バッファが空の状態での次の転送クロックが入力されるとアンダーランエラーが発生します。アンダーランエラーが発生したフレームの送信データは、 $[TSPIxCR2]<TXDEMP>$  ( $TSPIxTXD$  のアンダーラン発生時の出力値制御)レジスタに設定した出力レベルをフレーム終了まで維持します。

受信シフトレジスタにデータを受信終了後、受信バッファがフルの状態での次の転送クロックが入力されるとオーバーランエラーが発生します。オーバーランエラーが発生したフレームのデータは受信されず、受信 FIFO、受信シフトレジスタの内容は更新されません。

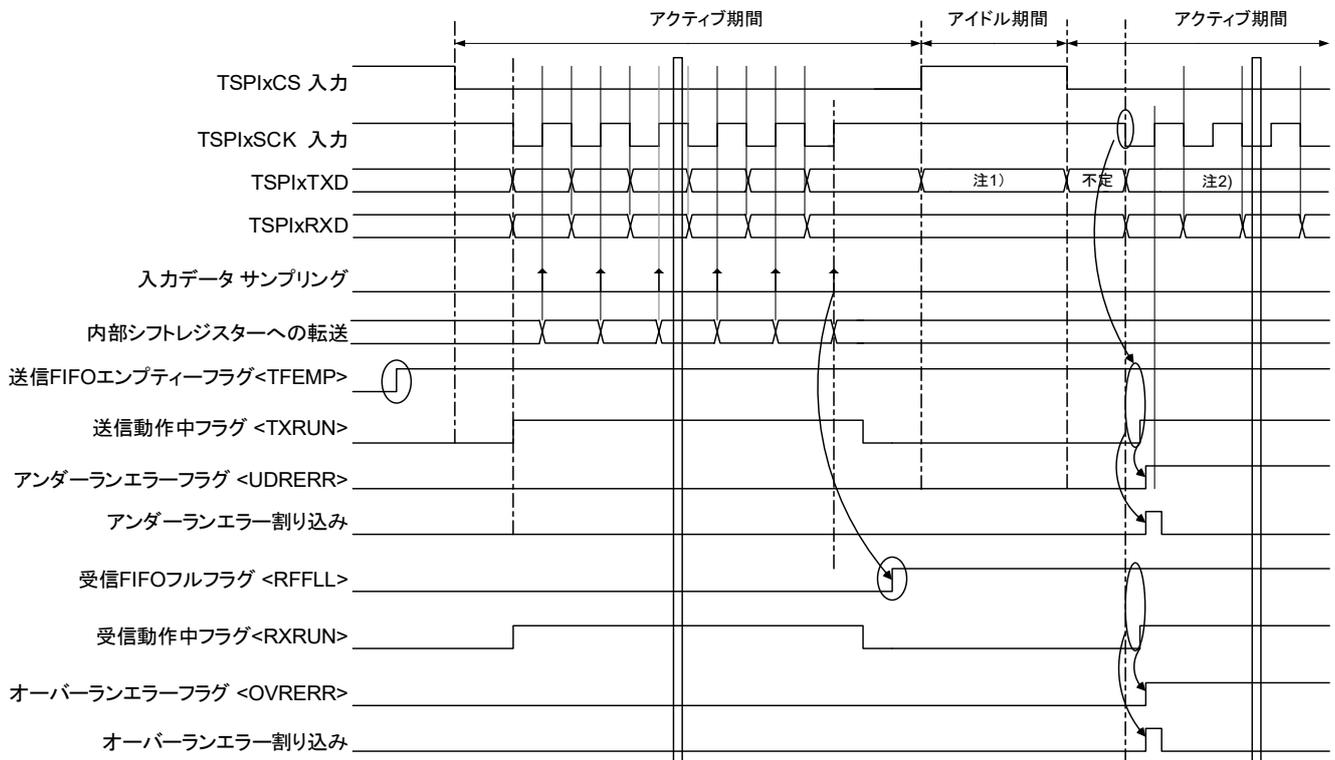


図 3.17 オーバーランエラーとアンダーランエラー

注1)  $[TSPIxCR2]<TIDLE[1:0]>$  の設定によって決まります。

注2)  $[TSPIxCR2]<TXDEMP>$  の設定によって決まります。

### (3) 通信開始トリガーエラー割り込み

マスター動作時、通信開始トリガー制御 ( $[TSPIxCR1]<TRGEN>=1$ ) トリガー有効状態で、トリガー入力による通信が開始できなかったときにセットされます。詳細は、「3.9.1 通信開始トリガー」を参照してください。

### 3.8. DMA 要求

DMA 要求には送信 DMA 要求と受信 DMA 要求があります。さらにそれぞれにシングル DMA 要求、バースト DMA 要求があります。

サポートされている DMA 要求は、製品によって異なります。詳細はリファレンスマニュアル「製品個別情報」を参照してください。

#### 3.8.1. 送信

送信のシングル DMA 要求とバースト DMA 要求は、 $[TSPIxCR2]<DMATE>$ に"1"を設定すると許可されます。

FIFO に 1 段以上の空きがある場合、シングル DMA 要求が発生します。

Fill レベルの現在値を示す $[TSPIxSR]<TLVL[3:0]>$ の値が $[TSPIxCR2]<TIL[3:0]>$ に設定された送信割り込み発生条件(Fill レベル)以下になったときにバースト DMA 要求が発生します。DMA 転送終了時にまだ Fill レベル以下であれば再度バースト DMA 要求が発生します。

#### 3.8.2. 受信

受信のシングル DMA 要求とバースト DMA 要求は、 $[TSPIxCR2]<DMARE>$ に"1"を設定すると許可されます。

FIFO に 1 つ以上のデータが存在する場合、シングル DMA 要求が発生します。

Fill レベルの現在値を示す $[TSPIxSR]<RLVL[3:0]>$ の値が $[TSPIxCR2]<RIL[3:0]>$ に設定された受信割り込み発生条件(Fill レベル)以上になったときにバースト DMA 要求が発生します。DMA 転送終了時にまだ Fill レベル以上であれば再度バースト DMA 要求が発生します。

## 3.9. トリガー制御

### 3.9.1. 通信開始トリガー

以下に周辺機能のトリガー発生により通信開始が可能な設定モードを示します。

表 3.14 通信開始トリガーの設定モード

設定モード		通信開始トリガー入力による動作仕様	
マスター動作	フレームモード	バースト転送	転送開始、1~255 フレーム転送後に終了
		連続転送	— (使用できません)
	セクターモード	転送開始、1 フレーム転送後に終了	
スレーブ動作		— (使用できません)	

停止状態 :  $[TSPIxSR] \langle TSPISUE \rangle = 0$  かつ  $[TSPIxCR1] \langle TRGEN \rangle = 0$ 、 $\langle TRXE \rangle = 0$   
 通信開始トリガー待ち状態 :  $[TSPIxSR] \langle TSPISUE \rangle = 0$  かつ  $[TSPIxCR1] \langle TRGEN \rangle = 1$ 、 $\langle TRXE \rangle = 0$   
 通信開始トリガー起動状態 :  $[TSPIxSR] \langle TSPISUE \rangle = 1$  かつ  $[TSPIxCR1] \langle TRGEN \rangle = 1$ 、 $\langle TRXE \rangle = 1$

通信開始トリガーを出力する周辺機能は製品によって異なります。詳細は、リファレンスマニュアル「製品個別情報」を参照してください。

トリガー制御による送受信それぞれの動作は以下のとおりです。

#### (1) トリガーの受付

停止状態を確認し、 $[TSPIxCR1] \langle TRGEN \rangle = 1$  を設定すると通信開始トリガー待ち状態となります。トリガーが入力され、通信を開始すると通信開始トリガー起動状態となり、通信が終了すると通信開始トリガー待ち状態となります。通信開始トリガー起動状態のトリガー入力は無視されます。通信終了後に次のトリガーを入力してください。

#### (2) 送信動作

送信 FIFO にデータがある状態でトリガーが入力されるとクロックとデータを出力し送信開始します。

フレームモードでは、 $[TSPIxCR1] \langle FC[7:0] \rangle$  設定数の転送終了でクロック出力を停止し送信終了します。

セクターモードでは、1 フレーム送信するとクロック出力を停止し送信終了します。

#### (3) 受信動作

受信 FIFO に空きがある状態でトリガーが入力されるとクロックを出力し受信開始します。

フレームモードでは、 $[TSPIxCR1] \langle FC[7:0] \rangle$  設定数の転送終了でクロック出力を停止し受信終了します。

セクターモードでは、1 フレーム受信するとクロック出力を停止し受信終了します。

#### (4) 通信開始トリガーエラーの発生

送信 FIFO にデータが無い状態でトリガーが入力されるとトリガーは無視され、エラー割り込みを出力し、通信開始トリガーエラー ( $[TSPIxERR] \langle TRGERR \rangle$ ) のフラグがセットされます。

受信 FIFO に空きの無い状態でトリガーが入力されるとトリガーは無視され、エラー割り込みを出力し、通信開始トリガーエラーフラグがセットされます。

通信開始トリガーエラーフラグがセットされた状態のトリガー入力は無視されます。

### 3.9.2. 通信完了トリガー

送信完了トリガー(TSPiXTXEND)および受信完了トリガー(TSPiRXEND)の出力によってタイマーカウンターの起動など他の機能と連携することができます。連携する機能は製品によって異なります。詳細はリファレンスマニュアル「製品個別情報」を参照してください。

## 3.10. 特殊制御

### 3.10.1. クロック SCK の極性

シリアルクロック TSPiXSCK(以降 SCK)の極性は、 $[TSPiXFMTR0]<CKPOL>$ (シリアルクロックのアイドル期間の極性レジスター)で選択できます。 $[TSPiXFMTR0]<CKPOL>=0$ にした場合は、SCK はアイドル期間に "Low" を出力し、最初のクロックエッジは立ち上がりになります。 $[TSPiXFMTR0]<CKPOL>=1$ にした場合、SCK はアイドル期間に "High" を出力し、最初のクロックエッジは立ち下がりになります。

### 3.10.2. アイドル期間の TSPiXTXD 出力

送信データ TSPiXTXD(以降 TXD)のアイドル期間中の出力レベルを $[TSPiXCR2]<TIDLE[1:0]>$ で選択できます。

表 3.15 アイドル期間中のTSPiXTXD出力

$[TSPiXCR2]<TIDLE[1:0]>$	出力
00	Hi-Z
01	最終送信データ
10	Low
11	High

TXD 出力は、 $[TSPiXCR2]<TIDLE[1:0]>$ を設定したタイミングで表 3.15 に示す状態に変化します。表 3.15 の状態と異なる条件を以下に示します。

- 初回の送信実行前に "最終送信データ" に設定した場合は、"High" が出力されます。
- マスター動作時に "Low" または "High" 設定状態から "最終送信データ" に設定しても "Low" または "High" の状態が維持され、その後の送信が完了したときに最終データを維持してアイドル期間に遷移します。
- スレーブ動作時にアンダーランエラー発生で $[TSPiXCR2]<TXDEMP>$ 指定の値が出力された場合、その送信が完了した後に表 3.15 の状態に変化します。
- バースト転送中のフレームインターバル期間は最終送信データを維持します。
- SIO モードのマスター動作時、送信開始の SCK 周期 1 クロック前から不定値が出力されます。

$[TSPIxCR2]<TIDLE[1:0]>=10$ ,  $[TSPIxFMTR0]<CKPHA>=1$ :アイドル期間中"Low"出力の例

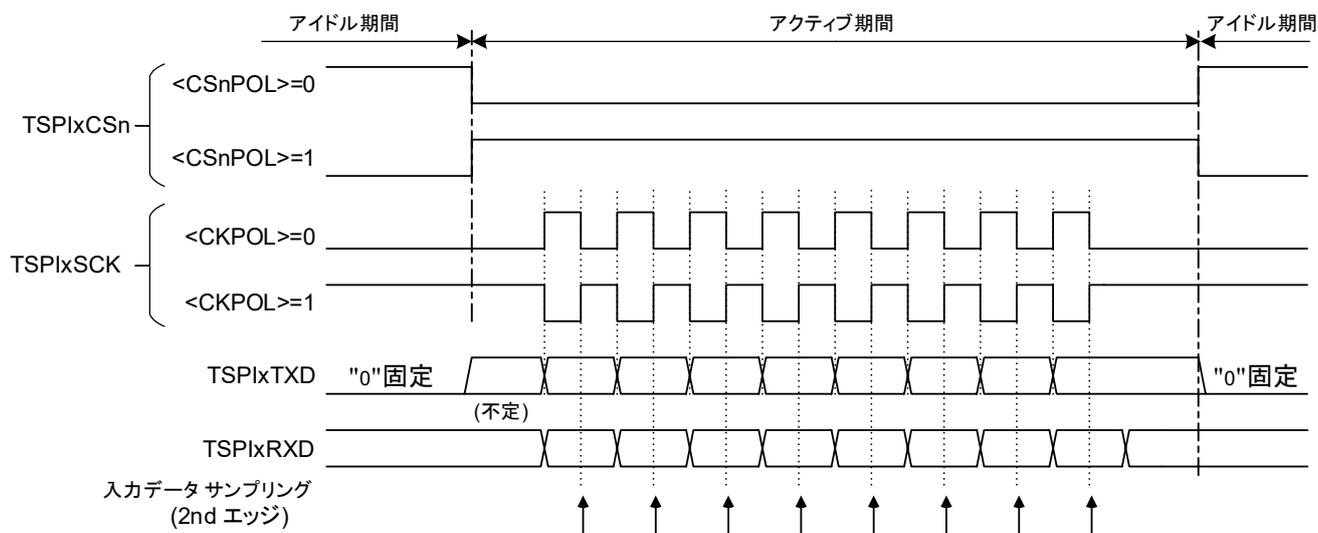


図 3.18 SPIモードのアイドル期間と送信端子状態

$[TSPIxCR2]<TIDLE[1:0]>=10$ ,  $[TSPIxFMTR0]<CKPHA>=1$ :アイドル期間中"Low"出力の例

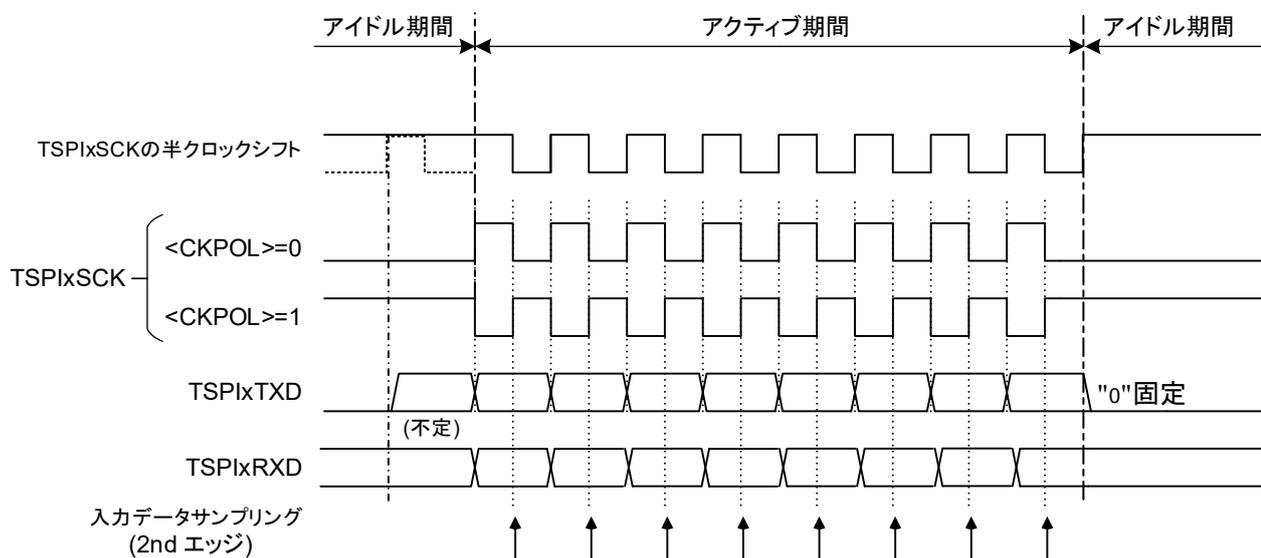


図 3.19 SIOモードのアイドル期間と送信端子状態

### 3.10.3. TXD 最終データ保持時間

SIO モードスレーブ動作時の送信データ TXD の最終データ保持時間をシステムクロック fsys 周期の 2<sup>n</sup> 倍(n=1~7)で[TSPIxFMTR1] <EHOLD[2:0]>に設定します。

### 3.10.4. RXD サンプルングタイミング

受信データ TSPIxRXD(以降 RXD)のサンプルングタイミングを[TSPIxFMTR0]<CKPHA>で切り替えることができます。[TSPIxFMTR0]<CKPHA>=1 のときは、2nd エッジでサンプルングし、[TSPIxFMTR0]<CKPHA>=0 のときは、1st エッジでサンプルングします。

表 3.16 に通信モードと RXD サンプルングタイミングの使用可否を示します。  
スレーブ動作/セクターモードを選択した場合は、1stエッジのサンプルングタイミングは使用禁止です。

表 3.16 通信モードとRXDサンプルングタイミングの使用可否

通信モード			RXD サンプルングタイミング	
			1st エッジ	2nd エッジ
SPI モード	マスター動作	フレーム	○	○
		セクター	○	○
	スレーブ動作	フレーム	○	○
		セクター	×	○
SIO モード	マスター動作	フレーム	○	○
		セクター	○	○
	スレーブ動作	フレーム	○	○
		セクター	×	○

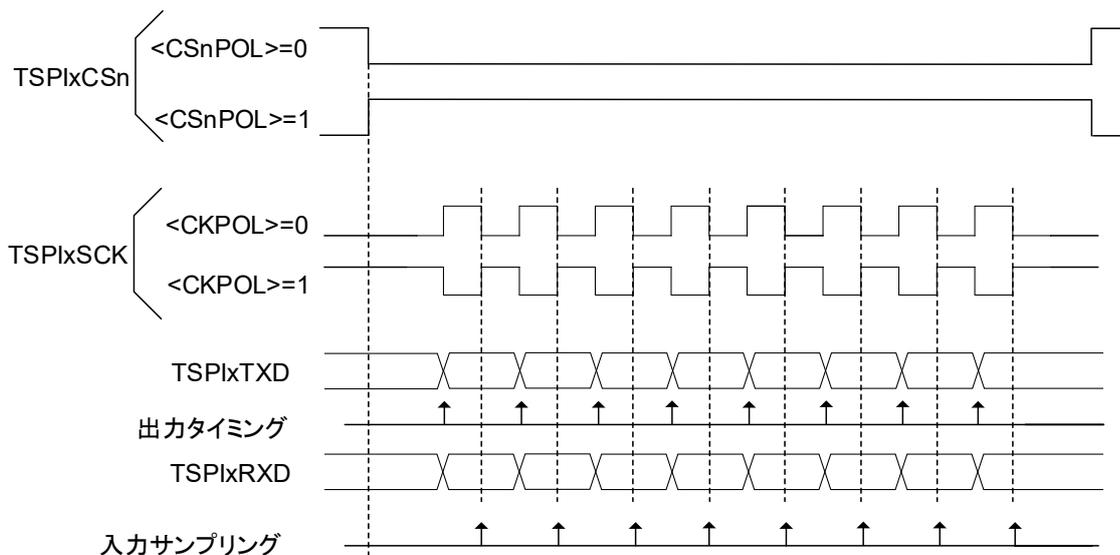
○: 使用可能 ×: 使用禁止

表 3.17 にデータ取り込みタイミングを示します。

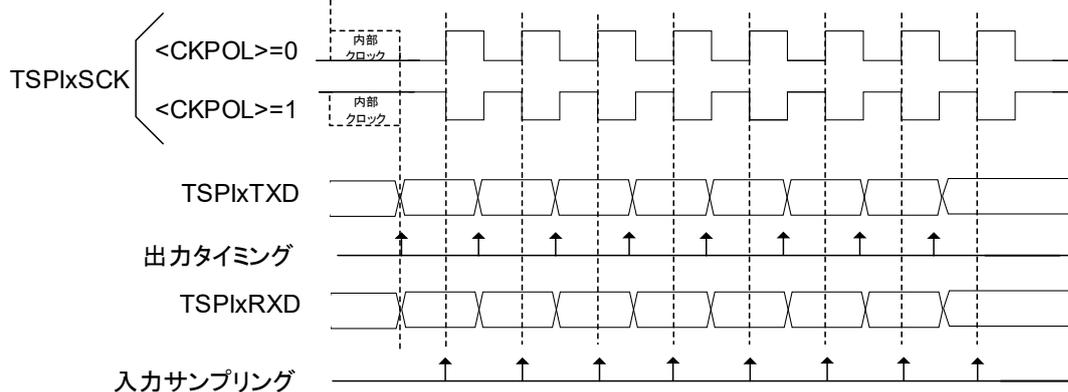
表 3.17 データ取り込みタイミング

TSPIxSCK のアイドル期間の極性 [TSPIxFMTR0]<CKPOL>	データ取り込みタイミング [TSPIxFMTR0]<CKPHA>	
	0 (1st エッジサンプルング)	1 (2nd エッジサンプルング)
0 (アイドル期間の極性が"Low")	立ち上がりエッジ	立ち下がりエッジ
1 (アイドル期間の極性が"High")	立ち下がりエッジ	立ち上がりエッジ

[SPIモード(マスター) 2ndエッジデータサンプリング<CKPHA>=1]



[SPIモード(マスター) 1stエッジデータサンプリング<CKPHA>=0]



[SPIモード(マスター) 1stエッジデータサンプリング<CKPHA>=0 アイドル期間の出力制御Hi-Z<TIDLE[1:0]>=00]

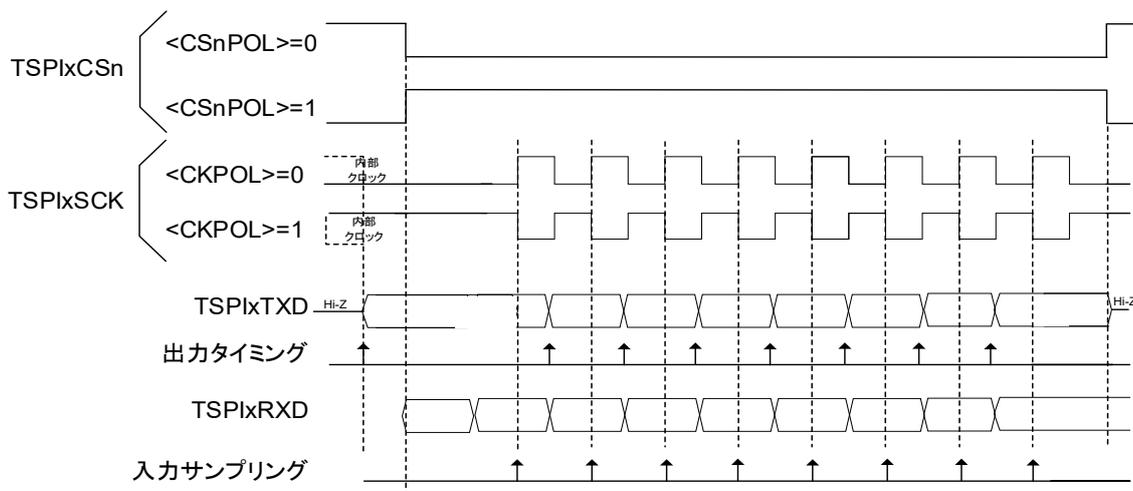
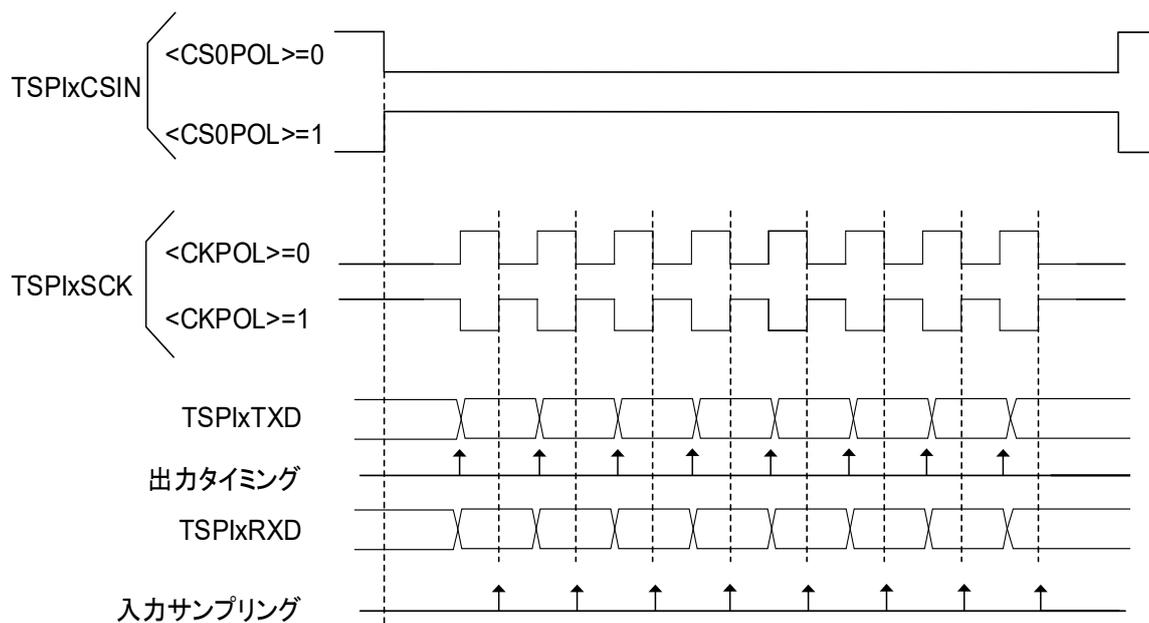


図 3.20 SPIモード(マスター)のデータサンプリングタイミング

[SPIモード(スレーブ) 2ndエッジデータサンプリング<CKPHA>=1]



[SPIモード(スレーブ) 1stエッジデータサンプリング<CKPHA>=0]

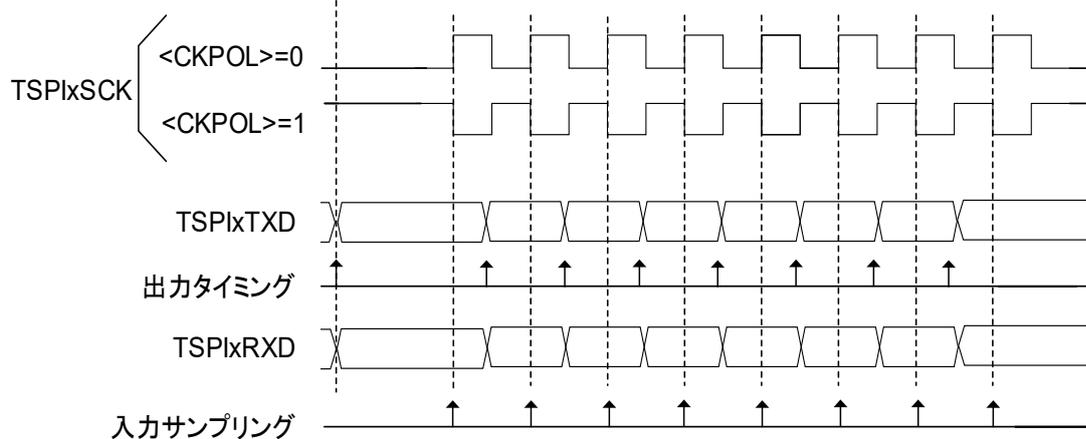
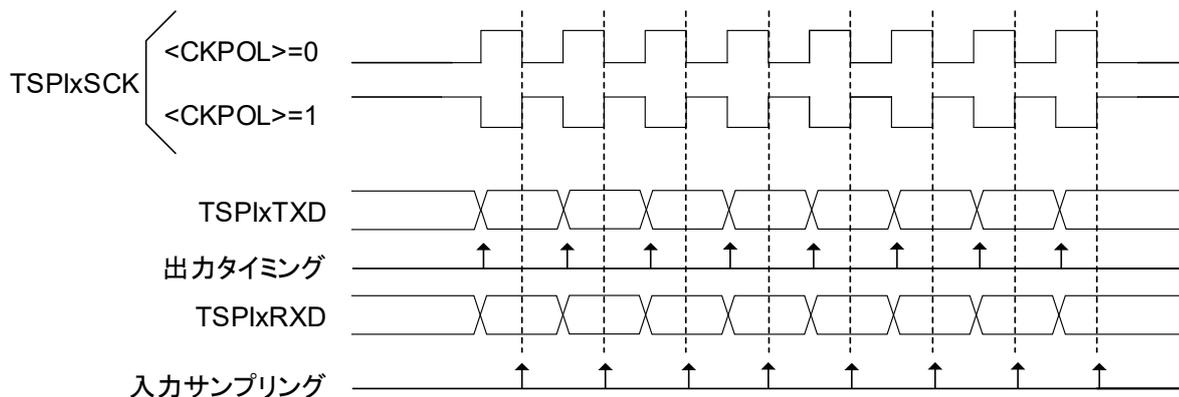


図 3.21 SPIモード(スレーブ)のデータサンプリングタイミング

[SIOモード(マスター)2ndエッジデータサンプリング<CKPHA>=1]



[SIOモード(マスター)1stエッジデータサンプリング<CKPHA>=0]

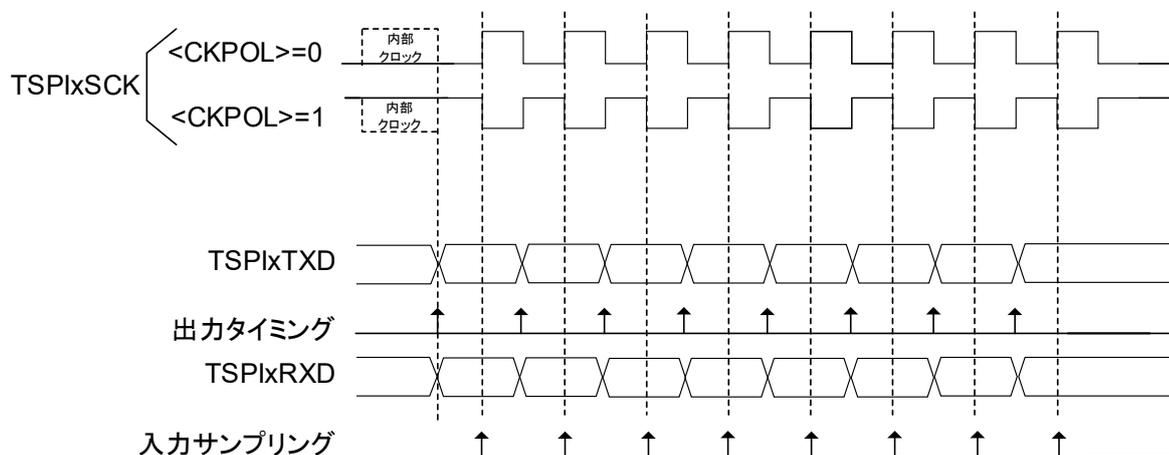


図 3.22 SIOモード(マスター)のデータサンプリングタイミング

[SIOモード(スレーブ)2ndエッジデータサンプリング<CKPHA>=1]

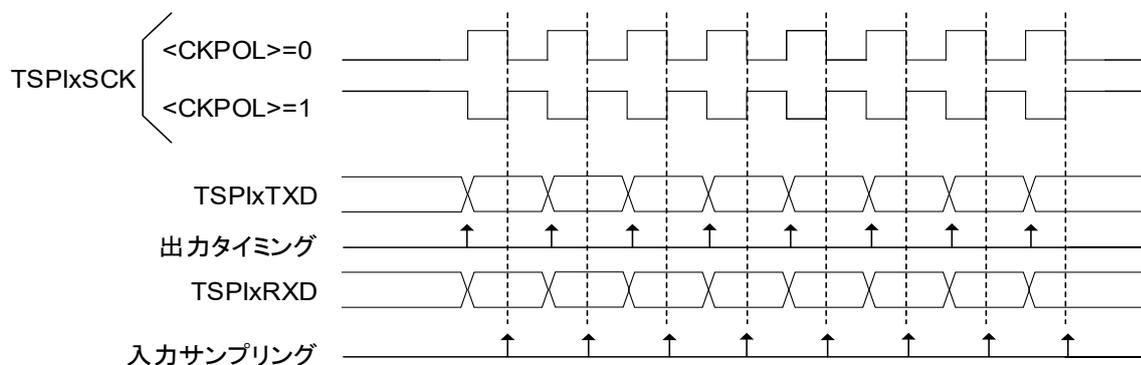


図 3.23 SIOモード(スレーブ)のデータサンプリングタイミング

### 3.10.5. CS タイミングと極性

$[TSPIxFMTR0]<CSnPOL>$ によりチップセレクト  $TSPIxCS0/1/2/3$ (以降CS)の極性を端子別を選択することができます。 $[TSPIxFMTR0]<CSnPOL>=0$ の場合は負論理、 $[TSPIxFMTR0]<CSnPOL>=1$ の場合は正論理になります。

また、マスター動作時のCSの発生タイミング関係は以下のように設定することができます。

- CS アサート後サイクル(フレーム/セクター共通、バースト/連続転送共通)  
SPIモード動作時、CSがアサートされてからSCKの1stエッジまでの時間( $t_a$ )をSCK周期のn倍( $n=1\sim 16$ )で $[TSPIxFMTR0]<CSSCKDL[3:0]>$ に設定します。
- CS デアサート前サイクル(フレーム/セクター共通、バースト/連続転送共通)  
SPIモード動作時、最終データのSCK周期終了からCSをデアサートするまでの時間( $t_b$ )をSCK周期のn倍( $n=1\sim 16$ )で $[TSPIxFMTR0]<SCKCSDL[3:0]>$ に設定します。
- フレームインターバル期間(SPI/SIOモード共通)  
フレームモード/バースト転送時、フレームインターバル期間( $t_c$ )をSCK周期のn倍( $n=0\sim 15$ )で $[TSPIxFMTR0]<FINT[3:0]>$ に設定します。
- アイドル期間(SPI/SIOモード共通、フレーム/セクター共通)  
連続転送時、アイドル期間( $t_d$ )をSCK周期のn倍( $n=1\sim 15$ )で $[TSPIxFMTR0]<CSINT[3:0]>$ に設定します。アイドル期間はSPIモード動作時のCSデアサート期間であり、SIOモード動作時と同様に設定可能な時間です。

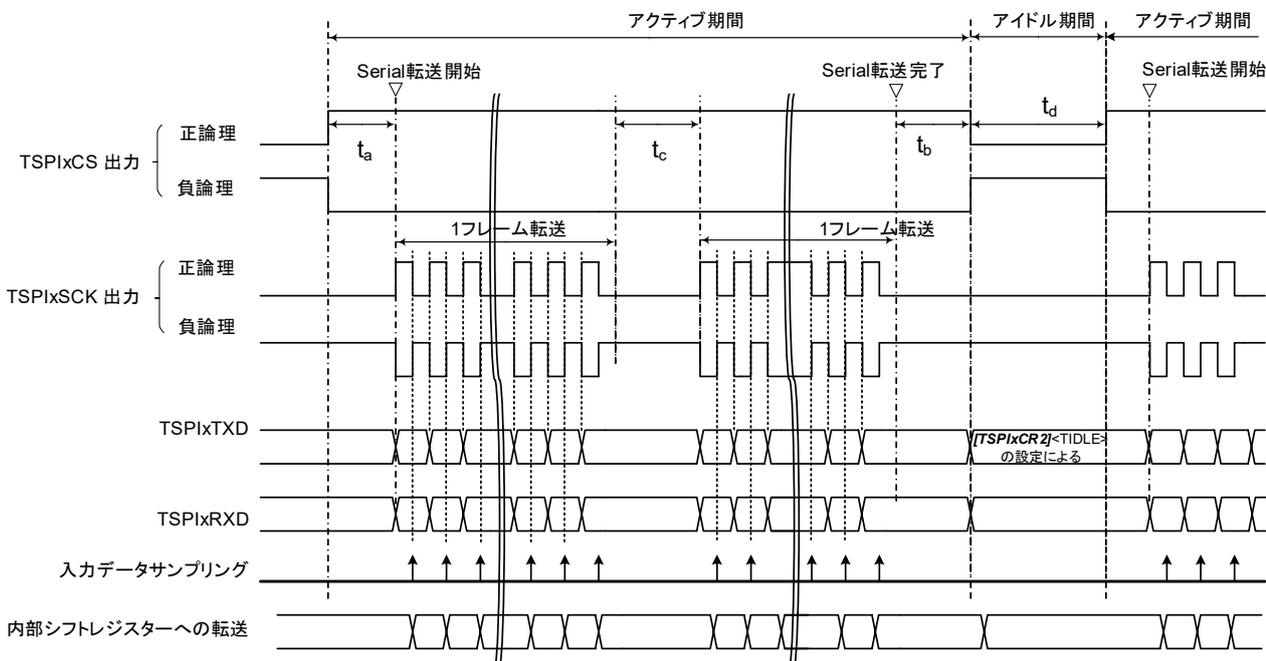


図 3.24 転送フォーマットとタイミング調整(2ndエッジの例)

### 3.10.6. ソフトウェアリセット

TSPIはソフトウェアでリセットをかけて、TSPIを初期化することができます。詳細は「4.2.1  $[TSPIxCR0]$

(TSPI 制御レジスタ-0) を参照してください。

### 4. レジスター説明

#### 4.1. レジスター一覧

制御レジスターとアドレスは以下のとおりです。

周辺機能	チャンネル/ユニット	ベースアドレス			
		TYPE1	TYPE2	TYPE3	
シリアルペリフェラルインターフェース	TSPI	ch0	0x40098000	0x400CA000	0x4006A000
		ch1	0x40099000	0x400CA400	0x4006A400
		ch2	0x4009A000	0x400CA800	0x4006A800
		ch3	0x4009B000	0x400CAC00	0x4006AC00
		ch4	0x4009C000	0x400CB000	0x4006B000
		ch5	0x4009D000	0x400CB400	0x4006B400
		ch6	0x4009E000	0x400CB800	0x4006B800
		ch7	0x4009F000	0x400CBC00	0x4006BC00
		ch8	0x40096000	0x400CC000	0x4006C000
		ch9	0x40097000	0x400CC400	0x4006C400
		ch10	-	0x400CC800	0x4006C800
		ch11	-	0x400CCC00	0x4006CC00

注) 製品によって使用されるベースアドレスは異なります。詳細はリファレンスマニュアル「製品個別情報」を参照してください。

レジスター名		アドレス(Base+)
TSPI 制御レジスター0	<b>[TSPIxCR0]</b>	0x0000
TSPI 制御レジスター1	<b>[TSPIxCR1]</b>	0x0004
TSPI 制御レジスター2	<b>[TSPIxCR2]</b>	0x0008
TSPI 制御レジスター3	<b>[TSPIxCR3]</b>	0x000C
TSPI ボーレートレジスター	<b>[TSPIxBR]</b>	0x0010
TSPI フォーマット制御レジスター0	<b>[TSPIxFMTR0]</b>	0x0014
TSPI フォーマット制御レジスター1	<b>[TSPIxFMTR1]</b>	0x0018
TSPI セクターモード制御レジスター0	<b>[TSPIxSECTCR0]</b>	0x001C
TSPI セクターモード制御レジスター1	<b>[TSPIxSECTCR1]</b>	0x0020
TSPI データレジスター	<b>[TSPIxDR]</b>	0x0100
TSPI ステータスレジスター	<b>[TSPIxSR]</b>	0x0200
TSPI エラーフラグレジスター	<b>[TSPIxERR]</b>	0x0204

注) **[TSPIxCR0]**<SWRST[1:0]>、**[TSPIxCR1]**<TRXE>、**[TSPIxDR]**、**[TSPIxSR]**以外のレジスターは**[TSPIxSR]**<TSPISUE>=1 の状態で設定はできません。

### 4.2. レジスタ詳細

#### 4.2.1. [TSPIxCR0] (TSPI 制御レジスタ-0)

Bit	Bit symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:6	SWRST[1:0]	00	W	TSPI ソフトウェアリセット(注) "10"→ "01"の連続ライトでリセットされます。 ソフトウェアリセットにより、実行中の転送動作は強制終了し、転送設定以外の制御レジスタの値が初期化されます(表 4.1)。
5:1	-	0	R	リードすると"0"が読めます。
0	TSPIE	0	R/W	TSPI の動作制御 0: 停止 1: 動作  <TSPIE>は TSPI 全体の動作/停止(クロック遮断)制御を行います。 <TSPIE>=0(停止状態)では、TSPI 内部にクロックが供給されません。<TSPIE>=1(動作状態)にしてから初期設定および通信を行ってください。 <TSPIE>はソフトウェアリセットにより初期化されません。

注) ソフトウェアリセット動作が完了するには命令実行後 2 クロック必要です。TSPI の設定が停止 (<TSPIE>=0)の状態では、ソフトウェアリセットはかかりません。

ソフトウェアリセットを行うには[TSPIxCR0]<SWRST[1:0]>(TSPI ソフトウェアリセットレジスタ)に連続して"10"→"01"とライトします。間に他の TSPI 制御レジスタにアクセスすると、ソフトウェアリセットは無効となります。"10"ライトからやり直してください。

ソフトウェアリセットによって初期化されるレジスタを「表 4.1 ソフトウェアリセットにより初期化されるレジスタ」に示します。

表 4.1 ソフトウェアリセットにより初期化されるレジスタ

レジスタ名	シンボル名
[TSPIxCR0]	対象無し
[TSPIxCR1]	<TRXE>
[TSPIxCR2]	<TIL[3:0]><RIL[3:0]><INTTXFE><INTTXWE><INTRXFE> <INTRXWE><INTERR><DMATE><DMARE>
[TSPIxCR3]	対象無し
[TSPIxBR]	対象無し
[TSPIxFMTR0]	対象無し
[TSPIxFMTR1]	対象無し
[TSPIxSECTCR0]	対象無し
[TSPIxSECTCR1]	対象無し
[TSPIxDR]	対象無し
[TSPIxSR]	<TSPISUE><TXRUN><TXEND><INTTXWF><TFEMP> <TLVL[3:0]><RXRUN><RXEND><INTRXFF><RFFLL><RLVL[3:0]>
[TSPIxERR]	<TRGERR><UDRERR><OVRERR><PERR>

## 4.2.2. [TSPIxCR1] (TSPI 制御レジスター1)

Bit	Bit symbol	リセット後	Type	機能
31:17	-	0	R	リードすると"0"が読めます。
16	INF	0	R/W	バースト転送フレーム数無限回転送制御(注 1) 0:無限回転送制御無効。 1:無限回転送制御有効。
15	TRGEN	0	R/W	通信開始トリガー制御(マスター時のみ有効) 0:使用しない 1:トリガー有効
14	TRXE	0	R/W	通信制御(注 2)(注 3)(注 4)(注 5)(注 6)(注 7) 0: 通信停止 1: 通信許可  全ての設定が終わってから通信許可に設定してください。
13	TSPIMS	0	R/W	通信モード選択 0: SPI モード 1: SIO モード
12	MSTR	1	R/W	マスター/ スレーブ選択 0: スレーブ動作 1: マスター動作
11:10	TMMD[1:0]	11	R/W	転送モード選択 00: 設定禁止 01: 送信のみ 10: 受信のみ 11: 送受信(全 2 重通信)  送信のみ場合は、TSPIxRXD の処理回路を動作停止。受信のみの場合は、TSPIxTXD の処理回路は動作停止。
9:8	CSSEL	0	R/W	TSPIxCS0/1/2/3 の選択 (注 8) 00: TSPIxCS0 が有効 01: TSPIxCS1 が有効 10: TSPIxCS2 が有効 11: TSPIxCS3 が有効
7:0	FC[7:0]	0x01	R/W	転送フレーム数設定 0: 連続転送(転送回数指定無し) 1~255: バースト転送(1~255 回転送)

注1) <INF>=1 の時、<FC[7:0]>の値によらずバースト転送でのフレーム数無限回転送が有効になります。

連続転送、バースト転送(フレーム数 1~255)を使用する場合は<INF>=0 に設定してください。

※セクターモード(<SECT>=1)では<INF>の設定は意味を持ちません。

注2) 送受信(全 2 重通信)/送信モードでは、送信シフトレジスターにデータがある状態で [TSPIxCR1]<TRXE>=1(通信許可)設定して送信を開始する方法と、<TRXE>=1 状態で送信データを書いて開始する方法があります。送信中に<TRXE>=0 (通信停止)設定するとフレーム送信を終了してから<TRXE>=0 に変化します。

受信モードでは、<TRXE>=1 設定すると直ちに受信を開始します。受信中に<TRXE>=0 設定するとフレーム受信を終了してから<TRXE>=0 に変化します。

注3) バースト転送では、転送完了後に<TRXE>=0 に変化します。再度バースト転送を行う場合は、TSPI 設定可能状態フラグ [TSPIxSR]/<TSPISUE>=0(設定許可状態)になっていることを確認後、<TRXE>=1 に設定してください。

連続転送では、<TRXE>=0 に設定しない限り<TRXE>=0 になりません。

注4) スレーブ動作時、<TRXE>=1 設定後にマスター側が通信開始しない状態で通信停止したい場合、TSPI ソフトウェアリセット [TSPIxCRO]/<SWRST[1:0]>=10→01(リセット)を設定してください。

- 注5) スレーブ動作時、送信シフトレジスタのデータを送信中に送信 FIFO にデータが残っている状態で  $\langle \text{TRXE} \rangle = 0$  を設定した場合は、送信バッファークリア [ $\text{TSPIxCR3}$ ] $\langle \text{TFEMPCLR} \rangle = 1$  (クリア) 設定するか、 $\langle \text{SWRST}[1:0] \rangle = 10 \rightarrow 01$  設定を行った後に再設定してください。
- 注6) SIO モードスレーブ 1st エッジ設定の場合、送信開始 ( $\langle \text{TRXE} \rangle = 1$ ) 前に、FIFO データを書き込んでください。  
FIFO データを書き込まずに  $\langle \text{TRXE} \rangle = 1$  にした場合、アンダーランが発生します。
- 注7) SIO モードスレーブ送信、1st エッジ送信時、転送中に  $\langle \text{TRXE} \rangle = 0$  にして転送終了した場合は、 $[\text{TSPIxCR0}] \langle \text{SWRST}[1:0] \rangle$  でソフトウェアリセットを行った後再設定してください。
- 注8) SPI モード/マスター動作時に有効です。SIO モード選択時またはスレーブ動作時は、ポートの機能端子設定で  $\text{TSPIxCS0}/1/2/3$  を選択しないでください。
- 注9) スレーブ 1st エッジ送信動作時に通信停止をする場合は、マスターからのシリアルクロックの入力がある間に通信停止を行うようにしてください。  
マスターからのシリアルクロックの入力がない場合での通信停止を行う場合はソフトウェアリセットを実行してください。

## 4.2.3. [TSPIxCR2] (TSPI 制御レジスター2)

Bit	Bit symbol	リセット後	Type	機能
31:24	-	0	R	リードすると"0"が読めます。
23:22	TIDLE[1:0]	11	R/W	TSPIxTXD のアイドル期間の出力値制御(注 1) 00: Hi-Z 01:最終送信データ 10: Low 固定 11: High 固定
21	TXDEMP	1	R/W	TSPIxTXD のアンダーラン発生時(スレーブ動作)の出力値制御 0: Low 固定 1: High 固定
20:19	-	0	R	リードすると"0"が読めます。
18:16	RXDLY[2:0]	001	R/W	転送クロック周波数 $f_{SCK}$ 条件(マスター動作) 000: $f_{sys} / f_{SCK} \geq 2$ 100: $f_{sys} / f_{SCK} \geq 10$ 001: $f_{sys} / f_{SCK} \geq 4$ 101: $f_{sys} / f_{SCK} \geq 12$ 010: $f_{sys} / f_{SCK} \geq 6$ 110: $f_{sys} / f_{SCK} \geq 14$ 011: $f_{sys} / f_{SCK} \geq 8$ 111: $f_{sys} / f_{SCK} \geq 16$  詳細は、「表 3.2」を参照してください。(注 2)
15:12	TIL[3:0]	0000	R/W	送信 Fill レベル設定 送信 FIFO 割り込み発生条件(注 3)
11:8	RIL[3:0]	0001	R/W	受信 Fill レベル設定 受信 FIFO 割り込み発生条件(注 3)
7	INTTXFE	0	R/W	送信 FIFO 割り込み制御 0: 禁止 1: 許可  送信 FIFO の Fill レベル割り込みの発生許可ビットです。割り込み発生時の Fill レベルは<TIL[3:0]>で設定します。
6	INTTXWE	0	R/W	送信完了割り込み制御 0: 禁止 1: 許可  連続転送時は 1 フレームが終了したとき、バースト転送時はバースト転送が終了したときの TSPIxCS0/1/2/3 のデアサートタイミングで割り込みを発生します。
5	INTRXFE	0	R/W	受信 FIFO 割り込み制御 0: 禁止 1: 許可  受信 FIFO の Fill レベル割り込みの発生を許可します。割り込み発生時の Fill レベルは<RIL[3:0]>で設定します。
4	INTRXWE	0	R/W	受信完了割り込み制御 0: 禁止 1: 許可  連続転送時は 1 フレームが終了したとき、バースト転送時はバースト転送が終了したときの TSPIxCS0/1/2/3 のデアサートタイミングで割り込みを発生します。
3	-	0	R	リードすると"0"が読めます。

2	INTERR	0	R/W	<p>エラー割り込み制御 0: 禁止 1: 許可</p> <p>受信パリティエラー、マスター動作時のトリガー通信エラーとスレーブ動作時のオーバーランエラーとアンダーランエラーの割り込みを許可します。</p>
1	DMATE	0	R/W	<p>送信 DMA 制御 0: 禁止 1: 許可</p> <p>送信 DMA 要求信号がアサート中に&lt;DMATE&gt;を"0"にすると要求信号はデアサートされます。再度許可に設定したときに送信 DMA 要求信号発生要件を満たしている場合再アサートされます。</p>
0	DMARE	0	R/W	<p>受信 DMA 制御 0: 禁止 1: 許可</p> <p>受信 DMA 要求信号がアサート中に&lt;DMARE&gt;を"0"にすると要求信号はデアサートされます。再度許可に設定したときに受信 DMA 要求信号発生要件を満たしている場合再アサートされます。</p>

注1) SPI モードスレーブ動作 1st エッジデータサンプリングで連続転送を行う場合は、いずれの設定も無効です。不定値が出力されます。

注2) 製品によって、推奨設定値が決まっている場合があります。リファレンスマニュアル「製品個別情報」のシリアルペリフェラルインターフェース章、および「データシート」のシリアルペリフェラルインターフェースの AC 電気的特性の章を参照してください。

注3) Fill レベル: フレームモードは「表 3.6」、セクターモードは「表 3.9」を参照してください。

### 4.2.4. [TSPIxCR3] (TSPI 制御レジスター3)

Bit	Bit symbol	リセット後	Type	機能
31:2	-	0	R	リードすると"0"が読めます。
1	TFEMPCLR	0	W	<p>送信バッファークリア 0: 無効 1: クリア</p> <p>送信 FIFO と送信シフトレジスターを初期状態に設定します。</p>
0	RFFLLCLR	0	W	<p>受信バッファークリア 0: 無効 1: クリア</p> <p>受信 FIFO と受信シフトレジスターを初期状態に設定します。</p>

## 4.2.5. [TSPIxBR] (TSPI ボーレートレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:4	BRCK[3:0]	0000	R/W	ボーレートジェネレーター入カクロック選択 0000: ΦT0 (ΦT0 周波数) 0001: ΦT1 (ΦT0 周波数の 1/2) 0010: ΦT2 (ΦT0 周波数の 1/4) 0011: ΦT4 (ΦT0 周波数の 1/8) 0100: ΦT8 (ΦT0 周波数の 1/16) 0101: ΦT16 (ΦT0 周波数の 1/32) 0110: ΦT32 (ΦT0 周波数の 1/64) 0111: ΦT64 (ΦT0 周波数の 1/128) 1000: ΦT128 (ΦT0 周波数の 1/256) 1001: ΦT256 (ΦT0 周波数の 1/512) 1010~1111: 設定禁止
3:0	BRS[3:0]	0000	R/W	ボーレートジェネレーターの分周値"N"の設定 0000: 16 分周 0100: 4 分周 1000: 8 分周 1100: 12 分周 0001: 1 分周 0101: 5 分周 1001: 9 分周 1101: 13 分周 0010: 2 分周 0110: 6 分周 1010: 10 分周 1110: 14 分周 0011: 3 分周 0111: 7 分周 1011: 11 分周 1111: 15 分周

## 4.2.6. [TSPIxFMTR0] (TSPI フォーマット制御レジスター0)

Bit	Bit symbol	リセット後	Type	機能
31	DIR	1	R/W	転送方向 0: LSB ファースト 1: MSB ファースト
30	-	0	R	リードすると"0"が読めます。
29:24	FL[5:0]	001000	R/W	フレーム長設定(注 1) 001000: 8 ビット 001001: 9 ビット : 011111: 31 ビット 100000: 32 ビット  フレームモード動作時有効、フレーム長にはパリティビットを含みます。 フレーム長 8~32 ビット以外は設定禁止
23:20	FINT[3:0]	0000	R/W	フレームインターバル期間 0000: 0(インターバル無し) 0001: 1 × TSPIxSCK 周期 0010: 2 × TSPIxSCK 周期 : 1110: 14 × TSPIxSCK 周期 1111: 15 × TSPIxSCK 周期  マスター動作、バースト転送時のフレームインターバル期間の設定。 SIO モード動作時にも<FINT[3:0]>設定のフレームインターバル期間が発生します。連続転送時、およびスレーブ動作時は、本設定は無効です。
19	CS3POL	0	R/W	TSPIxCS3 の極性(マスター動作) 0: 負論理 1: 正論理
18	CS2POL	0	R/W	TSPIxCS2 の極性(マスター動作) 0: 負論理 1: 正論理

17	CS1POL	0	R/W	TSPIxCS1 の極性(マスター動作) 0: 負論理 1: 正論理
16	CS0POL	0	R/W	TSPIxCS0 の極性(マスター動作)、TSPIxCSIN の極性(スレーブ動作) 0: 負論理 1: 正論理
15	CKPHA	1	R/W	シリアルクロックのエッジ選択 0: 1st エッジでデータをサンプリング 1: 2nd エッジでデータをサンプリング
14	CKPOL	1	R/W	シリアルクロックのアイドル期間の極性(注 2)(注 3) 0: TSPIxSCK のレベルが"Low" 1: TSPIxSCK のレベルが"High"
13:10	CSINT[3:0]	0001	R/W	アイドル期間(注 4) TSPIxCS0/1/2/3 デアサート→TSPIxCS0/1/2/3 アサートの時間 0000: 設定禁止 0001: 1 × TSPIxSCK 周期 0010: 2 × TSPIxSCK 周期 : 1110: 14 × TSPIxSCK 周期 1111: 15 × TSPIxSCK 周期  マスター動作、連続転送時の CS デアサート期間の設定。 SIO モード動作時にも<CSINT[3:0]>設定のアイドル期間が発生します。
9:8	-	0	R	リードすると"0"が読めます。
7:4	CSSCKDL[3:0]	0000	R/W	CS アサート後サイクル TSPIxCS0/1/2/3 アサート→TSPIxSCK 出力開始の時間 0000: 1 × TSPIxSCK    1000: 9 × TSPIxSCK 0001: 2 × TSPIxSCK    1001: 10 × TSPIxSCK 0010: 3 × TSPIxSCK    1010: 11 × TSPIxSCK 0011: 4 × TSPIxSCK    1011: 12 × TSPIxSCK 0100: 5 × TSPIxSCK    1100: 13 × TSPIxSCK 0101: 6 × TSPIxSCK    1101: 14 × TSPIxSCK 0110: 7 × TSPIxSCK    1110: 15 × TSPIxSCK 0111: 8 × TSPIxSCK    1111: 16 × TSPIxSCK  マスター動作時、TSPIxCS0/1/2/3 端子がアサートされてから、 TSPIxSCK 端子が変化するまでの時間をシリアルクロックの周期単位で 設定します。SIO モード動作時では<CSSCKDL[3:0]>は"0000"を設定し てください。
3:0	SCKCSDL[3:0]	0000	R/W	CS デアサート前サイクル 最終データ→TSPIxCS0/1/2/3 デアサートの時間 0000: 1 × TSPIxSCK    1000: 9 × TSPIxSCK 0001: 2 × TSPIxSCK    1001: 10 × TSPIxSCK 0010: 3 × TSPIxSCK    1010: 11 × TSPIxSCK 0011: 4 × TSPIxSCK    1011: 12 × TSPIxSCK 0100: 5 × TSPIxSCK    1100: 13 × TSPIxSCK 0101: 6 × TSPIxSCK    1101: 14 × TSPIxSCK 0110: 7 × TSPIxSCK    1110: 15 × TSPIxSCK 0111: 8 × TSPIxSCK    1111: 16 × TSPIxSCK  マスター動作時、最終データの位置から TSPIxCS0/1/2/3 端子がデアサ ートされるまでの時間をシリアルクロックの周期単位で設定します。 SIO モード動作時では<SCKCSDL[3:0]>は"0000"を設定してください。

注1)  $[TSPIxSR] <TSPISUE> = 0$  であっても、FIFO にデータが残っている状態で  $<FL[5:0]>$  を変更すると FIFO 内データが全て破棄されます。

注2) スレーブ動作時は、 $<CKPOL>$  設定は送受信禁止状態 ( $TRXE=0$ ) で行ってください。

注3) SIO モードスレーブ動作時、1st エッジで使用する場合は必ず  $CS0POL=1$  を設定してください。

注4) 1st エッジデータサンプリング時は、"設定値(TSPIxSCK の整数倍) +  $0.5 \times TSPIxSCK$ "

## 4.2.7. [TSPIxFMTR1] (TSPI フォーマット制御レジスター1)

Bit	Bit symbol	リセット後	Type	機能
31:7	-	0	R	リードすると"0"が読めます。
6:4	EHOLD[2:0]	000	R/W	SIO モードスレーブ動作時の TSPIxTXD 端子の最終ビットホールド時間の設定(注 1) 000: 2/fsys 001: 4/fsys 010: 8/fsys 011: 16/fsys 100: 32/fsys 101: 64/fsys 110: 128/fsys 111: Reserved
3:2	-	0	R	リードすると"0"が読めます。
1	VPE	0	R/W	垂直パリティ機能を許可します(注 2) 0: 禁止 1: 許可
0	VPM	0	R/W	垂直パリティ選択(注 2) 0: 偶数パリティ 1: 奇数パリティ

注1) SIO モードスレーブ動作 1st クロックエッジサンプリングで送信時、最終ビットホールド時間内に次のデータを送信バッファにライトすると、ライトしたデータが TSPIxTXD に出力されます。

注2) シフトレジスターにデータがある状態で、パリティ設定を変更しないでください。

## 4.2.8. [TSPIxSECTCR0] (TSPI セクターモード制御レジスター0)

Bit	Bit symbol	リセット後	Type	機能
31:1	-	0	R	リードすると"0"が読めます。
0	SECT	0	R/W	セクター/フレームモード選択 0: フレームモード 1: セクターモード  次の条件のどちらか該当でセクターモードを選択します。 - フレーム長が 33~128 ビット - フレームを 2~4 のセクターで構成

## 4.2.9. [TSPiXSECTCR1] (TSPI セクターモード制御レジスター1)

Bit	Bit symbol	リセット後	Type	機能
31:30	-	0	R	リードすると"0"が読めます。
29:24	SECTL3[5:0]	000000	R/W	セクター3のセクター長設定 (0~32 以外設定禁止) 000000: セクター3を使用しない 000001: 1 ビット : 011111: 31 ビット 100000: 32 ビット  セクター3が最終セクターでパリティビット有の場合、データ長+1を設定
23:22	-	0	R	リードすると"0"が読めます。
21:16	SECTL2[5:0]	000000	R/W	セクター2のセクター長設定 (0~32 以外設定禁止) 000000: セクター2とセクター3を使用しない(注 1) 000001: 1 ビット : 011111: 31 ビット 100000: 32 ビット  セクター2が最終セクターでパリティビット有の場合、データ長+1を設定
15:14	-	0	R	リードすると"0"が読めます。
13:8	SECTL1[5:0]	000001	R/W	セクター1のセクター長設定 (1~32 以外設定禁止) 000001: 1 ビット : 011111: 31 ビット 100000: 32 ビット  セクター1が最終セクターでパリティビット有の場合、データ長+1を設定
7:6	-	0	R	リードすると"0"が読めます。
5:0	SECTL0[5:0]	000001	R/W	セクター0のセクター長設定 (1~32 以外設定禁止) 000001: 1 ビット : 011111: 31 ビット 100000: 32 ビット

注1) <SECTL3[5:0]>の設定は無効です。

注2) フレーム長(セクター長の合計)が 8~128 ビットの範囲で使用してください。

注3) スレーブ転送で 1bit のセクター長は設定できません。

注4) セクター長の変更は、全ての受信データを読み出してから行ってください。

## 4.2.10. [TSPiXDR] (TSPI データレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:0	TSPIDR[31:0]	0x00000000	R	受信 FIFO からデータが読み出されます。
			W	送信 FIFO にデータが書き込まれます。

注1) このレジスターへの書き込みは送信 FIFO がフルの状態では行わないでください。

注2) このレジスターの読み出しは受信 FIFO がエンプティの状態では行わないでください。

### 4.2.11. [TSPiSR] (TSPi ステータスレジスター)

Bit	Bit symbol	リセット後	Type	機能
31	TSPISUE	0	R	<p>TSPi 設定可能状態フラグ</p> <p>0: 設定可能状態 1: 設定禁止状態</p> <p>&lt;TSPISUE&gt;が"0"のとき TSPi は送信も受信も行っておらずレジスタの設定を変更することが可能です。</p> <p>&lt;TSPISUE&gt;が"0"になるのは以下の場合です。</p> <ol style="list-style-type: none"> <li>1. リセットが入力されたとき</li> <li>2. ソフトウェアリセットがかかったとき</li> <li>3. 連続転送モード動作時に通信停止設定 ([TSPiCR1]&lt;TRXE&gt;=0)とし、現在転送中のフレームがある場合はそれを転送し終えたとき</li> <li>4. バースト転送モード動作時に設定フレーム数の転送が終了したとき</li> <li>5. 転送中に[TSPiCR1]&lt;TRXE&gt;=0 とし、転送中のフレームの転送が終了したとき(「表 4.2」を参照)</li> </ol> <p>ただし、上記の条件を満たしても受信 FIFO、受信シフトレジスターがフルの状態では&lt;TSPISUE&gt;=0 になりません。受信 FIFO をリードし、受信シフトレジスター内の受信値が受信 FIFO に転送された時点で&lt;TSPISUE&gt;=0 になります。</p>
30:24	-	0	R	リードすると"0"が読めます。
23	TXRUN	0	R	<p>送信動作中フラグ</p> <p>0: 停止 1: 動作</p> <p>&lt;TXRUN&gt;は、送信 FIFO にデータが存在しなくとも、送信シフトレジスターにデータが存在する場合は、セットされます。</p> <p>&lt;TXEND&gt;&lt;TFEMP&gt;との状態を「表 4.4」に示します。</p>
22	TXEND	0	R	<p>送信完了フラグ</p> <p>0: - 1: 送信完了</p> <p>連続転送時およびバースト転送時の最終フレーム転送の TSPiCS0/1/2/3 がデアサートされたタイミングでセットされます。</p> <p>&lt;TXRUN&gt;&lt;TFEMP&gt;との状態を「表 4.4」に示します。</p>
			W	<p>送信完了フラグは"1" を書き込む事でクリアできます。</p> <p>0: Don't care 1: フラグクリア</p> <p>送信完了によるセットと、クリアが同時発生した場合は、送信完了によるセットが優先されます。</p>
21	INTTXWF	0	R	<p>送信 FIFO 割り込みフラグ</p> <p>送信 FIFO 内データの残量が割り込み発生の Fill レベル設定値 (TIL)+1 から TIL 値になったときにセットされます。</p> <p>0: 割り込み無し 1: 割り込み発生</p>
			W	<p>送信 FIFO 割り込みフラグは"1"を書き込む事でクリアできます。</p> <p>0: Don't care 1: フラグクリア</p>

20	TFEMP	1	R	送信 FIFO エンプティフラグ 0: FIFO にデータあり 1: エンプティ  送信 FIFO が空のとき"1"がセットされます。 データレジスターに送信データが書き込まれると"0"にクリアされます。 <TXRUN><TXEND>との状態を「表 4.4」に示します。
19:16	TLVL[3:0]	0000	R	送信 FIFO Fill レベル状態 送信 FIFO Fill レベル(データ数)の現在値を示します。フレーム長により FIFO の段数が変わります。表示範囲を「表 4.3」に示します。
15:8	-	0	R	リードすると"0"が読めます。
7	RXRUN	0	R	受信動作中フラグ 0: 停止 1: 動作  <RXEND><RFFLL>との状態を「表 4.5」に示します。
6	RXEND	0	R	受信完了フラグ 0: - 1: 受信完了  連続転送時およびバースト転送時の最終フレーム転送の TSPIxCS0/1/2/3 がデアサートされたタイミングでセットされます。 <RXRUN><RFFLL>との状態を「表 4.5」に示します。
			W	受信完了フラグは"1"を書き込む事でクリアできます。 0: Don't care 1: フラグクリア  受信完了によるセットと、クリアが同時発生した場合は、受信完了によるセットが優先されます。
5	INTRXFF	0	R	受信 FIFO 割り込みフラグ 0: 割り込みなし 1: 割り込み発生  受信 FIFO 内データが割り込み発生時の Fill レベル設定値 <RIL[3:0]>-1 から<RIL[3:0]>値になったときにセットされます。
			W	0: Don't care 1: フラグクリア 本ビットに"1"を書き込む事でクリアできます。
4	RFFLL	0	R	受信 FIFO フルフラグ 0: FIFO に空あり 1: フル  受信 FIFO がいっぱいであることを示します。 データレジスターからデータを読み出すと自動でクリアされます(注) <RXRUN><RXEND>との状態を「表 4.5」に示します。
3:0	RLVL[3:0]	0000	R	受信 FIFO Fill レベル状態 受信 FIFO Fill レベル(データ数) の現在値を示します。フレーム長により FIFO の段数が変わります。 <RLVL[3:0]>に表示される値の範囲を「表 4.3」に示します。

注) 受信シフトレジスターにデータがある場合は、データレジスターを2回読み出すとクリアされます。

表 4.2 通信停止設定時の転送状態と設定可能状態フラグ

通信停止 [TSPixCR1]<TRXE>=0 設定時の転送状態		TSPi 設定可能状態フラグ [TSPixSR]<TSPISUE>	
		マスター動作	スレーブ動作
転送前		"0"設定可能状態	"1"設定禁止状態 (停止指示は無効) ソフトウェアリセットをかけてください
転送中		転送中のフレーム終了後に"0"	
転送中断 (注)	フレームモード	"0"設定可能状態	"1"設定禁止状態(転送中断継続) 転送中のフレーム終了後に"0"
	セクターモード	"1"設定禁止状態(転送中断継続)、転送中のフレーム終了後に"0"	
転送後		"0"設定可能状態(通信停止状態、停止指示は不要)	

注) マスター動作は送受信データの未処理、スレーブ動作はマスター側に起因する中断

表 4.3 Fillレベルステータスの表示範囲

モード	フレーム長 /セクター長	FIFO 段数	FIFO Fill レベルステータス範囲	
			受信時<RLVL[3:0]>	送信時<TLVL[3:0]>
フレーム	8~16bit	8 段	0~8	0~8
	17~32bit	4 段	0~4	0~4
セクター	1~32bit	4 段	0~4	0~4

表 4.4 送信FIFOと送信動作の状態

<TXRUN>	<TXEND>	<TFEMP>	状態	
0	0	1	①	初期状態、または③の送信完了フラグクリア後
		0	②	送信データ書き込み後、または④の送信完了フラグクリア後
	1	1	③	停止中、送信完了、送信 FIFO データ無 (別にシフトレジスター有)
		0	④	停止中、送信完了、送信 FIFO データ有
1	0	1	⑤	送信中、送信 FIFO データ無、送信シフトレジスター送信中 またはマスター動作時、送信バッファがエンプティにより一時停止中
		0	⑥	送信中、送信 FIFO データ有
	1	1/0	-	送信完了フラグのクリア忘れ(誤使用)

表 4.5 受信FIFOと受信動作の状態

<RXRUN>	<RXEND>	<RFFLL>	状態	
0	0	0	⑦	初期状態、または⑨の受信完了フラグクリア後
		1	⑧	⑩の受信完了フラグクリア後
	1	0	⑨	停止中、受信完了、受信 FIFO 空き有
		1	⑩	停止中、受信完了、受信 FIFO 空き無
1	0	0	⑪	受信中、受信 FIFO 空き有
		1	⑫	受信中、受信 FIFO 空き無、受信シフトレジスター受信 またはマスター動作時、受信バッファがフルにより一時停止中 (注)
	1	0/1	-	受信完了フラグのクリア忘れ(誤使用)

注) 受信バッファフルで一時停止中の場合は、データレジスターを2回読み出すと再開します。

## 4.2.12. [TSPIxERR] (TSPI エラーフラグレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:4	-	0	R	リードすると"0"が読めます。
3	TRGERR	0	R	通信開始トリガーエラーフラグ(マスター動作時) トリガー入力で通信が開始できなかったときにセットされます。 0: エラーなし 1: エラーあり
			W	"1" 書き込みでフラグクリアできます。 0: Don't care 1: フラグクリア
2	UDRERR	0	R	アンダーランエラーフラグ(スレーブ動作時) アンダーランエラーがあったときにセットされます。 0: エラーなし 1: エラーあり (エラー発生時の処置を「表 4.6」に示します。)
			W	"1" 書き込みでフラグクリアできます。 0: Don't care 1: フラグクリア
1	OVRERR	0	R	オーバーランエラーフラグ(スレーブ動作時) オーバーランエラーがあったときにセットされます。 0: エラーなし 1: エラーあり (エラー発生時の処置を「表 4.7」に示します。)
			W	"1" 書き込みでフラグクリアできます。 0: Don't care 1: フラグクリア
0	PERR	0	R	パリティエラーフラグ 垂直パリティエラーがあったときにセットされます。 0: エラーなし 1: エラーあり
			W	"1" 書き込みでフラグクリアできます。 0: Don't care 1: フラグクリア

注) 全てのフラグクリアは、送受信中に行わないでください。

表 4.6 アンダーランエラー時の処置

モード	アンダーランエラー時の処置
フレーム	エラー後の送信再開は、無効データのフレーム送信が終了し、エラー処理の後に再設定し送信します。エラー後にデータレジスターに書いたデータを使用しない場合は、送信バッファをクリアしてください。
セクター	エラー後の送信再開は、無効データのフレーム送信が終了し、エラー処理の後に送信バッファをクリアし、再設定してフレームのセクター0から送信します。エラー後にマスター側が中止しフレーム送信が終了しない場合は、ソフトウェアリセット後に再設定し送信してください。

注) スレーブ 1st エッジ動作時の場合は、エラー処理の後に TSPI を停止してください。その後、再設定して送信または受信を再スタートしてください。

表 4.7 オーバーランエラー時の処置

モード	オーバーランエラー時の処置
フレーム	エラー後の受信再開は、無効データのフレーム受信が終了し、エラー処理の後に再設定し受信します。また、エラー処理にはデータレジスターの読み出しを含みます(受信再開には2フレーム以上の読み出しが必要)。エラー後に受信 FIFO と受信シフトレジスターの状態を初期化したい場合は、受信バッファをクリアしてください。
セクター	エラー後の受信再開は、無効データのフレーム受信が終了し、エラー処理の後に受信バッファをクリアし、再設定してフレームのセクター0から受信します。エラー処理にはデータレジスターの読み出しを含みます。エラー後にマスター側が中止しフレーム受信が終了しない場合は、ソフトウェアリセット後に再設定し受信してください。

注) スレーブ 1st エッジ動作時の場合は、エラー処理の後に TSPI を停止してください。その後、再設定して送信または受信を再スタートしてください。

## 5. 使用方法の例

### 5.1. モード組み合わせ一覧

下表に各モードの組み合わせ可能な使用方法の一覧を示します。  
また使用方法に対応する転送開始と停止の仕様表の参照先を動作仕様欄に記載します。

表 5.1 モード組み合わせ一覧(起動方法、RXDデータサンプリング)

通信モード		通信動作モード	転送モード	起動方法	RXD データサンプリング	動作仕様	
SPI SIO	マスター動作	送受信 (全2重通信) 送信 受信	連続	ソフトウェア 起動	1st エッジ 2nd エッジ	表 5.3	
			バースト				通信開始 トリガー起動
			連続	表 5.5			
	スレーブ動作		連続	ソフトウェア 起動		1st エッジ 2nd エッジ	表 5.4
			バースト				
			連続			2nd エッジ	表 5.7

注)フレームモードおよびセクターモード動作時の転送開始と停止の動作仕様の説明では以下の表記を使用します。

停止状態 :  $[TSPIxSR] \langle TSPISUE \rangle = 0$  かつ  $[TSPIxCRI] \langle TRGEN \rangle = 0$ ,  $\langle TRXE \rangle = 0$   
 ソフトウェア起動状態 :  $[TSPIxSR] \langle TSPISUE \rangle = 1$  かつ  $[TSPIxCRI] \langle TRGEN \rangle = 0$ ,  $\langle TRXE \rangle = 1$   
 通信開始トリガー待ち状態 :  $[TSPIxSR] \langle TSPISUE \rangle = 0$  かつ  $[TSPIxCRI] \langle TRGEN \rangle = 1$ ,  $\langle TRXE \rangle = 0$   
 通信開始トリガー起動状態 :  $[TSPIxSR] \langle TSPISUE \rangle = 1$  かつ  $[TSPIxCRI] \langle TRGEN \rangle = 1$ ,  $\langle TRXE \rangle = 1$   
 (マスター動作) SCK 出力:  $TSPIxSCK$  出力 CS 出力:  $TSPIxCS0/1/2/3$  出力  
 (スレーブ動作) SCK 入力:  $TSPIxSCK$  入力 CS 入力:  $TSPIxCSIN$  入力  
 送信バッファ : 送信シフトレジスター + 送信 FIFO  
 受信バッファ : 受信シフトレジスター + 受信 FIFO

設定禁止状態( $\langle TSPISUE \rangle = 1$ )では、各レジスタの読み出しおよび以下に示すレジスタの設定が可能です。その他の各レジスタの設定は、設定可能状態( $\langle TSPISUE \rangle = 0$ )で行う必要があります。

$[TSPIxCR0] \langle SWRST[1:0] \rangle$  (ソフトウェアリセット) : "10" → "01" の連続ライト  
 $[TSPIxCRI] \langle TRXE \rangle$  (通信制御レジスタ) : "1" 読み出し (通信許可確認) 後の "0" 書き込み (通信停止)  
 $[TSPIxDR] \langle TSPIDR[31:0] \rangle$  (データレジスタ) : 送信データ書き込み

### 5.2. フレームモードの転送開始と停止

フレームモード動作時の転送開始と停止の動作仕様を示します。

#### 5.2.1. マスター動作の通信開始トリガー起動

表 5.2 フレームモードの転送開始・停止(マスター動作、通信開始トリガー起動)

転送モード	通信動作	転送開始・停止タイミング
バースト転送	送受信(全2重通信)モード	<p>停止状態の<math>[TSPIxCR1]&lt;TRGEN&gt;=1</math> 設定で、通信開始トリガー待ち状態になります。</p> <p>送信 FIFO に 1 フレーム以上のデータがあり、受信 FIFO に 1 フレーム以上の空きがあるとき、トリガーの入力により CS 出力と SCK 出力に同期し、転送を開始します。(通信開始トリガー起動)</p> <ul style="list-style-type: none"> <li>- フレーム転送終了により送信バッファが空になると次フレームの転送を開始せず、CS 出力はアサート状態を保ちます。データレジスターの書き込みで転送を再開します。</li> <li>- フレーム転送終了により受信バッファがフルになると次フレームの転送を開始せず、CS 出力はアサート状態を保ちます。データレジスターの 2 フレーム読み出しで転送を再開します。設定フレーム数の転送終了で、通信開始トリガー待ち状態になります。</li> </ul>
	送信モード	<p>停止状態の<math>[TSPIxCR1]&lt;TRGEN&gt;=1</math> 設定で、通信開始トリガー待ち状態になります。</p> <p>送信 FIFO に 1 フレーム以上のデータがあるとき、トリガーの入力により CS 出力と SCK 出力に同期し、送信を開始します。(通信開始トリガー起動)</p> <ul style="list-style-type: none"> <li>- フレーム送信終了により送信バッファが空になると次フレームの送信を開始せず、CS 出力はアサート状態を保ちます。データレジスターの書き込みで送信を再開します。設定フレーム数の送信終了で、通信開始トリガー待ち状態になります。</li> </ul>
	受信モード	<p>停止状態の<math>[TSPIxCR1]&lt;TRGEN&gt;=1</math> 設定で、通信開始トリガー待ち状態になります。</p> <p>受信 FIFO に 1 フレーム以上の空きがあるとき、トリガーの入力により CS 出力と SCK 出力に同期し、受信を開始します。(通信開始トリガー起動)</p> <ul style="list-style-type: none"> <li>- フレーム受信終了により受信バッファがフルになると次フレームの受信を開始せず、CS 出力はアサート状態を保ちます。データレジスターの 2 フレーム読み出しで受信を再開します。設定フレーム数の受信終了で、通信開始トリガー待ち状態になります。</li> </ul>
共通	停止	<p>通信開始トリガー起動状態の<math>[TSPIxCR1]&lt;TRXE&gt;=0</math> 設定で、転送中のフレームが終了すると、通信開始トリガー待ち状態になります。</p> <p><math>&lt;TRGEN&gt;=0</math> 設定により通信開始トリガー待ち状態を解除し、停止状態になります。</p> <ul style="list-style-type: none"> <li>- <math>&lt;TRGEN&gt;=0</math> 設定は、通信開始トリガー待ち状態(転送終了から次トリガーの入力前か、トリガー発生機能および外部トリガー入力機能の停止後)で行ってください。</li> </ul>
	再開	<p>設定フレーム数の転送が終了する前の次トリガーの入力は無効(通信開始無し)です。</p> <p>転送終了後(停止状態)のトリガー発生を通信開始に有効なトリガーとして使用ください。</p>

### 5.2.2. マスター動作のソフトウェア起動

表 5.3 フレームモードの転送開始・停止(マスター動作、ソフトウェア起動)

転送モード	通信動作	転送開始・停止タイミング
バースト転送	送受信(全2重通信)モード	送信 FIFO に 1 フレーム以上のデータがあり、受信 FIFO に 1 フレーム以上の空きがあるとき、停止状態の $[TSPIxCR1]<TRXE>=1$ 設定で CS 出力と SCK 出力に同期し、転送を開始します。(ソフトウェア起動) - フレーム転送終了により送信バッファが空になると次フレームの転送を開始せず、CS 出力はアサート状態を保ちます。データレジスターの書き込みで転送を再開します。 - フレーム転送終了により受信バッファがフルになると次フレームの転送を開始せず、CS 出力はアサート状態を保ちます。データレジスターの 2 フレーム読み出しで転送を再開します。設定フレーム数の転送が終了すると、停止状態になります。
	送信モード	送信 FIFO に 1 フレーム以上のデータがあるとき、停止状態の $[TSPIxCR1]<TRXE>=1$ 設定で CS 出力と SCK 出力に同期し、送信を開始します。(ソフトウェア起動) - フレーム送信終了により送信バッファが空になると次フレームの送信を開始せず、CS 出力はアサート状態を保ちます。データレジスターの書き込みで送信を再開します。設定フレーム数の送信が終了すると、停止状態になります。
	受信モード	受信 FIFO に 1 フレーム以上の空きがあるとき、停止状態の $[TSPIxCR1]<TRXE>=1$ 設定で CS 出力と SCK 出力に同期し、受信を開始します。(ソフトウェア起動) - フレーム受信終了により受信バッファがフルになると次フレームの受信を開始せず、CS 出力はアサート状態を保ちます。データレジスターの 2 フレーム読み出しで受信を再開します。設定フレーム数の受信が終了すると、停止状態になります。
連続転送	送受信(全2重通信)モード	送信 FIFO に 1 フレーム以上のデータがあり、受信 FIFO に 1 フレーム以上の空きがあるとき、停止状態の $[TSPIxCR1]<TRXE>=1$ 設定で CS 出力と SCK 出力に同期し、転送を開始します。(ソフトウェア起動) - フレーム転送終了により送信バッファが空になると次フレームの転送を開始せず、CS 出力はデアサート状態を保ちます。データレジスターの書き込みで転送を再開します。 - フレーム転送終了により受信バッファがフルになると次フレームの転送を開始せず、CS 出力はデアサート状態を保ちます。データレジスターの 2 フレーム読み出しで転送を再開します。
	送信モード	送信 FIFO に 1 フレーム以上のデータがあるとき、停止状態の $[TSPIxCR1]<TRXE>=1$ 設定で CS 出力と SCK 出力に同期し、送信を開始します。(ソフトウェア起動) - フレーム送信終了により送信バッファが空になると次フレームの送信を開始せず、CS 出力はデアサート状態を保ちます。データレジスターの書き込みで送信を再開します。
	受信モード	受信 FIFO に 1 フレーム以上の空きがあるとき、停止状態の $[TSPIxCR1]<TRXE>=1$ 設定で CS 出力と SCK 出力に同期し、受信を開始します。(ウェア起動) - フレーム受信終了により受信バッファがフルになると次フレームの受信を開始せず、CS 出力はデアサート状態を保ちます。データレジスターの 2 フレーム読み出しで受信を再開します。
共通	停止	ソフトウェア起動状態の $[TSPIxCR1]<TRXE>=0$ 設定で、転送中のフレームが終了すると、停止状態になります。

上表の転送開始方法の他に以下の条件で転送を開始することも可能です。

- 送信バッファが空の時、停止状態の  $[TSPIxCR1]<TRXE>=1$  設定後にデータレジスターの書き込み
- 受信バッファがフルの時、停止状態の  $[TSPIxCR1]<TRXE>=1$  設定後にデータレジスターの 2 フレーム読み出し
- 受信 FIFO がフル(シフトレジスターは空)の時、停止状態の  $[TSPIxCR1]<TRXE>=1$  設定後にデータレジスターの 1 フレーム読み出し

## 5.2.3. スレーブ動作のソフトウェア起動

表 5.4 フレームモードの転送開始・停止(スレーブ動作、ソフトウェア起動)(1)

転送モード	通信動作	転送開始・停止タイミング
バースト転送	送受信 (全2重通信) モード	<p>送信 FIFO に 1 フレーム以上のデータがあり、受信 FIFO に 1 フレーム以上の空きがあるとき、停止状態の <math>[TSPIxCR1] &lt; TRXE \geq 1</math> 設定で CS 入力と SCK 入力に同期し、転送を開始します。(ソフトウェア起動)</p> <ul style="list-style-type: none"> <li>– フレーム転送終了により送信バッファが空になると次フレームの転送開始でアンダーランエラーが発生し、TXD は設定(Low/High)出力を維持します。</li> <li>– 次フレームの転送開始後にデータレジスターに書いたデータは、次々フレーム時に送信されます。</li> <li>– フレーム転送終了により受信バッファがフルになると次フレームの転送開始でオーバーランエラーが発生し、受信データは無効となります。</li> <li>– 次フレームの転送開始後にデータレジスターを読むと次々フレーム時にデータを受信します。</li> <li>– 設定フレーム数の転送が終了すると、停止状態になります。</li> </ul>
	送信 モード	<p>送信 FIFO に 1 フレーム以上のデータがあるとき、停止状態の <math>[TSPIxCR1] &lt; TRXE \geq 1</math> 設定で CS 入力と SCK 入力に同期し、送信を開始します。(ソフトウェア起動)</p> <ul style="list-style-type: none"> <li>– フレーム送信終了により送信バッファが空になると次フレームの送信開始でアンダーランエラーが発生し、TXD は設定(Low/High)出力を維持します。</li> <li>– 次フレームの送信開始後にデータレジスターに書いたデータは、次々フレーム時に送信されます。</li> <li>– 設定フレーム数の送信が終了すると、停止状態になります。</li> </ul>
	受信 モード	<p>受信 FIFO に 1 フレーム以上の空きがあるとき、停止状態の <math>[TSPIxCR1] &lt; TRXE \geq 1</math> 設定で CS 入力と SCK 入力に同期し、受信を開始します。(ソフトウェア起動)</p> <ul style="list-style-type: none"> <li>– フレーム受信終了により受信バッファがフルになると次フレームの受信開始でオーバーランエラーが発生し、受信データは無効となります。</li> <li>– 次フレームの受信開始後にデータレジスターを読むと次々フレーム時にデータを受信します。</li> <li>– 設定フレーム数の受信が終了すると、停止状態になります。</li> </ul>

表 5.5 フレームモードの転送開始・停止(スレーブ動作、ソフトウェア起動)(2)

転送モード	通信動作	転送開始・停止タイミング
連続転送	送受信 (全2重通信) モード	送信 FIFO に 1 フレーム以上のデータがあり、受信 FIFO に 1 フレーム以上の空きがあるとき、停止状態の $[TSPIxCR1]<TRXE>=1$ 設定で CS 入力と SCK 入力に同期し、転送を開始します。(ソフトウェア起動) - フレーム転送終了により送信バッファが空になると次フレームの転送開始でアンダーランエラーが発生し、TXD は設定(Low/High)出力を維持します。 次フレームの転送開始後にデータレジスターに書いたデータは、次々フレーム時に送信されます。 - フレーム転送終了により受信バッファがフルになると次フレームの転送開始でオーバーランエラーが発生し、受信データは無効となります。 次フレームの転送開始後にデータレジスターを読むと次々フレーム時にデータを受信します。
	送信 モード	送信 FIFO に 1 フレーム以上のデータがあるとき、停止状態の $[TSPIxCR1]<TRXE>=1$ 設定で CS 入力と SCK 入力に同期し、送信を開始します。(ソフトウェア起動) - フレーム送信終了により送信バッファが空になると次フレームの送信開始でアンダーランエラーが発生し、TXD は設定(Low/High)出力を維持します。 次フレームの送信開始後にデータレジスターに書いたデータは、次々フレーム時に送信されます。
	受信 モード	受信 FIFO に 1 フレーム以上の空きがあるとき、停止状態の $[TSPIxCR1]<TRXE>=1$ 設定で CS 入力と SCK 入力に同期し、受信を開始します。(ソフトウェア起動) - フレーム受信終了により受信バッファがフルになると次フレームの受信開始でオーバーランエラーが発生し、受信データは無効となります。 次フレームの受信開始後にデータレジスターを読むと次々フレーム時にデータを受信します。
共通	停止	ソフトウェア起動状態の $[TSPIxCR1]<TRXE>=0$ 設定で、転送中のフレームが終了すると、停止状態になります。

上表の転送開始方法の他に以下の条件で転送を開始することも可能ですが、この方法はアンダーラン(またはオーバーラン)エラー発生が懸念されるため使用には注意が必要です。

- 送信バッファが空の時、停止状態の  $<TRXE>=1$  設定後にデータレジスターの書き込み
- 受信バッファがフルの時、停止状態の  $<TRXE>=1$  設定後にデータレジスターの 2 フレーム読み出し
- 受信 FIFO がフル(シフトレジスターは空)の時、停止状態の  $<TRXE>=1$  設定後にデータレジスターの 1 フレーム読み出し

### 5.3. セクターモードの転送開始と停止

セクターモード動作時の転送開始と停止の動作仕様を示します。

#### 5.3.1. マスター動作の通信開始トリガー起動

表 5.6 セクターモードの転送開始・停止(マスター動作、通信開始トリガー起動)

転送モード	通信動作	転送開始・停止タイミング
連続転送	送受信 (全2重通信) モード	<p>停止状態の <math>[TSPi \times CR1] \langle TRGEN \rangle = 1</math> 設定で、通信開始トリガー待ち状態になります。</p> <p>送信 FIFO に 1 セクター以上のデータがあり、受信 FIFO に空きがあるとき、トリガーの入力により CS 出力と SCK 出力に同期し、転送を開始します。(通信開始トリガー起動)</p> <ul style="list-style-type: none"> <li>最終セクター以外のセクター転送終了により送信バッファが空になると次セクターの転送を開始せず、CS 出力はアサート状態を保ちます。データレジスターに書くと転送を再開します。</li> <li>最終セクター以外のセクター転送終了により受信バッファがフルになると次セクターの転送を開始せず、CS 出力はアサート状態を保ちます。データレジスターを読むと転送を再開します。</li> </ul> <p>1 フレームの転送終了で、通信開始トリガー待ち状態になります。</p>
	送信 モード	<p>停止状態の <math>[TSPi \times CR1] \langle TRGEN \rangle = 1</math> 設定で通信開始トリガー待ち状態になります。</p> <p>送信 FIFO に 1 セクター以上のデータがあるとき、トリガーの入力により CS 出力と SCK 出力に同期し、送信を開始します。(通信開始トリガー起動)</p> <ul style="list-style-type: none"> <li>最終セクター以外のセクター送信終了により送信バッファが空になると次セクターの送信を開始せず、CS 出力はアサート状態を保ちます。データレジスターに書くと送信を再開します。</li> </ul> <p>1 フレームの送信終了で、通信開始トリガー待ち状態になります。</p>
	受信 モード	<p>停止状態の <math>[TSPi \times CR1] \langle TRGEN \rangle = 1</math> 設定で通信開始トリガー待ち状態になります。</p> <p>受信 FIFO に空きがあるとき、トリガーの入力により CS 出力と SCK 出力に同期し、受信を開始します。(通信開始トリガー起動)</p> <ul style="list-style-type: none"> <li>最終セクター以外のセクター受信終了で受信バッファがフルになると次セクターの受信を開始せず、CS 出力はアサート状態を保ちます。データレジスターを読むと受信を再開します。</li> </ul> <p>1 フレームの受信終了で、通信開始トリガー待ち状態になります。</p>
共通	停止	<p>通信開始トリガー起動の 1 フレームの転送終了で、通信開始トリガー待ち状態になります。</p> <p>1 フレーム転送限定のため通信開始トリガー起動状態での停止は意味がありません。</p> <p><math>[TSPi \times CR1] \langle TRGEN \rangle = 0</math> 設定により通信開始トリガー待ち状態を解除し、停止状態になります。</p> <ul style="list-style-type: none"> <li><math>[TSPi \times CR1] \langle TRGEN \rangle = 0</math> 設定は、通信開始トリガー待ち状態(転送終了から次トリガーの入力前か、トリガー発生機能および外部トリガー入力機能の停止後)で行ってください。</li> </ul>
	再開	<p>転送終了前(1 フレーム転送中)の次トリガーの入力は無効(通信開始無し)です。</p> <p>転送終了後(停止状態)のトリガー発生を通信開始に有効なトリガーとして使用ください。</p>

### 5.3.2. マスター動作のソフトウェア起動

表 5.7 セクターモードの転送開始・停止(マスター動作、ソフトウェア起動)

転送モード	通信動作	転送開始・停止タイミング
連続転送	送受信(全2重通信)モード	<p>送信 FIFO に 1 セクター以上のデータがあり、受信 FIFO に 1 セクター以上の空きがあるとき、停止状態の <math>[TSPi\alpha CR1]\langle TRXE \rangle = 1</math> 設定で CS 出力と SCK 出力に同期し、転送を開始します。(ソフトウェア起動)</p> <ul style="list-style-type: none"> <li>- 最終セクター以外のセクター転送終了により送信バッファが空になると次セクターの転送を開始せず、CS 出力はアサート状態を保ちます。データレジスターに書くと転送を再開します。</li> <li>- 最終セクターのセクター転送終了により送信バッファが空になると次フレームの転送を開始せず、CS 出力はデアサート状態を保ちます。データレジスターに書くと転送を再開します。</li> <li>- 最終セクター以外のセクター転送終了により受信バッファがフルになると次セクターの転送を開始せず、CS 出力はアサート状態を保ちます。データレジスターを読むと転送を再開します。</li> <li>- 最終セクターのセクター転送終了により受信バッファがフルになると次フレームの転送を開始せず、CS 出力はデアサート状態を保ちます。データレジスターを読むと転送を再開します。</li> </ul>
	送信モード	<p>送信 FIFO に 1 セクター以上のデータがあるとき、停止状態の <math>[TSPi\alpha CR1]\langle TRXE \rangle = 1</math> 設定で CS 出力と SCK 出力に同期し、送信を開始します。(ソフトウェア起動)</p> <ul style="list-style-type: none"> <li>- 最終セクター以外のセクター送信終了で送信バッファが空になると次セクターの送信を開始せず、CS 出力はアサート状態を保ちます。データレジスターに書くと送信を再開します。</li> <li>- 最終セクターのセクター送信終了で送信バッファが空になると次フレームの送信を開始せず、CS 出力はデアサート状態を保ちます。データレジスターに書くと送信を再開します。</li> </ul>
	受信モード	<p>受信 FIFO に 1 セクター以上の空きがあるとき、停止状態の <math>[TSPi\alpha CR1]\langle TRXE \rangle = 1</math> 設定で CS 出力と SCK 出力に同期し、受信を開始します。(ソフトウェア起動)</p> <ul style="list-style-type: none"> <li>- 最終セクター以外のセクター受信終了で受信バッファがフルになると次セクターの受信を開始せず、CS 出力はアサート状態を保ちます。データレジスターを読むと受信を再開します。</li> <li>- 最終セクターのセクター受信終了で受信バッファがフルになると次フレームの受信を開始せず、CS 出力はデアサート状態を保ちます。データレジスターを読むと受信を再開します。</li> </ul>
共通	停止	ソフトウェア起動状態の $[TSPi\alpha CR1]\langle TRXE \rangle = 0$ 設定で、転送中のフレームが終了すると、停止状態になります。

上表の転送開始方法の他に以下の条件で転送を開始することも可能です。

- 送信バッファが空の時、停止状態の  $\langle TRXE \rangle = 1$  設定後にデータレジスターの書き込み
- 受信バッファがフルの時、停止状態の  $\langle TRXE \rangle = 1$  設定後にデータレジスターの 2 セクター読み出し
- 受信 FIFO がフル(シフトレジスターは空)の時、停止状態の  $\langle TRXE \rangle = 1$  設定後にデータレジスターの 1 セクター読み出し

### 5.3.3. スレーブ動作のソフトウェア起動

表 5.8 セクターモードの転送開始・停止(スレーブ動作、ソフトウェア起動)

転送モード	通信動作	転送開始・停止タイミング
連続転送	送受信(全2重通信)モード	送信 FIFO に 1 セクター以上のデータがあり、受信 FIFO に 1 セクター以上の空きがあるとき、停止状態の $[TSPIxCR1]<TRXE>=1$ 設定で CS 入力と SCK 入力に同期し、転送を開始します。(ソフトウェア起動) - セクター転送終了により送信バッファが空になると次セクターの転送開始でアンダーランエラーが発生し、TXD は設定出力(Low/High)をフレーム転送終了まで維持します。アンダーランエラー発生後にデータレジスターに書いたデータは無効です。フレーム転送終了後に FIFO クリアをしてください。 - セクター転送終了により受信バッファがフルになると次セクターの転送開始でオーバーランエラーが発生し、受信データは無効となります。 次セクターの転送開始後にデータレジスターを読むと次々セクター時にデータを受信します。
	送信モード	送信 FIFO に 1 セクター以上のデータがあるとき、停止状態の $[TSPIxCR1]<TRXE>=1$ 設定で CS 入力と SCK 入力に同期し、送信を開始します。(ソフトウェア起動) - セクター転送終了により送信バッファが空になると次セクターの転送開始でアンダーランエラーが発生し、TXD は設定(Low/High)出力を維持します。 次セクターの転送開始後にデータレジスターに書いたデータは、次セクターの後に送信されます。
	受信モード	受信 FIFO に 1 セクター以上の空きがあるとき、停止状態の $[TSPIxCR1]<TRXE>=1$ 設定で CS 入力と SCK 入力に同期し、受信を開始します。(ソフトウェア起動) - セクター転送終了により受信バッファがフルになると次セクターの転送開始でオーバーランエラーが発生し、受信データは無効となります。 次セクターの転送開始後にデータレジスターを読むと次セクターの後にデータを受信します。
共通	停止	ソフトウェア起動状態の $[TSPIxCR1]<TRXE>=0$ 設定で、転送中のフレームが終了すると、停止状態になります。

上表の転送開始方法の他に以下の条件で転送を開始することも可能ですが、この方法はアンダーラン(またはオーバーラン)エラー発生が懸念されるため使用には注意が必要です。

- 送信バッファが空の時、停止状態の  $<TRXE>=1$  設定後にデータレジスターの書き込み
- 受信バッファがフルの時、停止状態の  $<TRXE>=1$  設定後にデータレジスターの 2 セクター読み出し
- 受信 FIFO がフル(シフトレジスターは空)の時、停止状態の  $<TRXE>=1$  設定後にデータレジスターの 1 セクター読み出し

## 6. 使用上のご注意およびお願い事項

- 製品によって、TSPIxCS0/1/2/3 端子や TSPIxCSIN 端子がアサインされない場合があります。そのような場合は、当該の機能を使用しない SIO モード設定でご使用をお願いします。
- レジスターがアサインされていないアドレスはアクセスしないでください。

## 7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2020-11-16	新規作成
1.1	2021-10-15	<ul style="list-style-type: none"><li>・3.2.1.3. スレープ動作 説明文追加</li><li>・3.9.1. 通信開始トリガー (1)トリガー受付の説明文追加</li><li>・4.2.2. [TSPixCR1]表下の注 7),注 8)の説明文の変更</li><li>・4.2.6. [TSPixFMTR0] FINT[3:0]および CSINT[3:0]、機能説明の誤記を修正</li></ul>
1.2	2023-03-31	<ul style="list-style-type: none"><li>・3.7.2. 送信 FIFO 割り込み/受信 FIFO 割り込み 説明文を修正</li></ul>
1.3	2024-10-31	<ul style="list-style-type: none"><li>・体裁の更新</li><li>・2. 構成 表 2.1 を変更</li><li>・4.1. レジスタ一覧 注を変更</li></ul>

## 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。