

32 ビット RISC マイクロコントローラー
リファレンスマニュアル

アドバンストプログラマブルモーター制御
回路
(A-PMD-A)

Revision 2.4

2024-10

東芝デバイス&ストレージ株式会社

目次

| | |
|---|----|
| 序章 | 5 |
| 関連するドキュメント | 5 |
| 表記規約 | 6 |
| 用語・略語 | 8 |
| 1. 概要 | 9 |
| 2. 構成 | 11 |
| 3. 機能説明・動作説明 | 13 |
| 3.1. クロック供給 | 13 |
| 3.2. パルス幅変調回路 | 14 |
| 3.2.1. PWM キャリアー生成 | 14 |
| 3.2.2. 3相 PWM 生成 | 17 |
| 3.3. 通電制御回路 | 19 |
| 3.4. 保護制御回路 | 21 |
| 3.4.1. EMG 保護制御回路 | 22 |
| 3.4.2. OVV 保護制御回路 | 24 |
| 3.4.3. デバッグツール使用時の保護制御 | 25 |
| 3.5. デッドタイム制御回路 | 26 |
| 3.6. 同期トリガー生成回路 | 28 |
| 3.7. バッファ機能 | 30 |
| 3.8. 実行バッファ更新タイミングとトリガー出力の間引き制御 | 32 |
| 3.9. チャネル間同期機能 | 33 |
| 3.10. デバッグ出力機能 | 34 |
| 4. レジスター説明 | 35 |
| 4.1. レジスター一覧 | 35 |
| 4.2. レジスター詳細 | 36 |
| 4.2.1. [PMDxMDEN] (PMD イネーブルレジスター) | 36 |
| 4.2.2. [PMDxPORTMD] (ポート出力モードレジスター) | 36 |
| 4.2.3. [PMDxMODESEL] (モード選択レジスター) | 37 |
| 4.2.4. [PMDxMDCR] (PMD 制御レジスター) | 38 |
| 4.2.5. [PMDxCARSTA] (PWM キャリアーステータスレジスター) | 40 |
| 4.2.6. [PMDxBCARI] (基本キャリアーレジスター) | 40 |
| 4.2.7. [PMDxRATE] (PWM 周波数レジスター) | 40 |
| 4.2.8. PWM デューティコンペアレジスター | 41 |
| 4.2.8.1. [PMDxCMPU] (PWM デューティコンペア U レジスター) | 41 |
| 4.2.8.2. [PMDxCMPV] (PWM デューティコンペア V レジスター) | 41 |
| 4.2.8.3. [PMDxCMPW] (PWM デューティコンペア W レジスター) | 42 |
| 4.2.9. PWM キャリアー位相差レジスター | 42 |
| 4.2.9.1. [PMDxVPWMPH] (V 相位相差レジスター) | 42 |

| | |
|--|----|
| 4.2.9.2. [PMDxWPWMPH] (W 相位相差レジスター)..... | 42 |
| 4.2.10. [PMDxMDPOT] (PMD 出力設定レジスター) | 43 |
| 4.2.11. [PMDxMDOUT] (PMD 通電制御レジスター) | 44 |
| 4.2.12. [PMDxEMGCR] (EMG 制御レジスター)..... | 45 |
| 4.2.13. [PMDxEMGSTA] (EMG ステータスレジスター) | 46 |
| 4.2.14. [PMDxEMGREL] (EMG 解除レジスター)..... | 46 |
| 4.2.15. [PMDxOVVCR] (OVV 制御レジスター)..... | 47 |
| 4.2.16. [PMDxOVVSTA] (OVV ステータスレジスター)..... | 48 |
| 4.2.17. [PMDxDTR] (デッドタイムレジスター)..... | 48 |
| 4.2.18. トリガーコンペアレジスター | 49 |
| 4.2.18.1. [PMDxTRGCMP0] (トリガーコンペア 0 レジスター)..... | 49 |
| 4.2.18.2. [PMDxTRGCMP1] (トリガーコンペア 1 レジスター)..... | 49 |
| 4.2.18.3. [PMDxTRGCMP2] (トリガーコンペア 2 レジスター)..... | 50 |
| 4.2.18.4. [PMDxTRGCMP3] (トリガーコンペア 3 レジスター)..... | 50 |
| 4.2.19. [PMDxTRGCR] (トリガー制御レジスター) | 51 |
| 4.2.20. [PMDxTRGSYNCR] (トリガー更新タイミング設定レジスター)..... | 52 |
| 4.2.21. [PMDxTRGMD] (トリガー出力モード設定レジスター)..... | 53 |
| 4.2.22. [PMDxTRGSEL] (トリガー出力選択レジスター)..... | 53 |
| 4.2.23. [PMDxMBUFCR] (中間バッファ制御レジスター)..... | 54 |
| 4.2.24. [PMDxSYNCCR] (同期制御レジスター)..... | 54 |
| 4.2.25. [PMDxDBGOUTCR] (デバッグ出力制御レジスター) | 55 |
| 5. 使用上のご注意およびお願い事項..... | 57 |
| 6. 改訂履歴..... | 58 |
| 製品取り扱い上のお願い..... | 60 |

図目次

| | | |
|--------|---|----|
| 図 1.1 | PMD と周辺機能の関連例..... | 10 |
| 図 2.1 | PMD ブロック図..... | 11 |
| 図 3.1 | PWM キャリアー生成回路構成..... | 14 |
| 図 3.2 | 基本キャリアー生成波形..... | 15 |
| 図 3.3 | 位相シフトの動作図..... | 15 |
| 図 3.4 | キャリアー波形変換出力波形..... | 16 |
| 図 3.5 | 3相 PWM 生成回路..... | 17 |
| 図 3.6 | PWM 波形..... | 18 |
| 図 3.7 | 通電制御回路..... | 19 |
| 図 3.8 | 保護制御回路..... | 21 |
| 図 3.9 | EMG 保護制御回路..... | 22 |
| 図 3.10 | OVV 保護制御回路..... | 24 |
| 図 3.11 | デッドタイム制御回路..... | 26 |
| 図 3.12 | デッドタイム回路..... | 26 |
| 図 3.13 | デッドタイム補正..... | 27 |
| 図 3.14 | デッドタイム制御回路波形..... | 27 |
| 図 3.15 | 同期トリガー生成回路..... | 28 |
| 図 3.16 | [PMDxCMPU]のトリプルバッファ更新タイミング例..... | 30 |
| 図 3.17 | レジスターのバッファ構成..... | 31 |
| 図 3.18 | 間引き制御タイミング例 (<INTPRD[1:0]> = 11 の場合)..... | 32 |
| 図 3.19 | デバッグ出力回路構成図..... | 34 |

表目次

| | | |
|-------|--|----|
| 表 2.1 | 信号一覧表..... | 12 |
| 表 3.1 | <UPWMMD[1:0]>/<VPWMMD[1:0]>/<WPWMMD[1:0]>レジスターの実行バッファ更新制御..... | 16 |
| 表 3.2 | [PMDxCMPU]/[PMDxCMPV]/[PMDxCMPW]レジスターの実行バッファ更新制御..... | 17 |
| 表 3.3 | [PMDxMDOUT] /VExOUTCR 実行バッファの更新タイミング..... | 20 |
| 表 3.4 | [PMDxMDOUT] /VExOUTCR および[PMDxMDCR]<SYNTMD>設定によるデコード回路出力..... | 20 |
| 表 3.5 | トリガーコンペアレジスターの実行バッファ更新タイミング..... | 29 |
| 表 3.6 | トリガー出力パターン..... | 29 |
| 表 6.1 | 改訂履歴..... | 58 |

序章

関連するドキュメント

| 文書名 |
|--------------------------|
| 入出力ポート |
| 例外 |
| クロック制御と動作モード |
| 製品個別情報 |
| 12ビットアナログデジタルコンバーター |
| アドバンストベクトルエンジンプラス |
| アドバンストエンコーダー入力回路 |
| アドバンストエンコーダー入力回路(32-bit) |
| 32ビットタイマーイベントカウンター |

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は[m:n]とまとめて表記する場合があります。
例: S[3:0]は S3、S2、S1、S0 の 4 つの信号名をまとめて表記しています。
- 本文中[]で囲まれたものはレジスターを定義しています。
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1]、[XYZ2]、[XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A、B、C、...を表します。
例: [ADACR0]、[ADBCR0]、[ADCCR0] → [ADxCR0]
チャンネルの場合、「x」は 0、1、2、..を表します。
例: [T32A0RUNA]、[T32A1RUNA]、[T32A2RUNA] → [T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。
例: [3:0]はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード/ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「-」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

| | |
|---------|---|
| ADC | Analog to Digital Converter |
| A-ENC | Advanced Encoder Input Circuit |
| A-ENC32 | Advanced Encoder Input Circuit (32-bit) |
| A-PMD | Advanced Programmable Motor Control Circuit |
| A-VE+ | Advanced Vector Engine Plus |
| PFC | Power Factor Correction |
| PMD | Programmable Motor Control Circuit |
| PWM | Pulse Width Modulation |
| T32A | 32-bit Timer Event Counter |
| VE | Vector Engine |

1. 概要

アドバンストプログラマブルモーター制御回路(以降 PMD)は、1 ユニット単位で 1 チャネルのモーター制御回路として動作することができます。以下に、機能の一覧を示します。

| 機能分類 | 機能 | 動作説明 |
|----------|-------------|---|
| PWM 出力 | 分解能 | PWM キャリアーのカウンタ分解能は 1/fsys PWM 周波数およびデューティー設定は 15 ビット固定 |
| | PWM キャリアー生成 | 周波数 0.076 ~ 156.245 kHz @fsys = 80 MHz で振幅 15 ビット幅の PWM キャリアーを生成可能 ・4 種類のキャリアー波形(三角波/ノコギリ波/逆三角波/逆ノコギリ波) ・相ごとにキャリアー波形選択 ・U-V 相間、U-W 相間に位相差付加可能 |
| | 3 相 PWM 生成 | PWM キャリアーとデューティー設定を比較して 3 相 PWM を生成します。 3 相 PWM は 3 相共通デューティーか 3 相独立デューティーかを選択可能 |
| | 通電制御 | 6 本の出力ポートそれぞれに、PWM 出力または High/Low 出力の選択が可能 上相出力、下相出力のそれぞれにアクティブの選択が可能 PWM キャリアーが共通で 3 相の独立した PWM 波形を生成可能(3 相相補 PWM) |
| AD 変換開始 | 同期トリガー生成機能 | PWM キャリアーと同期した任意のタイミングで AD 変換開始するための ADC 同期トリガー信号を出力します。 |
| 保護機能 | 保護制御 | 保護信号入力による出力の停止機能(オフ出力または端子出力禁止) ・2 種類の保護制御(EMG,OVV) ・OVV はポート入力と ADC 監視機能信号を入力選択できます。 |
| | デッドタイム制御 | 上下相(U/X,V/Y,W/Z)の切り替え時に短絡防止期間を挿入し、相補 PWM を出力します。 |
| バッファ機能 | — | PWM 周期、デューティー値、AD 変換開始トリガータイミング、6 本の出力ポートの通電制御設定は、ダブルバッファまたはトリプルバッファ構成で動作中に変更可能 ・実行バッファ一段の更新タイミングは、非同期,PWM センター,PWM エンド,PWM センターおよびエンドから選択可能 ・中間バッファ一段の更新タイミングは、非同期,PWM センター,PWM エンド,PWM 1/4,PWM 3/4 から選択可能 |
| 割り込み要求 | PWM 割り込み | PWM 波形に同期した割り込み要求を発生可能 ・発生タイミングは PWM センターと PWM エンドを選択可能 ・発生周期選択可能(PWM 半周期/PWM 1 周期/PWM 2 周期/PWM 4 周期) ・割り込みの間引き時、同期トリガー生成/バッファ更新の間引き許可/禁止制御 |
| | EMG 割り込み | EMG 入力による保護動作時に発生する割り込み要求 |
| | OVV 割り込み | OVV 入力による保護動作時に発生する割り込み要求 |
| チャンネル間同期 | PWM 許可同期 | 別チャンネルの PWM 許可に同期して許可することが可能。 |
| | 保護機能同期 | 別チャンネルの EMG 保護機能に同期して保護することが可能。 別チャンネルの OVV 保護機能に同期して保護することが可能。 |
| デバッグ出力 | — | モーター関連周辺機能の動作タイミングをポート出力でモニター可能。 ・PMD の ADC 同期トリガー出力のタイミングモニター ・モーター制御関連周辺機能割り込み要求タイミングモニター ・ADC 変換中モニター ・VE タスク遷移タイミングモニター |

PMDは「アドバンストベクトルエンジンプラス」(以降 VE)や「アナログデジタルコンバーター」(以降 ADC)、「アドバンストエンコーダー入力回路」/「アドバンストエンコーダー入力回路(32-bit)」(以降 A-ENC)などと連携動作してベクトル制御などの3相モーター制御や3相インターリーブ PFC 制御などを実現します。

パルス幅変調回路、通電制御および同期トリガー生成回路は VE からの指令で動作可能で、同期トリガー生成回路は ADC に変換開始トリガーを出力できます。また、通電制御回路は A-ENC からのトリガー入力で転流制御ができます。

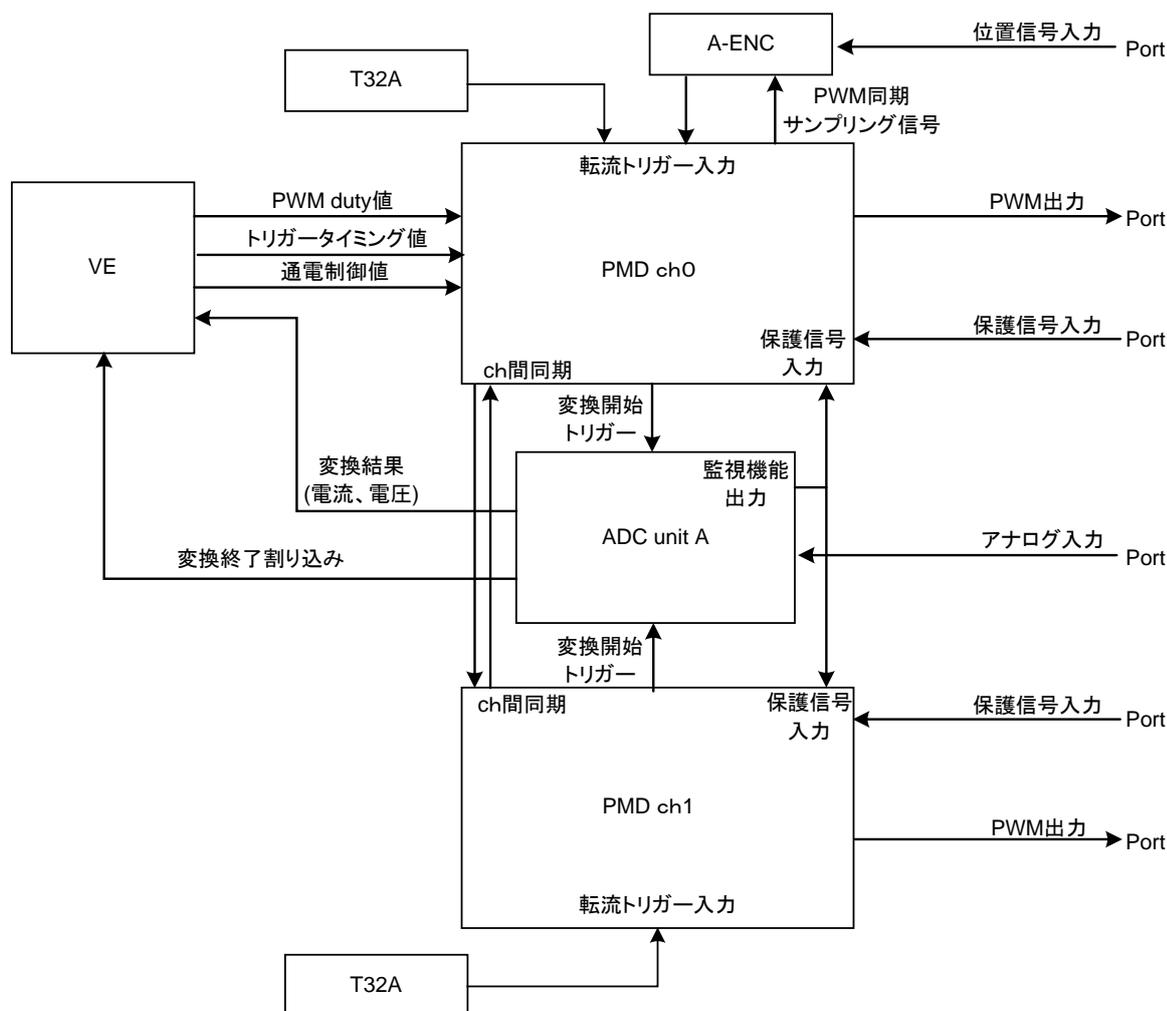


図 1.1 PMDと周辺機能の関連例

2. 構成

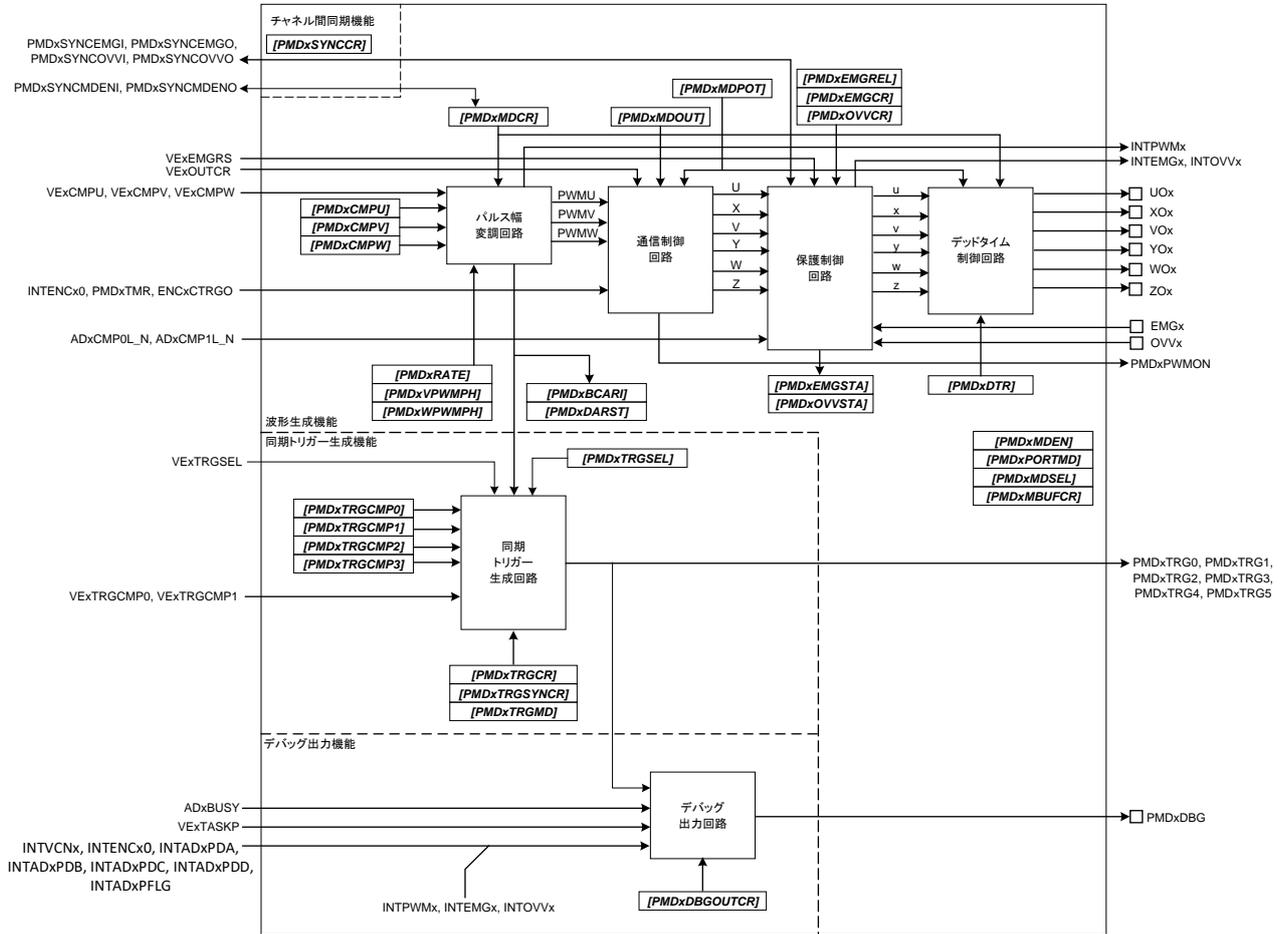


図 2.1 PMDブロック図

表 2.1 信号一覧表

| No | 信号名 | 信号名称 | I/O | 参照リファレンスマニュアル |
|----|--------------|-------------------------|-----|---------------|
| 1 | UOx | U 相 PWM 出力端子 | 出力 | 製品個別情報 |
| 2 | XOx | X 相 PWM 出力端子 | 出力 | 製品個別情報 |
| 3 | VOx | V 相 PWM 出力端子 | 出力 | 製品個別情報 |
| 4 | YOx | Y 相 PWM 出力端子 | 出力 | 製品個別情報 |
| 5 | WOx | W 相 PWM 出力端子 | 出力 | 製品個別情報 |
| 6 | ZOx | Z 相 PWM 出力端子 | 出力 | 製品個別情報 |
| 7 | EMGx | EMG 検知入力端子 | 入力 | 製品個別情報 |
| 8 | OVVx | OVV 検知入力端子 | 入力 | 製品個別情報 |
| 9 | PMDxDBG | デバッグ出力端子 | 出力 | 製品個別情報 |
| 10 | PMDxSYNCDENI | PWM 許可同期入力 | 入力 | 製品個別情報 |
| 11 | PMDxSYNCEMGI | EMG 保護同期入力 | 入力 | 製品個別情報 |
| 12 | PMDxSYNCOVVI | OVV 保護同期入力 | 入力 | 製品個別情報 |
| 13 | PMDxSYNCDENO | PWM 許可同期出力 | 出力 | 製品個別情報 |
| 14 | PMDxSYNCEMGO | EMG 保護同期出力 | 出力 | 製品個別情報 |
| 15 | PMDxSYNCOVVO | OVV 保護同期出力 | 出力 | 製品個別情報 |
| 16 | PMDxPWWON | エンコーダー入力用 PWM 信号 | 出力 | 製品個別情報 |
| 17 | INTENCx0 | 転流トリガー(A-ENC 位置検出同期) | 入力 | 製品個別情報 |
| 18 | PMDxTMR | 転流トリガー(汎用タイマー同期) | 入力 | 製品個別情報 |
| 19 | ENCxCTRGO | 転流トリガー(A-ENC MCMP 同期) | 入力 | 製品個別情報 |
| 20 | ADxCMP0L_N | ADC 監視機能 0 信号(OVV 検知) | 入力 | 製品個別情報 |
| 21 | ADxCMP1L_N | ADC 監視機能 1 信号(OVV 検知) | 入力 | 製品個別情報 |
| 22 | PMDxTRG0 | ADC 同期トリガー出力 0 | 出力 | 製品個別情報 |
| 23 | PMDxTRG1 | ADC 同期トリガー出力 1 | 出力 | 製品個別情報 |
| 24 | PMDxTRG2 | ADC 同期トリガー出力 2 | 出力 | 製品個別情報 |
| 25 | PMDxTRG3 | ADC 同期トリガー出力 3 | 出力 | 製品個別情報 |
| 26 | PMDxTRG4 | ADC 同期トリガー出力 4 | 出力 | 製品個別情報 |
| 27 | PMDxTRG5 | ADC 同期トリガー出力 5 | 出力 | 製品個別情報 |
| 28 | INTPWMx | PWM 割り込み | 出力 | 例外、製品個別情報 |
| 29 | INTEMGx | EMG 割り込み | 出力 | 例外 |
| 30 | INTOVVx | OVV 割り込み | 出力 | 例外 |
| 31 | VExCMPU | VE U 相 PWM デューティ | 入力 | 製品個別情報 |
| 32 | VExCMPV | VE V 相 PWM デューティ | 入力 | 製品個別情報 |
| 33 | VExCMPW | VE W 相 PWM デューティ | 入力 | 製品個別情報 |
| 34 | VExTRGCMP0 | VE トリガーコンペア 0 | 入力 | 製品個別情報 |
| 35 | VExTRGCMP1 | VE トリガーコンペア 1 | 入力 | 製品個別情報 |
| 36 | VExTRGSEL | VE 同期トリガー出力選択 | 入力 | 製品個別情報 |
| 37 | VExOUTCR | VE 通電制御/出力制御 | 入力 | 製品個別情報 |
| 38 | VExEMGRS | VE EMG 復帰 | 入力 | 製品個別情報 |
| 39 | ADxBUSY | ADC 変換動作中状態信号(デバッグ出力) | 入力 | 製品個別情報 |
| 40 | INTADxPDA | ADC 変換終了割り込み A (デバッグ出力) | 入力 | 製品個別情報 |
| 41 | INTADxPDB | ADC 変換終了割り込み B (デバッグ出力) | 入力 | 製品個別情報 |
| 42 | INTADxPDC | ADC 変換終了割り込み C (デバッグ出力) | 入力 | 製品個別情報 |
| 43 | INTADxPDD | ADC 変換終了割り込み D (デバッグ出力) | 入力 | 製品個別情報 |
| 44 | INTADxPFLG | ADC 変換優先度割り込み(デバッグ出力) | 入力 | 製品個別情報 |
| 45 | VExTASKP | VE タスク遷移信号(デバッグ出力) | 入力 | 製品個別情報 |
| 46 | INTVCNx | VE 割り込み(デバッグ出力) | 入力 | 製品個別情報 |
| 47 | INTENCx0 | A-ENC 割り込み(デバッグ出力) | 入力 | 製品個別情報 |

3. 機能説明・動作説明

PMDは波形生成機能と同期トリガー生成機能とデバッグ出力機能およびチャンネル間同期機能から成り、波形生成機能はパルス幅変調回路、通電制御回路、保護制御回路およびデッドタイム制御回路で構成されています。

- パルス幅変調回路は、PWM キャリアーを生成し3相の独立したPWM波形を生成します。
- 通電制御回路はU、V、W相の各上下相の出力パターンを決定します。
- 保護制御回路ではEMG入力、OVV入力による緊急出力停止を行いません。
- デッドタイム制御回路では上下相の切り替え時の短絡を防止します。
- 同期トリガー生成回路ではADCを変換開始させる4チャンネルのADC同期トリガー信号を生成します。
- デバッグ出力機能はモーター制御に使用する周辺機能の動作タイミングのモニター信号を出力します。
- チャンネル間同期機能は複数のPMDのPWMや保護動作を同期動作することができます。

3.1. クロック供給

PMDを使用する場合は、f_{sys}供給停止レジスターA (*[CGFSYSENA]*, *[CGFSYSMENA]*)、f_{sys}供給停止レジスターB (*[CGFSYSENB]*, *[CGFSYSMENB]*)、f_{sys}供給停止レジスターC (*[CGFSYSMENC]*)、f_c供給停止レジスター(*[CGFCEN]*)で該当するクロックイネーブルビットを"1"(クロック供給)に設定してください。該当レジスター、ビット位置は製品によって異なります。そのため製品によって、レジスターが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

3.2. パルス幅変調回路

パルス幅変調回路は PWM キャリアー生成回路と 3 相 PWM 生成回路で構成されます。

3.2.1. PWM キャリアー生成

PWM キャリアー生成回路は、 $[PMDxRATE]$ レジスター値を積算して基本キャリアー(ノコギリ波)を生成し、基本キャリアーから相別の PWM キャリアーを生成します。

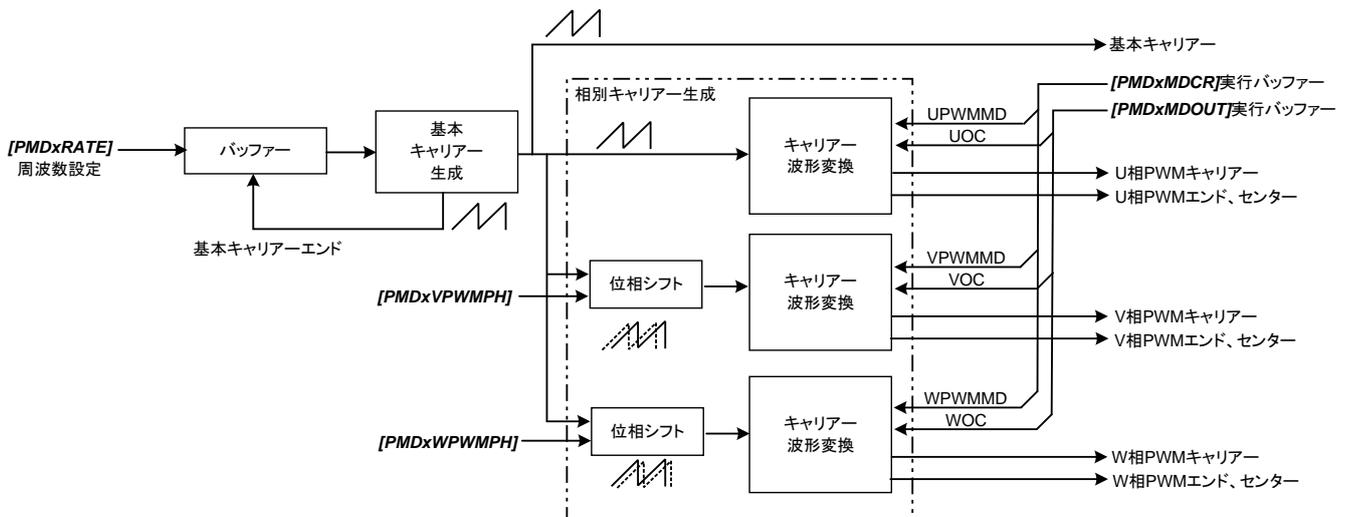


図 3.1 PWMキャリアー生成回路構成

- 基本キャリアー生成

[PMDxRATE]レジスターにより PWM 周波数を設定できます。**[PMDxRATE]**レジスターはダブルバッファ構成であり、実行バッファは基本キャリアーエンドごとに更新されます(「4.2.7. **[PMDxRATE]** (PWM 周波数レジスター)」を参照してください)。

PWM 周波数は下記の式で求めることができます。

$$\text{PWM周波数} = \frac{f_{\text{sys}} [\text{Hz}]}{2^{24} / [\text{PMDxRATE}]\text{値}} \quad \text{注) 分母は小数点以下四捨五入}$$

基本キャリアー波形は図 3.2 に示すように周波数を変えてもキャリアーの振幅は一定です。

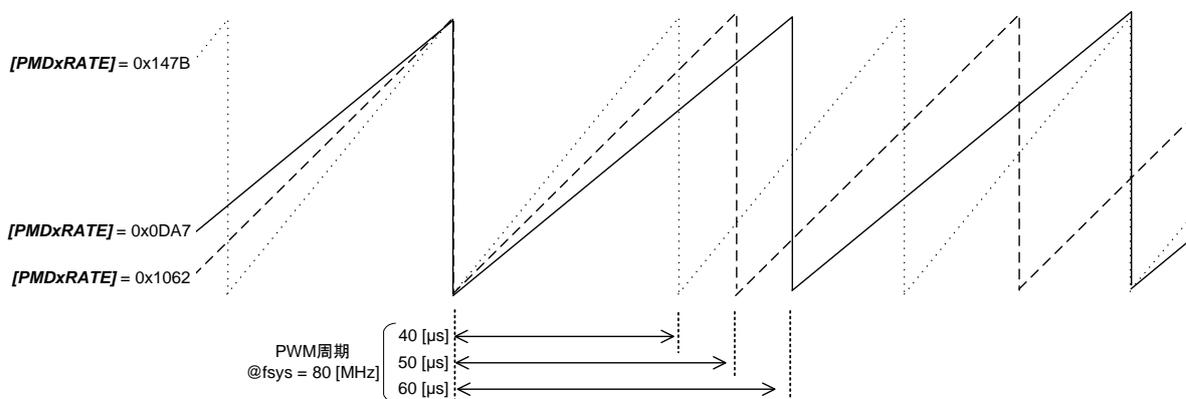


図 3.2 基本キャリアー生成波形

- 位相シフト

U-V 相間および U-W 相間で PWM キャリアーに位相差をつけることができます。

[PMDxVPWMPH]と**[PMDxWPWMPH]**レジスターで U-V 相間と U-W 相間の位相差を設定できます(図 3.3 参照)。

位相差の設定値は PWM 周期に対する比率を 2^{15} 倍した値になります。

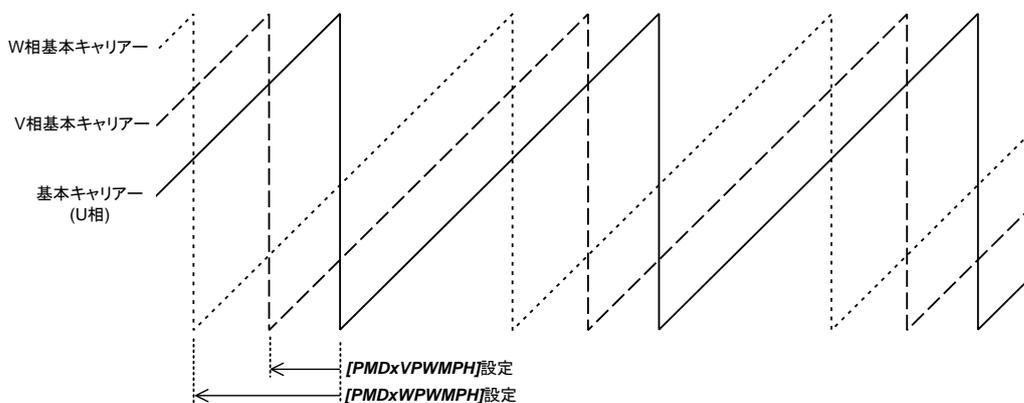


図 3.3 位相シフトの動作図

- 相別キャリアー生成

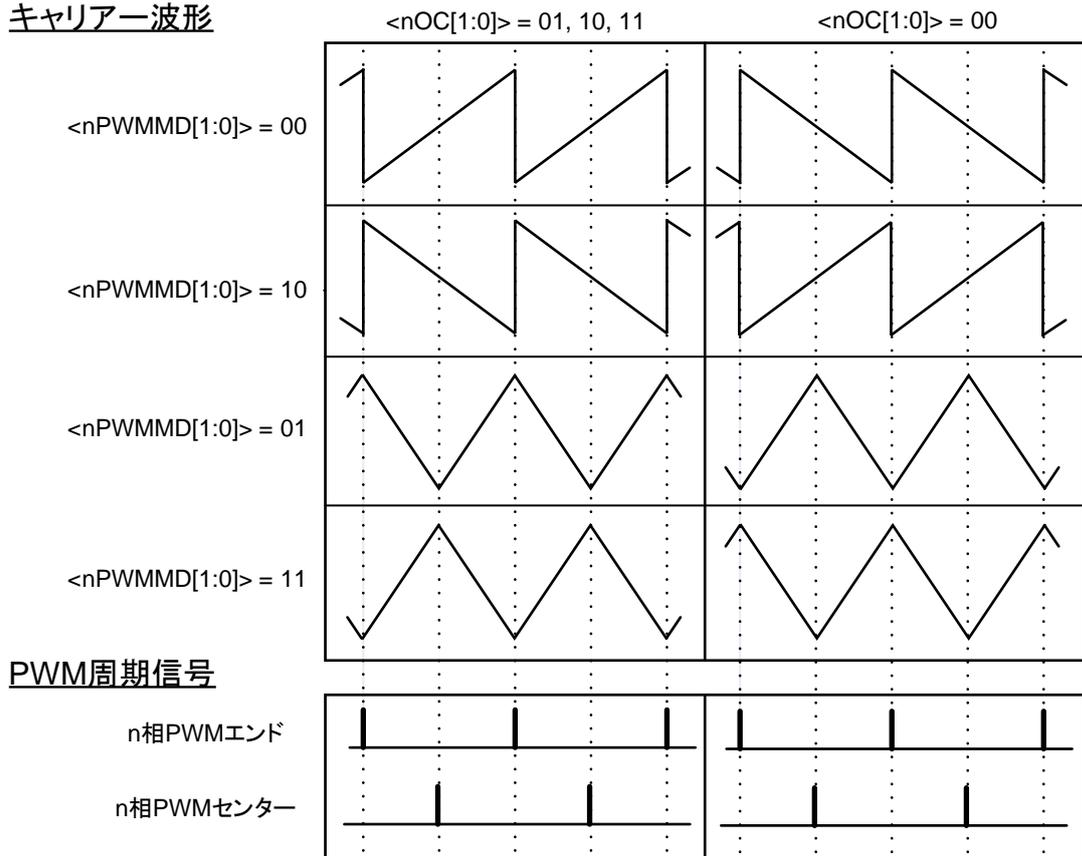
[PMDxMDCR]レジスタの<UPWMMD[1:0]>/<VPWMMD[1:0]>/<WPWMMD[1:0]>設定で相別にPWMキャリアー波形を選択できます。<UPWMMD[1:0]>/<VPWMMD[1:0]>/<WPWMMD[1:0]>はトリプルバッファ構成で、実行バッファの更新タイミングを表 3.1に示します。中間バッファの更新は「3.7. バッファ機能」を参照してください。

PWMキャリアー波形はノコギリ波、三角波、逆ノコギリ波および逆三角波を選択可能です(図 3.4参照)。また、通電設定[PMDxMDOUT]<UOC[1:0]>/<VOC[1:0]>/<WOC[1:0]>を"00"に設定することでキャリアー波形を反転することができます。

表 3.1 <UPWMMD[1:0]>/<VPWMMD[1:0]>/<WPWMMD[1:0]>レジスタの実行バッファ更新制御

| 設定 [PMDxMDPOT] <PSYNCS[1:0]> | 更新タイミング |
|------------------------------------|--------------------|
| 00 | PWM に非同期 |
| 01 | 相別 PWM センターで更新 |
| 10 | 相別 PWM エンドで更新 |
| 11 | 相別 PWM エンド/センターで更新 |

キャリアー波形



注) n = U, V, W

図 3.4 キャリアー波形変換出力波形

3.2.2. 3相PWM生成

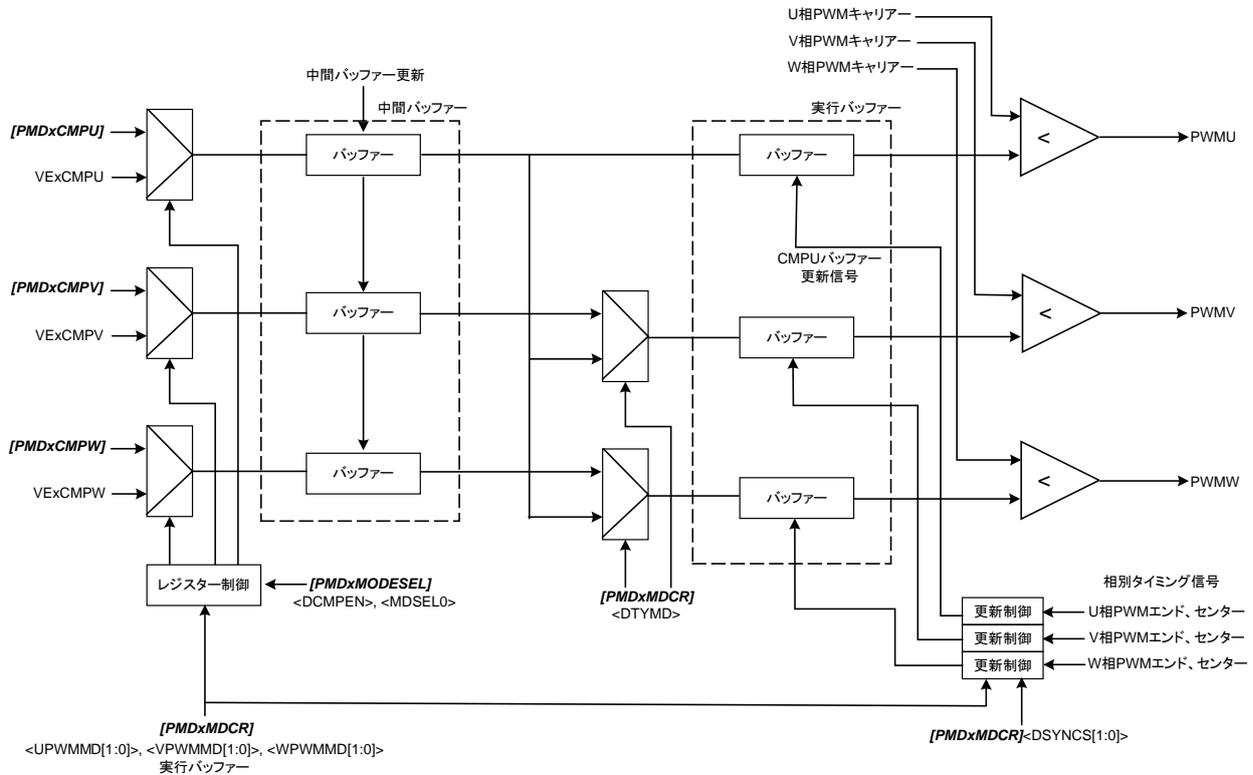


図 3.5 3相PWM生成回路

- コンペア機能

3相のPWMデューティコンペアレジスタ([PMDxCMPU]/[PMDxCMPV]/[PMDxCMPW])の値と相別PWMキャリアーをコンパレーターで大小比較して所望のデューティのPWM波形を生成します。

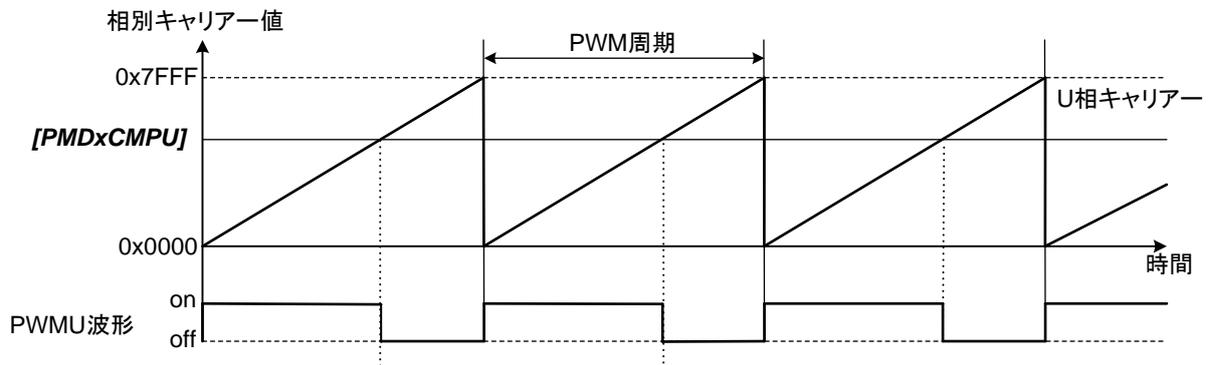
各相のPWMデューティコンペアレジスタはトリプルバッファ構成となります。PWMデューティコンペアレジスタの値はPWM周期に同期して実行バッファにロードされます。PWM半周期での更新(半周期ごとロード)も選択できます(表 3.2参照)。中間バッファの更新は「3.7. バッファ機能」を参照してください。

表 3.2 [PMDxCMPU]/[PMDxCMPV]/[PMDxCMPW]レジスタの実行バッファ更新制御

| [PMDxMDCR]設定 | | 更新タイミング |
|---------------|---------------|--------------------|
| <DSYNCS[1:0]> | <INTPRD[1:0]> | |
| 00 | 01,10,11 | 相別 PWM エンドで更新 |
| | 00 | 相別 PWM エンドとセンターで更新 |
| 01 | xx | 相別 PWM センターで更新 |
| 10 | xx | 相別 PWM エンドで更新 |
| 11 | xx | 相別 PWM エンドとセンターで更新 |

注) xx: Don't care

[ノコギリ波]: <UPWMMD[1:0]> = 00



[三角波]: <UPWMMD[1:0]> = 01

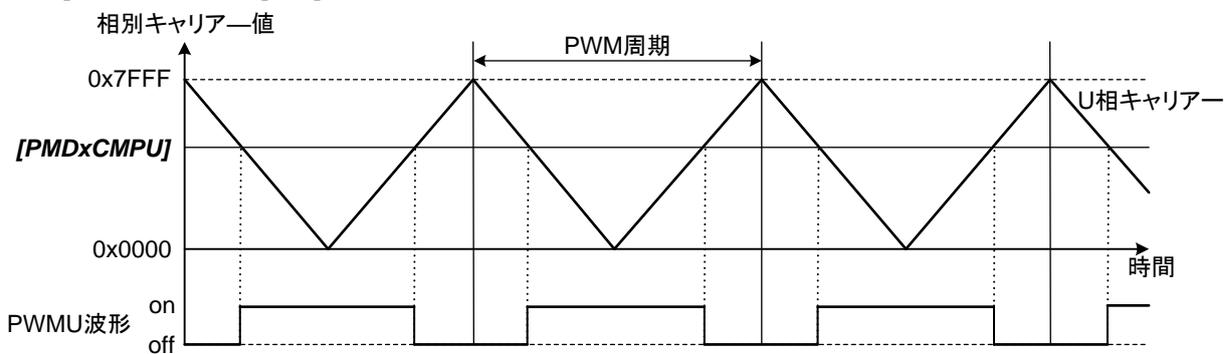


図 3.6 PWM波形

- 波形モード

デューティモード選択[PMDxMDCR]<DTYMD>で2種類の3相PWMの生成方法を選択できます。

- 3相独立デューティモード:
3相のPWMデューティコンペアレジスターにそれぞれ独立した値を設定します。3相の独立したPWM波形を生成でき、正弦波などの任意の駆動波形生成に使用します。
- 3相共通デューティモード:
U相のPWMデューティコンペアレジスターだけに設定し、U相の設定値で3相同一のPWM波形を生成します。これは、ブラシレスDCモーターの矩形波駆動に使用します。

- 割り込み処理

パルス幅変調回路ではPWM波形に同期してPWM割り込み要求を発生します。割り込み要求の発生タイミングはU相PWMエンドとU相PWMセンターを選択できます。

PWM割り込みの頻度はPWM周期半周期に1回、1周期に1回、2周期に1回、4周期に1回を選択することができます。

3.3. 通電制御回路

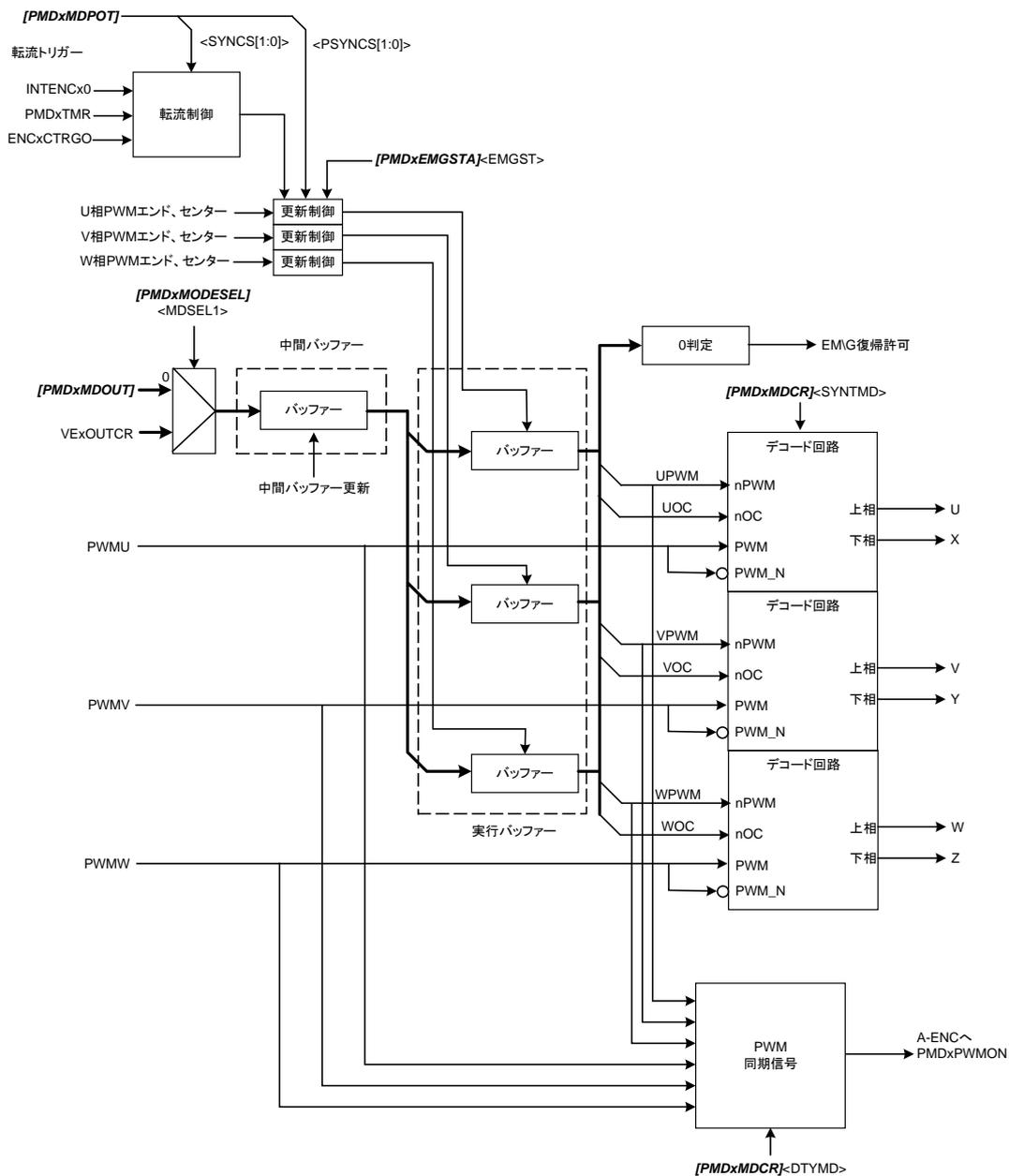


図 3.7 通電制御回路

PMD 通電制御レジスタ $[PMDxMDOUT]$ / VExOUTCR と PMD 出力設定レジスタ $[PMDxMDPOT]$ の設定により、出力ポートの制御を行います。 $[PMDxMDOUT]$ / VExOUTCR はトリプルバッファ構成であり、実行バッファの更新タイミングは PWM への同期更新と非同期更新を選択できます。また、トリガー入力に同期した更新を設定することも可能です。(更新タイミングは表 3.3 を参照してください。)

6 本のポートの出力設定は、上相出力(UOx/VOx/WOx)と下相出力(XOx/YOx/ZOx)のそれぞれにローアクティブ/ハイアクティブ設定を $[PMDxMDPOT]$ の $\langle POLH \rangle / \langle POLL \rangle$ により行うことができます(「3.5. デッドタイム制御回路」参照)。さらに、U/V/W それぞれに、PWM 出力と High/Low レベル出力との選択を $[PMDxMDOUT]$ / VExOUTCR の $\langle UPWM \rangle / \langle VPWM \rangle / \langle WPWM \rangle$ により設定します。PWM 出力を選択すると PWM 波形が、High/Low 出力を選択すると High レベルまたは Low レベルの出力が得られます。そ

それぞれの出力を High にするか Low にするかは $[PMDxMDOUT] / VExOUTCR$ の $\langle UOC[1:0] \rangle / \langle VOC[1:0] \rangle / \langle WOC[1:0] \rangle$ で選択します。 $[PMDxMDOUT] / VExOUTCR$ と $[PMDxMDPOT]$ によるポート出力設定と PMD 制御レジスタ $[PMDxMDCR]$ のポート出力モード設定によって得られる端子出力の関係については表 3.4 を参照してください。

また、通電制御回路は A-ENC で PWM 同期サンプリングするための PWM 信号 (PMDxPWMON) を出力します。

表 3.3 $[PMDxMDOUT] / VExOUTCR$ 実行バッファの更新タイミング

| | | $[PMDxMDPOT] \langle PSYNCS[1:0] \rangle$ 設定 | | | |
|---|----|--|-------------------------------------|------------------------------------|---|
| | | 00 | 01 | 10 | 11 |
| $[PMDxMDPOT] \langle SYNCS[1:0] \rangle$ 設定 | 00 | 常時更新 | 相別 PWM センター | 相別 PWM エンド | 相別 PWM エンドとセンター |
| | 01 | INTENCx0 (注 3) 発生時 | INTENCx0 (注 3) 発生ごとに最初の相別 PWM センター | INTENCx0 (注 3) 発生ごとに最初の相別 PWM エンド | INTENCx0 (注 3) 発生ごとに最初の相別 PWM エンドとセンター |
| | 10 | PMDxTMR (注 3) 発生時 | PMDxTMR (注 3) 発生ごとに最初の相別 PWM センター | PMDxTMR (注 3) 発生ごとに最初の相別 PWM エンド | PMDxTMR (注 3) 発生ごとに最初の相別 PWM エンドとセンター |
| | 11 | ENCxCTRGO (注 3) 発生時 | ENCxCTRGO (注 3) 発生ごとに最初の相別 PWM センター | ENCxCTRGO (注 3) 発生ごとに最初の相別 PWM エンド | ENCxCTRGO (注 3) 発生ごとに最初の相別 PWM エンドとセンター |

注 1) PMD 禁止および EMG 保護状態では設定に関わらずに非同期更新されます。

注 2) PMD 禁止 ($[PMDxMDEN] \langle PWMEN \rangle = 0$) にすると保持されているトリガー条件はクリアされます。

注 3) 製品によって接続先が異なりますので、リファレンスマニュアルの「製品個別情報」を参照してください。

表 3.4 $[PMDxMDOUT] / VExOUTCR$ および $[PMDxMDCR] \langle SYNTMD \rangle$ 設定によるデコード回路出力

$[PMDxMDCR] \langle SYNTMD \rangle = 0$

| | | PWM 出力設定 $[PMDxMDOUT] \langle nPWM \rangle$ | | | |
|--|----|--|------|-----------|-------|
| | | 0: H/L 出力 | | 1: PWM 出力 | |
| | | 上相出力 | 下相出力 | 上相出力 | 下相出力 |
| 通電設定 $[PMDxMDOUT] \langle nOC[1:0] \rangle$ | 00 | Low | Low | PWM | PWM_N |
| | 01 | Low | High | Low | PWM |
| | 10 | High | Low | PWM | Low |
| | 11 | High | High | PWM | PWM_N |

$[PMDxMDCR] \langle SYNTMD \rangle = 1$

| | | PWM 出力設定 $[PMDxMDOUT] \langle nPWM \rangle$ | | | |
|--|----|--|------|-----------|-------|
| | | 0: H/L 出力 | | 1: PWM 出力 | |
| | | 上相出力 | 下相出力 | 上相出力 | 下相出力 |
| 通電設定 $[PMDxMDOUT] \langle nOC[1:0] \rangle$ | 00 | Low | Low | PWM | PWM_N |
| | 01 | Low | High | Low | PWM_N |
| | 10 | High | Low | PWM | Low |
| | 11 | High | High | PWM | PWM_N |

注) n = U, V, W

3.4. 保護制御回路

保護制御回路は、保護制御部と保護出力制御部から構成されます。
 保護制御は EMG 保護と OVV 保護があります。

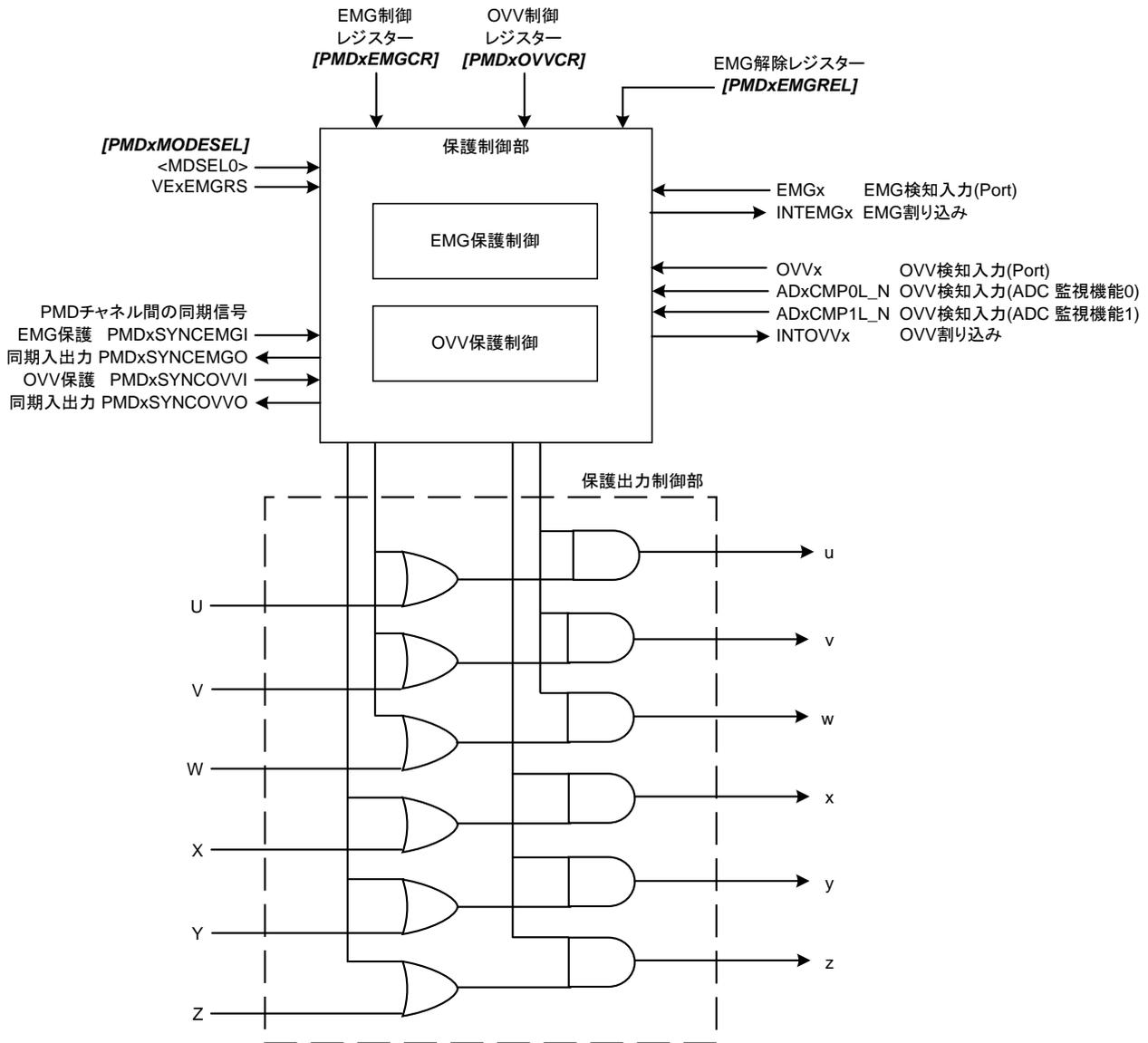


図 3.8 保護制御回路

3.4.1. EMG 保護制御回路

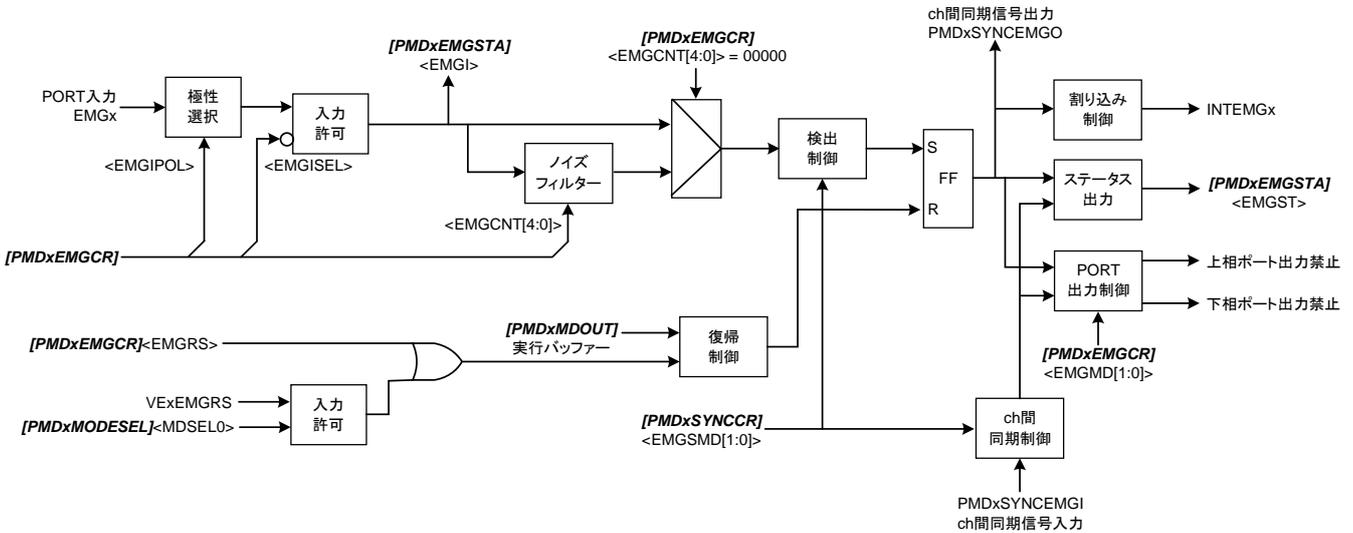


図 3.9 EMG保護制御回路

EMG 保護制御回路は緊急停止用の保護制御回路で、 $[PMDxEMGCR]\langle EMGEN \rangle = 1$ で動作許可され、EMG 入力アクティブレベルになると保護動作します。この保護制御は EMG 制御レジスター $[PMDxEMGCR]$ で設定します。

注) リセット解除後、EMG 保護制御回路は許可状態です。

- EMG 入力

EMG 入力は $[PMDxEMGCR]\langle EMGISEL \rangle$ で EMG_x 端子を許可/禁止できます。EMG_x 端子は EMG_x 端子入力極性選択レジスター $[PMDxEMGCR]\langle EMGIPOL \rangle$ でアクティブレベルを選択できます。

EMG 入力にはノイズフィルタが挿入され、入力検出時間設定 $[PMDxEMGCR]\langle EMGCNT[4:0] \rangle$ でノイズ除去時間を選択できます。 $\langle EMGCNT[4:0] \rangle = 00000$ 設定ではノイズフィルタはスルーされます。

注) EMG 許可状態で $\langle EMGCNT[4:0] \rangle, \langle EMGIPOL \rangle$ を書き換えると EMG 保護状態になる可能性があります。そのため書き変えた場合は、「EMG 保護からの復帰」を実行してください。

- EMG 保護動作

一定期間 ($\langle EMGCNT[4:0] \rangle$ 設定による) EMG 入力アクティブになった場合、直ちに 6 本の PWM 出力を禁止することができます。またその時、EMG 割り込み (INTEMG_x) を発生します。 $[PMDxEMGCR]\langle EMGMD[1:0] \rangle$ の設定により、保護動作時の外部出力ポート状態を全相ハイインピーダンス、全下相ハイインピーダンス/全上相オン、全上相ハイインピーダンス/全下相オンから選択できます。

$[PMDxEMGSTA]\langle EMGST \rangle$ をリードしたとき、「1」の場合は EMG 保護状態であることを示します。

- EMG 保護からの復帰

EMG 保護状態時、ポート出力を全てインアクティブに設定 ($[PMDxMDOUT]$ / $VExOUTCR$ の $\langle UPWM \rangle / \langle VPWM \rangle / \langle WPWM \rangle / \langle UOC[1:0] \rangle / \langle VOC[1:0] \rangle / \langle WOC[1:0] \rangle$ を全て "0") 後、 $[PMDxEMGCR]$ / $VExEMGRS$ の $\langle EMGRS \rangle$ に "1" を書き込むことで EMG 保護状態から復帰することができます。ただし、EMG 入力アクティブの期間は、"1" を書き込んでも無視されます。 $[PMDxEMGSTA]$ $\langle EMGI \rangle$ をリードし EMG 入力インアクティブになったことを確認してから復帰処理を行ってください。

注) リセット解除後の EMG の復帰手順について

EMGx 端子と兼用となっている入出力ポートは、リセット解除後はポート機能が選択されていますが、EMG 保護制御回路は初期状態で動作状態(許可)となっており、EMG 保護状態となっている場合がありますので、イニシャルシーケンスで、以下の手順で EMG 保護状態から復帰させてください。

- (1) ポートのファンクションレジスター ($[PxFRn]$) で EMG 機能を選択します。
- (2) $[PMDxEMGSTA]$ $\langle EMGI \rangle$ をリードし、"1" であることを確認します。
- (3) $[PMDxMDOUT]$ / $VExOUTCR$ の $\langle UPWM \rangle / \langle VPWM \rangle / \langle WPWM \rangle / \langle UOC[1:0] \rangle / \langle VOC[1:0] \rangle / \langle WOC[1:0] \rangle$ を全て "0" に設定し、ポート出力を全てインアクティブにします。
- (4) $[PMDxEMGCR]$ / $VExEMGRS$ の $\langle EMGRS \rangle$ を "1" に設定し、EMG 保護状態から復帰させます。

- EMG 保護機能の禁止

EMG 機能を禁止するには EMG 解除レジスター $[PMDxEMGREL]$ に "0x5A" と "0xA5" を順番に設定後、 $[PMDxEMGCR]$ $\langle EMGEN \rangle$ に "0" を設定します。誤って EMG 保護制御回路を禁止することを防止するため 3 命令連続して行ってください。

3.4.2. OVV 保護制御回路

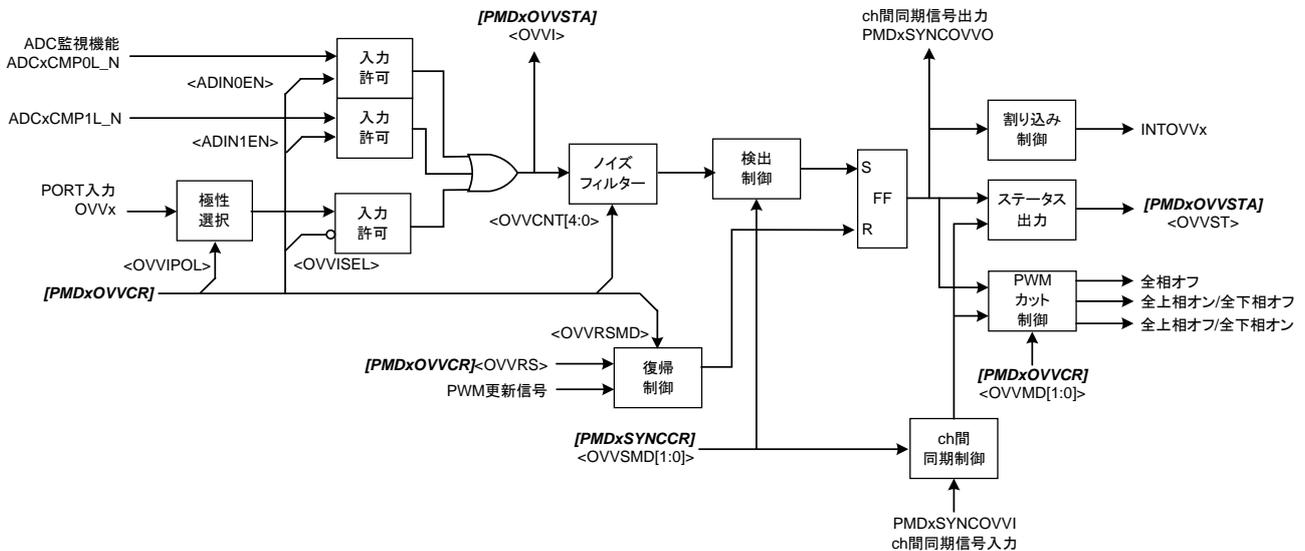


図 3.10 OVV保護制御回路

OVV 保護制御回路は $[PMDxOVVCR] \langle OVVEN \rangle = 1$ で動作許可され、OVV 入力アクティブレベルになると保護動作します。この保護制御は OVV 制御レジスタ $[PMDxOVVCR]$ で設定します。

- OVV 入力

OVV 入力は $[PMDxOVVCR] \langle OVVISSEL \rangle / \langle ADIN0EN \rangle / \langle ADIN1EN \rangle$ で OVV_x 端子および ADC 監視機能信号 (AD_xCMP0L_N、AD_xCMP1L_N) をそれぞれ許可/禁止できます。OVV_x 端子は OVV_x 端子極性選択レジスタ $[PMDxOVVCR] \langle OVVIPOL \rangle$ でアクティブレベルを選択できます。

OVV 入力にはノイズフィルターが挿入され、入力検出時間設定 $[PMDxOVVCR] \langle OVVCNT[4:0] \rangle$ でノイズ除去時間を選択できます。

注) OVV 許可状態で $\langle OVVCNT[4:0] \rangle, \langle OVVIPOL \rangle$ を書き換えると OVV 保護状態になる可能性があります。そのため書き変えた場合は、「OVV 保護からの復帰」を実行してください。

- OVV 保護動作

OVV 保護制御回路は、一定期間 ($\langle OVVCNT[4:0] \rangle$ 設定による) OVV 入力アクティブになった場合、保護出力制御部で 6 本のポート出力を High または Low に固定します。またその時、OVV 割り込み (INTOVV_x) を発生します。 $[PMDxOVVCR] \langle OVVMD[1:0] \rangle$ の設定により、保護動作を全下相オフ/全上相オン、全上相オフ/全下相オン、全相オフから選択できます。

$[PMDxOVVSTA] \langle OVVST \rangle$ をリードしたとき、「1」の場合は OVV 保護制御回路が動作中であることを示します。

- OVV 保護からの復帰

`[PMDxOVVCR]<OVVRS>`に"1"を書き込むことで OVV 保護状態から復帰することができます。ただし、OVV 入力アクティブの期間は、"1"を書き込んでも無視されます。`[PMDxOVVSTA]<OVVI>`をリードし OVV 入力インアクティブになったことを確認してから復帰処理を行ってください。

OVV 復帰動作選択`<OVVRSMD>` = 0時は自動復帰が可能で、OVV 入力インアクティブに変化後、U相 PWM エンドで自動復帰します。

OVV から自動復帰するタイミングは、U相 PWM エンドタイミングです。ただし PWM 0.5 周期割り込み設定時は U相 PWM エンドおよびセンタータイミングとなります。

- OVV 保護機能の禁止

OVV 機能を禁止するには EMG 解除レジスタ`[PMDxEMGREL]`に"0x5A"と"0xA5"を順番に設定後、`[PMDxOVVCR]<OVVEN>`に"0"を設定します。誤って OVV 保護制御回路を禁止することを防止するため 3 命令連続して行ってください。

3.4.3. デバッグツール使用時の保護制御

デバッグツール使用時、デバッグホールドで CPU が停止する場合に PMD 出力を禁止することができます。ただし、EMG 発生時は`[PMDxEMGCR]<EMGMD[1:0]>`の設定に従います。

デバッグホールド時、ポート出力がハイインピーダンスになるか PMD 出力になるかを`[PMDxPORTMD]<PORTMD[1:0]>`設定により選択できます。

3.5. デッドタイム制御回路

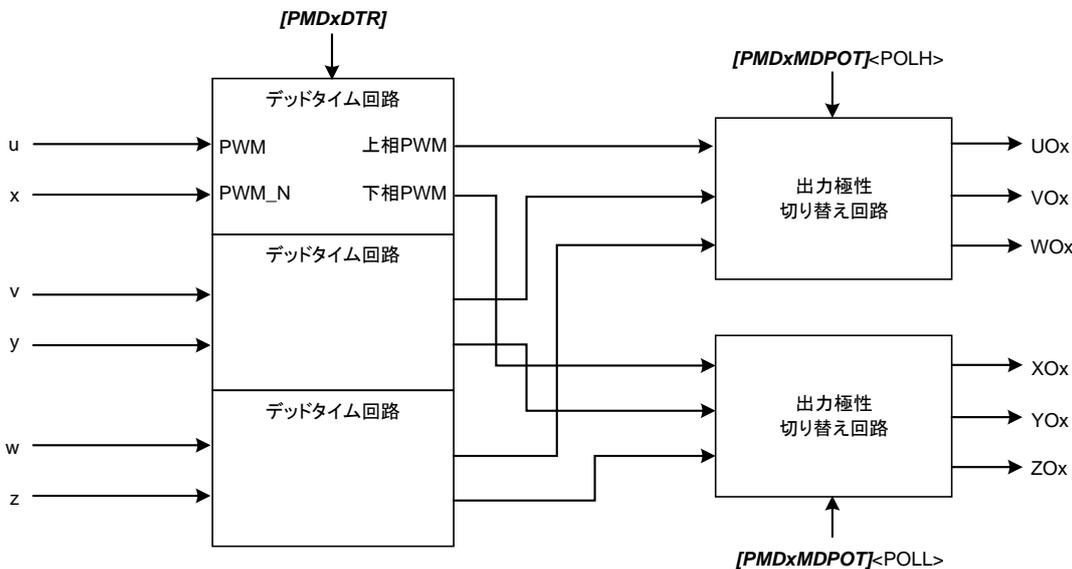


図 3.11 デッドタイム制御回路

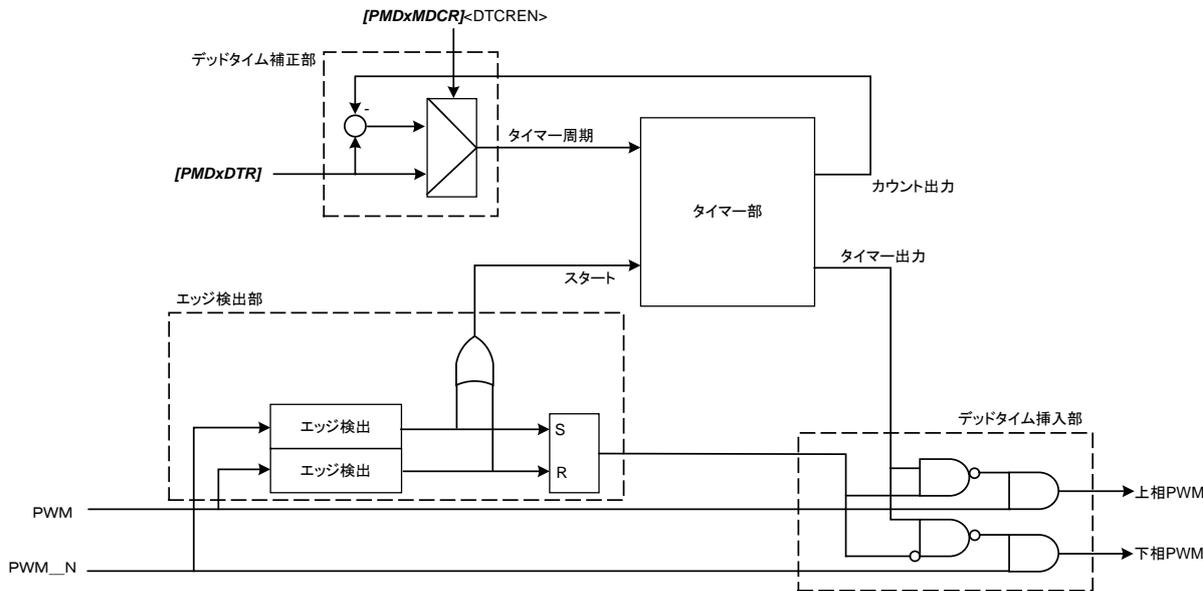


図 3.12 デッドタイム回路

デッドタイム制御回路はデッドタイム回路と出力極性切り替え回路で構成されます(図 3.11 参照)。デッドタイム回路は、エッジ検出部とタイマー部とデッドタイム挿入部およびデッドタイム補正部から構成されます(図 3.12 参照)。

U/V/Wのそれぞれの相で、上下相が逆転する場合に上下相が短絡するのを回避するため、デッドタイム回路によりオン時間を遅延させます。遅延時間は、10 ビット値により $4/f_{sys}$ (50 ns @80 MHz)の分解能で設定が可能です。遅延時間はデッドタイムレジスタ[PMDxDTR]に設定します。

デッドタイム補正部は、[PMDxMDCR]<DTCREN>を"1"に設定することで、上相PWMまたは下相PWMの一方のオン期間が無い場合にもう一方のPWMの遅延時間を短く補正します。デッドタイム補正機能は、デッドタイム期間の途中でPWMがオフに変わった場合に、デッドタイム期間の残り時間(デッドタ

イムレジスタ設定時間-オン時間)で反対相の遅延時間を短く補正します。上相 PWM がデッドタイム期間中にオフに変わった場合には下相の遅延時間を短く補正し、下相 PWM がデッドタイム期間中にオフに変わった場合には上相 PWM の遅延時間を短く補正します。遅延時間は図 3.13 に示すように上相 PWM のデューティ100%付近と下相 PWM のデューティ0%付近で補正されます。



図 3.13 デッドタイム補正

出力極性切り替え回路は、上相出力(UOx/VOx/WOx)と下相出力(XOx/YOx/ZOx)のそれぞれに対してハイアクティブ/ローアクティブをPMD出力設定レジスタ[PMDxMDPOT]の<POLH>/<POLL>により選択します。

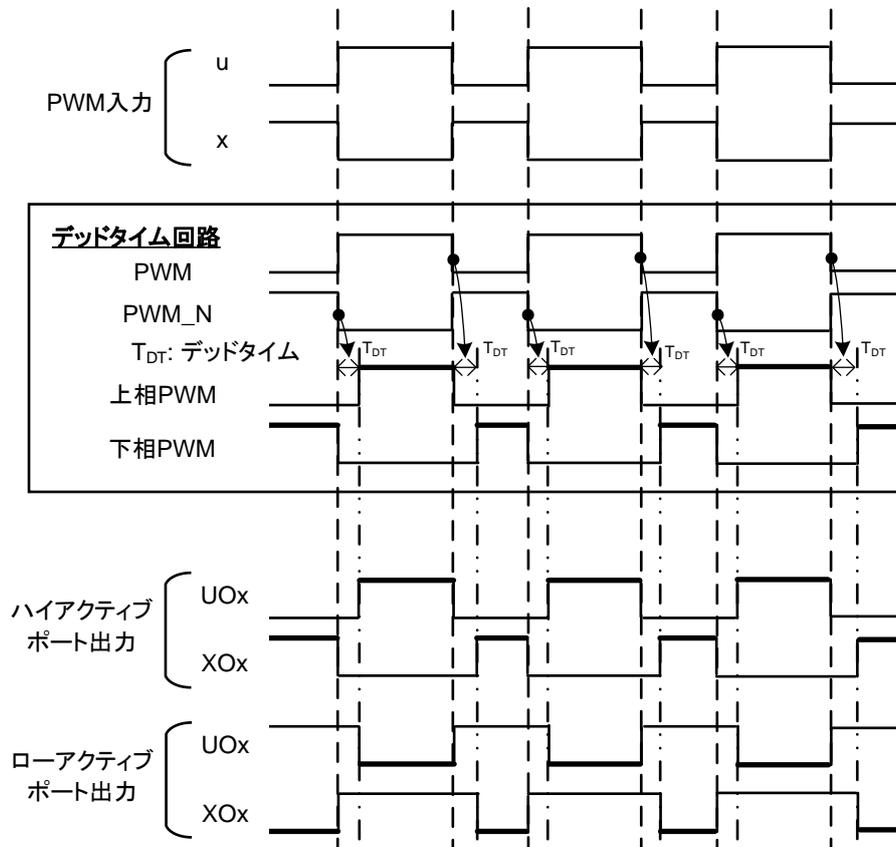


図 3.14 デッドタイム制御回路波形

3.6. 同期トリガー生成回路

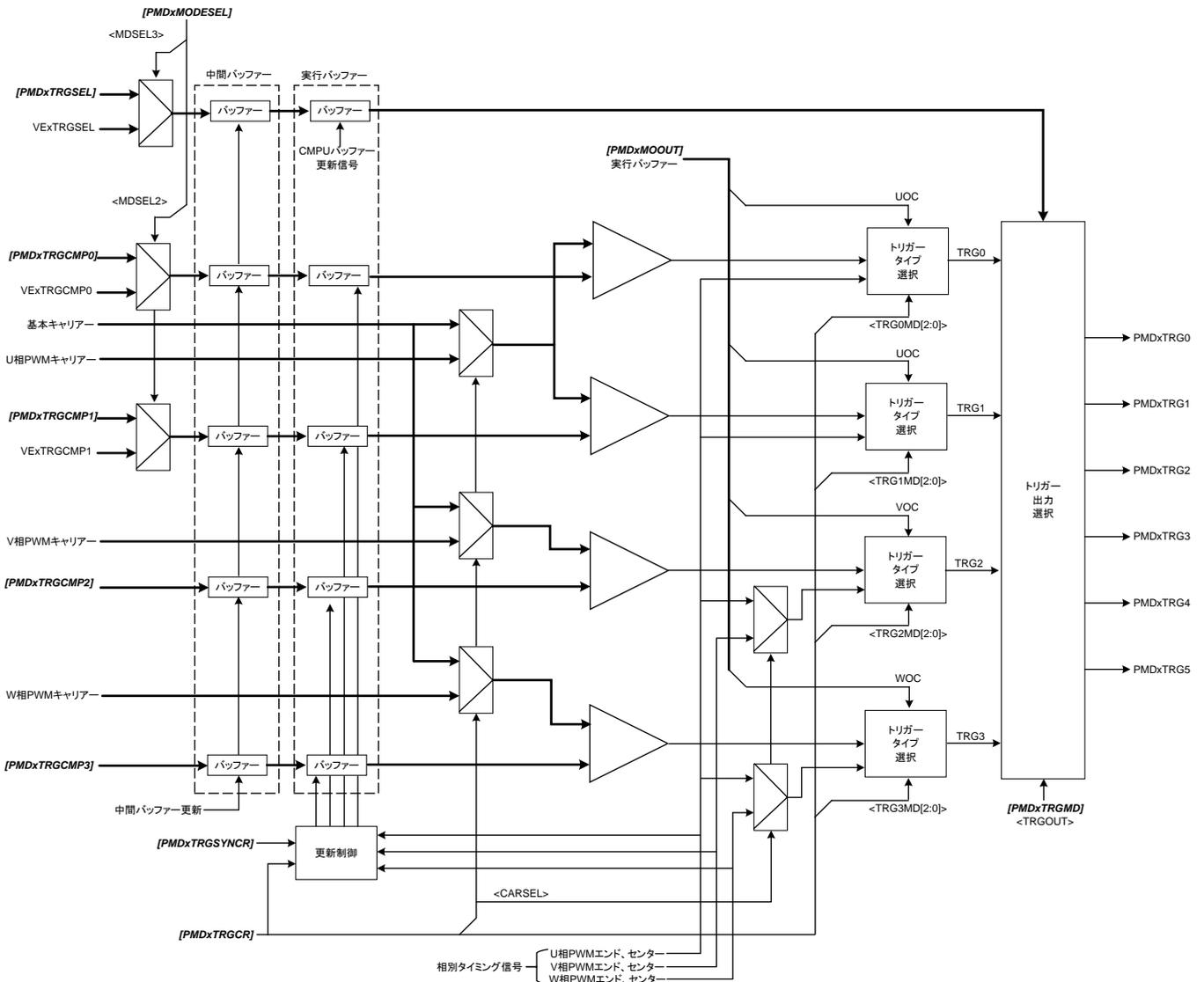


図 3.15 同期トリガー生成回路

同期トリガー生成回路は相別 PWM キャリアーに同期して ADC のサンプリングを行うための 4 種類のトリガー信号(TRG0~TRG3)を生成します。**[PMDxMODESEL]<MDESEL3>**で VE モード選択すると、**[PMDxTRGCMP0]/[PMDxTRGCMP1]**は VE レジスタ出力の VExTRGCMP0/VExTRGCMP1 に切り替わります。

トリガータイミングは以下の 6 種類が選択可能です。

- (1) 三角波キャリアー時の前半のコンペア成立 (注 1)(注 2)
- (2) 三角波キャリアー時の後半のコンペア成立 (注 1)(注 2)
- (3) 三角波キャリアー時の前半/後半のコンペア成立 (注 1)(注 2)
- (4) 基本キャリアーまたは相別 PWM キャリアーの PWM エンドタイミング (注 2)(注 3)
- (5) 基本キャリアーまたは相別 PWM キャリアーの PWM センタータイミング (注 2)(注 3)
- (6) 基本キャリアーまたは相別 PWM キャリアーの PWM センタータイミングとエンドタイミング (注 2)(注 3)

- 注 1) 基本キャリアーまたは相別 PWM キャリアーと $[PMDxTRGCMPn]$ とのコンペア成立
- 注 2) ノコギリ波 ($[PMDxMDCR] <UPWMMD[1:0]> / <VPWMMD[1:0]> / <WPWMMD[1:0]> = 00,10$) の場合
- 前半後半の区別がありません。
 - PWM センターでトリガー発生せず、PWM エンドで発生します。
- 注 3) 基本キャリアーと比較の場合は U 相 PWM センター/エンドタイミングになります。

トリガーコンペアレジスターはトリプルバッファ構成で実行バッファの更新タイミングは下表に示します。中間バッファの更新タイミングは「3.7. バッファ機能」を参照してください。

表 3.5 トリガーコンペアレジスターの実行バッファ更新タイミング

| $[PMDxTRGSYCR]$ <TSYNCS[1:0]>設定 | $[PMDxTRGCR]$ <TRGnMD[2:0]>設定 | $[PMDxTRGCMPn]$ レジスター バッファ更新タイミング |
|------------------------------------|----------------------------------|--------------------------------------|
| 00 | 000 | 直ちに更新 |
| | 001 | 相別 PWM エンドで更新 (注 1) |
| | 010 | 相別 PWM センターで更新 (注 1)(注 2) |
| | 011 | 相別 PWM エンドとセンターで更新 (注 1)(注 2) |
| | 1xx | 直ちに更新 |
| 01 | xxx | 相別 PWM センターで更新 (注 1)(注 2) |
| 10 | xxx | 相別 PWM エンドで更新 (注 1) |
| 11 | xxx | 相別 PWM のエンドとセンターで更新 (注 1)(注 2) |

- 注 1) 基本キャリアーと比較の場合は U 相 PWM センター/エンドタイミングになります。
- 注 2) PWM キャリアーがノコギリ波 ($[PMDxMDCR] <UPWMMD[1:0]> / <VPWMMD[1:0]> / <WPWMMD[1:0]> = 00,10$) の場合、PWM エンド更新になります。
- 注 3) xx, xxx: Don't care
- 注 4) $[PMDxMDEN] <PWMEN> = 0$ 時は設定に関わらず直ちに更新されます。

トリガー選択出力モード ($[PMDxTRGMD] <TRGOUT> = 1$) では、トリガー 0 信号 ($[PMDxTRGCMP0] / VExTRGCMP0$, $[PMDxTRGCR] <TRG0MD[2:0]>$ で設定) をトリガー出力選択レジスター $[PMDxTRGSEL] / VExTRGSEL$ で設定した ADC 同期トリガー ($PMDxTRG0 \sim 5$) に出力します。

表 3.6 トリガー出力パターン

| $[PMDxTRGMD]$ <TRGOUT>設定 | $[PMDxTRGCMPn]$ コンペアレジスター | $[PMDxTRGSEL]$ 設定 | ADC 同期トリガー出力 |
|-----------------------------|------------------------------|-------------------|--------------|
| <TRGOUT> = 0 | $[PMDxTRGCMP0]$ | × | PMDxTRG0 |
| | $[PMDxTRGCMP1]$ | | PMDxTRG1 |
| | $[PMDxTRGCMP2]$ | | PMDxTRG2 |
| | $[PMDxTRGCMP3]$ | | PMDxTRG3 |
| <TRGOUT> = 1 | $[PMDxTRGCMP0]$ | 0 | PMDxTRG0 |
| | | 1 | PMDxTRG1 |
| | | 2 | PMDxTRG2 |
| | | 3 | PMDxTRG3 |
| | | 4 | PMDxTRG4 |
| | 5 | PMDxTRG5 | |
| | $[PMDxTRGCMP1]$ | × | トリガー出力なし |
| $[PMDxTRGCMP2]$ | × | トリガー出力なし | |
| $[PMDxTRGCMP3]$ | × | トリガー出力なし | |

注) ×: Don't care

EMG 保護動作時も ADC 同期トリガー出力する場合は $[PMDxTRGMD] <EMGTGE>$ に "1" を設定します。

3.7. バッファ機能

レジスタにはシングルバッファ以外にダブルバッファおよびトリプルバッファのバッファ機能があります。

[PMDxRATE] レジスタはダブルバッファで、[PMDxMDOUT]/[PMDxCMPU]/[PMDxCMPV]/[PMDxCMPW]/[PMDxTRGCMP0]/[PMDxTRGCMP1]/[PMDxTRGCMP2]/[PMDxTRGCMP3]/[PMDxTRGSEL] の 9 レジスタおよび [PMDxMDCR] レジスタの <UPWMMD[1:0]>/<VPWMMD[1:0]>/<WPWMMD[1:0]> はトリプルバッファです。その他のレジスタはシングルバッファです。ダブルバッファはレジスタ段と実行バッファ段の 2 段構成で、トリプルバッファはレジスタ段と実行バッファ段の間に中間バッファ段が加わった 3 段構成です。

リードライト時にはレジスタ段がアクセスされます。幾つかのレジスタでは [PMDxMODESEL] レジスタ設定により PMD レジスタと VE レジスタ出力から有効なレジスタを選択できます。

トリプルバッファの中間バッファ段は [PMDxMBUFCTR] <BUFCTR[2:0]> により更新タイミングを選択でき、<BUFCTR[2:0]> = 000 設定で中間バッファはスルーされます。

実行バッファ段はレジスタ別に更新タイミングを設定できます。設定方法は各レジスタを参照してください。

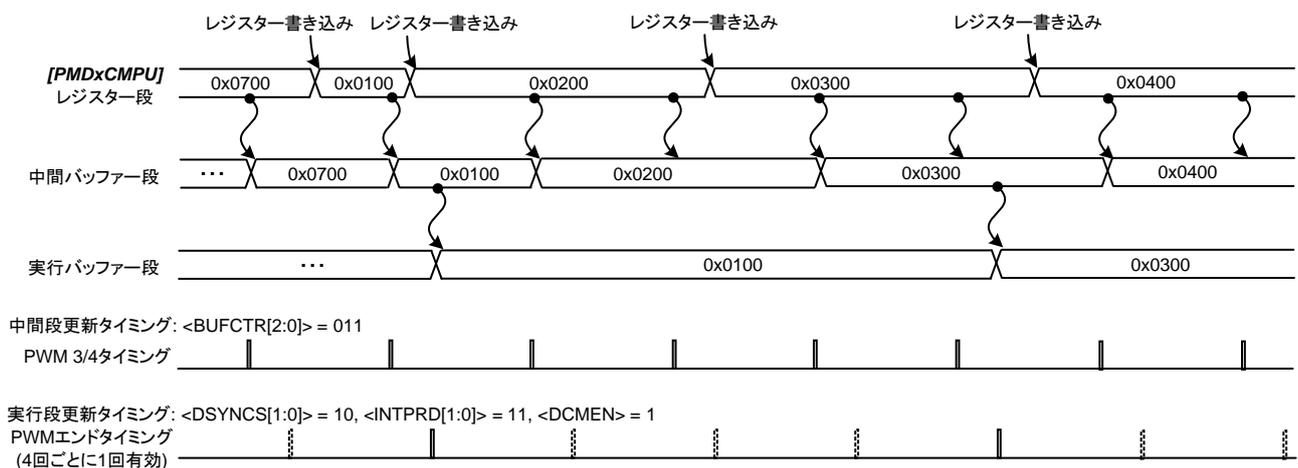


図 3.16 [PMDxCMPU]のトリプルバッファ更新タイミング例

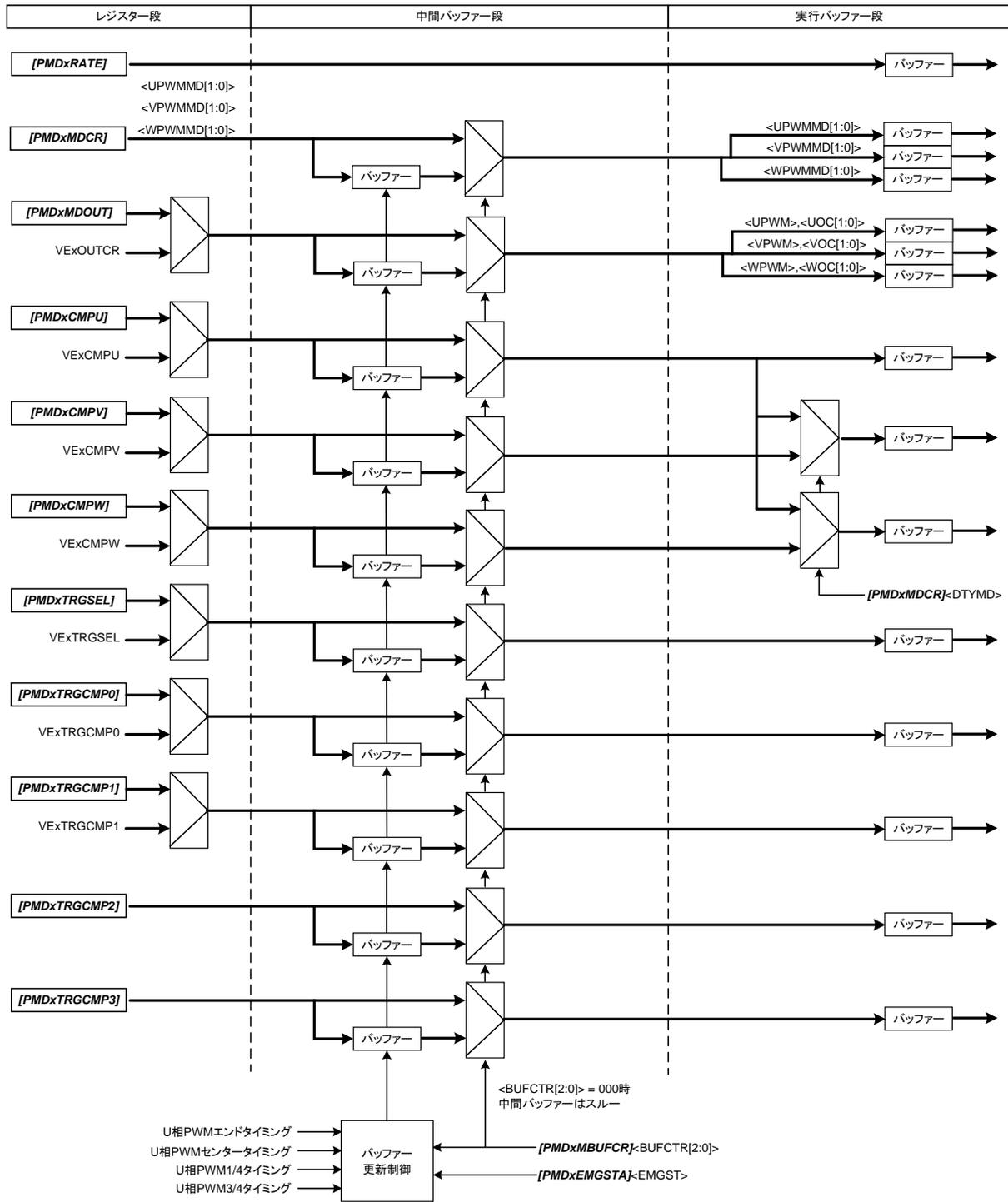


図 3.17 レジスターのバッファ構成

3.8. 実行バッファ更新タイミングとトリガー出力の間引き制御

実行バッファの更新およびトリガー出力は基本的に PWM 周期ごとに発生しますが、2 周期以上の割り込み周期選択時に実行バッファの更新タイミングおよび ADC 同期トリガー出力を間引きすることができます。

$[PMDxMDCR]\langle INTPRD[1:0]\rangle = 10, 11$ 時に、 $[PMDxMDCR]\langle DCMEN\rangle$ を "1" に設定することで間引きされます。

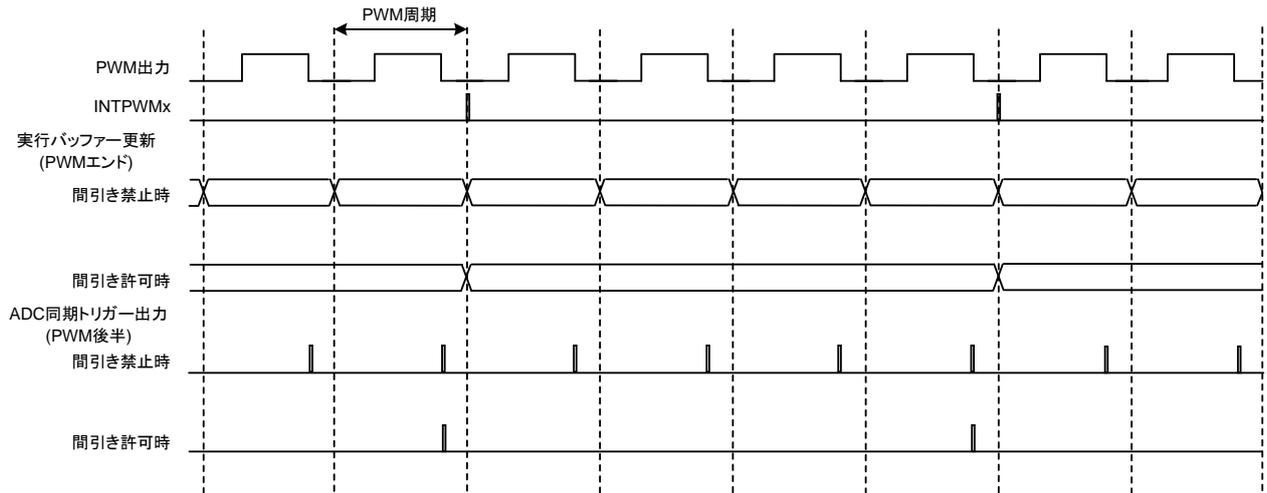


図 3.18 間引き制御タイミング例 ($\langle INTPRD[1:0]\rangle = 11$ の場合)

3.9. チャネル間同期機能

複数の PMD を同期動作することができます。以下の 3 種類の同期機能があります。

スレーブ動作させるチャンネルで同期動作を許可します。マスター動作および単独動作のチャンネルでは許可しないでください。

注) 全てのチャンネルが同期動作許可にされていると動作しません。スレーブ動作させるチャンネルだけを同期動作許可にしてください。

- PWM 許可同期

同期の許可/禁止は[PMDxSYNCCR]<PWMSMD>で設定します。許可するとマスターチャンネルの[PMDxMDEN]<PWMEN>の許可/禁止操作で同時に許可/禁止されます。

- EMG 保護同期

同期の許可/禁止および同期モードは[PMDxSYNCCR]<EMGSMD[1:0]>で設定します。EMG 保護の同期動作には 2 つの同期モードがあります。

- 同期モード 1

スレーブチャンネルの EMG 検知は無効で、マスターチャンネルの EMG 検知でスレーブチャンネルも EMG 保護状態になります。保護状態からの復帰はマスターチャンネルで行います。EMG 割り込みはマスターチャンネルだけに発生します。

- 同期モード 2

マスターチャンネルとスレーブチャンネルの両方の EMG 検知が有効で、どちらで検知してもスレーブチャンネルは EMG 保護状態になります。保護状態からの復帰は検知したチャンネルで行います。EMG 割り込みは検知したチャンネルだけに発生します。

- OVV 保護同期

同期の許可/禁止および同期モードは[PMDxSYNCCR]<OVVSMD[1:0]>で設定します。OVV 保護の同期動作には 2 つの同期モードがあります。

- 同期モード 1

スレーブチャンネルの OVV 検知は無効で、マスターチャンネルの OVV 検知でスレーブチャンネルも OVV 保護状態になります。保護状態からの復帰はマスターチャンネルで行います。OVV 割り込みはマスターチャンネルだけに発生します。

- 同期モード 2

マスターチャンネルとスレーブチャンネルの両方の OVV 検知が有効で、どちらで検知してもスレーブチャンネルは OVV 保護状態になります。保護状態からの復帰は検知したチャンネルで行います。OVV 割り込みは検知したチャンネルだけに発生します。

3.10. デバッグ出力機能

デバッグ出力機能は PMD、ADC、VE および A-ENC の各回路の信号からデバッグ用のモニター信号を生成して出力します。ADC 変換タイミングモニターモード以外では、許可している信号が入力される度にデバッグ出力は反転されます。

デバッグ出力の初期値は $[PMDxDBGOUTCR] \langle INIFF \rangle$ で設定できます(注)。 $\langle INIFF \rangle$ 設定はデバッグ出力禁止 ($[PMDxDBGOUTCR] \langle DBGEN \rangle = 0$) にすることで反映されます。

注) ADC 変換タイミングモニターモードでは初期値設定できません。

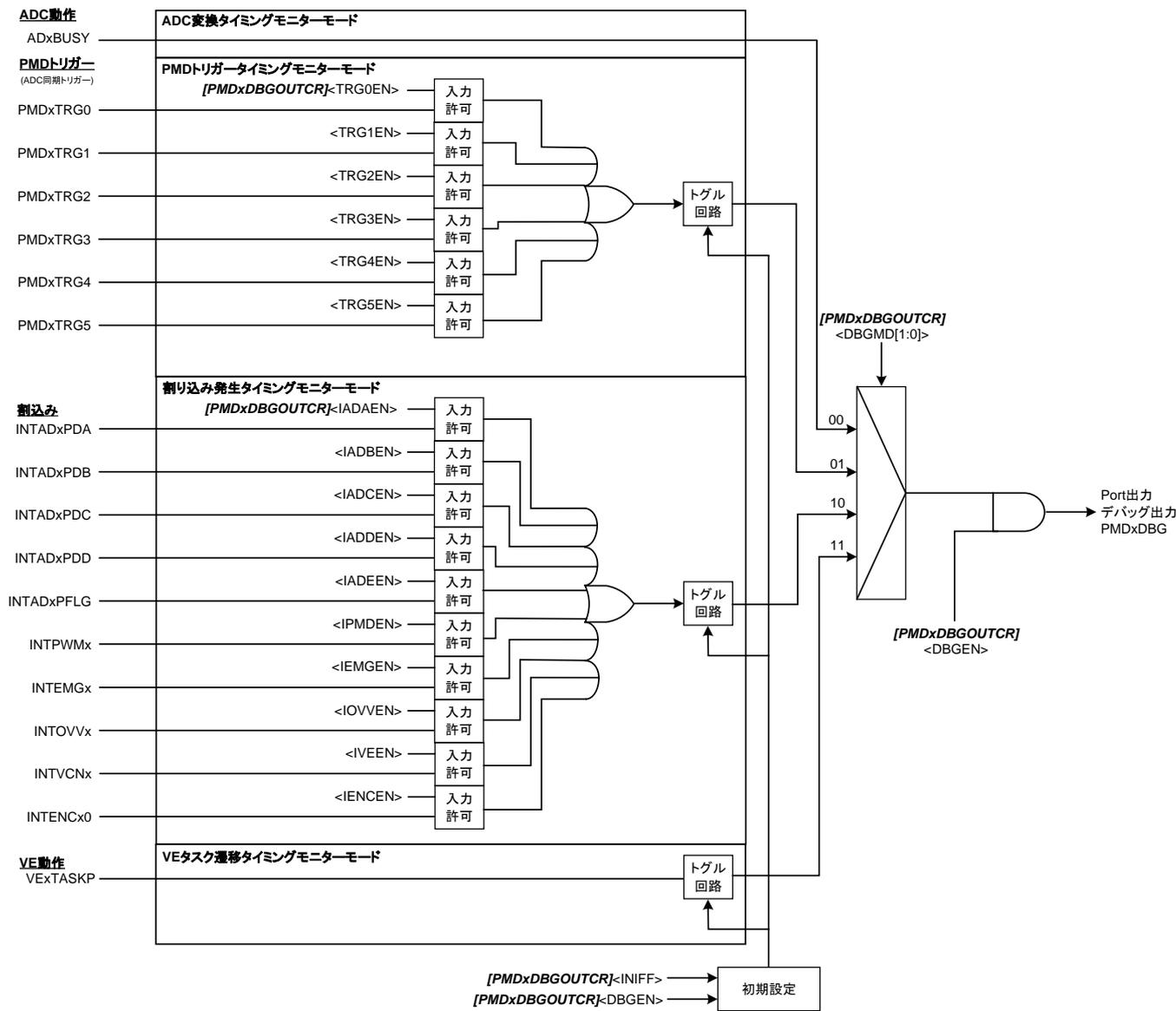


図 3.19 デバッグ出力回路構成図

4. レジスター説明

4.1. レジスター一覧

制御レジスターとアドレスは以下のとおりです。

| 周辺機能 | | チャンネル/ユニット | ベースアドレス | | |
|---------------------------|-------|------------|------------|------------|------------|
| | | | TYPE1 | TYPE2 | TYPE3 |
| アドバンストプログラマブル モーター制御回路 | A-PMD | ch0 | 0x400F6000 | 0x400E9000 | 0x40089000 |
| | | ch1 | 0x400F6100 | 0x400E9400 | 0x40089400 |
| | | ch2 | 0x400F6200 | 0x400E9800 | 0x40089800 |
| | | ch3 | 0x400F6300 | 0x400E9C00 | 0x40089C00 |

注) 製品によって搭載されるチャンネル/ユニットおよびベースアドレスタイプは異なります。
詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

| レジスター名 | | アドレス(Base+) |
|-----------------------|----------------|-------------|
| PMD イネーブルレジスター | [PMDxMDEN] | 0x0000 |
| ポート出力モードレジスター | [PMDxPORTMD] | 0x0004 |
| PMD 制御レジスター | [PMDxMDCR] | 0x0008 |
| PWM キャリアーステータスレジスター | [PMDxCARSTA] | 0x000C |
| 基本キャリアーレジスター | [PMDxBCARI] | 0x0010 |
| PWM 周波数レジスター | [PMDxRATE] | 0x0014 |
| PWM デューティコンペア U レジスター | [PMDxCMPU] | 0x0018 |
| PWM デューティコンペア V レジスター | [PMDxCMPV] | 0x001C |
| PWM デューティコンペア W レジスター | [PMDxCMPW] | 0x0020 |
| モード選択レジスター | [PMDxMODESEL] | 0x0024 |
| PMD 通電制御レジスター | [PMDxMDOUT] | 0x0028 |
| PMD 出力設定レジスター | [PMDxMDPOT] | 0x002C |
| EMG 解除レジスター | [PMDxEMGREL] | 0x0030 |
| EMG 制御レジスター | [PMDxEMGCR] | 0x0034 |
| EMG ステータスレジスター | [PMDxEMGSTA] | 0x0038 |
| OVV 制御レジスター | [PMDxOVVCR] | 0x003C |
| OVV ステータスレジスター | [PMDxOVVSTA] | 0x0040 |
| デッドタイムレジスター | [PMDxDTR] | 0x0044 |
| トリガーコンペア 0 レジスター | [PMDxTRGCOMP0] | 0x0048 |
| トリガーコンペア 1 レジスター | [PMDxTRGCOMP1] | 0x004C |
| トリガーコンペア 2 レジスター | [PMDxTRGCOMP2] | 0x0050 |
| トリガーコンペア 3 レジスター | [PMDxTRGCOMP3] | 0x0054 |
| トリガー制御レジスター | [PMDxTRGCR] | 0x0058 |
| トリガー出力モード設定レジスター | [PMDxTRGMD] | 0x005C |
| トリガー出力選択レジスター | [PMDxTRGSEL] | 0x0060 |
| トリガー更新タイミング設定レジスター | [PMDxTRGSYNCR] | 0x0064 |
| V 相位相差レジスター | [PMDxVPWMPH] | 0x0068 |
| W 相位相差レジスター | [PMDxWPWMPH] | 0x006C |
| 中間バッファ制御レジスター | [PMDxMBUFCR] | 0x0070 |
| 同期制御レジスター | [PMDxSYNCCR] | 0x0074 |
| デバッグ出力制御レジスター | [PMDxDBGOUTCR] | 0x0078 |

4.2. レジスタ詳細

4.2.1. [PMDxMDEN] (PMD イネーブルレジスタ)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|------|------------|-------|------|----------------------------------|
| 31:1 | — | 0 | R | リードすると"0"が読めます。 |
| 0 | PWMEN | 0 | R/W | 波形合成機能の許可 / 禁止 0: 禁止 1: 許可 |

- 注 1) 入出力ポートを機能出力(PMD 出力)として設定している場合、<PWMEN> = 0 でポートは出力禁止(ハイインピーダンス)になります。入出力ポート設定はリファレンスマニュアルの「入出力ポート」を参照してください。
- 注 2) 出力ポート極性など、<PWMEN>以外の初期設定を行った後に、<PWMEN> = 1 に設定してください。
- 注 3) 同期動作時はマスターチャネルの設定で動作し、スレーブチャネルの<PWMEN>では制御できません。

4.2.2. [PMDxPORTMD] (ポート出力モードレジスタ)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|------|-------------|-------|------|---|
| 31:2 | — | 0 | R | リードすると"0"が読めます。 |
| 1:0 | PORTMD[1:0] | 00 | R/W | デバッグホールド時のポート出力制御の設定 00: 上相ハイインピーダンス / 下相ハイインピーダンス 01: 上相ハイインピーダンス / 下相 PMD 出力 10: 上相 PMD 出力 / 下相ハイインピーダンス 11: 上相 PMD 出力 / 下相 PMD 出力 入出力ポートを機能出力(PMD 出力)で使用中にデバッグホールド発生した場合の上相(UOx/VOx/WOx)および下相(XOx/YOx/ZOx)のポート出力を設定します。 ハイインピーダンス選択時にデバッグホールドで入出力ポートを出力禁止(ハイインピーダンス)にします。それ以外の場合は PMD 出力に従います。 |

- 注 1) [PMDxMDEN]<PWMEN> = 0時は<PORTMD[1:0]>の設定に関わらず出力禁止(ハイインピーダンス)になります。
- 注 2) ポート出力制御は[PMDxEMGCR]<EMGMD[1:0]>の設定により EMG 保護時にも行われます。
- 注 3) 入出力ポート設定はリファレンスマニュアルの「入出力ポート」を参照してください。

4.2.3. [PMDxMODESEL] (モード選択レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|------|------------|-------|------|---|
| 31:8 | — | 0 | R | リードすると"0"が読めます。 |
| 7 | DCMPEN | 0 | R/W | VE レジスターと PMD レジスターの自動切り替え許可 (注 1)(注 2) 0: 2 レジスター切り替え禁止 (<MDSEL0> 設定のレジスターのみ使用) 1: 2 レジスター切り替え許可 (PWM 周期前半と後半でレジスター切り替え) <MDSEL0> = 1 の場合に有効です。 全相三角波キャリアー選択 ([PMDxMDCR] <UPWMMD[1:0]> / <VPWMMD[1:0]> / <WPWMMD[1:0]> = 01, 11) 時に有効です。 |
| 6:4 | — | 0 | R | リードすると"0"が読めます。 |
| 3 | MDSEL3 | 0 | R/W | モード選択 3 0: バスモード (PMD レジスター使用: [PMDxTRGSEL]) 1: VE モード (VE レジスター使用: [VExTRGSEL]) [PMDxTRGSEL] / VExTRGSEL レジスターの選択 |
| 2 | MDSEL2 | 0 | R/W | モード選択 2 0: バスモード (PMD レジスター使用: [PMDxTRGCMP0] および [PMDxTRGCMP1]) 1: VE モード (VE レジスター使用: [VExTRGCMP0] および [VExTRGCMP1]) [PMDxTRGCMP0] / VExTRGCMP0 および [PMDxTRGCMP0] / VExTRGCMP1 レジスターの選択 |
| 1 | MDSEL1 | 0 | R/W | モード選択 1 0: バスモード (PMD レジスター使用: [PMDxMDOUT]) 1: VE モード (VE レジスター使用: [VExOUTCR]) [PMDxMDOUT] / VExOUTCR レジスターの選択 |
| 0 | MDSEL0 | 0 | R/W | モード選択 0 0: バスモード (PMD レジスター使用: [PMDxCMPU] / [PMDxCMPV] および [PMDxCMPW]) 1: VE モード (VE レジスター使用: [VExCMPU] / [VExCMPV] / [VExCMPW] レジスターの選択 および [VExEMGRS] レジスター許可設定) |

注 1) レジスター切り替え許可時はトリプルバッファ禁止 ([PMDxMbufcr] = 0) にしてください。

注 2) レジスター切り替えを許可時 (<DCMPEN> = 1)、VE レジスター ([VExCMPU] / [VExCMPV] / [VExCMPW]) を使用するために VE の [VExEN] および [VExREPTIME] に "0x00000001" を設定してください。

注 3) VE の詳細はリファレンスマニュアルの「アドバンストベクトルエンジンプラス」を参照してください。

4.2.4. [PMDxMDCR] (PMD 制御レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|-------------|-------|------|--|
| 31:16 | — | 0 | R | リードすると"0"が読めます。 |
| 15:14 | WPWMMD[1:0] | 00 | R/W | W 相 PWM キャリアー波形選択。(注 1)(注 2)(注 3)(注 4) 00: ノコギリ波(エッジ PWM) 01: 三角波(センターPWM) 10: 逆ノコギリ波(エッジ PWM) 11: 逆三角波(センターPWM) |
| 13:12 | VPWMMD[1:0] | 00 | R/W | V 相 PWM キャリアー波形選択。(注 1)(注 2)(注 3)(注 4) 00: ノコギリ波(エッジ PWM) 01: 三角波(センターPWM) 10: 逆ノコギリ波(エッジ PWM) 11: 逆三角波(センターPWM) |
| 11:10 | UPWMMD[1:0] | 00 | R/W | U 相 PWM キャリアー波形選択。(注 1)(注 2)(注 3)(注 4) 00: ノコギリ波(エッジ PWM) 01: 三角波(センターPWM) 10: 逆ノコギリ波(エッジ PWM) 11: 逆三角波(センターPWM) |
| 9:8 | DSYNCS[1:0] | 00 | R/W | PWM デューティーコンペアレジスターの実行バッファ更新タイミング(注 6)(注 8) 00: 割り込み周期設定<INTPRD[1:0]>によります。(表 3.2 参照) 0.5 周期割り込み要求選択(<INTPRD[1:0]> = 00)時は相別 PWM の PWM エンドとセンターで更新、それ以外では PWM エンド更新 01: 相別 PWM センターで更新 10: 相別 PWM エンドで更新 11: 相別 PWM エンドとセンターで更新 |
| 7 | DTCREN | 0 | R/W | デッドタイム補正許可 0: 禁止 1: 許可 |
| 6 | DCMEN | 0 | R/W | 実行バッファ更新/トリガー出力の間引き制御 2 周期割り込みおよび 4 周期割り込み選択時(<INTPRD[1:0]> = 10,11)に実行バッファ更新タイミングと ADC 同期トリガー出力の間引きを許可する。 0: 禁止 1: 許可 対象レジスターは[PMDxCMPU]/[PMDxCMPV]/[PMDxCMPW] /[PMDxTRGCMP0]/[PMDxTRGCMP1]/[PMDxTRGCMP2] /[PMDxTRGCMP3]/[PMDxTRGSEL]/[PMDxMDOUT] /[PMDxMDCR]<UPWMMD[1:0]>/<VPWMMD[1:0]>/<WPWMMD[1:0]> |
| 5 | SYNTMD | 0 | R/W | ポート出力モード設定 <SYNTMD>と[PMDxMDOUT]<UOC[1:0]>/<VOC[1:0]>/<WOC[1:0]>/<UPWM>/<VPWM>/<WPWM>の組み合わせでデコード回路出力を制御します(表 3.4 参照)。また、[PMDxMDPOT]<POLH>/<POLL>でポート出力の出力極性を選択できます。 |
| 4 | DTYMD | 0 | R/W | デューティーモード選択 0: 3 相共通 1: 3 相独立 デューティーの設定を[PMDxCMPU]/[PMDxCMPV]/[PMDxCMPW]の 3 相独立で行うか、[PMDxCMPU]を 3 相共通で用いるかの選択を行います。 |

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-----|-------------|-------|------|--|
| 3 | PINT | 0 | R/W | PWM 割り込み要求タイミング選択 (注 6)(注 7) 0: U 相 PWM センターで割り込み要求発生 1: U 相 PWM エンドで割り込み要求発生 |
| 2:1 | INTPRD[1:0] | 00 | R/W | PWM 割り込み要求周期選択 00: PWM 0.5 周期ごとに割り込み要求 (注 5) 01: PWM 1 周期ごとに割り込み要求 10: PWM 2 周期ごとに割り込み要求 11: PWM 4 周期ごとに割り込み要求 PWM 割り込み要求の発生する頻度を PWM 周期の 0.5 周期/ 1 周期/ 2 周期/ 4 周期に 1 回から選択します。 割り込み周期選択に合わせて実行バッファ更新タイミングとトリガー出力の間引き可能 (「3.8. 実行バッファ更新タイミングとトリガー出力の間引き制御」参照) |
| 0 | — | 0 | R | リードすると"0"が読めます。 |

注 1) トリプルバッファ構成のため PWM カウンター動作中でも変更可能です。

注 2) 実行バッファの更新タイミングは「表 3.1

<UPWMMD[1:0]>/<VPWMMD[1:0]>/<WPWMMD[1:0]>レジスタの実行バッファ更新制御」を参照してください。

注 3) 中間バッファの更新タイミングは「3.7. バッファ機能」を参照してください。

注 4) リード時はレジスタ段の値(バスから設定したデータ)をリードします。

注 5) 三角波キャリアー選択(<UPWMMD[1:0]>/<VPWMMD[1:0]>/<WPWMMD[1:0]> = 01,11)時に有効

注 6) ノコギリ波キャリアー選択(<UPWMMD[1:0]>/<VPWMMD[1:0]>/<WPWMMD[1:0]> = 00,10)時は設定に関わらず PWM エンド更新になります。

注 7) 割り込み周期が 0.5 周期(<INTPRD[1:0]> = 00)の場合は設定に関わらず PWM エンドと PWM センターの両方になります

注 8) [*PMDxMDEN*]<PWMEN> = 0 時は設定に関わらず非同期更新になります。

4.2.5. [PMDxCARSTA] (PWM キャリアーステータスレジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|------|------------|-------|------|---|
| 31:3 | — | 0 | R | リードすると"0"が読めます。 |
| 2 | PMMWST | 0 | R | W 相 PWM キャリアー状態 0: W 相 PWM 周期前半 1: W 相 PWM 周期後半 |
| 1 | PMMVST | 0 | R | V 相 PWM キャリアー状態 0: V 相 PWM 周期前半 1: V 相 PWM 周期後半 |
| 0 | PMMUST | 0 | R | U 相 PWM キャリアー状態 0: U 相 PWM 周期前半 1: U 相 PWM 周期後半 |

4.2.6. [PMDxBCARI] (基本キャリアーレジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|-------------|--------|------|--|
| 31:15 | — | 0 | R | リードすると"0"が読めます。 |
| 14:0 | BCARI[14:0] | 0x0000 | R | 基本キャリアーの読み出し カウンタ値分解能 1/fsys (12.5 ns @ fsys = 80 MHz) PMD 禁止 ([PMDxMDEN]<PWMEN> = 0) のキャリアー値は [PMDxRATE] / 2 ¹⁰ になります。 |

4.2.7. [PMDxRATE] (PWM 周波数レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|------------|--------|------|--|
| 31:15 | — | 0 | R | リードすると"0"が読めます。 |
| 14:0 | RATE[14:0] | 0x0000 | R/W | PWM 周波数設定 RATE ≥ 0x0010 PWM 周波数 = fsys × <RATE[14:0]>値 / 2 ²⁴ 設定値は以下の計算式で求められます。 PWM 周波数 / fsys × 2 ²⁴ |

注 1) "0x0010"未満の値を設定した場合、自動的に"0x0010"として動作します(レジスターには設定した値が入ります)。

注 2) このレジスターへのバイト書き込み(上位 8bit([15:8]),下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。

注 3) [PMDxRATE]レジスターはダブルバッファ構成のため PWM カウンタ動作中でも変更可能です。

注 4) 実行バッファの更新タイミングは基本波形のエンドタイミングです。ただし、[PMDxMDEN]<PWMEN> = 0 または [PMDxMDPOT]<PSYNCS[1:0]> = 00 の場合は随時更新されます。

注 5) リード時はレジスター一段の値(バスから設定したデータ)をリードします。

4.2.8. PWM デューティーコンペアレジスター

4.2.8.1. [PMDxCMPU] (PWM デューティーコンペア U レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|------------|--------|------|--|
| 31:16 | — | 0 | R | リードすると"0"が読めます。 |
| 15:0 | CMPU[15:0] | 0x0000 | R/W | U相 PWM のデューティー比設定。 "0x0000" ~ "0x8000" U相 PWM のデューティー比を決定する比較レジスターで、実行バッファと U 相 PWM キャリアーとを大小比較し設定デューティー比の PWM を出力します。 |

- 注 1) <CMPU[15:0]> \geq 0x8000 の場合、デューティー比 100%になります。
- 注 2) バスから更新したコンペアレジスターを実行バッファにロードさせる場合は、[PMDxMODESEL] <MDESEL0>に"0"を書き込んでバスモード(デフォルト)にしてください。
- 注 3) このレジスターへのバイト書き込み(上位 8bit([15:8]),下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。
- 注 4) [PMDxCMPU]レジスターはトリプルバッファ構成のため PWM カウンター動作中でも変更可能です。
- 注 5) 実行バッファの更新タイミングは「表 3.2 [PMDxCMPU]/[PMDxCMPV]/[PMDxCMPW]レジスターの実行バッファ更新制御」を参照してください。
- 注 6) 中間バッファの更新タイミングは「3.7. バッファ機能」を参照してください。
- 注 7) リード時はレジスター段の値(バスから設定したデータ)をリードします。

4.2.8.2. [PMDxCMPV] (PWM デューティーコンペア V レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|------------|--------|------|--|
| 31:16 | — | 0 | R | リードすると"0"が読めます。 |
| 15:0 | CMPV[15:0] | 0x0000 | R/W | V相 PWM のデューティー比設定。 "0x0000" ~ "0x8000" V相 PWM のデューティー比を決定する比較レジスターで、実行バッファと V 相 PWM キャリアーとを大小比較し設定デューティー比の PWM を出力します。 |

- 注 1) <CMPV[15:0]> \geq 0x8000 の場合、デューティー比 100%になります。
- 注 2) バスから更新したコンペアレジスターを実行バッファにロードさせる場合は、[PMDxMODESEL] <MDESEL0>に"0"を書き込んでバスモード(デフォルト)にしてください。
- 注 3) このレジスターへのバイト書き込み(上位 8bit([15:8]),下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。
- 注 4) [PMDxCMPV]レジスターはトリプルバッファ構成のため PWM カウンター動作中でも変更可能です。
- 注 5) 実行バッファの更新タイミングは「表 3.2 [PMDxCMPU]/[PMDxCMPV]/[PMDxCMPW]レジスターの実行バッファ更新制御」を参照してください。
- 注 6) 中間バッファの更新タイミングは「3.7. バッファ機能」を参照してください。
- 注 7) リード時はレジスター段の値(バスから設定したデータ)をリードします。

4.2.8.3. [PMDxCMPW] (PWM デューティコンペア W レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|------------|--------|------|---|
| 31:16 | — | 0 | R | リードすると"0"が読めます。 |
| 15:0 | CMPW[15:0] | 0x0000 | R/W | W 相 PWM のデューティ比設定。 "0x0000" ~ "0x8000" W 相 PWM のデューティ比を決定する比較レジスターで、実行バッファと W 相 PWM キャリアーとを大小比較し設定デューティ比の PWM を出力します。 |

- 注 1) <CMPW[15:0]> ≥ 0x8000 の場合、デューティ比 100%になります。
- 注 2) バスから更新したコンペアレジスターを実行バッファにロードさせる場合は、[PMDxMODESEL] <MDSEL0>に"0"を書き込んでバスモード(デフォルト)にしてください。
- 注 3) このレジスターへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。
- 注 4) [PMDxCMPW]レジスターはトリプルバッファ構成のため PWM カウンター動作中でも変更可能です。
- 注 5) 実行バッファの更新タイミングは「表 3.2 [PMDxCMPU]/[PMDxCMPV]/[PMDxCMPW]レジスターの実行バッファ更新制御」を参照してください。
- 注 6) 中間バッファの更新タイミングは「3.7. バッファ機能」を参照してください。
- 注 7) リード時はレジスター段の値(バスから設定したデータ)をリードします。

4.2.9. PWM キャリアー位相差レジスター

4.2.9.1. [PMDxVPWMPH] (V 相位相差レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|--------------|--------|------|--|
| 31:15 | — | 0 | R | リードすると"0"が読めます。 |
| 14:0 | VPWMPH[14:0] | 0x0000 | R/W | V 相 PWM キャリアーの位相差設定。 "0x0000" ~ "0x7FFF" 基本キャリアーとの位相差を設定します。 |

- 注) このレジスターへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。

4.2.9.2. [PMDxWPWMPH] (W 相位相差レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|--------------|--------|------|--|
| 31:15 | — | 0 | R | リードすると"0"が読めます。 |
| 14:0 | WPWMPH[14:0] | 0x0000 | R/W | W 相 PWM キャリアーの位相差設定。 "0x0000" ~ "0x7FFF" 基本キャリアーとの位相差を設定します。 |

- 注) このレジスターへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。

4.2.10. [PMDxMDPOT] (PMD 出力設定レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|-------------|-------|------|---|
| 31:10 | — | 0 | R | リードすると"0"が読めます。 |
| 9:8 | SYNCS[1:0] | 00 | R/W | [PMDxMDOUT] / VExOUTCR 設定転送タイミング選択(トリガー同期設定) 00: 非同期 01: INTENCx0: A-ENCx 割り込み要求発生時 (注 6) 10: PMDxTMR: 汎用タイマー割り込み要求発生時 (注 6) 11: ENCXCTRGO: A-ENCx MCMP 成立時 (注 6) 通電制御レジスターの実行バッファ更新タイミングを選択します。 (注 2)(注 3)(注 5) |
| 7:4 | — | 0 | R | リードすると"0"が読めます。 |
| 3 | POLH | 0 | R/W | 上相出力(UOx, VOx, WOx)の出力極性選択 0: ローアクティブ 1: ハイアクティブ |
| 2 | POLL | 0 | R/W | 下相出力(XOx, YOx, ZOx)の出力極性選択 0: ローアクティブ 1: ハイアクティブ |
| 1:0 | PSYNCS[1:0] | 00 | R/W | [PMDxMDOUT] / VExOUTCR および [PMDxMDCR] <UPWMMD[1:0]> / <VPWMMD[1:0]> / <WPWMMD[1:0]> の実行バッファ更新タイミング選択 00: PWM 非同期 01: 相別 PWM センター 10: 相別 PWM エンド 11: 相別 PWM エンドおよびセンター 通電制御レジスターの実行バッファ更新タイミングを選択します。 (注 2)(注 3)(注 4)(注 5) |

- 注 1) このレジスターの設定は[PMDxMDEN] <PWMEN> = 0 の状態で行ってください。
- 注 2) [PMDxMDOUT] / VExOUTCR の実行バッファ更新タイミングは、<PSYNCS[1:0]>設定と <SYNCS[1:0]>設定の組み合わせで決まります。(「表 3.3 [PMDxMDOUT] / VExOUTCR 実行バッファの更新タイミング」参照)
- 注 3) PMD 禁止([PMDxMDEN] <PWMEN> = 0)および EMG 保護状態では設定に関わらず非同期更新になります。
- 注 4) ノコギリ波キャリアー([PMDxMDCR] <UPWMMD[1:0]> / <VPWMMD[1:0]> / <WPWMMD[1:0]> = 00,10)の場合、"00"以外は PWM エンド更新になります。
- 注 5) <SYNCS[1:0]> = 00 かつ <PSYNCS[1:0]> = 00 に設定することで[PMDxMDOUT] / VExOUTCR レジスター値は直ちにポート出力に反映されます。
- 注 6) 製品によって接続先が異なりますので、リファレンスマニュアルの「製品個別情報」を参照してください。

4.2.11. [PMDxMDOUT] (PMD 通電制御レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|------------|-------|------|--|
| 31:11 | — | 0 | R | リードすると"0"が読めます。 |
| 10 | WPWM | 0 | R/W | W 相 PWM 出力設定 0: H/L 出力 1: PWM 出力 <WOC[1:0]>,<WPWM>,[PMDxMDCR]<SYNTMD>の組み合わせでデコード回路出力を制御します(表 3.4 参照)。また、[PMDxMDPOT]<POLH>/<POLL>でポート出力の出力極性を選択できます。 |
| 9 | VPWM | 0 | R/W | V 相 PWM 出力設定 0: H/L 出力 1: PWM 出力 <VOC[1:0]>,<VPWM>,[PMDxMDCR]<SYNTMD>の組み合わせでデコード回路出力を制御します(表 3.4 参照)。また、[PMDxMDPOT]<POLH>/<POLL>でポート出力の出力極性を選択できます。 |
| 8 | UPWM | 0 | R/W | U 相 PWM 出力設定 0: H/L 出力 1: PWM 出力 <UOC[1:0]>,<UPWM>,[PMDxMDCR]<SYNTMD>の組み合わせでデコード回路出力を制御します(表 3.4 参照)。また、[PMDxMDPOT]<POLH>/<POLL>でポート出力の出力極性を選択できます。 |
| 7:6 | — | 0 | R | リードすると"0"が読めます。 |
| 5:4 | WOC[1:0] | 00 | R/W | W 相通電設定 <WOC[1:0]>,<WPWM>,[PMDxMDCR]<SYNTMD>の組み合わせでデコード回路出力を制御します(表 3.4 参照)。また、[PMDxMDPOT]<POLH>/<POLL>でポート出力の出力極性を選択できます。 <WOC[1:0]> = 00 時、W 相キャリアー波形を反転します。 |
| 3:2 | VOC[1:0] | 00 | R/W | V 相通電設定 <VOC[1:0]>,<VPWM>,[PMDxMDCR]<SYNTMD>の組み合わせでデコード回路出力を制御します(表 3.4 参照)。また、[PMDxMDPOT]<POLH>/<POLL>でポート出力の出力極性を選択できます。 <VOC[1:0]> = 00 時、V 相キャリアー波形を反転します。 |
| 1:0 | UOC[1:0] | 00 | R/W | U 相通電設定 <UOC[1:0]>,<UPWM>,[PMDxMDCR]<SYNTMD>の組み合わせでデコード回路出力を制御します(表 3.4 参照)。また、[PMDxMDPOT]<POLH>/<POLL>でポート出力の出力極性を選択できます。 <UOC[1:0]> = 00 時、U 相キャリアー波形を反転します。 |

- 注 1) バスから更新した[PMDxMDOUT] /VExOUTCR レジスターを実行バッファにロードさせる場合は、[PMDxMODESEL]<MDSEL0>に"0"を書き込んでバスモード(デフォルト)にしてください。
- 注 2) このレジスターへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。
- 注 3) 通電制御レジスターはトリプルバッファ構成のため PWM カウンター動作中でも変更可能です。
- 注 4) 実行バッファの更新タイミングは「表 3.3 [PMDxMDOUT] /VExOUTCR 実行バッファの更新タイミング」を参照してください。
- 注 5) 中間バッファの更新タイミングは「3.7. バッファ機能」を参照してください。
- 注 6) リード時はレジスター段の値(バスから設定したデータ)をリードします。

4.2.12. [PMDxEMGCR] (EMG 制御レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|-------------|-------|------|---|
| 31:16 | — | 0 | R | リードすると"0"が読めます。 |
| 15:13 | — | 000 | R/W | 常に"000"を書いてください。 |
| 12:8 | EMGCNT[4:0] | 00000 | R/W | EMG 入力検出時間 (注 1) "00000" ~ "11111" ("00000"設定時はノイズフィルターをスルーします) 異常検出入力ノイズ除去時間を設定します。ノイズ除去時間は以下の計算式で表されます。 $\langle \text{EMGCNT}[4:0] \rangle \times 16/\text{fsys}$ |
| 7 | EMGIPOL | 0 | R/W | EMGx 端子の極性選択 (注 1) 0: ローアクティブ 1: ハイアクティブ |
| 6 | — | 0 | R | リードすると"0"が読めます。 |
| 5 | INHEN | 1 | R/W | デバッグホールド時の PMD の許可/禁止 0: 禁止 1: 許可(初期状態は許可) デバッグホールド信号が入力された場合に PMD を停止させるかを選択します。 |
| 4:3 | EMGMD[1:0] | 11 | R/W | EMG 保護モード選択 (注 2) 00: 全相ハイインピーダンス 01: 全上相オン/全下相ハイインピーダンス 10: 全上相ハイインピーダンス/全下相オン 11: 全相ハイインピーダンス 注) オン: PWM 出力を継続します。 EMG 発生時の上相(UOx, VOx, WOx)および下相(XOx, YOx, ZOx)のポート出力を設定します。 |
| 2 | EMGISEL | 0 | R/W | EMGx 端子入力制御 0: ポート入力許可 1: ポート入力禁止 保護制御回路に入力する EMGx 端子入力を禁止します。 |
| 1 | EMGRS | 0 | W | EMG 保護状態からの復帰 0: — 1: 保護状態からの復帰 [PMDxMDOUT]/VExOUTCR レジスターに"0x000"を設定後、 [PMDxEMGSTA]<EMGI>が"1"になったことを確認してから、<EMGRS>に"1"を設定することにより EMG 保護状態から復帰します。 リードすると常に"0"が読めます。 |
| 0 | EMGEN | 1 | R/W | EMG 保護制御回路の許可/禁止を設定 0: 禁止 1: 許可(初期状態は許可) 禁止するときは EMG 解除レジスター[PMDxEMGREL]に"0x5A"→"0xA5"を順に書き込み後、<EMGEN>に"0"を設定してください。 (3 命令を連続して行います) |

注 1) EMG 許可状態で<EMGCNT[4:0]>,<EMGIPOL>を書き換えると EMG 保護状態になる可能性があります。そのため書き変えた場合は、以下の手順で EMG 保護状態から復帰してください。

- (1) [PMDxEMGSTA]<EMGI>をリードし、"1"であることを確認。
- (2) [PMDxMDOUT]/VExOUTCR の<UPWM>/<VPWM>/<WPWM>/<UOC[1:0]>/<VOC[1:0]>/<WOC[1:0]>を"0"に設定し、ポート出力を全てインアクティブとする。

(3) `[PMDxEMGCR]/VExEMGRS` の<EMGRS>を"1"に設定し、EMG 保護状態から復帰させる。

注 2) OVV、EMG 同時発生時は<EMGMD[1:0]>での保護モード設定が優先されます。

4.2.13. `[PMDxEMGSTA]` (EMG ステータスレジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|------|------------|-------|------|--|
| 31:2 | — | 0 | R | リードすると"0"が読めます。 |
| 1 | EMGI | 不定 | R | EMG 入力状態 0: アクティブ入力 1: インアクティブ入力 許可された EMG 入力のいずれかがアクティブ入力の場合に"0"になります。 |
| 0 | EMGST | 0 | R | EMG 保護状態 0: 通常動作中 1: 保護中 リードすることにより、EMG 保護の状態を知ることができます。 |

4.2.14. `[PMDxEMGREL]` (EMG 解除レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|------|-------------|-------|------|---|
| 31:8 | — | 0 | R | リードすると"0"が読めます。 |
| 7:0 | EMGREL[7:0] | 0x00 | W | EMG/OVV 禁止コード "0x5A"→"0xA5"と設定することにより EMG 機能と OVV 機能を禁止可能になります。 禁止コード書き込み後、続けて <code>[PMDxEMGCR]<EMGEN> = 0</code> または <code>[PMDxOVVCR]<OVVEN> = 0</code> を設定してください。 |

注) EMG 禁止時と OVV 禁止時のそれぞれで禁止コードを書き込んでください。

4.2.15. [PMDxOVVCR] (OVV 制御レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|-------------|-------|------|--|
| 31:16 | — | 0 | R | リードすると"0"が読めます。 |
| 15 | OVVRSMD | 0 | R/W | OVV 復帰動作選択 0: 保護状態から自動復帰または<OVVRS> = 1 書き込みで復帰 OVV 入力为非アクティブに変化後の U 相 PWM 同期で自動復帰します。 1: 保護状態から<OVVRS> = 1 書き込みで復帰 |
| 14:13 | — | 0 | R | リードすると"0"が読めます。 |
| 12:8 | OVVCNT[4:0] | 00000 | R/W | OVV 入力検出時間 "00001" ~ "11111" ("00000"設定時は"00001"として動作します) OVV 入力のノイズ除去時間を設定します。ノイズ除去時間は以下の計算式で表されます。 $\text{OVVCNT}[4:0] \times 16/\text{fsys}$ OVV disable 状態(<OVVEN> = 0)で設定してください。 |
| 7 | OVVIPOL | 0 | R/W | OVVx 端子の極性選択 0: ローアクティブ 1: ハイアクティブ |
| 6 | ADIN1EN | 0 | R/W | ADC 監視機能 1 入力許可 (注 1) 0: 入力禁止 1: 入力許可 ADCx の監視機能 1 からの信号入力の許可/禁止を選択します。ADCx 監視機能 1 の比較結果を OVV 入力として使用できます。(OVV 保護許可設定時) |
| 5 | ADIN0EN | 0 | R/W | ADC 監視機能 0 入力許可 (注 1) 0: 入力禁止 1: 入力許可 ADCx の監視機能 0 からの信号入力の許可/禁止を選択します。ADCx 監視機能 0 の比較結果を OVV 入力として使用できます。(OVV 保護許可設定時) |
| 4:3 | OVVMD[1:0] | 00 | R/W | OVV 保護モード選択 (注 2) 00: 出力制御なし 01: 全上相オン、全下相オフ 10: 全上相オフ、全下相オン 11: 全相オフ OVV 発生時に、上相(UOx,VOx,WOx)および下相(XOx,YOx,ZOx)の出力をオン/オフさせます。オンはアクティブ出力固定、オフはインアクティブ出力固定になります。 アクティブ/インアクティブは[PMDxMDPOT]<POLL>/<POLH>の設定で決まります。 |
| 2 | OVVISEL | 0 | R/W | OVVx 端子入力制御 0: ポート入力許可 1: ポート入力禁止 保護制御回路に入力させる OVV 信号をポートからの入力を禁止します。 |
| 1 | OVVRS | 0 | W | OVV 保護状態からの復帰 0: — 1: 保護状態からの復帰 リードすると常に"0"が読めます。 [PMDxOVVSTA]<OVVI>が"1"になったことを確認後復帰させてください。 |

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-----|------------|-------|------|--|
| 0 | OVVEN | 0 | R/W | OVV 保護制御回路の許可／禁止 0: 禁止 1: 許可 禁止に変更する場合、EMG 解除レジスター[<i>PMDxEMGREL</i>]に "0x5A"→"0xA5"を順に書き込み後、<OVVEN>に"0"を設定してください。 (3 命令を連続して行います。) |

注 1) ADC 監視機能の詳細は、リファレンスマニュアルの「12 ビットアナログデジタルコンバーター」の動作説明の"AD 監視機能"を参照してください。

注 2) OVV、EMG 同時発生時は[*PMDxEMGCR*]<EMGMD[1:0]>での保護モード設定が優先されます。

4.2.16. [*PMDxOVVSTA*] (OVV ステータスレジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|------|------------|-------|------|--|
| 31:2 | — | 0 | R | リードすると"0"が読めます。 |
| 1 | OVVI | 不定 | R | OVV 入力状態 0: アクティブ入力 1: インアクティブ入力 許可された OVV 入力のいずれかがアクティブ入力の場合に"0"になります。 |
| 0 | OVVST | 0 | R | OVV 保護状態 0: 通常動作中 1: 保護中 リードすることにより、OVV 保護の状態を知ることができます。 |

4.2.17. [*PMDxDTR*] (デッドタイムレジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|------------|-------|------|---|
| 31:10 | — | 0 | R | リードすると"0"が読めます。 |
| 9:0 | DTR[9:0] | 0x000 | R/W | デッドタイムを設定します。 "0x000" ~ "0x3FF" デッドタイムは以下の計算式で表されます。 <DTR[9:0]>設定値× 4/fsys |

注) このレジスターは[*PMDxMDEN*]<PWMDEN> = 0 の状態で変更してください。

4.2.18. トリガーコンペアレジスター

4.2.18.1. [PMDxTRGCMP0] (トリガーコンペア 0 レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|---------------|--------|------|---|
| 31:15 | — | 0 | R | リードすると"0"が読めます。 |
| 14:0 | TRGCMP0[14:0] | 0x0000 | R/W | トリガー出力用コンペアレジスター 設定範囲: "0x0000" ~ "0x7FFF" 基本キャリアーまたは U 相 PWM キャリアーと比較してトリガー信号(TRG0)を出力します。 |

- 注 1) バスから更新したコンペアレジスターを実行バッファにロードさせる場合は、**[PMDxMODESEL]<MDESEL2>**に"0"を書き込んでバスモード(デフォルト)にしてください。
- 注 2) このレジスターへのバイト書き込み(上位 8bit([15:8]),下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。
- 注 3) トリガーコンペアレジスターはトリプルバッファ構成のためPWMカウンター動作中でも変更可能です。
- 注 4) 実行バッファの更新タイミングは「表 3.5 トリガーコンペアレジスターの実行バッファ更新タイミング」を参照してください。
- 注 5) 中間バッファの更新タイミングは「3.7. バッファ機能」を参照してください。
- 注 6) リード時はレジスター段の値(バスから設定したデータ)をリードします。

4.2.18.2. [PMDxTRGCMP1] (トリガーコンペア 1 レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|---------------|--------|------|---|
| 31:15 | — | 0 | R | リードすると"0"が読めます。 |
| 14:0 | TRGCMP1[14:0] | 0x0000 | R/W | トリガー出力用コンペアレジスター 設定範囲: "0x0000" ~ "0x7FFF" 基本キャリアーまたは U 相 PWM キャリアーと比較してトリガー信号(TRG1)を出力します。 |

- 注 1) バスから更新したコンペアレジスターを実行バッファにロードさせる場合は、**[PMDxMODESEL]<MDESEL2>**に"0"を書き込んでバスモード(デフォルト)にしてください。
- 注 2) このレジスターへのバイト書き込み(上位 8bit([15:8]),下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。
- 注 3) トリガーコンペアレジスターはトリプルバッファ構成のためPWMカウンター動作中でも変更可能です。
- 注 4) 実行バッファの更新タイミングは「表 3.5 トリガーコンペアレジスターの実行バッファ更新タイミング」を参照してください。
- 注 5) 中間バッファの更新タイミングは「3.7. バッファ機能」を参照してください。
- 注 6) リード時はレジスター段の値(バスから設定したデータ)をリードします。

4.2.18.3. [PMDxTRGCMP2] (トリガーコンペア 2 レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|---------------|--------|------|---|
| 31:15 | — | 0 | R | リードすると"0"が読めます。 |
| 14:0 | TRGCMP2[14:0] | 0x0000 | R/W | トリガー出力用コンペアレジスター 設定範囲: "0x0000" ~ "0x7FFF" 基本キャリアーまたは V 相 PWM キャリアーと比較してトリガー信号(TRG2)を出力します。 |

- 注 1) このレジスターへのバイト書き込み(上位 8bit([15:8]),下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。
- 注 2) トリガーコンペアレジスターはトリプルバッファ構成のためPWMカウンター動作中でも変更可能です。
- 注 3) 実行バッファの更新タイミングは「表 3.5 トリガーコンペアレジスターの実行バッファ更新タイミング」を参照してください。
- 注 4) 中間バッファの更新タイミングは「3.7. バッファ機能」を参照してください。
- 注 5) リード時はレジスター段の値(バスから設定したデータ)をリードします。

4.2.18.4. [PMDxTRGCMP3] (トリガーコンペア 3 レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|---------------|--------|------|---|
| 31:15 | — | 0 | R | リードすると"0"が読めます。 |
| 14:0 | TRGCMP3[14:0] | 0x0000 | R/W | トリガー出力用コンペアレジスター 設定範囲: "0x0000" ~ "0x7FFF" 基本キャリアーまたは W 相 PWM キャリアーと比較してトリガー信号(TRG3)を出力します。 |

- 注 1) このレジスターへのバイト書き込み(上位 8bit([15:8]),下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。
- 注 2) トリガーコンペアレジスターはトリプルバッファ構成のためPWMカウンター動作中でも変更可能です。
- 注 3) 実行バッファの更新タイミングは「表 3.5 トリガーコンペアレジスターの実行バッファ更新タイミング」を参照してください。
- 注 4) 中間バッファの更新タイミングは「3.7. バッファ機能」を参照してください。
- 注 5) リード時はレジスター段の値(バスから設定したデータ)をリードします。

4.2.19. [PMDxTRGCR] (トリガー制御レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|-------------|-------|------|---|
| 31:17 | — | 0 | R | リードすると"0"が読めます。 |
| 16 | CARSEL | 0 | R/W | 比較キャリアーの選択 0: 基本キャリアーと比較 [PMDxTRGCMP0]~[PMDxTRGCMP3]は基本キャリアーと比較 1: 相別キャリアーと比較 [PMDxTRGCMP0]/[PMDxTRGCMP1]は U 相 PWM キャリアーと比較 [PMDxTRGCMP2]は V 相 PWM キャリアーと比較 [PMDxTRGCMP3]は W 相 PWM キャリアーと比較 |
| 15 | TRG3BE | 0 | R/W | [PMDxTRGCMP3]実行バッファの非同期更新許可 (注 1) 0: 同期更新 (注 2) 1: 非同期更新(書き込み後、直ちに反映されます) |
| 14:12 | TRG3MD[2:0] | 000 | R/W | [PMDxTRGCMP3]のモード設定 トリガー出力(TRG3)の一致モードを選択します。(注 3) 000: トリガー出力禁止 001: 三角波キャリアー時の PWM 前半のコンペア成立でトリガー出力 010: 三角波キャリアー時の PWM 後半のコンペア成立でトリガー出力 011: 三角波キャリアー時の PWM 前半/後半のコンペア成立でトリガー出力 100: PWM エンドタイミングでトリガー出力 101: PWM センタータイミングでトリガー出力 110: PWM エンドタイミング/センタータイミングでトリガー出力 111: トリガー出力禁止 |
| 11 | TRG2BE | 0 | R/W | [PMDxTRGCMP2]実行バッファの非同期更新許可 (注 1) 0: 同期更新 (注 2) 1: 非同期更新(書き込み後、直ちに反映されます) |
| 10:8 | TRG2MD[2:0] | 000 | R/W | [PMDxTRGCMP2]のモード設定 トリガー出力(TRG2)の一致モードを選択します。(注 3) 000: トリガー出力禁止 001: 三角波キャリアー時の PWM 前半のコンペア成立でトリガー出力 010: 三角波キャリアー時の PWM 後半のコンペア成立でトリガー出力 011: 三角波キャリアー時の PWM 前半/後半のコンペア成立でトリガー出力 100: PWM エンドタイミングでトリガー出力 101: PWM センタータイミングでトリガー出力 110: PWM エンドタイミング/センタータイミングでトリガー出力 111: トリガー出力禁止 |
| 7 | TRG1BE | 0 | R/W | [PMDxTRGCMP1]/VExTRGCMP1 実行バッファの非同期更新許可 (注 1) 0: 同期更新 (注 2) 1: 非同期更新(書き込み後、直ちに反映されます) |
| 6:4 | TRG1MD[2:0] | 000 | R/W | [PMDxTRGCMP1]/VExTRGCMP1 のモード設定 トリガー出力(TRG1)の一致モードを選択します。(注 3) 000: トリガー出力禁止 001: 三角波キャリアー時の PWM 前半のコンペア成立でトリガー出力 010: 三角波キャリアー時の PWM 後半のコンペア成立でトリガー出力 011: 三角波キャリアー時の PWM 前半/後半のコンペア成立でトリガー出力 100: PWM エンドタイミングでトリガー出力 101: PWM センタータイミングでトリガー出力 110: PWM エンドタイミング/センタータイミングでトリガー出力 111: トリガー出力禁止 |

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-----|-------------|-------|------|--|
| 3 | TRG0BE | 0 | R/W | [PMDxTRGCMP0]/VExTRGCMP0 実行バッファの非同期更新許可 (注 1) 0: 同期更新 (注 2) 1: 非同期更新(書き込み後、直ちに反映されます) |
| 2:0 | TRG0MD[2:0] | 000 | R/W | [PMDxTRGCMP0]/VExTRGCMP0 のモード設定 トリガー出力(TRG0)の一致モードを選択します。(注 3) 000: トリガー出力禁止 001: 三角波キャリアー時の PWM 前半のコンペア成立でトリガー出力 010: 三角波キャリアー時の PWM 後半のコンペア成立でトリガー出力 011: 三角波キャリアー時の PWM 前半/後半のコンペア成立でトリガー出力 100: PWM エンドタイミングでトリガー出力 101: PWM センタータイミングでトリガー出力 110: PWM エンドタイミング/センタータイミングでトリガー出力 111: トリガー出力禁止 |

注 1) **[PMDxMDEN]<PWMEN> = 0** 時は設定に関わらず非同期更新になります。

注 2) 更新タイミングは「表 3.5 トリガーコンペアレジスタの実行バッファ更新タイミング」を参照してください。

注 3) **[PMDxMDCR]<UPWMMD[1:0]>/<VPWMMD[1:0]>/<WPWMMD[1:0]> = 00,10** (ノコギリ波)の場合

- 前半後半の区別がなく"001","010","011"のどれを選択しても同じです。
- PWM センタートリガーはなく"100","101","110"のどれを選択しても PWM エンドになります。

4.2.20. **[PMDxTRGSYNCR]** (トリガー更新タイミング設定レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|------|-------------|-------|------|---|
| 31:2 | — | 0 | R | リードすると"0"が読めます。 |
| 1:0 | TSYNCS[1:0] | 00 | R/W | トリガーコンペアレジスタの実行バッファ更新タイミング設定 00: トリガー別に [PMDxTRGCR]<TRGnMD[2:0]>(n = 0~3) 設定で直ちに更新、相別 PWM エンドで更新、相別 PWM センターで更新、または、相別 PWM エンドとセンターで更新 01: 相別 PWM センターで更新 10: 相別 PWM エンドで更新 11: 相別 PWM エンドとセンターで更新 |

注 1) 更新タイミングは「表 3.5 トリガーコンペアレジスタの実行バッファ更新タイミング」を参照してください。

注 2) **[PMDxMDEN]<PWMEN> = 0** 時は設定に関わらず非同期更新になります。

4.2.21. [PMDxTRGMD] (トリガー出力モード設定レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|------|------------|-------|------|--|
| 31:2 | — | 0 | R | リードすると"0"が読めます。 |
| 1 | TRGOUT | 0 | R/W | トリガー出力モード 0: トリガー固定出力 1: トリガー選択出力 トリガー固定出力では、トリガー出力 PMDxTRG0~PMDxTRG3 はそれぞれ [PMDxTRGCMP0]~[PMDxTRGCMP3]でコンペア成立したトリガー信号を出力します。PMDxTRG4,PMDxTRG5 は出力されません。 トリガー選択出力では、[PMDxTRGCMP0]の出力信号をトリガー出力 PMDxTRG0~PMDxTRG5 のいずれかに出力します。トリガー出力はトリガー出力選択レジスターで選択します。(注) |
| 0 | EMGTGE | 0 | R/W | EMG 保護動作中の出力許可設定 0: 保護動作時トリガー出力禁止 1: 保護動作時トリガー出力許可 EMG 保護動作中のトリガー出力許可設定を選択します。 |

注) トリガー選択出力(<TRGOUT>=1)時のトリガー出力パターンについては「表 3.6 トリガー出力パターン」を参照してください。

4.2.22. [PMDxTRGSEL] (トリガー出力選択レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|------|-------------|-------|------|---|
| 31:3 | — | 0 | R | リードすると"0"が読めます。 |
| 2:0 | TRGSEL[2:0] | 000 | R/W | トリガー出力ポート選択 000: PMDxTRG0 より出力 001: PMDxTRG1 より出力 010: PMDxTRG2 より出力 011: PMDxTRG3 より出力 100: PMDxTRG4 より出力 101: PMDxTRG5 より出力 110: トリガー出力しない 111: トリガー出力しない トリガー選択出力([PMDxTRGMD]<TRGOUT>=1)時に有効となり、[PMDxTRGCMP0]で設定した出力トリガーを選択します。(表 3.6 参照) |

- 注 1) バスから更新したコンペアレジスターを実行バッファにロードさせる場合は、[PMDxMODESEL]<MDSEL3>に"0"を書き込んでバスモード(デフォルト)にしてください。
- 注 2) トリガー出力選択レジスターはトリプルバッファ構成のためPWMカウンター動作中でも変更可能です。
- 注 3) 実行バッファの更新タイミングはU相コンペアレジスター([PMDxCMPU])と同じです。
- 注 4) 中間バッファの更新タイミングは「3.7. バッファ機能」を参照してください。
- 注 5) リード時はレジスター段の値(バスから設定したデータ)をリードします。
- 注 6) PMD 禁止([PMDxMDEN]<PWMEN>=0)時は非同期更新されます。

4.2.23. [PMDxMBUFCR] (中間バッファ制御レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|------|------------|-------|------|--|
| 31:3 | — | 0 | R | リードすると"0"が読めます。 |
| 2:0 | BUFCR[2:0] | 000 | R/W | 中間バッファ更新制御 000: 中間バッファ無効(バッファをスルーする) 001: PWM 周期更新(U 相 PWM エンドタイミング) 010: PWM 周期更新(U 相 PWM センタータイミング) 011: PWM 周期更新(U 相 PWM 3/4 タイミング) 100: PWM 周期更新(U 相 PWM 1/4 タイミング) 101: PWM 半周期更新(U 相 PWM エンドおよびセンター) 110: PWM 半周期更新(U 相 PWM 1/4 および 3/4 タイミング) 111: Reserved |

注 1) PMD 禁止([PMDxMDEN]<PWMEN> = 0)および EMG 保護状態では設定に関わらず非同期更新になります。

注 2) PWM デューティコンペアレジスターの自動切り替え許可([PMDxMODESEL]<DCMPEN> = 1)時は中間バッファ無効にしてください。

4.2.24. [PMDxSYNCCR] (同期制御レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|------|-------------|-------|------|---|
| 31:8 | — | 0 | R | リードすると"0"が読めます。 |
| 7:6 | OVVSMD[1:0] | 00 | R/W | OVV 同期動作設定 00,01: 同期動作禁止 10: 同期動作許可(自 ch の OVV 検知無効) 11: 同期動作許可(自 ch の OVV 検知有効) [PMDxOVVCR]<OVVEN> = 1 の場合に有効です。 |
| 5:4 | EMGSMD[1:0] | 00 | R/W | EMG 同期動作設定 00,01: 同期動作禁止 10: 同期動作許可(自 ch の EMG 検知無効) 11: 同期動作許可(自 ch の EMG 検知有効) [PMDxEMGCR]<EMGEN> = 1 の場合に有効です。 |
| 3:1 | — | 0 | R | リードすると"0"が読めます。 |
| 0 | PWMSMD | 0 | R/W | PWM 許可同期動作設定 0: 同期動作禁止 1: 同期動作許可 許可すると[PMDxMDEN]<PWMEN>設定は無効になります。 |

注 1) 全てのチャンネルが同期動作許可にされていると動作しません。スレーブ動作させるチャンネルだけを同期動作許可にしてください。

注 2) 同期動作可能なチャンネルはリファレンスマニュアルの「製品個別情報」を参照してください。

4.2.25. [PMDxDBGOUTCR] (デバッグ出力制御レジスター)

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-------|------------|-------|------|---|
| 31 | INIFF | 0 | R/W | PMDxDBG 出力初期状態設定 0: "0"出力 1: "1"出力 <DBGEN> = 0 で PMDxDBG 出力は設定値に更新されます。 ADC 変換タイミングモニター(<DBGMD[1:0]> = 00)では初期値設定できません。 |
| 30:22 | — | 0 | R | リードすると"0"が読めます。 |
| 21 | TRG5EN | 0 | R/W | PMDトリガー5 モニター許可設定 0: PMDxTRG5 禁止 1: PMDxTRG5 許可 <DBGMD[1:0]> = 01 の場合に有効 |
| 20 | TRG4EN | 0 | R/W | PMDトリガー4 モニター許可設定 0: PMDxTRG4 禁止 1: PMDxTRG4 許可 <DBGMD[1:0]> = 01 の場合に有効 |
| 19 | TRG3EN | 0 | R/W | PMDトリガー3 モニター許可設定 0: PMDxTRG3 禁止 1: PMDxTRG3 許可 <DBGMD[1:0]> = 01 の場合に有効 |
| 18 | TRG2EN | 0 | R/W | PMDトリガー2 モニター許可設定 0: PMDxTRG2 禁止 1: PMDxTRG2 許可 <DBGMD[1:0]> = 01 の場合に有効 |
| 17 | TRG1EN | 0 | R/W | PMDトリガー1 モニター許可設定 0: PMDxTRG1 禁止 1: PMDxTRG1 許可 <DBGMD[1:0]> = 01 の場合に有効 |
| 16 | TRG0EN | 0 | R/W | PMDトリガー0 モニター許可設定 0: PMDxTRG0 禁止 1: PMDxTRG0 許可 <DBGMD[1:0]> = 01 の場合に有効 |
| 15:13 | — | 0 | R | リードすると"0"が読めます。 |
| 12 | IENCEN | 0 | R/W | A-ENC 割り込みモニター許可設定 0: INTENCx0 禁止 1: INTENCx0 許可 <DBGMD[1:0]> = 10 の場合に有効 |
| 11 | IVEEN | 0 | R/W | VE 割り込みモニター許可設定 0: INTVCNx 禁止 1: INTVCNx 許可 <DBGMD[1:0]> = 10 の場合に有効 |
| 10 | IOVVEN | 0 | R/W | PMD 割り込みモニター許可設定 0: INTOVvx 禁止 1: INTOVvx 許可 <DBGMD[1:0]> = 10 の場合に有効 |

| Bit | Bit symbol | リセット後 | Type | 機能 |
|-----|------------|-------|------|---|
| 9 | IEMGEN | 0 | R/W | PMD 割り込みモニター許可設定 0: INTEMGx 禁止 1: INTEMGx 許可 <DBGMD[1:0]> = 10 の場合に有効 |
| 8 | IPMDEN | 0 | R/W | PMD 割り込みモニター許可設定 0: INTPWMx 禁止 1: INTPWMx 許可 <DBGMD[1:0]> = 10 の場合に有効 |
| 7 | IADEEN | 0 | R/W | ADC 割り込みモニター許可設定 0: INTADxPFLG 禁止 1: INTADxPFLG 許可 <DBGMD[1:0]> = 10 の場合に有効 |
| 6 | IADDEN | 0 | R/W | ADC 割り込みモニター許可設定 0: INTADxPDD 禁止 1: INTADxPDD 許可 <DBGMD[1:0]> = 10 の場合に有効 |
| 5 | IADCEN | 0 | R/W | ADC 割り込みモニター許可設定 0: INTADxPDC 禁止 1: INTADxPDC 許可 <DBGMD[1:0]> = 10 の場合に有効 |
| 4 | IADBEN | 0 | R/W | ADC 割り込みモニター許可設定 0: INTADxPDB 禁止 1: INTADxPDB 許可 <DBGMD[1:0]> = 10 の場合に有効 |
| 3 | IADAEN | 0 | R/W | ADC 割り込みモニター許可設定 0: INTADxPDA 禁止 1: INTADxPDA 許可 <DBGMD[1:0]> = 10 の場合に有効 |
| 2:1 | DBGMD[1:0] | 0 | R/W | デバッグモード選択 00: ADC 変換タイミングモニター 01: PMD トリガータイミングモニター 10: 割り込み発生タイミングモニター 11: VE タスク遷移タイミングモニター |
| 0 | DBGEN | 0 | R/W | デバッグ出力許可設定 0: デバッグ出力禁止 1: デバッグ出力許可 |

5. 使用上のご注意およびお願い事項

- ADC との連携は、リファレンスマニュアルの「12 ビットアナログデジタルコンバーター」も合わせて参照してください。
 - 各レジスターはバイト書き込みが可能です。PMD 動作中のバイト書き込み(特にダブルバッファ構造となっているレジスター)はライトタイミングによって意図しない動作をする恐れがあるため、PMD 動作中、停止中に問わずバイト書き込みを禁止とします。
 - *[PMDxBCARI]*レジスターは PWM 動作中に値が変化するためバイト読み出しを禁止します。読み出しはハーフワード以上で行ってください。
 - 以下のレジスターはダブルバッファまたはトリプルバッファ構造となっており、レジスターへライトしたデータはそれぞれの更新タイミング(設定による)で後段へライトされます。
 - *[PMDxCMPU]*, *[PMDxCMPV]*, *[PMDxCMPW]*
 - *[PMDxMDOUT]*
 - *[PMDxRATE]*
 - *[PMDxMDCR]*<UPWMMD[1:0]>, <VPWMMD[1:0]>, <WPWMMD[1:0]>
 - *[PMDxTRGCMP0]*~*[PMDxTRGCMP3]*
 - *[PMDxTRGSEL]*
 - PMD 使用前(PORT 設定後)に、必ず EMG 保護状態からの復帰処理を行ってください。
 - EMG 保護制御回路は初期状態で許可されています。使用しない場合は下記手順で禁止してください。
 - (1) *[PMDxEMGREL]*に"0x5A"を書き込み
 - (2) *[PMDxEMGREL]*に"0xA5"を書き込み
 - (3) *[PMDxEMGCR]*<EMGEN>に"0"を設定
- 注) 3 命令は連続して実行してください。
- クロックの供給を停止する場合、PMD が停止していることを確認してください。また、STOP1/STOP2 モードに遷移する際も同様に PMD が停止していることを確認してください。

6. 改訂履歴

表 6.1 改訂履歴

| Revision | Date | Description |
|----------|------------|--|
| 1.0 | 2017-10-23 | 新規 |
| 2.0 | 2018-05-09 | <ul style="list-style-type: none"> ・全般 UO,VO,WO,XO,YO,ZO→UOx,VOx,WOx,XOx,YOx,ZOx ・「関連するリファレンスマニュアル」 記載順序変更 タイトル変更: リファレンスマニュアルドキュメント 追加: アドバンストエンコーダー入力回路 アドバンストエンコーダー入力回路(32-bit) 32ビットタイマーイベントカウンタ 変更: +→プラス ・「用語・略語」 A-ENC32,T32A 追加 ・「1.概要」 表内 PWM 出力: [kHz]→kHz, [MHz]→MHz 保護機能: コンパレーターの記述を削除 P10: アドバンストエンコーダー入力 → アドバンストエンコーダー入力回路/アドバンストエンコーダー入力回路(32-bit) (ADC)→(以降 ADC)、(A-ENC)→(以降 A-ENC) 図 1.1: COMP ブロック削除 ・「2.構成」 図 2.1, 表 2.1: CMPA,CMPB,CMPC を削除 ・「3.機能説明・動作説明」 ADC 同期トリガー→4チャンネルのADC同期トリガー ・「3.2.1.PWM キャリアー生成」 図 3.1: <nPWMMMD>,<nOC>→nPWMMMD,nOC 基本キャリアー生成項: "「図 3.2 …」"→"図 3.2" 位相シフト項: "「図 3.3 …」"→"図 3.3" 相別キャリアー生成項: "「表 3.1 …」"→"表 3.1","「図 3.4 …」"→"図 3.4" ・「3.2.2.3 相 PWM 生成」 図 3.5: [PMDxMDCR]<UPWMMMD><VPWMMMD><WPWMMMD> → [PMDxMDCR]<UPWMMMD><VPWMMMD><WPWMMMD>実行バッファ コンペア機能項: "「表 3.2 …」"→"表 3.2" ・「3.3.通電制御」 図 3.7: <EMGST>→[PMDxEMGSTA]<EMGST> P19: VExOUTCR レジスター→VExOUTCR 更新を選択する→更新を設定する "「表 3.3 …」"→"表 3.3","「表 3.4 …」"→"表 3.4" P20: 通電制御回路はエンコーダー入力回路(A-ENC) → A-ENC PWMON→PMDxPWMON ・「図 3.8」 コンパレーター入力削除 ・「3.4.1.EMG 保護制御回路」 EMG 保護回路→EMG 保護制御回路 ,図 3.9、本文 EMG 入力項: コンパレーター入力の記述削除 EMG 保護から復帰項: EMG 端子→EMGx 端子 ・「3.5.デッドタイム制御回路」 図 3.11:出力極性切り替え→出力極性切り替え回路 図 3.12: タイマー設定→タイマー周期 本文: 切替回路→切り替え回路,"「図 3.12 …」"→"図 3.12", [ns]→ns, [MHz]→MHz,"「図 3.13 …」"→"図 3.13" ・「3.6.同期トリガー生成回路」 図 3.14: <UOC>→UOC、<VOC>→VOC、<WOC>→WOC 表 3.5 注 3): "x: Don't care" →"xxx: Don't care" 表 3.6 の前: "トリガー0 設定(…<TRG0MD>)のトリガー信号(TRG0)を" →"トリガー0 信号(…<TRG0MD>で設定)を" ・「図 3.16」 EMGST→[PMDxEMGSTA]<EMGST> ・「図 3.17」 タイトル: タイミング→タイミング例 ・「チャンネル間同期機能」 章番号: "4."→"3.9." ・「デバッグ出力機能」 章番号: "5."→"3.10." 2 行目: AD 変換タイミングモニター→ADC 変換タイミングモニターモード 注): タイミングモニター→タイミングモニターモード "[PMDxDBGOUTCR]<INIFF>"の削除 |

| Revision | Date | Description |
|----------|------------|---|
| 2.0 | 2018-05-09 | <ul style="list-style-type: none"> ・「4.1.レジスター一覧」 ベースアドレス表: TYPE3 追加 ・「4.2.3.」 DCPEN/機能: (注)→(注1)(注2)、表下: 注2, 注3 追加 ・「4.2.4.」 DCMEN/機能: "注"削除 [PMDxCMPn]→[PMDxCMPU]/[PMDxCMPV]/[PMDxCMPW] [PMDxTRGCMPm]→ [PMDxTRGCMP0]/[PMDxTRGCMP1]/[PMDxTRGCMP2]/[PMDxTRGCMP3] <nPWMMMD>→<UPWMMMD>/<VPWMMMD>/<WPWMMMD> SYNTMD/機能: <nOC>→<UOC>/<VOC>/<WOC> <nPWM>→<UPWM>/<VPWM>/<WPWM> DTYMD/機能: CMPU→[PMDxCMPU], CMPV→[PMDxCMPV], CMPW→[PMDxCMPW] ・「4.2.6.」 BCARI: 0→0x0000, [ns]→ns, [MHz]→MHz ・「4.2.10.」 SYNCS/機能: A-ENC→A-ENCx, 注7→注6, 注6→注5 PSYNCS/機能: (注6) 削除 ・「4.2.12.」 13~15ビットを" "(Reserved)に変更 EMGCNT/リセット後,機能: 16進表記をビット表記に変更 EMGIPOL/機能: "(注1)" 追記, "EMG 禁止状態(<EMGEN>=0)で..." 削除 EMGISEL/機能: 保護回路→保護制御回路 ・「4.2.15.」 OVVCNT/機能: 16進表記をビット表記に変更 OVVISEL /機能: 保護回路→保護制御回路 ・「4.2.17.」 注): 1の状態では変更しないでください→0の状態でご変更してください ・「4.2.19.」 注2): 参照→参照してください。 ・「4.2.20.」 注1): 参照→参照してください。 ・「5.使用上...」 1項目: ADコンバーターのリファレンスマニュアル→ リファレンスマニュアルの「12ビットアナログデジタルコンバーター」 ご参照ください→参照してください 最終項: ストップモード→STOP1/STOP2モード |
| 2.1 | 2020-06-30 | <ul style="list-style-type: none"> ・全般 カタカナ表記変更、ビットシンボルにビットフィールド記載 ・商標削除 ・TXZ+ファミリーを追加 ・「2.構成」 図 2.1: デッドタイム制御回路への矢印追加 ・「3.1.クロック供給」 fsys 供給停止レジスターCを追加 ・「3.3.通電制御回路」 図 3.7: "通電制御"を"デコード回路"に変更、入出力を追記 表 3.3.: 注3を追加 ・「3.4.3.デバッグツール使用時の保護制御」 "デバッグホールドで PMD が停止"→"デバッグホールドで CPU が停止" ・「3.5.デッドタイム制御回路」 本文 "出力極性切り替え部" → "出力極性切り替え回路" "(図 3.11 参照)"追加 出力極性回路は、上相出力...選択します"を章末に移動 図 3.14 デッドタイム制御回路波形を追加 ・「3.6.同期トリガー生成回路」 図 3.15: [PMDxTRGSEL]に中間バッファ追加 ・「4.2.レジスター詳細」 「4.2.4.」 <SYNTMD>: 機能説明見直し 「4.2.11」 <WPWM>~<UPWM>, <WOC[1:0]>~<UOC[1:0]>: 機能説明見直し ・「製品取り扱い上のごお願い」 本文更新、URL 追加 |
| 2.2 | 2021-10-15 | <ul style="list-style-type: none"> ・1.概要 誤記修正 |
| 2.3 | 2022-06-01 | <ul style="list-style-type: none"> ・「4.2.20.」 TSYNCS[1:0]の機能説明を変更 |
| 2.4 | 2024-10-31 | <ul style="list-style-type: none"> ・体裁更新 |

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米 国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。