CDMOS 形リニアー集積回路　シリコン

TB9103FTG

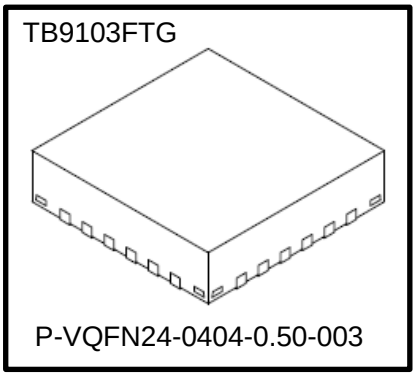
Automotive 1ch H-bridge(2ch Half-bridge) Gate Driver

1. 概要

TB9103FTG は、車載用 1 チャネル H ブリッジゲートドライバーおよび 2 チャネルハーフブリッジゲートドライバーです。チャージポンプ回路を内蔵し、外部 MOSFET に n 型を使用します。機能をモーターのオン・オフに絞ってコンパクトにしています。貫通電流の発生を防止するため、ゲート・ソース間電圧監視によるデッドタイム制御を行っています。

待機時、スリープモードにすることで低消費電力を実現できます。

各種異常検出機能を備えており、異常時は、ゲート駆動をシャットダウンし、DIAG 端子(オープンドレイン)から異常を通知します。



質量: 0.04g (標準)

2. 用途

スライドドア、バックドアなどのラッチモーター駆動用として、またウインドウ、ミラー、シートなどのモーター駆動用に適しています。

ほか、メカニカルリレーを使用しているモーター制御部の半導体化に適しています。

3. 特長

- 制御モードを 2 モード搭載：ハーフブリッジモード、H ブリッジモード
- 2 チャネルの独立したハーフブリッジとして使用可能
  - チャネルごとにデッドタイム制御(ゲート・ソース間電圧を監視)、シャットダウン制御
- ハーフブリッジを組み合わせ H ブリッジとして使用可能
  - H ブリッジとしてデッドタイム制御、シャットダウン制御
- 低電力スリープモード
- 各種異常検出搭載:
  - VB 低電圧検出、VCC 低電圧検出、VCP 過剰昇圧検出
  - ゲート・ソース間電圧検出、ゲート電圧異常シャットダウン
  - ドレイン・ソース間電圧検出（検出レベル設定可能）、過電流シャットダウン
  - 過熱検出、シャットダウン
  - 異常検出時 DIAG 端子(オープンドレイン)から通知
- 動作電圧範囲：VB 7~18V, VCC 4.5~5.5V
- 2 倍昇圧チャージポンプ回路を内蔵　ロジックレベルゲート FET を駆動可能
- AEC-Q100 グレード 1 適合
- 小型パッケージ　VQFN24 4×4 mm

製品量産開始時期
2025-03

© 2025
Toshiba Electronic Devices & Storage Corporation

4. ブロック図

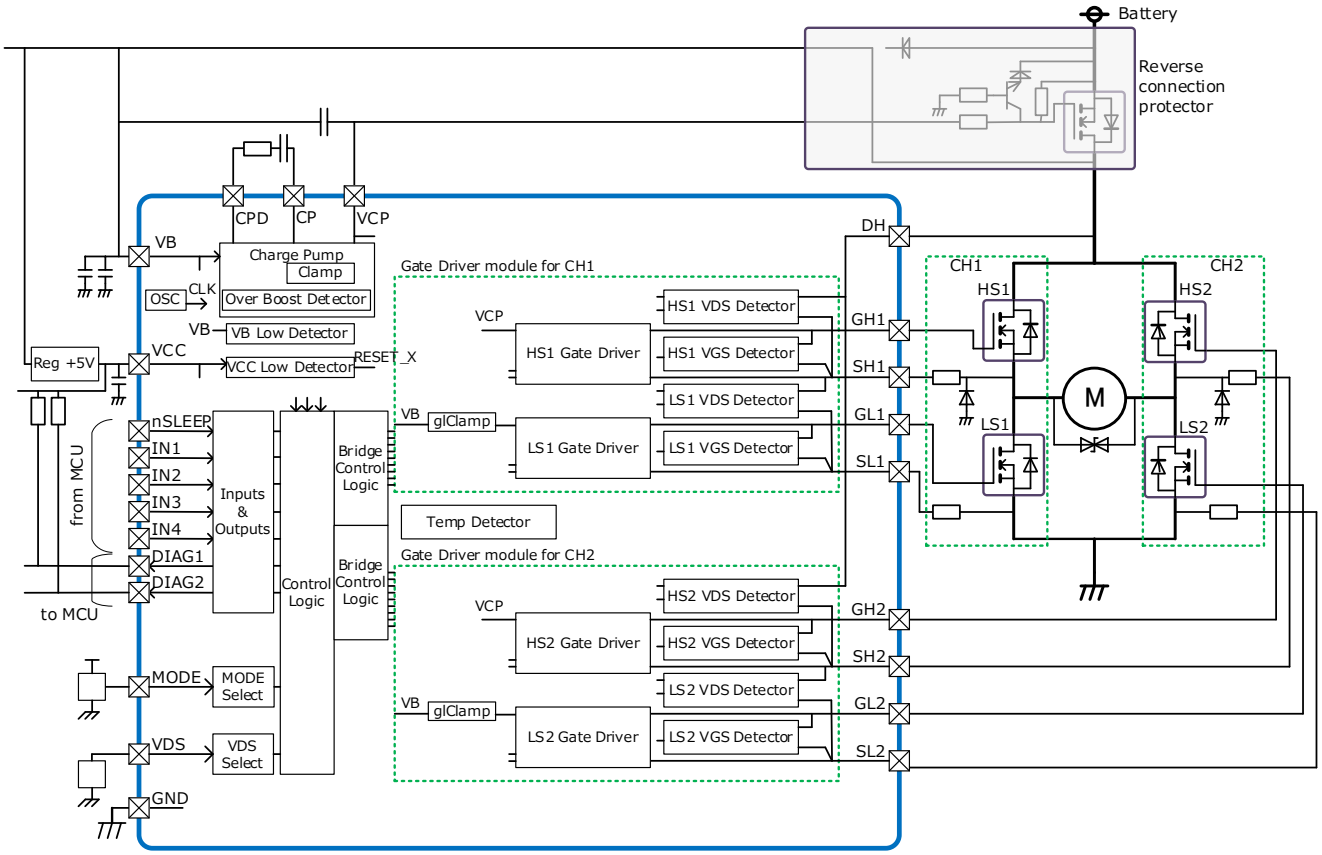


図 1　TB9103FTG 機能ブロック図

注: 上図は IC について機能・動作の説明をするため、一部省略、簡略化しています。

5. 端子配置図

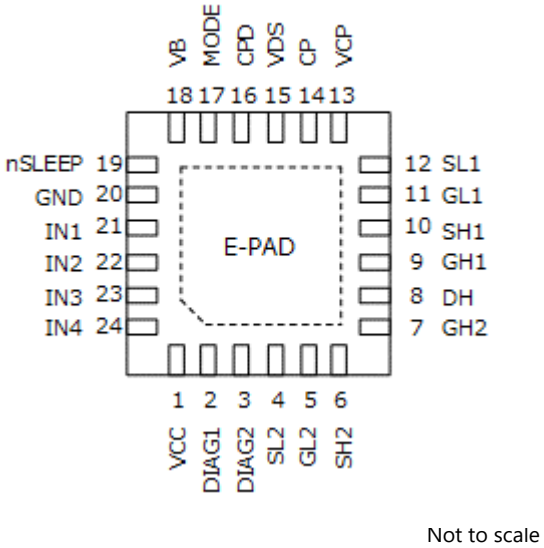


図 2　端子配置図（Top View)

6. 端子説明

表 1　TB9103FTG 端子表

端子番号	名称	入出力	端子説明
1	VCC	-	IC の電源端子です。アナログ回路と制御回路の電源です。
2	DIAG1	OUT	異常検出機能による診断結果の出力端子です。
3	DIAG2	OUT	異常検出機能による診断結果の出力端子です。
4	SL2	IN	ローサイド FET　“LS2”向けゲートドライバー回路の基準端子です。
5	GL2	OUT	ローサイド FET　“LS2”向けゲートドライバー回路の出力端子です。
6	SH2	IN	ハイサイド FET　“HS2”向けゲートドライバー回路の基準端子です。
7	GH2	OUT	ハイサイド FET　“HS2”向けゲートドライバー回路の出力端子です。
8	DH	IN	ハイサイド FET　“HS1”，“HS2”の V_DS 検出に用いる端子です。
9	GH1	OUT	ハイサイド FET　“HS1”向けゲートドライバー回路の出力端子です。
10	SH1	IN	ハイサイド FET　“HS1”向けゲートドライバー回路の基準端子です。
11	GL1	OUT	ローサイド FET　“LS1”向けゲートドライバー回路の出力端子です。
12	SL1	IN	ローサイド FET　“LS1”向けゲートドライバー回路の基準端子です。
13	VCP	-	チャージポンプ回路の最終入出力端子です。 平滑キャパシターを接続します。
14	CP	-	チャージポンプ回路の昇圧入力端子です。
15	VDS	IN	V_DS 検出回路の検出電圧を設定するための電圧入力端子です。
16	CPD	-	チャージポンプ回路のドライブ出力端子です。
17	MODE	IN	ブリッジの動作モードを設定するための電圧入力端子です。
18	VB	-	IC の電源端子です。
19	nSLEEP	IN	IC をスリープモードにするロジックレベル信号入力端子です。 電圧を VIL 以下にするとスリープモードに入ります。
20	GND	-	GND 端子です。
21	IN1	IN	ブリッジを構成する nMOSFET のオン／オフを制御するロジックレベル信号入力端子 1 です。
22	IN2	IN	ブリッジを構成する nMOSFET のオン／オフを制御するロジックレベル信号入力端子 2 です。
23	IN3	IN	ブリッジを構成する nMOSFET のオン／オフを制御するロジックレベル信号入力端子 3 です。
24	IN4	IN	ブリッジを構成する nMOSFET のオン／オフを制御するロジックレベル信号入力端子 4 です。

以降、本書では、以下のように定義します。

各端子の電圧は、端子名そのものを使用して表現します。
　例　VB 端子の電圧＝VB
各外部 n 型 MOSFET のゲート，ソース間を駆動する、GH1 端子，SH1 端子間電圧、GL1 端子，SL1 端子間電圧、GH2 端子，SH2 端子間電圧、GL2 端子，SL2 端子間電圧を、V_GS と表現します。
各外部 n 型 MOSFET のドレイン，ソース間の電圧、DH 端子，SH1 端子間電圧、SH1 端子，SL1 端子間電圧、DH 端子，SH2 端子間電圧、SH2 端子，SL2 端子間電圧を、V_DS と表現します。

7. 動作説明

TB9103FTG が取りうる動作状態を、表 2 に示します。

TB9103FTG は、VCC 端子が低電圧であることを検出すると、リセット状態となります。リセット状態では、各部の回路は停止し、ラッチ回路は初期化されます。

また、VCC 端子が通常電圧時に nSLEEP 端子が Low であると、スリープ状態となります。スリープ状態では、各部の動作は停止し、一部は電源を切断して低消費電力を実現しています。スリープ状態では、DIAG 端子はハイインピーダンスとなりますが、異常ステータスを記憶しているラッチは初期化されず値を保持しています。スリープを指示してから少なくとも tSLEEP 期間は、スリープへの移行を完了させるため、nSLEEP 端子を Low に維持してください。

通常動作状態に移行すると、TB9103FTG は MODE 端子を確認してハーフブリッジか H ブリッジのどちらで動作するか決定します。動作モードを決定・保持する条件は、“リセット解除状態、かつスリープ解除状態（ｎSLEEP=High）”が成立したときです。DIAG 端子は異常状態に従って出力を開始します。通常動作状態を指示してから少なくとも tWAKE 期間は、チャージポンプ電圧が上昇するまでゲートドライブを避けるため IN1, IN2, IN3, IN4 を全て Low にしてください。

ゲートドライブ部は、MCU の指示を IN1, IN2, IN3, IN4 から受け取り、指示に応じたゲート出力（GH1, GL1, GH2, GL2）をします。ゲートドライブ部は、MCU からの指示が変更されるごとに、貫通電流を避けるため、ハーフブリッジのハイサイド FET とローサイド FET をオフにし、オフになったことを確認します。

表 2　IC の動作状態

IC の動作状態	チャージポンプ	Bridge Control Logic	DIAG 出力 (DIAG1, DIAG2)	ゲート出力 (GH1-SH1, GL1-SL1, GH2-SH2, GL2-SL2)	外部 FET の動作状態 (SH1, SH2 端子の状態)
“リセット状態” VCC 低下検出 nSLEEP=L INx=L	停止	停止 初期状態	High-Z (注 3)	RL	ハイサイド、ローサイドともオフ (High-Z)
“スリープ状態” VCC=VCCrng nSLEEP=L INx=L	停止	停止 (注 2)	High-Z (注 1) (注 3)	RL	ハイサイド、ローサイドともオフ (High-Z)
“通常動作状態” VCC=VCCrng nSLEEP=H (=VCC) INx=動作指示	動作	動作	動作 (High-Z, L)	指示に従い動作 (H, L)	指示に従い動作 （SH1 は GH1,GL1 に応じた動作 SH2 は GH2,GL2 に応じた動作）

記号の説明:
RL: 抵抗による Low, L: Low, H: High, High-Z: ハイインピーダンス状態
INx: IN1, IN2, IN3, IN4

注 1: 異常状態を記憶している内部のラッチは値を保持しています。
注 2: スリープ時 IN1, IN2, IN3, IN4 からのあらゆる指示は、実行されません。
注 3: 外部プルアップにより High 出力します。

7.1. VCC 低電圧検出回路

VCC 低電圧検出回路は VCC 端子の電圧を監視し電圧低下を検出します。

電圧が VCCLOd 以下になるとリセットとなり、全ての回路は停止し全ての外部 FET のゲート駆動はオフ（シャットダウン）となります。電圧が VCCLOr 以上になるとリセットは解除されます。リセット解除後は通常動作を開始します。リセット中はチャージポンプが停止していますので、昇圧が不十分な可能性があります。リセット解除後、Twake 以上たってからゲートをドライブするようにしてください。

本回路は、チャタリングを防止するため、検出用コンパレーターはヒステリシス VCCLOHYS を持ち、フィルターを接続して tVCCLO 未満のパルスを除去します。

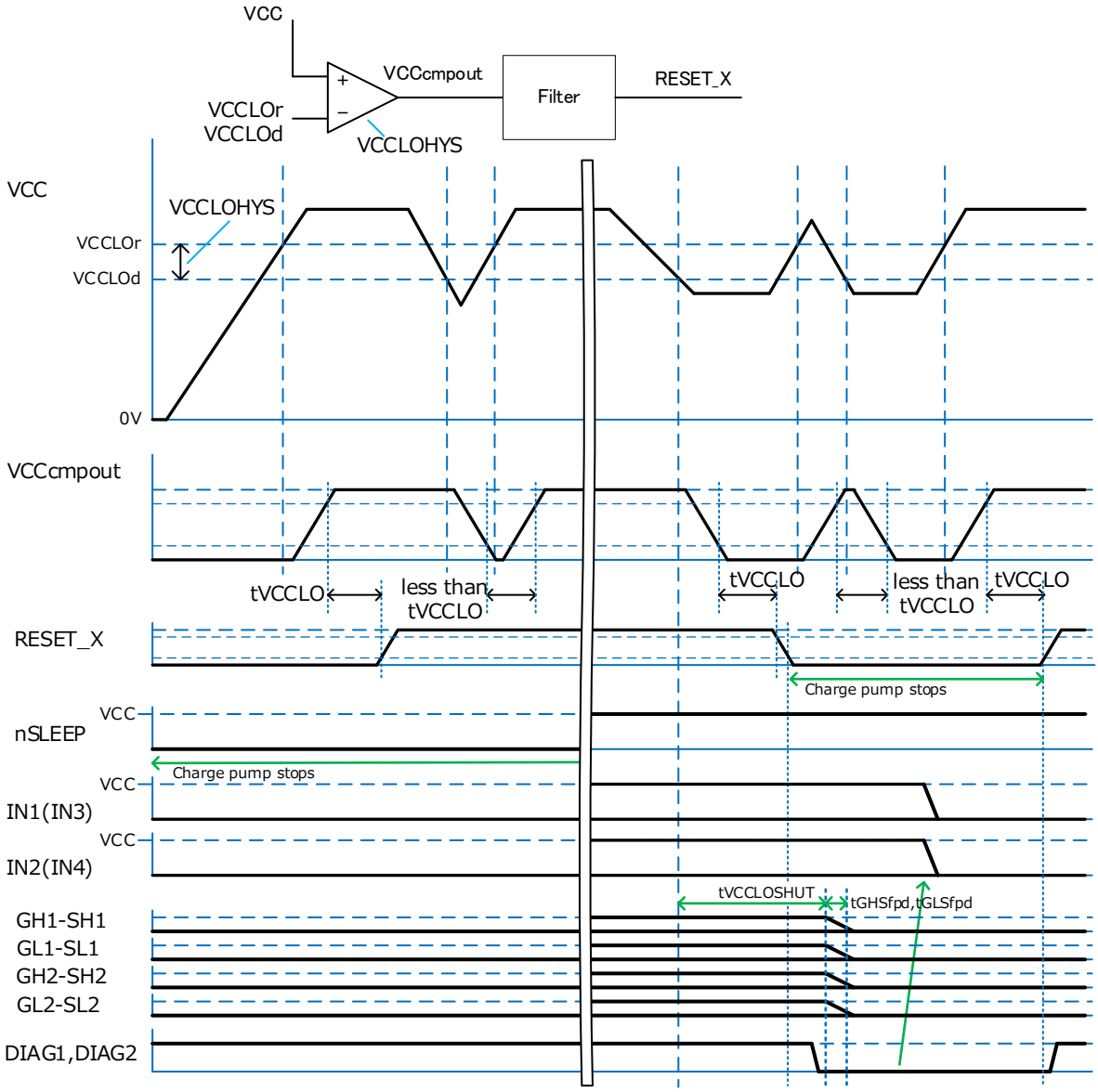


図 3　VCC 低電圧検出動作

注: 上図は IC について機能・動作の説明をするため、一部省略、簡略化しています。

7.2. VB 低電圧検出回路

VB 低電圧検出回路は VB 端子の電圧を監視し電圧低下を検出します。

制御ロジック回路は、外部 FET の中途なオンを避けるため、電圧が VBLOd 以下になると、チャージポンプ回路を停止し、全外部 FET のゲート駆動をオフ（シャットダウン）にし DIAG1, DIAG2 端子にエラー出力します。

その後電圧が VBLOr 以上になるとチャージポンプの動作を開始させます。ゲートドライブを再開させるには、ハーフブリッジモード時は、IN1, IN2, IN3, IN4 端子を全て Low に、H ブリッジモード時は、IN1, IN2 端子を Low(High-Z の指示)に変化させます。するとシャットダウンを解除し、DIAG1, DIAG2 端子を正常に戻し、tWAKE 時間後通常動作を開始することができます。本回路は、チャタリングを防止するため、検出用コンパレーターはヒステリシス VBLOHYS を持ちます。

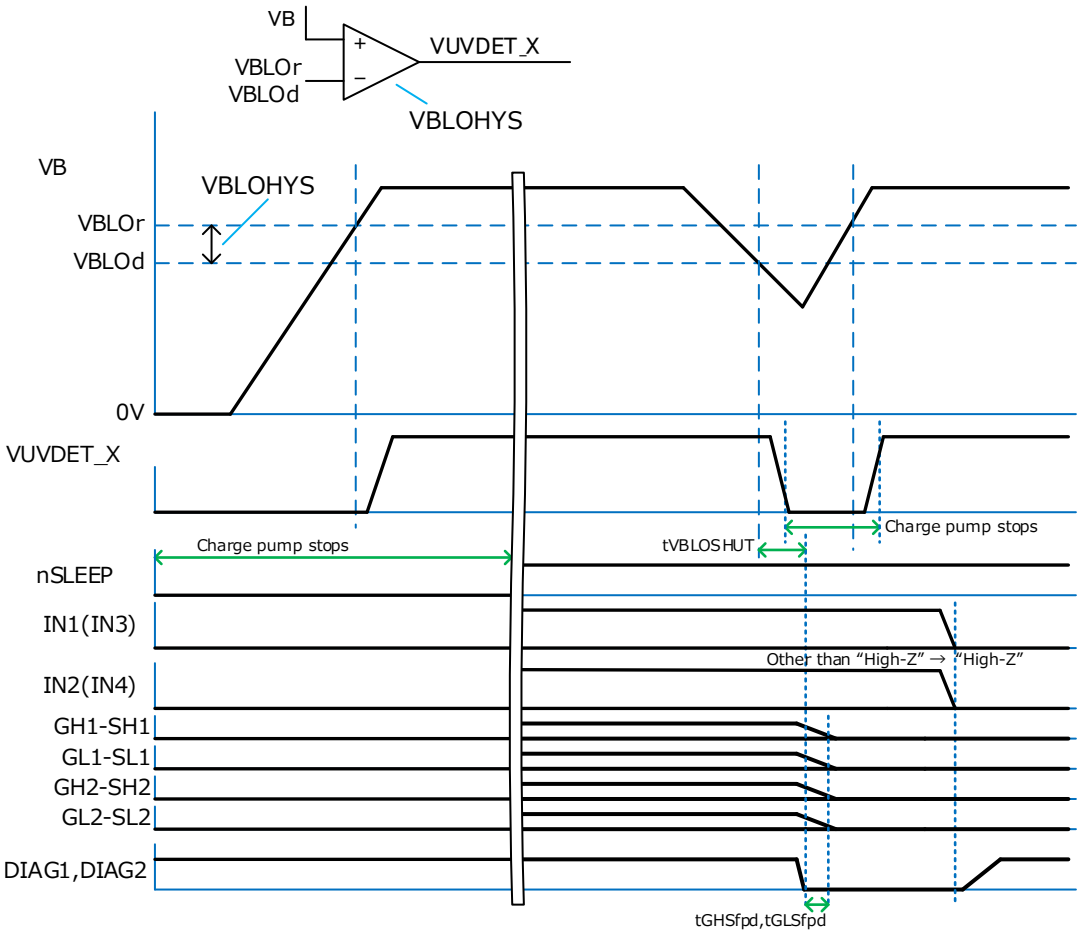


図 4　VB 低電圧検出動作

注: 上図は IC について機能・動作の説明をするため、一部省略、簡略化しています。

7.3. チャージポンプ回路

TB9103FTG は外部ハイサイド n 型 MOSFET のゲートを駆動するため、2 倍昇圧チャージポンプ回路を内蔵しています。

その駆動はラジオの AM 帯域より下の 200kHz（標準値）で行います。

チャージポンプ動作は、nSLEEP 端子が Low の時や、内部リセット期間、VB 低電圧検出期間、過熱検出期間は停止します。

VCP 端子の電圧は VCPCL1d を上回った場合に直ちに昇圧を停止することで一定電圧に保たれます。

なお、VCP 端子には外部から電圧を印加しないでください。

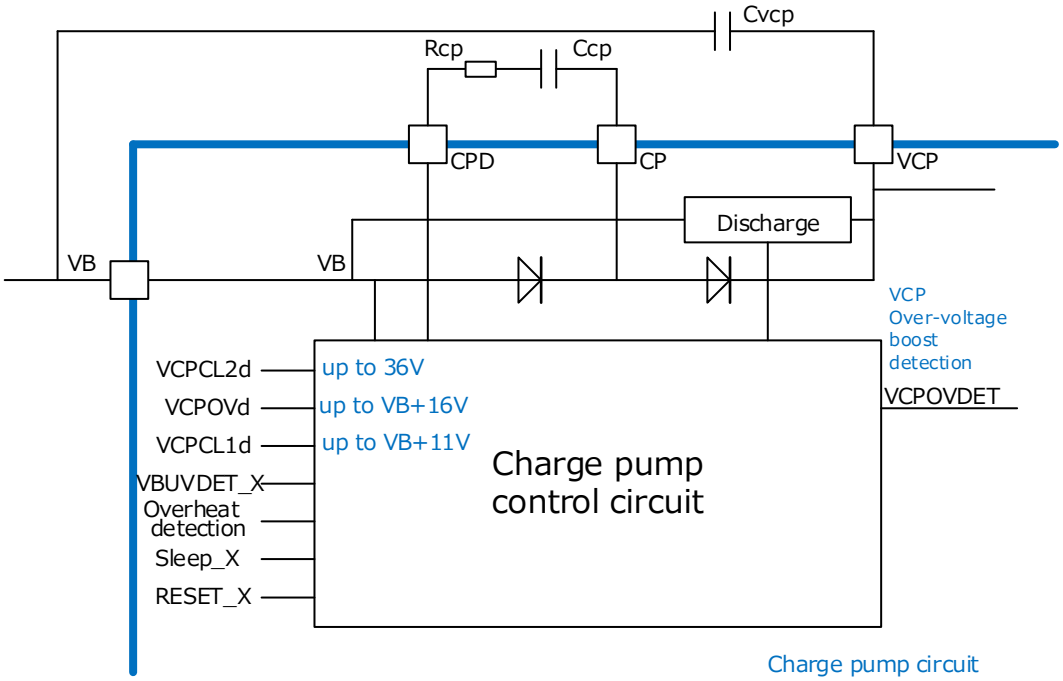


図 5　チャージポンプ回路例

注: 上図は IC について機能・動作の説明をするため、一部省略、簡略化しています。

表 3　チャージポンプ回路　動作定義

IC の動作状態	チャージポンプの動作	VCP 放電動作
リセット　（VCC 低電圧検出）	停止	停止
スリープ　（nSLEEP=Low)	停止	停止
VB 低電圧検出　(VUVDET_X=Low)	停止	停止
VCP 端子高電圧検出 (VCPCL2d < VCP)	停止	放電
VCP 過剰昇圧検出（異常） (VCPOVd < VCP)	停止	放電
VCP 昇圧制御 (VCPCL1d < VCP)	停止	停止
過熱検出	停止	停止
上記以外	動作	停止

7.3.1. VCP 端子高電圧検出回路

TB9103FTG は、VCP 端子の耐圧超過を防ぐため、VCP 端子の電圧が VCPCL2d を上回った場合には直ちに昇圧を停止するほか、外部に接続された平滑キャパシターCvcp の放電も実施します。

7.3.2. VCP 過剰昇圧検出回路

VCP 過剰昇圧検出回路は VB 端子の電圧を基に VCP 端子の電圧を監視し過剰な電圧上昇を検出します。制御ロジック回路は、電圧が VCPOVd を上回った場合には、外部 FET のゲート・ソース間耐圧超過を防ぐため、以下の動作をします。

- 直ちに昇圧を停止します。
- 外部に接続された平滑キャパシターCvcp の放電を実施します。
- 全外部 FET のゲート駆動をオフ（シャットダウン）にします。
- DIAG1, DIAG2 端子にエラー出力します。

その後電圧が VCPOVd 以下になるとチャージポンプの動作を開始させます。ゲートドライブを再開させるには、ハーフブリッジモード時は、IN1, IN2, IN3, IN4 端子を全て Low に、H ブリッジモード時は、IN1, IN2 端子を Low(High-Z の指示)に変化させます。すると、シャットダウンを解除し、DIAG1, DIAG2 端子を正常に戻し、tWAKE 時間後通常動作を開始することができます。

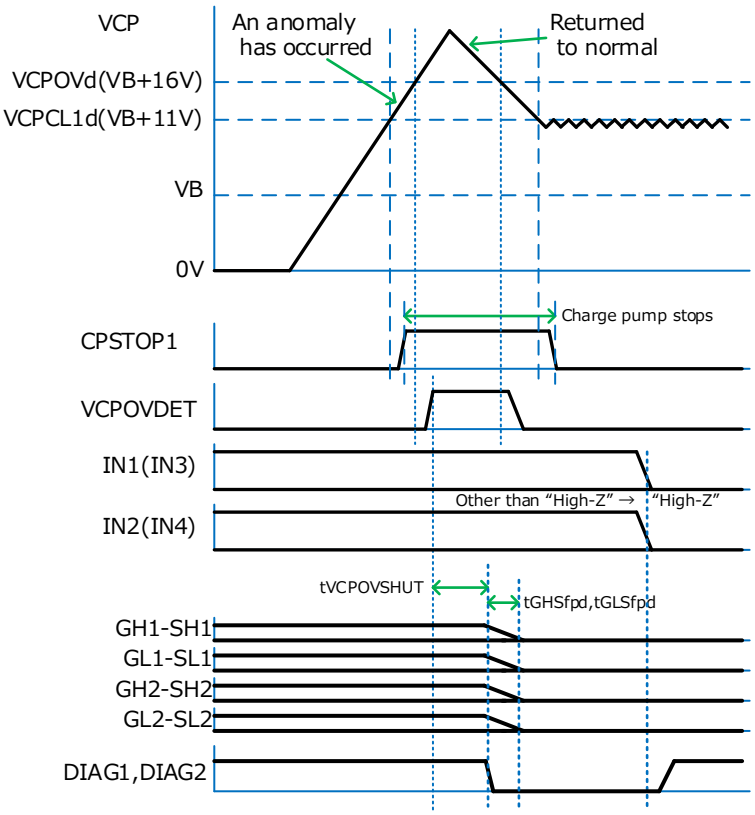


図 6　VCP 過剰昇圧検出、シャットダウン動作

注: 上図は IC について機能・動作の説明をするため、一部省略、簡略化しています。

7.4. ゲート駆動回路

ゲート駆動部のブロック図を、図 7 に示します。

ハイサイドのゲートドライバーは、外付けのハイサイド n 型 MOSFET をオンするために十分な電圧が出力され、その出力抵抗 Ronhssrc は 500Ω（標準値）です。一方オフにするときは出力抵抗 Ronhssnk の 50Ω（標準値）を介して外部 FET のゲート・ソース間をシャントします。

ローサイドのゲートドライバーは、外付けのローサイド n 型 MOSFET をオンするために十分な電圧が出力されますが、さらに外部 FET のゲート・ソース間電圧を定格値以下とするために、IC 内部でクランプした電圧が出力されます。その出力抵抗 Ronlssrc は 500Ω（標準値）です。一方オフにするときは出力抵抗 Ronlssnk の 50Ω（標準値）を介して外部 FET のゲート・ソース間をシャントします。

IC がリセットやスリープの状態のときには、ゲートドライバーの出力はプルダウン抵抗 RHSOFF, RLSOFF の 150kΩ（標準値）によって外部 FET のゲート・ソース間をシャントします。

なお、GH1, GL1, GH2, GL2 は天地絡しないよう配慮してください。

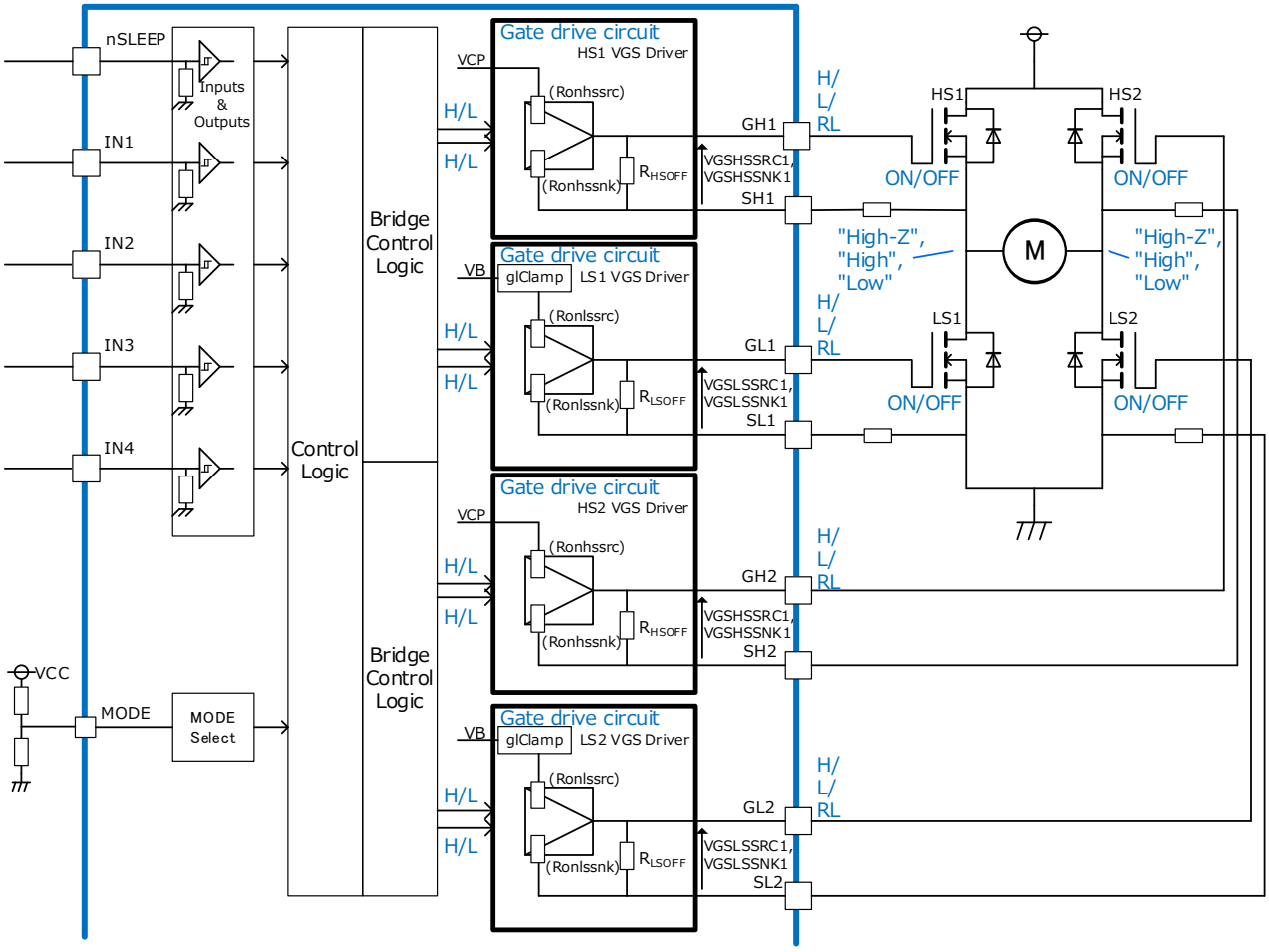


図 7　ゲート駆動回路のブロックダイアグラム

注: 上図は、IC について、機能・動作の説明をするため、一部省略、簡略化しています。

7.4.1. ゲート・ソース間電圧検出回路

デッドタイム終了を確実に判定するため、ゲート・ソース間電圧 V_GS を VGSDEAD と比較します。

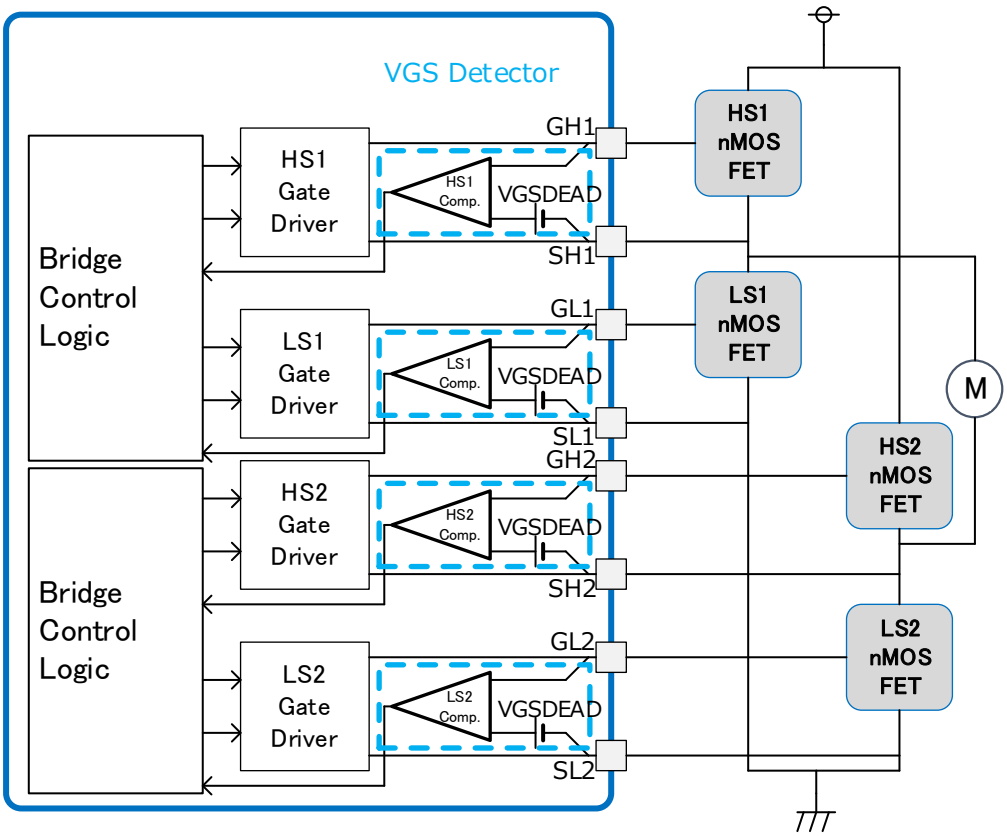


図 8　デッドタイム制御回路　V_GS 電圧検出部

注: 上図は IC について機能・動作の説明をするため、一部省略、簡略化しています。

7.5. 制御ロジック (Control Logic , Bridge Control Logic)

TB9103FTG は、ブリッジ制御用に入力端子を 5 端子（nSLEEP および IN1, IN2, IN3, IN4）と、ハーフブリッジモードと H ブリッジモードを選択する入力端子を 1 端子（MODE）備えています。

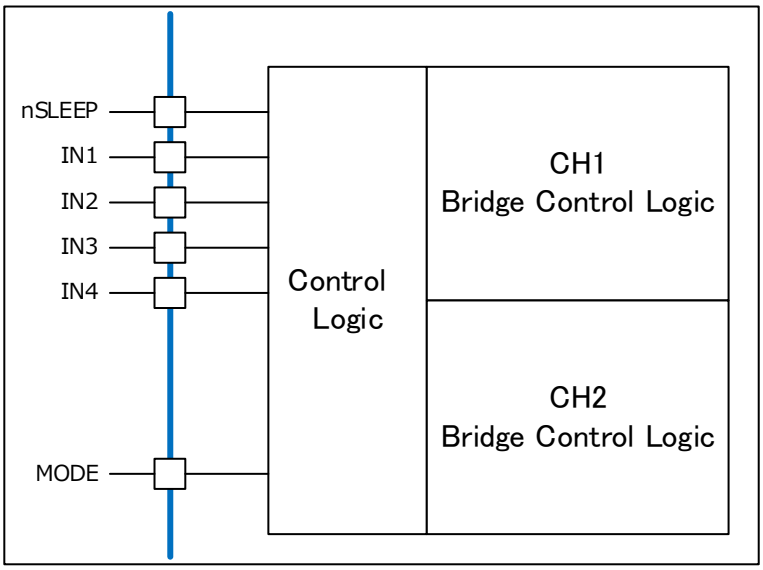


図 9　制御ロジック　ブロック構成例

注: 上図は IC について機能・動作の説明をするため、一部省略、簡略化しています。

7.5.1. 動作モードの設定

TB9103FTG は、MODE 端子の電圧により、動作モードを選択することができます。この設定は、MODE 端子を VCC にプルアップするか、GND へプルダウンすることで選択されますが、抵抗を介して行う場合、IC 内部の抵抗値よりも十分小さい抵抗値を選択する必要があります。選択されたモードは、“VCC 端子電圧が VCCLOr を上回り、かつ、nSLEEP 端子が High であることを満たしたとき”に、ラッチします。

図 10 に MODE 端子のインターフェース回路を示します。

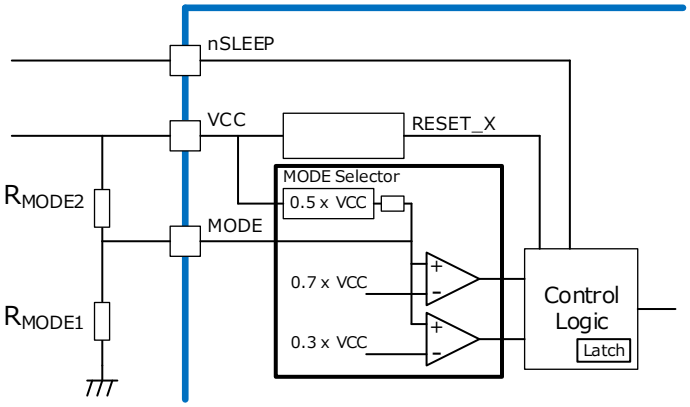


図 10　MODE 端子インターフェース回路

注: 上図は、IC について、機能・動作の説明をするため、一部省略、簡略化しています。

表 4　MODE 端子の設定

R_{MODE2}, R_{MODE1} 設定		MODE 端子電圧	ブリッジモード
R_{MODE2}	R_{MODE1}		
<47kΩ+10%	オープン	MODE2set	ハーフブリッジモード
オープン	<47kΩ+10%	MODE1set	H ブリッジモード
オープン	オープン	上記以外	エラー　（表 8 検出機能 モード端子オープン参照）

Note: MODE 端子電圧が隣接ショートなどで VB 端子電圧まで上昇することを想定する場合は、VCC 端子に接続されている外部回路で消費される電流を考慮の上、抵抗値を決めてください。

7.5.1.1. モード設定端子オープン検出回路

TB9103FTG は MODE 端子オープンを検出し、全外部 FET をオフ（シャットダウン）および、DIAG1, DIAG2 端子にエラー出力します。

エラー出力の更新は再度モード状態をラッチするタイミング（リセット解除かつｎSLEEP 解除となったとき）です。

7.5.2. ハーフブリッジモード

7.5.2.1. 動作説明

TB9103FTG は、ハーフブリッジモード時、独立した２チャネルとして動作します。

第 1 のハーフブリッジ“CH1” は IN1, IN2 端子の信号で制御されます。ハーフブリッジモードでは、ハイサイドの外部 FET HS1 とローサイドの外部 FET LS1 が同時にオンしないよう、IN1, IN2 端子による駆動指示が変更された際には、自動的にデッドタイムが挿入されます。ゲート電圧異常検出機能は、GH1, SH1 間電圧と、GL1, SL1 間電圧を監視し、IN1, IN2 端子の指示との差異を監視マスク時間 tVGSF 外に比較します。ドレイン電流の過電流検出機能は、DH, SH1 間電圧と、SH1, SL1 間電圧を監視し、外部 FET が十分なオン状態であることを監視マスク時間 tVDSF 外に監視し判定します。

第 2 のハーフブリッジ“CH2” は IN3, IN4 端子の信号で制御されます。ハーフブリッジモードでは、ハイサイドの外部 FET HS2 とローサイドの外部 FET LS2 が同時にオンしないよう、IN3, IN4 端子による駆動指示が変更された際には、自動的にデッドタイムが挿入されます。ゲート電圧異常検出機能は、GH2, SH2 間電圧と、GL2, SL2 間電圧を監視し、IN3, IN4 端子の指示との差異を監視マスク時間 tVGSF 外に比較します。ドレイン電流の過電流検出機能は、DH, SH2 間電圧と、SH2, SL2 間電圧を監視し、外部 FET が十分なオン状態であることを監視マスク時間 tVDSF 外に監視し判定します。

TB9103FTG は、モーター電流を測定する機能は備えていません。外付けでモニター用抵抗を設置する際は、絶対最大定格内でご使用ください。

なお、未使用のチャネルは、入力端子 INx を Low としてください。

注: INx = IN1, IN2, IN3, IN4

7.5.2.2. 真理値表

ハーフブリッジモード時に、取りうる動作状態を表 5、表 6 に示します。

表 5　第 1 のハーフブリッジ　CH1　真理値表

内部	Inputs			Outputs		説明
リセット	nSLEEP	IN1	IN2	GH1-SH1	GL1-SL1	
リセット	X	X	X	RL	RL	IC はリセット　HS1, LS1 はオフ
通常動作 (注 2)	L	X	X	RL	RL	IC はスリープモード　HS1, LS1 はオフ
通常動作	H	L	L	L	L	HS1, LS1 はオフ
通常動作	H	H	L	H	L	HS1 はオン、LS1 はオフ
通常動作	H	L	H	L	H	HS1 はオフ、LS1 はオン
通常動作	H	H	H	L	L	HS1, LS1 はオフ　(注 1)

表 6　第 2 のハーフブリッジ　CH2　真理値表

内部	Inputs			Outputs		説明
リセット	nSLEEP	IN3	IN4	GH2-SH2	GL2-SL2	
リセット	X	X	X	RL	RL	IC はリセット　HS2, LS2 はオフ
通常動作 (注 2)	L	X	X	RL	RL	IC はスリープモード　HS2, LS2 はオフ
通常動作	H	L	L	L	L	HS2, LS2 はオフ
通常動作	H	H	L	H	L	HS2 はオン、LS2 はオフ
通常動作	H	L	H	L	H	HS2 はオフ、LS2 はオン
通常動作	H	H	H	L	L	HS2, LS2 はオフ　(注 1)

記号の説明:
X: Don’t care　RL: 抵抗を介した Low　L: 能動素子による Low
H: 能動素子による High　High-Z: ハイインピーダンス状態

注 1: 異常検出後の解除動作は行われません。通常、両サイドともオフする指示は CH1 では IN1 = IN2 = Low、CH2 では IN3 = IN4 = Low としてください。
注 2: スリープ状態時、内部回路は停止しており、一部の回路は電源が切断されています。

7.5.2.3. 電流経路の定義

ハーフブリッジモード時、TB9103FTG で使用する外部 n 型 MOSFET の電流経路を図 11 のように定義します。実線は駆動時の電流経路を示します。また、点線は回生電流の経路を示します。

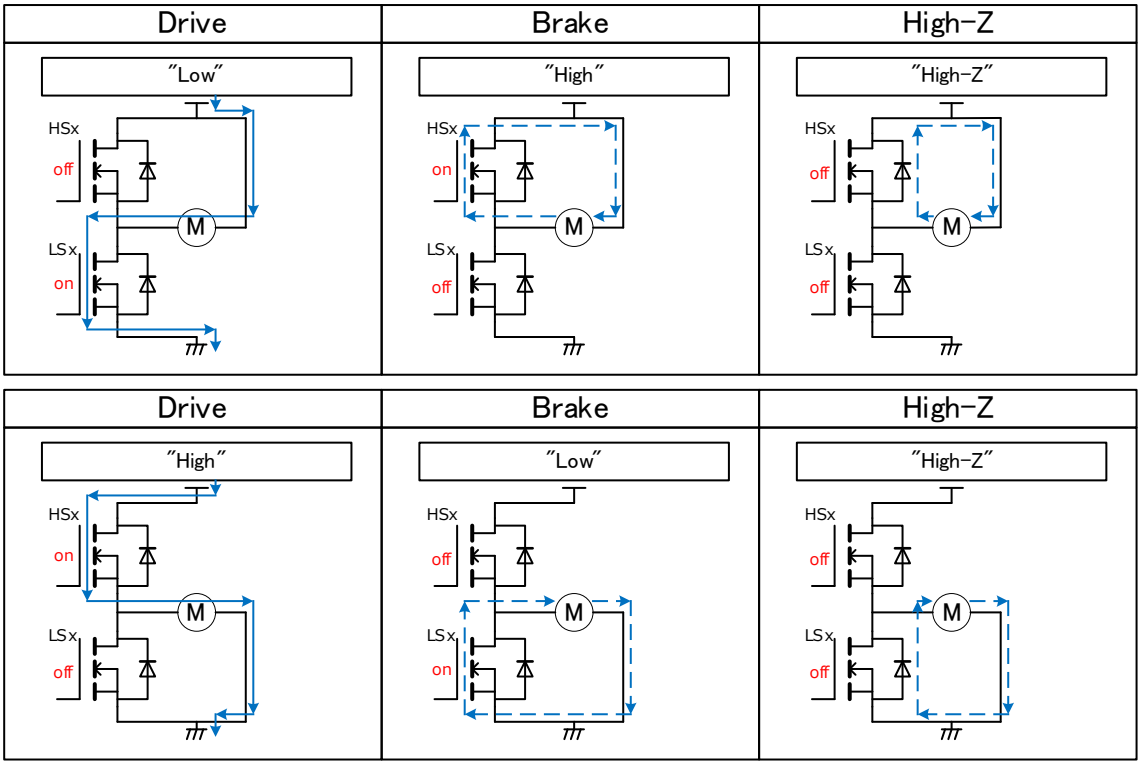


図 11　電流経路の定義

説明:
High-Z: ハイインピーダンス状態

注: 上図は、IC について、機能・動作の説明をするため、一部省略、簡略化しています。

7.5.2.4. 駆動制御フローチャート

ハーフブリッジモードにおける駆動制御フローチャートを図 12 に示します。
また、図 12 に記載していない駆動制御の組み合わせを、図 13 に示します。

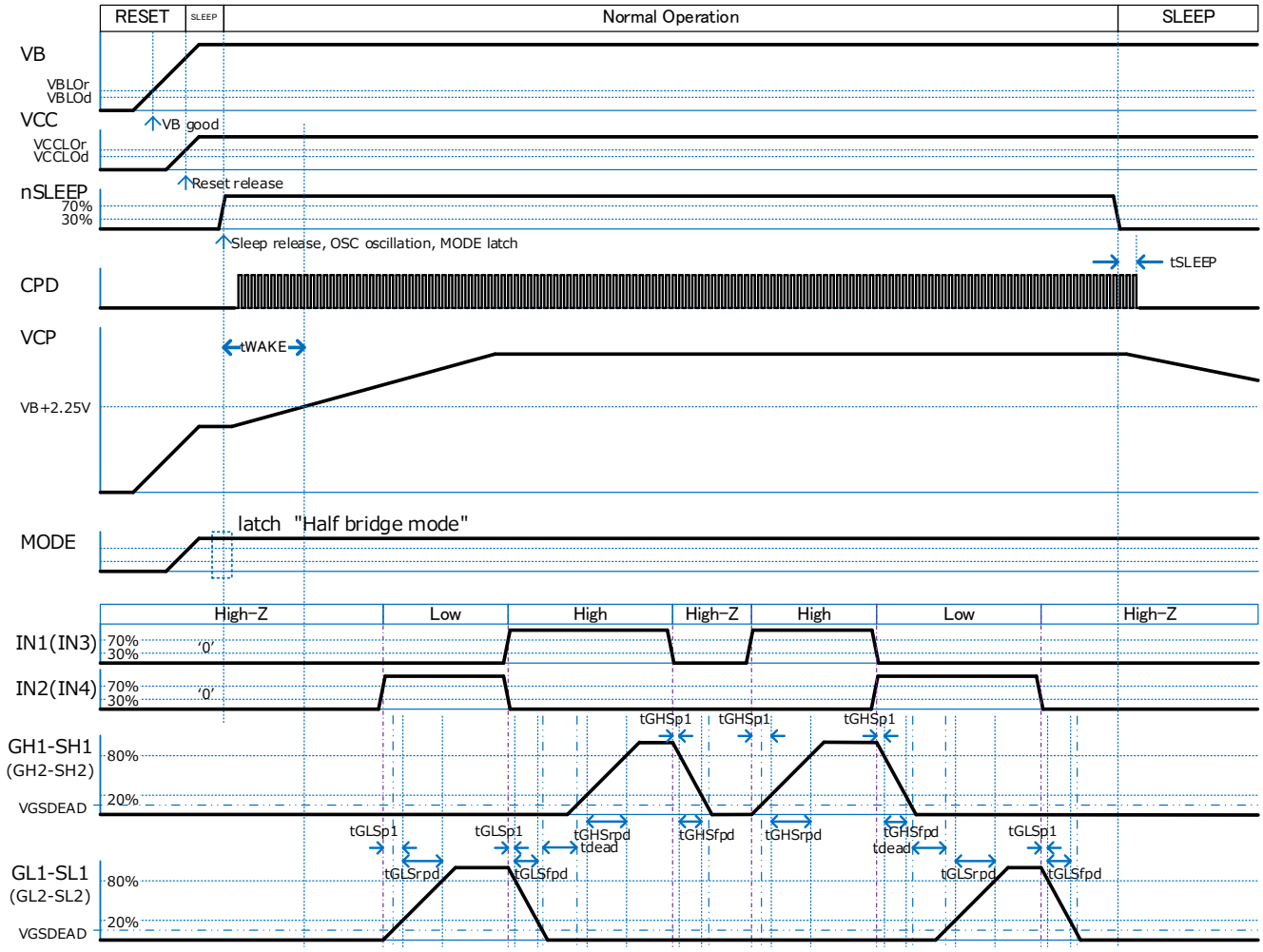


図 12　ハーフブリッジ　フローチャート 1（チャネルごと）

注: 上図は IC について機能・動作の説明をするため、一部省略、簡略化しています。

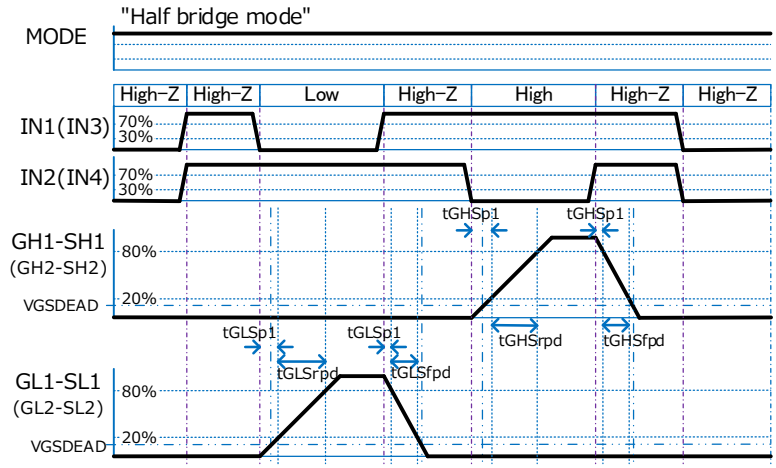


図 13　ハーフブリッジ　フローチャート 2　その他の駆動制御組み合わせ

注: 上図は IC について機能・動作の説明をするため、一部省略、簡略化しています。

7.5.3. H ブリッジモード

7.5.3.1. 動作説明

TB9103FTG は、H ブリッジモード時、1 チャネルの H ブリッジとして動作します。

制御は、IN1, IN2 端子で行います。IN3, IN4 端子は、GND に接続するようにしてください。H ブリッジモードでは、CH1, CH2 両チャネルとも貫通電流が流れないよう、IN1, IN2 端子による駆動指示が変更された際には自動的にデッドタイムが挿入されます。ゲート電圧異常検出機能は、GH1, SH1 間電圧、GL1, SL1 間電圧、GH2, SH2 間電圧、GL2, SL2 間電圧を監視し、IN1, IN2 端子の指示との差異を監視マスク時間 tVGSF 外に比較します。ドレイン電流の過電流検出機能は、DH, SH1 間電圧、SH1, SL1 間電圧、DH, SH2 間電圧、SH2, SL2 間電圧を監視し、外部 FET がオン状態であることを監視マスク時間 tVDSF 外に判定します。

TB9103FTG は、モーター電流を測定する機能は備えていません。外付けでモニター用抵抗を設置する際は、絶対最大定格内でご使用ください。

7.5.3.2. 真理値表

H ブリッジモード時に、取りうる論理状態を表 7 に示します。

表 7　H ブリッジモード　真理値表

内部	Inputs (注 1)			Outputs				説明
リセット	nSLEEP	IN1	IN2	GH1-SH1	GL1-SL1	GH2-SH2	GL2-SL2	
リセット	X	X	X	RL	RL	RL	RL	IC はリセット　HS1, LS1, HS2, LS2 はオフ モーターの相入力は High-Z
通常動作 (注 2)	L	X	X	RL	RL	RL	RL	IC はスリープモード　HS1, LS1, HS2, LS2 はオフ モーターの相入力は High-Z
通常動作	H	L	L	L	L	L	L	HS1, LS1, HS2, LS2 はオフ モーターの相入力は High-Z
通常動作	H	H	L	H	L	L	H	HS1, LS2 はオン、HS2, LS1 はオフ モーターの相入力は Forward drive(SH1→SH2)
通常動作	H	L	H	L	H	H	L	HS2, LS1 はオン、HS1, LS2 はオフ モーターの相入力は Reverse drive(SH2→SH1)
通常動作	H	H	H	L	H	L	H	LS1, LS2 はオン、HS1, HS2 はオフ モーターの相入力は Brake

記号の説明:
X: Don’t care　RL: 抵抗を介した Low　L: 能動素子による Low、
H: 能動素子による High　High-Z: ハイインピーダンス状態

注 1: IN3, IN4 端子は、GND に接続するようにしてください。
注 2: スリープ状態時、内部回路は停止しており、一部の回路は電源が切断されています。

7.5.3.3. 電流経路の定義

H ブリッジモード時、TB9103FTG で使用する外部 n 型 MOSFET の電流経路を図 14 のように定義します。赤色の実線は Forward drive 中の電流経路を示し、青色の実線は Reverse drive 中の電流経路を示します。また、点線は Forward drive 中の回生電流の経路を示し、2 点鎖線は Reverse drive 中の回生電流の経路を示します。

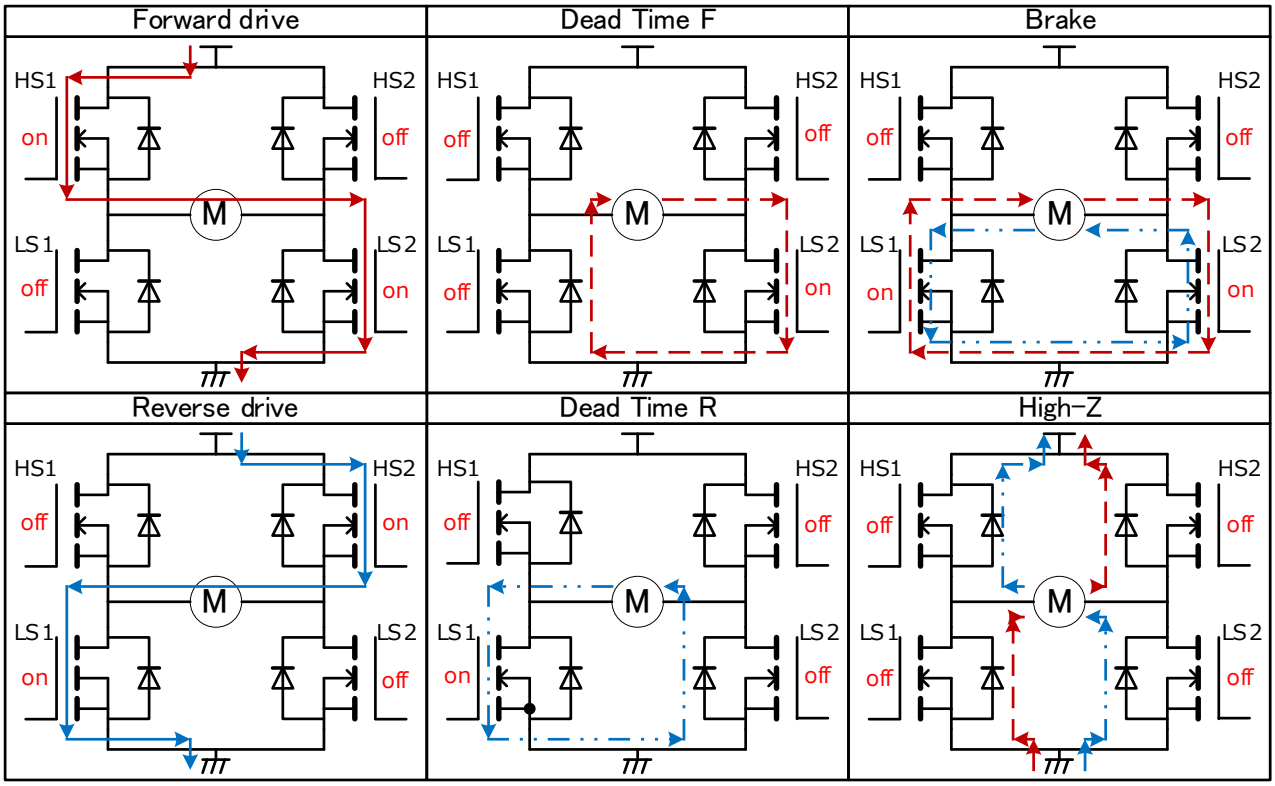


図 14　電流経路定義

説明:
High-Z: ハイインピーダンス状態

注: 上図は、IC について、機能・動作の説明をするため、一部省略、簡略化しています。

モーターの電流を切断すると、モーターに逆起電力が発生します。ハイインピーダンス状態のとき、逆起電力は電源を経路とします。 電源のシンク能力が利用できない場合、電源電圧が上昇し、IC の電源端子と出力端子が定格を超えて上昇する可能性があります。
モーターの逆起電力は、使用条件とモーターの特性によって異なります。
お客様の使用条件で、IC の破損や誤動作の恐れがないこと、および周辺回路の破壊や誤動作の恐れがないことをご確認ください。

7.5.3.4. 駆動制御フローチャート

H ブリッジモードにおけるブリッジ駆動制御フローチャートを図 15 に示します。
また、図 15 に記載していない駆動制御の組み合わせを、図 16 に示します。

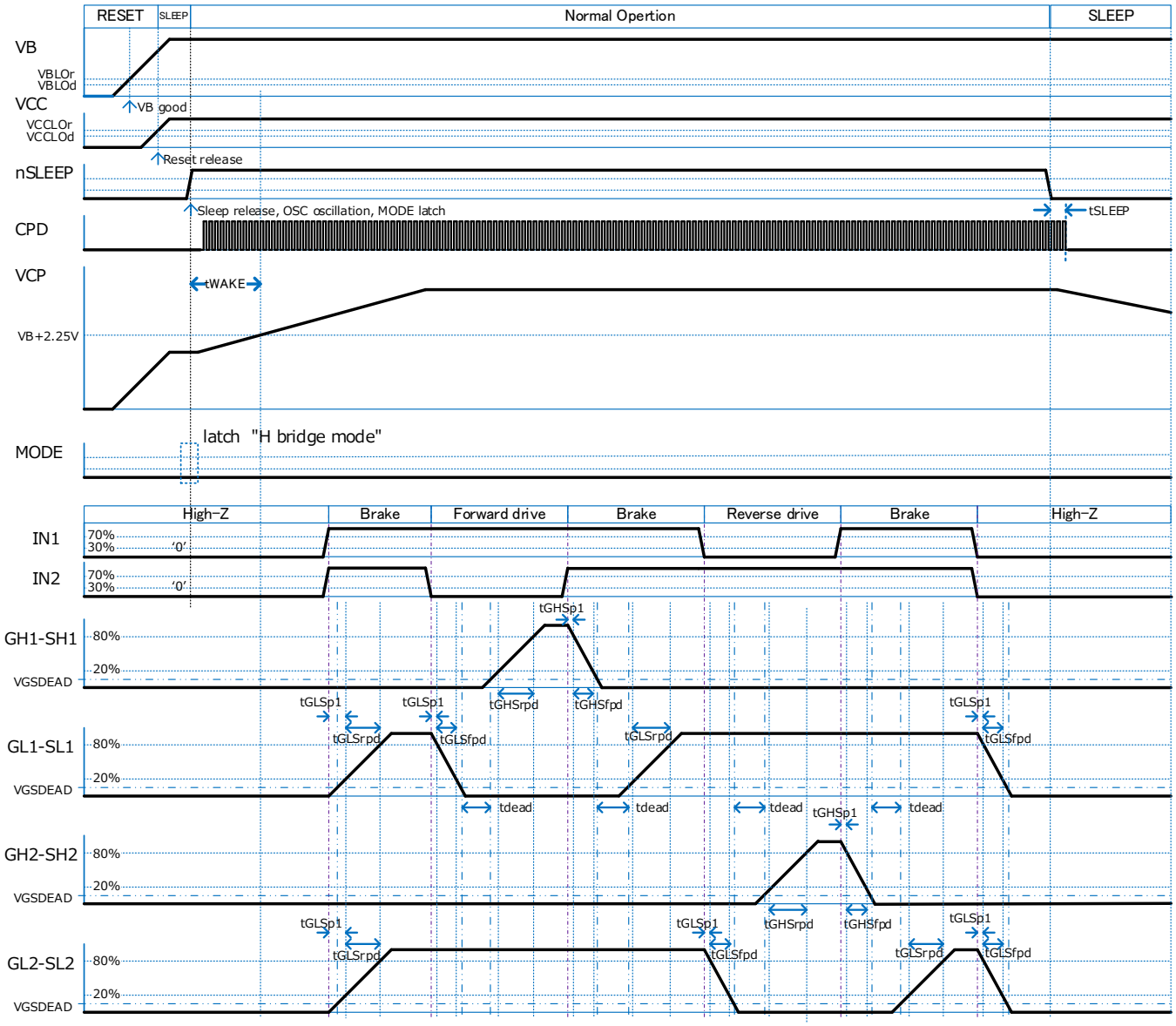


図 15　H ブリッジ　フローチャート 1

注: 上図は、IC について、機能・動作の説明をするため、一部省略、簡略化しています。

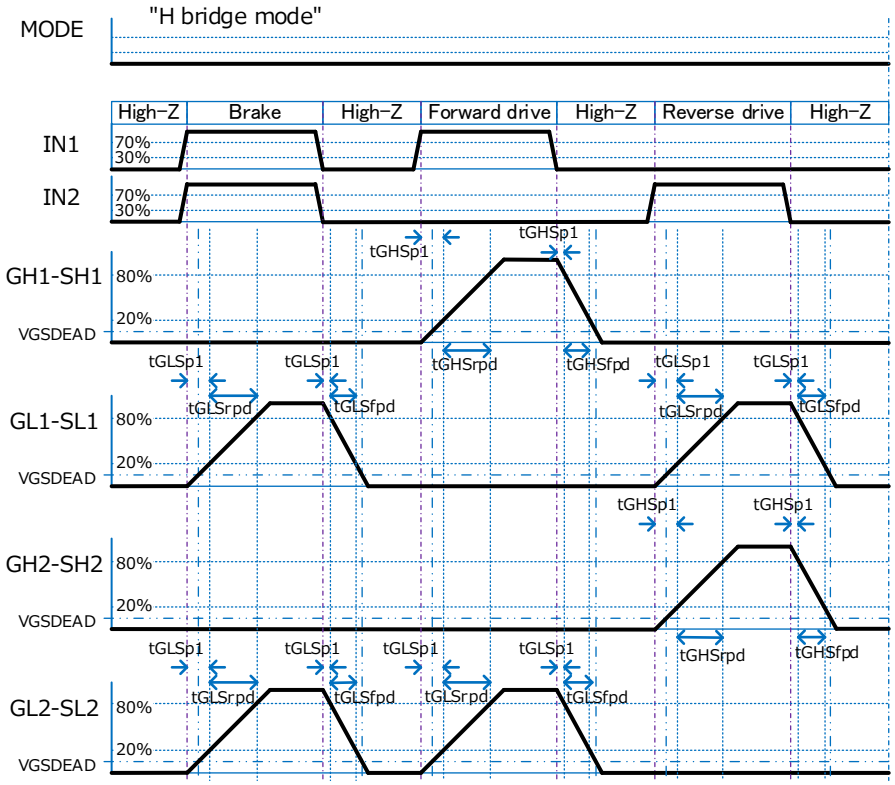


図 16　H ブリッジ　フローチャート２　その他の駆動制御組み合わせ

注: 上図は IC について機能・動作の説明をするため、一部省略、簡略化しています。

7.6. 異常検出機能

TB9103FTG は各種異常検出機能を備えています。この章ではその説明を行いますが、VCC 低電圧検出(7.1 章)、VB 低電圧検出(7.2 章)、VCP 過剰昇圧検出回路(7.3.2 章)、モード設定端子オープン検出回路(7.5.1.1 章)、V_DS 検出しきい値設定端子オープン検出回路(7.6.5.1 章)、および過熱検出(7.6.6 章)については各章をご確認ください。

7.6.1. 異常検出機能の種類と、対応動作

TB9103FTG は、表 8 に示す異常状態を検出する機能、ゲートドライブをシャットダウンする機能、表 9 に示す異常状態に応じた DIAG 1 , DIAG2 端子への出力機能を備えています。

異常検出は、同時に複数発生することもあり得ます。

また、ゲートをドライブ中に異常を検出してシャットダウンすると、シャットダウンしたことでゲート駆動異常判定も同時に発生することもあります。

DIAG1, DIAG2 端子への出力は、異常状態に優先順位を付け、最優先の異常状態に対応した出力を行います。(表 9)

表 8　検出機能と対応する動作

No.	検出した内容	ゲートドライブ出力(V_GS), チャージポンプ　動作状態	解除条件 ゲートドライブ出力（V_GS），チャージポンプ
1	CH1(HS1, LS1) IDS 過電流判定 (DS 間電圧監視)	ハーフブリッジモード時: GH1,SH1 間=GL1,SL1 間=Low H ブリッジモード時: GH1,SH1 間=GL1,SL1 間 =GH2,SH2 間=GL2,SL2 間=Low チャージポンプ=動作	ハーフブリッジモード時:IN1, IN2 端子を他から Low, Low へ変化 H ブリッジモード時:IN1, IN2 端子を他から Low, Low へ変化
2	CH1(HS1, LS1) ゲート駆動異常判定 (GS 間電圧監視)	ハーフブリッジモード時: GH1,SH1 間=GL1,SL1 間=Low H ブリッジモード時: GH1,SH1 間=GL1,SL1 間 =GH2,SH2 間=GL2,SL2 間=Low チャージポンプ=動作	ハーフブリッジモード時:IN1, IN2 端子を他から Low, Low へ変化 H ブリッジモード時:IN1, IN2 端子を他から Low, Low へ変化
3	CH2(HS2, LS2) IDS 過電流判定 (DS 間電圧監視)	ハーフブリッジモード時: GH2,SH2 間=GL2,SL2 間=Low H ブリッジモード時: GH1,SH1 間=GL1,SL1 間 =GH2,SH2 間=GL2,SL2 間=Low チャージポンプ=動作	ハーフブリッジモード時:IN3, IN4 端子を他から Low, Low へ変化 H ブリッジモード時:IN1, IN2 端子を他から Low, Low へ変化
4	CH2(HS2, LS2) ゲート駆動異常判定 (GS 間電圧監視)	ハーフブリッジモード時: GH2,SH2 間=GL2,SL2 間=Low H ブリッジモード時: GH1,SH1 間=GL1,SL1 間 =GH2,SH2 間=GL2,SL2 間=Low チャージポンプ=動作	ハーフブリッジモード時:IN3, IN4 端子を他から Low, Low へ変化 H ブリッジモード時:IN1, IN2 端子を他から Low, Low へ変化
5	MODE 端子オープン	GH1,SH1 間=GL1,SL1 間 =GH2,SH2 間=GL2,SL2 間=Low チャージポンプ=動作	nSLEEP=High かつ VCC によるリセット解除を満たしたとき、解消されていると復帰
6	VDS 端子オープン	GH1,SH1 間=GL1,SL1 間 =GH2,SH2 間=GL2,SL2 間=Low チャージポンプ=動作	解消されると復帰
7	過熱検出	GH1,SH1 間=GL1,SL1 間 =GH2,SH2 間=GL2,SL2 間=Low チャージポンプ=停止	チャージポンプは解消され次第、復帰　　(注 2),(注 3) ハーフブリッジモード時:IN1, IN2, IN3, IN4 端子を他から全て Low へ変化 H ブリッジモード時:IN1, IN2 端子を他から全て Low へ変化
8	VB 低電圧検出	GH1,SH1 間=GL1,SL1 間 =GH2,SH2 間=GL2,SL2 間=Low チャージポンプ=停止	チャージポンプは解消され次第、復帰　　(注 2),(注 3) ハーフブリッジモード時:IN1, IN2, IN3, IN4 端子を他から全て Low へ変化 H ブリッジモード時:IN1, IN2 端子を他から Low へ全て変化
9	VCC 低電圧検出	GH1,SH1 間=GL1,SL1 間 =GH2,SH2 間=GL2,SL2 間=Low チャージポンプ=停止	低電圧が解消されると復帰 (注 1)
10	VCP 過剰昇圧検出	GH1,SH1 間=GL1,SL1 間 =GH2,SH2 間=GL2,SL2 間=Low チャージポンプ=停止	チャージポンプは解消され次第、復帰　　(注 2),(注 3) ハーフブリッジモード時:IN1, IN2, IN3, IN4 端子を他から全て Low へ変化 H ブリッジモード時:IN1, IN2 端子を他から Low へ全て変化
11	未検出時	正常動作	ー

記号の説明:
RL: ゲート・ソース間のシャント抵抗を介した Low

注 1: VCC 低電圧を検出すると、TB9103FTG 内はリセット状態となります。
注 2: 解除動作を行っても検出状態が続いていれば、全ゲートドライブは Low、チャージポンプは停止状態になります。
注 3: IN1, IN2, IN3, IN4 端子による解除動作を行い解除が完了しても、ゲートドライブを再開するには tWAKE 期間待つ必要があります。

表 9　検出内容と DIAG1, DIAG2 端子

No.	検出した内容	DIAG 出力優先度 (注 1)	DIAG1 端子出力	DIAG2 端子出力	備考
5	MODE 端子オープン	High	Low	Low	CH1,CH2 共通の異常を検出した
6	VDS 端子オープン	High	Low	Low	CH1,CH2 共通の異常を検出した
7	過熱検出	High	Low	Low	CH1,CH2 共通の異常を検出した
8	VB 低電圧検出	High	Low	Low	CH1,CH2 共通の異常を検出した
9	VCC 低電圧検出	High	Low	Low	CH1,CH2 共通の異常を検出した
10	VCP 過剰昇圧検出	High	Low	Low	CH1,CH2 共通の異常を検出した
1	CH1(HS1, LS1) IDS 過電流判定(DS 間電圧監視)	Middle	Low	High	CH1 で異常を検出した
2	CH1(HS1, LS1) ゲート駆動異常判定(GS 間電圧監視)	Middle	Low	High	CH1 で異常を検出した
3	CH2(HS2, LS2) IDS 過電流判定(DS 間電圧監視)	Low	High	Low	CH2 で異常を検出した
4	CH2(HS2, LS2) ゲート駆動異常判定(GS 間電圧監視)	Low	High	Low	CH2 で異常を検出した
11	未検出時	ー	High	High	ー

注 1: DIAG 出力優先度は、異常事象が複数発生しているとき、DIAG1, DIAG2 に表示する状態を決定します。

7.6.2. DIAG1, DIAG2 端子

DIAG1, DIAG2 端子はオープンドレイン出力となっており、外付け抵抗を介して電源（VCC）に接続する必要があります。プルアップ先は、DIAG 信号を入力して判定などに用いる回路（MCU など）の電源端子に接続してください。

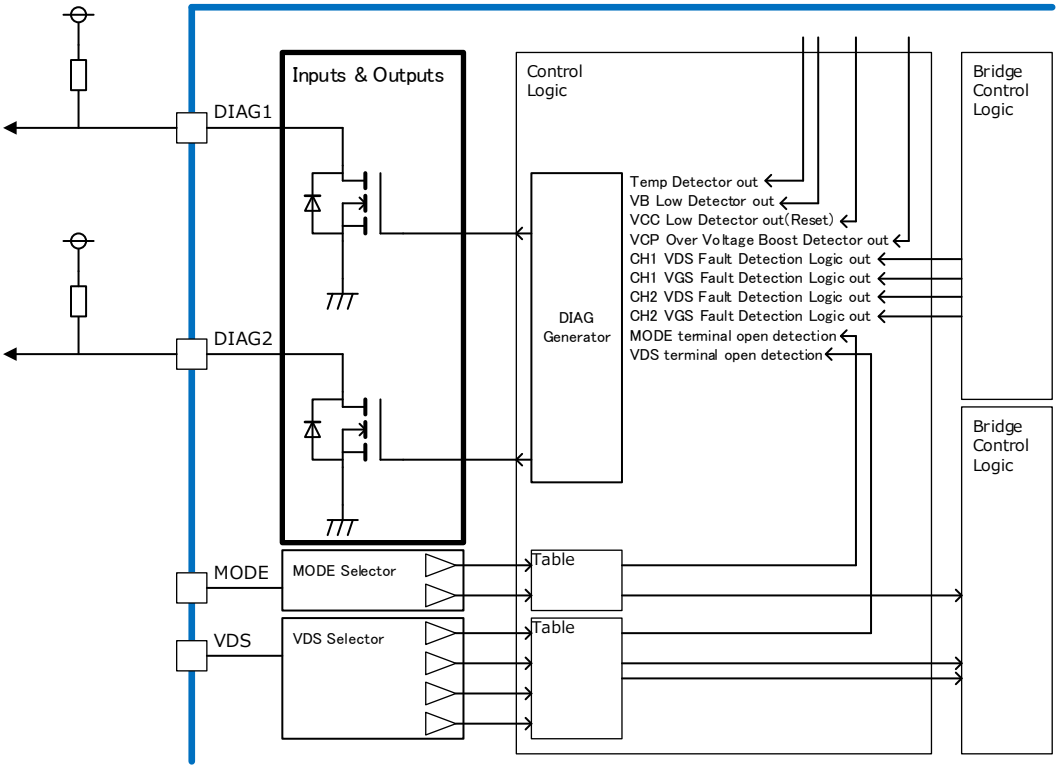


図 17　DIAG1, DIAG2 端子

注: 上図は、IC について、機能・動作の説明をするため、一部省略、簡略化しています。

7.6.3. V_GS 監視、ゲートドライバー異常検出、シャットダウン動作

TB9103FTG は、IN1, IN2, IN3, IN4 端子による駆動の指示と、GH1, GH2, GL1, GL2 端子の状態が一致しているかの監視をデッドタイム制御の一部回路を流用して行います。駆動の指示が変更された際は、変更されてから tVGSF 経過するまでの間は判定をしません。tVGSF 時間以外のときに、表 5、表 6、表 7 と異なる状態であった場合、ゲートドライバー異常と判定します。

ゲートドライバー異常と判定すると、DIAG1, DIAG2 端子を表 9-No.2, 4 の状態にし、ハーフブリッジモード時は異常判定されたチャネルの全外部 FET をオフ(シャットダウン)にします。H ブリッジモード時は、全外部 FET をオフ(シャットダウン)にします。

一度ゲートドライバー異常と判定して外部 FET をオフにした後動作を復帰させるには、ハーフブリッジモード時は異常判定されたチャネルの INx 端子を全て Low に変化させます。H ブリッジモード時は IN1, IN2 端子を Low に変化させます。

注: INx = IN1, IN2, IN3, IN4

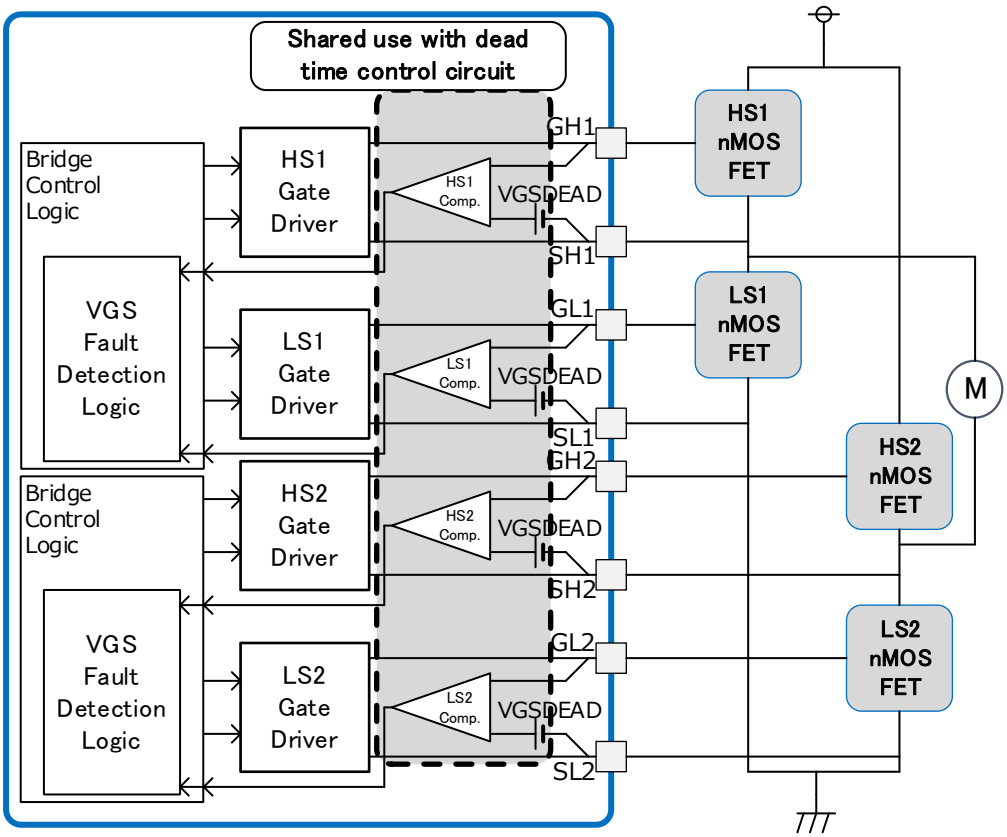
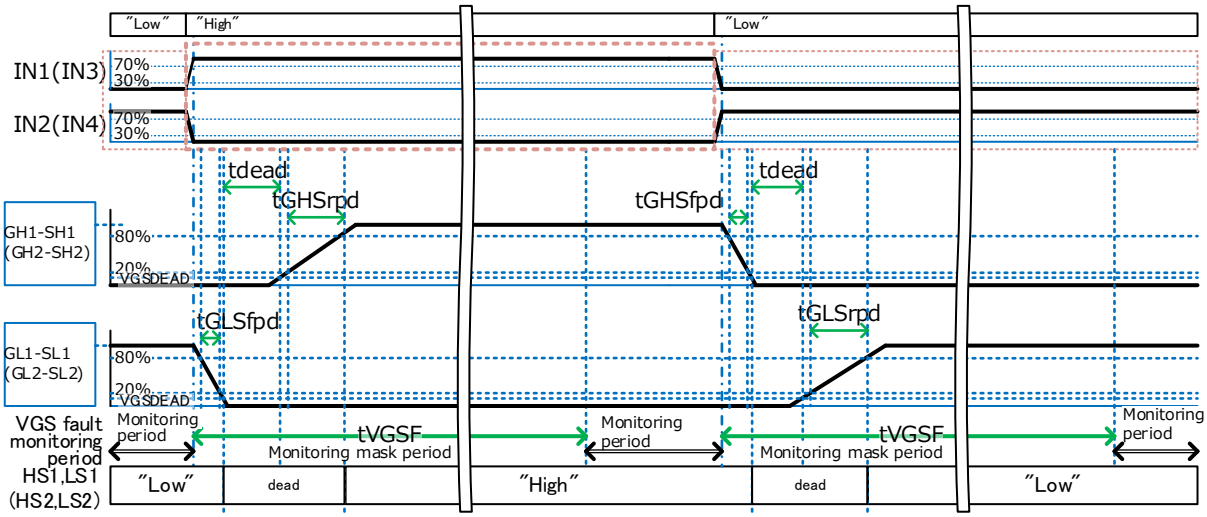


図 18　V_GS 監視、異常検出回路　ブロックダイアグラム

注: 上図は IC について機能・動作の説明をするため、一部省略、簡略化しています。



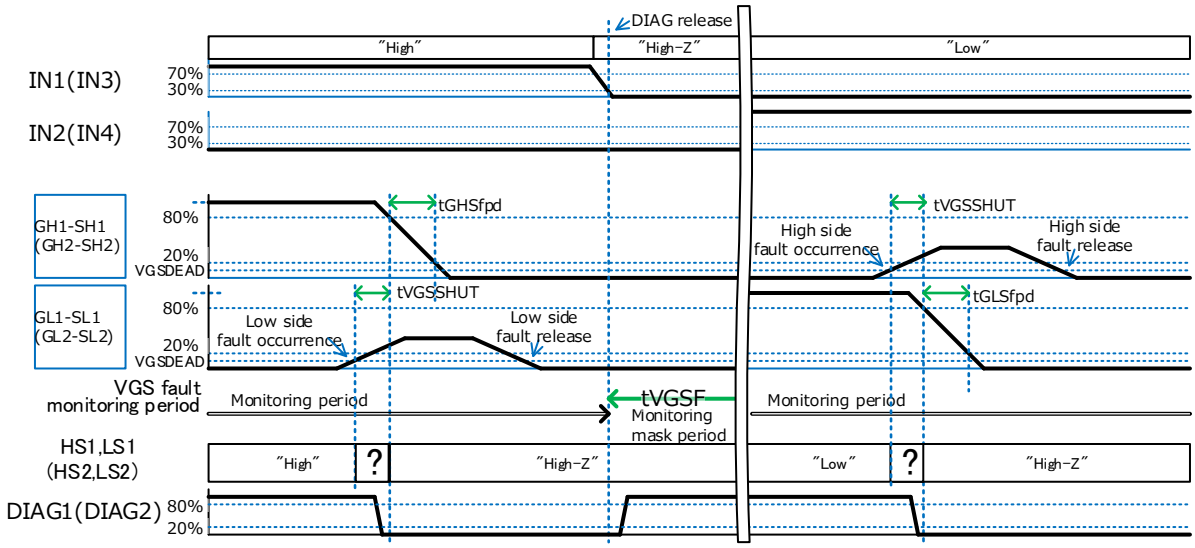


図 19　V_GS 監視、異常検出、シャットダウン動作

注: 上図は IC について機能・動作の説明をするため、一部省略、簡略化しています。

7.6.4. V_DS 監視、IDS 過電流検出、シャットダウン動作

外部 FET との接続概念を図 20 に示します。

TB9103FTG は、外部 FET のゲートが駆動されている期間ドレイン・ソース間電圧 V_DS が設定した電圧 HS_Vref, LS_Vref より低いかを、監視します。

駆動の指示が変更された際は、変更されてから tVDSF 経過するまでの間は監視をしません。tVDSF 時間以外のときに、外部 FET のゲートがオンに駆動されている期間 V_DS が設定電圧 HS_Vref, LS_Vref よりも高いと過電流と判定します。

過電流と判定すると、DIAG 端子を表 9-No.1, 3 の状態にし、ハーフブリッジモード時は異常判定されたチャネルの全外部 FET の駆動をオフ(シャットダウン)にします。H ブリッジモード時は、全外部 FET の駆動をオフ(シャットダウン)にします。

一度、過電流と判定して外部 FET をオフ(シャットダウン)にした後、動作を復帰させるには、ハーフブリッジモード時は異常判定されたチャネルの INx 端子を全て Low に変化させます。H ブリッジモード時は IN1, IN2 端子を Low に変化させます。

他、チャージポンプの昇圧不足で、外部ハイサイド FET が十分にオンしていないときも V_DS が設定電圧 HS_Vref より高くなる可能性があります。

注: INx = IN1, IN2, IN3, IN4

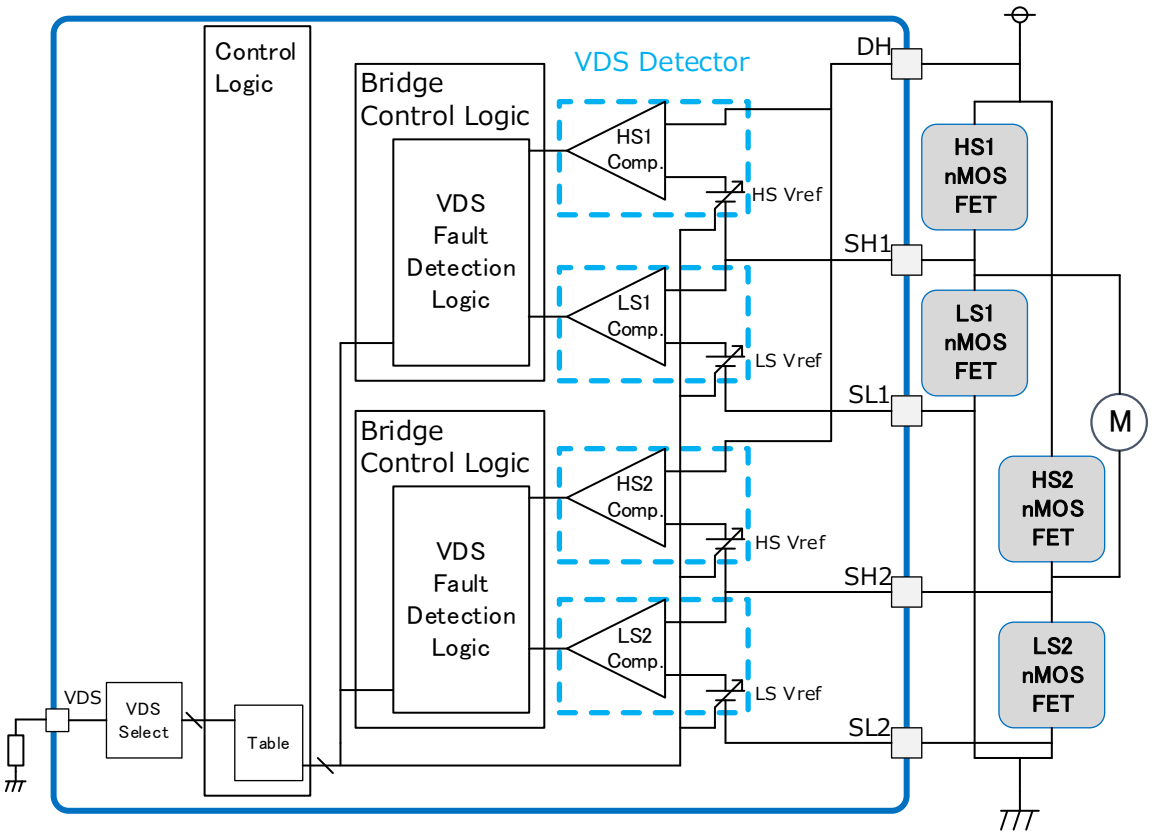


図 20　V_DS 監視による IDS 過電流検出ブロックダイアグラム

注: 上図は、IC について、機能・動作の説明をするため、一部省略、簡略化しています。

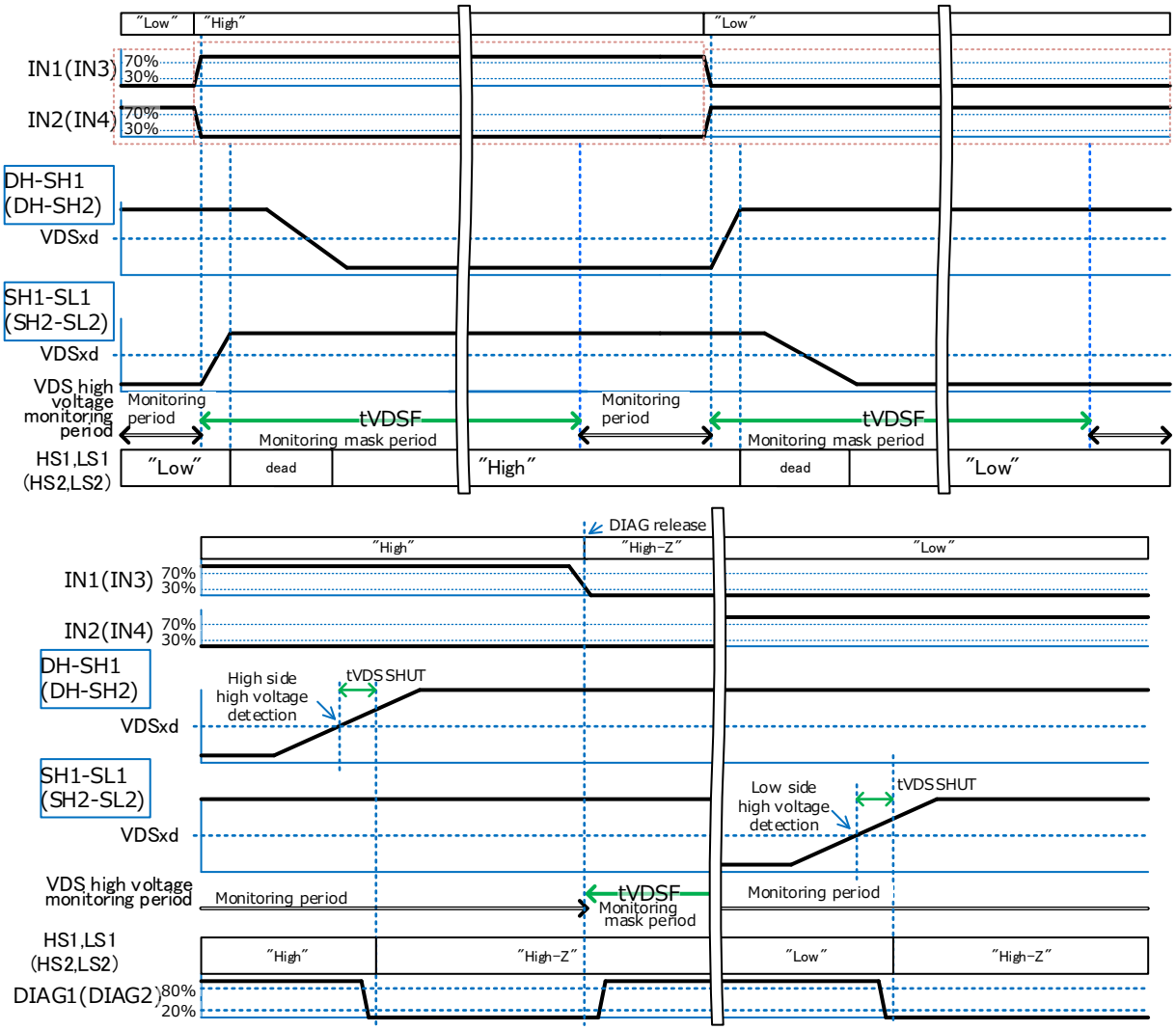


図 21　V_DS 監視による IDS 過電流検出タイミングチャート

注: 上図は、IC について、機能・動作の説明をするため、一部省略、簡略化しています。

7.6.5. V_DS 検出しきい値電圧の設定

V_DS 検出に用いるハイサイドしきい値電圧“HS Vref”とローサイドしきい値電圧“LS Vref”は、VDS 端子に加える電圧により設定できます。また、V_DS 監視を無効にする機能も備えています。

この設定は外付けの抵抗で選択されますが、VCC の消費電流を極力小さくするため比較的高い抵抗値とする必要があります。

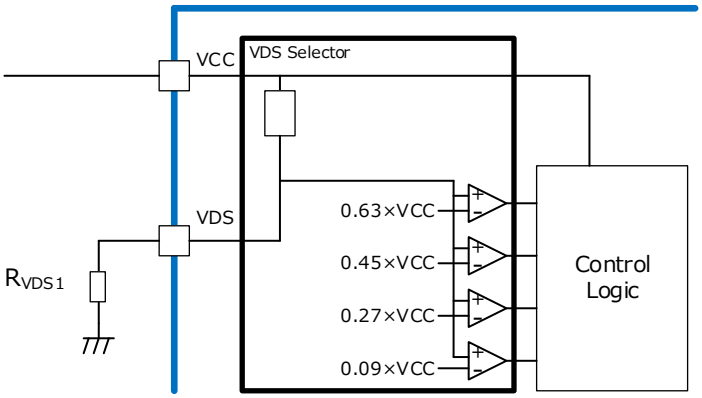


図 22　VDS 端子 インターフェース回路

注: 上図は、IC について、機能・動作の説明をするため、一部省略、簡略化しています。

表 10　V_DS しきい値電圧設定

R_{VDS1} の例 R_{VDS1}	VDS 端子電圧	V_DS しきい値電圧設定 (HS_Vref, LS_Vref)
オープン	VDS4dset	エラー
270kΩ±10%	VDS3dset	VDS3d
130kΩ±10%	VDS2dset	VDS2d
51kΩ±10%	VDS1dset	VDS1d
≦1kΩ±10%	VDS0dset	V_DS 検出 Disable

7.6.5.1. V_DS 検出しきい値設定端子オープン検出回路

TB9103FTG は VDS 端子オープンを検出し全外部 FET をオフ（シャットダウン）にし DIAG1, DIAG2 端子にエラー出力します。エラー出力の解除は端子オープンが解消され次第自動復帰します。

7.6.6. 過熱検出、シャットダウン

過熱検出センサーは、チップの温度を監視し、温度上昇を検出します。

制御ロジック回路は、チップが過熱検出温度 TTSDd を超えると、チャージポンプ回路を停止し、全外部 FET のゲート駆動をオフ（シャットダウン）にし、DIAG1, DIAG2 端子にエラー出力します。

その後チップの温度が解除しきい値温度 TTSDr よりも低くなると、チャージポンプの動作を開始させます。

ゲートドライブを再開させるには、ハーフブリッジモード時は、IN1, IN2, IN3, IN4 端子を全て Low に、H ブリッジモード時は、IN1, IN2 端子を Low(High-Z の指示)に変化させます。するとシャットダウンを解除し、DIAG1, DIAG2 端子を正常に戻し、tWAKE 時間後通常動作を開始することができます。

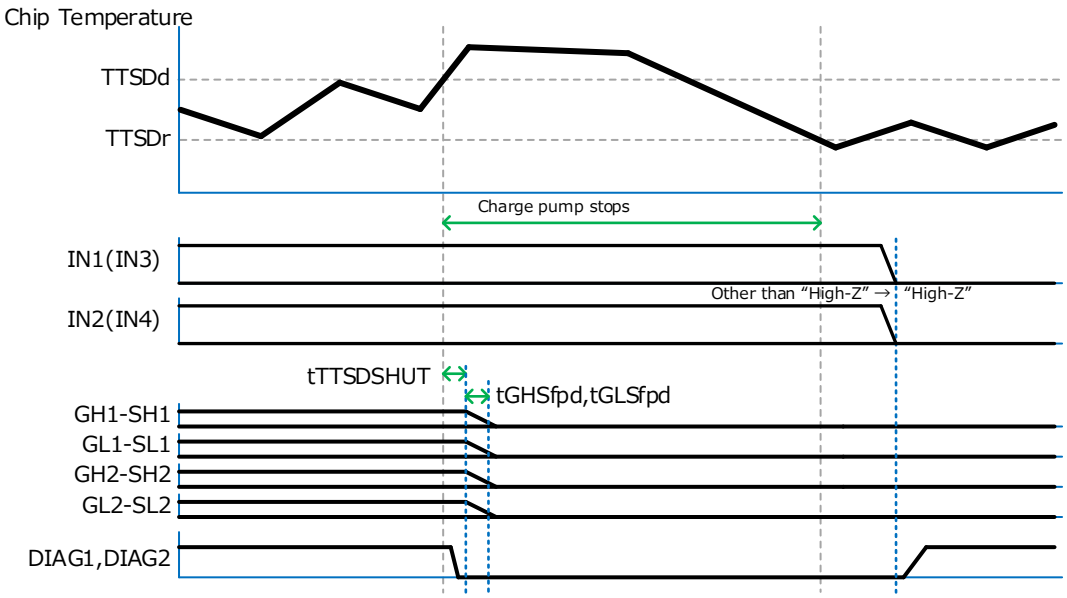


図 23　過熱検出　タイミングチャート

注: 上図は IC について機能・動作の説明をするため、一部省略、簡略化しています。

8. 製品仕様・定格

8.1. 絶対最大定格（注）

特に指定がない場合、Ta=-40~125°C，電圧は GND を基準とし、電流は端子に流れ込む方向を正とします。

番号	項目	記号	測定条件	定格	単位
8.1.1	電源電圧 1 VB	Vb		-0.3 ~ VCP+0.3 (≦18)	V
8.1.2				~ VCP+0.3 (≦40) ≦1s	V
8.1.3	電源電圧 2 VCC	Vcc		-0.3 ~ 6	V
8.1.4	チャージポンプ電圧 1 CPD	Vcp1		-0.3 ~ VB+0.3 (≦36)	V
8.1.5				~ VB+0.3 (≦40) ≦1s	V
8.1.6	チャージポンプ電圧 2 CP	Vcp2		-0.3 ~ VCP+0.3 (≦36)	V
8.1.7				~ VCP+0.3 (≦40) ≦1s	V
8.1.8	チャージポンプ電圧 3 VCP	Vcp3		-0.3 ~ 36	V
8.1.9				~ 40 ≦1s	V
8.1.10	ハイサイドゲート端子電圧 GH1, GH2	Vgh		-0.3 ~ VCP+0.3（≦40）	V
8.1.11	ローサイドゲート端子電圧 GL1, GL2	Vgl		-0.3 ~ VB+0.3（≦40）	V
8.1.12	ハイサイドドレイン端子電圧 DH	Vdh		-0.3 ~ VCP+0.3（≦40）	V
8.1.13	ハイサイドソース端子電圧 SH1, SH2	Vsh		-0.3 ~ VCP+0.3（≦40）	V
8.1.14				-1.2 ~ ≦0.1ms	V
8.1.15	ローサイドソース端子電圧 SL1, SL2	Vsl		-0.3 ~ VB+0.3（≦40）	V
8.1.16				-1.2 ~ ≦0.1ms	V
8.1.17	端子電圧 nSLEEP	Vin1		-0.3 ~ 6	V
8.1.18	端子電圧 IN1, IN2, IN3, IN4	Vin2		-0.3 ~ VCC+0.3（≦6）	V
8.1.19	端子電圧 MODE	Vin3		-0.3 ~ 40	V
8.1.20	端子電圧 VDS	Vin4		-0.3 ~ VB+0.3（≦40）	V
8.1.21	端子電圧 DIAG1, DIAG2	Vod1		-0.3 ~ 6	V
8.1.22	端子間差電圧 VB, DH	Vdif1	VB-DH	-2 ~ 2	V
8.1.23	端子間差電圧 DH, SH1, SH2	Vdif2	SH1-DH, SH2-DH	~ 2	V
8.1.24	端子間差電圧 SH1, SH2, SL1, SL2	Vdif3	SL1-SH1, SL2-SH2	~ 2	V
8.1.25	周囲温度	Ta		-40 ~ 125	°C
8.1.26	接合温度	Tj		-40 ~ 150	°C
8.1.27	保存温度	Tstg		-55 ~ 150	°C

注: 絶対最大定格は、瞬時たりとも超えてはならない規格です。絶対最大定格を超えると IC の破壊や劣化や損傷の原因となり IC 以外に障害を与えるおそれがあります。
いかなる動作条件であっても必ず絶対最大定格を超えないように設計を行ってください。
ご使用に際しては、記載された動作範囲内でご使用ください。

© 2025
Toshiba Electronic Devices & Storage Corporation

8.2. 動作範囲

番号	項目	記号	測定条件	最小	標準	最大	単位
8.2.1	電源電圧動作範囲 1 VB	VBrng	VBrng≧VCCrng	7	-	18	V
8.2.2	電源電圧動作範囲 2 VCC	VCCrng	VBrng≧VCCrng	4.5	-	5.5	V
8.2.3	接合温度動作範囲	Tjrng		-40	-	150	°C

8.3. 熱抵抗

番号	項目	記号	測定条件	最小	標準	最大	単位
8.3.1	熱抵抗	R_{thJA}	-	-	39.9	-	°C/W

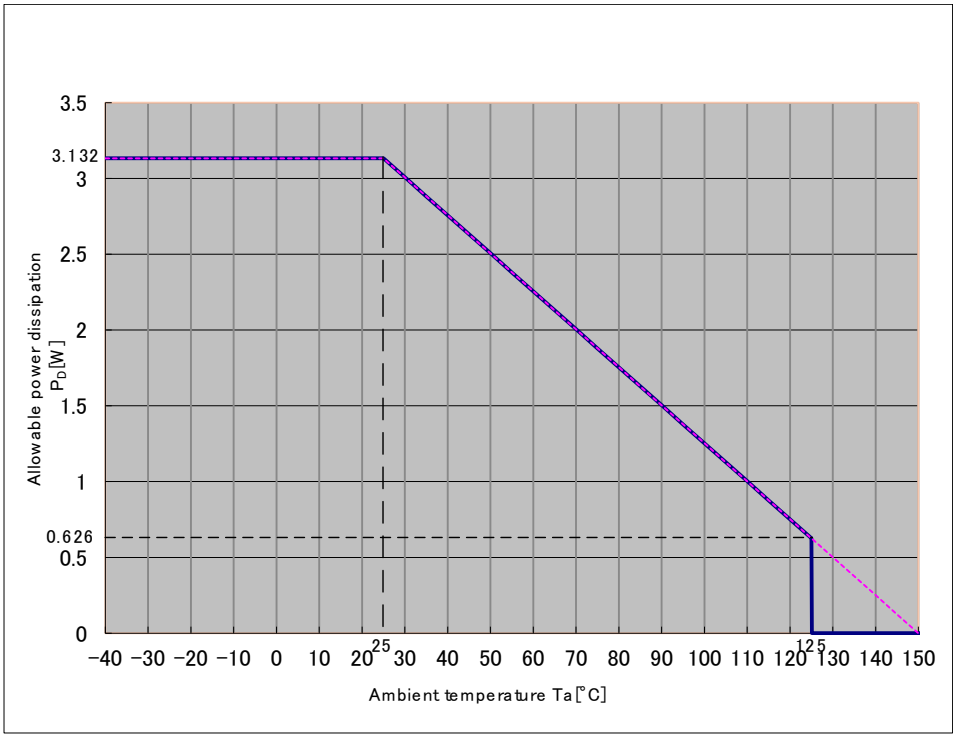


図 24 許容損失曲線

条件：JEDEC 四層基板

8.4. 電気的特性

特に指定がない場合、VB=7~18V, VCC=4.5~5.5V(VB≧VCC), Ta=-40~125°C とします。
特に指定がない場合、電圧は GND を基準とし、電流は端子に流れ込む方向を正とします。

8.4.1. 電源

番号	項目	記号	測定条件	最小	標準	最大	単位
8.4.1.1	動作電源電流 VB	IVB	nSLEEP=High, 無負荷(外部 FET 不接続), Rcp=10Ω, Ccp=0.1μF, Cvcp=2.2μF	-	-	10	mA
8.4.1.2	動作電源電流 VCC	IVCC	nSLEEP=High	-	-	2.5	mA
8.4.1.3	スリープモード時 電源電流 VB	ISLEEP1	nSLEEP=Low, Ta=25°C	-	-	14	μA
8.4.1.4	スリープモード時 電源電流 VCC	ISLEEP2	nSLEEP=Low, Ta=25°C	-	-	14	μA
8.4.1.5	スリープモード への移行時間	tSLEEP	図 12, 図 15 参照	-	-	15	μs
8.4.1.6	スリープモード からの復帰時間	tWAKE	nSLEEP 端子 Low→High から VCP=VB+2.25V まで IVCP= -2mA, Rcp=10Ω, Ccp=0.1μF, Cvcp=2.2μF　図 12, 図 15 参照	-	-	0.5	ms

8.4.2. チャージポンプ

番号	項目	記号	測定条件	最小	標準	最大	単位
8.4.2.1	チャージポンプ 電圧	VCP1	VB=7V~18V, IVCP= -2mA GH1, GL1, GH2, GL2 は無負荷 Rcp=10Ω, Ccp=0.1μF Cvcp=2.2μF	VB+5.0	VB+11	VB+14	V
8.4.2.2	スイッチング 周波数	fCP		100	200	400	kHz
8.4.2.3	VCP 昇圧制御 電圧	VCPCL1d	図 5, 図 6 参照	VB+10	VB+11	VB+14	V
8.4.2.4	VCP 端子高電圧 検出電圧	VCPCL2d	図 5 参照	33	36	39	V
8.4.2.5	VCP 過剰昇圧 検出	VCPOVd	図 5, 図 6 参照	VB+15	VB+16	VB+18	V
8.4.2.6	VCP 過剰昇圧 検出, シャットダウン 時間	tVCPOVSHUT	無負荷 VCPOVd<VCP → V_GS=80% 図 6 参照	-	-	15	μs
8.4.2.7	チャージポンプ 放電電流	IVCPDIS	VB=18V, VCP=32V	10.0	70	200	mA

8.4.3. 制御入出力

番号	項目	記号	測定条件	最小	標準	最大	単位
8.4.3.1	ローレベル 入力電圧 nSLEEP, IN1, IN2, IN3, IN4	VIL		-	-	0.3×VCC	V
8.4.3.2	ハイレベル 入力電圧 nSLEEP, IN1, IN2, IN3, IN4	VIH		0.7×VCC	-	-	V
8.4.3.3	入力電圧 ヒステリシス nSLEEP, IN1, IN2, IN3, IN4	VIHYS		0.1	-	-	V
8.4.3.4	ローレベル 入力電流 nSLEEP, IN1, IN2, IN3, IN4	IIL	VCC=5.0V，VIN=0V	-5	-	5	μA
8.4.3.5	ハイレベル 入力電流 nSLEEP, IN1, IN2, IN3, IN4	IIH	VCC=5.0V，VIN=5.0V	25.0	50	100	μA
8.4.3.6	MODE 端子 設定電圧	MODE2set	ハーフブリッジモード	0.7×VCC	-	-	V
8.4.3.7		MODE1set	H ブリッジモード	-	-	0.3×VCC	V
8.4.3.8	MODE 端子 設定電流	IMODE2	MODE=0.7×VCC 表 4 参照	1.5	8	20	μA
8.4.3.9		IMODE1	MODE=0.3×VCC 表 4 参照	-20	-8	-1.5	μA
8.4.3.10	DIAG High-Z 出力電流	IDIAGOFF	DIAG1=DIAG2=VCC	-	-	10	μA
8.4.3.11	DIAG ローレベル 出力電圧	VDIAGLO	IDIAGLO=1mA	-	-	0.5	V

8.4.4. FET ゲートドライバー

番号	項目	記号	測定条件	最小	標準	最大	単位
8.4.4.1	ハイサイド GS 間 駆動電圧	VGSHSSRC1	VB=7~18V SH1=SH2=VB, 無負荷 GH1-SH1, GH2-SH2	VCP-VB -0.2	-	VCP-VB	V
8.4.4.2		VGSHSSNK1	SH1=SH2=VB, 無負荷 GH1-SH1, GH2-SH2	-	-	0.5	V
8.4.4.3	ローサイド GS 間 駆動電圧	VGSLSSRC1	VB=9~18V SL1=SL2=GND, 無負荷 GL1-SL1, GL2-SL2	8.9	11	14	V
8.4.4.4		VGSLSSRC2	VB=7~9V SL1=SL2=GND, 無負荷 GL1-SL1, GL2-SL2	VB-0.1	-	VB	V
8.4.4.5		VGSLSSNK1	SL1=SL2=GND, 無負荷 GL1-SL1, GL2-SL2	-	-	0.5	V
8.4.4.6	ハイサイド GS 間 駆動出力抵抗 ソース方向	Ronhssrc	SH1=SH2=VB, IGLOAD=-1mA GH1-SH1, GH2-SH2	250	500	1000	Ω
8.4.4.7	ハイサイド GS 間 駆動出力抵抗 シンク方向	Ronhssnk	SH1=SH2=VB, IGLOAD=1mA GH1-SH1, GH2-SH2	20	50	150	Ω
8.4.4.8	ローサイド GS 間 駆動出力抵抗 ソース方向	Ronlssrc	SL1=SL2=GND, IGLOAD= -1mA GL1-SL1, GL2-SL2	250	500	1000	Ω
8.4.4.9	ローサイド GS 間 駆動出力抵抗 シンク方向	Ronlssnk	SL1=SL2=GND, IGLOAD=1mA GL1-SL1, GL2-SL2	20	50	150	Ω
8.4.4.10	ハイサイド ターンオン時間	tGHSrpd	SH1=SH2=VB, Rl=10Ω, Cl=10nF 図 19 参照	1	8	20	μs
8.4.4.11	ハイサイド ターンオフ時間	tGHSfpd	SH1=SH2=VB, Rl=10Ω, Cl=10nF 図 19 参照	0.1	0.8	5	μs
8.4.4.12	ローサイド ターンオン時間	tGLSrpd	SL1=SL2=GND, Rl=10Ω, Cl=10nF 図 19 参照	1	8	20	μs
8.4.4.13	ローサイド ターンオフ時間	tGLSfpd	SL1=SL2=GND, Rl=10Ω, Cl=10nF 図 19 参照	0.1	0.8	5	μs
8.4.4.14	入力伝搬遅延時間	tGHSp1	SL1=SL2=GND, Rl=10Ω, Cl=10nF 図 12 参照	0.1	0.5	2	μs
8.4.4.15	入力伝搬遅延時間	tGLSp1	SL1=SL2=GND, Rl=10Ω, Cl=10nF 図 12 参照	0.1	0.5	2	μs
8.4.4.16	最小デッドタイム	tdead	SH1=SH2=VB, SL1=SL2=GND Rl=10Ω, Cl=10nF 図 19 参照	0.5	1.5	6	μs
8.4.4.17	デッドタイム判定用 電圧	VGSDEAD	図 19 参照	0.6	1.5	1.8	V
8.4.4.18	ハイサイド ホールドオフ抵抗	RHSOFF	ゲート・ソース間のシャント抵抗 SH1=SH2=GND	75	150	300	kΩ
8.4.4.19	ローサイド ホールドオフ抵抗	RLSOFF	ゲート・ソース間のシャント抵抗	75	150	300	kΩ

8.4.5. 状態検出

番号	項目	記号	測定条件	最小	標準	最大	単位
8.4.5.1	VCC 低電圧検出	VCCLOd	VCC 低下 検出	3.9	-	4.3	V
8.4.5.2		VCCLOr	VCC 上昇 解除	4.0	-	4.5	V
8.4.5.3	VCC 低電圧検出ヒステリシス	VCCLOHYS	VCCLOd < VCCLOr	0.1	-	-	V
8.4.5.4	VCC 低電圧検出 フィルター時間	tVCCLO	図 3 参照	3.0	4	12	μs
8.4.5.5	VCC 低電圧検出 シャットダウン 時間	tVCCLOSHUT	無負荷 VCC<VCCLOd → V_GS=80% 図 3 参照	3.0	10	25	μs
8.4.5.6	VB 低電圧検出	VBLOd	VB 低下 検出	5.1	-	5.7	V
8.4.5.7		VBLOr	VB 上昇 解除	5.2	-	6.0	V
8.4.5.8	VB 低電圧検出 ヒステリシス	VBLOHYS	VBLOd < VBLOr	0.1	-	-	V
8.4.5.9	VB 低電圧検出 シャットダウン 時間	tVBLOSHUT	無負荷 VB<VBLOd → V_GS=80% 図 4 参照	-	-	15	μs
8.4.5.10	V_GS ゲート駆動 異常検出マスク 時間	tVGSF	図 19 参照	134	268	536	μs
8.4.5.11	V_GS ゲート駆動 異常検出シャットダウン時間	tVGSSHUT	無負荷 異常状態 → V_GS=80% 図 19 参照	-	-	5	μs
8.4.5.12	V_DS 検出レベル設定	VDS4dset	V_DS 検出機能 設定エラー	0.65× VCC	-	VCC	V
8.4.5.13		VDS3dset	VDS3d 選択	0.47× VCC	-	0.61× VCC	V
8.4.5.14		VDS2dset	VDS2d 選択	0.29× VCC	-	0.43× VCC	V
8.4.5.15		VDS1dset	VDS1d 選択	0.11× VCC	-	0.25× VCC	V
8.4.5.16		VDS0dset	V_DS 検出機能 disable	0	-	0.07× VCC	V
8.4.5.17	VDS 端子 入力電流	IVDS		-38	-28	0.10	μA
8.4.5.18	V_DS 検出レベル設定 シャットダウン 時間	tVDS4dSHUT	無負荷 VDS 端子=VDS4dset → V_GS=80%	-	-	5	μs
8.4.5.19	V_DS 検出レベル	VDS3d		0.76	0.9	1.04	V
8.4.5.20		VDS2d		0.51	0.6	0.69	V
8.4.5.21		VDS1d		0.25	0.3	0.35	V
8.4.5.22	V_DS 検出マスク時間	tVDSF	図 21 参照	134	268	536	μs
8.4.5.23	V_DS 高電圧検出 シャットダウン 時間	tVDSSHUT	無負荷 VDSxd<V_DS → V_GS=80% 図 21 参照 x=1, 2, 3	3.0	10	25	μs
8.4.5.24	過熱シャットダウン 検出温度	TTSDd	検出 注 1	155	175	195	°C
8.4.5.25		TTSDr	解除 注 1	110	130	150	°C

番号	項目	記号	測定条件	最小	標準	最大	単位
8.4.5.26	過熱検出 シャットダウン 時間	tTTSDSHUT	無負荷 TTSDd<Tj → V_GS=80% 図 23 参照 注 1	-	-	15	μs

注 1: TSD 規格は設計上のものであり、出荷テストは行われていません。
過熱シャットダウン回路は、異常状態を一時的に回避するためのものです。
これは、IC の損傷を防ぐことを保証するものではありません。

8.5. 測定回路

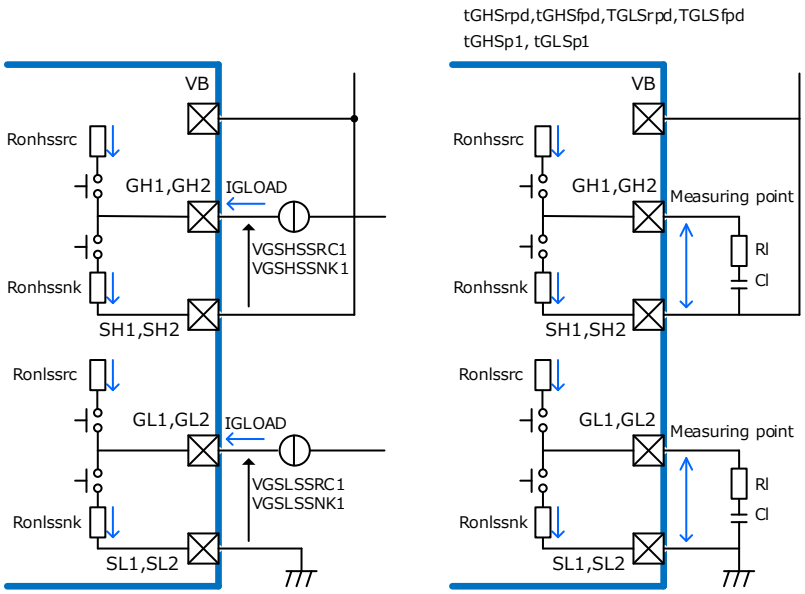


図 25　ゲート駆動部の測定

注: 上図は IC について機能・動作の説明をするため、一部省略、簡略化しています。

9. 応用回路例

以下に示す情報は本デバイスの実装ガイドとしてだけに使われるものであり、機能動作や性能を保証したものではありません。

9.1. 応用回路の例

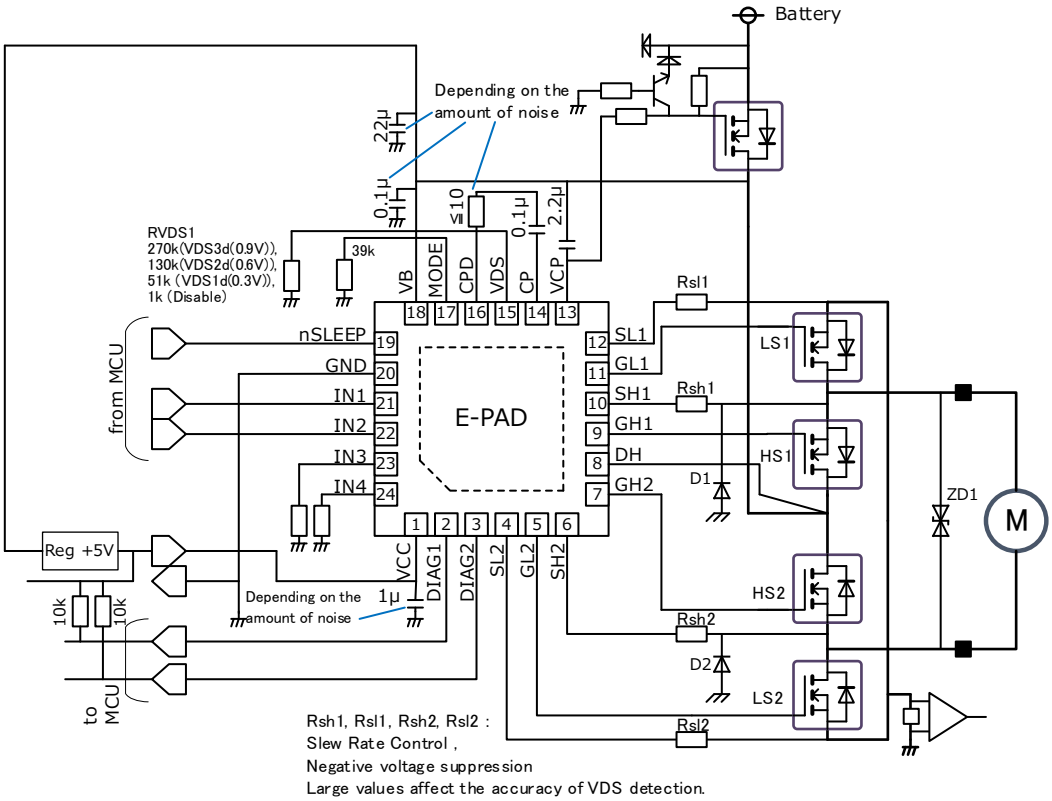


図 26　TB9103FTG　H ブリッジモード 応用回路例

注: 本図面はあくまでアプリケーションの一例であり、実使用時には十分な機能評価をして頂く必要があります。

注: 上図は、IC について、機能・動作の説明をするため、一部省略、簡略化しています。

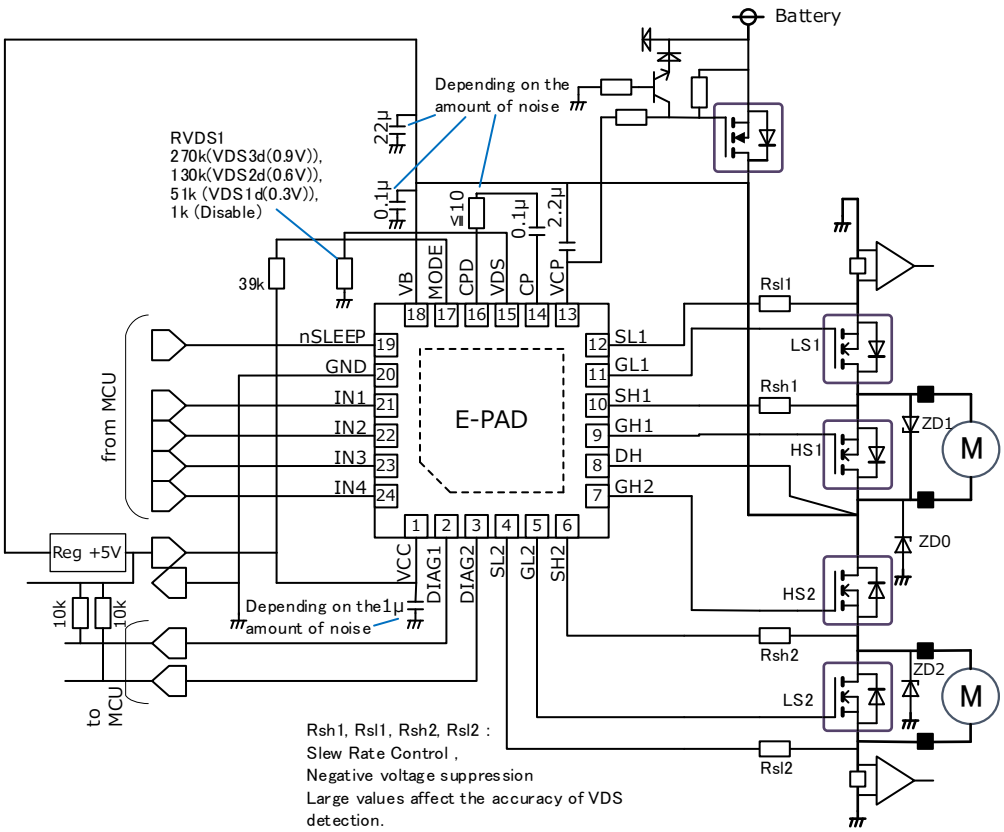


図 27　TB9103FTG　ハーフブリッジモード 応用回路例

注: 本図面はあくまでアプリケーションの一例であり、実使用時には十分な機能評価をして頂く必要があります。

注: 上図は、IC について、機能・動作の説明をするため、一部省略、簡略化しています。

10. 外形図

10.1. 外形寸法図

Package dimensions
P-VQFN24-0404-0.50-003 "Unit:mm"

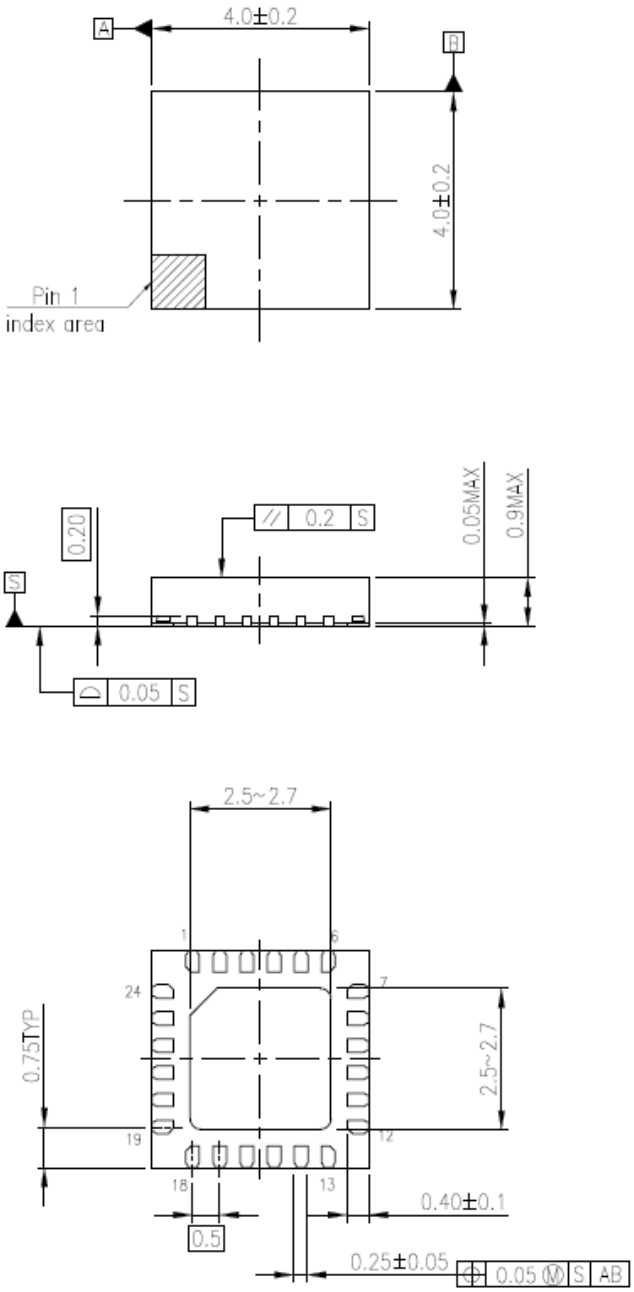


図 28　パッケージ外形図

質量: 0.04g (標準)

注意 本図は説明のための図です。 図に表記されていない寸法などについては弊社担当までお問い合わせください。

11. 使用上のご注意およびお願い事項

11.1. 使用上の注意事項

(1) 絶対最大定格は複数の定格の、どの１つの値も瞬時たりとも超えてはならない規格です。
複数の定格のいずれに対しても超えることができません。
絶対最大定格を超えると破壊、損傷および劣化の原因となり、破裂・燃焼による傷害を負うことがあります。

(2) 過電流の発生や IC の故障の場合に大電流が流れ続けないように、適切な電源ヒューズを使用してください。IC は絶対最大定格を超えた使い方、誤った配線、および配線や負荷から誘起される異常パルスノイズなどが原因で破壊することあり、この結果、IC に大電流が流れ続けることで、発煙・発火に至ることがあります。破壊における大電流の流出入を想定し、影響を最小限にするため、ヒューズの容量や溶断時間、挿入回路位置などの適切な設定が必要となります。

11.2. 使用上の留意点

(1) 過電流保護回路過電流制限回路
（通常: カレントリミッター回路）はどのような場合でも IC を保護するわけではありません。動作後は、速やかに過電流状態を解除するようお願いします。絶対最大定格を超えた場合など、ご使用方法や状況により、過電流制限回路が正常に動作しなかったり、動作する前に IC が破壊したりすることがあります。また、動作後、長時間過電流が流れ続けた場合、ご使用方法や状況によっては、IC が発熱などにより破壊することがあります。

(2) 熱遮断回路
熱遮断回路（通常: サーマルシャットダウン回路）は、どのような場合でも IC を保護するわけではありません。動作後は、速やかに発熱状態を解除するようお願いします。絶対最大定格を超えて使用した場合など、ご使用法や状況により、熱遮断回路が正常に動作しなかったり、動作する前に IC が破壊したりすることがあります。

© 2025
Toshiba Electronic Devices & Storage Corporation

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウエア、ソフトウエアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウエア・ソフトウエア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

東芝デバイス&ストレージ株式会社
https://toshiba.semicon-storage.com/jp/

© 2025
Toshiba Electronic Devices & Storage Corporation