

# TB9084FTG

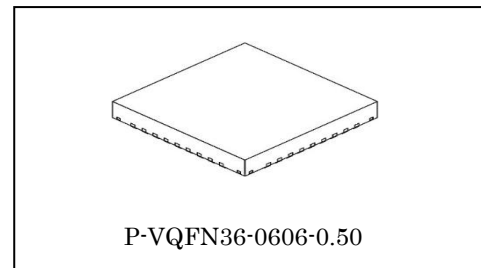
Automotive GATE-driver for Brushless motor

## 1. 概要

TB9084FTG は、車載向けブラシレスモーター用のゲートドライバーIC です。

チャージポンプ、モーター電流センス回路、発振回路、SPI 通信回路、複数の異常検出回路を搭載しております。

また SPI 通信により、異常検出条件、異常検出後の保護動作を設定することができます。



P-VQFN36-0606-0.50

質量: 95 mg(標準)

## 2. 用途

モータージェネレーター、電動オイルポンプ。パワースライドドア、パワーテールゲートなどのボデー系全般。

## 3. 特長

- 12V バッテリーシステム、およびジャンプスタートの環境下で使用(動作電圧範囲 :  $V_B = 5.7\sim 28V$ )
- 5V 系および 3.3V 系の IO ポートを持つ MCU が本製品を制御(動作電圧範囲 :  $V_{CC} = 3.0\sim 5.5V$ )
- バッテリー上がりを抑えるための  $V_{CC}=0V$  における低リセット電流
- 機電一体型を考慮した温度環境で使用可能
- チャージポンプ回路内蔵(VCP)
- 三相 FET 駆動用ゲートドライバー(PWM 制御  $\sim 20kHz$ )内蔵
- 逆接保護 FET 駆動用ゲートドライバー(ハイサイドスイッチ)内蔵(RPPO)
- モーター電流センス回路内蔵
- 発振回路内蔵 4MHz(標準)
- 各種異常検出回路内蔵
  - $V_B, V_{CC}, RPPO$  低電圧 /  $V_{CC}, V_{CP}$  高電圧 / 過熱 / 三相 FET の VDS 検出
  - /チャージポンプ駆動端子(CP1SW、CP2SW)天地絡検出 / SPI 通信異常検出
- ゲートドライバー緊急停止用入力回路内蔵(ALRAM)
- SPI 通信回路内蔵
- 周囲温度( $T_a$ ) =  $-40\sim 150^\circ C$ , ジャンクション温度( $T_j$ ) =  $-40\sim 175^\circ C$
- パッケージ: P-VQFN36-0606-0.50(Wettable flank, 0.5mm ピッチ)
- AEC-Q100(Rev-J), Q006(Rev-A) :グレード 0

製品量産開始時期  
2025-08

## 【ユーザー注意事項】

全てのブロック図内の機能ブロック/接続配線などは機能説明のため、一部省略または簡略化しています。

使用環境を想定した評価および確認を、ユニット基板上で十分に実施した上で、周辺回路を決定してください。

包装箱ラベルに” [[G]]/RoHS COMPATIBLE” 、” [[G]]/RoHS [[Chemical symbol(s) of controlled substance(s)” 、” RoHS

COMPATIBLE” または” RoHS COMPATIBLE, [[Chemical symbol(s) of controlled substance(s)]]>MCV” と記載があれば、

本製品はその記載の意味で欧州 RoHS 指令(2011 / 65 / EU)対応品です。

## 4. ブロック図

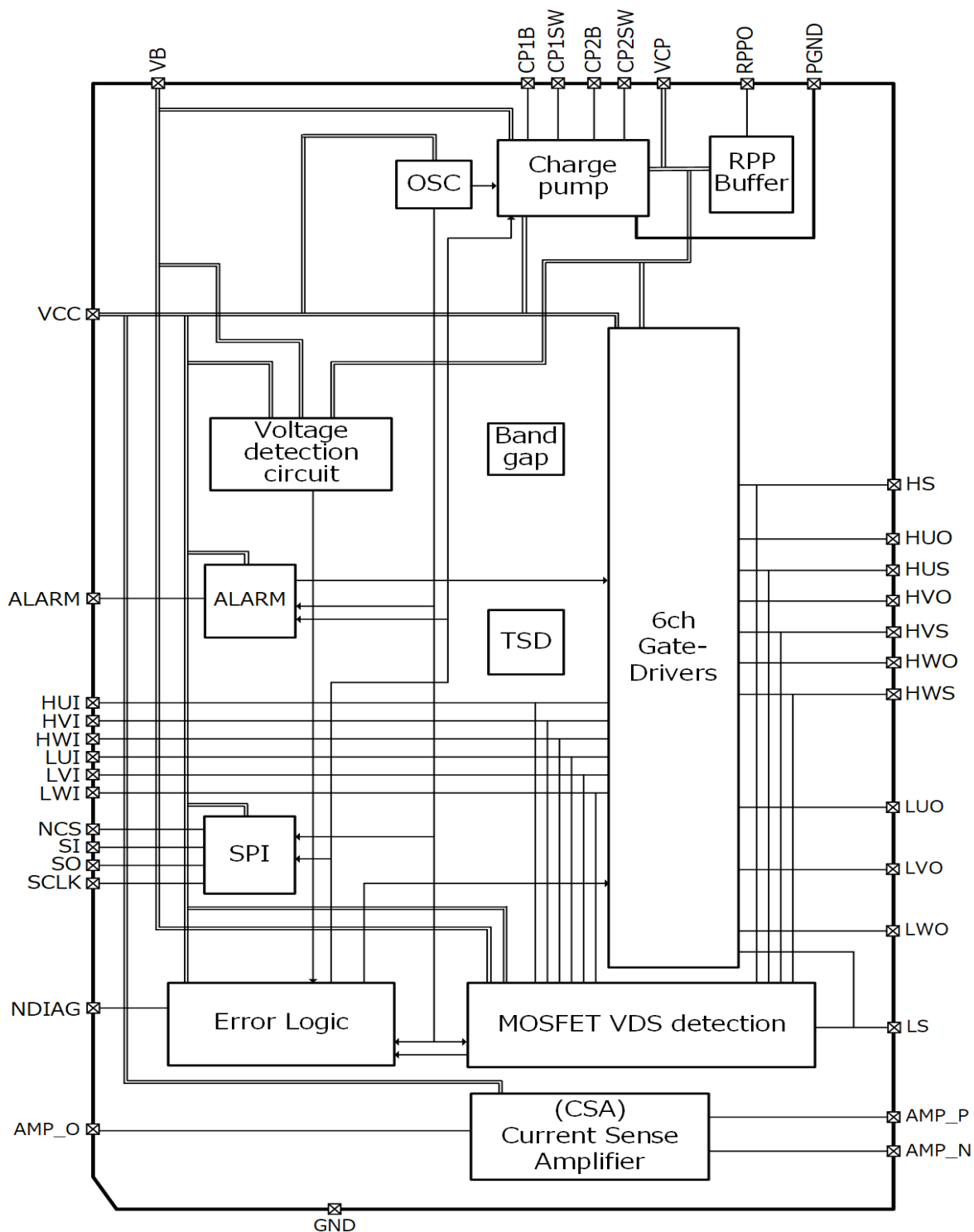


図 4.1 ブロック図

## 5. 端子配置图 上図面

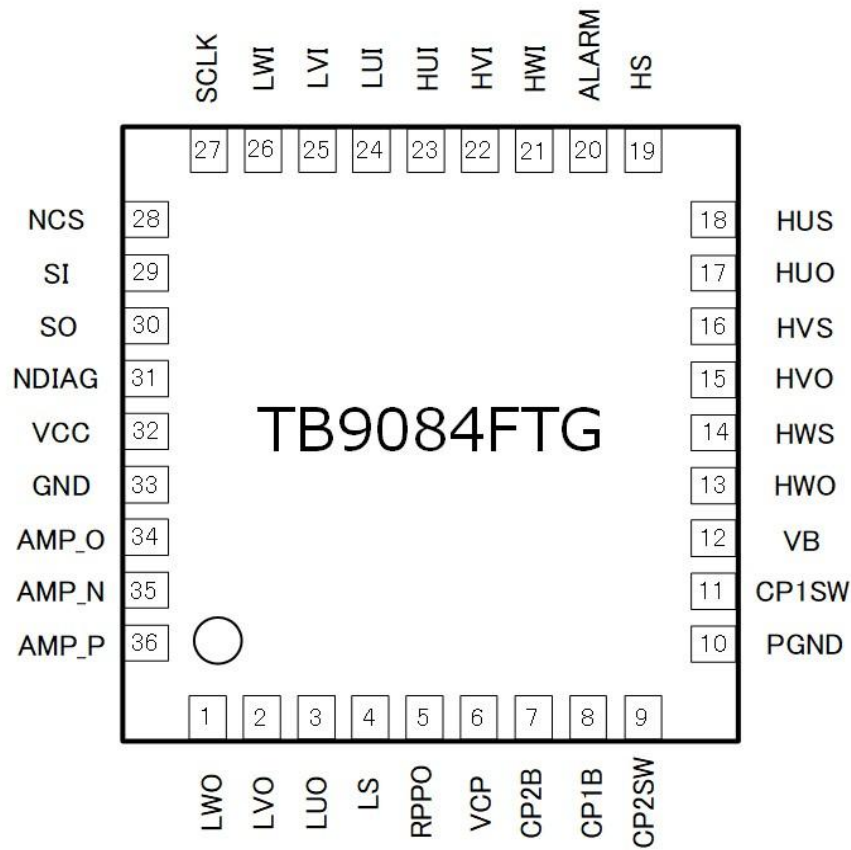


图 5.1 端子配置图

## 6. 端子説明

表 6.1 端子説明

No.	端子名称	入出力	機能	Pull-up/down 抵抗
1	LWO	OUT	ゲートドライバー出力(W相ローサイド)	Pull-down to LS
2	LVO	OUT	ゲートドライバー出力(V相ローサイド)	Pull-down to LS
3	LUO	OUT	ゲートドライバー出力(U相ローサイド)	Pull-down to LS
4	LS	IN	ローサイドゲートドライバーの基準入力	-
5	RPPO	OUT	逆接保護 FET 駆動用出力	-
6	VCP	電源	チャージポンプ電圧	Pull-down to VB
7	CP2B	I/O	チャージポンプ 2 段目バイアス電圧	-
8	CP1B	I/O	チャージポンプ 1 段目バイアス電圧	-
9	CP2SW	OUT	チャージポンプ 2 段目駆動出力	-
10	PGND	GND	パワーグラウンド	-
11	CP1SW	OUT	チャージポンプ 1 段目駆動出力	-
12	VB	電源	外部バッテリー電源	-
13	HWO	OUT	ゲートドライバー出力(W相ハイサイド)	Pull-down to HWS
14	HWS	IN	ゲートドライバー基準入力(W相ハイサイドソース)	-
15	HVO	OUT	ゲートドライバー出力(V相ハイサイド)	Pull-down to HVS
16	HVS	IN	ゲートドライバー基準入力(V相ハイサイドソース)	-
17	HUO	OUT	ゲートドライバー出力(U相ハイサイド)	Pull-down to HUS
18	HUS	IN	ゲートドライバー基準入力(U相ハイサイドソース)	-
19	HS	IN	三相 FET の VDS 検出入力(ハイサイド)	-
20	ALARM	IN	ゲートドライバー緊急停止入力	Pull-up to VCC
21	HWI	IN	ゲートドライバー入力(W相ハイサイド)	Pull-down to GND
22	HVI	IN	ゲートドライバー入力(V相ハイサイド)	Pull-down to GND
23	HUI	IN	ゲートドライバー入力(U相ハイサイド)	Pull-down to GND
24	LUI	IN	6 入力モード(LWI のパワーオン時の極性:"L") ゲートドライバー入力(U相ローサイド)	Pull-down to GND
25	LVI	IN	6 入力モード(LWI のパワーオン時の極性:"L") ゲートドライバー入力(V相ローサイド)	Pull-down to GND
26	LWI	IN	6 入力モード(LWI のパワーオン時の極性:"L") ゲートドライバー入力(W相ローサイド)	Pull-down to GND
27	SCLK	IN	SPI クロック入力	Pull-down to GND
28	NCS	IN	SPI チップセレクト	Pull-up to VCC
29	SI	IN	SPI 入力	Pull-down to GND
30	SO	OUT	SPI 出力	-
31	NDIAG	OUT	エラー出力	-
32	VCC	電源	外部 5V/3.3V 電源	-
33	GND	GND	アナログ、デジタルグラウンド	-
34	AMP_O	OUT	電流センスアンプ出力	-
35	AMP_N	IN	電流センスアンプ(-)入力	-
36	AMP_P	IN	電流センスアンプ(+ )入力	-

## 7. 機能動作説明

### 7.1. チャージポンプ回路

三相 FET を駆動するゲートドライバー用のチャージポンプ回路を内蔵しています。スイッチング動作を停止しない限り駆動周波数は、**250kHz(標準)**です。この駆動周波数で **VB** 電圧をポンプアップします。チャージポンプ回路は、外付けにセラミックコンデンサーを必要とします。

チャージポンプ回路のポンプアップ動作は、以下条件で動作を停止します。

三相 FET の  $V_{gs}$  定格( $\pm 20V$ )を超えない様、 $V_{cp} > V_b + 12V$ (標準) となった場合、内部回路の制御によりスイッチング動作を停止し、 $V_{cp} \leq V_b + 12V$ (標準) になると動作を再開します。

$V_b$  電圧が低く  $V_{cp}$  が  $V_b + 12V$ (標準)に達しない場合、 $V_{cp}$  にはチャージポンプの回路構成およびその能力に応じた特性が出力されます。

また、 $V_{cp}$  耐圧を超えない様、 $V_{cp} > 56V$ (標準)となった場合、SPI 通信によるレジスター設定に応じた検出動作をします。 $V_{cp} \leq 56V$ (標準)になるとレジスター設定に応じた検出解除動作をします。詳細は、7.6.5 章を参照。

異常検出後にチャージポンプ回路がオフになると、**VCP** の電圧は **VB** 電圧に移行します。

注: 異常検出しチャージポンプ回路がオフした場合、異常解除後一定期間経過すると、モーター動作有効となります。詳細は、7.6 章に示します。

本製品のリセットが解除されるとチャージポンプ動作を開始し電圧が十分になった後、ゲートドライバーの動作が可能になります。この順序はゲートドライバーの誤動作を防止するためのものです。詳細は、図 7.6.1.2 に示します。

CP1SW 端子と CP2SW 端子は隣接ショートや天地絡が生じた場合、異常検出回路でその内部素子が保護されます。詳細は 7.6.8 章に示します。

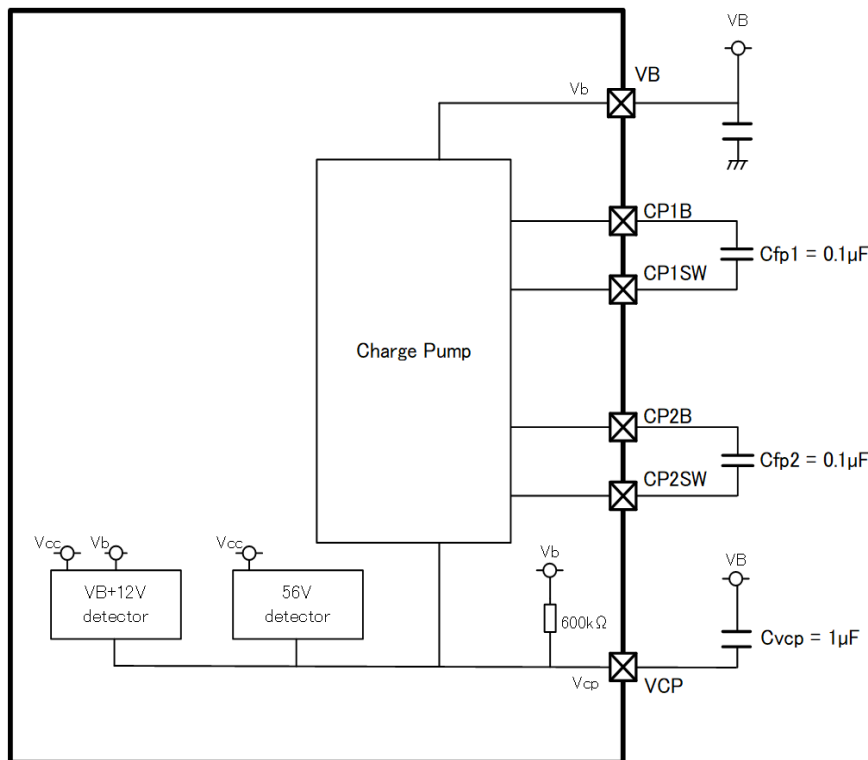


図 7.1.1 チャージポンプ回路ブロック図

## 7.2. ゲートドライバー回路

本製品は、外部 FET(7 個)の駆動用ゲートドライバーとして、三相 FET 駆動用ゲートドライバー(6 個)と、逆接保護 FET 駆動用ゲートドライバー(1 個)を有します。

### 7.2.1. 三相 FET 駆動用ゲートドライバー

三相 FET 駆動用ゲートドライバー回路は、モータードライブ用のハイサイド駆動、ローサイド駆動用を有します。

ハイサイド駆動用、ローサイド駆動用のゲートドライバー回路はそれぞれ入力端子を持ちます。この入力端子はオープン故障が発生するとゲートドライバーをオフします。

また、当駆動回路は出力端子を持ち、三相 FET を駆動します。出力段の構成はスイッチ型であるため、三相 FET に必要とされる動作スピードに応じ外付けのシリーズ抵抗が推奨されます。

ハイサイドの FET を駆動するゲートドライバーについて、VB 電圧が十分高いときは H\*S 基準+10V でクランプされた電圧が出力されます。VB 電圧が低いときは FET のゲートに十分な V<sub>cp</sub> 電圧を与えられるよう GND 基準のチャージポンプ電圧が内部スイッチを介して出力され、その出力電圧は FET の V<sub>gs</sub> 耐圧を超えない 20V 以下です。一方、ローサイドの FET を駆動するゲートドライバーは、V<sub>b</sub> 動作電圧範囲で駆動に十分な V<sub>cp</sub> 電圧が与えられているため、常に LS 基準+11V でクランプされた電圧が出力されます。この出力端子は 2 章で示されたアプリケーションのモーターを駆動する FET のゲートを制御するために適した電流能力を有し、入力端子から出力端子までの遅延時間、および相毎の相対的な遅延時間も最適化されています。また、モーターの相入力が Hi-Z の状態で安定的に FET を ON/OFF させるためにプルダウン抵抗を有します。

なお、三相 FET がオフの時に本製品の H\*S 端子から流れ出る電流によるモーター動作への影響は軽微です。

H\*S 端子、および LS 端子は、VB を超えるノイズおよび GND を下回るノイズに対して十分なロバスト性を持ちます。

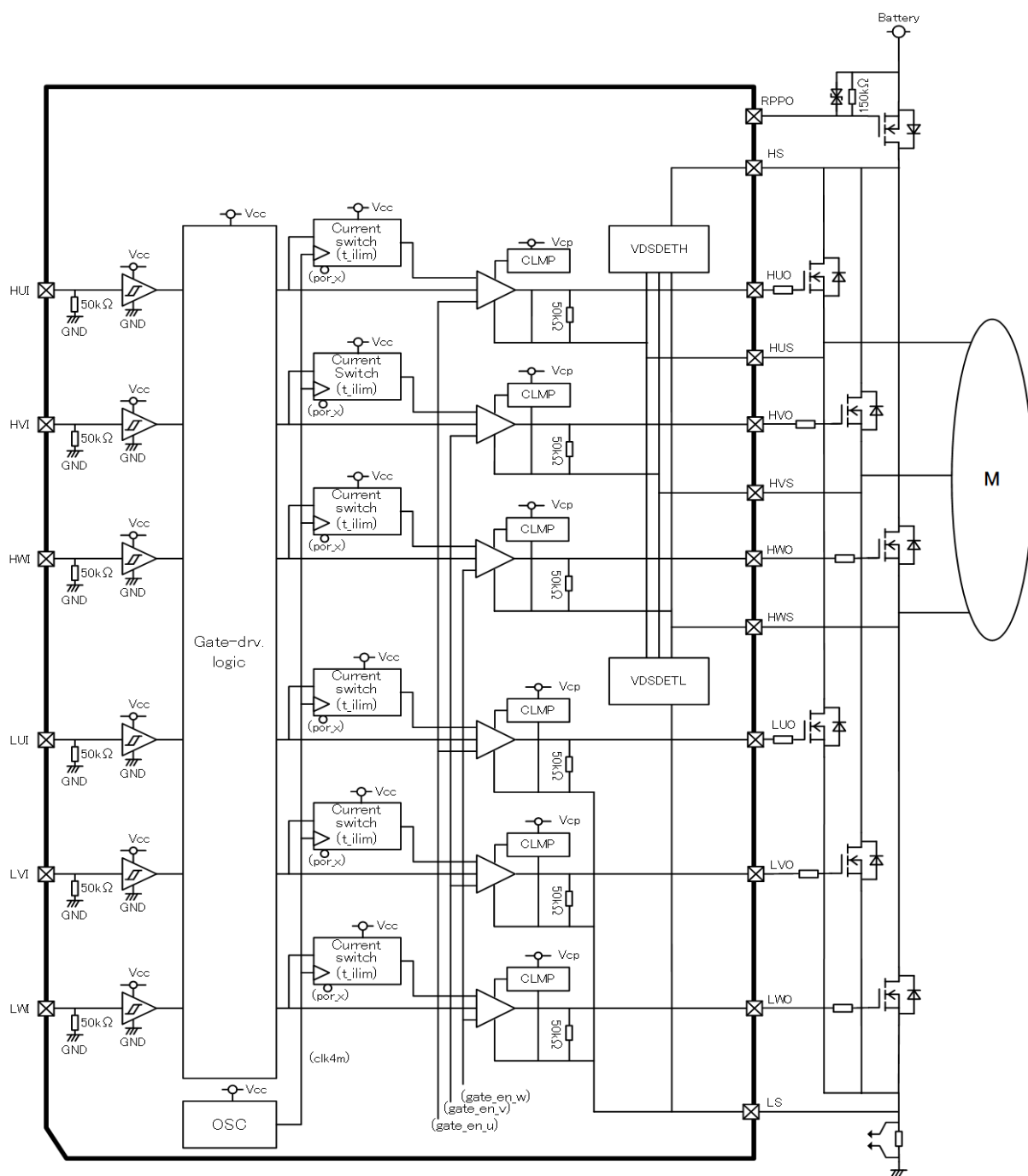


図 7.2.1.1 ゲートドライバー回路ブロック

<ハイサイド駆動回路、ローサイド駆動回路>

ハイサイド駆動回路はハイサイドの三相 FET を駆動する回路です。ローサイド駆動回路はローサイドの三相 FET を駆動する回路です。ハイサイド、ローサイド各 3ch 内蔵しています。入力信号 (HUI/HVI/HWI, LUI/LVI/LWI) は制御ブロックで変換され、出力信号 (HUO/HVO/HWO, LUO/LVO/LWO) を出力します。

電流制限機能

出力端子の天絡、地絡故障から本製品を保護するためハイサイド駆動およびローサイド駆動回路の Turn on/Turn off 時間後の電流は、[CONFIG4](#) レジスタの t\_ilm (“000” ~ “111”) 設定時間後に電流制限 (Io\_lmth/ Io\_lm1) に切り替わります。

禁止入力検出

注: \* = u,v,w 相 or U,V,W 相

入力信号によって、同相 (各 U,V,W 相) のハイサイドとローサイドの FET が共にオンして貫通電流が発生することを防止する機能です。真理値表を表 7.2.1.1 入出力真理値表 (ハイサイド、ローサイド駆動回路) に示します。ゲートドライバーが有効な期間 (gate\_en\_\* = “L” or “H”) に関わらず H\*I=L\*I= “H” となった場合の動作は、[CONFIG4](#) の pl\_op レジスタにより選択可能です。

pl\*\_dis ビットが “L” の場合は入力禁止モードが有効であり、出力が H\*O=L\*O= “L” として出力されます。

この時 pl\_op によってステータスレジスタを “H”、NDIAG= “L” に設定するかどうかを選択できます。

pl\_op が “H” に設定されている場合は err\_pl\_\* に “H” をセットします。pl\_op= “L” の場合は err\_pl\_\* に “H” をセットしません。NDIAG 端子はステータスレジスタに従います。三相 FET 駆動用 (6ch) ゲートドライバー回路オフは、モーターを駆動する FET がオフとなるようにゲートドライバーを “L” に駆動します。検出した相の三相 FET 駆動用 (2ch) ゲートドライバー回路オフとは検出した相の H/L 部 FET がオフとなるようにゲートドライバーを “L” に駆動します。

また pl\*\_dis= “H” に設定された場合は、禁止入力検出自体が無効となり、出力を H\*O=L\*O= “H” とすることができます。

真理値表内の内部信号 (gate\_en\_\*) の詳細は 7.7 章を参照してください。

**表 7.2.1.1 入出力真理値表 (ハイサイド、ローサイド駆動回路)**

FET 駆動回路 (“\*” は u,v,w 相、または U,V,W 相を意味します)

内部信号	入力		レジスタ設定		出力		status	備考		
(gate_en_*)	H*I	L*I	pl*_dis	pl_op	H*O	L*O	err_pl_*			
“L”	“L”	X	X	X	“L”	“L”	-	非動作		
	X	“L”	X	X			-			
	“H”	“H”	“0”	“0”			-	禁止入力モード、ステータスなし		
			“0”	“1”			“set”	禁止入力モード、ステータスあり		
		“1”	X	-	禁止入力モードを無効(*相)					
“H”	“L”	“L”	X	X	“L”	“L”	-	動作		
	“L”	“H”	X	X			-			
	“H”	“L”	X	X			-			
	“H”	“H”	“0”	“0”			“L”	“L”	-	禁止入力モード、ステータスなし
			“0”	“1”			“L”	“L”	“set”	禁止入力モード、ステータスあり
			“1”	X			“H”	“H”	-	禁止入力モードを無効(*相)

注: X: Don't care

注: NDIAG 端子はステータスに連動します。ステータスのクリアは err\_pl\*\_cl ビットを設定することで行います。

## 7.2.2. 逆接保護 FET 用ゲートドライバー

逆接保護 FET 用ゲートドライバーは、バッテリーと三相 FET の間に配置される FET を駆動する回路です。正常バッテリー接続時に逆接保護 FET がオフとなる場合でも、FET のボディーダイオードを通してバッテリーから三相 FET へ電流が供給されます。バッテリーの逆接時に、RPPO 端子より FET をオフすることで、バッテリーへの逆流を遮断します。また、500Ω の出力シリーズ抵抗と、逆接続時に低電圧検出回路のグラウンドから逆流する電流を遮断するダイオードを内蔵しています。リセット状態で、RPPO 端子から RPPO\_UV を経由して、GND に流れる電流を遮断するスイッチを設けています。

逆接保護 FET 用駆動回路(Gate-Drv.RPP)  
 逆接保護 FET 用駆動回路はハイサイドスイッチで構成されます。このスイッチは Disable 信号 (gate\_dis\_rpp)を受信しない限り常に ON です。

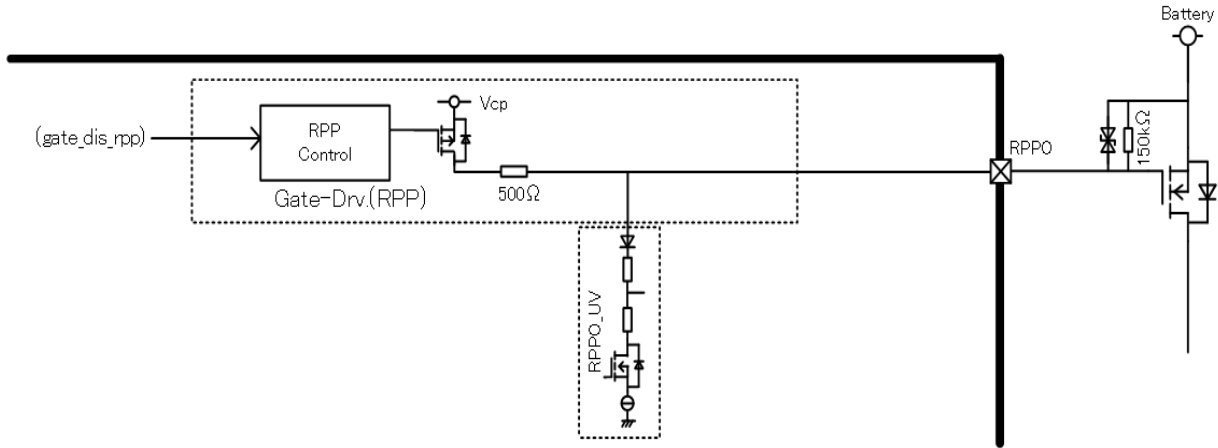


図 7.2.2.1 逆接保護 FET 用ゲートドライバー回路

## 7.3. 電流センス回路

### 7.3.1. 構成

モーター電流センス用アンプとリファレンス電圧生成用アンプを内蔵しています。

リファレンス電圧生成アンプは、Vcc 電圧を元にリファレンス電圧を生成します。

モーター電流センス用アンプは、モーター駆動部の GND 側に接続されているシャント抵抗を流れる電流により生じる差電圧を増幅します。この増幅電圧は、リファレンス電圧から Vcc 方向に出力されます。なお、センス可能なモーター電流は電源から GND の方向のみです。

ゲインは SPI 通信で設定可能です。増幅電圧は、AMP\_O から出力され、ノイズ除去のため AMP\_O と MCU の間にローパスフィルターを挿入することが推奨されます。モーターに電流が流れていない状態で、キャリブレーションを実行し個体でのオフセットバラつきを補正することで、出力電圧精度が向上します。なお、この精度向上が期待できる入力電圧の範囲は、通常時のシャント抵抗の電圧動作点を考慮したものです。入力端子に抵抗を接続する場合は、新たなゲイン誤差要因になります。

また、VCC 電源のノイズおよびシャント抵抗周辺のノイズに対し、規定の耐性を有します。

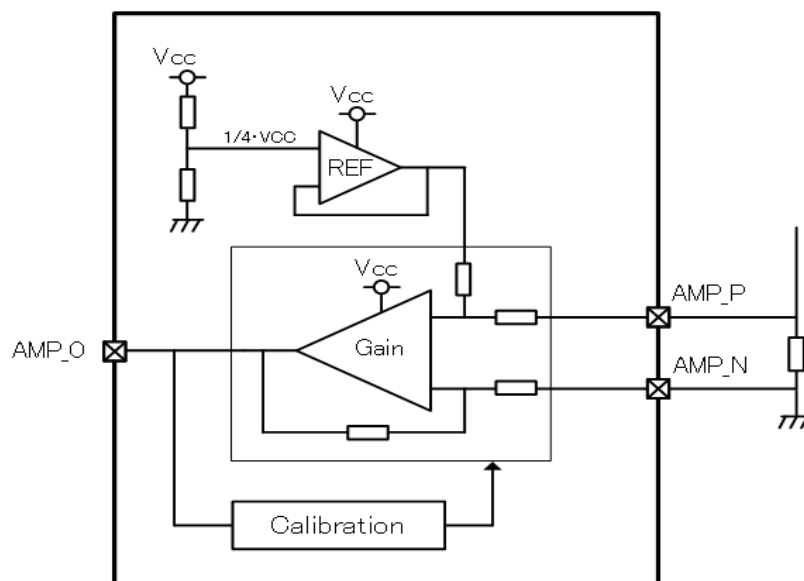


図 7.3.1.1 モーター電流センス回路ブロック図

## 7.3.2. オフセットキャリブレーション

オフセットキャリブレーションの実行は入力差電圧が同電位(0V)のときに行ってください。入力差電圧がある場合は正しくキャリブレーションが実行されません。

**CONFIG5** レジスター:cal\_amp=" 1" を設定することでキャリブレーションがスタートし cal\_en=" 1" となります。キャリブレーション中は gain\_amp = " 101" (30 倍)に固定されます。キャリブレーション中は CAL\_DAT を変化させながらアンプ出力を REF と比較することにより、オフセット補正値を探索します。キャリブレーションが完了すると cal\_en=" 0" となり cal\_pass にセットします。cal\_pass=" 1" となった場合は結果がそのまま保持され調整値として使用されます。cal\_pass=" 0" となった場合は調整結果が破棄されリセット時のデフォルト値に戻ります。cal\_pass は次のキャリブレーションが開始されたときに自動的に " 0" にクリアされます。また、**STAT1 CLR** レジスター:cal\_pass\_clr ビットに " 1" をライトすることにより cal\_pass を任意のタイミングでクリアすることができますが、CAL\_DAT のデータは保持します。cal\_en が " 1" の期間はキャリブレーション実行中であるため、この期間で cal\_amp を設定しても破棄されます。

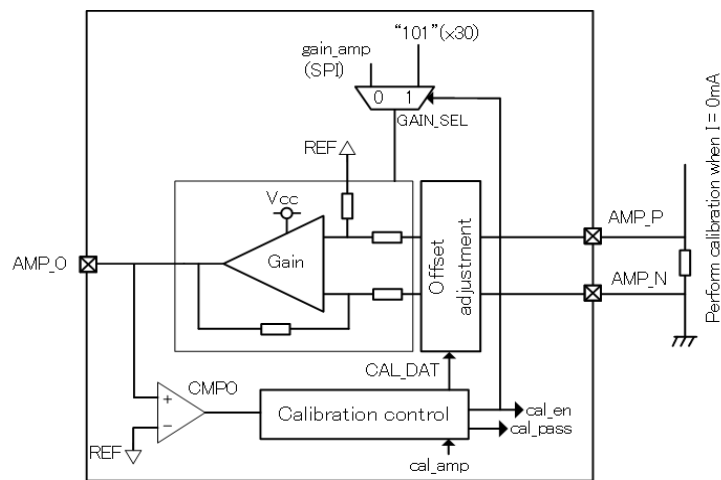


図 7.3.2.1 オフセットキャリブレーションブロック図

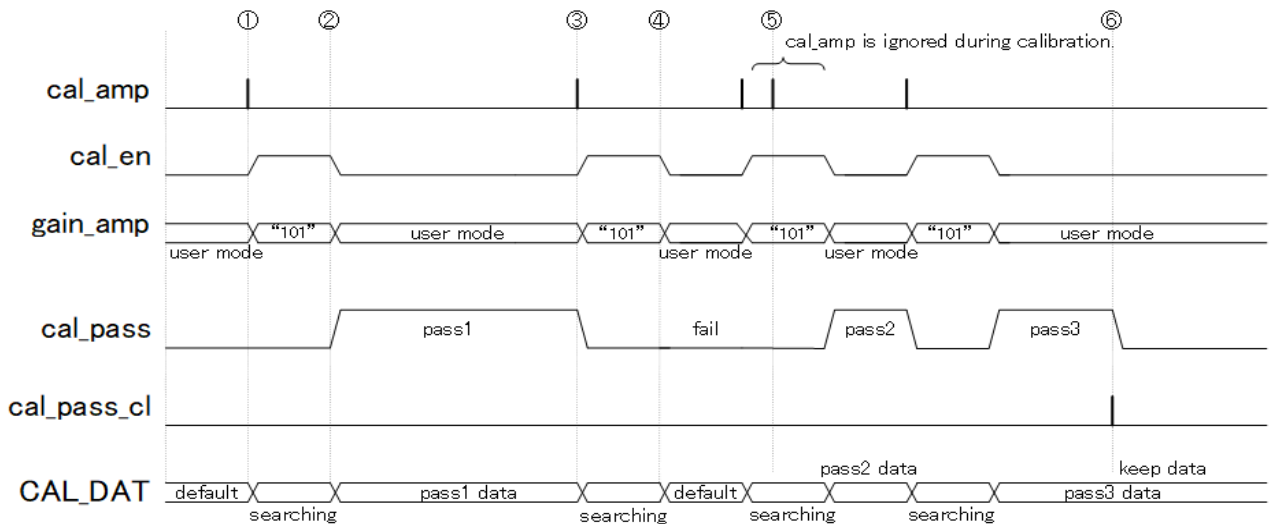


図 7.3.2.2 オフセットキャリブレーションの実行

注: 本製品には AMP\_P, AMP\_N 端子を自動で GND に接続する機能はありませんのでご注意ください。

注: 本製品では、1 シャント構成を採用しているため、3 シャント構成に対してシャント抵抗へ流れるモーター電流増加分を考慮して部品選定してください。

## 7.4. 発振回路

発振回路は CR 内蔵構成となっており、発振周波数は 4MHz(標準)です。

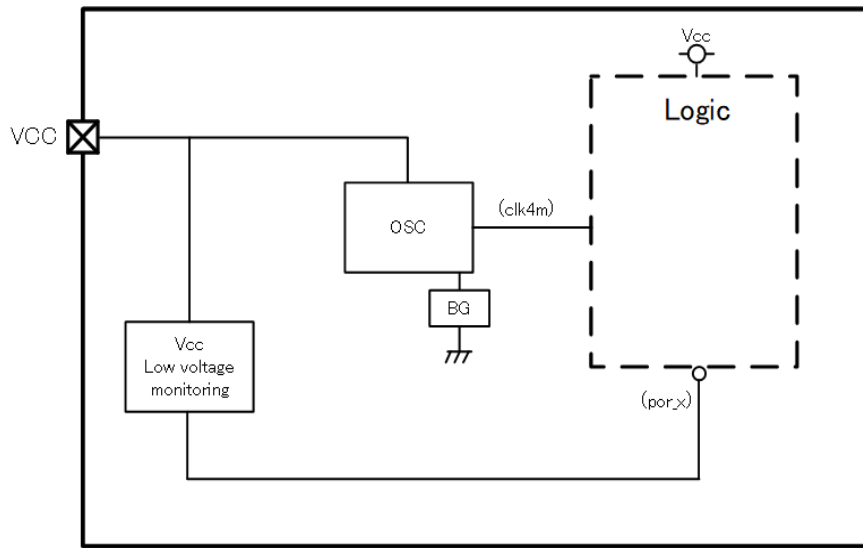


図 7.4.1 発振回路ブロック図

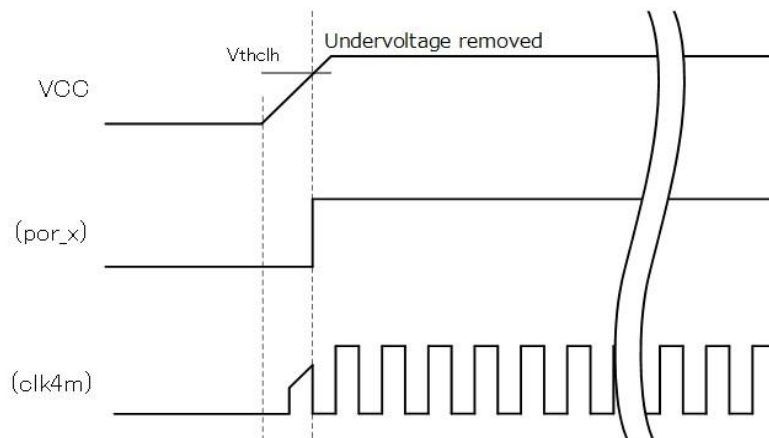


図 7.4.2 発振回路タイミングチャート

## 7.5. 異常フラグ出力機能

### 7.5.1. NDIAG 端子出力

本製品が異常を検出していないとき、NDIAG 端子は” H” を出力します。

本製品が異常を検出したときは、SPI 通信の設定に応じて NDIAG 端子は” L” または” H” を出力します。

表 7.5.2.1 は本製品が内蔵する異常検出機能の一覧です。NDIAG の列に” H” と記載のある動作モードでは、異常を検出しても NDIAG 端子は” L” になりません。NDIAG の列に” L” と記載のある動作モードでは、NDIAG 端子は SPI 通信のステータスレジスターに従います(VCC 低電圧検出以外)。ステータスレジスターに” 1” が保持されている期間は NDIAG=” L” を出力し、全てのステータスレジスターが全て” 0” にクリアされると NDIAG=” H” に復帰します。ステータスレジスターが” 1” で保持されない動作モードでは、ステータスレジスターをクリアしなくても異常検出が解消されると NDIAG=” H” に復帰します。

VCC 電圧が低電圧検出よりも低下したとき、NDIAG 端子の出力が” L” から” H” に反転することによる MCU の誤検知を防止するため、NDIAG 端子は規定された VCC 電圧まで” L” を保持します。

### 7.5.2. SPI 通信内ステータスレジスター

表 7.5.2.1 の Status Reg.の列に” —” が記載されている設定では、異常を検出したときでもステータスレジスターは” 1” になりません。

Status Reg.の列にステータスビットが記載されている設定では、異常を検出していないときは” 0”、異常を検出したときは” 1” がセットされます。

《ステータスクリア》

表 7.5.2.1 の Status Clear.の列に” —” が記載されている設定では、異常検出が解消されるとステータスビットがクリアされます。

Status Clear の列にステータスクリアビットが記載されている設定では、異常検出によってステータスレジスターに” 1” が入ると、そのビットは異常解除後も保持されます(NDIAG も L を保持)。保持されたビットをクリアする場合は、該当するステータスクリアビットに” 1” を書き込みます(NDIAG は H に復帰)。

異常検出回路が異常を検出している間は、保持されたビットをクリアすることはできません。

検出時動作の列に(保持)と記載のある設定では、その記載された動作が保持されます。異常検出が解除された後、通常動作へ復帰させるためには、該当するステータスレジスターをクリアしてください。検出時動作に(保持)と記載の無い動作モードでは、ステータスレジスターをクリアしなくても異常検出が解消されると通常の動作に復帰します。

**表 7.5.2.1 異常検出回路一覧**

異常検出回路	設定 Reg. [注 1]	設定 bit	検出時動作 <sup>[注 2]</sup> <sup>[注 3]</sup>	初期値	Status Reg.	Status Clear	NDIAG
VCC 低電圧	無	—	三相 FET 駆動用ゲートドライバーが FET オフに駆動、チャージポンプオフ	—	—	—	“L”
VB 低電圧	uvb_op	“0”	三相 FET 駆動用ゲートドライバーが FET オフに駆動	—	uvb	uvb_cl	“L”
		“1”	三相 FET 駆動用ゲートドライバーが FET オフに駆動、チャージポンプオフ	○		—	
VCP 高電圧	ovcp_op	“000”	検出無効	○	ovcp	ovcp_cl	“L”
		“001”	動作継続	—			
		“010”	三相 FET 駆動用ゲートドライバーが FET オフに駆動	—			
		“011”	三相 FET 駆動用ゲートドライバーが FET オフに駆動 (保持)	—			
		“100”	三相 FET 駆動用ゲートドライバーが FET オフに駆動、チャージポンプオフ	—			
		“101”	三相 FET 駆動用ゲートドライバーが FET オフに駆動 (保持)、チャージポンプオフ (保持)	—			
VCC 高電圧	ovcc_op	“000”	検出無効	—	ovcc	ovcc_cl	“L”
		“001”	動作継続	—			
		“010”	三相 FET 駆動用ゲートドライバーが FET オフに駆動	○			
		“011”	三相 FET 駆動用ゲートドライバーが FET オフに駆動 (保持)	—			
		“100”	三相 FET 駆動用ゲートドライバーが FET オフに駆動、チャージポンプオフ	—			
		“101”	三相 FET 駆動用ゲートドライバーが FET オフに駆動 (保持)、チャージポンプオフ (保持)	—			
RPP 低電圧	uvrpp_op	“000”	検出無効	—	uvrpp	uvrpp_cl	“L”
		“001”	動作継続	○			
		“010”	三相 FET 駆動用ゲートドライバーが FET オフに駆動、逆接保護 FET 駆動用ゲートドライバーオフ	—			
		“011”	三相 FET 駆動用ゲートドライバーが FET オフに駆動	—			
		“100”	三相 FET 駆動用ゲートドライバーが FET オフに駆動 (保持)	—			
過熱	tsd_op	“000”	検出無効	—	tsd	tsd_cl	“L”
		“001”	動作継続	—			
		“010”	三相 FET 駆動用ゲートドライバーが FET オフに駆動	○			
		“011”	三相 FET 駆動用ゲートドライバーが FET オフに駆動 (保持)	—			
		“100”	三相 FET 駆動用ゲートドライバーが FET オフに駆動、チャージポンプオフ	—			
		“101”	三相 FET 駆動用ゲートドライバーが FET オフに駆動 (保持)、チャージポンプオフ (保持)	—			
三相 FET の Vds (ハイサイド)	vds_op	“000”	検出無効	—	vds_uh vds_vh vds_wh	vds_uh_cl vds_vh_cl vds_wh_cl	“L”
		“001”	動作継続	—			
		“010”	検出した相の 1 相 FET 駆動用ゲートドライバーが FET オフに駆動	—			
		“011”	検出した相の 1 相 FET 駆動用ゲートドライバーが FET オフに駆動 (保持)	—			
		“100”	三相 FET 駆動用ゲートドライバーが FET オフに駆動	—			
		“101”	三相 FET 駆動用ゲートドライバーが FET オフに駆動 (保持)	○			
		“110”	三相 FET 駆動用ゲートドライバーが FET オフに駆動、チャージポンプオフ	—			
		“111”	三相 FET 駆動用ゲートドライバーが FET オフに駆動 (保持)、チャージポンプオフ (保持)	—			

三相 FET の Vds (ローサイド)	vds_l_op	"000"	検出無効	—	—	—	"H"
		"001"	動作継続	—	—	—	—
		"010"	検出した相の 1 相 FET 駆動用ゲートドライバーが FET オフに駆動	—	—	—	—
		"011"	検出した相の 1 相 FET 駆動用ゲートドライバーが FET オフに駆動(保持)	—	—	—	—
		"100"	三相 FET 駆動用ゲートドライバーが FET オフに駆動	—	vds_ul vds_vl vds_wl	vds_ul_cl vds_vl_cl vds_wl_cl	"L"
		"101"	三相 FET 駆動用ゲートドライバーが FET オフに駆動(保持)	○	—	—	—
		"110"	三相 FET 駆動用ゲートドライバーが FET オフに駆動、チャージポンプオフ	—	—	—	—
		"111"	三相 FET 駆動用ゲートドライバーが FET オフに駆動(保持)、チャージポンプオフ(保持)	—	—	—	—
CP1SW, CP2SW 端子異常検出	cpsw_det_op	"0"	動作継続	○	cp1sw_det cp2sw_det	cp1sw_det_cl cp2sw_det_cl	"L"
		"1"	三相 FET 駆動用ゲートドライバーが FET オフに駆動(保持)、チャージポンプオフ(保持)	—	—	—	—
ゲートドライバー禁止入力	pl_op	"0"	pl*_dis="L"の場合、検出相の 1 相 FET 駆動用ゲートドライバーが FET オフに駆動	○	—	—	"H"
		"1"	pl*_dis="L"の場合、検出相の 1 相 FET 駆動用ゲートドライバーが FET オフに駆動	—	err_pl_u err_pl_v err_pl_w	err_pl_u_cl err_pl_v_cl err_pl_w_cl	"L"

[注 1] 各監視機能に対する設定レジスタ\*\*\*\*\_op の値はいつでも変更することが可能ですが、監視機能に対応するステータスレジスタが異常を検出したことを示している間は\*\*\*\*\_op の設定は実際の動作に反映されません。

[注 2] チャージポンプオフとは、内部のドライバーが停止し、VCP 端子には約 VB が出力されます。

[注 3] 全ての(7ch)ゲートドライバー回路オフは、三相 FET がオフとなるようにゲートドライバーを”L”に駆動し、また逆接保護 FET がオフとなるようにハイサイドスイッチをオフします。三相 FET 駆動用(6ch)ゲートドライバー回路オフは、モーターを駆動する FET がオフとなるようにゲートドライバーを”L”に駆動します。検出した相の三相 FET 駆動用(2ch)ゲートドライバー回路オフとは検出した相のハイサイドとローサイドの FET がオフとなるようにゲートドライバーを”L”に駆動します。

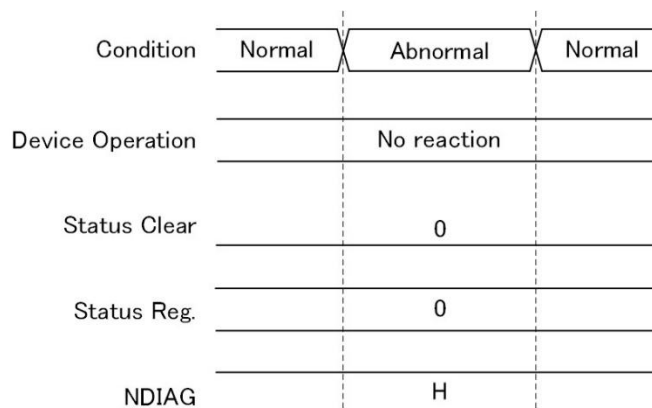


図 7.5.2.1 Status Reg.が” — ”、Status Clear が” — ” の場合

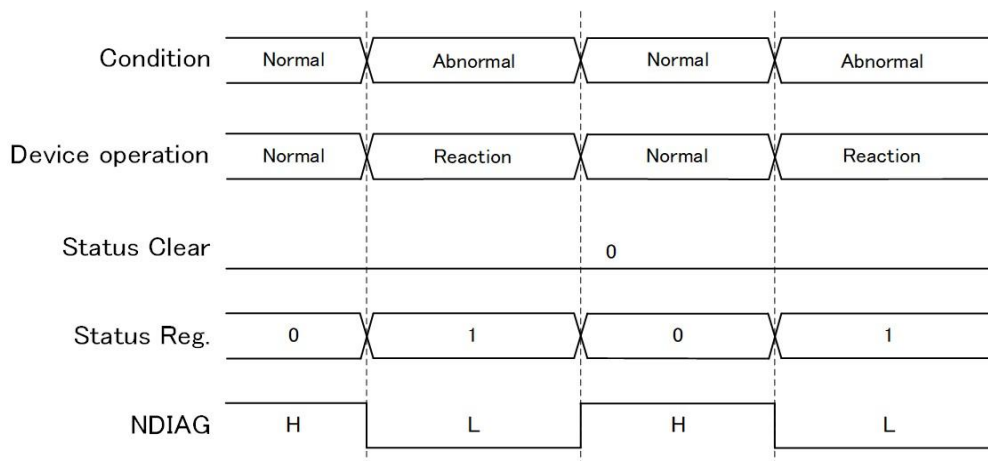


図 7.5.2.2 検出時動作が“(保持)”では無く、Status Reg.にビット名の記載があり、Status Clear にビット名の記載がない場合

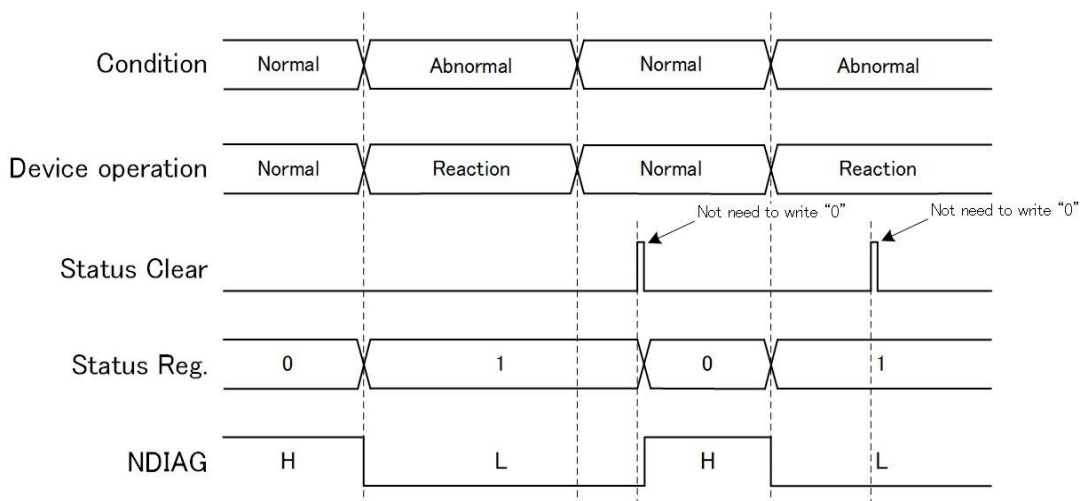


図 7.5.2.3 検出時動作が“(保持)”では無く、Status Reg.にビット名の記載があり、Status Clear にビット名の記載がある場合

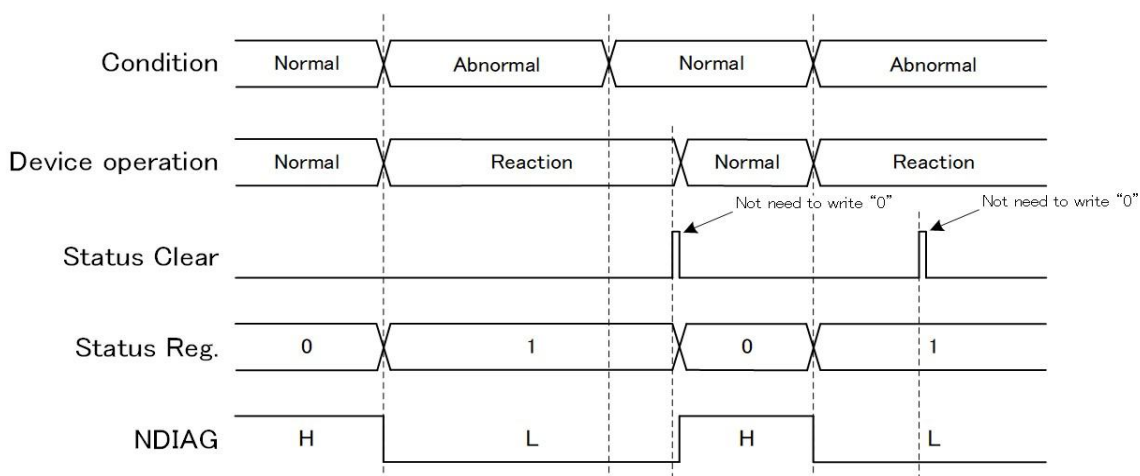


図 7.5.2.4 検出時動作が“(保持)”、Status Reg.にビット名の記載があり、Status Clear にビット名の記載がある場合

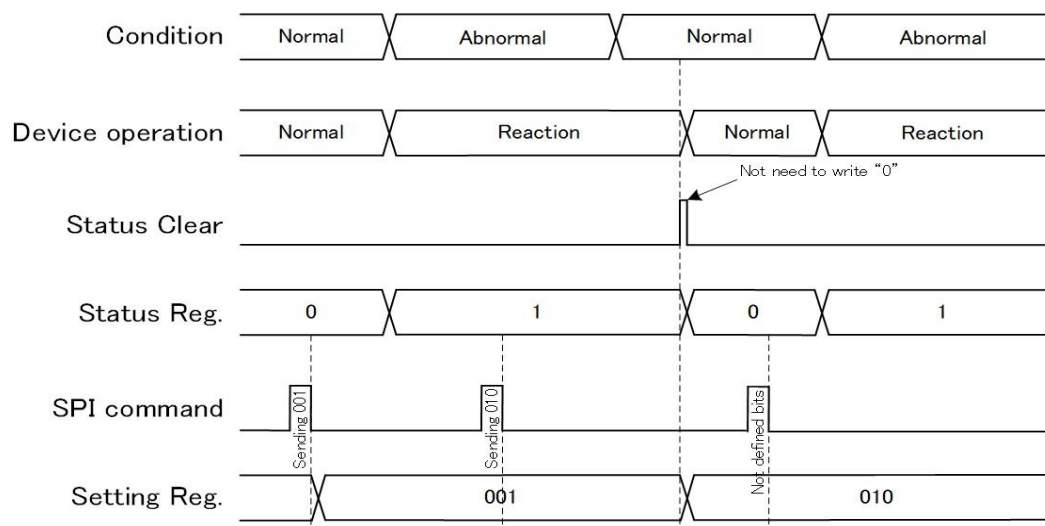


図 7.5.2.5 設定 Reg.の変更方法

## 7.6. 異常検出回路

### 7.6.1. VCC 低電圧検出機能

VCC 低電圧検出回路は VCC 端子の電圧を監視し電圧低下を検出します。検出後、本製品はリセット状態となります。検出コンパレータはヒステリシスを有し、検出および検出解除のタイミングでその出力がチャタリングすることを防止します。また応答時間として 20us(標準)を持たせることで VCC に重畳するノイズを無視します。

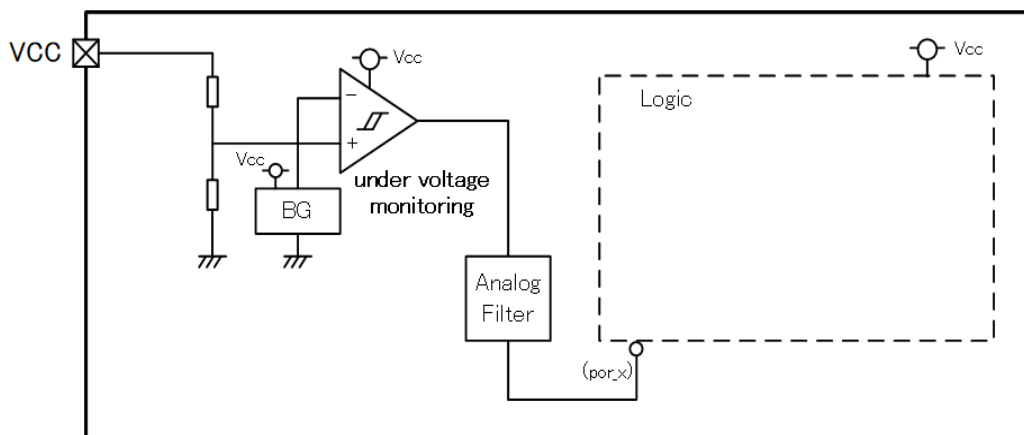


図 7.6.1.1 VCC 低電圧検出ブロック図

① VCC 電圧低下

VCC 電圧が低電圧検出電圧  $V_{thcll}$  を下回ると検出動作を開始します。

② VCC 低電圧検出

応答時間  $T_{cl}$  後、 $(por\_x) = "L"$  となり、 $NDIAG = "L"$  を出力し、三相 FET 駆動用ゲートドライバー回路をオフします。低電圧が解除されるまで、各回路はオフを保持します。

③ VCC 電圧復帰(低電圧解除)

VCC 電圧が  $V_{thclh}$  を上回ると低電圧が解除されます。

$(por\_x) = "H"$  となり、チャージポンプ回路が動作を開始、逆接保護 FET 駆動用ゲートドライバー回路がオンします。 $(por\_x) = "H"$  から  $T_{pre\_en}$  後に  $NDIAG = "H"$  を出力し三相 FET 駆動用ゲートドライバー回路は入力信号に従います。

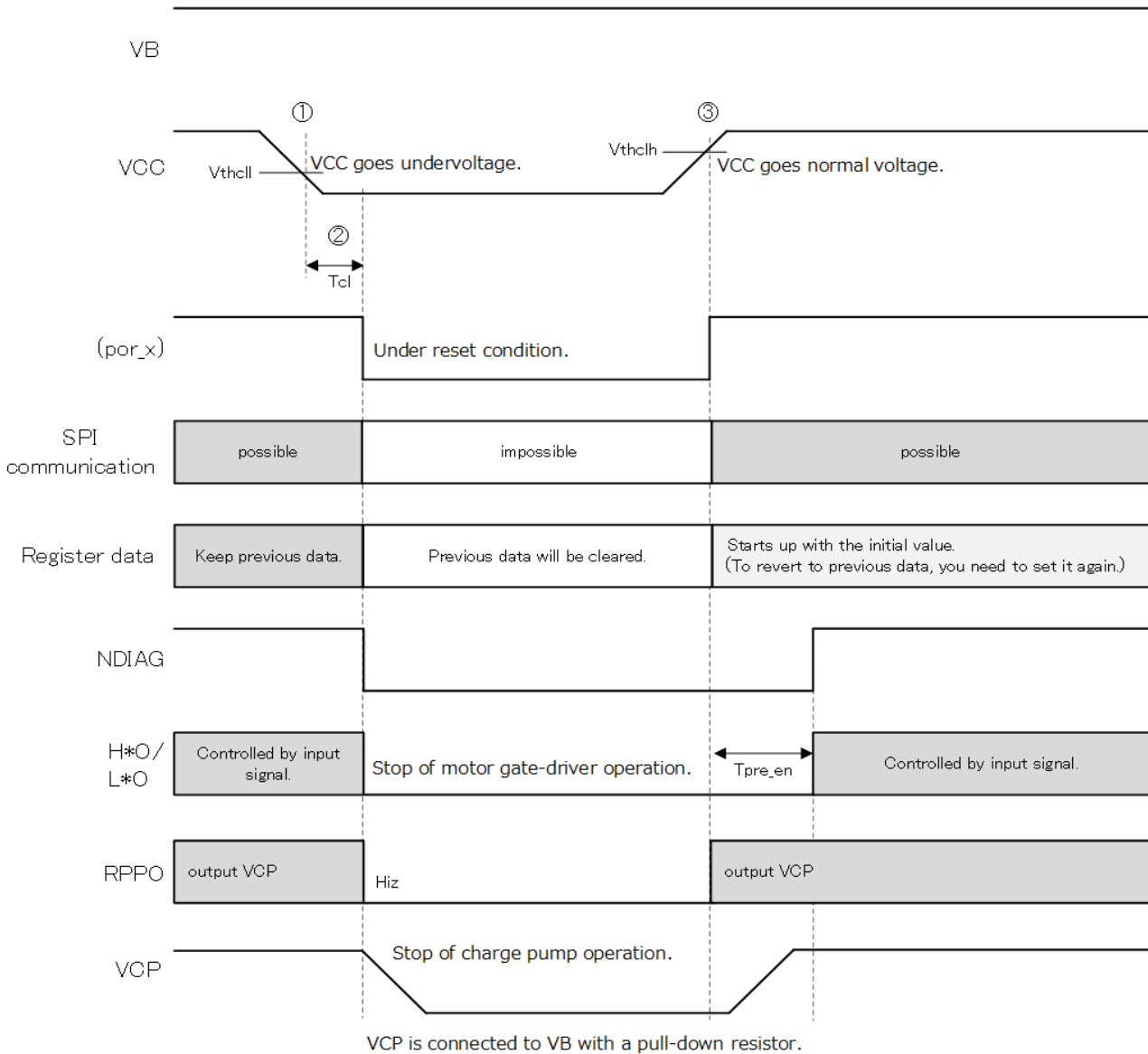


図 7.6.1.2 VCC 低電圧検出タイミングチャート

注: Vcc が Vcc 低電圧検出電圧に到達すると本製品はリセット状態となりますが、デジタル回路内の設定値 (例: SPI を使った設定値) がクリアされるため、リセット状態解除後は再設定が必要です。

注: Vcc 低電圧検出しチャージポンプ回路がオフした場合、Vcc 低電圧解除後  $T_{pre\_en}$  期間経過し  $NDIAG$  が "H" になると、モーター動作有効となります。

## 7.6.2. VB 低電圧検出機能

VB 低電圧検出回路は VB 端子の電圧を監視し電圧低下を検出します。検出コンパレータはヒステリシスを有し、検出および検出解除のタイミングでそのコンパレータの出力がチャタリングすることを防止します。また検出フィルター時間として 20us(標準)を持たせることで VB に重畳するノイズを無視します。

また SPI 通信で以下の動作が可能です。

- 異常検出後の動作設定
- 異常検出フラグの読み出し
- 異常検出フラグのクリア

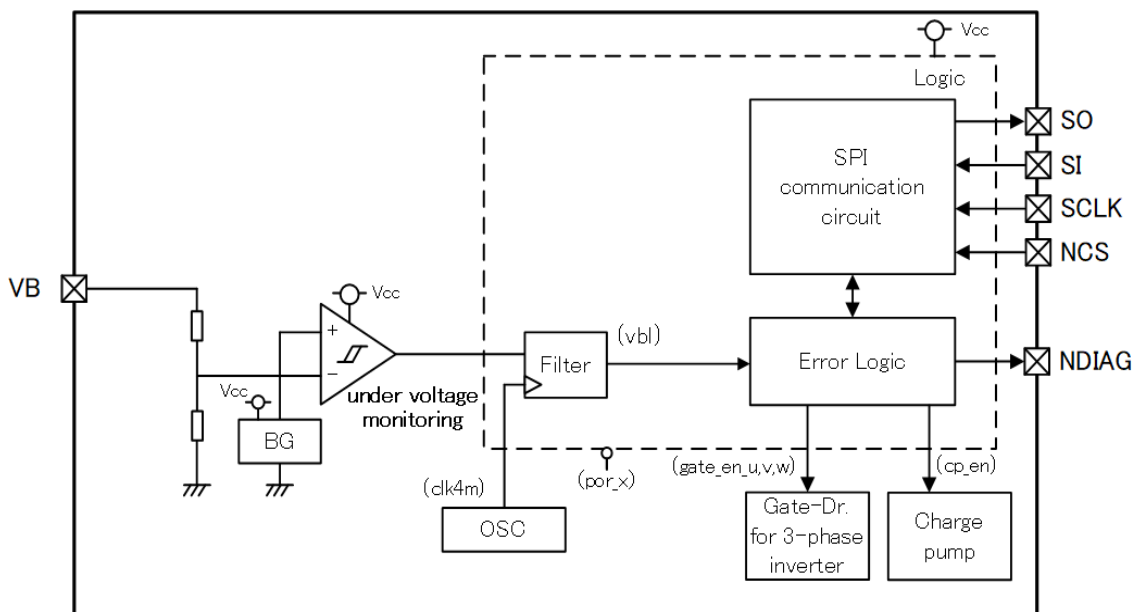


図 7.6.2.1 VB 低電圧検出ブロック図

### ① VB 電圧低下

VB 電圧が低電圧検出電圧  $V_{thbl}$  を下回ると検出動作を開始します。

### ② VB 低電圧検出

検出フィルター時間  $T_{bl}$  後 VB 低電圧検出信号(vbl)= “H” により低電圧状態を検出し、ステータスレジスター:uvb= “1” となり、NDIAG= “L” となります。検出後の動作は、SPI 通信を介して 2 モードの選択が可能です。

逆接保護 FET 駆動用ゲートドライバー回路はオン状態を継続します。

レジスター:uvb\_op= “0” の場合、三相 FET 駆動用ゲートドライバー回路がオフします。

レジスター:uvb\_op= “1” の場合、チャージポンプ、三相 FET 駆動用ゲートドライバー回路がオフします。

検出中に設定変更してもその変更は有効にならず、検出が解除されレジスター:uvb をクリア後に設定が有効になります。

低電圧検出中は、レジスター:uvb をクリアできず、NDIAG= “L” を出力します。

### ③ VB 電圧復帰(低電圧解除)

VB 電圧が  $V_{thblh}$  を上回ると、VB 低電圧検出信号(vbl)= “L” となり低電圧が解除されます。

レジスター:uvb\_op= “0” の場合、ステータスレジスター:uvb= “1”、NDIAG= “L” を保持し、三相 FET 駆動用ゲートドライバーは入力信号に従います。SPI 通信によりレジスター:uvb がクリアされると、 $T_{pre\_en}$  後に NDIAG= “H” となります。

レジスター:uvb\_op= “1” の場合、ステータスレジスター:uvb= “0”、NDIAG= “H”、またチャージポンプ回路も自動復帰し、三相 FET 駆動用ゲートドライバーは入力信号に従います。

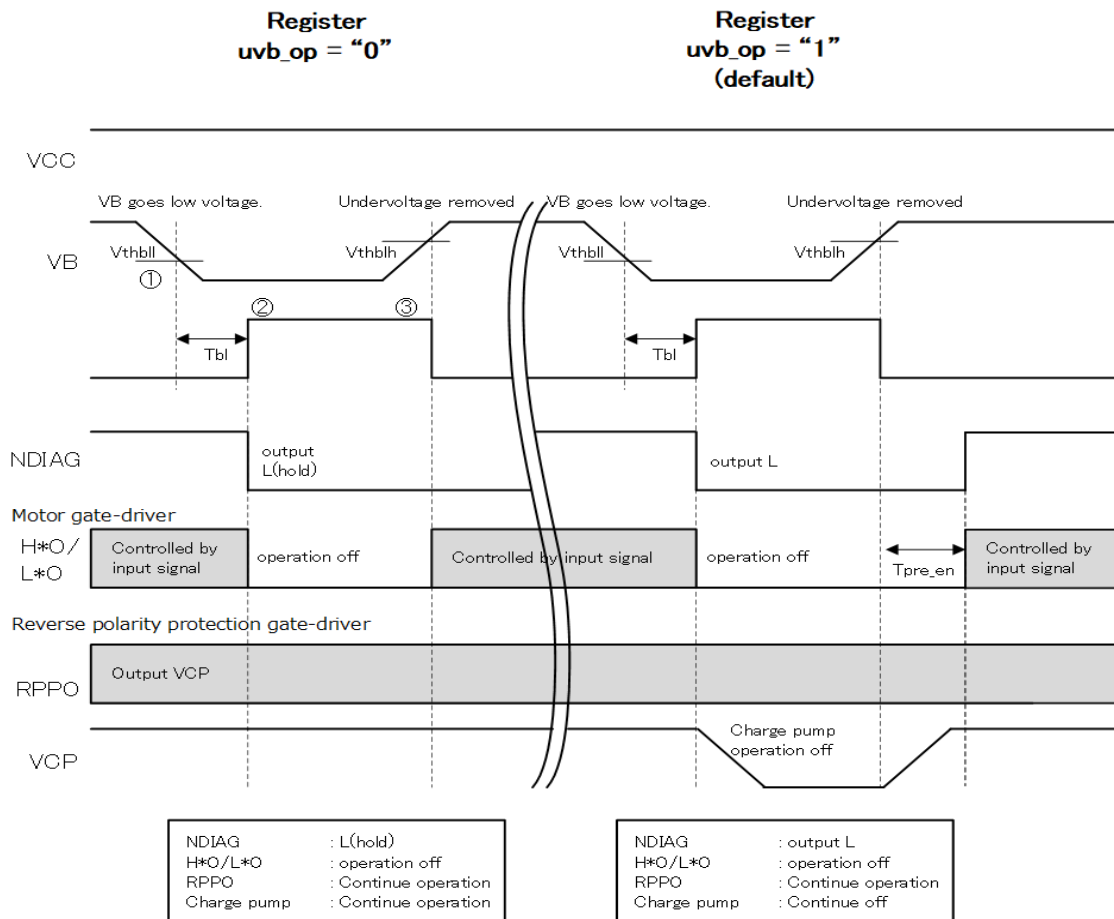


図 7.6.2.2 VB 低電圧検出タイミングチャート

注: Vb 低電圧検出しチャージポンプ回路がオフした場合、Vb 低電圧解除後  $T_{pre\_en}$  期間経過し NDIAG が “H” になると、モーター動作有効となります。

## 7.6.3. RPPO 低電圧検出機能

RPPO 低電圧検出回路は、 $V_{cp}$  電圧と RPPO 電圧の差電圧を監視し逆接保護 FET の不十分な駆動状態を検出します。検出コンパレータはヒステリシスを有し、検出および検出解除のタイミングでそのコンパレータの出力がチャタリングすることを防止します。また検出フィルタ時間として 20 $\mu$ s(標準)を持たせることで RPPO 端子に重畳するノイズを無視します。

また SPI 通信で以下の動作が可能です。

- 異常検出後の動作設定
- 異常検出フラグの読み出し
- 異常検出フラグのクリア

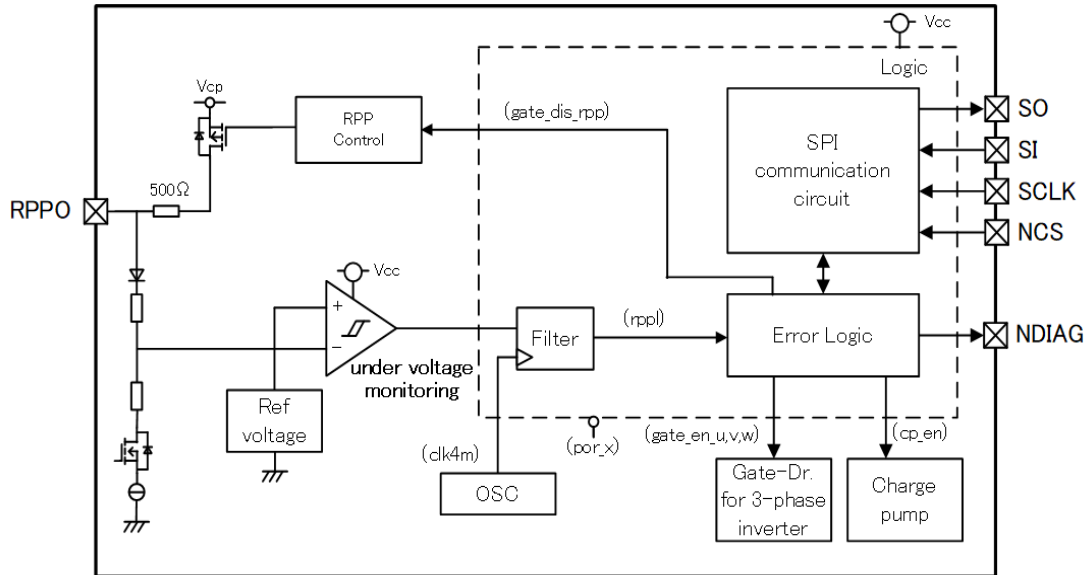


図 7.6.3.1 RPPO 低電圧検出ブロック図

### ① RPPO 電圧低下

$V_{cp}$  電圧と RPPO 電圧の差電圧を比較し低電圧検出電圧  $V_{thrppl}$  を下回ると検出動作を開始します。

### ② RPPO 低電圧検出

検出フィルタ時間  $T_{rppl}$  後、RPPO 低電圧検出信号( $rppl$ )= “H” により低電圧状態を検出し、ステータスレジスタ: $uvrpp=$  “1” となり、 $NDIAG=$  “L” となります。検出動作は、SPI 通信を介して 5 モードの選択が可能です。

ただし、レジスタ: $uvrpp\_op =$  “000” の場合、検出無効でステータスレジスタ: $uvrpp=$  “0” と  $NDIAG=$  “H” は継続し、各回路は通常動作を継続します。

RPPO 低電圧検出後の RPPO 端子のオン継続かオフさせるかは、レジスタ設定で選択可能となります。

検出中に設定変更してもその変更は有効にならず、検出が解除されレジスタ: $uvrpp$  をクリア後に設定が有効になります。

低電圧検出中は、レジスタ: $uvrpp$  をクリアできず、 $NDIAG=$  “L” を出力します。

### ③RPPO 電圧復帰(低電圧解除)

レジスタ: $uvrpp\_op =$  “010” の場合、低電圧検出すると RPPO 端子もオフとなるため、復帰するためには一度 VCC をオフし、一定期間後にオンさせる必要があります。その際、 $por\_x$  (L)期間と  $T_{pre\_en}$ (L)期間は、VCP 電圧と RPPO 電圧に差電圧が発生する可能性があるため、検出無効になります。

レジスタ: $uvrpp\_op =$  “011” の場合、RPPO 電圧が  $V_{thrppl}$  を上回ると、RPPO 低電圧検出信号( $rppl$ )= “L” となり低電圧が解除されます。

レジスタ: $uvrpp\_op =$  “100” の場合、低電圧が解除されても三相 FET 駆動用ゲートドライバーはオフ、ステータスレジスタ: $uvrpp=$  “1”、 $NDIAG=$  “L” を保持します。

SPI 通信によりレジスタ:uvrpp がクリアされると NDIAG= “H” となります。

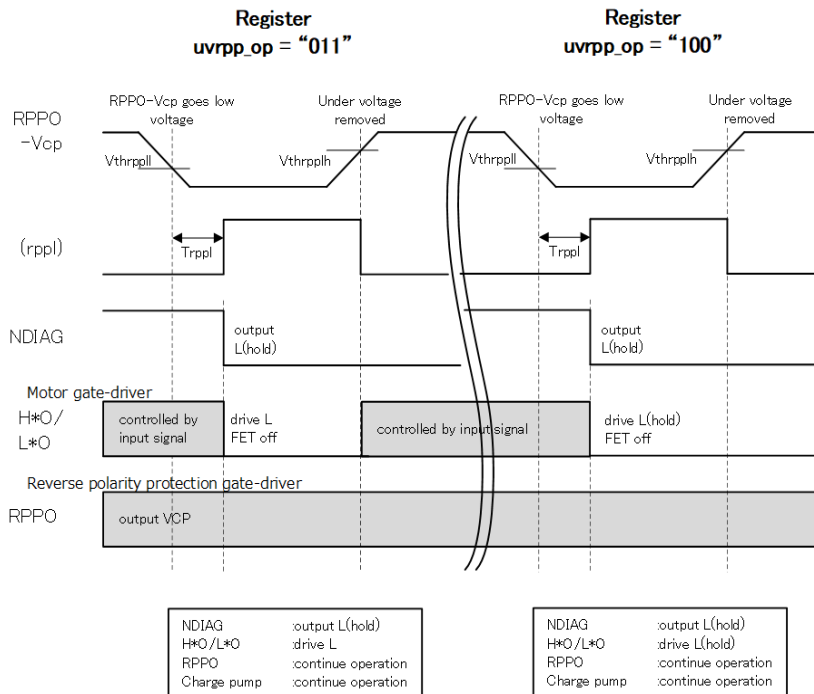
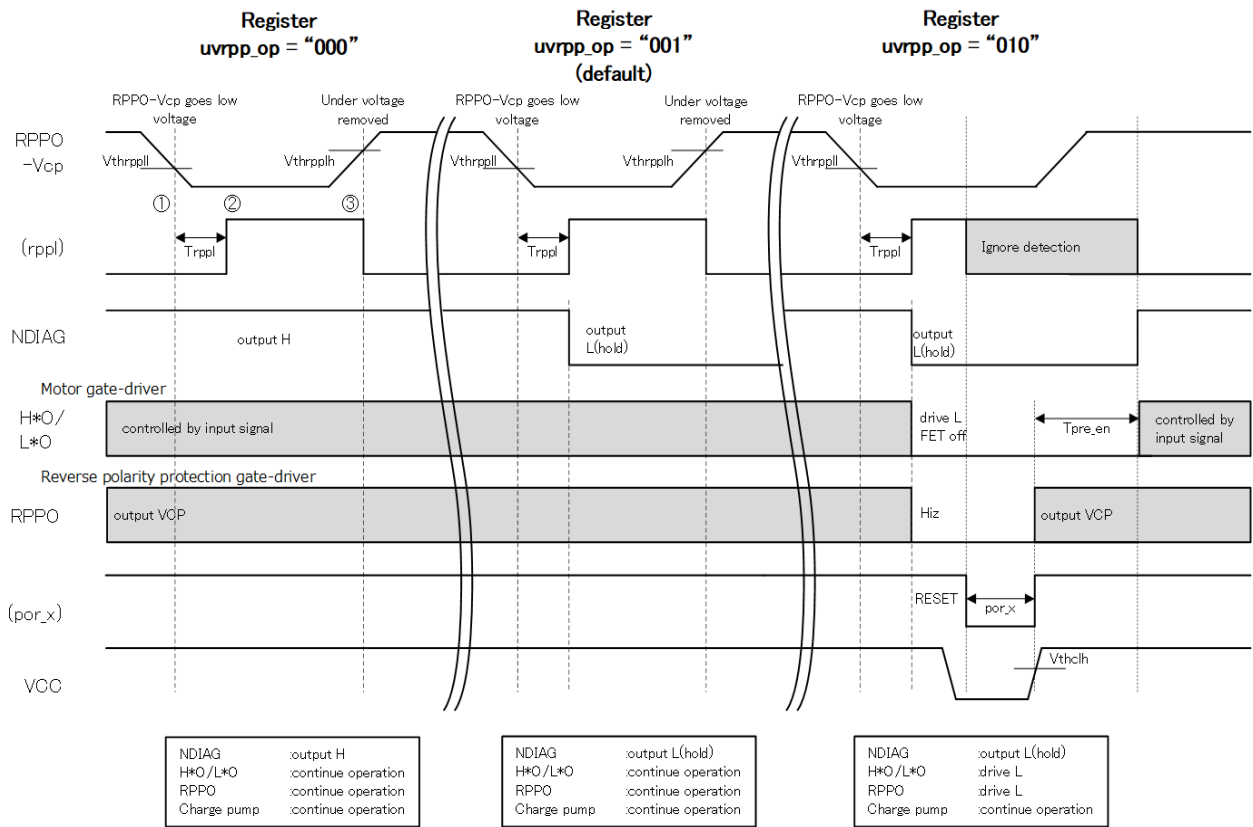


図 7.6.3.2 RPP0 低電圧検出タイミングチャート

注: RPP0 低電圧検出し、Vcc をリセットした場合、チャージポンプ回路がオフになります。Vcc のリセット解除後、Tpre\_en 期間経過し NDIAG が” H” になると、モーター動作有効となります。

## 7.6.4. VCC 高電圧検出機能

VCC 高電圧検出回路は VCC 端子の電圧を監視し電圧上昇を検出します。検出コンパレータはヒステリシスを有し、検出および検出解除のタイミングでそのコンパレータの出力がチャタリングすることを防止します。また検出フィルター時間として 20us(標準)を持たせることで VCC 端子に重畳するノイズを無視します。

また SPI 通信で以下の動作が可能です。

- 異常検出後の動作設定
- 異常検出フラグの読み出し
- 異常検出フラグのクリア

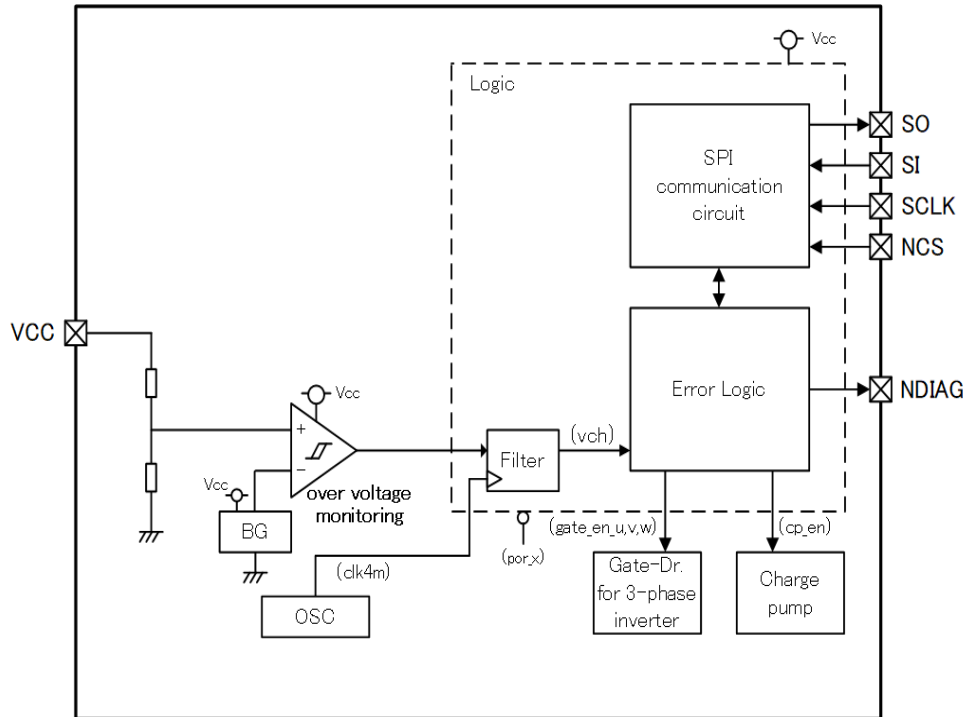


図 7.6.4.1 VCC 高電圧検出ブロック図

### ① VCC 電圧上昇

VCC 電圧が高電圧検出電圧  $V_{thchh}$  を上回ると検出動作を開始します。

### ② VCC 高電圧検出

検出フィルター時間  $T_{ch}$  後、VCC 高電圧検出信号(vch) = “H” により高電圧状態を検出し、NDIAG = “L” となります。

検出後の動作は、SPI 通信を介して 6 モードの選択が可能です。

レジスター:ovcc\_op = “001” の場合、VCC 高電圧検出時でも、各回路は通常動作を継続しますが、NDIAG = “L” は保持します。

ただし、レジスター:ovcc\_op = “000” の場合、VCC 高電圧検出時でも NDIAG = “H” を出力し、各回路も通常動作を継続します。

検出中に設定変更してもその変更は有効にならず、検出が解除されレジスター:ovcc をクリア後に設定が有効になります。

高電圧検出中は、レジスター:ovcc をクリアできず、NDIAG = “L” を出力します。

### ③ VCC 電圧復帰(高電圧解除)

VCC 電圧が  $V_{thchl}$  を下回ると、VCC 高電圧検出信号(vch) = “L” となり高電圧が解除されます。

レジスター:ovcc\_op = “010” の場合、高電圧が解除されるとゲートドライバーは通常動作となりますが、NDIAG = “L” は保持します。

レジスター:ovcc\_op = “011” の場合、高電圧が解除されてもゲートドライバーはオフを保持し、NDIAG = “L” も保持します。

レジスタ:ovcc\_op = “100” の場合、チャージポンプ、ゲートドライバーは通常動作となりますが NDIAG= “L” は保持します。

レジスタ:ovcc\_op = “101” の場合、チャージポンプ、ゲートドライバーはオフを保持し、NDIAG= “L” も保持します。

SPI 通信によりレジスタ:ovcc がクリアされると、各回路は通常動作となり、NDIAG= “H” となります。

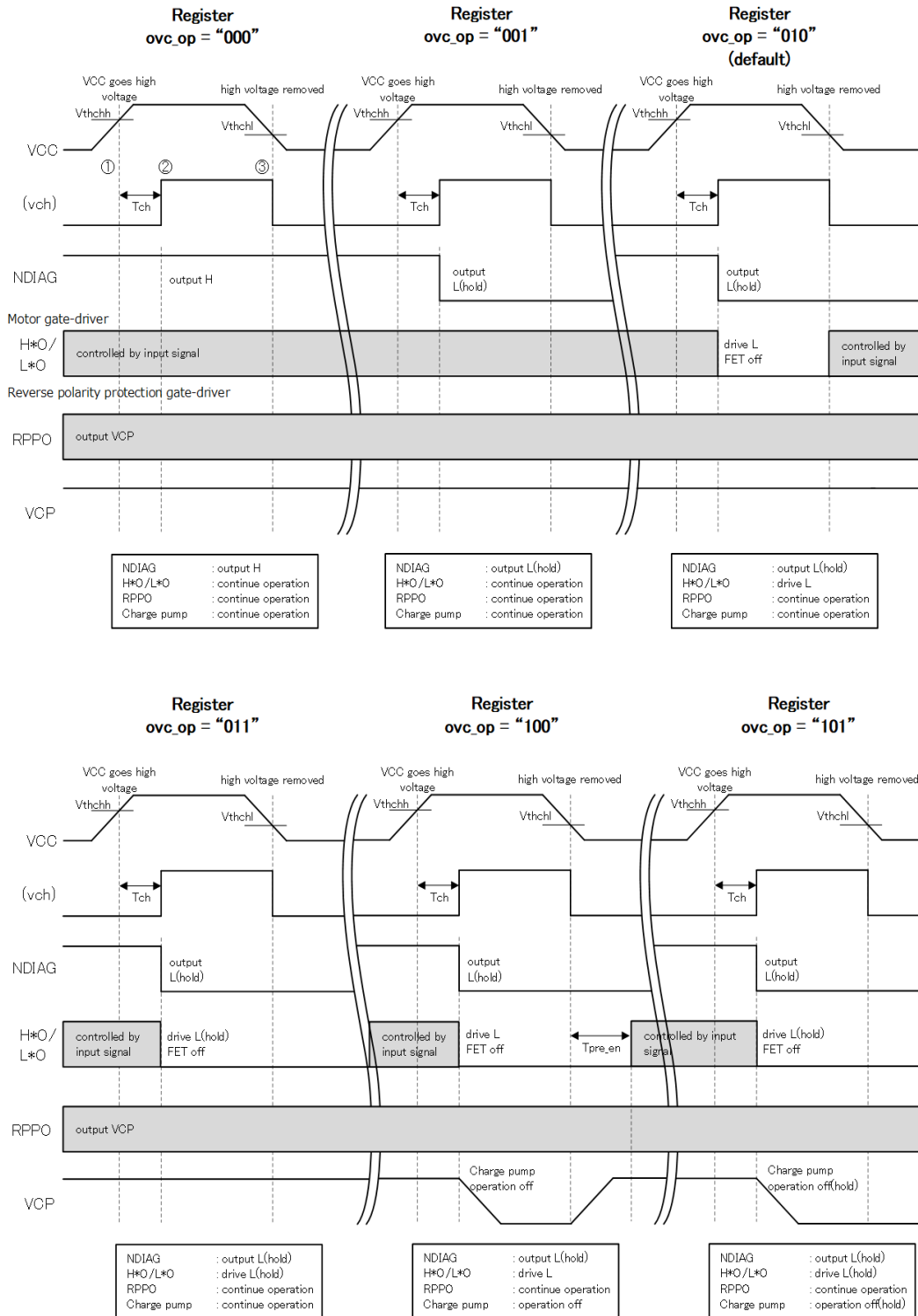


図 7.6.4.2 VCC 高電圧検出タイミングチャート

注: Vcc 高電圧検出しチャージポンプ回路がオフした場合、Vcc 高電圧解除後  $T_{pre\_en}$  期間経過し NDIAG が” H” になると、モーター動作有効となります。

## 7.6.5. VCP 高電圧検出機能

素子の耐圧超過を防ぐためチャージポンプ電圧 VCP の高電圧検出を行います。検出コンパレータはヒステリシスを有し、検出および検出解除のタイミングでそのコンパレータの出力がチャタリングすることを防止します。また検出フィルタ時間として 20us(標準)を持たせることで VCP 端子に重畳するノイズを無視します。

また SPI 通信で以下の動作が可能です。

- 異常検出後の動作設定
- 異常検出フラグの読み出し
- 異常検出フラグのクリア

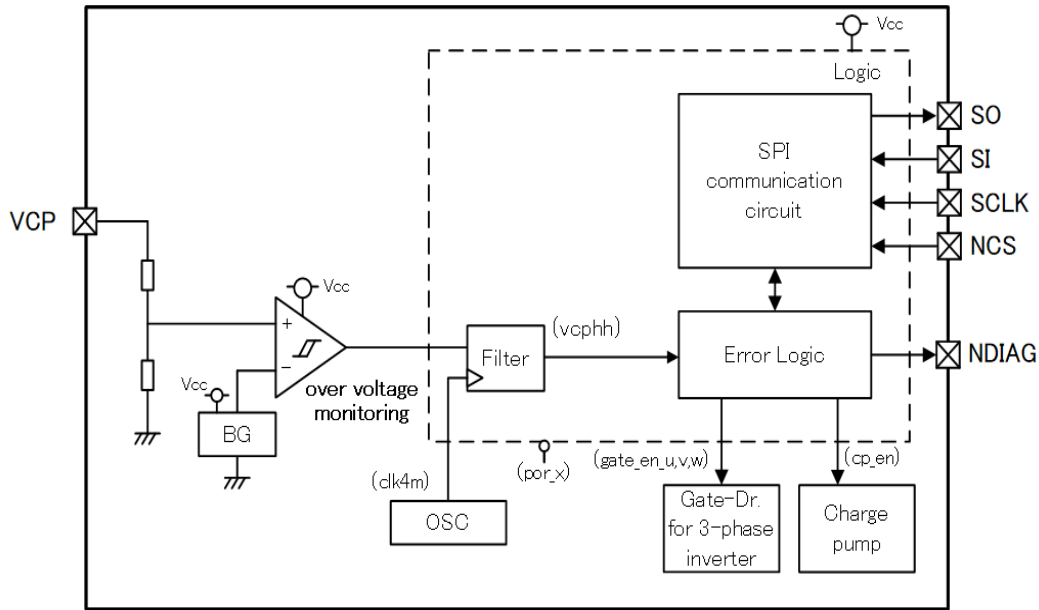


図 7.6.5.1 VCP 高電圧検出ブロック図

### ① VCP 電圧上昇

VCP 電圧が高電圧検出電圧  $V_{thcphh}$  を上回ると検出動作を開始します。

### ② VCP 高電圧検出

検出フィルタ時間  $T_{cph}$  後、VCP 高電圧検出信号(vcp)= “H” により高電圧状態を検出し、NDIAG= “L” となります。

検出後の動作は、SPI 通信を介して 6 モードの選択が可能です。

レジスター:ovcp\_op= “001” の場合、VCP 高電圧検出時でも、各回路は通常動作を継続しますが、NDIAG= “L” を保持します。

ただし、レジスター:ovcp\_op= “000” の場合、VCP 高電圧検出時でも NDIAG= “H” を出力し、各回路も通常動作を継続します。

VCP 高電圧検出状態時にモード変更しても、設定が有効になりません。VCP 高電圧が解除されレジスター:ovcp をクリア後に設定が有効になります。

高電圧検出中は、レジスター:ovcp をクリアできず、NDIAG= “L” を出力します。

### ③ VCP 電圧復帰(高電圧解除)

VCP 電圧が  $V_{thcphl}$  を下回ると、VCP 高電圧検出信号(vcp)= “L” となり高電圧が解除されます。

レジスター:ovcp\_op= “010” の場合、ゲートドライバーは通常動作となりますが、NDIAG= “L” は保持します。

レジスター:ovcp\_op= “011” の場合、高電圧が解除されてもゲートドライバーはオフを保持し、NDIAG= “L” は保持します。

レジスター:ovcp\_op= “100” の場合、高電圧が解除されるとチャージポンプ、ゲートドライバーは通

常動作となりますが、NDIAG=“L”は保持します。

レジスター:ovcp\_op=“101”の場合、高電圧が解除されてもチャージポンプ、ゲートドライバーはオフを保持し、NDIAG=“L”も保持します。

SPI 通信によりレジスター:ovcp がクリアされると、各回路は通常動作となり、NDIAG=“H”となります。

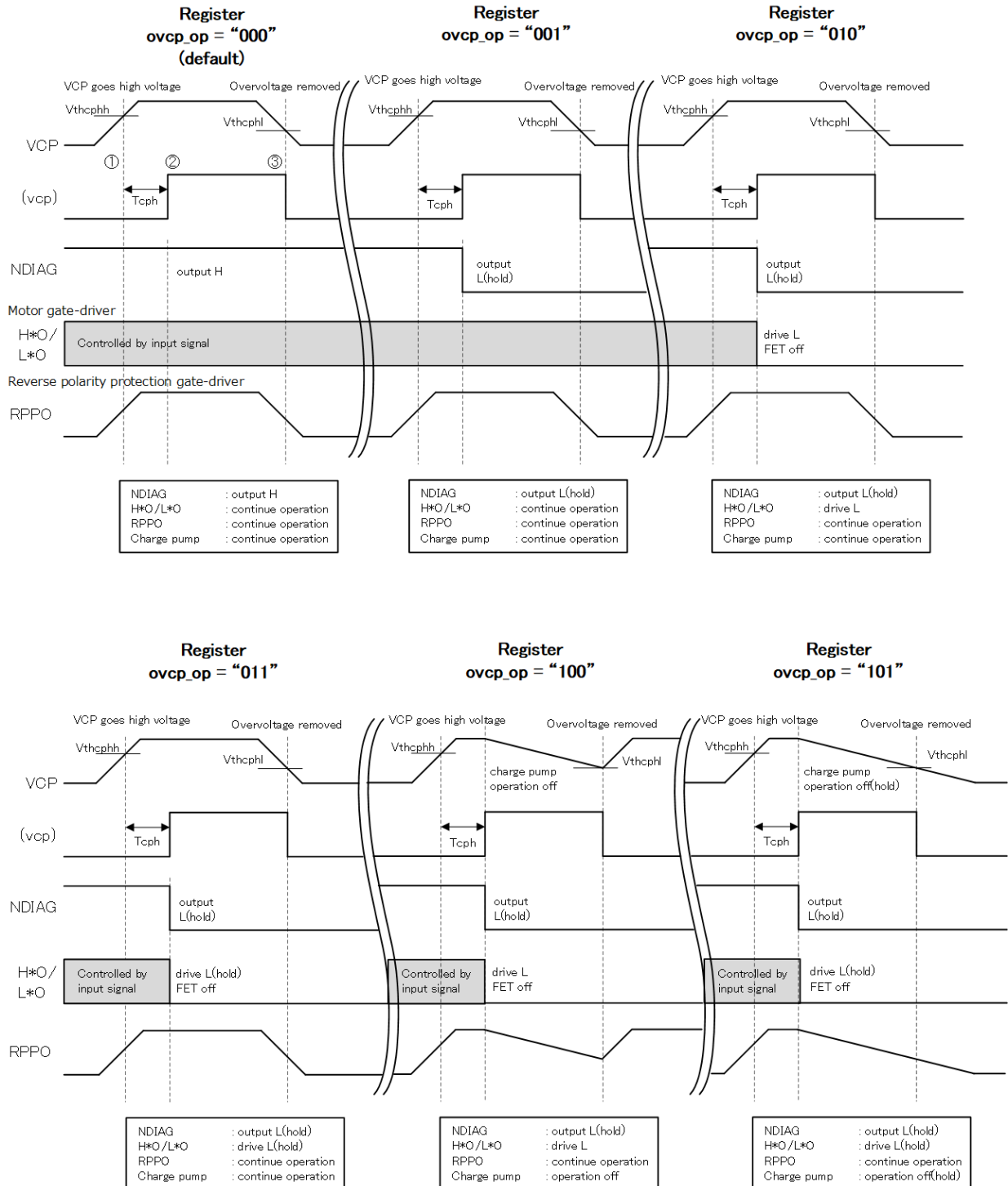


図 7.6.5.2 VCP 高電圧検出タイミングチャート

## 7.6.6. 過熱検出機能

過熱検出を行います。検出コンパレータはヒステリシスを有し、検出および検出解除のタイミングでそのコンパレータの出力がチャタリングすることを防止します。また検出フィルター時間として20us(標準)を持たせることで短時間の過熱状態を無視します。

また SPI 通信で以下の動作が可能です。

- 異常検出後の動作設定
- 異常検出フラグの読み出し
- 異常検出フラグのクリア

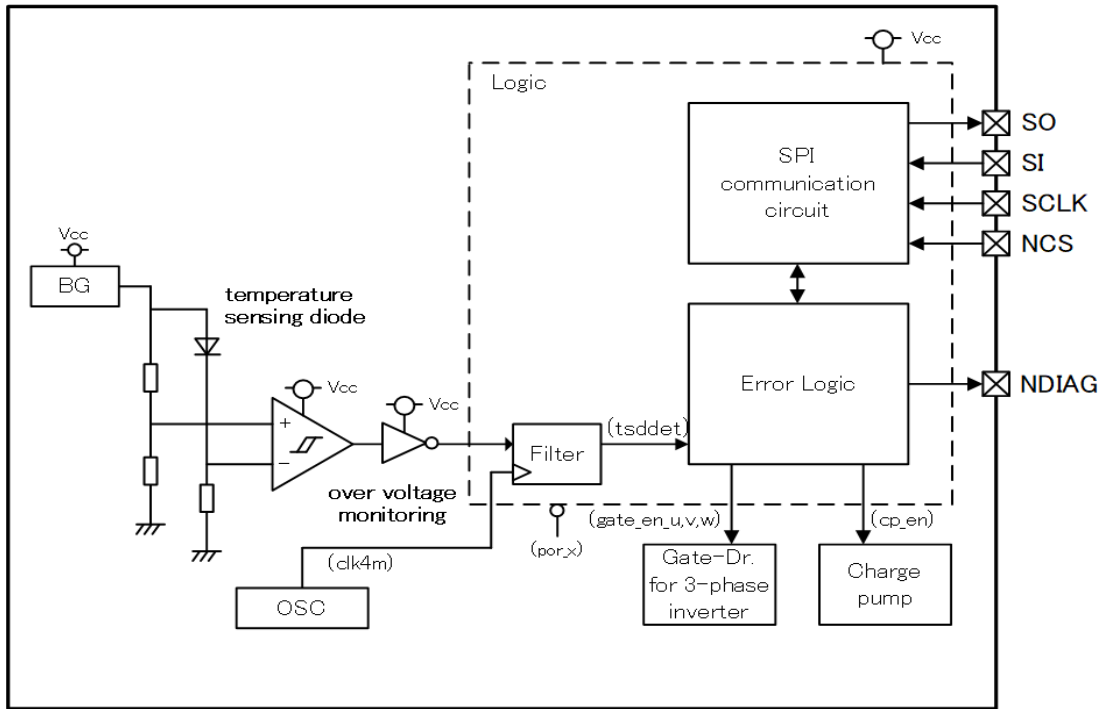


図 7.6.6.1 過熱検出ブロック図

### ① チップ温度上昇

本製品内のセンサーがモニターしている温度が  $T_{sdh}$  を上回ると検出動作を介します。

### ② 過熱検出

検出フィルター時間  $T_{tsd}$  後、過熱検出信号( $tsddet$ )= “H” となり過熱状態を検出し、ステータスレジスター: $tsd=$  “1” となり、 $NDIAG=$  “L” となります。

検出後の動作は、SPI 通信を介して 6 モードの選択が可能です。

レジスター: $tsd\_op=$  “001” の場合、過熱検出時でも、各回路は通常動作を継続しますが、 $NDIAG=$  “L” は保持します。

ただしレジスター: $tsd\_op=$  “000” の場合、過熱検出時でも  $NDIAG=$  “H” を継続、各回路も通常動作を継続します。

検出中に設定変更してもその変更は有効にならず、検出が解除されレジスター: $tsd$  をクリア後に設定が有効になります。

過熱検出中は、レジスター: $tsd$  をクリアできず、 $NDIAG=$  “L” を出力します。

### ③ 過熱検出解除

温度が  $T_{sdl}$  を下回ると、過熱検出信号( $tsddet$ )= “L” となり過熱検出が解除されます。

レジスター: $tsd\_op=$  “010” の場合、過熱検出が解除されると、三相 FET 駆動用ゲートドライバーは通常動作復帰しますが、 $NDIAG=$  “L” は保持します。

レジスター: $tsd\_op=$  “011” の場合、過熱検出が解除されても三相 FET 駆動用ゲートドライバーはオフ、 $NDIAG=$  “L” を保持します。

レジスター: $tsd\_op=$  “100” の場合、過熱検出が解除されるとチャージポンプ、三相 FET 駆動用ゲート

トドライバは通常動作復帰しますが、NDIAG=“Lを保持します。

レジスター:tsd\_op=“101”の場合、過熱検出が解除されてもチャージポンプ、三相 FET 駆動用ゲートドライバはオフ、NDIAG=“Lを保持します。

SPI 通信によりレジスター:tsd がクリアされると、各回路は通常動作となり、NDIAG=“H”となります。

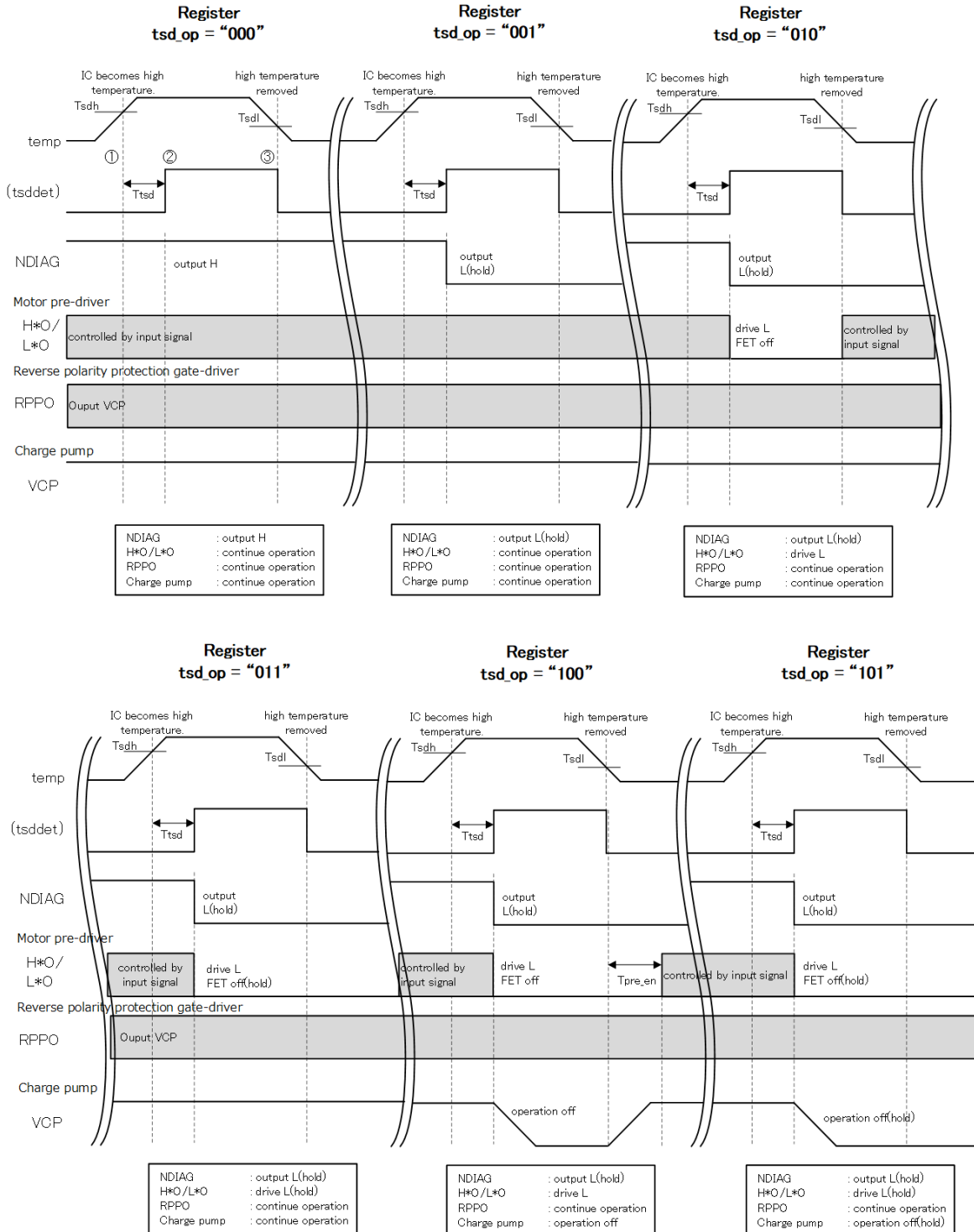


図 7.6.6.2 過熱検出タイミングチャート

注: 過熱検出しチャージポンプ回路がオフした場合、過熱解除後 `Tpre_en` 期間経過すると、モーター動作有効となります。

## 7.6.7. 三相 FET の VDS 検出機能

三相 FET の ON 動作で、ハイサイドの FET は本製品の HS 端子と H\*S 端子の差電圧をモニターし、ローサイドの FET は本製品の H\*S 端子と LS 端子の差電圧をモニターすることで異常を検出します。そのしきい電圧値はハイサイド FET とローサイド FET それぞれで SPI 通信で設定が可能です。またオン状態に到達する前の状態を検出しないように、入力端子がオン指令を受信してからマスク時間を設けており、この時間は SPI 通信で設定が可能です。しきい電圧より高い電圧を異常と検出し、各相、各サイド毎のステータスレジスターに” 1” を格納します。

異常検出後の動作は SPI 通信(CONFIG2)で設定が可能です。三相 FET 駆動用ゲートドライバー回路のオフを保持しない設定と保持する設定がありますが、前者の場合でも入力端子が” H” を受信している間、三相 FET 駆動用ゲートドライバー回路はオフを保持します。また保持の設定で通常動作への復帰を行う場合ステータスレジスターの” 1” をクリアする必要があります。

また SPI 通信で(CONFIG4)各相ごとに検出の有効、無効が設定可能です。

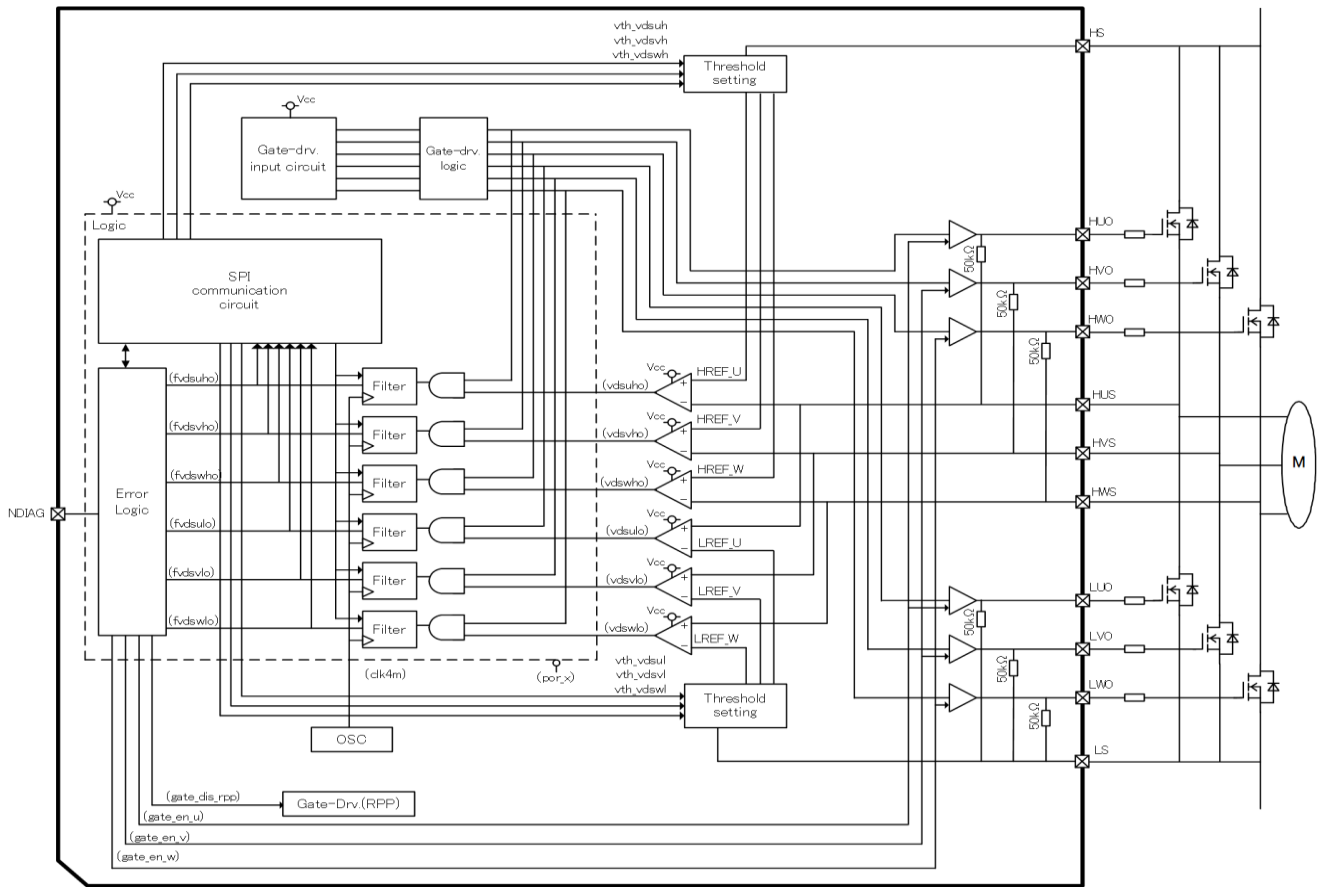


図 7.6.7.1 三相 FET の VDS 検出ブロック図

表 7.6.7.1 VDS 検出シナリオ

コンパレーター比較式	コンパレーター出力	入力信号	異常状態
$V_{HUS} - V_{LS} > V_{thvdsul}$	(vdsulo) = "H"	LUI = "H"	LUO の FET VDS 異常
$V_{HVS} - V_{LS} > V_{thvdsvl}$	(vdsvlo) = "H"	LVI = "H"	LVO の FET VDS 異常
$V_{HWS} - V_{LS} > V_{thvdswl}$	(vdsvlo) = "H"	LWI = "H"	LWO の FET VDS 異常
$V_{HS} - V_{HUS} > V_{thvdsuh}$	(vdsuho) = "H"	HUI = "H"	HUO の FET VDS 異常
$V_{HS} - V_{HVS} > V_{thvdsvh}$	(vdsvho) = "H"	HVI = "H"	HVO の FET VDS 異常
$V_{HS} - V_{HWS} > V_{thvdswh}$	(vdswho) = "H"	HWI = "H"	HWO の FET VDS 異常

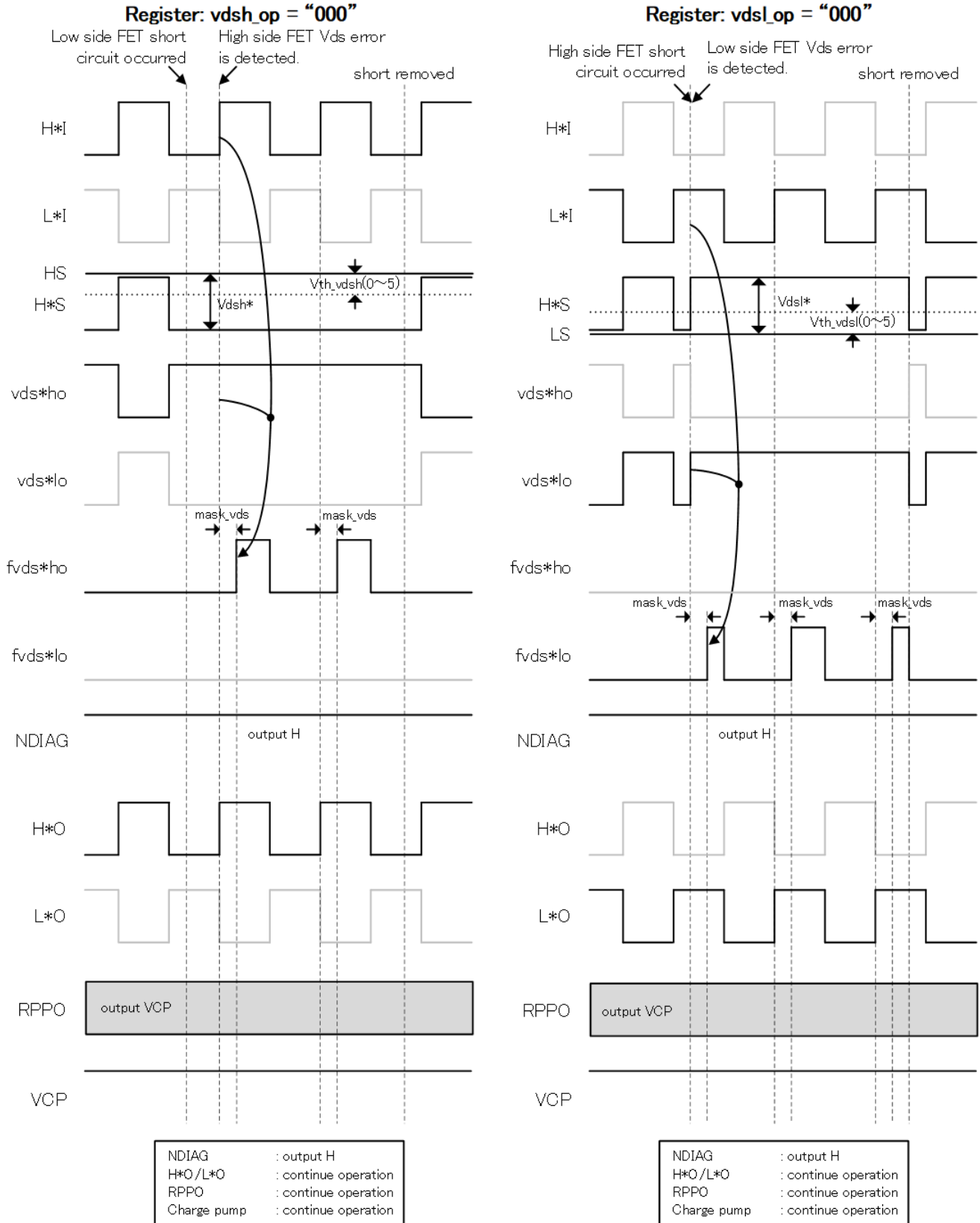


図 7.6.7.2 ショート検出タイミングチャート (レジスター: vds<sub>l</sub>\_op = vds<sub>h</sub>\_op "000" 時)

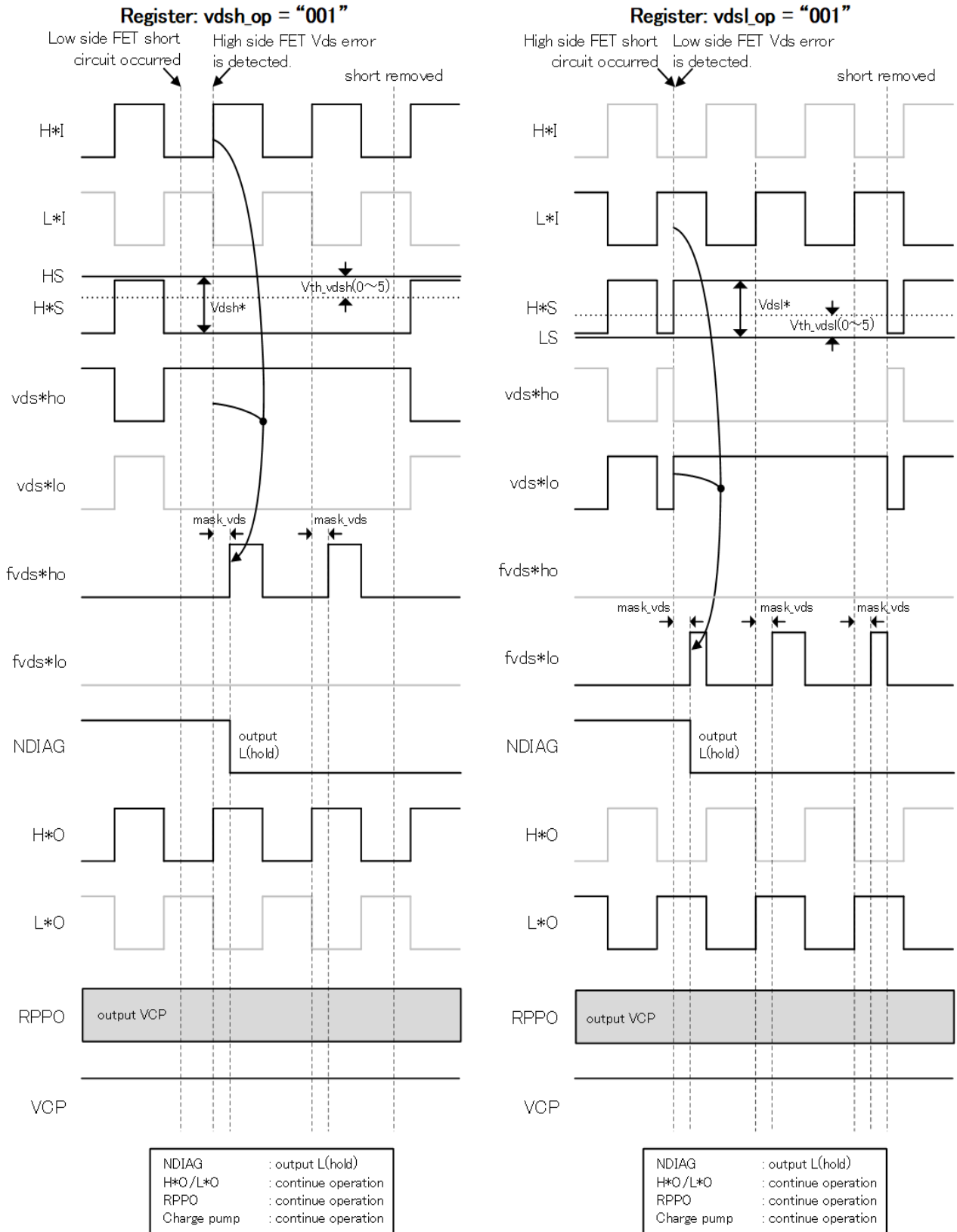


図 7.6.7.3 ショート検出タイミングチャート (レジスター: vdsi\_op = vdsh\_op "001" 時)

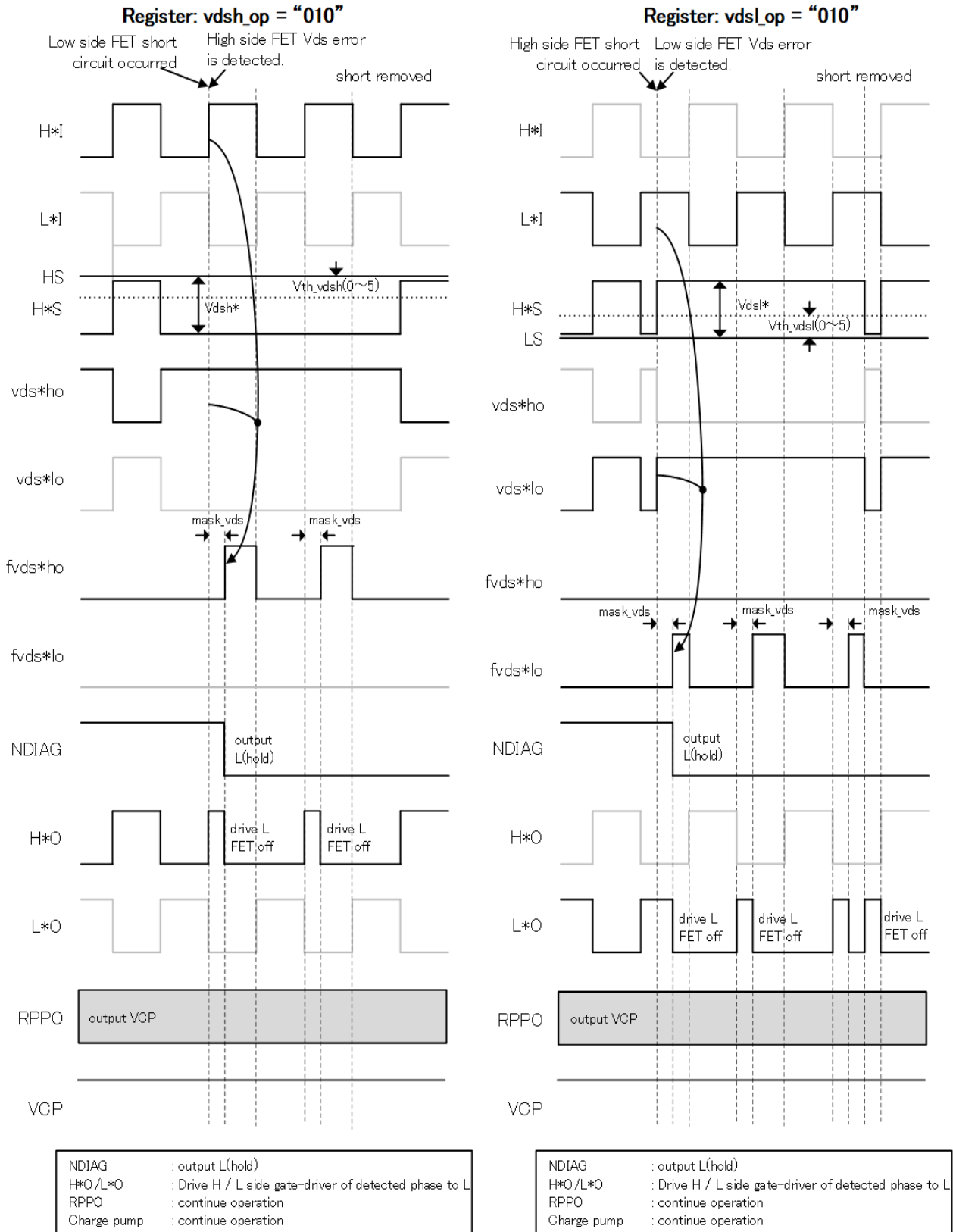


図 7.6.7.4 ショート検出タイミングチャート (レジスタ: vds<sub>l</sub>\_op = vds<sub>h</sub>\_op "010" 時)

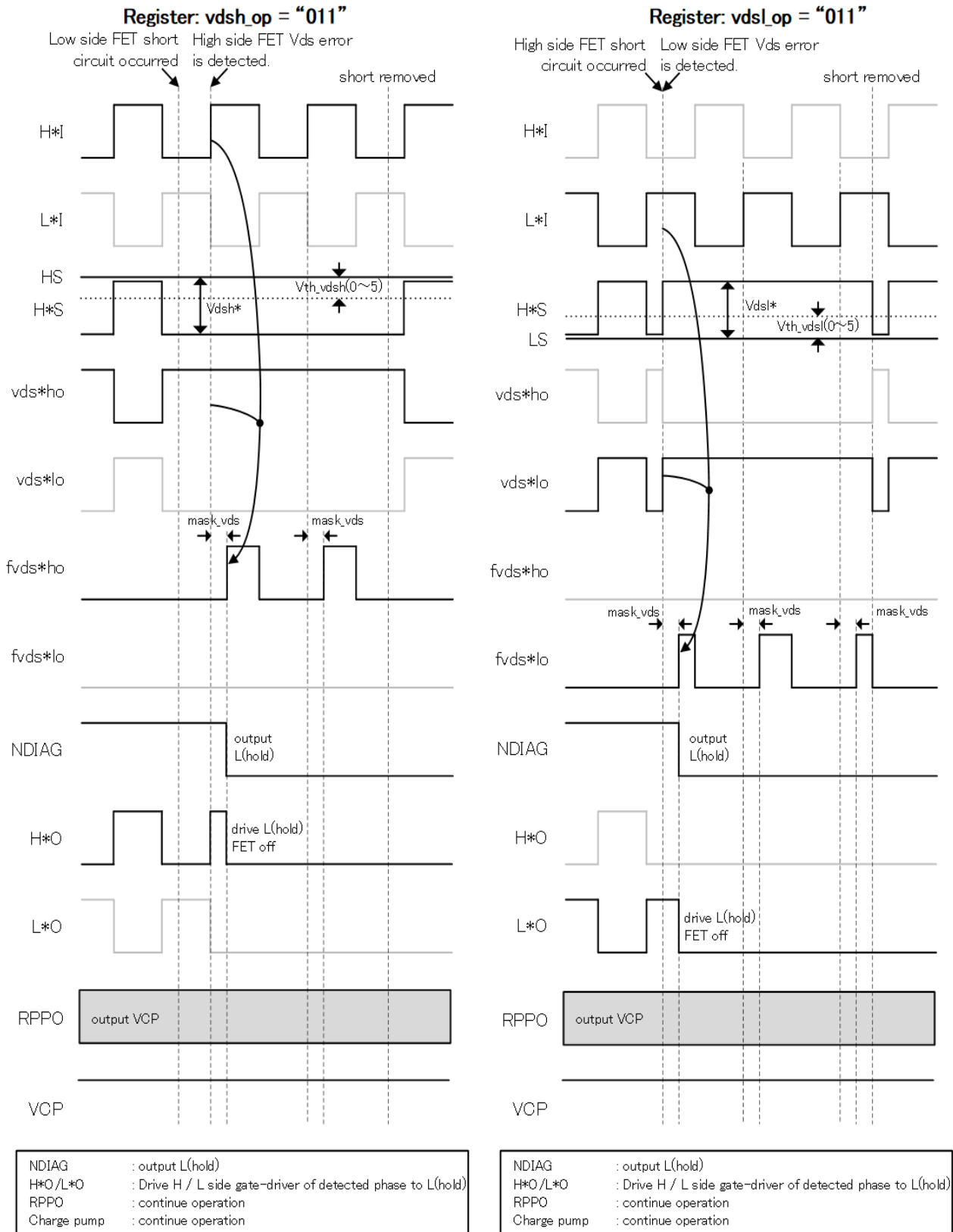


図 7.6.7.5 ショート検出タイミングチャート (レジスター: vds<sub>l</sub>\_op = vds<sub>h</sub>\_op "011" 時)

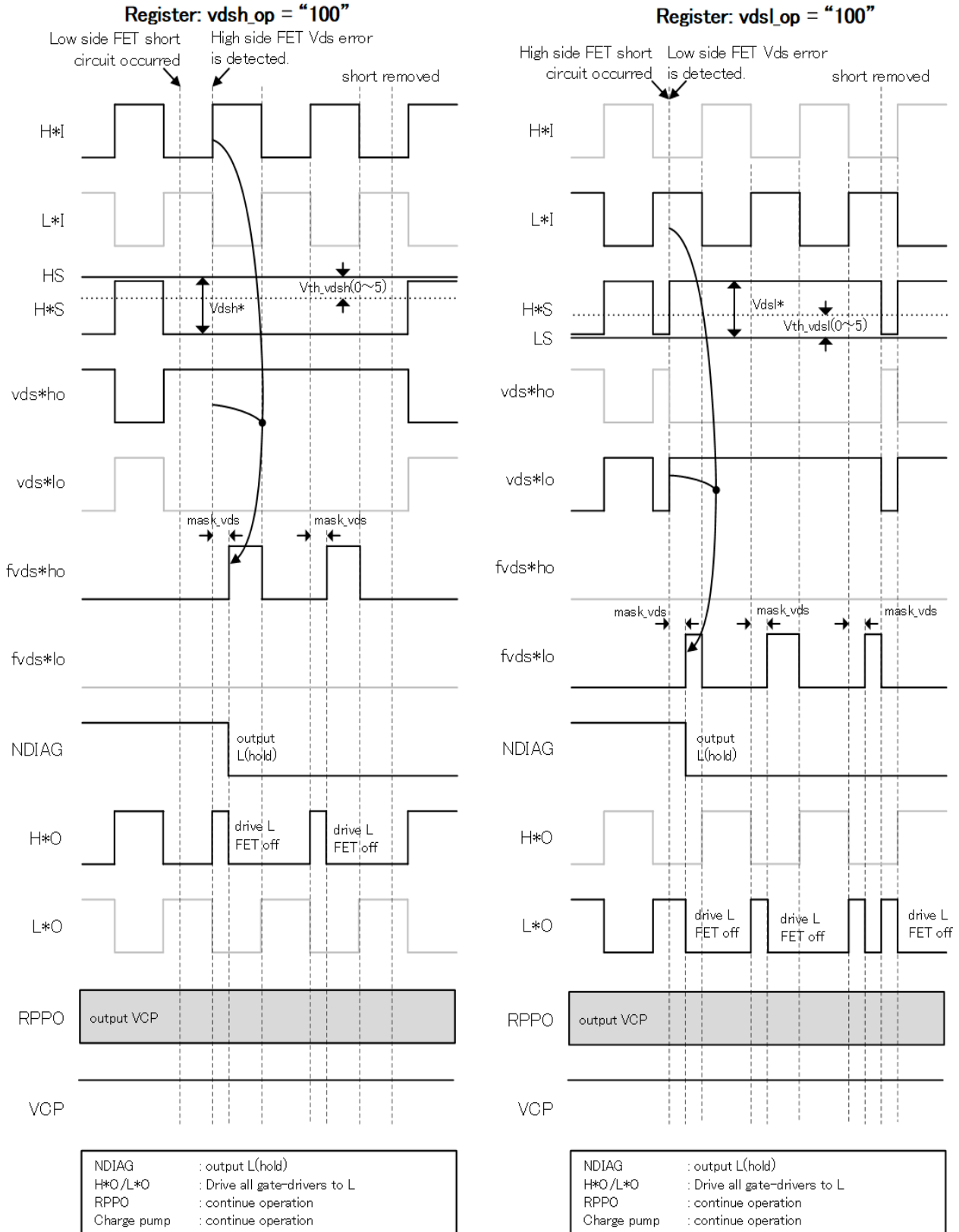


図 7.6.7.6 ショート検出タイミングチャート (レジスター: vds\_l\_op = vds\_op "100" 時)

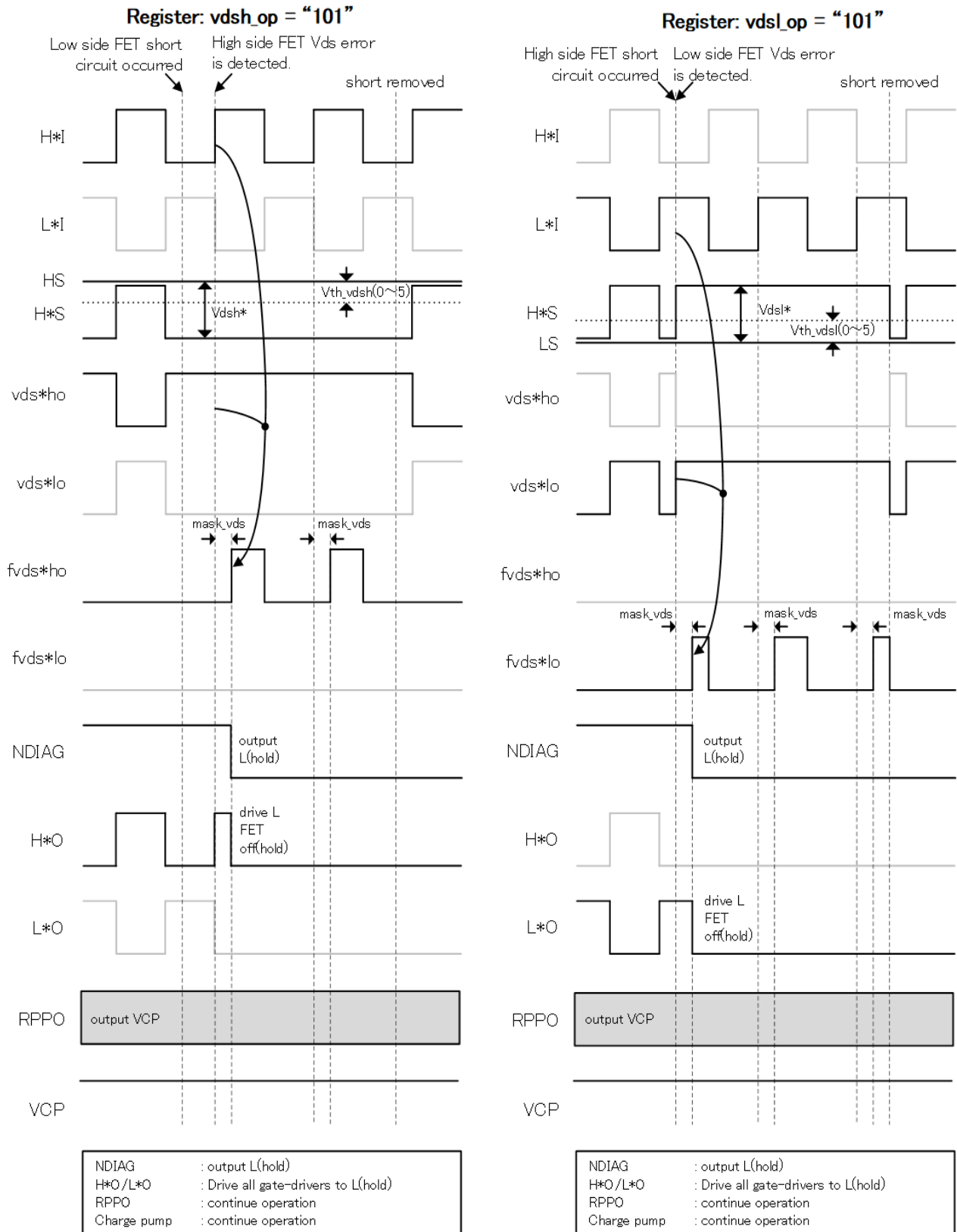


図 7.6.7.7 ショート検出タイミングチャート (レジスター: vds<sub>l</sub>\_op = vds<sub>h</sub>\_op "101" 時)

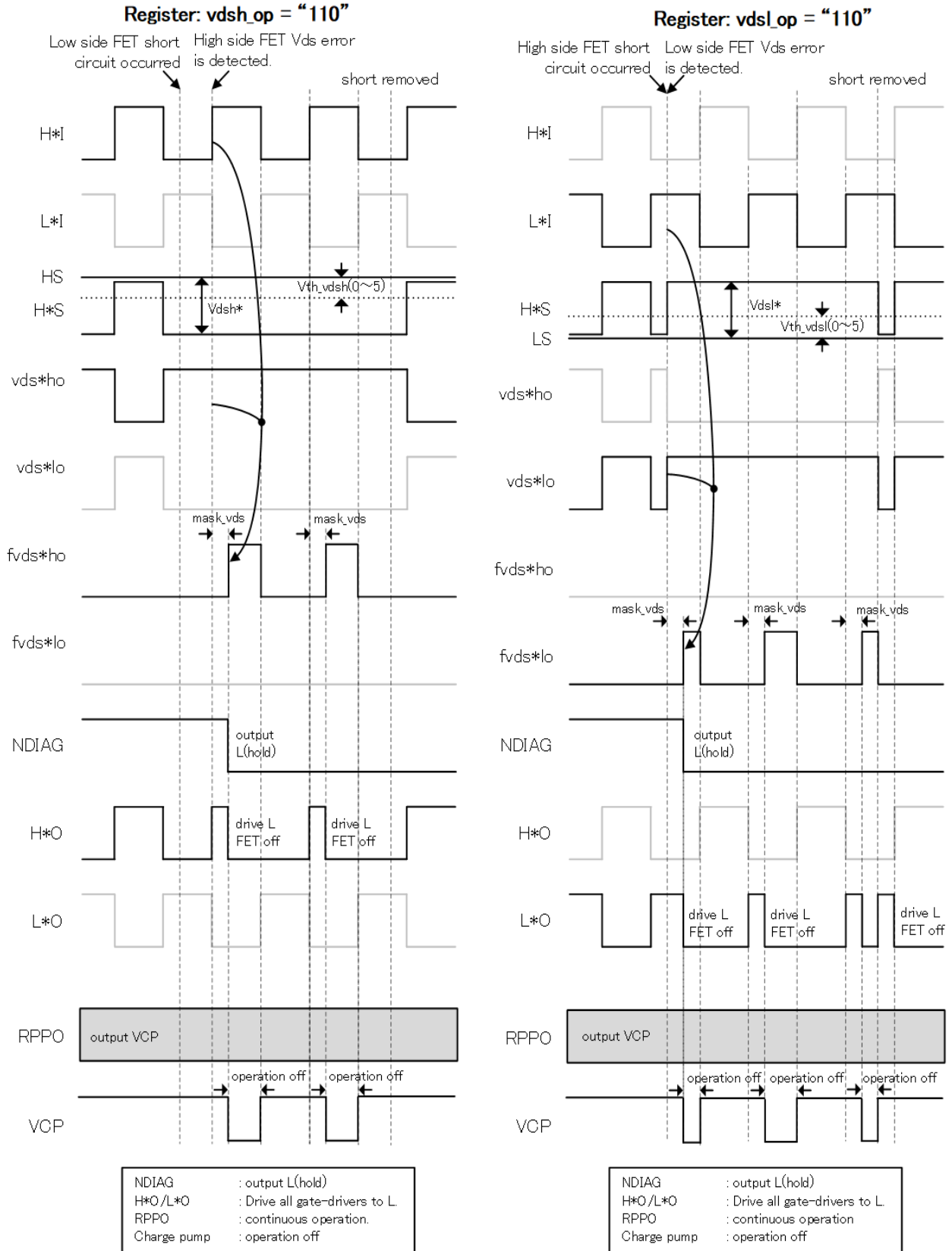


図 7.6.7.8 ショート検出タイミングチャート (レジスタ: vds<sub>l</sub>\_op = vds<sub>h</sub>\_op "110" 時)

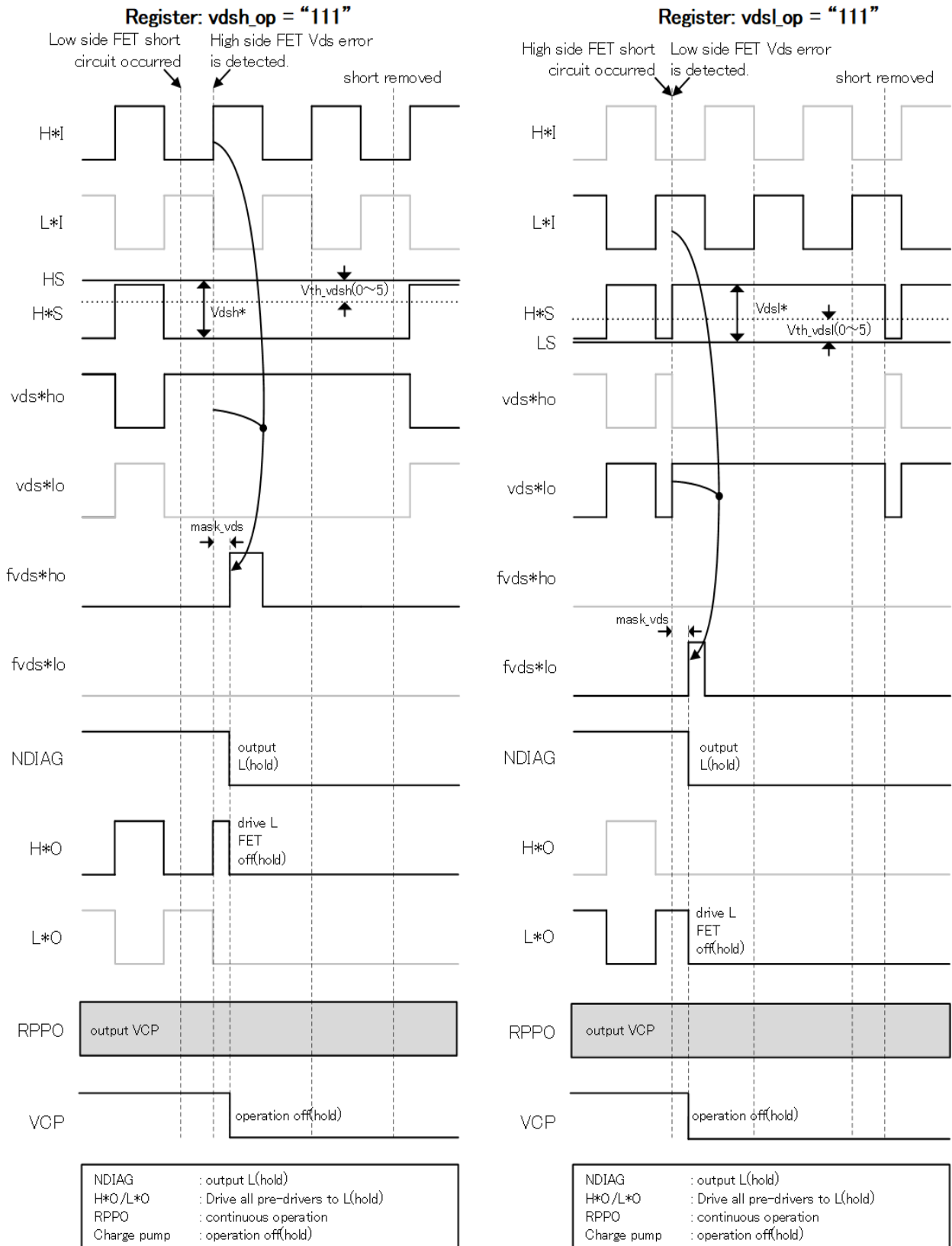


図 7.6.7.9 ショート検出タイミングチャート (レジスター: vds\_op = vds\_op "111" 時)

### 7.6.8. CP1SW,CP2SW 端子異常検出

本検出機能は、以下の異常を検出します。

- CP1SW、CP2SW がそれぞれの隣接端子とショート
- 天絡(VB ショート)
- 地絡(GND ショート)
- 外付けフライングキャパシタのショート

また SPI 通信で以下の動作が可能です。

- 異常検出後の動作設定([CONFIG5](#))
- 異常検出フラグの読み出し(CP1SW, CP2SW 個別フラグ)([STAT1](#))
- 異常検出フラグのクリア(CP1SW, CP2SW 個別クリア)([STAT1\\_CLR](#))

7.7. ALARM 入力回路

ALARM 信号は、外部入力によりゲートドライバー回路(三相 FET 駆動用、逆接保護 FET 駆動用)の Enable/Disable 制御を行います。

ALARM=“L” の場合ゲートドライバー回路の入力と内部信号によって Enable/Disable が決まります(通常動作)。

ALARM=“H” の場合 CONFIG2 レジスターで設定した動作になります。また STAT1 ステータスレジスターに”1”が格納され、NDIAG=“L”になります。

ALARM が“H” から“L”に切り替わった場合、ステータスレジスターは”0”に復帰し、NDIAG もステータスレジスターに従い“H”を出力します。

ALARM 端子の入力側にはノイズ除去のためのデジタルフィルター(D.F.)を内蔵しています。デジタルフィルター有無は CONFIG3 レジスターで設定可能です。

ALARM 端子にオープン故障が発生した場合、ゲートドライバー回路を Disable の方に制御します。

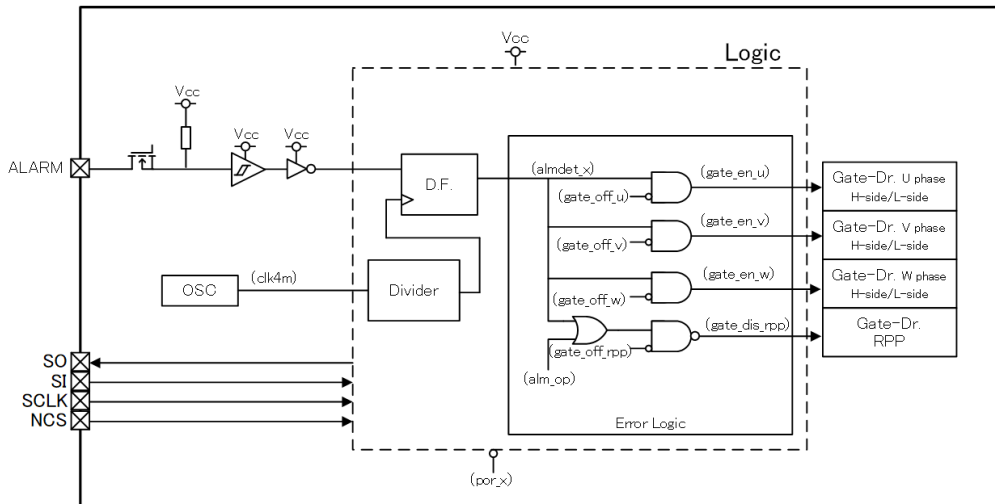


図 7.7.1 ALARM 回路制御ブロック図

表 7.7.1 ALARM 回路制御真理値表

por_x	ALARM	almdet_x	alm_op	gate_en_u	gate_en_v	gate_en_w	gate_dis_rpp
“L”	X	X	X	“L”	“L”	“L”	“H”
“H”	“H”(異常)	“L”(異常)	“0”	“L”	“L”	“L”	“H”
			“1”	“L”	“L”	“L”	gate_off_rpp
	“L”(通常)	“H”(通常)	X	gate_off_u_x	gate_off_v_x	gate_off_w_x	gate_off_rpp

注: X: Don't care

注: almdet\_x は、ALARM 信号反転後、フィルター(フィルター無 : fil\_alm=0 , フィルター有 : fil\_alm=1) 通過後の値

注: gate\_off\_u\_x, gate\_off\_v\_x, gate\_off\_w\_x, gate\_off\_rpp は Alarm 信号以外のゲートドライバー停止指示信号(\_x:反転)

表 7.7.2 ALARM 設定一覧(表の見方は 7.5.1 章、7.5.2 章参照)

機能	設定 Reg.	設定 bit	検出時動作	初期値	Status Reg.	Status Clear	NDIAG
ALARM	alm_op	“0”	三相 FET 駆動用(6ch)ゲートドライバー回路オフ、逆接保護 FET 駆動用ゲートドライバーオフ	○	alm_det	—	“L”
		“1”	三相 FET 駆動用(6ch)ゲートドライバー回路オフ	—			

## 7.8. SPI 通信回路

本製品は CPOL=0、CPHA=1 のモードで構成されたレスポンス用途の SPI 通信回路を内蔵しています。

SPI 通信回路は 4 本の端子で構成され、NCS, SI, SCLK 端子は入力電圧の ” H ” レベル、 ” L ” レベルを判定します。SO 端子はプッシュプル構成で、 ” H ” レベル、 ” L ” レベル電圧を出力し、NCS= ” H ” のときには Hi-Z 状態となります。通信の最大周波数は 2MHz です。

NCS= ” L ” のときのみ MCU との通信が可能となります。

NCS= ” L ” に切り替わった後、SCLK の入力開始まで待機期間が必要です。また SO の Hi-Z 状態が解除されるまで一定の時間が必要です。

クロックの立ち上がりエッジで MCU は SI にデータを出力します。次の立ち下がりエッジで本製品がデータを読み取りますが、立ち下がりの前後では SI データのセットアップ、ホールドで一定時間が必要です。

また、クロックの立ち上がりエッジで本製品は一定の遅延時間を持って SO にデータを出力します。MCU は次の立ち下がりエッジでデータを読み取ります。

クロックの最後の立ち下がりから NCS= ” H ” まで、一定の時間が必要です。NCS= ” H ” の切り替わりから一定時間後に SO が Hi-Z 状態になります。

NCS= ” H ” の切り替わりから次の通信開始(NCS= ” L ” )まで、一定の待機時間が必要です。

これらの一連のタイミングについては、図 9.9.1 を参照ください。

SI は MCU からのデータビットを MSB から LSB の順に受信します。

SO は MCU へデータビットを MSB から LSB の順に送信します。

また、本製品内部で NCS 端子は抵抗プルアップ、SCLK、SI 端子は抵抗プルダウンされています。

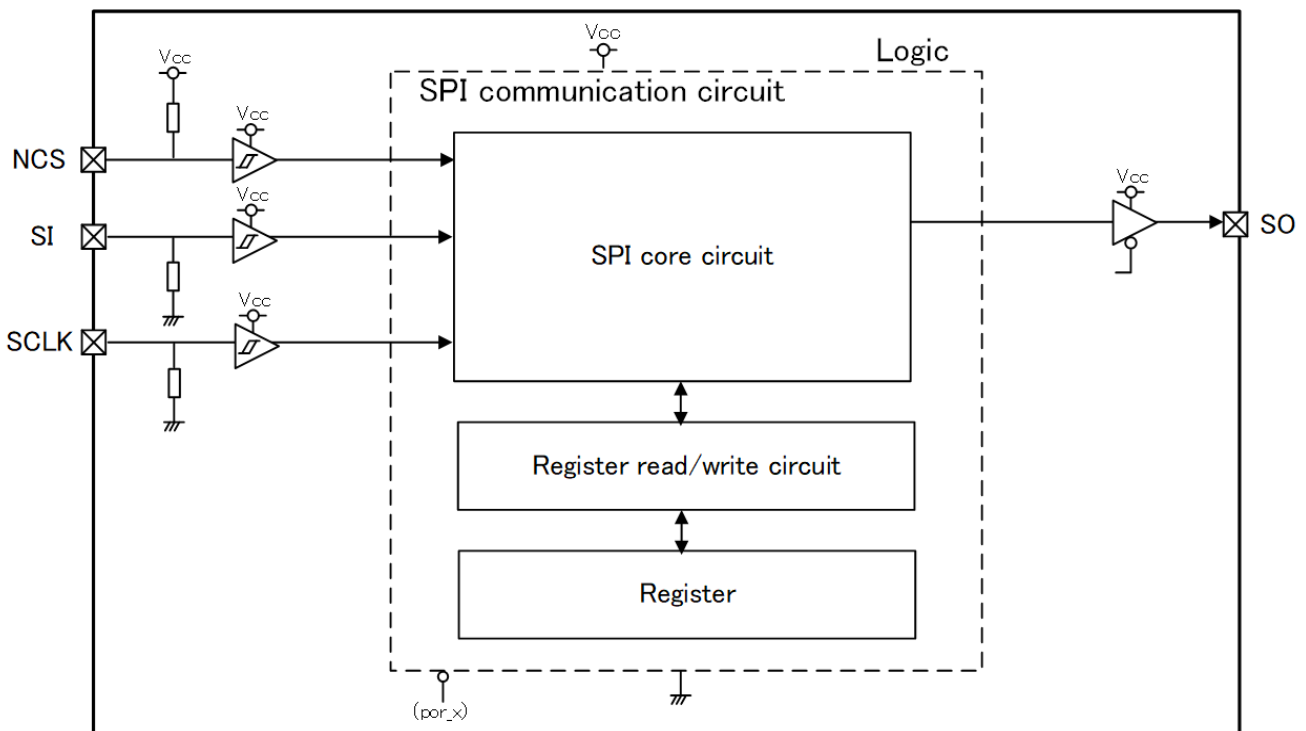


図 7.8.1 SPI 通信回路ブロック図

## 7.8.1. SPI 通信動作

フレーム長は 16 です。SI はアドレス指定ビット Addr[4:0]、データ指定ビット Data[9:0]、データチェック用偶数パリティビット P[0]により構成されます。機能としてはリード動作、ライト動作の 2 種類があり、“RW” bit(Addr[0])によりリード/ライト動作の選択が可能です。

フレームの構成を以下に示します。

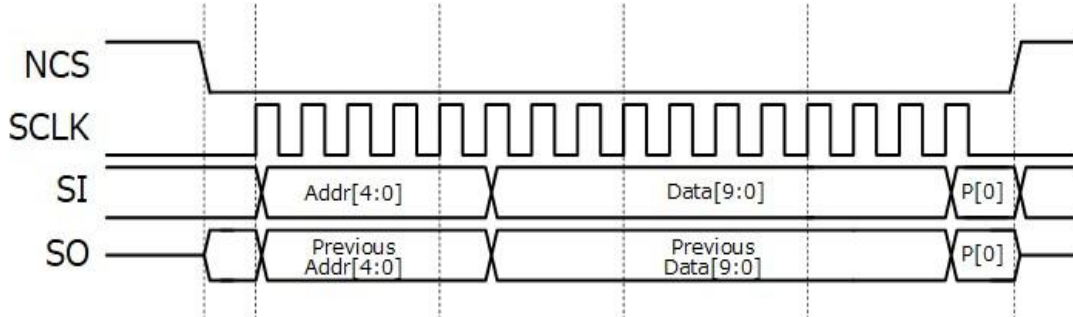


図 7.8.1.1 フレームフォーマット

ライトを実行するときは、Addr[0]=0 として表 7.8.3.1 で示されたアドレスを指定します。続いて Data[9:0]にライトデータを指定して、最後に Addr[4:0]と Data[9:0]を対象範囲とした偶数パリティチェック P[0]を指定します。なお次の通信でこのライトデータが Addr[4:0]、Data[9:0]、P[0]の順に SO から出力されます。

リードを実行するときは、まず Addr[0]=” 1” として表 7.8.3.1 で示されたアドレスを指定します。続いて Data[9:0]は全て” 0” を指定して、最後に Addr[4:0]と Data[9:0]を対象範囲とした偶数パリティチェック P[0]を指定します。なお次の通信で指定されたリードデータが SO から Addr[4:0]、Data[9:0]、P[0]の順にデータが出力されます。この通信では、本製品の動作に影響を与えないダミーフレーム (NOP:No Operation)も使用できます。

通常 SPI 動作例を図 7.8.1.2 に示します。

Transfer 1 : [CONFIG1](#) のデータを書き込んだ例

Transfer 2 : [STAT1](#) のデータを読み出すコマンドを送り、SO から Transfer1 の書き込みデータを確認する例

Transfer 3 : [CONFIG2](#) のデータを書き込み、SO から Transfer2 の読み出しデータを確認する例

SPI Transfer 1 (write)					SPI Transfer 2 (Read)				SPI Transfer 3 (Read)			
Pin SI	Addr [4:1]	Addr RW[0]	Data [9:0]	Even Parity [0]	Addr [4:1]	Addr RW[0]	Data [9:0]	Even Parity [0]	Addr [4:1]	Addr RW[0]	Data [9:0]	Even Parity [0]
MCU												
Value in Hex	02		3 09	1	0D		0 00	1	05		0 00	0
Value in Binary	0 001	0	11 0000 1001	1	0 110	1	00 0000 0000	1	0 010	1	00 0000 0000	0
Pin SO	Addr [4:1]	Addr RW[0]	Data [9:0]	Even Parity [0]	Addr [4:1]	Addr RW[0]	Data [9:0]	Even Parity [0]	Addr [4:1]	Addr RW[0]	Data [9:0]	Even Parity [0]
MCD												
Value in Hex	Previous Addr		Previous Data	Previous Parity	02		3 09	1	0D		0 10	1
Value in Binary	Previous Addr		Previous Data	Previous Parity	0 001	0	11 0000 1001	1	0 110	1	00 0001 0000	0

図 7.8.1.2 SPI 通信送受信の例

## 7.8.2. エラー判定

SPI 通信では次のエラー判定を行います。

- パリティエラー
- 指定アドレスエラー
- フレーム長エラー

パリティエラーはデータチェック用偶数パリティビット P[0]に、奇数パリティでセットされた場合エラーと判定されます。

指定アドレスエラーは表 7.8.3.1 レジスタマップに記載されないアドレス、および記載されない Read/Write 条件を設定した場合エラーと判定されます。

フレーム長エラーは、NCS の L 期間内の SCLK 数をカウントします。外部ノイズが通信中の SCLK ラインを妨害した状況を想定し、そのクロック数が 1~15、17 以上の場合検出します。

フレーム長が 16 クロック未満の場合は、NCS=" H" の時点で SO が Hi-Z となり、フレーム長が 17 クロック以上の場合、SO は " 0" を出力します。

いずれの場合も NCS=" H" のタイミングでエラー判定が行われます。

エラーが検出された場合ステータスレジスタ err\_spi に "1" が書き込まれ NDIAG= "L" です。エラーがライト時に発生した場合、Data[9:0]は無効となり、レジスタへのライトは実行されず以前のデータが継続されます。なお、この NDIAG= "L" を認識したタイミングでは SPI 通信エラーの可能性があり以降の通信は成立しない可能性があります。MCU は継続すべきであり、使用するフレームはレジスタへの誤書き込みの可能性が低い NOP フレームが推奨されます。

SPI 通信エラーを検出した場合、次の通信で 1 つ前の Addr[4:1]+ Addr[0]、および Data[9:0]=0x000、故意に誤ったパリティビットを返します。これにより、先の NDIAG= "L" の原因は SPI 通信エラーであると MCU は認識しますが、MCU は通信を継続しパリティビットが正常に復帰することを期待します。

正常復帰後も err\_spi の "1" と NDIAG= "L" は保持されます。SPI 通信が正常に復帰したことを確認後、MCU は err\_spi\_cl に "1" を書き込み、err\_spi を "0" とし NDIAG= "H" に復帰させます。その後 MCU はレジスタ内の各種設定が異常前の状態と同じであるかどうか比較することが推奨されます。

### <Vcc 低電圧検出時>

Vcc 低電圧検出時は SPI 通信ができません。

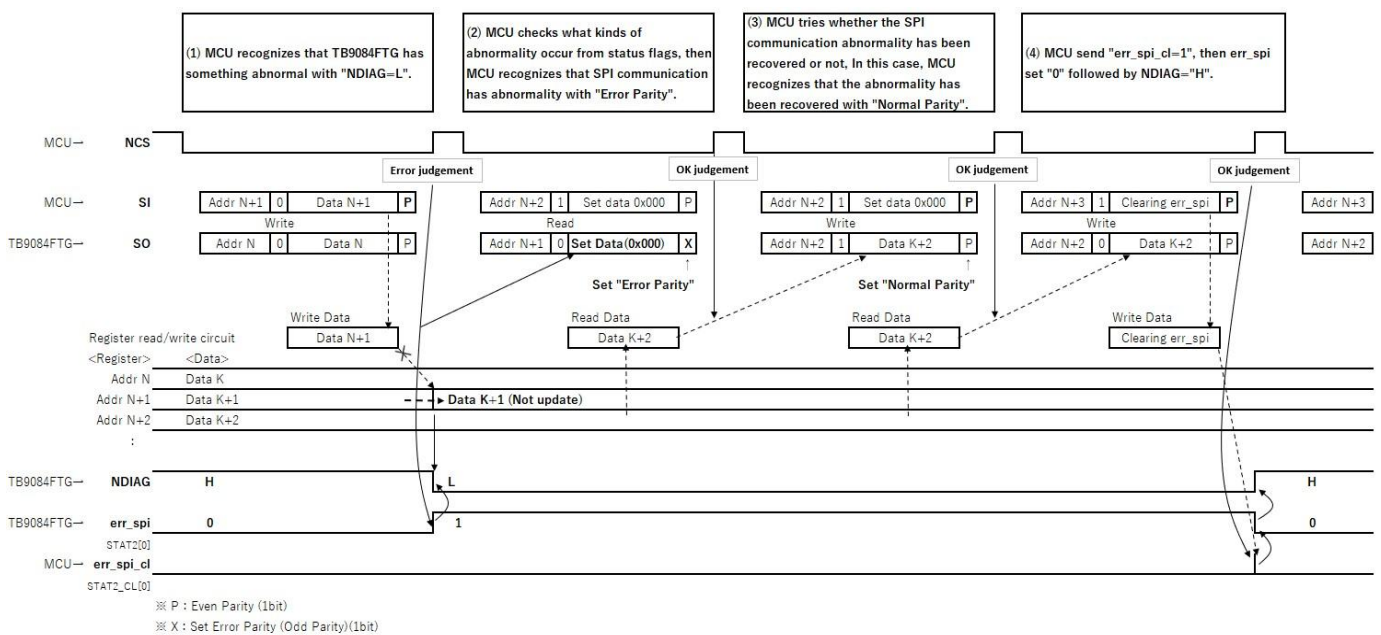


図 7.8.2.1 通信エラーを検出した場合の次の通信について

表 7.8.2.1 SPI 通信エラー設定一覧(表の見方は 7.5.1 章、7.5.2 章参照)

機能	設定 Reg.	設定 bit	検出時動作	初期値	Status Reg.	Status Clear	NDIAG
SPI 通信異常	無	—	動作継続	—	err_spi	err_spi_cl	“L”

## 7.8.3. レジスタマップ

表 7.8.3.1 レジスタマップ

Symbol	Addr[4:1]		Addr[0] Write Read	D9		D8	D7	D6	D5	D4	D3	D2	D1	D0
<a href="#">CONFIG1</a>	1h	0001b	W(0) R(1)	uvb_op		ovcp_op			ovcc_op			uvrpp_op		
<a href="#">CONFIG2</a>	2h	0010b	W(0) R(1)		tsd_op			vdsh_op			vds_l_op		alm_op	
<a href="#">CONFIG3</a>	3h	0011b	W(0) R(1)		mask_vds			vth_vdsh			vth_vdsl		fil_alm	
<a href="#">CONFIG4</a>	4h	0100b	W(0) R(1)		t_ilim			plu_dis	plv_dis	plw_dis	vds_u_dis	vds_v_dis	vds_w_dis	pl_op
<a href="#">CONFIG5</a>	5h	0101b	W(0) R(1)		gain_amp			cal_amp	-	-	-	-	cpsw_det_op	gd_in_sel
<a href="#">STAT1</a>	6h	0110b	R(1)	uvb		ovcp	ovcc	uvrpp	tsd	cp2sw_det	cp1sw_det	cal_pass	cal_en	alm_det
<a href="#">STAT2</a>	7h	0111b	R(1)	vds_uh		vds_vh	vds_wh	vds_ul	vds_vl	vds_wl	err_pl_u	err_pl_v	err_pl_w	err_spi
<a href="#">STAT1_CLR</a>	8h	1000b	W(0)	uvb_cl		ovcp_cl	ovcc_cl	uvrpp_cl	tsd_cl	cp2sw_det_cl	cp1sw_det_cl	cal_pass_cl	-	set_dflt
<a href="#">STAT2_CLR</a>	9h	1001b	W(0)	vds_uh_cl		vds_vh_cl	vds_wh_cl	vds_ul_cl	vds_vl_cl	vds_wl_cl	err_pl_u_cl	err_pl_v_cl	err_pl_w_cl	err_spi_cl
<a href="#">NOP</a>	Fh	1111b	W(0) R(1)	-		-	-	-	-	-	-	-	-	-

全般：

- アサインされていないビット(レジスタマップで” - “と記載)は書き込もうとしてデータをセットしても破棄されます。リード時には” 0”としてリードされます。
- 1つの書き込み(set\_dflt)で、設定値(CONFIG1~5)、ステータス(STAT1~2)の全ての bit をデフォルト値に戻す機能を有します。
- 7.8.3.1 章~7.8.3.9 章のレジスタ説明で下線が入った説明がデフォルト値です。

CONFIG(設定)レジスタについて：

- 設定値として示されていないビットが設定された場合は、その設定値は更新されず前の値を保持します。
- CONFIG4[6:4]の pl\*\_dis ビットにより禁止入力検出を無効とすると、検出自体が無効となるため H\*I=L\*I=” H” が入力された場合でも出力が H\*O=L\*O=” H” となり、ステータスビットもセットされず、NDIAG 端子も” L” となりません。(\*は U/V/W)表 7.2.1.1 入出力真理値表 (ハイサイド、ローサイド駆動回路)参照。

STAT(ステータス)レジスタについて：

- “1” → “0” への復帰は、検出回路の結果に応じて自動復帰する場合と、ステータスクリアレジスタに” 1”を書き込み復帰させる場合の 2 種類があります。
- STAT1[1]の cal\_pass のみ、異常時” 0”です。

STAT\_CLR(ステータスクリア)レジスタについて：

- 正常状態移行後に “1” をライトするとステータスビットをクリアします。クリアされたレジスタは “0” (デフォルト値)になります。この場合、NDIAG= “H” となり、正常動作に復帰します。
- 異常検出状態のときに “1” をライトをしてもクリア対象のステータスレジスタはクリアされませ

ん。

- “1” をライト後、“0” に書き戻す必要はありません。
- “0” のライトは無効です。

注: パリティーチェックの特性上、送信と受信のデータが 2bit 以上変化し、データの 1 の数が同じになった場合などには誤りを検出できません。

## 7.8.3.1. CONFIG1 Write Address=2h / Read Address=3h

表 7.8.3.1.1 CONFIG1 Register Map

Symbol	Addr[4:1]		Addr[0]	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
			Write Read										
CONFIG1	1h	0001b	W(0) R(1)	uvb_op	ovcp_op			ovcc_op			uvrpp_op		

表 7.8.3.1.2 CONFIG1 Register Explanation

bit	Symbol	R/W	Function
CONFIG1 [9]	uvb_op	R/W	VB 低電圧検出の動作選択 "0"=NDIAG:"L"出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動。 "1"=NDIAG:"L"出力、三相 FET 駆動用ゲートドライバーが FET オフに駆動。チャージポンプ回路オフ
CONFIG1 [8:6]	ovcp_op	R/W	VCP 高電圧検出の動作選択 "000"=NDIAG:"H"出力継続、動作継続【検出無効】 "001"=NDIAG:"L"出力(保持)、動作継続 "010"=NDIAG:"L"出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動 "011"=NDIAG:"L"出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動(保持) "100"=NDIAG:"L"出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動、チャージポンプ回路オフ "101"=NDIAG:"L"出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動(保持)、チャージポンプ回路オフ(保持)
CONFIG1 [5:3]	ovcc_op	R/W	VCC 高電圧検出の動作選択 "000"=NDIAG:"H"出力継続、動作継続【検出無効】 "001"=NDIAG:"L"出力(保持)、動作継続 "010"=NDIAG:"L"出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動 "011"=NDIAG:"L"出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動(保持) "100"=NDIAG:"L"出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動、チャージポンプ回路オフ "101"=NDIAG:"L"出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動(保持)、チャージポンプ回路オフ(保持)
CONFIG1 [2:0]	uvrpp_op	R/W	RPPO 低電圧検出の動作選択 "000"=NDIAG:"H"出力継続、動作継続【検出無効】 "001"=NDIAG:"L"出力(保持)、動作継続 "010"=NDIAG:"L"出力(保持)、三相 FET 駆動用と逆接保護 FET 駆動用ゲートドライバーが FET オフに駆動 "011"=NDIAG:"L"出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動 "100"=NDIAG:"L"出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動(保持)

## 7.8.3.2. CONFIG2 Write Address=4h / Read Address=5h

表 7.8.3.2.1 CONFIG2 Register Map

Symbol	Addr[4:1]		Addr[0]	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
			Write Read										
CONFIG2	2h	0010b	W(0) R(1)	tsd_op			vdsh_op			vdsl_op			alm_op

表 7.8.3.2.2 CONFIG2 Register Explanation

bit	Symbol	R/W	Function
CONFIG2 [9:7]	tsd_op※1	R/W	<p>過熱検出の動作選択</p> <p>“000”=NDIAG:“H”出力継続、動作継続【検出無効】</p> <p>“001”=NDIAG:“L”出力(保持)、動作継続</p> <p>“010”=NDIAG:“L”出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動</p> <p>“011”=NDIAG:“L”出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動(保持)</p> <p>“100”=NDIAG:“L”出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動、チャージポンプ回路オフ</p> <p>“101”=NDIAG:“L”出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動(保持)、チャージポンプ回路オフ(保持)</p>
CONFIG2 [6:4]	vdsh_op	R/W	<p>三相 FET の VDS 異常検出(ハイサイド)の動作選択</p> <p>“000”=NDIAG:“H”出力継続、動作継続【検出無効】</p> <p>“001”=NDIAG:“L”出力(保持)、動作継続</p> <p>“010”=NDIAG:“L”出力(保持)、検出した相の H/L ゲートドライバーが FET オフに駆動</p> <p>“011”=NDIAG:“L”出力(保持)、検出した相の H/L ゲートドライバーが FET オフに駆動(保持)</p> <p>“100”=NDIAG:“L”出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動</p> <p>“101”=NDIAG:“L”出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動(保持)</p> <p>“110”=NDIAG:“L”出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動、チャージポンプ回路オフ</p> <p>“111”=NDIAG:“L”出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動(保持)、チャージポンプ回路オフ(保持)</p>
CONFIG2 [3:1]	vdsl_op	R/W	<p>三相 FET の VDS 異常検出(ローサイド)の動作選択</p> <p>“000”=NDIAG:“H”出力継続、動作継続【検出無効】</p> <p>“001”=NDIAG:“L”出力(保持)、動作継続</p> <p>“010”=NDIAG:“L”出力(保持)、検出した相の H/L ゲートドライバーが FET オフに駆動</p> <p>“011”=NDIAG:“L”出力(保持)、検出した相の H/L ゲートドライバーが FET オフに駆動(保持)</p> <p>“100”=NDIAG:“L”出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動</p> <p>“101”=NDIAG:“L”出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動(保持)</p> <p>“110”=NDIAG:“L”出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動、チャージポンプ回路オフ</p> <p>“111”=NDIAG:“L”出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動(保持)、チャージポンプ回路オフ(保持)</p>
CONFIG2 [0]	alm_op	R/W	<p>ALARM 検出の動作選択</p> <p>“0”=NDIAG:“L”出力、三相 FET 駆動用と逆接保護 FET 駆動用ゲートドライバーが FET オフに駆動</p> <p>“1”=NDIAG:“L”出力、三相 FET 駆動用ゲートドライバーが FET オフに駆動</p>

## 7.8.3.3. CONFIG3 Write Address=6h / Read Address=7h

表 7.8.3.3.1 CONFIG3 Register Map

Symbol	Addr[4:1]		Addr[0]	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
			Write Read										
CONFIG3	3h	0011b	W(0) R(1)	mask_vds			vth_vdsh			vth_vdsl			fil_alm

表 7.8.3.3.2 CONFIG3 Register Explanation

bit	Symbol	R/W	Function
CONFIG3 [9:7]	mask_vds	R/W	三相 FET の VDS 検出フィルター時間(ハイサイド/ローサイド)選択 "000"=6 $\mu$ s "001"=8 $\mu$ s "010"=10 $\mu$ s "011"=12 $\mu$ s "100"=16 $\mu$ s "101"=32 $\mu$ s "110"=64 $\mu$ s "111"=128 $\mu$ s
CONFIG3 [6:4]	vth_vdsh	R/W	三相 FET の VDS 検出しきい値電圧(ハイサイド)選択 "000"=0.1V "001"=0.3V "010"=0.5V "011"=0.7V "100"=0.9V "101"=1.1V
CONFIG3 [3:1]	vth_vdsl	R/W	三相 FET の VDS 検出しきい値電圧(U 相 ローサイド)選択 "000"=0.1V "001"=0.3V "010"=0.5V "011"=0.7V "100"=0.9V "101"=1.1V
CONFIG3 [0]	fil_alm	R/W	ALARM デジタルフィルター設定(ハイサイド/ローサイド共通) "0"= フィルター無し "1"= 16 $\mu$ s $16 \times 22 \times (1/4\text{MHz}) + (1/4\text{MHz})$

## 7.8.3.4. CONFIG4 (Write Address=8h / Read Address=9h)

表 7.8.3.4.1 CONFIG4 Register Map

Symbol	Addr[4:1]		Addr[0]	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
			Write Read										
CONFIG4	4h	0100b	W(0) R(1)	t_ili			plu_dis	plv_dis	plw_dis	vds_u_dis	vds_v_dis	vds_w_dis	pl_op

表 7.8.3.4.2 CONFIG4 Register Explanation

bit	Symbol	R/W	Function
CONFIG4 [9:7]	t_ili	R/W	三相 FET 駆動用ゲートドライバーの出力電流制限開始時間選択 "000"=6μs "001"=8μs "010"=10μs "011"=12μs "100"=16μs "101"=32μs "110"=64μs "111"=128μs
CONFIG4 [6]	plu_dis	R/W	三相 FET 駆動用ゲートドライバー-U 相出力(HUO,LUO)の禁止入力検出の有効/無効選択 "0"=U 相の検出有効 "1"=U 相の検出無効
CONFIG4 [5]	plv_dis	R/W	三相 FET 駆動用ゲートドライバー-V 相出力(HVO,LVO)の禁止入力検出の有効/無効選択 "0"=V 相の検出有効 "1"=V 相の検出無効
CONFIG4 [4]	plw_dis	R/W	三相 FET 駆動用ゲートドライバー-W 相出力(HWO,LWO)の禁止入力検出の有効/無効選択 "0"=W 相の検出有効 "1"=W 相の検出無効
CONFIG4 [3]	vds_u_dis	R/W	三相 FET の VDS 検出(U 相 ハイサイド&ローサイド)の有効/無効選択 "0"=U 相の検出有効 "1"=U 相の検出無効(新たに検出させません、すでに検出したステータスには影響ありません)
CONFIG4 [2]	vds_v_dis	R/W	三相 FET の VDS 検出(V 相 ハイサイド&ローサイド)の有効/無効選択 "0"=V 相の検出有効 "1"=V 相の検出無効(新たに検出させません、すでに検出したステータスには影響ありません)
CONFIG4 [1]	vds_w_dis	R/W	三相 FET の VDS 検出(W 相 ハイサイド&ローサイド)の有効/無効選択 "0"=W 相の検出有効 "1"=W 相の検出無効(新たに検出させません、すでに検出したステータスには影響ありません)
CONFIG4 [0]	pl_op	R/W	三相 FET 駆動用ゲートドライバーの禁止入力検出の動作選択 "0"=禁止入力検出結果をステータスレジスターにセットしない、NDIAG:"H"出力、 pl*_dis="L"の場合、検出相の 1 相 FET 駆動用ゲートドライバーが FET オフに駆動 "1"=禁止入力検出結果をステータスレジスターにセットする、NDIAG:"L"出力 (保持)、 pl*_dis="L"の場合、検出相の 1 相 FET 駆動用ゲートドライバーが FET オフに駆動

## 7.8.3.5. CONFIG5 Write Address=Ah / Read Address=Bh

表 7.8.3.5.1 CONFIG5 Register Map

Symbol	Addr[4:1]		Addr[0]	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
			Write Read	gain_amp			cal_amp	-	-	-	-	cpsw_det_ op	gd_in_sel
CONFIG5	5h	0101b	W(0) R(1)	gain_amp			cal_amp	-	-	-	-	cpsw_det_ op	gd_in_sel

表 7.8.3.5.2 CONFIG5 Register Explanation

bit	Symbol	R/W	Function
CONFIG5 [9:7]	gain_amp	R/W	電流センス OPAMP ゲイン選択 "000"=7.5 倍 "001"=10 倍 "010"=12.5 倍 "011"=15 倍 "100"=20 倍 "101"=30 倍 "110"=40 倍 "111"=40 倍
CONFIG5 [6]	cal_amp	W	OPAMP キャリブレーション選択 "0"=OPAMP キャリブレーション無し "1"=OPAMP キャリブレーション実行。設定はキャリブレーション終了したかどうかに関わらず自動的にクリアされます。
CONFIG5 [5]	-	-	"0"
CONFIG5 [4]	-	-	"0"
CONFIG5 [3]	-	-	"0"
CONFIG5 [2]	-	-	"0"
CONFIG5 [1]	cpsw_det_op	R/W	CP1SW, SP2SW 端子の異常検出 "0"=NDIAG:"L"出力(保持)、動作継続 "1"=NDIAG:"L"出力(保持)、三相 FET 駆動用ゲートドライバーが FET オフに駆動(保持)、チャージポンプ回路オフ(保持)
CONFIG5 [0]	gd_in_sel	R/W	三相 FET 駆動用ゲートドライバーの入力端子数選択 "0"=6 入力 "1"=無効

## 7.8.3.6. STAT1 / Read Address=Dh

表 7.8.3.6.1 STAT1 Register Map

Symbol	Addr[4:1]		Addr[0]	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
	6h	0110b	Write Read	uvb	ovcp	ovcc	uvrpp	tsd	cp2sw_det	cp1sw_det	cal_pass	cal_en	alm_det
STAT1	6h	0110b	R(1)	uvb	ovcp	ovcc	uvrpp	tsd	cp2sw_det	cp1sw_det	cal_pass	cal_en	alm_det

表 7.8.3.6.2 STAT1 Register Explanation

bit	Symbol	R/W	Function
STAT1 [9]	uvb	R	VB 低電圧検出 "0" = 検出無し "1" = 検出有り
STAT1 [8]	ovcp	R	VCP 高電圧検出 "0" = 検出無し "1" = 検出有り
STAT1 [7]	ovcc	R	VCC 高電圧検出 "0" = 検出無し "1" = 検出有り
STAT1 [6]	uvrpp	R	RPP 低電圧検出 "0" = 検出無し "1" = 検出有り
STAT1 [5]	tsd	R	過熱検出 "0" = 検出無し "1" = 検出有り
STAT1 [4]	cp2sw_det	R	CP2SW 端子の異常検出 "0" = 検出無し "1" = 検出有り
STAT1 [3]	cp1sw_det	R	CP1SW 端子の異常検出 "0" = 検出無し "1" = 検出有り
STAT1 [2]	cal_pass	R	電流センス AMP オフセットキャリブレーション検査結果フラグ "0" = Failure またはキャリブレーション未実行 "1" = Pass
STAT1 [1]	cal_en	R	電流センス AMP オフセットキャリブレーション動作フラグ "0" = キャリブレーション停止中 "1" = キャリブレーション実行中
STAT1 [0]	alm_det	R	ALARM 端子状態検出 "0" = ALARM 端子に L レベル電圧が入力 "1" = ALARM 端子に H レベル電圧が入力

## 7.8.3.7. STAT2 / Read Address=Fh

### 表 7.8.3.7.1 STAT2 Register Map

Symbol	Addr[4:1]		Addr[0]	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
			Write Read										
STAT2	7h	01111b	R(1)	vds_u h	vds_vh	vds_wh	vds_ul	vds_vl	vds_wl	err_pl_u	err_pl_v	err_pl_w	err_spi

### 表 7.8.3.7.2 STAT2 Register Explanation

bit	Symbol	R/W	Function
STAT2 [9]	vds_uh	R	三相 FET の VDS 検出(U 相 ハイサイド) "0"=検出無し "1"=検出有り
STAT2 [8]	vds_vh	R	三相 FET の VDS 検出(V 相 ハイサイド) "0"=検出無し "1"=検出有り
STAT2 [7]	vds_wh	R	三相 FET の VDS 検出(W 相 ハイサイド) "0"=検出無し "1"=検出有り
STAT2 [6]	vds_ul	R	三相 FET の VDS 検出(U 相 ローサイド) "0"=検出無し "1"=検出有り
STAT2 [5]	vds_vl	R	三相 FET の VDS 検出(V 相 ローサイド) "0"=検出無し "1"=検出有り
STAT2 [4]	vds_wl	R	三相 FET の VDS 検出(W 相 ローサイド) "0"=検出無し "1"=検出有り
STAT2 [3]	err_pl_u	R	三相 FET 駆動用ゲートドライバー禁止入力エラー検出(U 相) "0"=検出無し "1"=検出有り
STAT2 [2]	err_pl_v	R	三相 FET 駆動用ゲートドライバー禁止入力エラー検出(V 相) "0"=検出無し "1"=検出有り
STAT2 [1]	err_pl_w	R	三相 FET 駆動用ゲートドライバー禁止入力エラー検出(W 相) "0"=検出無し "1"=検出有り
STAT2 [0]	err_spi	R	SPI 通信エラー検出 "0"=検出無し "1"=検出有り

## 7.8.3.8. STAT1\_CLR Write Address=10h

表 7.8.3.8.1 STAT1\_CLR Register Map

Symbol	Addr[4:1]		Addr[0]		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
			Write	Read										
STAT1_CLR	8h	1000b	W(0)		uvb_cl	ovcp_cl	ovcc_cl	uvrpp_cl	tsd_cl	cp2sw_det_cl	cp1sw_det_cl	cal_pass_cl	-	set_dflt

表 7.8.3.8.2 STAT1\_CLR Register Explanation

bit	Symbol	R/W	Function
STAT1_CLR [9]	uvb_cl	W	ステータスビット uvb をクリアする "0"=無効 "1"=ステータスビットをクリア
STAT1_CLR [8]	ovcp_cl	W	ステータスビット ovcp をクリアする "0"=無効 "1"=ステータスビットをクリア
STAT1_CLR [7]	ovcc_cl	W	ステータスビット ovcc をクリアする "0"=無効 "1"=ステータスビットをクリア
STAT1_CLR [6]	uvrpp_cl	W	ステータスビット uvrpp をクリアする "0"=無効 "1"=ステータスビットをクリア
STAT1_CLR [5]	tsd_cl	W	ステータスビット tsd をクリアする "0"=無効 "1"=ステータスビットをクリア
STAT1_CLR [4]	cp2sw_det_cl	W	ステータスビット cp2sw_det をクリアする "0"=無効 "1"=ステータスビットをクリア
STAT1_CLR [3]	cp1sw_det_cl	W	ステータスビット cp1sw_det をクリアする "0"=無効 "1"=ステータスビットをクリア
STAT1_CLR [2]	cal_pass_cl	W	電流センス AMP オフセットキャリブレーション検査結果フラグをクリアする "0"=無効 "1"=ステータスビットをクリア
STAT1_CLR [1]	-	-	"0"
STAT1_CLR [0]	set_dflt	W	設定値(CONFIG1~5)、ステータス(STAT1~2)の全ての bit をデフォルト値に戻す。 "0"=現設定を維持 "1"=現設定をデフォルト設定に切り替え

## 7.8.3.9. STAT2\_CLR Write Address=12h

表 7.8.3.9.1 STAT2\_CLR Register Map

Symbol	Addr[4:1]		Addr[0]		D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
			Write	Read										
STAT2_CLR	9h	1001b	W(0)		vds_uh_cl	vds_vh_cl	vds_wh_cl	vds_ul_cl	vds_vl_cl	vds_wl_cl	err_pl_u_cl	err_pl_v_cl	err_pl_w_cl	err_spi_cl

表 7.8.3.9.2 STAT2\_CLR Register Explanation

bit	Symbol	R/W	Function
STAT2_CLR [9]	vds_uh_cl	W	ステータスビット vds_uh をクリアする "0"=無効 "1"=ステータスビットをクリア
STAT2_CLR [8]	vds_vh_cl	W	ステータスビット vds_vh をクリアする "0"=無効 "1"=ステータスビットをクリア
STAT2_CLR [7]	vds_wh_cl	W	ステータスビット vds_wh をクリアする "0"=無効 "1"=ステータスビットをクリア
STAT2_CLR [6]	vds_ul_cl	W	ステータスビット vds_ul をクリアする "0"=無効 "1"=ステータスビットをクリア
STAT2_CLR [5]	vds_vl_cl	W	ステータスビット vds_vl をクリアする "0"=無効 "1"=ステータスビットをクリア
STAT2_CLR [4]	vds_wl_cl	W	ステータスビット vds_wl をクリアする "0"=無効 "1"=ステータスビットをクリア
STAT2_CLR [3]	err_pl_u_cl	W	ステータスビット err_pl_u をクリアする "0"=無効 "1"=ステータスビットをクリア
STAT2_CLR [2]	err_pl_v_cl	W	ステータスビット err_pl_v をクリアする "0"=無効 "1"=ステータスビットをクリア
STAT2_CLR [1]	err_pl_w_cl	W	ステータスビット err_pl_w をクリアする "0"=無効 "1"=ステータスビットをクリア
STAT2_CLR [0]	err_spi_cl	W	ステータスビット err_spi をクリアする "0"=無効 "1"=ステータスビットをクリア

## 7.8.3.10. NOP Write Address=Fh / Read Address=Fh

表 7.8.3.10.1 NOP Register Map

Symbol	Addr[4:1]		Addr[0]	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
			Write Read										
NOP	Fh	1111b	W(0) R(1)	-	-	-	-	-	-	-	-	-	-

NOP(No Operation)は1つ前の通信で行われた Read 要求に対し SDO 端子から出力するための専用フレームです。Addr[0]はどちらの設定でも受け付けます。D[9:0]はアサインされていないビットでありデータをセットしても破棄されますから0でも1でも受け付けます。

NOPの次の通信では、SDO から Addr[4:1]=Fh, Addr[0]はNOP 通信時に設定したデータ、D[9:0]はオールゼロが出力されます。

通信例を図 7.8.3.10.1 に示します。

Transfer 1 : [STAT1](#) のデータを読み出すコマンドを送った例

Transfer 2 : [NOP](#)(Addr[0]=0)を送り SO から Transfer1 の読み出しデータを確認する例

Transfer 3 : [NOP](#)(Addr[0]=1)を送り SO から Transfer2 の読み出しデータ(NOP: Addr[0]=0)を確認する例

Transfer 4 : [CONFIG1](#) のデータを書き込み、SO から Transfer3 の読み出しデータ(NOP: Addr[0]=1)を確認する例

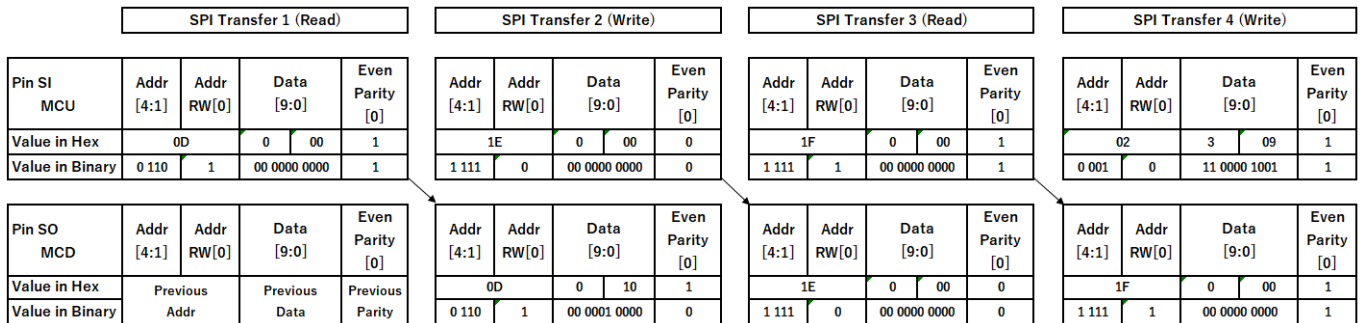


図 7.8.3.10.1 SPI 通信 NOP 送受信の例

## 8. 絶対最大定格 (Ta = 25°C)

特に指定がない場合、電圧は全て GND 基準

Spec No.	項目	適用端子	記号	定格	単位	条件	
8.1	電源電圧	VB	Vb	-0.3~28(DC)	V	1V/s < Vb < 8V/μs(設計値)	
8.2				28~40(≦1s)			
8.3		VCP	Vcp	-0.3~60(DC)	V		-
8.4		VCC	Vcc	-0.3~6	V		1V/s < Vcc < 0.3V/μs(設計値)
8.5	GND-PGND 端子間電圧	PGND	Vgnd	-0.3~0.3	V	-	
8.6	入力電圧	HS	Vin1	-0.3~28(DC), 28~40(≦1s)	V	-	
8.6a		ALARM	Vin1a	-0.3~Vb+0.3	V	Vin1a ≦ 28V(DC), Vin1a ≦ 40V(≦1s)	
8.7		HUS, HVS, HWS	Vin2	-7~ Vcp+0.3,	V	Vin2 ≦ 40V HUO-HUS,HVO-HVS, HWO- HWS 間の電圧 ≦ 40V	
8.8				-14~-7(≦1μs,20kHz)			
8.9		LS	Vin3	-7~ Vcp+0.3,	V	Vin3 ≦ 40V LUO-LS,LVO-LS, LWO- LS 間の電圧 ≦ 40V	
8.10				-10~-7(≦1μs,20kHz)			
8.11		LUI, LVI, LWI, HUI, HVI, HWI, SCLK, NCS, SI	Vin4	-0.3~Vcc+0.3	V	Vin4 ≦ 6V	
8.12		AMP_P, AMP_N	Vin5	-10~-7(≦1μs,20kHz), -7~28(DC), 28~40(≦1s)	V	-	
8.14		出力電圧	CP1B, CP2B	Vout1	-0.3~Vcp+0.3	V	Vout1 ≦ 60V
8.15			RPPO	Vout2	-18~Vcp+0.3	V	Vcp -Vout2 ≦ 60V -18V はバッテリー逆接続時を想定 (詳細条件は SPEC-9.4.19 参照)
8.16	HUO, HVO, HWO		Vout3	-7~Vcp+0.3(DC)	V	Vout3 ≦ 60V HUO-HUS,HVO-HVS,HWO- HWS 間の電圧 ≦ 40V	
8.17				-14~-7(≦1μs,20kHz)			
8.18	CP1SW, CP2SW		Vout4	-0.3~Vb+0.3	V	Vout4 ≦ 28V(DC), Vout4 ≦ 40V(≦1s)	
8.19	LUO, LVO, LWO		Vout5	-7~Vcp+0.3(DC)	V	Vout5 ≦ 60V LUO-LS,LVO-LS, LWO- LS 間の電圧 ≦ 40V	
8.20				-10~-7(≦1μs,20kHz)			
8.21	AMP_O		Vout6	-0.3~Vcc+0.3	V	Vout6 ≦ 6V	
8.22	NDIAG, SO		Vout7	-0.3~Vcc+0.3	V	Vout7 ≦ 6V	
8.23	入力電流		HUS,HVS, HWS	lin1	(-1.5)	A	(括弧)内は設計値 t=0.2μs
8.23a		LS	lin1a	(-3)	A	(括弧)内は設計値 t=0.2μs	
8.24		AMP_P, AMP_N	lin2	-0.5~2	mA	-	
8.25	出力電流	HUO, HVO, HWO,	lout1	-20~20	mA	出力電流切り替え時間(Tsw) 経過後の出力制限電流	
8.26		LUO, LVO, LWO	lout2	(-2~1.5)	A	(括弧)内は設計値 t=0.2μs	
8.27		CP1B,CP2B	lout3	(-0.1)	A	(括弧)内は設計値	
8.28		VCP	lout4	(-0.1)	A	(括弧)内は設計値	
8.29		AMP_O	lout5	±5	mA	-	
8.30		NDIAG, SO	lout6	±10	mA	-	
8.31		動作周囲温度	-	Ta	-40~150	°C	-

8.32	ジャンクション 温度 最大値	-	Tj	175	°C	-
8.33	保存温度	-	Tstg	-55~150	°C	-
8.34	許容損失	-	Pd	0.774	W	JEDEC 四層基板、Ta=150°C、 熱抵抗 32.3°C/W

注: 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、1つの項目でも超えて使用することが出来ません。

注: 絶対最大定格値は条件欄の範囲に限定しています。

注: 本製品への流入電流を‘+’で、本製品からの流出電流を‘-’で表示しています。

注: 上記最大定格表中の記号(Vb、Vcp、Vcc)は、各端子(VB、VCP、VCC)での印加電圧、出力電圧を意味しています。

注: VB=28~40(≦1s)の条件では、本製品保護のため動作が一時的に停止する場合があります。

注: ALARM 端子は VB までの電圧印可が許容されますが、製品が誤動作する可能性があるため VCC までの電圧印可で使用してください。

注: 正弦波駆動を Ta=125°C以上で行う場合は、SPEC-8.34 の Pd を超える可能性がありますので、ご注意ください。

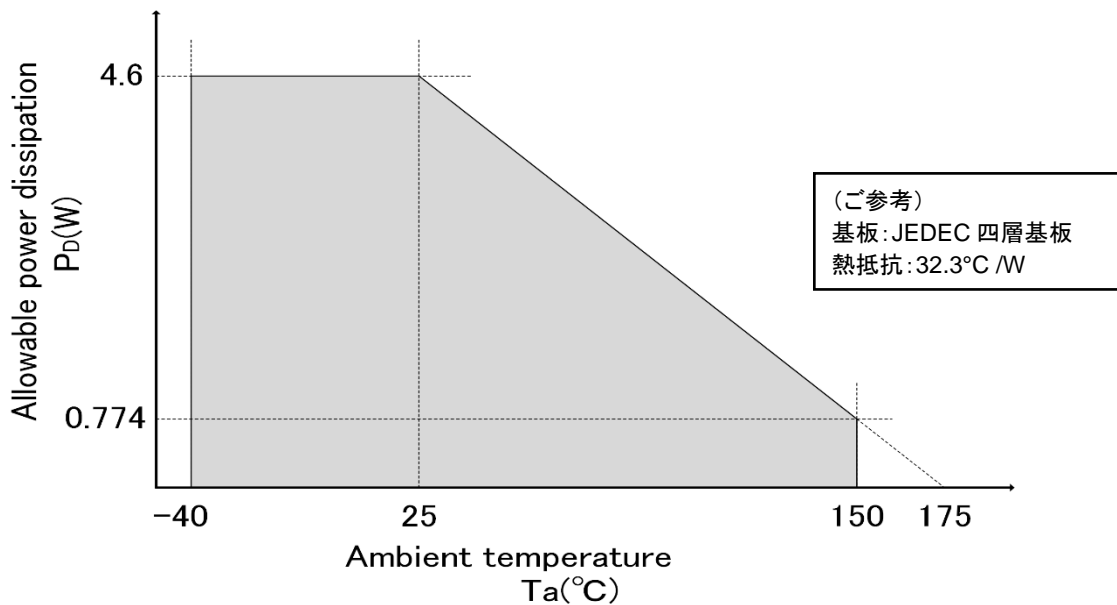


図 8.1 許容損失特性

## 9. 電気的特性

### 9.1. 動作電圧範囲

Spec No.	項目	適用端子	記号	動作範囲	単位	条件
9.1.1	入力電圧	VB	Vb	5.7~28	V	DC
9.1.2		VCC	Vcc	3.0~5.5	V	DC

注: 本製品は 12V バッテリーでの使用を想定しています。

### 9.2. 消費電流

特に指定がない場合、Vb=5.7~28V、Vcc=3.0~5.5V、Tj=-40~175°C

Spec No.	項目	適用端子	記号	測定条件	最小	標準	最大	単位	備考欄
9.2.1	リセット時電流 (Battery)	VB VCP RPPO HS	Istb1	Vb=VCP=RPPO=HS=12V, Vcc= 0V, -40≤Ta<85°C	0	-	1	μA	-
9.2.2			Istb2	Vb=VCP=RPPO=HS=12V, Vcc=0V, 85≤Ta<125°C	0	-	1	μA	-
9.2.3			Istb3	Vb=VCP=RPPO=HS=12V, Vcc=0V, 125≤Ta≤150°C	0	-	3	μA	-
9.2.4	消費電流(Vb)	VB	Ib1	Vb=13.5V HUO, HVO, HWO=20kHz LUO, LVO, LWO=20kHz ゲートドライバー出力負荷: Rload=10Ω, Cload=6100pF RPPO=150kΩ (to VB)	25	46	67	mA	-
9.2.5			Ib2	Vb=16V HUO, HVO, HWO=20kHz LUO, LVO, LWO=20kHz ゲートドライバー出力負荷: Rload=10Ω, Cload=6100pF RPPO=150kΩ (to VB)	25	46	67	mA	-
9.2.6			Ib3	Vb=28V HUO, HVO, HWO=20kHz LUO, LVO, LWO=20kHz ゲートドライバー出力負荷: Rload=10Ω, Cload=6100pF RPPO=150kΩ (to VB)	16	32	48	mA	-
9.2.7	消費電流(Vcc)	VCC	Icc1	Vcc=5V	4	6.3	10	mA	-
9.2.8			Icc2	Vcc=3.3V	2.7	5.7	7.9	mA	-

注: Vcc が Vcc 低電圧検出電圧に到達するとリセット状態となります。リセット状態の電流は、Istb1, Istb2, Istb3 で規定しています。

注: Vb の状態による電流は、Ib1, Ib2, Ib3 で規定しています。チャージポンプの外付け定数は、図 9.3.1 チャージポンプ応用回路図の定数になります。

注: Vcc の状態による電流は、Icc1, Icc2 で規定しています。

## 9.3. チャージポンプ回路

特に指定がない場合、 $V_b=5.7\sim 28V$ 、 $V_{cc}=3.0\sim 5.5V$ 、 $T_j=-40\sim 175^\circ C$

Spec No.	項目	適用端子	記号	測定条件	最小	標準	最大	単位	備考
9.3.1	出力電圧	VCP	Vcph1	$5.7V \leq V_b < 7V$ load = $-10 \mu A \sim -13mA$	$V_b+7.5$	$V_b+9.3$	$V_b+12.5$	V	-
9.3.2			Vcph2	$7V \leq V_b \leq 28V$ load = $-10 \mu A \sim -13mA$	$V_b+9$	$V_b+12$	$V_b+14.5$	V	-
9.3.8	動作周波数	-	clk_cp	-	162	250	338	kHz	発振周波数変動±35%含む
9.3.10	ゲートドライバ イネーブル 時間	-	Tpre_en	リセット解除後からゲートドライバが ON 許可までの時間	1.2	1.7	2.7	ms	発振周波数変動±35%含む

注: チャージポンプ容量  $C_{fp}$ 、チャージポンプ電圧端子容量  $C_{vcp}$  の参考値は、図 9.3.1 を参照。

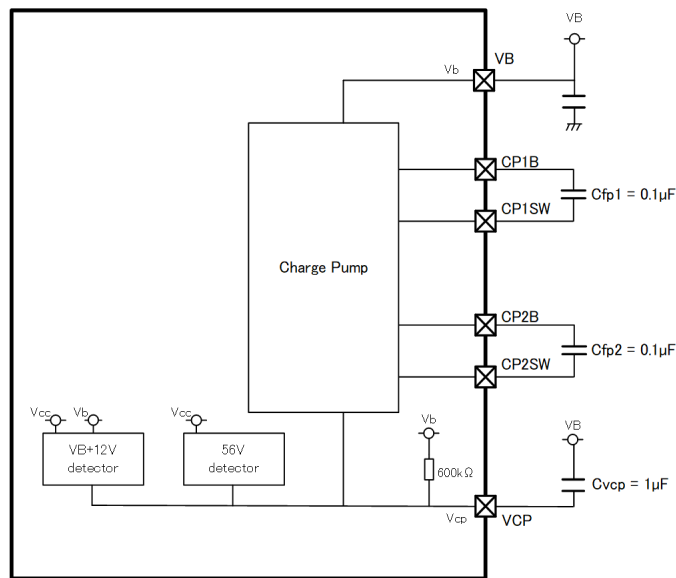


図 9.3.1 チャージポンプ応用回路図

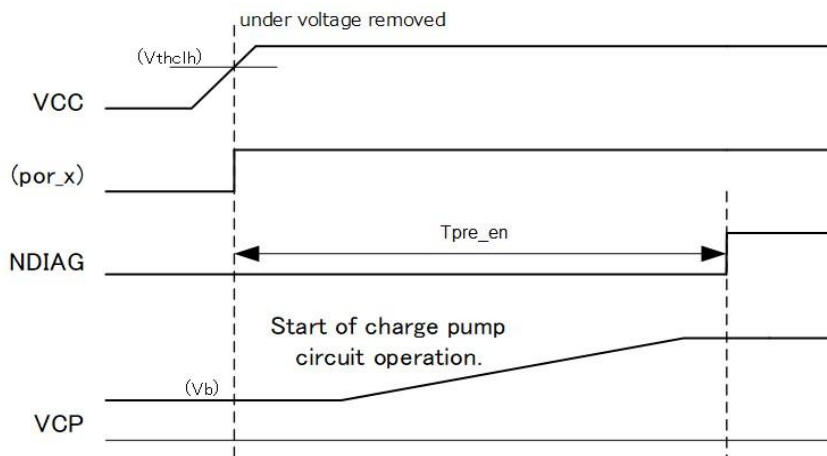


図 9.3.2 チャージポンプ回路タイミングチャート

注:  $V_{cc}$  低電圧解除後、チャージポンプ電圧が安定するまでに  $T_{pre\_en}$  期間必要となります。

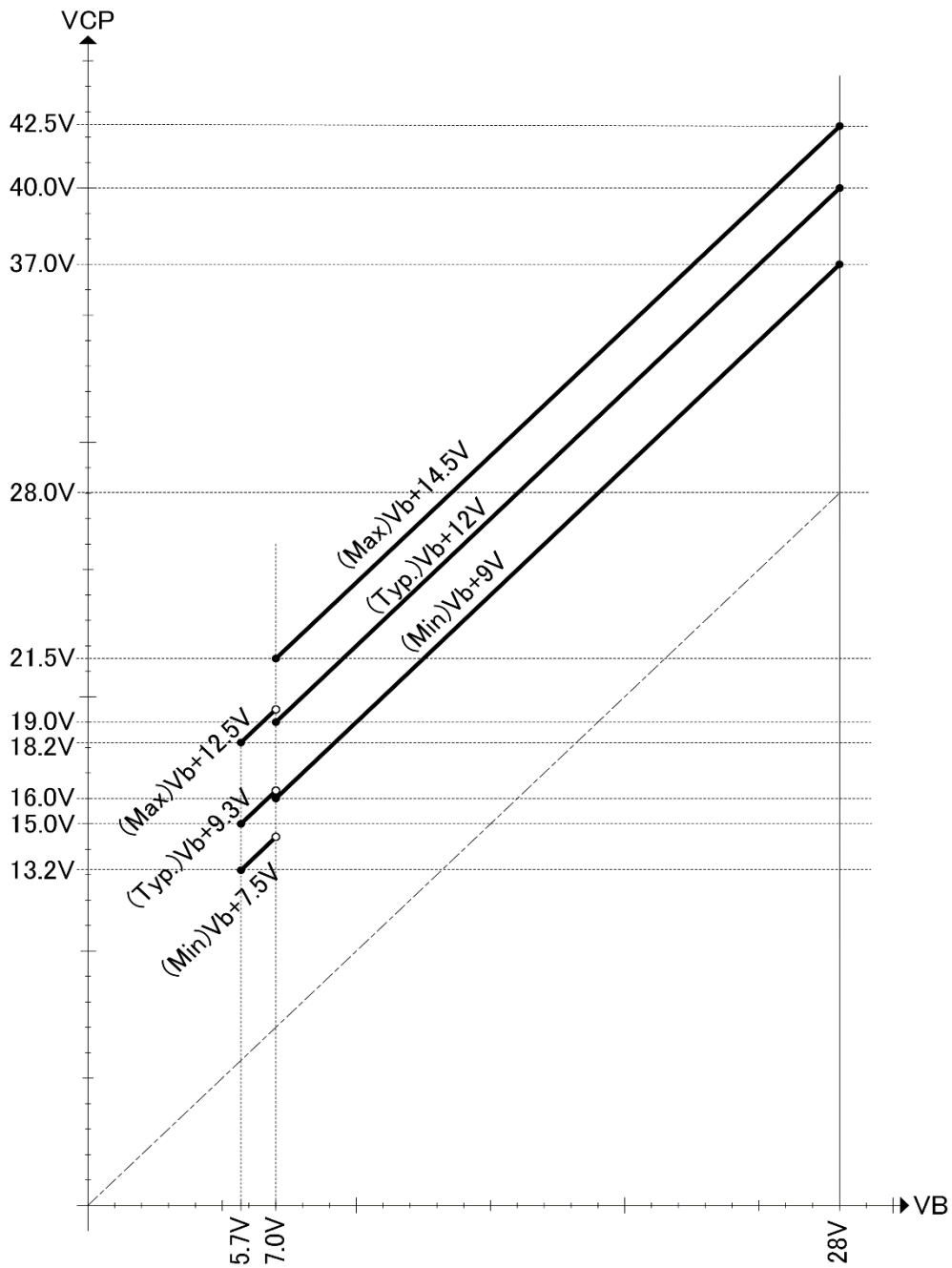


図 9.3.3 チャージポンプ電圧 vs 電源電圧

## 9.4. ゲートドライバー回路

特に指定がない場合、 $V_b=5.7\sim 28V$ 、 $V_{cc}=3.0\sim 5.5V$ 、 $T_j=-40\sim 175^\circ C$

Spec No.	項目	適用端子	記号	測定条件	最小	標準	最大	単位	備考
9.4.1	ハイレベル入力電流	HUI, HVI, HWI, LUI, LVI, LWI	lih	$V_{cc}=5.0V$ , $V_{in}=5.0V$	50	100	200	$\mu A$	-
9.4.2	ローレベル入力電流	HUI, HVI, HWI, LUI, LVI, LWI	lil	$V_{cc}=5.0V$ , $V_{in}=0V$	-5	-	5	$\mu A$	-
9.4.3	ハイレベル入力検出電圧	HUI, HVI, HWI, LUI, LVI, LWI	Vih	-	$0.75 \times V_{cc}$	-	-	V	-
9.4.4	ローレベル入力検出電圧	HUI, HVI, HWI, LUI, LVI, LWI	Vil	-	-	-	$0.25 \times V_{cc}$	V	-
9.4.5	出力電圧 1	HUO,HVO,HWO	Voh1	H*O-H*S 間電圧 Iload= -100 $\mu A$ $7V \leq V_b \leq 28V$ H*S=0V	7	10	12	V	-
9.4.6			Voh1_2	H*O-H*S 間電圧 Iload= -100 $\mu A$ $5.7V \leq V_b < 7V$ H*S=0V	$V_{cp}-0.3$	-	$V_{cp}$	V	-
9.4.7			Vol1	H*O-H*S 間電圧 Iload= 100 $\mu A$	0	-	0.2	V	-
9.4.8	出力電圧 2	LUO, LVO, LWO	Voh2	L*O-LS 間電圧 LS=0V Iload= -100 $\mu A$	6.7	11	12	V	-
9.4.9			Vol2	L*O-LS 間電圧 Iload= 100 $\mu A$ LS=0V	0	-	0.2	V	-
9.4.10	出力電圧 3	RPPO	Voh3	Iload= -110 $\mu A$	$V_{cp}-0.2$	-	$V_{cp}$	V	シリーズ抵抗 500 $\Omega$ 内蔵
9.4.11	出力抵抗 1	HUO,HVO,HWO	Rohh	HUI,HVI,HWI = VCC Iload = -50 mA	-	8.8	24	$\Omega$	-
9.4.12			Rohl	HUI,HVI,HWI = 0V Iload = 50 mA	-	3	6	$\Omega$	-
9.4.13	出力抵抗 2	LUO, LVO, LWO	Rolh	LUI,LVI,LWI = VCC Iload = -50 mA	-	8.8	24	$\Omega$	-
9.4.14			Roll	LUI,LVI,LWI = 0V Iload = 50 mA	-	3	6	$\Omega$	-

特に指定がない場合、Vb=5.7~28V、Vcc=3.0~5.5V、Tj=-40~175°C

Spec No.	項目	適用端子	記号	測定条件	最小	標準	最大	単位	備考
9.4.16	ブルダウン抵抗 1	HUO,HVO,HWO	Rpd1	-	25	50	100	kΩ	-
9.4.17	ブルダウン抵抗 2	LUO, LVO, LWO	Rpd2	-	25	50	100	kΩ	-
9.4.17 a	ブルダウン抵抗 3	VCP	Rpd3	-	200	600	1200	kΩ	-
9.4.18	RPPO 出力オフ時リーク電流	RPPO	loff_rppo	内部ハイサイドスイッチは OFF RPPO=VB	-5	0	5	μA	-
9.4.19	VB 逆接時リーク電流	RPPO	lol	RPPO= 0V GND=PGND=18 V VB=VCC=open	0	0.1	10	μA	-
9.4.20	出力制限電流	HUO,HVO,HWO,LUO, LVO, LWO	lo_lmth	Turn on 時 Tsw 経過後	-	-10	-	mA	☑ 9.4.2 参照
9.4.21			lo_lmth	Turn off 時 Tsw 経過後	-	10	-	mA	☑ 9.4.2 参照
9.4.22	出力電流 切替時間	HUO,HVO,HWO,LUO, LVO, LWO	Tsw0	-	3.7	6	10.5	μs	t_ilim = "000" ☑ 9.4.2 参照
9.4.23			Tsw1	-	5	8	14	μs	t_ilim = "001" ☑ 9.4.2 参照
9.4.24			Tsw2	-	6.2	10	17.5	μs	t_ilim = "010" ☑ 9.4.2 参照
9.4.25			Tsw3	-	7.5	12	21	μs	t_ilim = "011" ☑ 9.4.2 参照
9.4.26			Tsw4	-	10	16	28	μs	t_ilim = "100" ☑ 9.4.2 参照
9.4.27			Tsw5	-	20	32	56	μs	t_ilim = "101" ☑ 9.4.2 参照
9.4.28			Tsw6	-	40	64	112	μs	t_ilim = "110" ☑ 9.4.2 参照
9.4.29			Tsw7	-	80	128	224	μs	t_ilim = "111" ☑ 9.4.2 参照
9.4.30	Turn on 入力伝搬 遅延時間	HUI, HVI, HWI, HUO,HVO,HWO	Tdonh	-	20	180	350	ns	☑ 9.4.1, ☑ 9.4.2 参照
9.4.31		LUI, LVI, LWI, LUO, LVO, LWO	Tdonl	-	20	180	350	ns	☑ 9.4.1, ☑ 9.4.2 参照
9.4.32	Turn off 入力伝搬 遅延時間	HUI, HVI, HWI, HUO,HVO,HWO	Tdoffh	-	20	180	350	ns	☑ 9.4.1, ☑ 9.4.2 参照
9.4.33		LUI, LVI, LWI, LUO, LVO, LWO	Tdoffl	-	20	180	350	ns	☑ 9.4.1, ☑ 9.4.2 参照
9.4.34	入力伝搬 遅延時間差	HUI, HVI, HWI, LUI, LVI, LWI, HUO,HVO,HWO, LUO, LVO, LWO	Dtd	Tdonh-Tdoffl, Tdonl-Tdoffh	-125	-	125	ns	同相 UVW のハイサイド/ローサイドの差

注: 測定回路は図 9.4.1 を参照してください。

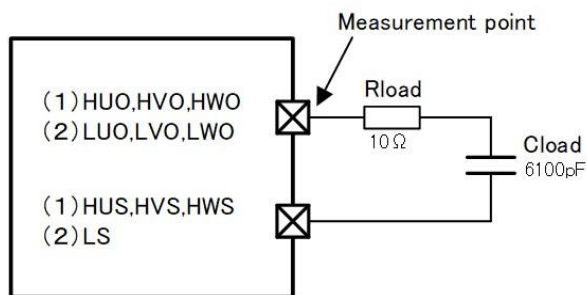


図 9.4.1 測定回路図 (ハイサイド/ローサイド)

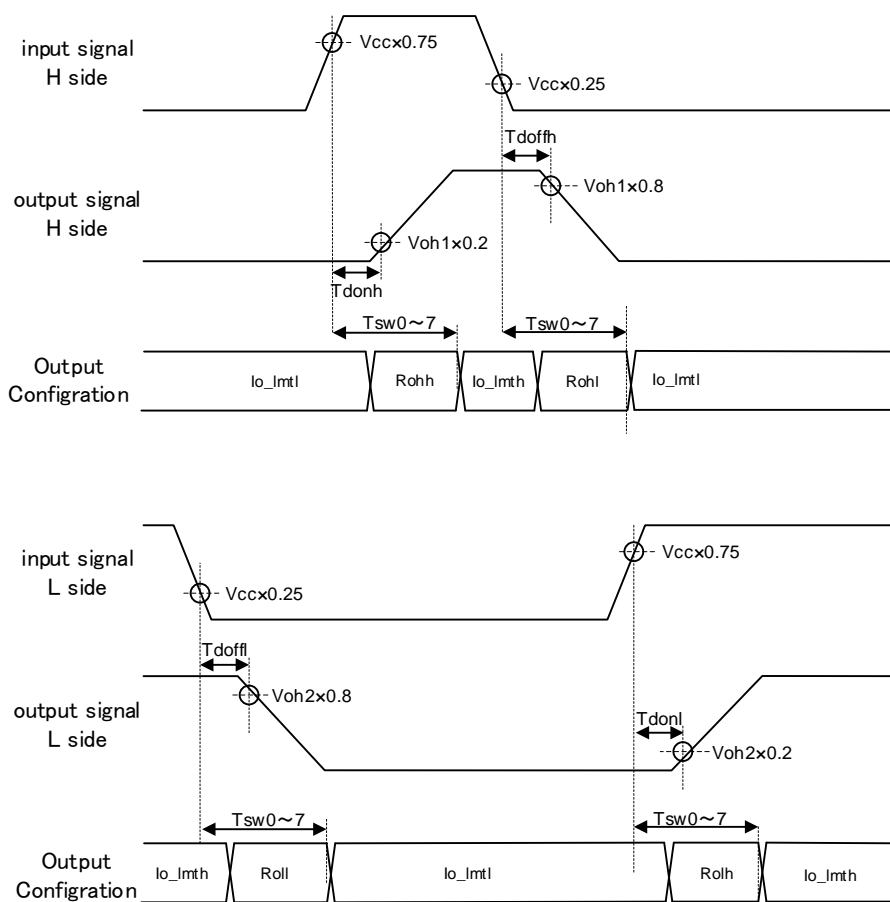


図 9.4.2 出力電流切替時間、入力伝搬遅延時間タイミングチャート

## 9.5. 電流センスアンプ回路

特に指定がない場合、Vb=5.7~28V、Vcc=3.0~5.5V、Tj=-40~175°C

Spec No.	項目	適用端子	記号	測定条件	最小	標準	最大	単位	備考
9.5.1	入力 オフセット電圧 1	AMP_P, AMP_N,	Voff1	キャリブレーション実施後 Ta=25°C Gain=15 Comvin=0V Iload=0.5mA	-1	-	1	mV	gain_amp="011"
9.5.2	入力 オフセット電圧 2	AMP_P, AMP_N,	Voff2	キャリブレーション実施前 Ta=25°C Gain=15 Comvin=0V Iload=0.5mA	-7	-	7	mV	gain_amp="011"
9.5.3	入力 オフセット電圧 温度特性 1	AMP_P, AMP_N,	VoffdT1	キャリブレーション実施後 Gain=15 Comvin=0V Iload=0.5mA	(-10)	-	(10)	μV/°C	gain_amp="011" (括弧)内 は設計値
9.5.4	入力 オフセット電圧 温度特性 2	AMP_P, AMP_N,	VoffdT2	キャリブレーション実施前 Gain=15, Comvin=0V Iload=0.5mA	(-10)	-	(10)	μV/°C	gain_amp="011" (括弧)内 は設計値
9.5.5	入力 オフセット電流 1	AMP_P, AMP_N,	lin1	(AMP_P,AMP_N) = (-0.5V,-0.5V) (2V,2V) の組み合わせ計算式: I(AMP_P)-I(AMP_N)	-5	-	5	μA	入力電圧条件 は、9.5.21を引 用。
9.5.5a	入力 オフセット電流 2	AMP_P, AMP_N,	lin2	(AMP_P,AMP_N) = (2V,-0.5V) の組み合わせ計算式: I(AMP_P)-I(AMP_N)	30	-	130	μA	入力電圧条件 は、9.5.21を引 用。
9.5.6	出力電圧 1	AMP_O	Vohop	Gain=15 Vinr=0.1×Vcc Iload = -500μA	Vcc -0.15	-	Vcc	V	-
9.5.8	リファレンス電圧 1	-	Vref1	4.5V ≤ VCC ≤ 5.5V	標準 -9	1/4* VCC	標準 +9	mV	-
9.5.8a	リファレンス電圧 2	-	Vref2	3.0V ≤ VCC < 4.5V	標準 -9	1/4* VCC	標準 +13	mV	-
9.5.1 0	GAIN	AMP_P, AMP_N,	Gain0	Vinr=(Vcc*0.75-0.15)/7.5, Comvin=0V, Iload=無負荷	-1%	7.5	1%	-	gain_amp="000"
9.5.1 1			Gain1	Vinr=(Vcc*0.75-0.15)/10, Comvin=0V, Iload=無負荷	-1%	10	1%	-	gain_amp="001"
9.5.1 2			Gain2	Vinr=(Vcc*0.75-0.15)/12.5, Comvin=0V, Iload=無負荷	-1%	12.5	1%	-	gain_amp="010"
9.5.1 3			Gain3	Vinr=(Vcc*0.75-0.15)/15, Comvin=0V, Iload=無負荷	-1%	15	1%	-	gain_amp="011"
9.5.1 4			Gain4	Vinr=(Vcc*0.75-0.15)/20, Comvin=0V, Iload=無負荷	-1%	20	1%	-	gain_amp="100"
9.5.1 5			Gain5	Vinr=(Vcc*0.75-0.15)/30, Comvin=0V, Iload=無負荷	-1%	30	1%	-	gain_amp="101"
9.5.1 5a			Gain6	Vinr=(Vcc*0.75-0.15)/40, Comvin=0V, Iload=無負荷	-1.25%	40	1.25%	-	gain_amp="110" ,"111"

Spec No.	項目	適用端子	記号	測定条件	最小	標準	最大	単位	備考
9.5.16	スルーレート	AMP_O	Sr1	VCC=5.0V Gain=15 Rload=1kΩ,Cloud=220pF Vinr=0V→(Vcc*0.75-0.15)/15 Vout=2.25V→4.0V までのスルーレート	4.5	10	20	V/μs	Gain は SPI によりレジスタ ー設定する ☒ 9.5.2 参 照
9.5.17				VCC=3.3V Gain=15 Rload=1kΩ,Cloud=220pF Vinr=0V→(Vcc*0.75-0.15)/15 Vout=1.485V→2.64V までのスルーレート	4.5	10	20	V/μs	Gain は SPI によりレジスタ ー設定する ☒ 9.5.2 参 照
9.5.18			Sr2	VCC=5.0V Gain=15 Rload=1kΩ,Cloud=220pF Vinr=(Vcc*0.75-0.15)/15 →0V Vout=4.0V→2.25V までのスルーレート	-20	-10	-4.5	V/μs	Gain は SPI によりレジスタ ー設定する ☒ 9.5.2 参 照
9.5.19				VCC=3.3V Gain=15 Rload=1kΩ,Cloud=220pF Vinr=(Vcc*0.75-0.15)/15 →0V Vout=2.64V→1.485V までのスルーレート	-20	-10	-4.5	V/μs	Gain は SPI によりレジスタ ー設定する ☒ 9.5.2 参 照
9.5.20	セtringタイム	AMP_O	Tset	Rload=1kΩ,Cloud=220pF 出力電圧±2%に収束する 時間	-	-	(1.5)	μs	(括弧)内 は設計値
9.5.21	同相入力範囲	AMP_P, AMP_N,	Comvin	-	-0.5	-	2.0	V	-
9.5.22	PSRR	VCC	Psrrp	VCC に 1kHz を入力、ただ し VREF の影響は除く	-	60	-	dB	参考値
9.5.23	CMRR	AMP_P, AMP_N,	Cmrrp	Vcc=5V,Gain=15, Comvin=20mVp-p, 100kHz	-	100	-	dB	参考値
9.5.24	オフセットキャリブ レーション時間	-	Tampofscal	-	-	-	122	μs	-

注: (括弧)表記の規格は、設計値であり出荷テストは実施していません。

注: 測定回路は図 9.5.1 を参照してください。Rsh を GND に向かって流れる電流により発生する電位差を Vinr と定義します。

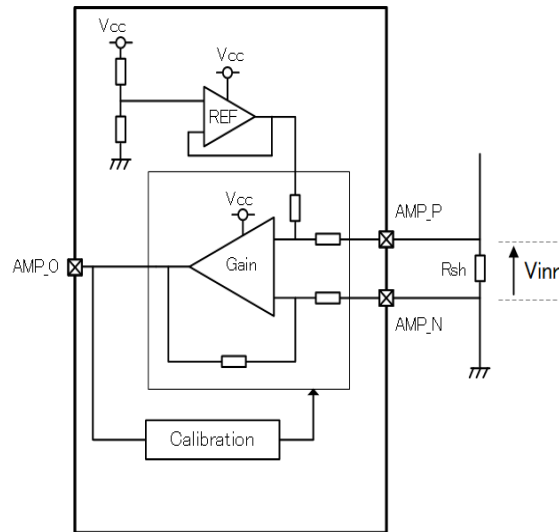


図 9.5.1 測定回路図

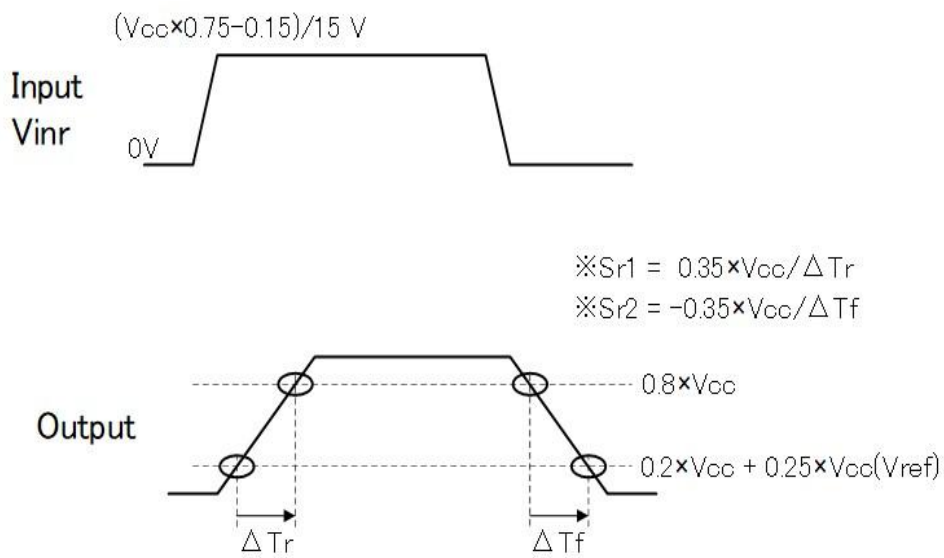


図 9.5.2 スルーレートタイミングチャート

## 9.6. 発振回路

特に指定がない場合、Vb=5.7~28V、Vcc=3.0~5.5V、Tj=-40~175°C

Spec No.	項目	適用端子	記号	測定条件	最小	標準	最大	単位	備考
9.6.1	内部発振周波数	-	Fc	-	2.6	4	5.4	MHz	発振周波数変動 ±35%

## 9.7. 異常検出回路

特に指定がない場合、Vb=5.7~28V、Vcc=3.0~5.5V、Tj=-40~175°C

Spec No.	項目	適用端子	記号	測定条件	最小	標準	最大	単位	備考
9.7.1	VCC 低電圧検出しきい値	VCC	Vthcll	-	2.55	2.75	2.95	V	リセット状態
9.7.2	VCC 低電圧検出解除しきい値		Vthclh	-	2.65	2.85	3.05	V	リセット解除
9.7.3	VCC 低電圧応答時間		Tcl	-	5	20	55	μs	-
9.7.4	VB 低電圧検出しきい値	VB	Vthbll	-	4.8	5.1	5.4	V	-
9.7.5	VB 低電圧検出解除しきい値		Vthblh	-	5.1	5.4	5.7	V	-
9.7.6	VB 低電圧検出フィルター時間		Tbl	-	12	20	34	μs	-
9.7.7	VCP 高電圧検出しきい値	VCP	Vthcphh	-	53.0	56.0	59.0	V	-
9.7.8	VCP 高電圧検出解除しきい値		Vthcphl	-	49.0	52.0	55.0	V	-
9.7.9	VCP 高電圧検出フィルター時間		Tcph	-	12	20	34	μs	-
9.7.10	VCC 高電圧検出しきい値	VCC	Vthchh	-	5.5	5.75	6.0	V	-
9.7.11	VCC 高電圧検出解除しきい値		Vthchl	-	5.4	5.65	5.9	V	-
9.7.12	VCC 高電圧検出フィルター時間		Tch	-	12	20	34	μs	-
9.7.13	RPPO 低電圧検出しきい値	RPPO	Vthrppll	-	-	Vcp - 3	Vcp - 2	V	-
9.7.14	RPPO 低電圧検出解除しきい値	RPPO	Vthrpplh	-	-	Vcp - 2	Vcp - 1	V	-
9.7.15	RPPO 低電圧検出フィルター時間	RPPO	Trppl	-	12	20	34	μs	-
9.7.16	過熱検出温度	-	Tsdh	-	(175)	(195)	(215)	°C	(括弧)内は設計値
9.7.17	過熱検出解除		Tsdl	-	(165)	(185)	(205)	°C	(括弧)内は設計値
9.7.18	過熱検出フィルター時間		Ttsd	-	(12)	(20)	(34)	μs	(括弧)内は設計値
9.7.20	三相 FET オフ時出力電流 1	HUS, HVs, HWS	I_vds1_Roff	VB= HS= H*S =13.5V H*I=L	-650	-400	-200	μA	-
9.7.21	三相 FET オフ時出力電流 2	HUS, HVs, HWS	I_vds2_Roff	VB=HS=13.5V H*S=0V H*I=L	-650	-450	-250	μA	-

注: (括弧)表記の規格は設計値であり、出荷テストは実施していません。

注: Vcc が Vcc 低電圧検出電圧に到達するとリセット状態となります。

注: 低電圧検出(VB, VCC, RPPO)、高電圧検出(VCP, VCC)、過熱検出回路にはヒステリシスを備えています。

Spec No.	項目	適用端子	記号	測定条件	最小	標準	最大	単位	備考
9.7.23	三相 FET の VDS 検出マスク時間	-	mask_vds	-	-35%	設定値	+35%	μs	-
9.7.24	三相 FET の VDS 検出ハイサイド電圧しきい値	-	Vth_vdsh0	-	0.04	0.1	0.16	V	vth_vdsh = "000"
9.7.25			Vth_vdsh1	-	0.24	0.3	0.36	V	vth_vdsh = "001"
9.7.26			Vth_vdsh2	-	0.44	0.5	0.56	V	vth_vdsh = "010"
9.7.27			Vth_vdsh3	-	0.63	0.7	0.77	V	vth_vdsh = "011"
9.7.28			Vth_vdsh4	-	0.81	0.9	0.99	V	vth_vdsh = "100"
9.7.29			Vth_vdsh5	-	0.99	1.1	1.21	V	vth_vdsh = "101"
9.7.30	三相 FET の VDS 検出ローサイド電圧しきい値	-	Vth_vdsl0	VCC=3.135~5.5V LS= -0.5~0.535V	0.04	0.1	0.16	V	vth_vdsl = "000"
9.7.31			Vth_vdsl1		0.24	0.3	0.36	V	vth_vdsl = "001"
9.7.32			Vth_vdsl2		0.44	0.5	0.56	V	vth_vdsl = "010"
9.7.33			Vth_vdsl3		0.63	0.7	0.77	V	vth_vdsl = "011"
9.7.34			Vth_vdsl4		0.81	0.9	0.99	V	vth_vdsl = "100"
9.7.35			Vth_vdsl5		0.99	1.1	1.21	V	vth_vdsl = "101"
9.7.36	NDIAG 出力電圧	NDIAG	Voh	Ioh = -5mA	0.9 xVcc	-	-	V	-
9.7.37			Vol	Iol = 5mA	-	-	0.1 xVcc	V	-
9.7.38	NDIAG L 保持電圧	NDIAG	Vlk	Vcc=1.1V~Vthcll Iol = 100μA	0	-	0.3	V	☒ 9.7.1 参照

注: VDS 検出しきい値電圧(ハイサイド)は、IC 端子の HS-H\*S 間電圧で規定しています。

注: VDS 検出しきい値電圧(ローサイド)は、IC 端子の H\*S-LS 間電圧で規定しています。

注: \*は U, V, W。

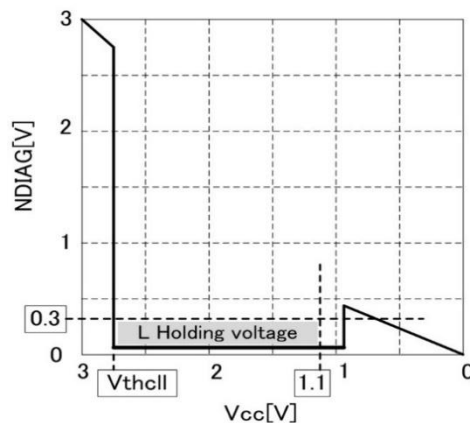


図 9.7.1 NDIAG\_L 保持電圧

## 9.8. ALARM 入力回路

特に指定がない場合、Vb=5.7~28V、Vcc=3.0~5.5V、Tj=-40~175°C

Spec No.	項目	適用端子	記号	測定条件	最小	標準	最大	単位	備考
9.8.1	ハイレベル入力電流	ALARM	lih	Vcc = 5.0V, Vin = 5.0V	-5	-	5	μA	-
9.8.2	ローレベル入力電流		lil	Vcc = 5.0V, Vin = 0V	50	100	200	μA	VCC pullup
9.8.3	ハイレベル入力検出電圧	ALARM	Vih	-	0.75×Vcc	-	-	V	-
9.8.4	ローレベル入力検出電圧		Vil	-	-	-	0.25×Vcc	V	-
9.8.5	入力検出パルス幅	ALARM	Twmin0	ハイ,ローレベル検出	10.5	-	-	μs	fil_alm="1" $16 \times 2^2 \times (1/4\text{MHz}) + (1/4\text{MHz})$
9.8.6	入力除去パルス幅	ALARM	Twmax0	ハイ,ローレベル検出	-	-	20.0	μs	fil_alm="1" $15 \times 2^2 \times (1/4\text{MHz}) - (1/4\text{MHz})$

注: 入力検出パルス幅(Twmin)とはデジタルフィルターを通過して出力に現れるパルスの幅、入力除去パルス幅(Twmax)とはデジタルフィルターによって除去されるパルスの幅を意味します (図 9.8.1 入力除去パルス幅(フィルター有り)と入力検出パルス幅(フィルター有り))。

注: ALARM デジタルフィルター設定:(1/4MHz)=250[ns]として算出

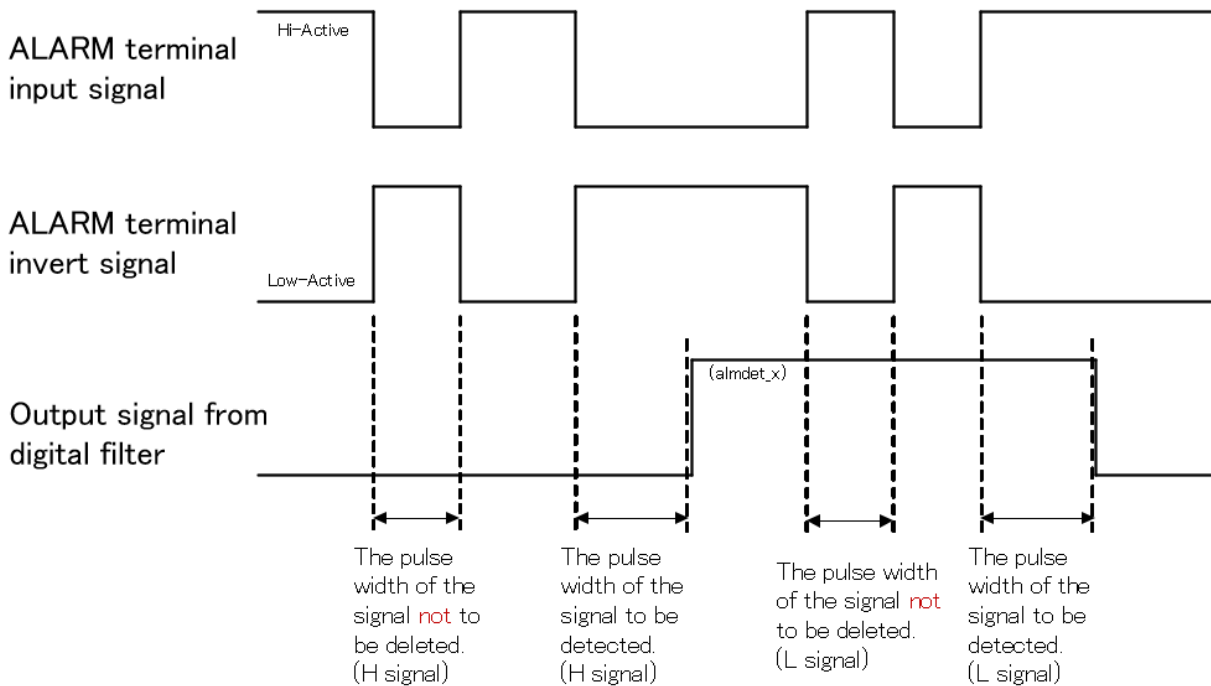


図 9.8.1 入力除去パルス幅(フィルター有り)と入力検出パルス幅(フィルター有り)

## 9.9. SPI 通信回路

### SPI 通信仕様 (AC)

特に指定がない場合、Vb=5.7~28V、Vcc=3.0~5.5V、Tj=-40~175°C

Spec No.	項目	適用端子	記号	測定条件	最小	標準	最大	単位	備考
9.9.1	NCS 立ち下がり-SO 遅延時間	NCS SO	Tcsdo	Cload=100pF	-	-	100	ns	NCS 立ち下がりから SO の Hi-Z 解除までの時間
9.9.2	有効待機時間	NCS, SCLK	Tcsck	Fop = 2MHz	100	-	-	ns	NCS 立ち下がりから SCLK 立ち上がりまでの時間
9.9.3	無効待機時間	SCLK, NCS	Tckcs	-	100	-	-	ns	最後の SCLK 立ち下がりから NCS 立ち上がりまでの時間
9.9.4	SI 設定時間	SI, SCLK	Tdick	-	50	-	-	ns	SI データセットアップ時間
9.9.5	SI 保持時間	SI, SCLK	Tckdi	-	50	-	-	ns	SI データホールド時間
9.9.6	SO 遅延時間	SCLK, SO	Tckdo	Cload=100pF	-	-	100	ns	SCLK 立ち上がりから SO データ出力までの時間
9.9.7	NCS 無効時間	NCS	Tcsh	-	2	-	-	μs	NCS 立ち上がりから NCS 立ち下がりまでの時間
9.9.8	SO-NCS 立ち上がり遅延時間	NCS, SO	Tdocs	Cload=100pF	-	-	100	ns	NCS 立ち上がりから SO が Hi-Z になるまでの時間
9.9.9	通信周波数	SCLK	Fop	-	-	-	2	MHz	-

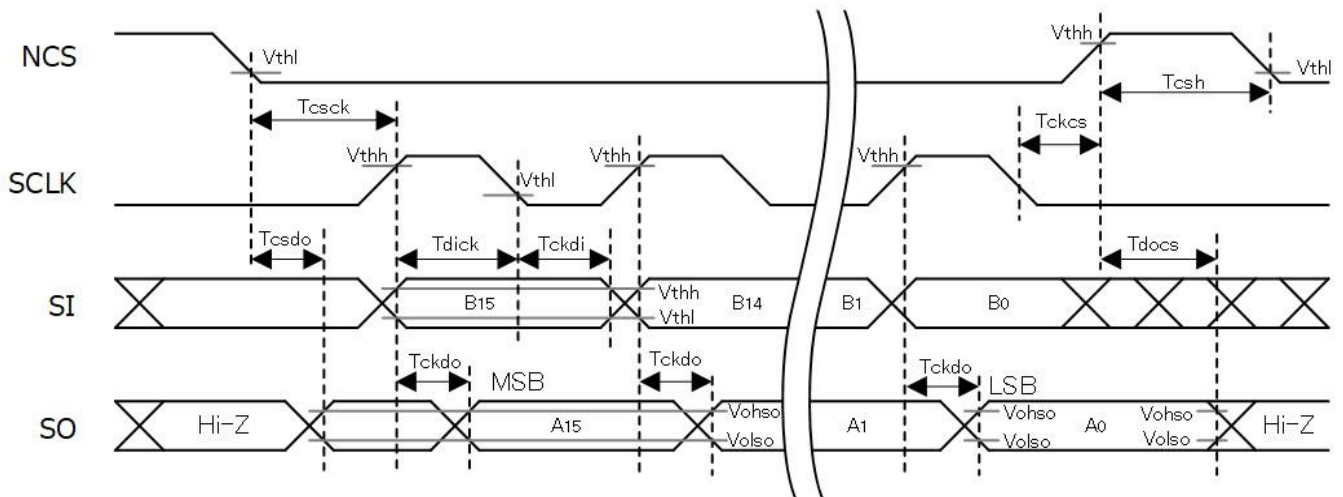


図 9.9.1 SPI タイミングチャート

## SPI 通信仕様 (DC)

特に指定がない場合、Vb=5.7~28V、Vcc=3.0~5.5V、Tj=-40~175°C

Spec No.	項目	適用端子	記号	測定条件	最小	標準	最大	単位	備考
9.9.10	ハイレベル入力電圧	SI, SCLK, NCS	Vthh	-	0.75× Vcc	-	-	V	-
9.9.11	ローレベル入力電圧		Vthl	-	-	-	0.25× Vcc	V	-
9.9.12	ハイレベル入力電流	NCS	lih	Vcc = 5.0V, Vin = 5.0V	-5	-	5	μA	-
9.9.13	ローレベル入力電流		lil	Vcc = 5.0V, Vin = 0V	-200	-100	-50	μA	-
9.9.14	ハイレベル入力電流	SI, SCLK	lih	Vcc = 5.0V, Vin = 5.0V	50	100	200	μA	-
9.9.15	ローレベル入力電流		lil	Vcc = 5.0V, Vin = 0V	-5	-	5	μA	-
9.9.16	ハイレベル出力電圧	SO	Vohso	Iohso = -5mA	0.9× Vcc	-	-	V	-
9.9.17	ローレベル出力電圧		Volso	Iolso = 5mA	-	-	0.1× Vcc	V	-
9.9.18	オフリーク電流		Vohiz	SO=VCC or GND	-10	-	10	μA	Hiz 状態

## 10. 応用回路例

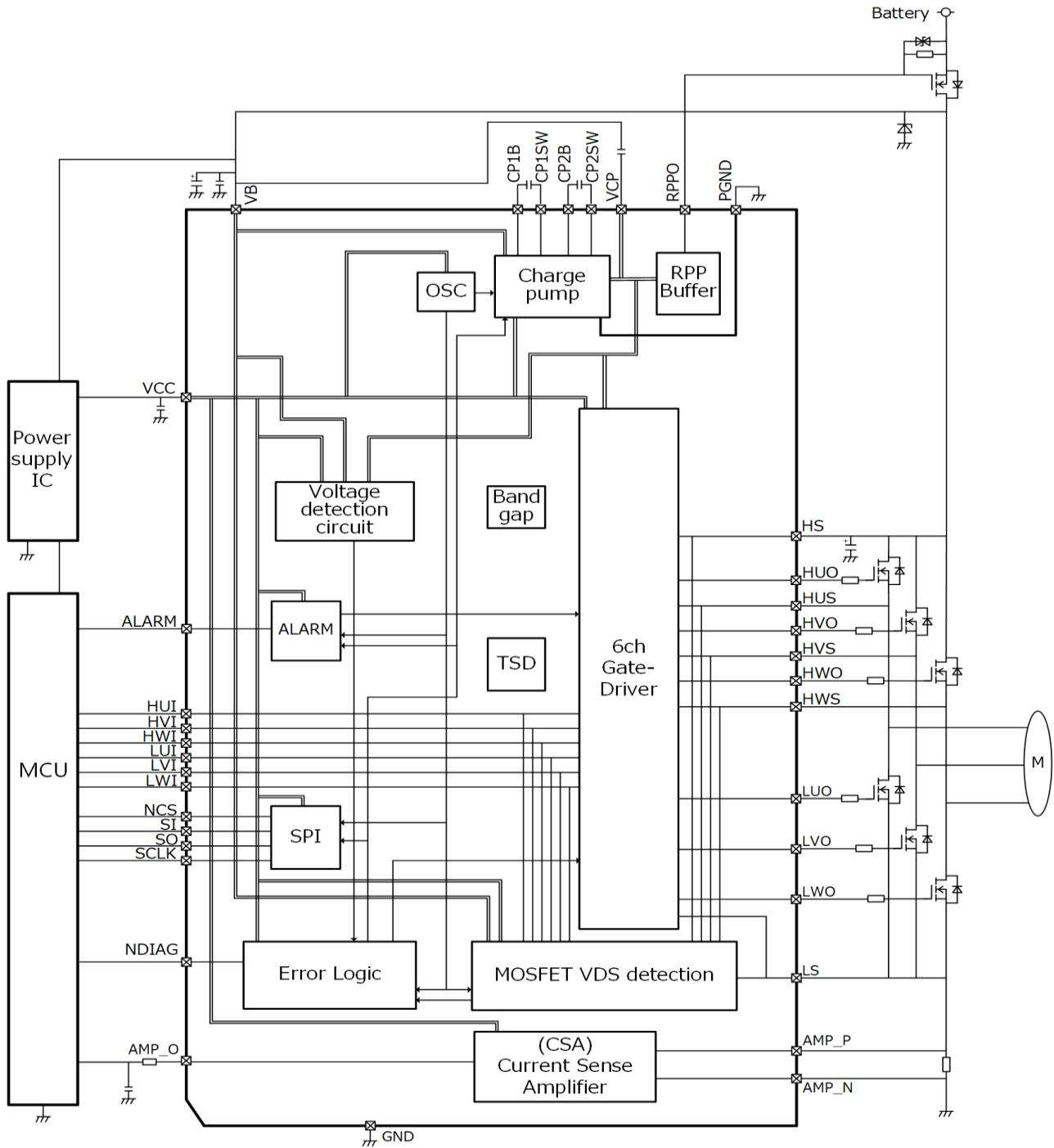


図 10.1 応用回路例

《ユーザー注意事項》

注: これらの回路定数は応用回路例であり保証されるものではありません。ユニット基板上で使用環境を想定した条件のもと、評価・確認を十分に実施した上で周辺回路を決定してください。

応用回路例は工業所有権の使用の許諾を行うものではありません。

注: 電源端子(VB, VCC, VCP)に外付けする平滑コンデンサは、極力 IC の根本付近に配置してください。

注: GND 端子は、ユニット基板上でベタ GND(同電位±0.3V)としてください。

注: ユニット設計の際には、各ブロックの注意事項にも配慮してください。

注: 誤装着はしないでください。IC の破壊、機器の損傷を招くおそれがあります。



## 12. 変更履歴

Revision#	変更内容	作成/変更日
3.0	-	2025年7月31日

## 13. 略語集

CPOL : Clock POLarity

CPHA : Clock PHAse

RPPO : Reverse Polarity Protection Output : 逆極性保護出力

P-VQFN : Plastic-Very thin Quad Flat Non-leaded package : ガルウイング状のリードが無く 4 側面から出ているパッケージ

SPI : Serial Peripheral Interface : 同期式 4 線シリアル通信

AEC : Automotive Electronics Council : 車載電子部品評議会

CSA : Current Sense Amplifier : 電流検出アンプ

## 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- ・ 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- ・ 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- ・ 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- ・ 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（生命直結機器）、防衛関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 **Web** サイトのお問い合わせフォームからお問い合わせください。
- ・ 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- ・ 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- ・ 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- ・ 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- ・ 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- ・ 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。