面実装 SiC MOSFET 搭載
AI サーバー用 3kW 電源
リファレンスガイド

RD265-RGUIDE-02

東芝デバイス&ストレージ株式会社

© 2025
Toshiba Electronic Devices & Storage Corporation

目次

1. はじめに 3

2. 仕様 4

2.1. 仕様 4

2.2. ブロック図 5

2.3. 外観 6

2.4. 部品配置 7

3. 回路図、部品表、PCB パターン図 10

3.1. 回路図 10

3.2. 部品表 10

3.3. PCB パターン図 10

4. 動作手順 17

4.1. 外部機器との接続 17

4.2. 起動手順と停止手順 17

4.3. 評価上の注意事項 (感電/高温火傷など) 17

5. 電源特性 18

5.1. 効率 18

© 2025
Toshiba Electronic Devices & Storage Corporation

1. はじめに

本リファレンスガイドは面実装 SiC MOSFET 搭載 AI サーバー用 3kW 電源 (以下、本デザイン) の仕様、使用方法、特性を記載したドキュメントです。

近年、生成 AI の急速な普及により、高速に AI 処理を実行できる AI サーバーの需要が高まっています。AI サーバーは、GPU (Graphics Processing Unit) や NPU (Neural Processing Unit) など、AI 処理で多用される行列演算に特化した複数コアのアクセラレーターを搭載しており、高い演算性能を発揮する一方で、大きな電力を必要とします。そのため、AI サーバー向け電源には高効率化、高電力化、省スペース化が求められるようになり、高電力密度化が必要不可欠になっています。本デザインは AC 180 ~ 264V を入力し、セミブリッジレス PFC (Power Factor Correction) 回路、位相シフトフルブリッジ (Phase Shift Full Bridge :以下 PSFB) 回路により DC 50V、最大 3kW を出力します。出力 ORing 回路を搭載しており冗長運転が可能です。また電源内部の回路電源として必要な補助電源回路も内蔵しています。パワー素子をメイン基板と分離した形で実装することで出力当たりのメイン基板面積を縮小することで電源を小型化しています。

本デザインではセミブリッジレス PFC 回路に SiC MOSFET TW092V65C および SiC ショットキーバリアダイオード TRS12V65H を使用しています。PSFB 回路には 1 次側フルブリッジ部に SiC ショットキーバリアダイオード内蔵の SiC MOSFET TW027U65C を、2 次側同期整流部にはパワーMOSFET TPW2900ENH を使用しています。2 次側のコントローラーからの絶縁ゲート信号伝送にはデジタルアイソレーターDCL540C01 を使用しています。また、出力 ORing 回路にはパワーMOSFET TPM1R908QM を使用しています。これら当社最新の素子を使用することで、80PLUS Platinum (V_{in} = 230V、 P_{out} = 3kW) 級の高効率でコンパクトな電源を実現しています。

※80 PLUS：サーバーなどコンピューター用電源ユニットの効率規格

© 2025
Toshiba Electronic Devices & Storage Corporation

2. 仕様

2.1. 仕様

表 2.1 に本デザインの入出力特性を示します。

表 2.1 本デザイン仕様

項目	条件	Min.	Typ.	Max.	単位
入力特性					
AC 入力電圧 (rms)		180		264	V
AC 入力電流 (rms)	V_{in} = AC 180V, I_{out} = 60A			18.5	A
入力周波数		47		63	Hz
内部特性 (セミブリッジレス PFC 回路)					
出力電圧			390		V
最大出力電力	V_{in} = AC 230V			3	kW
スイッチング周波数			100		kHz
出力特性 (PSFB 回路)					
出力電圧			50		V
出力電流	V_{in} = AC 230V			60	A
最大出力電力	V_{in} = AC 230V			3	kW
出力リップル電圧	T_a = 25℃			500	mV
スイッチング周波数			130		kHz
その他					
保護機能	出力過電圧保護、出力過電流保護、出力短絡保護、過熱保護				
基板層構成	Main 基板：FR-4, 6 層 (貫通ビア), 1.6mm、 Cu 厚 70μm (表層), 35μm (内層) PFC 基板：FR-4, 6 層 (樹脂充填ビア), 1.0mm Cu 厚 70μm (表層), 35μm (内層) PSFB 基板：FR-4, 6 層 (樹脂充填ビア), 1.0mm Cu 厚 70μm (表層), 35μm (内層)				

© 2025
Toshiba Electronic Devices & Storage Corporation

2.2. ブロック図

本デザインの機能動作を理解するためのブロック図を図 2.1 に示します。

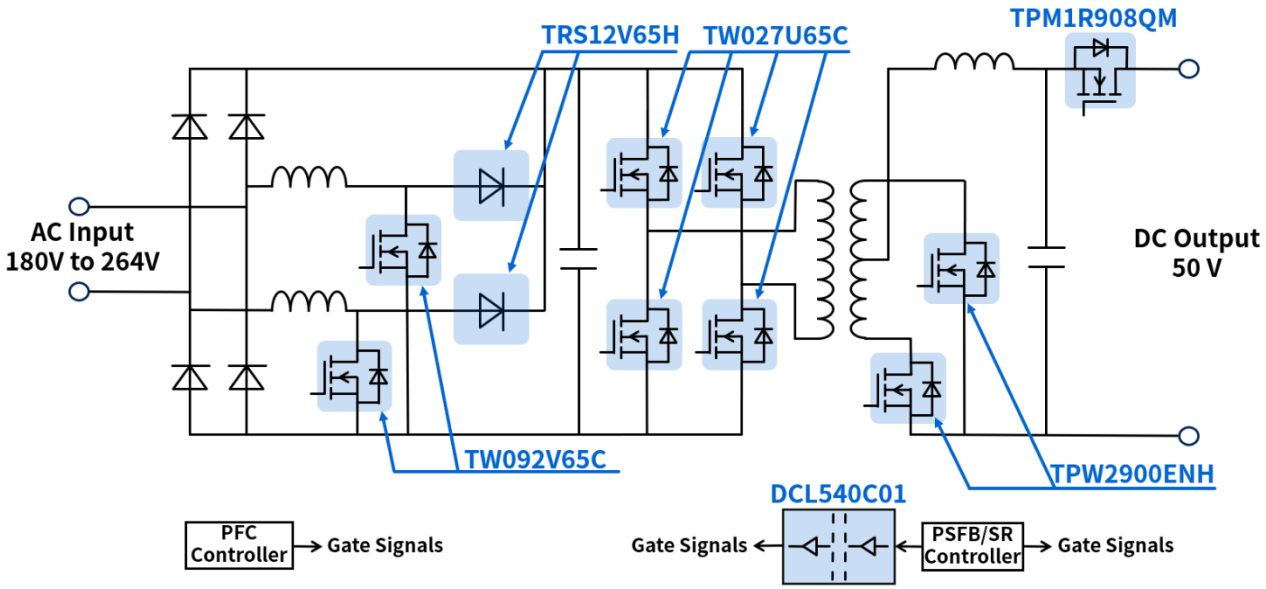


図 2.1 ブロック図

2.3. 外観

本デザインの外観を図 2.2 に示します。

本デザインは Main 基板、PFC 基板、PSFB 基板 (2 枚) で構成されています。

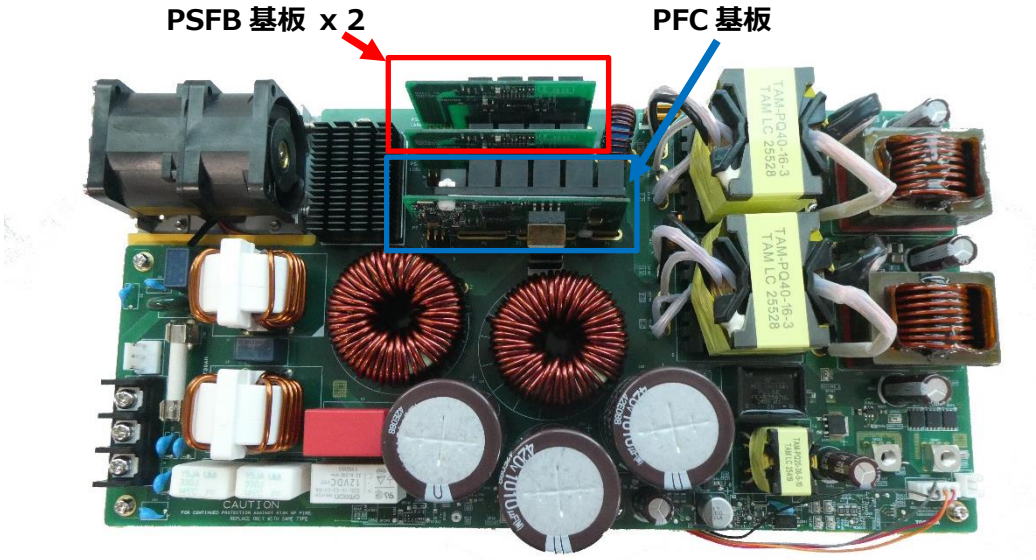
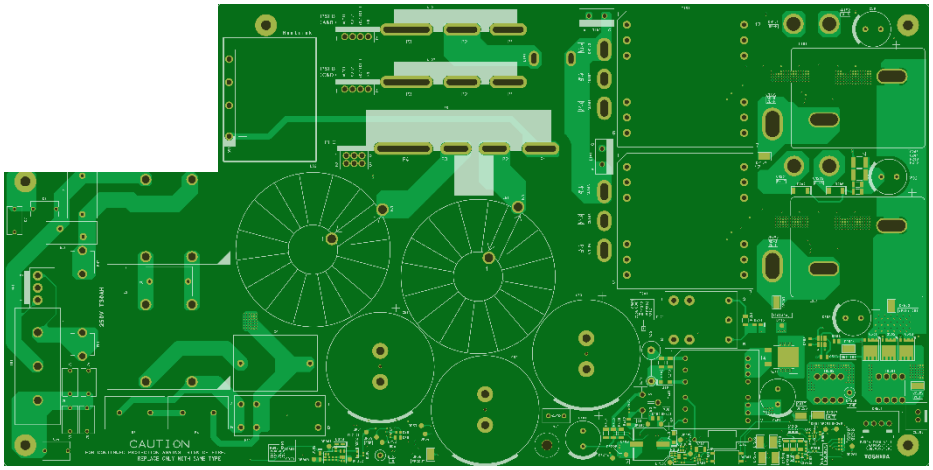


図 2.2 本デザイン外観

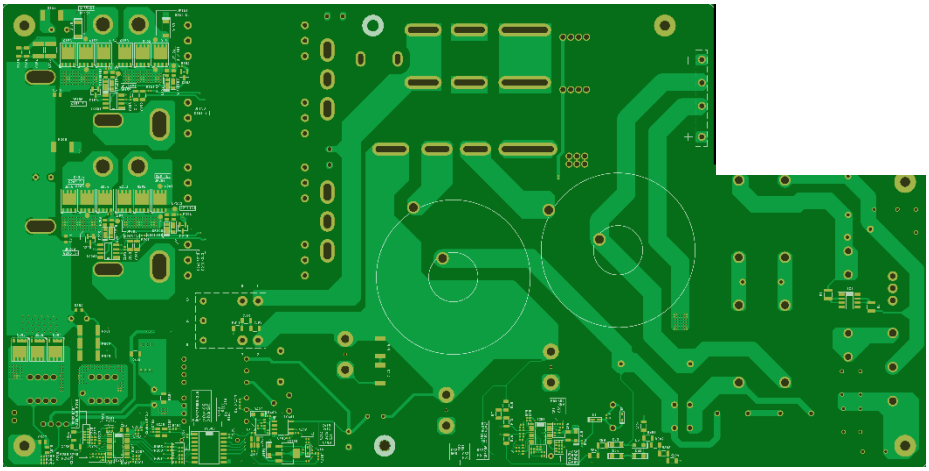
外形寸法 300mm x 150mm x 54mm

2.4. 部品配置

図 2.3 に Main 基板の部品配置、図 2.4 に PFC 基板の部品配置、図 2.5 に PSFB 基板の部品配置をを示します。

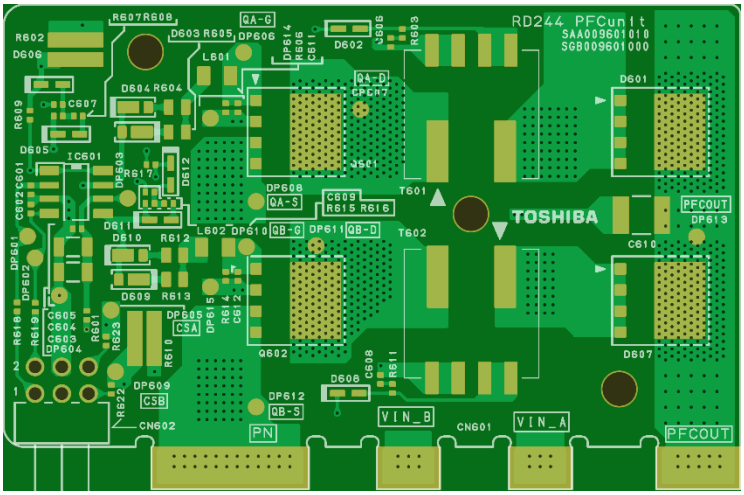


<Front 側>

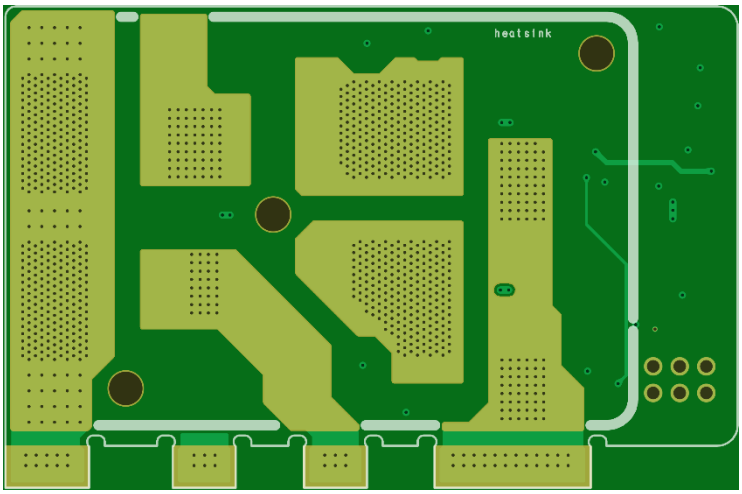


<Back 側>

図 2.3 Main 基板部品配置

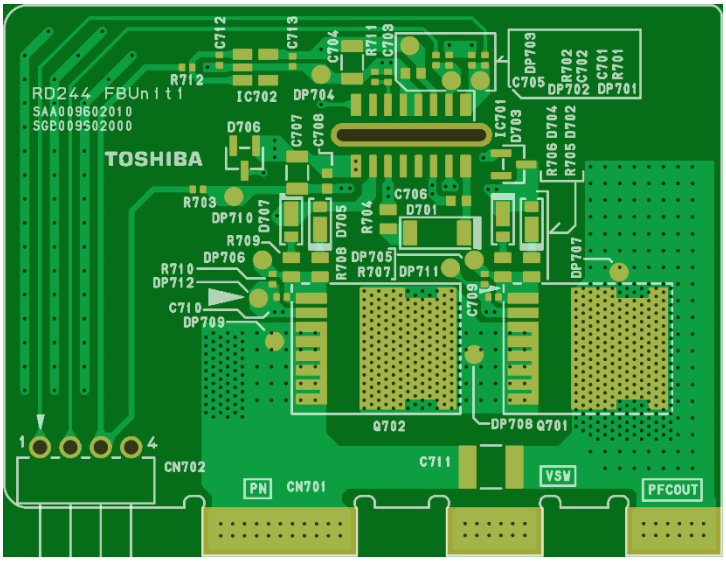


<Front 側>

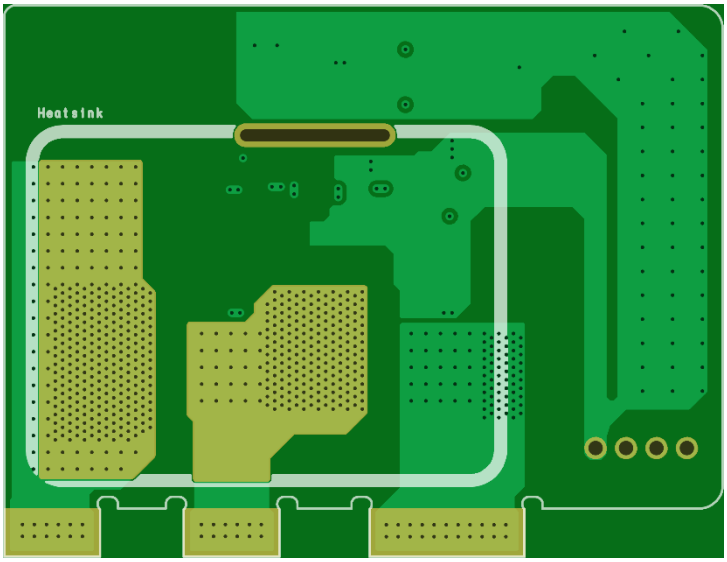


<Back 側>

図 2.4 PFC 基板部品配置



<Front 側>



<Back 側>

図 2.5 PSFB 基板部品配置

© 2025
Toshiba Electronic Devices & Storage Corporation

3. 回路図、部品表、PCB パターン図

3.1. 回路図

以下のファイルを参照ください。

Main 基板：RD265-SCHEMATIC1-xx.pdf

PFC 基板：RD265-SCHEMATIC2-xx.pdf

PSFB 基板：RD265-SCHEMATIC3-xx.pdf

PSFB 基板は同じ基板を 2 枚使用

(xx はレビジョン番号)

3.2. 部品表

以下のファイルを参照ください。

Main 基板：RD265-BOM1-xx.pdf

PFC 基板：RD265-BOM2-xx.pdf

PSFB 基板：RD265-BOM3-xx.pdf

PSFB 基板は同じ基板を 2 枚使用

(xx はレビジョン番号)

3.3. PCB パターン図

Main 基板の PCB パターン図を図 3.1 に、PFC 基板の PCB パターン図を図 3.2 に、PSFB 基板の PCB パターン図を図 3.3 に示します。

以下のファイルも参照ください。

Main 基板：RD265-LAYER1-xx.pdf

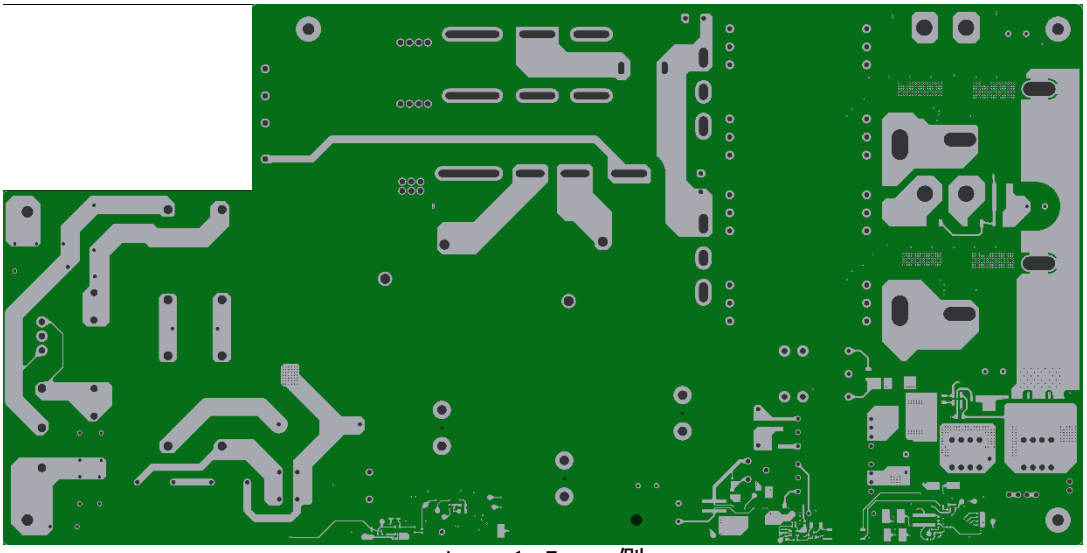
PFC 基板：RD265-LAYER2-xx.pdf

PSFB 基板：RD265-LAYER3-xx.pdf

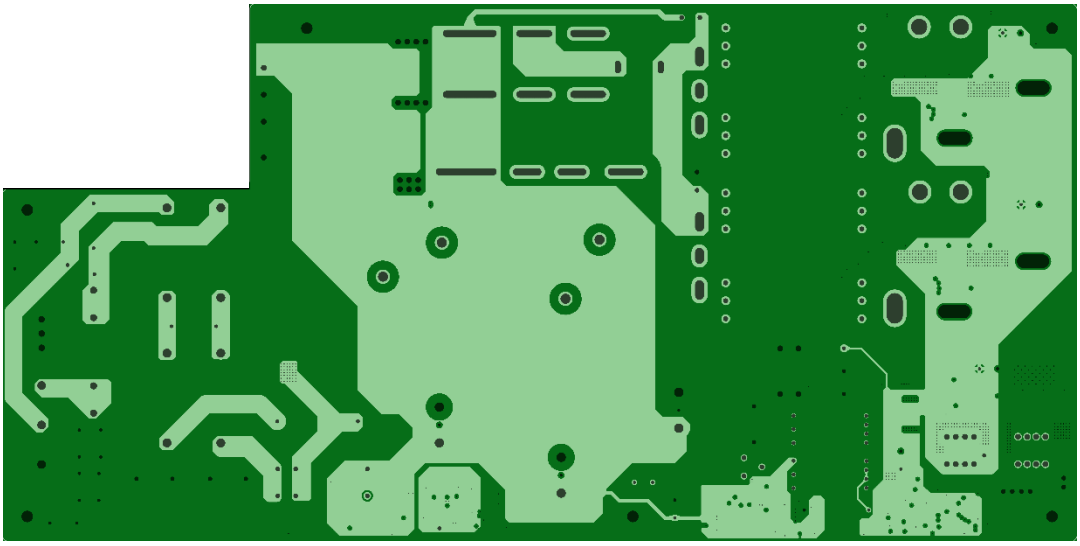
PSFB 基板は同じ基板を 2 枚使用

(xx はレビジョン番号)

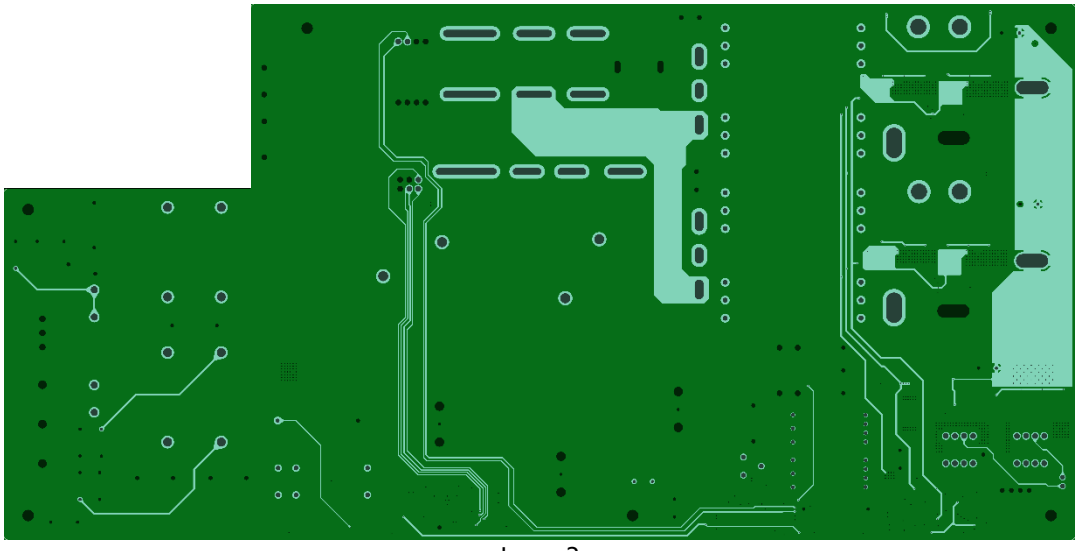
© 2025
Toshiba Electronic Devices & Storage Corporation



<Layer1、Front 側>

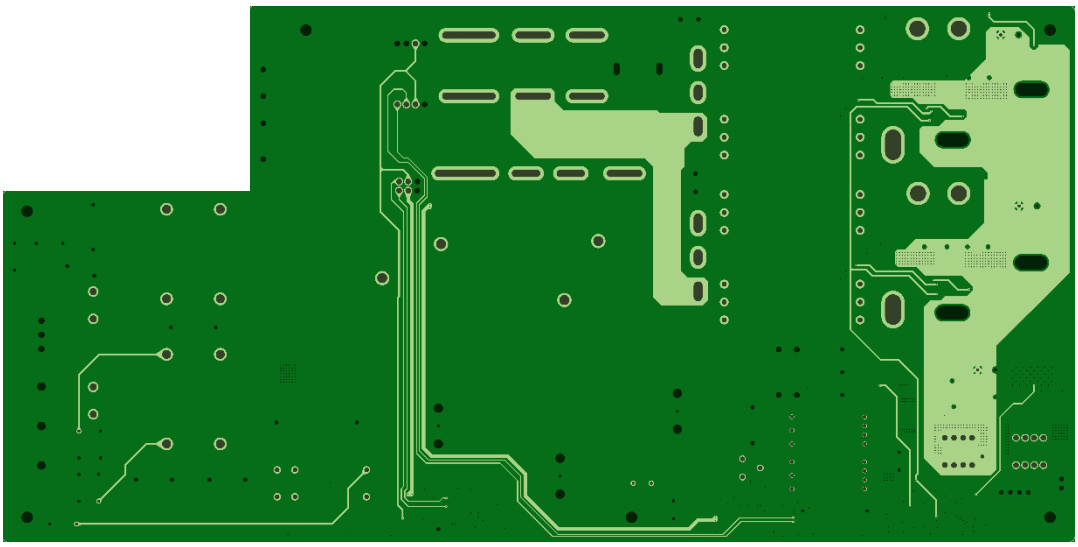


<Layer2>

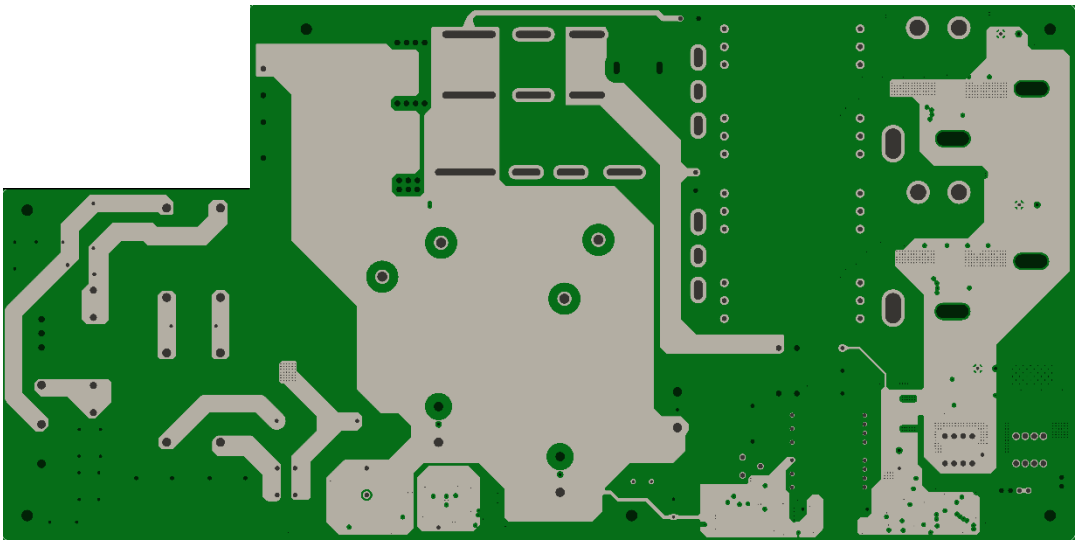


<Layer3>

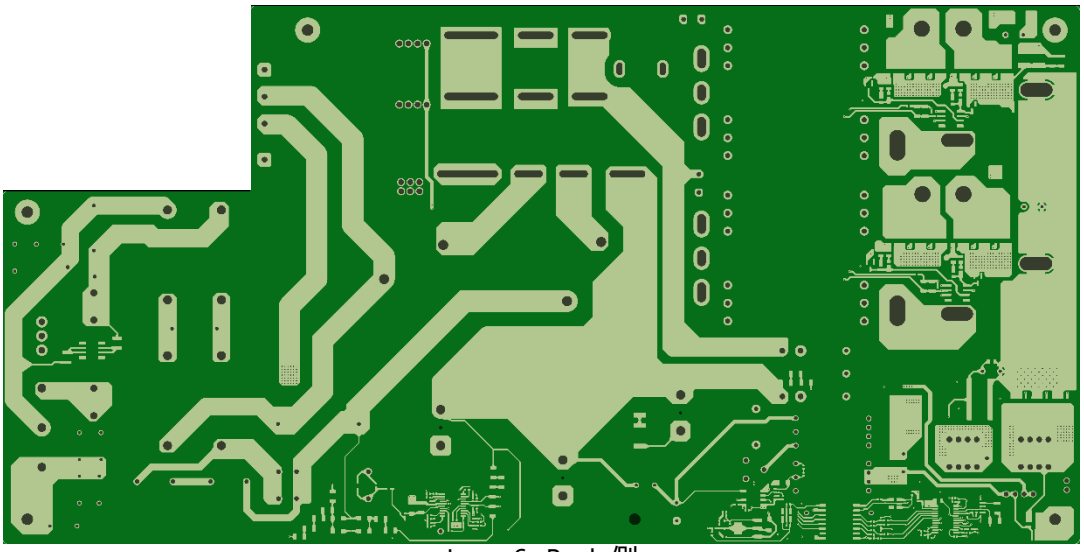
© 2025
Toshiba Electronic Devices & Storage Corporation



<Layer4>

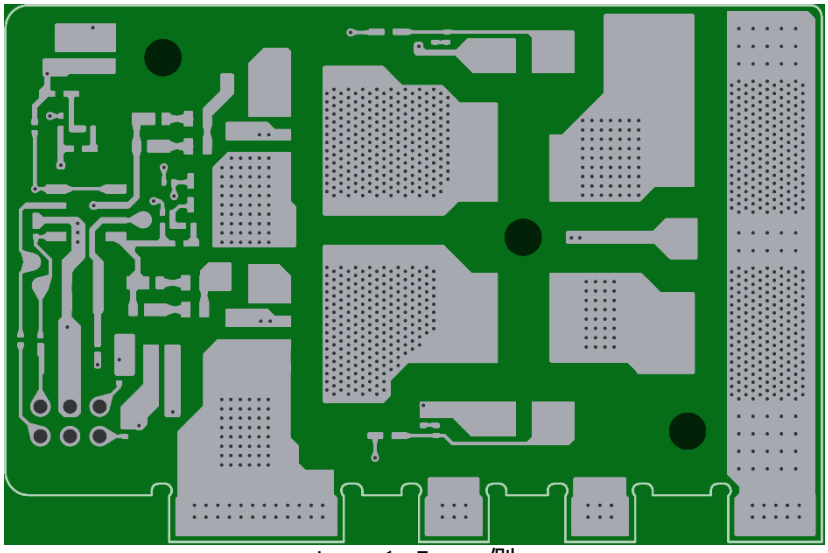


<Layer5>

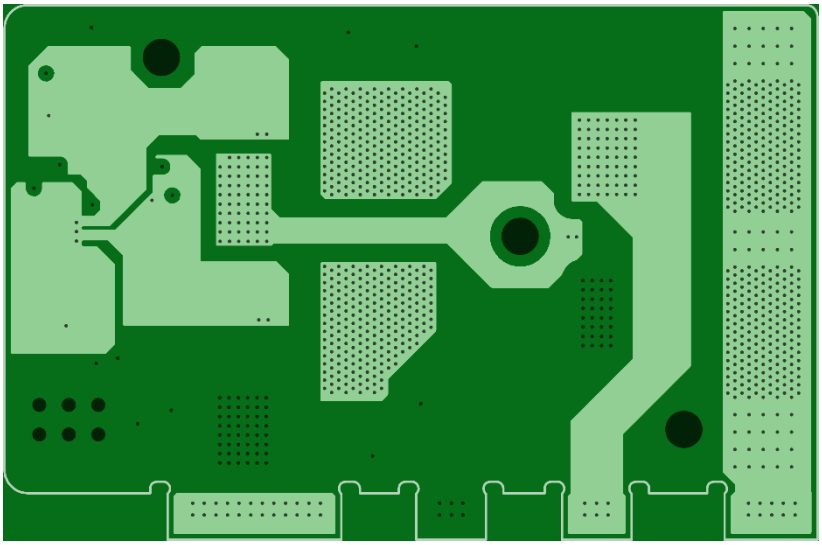


<Layer6、Back 側>

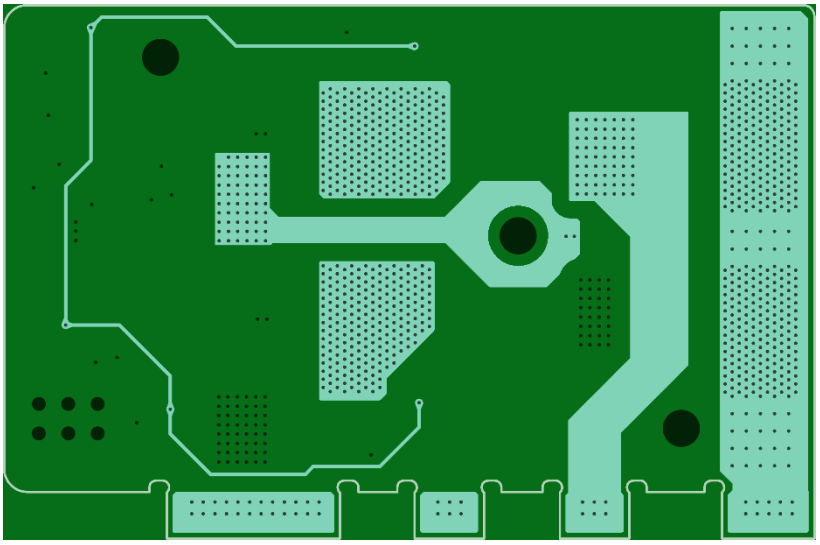
図 3.1 Main 基板パターン図（Front View）



<Layer1、Front 側>

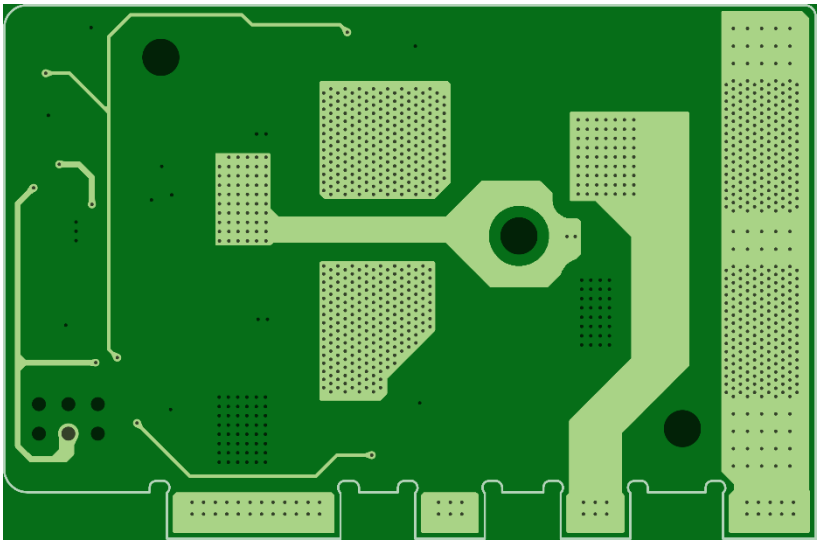


<Layer2>

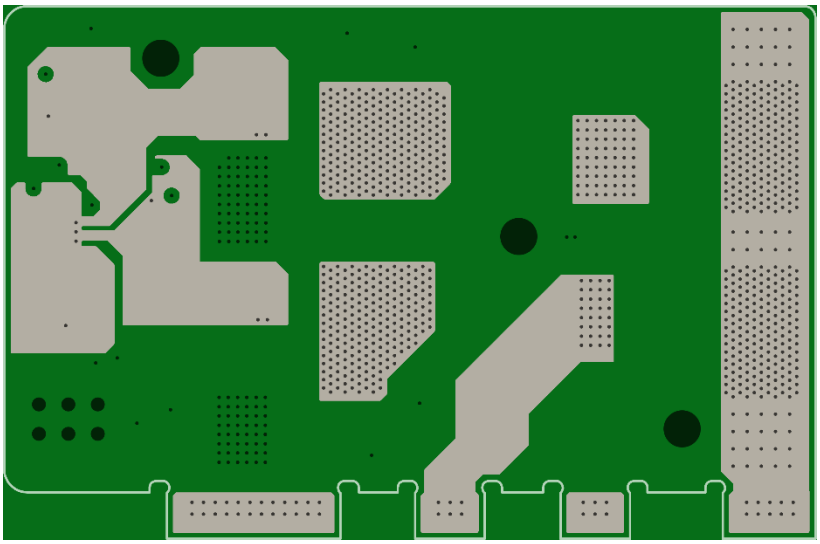


<Layer3>

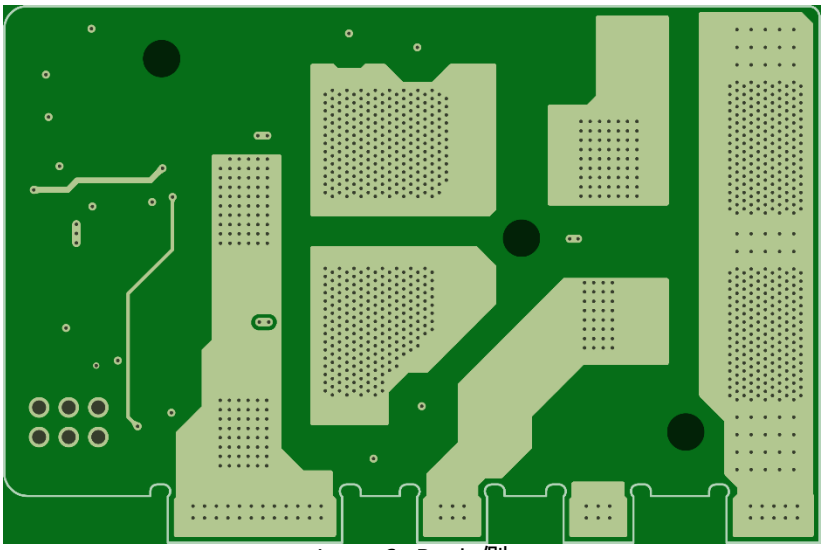
© 2025
Toshiba Electronic Devices & Storage Corporation



<Layer4>



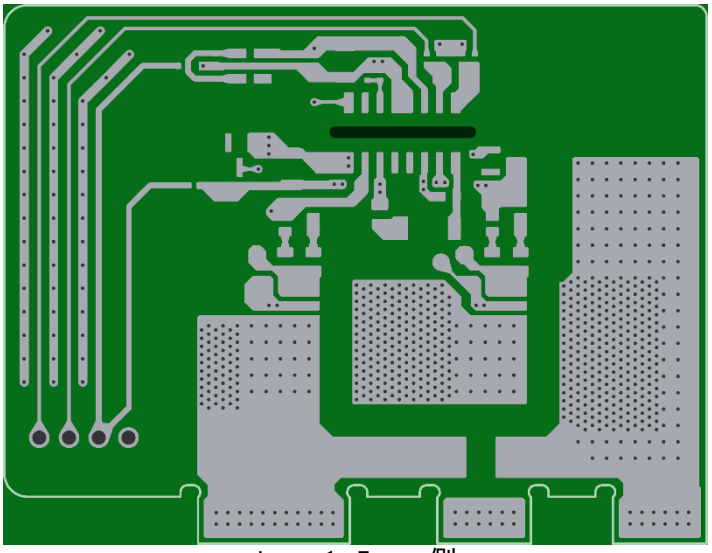
<Layer5>



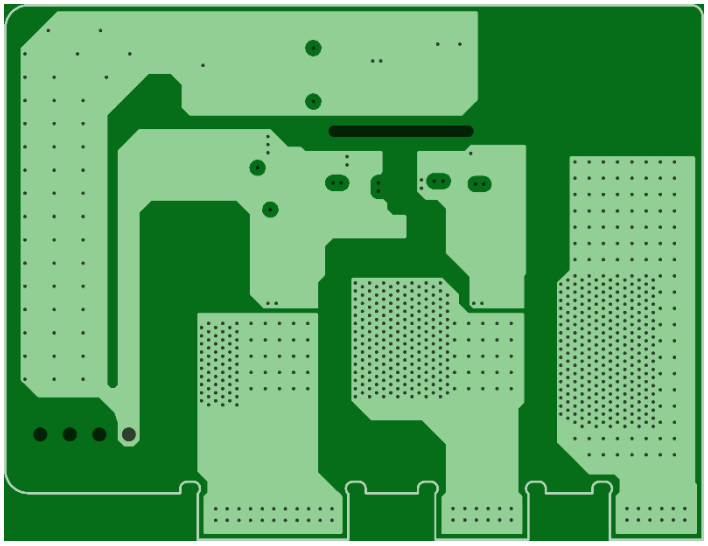
<Layer6、Back 側>

図 3.2 PFC 基板パターン図（Front View）

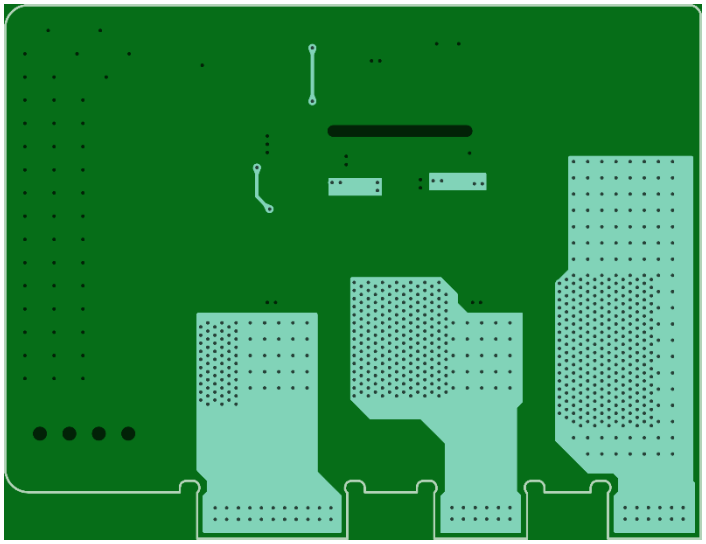
© 2025
Toshiba Electronic Devices & Storage Corporation



<Layer1、Front 側>

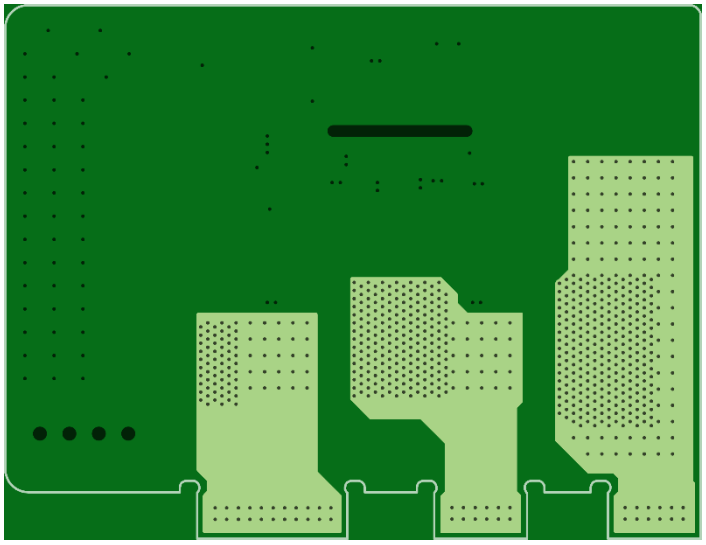


<Layer2>

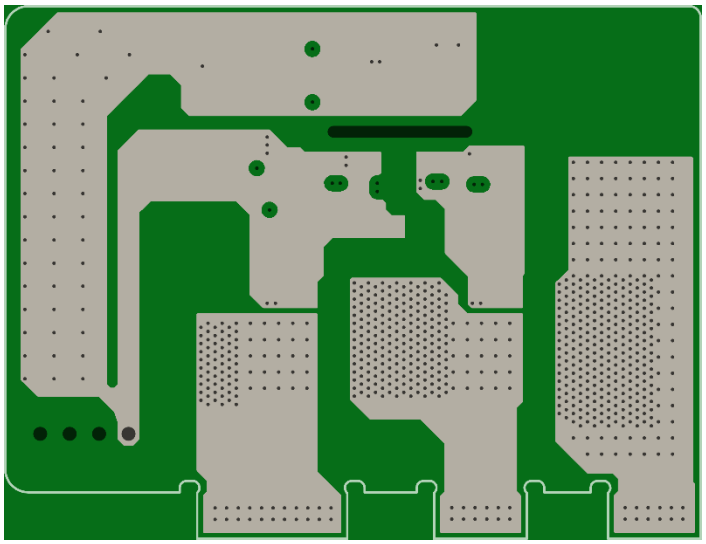


<Layer3>

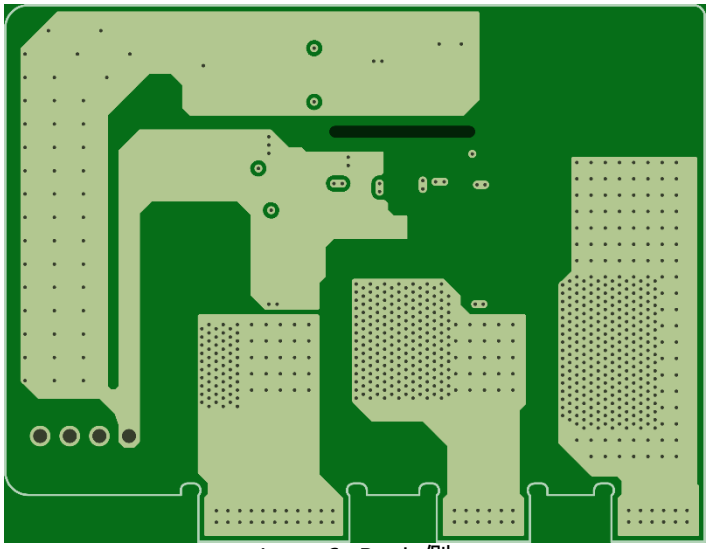
© 2025
Toshiba Electronic Devices & Storage Corporation



<Layer4>



<Layer5>



<Layer6、Back 側>

図 3.3 PSFB 基板パターン図 (Front View)

© 2025
Toshiba Electronic Devices & Storage Corporation

4. 動作手順

4.1. 外部機器との接続

図 4.1 に本デザインの外部接続端子を示します。赤色で囲んだ部分が AC 入力端子 (TB1)、青色で囲んだ部分が DC 出力端子 (TB501, TB502) です。TB1 の 2 番端子に交流安定化電源の N (Neutral) 側を、1 番端子に交流安定化電源の L (Live) 側を、また必要に応じて 3 番端子にアース (フレームグランド) を接続してください。TB501 に直流負荷の+側を、TB502 に直流負荷の-側を接続してください。接続する電源、負荷装置、使用するケーブル類は、電源仕様を満足した物を使用ください。

図 4.1 外部接続端子

4.2. 起動手順と停止手順

本電源の起動前に入力端子、出力端子の端子電圧が全て 0V であることを確認します。

[起動手順]

1. 安定化電源を投入する

[停止手順]

1. 安定化電源を停止する

4.3. 評価上の注意事項 (感電/高温火傷など)

電源接続時の感電にご注意ください。通電中は、電源各部に直接触れないでください。波形観測時には十分ご注意ください。本電源の停止後も、各種コンデンサーの残留電荷で感電の恐れがあります。各部の電圧が十分に低下したことを確認してから、基板に触れてください。

また、負荷電流に応じて本電源の半導体やインダクターなどが発熱します。本電源は強制空冷を想定しています。高負荷時に発熱部品が定格温度範囲となるような空冷装置を使用してください。本電源の動作中は火傷の恐れがありますので、電源各部に触れないでください。

© 2025
Toshiba Electronic Devices & Storage Corporation

5. 電源特性

本電源の電源効率測定結果を説明します。

5.1. 効率

本電源の電源効率測定結果を示します。交流安定化電源の出力電圧を 230V に設定し測定しています。図 5.1 の 230V 設定、負荷電力 100%時の効率は 94.8%と高効率を実現しています。

なお、効率測定は冷却 FAN を外部電源で駆動した状態で実施しています。冷却 FAN を内部電源で駆動する場合は測定結果が変化します。また、本デザインは出力に ORing 回路を備えています。ORing 回路の削除時は効率が向上すると考えられます。

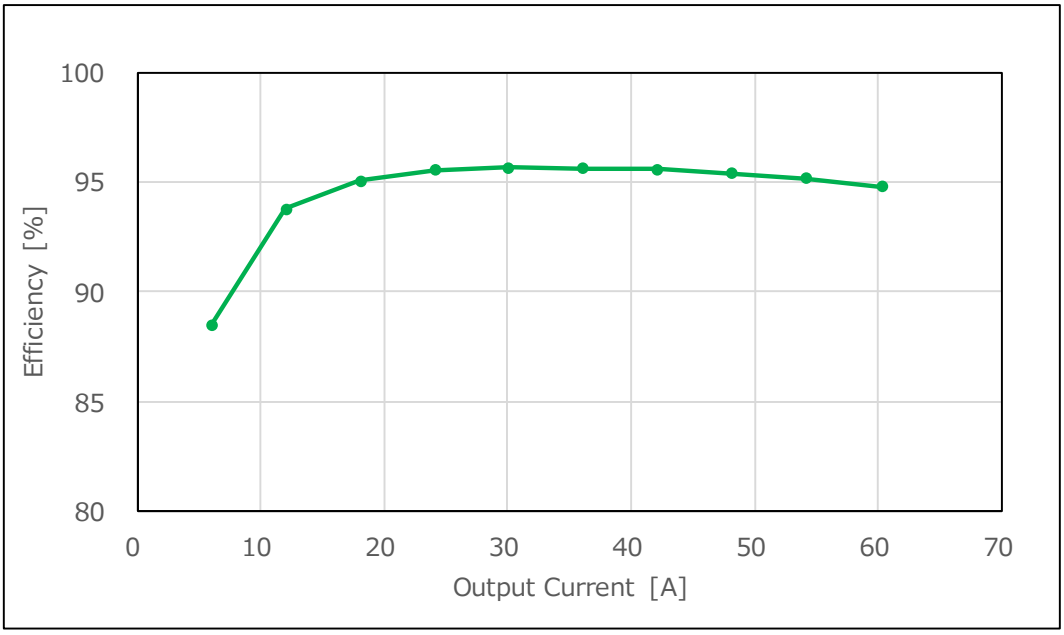


図 5.1 効率測定結果 (V_{in} = 230V)

参考として、図 5.2、図 5.3 に本デザインの電源効率測定結果と 80 PLUS の規格値を示します。Vin = 230V 時に、最上位の Platinum 規格を満足することが確認できました。 図中の 80 PLUS 規格値は、2025 年 9 月時点のものです。規格値は更新される場合があるため、都度ご確認ください。 なお、本デザインは 80 PLUS の認証を取得していません。最終製品となる機器を用いて電源効率を測定し、認証を取得する必要があります。

© 2025
Toshiba Electronic Devices & Storage Corporation

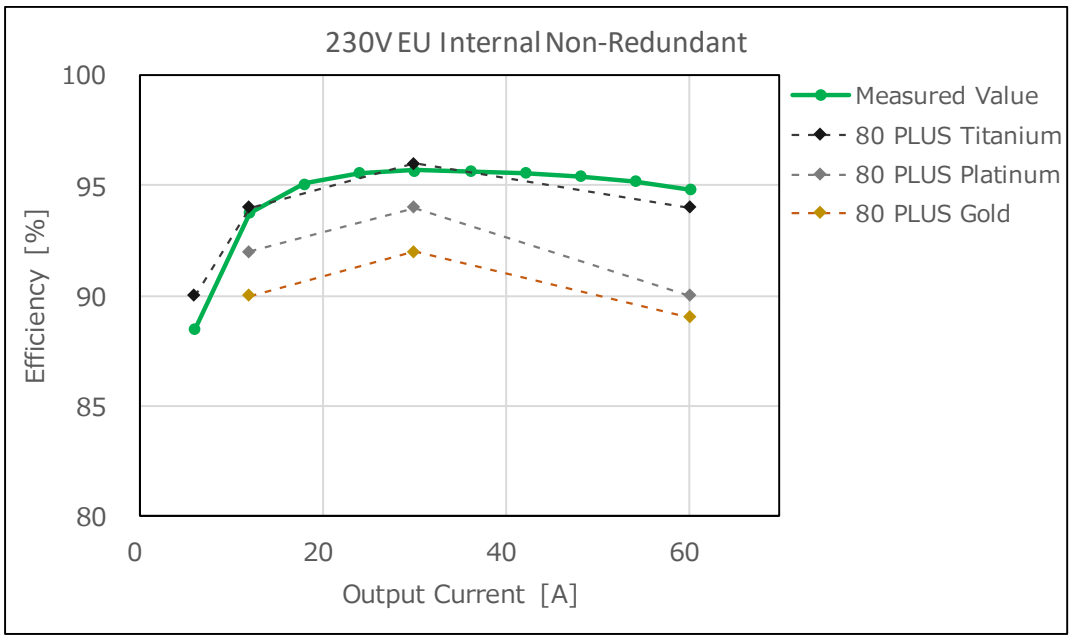


図 5.2　効率測定結果（80 PLUS 230V EU Internal Non-Redundant)

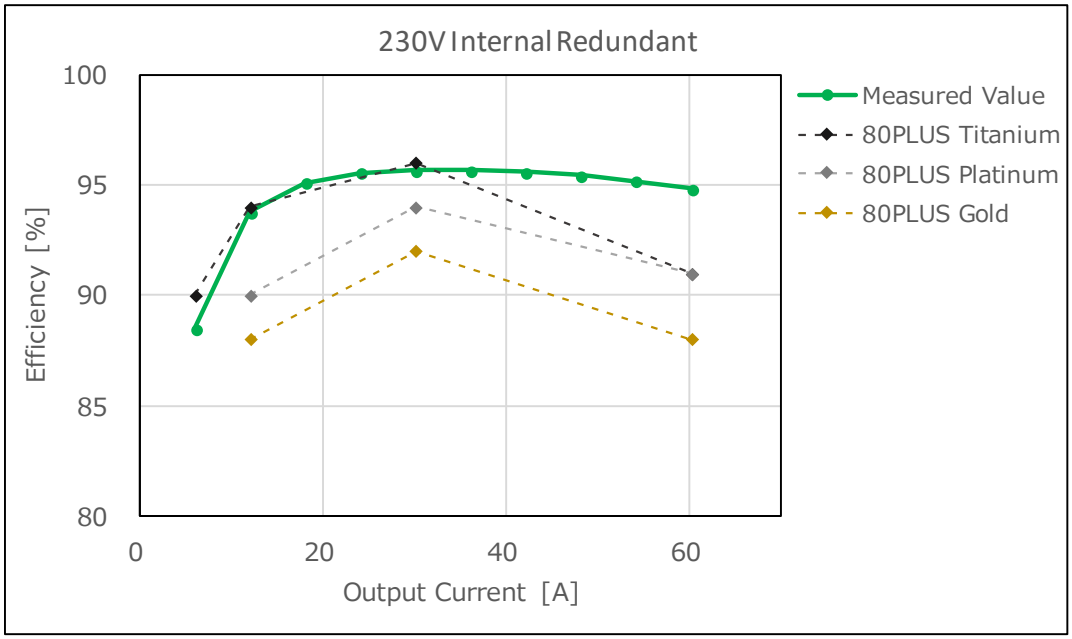


図 5.3　効率測定結果（80 PLUS 230V Internal Redundant)

© 2025
Toshiba Electronic Devices & Storage Corporation

ご利用規約

本規約は、お客様と東芝デバイス＆ストレージ株式会社（以下「当社」といいます）との間で、当社半導体製品を搭載した機器を設計する際に参考となるドキュメント及びデータ（以下「本リファレンスデザイン」といいます）の使用に関する条件を定めるものです。お客様は本規約を遵守しなければなりません。

第 1 条 禁止事項

お客様の禁止事項は、以下の通りです。

1. 本リファレンスデザインは、機器設計の参考データとして使用されることを意図しています。信頼性検証など、それ以外の目的には使用しないでください。
2. 本リファレンスデザインを販売、譲渡、貸与等しないでください。
3. 本リファレンスデザインは、高低温・多湿・強電磁界などの対環境評価には使用できません。
4. 本リファレンスデザインを、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用しないでください。

第 2 条 保証制限等

1. 本リファレンスデザインは、技術の進歩などにより予告なしに変更されることがあります。
2. 本リファレンスデザインは参考用のデータです。当社は、データ及び情報の正確性、完全性に関して一切の保証をいたしません。
3. 半導体素子は誤作動したり故障したりすることがあります。本リファレンスデザインを参考に機器設計を行う場合は、誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。また、使用されている半導体素子に関する最新の情報（半導体信頼性ハンドブック、仕様書、データシート、アプリケーションノートなど）をご確認の上、これに従ってください。
4. 本リファレンスデザインを参考に機器設計を行う場合は、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。当社は、適用可否に対する責任は負いません。
5. 本リファレンスデザインは、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証又は実施権の許諾を行うものではありません。
6. 当社は、本リファレンスデザインに関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をせず、また当社は、本リファレンスデザインに関する一切の損害（間接損害、結果的損害、特別損害、付随的損害、逸失利益、機会損失、休業損害、データ喪失等を含むがこれに限らない。）につき一切の責任を負いません。

第 3 条 契約期間

本リファレンスデザインをダウンロード又は使用することをもって、お客様は本規約に同意したものとみなされます。本規約は予告なしに変更される場合があります。当社は、理由の如何を問わずいつでも本規約を解除することができます。本規約が解除された場合は、お客様は本リファレンスデザインを破棄しなければなりません。さらに当社が要求した場合には、お客様は破棄したことを証する書面を当社に提出しなければなりません。

第 4 条 輸出管理

お客様は本リファレンスデザインを、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用してはなりません。また、お客様は「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守しなければなりません。

第 5 条 準拠法

本規約の準拠法は日本法とします。

第 6 条 管轄裁判所

本リファレンスデザインに関する全ての紛争については、別段の定めがない限り東京地方裁判所を第一審の専属管轄裁判所とします。

© 2025
Toshiba Electronic Devices & Storage Corporation