

**32 ビット RISC マイクロコントローラー  
リファレンスマニュアル**

**アドバンストプログラマブルモーター制御  
回路 2  
(A-PMD2-A)**

**Revision 1.0**

---

**2026-01**

**東芝デバイス&ストレージ株式会社**

## 目次

|                                             |    |
|---------------------------------------------|----|
| 序章 .....                                    | 5  |
| 関連するドキュメント .....                            | 5  |
| 表記規約 .....                                  | 6  |
| 用語・略語 .....                                 | 8  |
| 1. 概要 .....                                 | 9  |
| 2. 構成 .....                                 | 10 |
| 3. 機能説明 .....                               | 13 |
| 3.1. クロック供給 .....                           | 13 |
| 3.2. PWM 波形生成機能 .....                       | 14 |
| 3.2.1. バッファ .....                           | 15 |
| 3.2.2. 基本キャリアー生成 .....                      | 16 |
| 3.2.3. パルス幅変調回路 .....                       | 17 |
| 3.2.4. 通電制御回路 .....                         | 23 |
| 3.2.5. 保護制御回路 .....                         | 25 |
| 3.2.6. デッドタイム制御回路 .....                     | 29 |
| 3.3. 同期トリガー生成 .....                         | 31 |
| 3.4. エンコーダーサンプリングタイミング生成 .....              | 35 |
| 3.5. デバッグ出力機能 .....                         | 36 |
| 3.6. チャネル間同期機能 .....                        | 37 |
| 4. レジスター説明 .....                            | 38 |
| 4.1. レジスター一覧 .....                          | 38 |
| 4.2. レジスターアクセス .....                        | 39 |
| 4.3. レジスター詳細 .....                          | 41 |
| 4.3.1. [PMDxMDEN] (PMD イネーブルレジスター) .....    | 41 |
| 4.3.2. [PMDxPORTMD] (ポート出力モードレジスター) .....   | 41 |
| 4.3.3. [PMDxMODESEL] (モード選択レジスター) .....     | 42 |
| 4.3.4. [PMDxMDCR] (PMD 制御レジスター) .....       | 43 |
| 4.3.5. [PMDxCARSTA] (キャリアーステータスレジスター) ..... | 45 |
| 4.3.6. [PMDxBCARI] (基本キャリアーレジスター) .....     | 45 |
| 4.3.7. [PMDxRATE] (PWM 周波数レジスター) .....      | 45 |
| 4.3.8. PWM デューティーコンペアレジスター .....            | 46 |
| 4.3.9. キャリアー位相差レジスター .....                  | 48 |
| 4.3.10. [PMDxMDPOT] (PMD 出力設定レジスター) .....   | 49 |
| 4.3.11. [PMDxMDOUT] (PMD 通電制御レジスター) .....   | 50 |
| 4.3.12. [PMDxEMGCR] (EMG 制御レジスター) .....     | 50 |
| 4.3.13. [PMDxEMGSTA] (EMG ステータスレジスター) ..... | 51 |
| 4.3.14. [PMDxEMGREL] (EMG 解除レジスター) .....    | 51 |
| 4.3.15. [PMDxOVVCR] (OVV 制御レジスター) .....     | 52 |

|                                                  |    |
|--------------------------------------------------|----|
| 4.3.16. [PMDxOVVSTA] (OVV ステータスレジスター).....       | 53 |
| 4.3.17. [PMDxDTR] (デッドタイムレジスター).....             | 53 |
| 4.3.18. トリガーコンペアレジスター .....                      | 54 |
| 4.3.19. [PMDxTRGCR] (トリガー制御レジスター) .....          | 56 |
| 4.3.20. [PMDxTRGCR2] (トリガー制御レジスター2) .....        | 56 |
| 4.3.21. [PMDxTRGSYNCR] (トリガー更新タイミング設定レジスター)..... | 57 |
| 4.3.22. [PMDxTRGMD] (トリガー出力モード設定レジスター).....      | 57 |
| 4.3.23. [PMDxTRGSEL] (トリガー出力選択レジスター).....        | 58 |
| 4.3.24. [PMDxMBUFCR] (中間バッファ制御レジスター).....        | 58 |
| 4.3.25. [PMDxSYNCCR] (同期制御レジスター) .....           | 59 |
| 4.3.26. [PMDxDBGOUTCR] (デバッグ出力制御レジスター) .....     | 59 |
| 5. 改訂履歴.....                                     | 61 |
| 製品取り扱い上のお願い .....                                | 62 |

## 図目次

|                                       |    |
|---------------------------------------|----|
| 図 2.1 PMD ブロック図 .....                 | 10 |
| 図 3.1 PWM 波形生成機能の構成.....              | 14 |
| 図 3.2 基本キャリアー波形 .....                 | 16 |
| 図 3.3 位相シフトの動作図(U 相).....             | 17 |
| 図 3.4 PWM キャリアー波形 .....               | 18 |
| 図 3.5 PWM 波形(ノコギリ波) .....             | 19 |
| 図 3.6 PWM 波形(三角波(a)) .....            | 20 |
| 図 3.7 PWM 波形(三角波(b)) .....            | 20 |
| 図 3.8 デッドタイム制御 .....                  | 29 |
| 図 3.9 デッドタイム補正 .....                  | 30 |
| 図 3.10 PWM 波形の"High"時間とデッドタイム補正 ..... | 30 |
| 図 3.11 同期トリガー生成回路.....                | 31 |
| 図 3.12 デバッグ出力機能 .....                 | 36 |

## 表目次

|                                                  |    |
|--------------------------------------------------|----|
| 表 2.1 信号一覧表 .....                                | 11 |
| 表 3.1 中間バッファ1 更新タイミング .....                      | 15 |
| 表 3.2 実行バッファ更新タイミング(PWM キャリアー生成 三角波/逆三角波).....   | 18 |
| 表 3.3 比較値の選択(ノコギリ波/逆ノコギリ波).....                  | 19 |
| 表 3.4 比較値の選択(三角波/逆三角波) .....                     | 21 |
| 表 3.5 実行バッファ更新タイミング(PWM 波形生成 三角波/逆三角波).....      | 21 |
| 表 3.6 割り込みタイミング .....                            | 22 |
| 表 3.7 通電制御回路の信号制御 .....                          | 23 |
| 表 3.8 実行バッファ更新タイミング(通電制御 ノコギリ波/逆ノコギリ波).....      | 24 |
| 表 3.9 実行バッファ更新タイミング(通電制御 三角波/逆三角波).....          | 24 |
| 表 3.10 EMG による端子制御 .....                         | 25 |
| 表 3.11 OVV による端子制御 .....                         | 27 |
| 表 3.12 デバッグホールドによる端子制御.....                      | 28 |
| 表 3.13 キャリアー選択.....                              | 32 |
| 表 3.14 同期トリガー出力タイミング.....                        | 32 |
| 表 3.15 実行バッファ更新タイミング(同期トリガー生成比較値).....           | 33 |
| 表 3.16 実行バッファ更新タイミング(同期トリガー生成出力選択 三角波/逆三角波)..... | 34 |

|        |                                      |    |
|--------|--------------------------------------|----|
| 表 3.17 | エンコーダーサンプリングタイミング(<BEMFSAMTIMSEL>=0) | 35 |
| 表 3.18 | エンコーダーサンプリングタイミング(<BEMFSAMTIMSEL>=1) | 35 |
| 表 5.1  | 改訂履歴                                 | 61 |

序章

関連するドキュメント

| 文書名                 |
|---------------------|
| データシート              |
| 製品個別情報              |
| クロック制御と動作モード        |
| 例外                  |
| 入出力ポート              |
| アドバンストベクトルエンジン 2    |
| アドバンストエンコーダー入力回路 2  |
| 32 ビットタイマーイベントカウンター |

## 表記規約

- 数値表記は以下の規則に従います。  
16 進数表記: 0xABC  
10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)  
2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「\_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート(assert)」アクティブでないレベルに移ることを「デアサート(deassert)」と呼びます。
- 複数の信号名は[m:n]とまとめて表記する場合があります。  
例: S[3:0]は S3、S2、S1、S0 の 4 つの信号名をまとめて表記しています。
- 本文中[]で囲まれたものはレジスターを定義しています。  
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。  
例: [XYZ1]、[XYZ2]、[XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。  
ユニットの場合、「x」は A、B、C、...を表します。  
例: [ADACR0]、[ADBCR0]、[ADCCR0] → [ADxCR0]  
チャンネルの場合、「x」は 0、1、2、...を表します。  
例: [T32A0RUNA]、[T32A1RUNA]、[T32A2RUNA] → [T32AxRUNA]
- レジスターのビット範囲は[m:n]と表記します。  
例: [3:0]はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。  
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。  
バイト: 8 ビット  
ハーフワード: 16 ビット  
ワード: 32 ビット  
ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。  
R: リードオンリー  
W: ライトオンリー  
R/W: リード/ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。  
また、読み出した値を使用しないでください。
- Default 値が「-」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。  
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。  
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

### 用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

|      |                                    |
|------|------------------------------------|
| ADC  | Analog to Digital Converter        |
| ENC  | Encoder Input Circuit              |
| PMD  | Programmable Motor Control Circuit |
| PWM  | Pulse Width Modulation             |
| T32A | 32-bit Timer Event Counter         |
| VE   | Vector Engine                      |

## 1. 概要

アドバンストプログラマブルモーター制御回路 2(以降 PMD)は、1 チャンネルで 1 つのモーターを制御します。

| 機能分類     | 機能               | 動作説明                                                                                                                      |
|----------|------------------|---------------------------------------------------------------------------------------------------------------------------|
| PWM 波形生成 | 基本キャリアー生成        | f <sub>sys</sub> でカウントする 24 ビットのカウンターの上位 15 ビットを基本キャリアーとして使用<br>カウンターの加算値の調整により、振幅が一定で周期が異なるノコギリ波を生成                      |
|          | PWM キャリアー生成      | U/V/W 相の PWM キャリアーを生成<br>・相ごとに 4 種類のキャリアー波形から選択(三角波/ノコギリ波/逆三角波/逆ノコギリ波)<br>・基本キャリアーに対し、個別の位相差の付加が可能                        |
|          | 3 相 PWM 生成       | U/V/W 相キャリアーから PWM 波形を生成<br>・3 相同一または 3 相独立の PWM 波形を生成<br>・三角波/逆三角波の場合 PWM 周期前半/後半で別のデューティを設定可能                           |
|          | 通電制御             | U/V/W 相 PWM 波形から X/Y/Z 相 PWM 波形を生成<br>・各相の PWM 波形は PWM 出力、PWM 反転出力、“High”/“Low”出力から選択                                     |
|          | デッドタイム制御         | 上下相(U/X,V/Y,W/Z)の切り替え時に短絡防止期間を挿入                                                                                          |
| 保護機能     | EMG 保護<br>OVV 保護 | 2 種類の保護制御(EMG,OVV)による出力の制御<br>・EMG 要因は端子入力、コンパレータ出力<br>・OVV 要因は端子入力、ADC 監視機能、コンパレータ出力                                     |
| チャンネル間同期 | PWM 動作<br>保護機能   | マスターチャンネルとスレーブチャンネルの連携が可能<br>・PWM 動作開始<br>・EMG 保護<br>・OVV 保護                                                              |
| 連係機能     | 割り込み             | ・キャリアーセンター、エンドまたは両方で発生可能<br>発生周期の選択が可能(PWM 半周期/1 周期/2 周期/4 周期)<br>同期トリガー生成およびバッファ更新周期も合わせることが可能<br>・EMG 保護発生<br>・OVV 保護発生 |
|          | 同期トリガー生成         | ADC 変換開始トリガーを出力<br>・PWM キャリアーと任意の比較値の一致<br>・基本キャリアー、相別キャリアーのキャリアーセンター/エンド                                                 |
|          | エンコーダー用出力        | ・PWM 波形からエンコーダーサンプリングタイミングを生成<br>・フェーズ検出のための情報を出力                                                                         |
|          | デバッグ用出力          | モーター制御機能の各種動作タイミングを端子に出力<br>・ADC 変換中<br>・PMD の同期トリガー<br>・ADC、PMD、VE、ENC 割り込み<br>・VE タスク遷移<br>・エンコーダーからのデバッグ出力             |

## 2. 構成

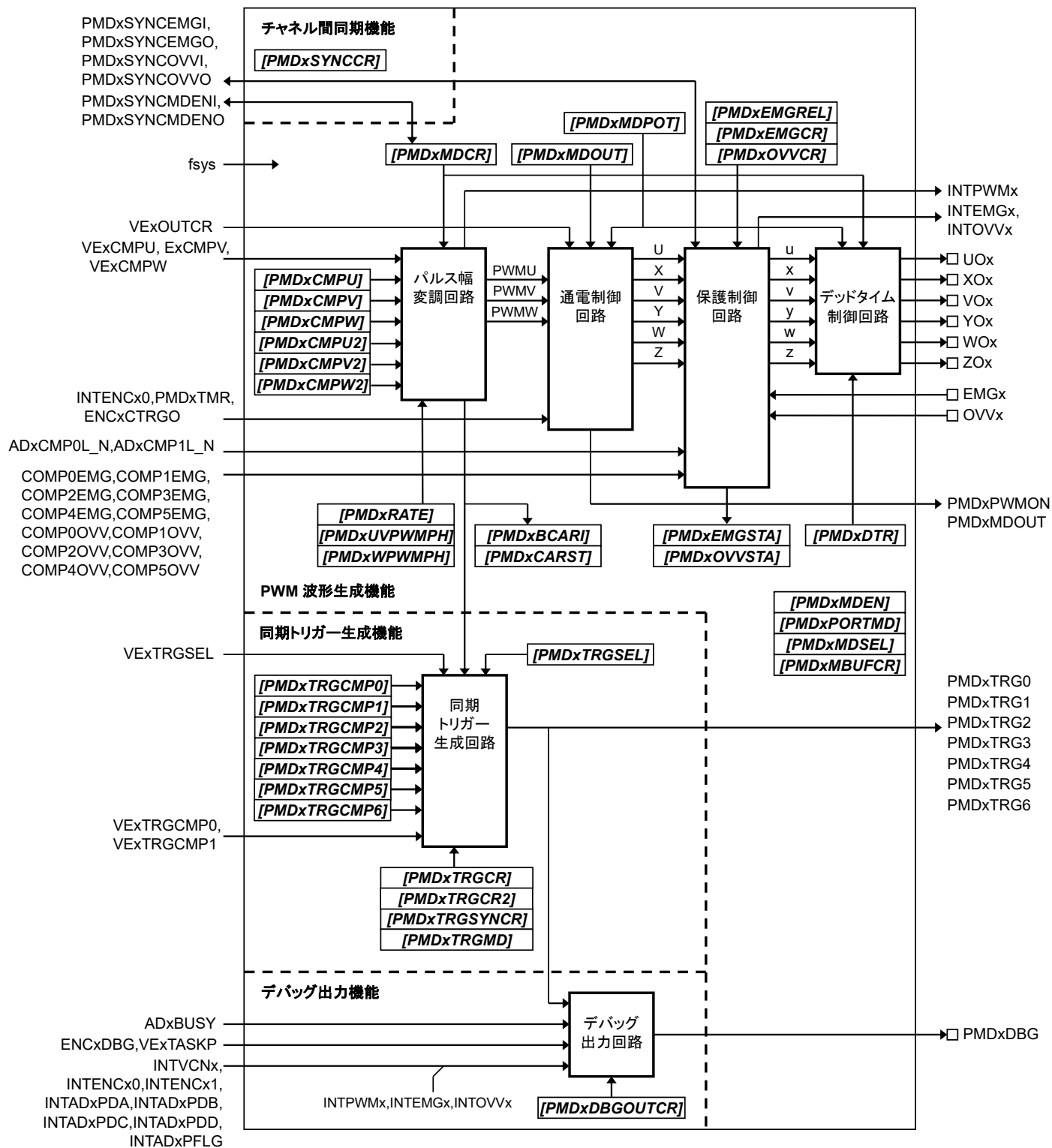


図 2.1 PMDブロック図

表 2.1 信号一覧表

| No | 信号名          | 信号名称                                     | I/O | 参照リファレンスマニュアル |
|----|--------------|------------------------------------------|-----|---------------|
| 1  | fsys         | システムクロック                                 | 入力  | クロック制御とモード制御  |
| 2  | INTADxPDA    | ADC 変換終了割り込み A (デバッグ出力)                  | 入力  | 製品個別情報        |
| 3  | INTADxPDB    | ADC 変換終了割り込み B (デバッグ出力)                  | 入力  | 製品個別情報        |
| 4  | INTADxPDC    | ADC 変換終了割り込み C (デバッグ出力)                  | 入力  | 製品個別情報        |
| 5  | INTADxPDD    | ADC 変換終了割り込み D (デバッグ出力)                  | 入力  | 製品個別情報        |
| 6  | INTADxPFLG   | ADC 変換優先度割り込み(デバッグ出力)                    | 入力  | 製品個別情報        |
| 7  | ADxCMP0L_N   | ADC 監視機能 0 信号(OVV 検知)                    | 入力  | 製品個別情報        |
| 8  | ADxCMP1L_N   | ADC 監視機能 1 信号(OVV 検知)                    | 入力  | 製品個別情報        |
| 9  | ADxBUSY      | ADC 変換動作中状態信号(デバッグ出力)                    | 入力  | 製品個別情報        |
| 10 | INTENCx0     | 転流トリガー(ENC 位置検出同期)<br>ENC 割り込み 0(デバッグ出力) | 入力  | 製品個別情報        |
| 11 | ENCxCTRG0    | 転流トリガー(ENC MCMP 同期)                      | 入力  | 製品個別情報        |
| 12 | PMDxTMR      | 転流トリガー(汎用タイマー同期)                         | 入力  | 製品個別情報        |
| 13 | VExCMPU      | VE U 相 PWM デューティー([VExCMPU])             | 入力  | 製品個別情報        |
| 14 | VExCMPV      | VE V 相 PWM デューティー([VExCMPV])             | 入力  | 製品個別情報        |
| 15 | VExCMPW      | VE W 相 PWM デューティー([VExCMPW])             | 入力  | 製品個別情報        |
| 16 | VExTRGCMP0   | VE トリガーコンペア 0                            | 入力  | 製品個別情報        |
| 17 | VExTRGCMP1   | VE トリガーコンペア 1                            | 入力  | 製品個別情報        |
| 18 | VExTRGSEL    | VE 同期トリガー出力選択                            | 入力  | 製品個別情報        |
| 19 | VExOUTCR     | VE 通電制御/出力制御([VExOUTCR])                 | 入力  | 製品個別情報        |
| 20 | VExTASKP     | VE タスク遷移信号(デバッグ出力)                       | 入力  | 製品個別情報        |
| 21 | INTVCNx      | VE 割り込み(デバッグ出力)                          | 入力  | 製品個別情報        |
| 22 | COMPxEMG     | COMP EMG 検知                              | 入力  | 製品個別情報        |
| 23 | COMPxOVV     | COMP OVV 検知                              | 入力  | 製品個別情報        |
| 24 | INTENCx1     | ENC 割り込み 1(デバッグ出力)                       | 入力  | 製品個別情報        |
| 25 | ENCxDBG      | ENC デバッグ出力                               | 入力  | 製品個別情報        |
| 26 | EMGx         | EMG 検知入力端子                               | 入力  | データシート        |
| 27 | OVVx         | OVV 検知入力端子                               | 入力  | データシート        |
| 28 | PMDxSYNCDENI | PWM 動作同期入力                               | 入力  | 製品個別情報        |
| 29 | PMDxSYNCEMGI | EMG 保護同期入力                               | 入力  | 製品個別情報        |
| 30 | PMDxSYNCOVVI | OVV 保護同期入力                               | 入力  | 製品個別情報        |
| 31 | UOx          | U 相 PWM 出力端子                             | 出力  | データシート        |
| 32 | XOx          | X 相 PWM 出力端子                             | 出力  | データシート        |
| 33 | VOx          | V 相 PWM 出力端子                             | 出力  | データシート        |
| 34 | YOx          | Y 相 PWM 出力端子                             | 出力  | データシート        |
| 35 | WOx          | W 相 PWM 出力端子                             | 出力  | データシート        |
| 36 | ZOx          | Z 相 PWM 出力端子                             | 出力  | データシート        |
| 37 | PMDxDBG      | デバッグ出力端子                                 | 出力  | データシート        |
| 38 | INTPWMx      | PWM 割り込み                                 | 出力  | 例外、製品個別情報     |
| 39 | INTEMGx      | EMG 割り込み                                 | 出力  | 例外            |
| 40 | INTOVVx      | OVV 割り込み                                 | 出力  | 例外            |
| 41 | PMDxTRG0     | ADC 同期トリガー出力 0                           | 出力  | 製品個別情報        |
| 42 | PMDxTRG1     | ADC 同期トリガー出力 1                           | 出力  | 製品個別情報        |
| 43 | PMDxTRG2     | ADC 同期トリガー出力 2                           | 出力  | 製品個別情報        |
| 44 | PMDxTRG3     | ADC 同期トリガー出力 3                           | 出力  | 製品個別情報        |
| 45 | PMDxTRG4     | ADC 同期トリガー出力 4                           | 出力  | 製品個別情報        |
| 46 | PMDxTRG5     | ADC 同期トリガー出力 5                           | 出力  | 製品個別情報        |
| 47 | PMDxTRG6     | ADC 同期トリガー出力 6                           | 出力  | 製品個別情報        |
| 48 | PMDxPWMON    | ENC 入力用 PWM 信号                           | 出力  | 製品個別情報        |

| No | 信号名           | 信号名称             | I/O | 参照リファレンスマニュアル |
|----|---------------|------------------|-----|---------------|
| 49 | PMDxMDOUT     | ENC 入力用 PWM 出力制御 | 出力  | 製品個別情報        |
| 50 | PMDxSYNCMDENO | PWM 動作同期出力       | 出力  | 製品個別情報        |
| 51 | PMDxSYNCEMGO  | EMG 保護同期出力       | 出力  | 製品個別情報        |
| 52 | PMDxSYNCOVVO  | OVV 保護同期出力       | 出力  | 製品個別情報        |

### 3. 機能説明

PMD は PWM 波形生成機能、同期トリガー生成機能、デバッグ出力機能およびチャネル間同期機能で構成されています。

PWM 波形生成機能はパルス幅変調回路、通電制御回路、保護制御回路およびデッドタイム制御回路で構成されています。

- － パルス幅変調回路は、PWM キャリアーを生成し 3 相の独立した PWM 波形を生成します。
- － 通電制御回路は U、V、W 相の各上下相の出力パターンを決定します。
- － 保護制御回路では EMG 検知、OVV 検知による緊急の出力制御を行いません。
- － デッドタイム制御回路では上下相の切り替え時の短絡を防止します。

同期トリガー生成回路では ADC 変換開始のための 7 チャネルのトリガー信号を生成します。

デバッグ出力機能はモーター制御に使用する周辺機能の動作タイミングのモニター信号を出力します。

チャネル間同期機能は複数の PMD の動作開始と保護を同期動作することができます。

#### 3.1. クロック供給

PMD を使用する場合、クロック供給の設定をする必要があります。詳細は、リファレンスマニュアル「クロック制御と動作モード」の「クロック供給設定機能」を参照してください。

### 3.2. PWM 波形生成機能

PWM 波形生成機能の構成を図 3.1 に示します。

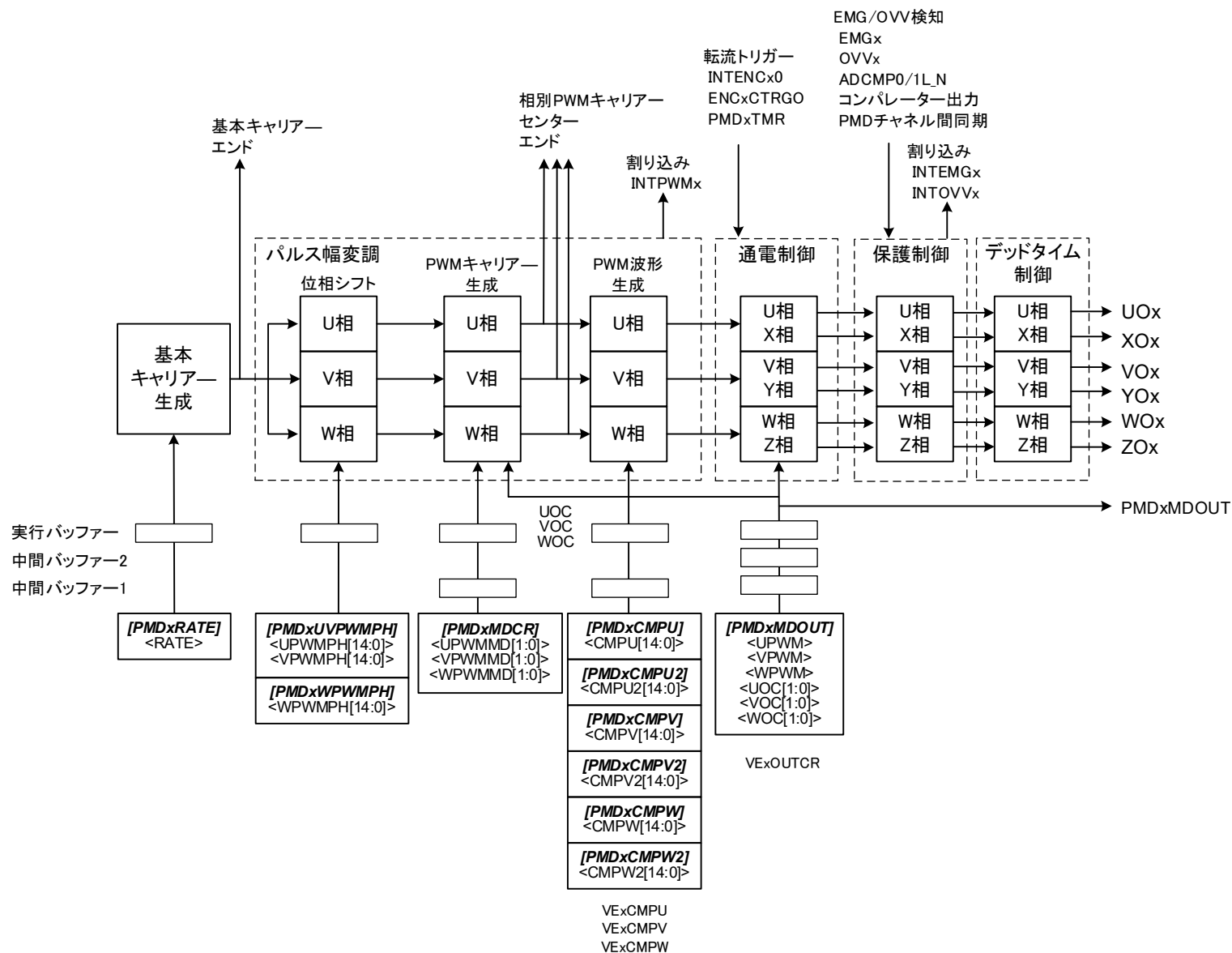


図 3.1 PWM 波形生成機能の構成

### 3.2.1. バッファ

バッファの基本動作は PWM 波形生成機能と同期トリガー生成回路で共通です。

レジスターに設定された値は特定のタイミングでバッファに書き込まれ、バッファの値を参照して回路が動作します。バッファがあることで、動作に影響なくレジスターを書き換えることができます。

バッファには実行バッファと中間バッファ1、2があります。回路の制御に使用されるのは実行バッファの値です。

実行バッファと中間バッファ2の更新タイミングは、各機能の章で説明しています。

中間バッファ1の更新タイミングは共通です。**[PMDxMBUFCR]<BUFCTRSEL>**で基本キャリアまたはU相キャリアを選択し、**[PMDxMBUFCR]<BUFCTR[2:0]>**でタイミングを設定します。

**[PMDxMDEN] <PWMEN> =0** または EMG 保護状態では、対象のレジスターに書き込むことで中間バッファ1も更新されます。

表 3.1 中間バッファ1更新タイミング

| <b>[PMDxMBUFCR]<br/>&lt;BUFCTR[2:0]&gt;</b> | <b>更新タイミング</b>         |
|---------------------------------------------|------------------------|
| 000                                         | 中間バッファ1 無効             |
| 001                                         | キャリアーエンド               |
| 010                                         | キャリアーセンター              |
| 011                                         | キャリアー3/4 タイミング         |
| 100                                         | キャリアー1/4 タイミング         |
| 101                                         | キャリアーセンターおよびエンド        |
| 110                                         | キャリアー1/4 および 3/4 タイミング |
| 111                                         | -                      |

レジスターを読み出すと、最後に書き込んだ値が読めます。バッファの値は読み出すことができません。

### 3.2.2. 基本キャリア生成

基本キャリアは、 $f_{sys}$  でカウントアップする 24 ビットのカウンタで生成します。24 ビットのカウンタのうち、上位の 15 ビットを基本キャリアとして使用します。

カウントアップの際は  $[PMDxRATE]$  の値を加算します。PWM 周波数は下記の式で求めることができます。

$$\text{PWM 周波数} = \frac{f_{sys} [\text{Hz}]}{2^{24} / [PMDxRATE] \text{値}} \quad \text{注) 分母は小数点以下四捨五入}$$

加算する値を調整することで、図 3.2 に示すように振幅が一定で PWM 周期の異なるノコギリ波を生成します。このため、特定のデューティの値は周期によらず同じになります。

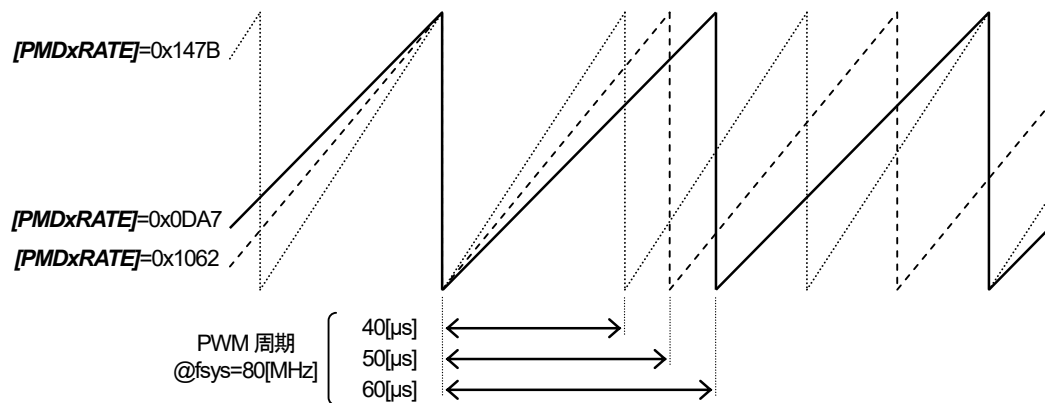


図 3.2 基本キャリア波形

$[PMDxRATE]$  は実行バッファとダブルバッファ構成です。実行バッファは基本キャリアエンドごとに更新されます。ただし、 $[PMDxMDPOT] < PSYNCS[1:0] > = 00$  または  $[PMDxMDEN] < PWMEN > = 0$  の場合、 $[PMDxRATE]$  への書き込みで実行バッファも更新されます。

### 3.2.3. パルス幅変調回路

パルス幅変調回路は、基本キャリアを位相シフトした U/V/W 相のキャリアを変形して PWM キャリアとし、PWM キャリアを用いて PWM 波形を生成します。

#### 3.2.3.1. 相別キャリア生成

基本キャリアに対し位相差をつけた相別キャリアを生成します。

位相差は、 $[PMDxUVPWMPH] <UPWMPH[14:0]>$ 、 $<VPWMPH[14:0]>$  と  $[PMDxWPWMPH] <WPWMPH[14:0]>$  で設定し、設定した値が基本キャリアに加算されます。

位相差の設定値は PWM 周期に対する比率を  $2^{15}$  倍した値になります。

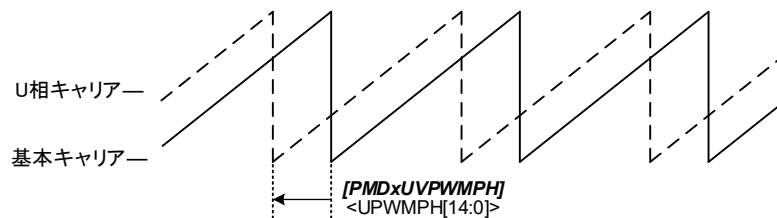


図 3.3 位相シフトの動作図(U相)

$[PMDxUVPWMPH] <UPWMPH[14:0]>$ 、 $<VPWMPH[14:0]>$  と  $[PMDxWPWMPH] <WPWMPH[14:0]>$  は実行バッファとのダブルバッファ構成です。実行バッファは基本キャリアエンドごとに更新されます。

#### 3.2.3.2. PWM キャリアー生成

相別キャリアを変形して相別 PWM キャリアを生成します。

PWM キャリアーとしてノコギリ波、三角波、逆ノコギリ波および逆三角波を選択可能です。PWM キャリアーは  $[PMDxMDCR] <UPWMMD[1:0]>$ 、 $<VPWMMD[1:0]>$ 、 $<WPWMMD[1:0]>$  で選択します。

また、 $[PMDxMDOUT]$  または VE からの  $VExOUTCR$  ( $[VExOUTCR]$  設定値) の  $<UOC[1:0]>$ 、 $<VOC[1:0]>$ 、 $<WOC[1:0]>$  を "00" に設定することで PWM キャリアーを反転することができます。 $[PMDxMDOUT]$  と  $VExOUTCR$  の切り替えは、 $[PMDxMODESEL] <MDSEL1>$  で行います。

図 3.4 に PWM キャリアーの波形を示します。

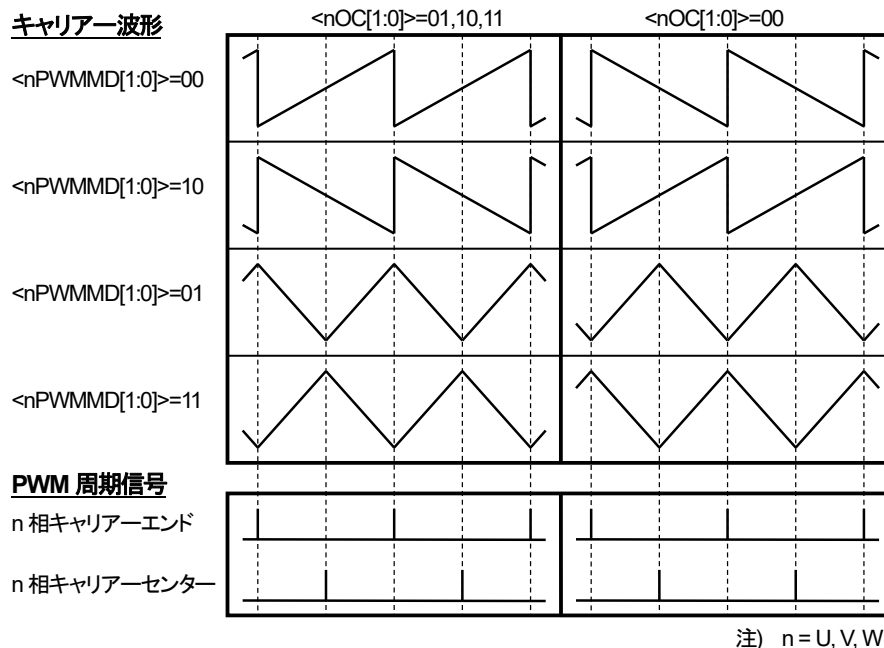


図 3.4 PWMキャリアー波形

**[PMDxMDOUT]/VExOUTCR** のバッファ構成と実行バッファ更新タイミングについては、「3.2.4 通電制御回路」を参照してください。

**[PMDxMDCR]<UPWMMMD[1:0]>**, **<VPWMMMD[1:0]>**, **<WPWMMMD[1:0]>** は実行バッファ、中間バッファ1の2段のバッファを持つ構成です。

ノコギリ波/逆ノコギリ波の場合、実行バッファの更新タイミングは相別キャリアーエンドです。  
三角波/逆三角波の場合の実行バッファの更新タイミングを表 3.2 に示します。

表 3.2 実行バッファ更新タイミング(PWMキャリアー生成 三角波/逆三角波)

| <b>[PMDxMDPOT]</b>       |                            | 更新タイミング         |
|--------------------------|----------------------------|-----------------|
| <b>&lt;PSYNCSDIS&gt;</b> | <b>&lt;PSYNCS[1:0]&gt;</b> |                 |
| 1                        | xx                         | 基本キャリアーエンド      |
| 0                        | 00                         | レジスター書き込み       |
|                          | 01                         | 相別キャリアーセンター     |
|                          | 10                         | 相別キャリアーエンド      |
|                          | 11                         | 相別キャリアーエンド/センター |

注) xx: Don't care

実行バッファの更新を間引くことができます。**[PMDxMDCR]<INTPRD[1:0]>** の設定により、割り込みの間引きとあわせて実行バッファ更新を間引きます。**[PMDxMDCR]<DCMEN>** に "1" を設定することで間引きが有効になります。

### 3.2.3.3. PWM 波形生成

相別 PWM キャリアと比較値から所望のデューティの PWM 波形を生成します。  
PWM 波形生成には以下の 2 つのモードがあり、**[PMDxMDCR]/<DTYMD>**で選択します。

- － 3 相独立デューティモード  
U/V/W 相それぞれの比較値を設定し、3 相の独立した PWM 波形を生成します。  
正弦波などの任意の駆動波形生成に使用します。
- － 3 相共通デューティモード  
U 相の比較値を V/W 相でも使用し、3 相同一の PWM 波形を生成します。  
ブラシレス DC モーターの矩形波駆動に使用します。

PWM キャリアごとの PWM 波形を示します。

#### (1) ノコギリ波の場合

PWM キャリアがノコギリ波の場合の PWM 波形を図 3.5 に示します。

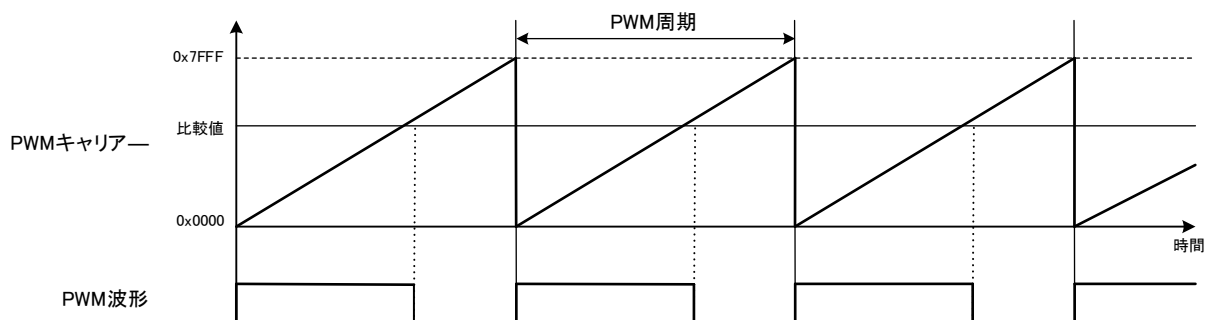


図 3.5 PWM波形(ノコギリ波)

比較値として、**[PMDxCMPU]**, **[PMDxCMPV]**, **[PMDxCMPW]**または VE からの **VExCMPU**, **VExCMPV**, **VExCMPW** が選択できます。

表 3.3 比較値の選択(ノコギリ波/逆ノコギリ波)

| <b>[PMDxMODESEL]</b><br><b>&lt;MDSEL0&gt;</b> | <b>[PMDxMDCR]</b><br><b>&lt;CMPSEL&gt;</b> | 比較値               |
|-----------------------------------------------|--------------------------------------------|-------------------|
| 0                                             | 0                                          | <b>[PMDxCMPn]</b> |
| 1                                             | 0                                          | VExCMPn           |

n = U, V, W

### (2) 三角波の場合

PWM キャリアーが三角波の場合、(a)の使い方が可能です。PWM キャリアーが逆三角波の場合、(a)または(b)の使い方が可能です。

(a) 周期の前半と後半で同じ比較値を使用する(図 3.6)

(b) 周期の前半と後半で比較値を別にする(図 3.7)

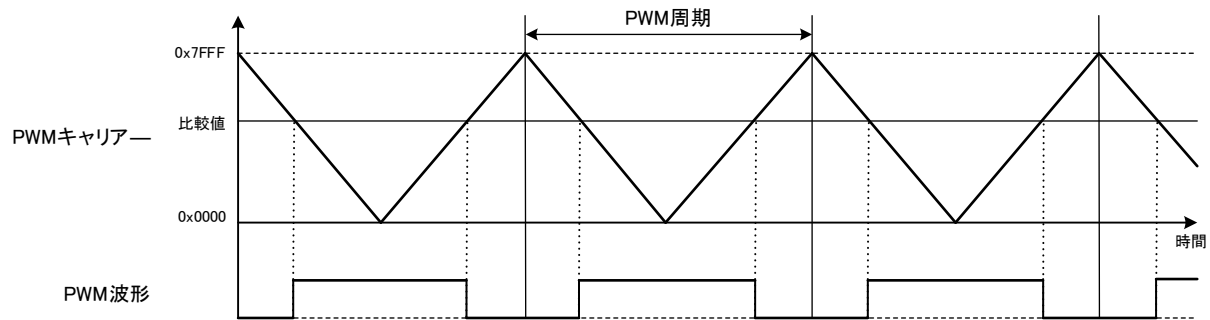


図 3.6 PWM波形(三角波(a))

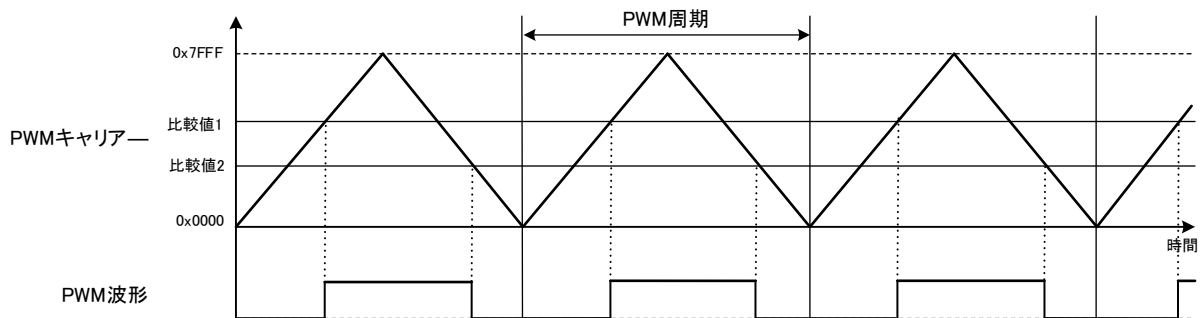


図 3.7 PWM波形(三角波(b))

表 3.4 に比較値の選択を示します。

(a)の場合、比較値は $[PMDxCMPU]$ 、 $[PMDxCMPV]$ 、 $[PMDxCMPW]$ または VE からの  $VExCMPU$ 、 $VExCMPV$ 、 $VExCMPW$  が選択できます。(No.1,4)

(b)の場合、前半の比較値は $[PMDxCMPU]$ 、 $[PMDxCMPV]$ 、 $[PMDxCMPW]$ となり、後半の比較値は $[PMDxCMPU2]$ 、 $[PMDxCMPV2]$ 、 $[PMDxCMPW2]$ (No.2,3)または VE からの  $VExCMPU$ 、 $VExCMPV$ 、 $VExCMPW$ (No.5,6)が選択できます。 $[PMDxMDCR] < DSYNC[1:0] > = "11"$ (相別キャリアーエンドとセンタで更新)で使用してください。中間バッファ1は無効としてください。

表 3.4 比較値の選択(三角波/逆三角波)

| No. | [PMDxMODESEL]<br><MSEL0> | [PMDxMDCR]<br><CMPSEL> | [PMDxMODESEL]<br><DCMPEN> | [PMDxMDCR]<br><DSYNCS[1:0]> | [PMDxMDCR]<br><nPWMMD[1:0]> | [PMDxMDOUT]<br>または VExOUTCR<br><nOC[1:0]> | 比較値        |             |
|-----|--------------------------|------------------------|---------------------------|-----------------------------|-----------------------------|-------------------------------------------|------------|-------------|
|     |                          |                        |                           |                             |                             |                                           | PWM 周期前半   | PWM 周期後半    |
| 1   | 0                        | 0                      | -                         | -                           | -                           | -                                         | [PMDxCMPn] |             |
| 2   |                          | 1                      |                           | 11                          | 01                          | 00                                        | [PMDxCMPn] | [PMDxCMPn2] |
| 3   |                          |                        |                           |                             | 11                          | 01/10/11                                  |            |             |
| 4   | 1                        | -                      | 0                         | -                           | -                           | -                                         | VExCMPn    |             |
| 5   |                          |                        | 1                         | 11                          | 01                          | 00                                        | [PMDxCMPn] | VExCMPn     |
| 6   |                          |                        |                           |                             | 11                          | 01/10/11                                  |            |             |

n=U, V, W

比較値は実行バッファ、中間バッファ1の2段のバッファを持つ構成です。  
ノコギリ波/逆ノコギリ波の場合、実行バッファの更新タイミングは相別キャリアエンドです。

三角波/逆三角波の実行バッファの更新タイミングを表 3.5 に示します。  
[PMDxMDEN] <PWMEN> = 0 の場合、レジスターに書き込むことで実行バッファも更新されます。

表 3.5 実行バッファ更新タイミング(PWM波形生成 三角波/逆三角波)

|   | [PMDxMDCR]  |               |               | 更新タイミング        |
|---|-------------|---------------|---------------|----------------|
|   | <DSYNCSDIS> | <DSYNCS[1:0]> | <INTPRD[1:0]> |                |
| 1 |             | xx            | xx            | 基本キャリアエンド      |
| 0 |             | 00            | 01,10,11      | 相別キャリアエンド      |
|   |             |               | 00            | 相別キャリアセンター/エンド |
|   |             | 01            | xx            | 相別キャリアセンター     |
|   |             | 10            | xx            | 相別キャリアエンド      |
|   |             | 11            | xx            | 相別キャリアセンター/エンド |

xx: Don't care

実行バッファの更新を間引くことができます。[PMDxMDCR] <INTPRD[1:0]> の設定により、割り込みの間引きとあわせて実行バッファ更新を間引きます。[PMDxMDCR] <DCMEN> に "1" を設定することで間引きが有効になります。

3.2.3.4. 割り込み

基本キャリアーに同期して割り込みを発生します。発生タイミングはキャリアーエンド、センターまたは両方です。  
キャリアー波形および設定により表 3.6 に示すタイミングで割り込みが発生します。

表 3.6 割り込みタイミング

| キャリアー波形         | [PMDxMDCR]    |        | 割り込みタイミング       |
|-----------------|---------------|--------|-----------------|
|                 | <INTPRD[1:0]> | <PINT> |                 |
| ノコギリ波<br>逆ノコギリ波 | 01/10/11      | -      | 基本キャリアーエンド      |
| 三角波<br>逆三角波     | 00            | -      | 基本キャリアーエンドとセンター |
|                 | 01/10/11      | 0      | 基本キャリアーセンター     |
|                 |               | 1      | 基本キャリアーエンド      |

割り込みタイミングが基本キャリアーエンドまたはセンターのみの場合、[PMDxMDCR] <INTPRD[1:0]>で割り込みの間引きができます。1 周期ごと、2 周期ごと、4 周期ごとを設定可能です。

### 3.2.4. 通電制御回路

通電制御回路は上相である U/V/W 相の PWM 波形から下相である X/Y/Z 相の波形を生成します。また各相の信号は"High"レベルまたは"Low"レベルに固定することもできます。

$[PMDxMDCR]$ <SYNTMD>および、 $[PMDxMDOUT]$ または VE からの  $VE_{OUTCR}$ ( $[VE_{OUTCR}]$ 設定値)により生成される信号を表 3.7 に示します。「PWM\_N」は PWM 波形の反転を表します。

表 3.7 は、 $[PMDxMDPOT]$ <POLH>, <POLL>が"1"(ハイクティブ)の場合を示しています。"0"(ローアクティブ)の場合、デッドタイム制御回路で反転されます。

$[PMDxMDOUT]$ と  $VE_{OUTCR}$  の切り替えは、 $[PMDxMODESEL]$ <MDSEL1>で選択します。

表 3.7 通電制御回路の信号制御

$[PMDxMDCR]$ <SYNTMD> = 0

| $[PMDxMDOUT]$ <nPWM><br>$[VE_{OUTCR}]$ <nPWM>               |    | 0: H/L 出力 |      | 1: PWM 出力 |       |
|-------------------------------------------------------------|----|-----------|------|-----------|-------|
|                                                             |    | 上相出力      | 下相出力 | 上相出力      | 下相出力  |
| $[PMDxMDOUT]$<br><nOC[1:0]><br>$[VE_{MDOUT}]$<br><nOC[1:0]> | 00 | Low       | Low  | PWM       | PWM_N |
|                                                             | 01 | Low       | High | Low       | PWM   |
|                                                             | 10 | High      | Low  | PWM       | Low   |
|                                                             | 11 | High      | High | PWM       | PWM_N |

$[PMDxMDCR]$ <SYNTMD> = 1

| $[PMDxMDOUT]$ <nPWM><br>$[VE_{OUTCR}]$ <nPWM>               |    | 0: H/L 出力 |      | 1: PWM 出力 |       |
|-------------------------------------------------------------|----|-----------|------|-----------|-------|
|                                                             |    | 上相出力      | 下相出力 | 上相出力      | 下相出力  |
| $[PMDxMDOUT]$<br><nOC[1:0]><br>$[VE_{MDOUT}]$<br><nOC[1:0]> | 00 | Low       | Low  | PWM       | PWM_N |
|                                                             | 01 | Low       | High | Low       | PWM_N |
|                                                             | 10 | High      | Low  | PWM       | Low   |
|                                                             | 11 | High      | High | PWM       | PWM_N |

n = U, V, W

**[PMDxMDOUT]** / VExOUTCR は実行バッファ、中間バッファ1、中間バッファ2を持つ構成です。実行バッファの値はエンコーダーでのフェーズ検出のため PMDxMDOUT として出力します。

実行バッファの更新タイミングを表 3.8、表 3.9 に示します。

**[PMDxMDEN]** <PWMEN> = 0 および EMG 保護状態では、レジスターに書き込むことで実行バッファも更新されます。

表 3.8 実行バッファ更新タイミング(通電制御 ノコギリ波/逆ノコギリ波)

| <b>[PMDxMDPOT]</b><br><b>&lt;PSYNCDIS&gt;</b>    |    | 0             |                                     | 1                                   |
|--------------------------------------------------|----|---------------|-------------------------------------|-------------------------------------|
| <b>[PMDxMDPOT]</b><br><b>&lt;PSYNCS[1:0]&gt;</b> |    | 00            | 00/10/11                            | xx                                  |
| <b>[PMDxMDPOT]</b><br><b>&lt;SYNCS[1:0]&gt;</b>  | 00 | レジスター書き込み     | 相別キャリアーエンド                          | 基本キャリアーエンド                          |
|                                                  | 01 | INTENCx0 発生時  | INTENCx0 発生ごと<br>最初の相別キャリアー<br>エンド  | INTENCx0 発生ごと<br>最初の基本キャリアー<br>エンド  |
|                                                  | 10 | PMDxTMR 発生時   | PMDxTMR 発生ごと<br>最初の相別キャリアー<br>エンド   | PMDxTMR 発生ごと<br>最初の基本キャリアー<br>エンド   |
|                                                  | 11 | ENCxCTRGO 発生時 | ENCxCTRGO 発生ごと<br>最初の相別キャリアー<br>エンド | ENCxCTRGO 発生ごと<br>最初の基本キャリアー<br>エンド |

注) xx: Don't care

表 3.9 実行バッファ更新タイミング(通電制御 三角波/逆三角波)

| <b>[PMDxMDPOT]</b><br><b>&lt;PSYNCDIS&gt;</b>    |    | 0             |                                      |                                     |                                          | 1                                   |
|--------------------------------------------------|----|---------------|--------------------------------------|-------------------------------------|------------------------------------------|-------------------------------------|
| <b>[PMDxMDPOT]</b><br><b>&lt;PSYNCS[1:0]&gt;</b> |    | 00            | 01                                   | 10                                  | 11                                       | xx                                  |
| <b>[PMDxMDPOT]</b><br><b>&lt;SYNCS[1:0]&gt;</b>  | 00 | レジスター書き込み     | 相別キャリアーセンター                          | 相別キャリアーエンド                          | 相別キャリアー<br>エンドとセンター                      | 基本キャリアーエンド                          |
|                                                  | 01 | INTENCx0 発生時  | INTENCx0 発生ごと<br>最初の相別キャリアー<br>センター  | INTENCx0 発生ごと<br>最初の相別キャリアー<br>エンド  | INTENCx0 発生ごと<br>最初の相別キャリアー<br>エンドとセンター  | INTENCx0 発生ごと<br>最初の基本キャリアー<br>エンド  |
|                                                  | 10 | PMDxTMR 発生時   | PMDxTMR 発生ごと<br>最初の相別キャリアー<br>センター   | PMDxTMR 発生ごと<br>最初の相別キャリアー<br>エンド   | PMDxTMR 発生ごと<br>最初の相別キャリアー<br>エンドとセンター   | PMDxTMR 発生ごと<br>最初の基本キャリアー<br>エンド   |
|                                                  | 11 | ENCxCTRGO 発生時 | ENCxCTRGO 発生ごと<br>最初の相別キャリアー<br>センター | ENCxCTRGO 発生ごと<br>最初の相別キャリアー<br>エンド | ENCxCTRGO 発生ごと<br>最初の相別キャリアー<br>エンドとセンター | ENCxCTRGO 発生ごと<br>最初の基本キャリアー<br>エンド |

注) xx: Don't care

実行バッファの更新を間引くことができます。**[PMDxMDCR]**<INTPRD[1:0]>の設定により、割り込みの間引きとあわせて実行バッファ更新を間引きします。**[PMDxMDCR]**<DCMEN>に"1"を設定することで間引きが有効になります。

中間バッファ2を使用する場合、**[PMDxMDCR]**<PWMOCBTFEN>で設定します。

中間バッファ2はエンコーダーからの ENCxCTRGO(転流トリガー)発生で更新されます。

**[PMDxMDEN]** <PWMEN> = 0 および EMG 保護状態では、レジスターに書き込むことで中間バッファ2も更新されます。

### 3.2.5. 保護制御回路

保護制御は EMG 保護、OVV 保護およびデバッグツール使用時の保護があります。

#### 3.2.5.1. EMG 保護制御

EMG 保護制御回路は、EMG 要因の検出により PWM 波形の端子出力を制御します。  
 $[PMDxEMGCR] <EMGEN> = 1$  で機能が有効になります。

注) リセット解除後、EMG 保護制御回路は許可状態です。

- EMG 要因

EMG 要因として、端子入力(EMG<sub>x</sub>)、コンパレータからの入力(CMOP<sub>x</sub>EMG)があります。

端子入力は  $[PMDxEMGCR] <EMGISEL>$  で許可/禁止できます。また、 $[PMDxEMGCR] <EMGIPOL>$  でアクティブレベルを選択できます。

コンパレータからの入力は  $[PMDxEMGCR] <CPAIEN>$  で許可/禁止できます。

端子入力にはノイズフィルターが挿入され、 $[PMDxEMGCR] <EMGCNT[4:0]>$  でノイズ除去時間を選択できます。 $<EMGCNT[4:0]> = 00000$  設定ではノイズ除去回路は無効です。

注) EMG 保護制御が許可状態で  $<EMGCNT[4:0]>$ ,  $<EMGIPOL>$  を変更すると EMG 保護状態になる可能性があります。変更後は、「EMG 保護からの復帰」の操作を実行してください。

- EMG 保護動作

EMG 要因が検出されると直ちに 6 本の PWM 出力端子を制御します。

端子制御は  $[PMDxEMGCR] <EMGMD[1:0]>$  で設定します。表 3.10 にレジスター設定と端子制御を示します。

表 3.10 EMGによる端子制御

| $[PMDxEMGCR]$<br>$<EMGMD[1:0]>$ | 端子状態     |          |
|---------------------------------|----------|----------|
|                                 | 上相       | 下相       |
| 00                              | ハインピーダンス | ハインピーダンス |
| 01                              | PWM 波形出力 | ハインピーダンス |
| 10                              | ハインピーダンス | PWM 波形出力 |
| 11                              | ハインピーダンス | ハインピーダンス |

保護動作は、復帰処理を行うまで継続します。

保護状態は  $[PMDxEMGSTA] <EMGST>$  で確認できます。 $<EMGST>$  が "1" の場合は EMG 保護状態を示します。

- EMG 割り込み

EMG 要因の検出により EMG 割り込み(INTEMGx)が発生します。

- EMG 保護状態からの復帰

EMG 保護状態で、端子出力を全てインアクティブに設定 (*[PMDxMDOUT]* の <UPWM>, <VPWM>, <WPWM>, <UOC[1:0]>, <VOC[1:0]>, <WOC[1:0]> を "0") 後、*[PMDxEMGCR]* <EMGRS> に "1" を書き込むと EMG 保護状態から復帰します。ただし、いずれかの EMG 要因がアクティブの期間は、"1" を書き込んでも無視されます。*[PMDxEMGSTA]* <EMGI> をリードし全ての EMG 要因がインアクティブになったことを確認してから復帰処理を行ってください。

- リセット解除後の EMG 保護状態からの復帰

リセット解除後、EMG 保護制御回路は許可状態であるため EMG 要因を検出し、保護状態となる場合があります。以下の手順で EMG 保護状態から復帰させてください。

- (1) ポートのファンクションレジスタ (*[PxFRn]*) で EMG 機能を選択します。
- (2) *[PMDxEMGSTA]* <EMGI> をリードし、"1" であることを確認します。
- (3) *[PMDxMDOUT]* の <UPWM>, <VPWM>, <WPWM>, <UOC[1:0]>, <VOC[1:0]>, <WOC[1:0]> を全て "0" に設定し、端子出力を全てインアクティブにします。
- (4) *[PMDxEMGCR]* <EMGRS> を "1" に設定し、EMG 保護状態から復帰します。

- EMG 保護の禁止

EMG 保護を禁止するには *[PMDxEMGREL]* に "0x5A" と "0xA5" を順に設定後、*[PMDxEMGCR]* <EMGEN> に "0" を設定します。3 命令連続して行ってください。

### 3.2.5.2. OVV 保護制御

OVV 保護制御回路は、OVV 要因の検出により PWM 波形の端子出力を制御します。*[PMDxOVVCR]* <OVVEN> = 1 で機能が有効になります。

- OVV 要因

OVV 要因として、端子入力 (OVVx)、ADC 監視機能信号 (ADxCMP0L\_N, ADxCMP1L\_N)、コンパレータからの入力 (COMPxOVV) があります。それぞれ *[PMDxOVVCR]* <OVVISEL>, <ADIN0EN>, <ADIN1EN>, <OVVCPAIEN> で許可/禁止できます。また、OVVx 端子は *[PMDxOVVCR]* <OVVIPOL> でアクティブレベルを選択できます。

端子入力にはノイズフィルターが挿入され、*[PMDxOVVCR]* <OVVCNT[4:0]> でノイズ除去時間を選択できます。

注) OVV 許可状態で <OVVCNT[4:0]>, <OVVIPOL> を変更すると OVV 保護状態になる可能性があります。変更後は、「OVV 保護からの復帰」の操作を実行してください。

- OVV 保護動作

OVV 要因が検出されると直ちに 6 本の PWM 出力端子を制御します。

端子制御は  $[PMDxOVVCR]<OVVMD[1:0]>$ ,  $<OVVNOCTL>$  で設定します。表 3.11 にレジスター設定と端子制御を示します。「オン」は  $[PMDxMDPOT]<POLH>$ ,  $<POLL>$  設定のアクティブレベル、「オフ」はインアクティブレベルです。

表 3.11 OVVによる端子制御

| $[PMDxEMGCR]$ |                | 端子状態             |          |
|---------------|----------------|------------------|----------|
| $<OVVNOCTL>$  | $<OVVMD[1:0]>$ | 上相               | 下相       |
| 00            | 00             | PWM 波形出力         | PWM 波形出力 |
| 01            |                | PWM 波形出力         | オフ       |
| 10            |                | オフ               | PWM 波形出力 |
| 11            |                | PWM 波形出力         | PWM 波形出力 |
| xx            | 00             | $<OVVNOCTL>$ で制御 |          |
|               | 01             | オン               | オフ       |
|               | 10             | オフ               | オン       |
|               | 11             | オフ               | オフ       |

保護状態は  $[PMDxOVVSTA]<OVVST>$  で確認できます。 $<OVVST>$  が "1" の場合は OVV 保護状態を示します。

OVV と EMG が同時に検出された場合は EMG 保護の動作が優先されます。

- OVV 割り込み

OVV 要因の検出により OVV 割り込み(INTOVV<sub>x</sub>)が発生します。

- OVV 保護状態からの復帰

$[PMDxOVVCR]<OVVRS>$  に "1" を書き込むと OVV 保護状態から復帰します。ただし、OVV 要因がアクティブの期間は、"1" を書き込んでも無視されます。 $[PMDxOVVSTA]<OVVI>$  をリードし OVV 要因がインアクティブになったことを確認してから復帰処理を行ってください。

$[PMDxOVVCR]<OVVRSMD>=0$  時は OVV 要因がインアクティブに変化後に自動復帰します。自動復帰のタイミングは、 $[PMDxMDCR]<INTPRD[1:0]>=00$  では U 相キャリアーエンドまたはセンター、それ以外では U 相キャリアーエンドです。

- OVV 保護の禁止

OVV 保護を禁止するには  $[PMDxOVVREL]$  に "0x5A" と "0x5" を順番に設定後、 $[PMDxOVVCR]<OVVEN>$  に "0" を設定します。3 命令連続して行ってください。

3.2.5.3. デバッグツール使用時の保護制御

デバッグツール使用時、デバッグホールドで CPU が停止する場合に PMD 出力端子を制御することができます。

端子制御は[PMDxPORTMD]/<PORTMD[1:0]>で設定します。表 3.12 にレジスタ設定と端子制御を示します。

EMG が検出された場合は EMG 保護の動作が優先されます。

表 3.12 デバッグホールドによる端子制御

| [PMDxPORTMD]<br><PORTMD[1:0]> | 端子状態      |           |
|-------------------------------|-----------|-----------|
|                               | 上相        | 下相        |
| 00                            | ハイインピーダンス | ハイインピーダンス |
| 01                            | ハイインピーダンス | PWM 波形出力  |
| 10                            | PWM 波形出力  | ハイインピーダンス |
| 11                            | PWM 波形出力  | PWM 波形出力  |

### 3.2.6. デッドタイム制御回路

デッドタイム制御回路は、デッドタイムの挿入と PWM 波形の極性反転を行います。

- デッドタイムの挿入と極性反転

デッドタイムは上下相のオン/オフが逆転する場合の短絡を回避する機能です。保護制御回路の出力するどちらかの相が"High"から"Low"に変化した場合に反対相が"Low"から"High"に変化するタイミングを遅延させます。

デッドタイムは $[PMDxDTR]<DTR[9:0]>$ に設定します。分解能は  $4/f_{sys}$  で、以下の計算式で算出できます。

$$\text{デッドタイム} = (<DTR[9:0]> \times 4) / f_{sys}(\text{周波数})$$

デッドタイムを挿入した PWM 波形に対し、ローアクティブ設定の場合は反転します。アクティブレベルの設定は、 $[PMDxMDPOT]<POLH>$ ,  $<POLL>$ で行います。

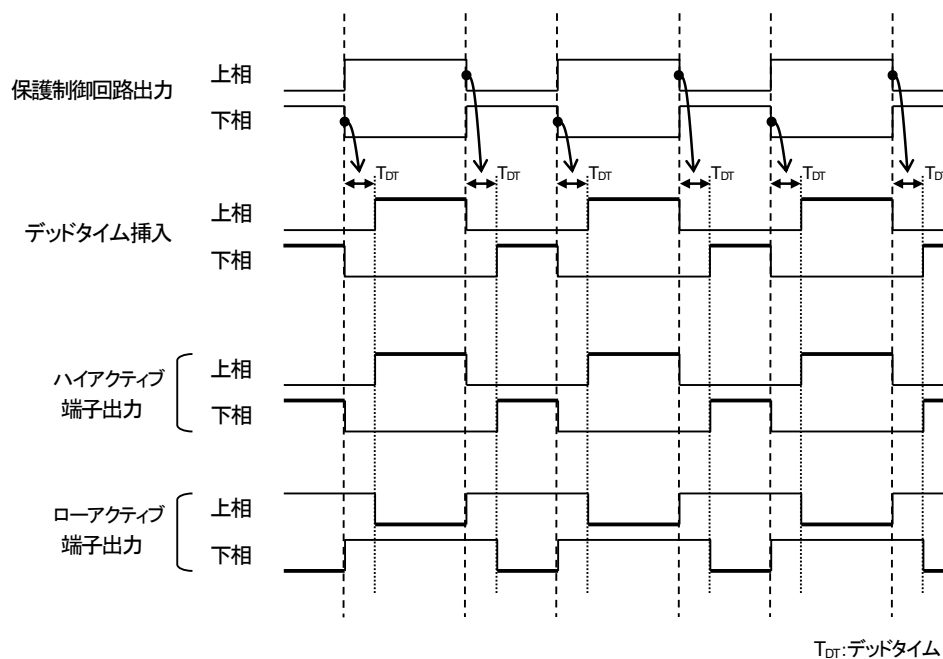


図 3.8 デッドタイム制御

- デッドタイムの補正

デッドタイム期間中に"High"から"Low"に変化し、"High"時間がなくなった場合に反対相のデッドタイムを短く補正することができます。デッドタイムの補正は $[PMDxMDCR]<DTCREN>$ を"1"に設定することで有効になります。

補正デッドタイムは以下の計算式で算出されます。

$$\begin{aligned} \text{補正デッドタイム} &= \text{デッドタイム(設定値)} - (\text{デッドタイム(設定値)} - \text{反対相"High"時間}) \\ &= \text{反対相"High"時間} \end{aligned}$$

上相がデッドタイム期間中に"Low"に変わった場合には下相の遅延時間は上相の"High"時間になり、下相がデッドタイム期間中に"Low"に変わった場合には上相の遅延時間は下相の"High"時間になります。

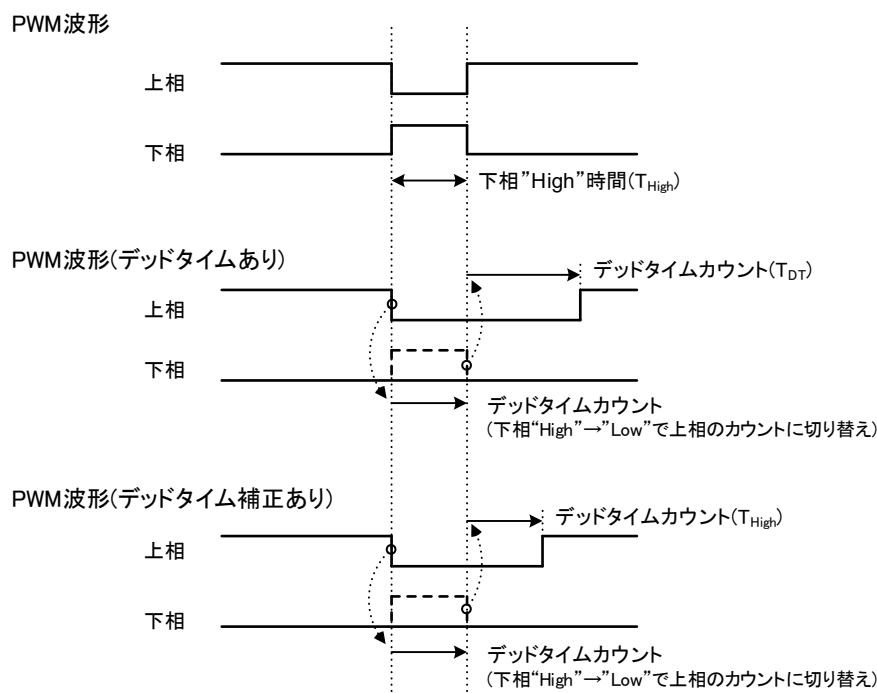


図 3.9 デッドタイム補正

このため、デッドタイムは図 3.10 に示すように上相の"High"時間が長い(デューティー100%付近)場合と下相の"High"時間が短い(デューティー0%に近い)場合に補正されます。

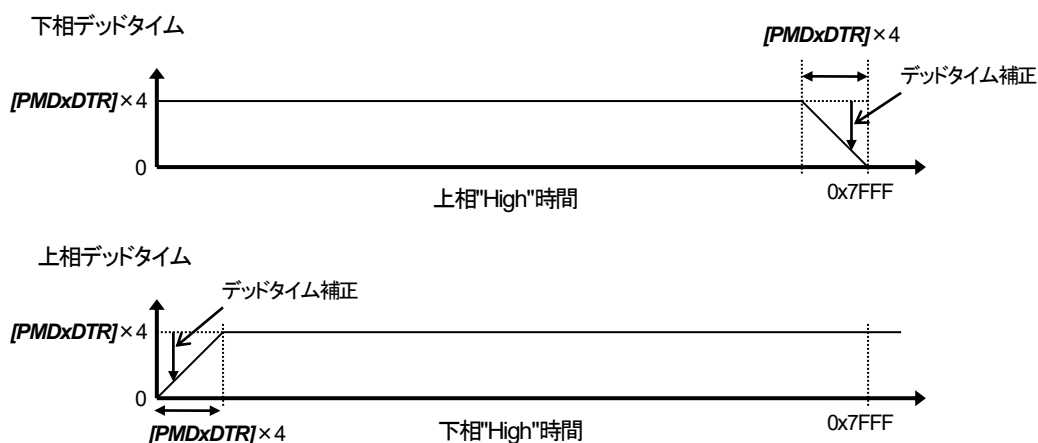


図 3.10 PWM波形の"High"時間とデッドタイム補正

## 3.3. 同期トリガー生成

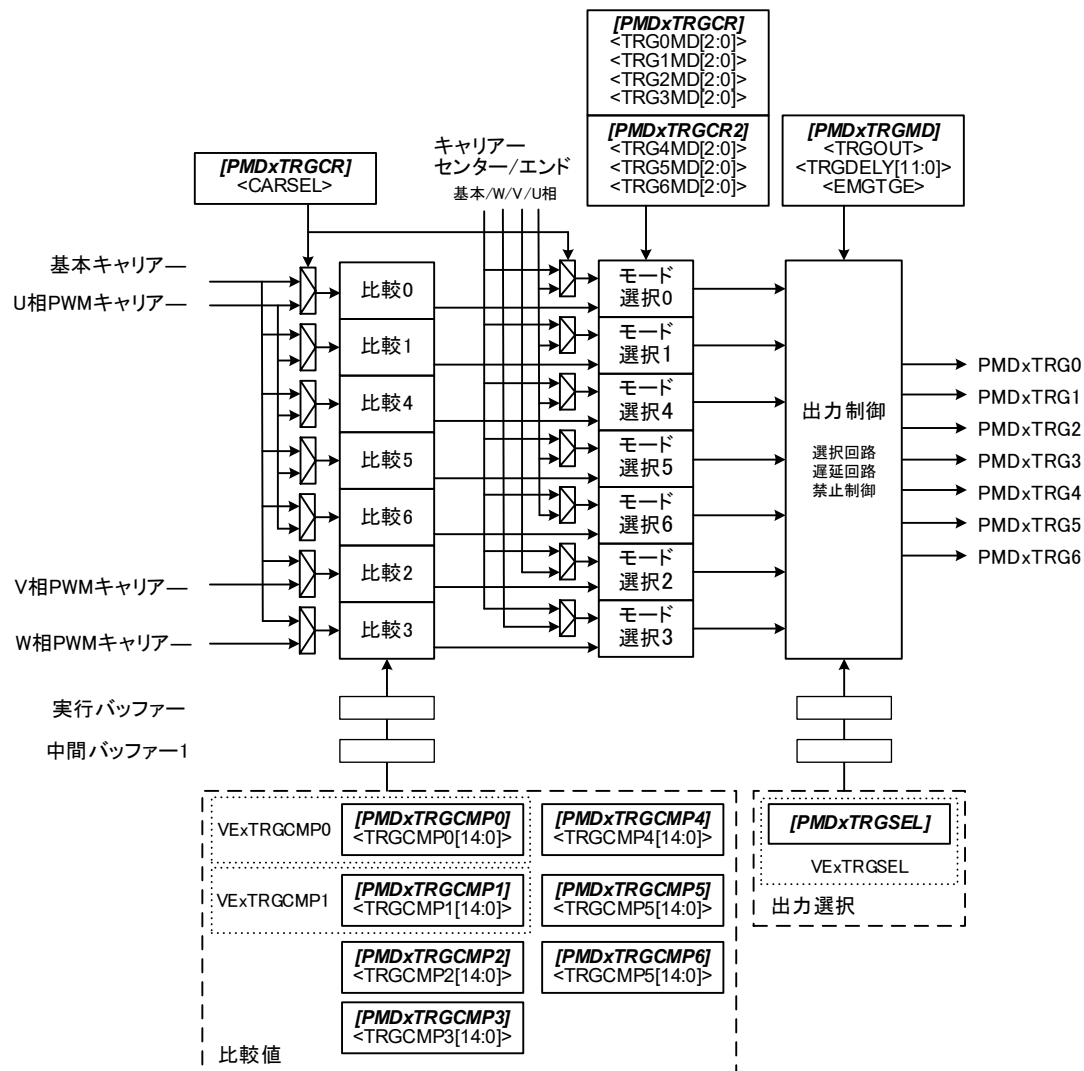


図 3.11 同期トリガー生成回路

同期トリガー生成回路は、ADC 変換開始のトリガー信号を生成します。

同期トリガーの基本タイミングは、PWM キャリアーと比較値の一致、キャリアーのセンター/エンドです。

同期トリガーを生成する PWM キャリアーは、基本キャリアーまたはトリガーによって決まった U/V/W 相 PWM キャリアーいずれかを選択できます。選択の設定は [PMDxTRGCR] <CARSEL>で行います。

表 3.13 キャリアー選択

| 同期トリガー番号 | [PMDxTRGCR]<CARSEL> |               |
|----------|---------------------|---------------|
|          | 0                   | 1             |
| 0        | 基本キャリアー             | U 相 PWM キャリアー |
| 1        |                     | U 相 PWM キャリアー |
| 2        |                     | V 相 PWM キャリアー |
| 3        |                     | W 相 PWM キャリアー |
| 4        |                     | U 相 PWM キャリアー |
| 5        |                     | U 相 PWM キャリアー |
| 6        |                     | U 相 PWM キャリアー |

出力タイミングの選択は、[PMDxTRGCR]<TRG0MD[2:0]>, <TRG1MD[2:0]>, <TRG2MD[2:0]>, <TRG3MD[2:0]>, [PMDxTRGCR2]<TRG4MD[2:0]>, <TRG5MD[2:0]>, <TRG6MD[2:0]>で設定します。

PWM キャリアーのタイプにより、以下のタイミングで同期トリガーが出力されます。ただし、[PMDxMDCR]<DCMEM>=1 の場合は割り込み周期選択の設定([PMDxMDCR]<INTPRD[1:0]>)に合わせて間引きされます。

表 3.14 同期トリガー出力タイミング

| [PMDxTRGCR]<br><TRGnMD[2:0]><br>[PMDxTRGCR2]<br><TRGmMD[2:0]> | PWM キャリアータイプ          |                  |
|---------------------------------------------------------------|-----------------------|------------------|
|                                                               | 三角波/逆三角波              | ノコギリ波/逆ノコギリ波     |
| 000                                                           | 出力禁止                  | 出力禁止             |
| 001                                                           | PWM キャリアー前半と比較値の一致    | PWM キャリアーと比較値の一致 |
| 010                                                           | PWM キャリアー後半と比較値の一致    |                  |
| 011                                                           | PWM キャリアー前半/後半と比較値の一致 |                  |
| 100                                                           | キャリアーエンド              | キャリアーエンド         |
| 101                                                           | キャリアーセンター             |                  |
| 110                                                           | キャリアーセンター/エンド         |                  |
| 111                                                           | 出力禁止                  | 出力禁止             |

n = 0,1,2,3

m = 4,5,6

キャリアーと比較する比較値は、トリガーごとに[PMDxTRGCMP0]~[PMDxTRGCMP6]に設定します。

また、同期トリガー出力 0/1 については、比較値として VE からの VExTRGCMP0, VExTRGCMP1 を使用することもできます。どちらを使用するかは[PMDxMODESEL] <MDSEL2>で設定します。

比較値は実行バッファと中間バッファ1 の 2 段のバッファを持つ構成です。実行バッファの更新タイミングを表 3.15 に示します。

$[PMDxMDEN] <PWMEN> = 0$  の場合、レジスターに書き込むことで実行バッファも更新されます。

表 3.15 実行バッファ更新タイミング(同期トリガー生成比較値)

| $[PMDxTRGCR]$<br>$<TRGnBE>$<br>$[PMDxTRGCR2]$<br>$<TRGmBE>$ | $[PMDxTRGSYNCR]$<br>$<TSYNCS[1:0]>$ | $[PMDxTRGCR]$<br>$<TRGnMD[2:0]>$<br>$[PMDxTRGCR2]$<br>$<TRGmMD[2:0]>$ | PWM キャリアータイプ  |              |
|-------------------------------------------------------------|-------------------------------------|-----------------------------------------------------------------------|---------------|--------------|
|                                                             |                                     |                                                                       | 三角波/逆三角波      | ノコギリ波/逆ノコギリ波 |
| 1                                                           | xx                                  | xxx                                                                   | レジスター書き込み     | レジスター書き込み    |
| 0                                                           | 00                                  | 000                                                                   | レジスター書き込み     | レジスター書き込み    |
|                                                             |                                     | 001                                                                   | キャリアーエンド      | キャリアーエンド     |
|                                                             |                                     | 010                                                                   | キャリアーセンター     |              |
|                                                             |                                     | 011                                                                   | キャリアーセンター/エンド |              |
|                                                             |                                     | 1xx                                                                   | レジスター書き込み     | レジスター書き込み    |
|                                                             | 01                                  | xxx                                                                   | キャリアーエンド      | キャリアーエンド     |
|                                                             | 10                                  | xxx                                                                   | キャリアーセンター     |              |
|                                                             | 11                                  | xxx                                                                   | キャリアーセンター/エンド |              |

n = 0,1,2,3

m = 4,5,6

x = Don't care

実行バッファの更新を間引くことができます。 $[PMDxMDCR] <INTPRD[1:0]>$  の設定により、割り込みの間引きと合わせて実行バッファ更新を間引きます。 $[PMDxMDCR] <DCMEN>$  に "1" を設定することで間引きが有効になります。

同期トリガーの出力方法として、モード選択回路から出力された信号を各同期トリガーに出力する方法と、モード選択 0 回路から出力された信号をいずれかの同期トリガーに出力する方法があります。

$[PMDxTRGMD] <TRGOUT>$  で設定します。

$<TRGOUT>$  が "1" の場合、出力選択は  $[PMDxTRGSEL]$  または VE からの  $VExTRGSEL$  により決まります。 $[PMDxMODESEL] <MDESEL3>$  の設定が "0" の場合は  $[PMDxTRGSEL]$  で選択され、"1" の場合は  $VExTRGSEL$  により選択されます。

出力選択は実行バッファ、中間バッファ1 の2 段のバッファを持つ構成です。  
ノコギリ波/逆ノコギリ波の場合、実行バッファの更新タイミングはU 相キャリアーエンドです。

三角波/逆三角波の実行バッファの更新タイミングを表 3.16 に示します。

**[PMDxMDEN]** <PWMEN> =0 の場合、レジスターに書き込むことで実行バッファも更新されます。

**表 3.16 実行バッファ更新タイミング(同期トリガー生成出力選択 三角波/逆三角波)**

| <b>[PMDxMDCR]</b>          |                            |                            | <b>更新タイミング</b>   |
|----------------------------|----------------------------|----------------------------|------------------|
| <b>&lt;DSYNCS[DIS]&gt;</b> | <b>&lt;DSYNCS[1:0]&gt;</b> | <b>&lt;INTPRD[1:0]&gt;</b> |                  |
| 1                          | xx                         | xx                         | 基本キャリアーエンド       |
| 0                          | 00                         | 01,10,11                   | U 相キャリアーエンド      |
|                            |                            | 00                         | U 相キャリアーセンター/エンド |
|                            | 01                         | xx                         | U 相キャリアーセンター     |
|                            | 10                         | xx                         | U 相キャリアーエンド      |
|                            | 11                         | xx                         | U 相キャリアーセンター/エンド |

xx: Don't care

実行バッファの更新を間引くことができます。**[PMDxMDCR]**<INTPRD[1:0]>の設定により、割り込みの間引きとあわせて実行バッファ更新を間引きます。**[PMDxMDCR]**<DCMEN>に"1"を設定することで間引きが有効になります。

同期トリガーに遅延をつけて出力することができます。設定は **[PMDxTRGMD]**<TRGDELY[11:0]>で行います。遅延時間は以下の計算式で算出できます。

$$\text{遅延時間} = \text{<TRGDELY[11:0]>} \times 1/\text{fsys}$$

EMG 保護動作中に同期トリガーの出力を禁止することができます。**[PMDxTRGMD]**<EMGTGE>で設定します。

### 3.4. エンコーダーサンプリングタイミング生成

エンコーダーに対し、サンプリングタイミングを検知するための信号(PWMxPWMON)を出力します。信号生成には、デッドタイム挿入後、極性制御前の PWM 波形を使用します。

[PMDxMDCR]/<BEMFSAMTIMSEL>の設定により出力信号波形が異なります。

(1) [PMDxMDCR]/<BEMFSAMTIMSEL>=0

PWM 波形の論理和または論理積を出力します。

論理和の場合、[PMDxMDOUT]/<UPWM>, <VPWM>, <WPWM>が"1"の PWM 波形のみ対象とします。

表 3.17 エンコーダーサンプリングタイミング(<BEMFSAMTIMSEL>=0)

| [PMDxMDCR] |         |                   | PMDxPWMON         |
|------------|---------|-------------------|-------------------|
| <PWMONMD>  | <DTYMD> | <PWMONORSEL[1:0]> |                   |
| 1          | x       | 0x                | U/V/W/X/Y/Z 相の論理和 |
|            |         | 10                | U/V/W 相の論理和       |
|            |         | 11                | X/Y/Z 相の論理和       |
| 0          | 0       | 0x                | U/V/W/X/Y/Z 相の論理和 |
|            |         | 10                | U/V/W 相の論理和       |
|            |         | 11                | X/Y/Z 相の論理和       |
|            | 1       | xx                | X/Y/Z 相の論理積       |

注) x: Don't care

(2) [PMDxMDCR]/<BEMFSAMTIMSEL>=1

この設定では U/V/W 相キャリアーの位相シフト機能は使用しないでください。

表 3.18 の論理和の信号の"High"から"Low"の変化タイミングでパルスを出力します。

表 3.18 エンコーダーサンプリングタイミング(<BEMFSAMTIMSEL>=1)

| [PMDxMDCR]<br><PWMONORSEL[1:0]> | PMDxPWMON         |
|---------------------------------|-------------------|
| 0x                              | U/V/W/X/Y/Z 相の論理和 |
| 10                              | U/V/W 相の論理和       |
| 11                              | X/Y/Z 相の論理和       |

注) x: Don't care

ただし、以下の条件の周期では基本キャリアーエンドでパルスを出力します。

- デューティーが 50%未満
- デューティーが 100%

また、デューティーが 0%の周期では出力しませんが、周期開始直後に[PMDxMDOUT]/<UPWM>, <VPWM>, <WPWM>が変更された場合は基本キャリアーエンドでパルスを出力します。

### 3.5. デバッグ出力機能

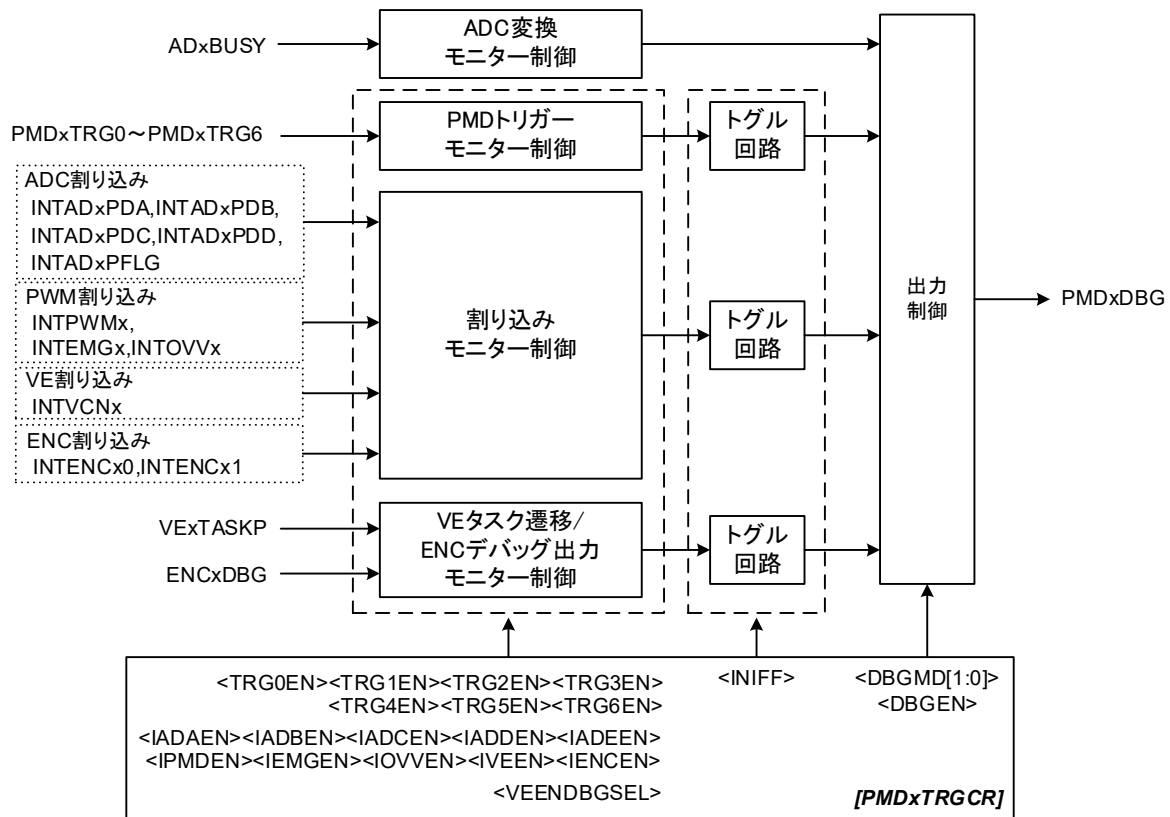


図 3.12 デバッグ出力機能

デバッグ出力機能は、内部信号の状態を選択して出力します。これにより内部信号を外部でモニターすることができます。デバッグ出力機能は[PMDxDBGOUTCR]<DBGEN>を"1"にすると有効になります。

モニターの対象は、ADC 変換、PMD トリガー、割り込み、VE タスク遷移/ENC デバッグの 4 種です。[PMDxDBGOUTCR]<DBGMD[1:0]>で選択された対象の信号が PMDxDBG から出力されます。

PMD トリガー、割り込みのモニターの要因は複数あり、各要因のモニターの有効/無効を選択します。VE タスク遷移/ENC デバッグ出力は、どちらかの要因を選択します。

ADC 変換モニター制御の出力は、AD 変換中"High"となります。

PMD トリガー、割り込み、VE タスク遷移/ENC デバッグ出力のモニター制御出力にはトグル回路があり、モニター有効な要因がアクティブになるごとに出力信号を反転します。

トグル回路は初期状態を選択できます。デバッグ出力機能を有効にする前に[PMDxDBGOUTCR]<INIFF>で設定してください。

### 3.6. チャネル間同期機能

PMD を複数チャネル搭載する製品では、PWM 動作開始、EMG 検出、OVV 検出についてマスターチャネルとスレーブチャネルで同期動作が可能です。マスターチャネル、スレーブチャネルに関しては、リファレンスマニュアルの「製品個別情報」を参照してください。

同期動作の設定は、**[PMDxSYNCCR]**で行います。**[PMDxSYNCCR]**はスレーブチャネルのみ設定してください。

#### (1)PWM 動作開始

**[PMDxSYNCCR]<PWMSMD>**に"1"を設定することで機能が有効になります。

マスターチャネルの**[PMDxMDEN]<PWMEN>**の"1"設定により、スレーブチャネルも PWM 動作が開始されます。

#### (2)EMG 検出

**[PMDxSYNCCR]<EMGSMD[1:0]>**で設定します。

"10"を設定すると、スレーブチャネルの EMG 検出は無効です。マスターチャネルで検出した EMG でスレーブチャネルの EMG 保護制御回路も動作します。

"11"を設定すると、スレーブチャネルの EMG 検出は有効です。スレーブチャネルは、マスターチャネルの検出およびスレーブチャネルの検出両方の要因で EMG 保護制御回路が動作します。

いずれの場合も、割り込みは EMG を検知したチャネルで発生します。

#### (3)OVV 検出

**[PMDxSYNCCR]<OVVSMD[1:0]>**で設定します。

"10"を設定すると、スレーブチャネルの OVV 検出は無効です。マスターチャネルで検出した OVV でスレーブチャネルの OVV 保護制御回路も動作します。

"11"を設定すると、スレーブチャネルの OVV 検出は有効です。スレーブチャネルは、マスターチャネルの検出およびスレーブチャネルの検出両方の要因で OVV 保護制御回路が動作します。

いずれの場合も、割り込みは OVV を検知したチャネルで発生します。

## 4. レジスター説明

### 4.1. レジスター一覧

制御レジスターとアドレスは以下のとおりです。

| 周辺機能                        |        | チャンネル/ユニット | ベースアドレス    |            |
|-----------------------------|--------|------------|------------|------------|
|                             |        |            | TYPE1      | TYPE2      |
| アドバンストプログラマブル<br>モーター制御回路 2 | A-PMD2 | ch0        | 0x40068C00 | 0x400C8C00 |
|                             |        | ch1        | 0x40068D00 | 0x400C8D00 |
|                             |        | ch2        | 0x40068E00 | 0x400C8E00 |
|                             |        | ch3        | 0x40068F00 | 0x400C8F00 |

注) 製品によってベースアドレスは異なります。リファレンスマニュアルの「製品個別情報」を参照してください。

| レジスター名                 |                | アドレス(Base+) |
|------------------------|----------------|-------------|
| PMD イネーブルレジスター         | [PMDxMDEN]     | 0x0000      |
| ポート出力モードレジスター          | [PMDxPORTMD]   | 0x0004      |
| PMD 制御レジスター            | [PMDxMDCR]     | 0x0008      |
| PWM キャリアーステータスレジスター    | [PMDxCARSTA]   | 0x000C      |
| 基本キャリアーレジスター           | [PMDxBCARI]    | 0x0010      |
| PWM 周波数レジスター           | [PMDxRATE]     | 0x0014      |
| PWM デューティーコンペア U レジスター | [PMDxCMPU]     | 0x0018      |
| PWM デューティーコンペア V レジスター | [PMDxCMPV]     | 0x001C      |
| PWM デューティーコンペア W レジスター | [PMDxCMPW]     | 0x0020      |
| モード選択レジスター             | [PMDxMODESEL]  | 0x0024      |
| PMD 通電制御レジスター          | [PMDxMDOUT]    | 0x0028      |
| PMD 出力設定レジスター          | [PMDxMDPOT]    | 0x002C      |
| EMG 解除レジスター            | [PMDxEMGREL]   | 0x0030      |
| EMG 制御レジスター            | [PMDxEMGCR]    | 0x0034      |
| EMG ステータスレジスター         | [PMDxEMGSTA]   | 0x0038      |
| OVV 制御レジスター            | [PMDxOVVCR]    | 0x003C      |
| OVV ステータスレジスター         | [PMDxOVVSTA]   | 0x0040      |
| デッドタイムレジスター            | [PMDxDTR]      | 0x0044      |
| トリガーコンペア 0 レジスター       | [PMDxTRGCMPO]  | 0x0048      |
| トリガーコンペア 1 レジスター       | [PMDxTRGCMPI]  | 0x004C      |
| トリガーコンペア 2 レジスター       | [PMDxTRGCMPI]  | 0x0050      |
| トリガーコンペア 3 レジスター       | [PMDxTRGCMPI]  | 0x0054      |
| トリガー制御レジスター            | [PMDxTRGCR]    | 0x0058      |
| トリガー出力モード設定レジスター       | [PMDxTRGMD]    | 0x005C      |
| トリガー出力選択レジスター          | [PMDxTRGSEL]   | 0x0060      |
| トリガー更新タイミング設定レジスター     | [PMDxTRGSYNCR] | 0x0064      |
| U 相/V 相位相差レジスター        | [PMDxUVPWMPH]  | 0x0068      |
| W 相位相差レジスター            | [PMDxWPWMPH]   | 0x006C      |

| レジスター名                 |                | アドレス(Base+) |
|------------------------|----------------|-------------|
| 中間バッファ制御レジスター          | [PMDxMBUFCR]   | 0x0070      |
| 同期制御レジスター              | [PMDxSYNCCR]   | 0x0074      |
| デバッグ出力制御レジスター          | [PMDxDBGOUTCR] | 0x0078      |
| トリガーコンペア 4 レジスター       | [PMDxTRGCMP4]  | 0x0084      |
| トリガーコンペア 5 レジスター       | [PMDxTRGCMP5]  | 0x0088      |
| トリガーコンペア 6 レジスター       | [PMDxTRGCMP6]  | 0x008C      |
| トリガー制御レジスター2           | [PMDxTRGCR2]   | 0x0090      |
| PWM デューティコンペア U レジスター2 | [PMDxCMPU2]    | 0x0094      |
| PWM デューティコンペア V レジスター2 | [PMDxCMPV2]    | 0x0098      |
| PWM デューティコンペア W レジスター2 | [PMDxCMPW2]    | 0x009C      |

## 4.2. レジスターアクセス

レジスターアクセスに関する注意事項をまとめます。

- 本機能のレジスターはバイトアクセス禁止です。
- 動作中([PMDxMDEN]<PWMEN>=1)書き換えが可能なレジスターは以下のとおりです。

| レジスター名                                                     | 備考                                                     |
|------------------------------------------------------------|--------------------------------------------------------|
| [PMDxMDEN]                                                 | -                                                      |
| [PMDxMDCR] <UPWMMD[1:0]><br><VPWMMD[1:0]><br><WPWMMD[1:0]> | バッファあり                                                 |
| [PMDxRATE]                                                 | バッファあり                                                 |
| [PMDxCMPU]                                                 | バッファあり                                                 |
| [PMDxCMPV]                                                 | バッファあり                                                 |
| [PMDxCMPW]                                                 | バッファあり                                                 |
| [PMDxMODESEL]                                              | -                                                      |
| [PMDxMDOUT]                                                | バッファあり                                                 |
| [PMDxEMGREL]                                               | -                                                      |
| [PMDxEMGCR] <EMGEN><EMGRS>                                 | -                                                      |
| [PMDxOVVCR] <OVVEN><OVVRS>                                 | -                                                      |
| [PMDxTRGCMP0]                                              | バッファあり                                                 |
| [PMDxTRGCMP1]                                              | バッファあり                                                 |
| [PMDxTRGCMP2]                                              | バッファあり                                                 |
| [PMDxTRGCMP3]                                              | バッファあり                                                 |
| [PMDxTRGSEL]                                               | バッファあり                                                 |
| [PMDxTRGSYNCR]                                             | -                                                      |
| [PMDxUVPWMPH]                                              | バッファあり                                                 |
| [PMDxWPWMPH]                                               | バッファあり                                                 |
| [PMDxSYNCCR] <EMGSMD[1:0]><br><OVVSMD[1:0]>                | [PMDxEMGCR] <EMGEN>=0 の場合<br>[PMDxOVVCR] <OVVEN>=0 の場合 |
| [PMDxDBGOUTCR] <DBGEN>以外                                   | <DBGEN>=0 の場合                                          |

| レジスター名        | 備考     |
|---------------|--------|
| [PMDxTRGCMP4] | バッファあり |
| [PMDxTRGCMP5] | バッファあり |
| [PMDxTRGCMP6] | バッファあり |
| [PMDxCMPU2]   | バッファあり |
| [PMDxCMPV2]   | バッファあり |
| [PMDxCMPW2]   | バッファあり |

### 4.3. レジスター詳細

#### 4.3.1. [PMDxMDEN] (PMD イネーブルレジスター)

| Bit  | Bit symbol | リセット後 | Type | 機能                             |
|------|------------|-------|------|--------------------------------|
| 31:1 | —          | 0     | R    | リードすると"0"が読めます。                |
| 0    | PWMEN      | 0     | R/W  | PMD 動作制御<br>0: 動作停止<br>1: 動作開始 |

注) 入出力ポートを機能出力(PMD 出力)として設定している場合、<PWMEN>=0 で端子は出力禁止(ハイインピーダンス)になります。

#### 4.3.2. [PMDxPORTMD] (ポート出力モードレジスター)

| Bit  | Bit symbol  | リセット後 | Type | 機能                                                                                                                                                                            |
|------|-------------|-------|------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:2 | —           | 0     | R    | リードすると"0"が読めます。                                                                                                                                                               |
| 1:0  | PORTMD[1:0] | 00    | R/W  | デバッグホールド時の端子出力制御の設定<br>00: 上相ハイインピーダンス / 下相ハイインピーダンス<br>01: 上相ハイインピーダンス / 下相 PMD 出力<br>10: 上相 PMD 出力 / 下相ハイインピーダンス<br>11: 上相 PMD 出力 / 下相 PMD 出力<br>デバッグホールド発生した場合の端子出力を設定します。 |

## 4.3.3. [PMDxMODESEL] (モード選択レジスター)

| Bit  | Bit symbol | リセット後 | Type | 機能                                                                                                                                                                 |
|------|------------|-------|------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:8 | —          | 0     | R    | リードすると"0"が読めます。                                                                                                                                                    |
| 7    | DCMPEN     | 0     | R/W  | モード選択 4 (注)<br>詳細は表 3.4 を参照してください。<br>0: 比較値を切り替えない<br>1: 比較値を切り替える<br>PWM キャリアーが逆三角波で、<MDSEL0>=1 の場合に PWM キャリアー前半/後半の比較値を切り替えるかどうかを選択します。                         |
| 6:4  | —          | 0     | R    | リードすると"0"が読めます。                                                                                                                                                    |
| 3    | MDSEL3     | 0     | R/W  | モード選択 3<br>使用するレジスターを選択します。<br>0: PMD のレジスターを使用<br>[PMDxTRGSEL]<br>1: VE のレジスターを使用<br>[VExTRGSEL]                                                                  |
| 2    | MDSEL2     | 0     | R/W  | モード選択 2<br>使用するレジスターを選択します。<br>0: PMD のレジスターを使用<br>[PMDxTRGCMP0], [PMDxTRGCMP1]<br>1: VE のレジスターを使用<br>[VExTRGCMP0], [VExTRGCMP1]                                   |
| 1    | MDSEL1     | 0     | R/W  | モード選択 1<br>使用するレジスターを選択します。<br>0: PMD のレジスターを使用<br>[PMDxMDOUT]<br>1: VE のレジスターを使用<br>[VExOUTCR]                                                                    |
| 0    | MDSEL0     | 0     | R/W  | モード選択 0<br>使用するレジスターを選択します。<br>0: PMD のレジスターを使用<br>[PMDxCMPU], [PMDxCMPV], [PMDxCMPW]、<br>[PMDxEMGCR]<EMGRS><br>1: VE のレジスターを使用<br>[VExCMPU], [VExCMPV], [VExCMPW] |

注) 比較値の切り替え許可時は中間バッファ1 を無効([PMDxMBUFCR]<BUFCTR[2:0]>= 000)にしてください。

## 4.3.4. [PMDxMDCR] (PMD 制御レジスター)

| Bit   | Bit symbol    | リセット後 | Type | 機能                                                                                                                                                                            |
|-------|---------------|-------|------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31    | —             | 0     | R    | リードすると"0"が読めます。                                                                                                                                                               |
| 30:29 | PWMONORSEL    | 00    | R/W  | PWMxPWMON 生成論理(2)<br>00: U/V/W/X/Y/Z 相の論理和<br>01: U/V/W/X/Y/Z 相の論理和<br>10: U/V/W 相の論理和<br>11: X/Y/Z 相の論理和<br>指定した相の PWM 波形の論理和を PWMxPWMON に出力します。                             |
| 28    | BEMFSAMTIMSEL | 0     | R/W  | PWMxPWMON 信号パルス出力<br>0: 無効<br>1: 有効<br>有効にすると、<PWMONORSEL>で選択した論理和信号の"High"から"Low"の変化タイミングでパルス信号を出力します。また、デューティーにより出力タイミングを制御します。<br>本機能を使用する際は U/V/W 相キャリアーの位相シフト機能は使用できません。 |
| 27:26 | —             | 0     | R    | リードすると"0"が読めます。                                                                                                                                                               |
| 25    | PWMOCTBUFEN   | 0     | R/W  | [PMDxMDOUT]中間バッファ2 制御<br>0: 無効<br>1: 有効                                                                                                                                       |
| 24    | PWMONMD       | 0     | R/W  | PWMxPWMON 生成論理(1)<br>0: <DTYMD>設定による<br><DTYMD>=0 時、<PWMONORSEL>設定による<br><DTYMD>=1 時、X/Y/Z 相の論理積<br>1: <PWMONORSEL>設定による                                                      |
| 23:20 | —             | 0     | R/W  | "0"をライトしてください。                                                                                                                                                                |
| 19:18 | —             | 0     | R    | リードすると"0"が読めます。                                                                                                                                                               |
| 17    | CMPSEL        | 0     | R/W  | PWM 波形生成比較値の切り替え(注)<br>0: 無効<br>1: 有効<br>有効にした場合、PWM 波形生成の比較値を前半と後半で切り替えます。<br>PWM キャリアーが逆三角波で、[PMDxMODESEL]<MDSEL0>=0 の場合に有効な設定です。逆三角波以外の場合、"0"を設定してください。                    |
| 16    | DSYNCSDIS     | 0     | R/W  | PWM デューティーコンペアレジスターの実行バッファ更新タイミング<br>0: <DSYNCS[1:0]>の設定が有効<br>1: 基本キャリアーエンドで更新                                                                                               |
| 15:14 | WPWMMD[1:0]   | 00    | R/W  | W 相 PWM キャリアー選択<br>00: ノコギリ波<br>01: 三角波<br>10: 逆ノコギリ波<br>11: 逆三角波                                                                                                             |
| 13:12 | VPWMMD[1:0]   | 00    | R/W  | V 相 PWM キャリアー選択<br>00: ノコギリ波<br>01: 三角波<br>10: 逆ノコギリ波<br>11: 逆三角波                                                                                                             |
| 11:10 | UPWMMD[1:0]   | 00    | R/W  | U 相 PWM キャリアー選択<br>00: ノコギリ波<br>01: 三角波<br>10: 逆ノコギリ波<br>11: 逆三角波                                                                                                             |

| Bit | Bit symbol  | リセット後 | Type | 機能                                                                                                                                                                                                                                                                                                                                                                                                                                                     |
|-----|-------------|-------|------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 9:8 | DSYNCS[1:0] | 00    | R/W  | PWM デューティーコンペアレジスターの実行バッファ更新タイミング<br>00: 割り込み周期設定<INTPRD[1:0]>によります。<br><INTPRD[1:0]> =00 時は相別キャリアーエンドとセンター<br><INTPRD[1:0]> =00 以外では相別キャリアーエンド<br>01: 相別キャリアーセンターで更新<br>10: 相別キャリアーエンドで更新<br>11: 相別キャリアーエンドとセンターで更新<br>PWM キャリアーが三角波/逆三角波の場合に有効な設定です。                                                                                                                                                                                                 |
| 7   | DTCREN      | 0     | R/W  | デッドタイム補正制御<br>0: 禁止<br>1: 許可                                                                                                                                                                                                                                                                                                                                                                                                                           |
| 6   | DCMEN       | 0     | R/W  | 実行バッファ更新/同期トリガー出力の間引き制御<br>0: 禁止<br>1: 許可<br>2 周期割り込みおよび 4 周期割り込み選択時(<INTPRD[1:0]> = 10,11)に実行<br>バッファ更新と ADC 同期トリガー出力の間引きします。<br>対象となる実行バッファは以下のとおりです。<br>[PMDxMDCR], <UPWMMD[1:0]>, <VPWMMD[1:0]>, <WPWMMD[1:0]>,<br>[PMDxCMPU], [PMDxCMPV], [PMDxCMPW],<br>[PMDxCMPU2], [PMDxCMPV2], [PMDxCMPW2],<br>[PMDxMDOUT],<br>[PMDxTRGCMP0], [PMDxTRGCMP1], [PMDxTRGCMP2],<br>[PMDxTRGCMP3], [PMDxTRGCMP4], [PMDxTRGCMP5],<br>[PMDxTRGCMP6],<br>[PMDxTRGSEL] |
| 5   | SYNTMD      | 0     | R/W  | 端子出力モード設定<br>[PMDxMDOUT]の設定と合わせて通電制御を行います。<br>詳細は表 3.7 を参照してください。                                                                                                                                                                                                                                                                                                                                                                                      |
| 4   | DTYMD       | 0     | R/W  | デューティーモード選択<br>0: 3 相共通<br>[PMDxCMPU]を U/V/W 相で使用する<br>1: 3 相独立<br>[PMDxCMPU], [PMDxCMPV], [PMDxCMPW]を各相で使用する                                                                                                                                                                                                                                                                                                                                          |
| 3   | PINT        | 0     | R/W  | PWM 割り込みタイミング選択<br>0: U 相キャリアーセンター<br>1: U 相キャリアーエンド<br>PWM キャリアーが三角波/逆三角波で、<INTPRD[1:0]>=00 以外の場合に有<br>効な設定です。                                                                                                                                                                                                                                                                                                                                        |
| 2:1 | INTPRD[1:0] | 00    | R/W  | PWM 割り込み周期選択<br>00: U 相キャリアー0.5 周期ごと (三角波/逆三角波の場合に有効)<br>01: U 相キャリアー1 周期ごと<br>10: U 相キャリアー2 周期ごと<br>11: U 相キャリアー4 周期ごと<br>PWM 割り込み要求の頻度を選択します。                                                                                                                                                                                                                                                                                                        |
| 0   | —           | 0     | R    | リードすると"0"が読めます。                                                                                                                                                                                                                                                                                                                                                                                                                                        |

注) 比較値の切り替え許可時は中間バッファ1 を無効([PMDxMBUFCTR]<BUFCTR[2:0]>= 000)にして  
ください。

## 4.3.5. [PMDxCARSTA] (キャリアステータスレジスター)

| Bit  | Bit symbol | リセット後 | Type | 機能                               |
|------|------------|-------|------|----------------------------------|
| 31:3 | —          | 0     | R    | リードすると"0"が読めます。                  |
| 2    | PWMWST     | 0     | R    | W 相キャリアー状態<br>0: 周期前半<br>1: 周期後半 |
| 1    | PWMVST     | 0     | R    | V 相キャリアー状態<br>0: 周期前半<br>1: 周期後半 |
| 0    | PWMUST     | 0     | R    | U 相キャリアー状態<br>0: 周期前半<br>1: 周期後半 |

## 4.3.6. [PMDxBCARI] (基本キャリアーレジスター)

| Bit   | Bit symbol  | リセット後  | Type | 機能                                                                                        |
|-------|-------------|--------|------|-------------------------------------------------------------------------------------------|
| 31:15 | —           | 0      | R    | リードすると"0"が読めます。                                                                           |
| 14:0  | BCARI[14:0] | 0x0000 | R    | 基本キャリアーの読み出し<br>PMD 機能許可状態では基本キャリアーの値が読めます。<br>PMD 機能禁止状態では[PMDxRATE] / $2^{10}$ の値が読めます。 |

## 4.3.7. [PMDxRATE] (PWM 周波数レジスター)

| Bit   | Bit symbol | リセット後  | Type | 機能                                                                                                                                                                      |
|-------|------------|--------|------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:15 | —          | 0      | R    | リードすると"0"が読めます。                                                                                                                                                         |
| 14:0  | RATE[14:0] | 0x0000 | R/W  | PWM 周波数設定<br>"0x0010"以上の値を設定してください。<br>"0x0010"未満の値を設定した場合、"0x0010"として動作します。(リードすると設定した値が読めます)<br>設定値は以下の計算式で求められます。<br>$\text{PWM 周波数} / f_{\text{sys}} \times 2^{24}$ |

#### 4.3.8. PWM デューティコンペアレジスター

##### 4.3.8.1. [PMDxCMPU] (PWM デューティコンペア U レジスター)

| Bit   | Bit symbol | リセット後  | Type | 機能                                                                |
|-------|------------|--------|------|-------------------------------------------------------------------|
| 31:16 | —          | 0      | R    | リードすると"0"が読めます。                                                   |
| 15:0  | CMPU[15:0] | 0x0000 | R/W  | U 相 PWM 波形のデューティ設定<br>0x0000～0x8000<br>U 相 PWM キャリアーと比較する値を設定します。 |

##### 4.3.8.2. [PMDxCMPV] (PWM デューティコンペア V レジスター)

| Bit   | Bit Symbol | リセット後  | Type | 機能                                                              |
|-------|------------|--------|------|-----------------------------------------------------------------|
| 31:16 | —          | 0      | R    | リードすると"0"が読めます。                                                 |
| 15:0  | CMPV[15:0] | 0x0000 | R/W  | V 相 PWM のデューティ設定<br>0x0000～0x8000<br>V 相 PWM キャリアーと比較する値を設定します。 |

##### 4.3.8.3. [PMDxCMPW] (PWM デューティコンペア W レジスター)

| Bit   | Bit Symbol | リセット後  | Type | 機能                                                              |
|-------|------------|--------|------|-----------------------------------------------------------------|
| 31:16 | —          | 0      | R    | リードすると"0"が読めます。                                                 |
| 15:0  | CMPW[15:0] | 0x0000 | R/W  | W 相 PWM のデューティ設定<br>0x0000～0x8000<br>W 相 PWM キャリアーと比較する値を設定します。 |

## 4.3.8.4. [PMDxCMPU2] (PWM デューティコンペア U レジスタ-2)

| Bit   | Bit symbol  | リセット後  | Type | 機能                                                                    |
|-------|-------------|--------|------|-----------------------------------------------------------------------|
| 31:16 | —           | 0      | R    | リードすると"0"が読めます。                                                       |
| 15:0  | CMPU2[15:0] | 0x0000 | R/W  | U 相 PWM 波形のデューティ設定 2<br>0x0000~0x8000<br>U 相 PWM キャリアー後半で比較する値を設定します。 |

## 4.3.8.5. [PMDxCMPV2] (PWM デューティコンペア V レジスタ-2)

| Bit   | Bit symbol  | リセット後  | Type | 機能                                                                    |
|-------|-------------|--------|------|-----------------------------------------------------------------------|
| 31:16 | —           | 0      | R    | リードすると"0"が読めます。                                                       |
| 15:0  | CMPV2[15:0] | 0x0000 | R/W  | V 相 PWM 波形のデューティ設定 2<br>0x0000~0x8000<br>V 相 PWM キャリアー後半で比較する値を設定します。 |

## 4.3.8.6. [PMDxCMPW2] (PWM デューティコンペア W レジスタ-2)

| Bit   | Bit symbol  | リセット後  | Type | 機能                                                                    |
|-------|-------------|--------|------|-----------------------------------------------------------------------|
| 31:16 | —           | 0      | R    | リードすると"0"が読めます。                                                       |
| 15:0  | CMPW2[15:0] | 0x0000 | R/W  | W 相 PWM 波形のデューティ設定 2<br>0x0000~0x8000<br>W 相 PWM キャリアー後半で比較する値を設定します。 |

### 4.3.9. キャリア一位相差レジスター

#### 4.3.9.1. [PMDxUVPWMPH] (U 相/V 相位相差レジスター)

| Bit   | Bit symbol   | リセット後  | Type | 機能                                                      |
|-------|--------------|--------|------|---------------------------------------------------------|
| 31    | —            | 0      | R    | リードすると"0"が読めます。                                         |
| 30:16 | UPWMPH[14:0] | 0x0000 | R/W  | U 相キャリアーの位相差設定。<br>0x0000～0x7FFF<br>基本キャリアーとの位相差を設定します。 |
| 15    | —            | 0      | R    | リードすると"0"が読めます。                                         |
| 14:0  | VPWMPH[14:0] | 0x0000 | R/W  | V 相キャリアーの位相差設定。<br>0x0000～0x7FFF<br>基本キャリアーとの位相差を設定します。 |

#### 4.3.9.2. [PMDxWPWMPH] (W 相位相差レジスター)

| Bit   | Bit symbol   | リセット後  | Type | 機能                                                      |
|-------|--------------|--------|------|---------------------------------------------------------|
| 31    | —            | 0      | R    | リードすると"0"が読めます。                                         |
| 30:16 | —            | 0x0000 | R/W  | "0"を書いてください。                                            |
| 15    | —            | 0      | R    | リードすると"0"が読めます。                                         |
| 14:0  | WPWMPH[14:0] | 0x0000 | R/W  | W 相キャリアーの位相差設定。<br>0x0000～0x7FFF<br>基本キャリアーとの位相差を設定します。 |

## 4.3.10. [PMDxMDPOT] (PMD 出力設定レジスター)

| Bit   | Bit symbol  | リセット後 | Type | 機能                                                                                                                                                                                                                                                                          |
|-------|-------------|-------|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:10 | —           | 0     | R    | リードすると"0"が読めます。                                                                                                                                                                                                                                                             |
| 9:8   | SYNCS[1:0]  | 00    | R/W  | 通電制御の実行バッファ更新タイミング<br>00: レジスター書き込み<br>01: INTENCx0: ENC 割り込み発生時<br>10: PMDxTMR: 汎用タイマー割り込み発生時<br>11: ENCxCTRG0: ENC MCMP 成立時<br><PSYNCS[1:0]>, <PSYNCDIS>と合わせて通電制御レジスターの実行バッファ更新タイミングを選択します。                                                                               |
| 7:5   | —           | 0     | R    | リードすると"0"が読めます。                                                                                                                                                                                                                                                             |
| 4     | PSYNCDIS    | 0     | R/W  | PWM キャリアー生成および通電制御の実行バッファ更新制御<br>0: <PSYNCS[1:0]>の設定による<br>1: 基本キャリアーエンド<br><PSYNCS[1:0]>, <SYNCS[1:0]>と合わせて通電制御レジスターの実行バッファ更新タイミングを選択します。<br><PSYNCS[1:0]>と合わせて PWM キャリアー生成の実行バッファ更新タイミングを選択します。                                                                           |
| 3     | POLH        | 0     | R/W  | 上相出力(UOx,VOx,WOx)の出力極性選択<br>0: ローアクティブ<br>1: ハイアクティブ                                                                                                                                                                                                                        |
| 2     | POLL        | 0     | R/W  | 下相出力(XOx,YOx,ZOx)の出力極性選択<br>0: ローアクティブ<br>1: ハイアクティブ                                                                                                                                                                                                                        |
| 1:0   | PSYNCS[1:0] | 00    | R/W  | PWM キャリアー生成および通電制御の実行バッファ更新制御<br>00: レジスター書き込み<br>01: 相別キャリアーセンター<br>10: 相別キャリアーエンド<br>11: 相別キャリアーエンドおよびセンター<br><SYNCS[1:0]>, <PSYNCDIS>と合わせて通電制御の実行バッファ更新タイミングを選択します。<br><PSYNCDIS>と合わせて PWM キャリアー生成の実行バッファ更新タイミングを選択します。<br>ノコギリ波/逆ノコギリ波の場合、"00"以外の設定では相別キャリアーエンドで更新されます。 |

## 4.3.11. [PMDxMDOUT] (PMD 通電制御レジスター)

| Bit   | Bit symbol | リセット後 | Type | 機能                                                                                             |
|-------|------------|-------|------|------------------------------------------------------------------------------------------------|
| 31:11 | —          | 0     | R    | リードすると"0"が読めます。                                                                                |
| 10    | WPWM       | 0     | R/W  | W 相信号制御<br>0: "High"/"Low"出力<br>1: PWM 出力<br><WOC[1:0]>, [PMDxMDCR]<SYNTMD>と合わせて W 相の信号を制御します。 |
| 9     | VPWM       | 0     | R/W  | V 相信号制御<br>0: "High"/"Low"出力<br>1: PWM 出力<br><VOC[1:0]>, [PMDxMDCR]<SYNTMD>と合わせて V 相の信号を制御します。 |
| 8     | UPWM       | 0     | R/W  | U 相信号制御<br>0: "High"/"Low"出力<br>1: PWM 出力<br><UOC[1:0]>, [PMDxMDCR]<SYNTMD>と合わせて U 相の信号を制御します。 |
| 7:6   | —          | 0     | R    | リードすると"0"が読めます。                                                                                |
| 5:4   | WOC[1:0]   | 00    | R/W  | W 相信号制御<br><WPWM>, [PMDxMDCR]<SYNTMD>と合わせて W 相の信号を制御します。<br><WOC[1:0]> =00 時、W 相キャリアー波形を反転します。 |
| 3:2   | VOC[1:0]   | 00    | R/W  | V 相信号制御<br><VPWM>, [PMDxMDCR]<SYNTMD>と合わせて V 相の信号を制御します。<br><VOC[1:0]> =00 時、V 相キャリアー波形を反転します。 |
| 1:0   | UOC[1:0]   | 00    | R/W  | U 相信号制御<br><UPWM>, [PMDxMDCR]<SYNTMD>と合わせて U 相の信号を制御します。<br><UOC[1:0]> =00 時、U 相キャリアー波形を反転します。 |

## 4.3.12. [PMDxEMGCR] (EMG 制御レジスター)

| Bit   | Bit symbol  | リセット後 | Type | 機能                                                                                                                                  |
|-------|-------------|-------|------|-------------------------------------------------------------------------------------------------------------------------------------|
| 31:18 | —           | 0     | R    | リードすると"0"が読めます。                                                                                                                     |
| 17:16 | —           | 0     | R/W  | "0"を書いてください。                                                                                                                        |
| 15:14 | —           | 0     | R    | リードすると"0"が読めます。                                                                                                                     |
| 13    | CPAIEN      | 0     | R/W  | コンパレータ-EMG 検知入力制御<br>0: 禁止<br>1: 許可                                                                                                 |
| 12:8  | EMGCNT[4:0] | 00000 | R/W  | EMGx 入力ノイズ除去設定<br>00000~11111<br>EMGx 入力のノイズ除去時間を設定します。ノイズ除去時間は以下の計算式で表されます。<br><EMGCNT[4:0]> × 16/fsys<br>"00000"設定時、ノイズ除去回路は無効です。 |
| 7     | EMGIPOL     | 0     | R/W  | EMGx 端子の極性選択<br>0: ローアクティブ<br>1: ハイアクティブ                                                                                            |
| 6     | —           | 0     | R    | リードすると"0"が読めます。                                                                                                                     |
| 5     | INHEN       | 1     | R/W  | デバッグホールトによる保護制御の許可/禁止<br>0: 禁止<br>1: 許可                                                                                             |

| Bit | Bit symbol | リセット後 | Type | 機能                                                                                                                                           |
|-----|------------|-------|------|----------------------------------------------------------------------------------------------------------------------------------------------|
| 4:3 | EMGMD[1:0] | 11    | R/W  | EMG 保護モード選択<br>00: 上相/下相ハイインピーダンス<br>01: 上相 PWM 波形出力/下相ハイインピーダンス<br>10: 上相ハイインピーダンス/下相 PWM 波形出力<br>11: 上相/下相ハイインピーダンス<br>EMG 検出時の端子制御を設定します。 |
| 2   | EMGISEL    | 0     | R/W  | EMGx 端子入力制御<br>0: 入力許可<br>1: 入力禁止                                                                                                            |
| 1   | EMGRS      | 0     | W    | EMG 保護状態からの復帰<br>0: ー<br>1: 保護状態からの復帰<br>リードすると"0"が読めます。                                                                                     |
| 0   | EMGEN      | 1     | R/W  | EMG 保護制御の許可/禁止<br>0: 禁止<br>1: 許可<br>禁止する場合、 <b>[PMDxEMGREL]</b> に"0x5A"と"0xA5"を順に設定後、 <b>&lt;EMGEN&gt;</b> に"0"を設定します。3 命令連続して行ってください。       |

#### 4.3.13. **[PMDxEMGSTA]** (EMG ステータスレジスター)

| Bit  | Bit symbol | リセット後 | Type | 機能                                                                                          |
|------|------------|-------|------|---------------------------------------------------------------------------------------------|
| 31:2 | —          | 0     | R    | リードすると"0"が読めます。                                                                             |
| 1    | EMGI       | 不定    | R    | EMG 要因ステータス<br>0: EMG 要因がアクティブ<br>1: EMG 要因がインアクティブ<br>許可された EMG 要因のいずれかがアクティブの場合に"0"になります。 |
| 0    | EMGST      | 0     | R    | EMG 保護状態<br>0: 保護状態ではない<br>1: 保護状態                                                          |

#### 4.3.14. **[PMDxEMGREL]** (EMG 解除レジスター)

| Bit  | Bit symbol  | リセット後 | Type | 機能                                                                                                                                                             |
|------|-------------|-------|------|----------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:8 | —           | 0     | R    | リードすると"0"が読めます。                                                                                                                                                |
| 7:0  | EMGREL[7:0] | 0x00  | W    | EMG/OVV 禁止コード設定<br>EMG および OVV 保護機能を禁止する際に使用するレジスターです。<br>"0x5A"と"0xA5"を連続して設定後、 <b>[PMDxEMGCR]</b> <EMGEN> =0 または<br><b>[PMDxOVVCR]</b> <OVVEN> =0 を設定してください。 |

## 4.3.15. [PMDxOVVCR] (OVV 制御レジスター)

| Bit   | Bit symbol    | リセット後 | Type | 機能                                                                                                                                                                                                                                |
|-------|---------------|-------|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:23 | —             | 0     | R    | リードすると"0"が読めます。                                                                                                                                                                                                                   |
| 22    | OVVCPAIEN     | 0     | R/W  | コンパレータOVV 検知入力制御<br>0: 禁止<br>1: 許可                                                                                                                                                                                                |
| 21:20 | OVVNOCTL[1:0] | 00    | R/W  | OVV 保護モード選択<br>00: 上相/下相 PWM 波形出力<br>01: 上相 PWM 波形出力/下相オフ<br>10: 上相オフ/下相 PWM 波形出力<br>11: 上相/下相 PWM 波形出力<br>< OVVMOD[1:0]>=00 の場合の OVV 検出時の端子制御を設定します。<br>オンはアクティブレベル、オフはインアクティブレベルです。<br>アクティブレベルは[PMDxMDPOT]<POLL>、<POLH>で設定します。 |
| 19:17 | —             | 0     | R    | リードすると"0"が読めます。                                                                                                                                                                                                                   |
| 16    | —             | 0     | R/W  | "0"を書いてください。                                                                                                                                                                                                                      |
| 15    | OVVRSMD       | 0     | R/W  | OVV 復帰動作選択<br>0: 自動復帰または<OVVRS> =1 書き込みで復帰<br>1: <OVVRS> =1 書き込みで復帰                                                                                                                                                               |
| 14:13 | —             | 0     | R    | リードすると"0"が読めます。                                                                                                                                                                                                                   |
| 12:8  | OVVCNT[4:0]   | 00000 | R/W  | OVV 入力検出時間<br>00001~11111<br>OVVx 入力のノイズ除去時間を設定します。ノイズ除去時間は以下の計算式で表されます。<br>$\text{OVVCNT}[4:0] \times 16/\text{fsys}$<br>"00000"設定時は"00001"として動作します。                                                                             |
| 7     | OVVIPOL       | 0     | R/W  | OVVx 端子の極性選択<br>0: ローアクティブ<br>1: ハイアクティブ                                                                                                                                                                                          |
| 6     | ADIN1EN       | 0     | R/W  | ADC 監視機能 1 入力制御<br>0: 禁止<br>1: 許可<br>ADC からの監視機能 1 入力の許可/禁止を選択します。                                                                                                                                                                |
| 5     | ADIN0EN       | 0     | R/W  | ADC 監視機能 0 入力制御<br>0: 禁止<br>1: 許可<br>ADC からの監視機能 0 入力の許可/禁止を選択します。                                                                                                                                                                |
| 4:3   | OVVMOD[1:0]   | 00    | R/W  | OVV 保護モード選択<br>00: <OVVNOCTL[1:0]>の設定による<br>01: 上相オン/下相オフ<br>10: 上相オフ/下相オン<br>11: 上相/下相オフ<br>OVV 検出時の端子制御を設定します。<br>オンはアクティブレベル、オフはインアクティブレベルです。<br>アクティブレベルは[PMDxMDPOT]<POLL>、<POLH>で設定します。                                      |
| 2     | OVVISEL       | 0     | R/W  | OVVx 端子入力制御<br>0: 入力許可<br>1: 入力禁止                                                                                                                                                                                                 |
| 1     | OVVRS         | 0     | W    | OVV 保護状態からの復帰<br>0: —<br>1: 保護状態からの復帰<br>リードすると"0"が読めます。                                                                                                                                                                          |

| Bit | Bit symbol | リセット後 | Type | 機能                                                                                                                          |
|-----|------------|-------|------|-----------------------------------------------------------------------------------------------------------------------------|
| 0   | OVVEN      | 0     | R/W  | OVV 保護制御の許可/禁止<br>0: 禁止<br>1: 許可<br>禁止する場合、 <b>[PMDxEMGREL]</b> に"0x5A"と"0xA5"を順に設定後、<br><OVVEN>に"0"を設定します。3 命令連続して行ってください。 |

#### 4.3.16. **[PMDxOVVSTA]** (OVV ステータスレジスター)

| Bit  | Bit symbol | リセット後 | Type | 機能                                                                                          |
|------|------------|-------|------|---------------------------------------------------------------------------------------------|
| 31:2 | —          | 0     | R    | リードすると"0"が読めます。                                                                             |
| 1    | OVVI       | 不定    | R    | OVV 要因ステータス<br>0: OVV 要因がアクティブ<br>1: OVV 要因がインアクティブ<br>許可された OVV 要因のいずれかがアクティブの場合に"0"になります。 |
| 0    | OVVST      | 0     | R    | OVV 保護状態<br>0: 保護状態ではない<br>1: 保護状態                                                          |

#### 4.3.17. **[PMDxDTR]** (デッドタイムレジスター)

| Bit   | Bit symbol | リセット後 | Type | 機能                                                                        |
|-------|------------|-------|------|---------------------------------------------------------------------------|
| 31:10 | —          | 0     | R    | リードすると"0"が読めます。                                                           |
| 9:0   | DTR[9:0]   | 0x000 | R/W  | デッドタイム設定<br>0x000～0x3FF<br>デッドタイムは以下の計算式で表されます。<br><DTR[9:0]>設定値 × 4/fsys |

## 4.3.18. トリガーコンペアレジスター

## 4.3.18.1. [PMDxTRGCMP0] (トリガーコンペア 0 レジスター)

| Bit   | Bit symbol    | リセット後  | Type | 機能                                                                            |
|-------|---------------|--------|------|-------------------------------------------------------------------------------|
| 31:15 | —             | 0      | R    | リードすると"0"が読めます。                                                               |
| 14:0  | TRGCMP0[14:0] | 0x0000 | R/W  | 同期トリガー出力 0 コンペアレジスター<br>0x0000~0x7FFF<br>基本キャリアーまたは U 相 PWM キャリアーとの比較値を設定します。 |

## 4.3.18.2. [PMDxTRGCMP1] (トリガーコンペア 1 レジスター)

| Bit   | Bit symbol    | リセット後  | Type | 機能                                                                            |
|-------|---------------|--------|------|-------------------------------------------------------------------------------|
| 31:15 | —             | 0      | R    | リードすると"0"が読めます。                                                               |
| 14:0  | TRGCMP1[14:0] | 0x0000 | R/W  | 同期トリガー出力 1 コンペアレジスター<br>0x0000~0x7FFF<br>基本キャリアーまたは U 相 PWM キャリアーとの比較値を設定します。 |

## 4.3.18.3. [PMDxTRGCMP2] (トリガーコンペア 2 レジスター)

| Bit   | Bit symbol    | リセット後  | Type | 機能                                                                            |
|-------|---------------|--------|------|-------------------------------------------------------------------------------|
| 31:15 | —             | 0      | R    | リードすると"0"が読めます。                                                               |
| 14:0  | TRGCMP2[14:0] | 0x0000 | R/W  | 同期トリガー出力 2 コンペアレジスター<br>0x0000~0x7FFF<br>基本キャリアーまたは V 相 PWM キャリアーとの比較値を設定します。 |

## 4.3.18.4. [PMDxTRGCMP3] (トリガーコンペア 3 レジスター)

| Bit   | Bit symbol    | リセット後  | Type | 機能                                                                            |
|-------|---------------|--------|------|-------------------------------------------------------------------------------|
| 31:15 | —             | 0      | R    | リードすると"0"が読めます。                                                               |
| 14:0  | TRGCMP3[14:0] | 0x0000 | R/W  | 同期トリガー出力 3 コンペアレジスター<br>0x0000~0x7FFF<br>基本キャリアーまたは W 相 PWM キャリアーとの比較値を設定します。 |

## 4.3.18.5. [PMDxTRGCMP4] (トリガーコンペア 4 レジスター)

| Bit   | Bit symbol    | リセット後  | Type | 機能                                                                            |
|-------|---------------|--------|------|-------------------------------------------------------------------------------|
| 31:15 | —             | 0      | R    | リードすると"0"が読めます。                                                               |
| 14:0  | TRGCMP4[14:0] | 0x0000 | R/W  | 同期トリガー出力 4 コンペアレジスター<br>0x0000~0x7FFF<br>基本キャリアーまたは U 相 PWM キャリアーとの比較値を設定します。 |

## 4.3.18.6. [PMDxTRGCMP5] (トリガーコンペア 5 レジスター)

| Bit   | Bit symbol    | リセット後  | Type | 機能                                                                            |
|-------|---------------|--------|------|-------------------------------------------------------------------------------|
| 31:15 | —             | 0      | R    | リードすると"0"が読めます。                                                               |
| 14:0  | TRGCMP5[14:0] | 0x0000 | R/W  | 同期トリガー出力 5 コンペアレジスター<br>0x0000~0x7FFF<br>基本キャリアーまたは U 相 PWM キャリアーとの比較値を設定します。 |

## 4.3.18.7. [PMDxTRGCMP6] (トリガーコンペア 6 レジスター)

| Bit   | Bit symbol    | リセット後  | Type | 機能                                                                            |
|-------|---------------|--------|------|-------------------------------------------------------------------------------|
| 31:15 | —             | 0      | R    | リードすると"0"が読めます。                                                               |
| 14:0  | TRGCMP6[14:0] | 0x0000 | R/W  | 同期トリガー出力 6 コンペアレジスター<br>0x0000~0x7FFF<br>基本キャリアーまたは U 相 PWM キャリアーとの比較値を設定します。 |

## 4.3.19. [PMDxTRGCR] (トリガー制御レジスター)

| Bit   | Bit symbol  | リセット後 | Type | 機能                                                                                                                            |
|-------|-------------|-------|------|-------------------------------------------------------------------------------------------------------------------------------|
| 31:17 | —           | 0     | R    | リードすると"0"が読めます。                                                                                                               |
| 16    | CARSEL      | 0     | R/W  | キャリアー選択<br>0: 基本キャリアー<br>1: 相別 PWM キャリアー                                                                                      |
| 15    | TRG3BE      | 0     | R/W  | [PMDxTRGCMP3]実行バッファ更新<br>0: 同期更新(表 3.15 を参照してください)<br>1: レジスター書き込み                                                            |
| 14:12 | TRG3MD[2:0] | 000   | R/W  | 同期トリガー出力 3 のモード選択<br>同期トリガー出力タイミングと実行バッファ更新タイミングを選択します。<br>同期トリガー出力タイミングは表 3.14 を参照してください。<br>実行バッファ更新タイミングは表 3.15 を参照してください。 |
| 11    | TRG2BE      | 0     | R/W  | [PMDxTRGCMP2]実行バッファ更新<br>0: 同期更新(表 3.15 を参照してください)<br>1: レジスター書き込み                                                            |
| 10:8  | TRG2MD[2:0] | 000   | R/W  | 同期トリガー出力 2 のモード選択<br>同期トリガー出力タイミングと実行バッファ更新タイミングを選択します。<br>同期トリガー出力タイミングは表 3.14 を参照してください。<br>実行バッファ更新タイミングは表 3.15 を参照してください。 |
| 7     | TRG1BE      | 0     | R/W  | [PMDxTRGCMP1] / VExTRGCMP1 実行バッファ更新<br>0: 同期更新(表 3.15 を参照してください)<br>1: レジスター書き込み                                              |
| 6:4   | TRG1MD[2:0] | 000   | R/W  | 同期トリガー出力 1 のモード選択<br>同期トリガー出力タイミングと実行バッファ更新タイミングを選択します。<br>同期トリガー出力タイミングは表 3.14 を参照してください。<br>実行バッファ更新タイミングは表 3.15 を参照してください。 |
| 3     | TRG0BE      | 0     | R/W  | [PMDxTRGCMP0] / VExTRGCMP0 実行バッファ更新<br>0: 同期更新(表 3.15 を参照してください)<br>1: レジスター書き込み                                              |
| 2:0   | TRG0MD[2:0] | 000   | R/W  | 同期トリガー出力 0 のモード選択<br>同期トリガー出力タイミングと実行バッファ更新タイミングを選択します。<br>同期トリガー出力タイミングは表 3.14 を参照してください。<br>実行バッファ更新タイミングは表 3.15 を参照してください。 |

## 4.3.20. [PMDxTRGCR2] (トリガー制御レジスター2)

| Bit   | Bit symbol  | リセット後 | Type | 機能                                                                                                                            |
|-------|-------------|-------|------|-------------------------------------------------------------------------------------------------------------------------------|
| 31:12 | —           | 0     | R    | リードすると"0"が読めます。                                                                                                               |
| 11    | TRG6BE      | 0     | R/W  | [PMDxTRGCMP6]実行バッファ更新<br>0: 同期更新(表 3.15 を参照してください)<br>1: レジスター書き込み                                                            |
| 10:8  | TRG6MD[2:0] | 000   | R/W  | 同期トリガー出力 6 のモード選択<br>同期トリガー出力タイミングと実行バッファ更新タイミングを選択します。<br>同期トリガー出力タイミングは表 3.14 を参照してください。<br>実行バッファ更新タイミングは表 3.15 を参照してください。 |
| 7     | TRG5BE      | 0     | R/W  | [PMDxTRGCMP5]実行バッファ更新<br>0: 同期更新(表 3.15 を参照してください)<br>1: レジスター書き込み                                                            |

| Bit | Bit symbol  | リセット後 | Type | 機能                                                                                                                            |
|-----|-------------|-------|------|-------------------------------------------------------------------------------------------------------------------------------|
| 6:4 | TRG5MD[2:0] | 000   | R/W  | 同期トリガー出力 5 のモード選択<br>同期トリガー出力タイミングと実行バッファ更新タイミングを選択します。<br>同期トリガー出力タイミングは表 3.14 を参照してください。<br>実行バッファ更新タイミングは表 3.15 を参照してください。 |
| 3   | TRG4BE      | 0     | R/W  | [PMDxTRGCMPI4]実行バッファ更新<br>0: 同期更新(表 3.15 を参照してください)<br>1: レジスタ書き込み                                                            |
| 2:0 | TRG4MD[2:0] | 000   | R/W  | 同期トリガー出力 4 のモード選択<br>同期トリガー出力タイミングと実行バッファ更新タイミングを選択します。<br>同期トリガー出力タイミングは表 3.14 を参照してください。<br>実行バッファ更新タイミングは表 3.15 を参照してください。 |

#### 4.3.21. [PMDxTRGSYNCR] (トリガー更新タイミング設定レジスタ)

| Bit  | Bit symbol  | リセット後 | Type | 機能                                                                                                                                                                                           |
|------|-------------|-------|------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:2 | —           | 0     | R    | リードすると"0"が読めます。                                                                                                                                                                              |
| 1:0  | TSYNCS[1:0] | 00    | R/W  | トリガーコンペアレジスタの実行バッファ更新タイミング設定<br>00: 以下のレジスタ設定による<br>[PMDxTRGCR]<TRGnMD[2:0]>(n=0~3)<br>[PMDxTRGCR2]<TRGmMD[2:0]>(m=4~6)<br>01: 相別 PWM センターで更新<br>10: 相別 PWM エンドで更新<br>11: 相別 PWM エンドとセンターで更新 |

#### 4.3.22. [PMDxTRGMD] (トリガー出力モード設定レジスタ)

| Bit   | Bit symbol    | リセット後 | Type | 機能                                                                                                                                                         |
|-------|---------------|-------|------|------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:28 | —             | 0     | R    | リードすると"0"が読めます。                                                                                                                                            |
| 27:16 | TRGDELY[11:0] | 0x000 | R/W  | トリガー出力遅延<br>0x000: 遅延なし<br>0x001~0xFFFF: 遅延値<br>遅延時間は以下の計算式で表されます。<br><TRGDELY[11:0]>設定値 × 1/fsys                                                          |
| 15:2  | —             | 0     | R    | リードすると"0"が読めます。                                                                                                                                            |
| 1     | TRGOUT        | 0     | R/W  | トリガー出力モード<br>0: トリガー固定出力<br>1: トリガー選択出力<br>トリガー固定出力では、各トリガー出力の設定に従ってトリガー信号を出力します。<br>トリガー選択出力では、同期トリガー0を[PMDxTRGSEL]で選択した<br>PMDxTRG0~PMDxTRG6のいずれかに出力します。 |
| 0     | EMGTGE        | 0     | R/W  | EMG 保護中の出力<br>0: トリガー出力禁止<br>1: トリガー出力許可                                                                                                                   |

## 4.3.23. [PMDxTRGSEL] (トリガー出力選択レジスター)

| Bit  | Bit symbol  | リセット後 | Type | 機能                                                                                                                                                                                                                            |
|------|-------------|-------|------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:3 | —           | 0     | R    | リードすると"0"が読めます。                                                                                                                                                                                                               |
| 2:0  | TRGSEL[2:0] | 000   | R/W  | トリガー出力ポート選択<br>000: PMDxTRG0 より出力<br>001: PMDxTRG1 より出力<br>010: PMDxTRG2 より出力<br>011: PMDxTRG3 より出力<br>100: PMDxTRG4 より出力<br>101: PMDxTRG5 より出力<br>110: PMDxTRG6 より出力<br>111: 出力しない<br>トリガー選択出力([PMDxTRGMD]<TRGOUT>=1)時に有効です。 |

## 4.3.24. [PMDxMBUFCCR] (中間バッファ制御レジスター)

| Bit  | Bit symbol  | リセット後 | Type | 機能                                                                                                                                                                                       |
|------|-------------|-------|------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:2 | —           | 0     | R    | リードすると"0"が読めます。                                                                                                                                                                          |
| 3    | BUFCTRSEL   | 0     | R/W  | 中間バッファ1 更新キャリアー選択<br>0: U 相キャリアー<br>1: 基本キャリアー                                                                                                                                           |
| 2:0  | BUFCTR[2:0] | 000   | R/W  | 中間バッファ1 更新制御<br>000: 中間バッファ1 無効<br>001: キャリアーエンド<br>010: キャリアーセンター<br>011: キャリアー3/4 タイミング<br>100: キャリアー1/4 タイミング<br>101: キャリアーエンドおよびセンター<br>110: キャリアー1/4 および 3/4 タイミング<br>111: Reserved |

## 4.3.25. [PMDxSYNCCR] (同期制御レジスター)

| Bit  | Bit symbol  | リセット後 | Type | 機能                                                                                                                                         |
|------|-------------|-------|------|--------------------------------------------------------------------------------------------------------------------------------------------|
| 31:8 | —           | 0     | R    | リードすると"0"が読めます。                                                                                                                            |
| 7:6  | OVVSMD[1:0] | 00    | R/W  | OVV 同期動作設定<br>00: 同期動作禁止<br>01: 同期動作禁止<br>10: 同期動作許可(自 ch の OVV 検知無効)<br>11: 同期動作許可(自 ch の OVV 検知有効)<br>[PMDxOVVCR]<OVVEN> =1 の場合に有効です。    |
| 5:4  | EMGSMD[1:0] | 00    | R/W  | EMG 保護動作の同期設定<br>00: 同期動作禁止<br>01: 同期動作禁止<br>10: 同期動作許可(自 ch の EMG 検知無効)<br>11: 同期動作許可(自 ch の EMG 検知有効)<br>[PMDxEMGCR]<EMGEN> =1 の場合に有効です。 |
| 3:1  | —           | 0     | R    | リードすると"0"が読めます。                                                                                                                            |
| 0    | PWMSMD      | 0     | R/W  | PMD 動作開始の同期設定<br>0: 同期動作禁止<br>1: 同期動作許可<br>許可すると[PMDxMDEN]<PWMEN>設定は無効になります。                                                               |

## 4.3.26. [PMDxDBGOUTCR] (デバッグ出力制御レジスター)

| Bit   | Bit symbol | リセット後 | Type | 機能                                                                                                                                     |
|-------|------------|-------|------|----------------------------------------------------------------------------------------------------------------------------------------|
| 31    | INIFF      | 0     | R/W  | PMDxDBG 出力初期状態設定<br>0: "Low"出力<br>1: "High"出力<br><DBGEN> =0 で PMDxDBG 出力は設定値に更新されます。<br>ADC 変換タイミングモニター(<DBGMD[1:0]> =00)では初期値設定できません。 |
| 30:25 | —          | 0     | R    | リードすると"0"が読めます。                                                                                                                        |
| 24    | VEENDBGSEL | 0     | R/W  | VE タスク遷移/ENC デバッグ出力モニター選択<br>0: VE タスク遷移を選択<br>1: ENC デバッグ出力を選択                                                                        |
| 23    | —          | 0     | R    | リードすると"0"が読めます。                                                                                                                        |
| 22    | TRG6EN     | 0     | R/W  | PMDトリガー6 モニター設定<br>0: PMDxTRG6 禁止<br>1: PMDxTRG6 許可                                                                                    |
| 21    | TRG5EN     | 0     | R/W  | PMDトリガー5 モニター設定<br>0: PMDxTRG5 禁止<br>1: PMDxTRG5 許可                                                                                    |
| 20    | TRG4EN     | 0     | R/W  | PMDトリガー4 モニター設定<br>0: PMDxTRG4 禁止<br>1: PMDxTRG4 許可                                                                                    |
| 19    | TRG3EN     | 0     | R/W  | PMDトリガー3 モニター設定<br>0: PMDxTRG3 禁止<br>1: PMDxTRG3 許可                                                                                    |
| 18    | TRG2EN     | 0     | R/W  | PMDトリガー2 モニター設定<br>0: PMDxTRG2 禁止<br>1: PMDxTRG2 許可                                                                                    |

| Bit   | Bit symbol | リセット後 | Type | 機能                                                                                             |
|-------|------------|-------|------|------------------------------------------------------------------------------------------------|
| 17    | TRG1EN     | 0     | R/W  | PMDトリガー1 モニター設定<br>0: PMDxTRG1 禁止<br>1: PMDxTRG1 許可                                            |
| 16    | TRG0EN     | 0     | R/W  | PMDトリガー0 モニター設定<br>0: PMDxTRG0 禁止<br>1: PMDxTRG0 許可                                            |
| 15:13 | —          | 0     | R    | リードすると"0"が読めます。                                                                                |
| 12    | IENCEN     | 0     | R/W  | ENC 割り込みモニター設定<br>0: INTENCx0/INTENx1 禁止<br>1: INTENCx0/INTENx1 許可                             |
| 11    | IVEEN      | 0     | R/W  | VE 割り込みモニター設定<br>0: INTVCNx 禁止<br>1: INTVCNx 許可                                                |
| 10    | IOVVEN     | 0     | R/W  | PMD 割り込みモニター設定<br>0: INTOVx 禁止<br>1: INTOVx 許可                                                 |
| 9     | IEMGEN     | 0     | R/W  | PMD 割り込みモニター設定<br>0: INTEMGx 禁止<br>1: INTEMGx 許可                                               |
| 8     | IPMDEN     | 0     | R/W  | PMD 割り込みモニター設定<br>0: INTPWMx 禁止<br>1: INTPWMx 許可                                               |
| 7     | IADEN      | 0     | R/W  | ADC 割り込みモニター設定<br>0: INTADxPFLG 禁止<br>1: INTADxPFLG 許可                                         |
| 6     | IADDEN     | 0     | R/W  | ADC 割り込みモニター設定<br>0: INTADxPDD 禁止<br>1: INTADxPDD 許可                                           |
| 5     | IADCEN     | 0     | R/W  | ADC 割り込みモニター設定<br>0: INTADxPDC 禁止<br>1: INTADxPDC 許可                                           |
| 4     | IADBEN     | 0     | R/W  | ADC 割り込みモニター設定<br>0: INTADxPDB 禁止<br>1: INTADxPDB 許可                                           |
| 3     | IADAEN     | 0     | R/W  | ADC 割り込みモニター設定<br>0: INTADxPDA 禁止<br>1: INTADxPDA 許可                                           |
| 2:1   | DBGMD[1:0] | 0     | R/W  | デバッグモード選択<br>00: ADC 変換モニター<br>01: PMD トリガーモニター<br>10: 割り込みモニター<br>11: VE タスク遷移/ENC デバッグ出力モニター |
| 0     | DBGEN      | 0     | R/W  | デバッグ出力設定<br>0: デバッグ出力禁止<br>1: デバッグ出力許可                                                         |

5. 改訂履歴

表 5.1 改訂履歴

| Revision | Date       | Description |
|----------|------------|-------------|
| 1.0      | 2026-01-30 | ・新規作成       |

## 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下"特定用途"という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。