

32 ビット RISC マイクロコントローラー

**TXZ+ファミリ
TMPM4L グループ(1)**

リファレンスマニュアル
クロック制御と動作モード
(CG-M4L(1))

Revision 1.0

2026-01

東芝デバイス&ストレージ株式会社

目次

序章	6
関連するドキュメント	6
表記規約	7
用語・略語	9
1. クロック制御と動作モード	10
1.1. 概要	10
1.2. クロック制御	11
1.2.1. クロックの種類	11
1.2.2. リセット動作による初期値	11
1.2.3. クロック系統図	12
1.2.4. ウォーミングアップ機能	13
1.2.4.1. 高速発振用ウォーミングアップタイマー	13
1.2.4.2. ウォーミングアップタイマー設定値	13
1.2.4.3. ウォーミングアップタイマーの使用方法	14
1.2.5. クロック逡倍回路(PLL)	15
1.2.5.1. リセット解除後の PLL 設定	15
1.2.5.2. PLL 逡倍値の計算式と設定例	16
1.2.5.3. 動作中の PLL 逡倍値の変更	17
1.2.5.4. PLL 動作開始/停止切り替えシーケンス	18
1.2.6. システムクロック	19
1.2.6.1. システムクロックの設定方法	19
1.2.7. クロック供給設定機能	21
1.2.8. クロックの端子出力機能	21
1.2.9. プリスケラークロック	21
1.3. 動作モード	22
1.3.1. 動作モードの詳細	22
1.3.1.1. 各モードの特長	22
1.3.1.2. 低消費電力モードへの遷移と復帰	23
1.3.1.3. 低消費電力モードの選択	23
1.3.1.4. 低消費電力モードにおける周辺機能状態	24
1.3.2. モード状態遷移	26
1.3.2.1. IDLE モード遷移フロー	26
1.3.2.2. STOP1 モード遷移フロー	27
1.3.2.3. STOP2 モード遷移フロー	28
1.3.3. 低消費電力モードからの復帰	29
1.3.3.1. 低消費電力モードの解除ソース	29
1.3.3.2. 低消費電力モード解除時のウォーミングアップ	30
1.3.3.3. STOP2 モードからの復帰	31
1.4. レジスタの説明	32
1.4.1. レジスタ一覧	32

1.4.1.1. クロック制御と動作モード	32
1.4.1.2. 電源制御/リセット	32
1.4.2. レジスター詳細	33
1.4.2.1. [CGPROTECT] (CG ライトプロテクトレジスター)	33
1.4.2.2. [CGOSCCR] (発振制御レジスター)	33
1.4.2.3. [CGSYSCR] (システムクロック制御レジスター)	34
1.4.2.4. [CGSTBYCR] (スタンバイ制御レジスター)	35
1.4.2.5. [CGSCOCR] (SCOUT 出力制御レジスター)	35
1.4.2.6. [CGPLLOSEL] (PLL セレクトレジスター)	36
1.4.2.7. [CGWUPHCR] (高速発振ウォーミングアップレジスター)	36
1.4.2.8. [CGFSYSENA] (fsys 供給停止レジスターA)	37
1.4.2.9. [CGFSYSENB] (fsys 供給停止レジスターB)	38
1.4.2.10. [CGFCEN] (fc 供給停止レジスター)	39
1.4.2.11. [CGSPCLKEN] (ADC、デバッグ回路用クロック供給停止レジスター)	40
1.4.2.12. [RLMSHTDNOP] (電源遮断制御レジスター)	40
1.4.2.13. [RLMPROTECT] (RLM ライトプロテクトレジスター)	40
2. メモリーマップ	41
2.1. 概要	41
2.1.1. TMPM4LxFYA	42
2.1.2. TMPM4LxFWA	43
2.2. バスマトリックス	44
2.2.1. 構成	45
2.2.1.1. シングルチップモード	45
2.2.1.2. シングルブートモード	46
3. リセットと電源制御	47
3.1. 概要	47
3.2. 機能説明・動作説明	47
3.2.1. コールドリセット	47
3.2.1.1. RESET_N 端子を使用しない場合	48
3.2.1.2. RESET_N 端子を使用する場合	49
3.2.2. ウォームリセット	51
3.2.2.1. RESET_N 端子によるウォームリセット	51
3.2.2.2. LVD によるウォームリセット	51
3.2.2.3. その他の内部リセットによるウォームリセット	51
3.2.3. STOP2 モード解除によるリセット	52
3.2.4. シングルブートモードの起動	52
3.2.4.1. RESET_N 端子を使った起動	52
3.2.4.2. 電源安定時のシングルブートモードの起動	53
3.2.5. パワーオンリセット回路	54
3.2.5.1. 電源投入時の動作	54
3.2.5.2. 電源切断時の動作	54
3.2.6. 電源切断と再投入	55

3.2.6.1. 外部のリセット回路または内蔵 LVD リセットを使用している場合	55
3.2.6.2. 外部のリセット回路/内蔵 LVD リセットを使用しない場合	55
3.2.7. リセット解除後	55
3.2.7.1. リセット要因と初期化範囲	56
4. 改訂履歴	57
製品取り扱い上のお願い	58

図目次

図 1.1	クロック系統図	12
図 1.2	モード状態遷移	26
図 1.3	STOP2 モードからの復帰フロー	31
図 2.1	TMPM4LxFYA	42
図 2.2	TMPM4LxFWA	43
図 2.3	シングルチップモード	45
図 2.4	シングルブートモード	46
図 3.1	RESET_N 端子を使用しない場合	48
図 3.2	RESET_N 端子を使用する場合(1)	49
図 3.3	RESET_N 端子を使用する場合(2)	50
図 3.4	ウォームリセット動作	51
図 3.5	電源投入時にリセット端子を使用したシングルブートモードの起動	52
図 3.6	電源安定時のシングルブートモードの起動	53
図 3.7	パワーオンリセット回路	54

表目次

表 1.1	PLL リファレンスクロック(f_{PLLREF})選択	15
表 1.2	[CGPLL0SEL]<PLL0SET[23:0]>設定詳細	16
表 1.3	PLL 補正值(例)	17
表 1.4	PLL0SET 設定値(例)	17
表 1.5	SCOUT 端子使用可否一覧	21
表 1.6	低消費電力モード選択	23
表 1.7	低消費電力モード別ブロック動作状態一覧	24
表 1.8	解除ソース一覧	29
表 1.9	ウォーミングアップ	30
表 3.1	リセット要因と初期化される範囲	56
表 4.1	改訂履歴	57

序章

関連するドキュメント

文書名
Arm® Cortex®-M4 プロセッサ—テクニカルリファレンスマニュアル
例外
周波数検知回路
電圧検知回路
クロック選択式ウォッチドッグタイマー
フラッシュメモリー
データシート
セキュリティー機能
セキュアアクセスメモリー

表記規約

- 数値表記は以下の規則に従います。
16 進数表記: 0xABC
10 進数表記: 123 または 0d123(10 進表記であることを示す必要のある場合だけ使用)
2 進数表記: 0b111(ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート(assert)」アクティブでないレベルに移ることを「デアサート(deassert)」と呼びます。
- 複数の信号名は[m:n]とまとめて表記する場合があります。
例: S[3:0]は S3、S2、S1、S0 の 4 つの信号名をまとめて表記しています。
- 本文中[/]で囲まれたものはレジスターを定義しています。
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1]、[XYZ2]、[XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャネルは「x」で一括表記しています。
ユニットの場合、「x」は A、B、C、...を表します。
例: [ADACR0]、[ADBCR0]、[ADCCR0] → [ADxCR0]
チャネルの場合、「x」は 0、1、2、...を表します。
例: [T32A0RUNA]、[T32A1RUNA]、[T32A2RUNA] → [T32AxRUNA]
- レジスターのビット範囲は[m:n]と表記します。
例: [3:0]はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
バイト: 8 ビット
ハーフワード: 16 ビット
ワード: 32 ビット
ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
R: リードオンリー
W: ライトオンリー
R/W: リード/ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「-」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。

Arm、Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における
登録商標です。All rights reserved.



本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC2	Advanced Encoder input Circuit 2
A-PMD2	Advanced Programmable Motor Control Circuit 2
A-VE2	Advanced Vector Engine 2
COMP	Comparator
DAC	Digital to Analog Converter
CG	Clock Control and Operation Mode
CRC	Cyclic Redundancy Check
D-Bus	DCode memory interface
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
EHOSC	External High-speed Oscillator
EI2C	I ² C Interface Version A
fsys	frequency of SYSTEM Clock
IA(INTIF)	Interrupt control register A
IB(INTIF)	Interrupt control register B
I-Bus	ICode memory interface
IHOSC	Internal High-speed Oscillator
IMN	Interrupt Monitor
INT	Interrupt
LVD	Voltage Detection Circuit
NMI	Non-maskable Interrupt
OFD	Oscillation Frequency Detector
POR	Power-on Reset Circuit
PORF	Power-on Reset Circuit for FLASH and Debug
RAMP	RAM Parity
RLM	Power Supply Control/Reset
S-Bus	System interface
SAM	Secure Access Memory
SCOUT	Source Clock Output
SIWDT	Clock Selective Watchdog Timer
SMIF	Serial Memory Interface
TRGSEL	Trigger Selection Circuit
TRM	Trimming Circuit
TSPI	Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Asynchronous Serial Communication Circuit

1. クロック制御と動作モード

1.1. 概要

クロック/モード制御ブロックでは、クロックギアやプリスケラークロックの選択、発振器のウォーミングアップなどを設定することが可能です。

また、動作モードとして **NORMAL** モードと低消費電力モードがあり、使用方法に応じモード遷移を行うことで消費電力を抑えることができます。

クロックに関連する機能としては以下のようなものがあります。

- システムクロックの制御
- プリスケラークロックの制御

1.2. クロック制御

1.2.1. クロックの種類

クロックの一覧を以下に示します。

EHCLKIN:	外部から入力される高速クロック
fosc:	内部発振回路で生成されるクロックと X1、X2 端子より入力されるクロックの [CGOSCCR]/<OSCSEL>で選択後のクロック
f _{PLLREF} :	[CGSYSCR]/<PLLREFSEL[2:0]>で選択されたクロック
f _{PLL} :	PLL0 により逡倍されたクロック
fc:	[CGPLL0SEL]/<PLL0SEL>で選択されたクロック(高速クロック)
f _{sys} :	[CGSYSCR]/<GEAR[2:0]>で選択された高速システムクロック
ΦT0:	[CGSYSCR]/<PRCK[3:0]>で選択された高速クロック(高速プリスケラークロック)
f _{IHOSC1} :	内蔵高速発振器 1 で生成されるクロック
f _{IHOSC2} :	内蔵高速発振器 2 で生成されるクロック
ADCLK:	ADC 用変換クロック
TRCLKIN:	デバッグ回路(トレースまたは SWV)のトレース機能用クロック

1.2.2. リセット動作による初期値

リセット動作により、クロック設定は下記のような状態に初期化されます。

外部高速発振器:	停止
内蔵高速発振器 1:	発振
内蔵高速発振器 2:	停止
PLL(逡倍回路):	停止
ギアクロック:	fc(分周なし)

1.2.3. クロック系統図

クロック系統図を示します。

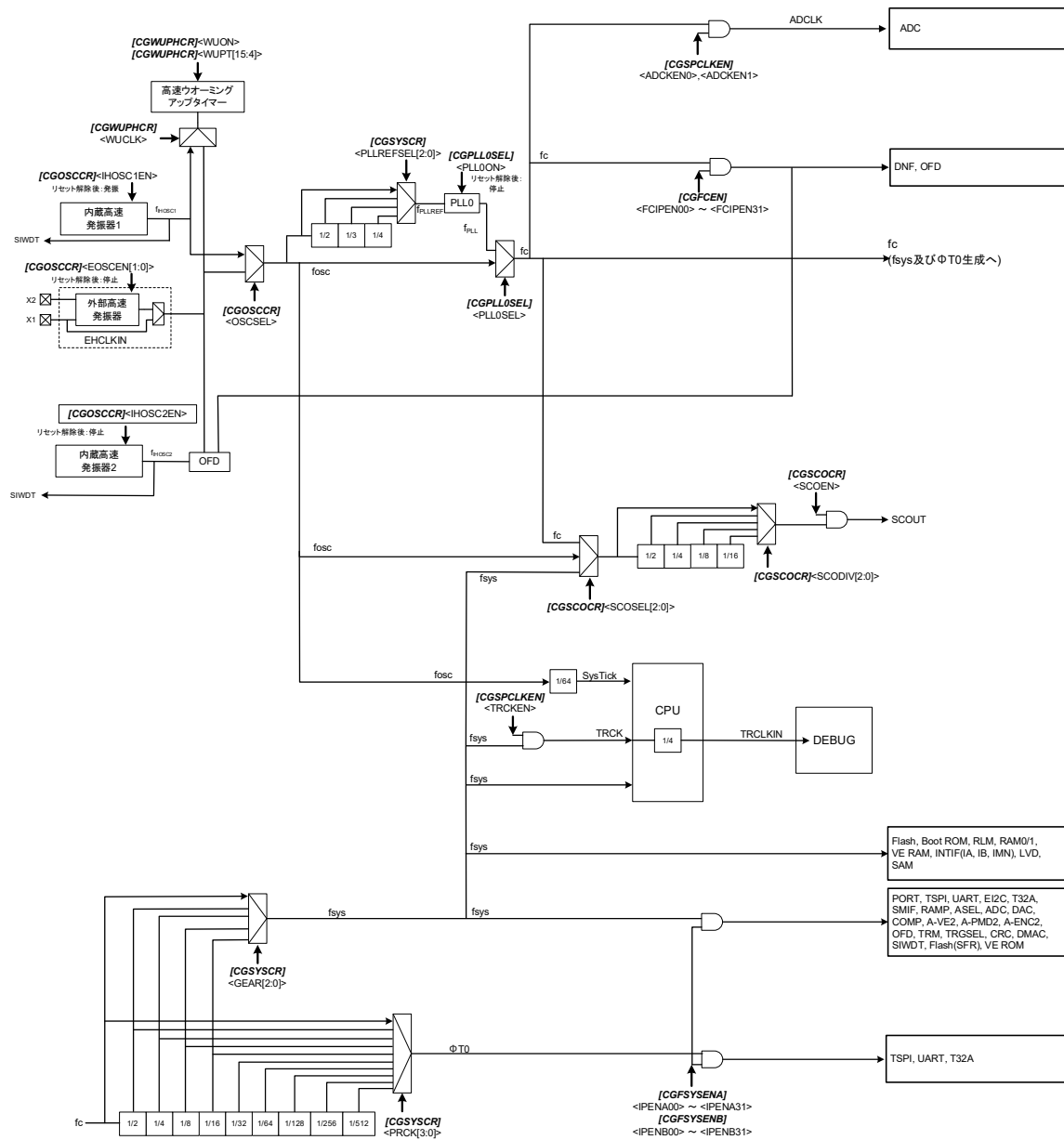


図 1.1 クロック系統図

1.2.4. ウォーミングアップ機能

ウォーミングアップ機能は、発振器の発振安定のための機能です。

1.2.4.1. 高速発振用ウォーミングアップタイマー

16 ビットのウォーミングアップタイマーを内蔵しており、内蔵高速発振器 1 および外部高速発振器の安定を待つ際に使用します。

モード遷移のうち、STOP1 モードから NORMAL モードの遷移では内蔵高速発振器 1 の安定を待つためにウォーミングアップタイマーを使用します。STOP1 モード解除時の詳細説明については、「1.3.3.2. 低消費電力モード解除時のウォーミングアップ」を参照してください。

1.2.4.2. ウォーミングアップタイマー設定値

ウォーミングアップタイマーの設定値は以下のとおりです。

- 外部高速発振の場合
外部高速発振器の場合、安定待ち時間は下記の計算式で算出します。下位 4 ビットを切り捨て、上位 12 ビットを `[CGWUPHCR]<WUPT[15:4]>` に設定してください。

$\begin{aligned} &\text{ウォーミングアップタイマー設定値(16 ビット)} \\ &= (\text{ウォーミングアップ時間(s)} / \text{クロック周期(s)}) - 16 \end{aligned}$
--

(例) 発振器 10MHz(クロック周期 100ns)で、ウォーミングアップ時間 5ms を設定する場合

$$\begin{aligned} \text{ウォーミングアップタイマー設定値(16 ビット)} &= (5\text{ms} / 100\text{ns}) - 16 \\ &= 50000 - 16 \\ &= 49984 \\ &= 0xC340 \end{aligned}$$

レジスターへは、上位 12 ビットを設定しますので、下記のように設定します。

$$[CGWUPHCR]<WUPT[15:4]> = 0xC34$$

- 内蔵高速発振器 1 の場合
内蔵高速発振器 1 の場合、設定値は固定です。"0x000"を `[CGWUPHCR]<WUPT[15:4]>` に設定してください。この設定でウォーミングアップさせることで、必要な安定時間(約 160μs)が確保できます。

1.2.4.3. ウォーミングアップタイマーの使用方法

ウォーミングアップ機能の使用方法を説明します。

- (1) クロックの選択
発振安定ウォーミングアップタイマーでカウントするクロック(内蔵高速発振器 1 または外部高速発振器)を、**[CGWUPHCR]<WUCLK>**で選択します。
- (2) ウォーミングアップタイマー設定値の算出
設定値の算出方法は、「1.2.4.2. ウォーミングアップタイマー設定値」を参照してください。
設定値を**[CGWUPHCR]<WUPT[15:4]>**に設定します。
- (3) ウォーミングアップの開始および終了確認
ソフトウェア(命令)によりウォーミングアップの開始および終了確認を行う場合、
[CGWUPHCR]<WUON>へ"1"を設定することでウォーミングアップタイマーがスタートします。タイマー動作中に**[CGWUPHCR]<WUON>**へ"0"を書き込んでも強制終了にはなりません。"0"書き込みは無視されます。
終了は、**[CGWUPHCR]<WUEF>**が"1"→"0"になることで判別します。"1"でウォーミングアップ中、"0"で終了を示します。カウント終了後、タイマーはリセットされて初期状態に戻ります。

注) ウォーミングアップタイマーは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

1.2.5. クロック逡倍回路(PLL)

クロック逡倍回路は、高速発振器の出力クロック f_{osc} を分周した PLL リファレンスクロック f_{PLLREF} の周波数(6MHz 以上 12MHz 未満)に最適な条件で逡倍した f_{PLL} クロック(最大 80MHz)を出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

1.2.5.1. リセット解除後の PLL 設定

PLL はリセット解除後、ディセーブルです。

PLL を使用するためには、 $[CGPLL0SEL]<PLL0ON>$ が"0"の状態、 $[CGSYSCR]<PLLREFSEL[2:0]>$ で PLL リファレンスクロックを選択し、 $[CGPLL0SEL]<PLL0SET[23:0]>$ の逡倍値の設定を行った後、PLL の初期化時間として約 100 μ s 経過後に、 $<PLL0ON>$ を"1"に設定して PLL の動作を開始します。その後、ロックアップ時間約 100 μ s 経過後に、 $[CGPLL0SEL]<PLL0SEL>$ を"1"に設定することにより、 f_{osc} を逡倍した f_{PLL} クロックを使用することができます。

PLL リファレンスクロック選択は、「表 1.1 PLL リファレンスクロック(f_{PLLREF})選択」を参照してください。

表 1.1 PLLリファレンスクロック(f_{PLLREF})選択

f_{osc} 周波数(MHz)	分周比	f_{PLLREF} 周波数(MHz)
$6 \leq f_{osc} < 12$	1/1	$6 \leq f_{PLLREF} < 12$
$12 \leq f_{osc} < 18$	1/2	$6 \leq f_{PLLREF} < 9$
$18 \leq f_{osc} < 24$	1/3	$6 \leq f_{PLLREF} < 8$
$24 = f_{osc}$	1/4	$6 = f_{PLLREF}$

1.2.5.2. PLL 逡倍値の計算式と設定例

PLL 逡倍値を設定する $[CGPLL0SEL]<PLL0SET[23:0]>$ の内訳詳細を下記に示します。

表 1.2 $[CGPLL0SEL]<PLL0SET[23:0]>$ 設定詳細

PLL0SET の内訳		機能	
[23:17]	補正值設定	f _{PLLREF} / 340000 の商(整数)。表 1.3 を参照してください。	
[16:14]	f _{PLLREF} 設定	000: 6 ≤ f _{PLLREF} ≤ 7 001: 7 < f _{PLLREF} ≤ 8 010: 8 < f _{PLLREF} ≤ 10 011: 10 < f _{PLLREF} < 12 上記以外: Reserved (単位: MHz)	
[13:12]	分周設定	00: Reserved 01: 1 / 2 (2 分周) 10: 1 / 4 (4 分周) 11: 1 / 8 (8 分周)	
[11:8]	小数部 逡倍設定	0000: 0.0000 0001: 0.0625 0010: 0.1250 0011: 0.1875 0100: 0.2500 0101: 0.3125 0110: 0.3750 0111: 0.4375	1000: 0.5000 1001: 0.5625 1010: 0.6250 1011: 0.6875 1100: 0.7500 1101: 0.8125 1110: 0.8750 1111: 0.9375
[7:0]	整数部 逡倍設定	0x00: 0 0x01: 1 0x02: 2 : 0xFD: 253 0xFE: 254 0xFF: 255	

注) 逡倍値は、 $<PLL0SET[7:0]>$ (整数部)と $<PLL0SET[11:8]>$ (小数部)の合算です。

f_{PLL} は、以下の計算式で表されます。

$$f_{PLL} = f_{PLLREF} \times ([CGPLL0SEL]<PLL0SET[7:0]> + [CGPLL0SEL]<PLL0SET[11:8]>) \times [CGPLL0SEL]<PLL0SET[13:12]>$$

注 1) 周波数精度の絶対値は保証しません。

注 2) 小数部逡倍設定にリニアリティーはありません。

注 3) $f_{PLL} \leq$ 最大動作周波数

表 1.3 PLL補正值(例)

f _{PLLREF} (MHz)	<PLL0SET[23:17]>(10進、整数値)
6.00	18
8.00	24
10.00	30

PLL 補正值は、以下で求めることができます

f_{PLLREF} = 6.0MHz 時、 $6 / 0.34 = 17.64 \rightarrow 18$; 小数部は切り上げ

[CGPLL0SEL]/<PLL0SET[23:0]>の主な設定例を、下記に示します。

入力周波数(f_{PLLREF})を、PLL で通倍、分周し、目的とするクロック周波数(f_{PLL})を生成します。

分周値は、1/2、1/4、1/8 から選択します。

また、通倍後の周波数は次の範囲で設定してください。

$$100\text{MHz} \leq (f_{\text{PLLREF}} \times \text{通倍値}) \leq 200\text{MHz}$$

表 1.4 PLL0SET設定値(例)

f _{PLLREF} (MHz)	通倍値	分周値	f _{PLL} (MHz)	<PLL0SET[23:0]>
6.00	26.625	1/2	79.88	0x241A1A
8.00	20.0000	1/2	80.00	0x305014
10.00	16.0000	1/2	80.00	0x3C9010

1.2.5.3. 動作中の PLL 通倍値の変更

PLL 通倍クロック動作中に、通倍値の変更を行う場合、まず[CGPLL0SEL]/<PLL0SEL>に"0"を設定し PLL 通倍クロックを使用しない設定に切り替えます。そして、[CGPLL0SEL]/<PLL0ST>=0 を読み出し、通倍クロックを使用しない設定に切り替わったことを確認した後、[CGPLL0SEL]/<PLL0ON>を"0"として PLL を停止します。

その後、[CGPLL0SEL]/<PLL0SET[23:0]>の通倍値を変更し、PLL の初期化時間として約 100μs 経過後に、[CGPLL0SEL]/<PLL0ON>を"1"に設定して PLL の動作を開始します。

その後、ロックアップ時間約 100μs 経過後に、[CGPLL0SEL]/<PLL0SEL>を"1"に設定します。

最後に、[CGPLL0SEL]/<PLL0ST>をリードし、切り替わったことを確認します。

1.2.5.4. PLL 動作開始/停止切り替えシーケンス

(1) fc 設定(PLL 停止 → PLL 動作)

fc 設定として、PLL 停止状態から PLL 動作状態への切り替え手順例は、下記のようになります。

《切り替え前の状態》	
[CGPLL0SEL]<PLL0ON> = 0	PLL 動作が停止
[CGPLL0SEL]<PLL0SEL> = 0	PLL 選択が PLL 未使用(fosc)
[CGPLL0SEL]<PLL0ST> = 0	PLL 選択ステータスが PLL 未使用(fosc)
[CGSYSCR]<PLLREFSEL[2:0]> = 000	リファレンスクロック(f _{PLLREF})選択が fosc

《切り替えシーケンス例》		
1	[CGSYSCR]<PLLREFSEL[2:0]> = XXX	f _{PLLREF} を選択する
2	[CGPLL0SEL]<PLL0SET[23:0]> = 0xXXX	PLL 逡倍値設定(0xXXX)を選択する
3	100μs 以上待つ	逡倍設定後の初期化時間
4	[CGPLL0SEL]<PLL0ON> = 1	PLL 動作を発振にする
5	100μs 以上待つ	PLL 出力クロック安定待ち時間(ロックアップ時間)
6	[CGPLL0SEL]<PLL0SEL> = 1	PLL 選択を PLL 使用(f _{PLL})にする
7	[CGPLL0SEL]<PLL0ST>をリード	PLL 選択ステータスが PLL 使用(f _{PLL})(= 1)になるまで待つ

注) 1～5 は、切り替え前の状態が[CGPLL0SEL]<PLL0ON>=1 の場合は不要です。

PLL 出力クロックが安定した状態から切り替える場合は、6、7 のみの実行で PLL 動作状態へ切り替え可能です。

(2) fc 設定(PLL 動作→PLL 停止)

fc 設定として、PLL 動作状態から PLL 停止状態への切り替え手順例は、下記のようになります。

《切り替え前の状態》	
[CGPLL0SEL]<PLL0ON> = 1	PLL 選択が発振
[CGPLL0SEL]<PLL0SEL> = 1	PLL 選択が PLL 使用(f _{PLL})
[CGPLL0SEL]<PLL0ST> = 1	PLL 選択ステータスが PLL 使用(f _{PLL})

《切り替えシーケンス例》		
1	[CGPLL0SEL]<PLL0SEL> = 0	PLL 選択を PLL 未使用(fosc)にする
2	[CGPLL0SEL]<PLL0ST>をリード	PLL 選択ステータスが PLL 未使用(fosc)(= 0)になるまで待つ
3	[CGPLL0SEL]<PLL0ON> = 0	PLL 動作を停止にする

1.2.6. システムクロック

システムクロックの源振として、内蔵高速発振クロック、外部高速発振クロック(発振子接続またはクロック入力)が使用可能です。

システムクロックは $[CGSYSCR]<GEAR[2:0]>$ (クロックギア)で分周が可能です。設定は動作中に変更可能ですが、レジスター書き込み後、実際にクロックが切り替わるまでに f_c で最大 16 クロックの時間が必要です。クロック切り替えの完了は、 $[CGSYSCR]<GEARST[2:0]>$ で確認してください。

注) タイマーカウンタなどの周辺機能の動作中にクロックギアを切り替えないようにしてください。

1.2.6.1. システムクロックの設定方法

(1) fosc 設定(内蔵発振→外部発振)

fosc 設定として、内蔵高速発振器 1(IHOSC1)から外部高速発振器(EHOSC)への切り替え手順例を下記に示します。

《切り替え前の状態》	
$[CGOSCCR]<IHOSC1EN> = 1$	内蔵高速発振器 1 が発振
$[CGOSCCR]<OSCSEL> = 0$	fosc 用高速発振選択が内部(IHOSC1)
$[CGOSCCR]<OSCF> = 0$	fosc 用高速発振選択ステータスが内部(IHOSC1)
X1/X2 端子に発振子を接続(注)	-

注) 発振子以外は接続しないでください。

《切り替えシーケンス例》		
1	[PHPDN] <bit[1:0]> = 00 [PHIE] <bit[1:0]> = 00 [PHCR] <bit[1:0]> = 00 [PHOD] <bit[1:0]> = 00 [PHFR6] <bit1> = 0 [PHFR7] <bit1> = 0 [PHFR8] <bit0> = 0	X1/X2 端子のプルダウンをディセーブル X1/X2 端子の入力制御をディセーブル X1/X2 端子の出力制御をディセーブル X1/X2 端子のオープンドレイン制御をディセーブル ファンクションレジスターを PORT 設定にする ファンクションレジスターを PORT 設定にする ファンクションレジスターを PORT 設定にする
2	[CGOSCCR] <EOSCEN[1:0]> = 01	外部発振器の動作選択を外部高速発振器(EHOSC)
3	[CGWUPHCR] <WUCLK> = 1 [CGWUPHCR] <WUPT[15:4]> = 任意値	高速発振ウオーミングアップクロック選択を外部高速発振器(EHOSC) ウオーミングアップタイマー設定値へ発振器安定時間を設定
4	[CGWUPHCR] <WUON> = 1	高速発振ウオーミングアップをスタートする
5	[CGWUPHCR] <WUEF>をリード	高速発振ウオーミングアップ終了(=0)になるまで待つ
6	[CGOSCCR] <OSCSEL> = 1	fosc 用高速発振選択を外部高速発振器(EHOSC)へ
7	[CGOSCCR] <OSCF>をリード	fosc 用高速発振選択ステータスが外部(EHOSC)になるまで待つ
8	[CGOSCCR] <IHOSC1EN> = 0	内蔵高速発振器 1 を停止

(2) fosc 設定(内蔵発振→外部クロック入力)

fosc 設定として、内蔵高速発振器 1(IHOSC1)から外部クロック入力(EHCLKIN)への切り替え手順例を下記に示します。

《切り替え前の状態》	
[CGOSCCR]<IHOSC1EN> = 1	内蔵高速発振器 1 が発振
[CGOSCCR]<OSCSEL> = 0	fosc 用高速発振選択が内蔵高速発振器 1(IHOSC1)
[CGOSCCR]<OSCF> = 0	fosc 用高速発振選択ステータスが内蔵高速発振器 1(IHOSC1)
EHCLKIN へのクロック入力	適正電圧範囲で入力してください。

《切り替えシーケンス例》		
1	[PHPDN]<bit[0]> = 0 [PHIE]<bit[0]> = 0/1 [PHCR]<bit[0]> = 0 [PHOD]<bit[0]> = 0	X1/EHCLKIN 端子のプルダウンをディセーブル X1/EHCLKIN 端子の入力制御は任意 X1/EHCLKIN 端子の出力制御をディセーブル X1/EHCLKIN 端子のオープンドレイン制御をディセーブル
2	[CGOSCCR]<EOSCEN[1:0]> = 10	外部高速発振器の動作選択を外部クロック入力(EHCLKIN)にする
3	[CGOSCCR]<OSCSEL> = 1	fosc 用高速発振選択を外部クロックへ
4	[CGOSCCR]<OSCF>をリード	fosc 用高速発振選択ステータスが外部(=1)になるまで待つ
5	[CGOSCCR]<IHOSC1EN> = 0	内蔵高速発振器 1 を停止

(3) fosc 設定(外部発振/外部クロック入力→内蔵発振)

fosc 設定として、外部高速発振器(EHOSC)動作状態または外部クロック入力(EHCLKIN)動作状態から、内蔵高速発振器 1(IHOSC1)への切り替え手順例を下記に示します。

《切り替え前の状態》	
[CGOSCCR]<EOSCEN[1:0]> = 01 or 10	外部高速発振器の動作選択が外部高速発振器(EHOSC)か外部クロック入力
[CGOSCCR]<OSCSEL> = 1	fosc 用高速発振選択が外部高速発振器(EHOSC)
[CGOSCCR]<OSCF> = 1	fosc 用高速発振選択ステータスが外部高速発振器(EHOSC)

《切り替えシーケンス例》		
1	[CGWUPHCR]<WUCLK>=0	ウォーミングアップクロック選択を内蔵高速発振器 1(IHOSC1)にする
2	[CGWUPHCR]<WUPT[15:4]>=0x000	高速発振ウォーミングアップ設定値に"0x000"を設定する
3	[CGOSCCR]<IHOSC1EN> = 1	内蔵高速発振器 1 を発振する
4	[CGWUPHCR]<WUON> = 1	高速発振ウォーミングアップタイマーをスタートする
5	[CGWUPHCR]<WUEF> をリード	ウォーミングアップタイマーステータスが終了(=0)になるまで待つ
6	[CGOSCCR]<OSCSEL> = 0	fosc 用高速発振選択を内蔵高速発振器 1(IHOSC1)にする
7	[CGOSCCR]<OSCF>をリード	fosc 用高速発振選択ステータスが内蔵高速発振器 1(=0)になるまで待つ
8	[CGOSCCR]<EOSCEN[1:0]> = 00	外部高速発振器の動作選択を未使用にする

1.2.7. クロック供給設定機能

本製品には、周辺機能に対してクロック供給 on/off 機能があり、使用しない周辺機能に対して、クロック供給を停止することで消費電流を削減することができます。

リセット解除後は、一部の周辺機能を除き、クロックが供給されていない状態です。

使用する機能のクロックを供給するには **[CGFSYSENA]**、**[CGFSYSENB]**、**[CGFCEN]**、**[CGSPCLKEN]** の該当のビットを "1" に設定します。

レジスターの詳細は、「1.4. レジスターの説明」を参照してください。

1.2.8. クロックの端子出力機能

本製品には、クロックの端子出力機能があります。出力可能なクロックとして、高速発振「fosc」、高速クロック「fc」、システムクロック「fsys」を SCOUT 端子から出力できます。

詳細は、「1.4.2.5. **[CGSCOCR]** (SCOUT 出力制御レジスター)」を参照してください。

SCOUT 端子の動作モード別使用可否状態を示します。

表 1.5 SCOUT 端子使用可否一覧

SCOUT 選択	動作モード		
	NORMAL/IDLE	STOP1	STOP2
fosc	○	×	×
fc	○	×	×
fsys	○	×	×

注) ○: 使用可能、×: 使用不可

1.2.9. プリスケラークロック

周辺機能には、それぞれにクロック $\Phi T0$ を分周するプリスケラーがあります。これらのプリスケラーへ入力するクロック $\Phi T0$ は、**[CGSYSCR]**<PRCK[3:0]> で分周することが可能です。リセット後の $\Phi T0$ は、fc が選択されます。

レジスター書き込み後、実際にクロックが切り替わるまでに fc で最大 512 クロックの時間が必要です。クロック切り替えの完了は、**[CGSYSCR]**<PRCKST[3:0]> で確認してください。

注) タイマーカウンタなどの周辺機能の動作中にプリスケラークロックを切り替えないようにしてください。

1.3. 動作モード

本製品には、動作モードとして NORMAL モードと低消費電力モード(IDLE、STOP1、STOP2)があり、使用方法に応じモード遷移を行うことで消費電力を抑えることができます。

1.3.1. 動作モードの詳細

1.3.1.1. 各モードの特長

NORMAL、低消費電力モードの特長は次のとおりです。

- NORMAL モード

CPU コア、および周辺回路を動作させるモードです。リセット解除後は、NORMAL モードとなります。

- 低消費電力モード

低消費電力モードは以下のとおりです。

- IDLE モード

CPU が停止するモードです。

周辺機能は各周辺機能のレジスター、クロック供給設定機能などにより、動作/停止を行ってください。

注) IDLE モード中は CPU によるウォッチドッグタイマーのクリアができませんので注意してください。

- STOP1 モード

内蔵高速発振器も含めて全ての内部回路が停止するモードです。

STOP1 モードが解除されると内蔵高速発振器 1(IHOSC1)が発振を開始し、NORMAL モードへ復帰します。

STOP1 モードに遷移する前に、STOP1 解除に使用しない割り込みは禁止してください。

- STOP2 モード

一部の機能を保持して内部電源を遮断するモードです。STOP1 モードより大幅な電力の消費を抑えることができます。STOP2 モードが解除されると、電源遮断ブロックに対して電源を投入し、リセットシーケンスが実行され、NORMAL モードへ復帰します。

電源遮断ブロックとは、STOP2 モードで電源供給が遮断されるブロックです。

各低消費電力モードでの周辺機能状態の詳細は、「1.3.1.4. 低消費電力モードにおける周辺機能状態」を参照してください。

1.3.1.2. 低消費電力モードへの遷移と復帰

各低消費電力動作へ遷移するには、スタンバイ制御レジスタ **[CGSTBYCR]<STBY[1:0]>** で IDLE/STOP1/STOP2 モードを選択し、WFI (Wait For Interrupt) 命令を実行します。WFI 命令によって低消費電力モードへ遷移した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細はリファレンスマニュアル「例外」の「割り込み」章を参照してください。

注 1) 本製品ではイベントによる復帰はサポートしていないため、WFE (Wait For Event) による低消費電力モードへの遷移は行わないでください。

注 2) 本製品は、Cortex-M4(FPU 機能搭載)コアの SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスタの<SLEEPDEEP>ビットは設定しないでください。

1.3.1.3. 低消費電力モードの選択

低消費電力モード選択は、**[CGSTBYCR]<STBY[1:0]>** の設定で選択されます。
下表に<STBY[1:0]>の設定より選択されるモードを示します。

表 1.6 低消費電力モード選択

モード	[CGSTBYCR]<STBY[1:0]>
IDLE	00
STOP1	01
STOP2	10

注) 上記の設定以外には行わないでください

1.3.1.4. 低消費電力モードにおける周辺機能状態

各モードにおける周辺機能(ブロック)の動作状態を表 1.7 に示します。

なお、リセット解除後は、一部のブロックを除きクロックが供給されない状態となります。

必要に応じて、**[CGFSYSENA]**、**[CGFSYSENB]**、**[CGFCEN]**、**[CGSPCLKEN]**を設定しクロック供給を許可してください。

表 1.7 低消費電力モード別ブロック動作状態一覧

Block		NORMAL	IDLE	STOP1	STOP2(注 1)
Processor core (Debug 含む)		○	—	—	×
DMAC		○	○	—	×
I/O port	端子状態	○	○	○	○(注 3)
	レジスター	○	○	—	×
ADC		○	○	—	×
ASEL		○	○	—	×
DAC		○	○	—	×
COMP		○	○	—	×
UART		○	○	—	×
EI2C		○	○	—	×
TSPI		○	○	—	×
SMIF		○	○	—	×
A-PMD2		○	○	—	×
A-VE2		○	○	—	×
A-ENC2		○	○	—	×
T32A		○	○	—	×
TRGSEL		○	○	—	×
SAM		○	○	—	×
CRC		○	○	—	×
SIWDT		○	○(注 2)	—	—
LVD		○	○	○	○
OFD		○	○	—	×
TRM		○	使用不可	—	×
CG		○	○	○	×
PLL		○	○	—	×
RAM パリティ(RAMP)		○	○	—	×
外部高速発振器(EHOSC)		○	○	—	×
内蔵高速発振器 1(IHOSC1)		○	○	—	×
内蔵高速発振器 2(IHOSC2)		○	○	—	×
RLM		○	○	○	○
IA		○	○	○	○
IB		○	○	○	×
DNF		○	○	○	×
Flash		アクセス 可能	アクセス 可能(注 4)	データ保持	データ保持
RAM					×
VE RAM					×

○: 動作可能

—: 対象のモードに遷移すると自動的に周辺回路へのクロックが停止

×: 対象のモードに遷移すると自動的にモジュールへの供給電源が遮断、復帰時はリセットにより初

期化

- 注 1) 周辺機能が動作していないことを確認し、STOP2 モードに遷移するようにしてください。
- 注 2) プロテクト A モードのみ。それ以外の場合は、IDLE モードへ遷移する前に SIWDT を停止してください。
- 注 3) ポートは *[RLMSHTDNOP]*<PTKEEP>を"1"に設定したときの状態が保持されます。ただし、駆動能力が選択できるポートは *[DRVCR0]*、*[DRVCF1]* の設定によらず 1mA に固定されます。
- 注 4) CPU 以外のデータアクセス(R/W)する周辺機能(DMA など)がバスマトリックス上で接続されていない場合は、データ保持となります。

1.3.2. モード状態遷移

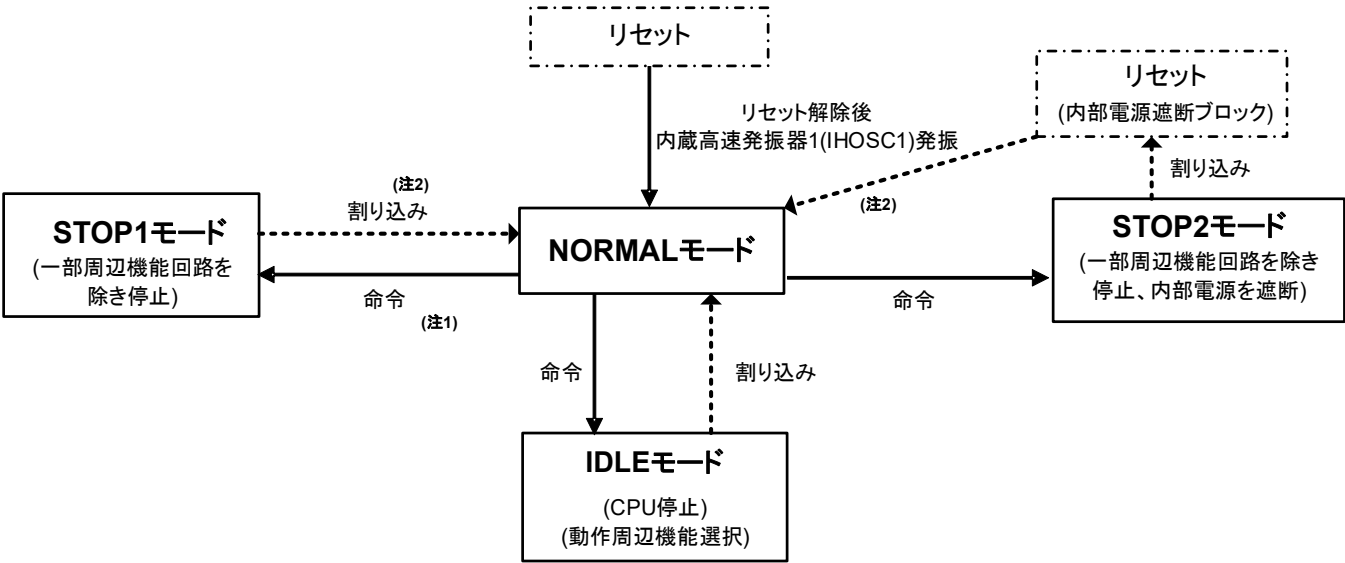


図 1.2 モード状態遷移

注 1) 復帰時にウォーミングアップが必要となります。ウォーミングアップ時間の設定は STOP1 モードに入る前のモード(NORMAL モード)で設定する必要があります。

注 2) STOP2 モードからの復帰時はリセットの割り込み処理ルーチンに分岐し、STOP1 モードからの復帰時は割り込み起動要因の処理ルーチンに分岐します。

1.3.2.1. IDLE モード遷移フロー

IDLE へ遷移する場合は、以下の順番で設定してください。

IDLE モードは割り込みで解除されますので、IDLE モードへ遷移する前に割り込みの設定を行ってください。IDLE モード解除に使用可能な割り込みは「1.3.3.1. 低消費電力モードの解除ソース」を参照してください。解除に使用しない割り込み、および使用できない割り込みは禁止してください。

遷移フロー(NORMAL モードから)		
1	[SIWDxEN]<WDTE> = 0	SIWDT をディセーブルにする
2	[SIWDxCR]<WDCR[7:0]> = 0xB1	SIWDT をディセーブルにする
3	[FCSR0]<RDYBSY>をリード	Flash が Ready 状態(=1)になるまで待つ
4	[CGSTBYCR]<STBY[1:0]> = 00	低消費電力モード選択を IDLE にする
5	[CGSTBYCR]<STBY[1:0]>をリード	4 のレジスタライトを確認する(=00)
6	WFI 命令実行	IDLE へ遷移する

注) SIWDT のプロテクト A モードを使用する場合は、1、2 の処理は不要です。

1.3.2.2. STOP1 モード遷移フロー

STOP1 モードへ遷移する場合は、以下の順番で設定してください。

STOP1 モードは割り込みで解除されますので、STOP1 モードへ遷移する前に割り込みの設定を行ってください。STOP1 モード解除に使用可能な割り込みは「1.3.3.1. 低消費電力モードの解除ソース」を参照してください。解除に使用しない割り込み、および使用できない割り込みは禁止してください。

遷移フロー(NORMAL モードから)		
1	[SIWDxEN]<WDTE> = 0	SIWDT をディセーブルにする
2	[SIWDxCR]<WDCR[7:0]> = 0xB1	SIWDT をディセーブルにする
3	[FCSR0]<RDYBSY>をリード	Flash が Ready 状態(=1)になるまで待つ
4	[CGWUPHCR]<WUEF>をリード	高速発振ウオーミングアップ終了(=0)になるまで待つ
5	[CGWUPHCR]<WUCLK> = 0	高速発振ウオーミングアップクロック選択を内蔵高速発振器 1(IHOSC1)にする
	[CGWUPHCR]<WUPT[15:4]> = 0x000	高速発振ウオーミングアップタイマー設定値に"0x000"を設定する
6	[CGSTBYCR]<STBY[1:0]> = 01	低消費電力モード選択を STOP1 にする
7	[CGPLL0SEL]<PLL0SEL> = 0	PLL 選択を PLL 未使用(fosc)にする
8	[CGPLL0SEL]<PLL0ST>をリード	PLL 選択ステータスが PLL 未使用になるまで待つ(=0)
9	[CGPLL0SEL]<PLL0ON> = 0	PLL 動作を停止する
10	[CGOSCCR]<IHOSC1EN> = 1	内蔵高速発振器 1 を発振にする
11	[CGWUPHCR]<WUON> = 1	高速発振ウオーミングアップタイマーをスタートする
12	[CGWUPHCR]<WUEF>をリード	ウオーミングアップタイマーステータスが終了(=0)になるまで待つ
13	[CGOSCCR]<OSCSEL> = 0	fosc 用高速発振選択を内蔵高速発振器 1(IHOSC1)にする
14	[CGOSCCR]<OSCF>をリード	fosc 用高速発振選択ステータスが内蔵高速発振器 1(=0)になるまで待つ
15	[CGOSCCR]<EOSCEN[1:0]> = 00	外部発振の動作選択を未使用にする
16	[CGOSCCR]<IHOSC2EN> = 0	内蔵高速発振器 2(IHOSC2)を停止する
17	[CGOSCCR]<EOSCEN[1:0]>をリード	15 のレジスターライトを確認する(=00)
18	[CGOSCCR]<IHOSC2F>をリード	IHOSC2 用内蔵発振安定フラグが"0"になるまで待つ
19	WFI 命令実行	STOP1 へ遷移する

1.3.2.3. STOP2 モード遷移フロー

STOP2 モードへ遷移する場合は、以下の順番で設定してください。

STOP2 モードは割り込みで解除されますので、STOP2 モードへ遷移する前に割り込みの設定を行ってください。STOP2 モード解除に使用可能な割り込みは「1.3.3.1. 低消費電力モードの解除ソース」を参照してください。解除に使用しない割り込み、および使用できない割り込みは禁止してください。

遷移手順(NORMAL モードから)		
1	[SIWDXEN]<WDTE> = 0	SIWDT をディセーブルにする
2	[SIWDXCR]<WDCR[7:0]> = 0xB1	SIWDT をディセーブルにする
3	[FCSR0]<RDYBSY>をリード	Flash が Ready 状態(= 1)になるまで待つ
4	[RLMSHTDNOP]<PTKEEP> = 1	IO 制御信号を保持させる
5	[CGSTBYCR]<STBY[1:0]> = 10	低消費電力モード選択を STOP2 にする
6	[CGPLL0SEL]<PLL0SEL> = 0	PLL 選択を PLL 未使用(fosc)にする
7	[CGPLL0SEL]<PLL0ST>をリード	PLL 選択ステータスが PLL 未使用になるまで待つ(= 0)
8	[CGPLL0SEL]<PLL0ON> = 0	PLL 動作を停止する
9	[CGWUPHCR]<WUCLK> = 0 [CGWUPHCR]<WUPT[15:4]> = 0x000	ウオーミングアップクロック選択を内蔵高速発振器 1(IHOSC1)にする 高速発振ウオーミングアップタイマー設定値に "0x000"を設定する
10	[CGOSCCR]<IHOSC1EN> = 1	内蔵高速発振器 1 を発振にする
11	[CGWUPHCR]<WUON> = 1	高速発振ウオーミングアップタイマーをスタートする
12	[CGWUPHCR]<WUEF>をリード	ウオーミングアップタイマーステータスが終了(= 0)になるまで待つ
13	[CGOSCCR]<OSCSEL> = 0	fosc 用高速発振選択を内蔵高速発振器 1(IHOSC1)にする
14	[CGOSCCR]<OSCF>をリード	fosc 用高速発振選択ステータスが内蔵高速発振器 1(IHOSC1)(= 0)になるまで待つ
15	[CGOSCCR]<EOSCEN[1:0]> = 00	外部発振の動作選択を未使用にする
16	[CGOSCCR]<IHOSC2EN> = 0	内蔵高速発振器 2 を停止する
17	[CGOSCCR]<EOSCEN[1:0]>をリード	15 のレジスターライトを確認する(= 00)
18	[CGOSCCR]<IHOSC2F>をリード	内蔵高速発振器 2 の内蔵発振安定フラグが"0"になるまで待つ
19	[RLMRSTFLG0]<STOP2RSTF> = 0 [RLMRSTFLG0]<PINRSTF> = 0	STOP2 リセットフラグ/リセット端子フラグをクリア(注)
20	WFI 命令実行	STOP2 へ遷移する
21	ジャンプ命令	20 へ戻す

注) リセットフラグレジスター[RLMRSTFLG0]については、リファレンスマニュアル「例外」を参照してください。

1.3.3. 低消費電力モードからの復帰

1.3.3.1. 低消費電力モードの解除ソース

低消費電力モードからの復帰は、割り込み、マスク不能割り込み、リセットによって行うことができます。使用できるスタンバイ解除ソースは、低消費電力モードにより決まります。

詳細を下表に示します。

表 1.8 解除ソース一覧

低消費電力モード			IDLE	STOP1	STOP2
解除 ソース	割り込み	INT00 ~ 20	○	○	○
		INTT32A00ACCAP, INTT32A00BCAP, INTT32A01ACCAP, INTT32A01BCAP, INTT32A02ACCAP, INTT32A02BCAP, INTT32A03ACCAP, INTT32A03BCAP, INTT32A04ACCAP, INTT32A04BCAP, INTDMAATC, INTT32A00AC, INTT32A00B, INTT32A01AC, INTT32A01B, INTT32A02AC, INTT32A02B, INTT32A03AC, INTT32A03B, INTT32A04AC, INTT32A04B	○	×	×
		INTVCN0, INTEMG0, INTOVV0, INTPWM0, INTENC00, INTENC01, INTCOMP0, INTCOMP1, INTCOMP2, INTCOMP3, INTCOMP4, INTCOMP5	○	×	×
		INTADAPDA, INTADAPDB, INTADACP0, INTADACP1, INTADATRG, INTADASGL, INTADACNT, INTADBPDA, INTADBPDB, INTADBCP0, INTADBCP1, INTADBTRG, INTADBSGL, INTADBCNT	○	×	×
		INTT0RX, INTT0TX, INTT0ERR, INTT1RX, INTT1TX, INTT1ERR, INTT2RX, INTT2TX, INTT2ERR	○	×	×
		INTUART0RX, INTUART0TX, INTUART0ERR, INTUART1RX, INTUART1TX, INTUART1ERR, INTUART2RX, INTUART2TX, INTUART2ERR, INTUART3RX, INTUART3TX, INTUART3ERR, INTUART4RX, INTUART4TX, INTUART4ERR, INTUART5RX, INTUART5TX, INTUART5ERR	○	×	×
		INTSMI0, INTI2C0BF, INTI2C0AL, INTI2C0, INTI2C1BF, INTI2C1AL, INTI2C1,	○	×	×
		INTPARI, INTDMAAERR, INTFLCRDY	○	×	×
		SysTick 割り込み	○	×	×
		マスク不能割り込み(INTWDT0)	○ (注)	×	×
		マスク不能割り込み(INTLVD)	○	○	○
		リセット(SIWDT)	○ (注)	×	×
		リセット(LVD)	○	○	○
		リセット(OFD)	○	×	×
		リセット(SAM)	○	×	×
		リセット(RESET_N 端子)	○	○	○

○: 解除後、割り込み処理を開始します

×: 解除に使用できません

注) プロテクト A モードのみ。それ以外の場合は、遷移する前に SIWDT を停止してください。

- 割り込み要求による解除

割り込みによって低消費電力モードを解除する場合、CPU で割り込みが検出されるよう準備しておく必要があります。STOP1、STOP2 モードの解除に使用する割り込みは、CPU の設定の他に INTIF で割り込み検出の設定を行う必要があります。

- マスク不能割り込み(NMI)による解除

NMI の要因には SIWDT 割り込み(INTWDT、プロテクト A モードのみ)と LVD 割り込み(INTLVD)があります。

- リセットによる解除

リセットは全ての低消費電力モードからの解除を行うことができます。
リセットで解除した場合には、解除後 NORMAL モードでレジスターが初期化された状態になります。詳細は「3.2.7.1. リセット要因と初期化範囲」を参照してください。

- SysTick 割り込みによる解除

SysTick 割り込みは IDLE モードでのみ使用可能です。

割り込みの詳細に関しては、リファレンスマニュアル「例外」の「割り込み」章を参照してください。

1.3.3.2. 低消費電力モード解除時のウォーミングアップ

モード遷移時、内部回路の安定のためウォーミングアップが必要な場合があります。

STOP1 モードから NORMAL モードへの復帰では、自動的に内部発振が選択されウォーミングアップ用タイマーが起動されます。ウォーミングアップ時間経過後にシステムクロックの出力が開始されます。

このため、STOP1 モードに遷移する命令を実行する前に、**[ICGWUPHCR]<WUPT[15:4]>**でウォーミングアップ時間の設定を行ってください。設定方法については、「1.2.4.3. ウォーミングアップタイマーの使用法」を参照してください。

各動作モード遷移時におけるウォーミングアップ設定の有無を下表に示します。

表 1.9 ウォーミングアップ

動作モード遷移	ウォーミングアップ設定
NORMAL → IDLE	不要
NORMAL → STOP1	不要
NORMAL → STOP2	不要
IDLE → NORMAL	不要
STOP1 → NORMAL	必要(自動ウォーミングアップ)
STOP2 → RESET → NORMAL	不要

1.3.3.3. STOP2 モードからの復帰

STOP2 モード解除要因割り込み発生からの復帰フローは以下のとおりです。

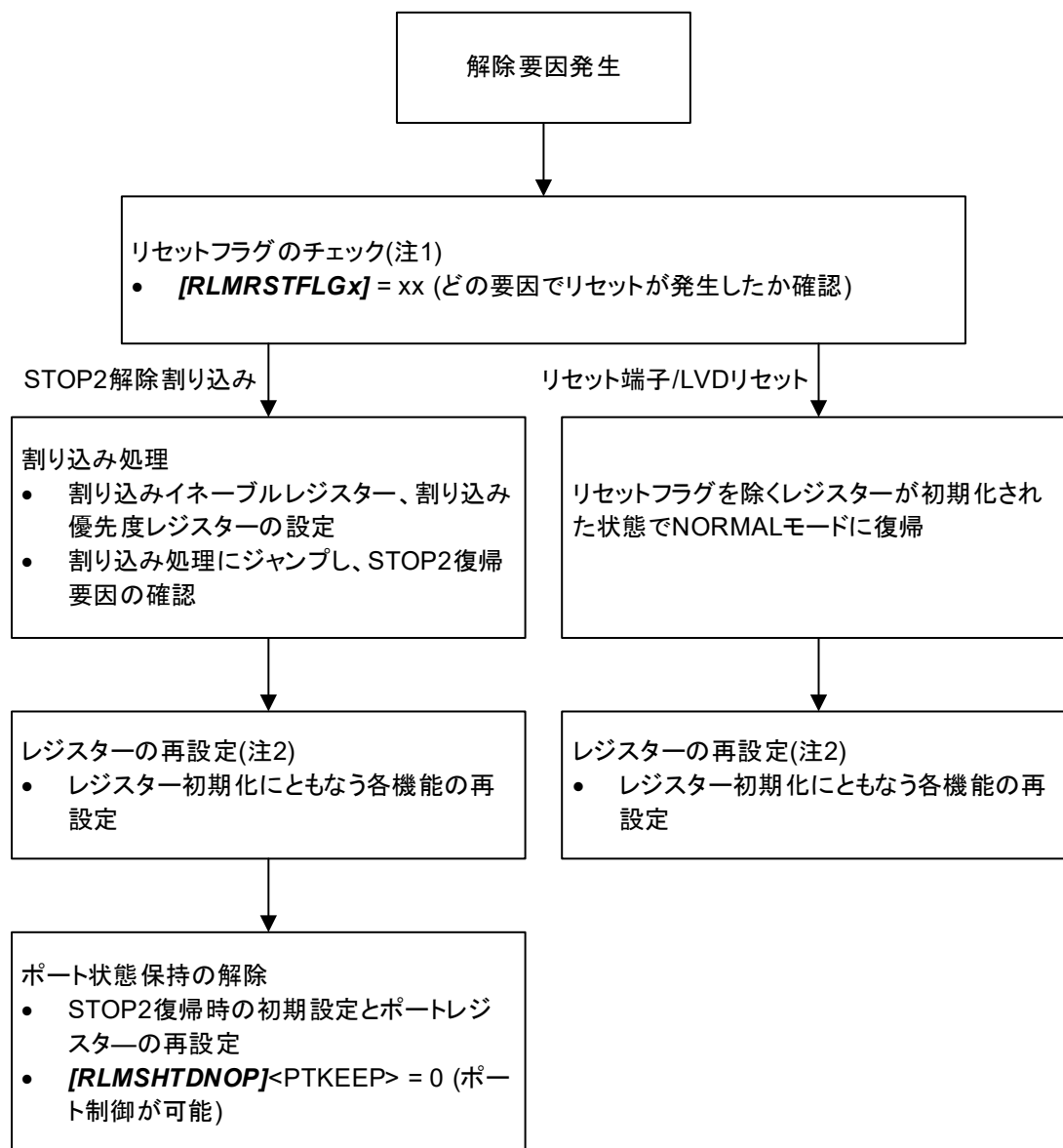


図 1.3 STOP2モードからの復帰フロー

注 1) STOP2 をリセット端子で解除した場合、リセットフラグは、"STOP2 リセットフラグ"と"リセット端子フラグ"の両方が成立します。

注 2) STOP2 を LVD リセットで解除した場合、リセットフラグは、"STOP2 リセットフラグ"と"LVD/POR リセットフラグ"の両方が成立します。

注 3) レジスター初期化範囲は、割り込みによる STOP2 解除とリセット端子/LVD リセットによる STOP2 解除で異なります。それぞれの要因によるリセット範囲の詳細は、「3.2.7.1. リセット要因と初期化範囲」を参照してください。

1.4. レジスタの説明

1.4.1. レジスタ一覧

クロック制御と動作モードおよび電源制御/リセットのレジスタとアドレスを以下に示します。

周辺機能		チャネル/ユニット	ベースアドレス
クロック制御と動作モード	CG	—	0x40083000
電源制御/リセット	RLM	—	0x4003E400

1.4.1.1. クロック制御と動作モード

レジスタ名		アドレス(Base+)
CG ライトプロテクトレジスタ	[CGPROTECT]	0x0000
発振制御レジスタ	[CGOSCCR]	0x0004
システムクロック制御レジスタ	[CGSYSCR]	0x0008
スタンバイ制御レジスタ	[CGSTBYCR]	0x000C
SCOUT 出力制御レジスタ	[CGSCOCR]	0x0010
PLL セレクトレジスタ	[CGPLL0SEL]	0x0020
高速発振ウオーミングアップレジスタ	[CGWUPHCR]	0x0030
f _{sys} 供給停止レジスタA	[CGFSYSENA]	0x0050
f _{sys} 供給停止レジスタB	[CGFSYSENB]	0x0054
f _c 供給停止レジスタ	[CGFCEN]	0x0058
ADC、デバッグ回路用クロック供給停止レジスタ	[CGSPCLKEN]	0x005C

1.4.1.2. 電源制御/リセット

レジスタ名		アドレス(Base+)
電源遮断制御レジスタ	[RLMSHTDNOP]	0x0001
RLM ライトプロテクトレジスタ	[RLMPROTECT]	0x000F

注) バイト単位でアクセスするレジスタです。ビットバンドアクセスをしてはいけません。

1.4.2. レジスター詳細

1.4.2.1. [CGPROTECT] (CG ライトプロテクトレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:0	PROTECT[7:0]	0xC1	R/W	CG レジスターライトプロテクト(本レジスター以外の全て)制御 0xC1: CG レジスターへのライト許可(プロテクト解除) 0xC1 以外: CG レジスターへのライト禁止(プロテクト有効)

1.4.2.2. [CGOSCCR] (発振制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:20	-	0	R	リードすると"0"が読めます。
19	IHOSC2F	0	R	IHOSC2 用内蔵発振安定フラグ 0: 停止またはウォーミングアップ中 1: 発振安定
18:17	-	0	R	リードすると"0"が読めます。
16	IHOSC1F	1	R	IHOSC1 用内蔵発振安定フラグ(注 4) 0: 停止またはウォーミングアップ中 1: 発振安定
15:13	-	0	R	リードすると"0"が読めます。
12	-	0	R/W	"0"を書いてください。
11:10	-	0	R	リードすると"0"が読めます。
9	OSCF	0	R	fosc 用高速発振器選択ステータス 0: 内蔵高速発振器 1 (IHOSC1) 1: 外部高速発振器 (EHOSC)
8	OSCSEL	0	R/W	fosc 用高速発振器選択(注 1) 0: 内蔵高速発振器 1(IHOSC1) 1: 外部高速発振器 (EHOSC)
7:4	-	0	R	リードすると"0"が読めます。
3	IHOSC2EN	0	R/W	内蔵高速発振器 2 (IHOSC2)制御(注 2) 0: 停止 1: 発振
2:1	EOSCEN[1:0]	00	R/W	外部高速発振器の動作選択(EHOSC)(注 3) 00: 外部高速発振器未使用 01: 外部高速発振器 (EHOSC) 10: 外部クロック入力(EHCLKIN) 11: Reserved
0	IHOSC1EN	1	R/W	内蔵高速発振器 1 (IHOSC1)制御 0: 停止 1: 発振

注 1) 設定変更した場合、書き込み値が[CGOSCCR]<OSCF>ビットに、反映されていることを確認後、次の操作を行うようにしてください。

注 2) [SIWDXOSCCR]<OSCPRO>=1 (SIWDT のライトプロテクトが有効)の場合は、設定しても変更されません。

注 3) 発振子接続で使用する場合は必ず"01" (外部高速発振器)に設定してください。

注 4) 内蔵高速発振器 1 (IHOSC1)の発振安定は、<IHOSC1F>を使わず、ウォーミングアップタイマーを設定し[CGWUPHCR]<WUEF>により確認してください。

1.4.2.3. [CGSYSCR] (システムクロック制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:28	-	0	R	リードすると"0"が読めます。
27:24	PRCKST[3:0]	0000	R	プリスケラークロック(ΦT0)選択ステータス 0000: fc 0100: fc/16 1000: fc/256 0001: fc/2 0101: fc/32 1001: fc/512 0010: fc/4 0110: fc/64 1010 ~ 1111: Reserved 0011: fc/8 0111: fc/128
23:19	-	0	R	リードすると"0"が読めます。
18:16	GEARST[2:0]	000	R	システムクロック(fsyst)のギア選択ステータス 000: fc 100: fc/16 001: fc/2 101 ~ 111: Reserved 010: fc/4 011: fc/8
15:12	-	0	R	リードすると"0"が読めます。
11:8	PRCK[3:0]	0000	R/W	プリスケラークロック(ΦT0)選択 0000: fc 0100: fc/16 1000: fc/256 0001: fc/2 0101: fc/32 1001: fc/512 0010: fc/4 0110: fc/64 1010 ~ 1111: Reserved 0011: fc/8 0111: fc/128 周辺機能に供給するプリスケラークロックを選択します。
7:6	-	0	R/W	"0"を書いてください。
5:3	PLLREFSEL[2:0]	000	R/W	PLL リファレンスクロック(f _{PLLREF})選択 000: fosc 100 ~ 111: Reserved 001: fosc/2 010: fosc/3 011: fosc/4
2:0	GEAR[2:0]	000	R/W	システムクロック(fsyst)のギア選択 000: fc 100: fc/16 001: fc/2 101 ~ 111: Reserved 010: fc/4 011: fc/8

1.4.2.4. [CGSTBYCR] (スタンバイ制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:2	-	0	R	リードすると"0"が読めます。
1:0	STBY[1:0]	00	R/W	低消費電力モード選定 00: IDLE 01: STOP1 10: STOP2 11: Reserved

1.4.2.5. [CGSCOCR] (SCOUT 出力制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:7	-	0	R	リードすると"0"が読めます。
6:4	SCODIV[2:0]	000	R/W	SCOUT 分周選択 (注) 000: 分周なし 001: 2 分周 010: 4 分周 011: 8 分周 100: 16 分周 101 ~ 111: Reserved
3:1	SCOSEL[2:0]	000	R/W	SCOUT ベースクロック選択(注) 000: fosc 001: fc 010: Reserved 011: fsys 100 ~ 111: Reserved
0	SCOEN	0	R/W	SCOUT 出力許可 0: 禁止 1: 許可

注) <SCOSEL[2:0]>で「011:fsys」を選択時は、<SCODIV[2:0]>で「000:分周なし」は選択できません。

1.4.2.6. [CGPLL0SEL] (PLL セレクトレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:8	PLL0SET[23:0]	0x000000	R/W	PLL0 通倍設定 通倍設定については、「1.2.5.2. PLL 通倍値の計算式と設定例」を参照してください。
7:3	-	0	R	リードすると"0"が読めます。
2	PLL0ST	0	R	Clock 選択ステータス 0: fosc 1: f _{PLL}
1	PLL0SEL	0	R/W	Clock 選択 0: fosc 1: f _{PLL}
0	PLL0ON	0	R/W	PLL 動作 0: 停止 1: 発振

1.4.2.7. [CGWUPHCR] (高速発振ウォーミングアップレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:20	WUPT[15:4]	0x800	R/W	ウォーミングアップタイマーの計算値 16 ビットの上位 12 ビットの値を設定します。 ウォーミングアップタイマーの設定については、「1.2.4.3. ウォーミングアップタイマーの使用法」を参照してください。
19:16	WUPT[3:0]	0000	R/W	ウォーミングアップタイマーの計算値 16 ビットの低位 4 ビットの値で、"0000"固定です。
15:9	-	0	R	リードすると"0"が読めます。
8	WUCLK	0	R/W	ウォーミングアップクロック選択(注 1) 0: 内蔵高速発振器 1(IHOSC1) 1: 外部高速発振器(EHOSC)
7:2	-	0	R	リードすると"0"が読めます。
1	WUEF	0	R	ウォーミングアップタイマーステータス(注 2) 0: ウォーミングアップ終了 1: ウォーミングアップ中
0	WUON	0	W	ウォーミングアップタイマー制御 0: Don't care 1: ウォーミングアップスタート

注 1) STOP1 復帰時のウォーミングアップは内蔵発振器で行ってください。外部発振器を選んで STOP1 へ遷移することは禁止です。

注 2) ウォーミングアップ中(<WUEF>=1)は、レジスターの書き換え禁止です。設定は、<WUEF>=0 のときに行ってください。

1.4.2.8. [CGFSYSENA] (fsys 供給停止レジスターA)

Bit	Bit symbol	リセット後	Type	機能
31	IPENA31	0	R/W	T32A ch4 のクロックイネーブル 0: クロック停止 1: クロック供給
30	IPENA30	0	R/W	T32A ch3 のクロックイネーブル 0: クロック停止 1: クロック供給
29	IPENA29	0	R/W	T32A ch2 のクロックイネーブル 0: クロック停止 1: クロック供給
28	IPENA28	0	R/W	T32A ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
27	IPENA27	0	R/W	T32A ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
26	IPENA26	0	R/W	A-ENC2 ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
25	IPENA25	0	R/W	A-PMD2 ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
24	IPENA24	0	R/W	A-VE2 ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
23	IPENA23	0	R/W	DMAC unit A のクロックイネーブル 0: クロック停止 1: クロック供給
22:9	-	0	R	リードすると"0"が読めます。
8	IPENA08	0	R/W	PORT J のクロックイネーブル 0: クロック停止 1: クロック供給
7	IPENA07	0	R/W	PORT H のクロックイネーブル 0: クロック停止 1: クロック供給
6	IPENA06	0	R/W	PORT G のクロックイネーブル 0: クロック停止 1: クロック供給
5	IPENA05	0	R/W	PORT F のクロックイネーブル 0: クロック停止 1: クロック供給
4	IPENA04	0	R/W	PORT E のクロックイネーブル 0: クロック停止 1: クロック供給
3	IPENA03	0	R/W	PORT D のクロックイネーブル 0: クロック停止 1: クロック供給
2	IPENA02	0	R/W	PORT C のクロックイネーブル 0: クロック停止 1: クロック供給
1	IPENA01	0	R/W	PORT B のクロックイネーブル 0: クロック停止 1: クロック供給
0	IPENA00	0	R/W	PORT A のクロックイネーブル 0: クロック停止 1: クロック供給

注 1) レジスターの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

注 2) 対象の機能を搭載していない場合、"0"をライトしてください。

1.4.2.9. [CGFSYSENB] (fsys 供給停止レジスタ-B)

Bit	Bit symbol	リセット後	Type	機能
31	IPENB31	1	R/W	SIWDT ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
30	-	0	R	リードすると"0"が読めます。
29	IPENB29	1	R/W	"1"を書いてください。
28	-	0	R	リードすると"0"が読めます。
27	IPENB27	0	R/W	TRGSEL のクロックイネーブル 0: クロック停止 1: クロック供給
26	IPENB26	0	R/W	TRM のクロックイネーブル 0: クロック停止 1: クロック供給
25	IPENB25	0	R/W	OFD のクロックイネーブル 0: クロック停止 1: クロック供給
24	IPENB24	0	R/W	CRC のクロックイネーブル 0: クロック停止 1: クロック供給
23	IPENB23	0	R/W	RAM Parity のクロックイネーブル 0: クロック停止 1: クロック供給
22:18	-	0	R	リードすると"0"が読めます。
17	IPENB17	0	R/W	ASEL のクロックイネーブル 0: クロック停止 1: クロック供給
16	IPENB16	0	R/W	COMP のクロックイネーブル 0: クロック停止 1: クロック供給
15	IPENB15	0	R/W	DAC ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
14	IPENB14	0	R/W	DAC ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
13	IPENB13	0	R/W	ADC unit B のクロックイネーブル 0: クロック停止 1: クロック供給
12	IPENB12	0	R/W	ADC unit A のクロックイネーブル 0: クロック停止 1: クロック供給
11	IPENB11	0	R/W	EI2C ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
10	IPENB10	0	R/W	EI2C ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
9	IPENB09	0	R/W	UART ch5 のクロックイネーブル 0: クロック停止 1: クロック供給
8	IPENB08	0	R/W	UART ch4 のクロックイネーブル 0: クロック停止 1: クロック供給
7	IPENB07	0	R/W	UART ch3 のクロックイネーブル 0: クロック停止 1: クロック供給

Bit	Bit symbol	リセット後	Type	機能
6	IPENB06	0	R/W	UART ch2 のクロックイネーブル 0: クロック停止 1: クロック供給
5	IPENB05	0	R/W	UART ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
4	IPENB04	0	R/W	UART ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
3	IPENB03	0	R/W	SMIF ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
2	IPENB02	0	R/W	TSPI ch2 のクロックイネーブル 0: クロック停止 1: クロック供給
1	IPENB01	0	R/W	TSPI ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
0	IPENB00	0	R/W	TSPI ch0 のクロックイネーブル 0: クロック停止 1: クロック供給

注 1) レジスタの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

注 2) 対象の機能を搭載していない場合、"0"をライトしてください。

1.4.2.10. [CGFCEN] (fc 供給停止レジスタ)

Bit	Bit symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7	FCIPEN07	0	R/W	DNF のクロックイネーブル 0: クロック停止 1: クロック供給
6	FCIPEN06	0	R/W	OFD の観測クロックのクロックイネーブル 0: クロック停止 1: クロック供給
5:0	-	0	R	リードすると"0"が読めます。

注) レジスタの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

1.4.2.11. [CGSPCLKEN] (ADC、デバッグ回路用クロック供給停止レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:18	-	0	R	リードすると"0"が読めます。
17	ADCKEN1	0	R/W	ADC unit B 用変換クロックイネーブル(注 2) 0: クロック停止 1: クロック供給
16	ADCKEN0	0	R/W	ADC unit A 用変換クロックイネーブル(注 2) 0: クロック停止 1: クロック供給
15:1	-	0	R	リードすると"0"が読めます。
0	TRCKEN	0	R/W	デバッグ回路(トレースまたは SWV)のトレース機能用クロックイネーブル 0: クロック停止 1: クロック供給

注 1) レジスターの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

注 2) "0"(クロック停止)に設定する場合は、必ず AD 変換が停止または終了していることを確認してください。

1.4.2.12. [RLMSHTDNOP] (電源遮断制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
7	-	0	R/W	"0"を書いてください。
6:5	-	0	R	リードすると"0"が読めます。
4	-	0	R/W	"0"を書いてください。
3:1	-	0	R	リードすると"0"が読めます。
0	PTKEEP	0	R/W	STOP2 モード中の I/O 制御信号を保持 0: Port による制御 1: 0 → 1 設定時の状態の保持 STOP2 モード遷移時に設定が必要です。

注) バイト単位でアクセスするレジスターです。ビットバンドアクセスをしてはいけません。

1.4.2.13. [RLMPROTECT] (RLM ライトプロテクトレジスター)

Bit	Bit symbol	リセット後	Type	機能
7:0	PROTECT	0xC1	R/W	RLM レジスターライトプロテクト制御 0xC1: RLM レジスターへのライト許可(プロテクト解除) 0xC1 以外: RLM レジスターへのライト禁止(プロテクト有効) [RLMSHTDNOP]レジスターへの書き込みができなくなります

注) バイト単位でアクセスするレジスターです。ビットバンドアクセスをしてはいけません。

2. メモリーマップ

2.1. 概要

TMPM4L グループ(1)は、Cortex-M4(FPU 機能搭載)コアのメモリーマップに沿って作られており、内蔵 ROM は Cortex-M4(FPU 機能搭載)コアメモリーマップの Code 領域、内蔵 RAM は SRAM 領域、特殊機能レジスター(SFR)は Peripheral 領域に割り付けられています。特殊機能レジスター(SFR: Special function register)とは、入出力ポートおよび周辺機能のコントロールレジスターを示します。

SFR のアドレスについては、リファレンスマニュアルの「製品個別情報」を参照してください。

専用ペリフェラルバス(Private peripheral bus)はコア内部のレジスター領域です。

各領域の詳細については、"Arm Cortex-M4 プロセッサテクニカルリファレンスマニュアル"を参照してください。

"Fault"と記載された領域では、アクセスするとバスフォールトが有効な場合にはバスフォールト、無効な場合にはハードフォールトが発生します。また、ベンダー固有領域(Vender-specific)にはアクセスしないでください。

2.1.1. TPM4LxFYA

- Code Flash : 256KB(Area0、Area1)
- RAM : 32KB
- 対象製品 : TPM4L4FYAUG、TPM4L2FYADUG、TPM4L2FYAQG、TPM4L1FYAUG

0xFFFF_FFFF	Vender-specific		0xFFFF_FFFF	Vender-specific
0xE010_0000			0xE010_0000	
0xE000_0000	Private peripheral bus		0xE000_0000	Private peripheral bus
0xA800_0000	Fault	External device	0xA800_0000	Fault
0xA000_0000	SMIF(Direct area)		0xA000_0000	SMIF(Direct area)
0x6000_0000	Fault	External RAM	0x6000_0000	Fault
0x5E04_0000	Fault	Peripheral	0x5E04_0000	Fault
0x5E02_0000	Flash mirror (Area1 128KB)		0x5E02_0000	Flash mirror (Area1 128KB)
0x5E00_0000	Flash mirror (Area0 128KB)		0x5E00_0000	Flash mirror (Area0 128KB)
	Flash (SFR)			Flash (SFR)
0x5DFF_0000			0x5DFF_0000	
0x4400_0000	Fault		0x4400_0000	Fault
0x4200_0000	Bit band alias (Peripheral)		0x4200_0000	Bit band alias (Peripheral)
	Fault			Fault
0x400A_0000			0x400A_0000	
	SFR			SFR
0x4003_E000			0x4003_E000	
0x4003_D000	Fault		0x4003_D000	Fault
0x4003_C000	SMIF(SFR)		0x4003_C000	SMIF(SFR)
0x4000_0000	Fault		0x4000_0000	Fault
	Fault	SRAM	0x3F7F_9800	Fault
0x2400_0000			0x3F7F_8000	Boot ROM (Mirror 6KB)
	Bit band alias (RAM)		0x2400_0000	Fault
0x2200_0000			0x2200_0000	Bit band alias (RAM)
0x2000_B400	Fault		0x2000_B400	Fault
0x2000_9000	VE ROM (注) (9KB)		0x2000_9000	VE ROM (注) (9KB)
0x2000_8000	VE RAM (注) (4KB)		0x2000_8000	VE RAM (注) (4KB)
0x2000_4000	RAM1 (16KB)		0x2000_4000	RAM1 (16KB)
0x2000_0000	RAM0 (16KB)		0x2000_0000	RAM0 (16KB)
	Fault	Code		Fault
0x0004_0000				
0x0002_0000	Flash (Area1 128KB)		0x0000_1800	
0x0000_0000	Flash (Area0 128KB)		0x0000_0000	Boot ROM (6KB)

Single chip mode

Single BOOT mode

図 2.1 TPM4LxFYA

注) $[VExRAMTSKCONFIG] \langle VERAMBUS \rangle = 0$ のとき、バスマネージャーが VE RAM をアクセス可能です。 $[VExROMCONFIG] \langle VEROMBUS \rangle = 0$ のとき、バスマネージャーが VE ROM をアクセス可能です。

2.1.2. TMPM4LxFWA

- Code Flash : 128KB(Area0)
- Data Flash : 64KB(Area1)
- RAM : 32KB
- 対象製品 : TMPM4L4FWAUG、TMPM4L2FWADUG、TMPM4L2FWAQG、TMPM4L1FWAUG

0xFFFF_FFFF	Vender-specific		0xFFFF_FFFF	Vender-specific
0xE010_0000			0xE010_0000	
0xE000_0000	Private peripheral bus		0xE000_0000	Private peripheral bus
0xA800_0000	Fault	External device	0xA800_0000	Fault
0xA000_0000	SMIF(Direct area)		0xA000_0000	SMIF(Direct area)
0x6000_0000	Fault	External RAM	0x6000_0000	Fault
0x5E04_0000	Fault	Peripheral	0x5E04_0000	Fault
0x5E03_0000	Reserved		0x5E03_0000	Reserved
0x5E02_0000	Flash mirror (Area1 64KB)		0x5E02_0000	Flash mirror (Area1 64KB)
0x5E00_0000	Flash mirror (Area0 128KB)		0x5E00_0000	Flash mirror (Area0 128KB)
	Flash (SFR)			Flash (SFR)
0x5DFF_0000			0x5DFF_0000	
0x4400_0000	Fault		0x4400_0000	Fault
0x4200_0000	Bit band alias (Peripheral)		0x4200_0000	Bit band alias (Peripheral)
	Fault			Fault
0x400A_0000			0x400A_0000	
	SFR			SFR
0x4003_E000			0x4003_E000	
0x4003_D000	Fault		0x4003_D000	Fault
0x4003_C000	SMIF(SFR)		0x4003_C000	SMIF(SFR)
0x4000_0000	Fault		0x4000_0000	Fault
	Fault	SRAM	0x3F7F_9800	Fault
0x2400_0000			0x3F7F_8000	Boot ROM (Mirror 6KB)
	Bit band alias (RAM)		0x2400_0000	Fault
0x2200_0000			0x2200_0000	Bit band alias (RAM)
0x2000_B400	Fault		0x2000_B400	Fault
0x2000_9000	VE ROM (注) (9KB)		0x2000_9000	VE ROM (注) (9KB)
0x2000_8000	VE RAM (注) (4KB)		0x2000_8000	VE RAM (注) (4KB)
0x2000_4000	RAM1 (16KB)		0x2000_4000	RAM1 (16KB)
0x2000_0000	RAM0 (16KB)		0x2000_0000	RAM0 (16KB)
	Fault	Code		Fault
0x0004_0000				
0x0003_0000	Reserved		0x0000_1800	
0x0002_0000	Flash (Area1 64KB)			Boot ROM (6KB)
	Flash (Area0 128KB)			
0x0000_0000				

Single chip mode

Single BOOT mode

図 2.2 TMPM4LxFWA

注) $[VExRAMTSKCONFIG] <VERAMBUS> = 0$ のとき、バスマネージャが VE RAM をアクセス可能です。 $[VExROMCONFIG] <VEROMBUS> = 0$ のとき、バスマネージャが VE ROM をアクセス可能です。

2.2. バスマトリックス

TMPM4L グループ(1)では、バスマネージャーとして CPU、DMA コントローラーを搭載しています。バスマネージャーは、バスマトリックスのサブオーディネートポート(S0～S3)に接続され、バスマトリックス内で、接続を示す記号(○、●)を経由して、マネージャーポート(M0～M13)から、周辺機能に接続されます。●は、ミラー領域への接続を示します。

バスマトリックス内の同一マネージャーライン上に、複数のサブオーディネートが接続されている場合で、同一タイミングで複数のサブオーディネートにアクセスが発生した場合は、サブオーディネート番号の小さいマネージャーのアクセスが優先されます。

2.2.1. 構成

2.2.1.1. シングルチップモード

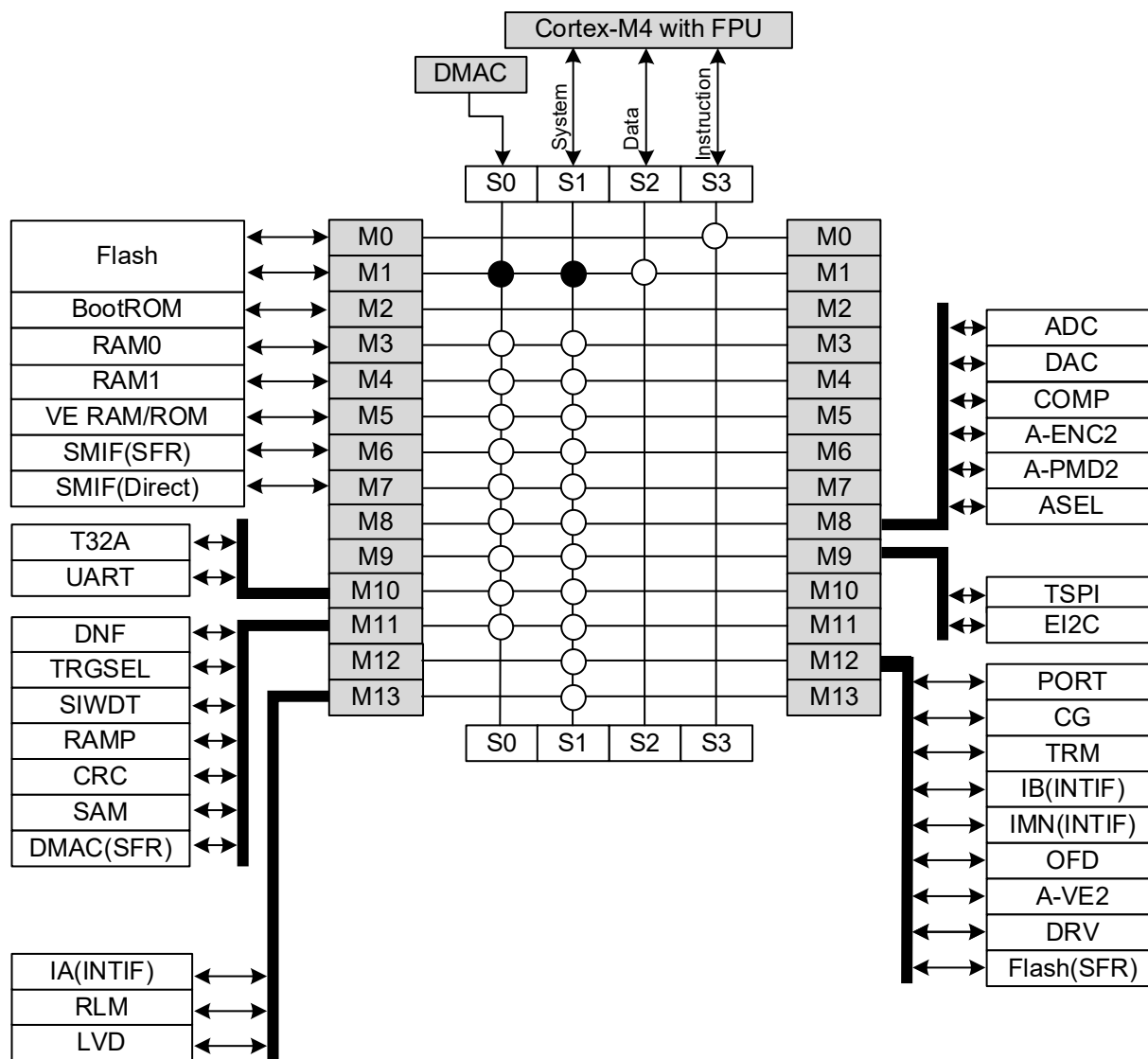


図 2.3 シングルチップモード

2.2.1.2. シングルブートモード

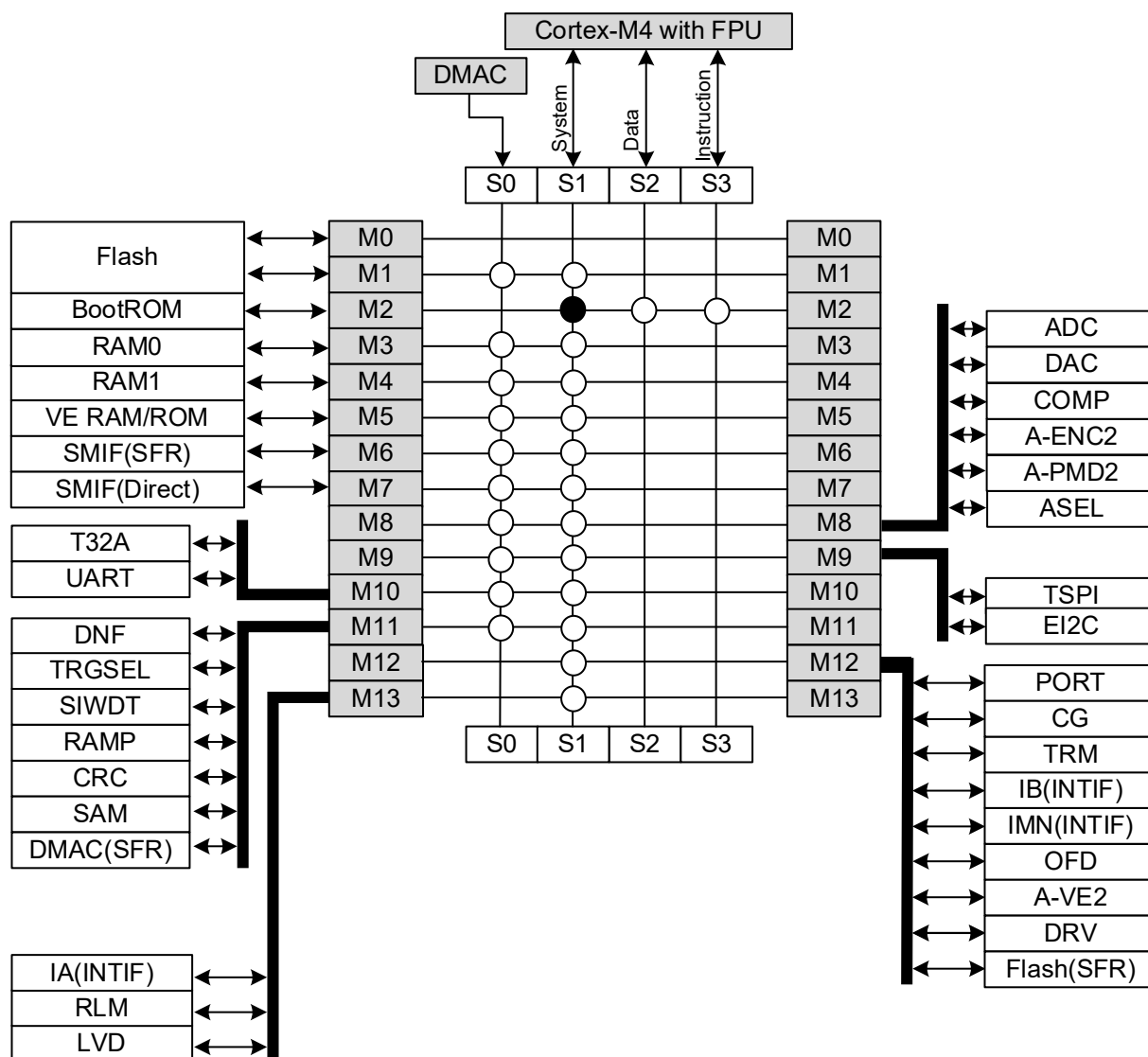


図 2.4 シングルブートモード

3. リセットと電源制御

3.1. 概要

機能分類	機能	動作説明
コールドリセット (電源投入を伴うリセット)	パワーオンリセット	電源投入時または切断時に発生するリセット
	LVD リセット	設定した電圧以下で発生するリセット
	リセット端子	RESET_N 端子によるリセット
	PORF リセット	電源投入時または切断時に発生するリセット フラッシュメモリとデバッグ回路を優先してリセットする
ウォームリセット (電源投入を伴わないリセット)	内部リセット	SIWDT、OFD、LVD、LOCKUP、<SYSRESETREQ>および SAM によるリセット
	リセット端子	RESET_N 端子によるリセット
STOP2 モード解除によるリセット	割り込み	STOP2 モードからの復帰動作の中で行う電源遮断領域に対 するリセット(STOP2REQ)
	リセット端子	RESET_N 端子によるリセット
	LVD リセット	設定した電圧以下で発生するリセット
シングルブート起動	リセット端子	リセット解除後、内蔵ブート ROM から起動

3.2. 機能説明・動作説明

この章では、電源投入、電源切断、リセット関連の説明をします。

注) 図中のシンボルで記述の時間や電圧は、データシートの「電気的特性」を参照してください。
DVDD5 はデジタル用電源端子を表します。

3.2.1. コールドリセット

電源投入の際には、内蔵レギュレーター、内蔵フラッシュメモリおよび内蔵高速発振の安定時間を考慮する必要があります。TXZ+ファミリーでは、これらの機能の安定のための時間を内部回路が自動的に挿入します。

電源投入時は電源電圧を単調増加させてください。電源電圧が POR、PORF 検知/解除電圧近傍で下降と上昇が発生すると、その後動作保証範囲まで上昇しても、正常に動作しない場合があります。

3.2.1.1. RESET_N 端子を使用しない場合

LVD は初期状態で有効のため、POR および PORF リセット解除後、電源電圧が LVD 解除電圧を超えるまで LVD リセットが継続します。LVD リセット解除後、"内部処理時間"+ "CPU 動作待ち時間" 経過後に内部リセットが解除され CPU が動作します。

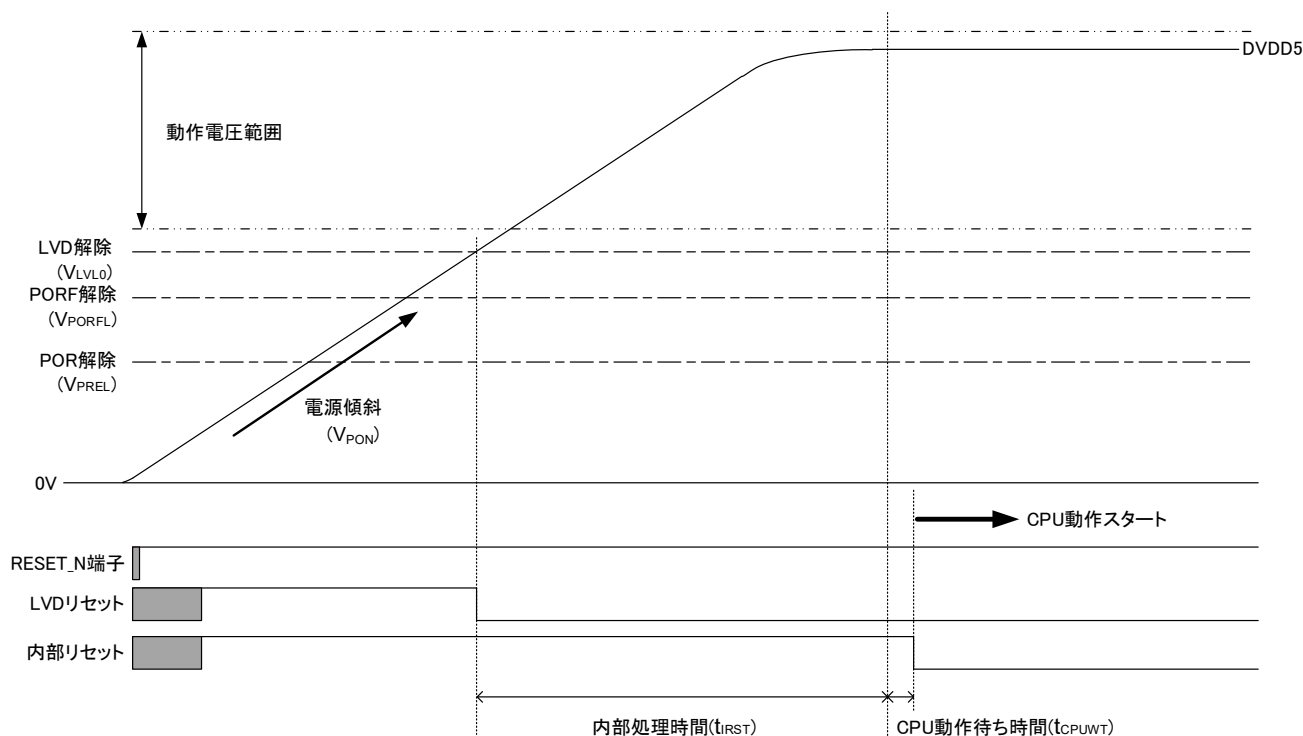


図 3.1 RESET_N端子を使用しない場合

注) RESET_N 端子を使用しない場合、RESET_N 端子はオープンまたは"High"を入力してください。

3.2.1.2. RESET_N 端子を使用する場合

電源投入時に RESET_N 端子を使用することでリセット解除のタイミングを調整することができます。

電源電圧が LVD の解除電圧を超えた後、"内部処理時間"経過後も RESET_N 端子が"Low"の場合、内部リセットは引き延ばされます。RESET_N 端子が"High"になってから"CPU 動作待ち時間"経過後に内部リセットは解除されます。

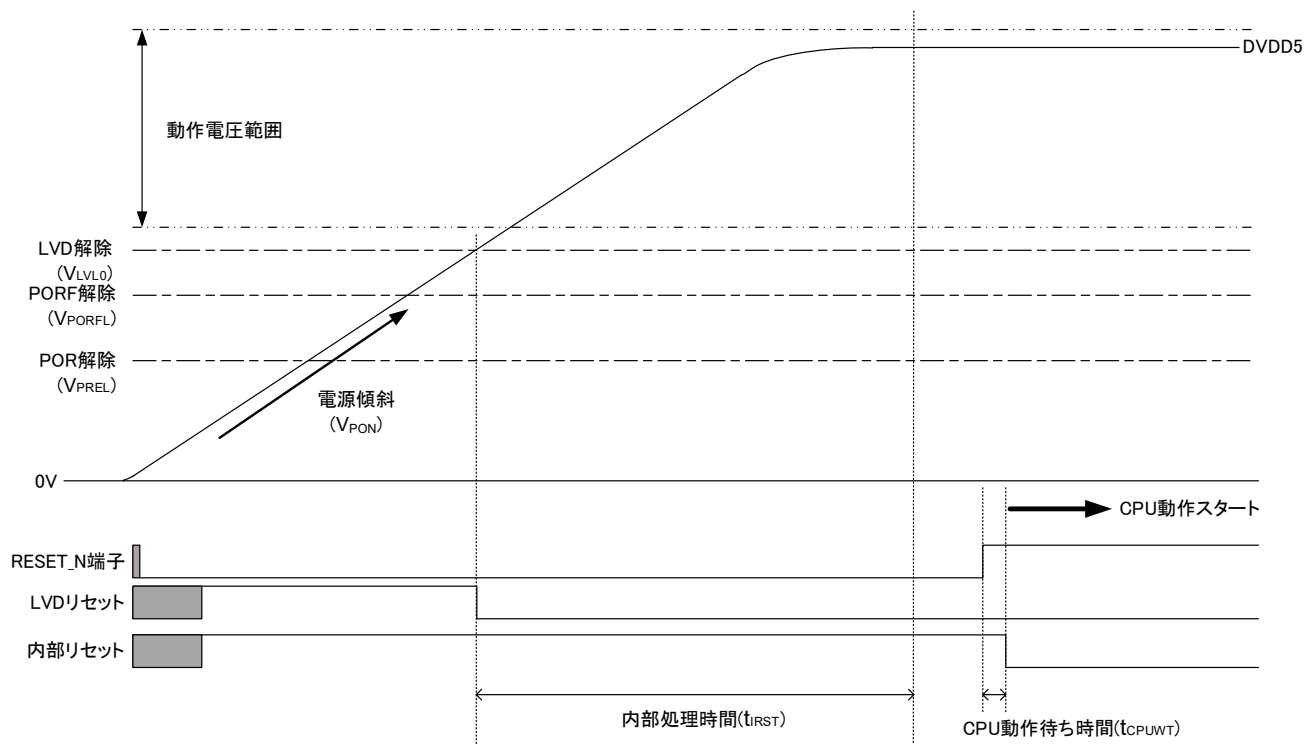


図 3.2 RESET_N端子を使用する場合(1)

"内部処理時間"中に RESET_N 端子が"Low"→"High"となった場合、"内部処理時間"+"CPU 動作待ち時間"経過後に内部リセットが解除され CPU が動作を開始します。

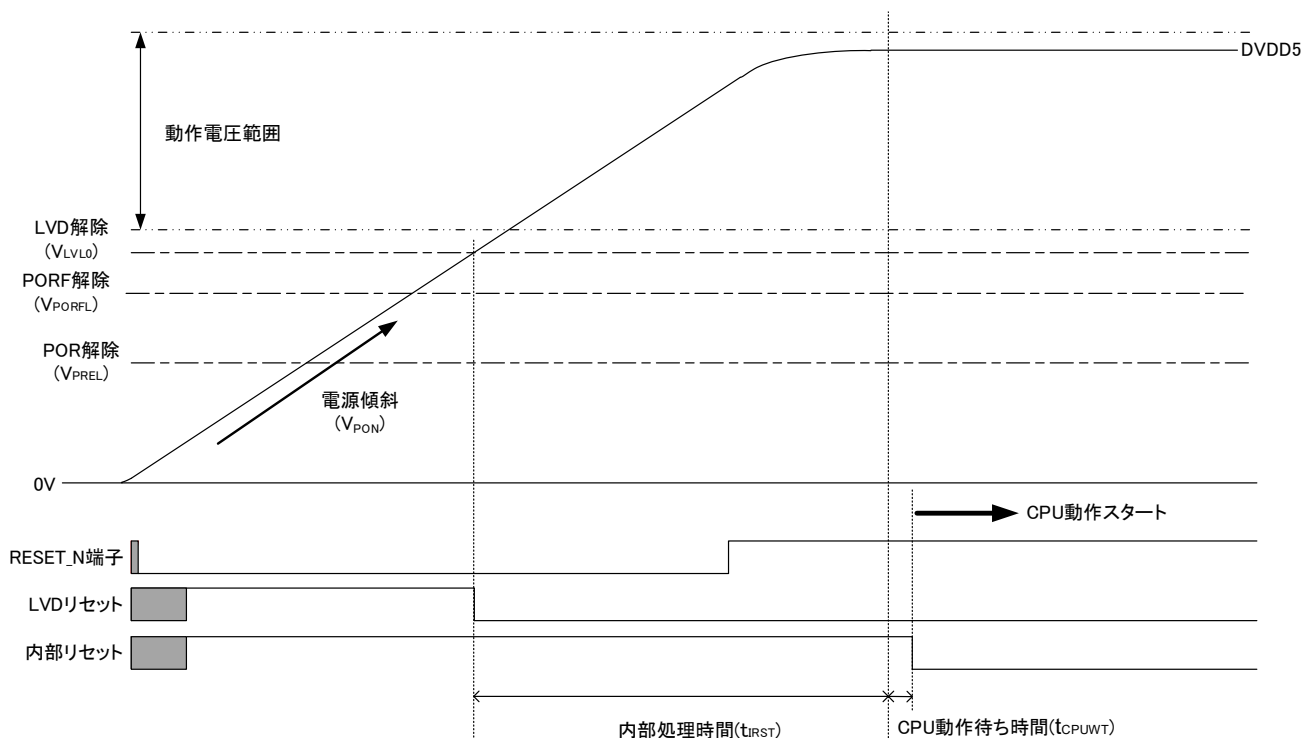


図 3.3 RESET_N端子を使用する場合(2)

3.2.2. ウォームリセット

3.2.2.1. RESET_N 端子によるウォームリセット

RESET_N 端子でリセットをかける場合には、電源電圧が動作範囲内である状態で RESET_N 端子を 17.2μs 以上の期間"Low"にしてください。

RESET_N 端子の"Low"期間が"内部処理時間"より長い場合、RESET_N 端子が"High"になってから"CPU 動作待ち時間"経過後に内部リセットは解除されます。

RESET_N 端子の"Low"期間が"内部処理時間"より短い場合、内部リセットが引き伸ばされ、RESET_N 端子が"Low"になってから"内部処理時間"+"CPU 動作待ち時間"経過後に内部リセットは解除されます。

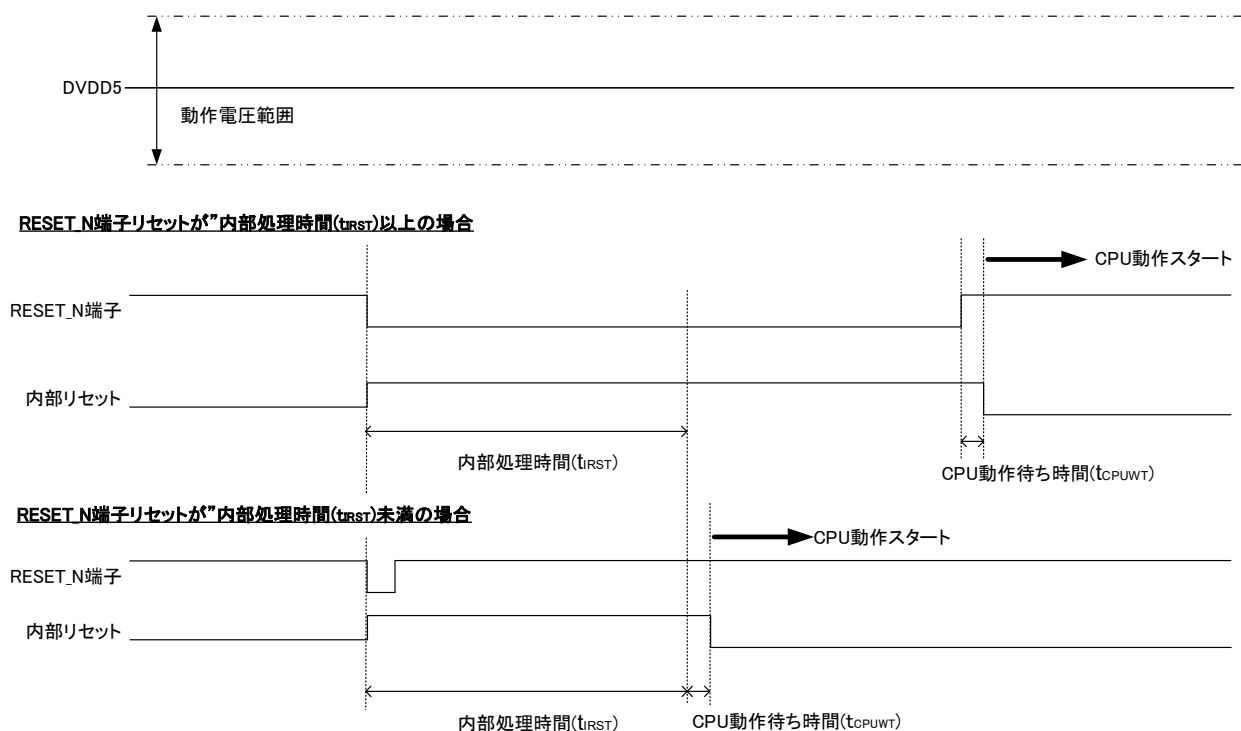


図 3.4 ウォームリセット動作

3.2.2.2. LVD によるウォームリセット

電源電圧が LVD 検知/解除電圧以下である期間が"内部処理時間"より長い場合、LVD リセットが解除されてから"CPU 動作待ち時間"経過後に内部リセットは解除されます。"内部処理時間"より短い場合、"内部処理時間"+"CPU 動作待ち時間"経過後に内部リセットは解除されます。

3.2.2.3. その他の内部リセットによるウォームリセット

SIWDT、OFD、SAM、LOCKUP および<SYSRESETREQ>などの内部要因によるリセットでは、"内部処理時間"+"CPU 動作待ち時間"経過後に内部リセットは解除されます。

3.2.3. STOP2 モード解除によるリセット

STOP2 モード中に RESET_N 端子が"Low"になる、もしくはLVD リセットが発生すると STOP2 モードは解除され、電源遮断領域に対して電源投入とリセット動作が行われます。RESET_N 端子が"High"になる、もしくはLVD リセットが解除されると NORMAL モードで動作を始めます。

割り込み要求がアサートされた場合は、STOP2 モード解除シーケンスの中で電源遮断領域に対して電源が投入され、リセット動作が行われます。STOP2 解除時の動作は、「1.3.3.3. STOP2 モードからの復帰」を参照してください。

3.2.4. シングルブートモードの起動

シングルブートモードの詳細はリファレンスマニュアル「フラッシュメモリー」を参照してください。セキュアアクセスメモリーまたは解除不能フラッシュプロテクトが有効な場合、シングルブートモードは起動しません。詳細は、リファレンスマニュアル「セキュリティ機能」「セキュアアクセスメモリー」を参照してください。

3.2.4.1. RESET_N 端子を使った起動

BOOT_N 端子に"Low"を入力して RESET_N 端子を"Low"→"High"としてリセットを解除するとシングルブートモードで起動します。

CPU が動作を開始してから BOOT_N 端子を解放してください。

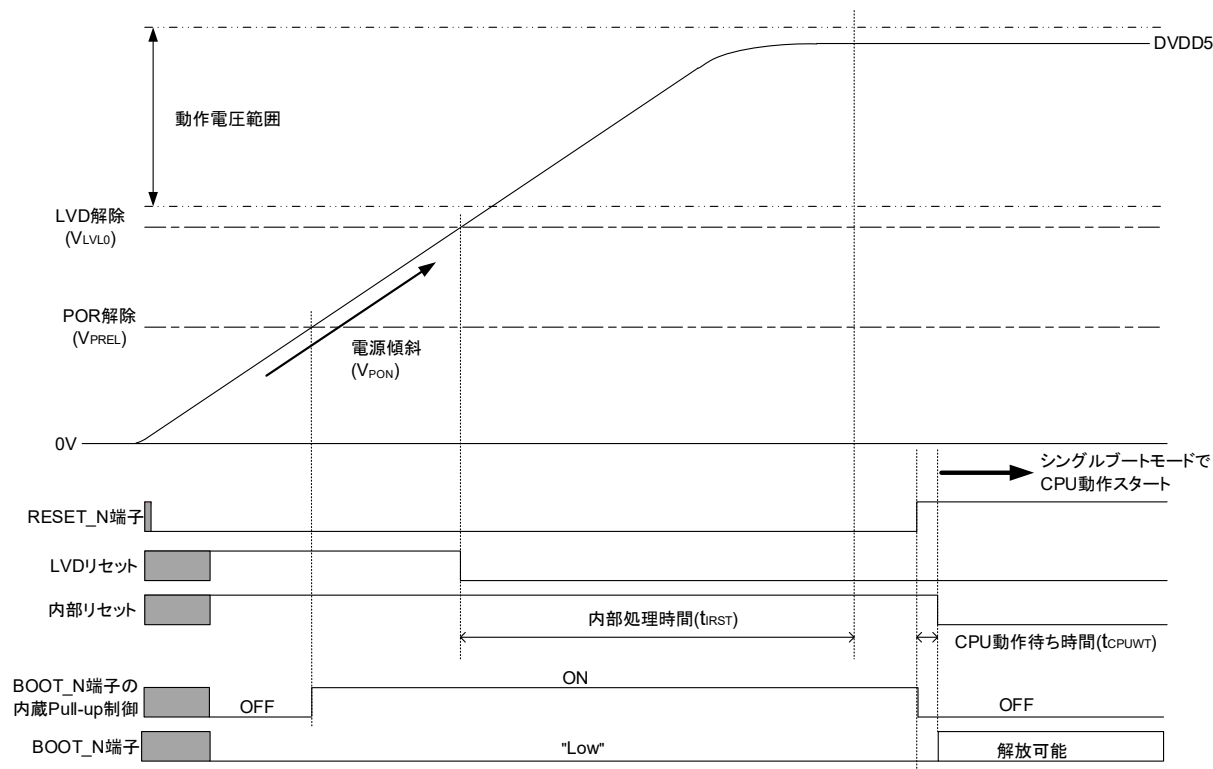


図 3.5 電源投入時にリセット端子を使用したシングルブートモードの起動

3.2.4.2. 電源安定時のシングルブートモードの起動

電源電圧が動作電圧範囲内で安定している場合は、BOOT_N 端子に"Low"を入力した状態で、"内部処理時間"以上の間 RESET_N 端子を"Low"にしてリセットをかけてください。その後、リセットを解除 (RESET_N 端子を"Low"→"High")してください。

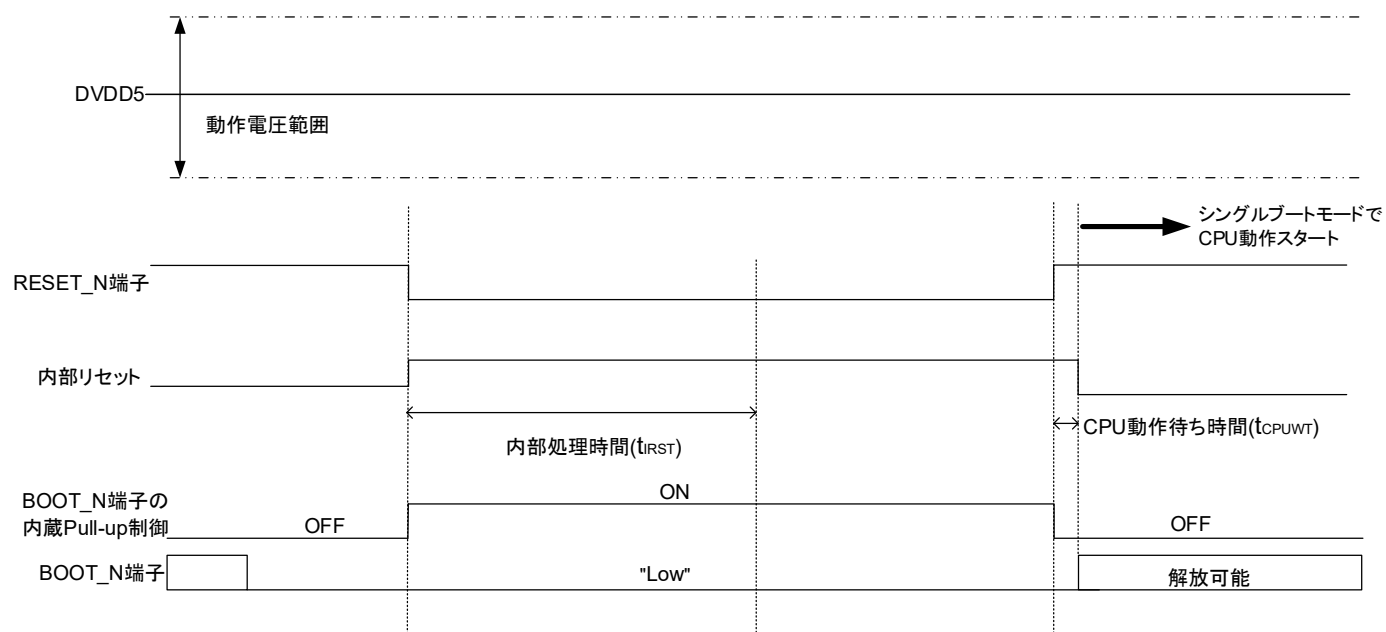


図 3.6 電源安定時のシングルブートモードの起動

3.2.5. パワーオンリセット回路

パワーオンリセット回路(POR)は、電源投入時または切断時にリセット信号を発生する回路です。

注) 電源電圧の変動によりパワーオンリセット回路が完全な動作をしないことがあります。回路設計時には電気的特性を参照の上、十分な考慮をしてください。

パワーオンリセット回路は、検知電圧発生回路、基準電圧発生回路、コンパレータから構成されます。

電源電圧とは、デジタル用電源の電圧を表します。

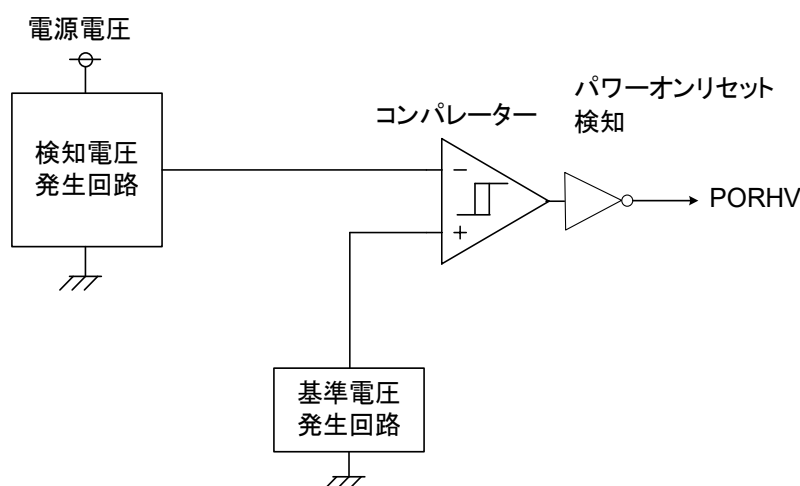


図 3.7 パワーオンリセット回路

3.2.5.1. 電源投入時の動作

電源投入時、電源電圧がパワーオンリセット解除電圧(V_{PREL})以下の間、パワーオンリセットが発生します。詳細は「図 3.1 RESET_N 端子を使用しない場合」を参照ください。

パワーオンリセットが発生している間、CPU および周辺機能はリセットされます。

3.2.5.2. 電源切断時の動作

電源切断時、電源電圧がパワーオンリセット検知電圧(V_{PDET})以下になると、パワーオンリセットが発生します。

パワーオンリセットが発生している間、CPU および周辺機能はリセットされます。

3.2.6. 電源切断と再投入

電源切断時は、「電気的特性」に定める「電源傾斜(V_{POFF})」の Max 条件より緩やかな傾斜で電源電圧を下げてください。

3.2.6.1. 外部のリセット回路または内蔵 LVD リセットを使用している場合

電源が切断され電源電圧が動作電圧範囲を下回った場合は、電源電圧が外部のリセット回路または内蔵 LVD の検知電圧以下となりリセットがかかっている状態から、電源投入時と同じ制約を守って電源電圧を立ち上げてください。

3.2.6.2. 外部のリセット回路/内蔵 LVD リセットを使用しない場合

電源が切断され電源電圧が動作電圧範囲を下回った場合は、必ず電源電圧をパワーオンリセット検知電圧(V_{PDET})以下まで下げて 200 μ s 以上保持してください。その後、電源投入時と同じ制約を守って電源電圧を立ち上げてください。

電源電圧がパワーオンリセット検知電圧(V_{PDET})以下まで下がって 200 μ s 以上保持できない場合や、再投入時の電源電圧上昇が電源投入時と同じ制約が守られない場合、正常に動作しないことがあります。

3.2.7. リセット解除後

リセット解除後は、Cortex-M4(FPU 機能搭載)コアの制御レジスターや周辺機能の制御レジスター(SFR)は初期化されますが、リセットの要因により初期化される範囲が異なります。

リセット要因ごとの初期化される範囲については、「表 3.1 リセット要因と初期化される範囲」を参照してください。

また、リセットが発生したときのリセットの要因は、リセットフラグレジスターの `[RLMRSTFLG0]` / `[RLMRSTFLG1]` で確認できます。`[RLMRSTFLG0]` / `[RLMRSTFLG1]` の詳細については、リファレンスマニュアル「例外」を参照してください。

リセット解除後、内蔵高速発振器 1(IHOSC1)のクロックで動作を開始します。必要に応じて外部発振、PLL 逡倍回路の設定を行ってください。

3.2.7.1. リセット要因と初期化範囲

リセット要因と初期化される範囲を表 3.1 に示します。

表 3.1 リセット要因と初期化される範囲

レジスターおよび周辺機能		リセット要因											
		STOP2 モード解除			POR	リセット 端子	OFD リセット	SIWDT リセット	LVD リセット	PORF リセット	<SYS RESET REQ> リセット	LOCKUP リセット	SAM リセット
		割り込み 要因	リセット 端子	LVD リセット									
	リセット 信号名	STOP2 REQ	RESET_N	LVD RSTOUT	PORHV	RESET_N	OFD RSTOUT	WDT RSTOUT	LVD RSTOUT	PORF RESET	SYS RESET REQ	LOCKUP RESET REQ	SAM RESET
電源制御 リセットフラグ	[RLMSHTDNOP]	×	○	○	○	○	○	○	○	○	○	○	○
	[RLMPROTECT]												
	[RLMRSTFLG0] [RLMRSTFLG1]	×	×	×	○	×	×	×	×	×	×	×	×
割り込み制御	[IAIMCxx] [IANIC00]	×	○	○	○	○	○	○	○	○	○	○	○
	[IBIMCxxx] [IBNIC00]	○	○	○	○	○	○	○	○	○	○	○	○
フラッシュメモリー	[FCCPROMR]	○	○	×	○	×	×	×	×	○	×	×	×
ポート	全レジスター	○	○	○	○	○	○	○	○	○	○	○	○
OFD		○	○	○	○	○	○	○	○	○	○	○	○
LVD		×	○	×	○	○	×	×	×	×	×	×	×
デバッグインターフェース		○	○	×	○	×	×	×	×	○	×	×	×
上記以外		○	○	○	○	○	○	○	○	○	○	○	○

○: 初期化される

×: 初期化されない

注) リセット動作を行うと内蔵 RAM のデータは保証されません。

4. 改訂履歴

表 4.1 改訂履歴

Revision	Date	Description
1.0	2026-01-30	・新規作成

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

東芝デバイス&ストレージ株式会社

<https://toshiba.semicon-storage.com/jp/>