

32 ビット RISC マイクロコントローラー
TXZ+ファミリー
TMPM4V グループ(1)

リファレンスマニュアル
入出力ポート
(PORT-M4V(1))

Revision 1.0

2026-04

東芝デバイス&ストレージ株式会社

目次

序章	5
関連するドキュメント	5
表記規約	6
用語・略語	8
1. 概要	9
2. 動作説明	9
2.1. クロック供給	9
3. 信号接続一覧	10
4. レジスター説明	16
4.1. 機能制御レジスター	16
4.1.1. 機能端子を使用する際の設定方法	16
4.1.2. 機能制御レジスター一覧	17
4.1.3. 機能制御レジスター設定一覧	19
4.1.4. PORT A	20
4.1.5. PORT B	22
4.1.6. PORT C	24
4.1.7. PORT D	26
4.1.8. PORT E	28
4.1.9. PORT F	29
4.1.10. PORT G	30
4.1.11. PORT H	31
4.1.12. PORT J	32
4.2. 駆動能力制御レジスター	33
4.2.1. 駆動能力制御レジスター一覧	33
4.2.2. [DRVCR0](駆動能力制御レジスター0)	34
4.2.3. [DRVCR1](駆動能力制御レジスター1)	35
5. ポート回路図	36
5.1. タイプ FTU1	37
5.2. タイプ FTU2	38
5.3. タイプ FTU3	39
5.4. タイプ FTU4	40
5.5. タイプ FTU5	41
5.6. タイプ FTU6a	42
5.7. タイプ FTU11b	43
6. 使用上のご注意およびお願い事項	44
6.1. リセット期間中の端子状態について	44
6.2. 未使用端子の処理について	44

6.3. デバッグインターフェース端子を汎用ポートとして使用する際の注意	44
7. 改訂履歴	45
製品取り扱い上のお願い	46

図目次

図 5.1	ポートタイプ FTU1	37
図 5.2	ポートタイプ FTU2	38
図 5.3	ポートタイプ FTU3	39
図 5.4	ポートタイプ FTU4	40
図 5.5	ポートタイプ FTU5	41
図 5.6	ポートタイプ FTU6a	42
図 5.7	ポートタイプ FTU11b	43

表目次

表 3.1	信号接続一覧(1/6)	10
表 3.2	信号接続一覧(2/6)	11
表 3.3	信号接続一覧(3/6)	12
表 3.4	信号接続一覧(4/6)	13
表 3.5	信号接続一覧(5/6)	14
表 3.6	信号接続一覧(6/6)	15
表 4.1	機能制御レジスタのベースアドレス	17
表 4.2	機能制御レジスタ一覧	18
表 4.3	ポート A レジスタ設定	20
表 4.4	ポート B レジスタ設定	22
表 4.5	ポート C レジスタ設定	24
表 4.6	ポート D レジスタ設定	26
表 4.7	ポート E レジスタ設定	28
表 4.8	ポート F レジスタ設定	29
表 4.9	ポート G レジスタ設定	30
表 4.10	ポート H レジスタ設定	31
表 4.11	ポート J レジスタ設定	32
表 7.1	改訂履歴	45

序章

関連するドキュメント

文書名
製品個別情報
クロック制御と動作モード
例外
フラッシュメモリー
I ² C インターフェースバージョン A
シリアルペリフェラルインターフェース
シリアルメモリーインターフェース
12 ビットアナログデジタルコンバーター
32 ビットタイマーイベントカウンター
非同期シリアル通信回路
アドバンストプログラマブルモーター制御回路 2
デバッグインターフェース

表記規約

- 数値表記は以下の規則に従います。
16 進数表記: 0xABC
10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は[m:n]とまとめて表記する場合があります。
例: S[3: 0]は S3、S2、S1、S0 の 4 つの信号名をまとめて表記しています。
- 本文中[/]で囲まれたものはレジスターを定義しています。
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1]、[XYZ2]、[XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A、B、C、...を表します。
例: [ADACR0]、[ADBCR0]、[ADCCR0] → [ADxCR0]
チャンネルの場合、「x」は 0、1、2、...を表します。
例: [T32A0RUNA]、[T32A1RUNA]、[T32A2RUNA] → [T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。
例: [3: 0]はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
バイト: 8 ビット
ハーフワード: 16 ビット
ワード: 32 ビット
ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
R: リードオンリー
W: ライトオンリー
R/W: リード/ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「-」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。

資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

I ² C	I ² C Interface Version A
JTAG	Joint Test Action Group
SW	Serial Wire

1. 概要

ポート関連のレジスターとその設定について説明します。以下に機能の一覧を示します。

機能分類	機能	説明
ポート	-	内蔵プログラマブルプルアップ/プルダウンの選択、オープンドレイン出力選択が可能 一部のポートは駆動能力の選択が可能
周辺機能端子	クロック出力	システムクロックの出力が可能
	外部割り込み	割り込み入力端子
	32ビットタイマーイベントカウンタ	インプットキャプチャー入力端子、タイマー出力端子
	シリアルペリフェラルインターフェース	チップセレクト入力端子、チップセレクト出力端子、データ入力端子、データ出力端子、クロック入出力端子
	非同期シリアル通信回路	データ入力端子、データ出力端子、ハンドシェイク機能端子
	I ² C インターフェース バージョン A	データ入出力端子、クロック入出力端子
	シリアルメモリーインターフェース	チップセレクト出力端子、データ入出力端子、クロック出力端子
	アナログデジタルコンバーター	アナログ入力端子
	アドバンストプログラマブルモーター制御回路 2	X/Y/Z 相出力端子、U/V/W 相出力端子、異常検出入力端子、過電圧検出入力端子
	トリガーセクター	外部トリガー入力端子
デバッグ端子	JTAG	テストモード選択入力端子、シリアルクロック入力端子、シリアルデータ出力端子、シリアルデータ入力端子、テストリセット入力端子
	SW	シリアルワイヤデータ入出力端子、シリアルワイヤクロック入力端子、シリアルワイヤビューワ出力端子
	トレース	トレースクロック出力端子、トレースデータ出力端子
制御端子	高速発振回路	高速発振子接続端子/外部クロック入力端子
	BOOT モード制御	BOOT モード制御用端子

2. 動作説明

2.1. クロック供給

ポートを使用する場合は、fsys 供給停止レジスターA または B (*JCGFSYSENA*、*JCGFSYSENB*)、fc 供給停止レジスター(*JCGFCEN*)で該当するクロックイネーブルビットを"1"(クロック供給)に設定してください。該当レジスター、ビット位置は製品によって異なります。そのため製品によって、レジスターが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

3. 信号接続一覧

機能端子から見たポート割り当てと各製品の端子番号です。

表中の"-"の部分は、「端子がありません」または「機能の割り当てがありません」を示します。

表 3.1 信号接続一覧(1/6)

機能	兼用機能端子名	ポート名	M4V4 (LQFP64)	M4V2 (LQFP48/VQFN48)	M4V1 (LQFP44)
UART ch 0	UT0RXD	PD2	22	15	14
		PD3	21	14	13
	UT0TXDA	PD2	22	15	14
		PD3	21	14	13
UART ch 1	UT1RXD	PA3	29	22	21
		PA4	30	23	22
		PA5	31	24	23
		PA6	32	25	-
	UT1TXDA	PA3	29	22	21
		PA4	30	23	22
		PA5	31	24	23
		PA6	32	25	-
UART ch 2	UT2RXD	PC2	15	12	11
		PC3	16	13	12
		PA1	27	20	19
		PA2	28	21	20
	UT2TXDA	PC2	15	12	11
		PC3	16	13	12
		PA1	27	20	19
		PA2	28	21	20
UART ch 3	UT3RXD	PC2	15	12	11
		PC3	16	13	12
		PA1	27	20	19
		PA2	28	21	20
	UT3TXDA	PC2	15	12	11
		PC3	16	13	12
		PA1	27	20	19
		PA2	28	21	20
	UT3CTS_N	PA0	26	19	18
		PA0	26	19	18
UART ch 4	UT4RXD	PC0	13	10	9
		PC1	14	11	10
		PD5	19	-	-
		PD4	20	-	-
	UT4TXDA	PC0	13	10	9
		PC1	14	11	10
		PD5	19	-	-
		PD4	20	-	-
	UT4CTS_N	PC4	17	-	-
		PC5	18	-	-
UART ch 5	UT5RXD	PC4	17	-	-
		PC5	18	-	-
		PC4	17	-	-
		PC5	18	-	-
	UT5TXDA	PA7	33	-	-
		PJ2	34	-	-
		PA7	33	-	-
		PJ2	34	-	-
UART ch 5	UT5CTS_N	PJ1	35	-	-
		PJ1	35	-	-
	UT5RTS_N	PG1	64	48	-
		PG0	62	46	-

表 3.2 信号接続一覧(2/6)

機能	兼用機能端子名	ポート名	M4V4 (LQFP64)	M4V2 (LQFP48/VQFN48)	M4V1 (LQFP44)
EI2C ch 0	EI2C0SCL	PA3	29	22	21
	EI2C0SDA	PA4	30	23	22
EI2C ch 1	EI2C1SCL	PA5	31	24	-
	EI2C1SDA	PA6	32	25	-
TSPI ch 0	TSPI0RXD	PG1	64	-	-
	TSPI0TXD	PG0	62	-	-
	TSPI0SCK	PG2	1	-	-
	TSPI0CSIN	PG3	2	-	-
	TSPI0CS0	PG3	2	-	-
TSPI ch 1	TSPI1RXD	PC3	16	13	12
	TSPI1TXD	PC2	15	12	11
	TSPI1SCK	PC1	14	11	10
	TSPI1CSIN	PC0	13	10	9
	TSPI1CS0	PC0	13	10	9
		PD3	21	14	13
		PB7	10	7	-
TSPI ch 2	TSPI2RXD	PA2	28	21	20
	TSPI2TXD	PA1	27	20	19
	TSPI2SCK	PA0	26	19	18
	TSPI2CSIN	PD0	25	18	17
	TSPI2CS0	PD0	25	18	17
	TSPI2CS1	PD1	24	17	16
		PJ0	36	-	-
SMIF ch 0	SMI0CS0_N	PC0	13	10	9
	SMI0CS1_N	PB7	10	7	-
	SMI0CLK	PC1	14	11	10
	SMI0D0	PC2	15	12	11
	SMI0D1	PC3	16	13	12
	SMI0D2	PC4	17	-	-
		PD3	21	14	13
	SMI0D3	PC5	18	-	-
		PD2	22	15	14

表 3.3 信号接続一覧(3/6)

機能	兼用機能端子名	ポート名	M4V4 (LQFP64)	M4V2 (LQFP48/VQFN48)	M4V1 (LQFP44)
T32A ch 0	T32A00INA0	PG3	2	-	-
		PC0	13	10	9
	T32A00INA1	PC1	14	11	10
		PJ1	35	-	-
	T32A00OUTA	PC1	14	11	10
		PJ1	35	-	-
	T32A00INB0	PC1	14	11	10
		PJ1	35	-	-
	T32A00INB1	PG3	2	-	-
		PC0	13	10	9
	T32A00OUTB	PG3	2	-	-
		PB7	10	7	-
	T32A00INC0	PG3	2	-	-
	T32A00OUTC	PJ1	35	-	-
T32A ch 1	T32A01INA0	PC2	15	12	11
		PD5	19	-	-
	T32A01INA1	PC3	16	13	12
		PD4	20	-	-
	T32A01OUTA	PC3	16	13	12
		PD4	20	-	-
	T32A01INB0	PC3	16	13	12
		PD4	20	-	-
	T32A01INB1	PC2	15	12	11
		PD5	19	-	-
	T32A01OUTB	PC2	15	12	11
		PD5	19	-	-
	T32A01INC0	PC2	15	12	11
		PD5	19	-	-
	T32A01OUTC	PC3	16	13	12
		PD4	20	-	-
T32A ch 2	T32A02INA0	PA3	29	22	21
		PA7	33	-	-
	T32A02INA1	PJ2	34	-	-
	T32A02OUTA	PA4	30	23	22
		PJ2	34	-	-
	T32A02INB0	PA4	30	23	22
		PJ2	34	-	-
	T32A02INB1	PA7	33	-	-
	T32A02OUTB	PA3	29	22	21
		PA7	33	-	-
	T32A02INC0	PA7	33	-	-
	T32A02OUTC	PJ2	34	-	-

表 3.4 信号接続一覧(4/6)

機能	兼用機能端子名	ポート名	M4V4 (LQFP64)	M4V2 (LQFP48/VQFN48)	M4V1 (LQFP44)
T32A ch 3	T32A03INA0	PD3	21	14	13
	T32A03INA1	PD2	22	15	14
		PG1	64	48	-
	T32A03OUTA	PD2	22	15	14
		PG1	64	48	-
	T32A03INB0	PD2	22	15	14
		PG1	64	48	-
	T32A03INB1	PD3	21	14	13
	T32A03OUTB	PD3	21	14	13
	T32A03INC0	PD3	21	14	13
T32A03OUTC	PD2	22	15	14	
	PG1	64	48	-	
T32A ch 4	T32A04INA0	PA1	27	20	19
		PJ0	36	-	-
	T32A04INA1	PA2	28	21	20
	T32A04OUTA	PA2	28	21	20
	T32A04INB0	PA2	28	21	20
		PA1	27	20	19
	T32A04INB1	PJ0	36	-	-
		PA1	27	20	19
	T32A04OUTB	PJ0	36	-	-
		PA1	27	20	19
	T32A04INC0	PJ0	36	-	-
		T32A04OUTC	PA2	28	21
12-bit ADC unit A	AINA13	PF5	44	33	-
	AINA12	PF4	45	34	31
	AINA11	PF3	46	35	32
	AINA10	PF2	47	36	33
	AINA09	PF1	48	37	34
	AINA08	PF0	49	-	-
	AINA07	PE7	50	-	-
	AINA06	PE6	51	-	-
	AINA05	PE5	52	-	-
	AINA04	PE4	53	-	-
	AINA03	PE3	54	38	35
	AINA02	PE2	55	39	36
	AINA01	PE1	56	40	37
	AINA00	PE0	57	41	38

表 3.5 信号接続一覧(5/6)

機能	兼用機能端子名	ポート名	M4V4 (LQFP64)	M4V2 (LQFP48/VQFN48)	M4V1 (LQFP44)
INT	INT00	PD3	21	14	13
	INT01	PD2	22	15	14
	INT02	PD0	25	18	17
	INT03	PA0	26	19	18
	INT04	PA4	30	23	22
	INT05	PH0	37	26	24
	INT06	PH1	38	27	25
	INT07	PF4	45	34	31
	INT08	PF3	46	35	32
	INT09	PB7	10	7	-
	INT10	PA6	32	25	-
	INT11	PF5	44	33	-
	INT12	PG1	64	48	-
	INT13	PG3	2	-	-
	INT14	PC4	17	-	-
	INT15	PC5	18	-	-
	INT16	PA7	33	-	-
	INT17	PJ2	34	-	-
	INT18	PJ1	35	-	-
	INT19	PJ0	36	-	-
	INT20	PG2	1	-	-
A-PMD2 ch 0	EMG0	PB6	9	-	-
		PB7	10	7	-
		PH1	38	27	25
	OVV0	PB6	9	-	-
		PB7	10	7	-
		PH1	38	27	25
	UO0	PB0	3	1	1
	VO0	PB1	4	2	2
		PB2	5	3	3
	WO0	PB2	5	3	3
		PB4	7	5	5
	XO0	PB1	4	2	2
		PB3	6	4	4
	YO0	PB3	6	4	4
		PB4	7	5	5
	ZO0	PB5	8	6	6
	PMD0DBG	PC4	17	-	-
		PD2	22	15	14
		PA0	26	19	18

表 3.6 信号接続一覧(6/6)

機能	兼用機能端子名	ポート名	M4V4 (LQFP64)	M4V2 (LQFP48/VQFN48)	M4V1 (LQFP44)
TRGSEL	TRGIN0	PC0	13	10	9
	TRGIN1	PA5	31	24	23
	TRGIN2	PG1	64	48	-
JTAG/SW	TMS	PD0	25	18	17
	TCK	PD1	24	17	16
	TDO	PH0	37	26	24
	TDI	PA4	30	23	22
	TRST_N	PA3	29	22	21
	SWDIO	PD0	25	18	17
	SWCLK	PD1	24	17	16
	SWV	PH0	37	26	24
TRACE	TRACECLK	PC5	18	-	-
	TRACEDATA0	PG3	2	-	-
	TRACEDATA1	PG2	1	-	-
制御端子	X1	PH0	37	26	24
	EHCLKIN	PH0	37	26	24
	X2	PH1	38	27	25
	SCOUT	PA0	26	19	18
	BOOT_N	PG0	62	46	43

4. レジスタ説明

入出力ポートには、機能レジスタと駆動能力制御レジスタがあります。

4.1. 機能制御レジスタ

ポートを使用する際には以下のレジスタを設定する必要があります。
レジスタは全て 32 ビットですが、ポートのビット数、機能の割り当てにより構成が異なります。
以下の説明では"x"はポート名、"n"はファンクション番号を示します。

レジスタ名		Type	設定値	説明
[PxDATA]	データレジスタ	R/W	0 または 1	ポートの状態あるいは出力データの読み込み、出力データの書き込みを行います。
[PxCR]	出力コントロールレジスタ	R/W	0: 出力禁止 1: 出力許可	出力の制御を行います。
[PxFRn]	ファンクションレジスタ n	R/W	0: PORT 1: 機能	機能設定を行いません。 "1"を設定することにより割り当てられている機能を使用できるようになります。ファンクションレジスタはポートに割り当てられている機能ごとに存在します。複数の機能が割り当てられている場合、1つの機能のみ有効になるように設定してください。
[PxOD]	オープンドレインコントロールレジスタ	R/W	0: CMOS 1: オープンドレイン	プログラマブルオープンドレインの制御を行います。 プログラマブルオープンドレインは、[PxOD]に"1"を設定することにより、出力データが"1"の場合に出力バッファをディセーブルにし、擬似的にオープンドレインを実現する機能です。
[PxPUP]	プルアップコントロールレジスタ	R/W	0: プルアップ禁止 1: プルアップ許可	プログラマブルプルアップ抵抗を制御します。
[PxPDN]	プルダウンコントロールレジスタ	R/W	0: プルダウン禁止 1: プルダウン許可	プログラマブルプルダウン抵抗を制御します。
[PxIE]	入力コントロールレジスタ	R/W	0: 入力禁止 1: 入力許可	入力の制御を行いません。 [PxIE]を"1"に設定してからポートの状態が[PxDATA]に反映されるまで 100ns(最大)の時間が必要です。

4.1.1. 機能端子を使用する際の設定方法

機能端子を周辺機能の出力端子として使用する際には、ファンクションレジスタを使用する周辺機能([PxFRn]<bit m>=1)に設定し、出力コントロールレジスタを出力許可([PxCR]<bit m>=1)に設定した後、周辺機能の設定をしてください。ファンクションレジスタの設定よりも先に出力許可すると、ファンクションレジスタが設定されるまで、ポートのデータレジスタ値が出力されます。

機能端子を周辺機能の入力端子として使用する際には、入力コントロールレジスタを入力([PxIE]<bit m>=1)に設定し、ファンクションレジスタを使用する周辺機能([PxFRn]<bit m>=1)に設定した後、周辺機能の設定をしてください。

また、I²C などの入出力端子となる周辺機能を使用する場合は、入力コントロールレジスタを入力([PxIE]<bit m>=1)に設定、ファンクションレジスタを使用する周辺機能([PxFRn]<bit m>=1)に設定、出力コントロールレジスタを出力許可([PxCR]<bit m>=1)に設定した後、周辺機能の設定をしてください。

- 複数の機能が割り当てられているポートは、使用する機能を一つだけ選択してください。
- 同一機能が複数ポートに割り当てられている端子は、排他的に使用してください。

4.1.2. 機能制御レジスタ一覧

存在しないビットをリードすると"0"が読めます。ライトは意味を持ちません。

表 4.1 機能制御レジスタのベースアドレス

周辺機能		チャンネル/ユニット	ベースアドレス
入出力ポート	PA	-	0x40080000
	PB	-	0x40080100
	PC	-	0x40080200
	PD	-	0x40080300
	PE	-	0x40080400
	PF	-	0x40080500
	PG	-	0x40080600
	PH	-	0x40080700
	PJ	-	0x40080800

表 4.2 機能制御レジスター一覧

レジスター名	アドレス (Base+)	ポート A	ポート B	ポート C	ポート D	ポート E	ポート F
データレジスター	0x0000	[PADATA]	[PBDATA]	[PCDATA]	[PDDATA]	[PEDATA]	[PFDATA]
出力コントロールレジスター	0x0004	[PACR]	[PBCR]	[PCCR]	[PDCR]	[PECR]	[PFCR]
ファンクションレジスター1	0x0008	[PAFR1]	-	[PCFR1]	[PDFR1]	-	-
ファンクションレジスター2	0x000C	[PAFR2]	-	[PCFR2]	[PDFR2]	-	-
ファンクションレジスター3	0x0010	[PAFR3]	[PBFR3]	[PCFR3]	[PDFR3]	-	-
ファンクションレジスター4	0x0014	[PAFR4]	[PBFR4]	[PCFR4]	[PDFR4]	-	-
ファンクションレジスター5	0x0018	[PAFR5]	-	[PCFR5]	[PDFR5]	-	-
ファンクションレジスター6	0x001C	[PAFR6]	[PBFR6]	[PCFR6]	[PDFR6]	-	-
ファンクションレジスター7	0x0020	[PAFR7]	[PBFR7]	[PCFR7]	[PDFR7]	-	-
ファンクションレジスター8	0x0024	[PAFR8]	[PBFR8]	[PCFR8]	[PDFR8]	-	-
オープンドレインコントロールレジスター	0x0028	[PAOD]	[PBOD]	[PCOD]	[PDOD]	[PEOD]	[PFOD]
プルアップコントロールレジスター	0x002C	[PAPUP]	[PBPUP]	[PCPUP]	[PDPUP]	[PEPUP]	[PFPUP]
プルダウンコントロールレジスター	0x0030	[PAPDN]	[PBPDN]	[PCPDN]	[PDPDN]	[PEPDN]	[PFPDN]
入力コントロールレジスター	0x0038	[PAIE]	[PBIE]	[PCIE]	[PDIE]	[PEIE]	[PFIE]

レジスター名	アドレス (Base+)	ポート G	ポート H	ポート J
データ レジスター	0x0000	[PGDATA]	[PHDATA]	[PJDATA]
出力コントロールレジスター	0x0004	[PGCR]	[PHCR]	[PJCR]
ファンクションレジスター1	0x0008	[PGFR1]	-	[PJFR1]
ファンクションレジスター2	0x000C	[PGFR2]	-	[PJFR2]
ファンクションレジスター3	0x0010	[PGFR3]	-	-
ファンクションレジスター4	0x0014	[PGFR4]	-	-
ファンクションレジスター5	0x0018	[PGFR5]	-	[PJFR5]
ファンクションレジスター6	0x001C	[PGFR6]	[PHFR6]	[PJFR6]
ファンクションレジスター7	0x0020	[PGFR7]	[PHFR7]	[PJFR7]
ファンクションレジスター8	0x0024	[PGFR8]	[PHFR8]	[PJFR8]
オープンドレインコントロールレジスター	0x0028	[PGOD]	[PHOD]	[PJOD]
プルアップコントロールレジスター	0x002C	[PGPUP]	-	[PJPUP]
プルダウンコントロールレジスター	0x0030	[PGPDN]	[PHPDN]	[PJPDN]
入力コントロールレジスター	0x0038	[PGIE]	[PHIE]	[PJIE]

注) "-" 表記のアドレスにはアクセスしないでください。

4.1.3. 機能制御レジスター設定一覧

ポート機能レジスター設定一覧の表の見方を説明します。

[PxFRn]の欄は、設定の必要なファンクションレジスターを示します。このレジスターを"1"に設定するとその機能が有効となります。(x はポート名、n はファンクション番号)

表中の"N/A"のビットはリードすると"0"が読め、ライトは意味を持ちません。

表中の"0"、"1"は設定値を示し、"0/1"は任意に設定可能であることを示します。

PORT	リセット状態 機能	Input/output	Port type	制御レジスター						
				[PADATA]	[PACR]	[PAFRn]	[PAOD]	[PAPUP]	[PAPDN]	[PAIE]
PA0	リセット後			0	0	0	0	0	0	0
	Input port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output port	Output		0/1	1	0	0/1	0/1	0/1	0
	INTx	Input	FTU4	0/1	0	0	0/1	0/1	0/1	1
	機能出力 A	Output	FTU1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	機能入力 B	Input	FTU1	0/1	0	[PAFR2]	0/1	0/1	0/1	1
	機能出力 C	Output	FTU1	0/1	1	[PAFR3]	0/1	0/1	0/1	0
	機能入力 D	Input	FTU1	0/1	0	[PAFR4]	0/1	0/1	0/1	1

[PxFRn]	端子				
	機能出力 A	機能入力 B	機能出力 C	機能入力 D	Input port Output port
[PAFR1]<bit0>	1	0	0	0	0
[PAFR2]<bit0>	0	1	0	0	0
[PAFR3]<bit0>	0	0	1	0	0
[PAFR4]<bit0>	0	0	0	1	0

4.1.4. PORT A

表 4.3 ポートAレジスター設定

PORT	リセット状態	Input/output	Port type	制御レジスター						
	機能			[PADATA]	[PACR]	[PAFRn]	[PAOD]	[PAPUP]	[PAPDN]	[PAIE]
PA0	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT03	Input	FTU4	0/1	0	0	0/1	0/1	0/1	1
	UT2CTS_N	Input	FTU1	0/1	0	[PAFR1]	0/1	0/1	0/1	1
	UT2RTS_N	Output	FTU1	0/1	1	[PAFR2]	0/1	0/1	0/1	0
	TSPI2SCK	Input	FTU1	0/1	0	[PAFR3]	0/1	0/1	0/1	1
		Output			1					0
	PMD0DBG	Output	FTU1	0/1	1	[PAFR7]	0/1	0/1	0/1	0
	SCOUT	Output	FTU1	0/1	1	[PAFR8]	0/1	0/1	0/1	0
PA1	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT2TXDA	Output	FTU1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	UT2RXD	Input	FTU1	0/1	0	[PAFR2]	0/1	0/1	0/1	1
	TSPI2TXD	Output	FTU2	0/1	1	[PAFR3]	0/1	0/1	0/1	0
	T32A04INA0	Input	FTU1	0/1	0	[PAFR5]	0/1	0/1	0/1	1
	T32A04INB1	Input	FTU1	0/1	0	[PAFR6]	0/1	0/1	0/1	1
	T32A04OUTB	Output	FTU1	0/1	1	[PAFR7]	0/1	0/1	0/1	0
	T32A04INC0	Input	FTU1	0/1	0	[PAFR8]	0/1	0/1	0/1	1
PA2	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT2RXD	Input	FTU1	0/1	0	[PAFR1]	0/1	0/1	0/1	1
	UT2TXDA	Output	FTU1	0/1	1	[PAFR2]	0/1	0/1	0/1	0
	TSPI2RXD	Input	FTU1	0/1	0	[PAFR3]	0/1	0/1	0/1	1
	T32A04INB0	Input	FTU1	0/1	0	[PAFR5]	0/1	0/1	0/1	1
	T32A04INA1	Input	FTU1	0/1	0	[PAFR6]	0/1	0/1	0/1	1
	T32A04OUTA	Output	FTU1	0/1	1	[PAFR7]	0/1	0/1	0/1	0
	T32A04OUTC	Output	FTU1	0/1	1	[PAFR8]	0/1	0/1	0/1	0
PA3	リセット後 (TRST_N)	Input	FTU3	0	0	[PAFR8]	0	1	0	1
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT1TXDA	Output	FTU1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	UT1RXD	Input	FTU1	0/1	0	[PAFR2]	0/1	0/1	0/1	1
	EI2C0SCL	I/O	FTU1	0/1	1	[PBF5]	1	0/1	0/1	1
	T32A02INA0	Input	FTU1	0/1	0	[PAFR6]	0/1	0/1	0/1	1
	T32A02OUTB	Output	FTU1	0/1	1	[PAFR7]	0/1	0/1	0/1	0

PORT	リセット状態	Input/output	Port type	制御レジスター						
	機能			[PADATA]	[PACR]	[PAFRn]	[PAOD]	[PAPUP]	[PAPDN]	[PAIE]
PA4	リセット後 (TDI)	Input	FTU2	0	0	[PAFR8]	0	1	0	1
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT04	Input	FTU4	0/1	0	0	0/1	0/1	0/1	1
	UT1RXD	Input	FTU1	0/1	0	[PAFR1]	0/1	0/1	0/1	1
	UT1TXDA	Output	FTU1	0/1	1	[PAFR2]	0/1	0/1	0/1	0
	EI2C0SDA	I/O	FTU1	0/1	1	[PAFR5]	1	0/1	0/1	1
	T32A02INB0	Input	FTU1	0/1	0	[PAFR6]	0/1	0/1	0/1	1
	T32A02OUTA	Output	FTU1	0/1	1	[PAFR7]	0/1	0/1	0/1	0
PA5	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT1TXDA	Output	FTU1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	UT1RXD	Input	FTU1	0/1	0	[PAFR2]	0/1	0/1	0/1	1
	TRGIN1	Input	FTU1	0/1	0	[PAFR4]	0/1	0/1	0/1	1
	EI2C1SCL	I/O	FTU1	0/1	1	[PAFR5]	1	0/1	0/1	1
PA6	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT10	Input	FTU4	0/1	0	0	0/1	0/1	0/1	1
	UT1RXD	Input	FTU1	0/1	0	[PAFR1]	0/1	0/1	0/1	1
	UT1TXDA	Output	FTU1	0/1	1	[PAFR2]	0/1	0/1	0/1	0
	EI2C1SDA	I/O	FTU1	0/1	1	[PAFR5]	1	0/1	0/1	1
PA7	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT16	Input	FTU4	0/1	0	0	0/1	0/1	0/1	1
	UT4TXDA	Output	FTU1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	UT4RXD	Input	FTU1	0/1	0	[PAFR2]	0/1	0/1	0/1	1
	T32A02INA0	Input	FTU1	0/1	0	[PAFR5]	0/1	0/1	0/1	1
	T32A02INB1	Input	FTU1	0/1	0	[PAFR6]	0/1	0/1	0/1	1
	T32A02OUTB	Output	FTU1	0/1	1	[PAFR7]	0/1	0/1	0/1	0
	T32A02INC0	Input	FTU1	0/1	0	[PAFR8]	0/1	0/1	0/1	1

4.1.5. PORT B

表 4.4 ポートBレジスター設定

PORT	リセット状態	Input/output	Port type	制御レジスター						
	機能			[PBDATA]	[PBCR]	[PBFRn]	[PBOD]	[PBPUP]	[PBPDN]	[PBIE]
PB0	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UO0	Output	FTU2	0/1	1	[PBFR6] [PBFR7]	0/1	0/1	0/1	0
PB1	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	XO0	Output	FTU2	0/1	1	[PBFR6]	0/1	0/1	0/1	0
	VO0	Output	FTU2	0/1	1	[PBFR7]	0/1	0/1	0/1	0
PB2	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	VO0	Output	FTU2	0/1	1	[PBFR6]	0/1	0/1	0/1	0
	WO0	Output	FTU2	0/1	1	[PBFR7]	0/1	0/1	0/1	0
PB3	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	YO0	Output	FTU2	0/1	1	[PBFR6]	0/1	0/1	0/1	0
	XO0	Output	FTU2	0/1	1	[PBFR7]	0/1	0/1	0/1	0
PB4	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	WO0	Output	FTU2	0/1	1	[PBFR6]	0/1	0/1	0/1	0
	YO0	Output	FTU2	0/1	1	[PBFR7]	0/1	0/1	0/1	0
PB5	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	ZO0	Output	FTU2	0/1	1	[PBFR6] [PBFR7]	0/1	0/1	0/1	0
PB6	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	EMG0	Input	FTU1	0/1	0	[PBFR6]	0/1	0/1	0/1	1
	OVV0	Input	FTU1	0/1	0	[PBFR7]	0/1	0/1	0/1	1

PORT	リセット状態	Input/output	Port type	制御レジスター						
	機能			[PBDATA]	[PBCR]	[PBFRn]	[PBOD]	[PBPUP]	[PBPDN]	[PBIE]
PB7	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT09	Input	FTU4	0/1	0	0	0/1	0/1	0/1	1
	TSPI1CS1	Output	FTU1	0/1	1	[PBFR3]	0/1	0/1	0/1	0
	SMI0CS1_N	Output	FTU1	0/1	1	[PBFR4]	0/1	0/1	0/1	0
	Ovv0	Input	FTU1	0/1	0	[PBFR6]	0/1	0/1	0/1	1
	EMG0	Input	FTU1	0/1	0	[PBFR7]	0/1	0/1	0/1	1
	T32A00OUTB	Output	FTU1	0/1	1	[PBFR8]	0/1	0/1	0/1	0

4.1.6. PORT C

表 4.5 ポートCレジスター設定

PORT	リセット状態	Input/output	Port type	制御レジスター						
	機能			[PCDATA]	[PCCR]	[PCFRn]	[PCOD]	[PCPUP]	[PCPDN]	[PCIE]
PC0	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT3TXDA	Output	FTU1	0/1	1	[PCFR1]	0/1	0/1	0/1	0
	UT3RXD	Input	FTU1	0/1	0	[PCFR2]	0/1	0/1	0/1	1
	TSPI1CS0	Output	FTU1	0/1	1	[PCFR3]	0/1	0/1	0/1	0
	SMI0CS0_N	Output	FTU1	0/1	1	[PCFR4]	0/1	0/1	0/1	0
	TSPI1CSIN	Input	FTU1	0/1	0	[PCFR5]	0/1	0/1	0/1	1
	TRGIN0	Input	FTU1	0/1	0	[PCFR6]	0/1	0/1	0/1	1
	T32A00INA0	Input	FTU1	0/1	0	[PCFR7]	0/1	0/1	0/1	1
	T32A00INB1	Input	FTU1	0/1	0	[PCFR8]	0/1	0/1	0/1	1
PC1	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT3RXD	Input	FTU1	0/1	0	[PCFR1]	0/1	0/1	0/1	1
	UT3TXDA	Output	FTU1	0/1	1	[PCFR2]	0/1	0/1	0/1	0
	TSPI1SCK	Input	FTU1	0/1	0	[PCFR3]	0/1	0/1	0/1	1
		Output			1					0
	SMI0CLK	Output	FTU1	0/1	1	[PCFR4]	0/1	0/1	0/1	0
	T32A00INB0	Input	FTU1	0/1	0	[PCFR6]	0/1	0/1	0/1	1
	T32A00INA1	Input	FTU1	0/1	0	[PCFR7]	0/1	0/1	0/1	1
	T32A00OUTA	Output	FTU1	0/1	1	[PCFR8]	0/1	0/1	0/1	0
PC2	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT2TXDA	Output	FTU1	0/1	1	[PCFR1]	0/1	0/1	0/1	0
	UT2RXD	Input	FTU1	0/1	0	[PCFR2]	0/1	0/1	0/1	1
	TSPI1TXD	Output	FTU2	0/1	1	[PCFR3]	0/1	0/1	0/1	0
	SMI0D0	Input	FTU1	0/1	0	[PCFR4]	0/1	0/1	0/1	1
		Output			1					0
	T32A01INA0	Input	FTU1	0/1	0	[PCFR5]	0/1	0/1	0/1	1
	T32A01INB1	Input	FTU1	0/1	0	[PCFR6]	0/1	0/1	0/1	1
	T32A01OUTB	Output	FTU1	0/1	1	[PCFR7]	0/1	0/1	0/1	0
	T32A01INC0	Input	FTU1	0/1	0	[PCFR8]	0/1	0/1	0/1	1

PORT	リセット状態	Input/output	Port type	制御レジスター						
	機能			[PCDATA]	[PCCR]	[PCFRn]	[PCOD]	[PCPUP]	[PCPDN]	[PCIE]
PC3	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT2RXD	Input	FTU1	0/1	0	[PCFR1]	0/1	0/1	0/1	1
	UT2TXDA	Output	FTU1	0/1	1	[PCFR2]	0/1	0/1	0/1	0
	TSPI1RXD	Input	FTU1	0/1	0	[PCFR3]	0/1	0/1	0/1	1
	SMI0D1	Input	FTU1	0/1	0	[PCFR4]	0/1	0/1	0/1	1
		Output			1					0
	T32A01INB0	Input	FTU1	0/1	0	[PCFR5]	0/1	0/1	0/1	1
	T32A01INA1	Input	FTU1	0/1	0	[PCFR6]	0/1	0/1	0/1	1
	T32A01OUTA	Output	FTU1	0/1	1	[PCFR7]	0/1	0/1	0/1	0
	T32A01OUTC	Output	FTU1	0/1	1	[PCFR8]	0/1	0/1	0/1	0
PC4	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT14	Input	FTU4	0/1	0	0	0/1	0/1	0/1	1
	UT3RTS_N	Output	FTU1	0/1	1	[PCFR1]	0/1	0/1	0/1	0
	UT3CTS_N	Input	FTU1	0/1	0	[PCFR2]	0/1	0/1	0/1	1
	SMI0D2	Input	FTU1	0/1	0	[PCFR4]	0/1	0/1	0/1	1
		Output			1					0
	PMD0DBG	Output	FTU1	0/1	1	[PCFR8]	0/1	0/1	0/1	0
PC5	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT15	Input	FTU4	0/1	0	0	0/1	0/1	0/1	1
	UT3CTS_N	Input	FTU1	0/1	0	[PCFR1]	0/1	0/1	0/1	1
	UT3RTS_N	Output	FTU1	0/1	1	[PCFR2]	0/1	0/1	0/1	0
	SMI0D3	Input	FTU1	0/1	0	[PCFR4]	0/1	0/1	0/1	1
		Output			1					0
	TRACECLK	Output	FTU1	0/1	1	[PCFR8]	0/1	0/1	0/1	0

4.1.7. PORT D

表 4.6 ポートDレジスター設定

PORT	リセット状態	Input/output	Port type	制御レジスター						
	機能			[PDDATA]	[PDCR]	[PDFRn]	[PDOD]	[PDPUP]	[PDPDN]	[PDIE]
PD0	リセット後 (TMS/SWDIO)	Input/output	FTU2	0	1(注)	[PDFR8]	0	1	0	1
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT02	Input	FTU4	0/1	0	0	0/1	0/1	0/1	1
	TSPI2CS0	Output	FTU1	0/1	1	[PDFR3]	0/1	0/1	0/1	0
	TSPI2CSIN	Input	FTU1	0/1	0	[PDFR4]	0/1	0/1	0/1	1
PD1	リセット後 (TCK/SWCLK)	Input	FTU2	0	0	[PDFR8]	0	0	1	1
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	TSPI2CS1	Output	FTU1	0/1	1	[PDFR2]	0/1	0/1	0/1	0
PD2	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT01	Input	FTU4	0/1	0	0	0/1	0/1	0/1	1
	UT0RXD	Input	FTU1	0/1	0	[PDFR1]	0/1	0/1	0/1	1
	UT0TXDA	Output	FTU1	0/1	1	[PDFR2]	0/1	0/1	0/1	0
	PMD0DBG	Output	FTU1	0/1	1	[PDFR3]	0/1	0/1	0/1	0
	SMI0D3	Input	FTU1	0/1	0	[PDFR4]	0/1	0/1	0/1	1
		Output			1					0
	T32A03INB0	Input	FTU1	0/1	0	[PDFR5]	0/1	0/1	0/1	1
	T32A03INA1	Input	FTU1	0/1	0	[PDFR6]	0/1	0/1	0/1	1
	T32A03OUTA	Output	FTU1	0/1	1	[PDFR7]	0/1	0/1	0/1	0
	T32A03OUTC	Output	FTU1	0/1	1	[PDFR8]	0/1	0/1	0/1	0
PD3	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT00	Input	FTU4	0/1	0	0	0/1	0/1	0/1	1
	UT0TXDA	Output	FTU1	0/1	1	[PDFR1]	0/1	0/1	0/1	0
	UT0RXD	Input	FTU1	0/1	0	[PDFR2]	0/1	0/1	0/1	1
	TSPI1CS1	Output	FTU1	0/1	1	[PDFR3]	0/1	0/1	0/1	0
	SMI0D2	Input	FTU1	0/1	0	[PDFR4]	0/1	0/1	0/1	1
		Output			1					0
	T32A03INA0	Input	FTU1	0/1	0	[PDFR5]	0/1	0/1	0/1	1
	T32A03INB1	Input	FTU1	0/1	0	[PDFR6]	0/1	0/1	0/1	1
	T32A03OUTB	Output	FTU1	0/1	1	[PDFR7]	0/1	0/1	0/1	0
	T32A03INC0	Input	FTU1	0/1	0	[PDFR8]	0/1	0/1	0/1	1

PORT	リセット状態	Input/output	Port type	制御レジスター						
	機能			[PDDATA]	[PDCR]	[PDFRn]	[PDOD]	[PDPUP]	[PDPDN]	[PDIE]
PD4	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT3RXD	Input	FTU1	0/1	0	[PDFR1]	0/1	0/1	0/1	1
	UT3TXDA	Output	FTU1	0/1	1	[PDFR2]	0/1	0/1	0/1	0
	T32A01INB0	Input	FTU1	0/1	0	[PDFR4]	0/1	0/1	0/1	1
	T32A01INA1	Input	FTU1	0/1	0	[PDFR5]	0/1	0/1	0/1	1
	T32A01OUTA	Output	FTU1	0/1	1	[PDFR6]	0/1	0/1	0/1	0
	T32A01OUTC	Output	FTU1	0/1	1	[PDFR7]	0/1	0/1	0/1	0
PD5	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	UT3TXDA	Output	FTU1	0/1	1	[PDFR1]	0/1	0/1	0/1	0
	UT3RXD	Input	FTU1	0/1	0	[PDFR2]	0/1	0/1	0/1	1
	T32A01INA0	Input	FTU1	0/1	0	[PDFR4]	0/1	0/1	0/1	1
	T32A01INB1	Input	FTU1	0/1	0	[PDFR5]	0/1	0/1	0/1	1
	T32A01OUTB	Output	FTU1	0/1	1	[PDFR6]	0/1	0/1	0/1	0
	T32A01INC0	Input	FTU1	0/1	0	[PDFR7]	0/1	0/1	0/1	1

注) デバッグツールからのコマンドを受け付けるまでは出力にはなりません。

4.1.8. PORT E

表 4.7 ポートE レジスター設定

PORT	リセット状態	Input/output	Port type	制御レジスター						
	機能			[PEDATA]	[PECR]	[PEFRn]	[PEOD]	[PEPUP]	[PEPDN]	[PEIE]
PE0	リセット後	-	-	0	0	N/A	0	0	0	0
	Input port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINA00 (注)	Input	FTU5	0/1	0	N/A	0/1	0	0	0
PE1	リセット後	-	-	0	0	N/A	0	0	0	0
	Input port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINA01 (注)	Input	FTU5	0/1	0	N/A	0/1	0	0	0
PE2	リセット後	-	-	0	0	N/A	0	0	0	0
	Input port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINA02 (注)	Input	FTU5	0/1	0	N/A	0/1	0	0	0
PE3	リセット後	-	-	0	0	N/A	0	0	0	0
	Input port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINA03 (注)	Input	FTU5	0/1	0	N/A	0/1	0	0	0
PE4	リセット後	-	-	0	0	N/A	0	0	0	0
	Input port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINA04 (注)	Input	FTU5	0/1	0	N/A	0/1	0	0	0
PE5	リセット後	-	-	0	0	N/A	0	0	0	0
	Input port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINA05 (注)	Input	FTU5	0/1	0	N/A	0/1	0	0	0
PE6	リセット後	-	-	0	0	N/A	0	0	0	0
	Input port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINA06 (注)	Input	FTU5	0/1	0	N/A	0/1	0	0	0
PE7	リセット後	-	-	0	0	N/A	0	0	0	0
	Input port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINA07 (注)	Input	FTU5	0/1	0	N/A	0/1	0	0	0

注) アナログ入力端子(AINAx)として使用する場合、[PEIE]は入力禁止"0"、[PECR]は出力禁止"0"、[PEPUP]はプルアップ禁止"0"、[PEPDN]はプルダウン禁止"0"にしてください。

4.1.9. PORT F

表 4.8 ポートFレジスター設定

PORT	リセット状態	Input/output	Port type	制御レジスター						
	機能			[PFDATA]	[PFCR]	[PFFRn]	[PFOD]	[PFPUP]	[PFPDN]	[PFIE]
PF0	リセット後	-	-	0	0	N/A	0	0	0	0
	Input port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINA08 (注)	Input	FTU5	0/1	0	N/A	0/1	0	0	0
PF1	リセット後	-	-	0	0	N/A	0	0	0	0
	Input port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINA09 (注)	Input	FTU5	0/1	0	N/A	0/1	0	0	0
PF2	リセット後	-	-	0	0	N/A	0	0	0	0
	Input port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	AINA10 (注)	Input	FTU5	0/1	0	N/A	0/1	0	0	0
PF3	リセット後	-	-	0	0	N/A	0	0	0	0
	Input port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	INT08	Input	FTU4	0/1	0	N/A	0/1	0/1	0/1	1
	AINA11 (注)	Input	FTU5	0/1	0	N/A	0/1	0	0	0
PF4	リセット後	-	-	0	0	N/A	0	0	0	0
	Input port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	INT07	Input	FTU4	0/1	0	N/A	0/1	0/1	0/1	1
	AINA12 (注)	Input	FTU5	0/1	0	N/A	0/1	0	0	0
PF5	リセット後	-	-	0	0	N/A	0	0	0	0
	Input port	Input	-	0/1	0	N/A	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	N/A	0/1	0/1	0/1	0
	INT11	Input	FTU4	0/1	0	N/A	0/1	0/1	0/1	1
	AINA13 (注)	Input	FTU5	0/1	0	N/A	0/1	0	0	0

注) アナログ入力端子(AINAx)として使用する場合、[PFIE]は入力禁止"0"、[PFCR]は出力禁止"0"、[PFPUP]はプルアップ禁止"0"、[PFPDN]はプルダウン禁止"0"にしてください。

4.1.10. PORT G

表 4.9 ポートGレジスター設定

PORT	リセット状態	Input/output	Port type	制御レジスター						
	機能			[PGDATA]	[PGCR]	[PGFRn]	[PGOD]	[PGPUP]	[PGPDN]	[PGIE]
PG0	リセット中 (BOOT_N)	Input (注)	FTU6a	0	0	0	0	0 (注)	0	N/A
	リセット後	-	-	0	0	0	0	0	0	N/A
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	N/A
	UT5TXDA	Output	FTU1	0/1	1	[PGFR1]	0/1	0/1	0/1	N/A
	TSPI0TXD	Output	FTU2	0/1	1	[PGFR3]	0/1	0/1	0/1	N/A
PG1	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT12	Input	FTU4	0/1	0	0	0/1	0/1	0/1	1
	UT5RXD	Input	FTU1	0/1	0	[PGFR1]	0/1	0/1	0/1	1
	TSPI0RXD	Input	FTU1	0/1	0	[PGFR3]	0/1	0/1	0/1	1
	TRGIN2	Input	FTU1	0/1	0	[PGFR4]	0/1	0/1	0/1	1
	T32A03INB0	Input	FTU1	0/1	0	[PGFR5]	0/1	0/1	0/1	1
	T32A03INA1	Input	FTU1	0/1	0	[PGFR6]	0/1	0/1	0/1	1
	T32A03OUTA	Output	FTU1	0/1	1	[PGFR7]	0/1	0/1	0/1	0
	T32A03OUTC	Output	FTU1	0/1	1	[PGFR8]	0/1	0/1	0/1	0
PG2	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT20	Input	FTU4	0/1	0	0	0/1	0/1	0/1	1
	UT5CTS_N	Input	FTU1	0/1	0	[PGFR1]	0/1	0/1	0/1	1
	UT5RTS_N	Output	FTU1	0/1	1	[PGFR2]	0/1	0/1	0/1	0
	TSPI0SCK	Input	FTU1	0/1	0	[PGFR3]	0/1	0/1	0/1	1
		Output			1					0
	TRACEDATA1	Output	FTU1	0/1	1	[PGFR8]	0/1	0/1	0/1	0
PG3	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT13	Input	FTU4	0/1	0	0	0/1	0/1	0/1	1
	TSPI0CSIN	Input	FTU1	0/1	0	[PGFR2]	0/1	0/1	0/1	1
	TSPI0CS0	Output	FTU1	0/1	1	[PGFR3]	0/1	0/1	0/1	0
	T32A00INA0	Input	FTU1	0/1	0	[PGFR4]	0/1	0/1	0/1	1
	T32A00INB1	Input	FTU1	0/1	0	[PGFR5]	0/1	0/1	0/1	1
	T32A00OUTB	Output	FTU1	0/1	1	[PGFR6]	0/1	0/1	0/1	0
	T32A00INC0	Input	FTU1	0/1	0	[PGFR7]	0/1	0/1	0/1	1
	TRACEDATA0	Output	FTU1	0/1	1	[PGFR8]	0/1	0/1	0/1	0

注) PG0 は、リセット端子(RESET_N)によるリセット期間中は、プルアップ許可、入力許可で、BOOT_N 端子の状態を入力できます。

4.1.11. PORT H

表 4.10 ポートH レジスター設定

PORT	リセット状態	Input/output	PORT Type	制御レジスター						
	機能			[PHDATA]	[PHCR]	[PHFRn]	[PHOD]	[PHPUP]	[PHPDN]	[PHIE]
PH0	リセット後 (TDO/SWV)	Output	FTU2	0	1(注)	[PHFR8]	0	N/A	0	0
	Input port	Input	-	0/1	0	0	0/1	N/A	0/1	1
	Output port	Output	-	0/1	1	0	0/1	N/A	0/1	0
	INT05	Input	FTU4	0/1	0	0	0/1	N/A	0/1	1
	X1	Input	FTU11b	0/1	0	0	0/1	N/A	0	0
	EHCLKIN	Input	FTU11b	0/1	0	0	0/1	N/A	0	0/1
PH1	リセット後	-	-	0	0	0	0	N/A	0	0
	Input port	Input	-	0/1	0	0	0/1	N/A	0/1	1
	Output port	Output	-	0/1	1	0	0/1	N/A	0/1	0
	INT06	Input	FTU4	0/1	0	0	0/1	N/A	0/1	1
	X2	Output	FTU11b	0/1	0	0	0/1	N/A	0	0
	EMG0	Input	FTU1	0/1	0	[PHFR6]	0/1	N/A	0/1	1
	OVV0	Input	FTU1	0/1	0	[PHFR7]	0/1	N/A	0/1	1

注) デバッグツールからのコマンドを受け付けるまでは出力にはなりません。

4.1.12. PORT J

表 4.11 ポートJ レジスター設定

PORT	リセット状態	Input/output	PORT Type	制御レジスター						
	機能			[PJDATA]	[PJCR]	[PJFRn]	[PJOD]	[PJPUP]	[PJPDN]	[PJIE]
PJ0	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT19	Input	FTU4	0/1	0	0	0/1	0/1	0/1	1
	TSPI2CS1	Output	FTU1	0/1	1	[PJFR2]	0/1	0/1	0/1	0
	T32A04INA0	Input	FTU1	0/1	0	[PJFR5]	0/1	0/1	0/1	1
	T32A04INB1	Input	FTU1	0/1	0	[PJFR6]	0/1	0/1	0/1	1
	T32A04OUTB	Output	FTU1	0/1	1	[PJFR7]	0/1	0/1	0/1	0
	T32A04INC0	Input	FTU1	0/1	0	[PJFR8]	0/1	0/1	0/1	1
PJ1	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT18	Input	FTU4	0/1	0	0	0/1	0/1	0/1	1
	UT4CTS_N	Input	FTU1	0/1	0	[PJFR1]	0/1	0/1	0/1	1
	UT4RTS_N	Output	FTU1	0/1	1	[PJFR2]	0/1	0/1	0/1	0
	T32A00INB0	Input	FTU1	0/1	0	[PJFR5]	0/1	0/1	0/1	1
	T32A00INA1	Input	FTU1	0/1	0	[PJFR6]	0/1	0/1	0/1	1
	T32A00OUTA	Output	FTU1	0/1	1	[PJFR7]	0/1	0/1	0/1	0
	T32A00OUTC	Output	FTU1	0/1	1	[PJFR8]	0/1	0/1	0/1	0
PJ2	リセット後	-	-	0	0	0	0	0	0	0
	Input port	Input	-	0/1	0	0	0/1	0/1	0/1	1
	Output port	Output	-	0/1	1	0	0/1	0/1	0/1	0
	INT17	Input	FTU4	0/1	0	0	0/1	0/1	0/1	1
	UT4RXD	Input	FTU1	0/1	0	[PJFR1]	0/1	0/1	0/1	1
	UT4TXDA	Output	FTU1	0/1	1	[PJFR2]	0/1	0/1	0/1	0
	T32A02INB0	Input	FTU1	0/1	0	[PJFR5]	0/1	0/1	0/1	1
	T32A02INA1	Input	FTU1	0/1	0	[PJFR6]	0/1	0/1	0/1	1
	T32A02OUTA	Output	FTU1	0/1	1	[PJFR7]	0/1	0/1	0/1	0
	T32A02OUTC	Output	FTU1	0/1	1	[PJFR8]	0/1	0/1	0/1	0

4.2. 駆動能力制御レジスター

以下の端子は出力の駆動能力を 1~4mA から選択することができます。

- PA0~2
- PB7
- PC0~5
- PD0~3
- PG0~3
- PJ0

駆動能力の変更をする場合、対象ポートの *[PxCR]* が "0" (出力禁止) の状態で行ってください。
STOP2 モード中、駆動能力は 1mA に固定されます。

4.2.1. 駆動能力制御レジスター一覧

周辺機能		チャネル/ユニット	ベースアドレス
駆動能力制御	DRV	—	0x40090000

レジスター名		アドレス(Base+)
駆動能力制御レジスター0	<i>[DRVCR0]</i>	0x0000
駆動能力制御レジスター1	<i>[DRVCR1]</i>	0x0100

4.2.2. [DRVCR0](駆動能力制御レジスター0)

Bit	Bit symbol	リセット後	Type	機能
31:30	DRV15[1:0]	11	R/W	PG1 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA
29:28	DRV14[1:0]	11	R/W	PG0 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA
27:26	DRV13[1:0]	11	R/W	PD3 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA
25:24	DRV12[1:0]	11	R/W	PD2 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA
23:22	DRV11[1:0]	11	R/W	PD1 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA
21:20	DRV10[1:0]	11	R/W	PD0 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA
19:18	DRV9[1:0]	11	R/W	PC5 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA
17:16	DRV8[1:0]	11	R/W	PC4 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA
15:14	DRV7[1:0]	11	R/W	PC3 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA
13:12	DRV6[1:0]	11	R/W	PC2 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA

Bit	Bit symbol	リセット後	Type	機能
11:10	DRV5[1:0]	11	R/W	PC1 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA
9:8	DRV4[1:0]	11	R/W	PC0 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA
7:6	DRV3[1:0]	11	R/W	PB7 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA
5:4	DRV2[1:0]	11	R/W	PA2 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA
3:2	DRV1[1:0]	11	R/W	PA1 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA
1:0	DRV0[1:0]	11	R/W	PA0 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA

4.2.3. [DRVCR1](駆動能力制御レジスター1)

Bit	Bit symbol	リセット後	Type	機能
31:6	-	0	R	リードすると"0"が読めます。
5:4	DRV18[1:0]	11	R/W	PJ0 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA
3:2	DRV17[1:0]	11	R/W	PG3 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA
1:0	DRV16[1:0]	11	R/W	PG2 駆動能力制御 00: 1 mA 01: 2 mA 10: 3 mA 11: 4 mA

5. ポート回路図

ポートには、FTU1 ~ FTU6a、FTU11b のタイプがあります。それぞれの回路図を次ページから示します。駆動能力制御レジスターの有無は、「4.2. 駆動能力制御レジスター」を参照してください。
図中の点線は、データシートの「等価回路図」で記されている等価回路の範囲を示します。
回路図内の"I/O リセット"は、パワーオンリセット(POR)を示します。

5.1. タイプ FTU1

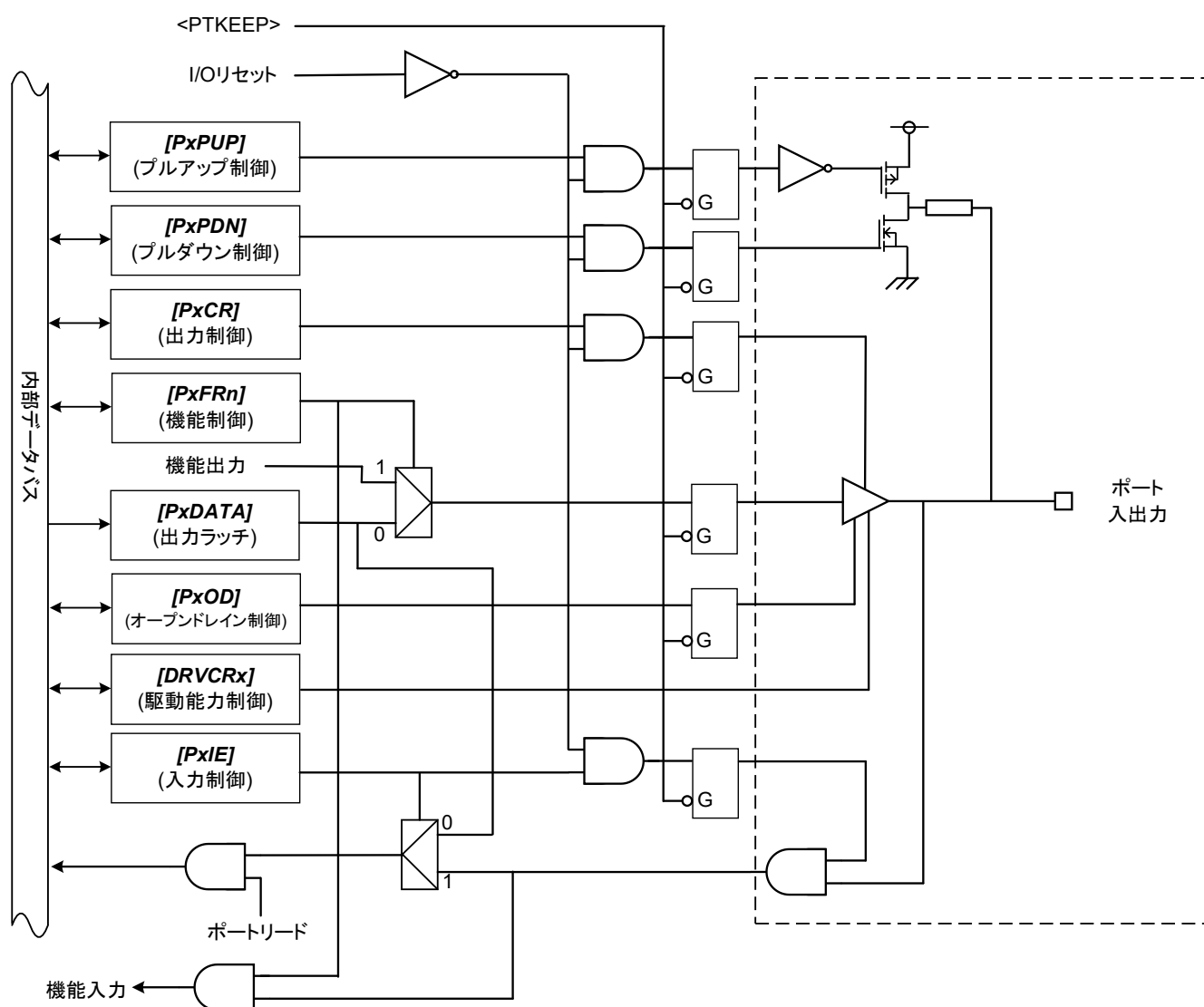


図 5.1 ポートタイプFTU1

5.2. タイプ FTU2

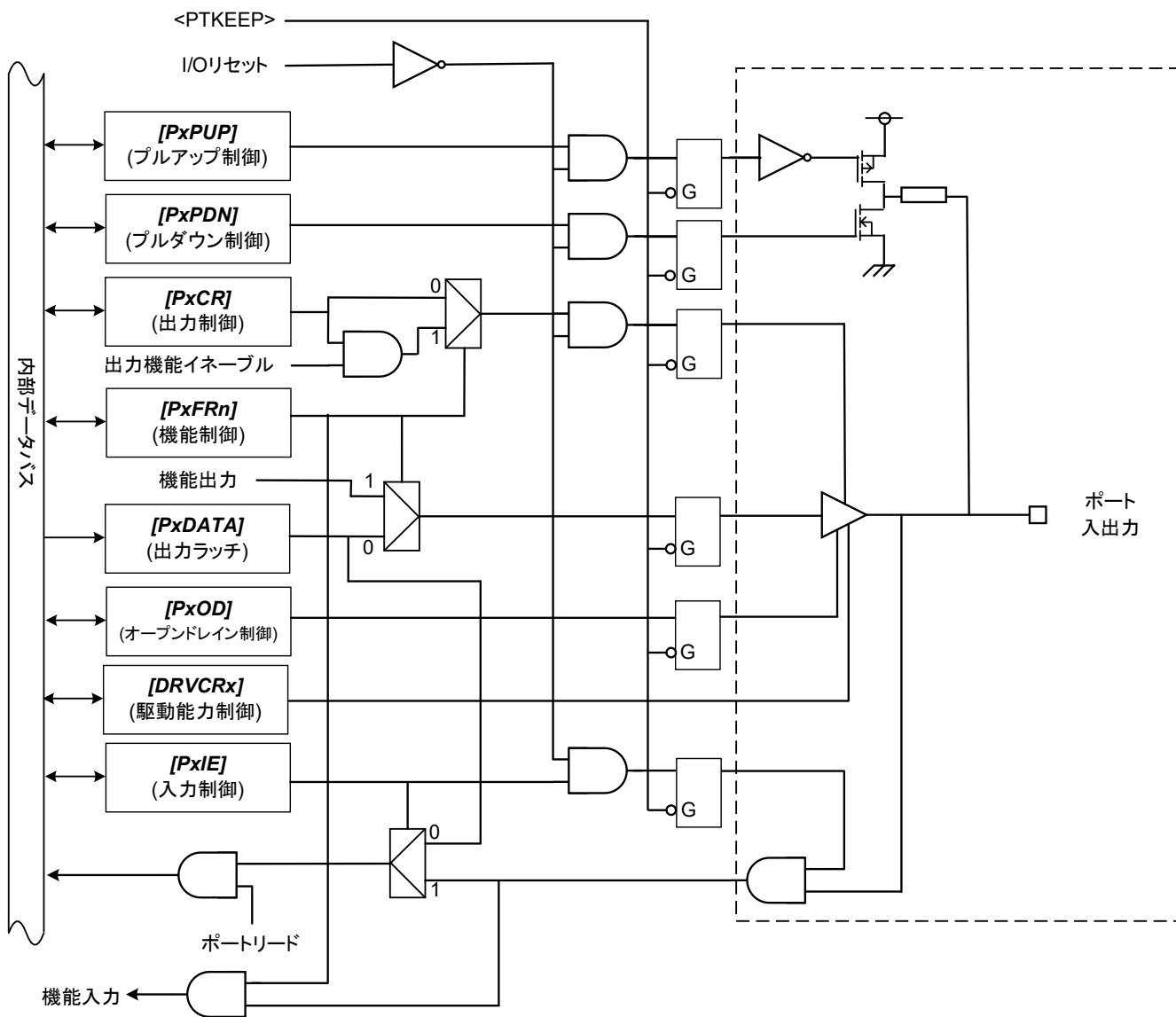


図 5.2 ポートタイプFTU2

5.3. タイプ FTU3

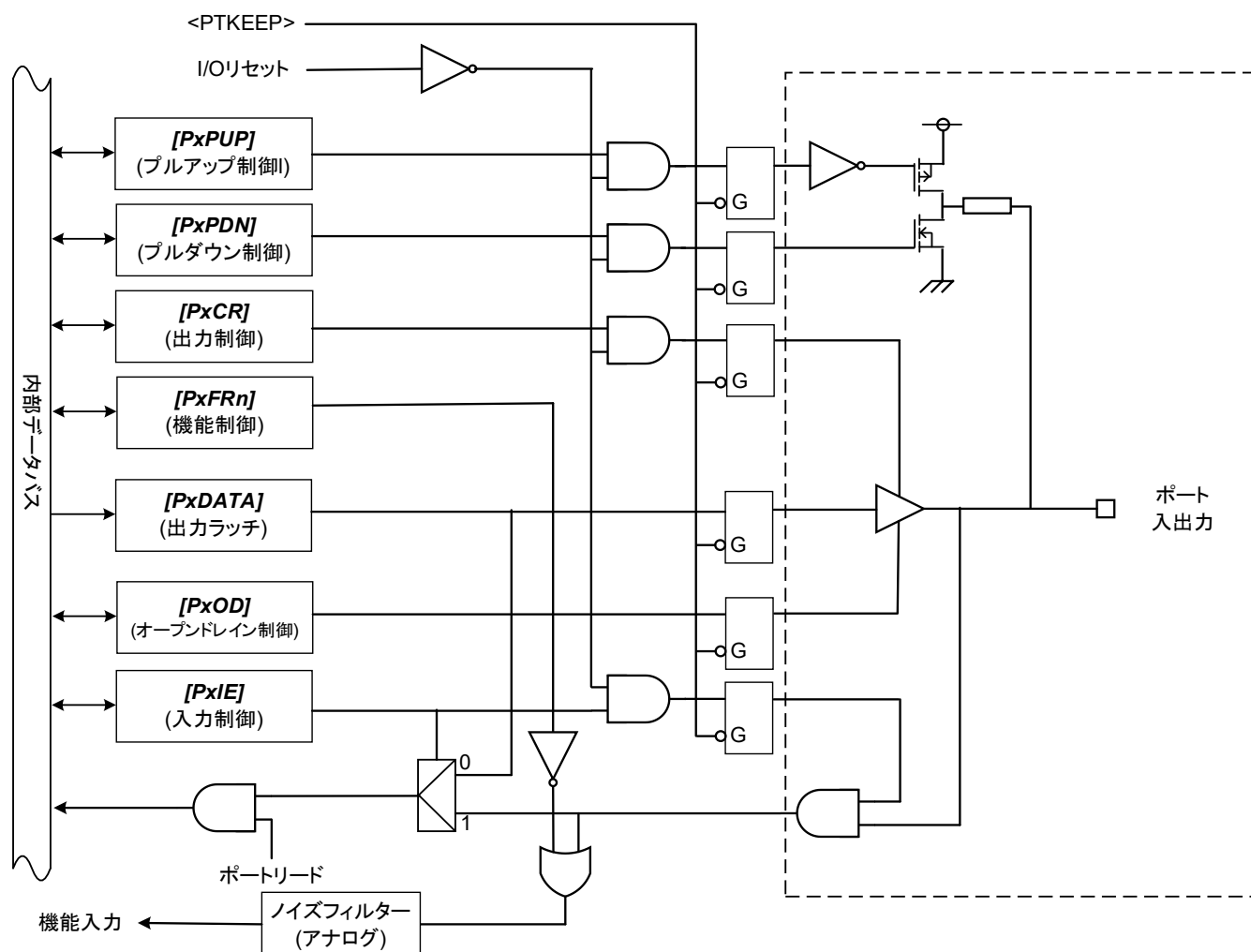


図 5.3 ポートタイプFTU3

5.4. タイプ FTU4

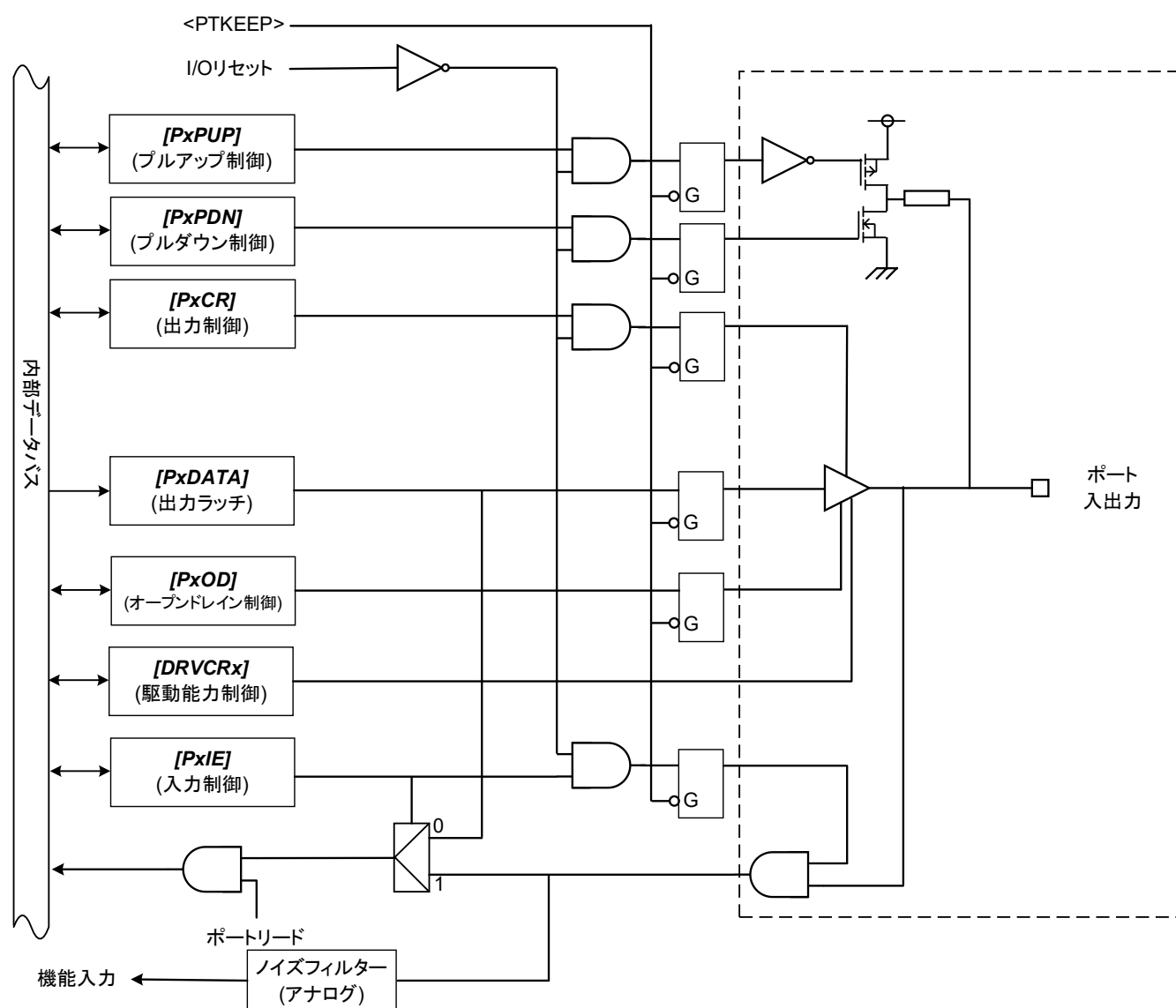


図 5.4 ポートタイプFTU4

5.6. タイプ FTU6a

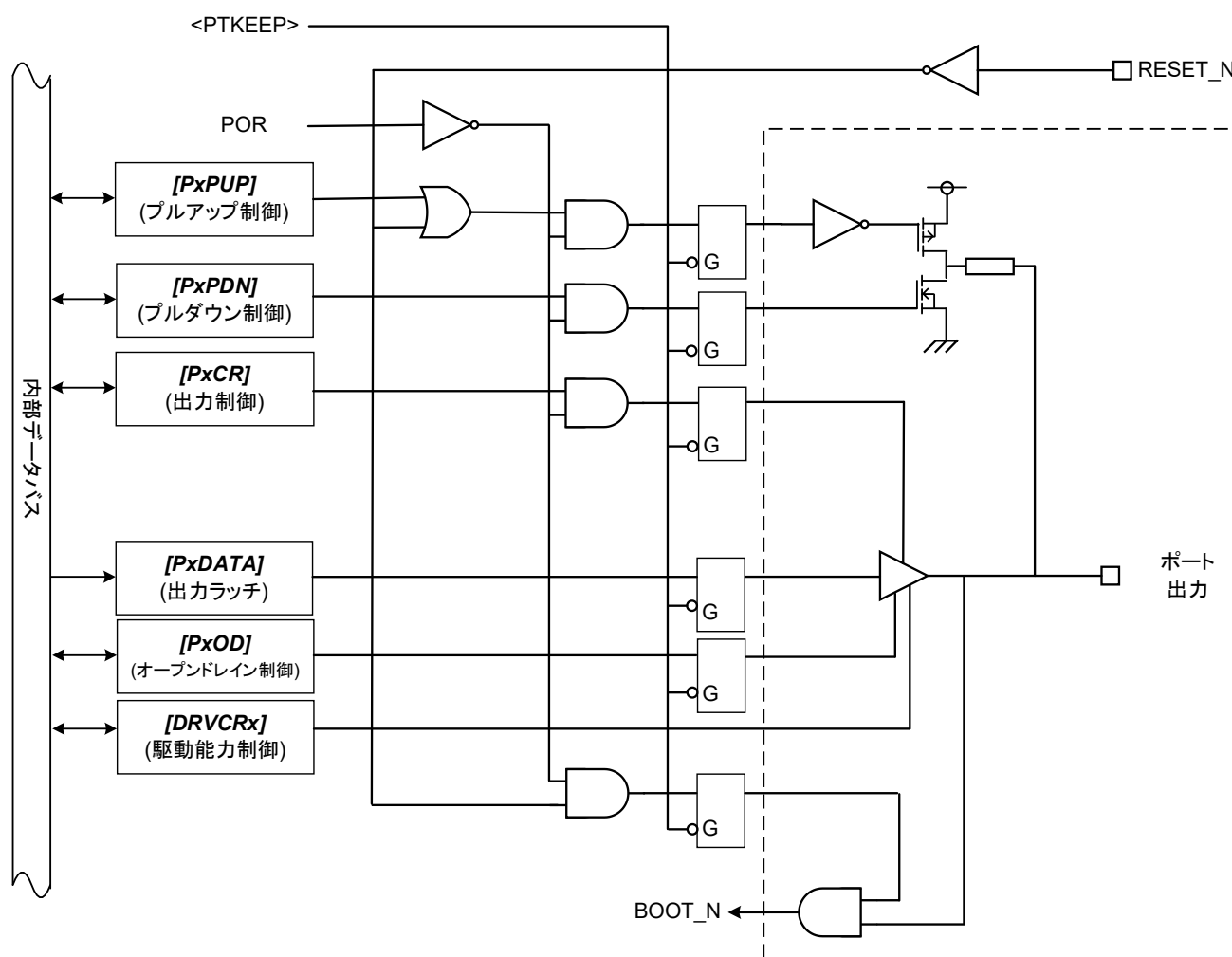


図 5.6 ポートタイプFTU6a

5.7. タイプFTU11b

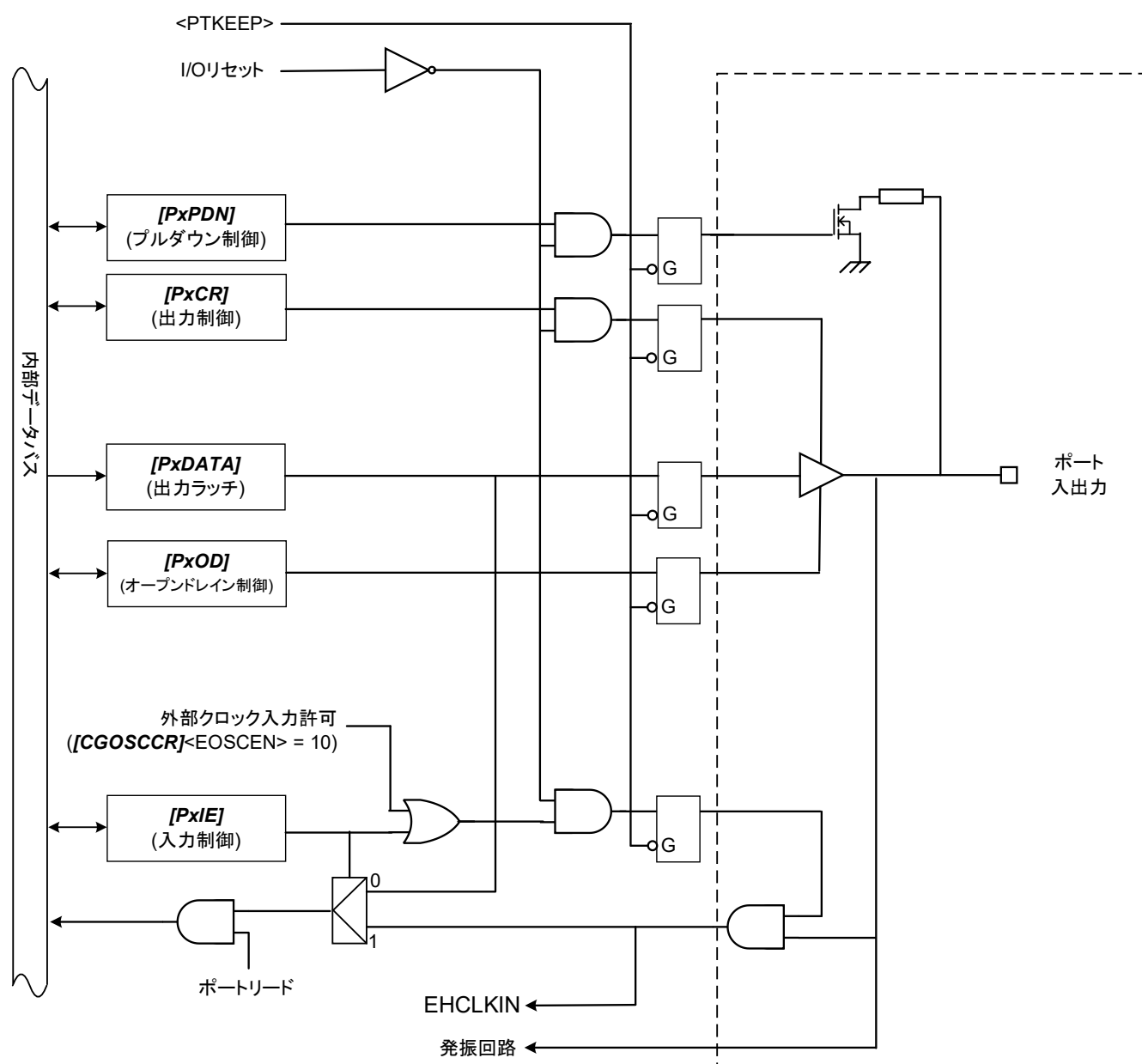


図 5.7 ポートタイプFTU11b

6. 使用上のご注意およびお願い事項

6.1. リセット期間中の端子状態について

リセット期間中、下記以外の端子はハイインピーダンス入力状態となり、プルアップ・プルダウンも禁止状態となります。

- デバッグインターフェース兼用端子(PD0,PD1,PA3,PA4,PH0)はデバック端子となります。
- PG0 (BOOT_N)はリセット端子(RESET_N 端子)によるリセット期間中、入力およびプルアップが許可となっています。
RESET_N 端子の立ち上がりで、PG0 が"High"レベルの場合、シングルチップモードとなり内蔵 Flash メモリーから起動します。
PG0 が"Low"レベルの場合、シングルブートモードとなり内蔵 BOOT ROM から起動します。

6.2. 未使用端子の処理について

未使用端子は、1 本ずつ抵抗を通して電源端子または 1 本ずつ抵抗を通して GND 端子に固定することを推奨します。

一般にハイインピーダンスの端子を開放状態で動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。

6.3. デバッグインターフェース端子を汎用ポートとして使用する際の注意

リセット解除後、ユーザープログラムでデバッグインターフェース端子を汎用ポートに設定すると、それ以降はデバッグツールからの接続ができなくなり制御ができなくなります。

デバッグツールによるデバッグができなくなった場合、シングルブートモードに設定し外部から UART 接続でフラッシュ消去することで、再度デバックツールと接続することができます。詳細はリファレンスマニュアルの「フラッシュメモリー」を参照してください。

7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2026-04-24	・新規作成

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（生命直結機器）、車載・輸送機器、防衛関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。