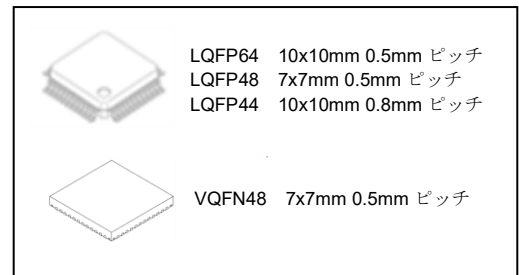


CMOS 形 デジタル集積回路 シリコン モノリシック

TMPM4V グループ(1)

概要

- Arm® Cortex®-M4(FPU 機能搭載)
動作周波数: 1~80MHz、動作電圧: 2.7~5.5V
- 128KB コードフラッシュ、64KB データフラッシュ
- 44~64 ピン、4 種類のパッケージ展開



用途

家電、OA、住設、AV 機器など民生・産業機器に幅広く使用可能

特長

- Cortex-M4(FPU 機能搭載) コア搭載
 - 動作周波数: 1~80MHz
 - メモリー保護ユニット(MPU)搭載
- 動作電圧と消費電力
 - 動作電圧: 2.7~5.5V
 - 低消費電力動作: IDLE、STOP1、STOP2
- 動作温度範囲: -40~+105°C
- 内蔵メモリー
 - コードフラッシュ: 128KB、書き換え: 10 万回
 - データフラッシュ: 64KB、書き換え: 10 万回
 - RAM: 32KB、パリティ付き
 - 1つのエリアで命令を実行しながら別のエリアの書き換えが可能
- クロック
 - 外部高速発振器: 6MHz~24MHz(セラミック、水晶)
 - 外部高速クロック入力: 6~24MHz
 - 内蔵高速発振器(IHOSC1): 10MHz、ユーザートリミング
 - PLL: 80MHz
- 周波数検知(OFD): システムクロック異常検知
- 電圧検知(LVD): 8 レベル、割り込みとリセット出力選択
- 割り込み
 - 外部: 9~21 要因、ノイズフィルター(アナログ/デジタル)付き
 - 内部: 56~68 要因
- 入出力ポート: 31~51 本 (出力: 1 本)
 - プルアップ/ダウン、オープンドレイン、5V トレラントあり
 - 一部のポートの駆動能力選択可能
- オンチップデバッグ(JTAG/SW/TRACE)
- トリガーセクター(TRGSEL)
 - DMA コントローラーやタイマーカウンタなどの起動要因を拡張
- DMA コントローラー(DMAC)
 - 起動要因: 27~31 要因、内部/外部トリガー
- CRC 計算回路(CRC): 1 チャネル
 - CRC32、CRC16
- 非同期シリアル通信回路(UART): 4~6 チャネル
 - 最大 5Mbps、FIFO(送信 8 段、受信 8 段)
- シリアルペリフェラルインターフェース(TSPI): 2、3 チャネル
 - SIO/SPI モード、最大 20MHz、FIFO(送信 16 ビット×8 段、受信 16 ビット×8 段)
- I²C インターフェース バージョン A (EI2C): 1、2 チャネル
マルチコントローラー、10bit アドレス対応
- シリアルメモリーインターフェース(SMIF): 1 チャネル
 - 2つのシリアルメモリーを接続可能
 - 容量 64K~128M バイト
 - SPI、Dual、DPI、Quad、QPI
- 12 ビット AD コンバーター(ADC): 1 ユニット、8~14 チャネル入力
 - 変換時間: 0.975μs @ 40MHz(f_{CLK})
 - 自己診断サポート機能
- アドバンストプログラマブルモーター制御回路 2(A-PMD2): 1 チャネル
 - 3 相相補 PWM 出力、12 ビット ADC との同期動作
 - PFC 制御: 3 相インターリーブ PFC 対応可
 - 緊急停止機能(EMG 検知、OVV 検知)

製品量産開始時期
2026-10

- 32 ビットタイマーイベントカウンタ(T32A)
 - 32 ビットタイマー時 5 チャンネル、16 ビットタイマー時 10 チャンネル
 - インターバルタイマー、イベントカウント、インプットキャプチャ、位相差入力、パルス出力、PPG 出力、同期スタート、トリガースタート
- ウォッチドッグタイマー(SIWDI): 1 チャンネル
 - システムクロックと別系統のソースクロックを選択
 - クリアウインドウ、割り込みとリセット出力選択
- セキュアアクセスメモリー(SAM)
 - 設定によりフラッシュおよび RAM アクセスの可否を判断

機能別製品一覧

この表は開発中製品を含みます。
各製品の最新開発状況は、弊社営業担当までお問い合わせください。

表 1 機能別製品一覧

内蔵機能		TMPM4V4FWUG	TMPM4V2FWDUG	TMPM4V2FWQG	TMPM4V1FWUG
Memory	Code Flash (KB)	128	128	128	128
	Data Flash (KB)	64	64	64	64
	RAM (KB)	32	32	32	32
I/O port	PORT (pin)	51	35	35	31
External interrupt	Factors	21	13	13	9
	Pins	21	13	13	9
DMA	DMAC (ch)	31	29	29	27
Timer function	T32A (ch)	5	5	5	5
Serial communication function	UART (ch)	6	5	5	4
	I2C (ch)	2	2	2	1
	TSPI (ch)	3	2	2	2
	SMIF (ch)	1	1	1	1
Analog function	12-bit ADC (No. of analog input)	14	9	9	8
Motor control function	A-PMD2 (ch)	1	1	1	1
Other function	CRC (ch)	1	1	1	1
	RAMP (ch)	1	1	1	1
System function	LVD (ch)	1	1	1	1
	SIWDT (ch)	1	1	1	1
	OFD (ch)	1	1	1	1
	POR (ch)	1	1	1	1
Security function	SAM	1	1	1	1
Debug interface	DEBUG	JTAG/SW TRACE(2bits)	JTAG/SW	JTAG/SW	JTAG/SW
Package	Package type	LQFP64 (10 mm × 10 mm, 0.5 mm pitch)	LQFP48 (7 mm × 7 mm, 0.5 mm pitch)	VQFN48 (7 mm × 7 mm, 0.5 mm pitch)	LQFP44 (10 mm × 10 mm, 0.8 mm pitch)

目次

概要	1
用途	1
特長	1
機能別製品一覧	3
目次	4
図目次	7
表目次	7
序章	8
表記規約	8
用語・略語	10
1. ブロック図	11
2. 端子配置図	12
2.1. LQFP64	12
2.2. LQFP48	13
2.3. VQFN48	14
2.4. LQFP44	15
3. 端子説明	16
3.1. 機能端子名称と機能	16
3.1.1. 周辺機能端子	16
3.1.2. デバッグ端子	18
3.1.3. 制御端子	19
3.1.4. 電源端子	19
3.1.5. 電源間コンデンサー	20
3.2. 機能端子とポート割り当て(端子番号)	21
3.3. 端子一覧	27
4. 機能説明・動作説明	30
4.1. リファレンスマニュアル	30
4.2. プロセッサコア	31
4.2.1. コアに関する情報	31
4.2.2. 構成可能なオプション	31
4.3. クロック制御と動作モード (CG)	32
4.4. フラッシュメモリー	32
4.5. 発振器	33
4.6. トリミング回路 (TRM)	33
4.7. 周波数検知回路 (OFD)	33
4.8. 電圧検知回路 (LVD)	33

4.9. デジタルノイズフィルタ回路 (DNF)	33
4.10. デバッグインターフェース (DEBUG)	33
4.11. DMA コントローラー (DMAC)	34
4.12. 非同期シリアル通信回路 (UART)	34
4.13. シリアルペリフェラルインターフェース (TSPI)	34
4.14. シリアルメモリーインターフェース (SMIF)	34
4.15. I ² C インターフェースバージョン A (EI2C)	34
4.16. 12 ビットアナログデジタルコンバーター (ADC)	35
4.17. アドバンストプログラマブルモーター制御回路 2 (A-PMD2)	35
4.18. 32 ビットタイマーイベントカウンタ (T32A)	35
4.19. クロック選択式ウォッチドッグタイマー (SIWDT)	35
4.20. セキュアアクセスメモリー (SAM)	36
4.21. CRC 計算回路 (CRC)	36
4.22. RAM パリティ (RAMP)	36
4.23. セキュリティリスク対策	37
4.23.1. 構成	37
4.23.2. 概要	37
4.23.3. 免責事項	38
5. 等価回路図	39
5.1. ポート	39
5.2. アナログ関連端子	43
5.3. 制御端子	44
5.4. クロック制御	44
6. 電気的特性	45
6.1. 絶対最大定格	45
6.2. DC 電気的特性(1/2)	47
6.3. DC 電気的特性(2/2) (消費電流)	51
6.4. 電源電圧変動	53
6.5. リセット時内部処理特性	53
6.6. パワーオンリセット特性	54
6.7. PORF 特性	54
6.8. 電圧検知回路特性	55
6.9. 12 ビット AD コンバーター特性	56
6.9.1. AD コンバーター特性	56
6.9.2. リファレンス電源電圧	56
6.10. AC 電気的特性	57
6.10.1. シリアルペリフェラルインターフェース(TSPI)	57
6.10.2. シリアルメモリーインターフェース(SMIF)	65

6.10.3. I ² C インターフェースバージョン A(EI2C).....	67
6.10.4. 32 ビットタイマーイベントカウンタ(T32A)	68
6.10.5. 外部割り込み	69
6.10.6. 端子トリガー入力(TRGINx).....	70
6.10.7. デバッグ通信	71
6.10.8. SCOUT 端子.....	74
6.10.9. 外部クロック入力	75
6.11. ノイズフィルタ(アナログ)特性.....	75
6.12. フラッシュ特性.....	76
6.12.1. 書き込み/消去特性	76
6.12.2. 強制 CPROTCON 解除特性	76
6.13. レギュレーター.....	77
6.14. 発振回路.....	77
6.14.1. 内蔵発振器.....	77
6.14.2. 外部発振器.....	77
6.14.3. 発振回路例.....	78
6.14.4. セラミック発振子	78
6.14.5. プリント基板の設計に関する注意	78
7. 外形寸法図	79
7.1. P-LQFP64-1010-0.50-003	79
7.2. P-LQFP48-0707-0.50-002	80
7.3. P-VQFN48-0707-0.50-006	81
7.4. P-LQFP44-1010-0.80-003	82
8. 使用上のご注意およびお願い事項.....	83
9. 改訂履歴.....	84
品番付与情報.....	85
製品取り扱い上のお願い.....	86

図目次

図 1.1	TMPM4V グループ(1)のブロック図	11
図 3.1	電源間コンデンサの接続図	20
図 4.1	セキュリティー機能	37
図 6.1	電源変動レート	53
図 6.2	1st クロックエッジサンプリング(コントローラー)	63
図 6.3	2nd クロックエッジサンプリング(コントローラー)	63
図 6.4	1st クロックエッジサンプリング(ターゲット)	64
図 6.5	2nd クロックエッジサンプリング(ターゲット)	64
図 6.6	SMIF リードの AC タイミング	66
図 6.7	SMIF ライトの AC タイミング	66
図 6.8	EI2C の AC タイミング	67
図 6.9	カウントパルス入力	69
図 6.10	JTAG/SWD 波形	72
図 6.11	トレース信号波形	73
図 6.12	SCOUT 出力波形	74
図 6.13	外部クロック入力波形	75
図 6.14	発振回路例	78

表目次

表 1	機能別製品一覧	3
表 3.1	周辺端子名称と機能	16
表 3.2	デバッグ端子名称と機能	18
表 3.3	制御端子名称と機能	19
表 3.4	電源端子名称と機能	19
表 3.5	信号接続一覧(1/6)	21
表 3.6	信号接続一覧(2/6)	22
表 3.7	信号接続一覧(3/6)	23
表 3.8	信号接続一覧(4/6)	24
表 3.9	信号接続一覧(5/6)	25
表 3.10	信号接続一覧(6/6)	26
表 3.11	端子一覧	28
表 4.1	TMPM4V グループ(1)リファレンスマニュアル一覧	30
表 4.2	コアリビジョン	31
表 4.3	構成可能なオプションと実装	31
表 4.4	アクセス経路と保護対象(1)	37
表 4.5	アクセス経路と保護対象(2)	38
表 4.6	アクセス経路と保護対象(3)	38
表 4.7	アクセス経路と保護対象(4)	38
表 4.8	アクセス経路と保護対象(5)	38
表 6.1	絶対最大定格	45
表 6.2	パッケージ熱抵抗	46
表 6.3	1 チャンネル/ユニット当たりの消費電流	46
表 6.4	IDD 測定条件(端子設定、発振回路)	51
表 6.5	IDD 測定条件(CPU、周辺回路)	52
表 9.1	改訂履歴	84

序章

表記規約

- 数値表記は以下の規則に従います。
16 進数表記: 0xABC
10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は[m:n]とまとめて表記する場合があります。
例: S[3:0]は S3、S2、S1、S0 の 4 つの信号名をまとめて表記しています。
- 本文中/[]で囲まれたものはレジスターを定義しています。
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1]、[XYZ2]、[XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャネルは「x」で一括表記しています。
ユニットの場合、「x」は A、B、C、...を表します。
例: [ADACR0]、[ADBCR0]、[ADCCR0] → [ADxCR0]
チャネルの場合、「x」は 0、1、2、...を表します。
例: [T32A0RUNA]、[T32A1RUNA]、[T32A2RUNA] → [T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。
例: [3:0]はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
バイト: 8 ビット
ハーフワード: 16 ビット
ワード: 32 ビット
ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
R: リードオンリー
W: ライトオンリー
R/W: リード/ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「-」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください

**Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における
登録商標です。 All rights reserved.**



本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-PMD2	Advanced Programmable Motor Control Circuit 2
CRC	Cyclic Redundancy Check
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
EHOSC	External High-speed Oscillator
I2C	I ² C Interface Version A
Fm	Fast-mode
IHOSC	Internal High-speed Oscillator
INT	Interrupt
LVD	Voltage Detection Circuit
NMI	Non-maskable Interrupt
OFD	Oscillation Frequency Detector
POR	Power-on Reset Circuit
RAMP	RAM Parity
SCOUT	Source Clock Output
SIWDT	Clock Selective Watchdog Timer
SMIF	Serial Memory Interface
TRGSEL	Trigger Selection Circuit
TRM	Trimming Circuit
TSPI	Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Asynchronous Serial Communication Circuit

1. ブロック図

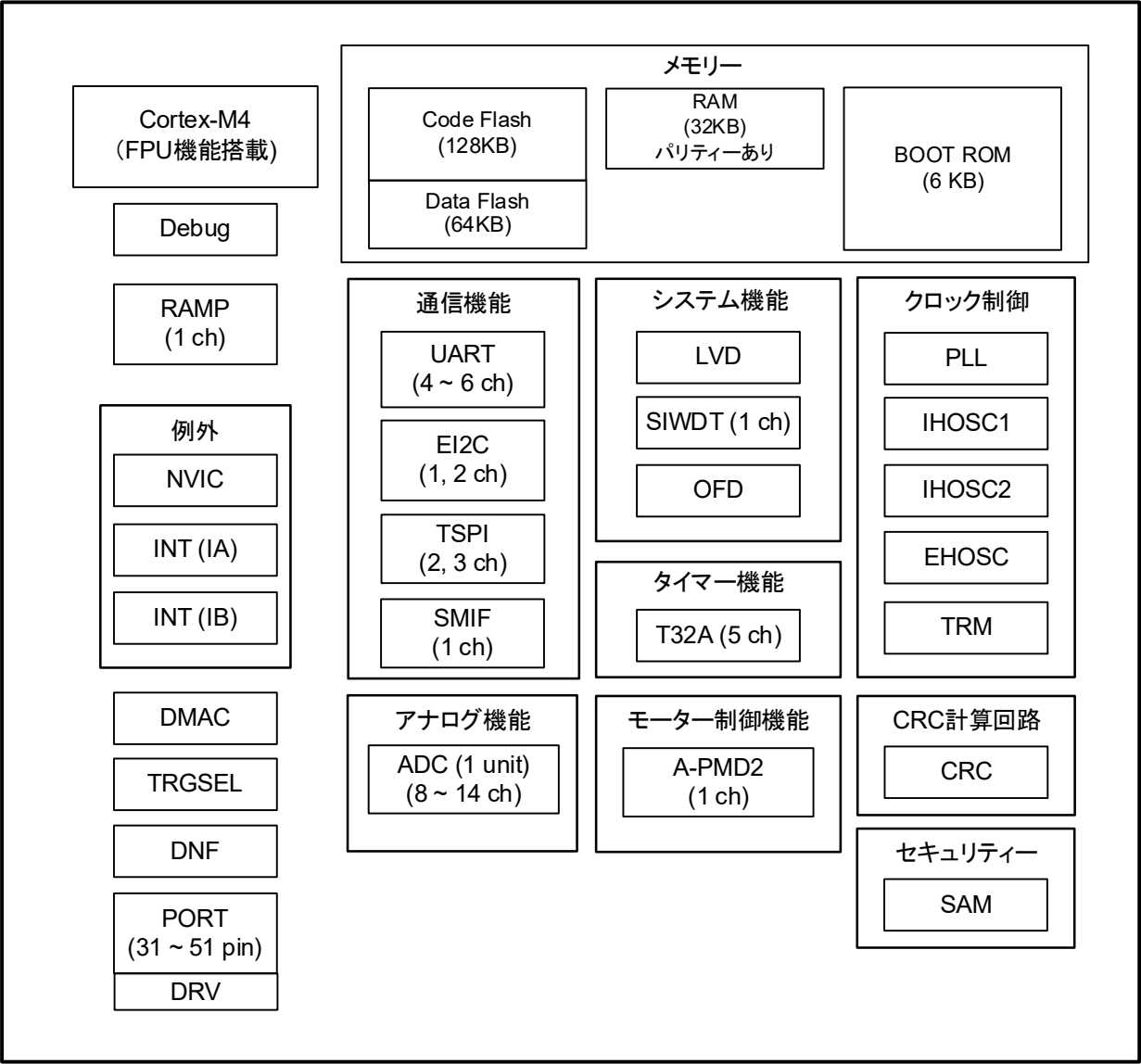
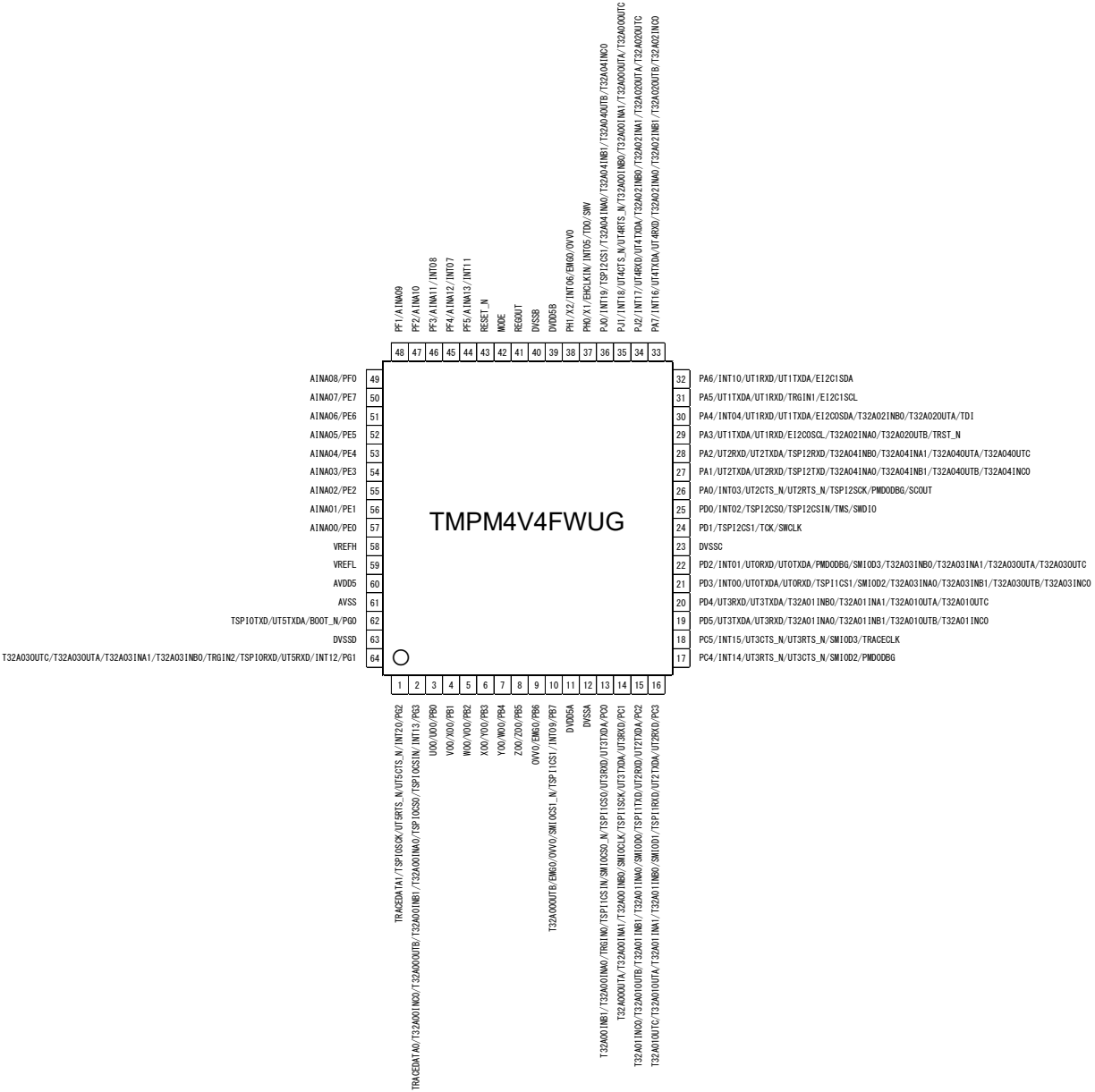


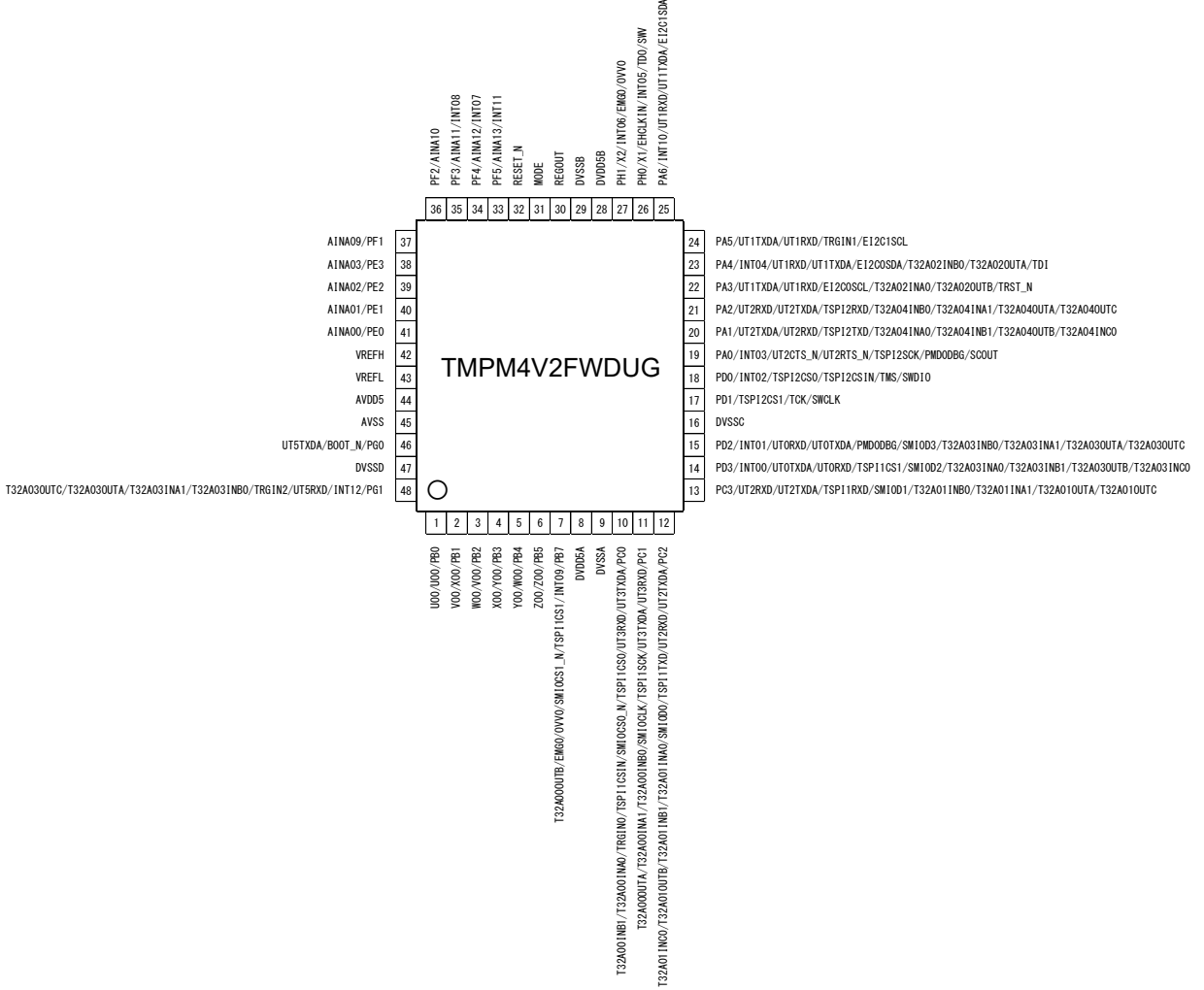
図 1.1 TMPM4Vグループ(1)のブロック図

2. 端子配置図

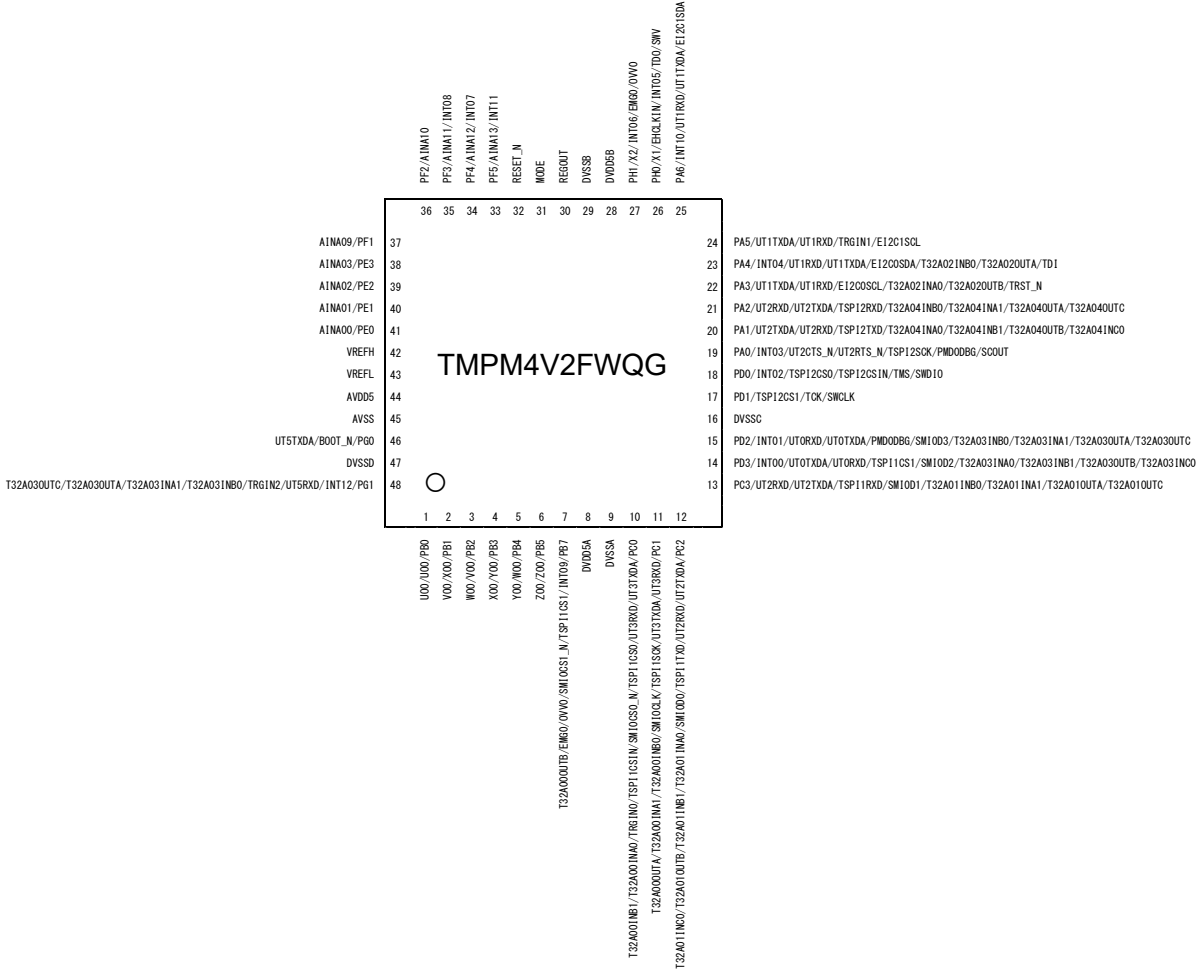
2.1. LQFP64



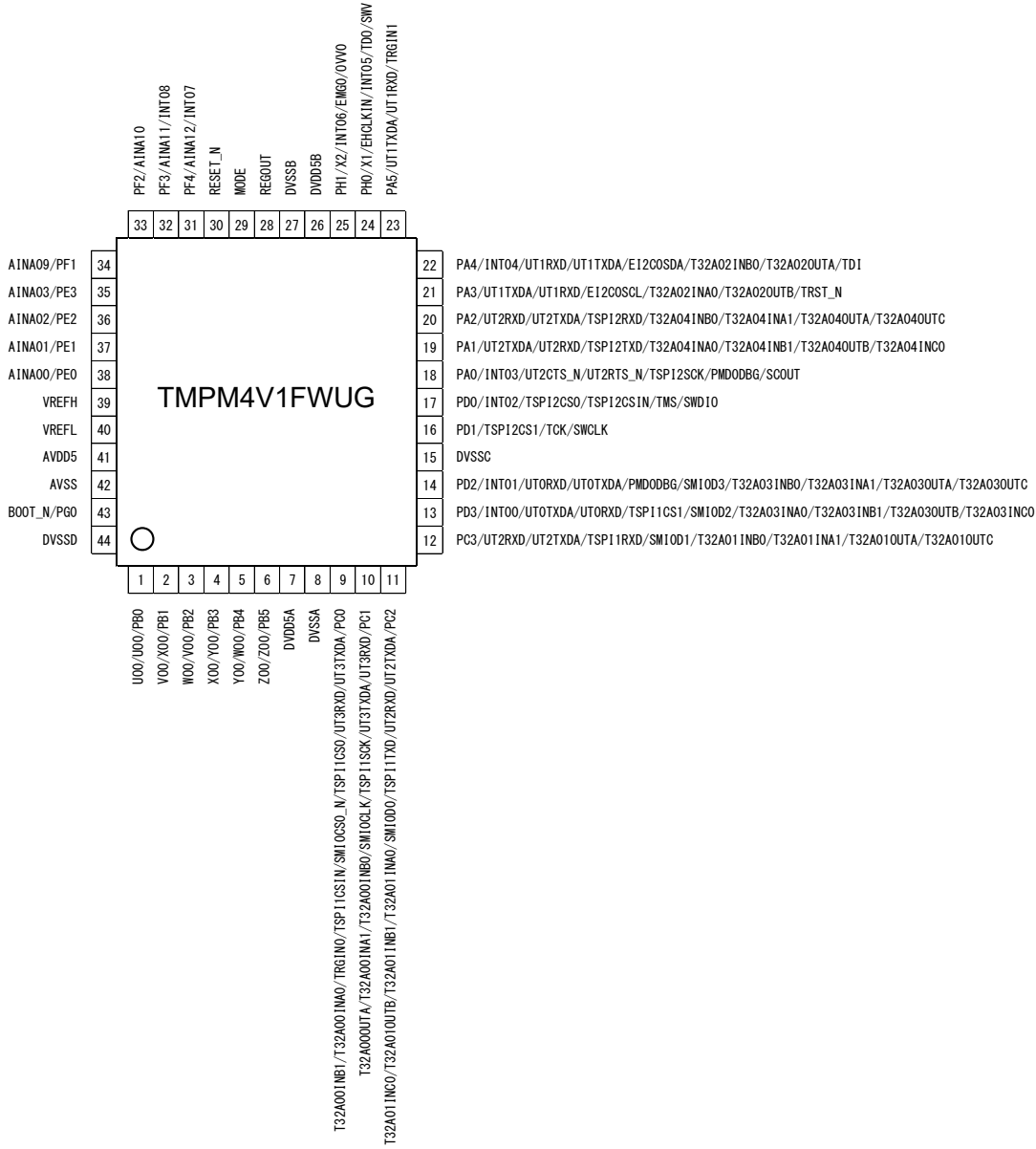
2.2. LQFP48



2.3. VQFN48



2.4. LQFP44



3. 端子説明

3.1. 機能端子名称と機能

3.1.1. 周辺機能端子

表 3.1 周辺端子名称と機能

周辺機能	端子名称	Input or Output	機能
クロック制御と動作モード (CG)	SCOUT	Output	クロック出力
割り込み制御 (IA/IB)	INTx	Input	外部割り込み入力 ノイズフィルタ(アナログ/デジタル)を内蔵しています。
32 ビットタイマー イベントカウンタ (T32A)	T32AxINA0	Input	16 ビットタイマーA インプットキャプチャー入力 0
	T32AxINA1	Input	16 ビットタイマーA インプットキャプチャー入力 1
	T32AxOUTA	Output	16 ビットタイマーA 出力
	T32AxINB0	Input	16 ビットタイマーB インプットキャプチャー入力 0
	T32AxINB1	Input	16 ビットタイマーB インプットキャプチャー入力 1
	T32AxOUTB	Output	16 ビットタイマーB 出力
	T32AxINC0	Input	32 ビットタイマーインプットキャプチャー入力 0
	T32AxOUTC	Output	32 ビットタイマー出力
シリアルペリフェラルイン ターフェース (TSPI)	TSPIxSCK	I/O	クロック入出力
	TSPIxRXD	Input	データ入力
	TSPIxTXD	Output	データ出力
	TSPIxCSIN	Input	チップセレクト入力
	TSPIxCS0	Output	チップセレクト出力 0
	TSPIxCS1	Output	チップセレクト出力 1
非同期シリアル 通信回路 (UART)	UTxRXD	Input	データ入力
	UTxTXDA	Output	データ出力 A
	UTxCTS_N	Input	送信可能入力
	UTxRTS_N	Output	送信要求出力
I ² C インターフェース バージョン A (EI2C)	EI2CxSDA	I/O	データ入出力
	EI2CxSCL	I/O	クロック入出力
シリアルメモリー インターフェース (SMIF)	SMIxCLK	Output	クロック出力
	SMIxD0	I/O	データ入出力 0
	SMIxD1	I/O	データ入出力 1
	SMIxD2	I/O	データ入出力 2
	SMIxD3	I/O	データ入出力 3
	SMIxCS0_N	Output	チップセレクト 0
	SMIxCS1_N	Output	チップセレクト 1

周辺機能	端子名称	Input or Output	機能
アドバンスト プログラマブル モーター制御回路 2 (A-PMD2)	EMGx	Input	異常検出入力
	OVVx	Input	過電圧検出入力
	UOx	Output	U 相出力
	VOx	Output	V 相出力
	WOx	Output	W 相出力
	XOx	Output	X 相出力
	YOx	Output	Y 相出力
	ZOx	Output	Z 相出力
	PMDxDBG	Output	モーター制御デバッグ出力
アナログデジタル コンバーター (ADC)	AINAx	Input	アナログ入力
トリガー入力 (TRGSEL)	TRGINx	Input	外部トリガー入力

注) 端子名称の"x"にはチャンネル番号、ユニット番号、割り込み番号が入ります。

3.1.2. デバッグ端子

表 3.2 デバッグ端子名称と機能

デバッグポート	端子名称	Input or Output	機能
JTAG	TMS	Input	JTAG テストモード選択入力
	TCK	Input	JTAG シリアルクロック入力
	TDO	Output	JTAG シリアルデータ出力
	TDI	Input	JTAG シリアルデータ入力
	TRST_N	Input	JTAG テストリセット入力
SW	SWDIO	I/O	シリアルワイヤデータ入出力
	SWCLK	Input	シリアルワイヤクロック入力
	SWV	Output	シリアルワイヤビューワ出力
TRACE	TRACECLK	Output	トレースクロック出力
	TRACEDATA0	Output	トレースデータ出力 0
	TRACEDATA1	Output	トレースデータ出力 1

3.1.3. 制御端子

表 3.3 制御端子名称と機能

	端子名称	Input or Output	機能
制御端子	X1	Input	高速発振子を接続します。
	X2	Output	高速発振子を接続します。
	EHCLKIN	Input	外部クロック入力
	BOOT_N	Input	BOOT モード制御 RESET_N 端子入力の立ち上がりで BOOT モード制御用端子がサンプリングされます。内部リセット要因ではサンプリングされません。 BOOT モード制御用端子のレベルが"Low"の場合、シングルブートモードになります。"High"の場合、シングルチップモードになります。 シングルブートモードの詳細については、リファレンスマニュアル「フラッシュメモリ」を参照してください。
	RESET_N	Input	リセット信号
	MODE	Input	必ず"Low"レベルに固定してください。

3.1.4. 電源端子

表 3.4 電源端子名称と機能

	端子名称	機能
電源	DVDD5A (注 1) DVDD5B (注 1)	デジタル用電源 DVDD5A/B は下記の端子に電源を供給しています。 PA~PD、PG、PH、PJ、MODE、RESET_N
	DVSSA (注 2) DVSSB (注 2) DVSSC (注 2) DVSSD (注 2)	デジタル用 GND
	REGOUT (注 3)	レギュレーター用コンデンサーを接続します。(注 4)
	AVDD5 VREFH	アナログ用電源、アナログ基準電源(VREFH)です。 AVDD5 は下記の端子に電源を供給しています。 PE、PF
	AVSS VREFL	アナログ用 GND、アナログ基準 GND(VREFL)です。

注 1) DVDD5A、DVDD5B は、端子が無い場合を除き外部で同電位の電圧を印加してください。

注 2) DVSSA、DVSSB、DVSSC、DVSSD は、端子が無い場合を除き外部で同電位の電圧を印加してください。

注 3) REGOUT は、DVDD5A、DVDD5B や DVSSA、DVSSB、DVSSC、DVSSD とショートしないでください。

注 4) コンデンサーの容量は「6.14. レギュレーター」を参照してください。

3.1.5. 電源間コンデンサ

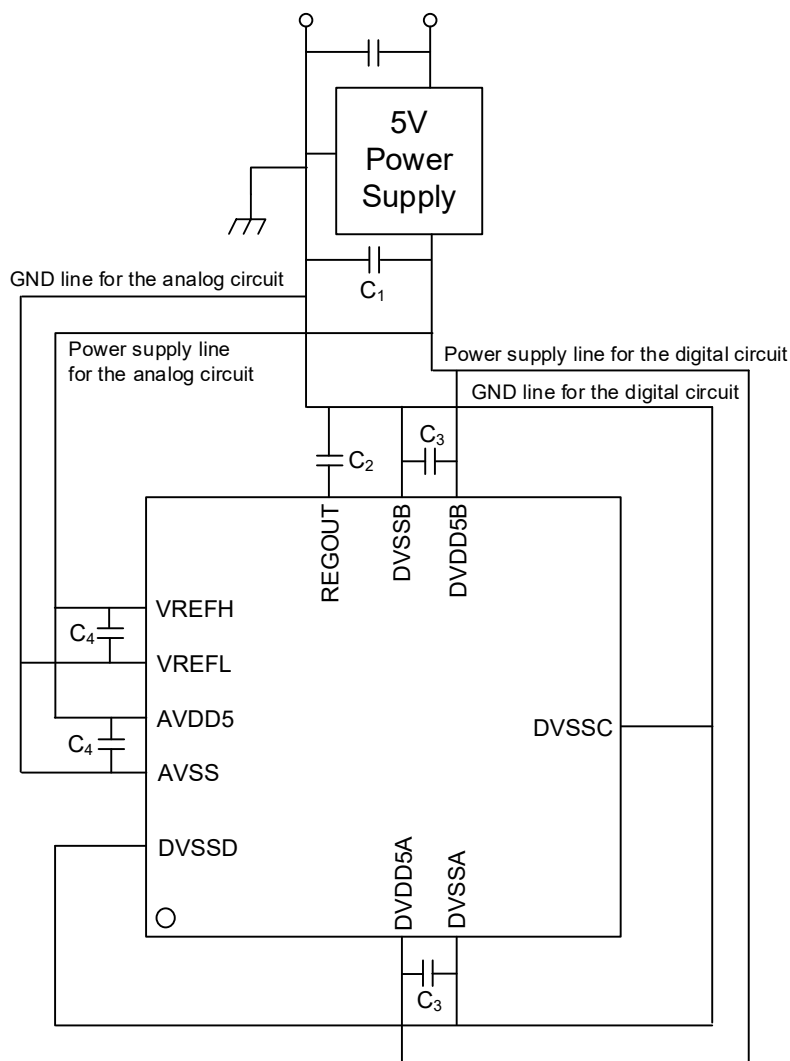


図 3.1 電源間コンデンサの接続図

- 注 1) 5V 電源出力端子近くにセラミックコンデンサ(C₁)を挿入してください。「6.5. リセット時内部処理特性」の電源傾斜の条件を満たす容量としてください。
- 注 2) 各 MCU 電源端子の近傍で電源-GND 間にバイパスコンデンサ(C₃、C₄: 0.01μF~0.1μF 程度)を挿入してください。
- 注 3) 内蔵レギュレーター用コンデンサ接続端子(REGOUT)に同容量の電源安定用のセラミックコンデンサ(C₂)を挿入してください。このコンデンサは DVSSB 近傍で配置してください。コンデンサ容量は「6.14. レギュレーター」を参照してください。
- 注 4) デジタル電源からアナログ回路へのノイズ混入を抑制するため、アナログ電源ラインとデジタル電源ラインは 5V 電源出力の近くで分離してください。
- 注 5) 周辺回路からアナログ回路へのノイズ混入を抑制するため、アナログ電源系の入出力端子にフィルター回路やプルアップ/ダウン抵抗を挿入する場合、それらの回路を構成する部品はアナログ電源ラインに接続してください。
- 注 6) 電源ラインと GND ラインとコンデンサによるループ回路で受ける高周波ノイズを抑制するため、電源ラインと GND ラインは離さずに配線してください。

3.2. 機能端子とポート割り当て(端子番号)

機能端子から見たポート割り当てと各製品の端子番号です。

表中の"-"の部分は、「端子がありません」または「機能の割り当てがありません」。

表 3.5 信号接続一覧(1/6)

機能	兼用機能端子名	ポート名	M4V4 (LQFP64)	M4V2 (LQFP48/VQFN48)	M4V1 (LQFP44)
UART ch 0	UT0RXD	PD2	22	15	14
		PD3	21	14	13
	UT0TXDA	PD2	22	15	14
		PD3	21	14	13
UART ch 1	UT1RXD	PA3	29	22	21
		PA4	30	23	22
		PA5	31	24	23
		PA6	32	25	-
	UT1TXDA	PA3	29	22	21
		PA4	30	23	22
		PA5	31	24	23
		PA6	32	25	-
UART ch 2	UT2RXD	PC2	15	12	11
		PC3	16	13	12
		PA1	27	20	19
		PA2	28	21	20
	UT2TXDA	PC2	15	12	11
		PC3	16	13	12
		PA1	27	20	19
		PA2	28	21	20
UART ch 3	UT3RXD	PC0	13	10	9
		PC1	14	11	10
		PD5	19	-	-
		PD4	20	-	-
	UT3TXDA	PC0	13	10	9
		PC1	14	11	10
		PD5	19	-	-
		PD4	20	-	-
UART ch 4	UT4RXD	PC4	17	-	-
		PC5	18	-	-
		PC4	17	-	-
		PC5	18	-	-
	UT4TXDA	PA7	33	-	-
		PJ2	34	-	-
		PA7	33	-	-
		PJ2	34	-	-
UART ch 5	UT4CTS_N	PJ1	35	-	-
	UT4RTS_N	PJ1	35	-	-
	UT5RXD	PG1	64	48	-
	UT5TXDA	PG0	62	46	-
UART ch 5	UT5CTS_N	PG2	1	-	-
	UT5RTS_N	PG2	1	-	-

表 3.6 信号接続一覧(2/6)

機能	兼用機能端子名	ポート名	M4V4 (LQFP64)	M4V2 (LQFP48/VQFN48)	M4V1 (LQFP44)
EI2C ch 0	EI2C0SCL	PA3	29	22	21
	EI2C0SDA	PA4	30	23	22
EI2C ch 1	EI2C1SCL	PA5	31	24	-
	EI2C1SDA	PA6	32	25	-
TSPI ch 0	TSPI0RXD	PG1	64	-	-
	TSPI0TXD	PG0	62	-	-
	TSPI0SCK	PG2	1	-	-
	TSPI0CSIN	PG3	2	-	-
	TSPI0CS0	PG3	2	-	-
TSPI ch 1	TSPI1RXD	PC3	16	13	12
	TSPI1TXD	PC2	15	12	11
	TSPI1SCK	PC1	14	11	10
	TSPI1CSIN	PC0	13	10	9
	TSPI1CS0	PC0	13	10	9
	TSPI1CS1	PD3	21	14	13
		PB7	10	7	-
TSPI ch 2	TSPI2RXD	PA2	28	21	20
	TSPI2TXD	PA1	27	20	19
	TSPI2SCK	PA0	26	19	18
	TSPI2CSIN	PD0	25	18	17
	TSPI2CS0	PD0	25	18	17
	TSPI2CS1	PD1	24	17	16
		PJ0	36	-	-
SMIF ch 0	SMI0CS0_N	PC0	13	10	9
	SMI0CS1_N	PB7	10	7	-
	SMI0CLK	PC1	14	11	10
	SMI0D0	PC2	15	12	11
	SMI0D1	PC3	16	13	12
	SMI0D2	PC4	17	-	-
		PD3	21	14	13
	SMI0D3	PC5	18	-	-
		PD2	22	15	14

表 3.7 信号接続一覧(3/6)

機能	兼用機能端子名	ポート名	M4V4 (LQFP64)	M4V2 (LQFP48/VQFN48)	M4V1 (LQFP44)
T32A ch 0	T32A00INA0	PG3	2	-	-
		PC0	13	10	9
	T32A00INA1	PC1	14	11	10
		PJ1	35	-	-
	T32A00OUTA	PC1	14	11	10
		PJ1	35	-	-
	T32A00INB0	PC1	14	11	10
		PJ1	35	-	-
	T32A00INB1	PG3	2	-	-
		PC0	13	10	9
	T32A00OUTB	PG3	2	-	-
		PB7	10	7	-
T32A ch 1	T32A01INA0	PC2	15	12	11
		PD5	19	-	-
	T32A01INA1	PC3	16	13	12
		PD4	20	-	-
	T32A01OUTA	PC3	16	13	12
		PD4	20	-	-
	T32A01INB0	PC3	16	13	12
		PD4	20	-	-
	T32A01INB1	PC2	15	12	11
		PD5	19	-	-
	T32A01OUTB	PC2	15	12	11
		PD5	19	-	-
	T32A01INC0	PC2	15	12	11
		PD5	19	-	-
	T32A01OUTC	PC3	16	13	12
		PD4	20	-	-
T32A ch 2	T32A02INA0	PA3	29	22	21
		PA7	33	-	-
	T32A02INA1	PJ2	34	-	-
	T32A02OUTA	PA4	30	23	22
		PJ2	34	-	-
	T32A02INB0	PA4	30	23	22
		PJ2	34	-	-
	T32A02INB1	PA7	33	-	-
	T32A02OUTB	PA3	29	22	21
		PA7	33	-	-
	T32A02INC0	PA7	33	-	-
	T32A02OUTC	PJ2	34	-	-

表 3.8 信号接続一覧(4/6)

機能	兼用機能端子名	ポート名	M4V4 (LQFP64)	M4V2 (LQFP48/VQFN48)	M4V1 (LQFP44)
T32A ch 3	T32A03INA0	PD3	21	14	13
	T32A03INA1	PD2	22	15	14
		PG1	64	48	-
	T32A03OUTA	PD2	22	15	14
		PG1	64	48	-
	T32A03INB0	PD2	22	15	14
		PG1	64	48	-
	T32A03INB1	PD3	21	14	13
	T32A03OUTB	PD3	21	14	13
T32A03INC0	PD3	21	14	13	
	T32A03OUTC	PD2	22	15	14
		PG1	64	48	-
T32A ch 4	T32A04INA0	PA1	27	20	19
		PJ0	36	-	-
	T32A04INA1	PA2	28	21	20
	T32A04OUTA	PA2	28	21	20
	T32A04INB0	PA2	28	21	20
		PA1	27	20	19
	T32A04INB1	PJ0	36	-	-
		PA1	27	20	19
	T32A04OUTB	PJ0	36	-	-
		PA1	27	20	19
	T32A04INC0	PJ0	36	-	-
PA1		27	20	19	
12-bit ADC unit A	T32A04OUTC	PA2	28	21	20
	AINA13	PF5	44	33	-
	AINA12	PF4	45	34	31
	AINA11	PF3	46	35	32
	AINA10	PF2	47	36	33
	AINA09	PF1	48	37	34
	AINA08	PF0	49	-	-
	AINA07	PE7	50	-	-
	AINA06	PE6	51	-	-
	AINA05	PE5	52	-	-
	AINA04	PE4	53	-	-
	AINA03	PE3	54	38	35
	AINA02	PE2	55	39	36
	AINA01	PE1	56	40	37
	AINA00	PE0	57	41	38

表 3.9 信号接続一覧(5/6)

機能	兼用機能端子名	ポート名	M4V4 (LQFP64)	M4V2 (LQFP48/VQFN48)	M4V1 (LQFP44)
INT	INT00	PD3	21	14	13
	INT01	PD2	22	15	14
	INT02	PD0	25	18	17
	INT03	PA0	26	19	18
	INT04	PA4	30	23	22
	INT05	PH0	37	26	24
	INT06	PH1	38	27	25
	INT07	PF4	45	34	31
	INT08	PF3	46	35	32
	INT09	PB7	10	7	-
	INT10	PA6	32	25	-
	INT11	PF5	44	33	-
	INT12	PG1	64	48	-
	INT13	PG3	2	-	-
	INT14	PC4	17	-	-
	INT15	PC5	18	-	-
	INT16	PA7	33	-	-
	INT17	PJ2	34	-	-
	INT18	PJ1	35	-	-
	INT19	PJ0	36	-	-
	INT20	PG2	1	-	-
A-PMD2 ch 0	EMG0	PB6	9	-	-
		PB7	10	7	-
		PH1	38	27	25
	OVV0	PB6	9	-	-
		PB7	10	7	-
		PH1	38	27	25
	UO0	PB0	3	1	1
	VO0	PB1	4	2	2
		PB2	5	3	3
	WO0	PB2	5	3	3
		PB4	7	5	5
	XO0	PB1	4	2	2
		PB3	6	4	4
	YO0	PB3	6	4	4
		PB4	7	5	5
	ZO0	PB5	8	6	6
	PMD0DBG	PC4	17	-	-
		PD2	22	15	14
		PA0	26	19	18

表 3.10 信号接続一覧(6/6)

機能	兼用機能端子名	ポート名	M4V4 (LQFP64)	M4V2 (LQFP48/VQFN48)	M4V1 (LQFP44)
TRGSEL	TRGIN0	PC0	13	10	9
	TRGIN1	PA5	31	24	23
	TRGIN2	PG1	64	48	-
JTAG/SW	TMS	PD0	25	18	17
	TCK	PD1	24	17	16
	TDO	PH0	37	26	24
	TDI	PA4	30	23	22
	TRST_N	PA3	29	22	21
	SWDIO	PD0	25	18	17
	SWCLK	PD1	24	17	16
	SWV	PH0	37	26	24
TRACE	TRACECLK	PC5	18	-	-
	TRACEDATA0	PG3	2	-	-
	TRACEDATA1	PG2	1	-	-
制御端子	X1	PH0	37	26	24
	X2	PH1	38	27	25
	EHCLKIN	PH0	37	26	24
	SCOUT	PA0	26	19	18
	BOOT_N	PG0	62	46	43
	RESET_N		43	32	30
	MODE		42	31	29
電源端子	VREFH		58	42	39
	VREFL		59	43	40
	AVDD5		60	44	41
	AVSS		61	45	42
	DVDD5A		11	8	7
	DVDD5B		39	28	26
	DVSSA		12	9	8
	DVSSB		40	29	27
	DVSSC		23	16	15
	DVSSD		63	47	44
	REGOUT		41	30	28

3.3. 端子一覧

表中の記号の意味は下記のとおりです。

- 兼用機能 A、B: ポートファンクションレジスターの設定なしにポートに割り当てられる兼用機能です
- 兼用機能 1~8: ポートファンクションレジスターの設定によりポートに割り当てられる兼用機能です
- Input/Output: ポートの入出力
 - Input: 入力
 - Output: 出力
 - I/O: 入出力
- PU/PD: プログラマブルプルアップ/プルダウン対応
 - PU: プログラマブルプルアップ選択可能
 - PD: プログラマブルプルダウン選択可能
- OD: プログラマブルオープンドレイン出力対応
 - YES: 対応
 - NO: 非対応
- 5V_T: 5V トレラント対応
 - YES: 対応
 - N/A: 非対応
- SMT/CMOS: 入力ゲートタイプ
 - SMT: シュミット入力
 - CMOS: CMOS 入力
- DRV: 駆動能力選択
 - YES: 対応
 - NO: 非対応
- リセット中の状態: リセット期間中の端子状態です
 - Hi-Z: ハイインピーダンス
 - PU: プルアップ
 - PD: プルダウン
- リセット後の状態: リセット解除直後の端子状態です
 - Hi-Z: ハイインピーダンス
 - PU: プルアップ
 - PD: プルダウン

表 3.11 端子一覧

M4V4 LQFP64	M4V2 LQFP48 VQFN48	M4V1 LQFP44	端子名称	兼用機能 A	兼用機能 B	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	兼用機能 5	兼用機能 6	兼用機能 7	兼用端子 8	入出力	PU/PD	OD	5V_T	SMT/ CMOS	DRV	リセット中 の状態	リセット後 の状態
1	-	-	PG2		INT20	UT5CTS_N	UT5RTS_N	TSPI0SCK					TRACEDATA1	I/O	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z
2	-	-	PG3		INT13		TSPI0CSIN	TSPI0CS0	T32A00INA0	T32A00INB1	T32A00OUTB	T32A00INC0	TRACEDATA0	I/O	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z
3	1	1	PB0								UO0	UO0		I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
4	2	2	PB1								XO0	VO0		I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
5	3	3	PB2								VO0	WO0		I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
6	4	4	PB3								YO0	XO0		I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
7	5	5	PB4								WO0	YO0		I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
8	6	6	PB5								ZO0	ZO0		I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
9	-	-	PB6								EMG0	OVV0		I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
10	7	-	PB7		INT09			TSPI1CS1	SMI0CS1_N		OVV0	EMG0	T32A00OUTB	I/O	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z
11	8	7	DVDD5A											-	-	-	-	-	-	-	-
12	9	8	DVSSA											-	-	-	-	-	-	-	-
13	10	9	PC0			UT3TXDA	UT3RXD	TSPI1CS0	SMI0CS0_N	TSPI1CSIN	TRGIN0	T32A00INA0	T32A00INB1	I/O	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z
14	11	10	PC1			UT3RXD	UT3TXDA	TSPI1SCK	SMI0CLK		T32A00INB0	T32A00INA1	T32A00OUTA	I/O	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z
15	12	11	PC2			UT2TXDA	UT2RXD	TSPI1TXD	SMI0D0	T32A01INA0	T32A01INB1	T32A01OUTB	T32A01INC0	I/O	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z
16	13	12	PC3			UT2RXD	UT2TXDA	TSPI1RXD	SMI0D1	T32A01INB0	T32A01INA1	T32A01OUTA	T32A01OUTC	I/O	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z
17	-	-	PC4		INT14	UT3RTS_N	UT3CTS_N		SMI0D2				PMD0DBG	I/O	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z
18	-	-	PC5		INT15	UT3CTS_N	UT3RTS_N		SMI0D3				TRACECLK	I/O	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z
19	-	-	PD5			UT3TXDA	UT3RXD		T32A01INA0	T32A01INB1	T32A01OUTB	T32A01INC0		I/O	PU/PD	YES	YES	SMT	NO	Hi-Z	Hi-Z
20	-	-	PD4			UT3RXD	UT3TXDA		T32A01INB0	T32A01INA1	T32A01OUTA	T32A01OUTC		I/O	PU/PD	YES	YES	SMT	NO	Hi-Z	Hi-Z
21	14	13	PD3		INT00	UT0TXDA	UT0RXD	TSPI1CS1	SMI0D2	T32A03INA0	T32A03INB1	T32A03OUTB	T32A03INC0	I/O	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z
22	15	14	PD2		INT01	UT0RXD	UT0TXDA	PMD0DBG	SMI0D3	T32A03INB0	T32A03INA1	T32A03OUTA	T32A03OUTC	I/O	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z
23	16	15	DVSSC											-	-	-	-	-	-	-	-
24	17	16	PD1				TSPI2CS1						TCK/SWCLK	I/O	PU/PD	YES	N/A	SMT	YES	PD(注 2)	PD(注 2)
25	18	17	PD0		INT02			TSPI2CS0	TSPI2CSIN				TMS/SWDIO	I/O	PU/PD	YES	N/A	SMT	YES	PU(注 2)	PU(注 2)
26	19	18	PA0		INT03	UT2CTS_N	UT2RTS_N	TSPI2SCK				PMD0DBG	SCOUT	I/O	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z
27	20	19	PA1			UT2TXDA	UT2RXD	TSPI2TXD		T32A04INA0	T32A04INB1	T32A04OUTB	T32A04INC0	I/O	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z
28	21	20	PA2			UT2RXD	UT2TXDA	TSPI2RXD		T32A04INB0	T32A04INA1	T32A04OUTA	T32A04OUTC	I/O	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z
29	22	21	PA3			UT1TXDA	UT1RXD			EI2C0SCL	T32A02INA0	T32A02OUTB	TRST_N	I/O	PU/PD	YES	YES	SMT	NO	PU(注 2)	PU(注 2)
30	23	22	PA4		INT04	UT1RXD	UT1TXDA			EI2C0SDA	T32A02INB0	T32A02OUTA	TDI	I/O	PU/PD	YES	YES	SMT	NO	PU(注 2)	PU(注 2)
31	24	23	PA5			UT1TXDA	UT1RXD		TRGIN1	EI2C1SCL				I/O	PU/PD	YES	YES	SMT	NO	Hi-Z	Hi-Z
32	25	-	PA6		INT10	UT1RXD	UT1TXDA			EI2C1SDA				I/O	PU/PD	YES	YES	SMT	NO	Hi-Z	Hi-Z
33	-	-	PA7		INT16	UT4TXDA	UT4RXD			T32A02INA0	T32A02INB1	T32A02OUTB	T32A02INC0	I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
34	-	-	PJ2		INT17	UT4RXD	UT4TXDA			T32A02INB0	T32A02INA1	T32A02OUTA	T32A02OUTC	I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
35	-	-	PJ1		INT18	UT4CTS_N	UT4RTS_N			T32A00INB0	T32A00INA1	T32A00OUTA	T32A00OUTC	I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
36	-	-	PJ0		INT19		TSPI2CS1			T32A04INA0	T32A04INB1	T32A04OUTB	T32A04INC0	I/O	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z
37	26	24	PH0	X1	EHCLKIN/INT05								TDO/SWV	I/O	PD	YES	N/A	SMT	NO	Hi-Z (注 3)	Hi-Z (注 3)
38	27	25	PH1	X2	INT06						EMG0	OVV0		I/O	PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
39	28	26	DVDD5B											-	-	-	-	-	-	-	-
40	29	27	DVSSB											-	-	-	-	-	-	-	-
41	30	28	REGOUT											-	-	-	-	-	-	-	-
42	31	29	MODE											Input	PD	-	-	SMT	-	-	-
43	32	30	RESET_N											Input	PU	-	-	SMT	-	-	-
44	33	-	PF5	A1NA13	INT11									I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
45	34	31	PF4	A1NA12	INT07									I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
46	35	32	PF3	A1NA11	INT08									I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
47	36	33	PF2	A1NA10										I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
48	37	34	PF1	A1NA09										I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
49	-	-	PF0	A1NA08										I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
50	-	-	PE7	A1NA07										I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
51	-	-	PE6	A1NA06										I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
52	-	-	PE5	A1NA05										I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
53	-	-	PE4	A1NA04										I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z

M4V4 LQFP64	M4V2 LQFP48 VQFN48	M4V1 LQFP44	端子名称	兼用機能 A	兼用機能 B	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	兼用機能 5	兼用機能 6	兼用機能 7	兼用端子 8	入出力	PU/PD	OD	5V_T	SMT/ CMOS	DRV	リセット中 の状態	リセット後 の状態
54	38	35	PE3	AINA03										I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
55	39	36	PE2	AINA02										I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
56	40	37	PE1	AINA01										I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
57	41	38	PE0	AINA00										I/O	PU/PD	YES	N/A	SMT	NO	Hi-Z	Hi-Z
58	42	39	VREFH											-	-	-	-	-	-	-	-
59	43	40	VREFL											-	-	-	-	-	-	-	-
60	44	41	AVDD5											-	-	-	-	-	-	-	-
61	45	42	AVSS											-	-	-	-	-	-	-	-
62	46	43	PG0	BOOT_N		UT5TXDA		TSPI0TXD						Output (注 1)	PU/PD	YES	N/A	SMT	YES	Hi-Z (注 1)	Hi-Z
63	47	44	DVSSD											-	-	-	-	-	-	-	-
64	48	-	PG1		INT12	UT5RXD		TSPI0RXD	TRGIN2	T32A03INB0	T32A03INA1	T32A03OUTA	T32A03OUTC	I/O	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z

- 注 1) リセット端子(RESET_N)によるリセット期間中は、プルアップ許可、入力許可で、BOOT_N 端子の状態を入力できます。
- 注 2) 初期値はデバッグ用端子に割り当てられており、内蔵 pull-up または、pull-down 抵抗が許可です。
- 注 3) ツールからのコマンドを受け付けるまでは出力にはなりません。

4. 機能説明・動作説明

4.1. リファレンスマニュアル

TMPM4V グループ(1)製品の搭載機能詳細は下表のリファレンスマニュアルを参照してください。

また、以下のような製品固有の情報を「製品個別情報」に記載していますので、合わせて参照してください。

- ・ 周辺機能のベースアドレス
- ・ 周辺機能間の信号接続
- ・ 周辺機能に関する製品特有の仕様
- ・ 周辺機能に関する製品特有の制限事項
- ・ 製品ごとに特定の値を持つレジスター
- ・ 製品ごとに特定の値の設定が必要なレジスター

表 4.1 TMPM4Vグループ(1)リファレンスマニュアル一覧

リファレンスマニュアル	IP 記号	分類
クロック制御と動作モード (TMPM4V グループ(1))	CG-M4V(1)	システム
例外 (TMPM4V グループ(1))	EXCEPT-M4V(1)	システム
入出力ポート (TMPM4V グループ(1))	PORT-M4V(1)	システム
製品個別情報 (TMPM4V グループ(1))	PINFO-M4V(1)	システム
トリミング回路	TRM-C	周辺機能
周波数検知回路	OFD-A	周辺機能
電圧検知回路	LVD-D2	周辺機能
デジタルノイズフィルタ回路	DNF-A	周辺機能
デバッグインターフェース	DEBUG-A	周辺機能
DMA コントローラー	DMAC-B	周辺機能
非同期シリアル通信回路	UART-C	周辺機能
シリアルペリフェラルインターフェース	TSPI-E	周辺機能
シリアルメモリーインターフェース	SMIF-D	周辺機能
I ² C インターフェース バージョン A	EI2C-A2	周辺機能
12 ビットアナログデジタルコンバーター	ADC-F	周辺機能
アドバンストプログラマブルモーター制御回路 2	A-PMD2-A	周辺機能
32 ビットタイマーイベントカウンタ	T32A-C	周辺機能
クロック選択式ウォッチドッグタイマー	SIWDT-A	周辺機能
フラッシュメモリー	FLASH256F-A	周辺機能
セキュリティ機能	SECG2-A	周辺機能
セキュアアクセスメモリー	SAM-A	周辺機能
CRC 計算回路	CRC-A	周辺機能
RAM パリティ	RAMP-B	周辺機能

4.2. プロセッサコア

TMPM4V グループ(1)には、高性能 32 ビットプロセッサコア(Cortex-M4(FPU 機能搭載)コア)が内蔵されています。

プロセッサコアの動作については、Arm 社からリリースされる"Arm Cortex-M4 プロセッサテクニカルリファレンスマニュアル"を参照してください。この章では、製品固有の情報について説明します。

4.2.1. コアに関する情報

TMPM4V グループ(1)で使用している Cortex-M4(FPU 機能搭載)コアのリビジョンは以下のとおりです。

表 4.2 コアリビジョン

グループ名	コアリビジョン
TMPM4V グループ(1)	r0p1

4.2.2. 構成可能なオプション

Cortex-M4(FPU 機能搭載)コアは、一部のブロックについて実装するかどうかを選択することができます。

TMPM4V グループ(1)での構成は以下のとおりです。

表 4.3 構成可能なオプションと実装

構成可能なオプション	実装
FWB	リテラルコンパレーター: 2 本 命令コンパレーター: 6 本
DWT	コンパレーター: 4 本
ITM	あり
MPU	あり
ETM	あり
AHB-AP	あり
AHBトレースマクロ セルインターフェース	なし
TPIU	あり
WIC	なし
デバッグポート	JTAG/シリアルワイヤ
ビットバンド	あり
AHB の継続的な制御	なし

4.3. クロック制御と動作モード (CG)

CG は、クロックギアやプリスケラークロックの選択、発振器のウォーミングアップなどを設定する機能です。

動作モードとして NORMAL モードと低消費電力モードがあり、使用方法に応じてモード遷移を行うことで消費電力を抑えることができます。

クロック制御回路の概要は、下記のとおりです。

- 内部高速発振器: 10MHz
- 外部高速発振器と内部高速発振器が選択可能
- PLL(通倍回路):
高速発振器の周波数に合わせて倍率を変更して 80MHz 出力可能
- クロックギア:
高速クロックを 1、2、4、8、16 分周し、システムクロック(fsys)として選択可能。
- 低消費電力モード:
IDLE モード: CPU が停止します。周辺機能は動作可能です。
STOP1 モード: 内部高速発振器も含めて全ての内部回路が停止します。
STOP2 モード: 一部の機能を保持して内部電源を遮断します。

4.4. フラッシュメモリー

フラッシュメモリーの構成単位は以下のとおりです。

- ページ: 128B
- ブロック: 8KB
- エリア: 128KB(最大)

書き込みはページ単位で行います。

消去はブロック、エリアまたはチップ全体で行います。

ブロック単位で書き込み/消去を禁止することができます。(フラッシュプロテクト機能)

エリア 0、1 の 2 つのエリアがあり、エリア 0 は 128KB のコードフラッシュ、エリア 1 は 64KB のデータフラッシュとなります。

1 つのエリアで命令を実行しながら別のエリアの書き換えが可能です。(デュアルモード)

4.5. 発振器

- 外部高速発振器(EHOSC): 外部にクリスタル発振子またはセラミック発振子を接続して、システムクロックの源発振に使用します。
- 内蔵高速発振器 1(IHOSC1): 10MHz の発振器です。システムクロックの源発振に使用します。
- 内蔵高速発振器 2(IHOSC2): 10MHz の発振器です。OFD、SIWDT の基準クロック、カウントクロックの源発振に使用します。

4.6. トリミング回路 (TRM)

内蔵高速発振器 1(IHOSC1)の発振周波数を調整する回路です。

4.7. 周波数検知回路 (OFD)

周波数検知回路(OFD)はクロックの異常を検知します。計測対象として外部高速クロック(f_{EHOSC})または高速クロック(f_c)のどちらかを選択できます。内蔵の基準クロック(f_{IHOSC2})を用いて、選択したクロックを計測し、設定範囲から外れると内部リセット信号を発生します。

検出範囲として、検出する周波数の上限と下限を個別に設定することができます。

4.8. 電圧検知回路 (LVD)

電圧検知回路(LVD)は、電源電圧があらかじめ設定した電圧を下回るあるいは上回ったことを検知すると、割り込み要求または内部リセット信号を発生します。

設定電圧は 8 種類から選択することができます。電源投入時、リセット時からイネーブルです。

4.9. デジタルノイズフィルター回路 (DNF)

デジタルノイズフィルター回路(DNF)は外部割り込み入力に搭載したデジタルノイズフィルター回路です。外部割り込み信号 $INTx$ の高レベル/低レベル入力ともにノイズを除去します。

4.10. デバッグインターフェース (DEBUG)

デバッグツールと接続するためのデバッグインターフェースとして、シリアルワイヤデバッグポート(SWCLK、SWDIO)と、JTAG デバッグポート(TDI、TDO、TMS、TCK、TRST_N)の 2 種類あります。これらの端子をデバッグツールと接続してプログラム開発を行います。また、デバッグ作業を軽減するためにトレースクロック(TRACECLK)とトレース出力(TRACEDATA0、1)があります。

4.11. DMA コントローラー (DMAC)

DMA コントローラー(DMAC)は、周辺機能からメモリーへ、メモリーから周辺機能へ、あるいはメモリーからメモリーへデータを移動させることができる周辺機能です。これらの動作はCPU制御と別に行われるため、DMA を使用することで、CPU の負荷を著しく減らすことができます。

TMPM4V グループ(1)製品は、DMA コントローラー(DMAC)を 1 ユニット搭載しており、ユニット当たり 32 チャネルの起動要因があります。

4.12. 非同期シリアル通信回路 (UART)

非同期シリアル通信回路(UART)は、非同期シリアル通信機能です。7、8、9 ビットのデータ長、パリティ有無、1、2 ビットの STOP ビット長を選択できます。MSB ファースト/LSB ファーストの選択、データ極性の反転の他にポート設定でTXD/RXD端子入れ替えができます。FIFOバッファは、送信で8段、受信で8段を内蔵しています。

4.13. シリアルペリフェラルインターフェース (TSPI)

TMPM4V グループ(1)のシリアルペリフェラルインターフェース(TSPI)は、通信時にCS(チップセレクト)信号を使用する SPI 方式と、CS 信号を使用しない SIO 方式の 2 つの通信方式に対応し、他のデバイスと高速なシリアル転送が可能な通信機能です。

データ長は、7 ビット(パリティあり)から 32 ビット(パリティなし)まで 1 ビット単位で変更可能です。受信、送信ともに 16 ビットの FIFO が 8 段あります。コントローラー、ターゲットに対応します。また、フレームモード(フレーム長(8~32bit))か、セクターモード(2~4 セクターで、フレーム長(8~128bit)を構成)が使用できます。

4.14. シリアルメモリーインターフェース (SMIF)

SMIF は、シリアル I/O またはマルチ I/O 通信インターフェースを備えたシリアルメモリー(SPI フラッシュなど)に接続するためのインターフェースです。1 チャネルあたり最大 2 つまでのシリアルメモリーを接続することが可能です。アクセスモードは、ダイレクトアクセスとインダイレクトアクセスをサポートしています。SMIF とシリアルメモリーの通信モードは、STR-SPI(Standard SPI コンパチブル)、STR-Dual(ダイレクトアクセスのみ)、STR-DPI(ダイレクトアクセスのみ)、STR-Quad、STR-QPI をサポートしています。

4.15. I²C インターフェースバージョン A (EI2C)

I²C インターフェースバージョン A(EI2C)は、I²C の二線式双方向シリアル通信機能と互換ある通信機能です。コントローラーとターゲットの関係で通信をしますが、同一バス上に複数のコントローラーが存在可能なマルチコントローラーをサポートしています。

また、通信スピードは標準モード (最大 100kHz)、ファストモード(最大 400kHz)、ファストモードプラス(最大 1MHz)に対応しています。ターゲットアドレスは 7bit および 10bit のアドレッシングフォーマットに対応しています。

4.16. 12 ビットアナログデジタルコンバーター (ADC)

ADC は、12 ビット逐次変換方式のアナログ/デジタルコンバーターです。変換結果レジスターとアナログ入力の組み合わせは、AD 変換の開始要因ごとにプログラム可能です。

アナログデジタル変換の起動要因は、ソフトウェアまたは周辺機能(A-PMD2 のトリガー出力、タイマー/イベントカウンタ出力、ポート入力)から選択できます。

変換結果監視機能があり、比較条件と一致した場合に割り込み要求を発生させることができます。

VREFH/VREFL およびリファレンス電源と接続するセクターを内蔵しており、ソフトウェアで制御することで自己診断機能をサポートします。

4.17. アドバンストプログラマブルモーター制御回路 2 (A-PMD2)

アドバンストプログラマブルモーター制御回路 2(A-PMD2)は、ブラシレス DC モーターを容易に制御することができます。パルス幅変調回路、デッドタイム回路を持ち、3 相相補 PWM 出力や ADC と連携してモーター制御用の波形を容易に発生できます。

また、過電圧検出入力や異常検出入力をもっており、緊急時の安全対策も実現できます。

さらに、力率改善のための 3 相インターリーブ PFC 制御が可能です。

4.18. 32 ビットタイマーイベントカウンタ (T32A)

32 ビットタイマーイベントカウンタ(T32A)は、32 ビットタイマーまたは、2 本の 16 ビットタイマーとして動作するタイマーイベントカウンタです。32 ビットタイマーか 16 ビットタイマーかで動作するか選択が可能です。32 ビットタイマーの場合、32 ビットカウンタのタイマー C として動作します。16 ビットタイマーの場合、16 ビットカウンタのタイマー A とタイマー B の構成で動作します。

インターバルタイマー、イベントカウント、インプットキャプチャー、2 相カウンタ入力、PPG 出力、同期スタート、トリガースタート/ストップなど多彩な機能を内蔵しています。

4.19. クロック選択式ウォッチドッグタイマー (SIWDT)

クロック選択式ウォッチドッグタイマー(SIWDT)は、ノイズなどの原因により CPU が誤動作(暴走)した結果あらかじめ設定した検出時間以内にカウンタをクリアできなかった場合、カウンタのオーバーフローを検出して割り込み要求を発生またはリセットを発生する周辺機能です。

カウンタクロックとして、システムクロック($f_{sys}/4$)の他に内蔵発振器 1(f_{IHOSC1})、内蔵発振器 2(f_{IHOSC2})の 3 つから選択が可能です。

指定された期間のみカウンタクリアが可能な、カウンタクリアウインドウ機能があります。

また、プロテクトモードに設定することでリセットがかかるまでレジスターの変更を禁止することができます(カウンタクリアは可能)。

4.20. セキュアアクセスメモリー (SAM)

バスマネージャーからのフラッシュおよびRAM アクセスを監視します。
3つのステートを持ち、ステートごとにアクセス可能な領域を設定できます。

4.21. CRC 計算回路 (CRC)

CRC32 および CRC16 のハードウェア計算回路を内蔵しています。メモリーや通信データを処理してエラーを検出することに使用できます。

4.22. RAM パリティ (RAMP)

RAM へのライト時に偶数パリティデータを生成(8ビット単位)して格納し、リード時にはパリティ判定を行います。判定でエラーとなった場合は割り込みを発生します。また、エラーが発生したステータスとアドレスが分かります。

パリティ生成/判定はハードウェアなので、リアルタイムでパリティエラーを検出することができます。

4.23. セキュリティーリスク対策

TPM4V グループ(1)は、内部のデータ、製品の制御等の資産の保護を目的としたセキュリティーリスク対策として5つの機能を実装しています。想定するアクセス経路と保護対象を動作モードごとに示します。

機能の詳細は、リファレンスマニュアル「セキュリティー機能」を参照してください。

4.23.1. 構成

図 4.1 に製品とセキュリティー機能の関係の概略を示します。
フラッシュライターモード、東芝テストモードの仕様は非公開です。
NBDIF は製品によって搭載しない場合があります。

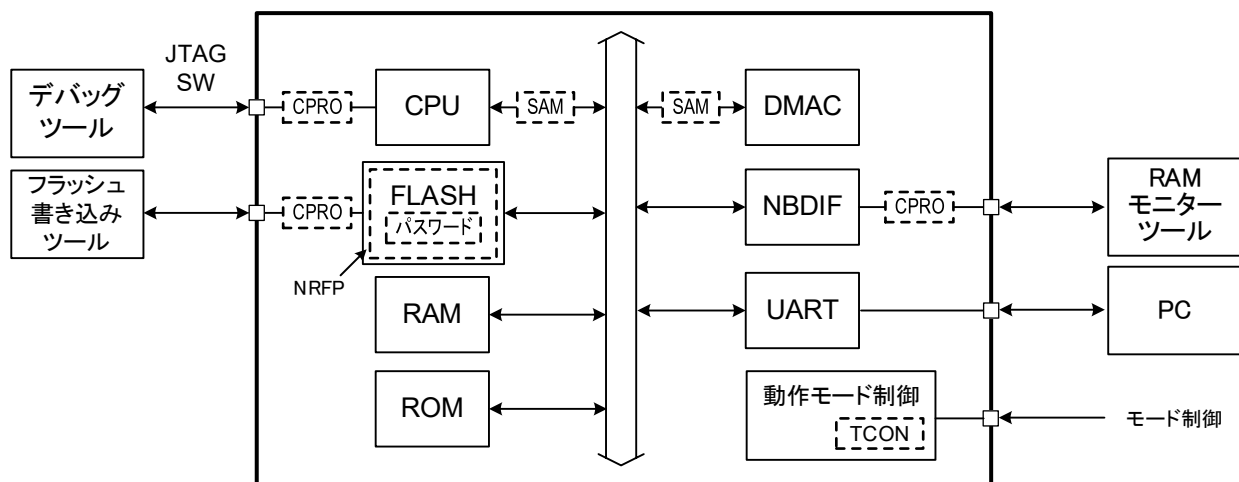


図 4.1 セキュリティー機能

4.23.2. 概要

(1) チッププロテクト(CPRO)

チッププロテクトは、デバッグツールおよび RAM モニターツールとの通信を禁止します。また、フラッシュ書き込みツールに対し、フラッシュメモリーの読み出しと書き込みを禁止します。セキュアアクセスメモリーも有効な場合はフラッシュライターモードが禁止されます。

表 4.4 アクセス経路と保護対象(1)

動作モード	アクセス経路	保護対象
シングルチップモード シングルブートモード	JTAG/SW/NBDIF	CPU FLASH/ROM/RAM
フラッシュライターモード	フラッシュライター	FLASH

- (2) RAM 転送コマンドにおけるパスワード
シングルブートモードは、UART 通信でコマンドを送信することで動作します。
RAM 転送コマンドに対しては、パスワードによる認証が行われます。

表 4.5 アクセス経路と保護対象(2)

動作モード	アクセス経路	保護対象
シングルブートモード	UART	CPU FLASH/ROM/RAM

- (3) 解除不能フラッシュプロテクト(NRFP)

解除不能フラッシュプロテクトは、フラッシュメモリーの指定した領域に対する書き込みと消去を禁止します。ロック設定を併用することで、解除不能フラッシュプロテクトを解除できなくなります。

解除不能フラッシュプロテクトを有効にすると、シングルブートモードおよびフラッシュライターモードは起動しません。

表 4.6 アクセス経路と保護対象(3)

動作モード	アクセス経路	保護対象
シングルチップモード	JTAG/SW 内部バス	FLASH

- (4) セキュアアクセスメモリー(SAM)

セキュアアクセスメモリーは、バスマネージャからのフラッシュメモリーおよび RAM の指定した領域に対するアクセス(読み出し、書き込み、実行)を制御します。ロック設定を併用することで、セキュアアクセスメモリーを解除できなくなります。

セキュアアクセスメモリーを有効にすると、シングルブートモードは起動しません。

表 4.7 アクセス経路と保護対象(4)

動作モード	アクセス経路	保護対象
シングルチップモード	内部バス	FLASH/RAM

- (5) 東芝テストモード制御(TCON)

東芝テストモード制御は、当社のテストモードの起動を禁止します。

東芝テストモード制御を有効にすると、フラッシュライターモードは起動しません。

表 4.8 アクセス経路と保護対象(5)

動作モード	アクセス経路	保護対象
東芝テストモード	非公開	CPU FLASH/ROM/RAM

4.23.3. 免責事項

巻末の「製品取り扱い上のお願い」を確認ください。

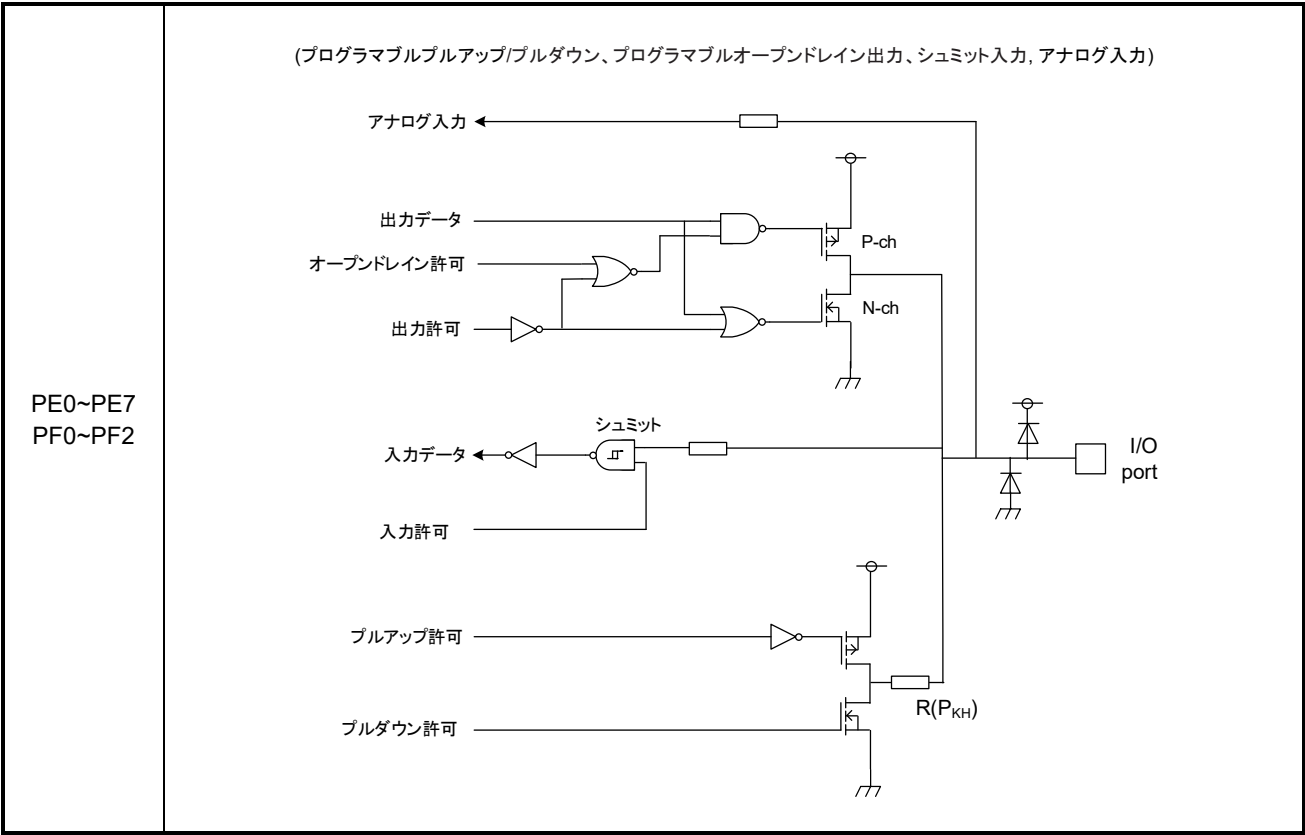
5. 等価回路図

ポート等価回路図は、基本的に標準 CMOS ロジック IC 「74HCxx」 シリーズと同じゲート記号を使って書かれています。入力保護抵抗は、数十 Ω ~ 数百 Ω 程度です。

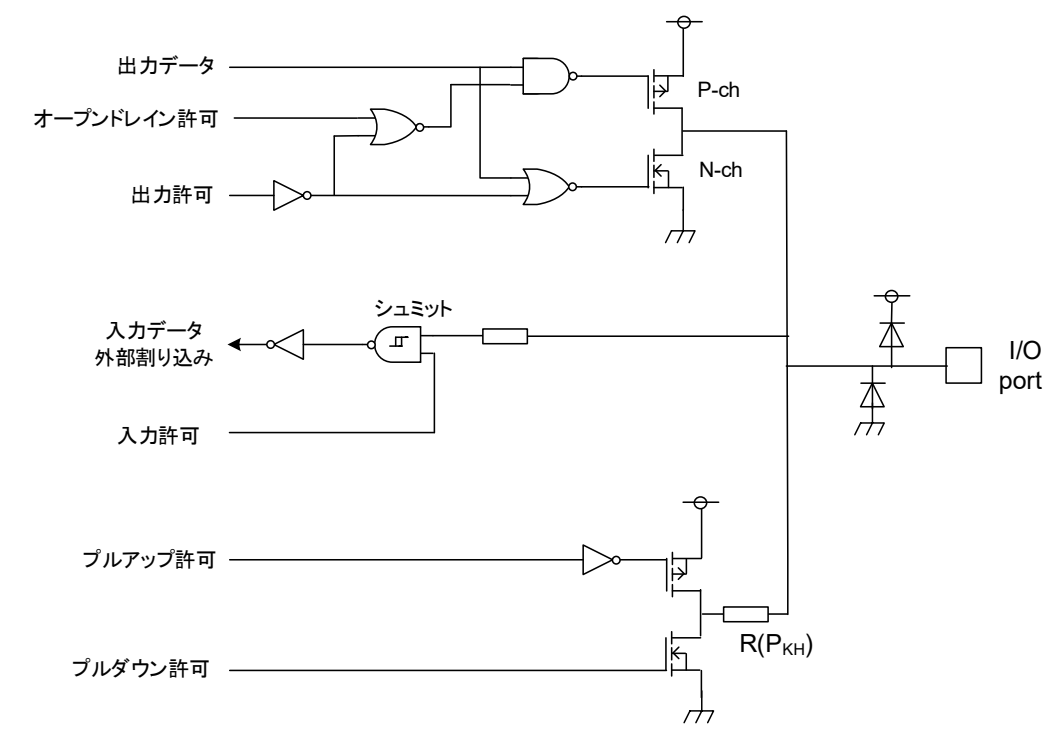
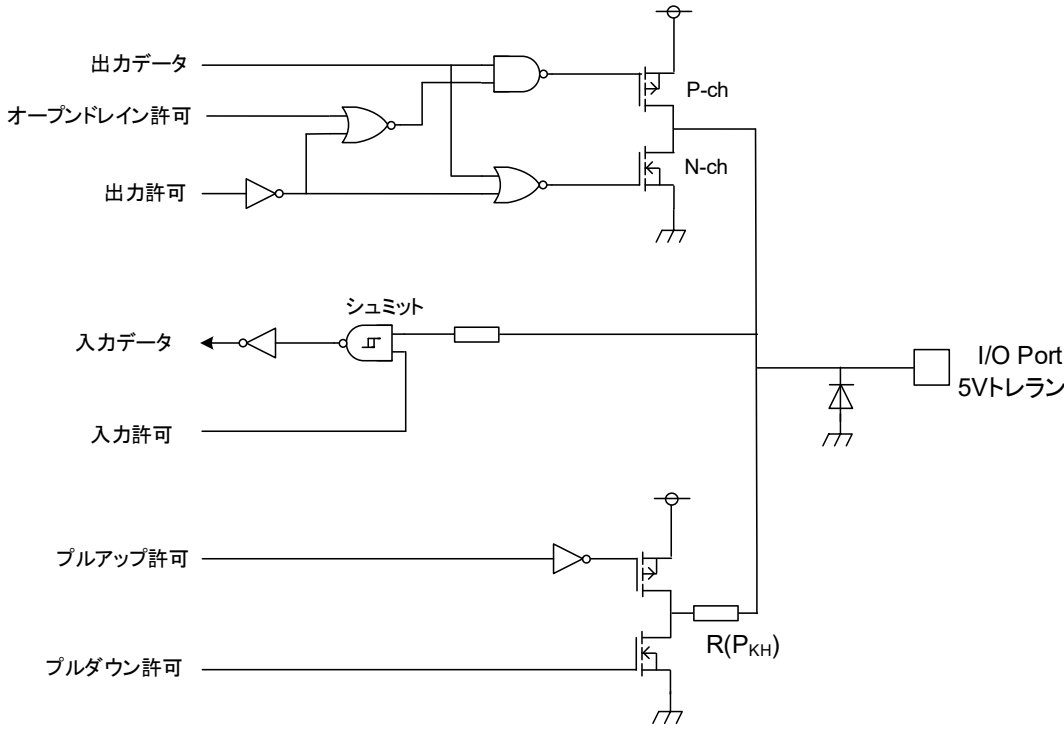
駆動能力選択機能の詳細はリファレンスマニュアルの「入出力ポート」を参照してください。

注) 図中の記号の記載のない抵抗は、入力保護抵抗を示します。

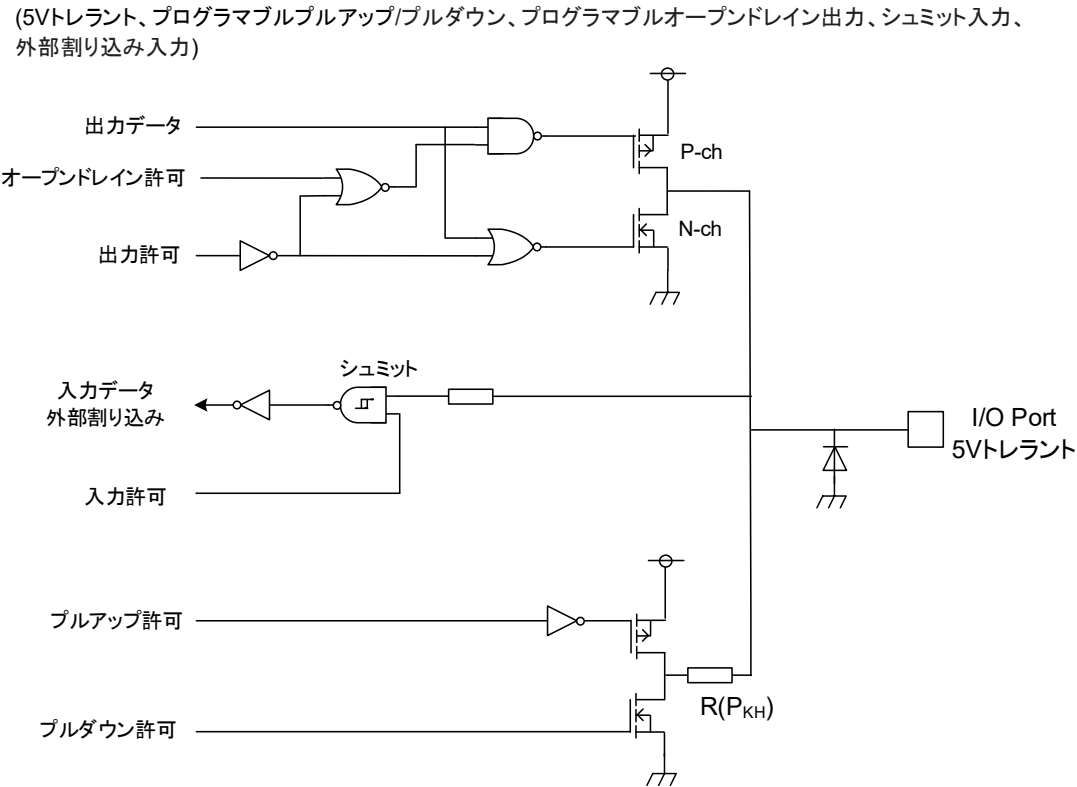
5.1. ポート



PF3~PF5	(プログラマブルプルアップ/プルダウン、プログラマブルオープンドレイン出力、シュミット入力、アナログ入力、外部割り込み入力)
PA1、PA2、 PB0~PB6、 PC0~PC3、 PD1	(プログラマブルプルアップ/プルダウン、プログラマブルオープンドレイン出力、シュミット入力) PA1、PA2、PC0~PC3、PD1 は駆動能力選択可能

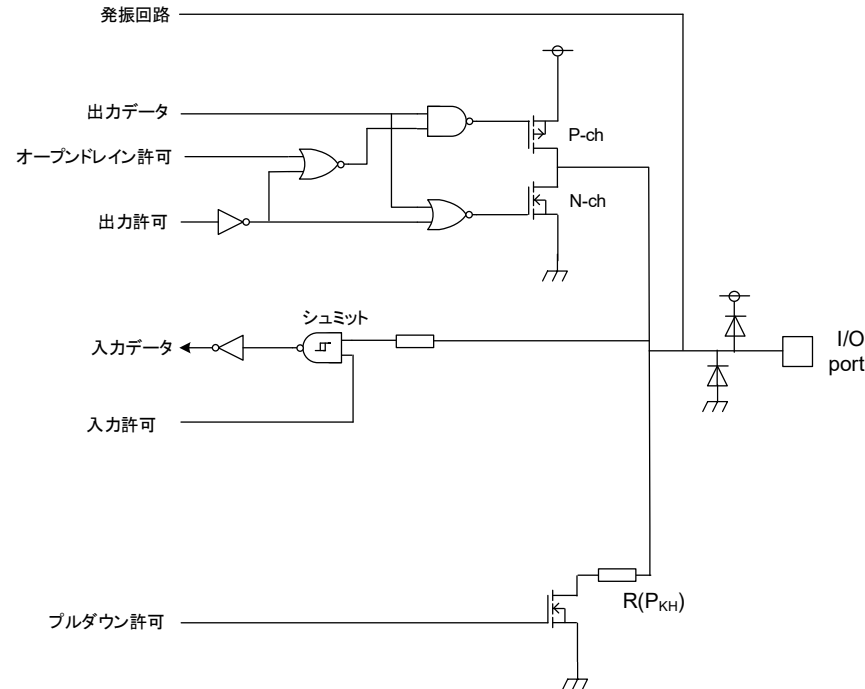
PA0、PA7、 PB7、 PC4、PC5、 PD0、PD2、 PD3、 PG1~PG3、 PJ0~PJ2	(プログラマブルプルアップ/プルダウン、プログラマブルオープンドレイン出力、シュミット入力、外部割り込み入力)  PA0、PB7、PC4、PC5、PD0、PD2、PD3、PG1~PG3、PJ0 は駆動能力選択可能
PA3、PA5、 PD4、PD5	(5Vトレラント、プログラマブルプルアップ/プルダウン、プログラマブルオープンドレイン出力、シュミット入力) 

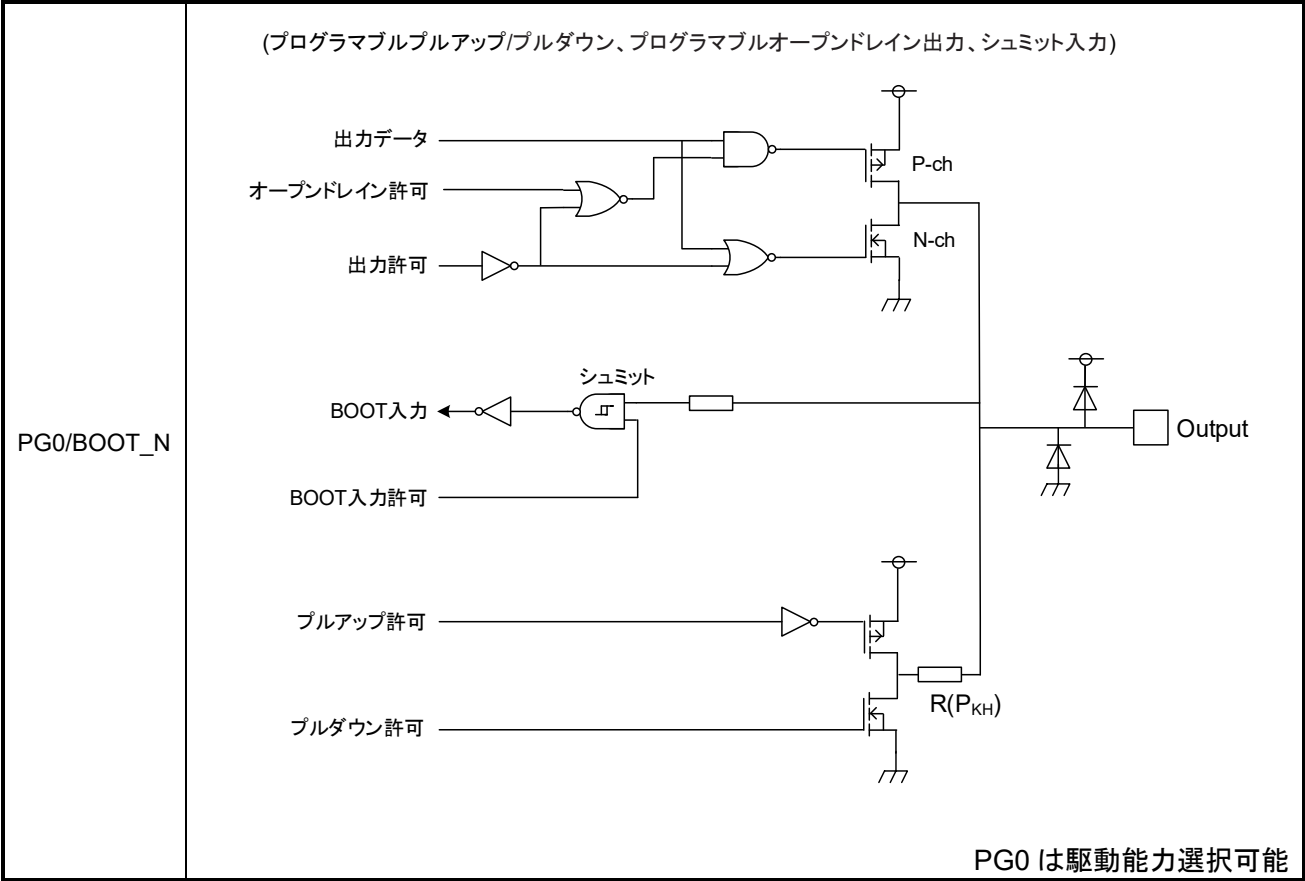
PA4、PA6



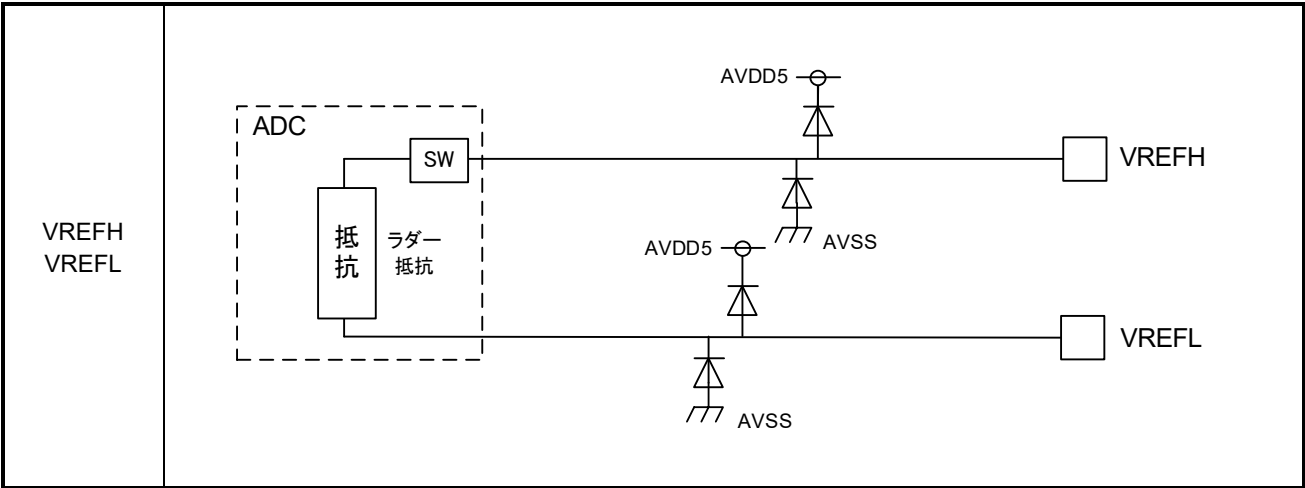
PH0、PH1

(プログラマブルプルアップ/プルダウン、プログラマブルオープンドレイン出力、シュミット入力、アナログ入力)



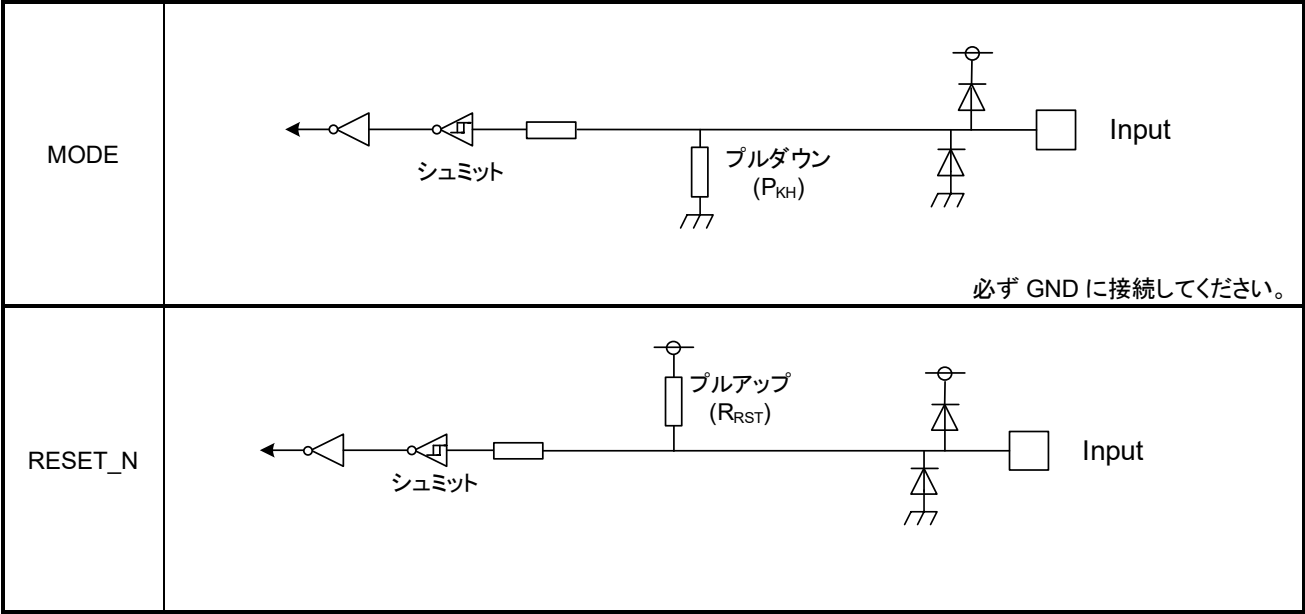


5.2. アナログ関連端子

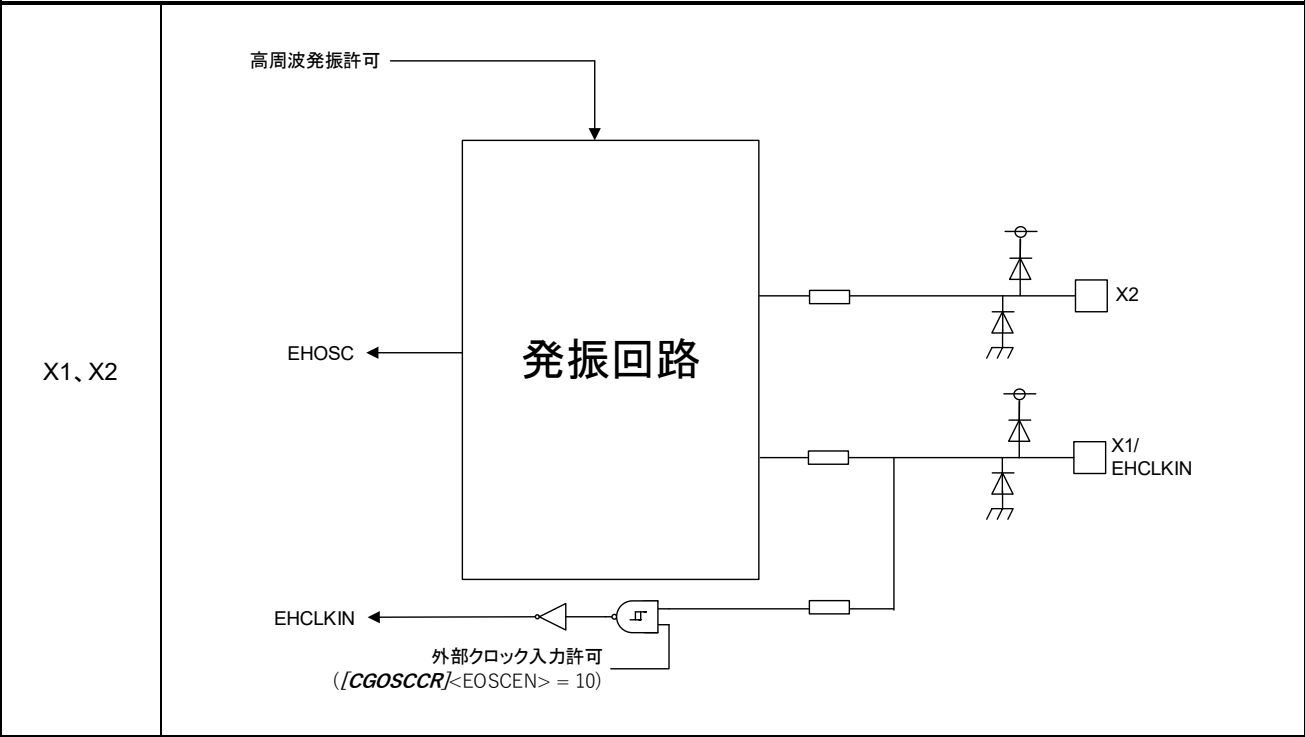


注) SW: ON/OFF スイッチ回路

5.3. 制御端子



5.4. クロック制御



6. 電気的特性

DVDD5 は DVDD5A、DVDD5B の総称です。

DVSS は DVSSA、DVSSB、DVSSC、DVSSD の総称です。

6.1. 絶対最大定格

表 6.1 絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD5	-0.3~6.0	V
		AVDD5	-0.3~6.0	
入力電圧	PA0~PA2、PA7、PB0~PB7、 PC0~PC5、PD0~PD3、PG1~PG3、 PH0、PH1、PJ0~PJ2、MODE、 RESET_N、BOOT_N	V _{IN1}	-0.3~DVDD5+0.3(≦6.0V) (注 2)	
	PE0~PE7、PF0~PF5	V _{IN2}	-0.3~AVDD5+0.3(≦6.0V) (注 2)	
	PA3~PA6、PD4、PD5	V _{IN3}	-0.3~6.0	
低レベル 出力電流	1 端子ごと PA0~PA2、PA7、PB0~PB7、 PC0~PC5、PD0~PD3、PE0~PE7、 PF0~PF5、PG0~PG3、 PH0、PH1、PJ0~PJ2	I _{OL1}	5	mA
	1 端子ごと PA3~PA6、PD4、PD5	I _{OL2}	12	
	全端子合計	ΣI _{OL}	50	
高レベル 出力電流	1 端子ごと PA0~PA2、PA7、PB0~PB7、 PC0~PC5、PD0~PD3、PE0~PE7、 PF0~PF5、PG0~PG3、 PH0、PH1、PJ0~PJ2	I _{OH1}	-5	
	1 端子ごと PA3~PA6、PD4、PD5	I _{OH2}	-5	
	全端子合計	ΣI _{OH}	-50	
はんだ付け温度		T _{SOLDER}	260	°C
保存温度		T _{STG}	-55~125	
動作温度		T _{OPR}	-40~105	
ジャンクション温度 (注 3)		T _j	-40~125	

注 1) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格(電流、電圧、消費電力、温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

注 2) DVDD5 と AVDD5 は電源投入から電源遮断まで同電位で使用してください。

注 3) 最大ジャンクション温度(T_j)の計算式を以下に示します。

$$T_j(\text{Max}) = T_{\text{OPR}}(\text{Max}) + PD(\text{Max}) \times \theta_{ja}$$

θ_{ja} (パッケージ熱抵抗($^{\circ}\text{C}/\text{W}$))は表 6.2 を参照してください。
最大消費電力($PD(\text{Max})$)の計算式を以下に示します。

$$PD(\text{Max}) = V_{DD} \times I_{DD}(\text{Max}) + \sum (I_{OL} \times V_{OL}) + \sum ((V_{DD} - V_{OH}) \times |I_{OH}|)$$

I_{OL} : "Low" レベル出力電流

I_{OH} : "High" レベル出力電流

V_{OL} : "Low" レベル出力電圧

V_{OH} : "High" レベル出力電圧

$I_{DD}(\text{Max})$ はポートを除く、内部回路で消費される電流です。「6.3. DC 電気的特性(2/2) (消費電流)」を参考にしてください。

一部の機能について、チャンネルまたはユニットごとの消費電流を表 6.3 に示します。この値は設計により規定された値です。消費電流検討の参考にしてください。

表 6.2 パッケージ熱抵抗

項目	記号	パッケージ	基板条件	値	単位
パッケージ熱抵抗	θ_{ja}	P-LQFP64-1010-0.50-003	JESD51-2、JESD51-3 準拠 (1s)	55.2	$^{\circ}\text{C}/\text{W}$
			JESD51-2、JESD51-7 準拠 (2s-2p)	34.3	
		P-LQFP48-0707-0.50-002	JESD51-2、JESD51-3 準拠 (1s)	61.0	
			JESD51-2、JESD51-7 準拠 (2s-2p)	38.3	
		P-VQFN48-0707-0.50-006	JESD51-2、JESD51-5、JESD51-3 準拠 (1s)	67.2	
			JESD51-2、JESD51-5、JESD51-7 準拠 (2s-2p)	26.8	
		P-LQFP44-1010-0.80-003	JESD51-2、JESD51-3 準拠 (1s)	57.7	
			JESD51-2、JESD51-7 準拠 (2s-2p)	38.1	

表 6.3 1チャンネル/ユニット当たりの消費電流

$T_a = -40 \sim 105^{\circ}\text{C}$

項目	条件	Min	Typ.	Max	単位
ADC	$3.6\text{V} < DVDD5 = AVDD5 \leq 5.5\text{V}$ $f_{\text{sys}} = \text{ADCLK} = 80\text{MHz}$, $\text{SCLK} = 40\text{MHz}$	-	-	3.8	mA
	$2.7\text{V} \leq DVDD5 = AVDD5 \leq 3.6\text{V}$ $f_{\text{sys}} = \text{ADCLK} = 80\text{MHz}$, $\text{SCLK} = 40\text{MHz}$	-	-	3.7	
SMIF	$2.7\text{V} \leq DVDD5 = AVDD5 \leq 5.5\text{V}$ $f_{\text{sys}} = \Phi T0 = 80\text{MHz}$	-	-	1.2	
TSPI		-	-	0.7	
UART		-	-	0.5	
T32A		-	-	0.8	

6.2. DC 電気的特性(1/2)

$$3.6V < DVDD5 = AVDD5 \leq 5.5V$$

$$DVSS = AVSS = 0V$$

$$T_a = -40 \sim 105^{\circ}C$$

項目	記号	条件	Min	Typ.	Max	単位
電源電圧	DVDD5、AVDD5	VDD fosc = 6~24MHz fsys = 1~80MHz	3.6	-	5.5	V
低レベル 入力電圧	PA0~PA2、PA7、PB0~PB7、 PC0~PC5、PD0~PD3、 PG1~PG3、PH0、PH1、 PJ0~PJ2、MODE、 RESET_N、BOOT_N	V _{IL1}	-0.3	-	DVDD5×0.25	V
	PE0~PE7、PF0~PF5	V _{IL2}			AVDD5×0.25	
	PA3~PA6、PD4、PD5	V _{IL3}			DVDD5×0.25	
高レベル 入力電圧	PA0~PA2、PA7、PB0~PB7、 PC0~PC5、PD0~PD3、 PG1~PG3、PH0、PH1、 PJ0~PJ2、MODE、 RESET_N、BOOT_N	V _{IH1}	DVDD5×0.75	-	DVDD5+0.3	V
	PE0~PE7、PF0~PF5	V _{IH2}	AVDD5×0.75		AVDD5+0.3	
	PA3~PA6、PD4、PD5	V _{IH3}	DVDD5×0.75		5.8	
低レベル 出力電圧	PA0~PA2、PB7、PC0~PC5、 PD0~PD3、PG0~PG3、PJ0	V _{OL1} 1mA 設定 DVDD5 = 4.5V I _{OL} = 0.8mA	-	-	0.4	V
		V _{OL2} 2mA 設定 DVDD5 = 4.5V I _{OL} = 1.6mA	-	-	0.4	
		V _{OL3} 3mA 設定 DVDD5 = 4.5V I _{OL} = 2.4mA	-	-	0.4	
		V _{OL4} 4mA 設定 DVDD5 = 4.5V I _{OL} = 3.2mA	-	-	0.4	
	PA7、PB0~PB6、PH0、PH1、 PJ1、PJ2	V _{OL5} DVDD5 = 4.5V I _{OL} = 1.6mA	-	-	0.4	
	PE0~PE7、PF0~PF5	V _{OL6} AVDD5 = 4.5V I _{OL} = 1.6mA	-	-	0.4	
	PA3~PA6、PD4、PD5	V _{OL7} DVDD5 = 4.5V I _{OL} = 8mA	-	-	1.0	
高レベル 出力電圧	PA0~PA2、PB7、PC0~PC5、 PD0~PD3、PG0~PG3、PJ0	V _{OH1} 1mA 設定 DVDD5 = 4.5V I _{OH} = -0.7mA	DVDD5-0.4	-	-	V
		V _{OH2} 2mA 設定 DVDD5 = 4.5V I _{OH} = -1.5mA	DVDD5-0.4	-	-	
		V _{OH3} 3mA 設定 DVDD5 = 4.5V I _{OH} = -2.4mA	DVDD5-0.4	-	-	
		V _{OH4} 4mA 設定 DVDD5 = 4.5V I _{OH} = -3.2mA	DVDD5-0.4	-	-	
	PA3~PA7、PB0~PB6、PD4、 PD5、PH0、PH1、PJ1、PJ2	V _{OH5} DVDD5 = 4.5V I _{OH} = -1.5mA	DVDD5-0.4	-	-	
	PE0~PE7、PF0~PF5	V _{OH6} AVDD5 = 4.5V I _{OH} = -1.5mA	AVDD5-0.4	-	-	

注) DVDD5、AVDD5 は同電位で使用してください。

3.6V < DVDD5 = AVDD5 ≤ 5.5V

DVSS = AVSS = 0V

Ta = -40 ~ 105°C

項目		記号	条件	Min	Typ.	Max	単位
リーク電流		I _L	0.0V ≤ VIN ≤ DVDD5 0.0V ≤ VIN ≤ AVDD5	-5	±0.05	5	μA
シュミット入力幅		V _{TH}	DVDD5 = AVDD5 = 5.0V	0.3	0.6	-	V
リセットプルアップ抵抗		R _{RST}	-	30	50	150	kΩ
プログラマブルプルアップ/ダウン抵抗		P _{KH}	Pull-up	30	50	150	
			Pull-down	30	50	150	
Pin 容量(電源端子を除く)		C _{IO}	fc = 1MHz	-	-	10	pF
低レベル 出力電流	1 端子ごと PA0~PA2、PA7、 PB0~PB7、PC0~PC5、 PD0~PD3、PE0~PE7、 PF0~PF5、PG0~PG3、 PH0、PH1、PJ0~PJ2	I _{OL1}	DVDD5 = AVDD5 = 5.0V	-	-	2 (注 3)	mA
	1 端子ごと PA3~PA6、PD4、PD5	I _{OL2}	DVDD5 = 5.0V	-	-	8 (注 3)	
	下記ポート全体で PA0~PA7、PB0~PB7、 PC0~PC5、PD0~PD5、 PG0~PG3、PH0、 PH1、PJ0~PJ2	Σ I _{OL1}	DVDD5 = 5.0V	-	-	35 (注 4)	
	下記ポート全体で PE0~PE7、PF0~PF5	Σ I _{OL2}	AVDD5 = 5.0V	-	-	35 (注 4)	
高レベル 出力電流	1 端子ごと	I _{OH}	DVDD5 = AVDD5 = 5.0V	-2 (注 3)	-	-	mA
	下記ポート全体で PA0~PA7、PB0~PB7、 PC0~PC5、PD0~PD5、 PG0~PG3、PH0、 PH1、PJ0~PJ2	Σ I _{OH1}	DVDD5 = 5.0V	-35 (注 4)	-	-	
	下記ポート全体で PE0~PE7、PF0~PF5	Σ I _{OH2}	AVDD5 = 5.0V	-35 (注 4)	-	-	

注 1) Typ.値は特に指定のない限り Ta=25°C、DVDD5=AVDD5=5.0V の値です。

注 2) DVDD5、AVDD5 は同電位で使用してください。

注 3) 端子の電流合計が各グループ電流の合計を越えてはいけません。

注 4) 各グループ電流の合計が、絶対最大定格を越えてはいけません。

$$2.7V \leq DVDD5 = AVDD5 \leq 3.6V$$

$$DVSS = AVSS = 0V$$

$$T_a = -40 \sim 105^{\circ}C$$

項目		記号	条件	Min	Typ.	Max	単位
電源電圧	DVDD5、AVDD5	VDD	fosc = 6~24MHz fsys = 1~80MHz	2.7	-	3.6	V
低レベル 入力電圧	PA0~PA2、PA7、PB0~PB7、 PC0~PC5、PD0~PD3、 PG1~PG3、PH0、PH1、 PJ0~PJ2、MODE、 RESET_N、BOOT_N	V _{IL1}	-	-0.3	-	DVDD5×0.25	V
	PE0~PE7、PF0~PF5	V _{IL2}	-			AVDD5×0.25	
	PA3~PA6、PD4、PD5	V _{IL3}	-			DVDD5×0.25	
高レベル 入力電圧	PA0~PA2、PA7、PB0~PB7、 PC0~PC5、PD0~PD3、 PG1~PG3、PH0、PH1、 PJ0~PJ2、MODE、 RESET_N、BOOT_N	V _{IH1}	-	DVDD5×0.75	-	DVDD5+0.3	V
	PE0~PE7、PF0~PF5	V _{IH2}	-	AVDD5×0.75		AVDD5+0.3	
	PA3~PA6、PD4、PD5	V _{IH3}	-	DVDD5×0.75		5.8	
低レベル 出力電圧	PA0~PA2、PB7、PC0~PC5、 PD0~PD3、PG0~PG3、PJ0	V _{OL1}	1mA 設定 DVDD5 = 2.7V I _{OL} = 0.4 mA	-	-	0.4	V
		V _{OL2}	2mA 設定 DVDD5 = 2.7V I _{OL} = 0.9 mA	-	-	0.4	
		V _{OL3}	3mA 設定 DVDD5 = 2.7V I _{OL} = 1.5 mA	-	-	0.4	
		V _{OL4}	4mA 設定 DVDD5 = 2.7V I _{OL} = 2.1 mA	-	-	0.4	
	PA7、PB0~PB6、PH0、PH1、 PJ1、PJ2	V _{OL5}	DVDD5 = 2.7V I _{OL} = 0.9 mA	-	-	0.4	
	PE0~PE7、PF0~PF5	V _{OL6}	AVDD5 = 2.7V I _{OL} = 0.9 mA	-	-	0.4	
	PA3~PA6、PD4、PD5	V _{OL7}	DVDD5 = 2.7V I _{OL} = 5.5 mA	-	-	1.0	
高レベル 出力電圧	PA0~PA2、PB7、PC0~PC5、 PD0~PD3、PG0~PG3、PJ0	V _{OH1}	1mA 設定 DVDD5 = 2.7V I _{OH} = -0.4 mA	DVDD5-0.4	-	-	V
		V _{OH2}	2mA 設定 DVDD5 = 2.7V I _{OH} = -0.9 mA	DVDD5-0.4	-	-	
		V _{OH3}	3mA 設定 DVDD5 = 2.7V I _{OH} = -1.5 mA	DVDD5-0.4	-	-	
		V _{OH4}	4mA 設定 DVDD5 = 2.7V I _{OH} = -2.1 mA	DVDD5-0.4	-	-	
	PA3~PA7、PB0~PB6、PD4、 PD5、PH0、PH1、PJ1、PJ2	V _{OH5}	DVDD5 = 2.7V I _{OH} = -0.9 mA	DVDD5-0.4	-	-	
	PE0~PE7、PF0~PF5	V _{OH6}	AVDD5 = 2.7V I _{OH} = -0.9 mA	AVDD5-0.4	-	-	

注) DVDD5、AVDD5 は同電位で使用してください。

$$2.7V \leq DVDD5 = AVDD5 \leq 3.6V$$

$$DVSS = AVSS = 0V$$

$$T_a = -40 \sim 105^\circ C$$

項目		記号	条件	Min	Typ.	Max	単位
リーク電流		I_L	$0.0V \leq V_{IN} \leq DVDD5$ $0.0V \leq V_{IN} \leq AVDD5$	-5	± 0.05	5	μA
シュミット入力幅		V_{TH}	$DVDD5 = AVDD5 = 3.0V$	0.2	0.4	-	V
リセットプルアップ抵抗		R_{RST}	-	30	50	150	k Ω
プログラマブルプルアップ/ダウン抵抗		P_{KH}	Pull-up	30	50	150	
			Pull-down	30	50	150	
Pin 容量(電源端子を除く)		C_{IO}	$f_c = 1MHz$	-	-	10	pF
低レベル 出力電流	1 端子ごと PA0~PA2、PA7、 PB0~PB7、PC0~PC5、 PD0~PD3、PE0~PE7、 PF0~PF5、PG0~PG3、 PH0、PH1、PJ0~PJ2	I_{OL1}	$DVDD5 = AVDD5 = 3.3V$	-	-	2 (注 3)	mA
	1 端子ごと PA3~PA6、PD4、PD5	I_{OL2}	$DVDD5 = 3.3V$	-	-	8 (注 3)	
	下記ポート全体で PA0~PA7、PB0~PB7、 PC0~PC5、PD0~PD5、 PG0~PG3、PH0、 PH1、PJ0~PJ2	ΣI_{OL1}	$DVDD5 = 3.3V$	-	-	35 (注 4)	
	下記ポート全体で PE0~PE7、PF0~PF5	ΣI_{OL2}	$AVDD5 = 3.3V$	-	-	35 (注 4)	
高レベル 出力電流	1 端子ごと	I_{OH}	$DVDD5 = AVDD5 = 3.3V$	-2 (注 3)	-	-	mA
	下記ポート全体で PA0~PA7、PB0~PB7、 PC0~PC5、PD0~PD5、 PG0~PG3、PH0、 PH1、PJ0~PJ2	ΣI_{OH1}	$DVDD5 = 3.3V$	-35 (注 4)	-	-	
	下記ポート全体で PE0~PE7、PF0~PF5	ΣI_{OH2}	$AVDD5 = 3.3V$	-35 (注 4)	-	-	

注 1) Typ.値は特に指定のない限り $T_a=25^\circ C$ 、 $DVDD5=AVDD5=3.3V$ の値です。

注 2) $DVDD5$ 、 $AVDD5$ は同電位で使用してください。

注 3) 端子の電流合計が各グループ電流の合計を越えてはいけません。

注 4) 各グループ電流の合計が、絶対最大定格を越えてはいけません。

6.3. DC 電氣的特性(2/2) (消費電流)

Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
NORMAL	IDD	動作条件は表 6.4、表 6.5 を参照してください。	-	43.9	61.6	mA
IDLE			-	5.1	16.0	
STOP1			-	0.51	9.38	
STOP2			-	2.4	60.8	μA

注 1) Typ.値は特に指定のない限り Ta=25°C、DVDD5=AVDD5=5.0V の値です。

注 2) DVDD5、AVDD5 は同電位で使用してください。

注 3) AVDD5、VREF 電流を含みます。

表 6.4 IDD測定条件(端子設定、発振回路)

		NORMAL	IDLE	STOP1	STOP2
端子設定	DVDD5 AVDD5	5.0V(Typ.)、5.5V(max)			
	X1、X2 端子	発振子接続(10MHz)			
	入力端子	固定			
	出力端子	開放			
動作条件 (発振回路)	システムクロック (fsys)	80MHz		停止	
	外部高速発振器 (EHOSC)	発振		停止	
	内部高速発振器 (IHOSC1)	停止			
	PLL	動作(8 倍)		停止	

表 6.5 IDD測定条件(CPU、周辺回路)

回路	搭載 回路数	NORMAL	IDLE	STOP1	STOP2
CPU	1	動作 (ドライストン Ver.2.1)	停止		
DMAC	1	(UART ch 0 送信で起動、 転送先: RAM)	停止		
ADC	1	動作 (1μs、リピート変換)	停止		
RAMP	1	動作	停止		
T32A	5	全 ch 動作	停止		
A-PMD2	1	動作	停止		
SIWDT	1	動作	停止		
UART	6	6ch: 送信(5Mbps)	停止		
EI2C	2	停止			
TSPI	3	3ch: 送信、20MHz	停止		
SMIF	1	1ch: 送信、25MHz	停止		
CRC	1	停止			
LVD	1	停止			
OFD	1	停止			
Debug	1	停止			
入出力 ポート	-	動作	停止		

Ta = -40 ~ 105°C

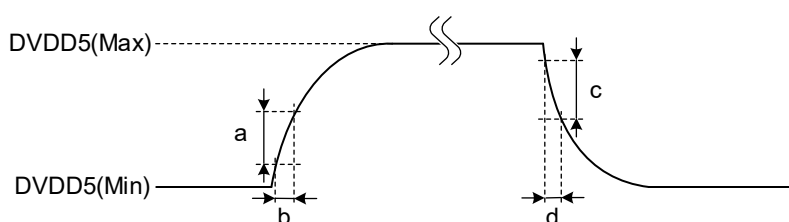
項目	記号	条件	Min	Typ.	Max	単位
アナログ消費電流 (VREF 電流含む)	I _{AVDD}	AVDD5=5.0V (Typ.)、5.5V(Max)、AVSS=0V ADC 動作時	-	5.8	8.5	mA

6.4. 電源電圧変動

DVSS = AVSS = 0V

Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
電源傾斜	V _{PON}	電源投入時立ち上がり傾斜	0.3	-	250	mV/μs
	V _{POFF1}	電源遮断時立ち下がり傾斜 (2.7V ≤ DVDD5)	-	-	50	
	V _{POFF2}	電源遮断時立ち下がり傾斜 (0V ≤ DVDD5 < 2.7V)	-	-	2.5	
電源変動レート	V _{fr}	2.7V ≤ DVDD5 = AVDD5 ≤ 5.5V	-50	-	50	



$$V_{fr} = a / b, c / d$$

図 6.1 電源変動レート

6.5. リセット時内部処理特性

DVSS = AVSS = 0V

Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
内部初期化時間	t _{INIT}	パワーオン時	-	-	2.57	ms
内部処理時間	t _{IRST}	STOP2 モードをリセット(RESET_N 端子、LVD)で解除時	-	-	1.16	
		STOP2 モードを割り込みで解除時	-	-	0.54	
		STOP2 モード解除以外のリセット動作時	-	-	0.18	
CPU 動作待ち時間 (注)	t _{CPUWT}	パワーオン時 STOP1/STOP2 モードで LVD によるリセット動作時 STOP1/STOP2 モードで RESET_N 端子によるリセット動作時	12	-	15	μs
		NORMAL/IDLE モードで LVD によるリセット動作時 NORMAL/IDLE モードで RESET_N 端子によるリセット動作時 NORMAL/IDLE モードで SIWDT/OFD/LOCKUP/SYSRESET によるリセット動作時	55	-	59	

注) SIWDT/OFD/LOCKUP/SYSRESET によるリセット動作時を除き、リセット要因が継続した場合、同リセット要因が解除された後に、t_{CPUWT} (CPU 動作待ち時間)の計測が始まります。

6.6. パワーオンリセット特性

DVSS = AVSS = 0V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
解除電圧	V _{PREL}	電源立ち上がり	2.22	2.33	2.44	V
検知電圧	V _{PDET}	電源立ち下がり	2.17	2.28	2.39	
検知パルス幅 1	T _{PDET1}	-	200	-	-	μs

6.7. PORF 特性

DVSS = AVSS = 0V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
解除電圧	V _{PORFL}	電源立ち上がり	2.57	2.64	2.71	V
検知電圧	V _{PORFD}	電源立ち下がり	2.52	2.59	2.66	
検知パルス幅 2	T _{PDET2}	-	200	-	-	μs

6.8. 電圧検知回路特性

DVDD5 = AVDD5 = 2.7V ~ 5.5V

DVSS = AVSS = 0V

Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
NORMAL/IDLE/STOP1 モード時検知電圧	V _{LVL00}	電源立ち上がり	2.64	2.70	2.76	V
		電源立ち下がり	2.59	2.65	2.71	
	V _{LVL01}	電源立ち上がり	2.69	2.75	2.81	V
		電源立ち下がり	2.64	2.70	2.76	
	V _{LVL02}	電源立ち上がり	2.79	2.85	2.91	V
		電源立ち下がり	2.74	2.80	2.86	
	V _{LVL03}	電源立ち上がり	2.89	2.95	3.01	V
		電源立ち下がり	2.84	2.90	2.96	
	V _{LVL04}	電源立ち上がり	3.97	4.05	4.13	V
		電源立ち下がり	3.92	4.00	4.08	
	V _{LVL05}	電源立ち上がり	4.17	4.25	4.33	V
		電源立ち下がり	4.12	4.20	4.28	
	V _{LVL06}	電源立ち上がり	4.37	4.45	4.53	V
		電源立ち下がり	4.32	4.40	4.48	
	V _{LVL07}	電源立ち上がり	4.57	4.65	4.73	V
		電源立ち下がり	4.52	4.60	4.68	
STOP2 モード時検知電圧	V _{LVL10}	電源立ち上がり	2.62	2.70	2.78	V
		電源立ち下がり	2.57	2.65	2.73	
	V _{LVL11}	電源立ち上がり	2.67	2.75	2.83	V
		電源立ち下がり	2.62	2.70	2.78	
	V _{LVL12}	電源立ち上がり	2.77	2.85	2.93	V
		電源立ち下がり	2.72	2.80	2.88	
	V _{LVL13}	電源立ち上がり	2.87	2.95	3.03	V
		電源立ち下がり	2.82	2.90	2.98	
	V _{LVL14}	電源立ち上がり	3.95	4.05	4.15	V
		電源立ち下がり	3.90	4.00	4.10	
	V _{LVL15}	電源立ち上がり	4.15	4.25	4.35	V
		電源立ち下がり	4.10	4.20	4.30	
	V _{LVL16}	電源立ち上がり	4.35	4.45	4.55	V
		電源立ち下がり	4.30	4.40	4.50	
	V _{LVL17}	電源立ち上がり	4.55	4.65	4.75	V
		電源立ち下がり	4.50	4.60	4.70	
検知応答時間	t _{VDDT1}	電源立ち下がり	-	-	100	μs
解除応答時間	t _{VDDT2}	電源立ち上がり	-	-	100	
セットアップ時間	t _{LV DEN}	-	-	-	100	
検知最小パルス幅	t _{LVDPW}	-	200	-	-	

6.9. 12 ビット AD コンバーター特性

6.9.1. AD コンバーター特性

DVDD5 = AVDD5 = 2.7V ~ 5.5V
DVSS = AVSS = 0V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧(+)	VREFH	-	2.7	-	5.5	V
アナログ入力電圧	VAIN	-	VREFL	-	VREFH	
アナログ電源と基準電圧差	$\Delta VREF$	$VREFH \leq AVDD5$	0	-	0.5	
積分非直線性誤差(INL)	-	3.6V < AVDD5 $\leq$ 5.5V 3.6V < VREFH $\leq$ 5.5V AVSS = VREFL = 0V AIN 負荷抵抗 = 600 Ω AIN 負荷容量 $\geq$ 0.1 μ F	-5	-	5	LSB
微分非直線性誤差(DNL)			-1	-	2	
ゼロスケール誤差			-5	-	5	
フルスケール誤差			-5	-	5	
総合誤差			-7	-	5	
積分非直線性誤差(INL)	-	2.7V $\leq$ AVDD5 $\leq$ 3.6V 2.7V $\leq$ VREFH $\leq$ 3.6V AVSS = VREFL = 0V AIN 負荷抵抗 = 600 Ω AIN 負荷容量 $\geq$ 0.1 μ F	-5	-	5	LSB
微分非直線性誤差(DNL)			-1	-	2	
ゼロスケール誤差			-5	-	5	
フルスケール誤差			-5	-	5	
総合誤差			-7	-	6	
SCLK 周波数	f _{SCLK}	-	4	-	40	MHz
サンプリング時間	t _{smp}	-	0.25	-	-	μ s
変換時間	t _{conv}	-	0.975	-	-	
安定待ち時間	t _{sta}	レジスター初期設定または変更後	3	-	-	

注 1) Typ. 値は特に指定のない限り Ta=25°C、DVDD5 = AVDD5 = 5.0V の値です。

注 2) 1LSB = (VREFH - AVSS(VREFL)) / 4096V

注 3) AD コンバーターのみ動作時の特性です。

6.9.2. リファレンス電源電圧

DVDD5 = AVDD5 = 2.7V ~ 5.5V
DVSS = AVSS = 0V
Ta = -40 ~ 105°C

項目	条件	Min	Typ.	Max	単位
リファレンス電源電圧	Unit A: ch16 選択	1.35	-	1.65	V

6.10. AC 電气的特性

この章の「AC 電气的特性」に示されている値には、クロック誤差は含まれていません。
実際には、AC 特性は誤差(a)と(b)の両方の影響を受ける可能性があります。

- (a) fosc として使用するクロックの発振周波数誤差
- (b) PLL 誤差(最大±3%)

6.10.1. シリアルペリフェラルインターフェース(TSPI)

6.10.1.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40~105°C
- 入出力レベル: High = 0.5×DVDD5、Low = 0.5×DVDD5
- 負荷容量: CL = 30pF
- 出力駆動能力: 4mA 設定

6.10.1.2. AC 電气的特性

T は TSPI の動作クロックの周期を表します。TSPI の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

k1 の値は $[TSPIx FMTR0] < CSSCKDL[3:0] >$ 、k2 の値は $[TSPIx FMTR0] < SCKCSDL[3:0] >$ で設定された TSPIxSCK のサイクル数で、1~16 の値になります。

k3 の値は $[TSPIx CR2] < RXDLY[2:0] >$ の設定に 1 を加えた値で、1~8 になります。

(1) SPI モード コントローラー

$$3.6V < DVDD5 = AVDD5 \leq 5.5V$$

項目	記号	Min	Max	単位
TSPIxSCK 出力周波数	f _{CYC}	-	20	MHz
TSPIxSCK 出力周期	t _{CYC}	1/f _{CYC}	-	ns
TSPIxSCK 低レベル出力パルス幅	t _{WL}	(t _{CYC} /2)-13	-	
TSPIxSCK 高レベル出力パルス幅	t _{WH}	(t _{CYC} /2)-13	-	
TSPIxCSn 出力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{CSU}	(t _{CYC} ×k1)-20	(t _{CYC} ×k1)+9	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSn ホールド時間	t _{CHD}	(t _{CYC} ×(k2+0.5))-20	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	37-k3×T	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	k3×T-1.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY1}	-17	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY2}	-	17	
TSPIxCSn 立ち下がり →TSPIxTXD 遅延時間	t _{ODLY3}	(t _{CYC} ×(k1-0.5))-25	(t _{CYC} ×(k1-0.5))+9	

$$2.7V \leq DVDD5 = AVDD5 \leq 3.6V$$

項目	記号	Min	Max	単位
TSPIxSCK 出力周波数	f _{CYC}	-	20	MHz
TSPIxSCK 出力周期	t _{CYC}	1/f _{CYC}	-	ns
TSPIxSCK 低レベル出力パルス幅	t _{WL}	(t _{CYC} /2)-16	-	
TSPIxSCK 高レベル出力パルス幅	t _{WH}	(t _{CYC} /2)-16	-	
TSPIxCSn 出力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{CSU}	(t _{CYC} ×k1)-20	(t _{CYC} ×k1)+11	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSn ホールド時間	t _{CHD}	(t _{CYC} ×(k2+0.5))-22.5	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	37- k3×T	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	k3×T-1.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY1}	-17	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY2}	-	17	
TSPIxCSn 立ち下がり →TSPIxTXD 遅延時間	t _{ODLY3}	(t _{CYC} ×(k1-0.5))-25	(t _{CYC} ×(k1-0.5))+13	

(2) SPI モード ターゲット

$$3.6V < DVDD5 = AVDD5 \leq 5.5V$$

項目	記号	Min	Max	単位
TSPIxSCK 入力周波数	f _{CYC}	-	10	MHz
TSPIxSCK 入力周期	t _{CYC}	1/f _{CYC}	-	ns
TSPIxSCK 低レベル入力パルス幅	t _{WL}	37	-	
TSPIxSCK 高レベル入力パルス幅	t _{WH}	37	-	
TSPIxCSIN 入力(1st エッジ) ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{CSU1}	170	-	
TSPIxCSIN 入力(2nd エッジ) ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{CSU2}	80	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間(1st エッジ)	t _{CHD}	80	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間(2nd エッジ)		7	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY1}	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY2}	-	43	
TSPIxCSIN 立ち下がり →TSPIxTXD 遅延時間	t _{ODLY3}	-	46	
TSPIxCSIN 高レベル入力パルス幅(1st エッジ)	t _{WDIS}	T×5+20	-	
TSPIxCSIN 高レベル入力パルス幅(2nd エッジ)		T×2+20	-	

$$2.7V \leq DVDD5 = AVDD5 \leq 3.6V$$

項目	記号	Min	Max	単位
TSPIxSCK 入力周波数	f _{CYC}	-	10	MHz
TSPIxSCK 入力周期	t _{CYC}	1/f _{CYC}	-	ns
TSPIxSCK 低レベル入力パルス幅	t _{WL}	37	-	
TSPIxSCK 高レベル入力パルス幅	t _{WH}	37	-	
TSPIxC SIN 入力(1st エッジ) ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{CSU1}	170	-	
TSPIxC SIN 入力(2nd エッジ) ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{CSU2}	80	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxC SIN ホールド時間(1st エッジ)	t _{CHD}	80	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxC SIN ホールド時間(2nd エッジ)		7	-	
TSPIxRXD 入力 ← TSPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY1}	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY2}	-	43	
TSPIxC SIN 立ち下がり →TSPIxTXD 遅延時間	t _{ODLY3}	-	46	
TSPIxC SIN 高レベル入力パルス幅(1st エッジ)	t _{WDIS}	T×5+20	-	
TSPIxC SIN 高レベル入力パルス幅(2nd エッジ)		T×2+20	-	

(3) SIO モード コントローラー(TSPI0/1/2/3/4)

$$3.6V < DVDD5 = AVDD5 \leq 5.5V$$

項目	記号	Min	Max	単位
TSPIxSCK 出力周波数	f _{CYC}	-	20	MHz
TSPIxSCK 出力周期	t _{CYC}	1/f _{CYC}	-	ns
TSPIxSCK 低レベル出力パルス幅	t _{WL}	(t _{CYC} /2)-13	-	
TSPIxSCK 高レベル出力パルス幅	t _{WH}	(t _{CYC} /2)-13	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	37- k3×T	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	k3×T-1.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY1}	-17	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY2}	-	17	

$$2.7V \leq DVDD5 = AVDD5 \leq 3.6V$$

項目	記号	Min	Max	単位
TSPIxSCK 出力周波数	f _{CYC}	-	20	MHz
TSPIxSCK 出力周期	t _{CYC}	1/f _{CYC}	-	ns
TSPIxSCK 低レベル出力パルス幅	t _{WL}	(t _{CYC} /2)-16	-	
TSPIxSCK 高レベル出力パルス幅	t _{WH}	(t _{CYC} /2)-16	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	37- k3×T	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	k3×T-1.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY1}	-17	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY2}	-	17	

(4) SIO モード ターゲット(TSPI0/1/2/3/4)

3.6V < DVDD5 = AVDD5 ≤ 5.5V

項目	記号	Min	Max	単位
TSPIxSCK 入力周波数	f _{CYC}	-	10	MHz
TSPIxSCK 入力周期	t _{CYC}	1/f _{CYC}	-	ns
TSPIxSCK 低レベル入力パルス幅	t _{WL}	37	-	
TSPIxSCK 高レベル入力パルス幅	t _{WH}	37	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間	t _{CHD}	7	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY1}	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY2}	-	43	

2.7V ≤ DVDD5 = AVDD5 ≤ 3.6V

項目	記号	Min	Max	単位
TSPIxSCK 入力周波数	f _{CYC}	-	10	MHz
TSPIxSCK 入力周期	t _{CYC}	1/f _{CYC}	-	ns
TSPIxSCK 低レベル入力パルス幅	t _{WL}	37	-	
TSPIxSCK 高レベル入力パルス幅	t _{WH}	37	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間	t _{CHD}	7	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY1}	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY2}	-	43	

(1) 1st クロックエッジサンプリング(コントローラー)

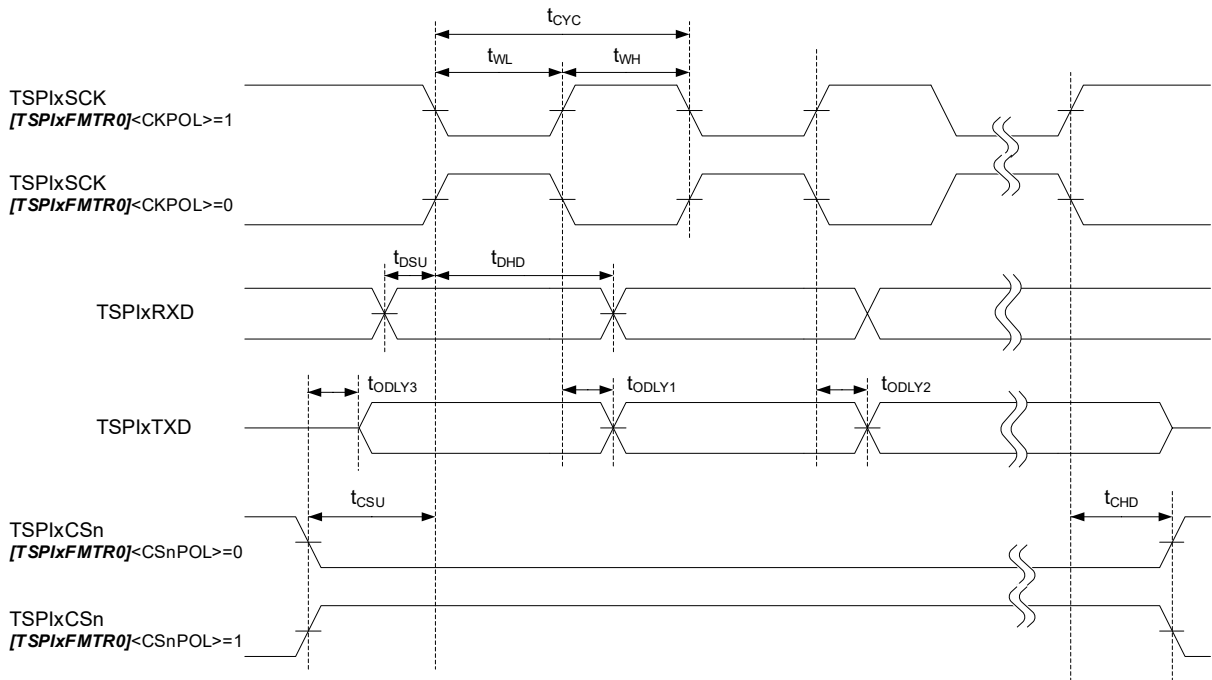


図 6.2 1stクロックエッジサンプリング(コントローラー)

(2) 2nd クロックエッジサンプリング(コントローラー)

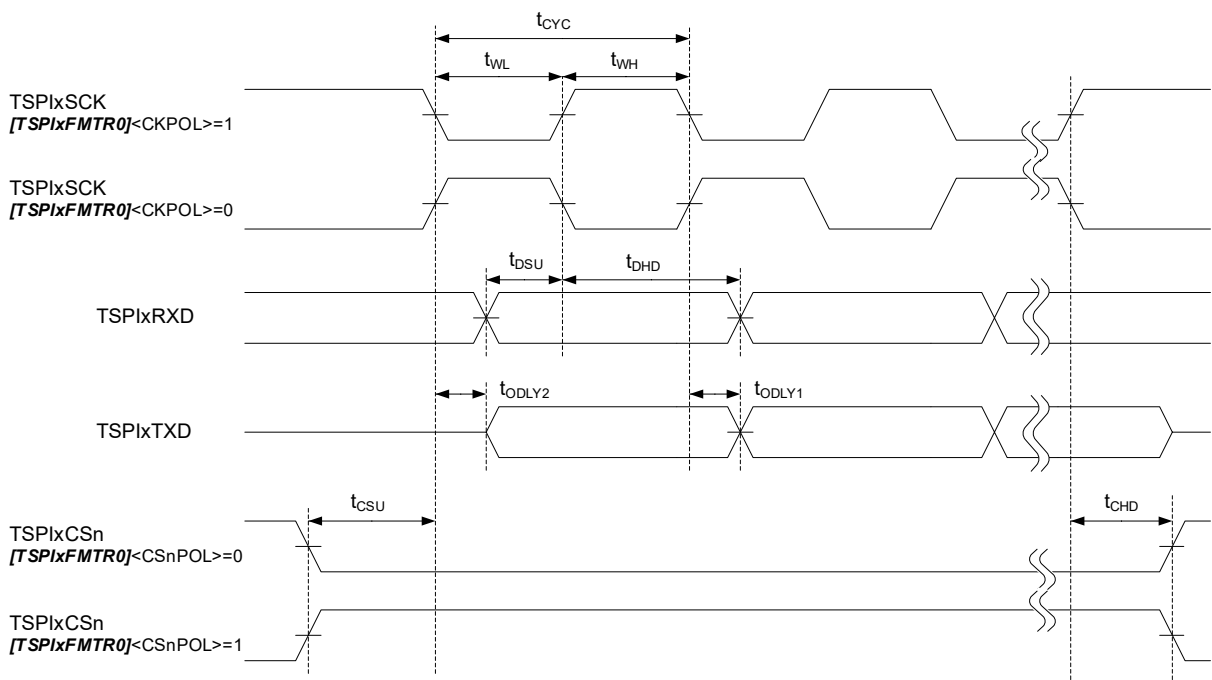


図 6.3 2ndクロックエッジサンプリング(コントローラー)

(3) 1st クロックエッジサンプリング(ターゲット)

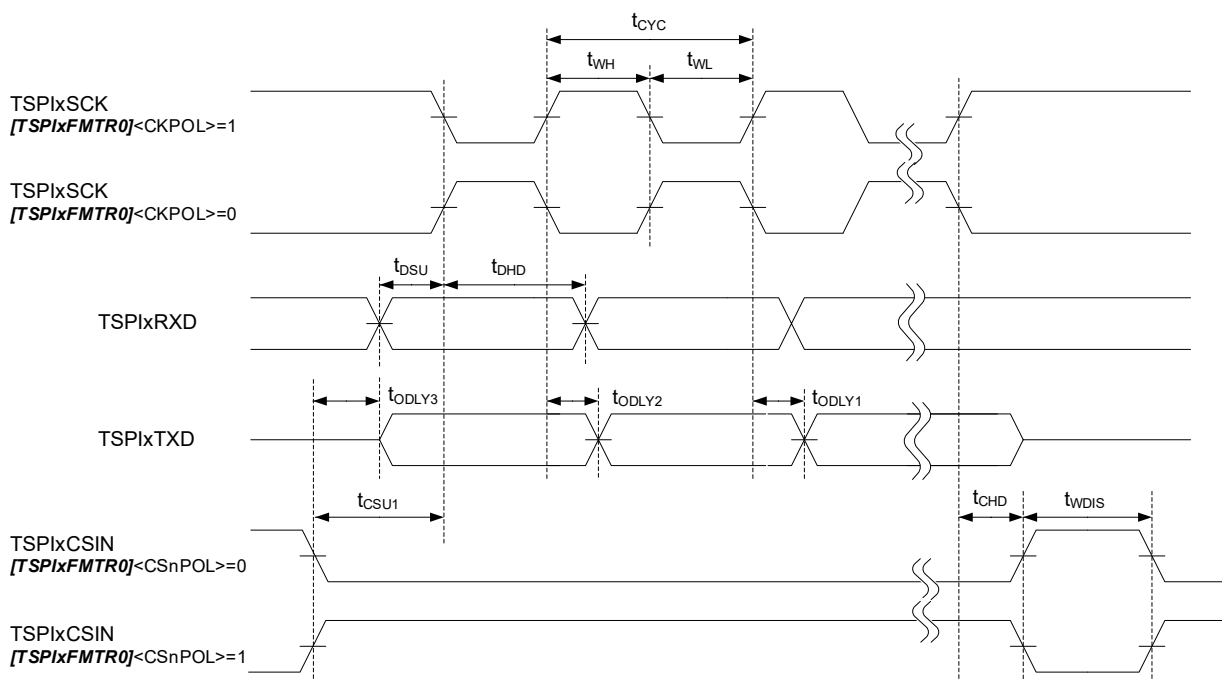


図 6.4 1stクロックエッジサンプリング(ターゲット)

(4) 2nd クロックエッジサンプリング(ターゲット)

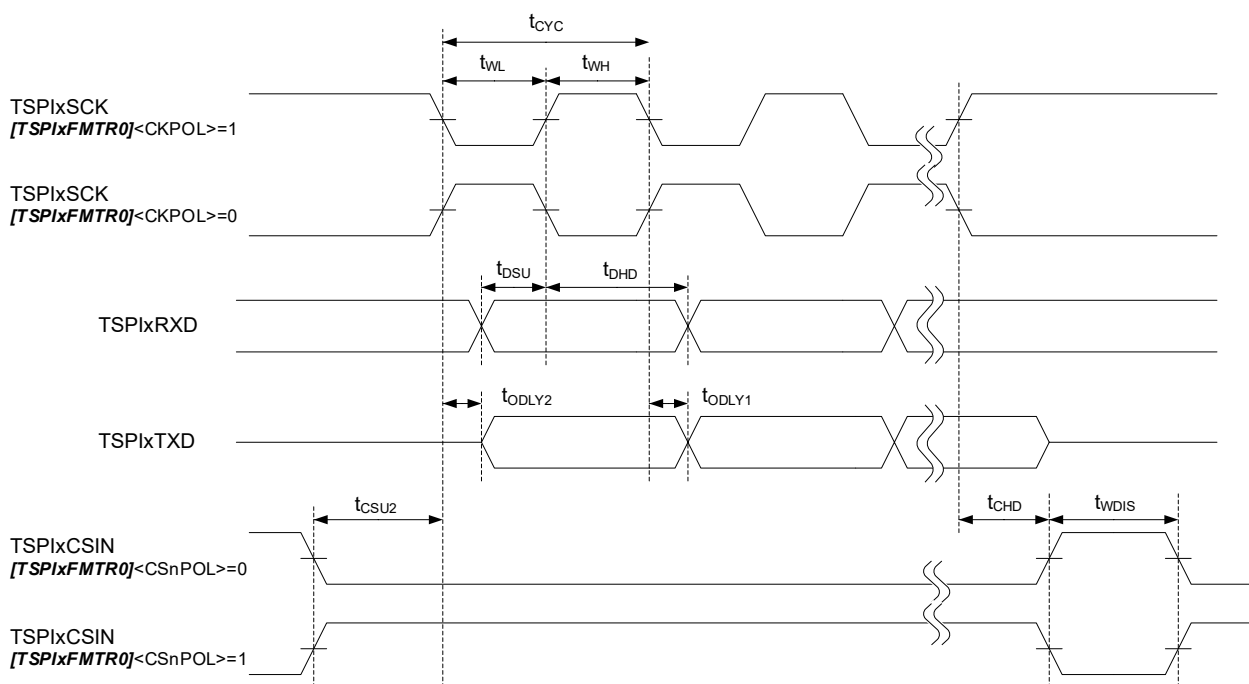


図 6.5 2ndクロックエッジサンプリング(ターゲット)

6.10.2. シリアルメモリーインターフェース(SMIF)

6.10.2.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40 ~ 105°C
- 入出力レベル: High = 0.5 × DVDD5、Low = 0.5 × DVDD5
- 負荷容量: CL = 30pF
- 出力駆動能力: 4mA 設定

6.10.2.2. AC 電気的特性

項目	記号	Min	Max	単位
SMiCLK クロック周波数	f _{CYC}	-	20	MHz
SMiCLK クロック周期	t _{CYC}	1 / f _{CYC}	-	ns
SMixD 入力セットアップ時間	t _{DSU}	12	-	
SMixD 入力ホールド時間	t _{DHD}	23.5	-	
SMixD 出力ホールド時間	t _{DDL1}	-17	-	
SMixD 出力遅延時間	t _{DDL2}	-	17	
SMiCSx_N 有効 →SMiSCK 立ち上がり/立ち下がり遅延時間	t _{CDLY2}	t _{CYC} × 1.5 – 20	-	
SMiSCK 立ち上がり/立ち下がり → SMiCSx_N 無効時間	t _{CDLY1}	t _{CYC} × 1.0 – 20	-	

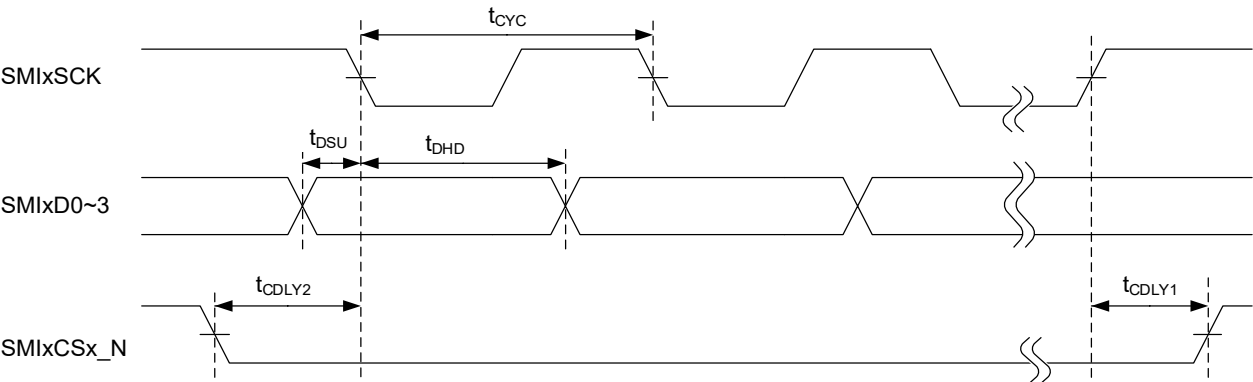


図 6.6 SMIFリードのACタイミング

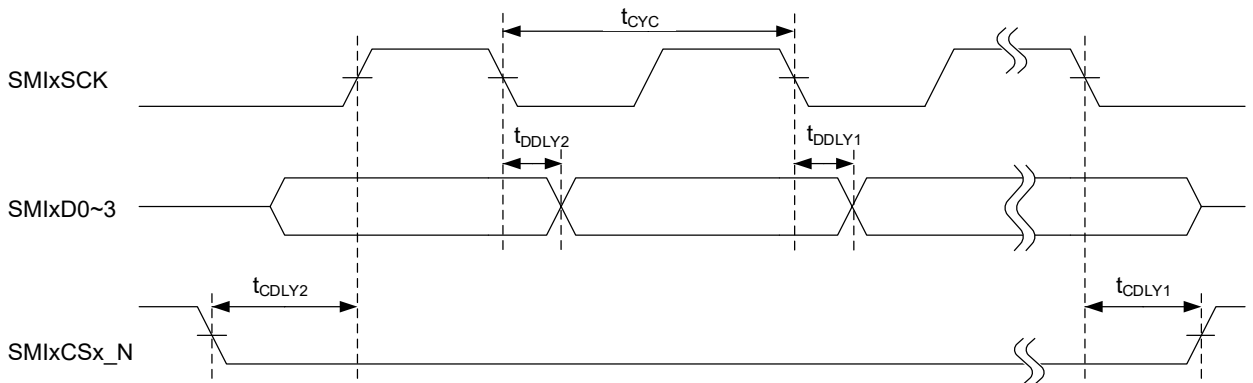


図 6.7 SMIFライトのACタイミング

6.10.3. I²C インターフェースバージョン A(EI2C)

6.10.3.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7 ~ 5.5V
- Ta = -40 ~ 105°C
- 出力レベル: Low = 0.4V
- 入力レベル: High = 0.7 × DVDD5、Low = 0.3 × DVDD5

6.10.3.2. AC 電気的特性

項目	記号	標準モード		ファストモード		ファストモードプラス		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	f _{SCL}	0	100	0	400	0	1000	kHz
スタートコンディション保持	t _{HD;STA}	4.0	-	0.6	-	0.26	-	μs
SCL クロック Low 幅(入力)(注 1)	t _{LOW}	4.7	-	1.3	-	0.5	-	
SCL クロック High 幅(入力)(注 1)	t _{HIGH}	4.0	-	0.6	-	0.26	-	
再スタートコンディション セットアップ時間	t _{SU;STA}	4.7	-	0.6	-	0.26	-	
データ保持時間(入力)(注 2)	t _{HD;DAT}	0	-	0	-	0	-	ns
データセットアップ時間	t _{SU;DAT}	250	-	100	-	50	-	
ストップコンディションセットアップ時間	t _{SU;STO}	4.0	-	0.6	-	0.26	-	μs
ストップコンディションとスタートコンディション間のバスフリー時間(注 3)	t _{BUF}	4.7	-	1.3	-	0.5	-	

注 1) 通信規格上、標準モード/ファストモード/ファストモードプラスの最高速度は 100kHz/400kHz/1000kHz です。内部 SCL クロックの周波数の設定は、リファレンスマニュアル「I²C インターフェースバージョン A」3.3.1.章の計算式を参照してください。

注 2) 通信規格では、SDA 入力時に内部でデータ保持時間を 300ns 確保して、SCL 立ち下がり時の不安定な状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL/SDA の t_f/t_rを含めて、バス上で上表のデータ保持時間(入力)を守るように、設計してください。

注 3) ソフトウェアで時間を確保してください。

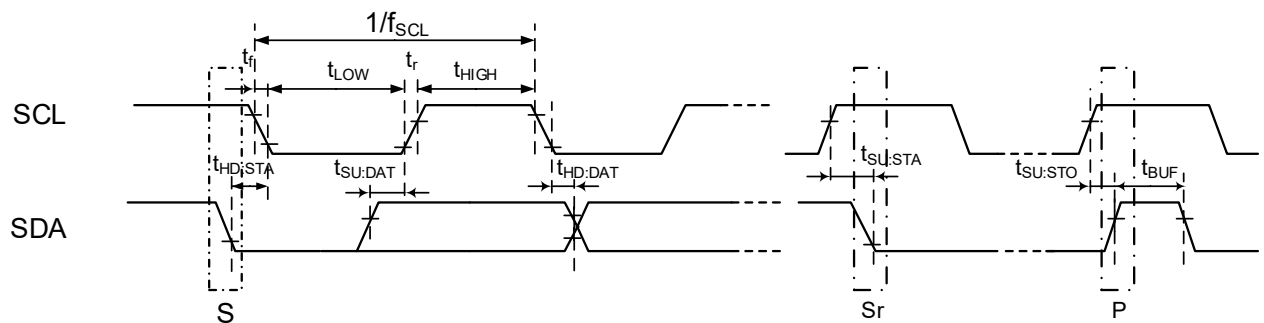


図 6.8 EI2CのACタイミング

6.10.4. 32 ビットタイマーイベントカウンタ(T32A)

T32AxINA0/A1、T32AxINB0/B1、T32AxINC0/C1 入力に対する AC 電气的特性です。

6.10.4.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40~105°C
- 入力レベル: High = 0.5×DVDD5、Low = 0.5×DVDD5

6.10.4.2. AC 電气的特性

T は T32A の動作クロックの周期を表します。T32A の動作クロックは、プリスケラークロック ΦT0 と同じ周期です。この周期は、プリスケラークロックの設定に依存します。

(1) パルスカウント動作時以外

項目	記号	Min	Max	単位
低レベルパルス幅	t _{VCKL}	2T + 20	-	ns
高レベルパルス幅	t _{VCKH}	2T + 20	-	

(2) パルスカウント動作時

項目	記号	Min	Max	単位
パルス周期	t _{DCYC}	1000	-	ns
低レベルパルス幅	t _{PWL}	500	-	
高レベルパルス幅	t _{PWH}	500	-	
入力セットアップ	t _{ABS}	(NF+1) × T+20	-	
入力ホールド	t _{ABH}	(NF+1) × T+20	-	

NF の値は $[T32AxPLSCR] \langle NF[1:0] \rangle$ の設定により以下の値になります。

$[T32AxPLSCR] \langle NF[1:0] \rangle$	計算式の NF 値
00	0
01	2
10	4
11	8

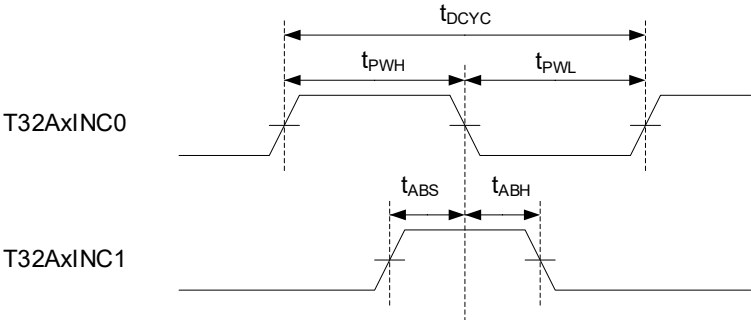


図 6.9 カウントパルス入力

6.10.5. 外部割り込み

6.10.5.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40~105°C
- 入力レベル: High = 0.5×DVDD5、Low = 0.5×DVDD5

6.10.5.2. AC 電気的特性

表中の T はシステムクロック fsys の周期を表します。

(1) NORMAL、IDLE モード時

項目	記号	Min	Max	単位
低レベルパルス幅	t _{INTAL1}	T + 100	-	ns
高レベルパルス幅	t _{INTAH1}	T + 100	-	

(2) STOP1、STOP2 モード時

項目	記号	Min	Max	単位
低レベルパルス幅	t _{INTCL2}	125	-	ns
高レベルパルス幅	t _{INTCH2}	125	-	

6.10.6. 端子トリガー入力(TRGINx)

6.10.6.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40~105°C
- 入力レベル: High = 0.5×DVDD5、Low = 0.5×DVDD5

6.10.6.2. AC 電気的特性

表中の T はシステムクロック fsys の周期を表します。

項目	記号	Min	Max	単位
低レベルパルス幅	tADL	2T+ 20	-	ns
高レベルパルス幅	tADH	2T+ 20	-	

6.10.7. デバッグ通信

6.10.7.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40~105°C
- 入出力レベル: High = 0.5×DVDD5、Low = 0.5×DVDD5
- 負荷容量: CL = 30pF
- 出力駆動能力: 4mA 設定

6.10.7.2. SWD インターフェース

$$3.6V < DVDD5 = AVDD5 \leq 5.5V$$

項目	記号	Min	Max	単位
CLK High レベル幅	t _{dckh}	50	-	ns
CLK Low レベル幅	t _{dckl}	50	-	
CLK 立ち上がりから出力データ保持時間	t _{d1}	1	-	
CLK 立ち上がりから出力データ有効時間	t _{d2}	-	35	
入力データ有効から CLK 立ち上がり時間	t _{ds}	20	-	
CLK 立ち上がりから入力データ保持時間	t _{dh}	15	-	

$$2.7V \leq DVDD5 = AVDD5 \leq 3.6V$$

項目	記号	Min	Max	単位
CLK High レベル幅	t _{dckh}	50	-	ns
CLK Low レベル幅	t _{dckl}	50	-	
CLK 立ち上がりから出力データ保持時間	t _{d1}	1	-	
CLK 立ち上がりから出力データ有効時間	t _{d2}	-	45	
入力データ有効から CLK 立ち上がり時間	t _{ds}	20	-	
CLK 立ち上がりから入力データ保持時間	t _{dh}	15	-	

6.10.7.3. JTAG インターフェース

$3.6V < DVDD5 = AVDD5 \leq 5.5V$

項目	記号	Min	Max	単位
CLK High レベル幅	t_{dckh}	50	-	ns
CLK Low レベル幅	t_{dckl}	50	-	
CLK 立ち上がりから出力データ保持時間	t_{d1}	1	-	
CLK 立ち上がりから出力データ有効時間	t_{d2}	-	35	
入力データ有効から CLK 立ち上がり時間	t_{ds}	20	-	
CLK 立ち上がりから入力データ保持時間	t_{dh}	15	-	

$2.7V \leq DVDD5 = AVDD5 \leq 3.6V$

項目	記号	Min	Max	単位
CLK High レベル幅	t_{dckh}	50	-	ns
CLK Low レベル幅	t_{dckl}	50	-	
CLK 立ち上がりから出力データ保持時間	t_{d1}	1	-	
CLK 立ち上がりから出力データ有効時間	t_{d2}	-	45	
入力データ有効から CLK 立ち上がり時間	t_{ds}	20	-	
CLK 立ち上がりから入力データ保持時間	t_{dh}	15	-	

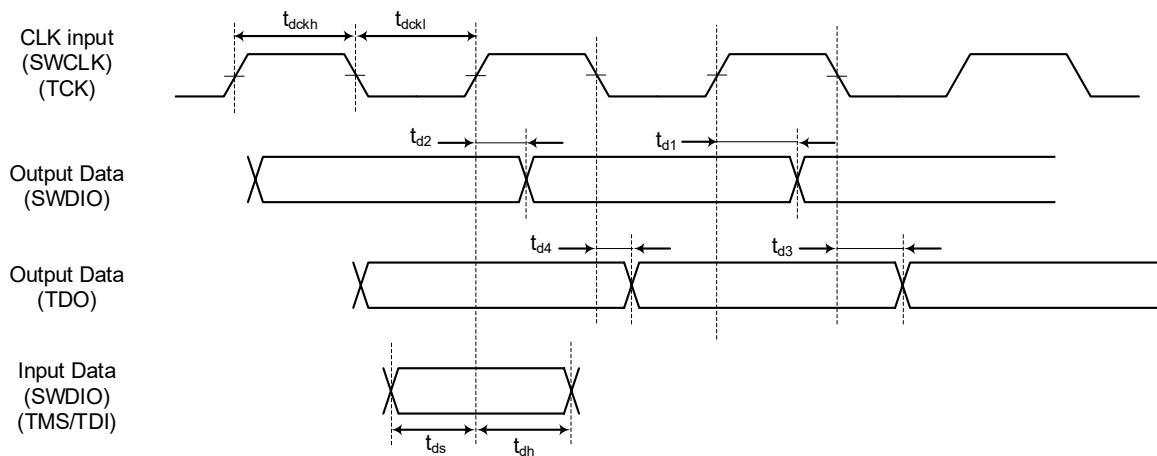


図 6.10 JTAG/SWD波形

6.10.7.4. ETM インターフェース

$3.6V < DVDD5 = AVDD5 \leq 5.5V$

項目	記号	Min	Max	単位
TRACECLK 周期	t_{clk}	50	-	ns
TRACECLK 立ち上がりから DATA 有効時間	t_{setupr}	2	-	
TRACECLK 立ち上がりから TRACEDATA 保持時間	t_{holdr}	1	-	
TRACECLK 立ち下がりから TRACEDATA 有効時間	t_{setupf}	2	-	
TRACECLK 立ち下がりから TRACEDATA 保持時間	t_{holdf}	1	-	

$2.7V \leq DVDD5 = AVDD5 \leq 3.6V$

項目	記号	Min	Max	単位
TRACECLK 周期	t_{clk}	100	-	ns
TRACECLK 立ち上がりから DATA 有効時間	t_{setupr}	2	-	
TRACECLK 立ち上がりから TRACEDATA 保持時間	t_{holdr}	1	-	
TRACECLK 立ち下がりから TRACEDATA 有効時間	t_{setupf}	2	-	
TRACECLK 立ち下がりから TRACEDATA 保持時間	t_{holdf}	1	-	

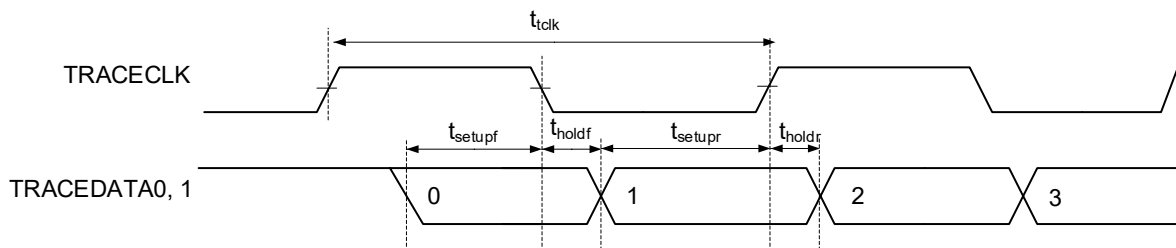


図 6.11 トレース信号波形

6.10.8. SCOUT 端子

6.10.8.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40~105°C
- 出力レベル: High = 0.5×DVDD5、Low = 0.5×DVDD5
- 負荷容量: CL = 30pF
- 出力駆動能力: 4mA 設定

6.10.8.2. AC 電気的特性

表中の T は SCOUT 出力波形の周期を示します。

項目	記号	Min	Max	単位
低レベルパルス幅	t _{SCL}	0.5T-15	-	ns
高レベルパルス幅	t _{SCH}	0.5T-15	-	

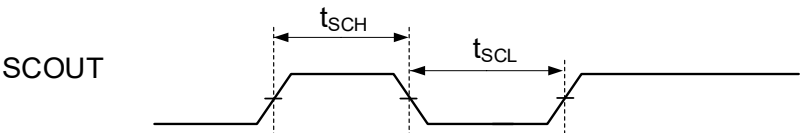


図 6.12 SCOUT出力波形

6.10.9. 外部クロック入力

6.10.9.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V ~ 5.5V
- Ta = -40°C ~ 105°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5

6.10.9.2. AC 電気的特性

項目	記号	Min	Typ.	Max	単位
クロック周波数(1/ t_{echin})	f_{EHCLKIN}	6	-	24	MHz
クロック Duty	-	45	-	55	%
クロック立ち上がり時間	t_r	-	-	10	ns
クロック立ち下がり時間	t_f	-	-	10	ns

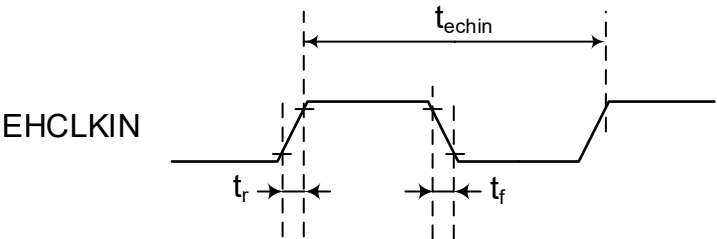


図 6.13 外部クロック入力波形

6.11. ノイズフィルター(アナログ)特性

DVDD5 = AVDD5 = 2.7 ~ 5.5V
 Ta = -40 ~ 105°C

項目	条件	Min	Typ.	Max	単位
ノイズキャンセル幅	-	120	-	-	ns

6.12. フラッシュ特性

6.12.1. 書き込み/消去特性

DVDD5 = AVDD5 = 2.7 ~ 5.5V
Ta = -40 ~ 105°C

項目	条件	Min	Typ.	Max	単位
フラッシュメモリー書き換え回数	-	-	-	100,000	回
書き込み時間	1word あたりに換算	-	75.0	84.4	μs
消去時間	ブロック	-	6.8	7.5	ms
	エリア(注)	-	108.8	120.0	
	チップ(注)	-	217.6	240.0	

注) プロテクトが有効なブロックが無い場合です。

6.12.2. 強制 CPROTCON 解除特性

DVDD5 = AVDD5 = 2.7V ~ 5.5V
Ta = -40 ~ 105°C

項目	条件	Min	Typ.	Max	単位
強制 CPROTCON 解除時間	-	-	224.4	247.5	ms

6.13. レギュレーター

DVDD5 = AVDD5 = 2.7V ~ 5.5V
Ta = -40 ~ 105°C

項目	条件	Min	Typ.	Max	単位
REGOUT コンデンサー容量	-	0.8	4.7	5.64	μF

6.14. 発振回路

6.14.1. 内蔵発振器

DVDD5 = AVDD5 = 2.7V ~ 5.5V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f _{IHOSC1}	-	9.9	10	10.1	MHz
	f _{IHOSC2}		9	10	11	

6.14.2. 外部発振器

DVDD5 = AVDD5 = 2.7V ~ 5.5V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f _{EHOSC}	-	6	-	24	MHz

注 1) 常に精度 1%以内の発振が供給される環境で使用してください。

注 2) 接続する発振子とのマッチングは発振子メーカーへ依頼してください。

6.14.3. 発振回路例

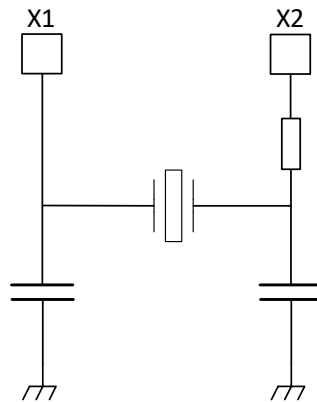


図 6.14 発振回路例

発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

6.14.4. セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。
(株)村田製作所の製品詳細につきましては同社ホームページを参照してください。

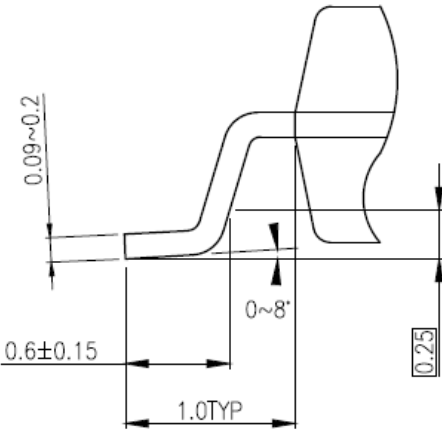
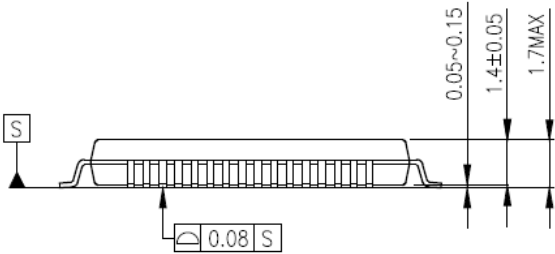
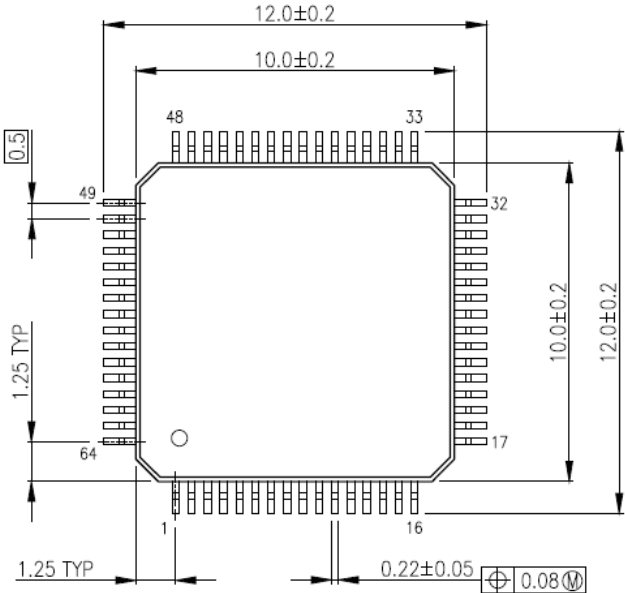
6.14.5. プリント基板の設計に関する注意

水晶振動子と発振のための素子を接続する基板パターンは浮遊容量やインダクタンスによる特性の劣化を防止するために最短距離の配線長で設計してください。また、多層基板の場合は発振回路の直下の層には面グランドや信号パターンを配線しないようにお願いします。詳しくは、発振子メーカーのホームページを参照してください。

7. 外形寸法図

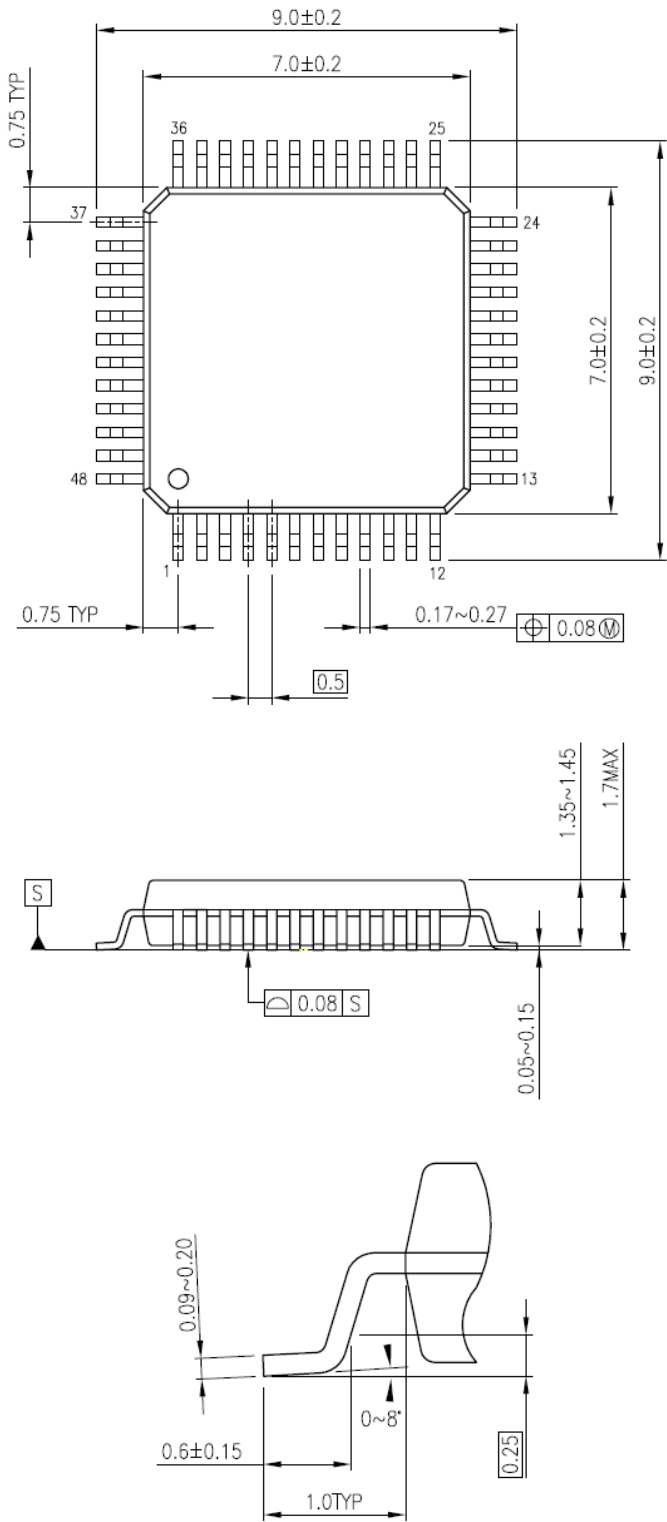
7.1. P-LQFP64-1010-0.50-003

単位: mm



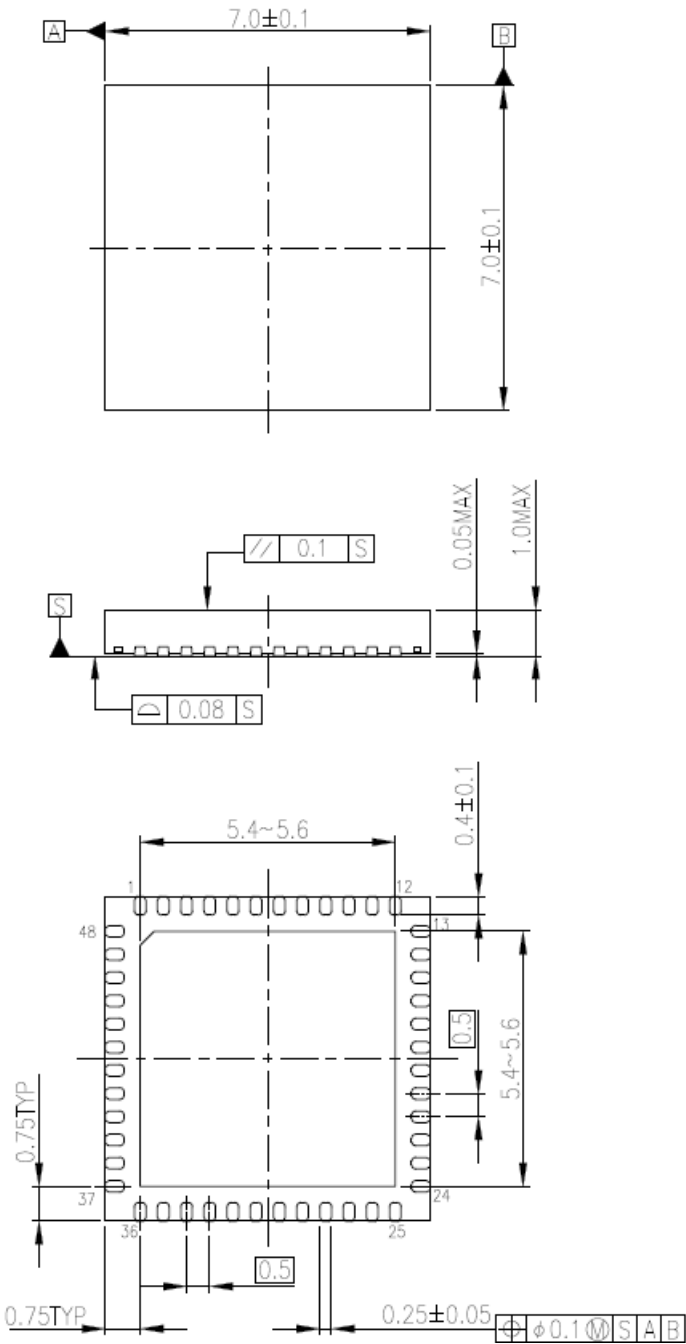
7.2. P-LQFP48-0707-0.50-002

単位: mm



7.3. P-VQFN48-0707-0.50-006

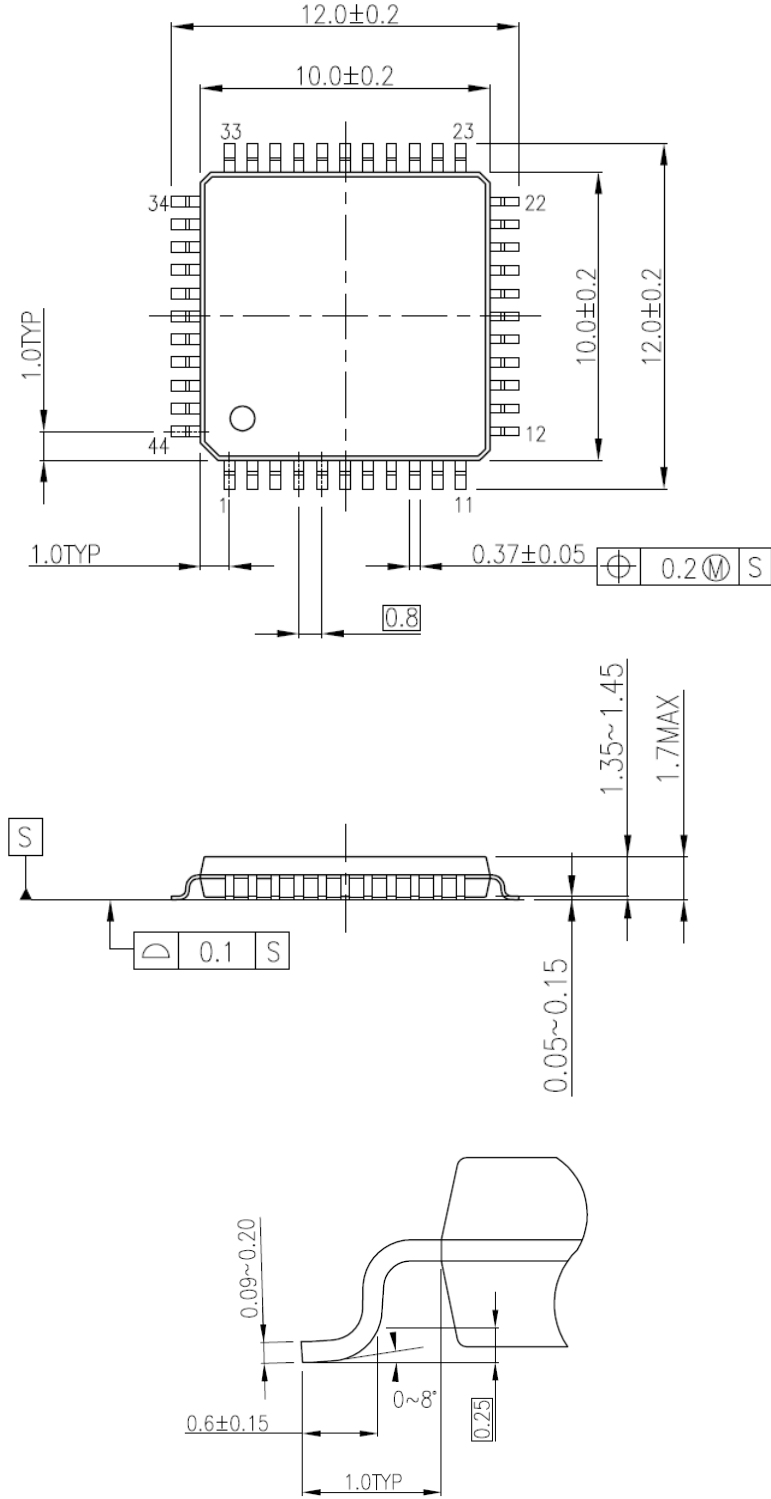
単位: mm



注) Exposed Pad (E-Pad)は GND に接続してください。

7.4. P-LQFP44-1010-0.80-003

単位: mm



8. 使用上のご注意およびお願い事項

本資料に掲載されている製品について、使用上の注意点を説明します。

なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

(1) 電源投入時の動作について

電源投入時、本資料に掲載されている製品の内部は不定状態となります。

このため、リセットが有効となるまで、端子の状態は不定となります。

外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有効になるまでの間、端子の状態は不定となります。

また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。

(2) 未使用端子の処置について

本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。未使用端子については、1 本ずつ抵抗を通して電源端子または 1 本ずつ抵抗を通して GND 端子に固定することを推奨します。

(3) クロック発振の安定について

リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。

9. 改訂履歴

表 9.1 改訂履歴

Revision	Date	Description
1.0	2026-04-24	・新規作成

品番付与情報

TMP M4 V 4 F W x UG

東芝マイクロコントローラー
の識別名

コア

変更記号

パッケージ

記号	説明
M4	Cortex-M4 (FPU 機能搭載)
M3	Cortex-M3
M0	Cortex-M0

記号	説明
QG	プラスチック縮小クアッドアウトライン ノンリードパッケージ、防湿梱包品
UG、DUG、 FG、DFG	プラスチックフラットパッケージ、防湿梱包品
MG、DMG	プラスチックスモールアウトライン パッケージ、防湿梱包品
XBG	プラスチックボールグリッドアレイ、 防湿梱包品

製品グループ

メモリー容量

ファミリー	記号	主なアプリケーション
TXZ/ TXZ+	H	汎用・コンシューマーエレクトロニクス
	K	モーター/インバーター制御・産業機器 (アナログコンボ)
	M	モーター/インバーター制御・産業機器 (アナログコンボ)、CAN 搭載
	G	OA/デジタル製品・産業機器
	N	産業用ネットワーク、IoT 情報管理デバイス、 イーサネット/USB/CAN 搭載
	E	小型精密機器
	L	単体モーター/インバーター制御・産業機器
	V	汎用・コンシューマーエレクトロニクス

記号	容量 [KB]
M	32
P	48
S	64
U	96
W	128
Y	256
Z	384
D	512
E	768
10	1024
15	1536
20	2048

ピン数

ROM タイプ

記号	ピン数	記号	ピン数
0	G 32 pin 以下	7	P 101 ~ 128 pin
1	H 33 ~ 44 pin	8	Q 129 ~ 144 pin
2	J 45 ~ 48 pin	9	R 145 ~ 176 pin
3	K 49 ~ 52 pin	A	S 177 ~ 200 pin
4	L 53 ~ 64 pin	B	T 201 ~ 224 pin
5	M 65 ~ 80 pin	C	U 225 ~ 250 pin
6	N 81 ~ 100 pin	D	V 251 ~ 300 pin

記号	説明
F	Flash

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（生命直結機器）、車載・輸送機器、防衛関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。