

1.6kW 通信機器用 48V 出力電源 (アップグレード版)

デザインガイド

RD250-DGUIDE-01

東芝デバイス&ストレージ株式会社

目次

1. はじめに	3
2. 主な使用部品	4
2.1. パワーMOSFET TK125N60Z1	4
2.2. パワーMOSFET TK095N65Z5	4
2.3. パワーMOSFET TPM7R10CQ5	5
2.4. パワーMOSFET TPH2R408QM	5
2.5. SiC ショットキーバリアダイオード TRS8A65F	6
2.6. デジタルアイソレーター DCL540C01	7
3. 回路設計	8
3.1. AC ライン回路設計	8
3.2. PFC 回路設計	10
3.3. フェーズシフトフルブリッジ (PSFB) 回路設計	15
3.4. ORing 回路設計	20

1. はじめに

本デザインガイドでは、1.6kW 通信機器用 48V 出力電源 (アップグレード版) (以下、本デザイン) の回路構成および各種回路の設計概要について解説します。

本デザインは、AC 入力 (90~264V) から DC48V、1.6kW の電力を供給する通信機器向け電源です。回路構成には、セミブリッジレス PFC 回路および絶縁型フェーズシフトフルブリッジ (Phase Shift Full Bridge : PSFB) 回路を採用し、高効率な電力変換を実現しています。

また、出力段にはORing回路を備えており、N+1冗長構成による高信頼性運用が可能です。さらに、小型部品を採用することで、一般的な1U電源をはじめ、さまざまな筐体サイズや用途への展開に対応しています。スイッチング素子には、高速スイッチング性能を有する当社製パワー-MOSFETを採用し、高効率かつ高電力密度な電源を実現しています。

本デザインではセミブリッジレスPFC回路のスイッチング用素子にパワー-MOSFET [TK125N60Z1](#)を、昇圧部にSiCショットキーバリアダイオード[TRS8A65F](#)を使用しております。PSFB回路には1次側にパワー-MOSFET [TK095N65Z5](#)を、2次側同期整流部にパワー-MOSFET [TPM7R10CQ5](#)を、PSFB回路の1次側と2次側間の信号伝達にデジタルアイソレーター[DCL540C01](#)を使用しています。また、出力ORing回路にパワー-MOSFET [TPM1R908QM](#)を使用しています。

これらの最新の東芝製素子を使用することで同一の回路トポロジを採用した既存デザインである2021年3月に公開した「[1.6kW通信機器用48V出力電源](#)」から効率を改善しています。

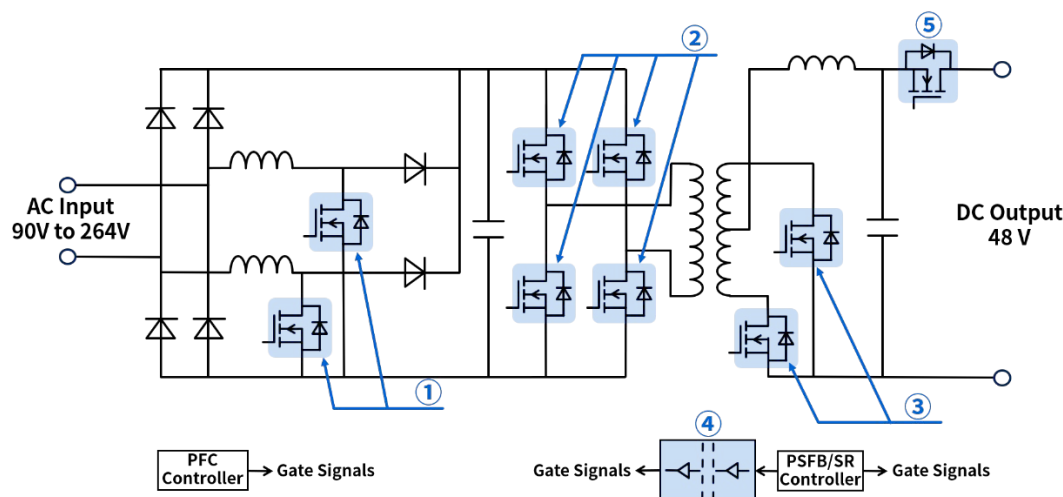


図 1.1 回路ブロック図

表 1.1 アップグレードによって変更した主要な東芝製デバイス

No.	Existing design	This upgraded design	Updates
①	TK25N60X	TK125N60Z1	DTMOS IV→VI
②	TK25N60X5	TK095N65Z5	DTMOS IV→VI
③	TPH2900ENH	TPM7R10CQ5	UTMOS VIII→X
④	TLP2767	DCL540C01	フォトカプラー → デジタルアイソレーター
⑤	TPH2R408QM	TPM1R908QM	同世代品 低R _{on} 品に変更

表1.1に、本アップグレード版で変更した主要な東芝製デバイスを示します。

1次側・2次側スイッチングデバイスおよび周辺部品の最適化により、 $V_{in}=230V$ 100%負荷条件における変換効率は94.46%から95.52%へ向上し、約1%の効率改善を実現しました。また、電力損失を約20%低減し、より高効率な48V出力電源を実現しています。

2. 主な使用部品

この章では本デザインに使用している主な部品について説明します。

2.1. パワー-MOSFET TK125N60Z1

セミブリッジレス PFC 回路のスイッチング用素子としてパワー-MOSFET [TK125N60Z1](#) を使用しています。TK125N60Z1 の主な特長は以下のとおりです。

- スーパージャンクション構造 DTMOS の採用によりオン抵抗が低い。: $R_{DS(ON)} = 0.105\Omega$ (標準)
- 低容量によるスイッチングスピードの高速化。
- 取り扱いが簡単なエンハンスメントタイプです。: $V_{th} = 3\sim 4V$ ($V_{DS} = 10V$, $I_D = 0.73mA$)

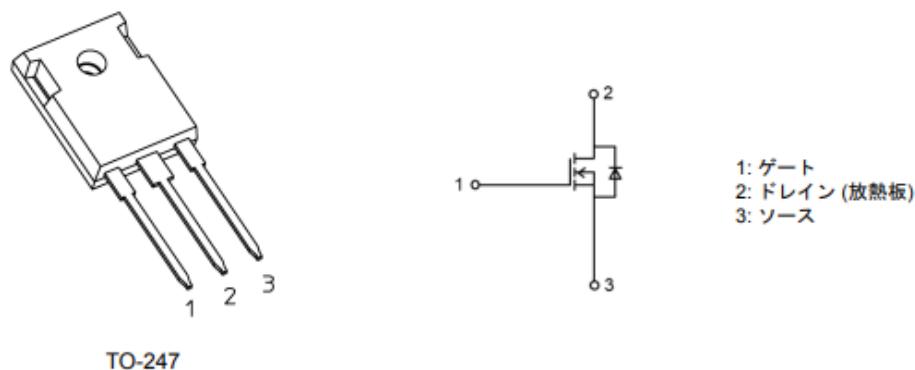


図 2.1 TK125N60Z1 の外観と内部回路構成図

2.2. パワー-MOSFET TK095N65Z5

PSFB 回路の 1 次側にパワー-MOSFET TK095N65Z5 を使用しています。[TK095N65Z5](#) の主な特長は以下のとおりです。

- スーパージャンクション構造 DTMOS の採用によりオン抵抗が低い。: $R_{DS(ON)} = 0.105\Omega$ (標準)
- 低容量によるスイッチングスピードの高速化。
- 取り扱いが簡単なエンハンスメントタイプです。: $V_{th} = 3\sim 4V$ ($V_{DS} = 10V$, $I_D = 0.73mA$)

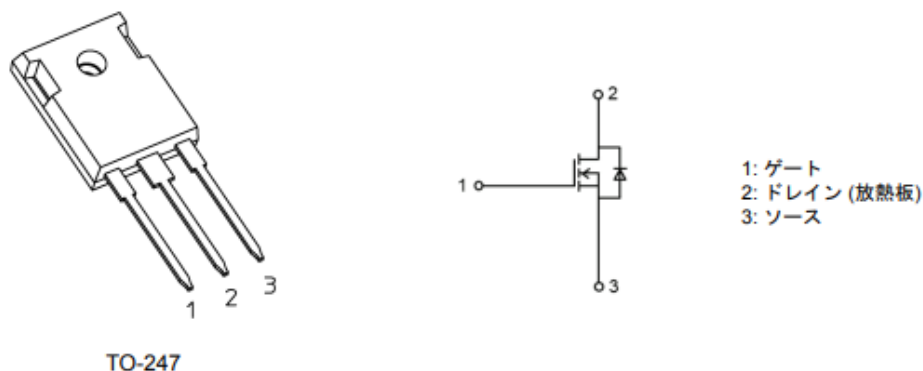


図 2.2 TK095N65Z5 の外観と内部回路構成図

2.3. パワー-MOSFET TPM7R10CQ5

PSFB 回路の 2 次側同期整流部にパワー-MOSFET [TPM7R10CQ5](#) を使用しています。TPM7R10CQ5 の主な特長は以下のとおりです。

- 逆回復時間が早い。: $t_{rr} = 45\text{ns}$ (標準)
- 逆回復電荷量が小さい。: $Q_{rr} = 43\text{nC}$ (標準)
- ゲート入力電荷量が小さい。: $Q_{SW} = 18\text{nC}$ (標準)
- オン抵抗が低い。: $R_{DS(ON)} = 5.7\text{m}\Omega$ (標準) ($V_{GS} = 10\text{V}$)
- 漏れ電流が低い。: $I_{DSS} = 10\mu\text{A}$ (最大) ($V_{DS} = 150\text{V}$)
- 取り扱いが簡単なエンハンスメントタイプです。: $V_{th} = 3.1\sim 4.5\text{V}$ ($V_{DS} = 10\text{V}$, $I_D = 1.2\text{mA}$)

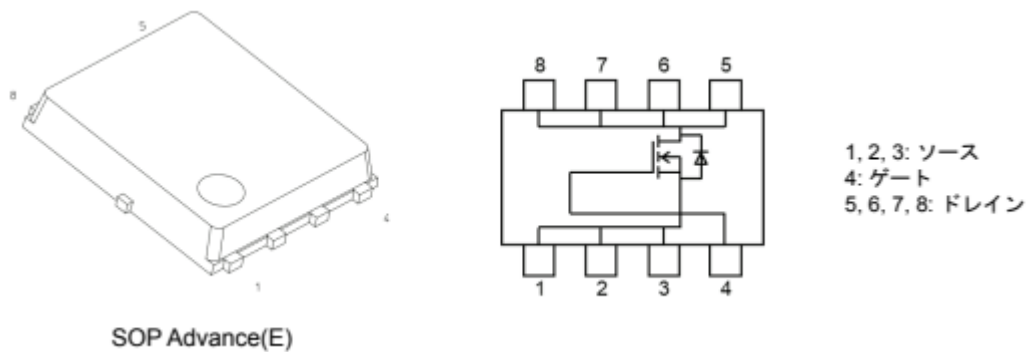


図 2.3 TPM7R10CQ5 の外観と内部構成回路図

2.4. パワー-MOSFET TPM1R908QM

出力 ORing 回路にパワー-MOSFET [TPM1R908QM](#) を使用しています。TPM1R908QM の主な特長は以下のとおりです。

- (1) スイッチングスピードが速い。
- (2) ゲート入力電荷量が小さい。: $Q_{SW} = 35\text{nC}$ (標準)
- (3) 出力電荷量小さい。: $Q_{oss} = 111\text{nC}$ (標準)
- (4) オン抵抗が低い。: $R_{DS(ON)} = 1.5\text{m}\Omega$ (標準) ($V_{GS} = 10\text{V}$)
- (5) 漏れ電流が低い。: $I_{DSS} = 10\mu\text{A}$ (最大) ($V_{DS} = 80\text{V}$)
- (6) 取り扱いが簡単なエンハンスメントタイプです。: $V_{th} = 2.5\sim 3.5\text{V}$ ($V_{DS} = 10\text{V}$, $I_D = 1.2\text{mA}$)

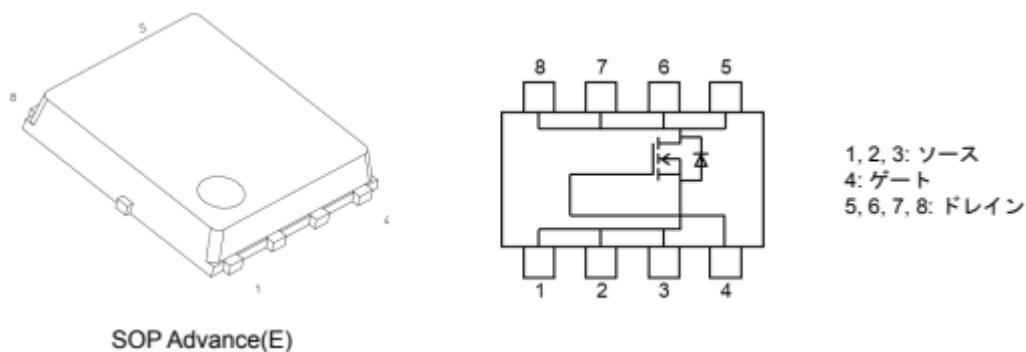


図 2.4 TPM1R908QM の外観と内部構成回路図

2.5. SiC ショットキーバリアダイオード TRS8A65F

セミブリッジレス PFC 回路の昇圧部に SiC ショットキーバリアダイオード [TRS8A65F](#) を使用しています。TRS8A65F の主な特長は以下のとおりです。

- 2 世代 チップデザイン
- 大電流サージ耐量: $I_{FSM} = 65A$ (最大)
- 接合容量が小さい: $C_j = 28pF$ (標準)
- リーク電流が小さい: $I_R = 0.4\mu A$ (標準)
- 絶縁パッケージ : TO-220F-2L

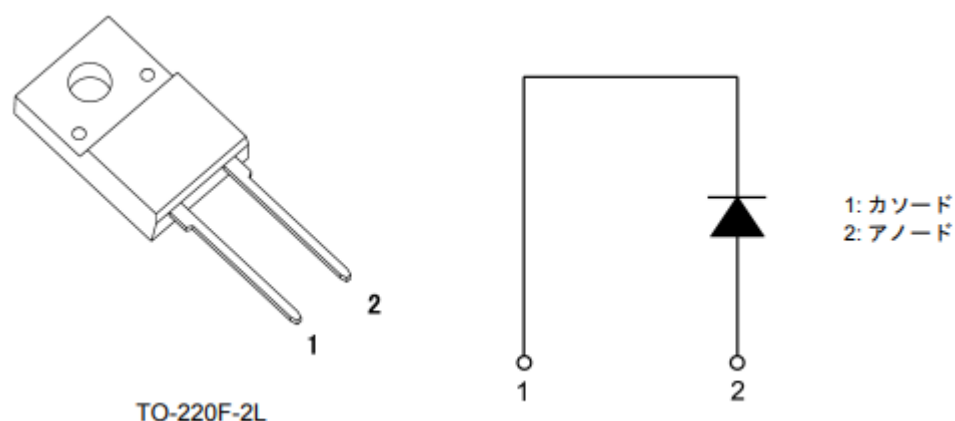


図 2.5 TRS8A65F の外観と内部回路構成図

2.6. デジタルアイソレーター DCL540C01

PSFB 回路の 1 次側と 2 次側間の信号伝達に 4 チャンネルのデジタルアイソレーター [DCL540C01](#) を使用しています。
DCL540C01 の主な特長は以下のとおりです。

- データ伝送速度: 150Mbps (最大)
- 電源電圧: 2.25V ~ 5.5V
- 動作温度範囲: -40°C ~ 110°C
- 伝搬遅延時間: 10.9ns (標準) (5.0V 動作時)
- デフォルト出力: High と Low のオプション
- CMTI : $\pm 100\text{kV}/\mu\text{s}$
- 絶縁耐圧: 5kVrms
- 安全規格:

UL : UL1577, File No. E519997

cUL : CSA Component Acceptance Service Notice No. 5A, File No. E519997

VDE : DIN VDE V 0884-11(VDE V 0884-11) Certificate No. 40055132

CQC : GB 4943.1-2022 Certificate No. CQC22001345018

パッケージ寸法

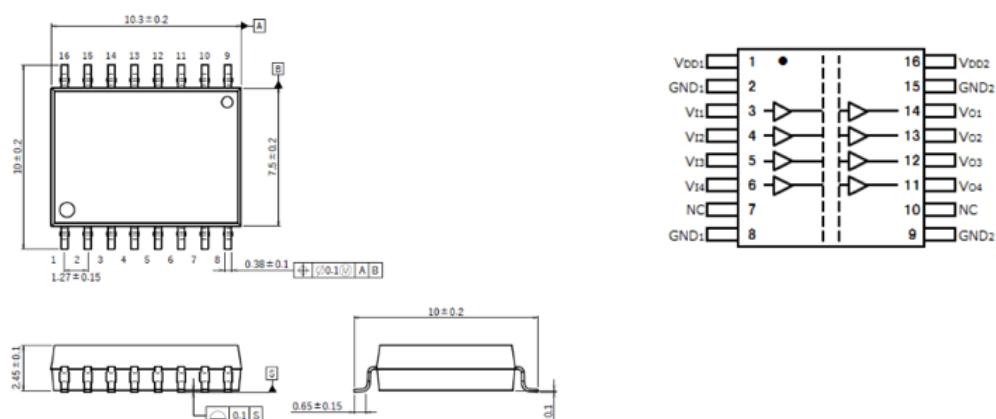


図2.6 DCL540C01の外観と内部回路構成図

3. 回路設計

本電源の回路設計のポイントを記載します。

3.1. AC ライン回路設計

本項では、本デザインの AC ラインの設計に関して説明します。本デザインの AC ラインの回路を図 3.1 に示します。

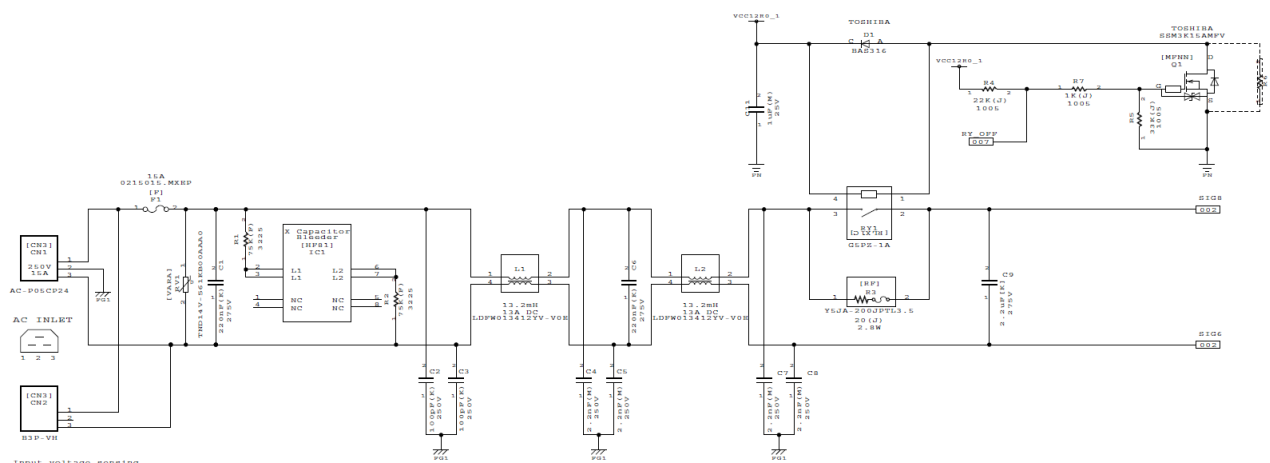


図 3.1 AC ライン回路

ヒューズ

ACラインに異常電流が流れた際に、ACラインを遮断するためのヒューズ（F1）を実装しています。ACラインの最大電流値からヒューズを選定します。ACライン入力電流最大値の実効値は以下の式で算出されます。

$$AC\text{ライン入力電流値 (最大)} = \frac{\text{出力電力 (最大)}}{\text{電源効率} \times \text{力率} \times \text{入力電圧実効値 (最小)}}$$

本デザインは、入力 AC200V 系のときは 1.6kW 出力、AC100V 系のときは 800W 出力の仕様です。もし、入力電圧によって PFC の電源効率が変わらなければ、AC ライン入力電流最大値は、入力電圧に関わらず同じ値となります。しかし、一般的に PFC の電源効率は、入力電圧が低いと低くなるため、AC ライン最大電流値を算出する際は、入力電圧が 100V 系の最小値の 90V で考えます。

入力電圧 (最小実効値) = 90V、最大電力 = 800W、電源効率 = 93%、力率 = 0.99 とすると、本デザインの AC ライン最大電流値は、約 10A です。本デザインでは、マージンを考慮して、15A のヒューズを使用しています。ヒューズ選定時は、上記最大電流に加え、AC 電源投入時の突入電流、対応すべき安全規格を取得した製品であるかなども考慮する必要があります。

バリスター

AC ラインに誘導雷などによるサージ電圧が印加された際に、システムを保護するためのセラミックバリスター (RV1) を実装しています。バリスターは使用する AC ラインの電圧値に基づいて選定を行います。本デザインの場合、AC ライン最大電圧は実効値で 264V、瞬時値で 373V であるため、これらの電圧にマージンを考慮して、最大許容回路電圧 350V (AC)、バリスター電圧 560V のバリスターを使用しています。バリスター選定時は、上記電圧定格に加え、サージ電流耐量、エネルギー耐量などを考慮する必要があります。また、バリスターの故障モードはショートモードとなることが多いため、バリスター実装時は前段 (AC 入力側) へのヒューズ実装を推奨致します。

Xコンデンサー放電回路

AC 入力が切断された際、感電の危険がないように、X コンデンサー (C1, C6, C9) に蓄えられた電荷を速やかに放電する必要があります。本デザインでは、X コンデンサー放電用 IC として、HF81 を実装しています。本 IC は、AC 電源が供給されているときに放電経路を遮断するため、システムの省電力化を実現します。AC 電源喪失時、本 IC と本 IC の外付け抵抗 (R1, R2) とで構成される回路により、1 秒以内に X コンデンサーの電圧が初期値の 37 % 以下となるよう、X コンデンサーに蓄えられた電荷を放電することができます。本デザインは、約 2.6 μ F の X コンデンサーが実装されているため、2.6 μ F を放電するのに必要な外付け抵抗 (75k Ω ×2 個) を実装しています。なお、ノイズ対策などで、X コンデンサーを変更する際は、本 IC に接続する外付け抵抗値の変更が必要な場合があります。また、コストダウンのため、本 IC を放電用抵抗に変更することも可能です。しかしながら、その場合、AC 接続時は常時放電用抵抗による電力損失が発生しますので、システムの省電力要求を満足するか、確認する必要があります。

EMI 対策部品

コモンモードノイズ対策として、Y コンデンサー (C2, C3, C4, C5, C7, C8)、コモンモードチョーク (L1, L2) を、ディファレンシャルノイズ対策として X コンデンサー (C1, C6, C9) を実装しています。ノイズレベルは基板レイアウト、筐体設計の影響を受けます。必要に応じて上記部品を変更、削除、追加してください。なお、Y コンデンサーの容量を大きくすると、漏洩電流が増加しますので、システムが要求される安全規格を満足するか確認する必要があります。

突入電流対策部品

AC 電源投入時の突入電流を抑制するため、ヒューズ内蔵抵抗 (R3) とリレー (RY1) を実装しています。正しい手順で本デザインを起動した場合、AC 電源投入時にリレー回路はオフしており、電流はヒューズ内蔵抵抗 (20 Ω) 経由で流れるため、突入電流を抑制することが可能です。リレー回路は、AC 電源投入後に、本デザインの動作/制御用に生成する 1 次側 12V 電源供給を検知して、オンする仕様となっています。リレー回路がオンすると、より抵抗の低いリレーを経由して電流が流れるため、動作時の電力ロスを低減することができます。リレーをオン/オフする条件、タイミングがシステムの要求仕様を満足しているか確認する必要があります。

1 次側 12V 電源、2 次側 12V 電源

本デザインでは、動作/制御用に 1 次側 12V 電源、2 次側 12V 電源をフライバックコンバーターで生成する仕様となっています。システムの要求仕様により、冷却用 FANなどを駆動する場合は必要な電流容量が供給可能なフライバックコンバーターを設計する必要があります。

3.2. PFC 回路設計

本デザインでは、PFC 回路を高効率化するために、Texas Instruments 社製コントローラ UCC28070A (PFC コントローラ) を用いたセミブリッジレス PFC 回路構成を採用しています。以下に、本デザインのセミブリッジレス PFC 回路の、基本的な設計項目に関して説明します。なお、コントローラ周辺の詳細設計に関しては、[Texas Instruments 社製 UCC28070A のデータシート、関連ドキュメント](#)などをご参照ください。図 3.2 に PFC コントローラ周辺部の回路を示します。

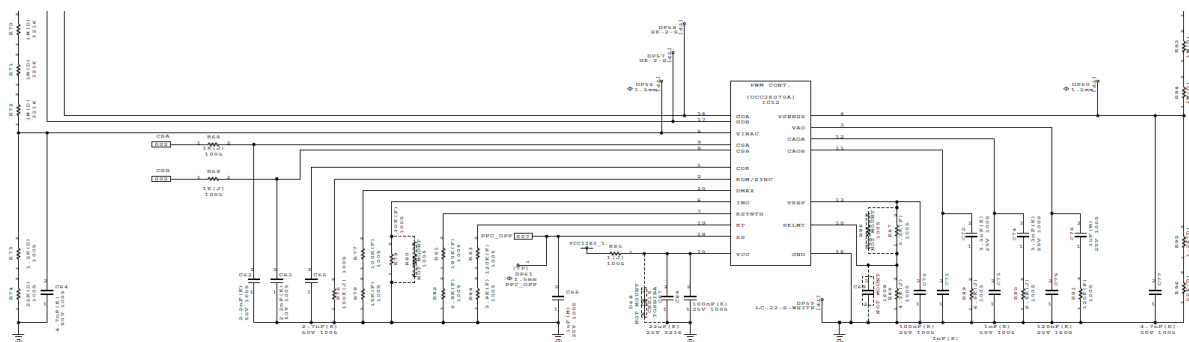


図 3.2 PFC 回路 1 (PFC コントローラ周辺)

出力電圧

PFC 回路の出力電圧 PFC_OUT は、外付け抵抗 R92, R93, R94, R95, R96 によって設定することができます。出力電圧は、上記抵抗で分割された出力端子センス電圧 VSENSE と PFC コントローラの内部参照電圧 (3.0V) を比較することで制御されます。出力電圧設定値は以下の式で算出されます。

$$PFC\ OUT(V) = \frac{3 \times (R92 + R93 + R94 + R95 + R96)}{(R95 + R96)}$$

なお、PFC 回路の出力電圧を変更する際は、AC ライン電圧測定用の抵抗 R70, R71, R72, R73, R74 も同様の値に変更する必要があります。PFC 回路の出力電圧の初期設定は R96 = R74 = 22k Ω , R95 = R73 = 1.2k Ω , R70 = R71 = R72 = R92 = R93 = R94 = 1M Ω となっており、約 391V です。必要に応じて上記抵抗値を変更し、所望の出力電圧値に設定してください。

スイッチング周波数

PFC 回路のスイッチング周波数 f_{PWM} は、外付け抵抗 R83, R84 によって設定することができます。PFC コントローラの設定値より、スイッチング周波数は以下の式で算出されます。

$$f_{PWM}(kHz) = \frac{7500}{R83 + R84 (k\Omega)}$$

スイッチング周波数の初期設定は、R83 + R84 = 約 124k Ω となっており、約 60kHz です。必要に応じて抵抗値を変更し、所望の周波数に設定してください。

ソフトスタート

PFC 回路のソフトスタート時間は、外付けコンデンサ C66 によって設定することができます。設定値は以下の式によって算出されます。

$$T_{ss}(s) = C66 \times \frac{2.25(V)}{10(\mu A)}$$

ソフトスタート時間の初期設定は、C66 = 1μF となっており、約 225ms です。必要に応じて C66 の容量値を変更し、所望のソフトスタート時間に設定してください。ソフトスタート期間中にカレントリミッターが作動しないこと、ホールドアップ期間後の再スタート時に、出力電圧が正常範囲に回復することを確認する必要があります。

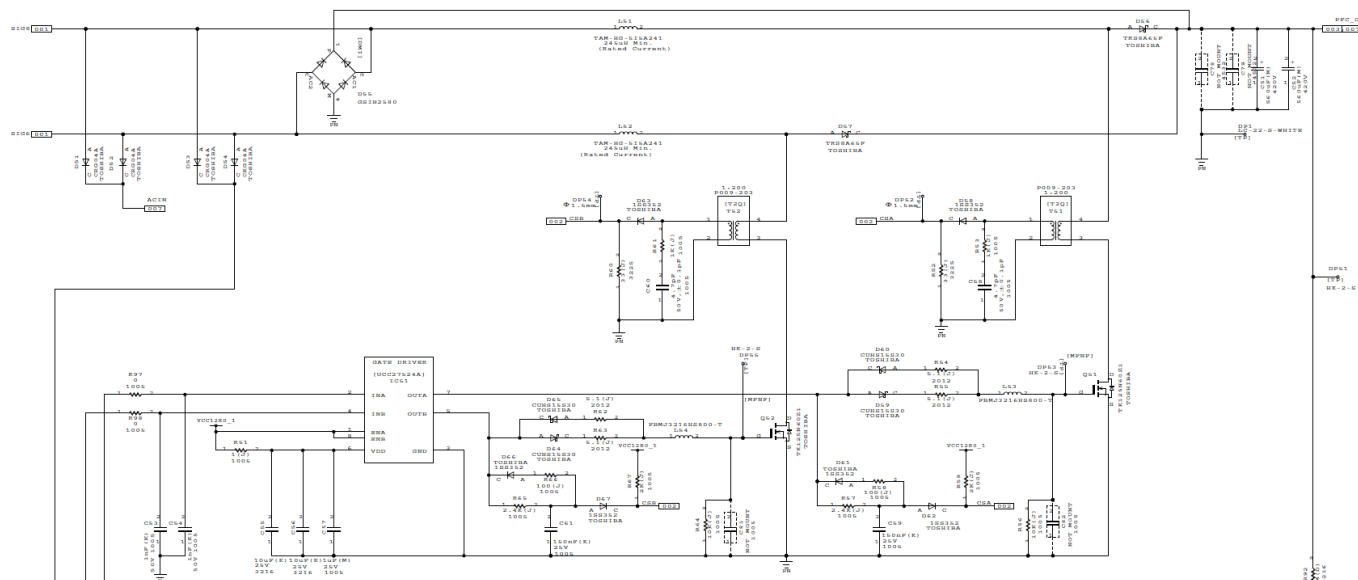


図 3.3 PFC 回路 2 (パワー-MOSFET, ブリッジダイオード、インダクター周辺)

図 3.3 にパワー-MOSFET やインダクター周辺部の回路を示します。

インダクター

インダクター (L51, L52) の選定は、インダクターのリプル電流 ΔI を、AC ラインのピーク入力電流値 (AC_{in_peak}) の 50% に設定することとし、入力電圧を V_{inAC} 、PFC 出力電圧を V_{out_PFC} 、スイッチング周波数を F 、PFC の電力変換効率を η_1 、後段の PSFB の電力変換効率を η_2 とすると、インダクター値は以下のとおり計算することができます。

$$AC_{in_peak} = \frac{P_{in} \times \sqrt{2}}{V_{inAC}} = \frac{(P_{out}/\eta_2) \times \sqrt{2}}{V_{inAC} \times \eta_1}$$

$$\Delta I = AC_{in_peak} \times 50\%$$

$V_{inAC} = 90V$ 、 $P_{out} = 800W$ 、 $\eta_1 = 93\%$ 、 $\eta_2 = 96\%$ とすると、 $\Delta I = 7.05$ となります。インダクターの値は PFC のスイッチング素子 (MOSFET) のオン時に与える電圧の最大値、オン時間 (スイッチング時間 $T \times$ オンデューティー) および電流変化 ΔI で表されます。

$$L = V \times \frac{dt}{di} = \sqrt{2} \times V_{inAC} \times \frac{T \times D}{\Delta I}$$

ここで T を MOSFET のスイッチング周波数 F で表すと以下ようになります。

$$T = \frac{1}{F}$$

また、PFC 回路のデューティーは以下の式で表されます。

$$D = \frac{V_{PFC_OUT} - \sqrt{2} \times V_{inAC}}{V_{PFC_OUT}}$$

インダクターの式に T と D の式を代入して以下の式が得られます。

$$L = \sqrt{2} \times V_{inAC} \times \frac{(V_{out_PFC} - V_{inAC})}{V_{out_PFC} \times \Delta I \times F}$$

本デザインでは、 $V_{out_PFC} = 390V$ 、 $F = 60kHz$ とすると、 $L = 231\mu H$ となりますので、 $250\mu H$ を使用しています。

カレントリミッター

PFC 回路のカレントリミッターは、カレントトランス (T51, T52)、電流検出抵抗 (R52, R60)、しきい値設定抵抗 (R87, R88) によって設定することができます。電流がしきい値に到達すると、PFC コントローラーはゲートドライブ用信号 (GDA, GDB) を Disable にします。カレントリミットレベル I_{limit} は、以下の式によって算出されます。

カレントリミットしきい値電圧: V_s , PFC コントローラーリファレンス電圧: $V_{ref} = 6.0V$, カレントトランス巻き数比: $N_{ct} = 200$, 電流検出抵抗 $R_s = R52 = R60 = 33\Omega$ より

$$V_s = \frac{R88}{R87 + R88} \times V_{ref}$$

$$I_{limit} = \frac{V_s \times N_{ct}}{R_s}$$

カレントリミットレベルの初期設定は、 $20.5A$ となっています。

一方、PFC 回路のスイッチング素子に流れる最大電流値 I_{peak} は、以下の式によって算出されます。

$$I_{peak} = \left(\frac{(P_{out}/\eta_2) \times \sqrt{2}}{\eta_1 \times V_{inAC}} + \frac{\Delta I}{2} \right) \times \text{マージン}$$

スイッチング素子に流れる最大電流値は、 $V_{inAC} = 90V$ の場合、 $P_{out} = 800W$ 、PFC 変換効率 $\eta_1 = 93\%$ 、 $\Delta I = 7.05A$ 、マージン = 1.1 とすると $19.4A$ となっています。必要に応じて上記値を変更し、所望の電流値に設定してください。

ゲート駆動回路

ゲート駆動回路の設計は、電源効率と EMI ノイズに影響を与えます。一般的に、電源効率と EMI ノイズはトレードオフの関係にあるため、両者のバランスを取った設計を行う必要があります。EMI ノイズを低減する必要がある場合は、ゲート直列抵抗 (R54, R55, R62, R63) を大きな値に変更して、ノイズの確認を行うことを推奨します。

本デザインのゲート駆動回路は、MOSFET のターンオンスピードとターンオフスピードを、個別に調整できる回路構成となっています。

事前の確認で、ノイズ源が MOSFET のターンオン、あるいはターンオフどちらの期間で発生しているか判明している場合、全ての抵抗を変更する必要はありません。ターンオン時のノイズが問題である場合は R55, R63 を、ターンオフ時のノイズが問題である場合は R54, R62 を変更することで、EMI ノイズを低減できる可能性があります。なお、ゲート直列抵抗を大きな値に変更すると、MOSFET のスイッチングスピードが低下するため、電源効率の悪化が懸念事項となります。

ゲート直列抵抗を変更する場合は、システムに要求される電源効率性能や、放熱性能が満足できていることを確認する必要があります。また、ターンオン、ターンオフどちらかのみでの調整で EMI ノイズ対策が可能な場合、両方を遅らせる対策と比較して、システムの電源効率への悪影響を低減できる可能性があります。

ブリッジダイオード

整流ダイオードには、ブリッジダイオード (D55) を使用しています。本デザインは、セミブリッジレス PFC 回路構成となっており、本ダイオードの 2 ピン-1 ピン間ダイオード、および 3 ピン-1 ピン間ダイオードは、電源起動時の整流動作にのみ寄与し、それ以降の動作には寄与しません。本ブリッジダイオード (D55) を、ハーフブリッジダイオードと表面実装タイプのダイオードに変更することも可能です。表面実装タイプのダイオード使用時は、突入電流をサポートできる定格の製品を選択する必要があります。

出力コンデンサー

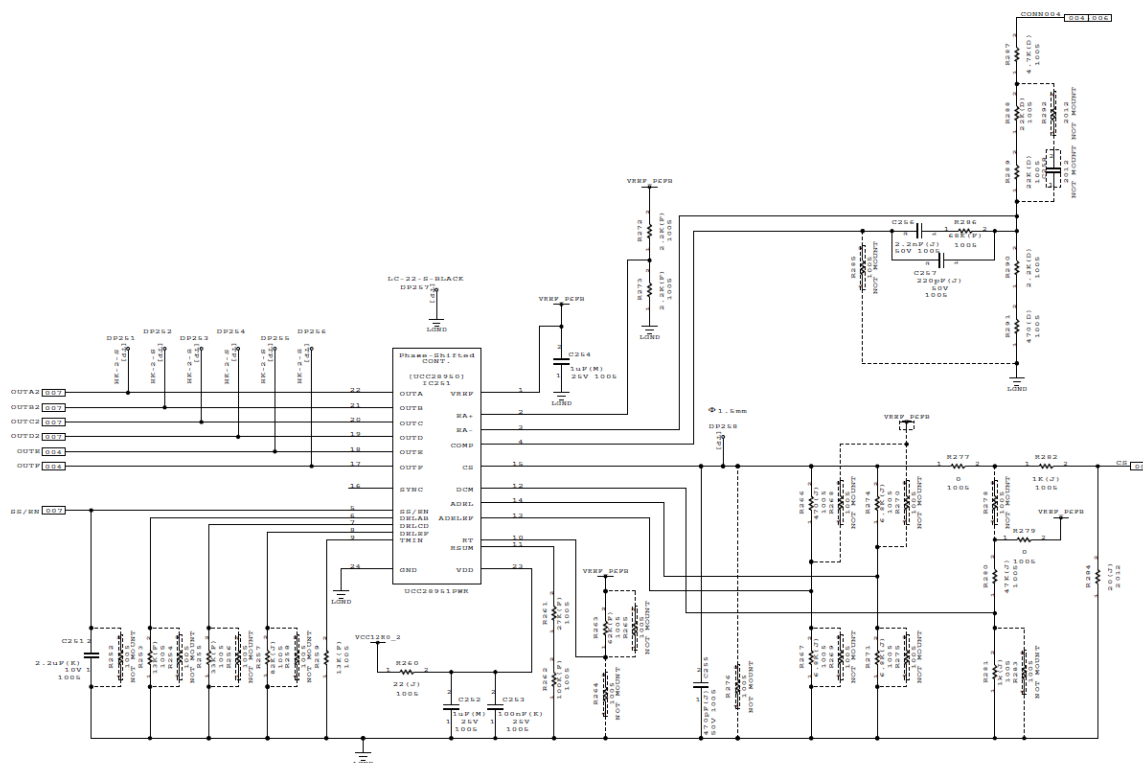
出力コンデンサー (C51, C52) の容量値は、ホールドアップタイム要件に基づいて算出しています。ホールドアップタイム T_{hold} は、出力コンデンサーの容量を C_{out} 、出力電圧を V_{out_PFC} 、出力電圧の下限電圧を V_{min} 、最大出力電力を P_{out} とすると、以下の式で算出されます。

$$T_{hold} = C_{out} \times \frac{(V_{out_PFC}^2 - V_{min}^2)}{2 \times P_{out} / \eta_2}$$

初期設定は、 $C_{out} = 660\mu\text{F}$ 、 $V_{out_PFC} = 390\text{V}$ 、 $V_{min} = 328.42\text{V}$ 、 $P_{out} = 1600\text{W}$ 、後段の PSFB の電力変換効率を $\eta_2 = 96\%$ で、ホールドアップタイムは 8.76ms となります。システムに要求されるホールドアップタイムを満足できるよう、出力コンデンサーの容量を調整願います。また、出力リップル仕様が要求された場合は、出力リップル仕様を満たすのに必要な容量を算出し、ホールドアップタイムを満足する容量と比較し、大きい容量値を使用する必要があります。また、コンデンサー選定時には、公差や経年劣化を考慮する必要があります。

3.3. フェーズシフトフルブリッジ (PSFB) 回路設計

本デザインでは、セミブリッジレス PFC 回路の後段で出力 48V を生成しています。広範囲な負荷領域で Zero Volt Switching (ZVS) 動作が可能な、Texas Instruments 社製コントローラー UCC28950 (PSFB コントローラー) を用いることで、電源効率の向上を図っています。以下に、本デザインの PSFB 回路の基本的な設計項目に関して説明します。なお、PSFB コントローラー周辺の詳細設計に関しては、[Texas Instruments 社製 UCC28950 のデータシート](#)、[関連ドキュメント](#)などをご参照ください。図 3.4 に PSFB コントローラー周辺回路を示します。



スイッチング周波数

PSFB 回路のスイッチング周波数 f_{PWM} は、外付け抵抗 R263 によって設定することができます。PSFB コントローラーの設定値より、スイッチング周波数は以下の式で算出されます。

$$f_{PWM}(kHz) = \frac{2.5 \times 10^3}{\frac{R263(k\Omega)}{V_{REF}(V) - 2.5} + 1}$$

スイッチング周波数の初期設定は、 $R263 = 62k\Omega$ となっており、96.90 kHz です。必要に応じて上記抵抗値を変更し、希望の周波数に設定してください。

ソフトスタート

PSFB 回路のソフトスタート時間は、外付けのコンデンサ C251 によって設定することができます。設定値は以下の式によって計算することができます。

$$T_{SS}(s) = \frac{C251(\mu F) \times \left(\frac{V_{REF}(V) \times R273}{R272 + R273} + 0.55 \right)}{25}$$

ソフトスタート時間の初期設定は、 $C251 = 2.2\mu F$ となっており、268.4ms です。必要に応じて C251 の容量値を変更し、希望のソフトスタート時間に設定してください。ソフトスタート期間中に、カレントリミッターが作動しないことを確認する必要があります。

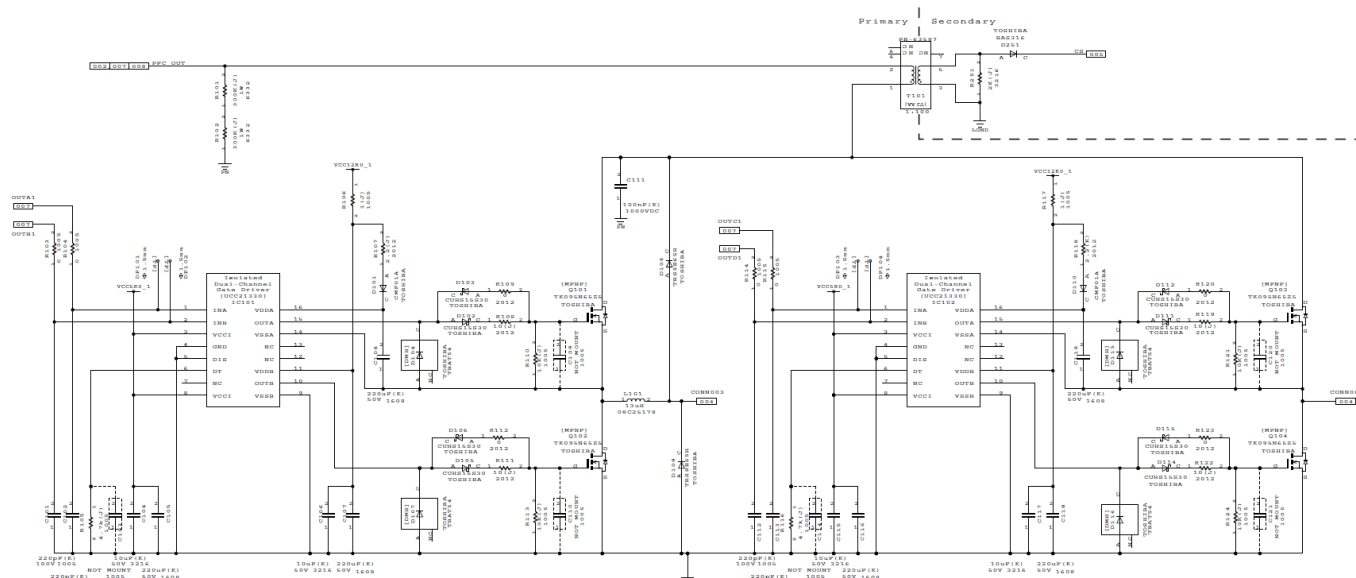


図 3.5 PSFB 回路2 (1次側 MOSFET 周辺)

図 3.5 に1次側 MOSFET 周辺の回路を示します。

カレントリミッター

PSFB 回路のカレントリミッターは、カレントランス (T101)、電流検出抵抗 (R284)、電流制限しきい値 (2V) によって設定することができます。電流検出抵抗に流れる電流がしきい値に到達すると、PSFB コントローラーは1次側の MOSFET 駆動を制限することで、2次側に異常な電流を流さないようにします。本デザインでは巻き線比が 100:1 のであり、電流検出抵抗には実際の電流の 100 分の 1 の電流が流れるため、カレントリミットレベルは以下の式で算出されます。

$$I_{limit} = \frac{2.0}{R284} \times 100$$

カレントリミッターの初期設定は、R284 = 20Ω のため 10A となっています。必要に応じて上記値を変更し、所望の電流値に設定してください。

ゲート駆動回路

ゲート駆動回路の設計は、電源効率と EMI ノイズに影響を与えます。一般的に、電源効率と EMI ノイズはトレードオフの関係にあるため、両者のバランスを取った設計を行う必要があります。PSFB では Zero Volt Switching (ZVS) を実施していますが、もしハードスイッチング領域が存在し、それが EMI ノイズの原因である場合は、該当する MOSFET (Q101-Q104) のゲート直列抵抗 (R109-R112, R119-R122) を大きな値に変更し、確認を行うことを推奨します。PFC のゲート駆動回路と同様、ターンオン時、ターンオフ時それぞれ独立して調整できる回路構成になっているため、どちらかだけの調整で対応できる場合は、システムの電源効率への悪影響を低減できる可能性があります。

トランス

PSFB 回路の定常状態における同期整流側の On Duty を 85% に設定すると、出力電圧が 48V なので、2 次側には 56V 程度の方波が必要となります。本デザインの PFC 出力電圧は 390V であるため、トランス (T151, T201) の巻数比は、27:4:4 (センタータップ方式) を選択します。これにより、2 次側の出力整流部には 57.8V の方波が発生することになります。その他、1 次-2 次間絶縁耐圧、巻線温度上昇、磁束飽和、コアロスなどを十分に考慮する必要があります。本デザインで使用しているトランスの仕様は、BOM をご参照願います。なお、2 次側の同期整流 MOSFET にはオフ時に 2 次側巻き線の 2 倍の 115.6V が印加されます。本デザインでは、デレーティングを考慮し、2 次側同期整流に 150V 耐圧の MOSFET を選択しています。

また、本デザインでは、トランスのリーケージインダクタンスを利用して、Zero Volt Switching (ZVS) を行っております。もし、リーケージインダクタンスによる共振が不足すると、ZVS が実現できず、電源効率低下や EMI ノイズ増大などの問題が発生する可能性があります。トランスを変更する場合、広範囲な負荷領域で ZVS となっていることを、確認する必要があります。トランス変更により共振不足となり、ZVS が行われていない場合は、共振用のコイル (L101) を実装し、広い負荷範囲で ZVS となるよう調整願います。本デザインの初期状態では、ZVS を実現するため、トランスのリーケージインダクタンスに加えて、L101 には 13μH の追加共振コイルを接続しています。

出力コンデンサ

出力コンデンサは、出力電圧リップルがシステムの要求する範囲に入っているかを確認する必要があります。出力電圧リップル V_{ripple} は、スイッチングによって発生するリップル電流 ΔI と、出力コンデンサの ESR、容量 (Cap)、ESL によって発生する各電圧の合成波形となります。スイッチングの電圧を V_{sw} 、出力電圧を V_{out} 、スイッチング周波数を F とすると、ESR、Cap、ESL によって発生する電圧は、以下の式で算出されます。

$$V_{ripple_ESR} = \Delta I \times ESR$$

$$V_{ripple_Cap} = \frac{\Delta I}{8 \times Cout \times F \times 2}$$

$$V_{ripple_ESL} = \frac{V_{sw} \times ESL}{L}$$

ここで、

$$\Delta I = \frac{(V_{sw} - V_{out}) \times V_{out}}{V_{sw} \times F \times 2 \times L} \times 2(phases)$$

であり、 $V_{sw} = 60V$ 、 $V_{out} = 48V$ 、 $F = 97.05kHz$ 、 $L = 27\mu H$ とすると、PSFB の 2 次側出力は 1 次側 SW 周波数の倍の周波数となるため、スイッチング周波数を 2 倍、また位相が 180 度異なることから安全のためリップル電流値を 2 倍して計算します。すると、 $\Delta I = 3.66A$ となります。各要素で発生する出力リップル電圧の初期設定値は、 $C_{out} = 330\mu F \times 6pcs$ 、 $ESR = 40m\Omega$ 、 $ESL = 5nH$ 、 $L = 27\mu H$ とすると、 $V_{ripple_ESR} = 146mV$ 、 $V_{ripple_Cap} = 1.2mV$ 、 $V_{ripple_ESL} = 11.1mV$ となります。

Cap によって発生する電圧は ESR、ESL によって発生する電圧と位相がずれているため、本来は単純な合計はできませんが、Cap によって発生する電圧が小さいため、単純合計を目安として用いることができます。システムに要求されるリップル電圧を満足できるよう、出力コンデンサの容量を調整願います。また、負荷急変時に出力に発生するアンダーシュート、オーバーシュートが規定電圧範囲に入っていること、出力のコンデンサの許容リップル電流が確保できていることも確認する必要があります。

3.4. PSFB 回路の 1 次側と 2 次側の通信

図 3.6 に示すように PSFB 回路の 1 次側と 2 次側の信号伝達に 4 チャンネルのデジタルアイソレーター DCL540C01 を使用しています。2 次側に配置した PSFB コントローラーから出力された 1 次側フルブリッジ回路の MOSFET 駆動信号は DCL540C01 を通して送られます。

フォトカプラーが発光素子 (LED) と受光素子を同一パッケージに内蔵し、光を透過する樹脂により電氣的絶縁し、LED のオン/オフにより信号を伝達する構造であるのに対して、デジタルアイソレーターは絶縁膜を備えた変調用チップと復調用チップを同一パッケージに内蔵し、磁界あるいは電界 (磁気結合) により信号を伝達する構造です。

DCL540C01 は当社独自の磁気結合型絶縁伝送方式を採用することで高 CMTI^(*3-2) 100kV/μs (min) を実現し、これによりノイズの影響を受けても誤動作しにくい、機器の安定動作に貢献します。また、低パルス幅びずみ 3.0ns (max) と高速伝送レート 150Mbps (max) を実現しているため、高速通信用途に適しています。

(*3-2) コモンモード過渡耐性 (CMTI)

コモンモード (同相) ノイズは信号、GND 両ラインに重畳し同じ方向に電流が流れるタイプのノイズです。独立した電源で駆動される回路間を電氣的に絶縁しながら信号伝送を行うためにデジタルアイソレーターが使用されますが、このような場合においても一方の電位が変動する場合、コモンモードノイズは発生します。このコモンモードノイズによりスタンダードデジタルアイソレーター内部の 1 次 (入力側) - 2 次 (出力側) 間のカップリング容量に流れる変位電流があるレベルまで達するとデジタルアイソレーター、ひいてはシステムの誤動作の原因になります。従って、このようなコモンモードノイズに対する耐量はシステムを安定動作させるために重要となります。CMTI はこのような GND 間で発生する高スループートの過渡電圧に対応する能力をあらわしており、CMTI が大きいほどノイズに対して強く、絶縁が必要とされるアプリケーションでの応用に適していることを意味します。

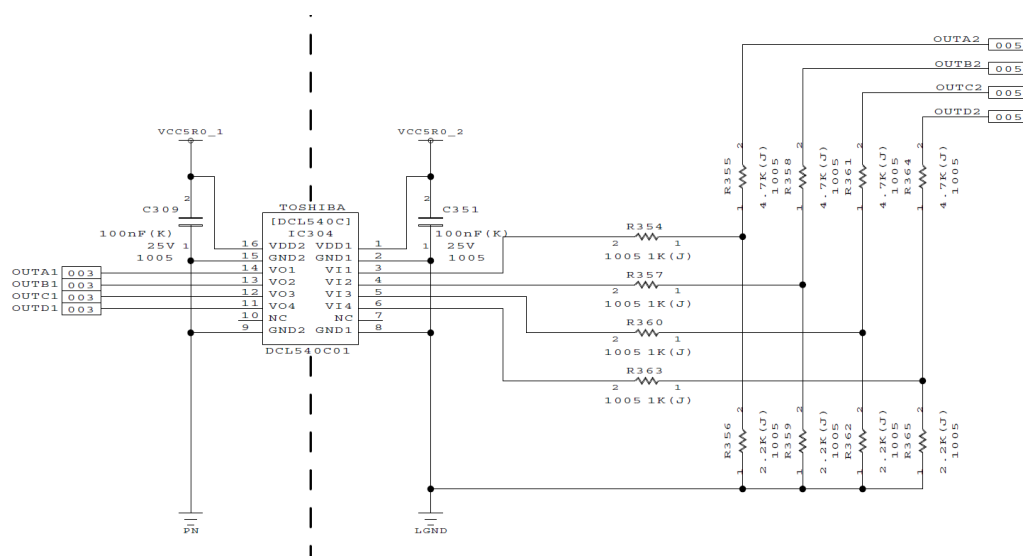


図 3.6 デジタルアイソレーター (DCL540C01)

本デザインは、N+1 冗長運転の要求に対応できるよう、出力部に ORing 回路を実装しています。ORing 回路は、Texas Instruments 社製コントローラー LM74700 (ORing コントローラー) と、オン/オフ用 MOSFET (Q501-Q503) によって構成されます。本デザインの出力と他の電源を並列に接続した状態で、本デザインの出力電圧が他の電源の出力電圧より高い場合、ORing コントローラーはオン/オフ用 MOSFET をオンして出力に電流を供給します。本デザインの出力電圧が他の電源の出力電圧より低い場合、ORing コントローラーはオン/オフ用 MOSFET をオフして他の電源から本デザインに電流が逆流するのを防止します。以下に、本デザインの ORing 回路の、基本的な設計項目に関して説明します。なお、ORing コントローラー周辺の詳細設計に関しては、Texas Instruments 社製 LM74700 のデータシート、関連ドキュメントなどをご参照ください。

図 3.7 ORing 回路

ご利用規約

本規約は、お客様と東芝デバイス＆ストレージ株式会社（以下「当社」といいます）との間で、当社半導体製品を搭載した機器を設計する際に参考となるドキュメント及びデータ（以下「本リファレンスデザイン」といいます）の使用に関する条件を定めるものです。お客様は本規約を遵守しなければなりません。

第1条 禁止事項

お客様の禁止事項は、以下の通りです。

1. 本リファレンスデザインは、機器設計の参考データとして使用されることを意図しています。信頼性検証など、それ以外の目的には使用しないでください。
2. 本リファレンスデザインを販売、譲渡、貸与等しないでください。
3. 本リファレンスデザインは、高温・多湿・強電磁界などの対環境評価には使用できません。
4. 本リファレンスデザインを、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用しないでください。

第2条 保証制限等

1. 本リファレンスデザインは、技術の進歩などにより予告なしに変更されることがあります。
2. 本リファレンスデザインは参考用のデータです。当社は、データ及び情報の正確性、完全性に関して一切の保証をいたしません。
3. 半導体素子は誤作動したり故障したりすることがあります。本リファレンスデザインを参考に機器設計を行う場合は、誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。また、使用されている半導体素子に関する最新の情報（半導体信頼性ハンドブック、仕様書、データシート、アプリケーションノートなど）をご確認の上、これに従ってください。
4. 本リファレンスデザインを参考に機器設計を行う場合は、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。当社は、適用可否に対する責任を負いません。
5. 本リファレンスデザインは、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証又は実施権の許諾を行うものではありません。
6. 当社は、本リファレンスデザインに関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をせず、また当社は、本リファレンスデザインに関する一切の損害（間接損害、結果的損害、特別損害、付随的損害、逸失利益、機会損失、休業損害、データ喪失等を含むがこれに限らない。）につき一切の責任を負いません。

第3条 契約期間

本リファレンスデザインをダウンロード又は使用することをもって、お客様は本規約に同意したものとみなされます。本規約は予告なしに変更される場合があります。当社は、理由の如何を問わずいつでも本規約を解除することができます。本規約が解除された場合は、お客様は本リファレンスデザインを破棄しなければなりません。さらに当社が要求した場合には、お客様は破棄したことを証する書面を当社に提出しなければなりません。

第4条 輸出管理

お客様は本リファレンスデザインを、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用してはなりません。また、お客様は「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守しなければなりません。

第5条 準拠法

本規約の準拠法は日本法とします。

第6条 管轄裁判所

本リファレンスデザインに関する全ての紛争については、別段の定めがない限り東京地方裁判所を第一審の専属管轄裁判所とします。