

SiC MOSFET モジュール iXPLV[®]用 ゲートドライバー

デザインガイド

RD258-DGUIDE-01

東芝デバイス&ストレージ株式会社

目次

1. はじめに	3
2. 主な使用部品.....	4
2.1. フォトカプラー TLP2861L (開発中)	4
2.2. LDO レギュレーター TCR1HF50B	5
2.3. MOSFET SSM3K15AFS	5
2.4. MOSFET SSM6K804R	6
2.5. ファストリカバリーダイオード CRF03A.....	6
2.6. PNP トランジスター HN4A56JU	7
3. SiC MOSFET モジュール用ゲートドライバ概要.....	8
3.1. 特長	8
3.2. 端子説明.....	8
3.3. 仕様	9
4. 回路設計	10
4.1. 全体ブロック図.....	10
4.2. ゲート制御回路 (1 次側)	11
4.3. 2 次側制御回路	14
4.4. 保護回路及び付加機能.....	17

1. はじめに

本デザインガイドでは、SiC MOSFET モジュール iXPLV®用ゲートドライバー（以下、本デザイン）の回路構成および各種回路の設計概要について解説します。

産業用途で用いられるモータードライブ、鉄道車両用インバーター・コンバーター、ESS などの電力変換装置に使用されるスイッチング素子には、高電圧・大電流への対応が要求されます。従来これら用途には Si（シリコン）を使用した IGBT モジュールが広く使用されていましたが、近年、IGBT に比べ高速スイッチング特性を有し、高温環境下での動作に優れた SiC（シリコンカーバイド）を使用した SiC MOSFET モジュールの普及が進んでいます。SiC MOSFET モジュールの使用により、機器の小型化・高効率が実現されています。

本デザインは、iXPLV®パッケージに 2 素子を内蔵した SiC MOSFET モジュールを絶縁駆動するゲートドライバーです。信号入力部の 1 次側回路と出力部の 2 次側回路との間の絶縁は、従来製品に比べ沿面距離・空間距離を伸ばした高速通信用フォトカプラー TLP2861L（開発中）にて実現し、1 次-2 次間の沿面距離を 15mm、空間距離を 14.2mm 確保しています。

バッファ用 Nch MOSFET [SSM6K804R](#) による大電流ゲート駆動を可能にし、DESAT（非飽和）検出機能、アクティブミラークランプ機能などの各種保護回路を搭載しています。また、駆動する SiC MOSFET モジュール製品や実際の仕様に合わせ各部を調整することが可能です。各部の調整にあたっては、本デザインガイド、SiC MOSFET モジュールやその他搭載部品のデータシート、関連ドキュメントを参照してください。

回路内の 2 枚構成の基板を上下に接続する 2 階建て構成を採用することで、上述の沿面距離・空間距離を確保しながら iXPLV®パッケージと同等サイズを実現し、SiC MOSFET モジュールの直上に配置できるため、取り扱いに優れるとともに、配線の寄生インダクタンスを抑制します。

本デザインを実際のアプリケーションに使用される際は、沿面距離・空間距離を考慮し、適用される安全規格、使用環境に応じ適切な動作電圧での設計をするとともに、実機上での十分な検証・評価をお願いします。

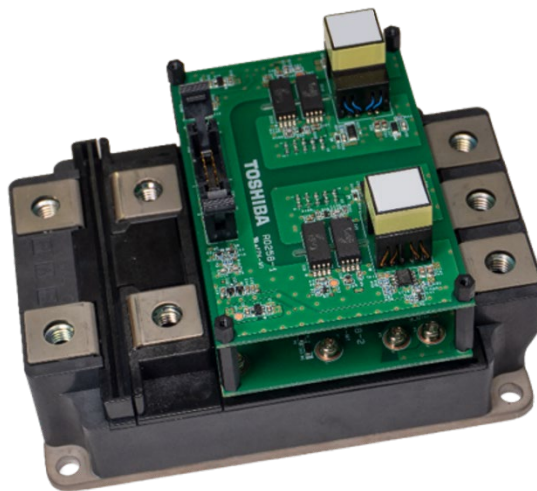


図 1.1 当社 iXPLV SiC MOSFET モジュールへの直上嵌合写真

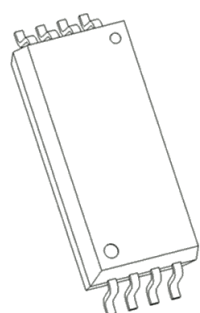
2. 主な使用部品

この章では本デザインに使用している主な部品について説明します。

2.1. フォトカプラー TLP2861L (開発中)

制御側とゲート駆動側の間でゲート制御信号およびフォルト信号を絶縁伝送するため、フォトカプラーTLP2861Lを使用しています。TLP2861Lの主な特長は以下のとおりです。

- インバーターロジック出力タイプ (トータムポール出力)
- データ伝送レート: 15MBd (標準) (NRZ)
- コモンモード過渡耐性: $\pm 20\text{kV}/\mu\text{s}$ (最小)
- 絶縁耐圧: $7500\text{V}_{\text{rms}}$ (最小)
- 沿面距離: 15mm



SO8XL

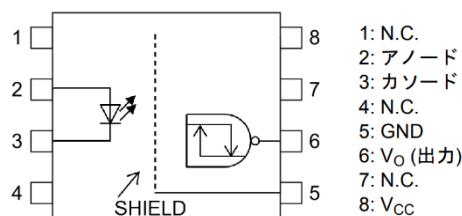


図 2.1 TLP2861L の外観と内部回路構成図

2.2. LDO レギュレーター TCR1HF50B

信号インターフェース回路、絶縁信号伝送回路、およびゲート駆動部の制御・保護回路で使用する 5V 電源を生成するため、150mA 出力 LDO レギュレーター [TCR1HF50B](#) を使用しています。TCR1HF50B の主な特長は以下のとおりです。

- 高入力電圧範囲 最大定格：40V、動作範囲：4V ～ 36V
- 低バイアス電流 $I_{\text{BON}} = 1\mu\text{A}$ (標準) @ $I_{\text{OUT}} = 0\text{mA}$
- 高速負荷過渡応答 $-60\text{mV} / +50\text{mV}$ @ 3.3V 出力, $I_{\text{OUT}} = 0\text{mA} \Leftrightarrow 10\text{mA}$
- 幅広い出力電圧ラインアップ ($V_{\text{OUT}} = 1.8\text{V} \sim 5.0\text{V}$)
- 高出力電圧精度 $\pm 1\%$ ($T_a = 25^\circ\text{C}$)

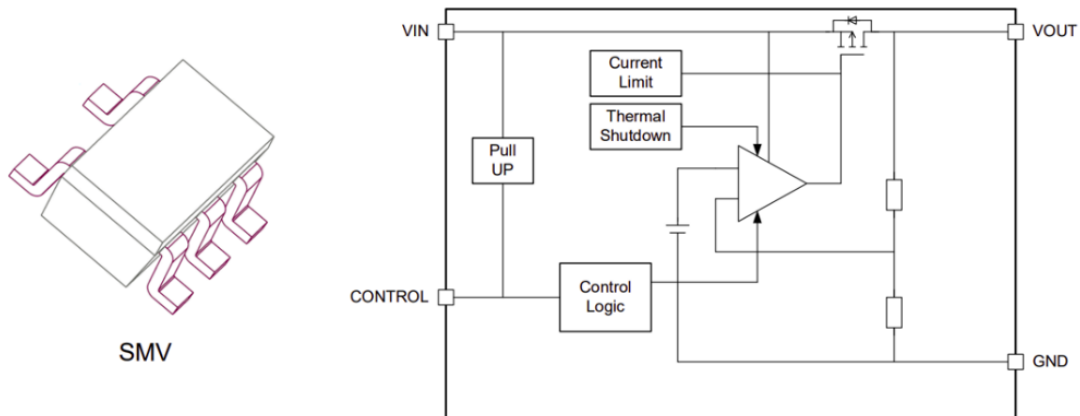


図 2.2 TCR1HF50B の外観と内部構成回路図

2.3. MOSFET SSM3K15AFS

絶縁回路、絶縁電源の停止制御回路、およびゲート保護回路の信号制御用として、N チャネル MOSFET [SSM3K15AFS](#) を使用しています。SSM3K15AFS の主な特長は以下のとおりです。

- 2.5V 駆動
- オン抵抗が低い： $R_{\text{DS(ON)}} = 3.6\Omega$ (最大) (@ $V_{\text{GS}} = 4\text{V}$), $R_{\text{DS(ON)}} = 6.0\Omega$ (最大) (@ $V_{\text{GS}} = 2.5\text{V}$)

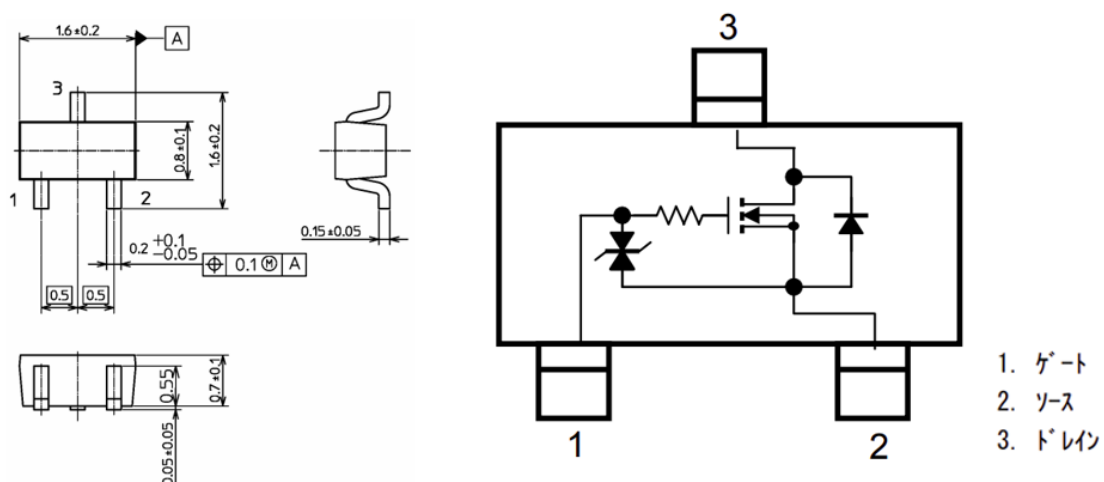


図 2.3 SSM3K15AFS の外観と内部構成回路図

2.4. MOSFET SSM6K804R

SiC MOSFET モジュールのゲートを駆動する出力に、N チャネル MOSFET [SSM6K804R](#) を使用しています。SSM6K804R の主な特長は以下のとおりです。

- 175℃ MOSFET
- 4.5V 駆動
- オン抵抗が低い： $R_{DS(ON)} = 12\text{m}\Omega$ (標準) (@ $V_{GS} = 4.5\text{ V}$), $R_{DS(ON)} = 9\text{m}\Omega$ (標準) (@ $V_{GS} = 10\text{V}$)

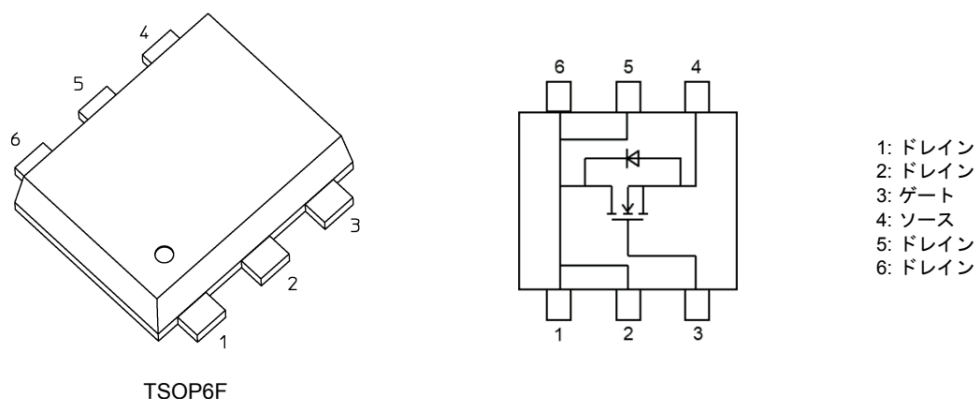


図 2.4 SSM6K804R の外観と内部回路構成図

2.5. ファストリカバリーダイオード CRF03A

SiC MOSFET モジュールの保護回路に、ファストリカバリーダイオード [CRF03A](#) を使用しています。CRF03A の主な特長は以下のとおりです。

- 繰り返しピーク逆電圧: $V_{RRM} = 600\text{V}$
- 平均順電流: $I_{F(AV)} = 0.7\text{ A}$
- ピーク順電圧: $V_{FM} = 2.0\text{V}$ (最大) @ $I_{FM} = 0.7\text{A}$ (パルス測定)
- 逆回復時間: $t_{rr} = 100\text{ns}$ (最大) @ $I_F = 1.0\text{A}$, $di/dt = -30\text{A}/\mu\text{s}$
- 小型薄型面実装パッケージ

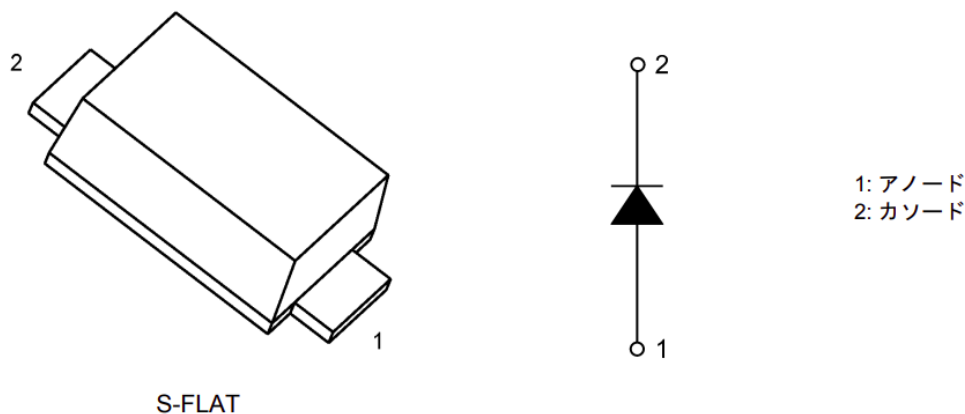


図2.5 CRF03Aの外観と内部回路構成図

2.6. PNP トランジスター HN4A56JU

出力基板のハイサイドおよびローサイド保護回路に、PNP トランジスター [HN4A56JU](#) を使用しています。HN4A56JU の主な特長は以下のとおりです。

- ウルトラスーパーミニ (5 端子) パッケージに 2 素子を内蔵
- 高耐圧: $V_{CE0} = -50V$
- コレクター電流が大きい: $I_C = -150mA$ (最大)
- 電流増幅率 h_{FE} が高い: $h_{FE} = 120 \sim 400$

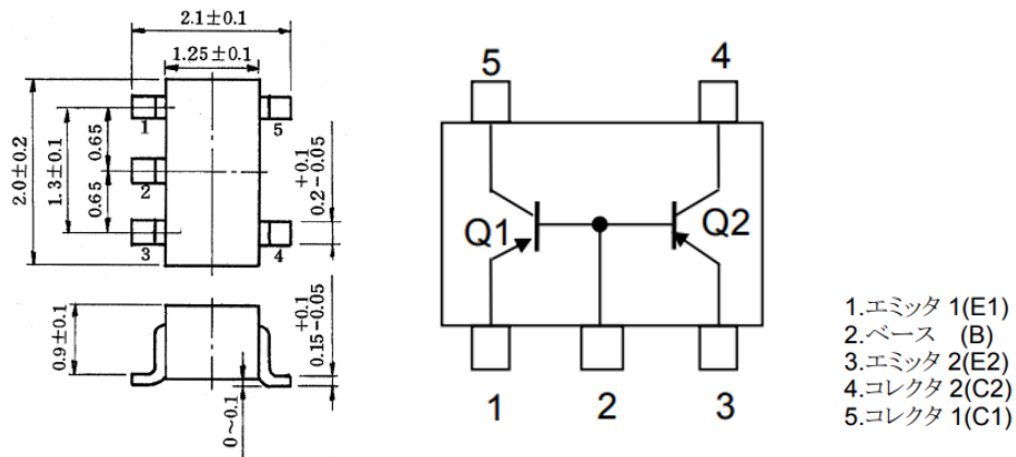


図2.6 HN4A56JUの外観と内部回路構成図

3. SiC MOSFET モジュール用ゲートドライバ概要

本デザインは、当社 Dual SiC MOSFET モジュールを駆動できるゲートドライバです。ゲート駆動回路・各保護回路が搭載されています。

3.1. 特長

- 外付けバッファ用 MOSFET による大電流ゲート駆動
- 単一電源入力 (DC24V)
- 過電流保護 (DESAT 検出方式)
- DESAT 検出時ソフトターンオフ
- ゲート駆動電圧保護 (UVLO)
- アクティブミラークランプ (AMC)
- 出力オン/オフ制御 (EN 制御)
- 異常検出出力 (FLT 信号出力)

本デザインは、フォトカプラー・トランスの基板実装部で沿面距離 15mm を確保、フォトカプラーの空間距離を 14.2mm としています。ご使用環境や動作電圧に応じて絶縁処理の考慮をお願いします。

3.2. 端子説明

電源および信号用コネクタ (CN1) を搭載し、XG4A-1431 (OMRON 製) を使用しています。

表 3.1 コネクタ (CN1)

Pin#	信号名	I/O	説明	Pin#	信号名	I/O	説明
1	GND	-	GND	2	V _{DD}	-	制御用電源電圧
3	B_FLT	O	ローサイド異常検出出力 (抵抗付コレクタ出力)	4	B_INA	I	ローサイドゲート制御信号入力
5	A_INA	I	ハイサイドゲート制御信号入力	6	B_ENA	I	ローサイドイネーブル信号入力
7	A_ENA	I	ハイサイドイネーブル信号入力	8	A_FLT	O	ハイサイド異常検出出力
9	VP_5_A	O	ハイサイド 5V 電源出力	10	VP_5_B	O	ローサイド 5V 電源出力

3.3. 仕様

表 3.2 に本デザインの推奨動作範囲、表 3.3 にゲートドライブ出力電圧および保護機能の電気的特性を示します。

表 3.2 推奨動作範囲

項目			Min	Typ.	Max	Unit
制御用電源電圧	V _{DD}		20.0	24	28.0	V
入力信号 (ゲート制御信号、イネーブル信号)	INPUT	H レベル	4.0	-	5.0	V
		L レベル	0	-	1.8	
スイッチング周波数 ^{注 3.1)} (SiC MOSFET モジュールゲート駆動)	f _{sw}		-	-	20	kHz

注 3.1) 実際の使用条件で、各部品の定格温度内で設定してください。

表 3.3 電気的特性

項目	シンボル	条件	Min.	Typ.	Max.	Unit
ゲート駆動出力 H レベル電圧	$V_{P_20_A}$		19	20	21	V
ゲート駆動出力 L レベル電圧	$V_{N_6_VEE_A}$		-7.0	-6.7	-6.4	V
UVLO_ハイサイド スレッシュホールド ($V_{P_24_A}-V_{0_VE_A}$)	V_{UVLOP-_A}	保護動作電圧	-	15	-	V
	V_{UVLOP+_A}	保護解除電圧	-	16	-	
UVLO_ローサイド スレッシュホールド ($V_{P_24_B}-V_{0_VE_B}$)	V_{UVLOP-_B}	保護動作電圧	-	15	-	V
	V_{UVLOP+_B}	保護解除電圧	-	16	-	
DESAT 検出時 ドレイン-ソース間電圧 注 3.2)	V_{DS} (ハイサイド)	$T_a = 25^{\circ}\text{C}$	2.7	-	-	V

注 3.2) DESAT 検出時ドレイン-ソース間電圧は DESAT スレッシュホールド電圧から回路のダイオード(D26, D27, D28, D29) および抵抗 (R85, R86) の電圧降下を差し引いた電圧に等しくなります。4 章に記載の DESAT (非飽和) 検出回路動作、図 4.8 を参照ください。

4. 回路設計

4.1. 全体ブロック図

図 4.1 に本デザインのブロック図を示します。絶縁 DC-DC コンバーター、アクティブミラークランプ回路が搭載されています。カプラー TLP2861L（開発中）を搭載し、1 次側と 2 次側の沿面距離 15 mm を確保しています。V_{DD} から入力された制御用電源電圧により動作します。

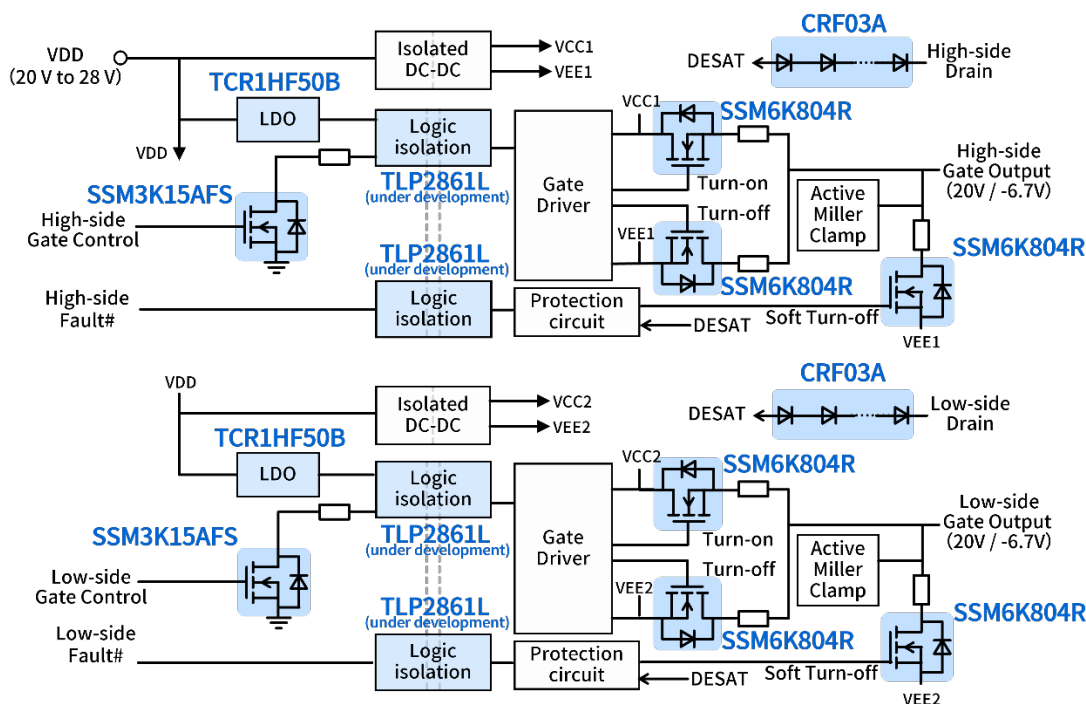


図 4.1 SiC MOSFET モジュール用ゲートドライバブロック図

4.2. ゲート制御回路 (1 次側)

図 4.2 に本デザインの 1 次側 (入力側) の回路を示します。

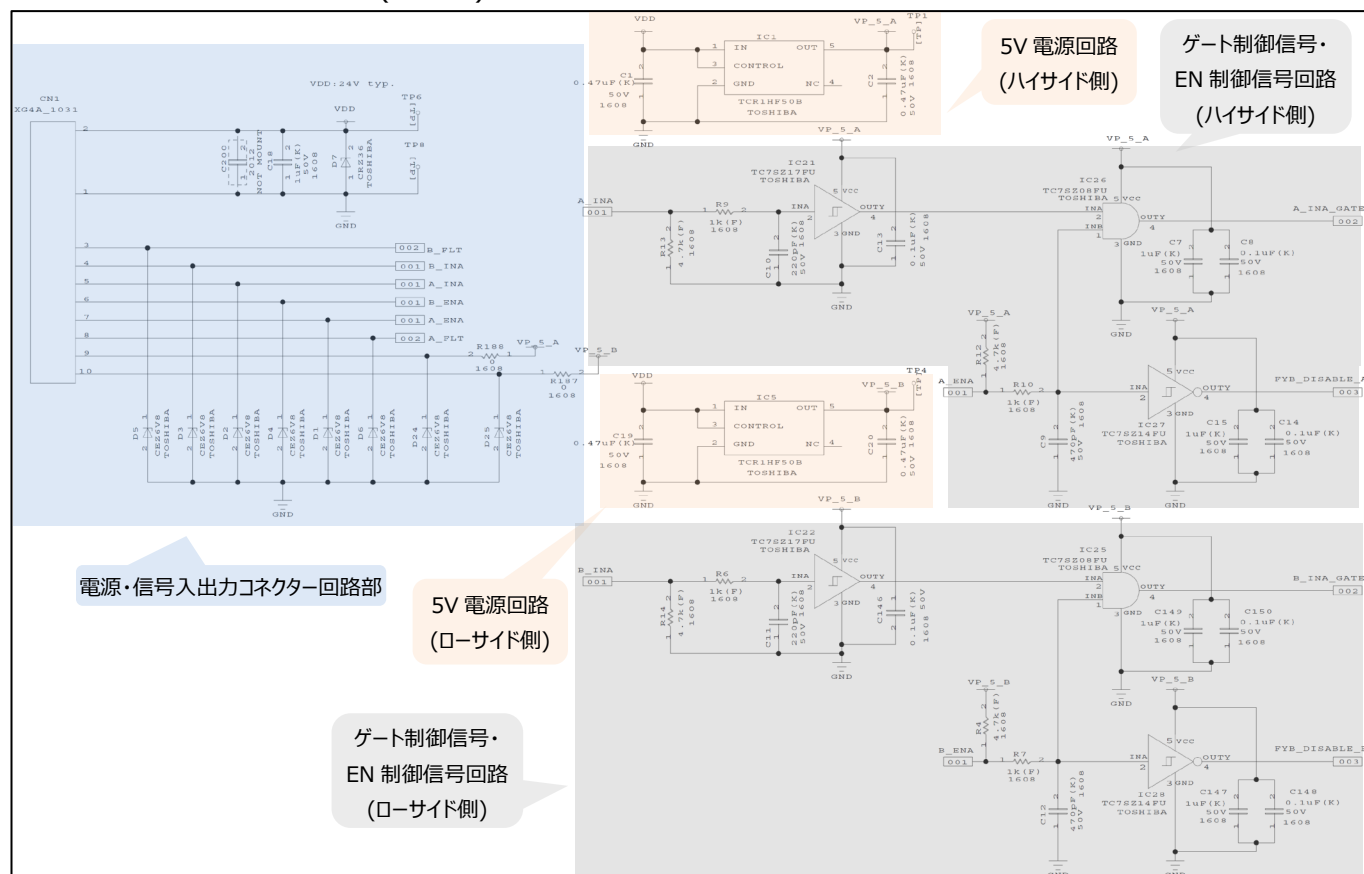


図 4.2 1 次側回路図

内部 5V 電源回路

電源電圧 V_{DD} から 5V 電源を生成するために LDO (IC1, IC5) TCR1HF50B を使用しています。

TCR1HF50B の出力 5V は、1 次側のロジック IC (IC2, IC3, IC4), 及び TLP2861L (IC6, IC9, IC10, IC13) の入力信号に供給されます。

ゲート制御信号入力

ハイサイド用ゲート制御信号入力に A_INA (入力信号) と A_ENA (イネーブル) があります。A_ENA はゲートドライブ出力の有効/無効を制御できます。有効時の A_ENA 信号は H レベルで、無効は L レベルです。A_ENA がオープン時は内部回路でプルアップされているため有効になります。

表 4.1 真理値表

A_INA (CN1:Pin5)	A_ENA (CN1:Pin7)	SiC MOSFET モジュール_A
L	L	OFF
H	L	OFF
H	H	ON
L	H	OFF

本デザインでは A_ENA 端子にプルアップ抵抗が接続されているため、A_ENA 信号が未入力の場合、アクティブ状態となります。A_ENA 信号でディスイネーブル状態にするためには、L レベルの入力が必要です。

ローサイド用ゲート制御信号入力 B_INA (入力信号) と B_ENA (イネーブル) についても、ハイサイドと同じ動作をします。表 4.1 に真理値表を示します。

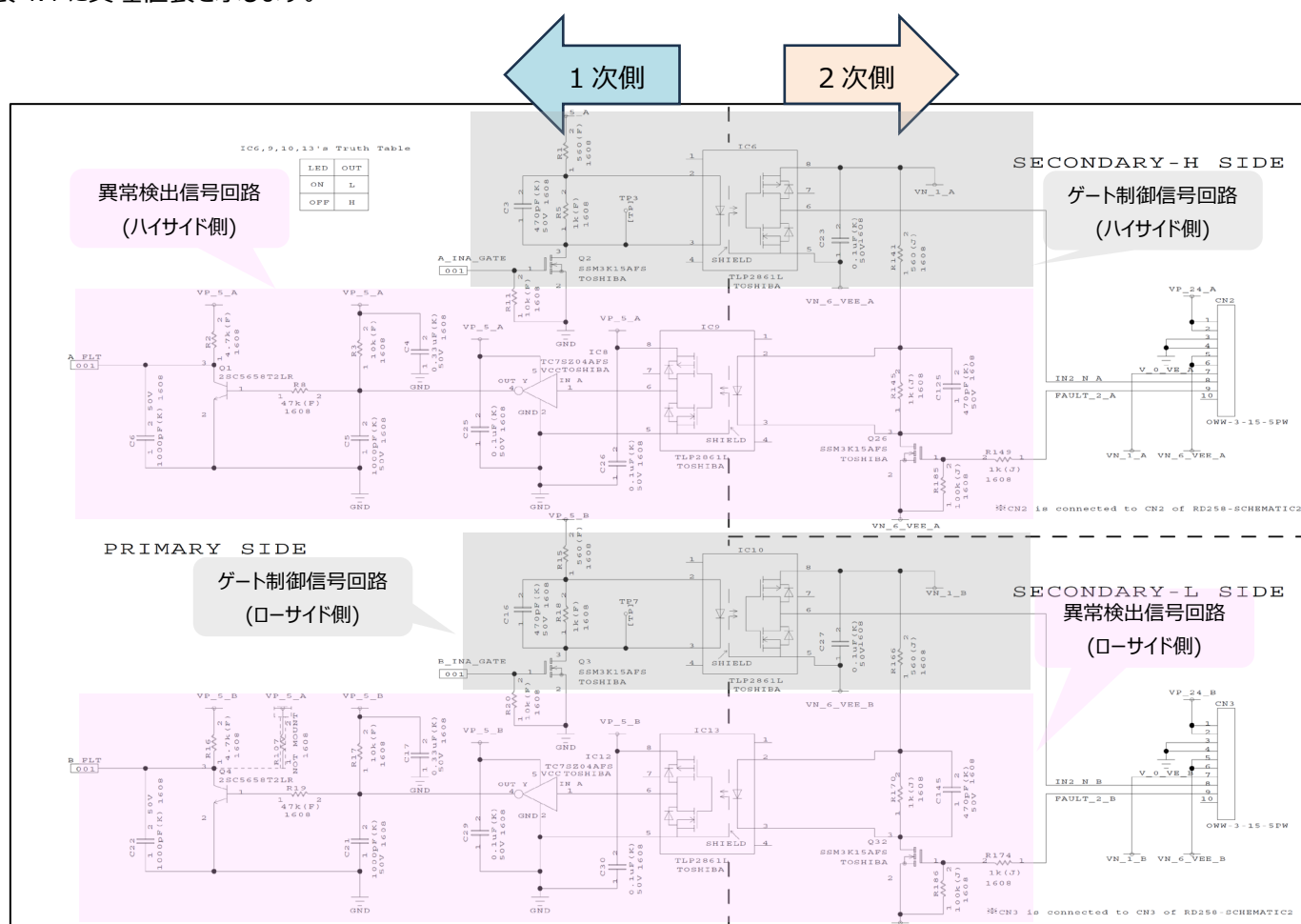


図 4.3 フォトカプラーによる 1 次側 - 2 次側間 絶縁信号回路

異常検出出力回路

図 4.3 にハイサイド、ローサイドの異常検出出力回路を示します。

本デザインでは、SiC MOSFET モジュールのハイサイド異常検出時（低電圧保護および DESAT 動作）に 2 次側からフォトカプラー TLP2861L (IC9) を介して異常信号が 1 次側に伝達されます。

異常検出時、FAULT_A が H レベルとなりトランジスタ Q1 がオンし、A_FLT は L レベルになります。A_FLT および B_FLT は抵抗プルアップコレクター出力 (Q1) となり、ワイヤード OR が可能です。通常動作に復帰すると A_FLT 端子出力は L レベルから H レベルになります。

表 4.2 真理値表

UVLO	DESAT 検出	FLT 出力 (CN1:Pin8, Pin3)
解除	なし	H レベル
動作	なし	L レベル
解除	あり	L レベル
動作	あり	L レベル

ローサイド側の B_FLT についても、ハイサイドと同じ動作をします。表 4.2 に真理値表を示します。

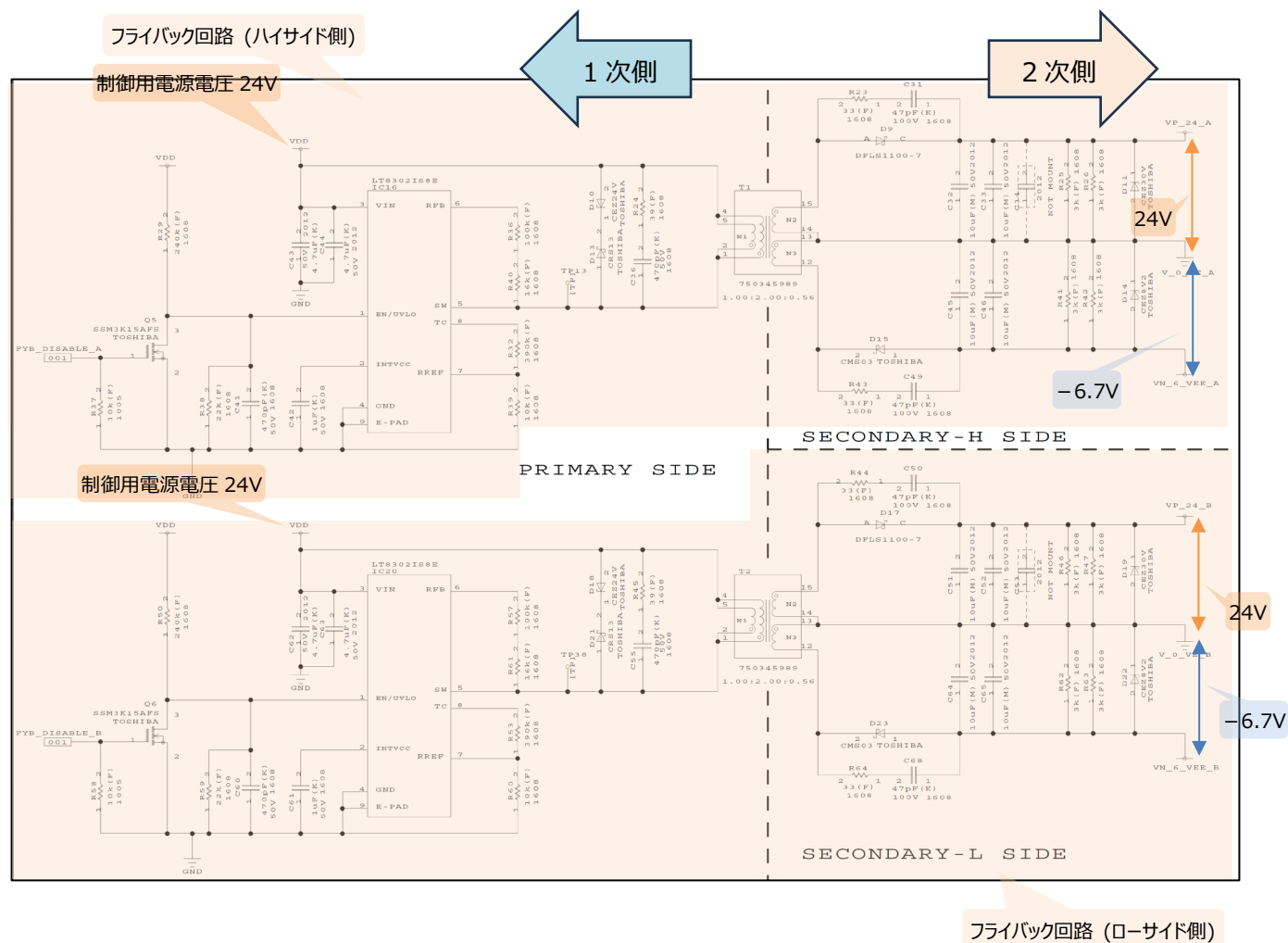


図 4.4 絶縁フライバック DC-DC コンバーター回路

絶縁フライバック DC-DC コンバーター回路

図 4.4 に絶縁フライバック DC-DC コンバーター回路の回路図を示します。制御用電源電圧 V_{DD} を正電圧 24V ($V_{P_24_A} - V_{E_0_VE_A}$) と負電圧 -6.7V ($V_{E_0_VE_A} - V_{N_6_VEE_A}$) に変換します。

これらの出力電圧は、使用する SiC MOSFET モジュールの定格ゲート電圧、ゲートスイッチング特性および低電圧検出 (UVLO) を考慮し設定しています。

ローサイドのゲート駆動用電源回路も同様です。

フライバックコンバーターの制御 IC には LT8302 を使用しています。出力電圧は外付け抵抗 ($R36, R39, R40$) とトランス (T1) 巻き数比 (N_{PS2}, N_{PS3}) により下式で設定することができます。

$$V_{P_24_A} - V_{E_0_VE_A} = V_{REF(LT8302)} \times \left(\frac{R36 + R40}{R39} \right) \times \left(\frac{1}{N_{PS2}} \right) - V_F$$

$$V_{E_0_VE_A} - V_{N_6_VEE_A} = V_{REF(LT8302)} \times \left(\frac{R36 + R40}{R39} \right) \times \left(\frac{1}{N_{PS3}} \right) - V_F$$

$V_{REF(LT8302)} = 1.0V$ (LT8302 内部リファレンス電圧)

本デザインの T1 の巻き数比は表 4.3 のとおりです。

表 4.3 トランス巻き数比

	電圧値	巻き数比
正電圧	24V	$N_{PS2} = 0.5 (N1:N2)$
負電圧	-6.7V	$N_{PS3} = 1.8 (N1:N3)$

4.3. 2 次側制御回路

2 次側電源回路

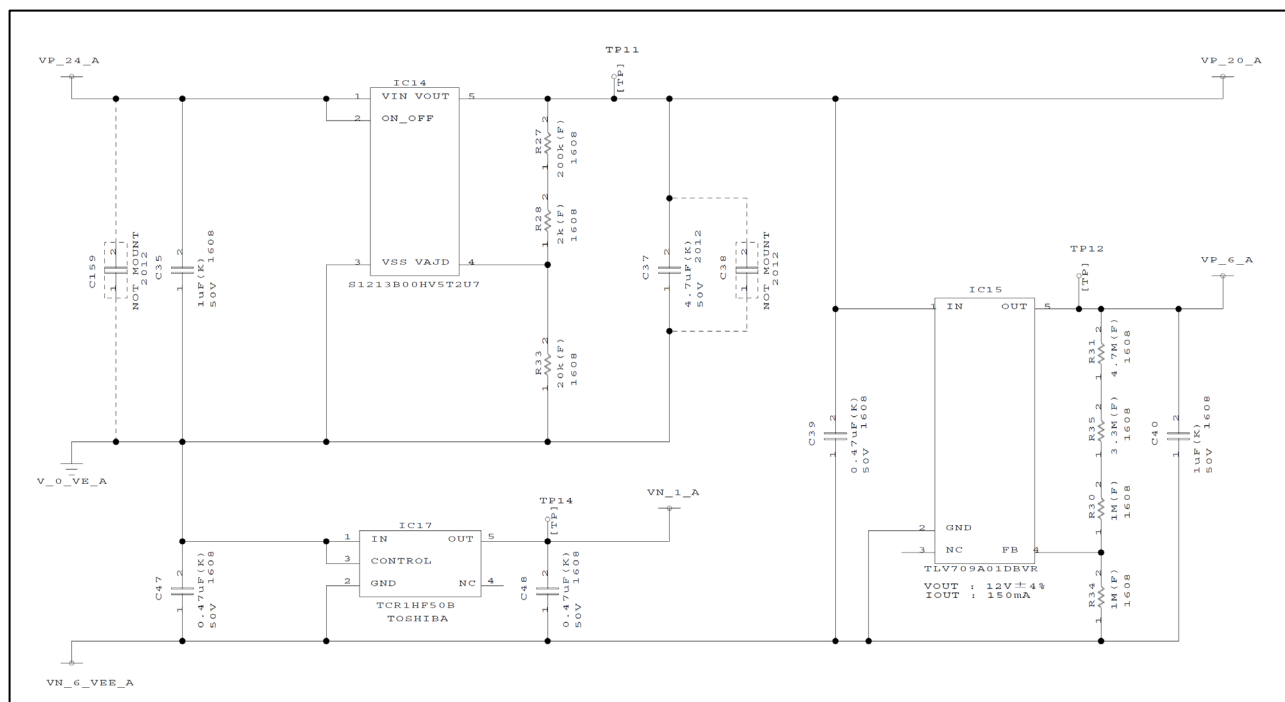


図4.5 2次側電源回路

図 4.5 に 2 次側の電源回路図を示します。2 次側に供給された電圧 $V_{P_24_A}$ (24V)、 $V_{N_6_VEE_A}$ (-6.7V)を用いて、2 次側で使用する電圧を生成します。LDO (IC14) を用いて 20V の定電圧を出力します。LDO (IC17) を用いて、 $V_{N_1_A}$ - $V_{N_6_VEE_A}$ 間が 5V の定電圧を出力します。これは、2 次側の制御系ロジックの主電源になります。LDO (IC15) を用いて $V_{P_6_A}$ を生成します。これは $V_{P_6_A}$ - $V_{N_6_VEE_A}$ 間が 12V の電圧となり、ゲート電圧をオンオフ制御する IC35 の電源電圧を供給します。



ゲート駆動回路

図 4.6 にハイサイドのゲート駆動回路を示します。ローサイドもハイサイドと同様な構成です。

ゲート駆動回路は大電流ゲート駆動用バッファMOSFET (Q15,Q16)、ターンオン・ターンオフ調整用ゲート抵抗、DESAT 検出回路、ソフトターンオフ用 MOSFET と過電流保護用の抵抗で構成されています。

A_INA (CN1 の Pin5)に入力されるゲート制御信号が H レベルになると、ゲートドライバIC (IC35) の HO 端子出力が H レベルになりバッファの N-ch MOSFET Q15 がオンすることで SiC MOSFET モジュールのゲートを充電し SiC MOSFET をオンさせます。

A_INA (CN1 の Pin5)に入力されるゲート制御信号が L レベルになると、ゲートドライバIC (IC35) の LO 端子出力が H レベルになりバッファの N-ch MOSFET Q16をオンすることで SiC MOSFETモジュールのゲートの電荷を引き抜き SiC MOSFET モジュールをオフさせます。

アクティブミラークランプ

デバイスを上下に直列接続するブリッジ構成では、片方のデバイスのターンオン時に発生するドレイン・ソース間の高い dv/dt により、オフ状態のもう片方のドレイン・ゲート間容量に流れる変位電流でゲートが誤動作する不具合モードがあり、これをセルフターンオンと言います。アクティブミラークランプ は、この誤動作を防ぐ機能です。

図 4.7 にミラークランプ回路を示します。

4.4. 保護回路及び付加機能

ハイサイドの保護回路について説明します。ローサイドもハイサイドと同様な構成です。

DESAT (非飽和) 検出回路動作

DESAT 検出機能は DESAT_A 端子でオン状態の SiC MOSFET モジュールのドレイン・ソース間電圧 (V_{DS}) をモニターし、SiC MOSFET モジュールが過大な電流で破壊しないよう保護することを目的としています。

SiC MOSFET モジュールのドレイン電流 (I_D) に異常な大電流が流れた場合、ドレイン電流 (I_D) - ドレイン・ソース間電圧 (V_{DS}) 静特性カーブに従って I_D とともに V_{DS} も上昇します。その V_{DS} を DESAT_A 端子でモニターしてコンパレータ (IC51) の基準電圧である DESAT スレッシュホールド電圧 (以下、 V_{DESAT}) = 11.9V (標準) を超えた場合に、SiC MOSFET モジュールの動作を停止し、CN1 の A_FLT 端子出力が H レベルから L レベルとなります。

DESAT 検出方式はドレイン電流 (I_D) を直接モニターできないため精度は上げられませんが、比較的簡素な構成なので大電流発生時の緊急停止用に使われます。

図 4.8 に DESAT 検出回路を示します。

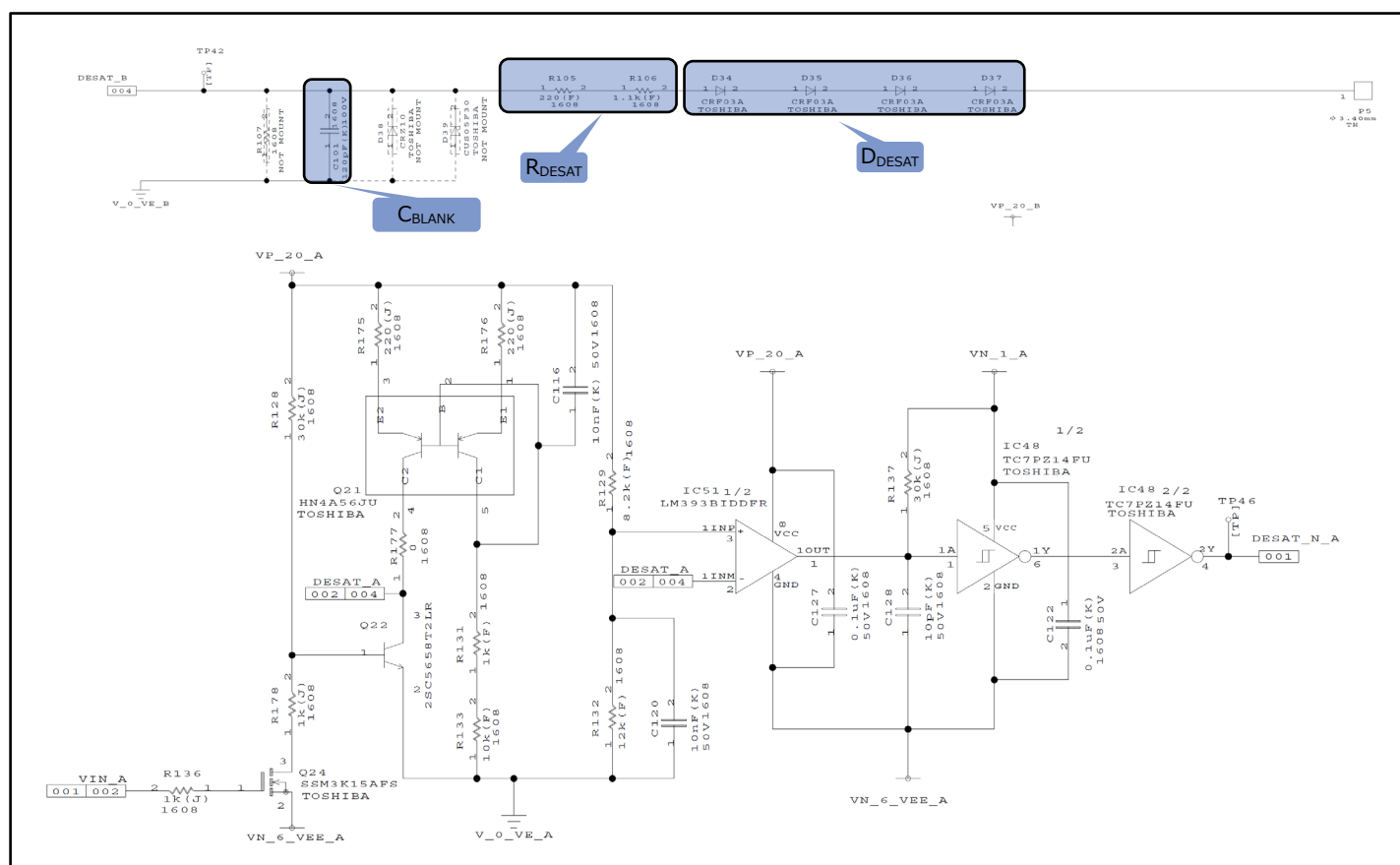


図 4.8 DESAT 検出回路

SiC MOSFET がオンしているとき DESAT_A 端子は定電流源として約 1.8mA のブランキング容量充電電流 I_{CHG} を出力し、DESAT_A 端子と $V_{0_VE_A}$ 端子に接続されたブランキング容量 C_{BLANK} (C89) を充電します。 C_{BLANK} に発生する電圧は I_{CHG} が抵抗 R_{DESAT} (R_{85} , R_{86}) と高耐圧ダイオード D_{DESAT} (D_{26} , D_{27} , D_{28} , D_{29}) を経由して SiC MOSFET モジュールのドレイン・ソース間 V_{DS} に流れたときの電圧降下と等しくなります。その時の電圧 DESAT_A - $V_{0_VE_A}$ 間電圧 ($V_{DESAT_A(ON)}$) は、下式で表されます。

$$V_{DESAT_A(ON)} = V_{DS} + V_F(D_{DESAT}) + I_{CHG} \times R_{DESAT}$$

$$V_{DESAT_A(ON)} = V_{DS} + V_F(D_{26} + D_{27} + D_{28} + D_{29}) + I_{CHG} \times (R_{85} + R_{86})$$

ここで SiC MOSFET モジュールはオン状態なので I_{CHG} はドレイン・ソース間を流れる数 10A 程度のドレイン電流 I_D に重畳されます。このため上式の V_{DS} は SiC MOSFET モジュールの I_D - V_{DS} 静特性カーブに従って発生する電圧となり、微小電流 I_{CHG} の電圧降下は I_D の電圧降下に包含されて見えなくなります。

正常時オン状態の SiC MOSFET モジュールの V_{DS} は I_D に応じた電圧ですが、過電流が発生すると V_{DS} も上昇します。 V_{DS} の上昇により $V_{DESAT_A(ON)}$ が V_{DESAT} を超えると、異常状態と判断してソフトターンオフ用 MOSFET (Q17) がオンします。Q17 のドレインに接続されている抵抗 R_S によりゲート電荷を緩やかに引き抜きます。このためドレイン・ソース間に発生するスパイク電圧を抑制し、SiC MOSFET モジュールを破壊しないようにソフトシャットダウンします。DESAT 検出の条件は、 $V_{DESAT_A(ON)}$ が V_{DESAT} と等しくなるため、下式になります。

$$V_{DESAT} = V_{DESAT_A(ON)} = V_{DS} + V_F(D_{26} + D_{27} + D_{28} + D_{29}) + I_{CHG} \times (R_{85} + R_{86}) \quad (4-1)$$

式 (4-1) を変形し、 R_{85} , R_{86} は式 (4-2) で表すことができます。

$$R_{85} + R_{86} = \frac{(V_{DESAT} - V_F(D_{26} + D_{27} + D_{28} + D_{29}) - V_{DS})}{I_{CHG}} \quad (4-2)$$

DESAT 検出時の V_{DS} は、過電流値を決め、使用する SiC MOSFET モジュールのドレイン・ソース間電圧 (V_{DS}) - ドレイン電流 (I_D) 特性 (図 4.9) より求めます。本デザインでは、DESAT 検出時の過電流 I_{DESAT} を MG800FXF2YMS3 の仕様をもとに $T_{CH} = 25^\circ\text{C}$ の $I_D \leq 1600\text{A}$ に設定します。ここでは、 $I_{DESAT} = 1600\text{A}$ とした場合、MG800FXF2YMS3 の V_{DS} は図 4.9 から 2.7V と読み取ることができます。

本デザインでは以下の条件で、($R_{85} + R_{86}$)を計算します。

DESAT 検出時の過電流 I_{DESAT} : 1600A

MG800FXF2YMS3 のドレイン・ソース間電圧 V_{DS} : 2.7V

DESAT スレッショルド電圧 V_{DESAT} : 11.9V

ブランキング容量充電電流 I_{CHG} : 1.8mA

高耐圧ダイオード D_{DESAT} ($D_{26} \sim D_{29}$) 順方向電圧 V_F : 5.2V

式 (4-2) より R85、R86 は、

$$R85 + R86 = \frac{(11.9V - 5.2V - 2.7V)}{1.8mA} \cong 2222\Omega \quad (4-3)$$

となります。

ここでは R85 を 2k Ω 、R86 を 240 Ω と設定します。実際の仕様に応じて、適正な設計をし、実機上で十分な動作確認をしてください。

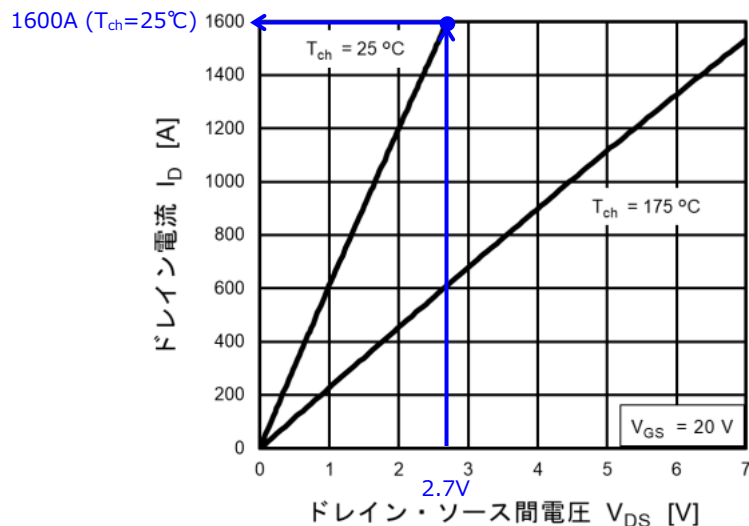


図 4.9 I_D - V_{DS} 特性 (MG800FXF2YMS3)

DESAT_A 端子は高耐圧のダイオード (D_{DESAT}) を通して SiC MOSFET モジュールのドレイン端子に接続されています。SiC MOSFET モジュールが ON している際に外来ノイズによって SiC MOSFET モジュールのドレイン電圧が変動すると、 D_{DESAT} の結合容量を介して DESAT_A 電圧が変動する場合があります。この DESAT_A 電圧変動が V_{DESAT} を超えてしまうと、保護動作を開始し SiC MOSFET モジュールをソフトシャットダウンさせてしまいます。高電圧インバータ回路で発生するノイズは大きいいため、ブランキングコンデンサ C_{BLANK_A} (C89) を追加し、ローパスフィルタを形成します。

この C_{BLANK_A} (C89) の追加によるトレードオフとして、過電流発生時に $V_{DESAT_A(ON)}$ が V_{DESAT} まで達するブランキング時間 t_{BLANK} が発生します。

ブランキング時間 t_{BLANK} は、下式になります。 $t_{r(on)}$ はブランキング容量充電電流 I_{CHG} を生成するカレントミラー回路に使用しているトランジスタ Q21 のオン時間です。

$$t_{BLANK} = (C89 \times V_{DESAT}) / I_{CHG} + t_{r(ON)} \quad (4-4)$$

本デザインでは以下の条件で t_{BLANK} を計算します。

ブランキングコンデンサー C_{BLANK_A} (C89): 120pF

DESAT スレッシュホールド電圧 V_{DESAT} : 11.9V

ブランキング容量充電電流 I_{CHG} : 1.8mA

Q21 のオン時間 $t_{r(on)}$: 240ns

式 4-4 からブランキング時間 t_{BLANK} は約 $1.03\mu s$ となります。ブランキング時間の間は非飽和状態を検出しません。

過電流発生時からゲート電圧オフまでの時間 t_{DESAT_TOTAL} は t_{BLANK} と $t_{DESAT(delay)}$ (DESAT 検出を行っているコンパレータ IC51 の遅延時間、及びロジック IC48, IC49, IC47, IC53 の遅延時間) の合計時間となります。

$$t_{DESAT_TOTAL} = t_{BLANK} + t_{DESAT(delay)} \quad (4-5)$$

本デザインでは以下の条件で、ブランキング時間 t_{DESAT_TOTAL} を式 (4-5) を用いて計算します。

ブランキング容量 C_{BLANK} : 120pF

DESAT スレッシュホールド電圧 V_{DESAT} : 11.9V

ブランキング容量充電電流 I_{CHG} : 1.8mA

DESAT 遅延時間 $t_{DESAT(delay)}$: $0.3\mu s$

t_{DESAT_TOTAL} は、下式のとおり $1.33\mu s$ になります。

$$t_{DESAT_TOTAL} = 1.03\mu s + 0.3\mu s \cong 1.33\mu s$$

C_{BLANK_A} (C89) と並列に保護ダイオードを接続した場合、保護ダイオードの端子間容量が t_{BLANK} に影響しますので注意が必要です。

C_{BLANK_A} (C89) と R_{DESAT_A} (R85+R86) は、DESAT 検出時の SiC MOSFET モジュール V_{DS} や DESAT_A 端子ノイズ耐性 (CR フィルター定数) にも関係するため、注意して調整してください。実際の使用条件により、電気配線の寄生インダクタンス (L_s) が電流遮断時に大きなサージ電圧を発生させ、部品定格電圧を超える場合、破壊に至る可能性があります。 L_s によるサージ電圧を低減するために、SiC MOSFET モジュールの直近にスナバー回路の接続が有効です。実機上で DESAT 検出動作の十分な検証をしてください。

図 4.10 に UVLO 回路を示します。2 次側の正電源 ($V_{P_20_A}-V_{0_VE_A}$) 電圧をモニターし、動作しきい値電圧 UVLO スレッシュホールド (V_{UVLOP_A}) を下回ると動作を停止します。正電源電圧が V_{UVLOP_A} を超えたときに正常動作に復帰します。これは SiC MOSFET モジュールが不十分なゲート電圧でドレイン・ソース間に電流を流すことを防止する機能で、過熱による破壊を防ぐ目的があります。

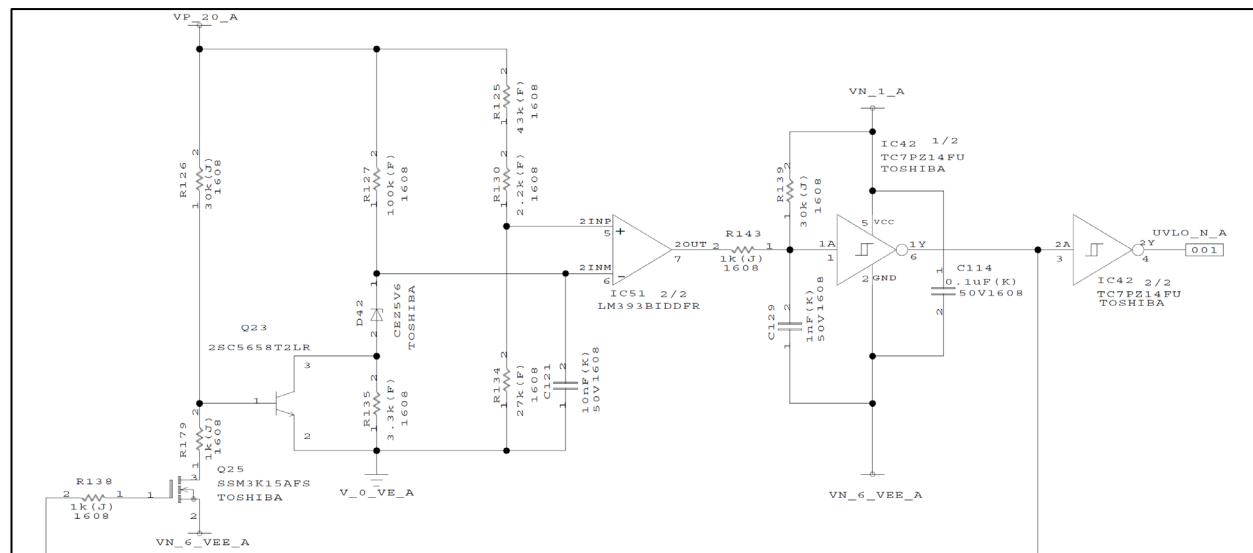


図 4.10 UVLO 検出回路

図 4.11 にパワーオンリセット回路図を示します。DESAT 機能が動作した後、FLT 信号を出力するとともに、ゲートをオンできないようにロックがかかります。これを解除するためには、パワーオンリセット回路を動作、つまり電源を再起動させる必要が有ります。

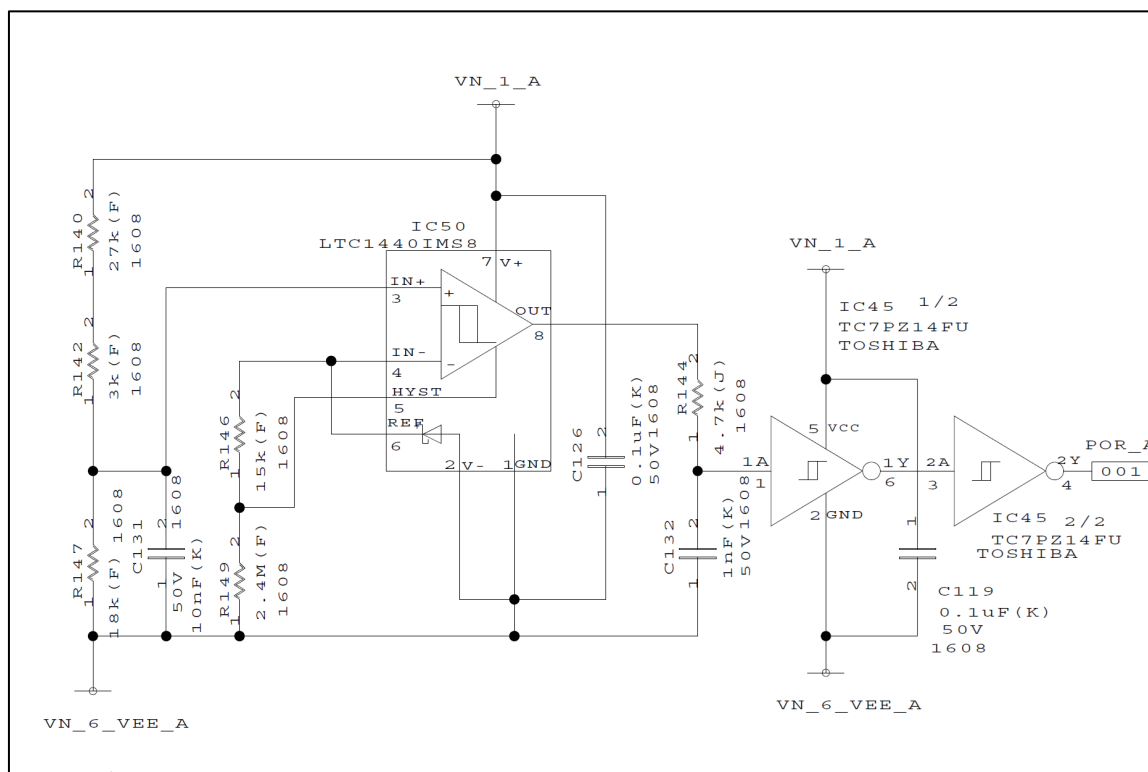


図 4.11 パワーオンリセット回路



また、DESAT 回路が動作した後、IC44 を介してソフトターンオフ信号が Q17 をオンし、SiC MOSFET モジュールをソフトターンオフ動作させています。

ご利用規約

本規約は、お客様と東芝デバイス＆ストレージ株式会社（以下「当社」といいます）との間で、当社半導体製品を搭載した機器を設計する際に参考となるドキュメント及びデータ（以下「本リファレンスデザイン」といいます）の使用に関する条件を定めるものです。お客様は本規約を遵守しなければなりません。

第1条 禁止事項

お客様の禁止事項は、以下の通りです。

1. 本リファレンスデザインは、機器設計の参考データとして使用されることを意図しています。信頼性検証など、それ以外の目的には使用しないでください。
2. 本リファレンスデザインを販売、譲渡、貸与等しないでください。
3. 本リファレンスデザインは、高温・多湿・強電磁界などの対環境評価には使用できません。
4. 本リファレンスデザインを、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用しないでください。

第2条 保証制限等

1. 本リファレンスデザインは、技術の進歩などにより予告なしに変更されることがあります。
2. 本リファレンスデザインは参考用のデータです。当社は、データ及び情報の正確性、完全性に関して一切の保証をいたしません。
3. 半導体素子は誤作動したり故障したりすることがあります。本リファレンスデザインを参考に機器設計を行う場合は、誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。また、使用されている半導体素子に関する最新の情報（半導体信頼性ハンドブック、仕様書、データシート、アプリケーションノートなど）をご確認の上、これに従ってください。
4. 本リファレンスデザインを参考に機器設計を行う場合は、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。当社は、適用可否に対する責任を負いません。
5. 本リファレンスデザインは、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証又は実施権の許諾を行うものではありません。
6. 当社は、本リファレンスデザインに関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をせず、また当社は、本リファレンスデザインに関する一切の損害（間接損害、結果的損害、特別損害、付随的損害、逸失利益、機会損失、休業損害、データ喪失等を含むがこれに限らない。）につき一切の責任を負いません。

第3条 契約期間

本リファレンスデザインをダウンロード又は使用することをもって、お客様は本規約に同意したものとみなされます。本規約は予告なしに変更される場合があります。当社は、理由の如何を問わずいつでも本規約を解除することができます。本規約が解除された場合は、お客様は本リファレンスデザインを破棄しなければなりません。さらに当社が要求した場合には、お客様は破棄したことを証する書面を当社に提出しなければなりません。

第4条 輸出管理

お客様は本リファレンスデザインを、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用してはなりません。また、お客様は「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守しなければなりません。

第5条 準拠法

本規約の準拠法は日本法とします。

第6条 管轄裁判所

本リファレンスデザインに関する全ての紛争については、別段の定めがない限り東京地方裁判所を第一審の専属管轄裁判所とします。