

TOSHIBA

東芝 オリジナル CMOS 32 ビット マイクロコントローラ

TLCS-900/H1 シリーズ

TMP92CA25FG

Not Recommended
for New Design

株式会社 **東芝** セミコンダクター社

はじめに

この度は弊社 32 ビットマイクロコントローラ TLCS-900/H1 シリーズ、TMP92CA25 をご利用いただき、誠にありがとうございます。

本 LSI をご利用になる前に、「使用上の注意、制限事項」の章を参照されることをお願い致します。

Not Recommended
for New Design

低電圧/低消費電力

CMOS 32 ビット マイクロコントローラ TMP92CA25FG/JTMP92CA25

1. 概要と特長

TMP92CA25 は、低電圧/低消費電力動作が可能な高速・高機能 32 ビットマイクロコントローラです。TMP92CA25FG は 144 ピンフラットパッケージ製品です。JTMP92CA25 は 144 パッドチップ製品です。

特長は次のとおりです。

- (1) オリジナル 32 ビット CPU (900/H1_CPU 使用)
 - TLCS-900L1 と命令ニモニックで互換
 - 16 M バイトのリニアアドレス空間
 - 汎用レジスタ&レジスタバンク方式
 - マイクロ DMA: 8 チャンネル (250 ns/4 バイト@f_{sys} = 20 MHz)
- (2) 最小命令実行時間: 50 ns (@f_{sys} = 20 MHz)
- (3) 内蔵 RAM: 10 K バイト (プログラム、データ、表示メモリ用として使用可能)
内蔵 ROM: 0 K バイト
- (4) 外部メモリ拡張
 - 512 M バイト (プログラム、データ) まで拡張可能
 - 外部データバス 8/16/32 ビット幅共存可能
…ダイナミックデータバスサイジング

当社半導体製品取り扱い上のお願ひ

060629TBP

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願ひ」、「半導体信頼性ハンドブック」などをご確認ください。 021023_A
- 本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下“特定用途”という)は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。 021023_B
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。 060106_Q
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。 021023_C
- 本資料に掲載されている製品は、外国為替及び外国貿易法により、輸出または海外への提供が規制されているものです。 021023_E
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。 021023_D
- マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願ひ」の 1.3 項に記載されておりますので必ずお読みください。 030519_S

- (5) メモリコントローラ
 - チップセレクト出力: 4 チャンネル
- (6) 8 ビットタイマ: 4 チャンネル
- (7) 16 ビットタイマ/イベントカウンタ: 1 チャンネル
- (8) 汎用シリアルインタフェース: 1 チャンネル
 - UART/同期両モード対応
 - IrDA ver1.0 (115.2 kbps) 対応モード選択可能
- (9) シリアルバスインタフェース: 1 チャンネル
 - I²C バスモードのみ対応
- (10) I²S (Inter-IC Sound) インタフェース: 1 チャンネル
 - I²S バス SIO モード選択可能(マスタ、送信のみに対応)
 - 32 バイトの FIFO バッファ内蔵
- (11) LCD コントローラ
 - STN モノクロ表示に対応
 - RAM 内蔵型 LCD ドライバ対応
- (12) SPI コントローラ
 - SD カードの SPI モードのみ対応
- (13) SDRAM コントローラ: 1 チャンネル
 - 16 M、64 M、128 M、256 M および 512 M ビットの SDR (Single data rate) SDRAM に対応
 - LCD 表示用 RAM、データ RAM としてだけでなく、SDRAM から直接プログラムの動作が可能
- (14) RTC (リアルタイムクロック)
 - TC8521A を基本とした仕様
- (15) キーオンウェイクアップ (キー入力割込み)
- (16) 10 ビット AD コンバータ (サンプルホールド回路内蔵): 4 チャンネル
- (17) タッチスクリーンインタフェースに対応
 - 外付けトランジスタ削除可能
- (18) ウォッチドッグタイマ
- (19) メロディ/アラームジェネレータ
 - メロディ: 4~5461 Hz のクロックを出力
 - アラーム: 8 種類のアラームパターンを出力
 - 5 種類のインターバル割込みを出力

(20) MMU

- 3 ローカルエリア/8 バンク方式により 512 M バイトまで拡張可能
- 各々のローカルエリアごとにプログラム、リードデータ、ライトデータおよび LCD 表示データのバンク設定が可能

(21) 割り込み機能: 49 本

- CPU 9 本 …… ソフトウェア割り込み命令、未定義命令実行違反
- 内部 33 本 …… 7 レベルの優先順位の設定が可能
- 外部 7 本 …… 7 レベルの優先順位の設定が可能
(6 本はエッジの極性選択可能)

(22) 入出力ポート: 84 端子(データバス 16 ビット、アドレスバス 24 ビット、 \overline{RD} 端子を除く)

(23) NAND フラッシュメモリのインタフェース: 2 チャンネル

- NAND フラッシュメモリへの接続が容易
- ECC (エラー検出) 計算に対応 (SLC タイプ用)

(24) スタンバイ機能

- 3 種類の HALT モード … IDLE2 (プログラマブル)、IDLE1、STOP
- スタンバイモード時における各端子の状態をビット単位にて設定可能

(25) トリプルクロック制御機能

- クロック逡倍回路 (PLL) を内蔵し、外付け 10 MHz の発振子から CPU へのクロック 40 MHz の供給が可能
- クロックギア機能: 高周波クロック $f_c \sim f_c/16$ まで切り替え可能
- 時計用クロック ($f_s = 32.768 \text{ kHz}$)

(26) 動作電圧

- $V_{CC} = 3.0 \sim 3.6 \text{ V}$ ($f_c \text{ max} = 40 \text{ MHz}$)
- $V_{CC} = 2.7 \sim 3.6 \text{ V}$ ($f_c \text{ max} = 27 \text{ MHz}$)

(27) パッケージ

- 144 ピン QFP: P-LQFP144-1616-0.40C
- 144 パッドチップ型製品の供給も可能です。詳細は当社営業窓口までお問い合わせください。

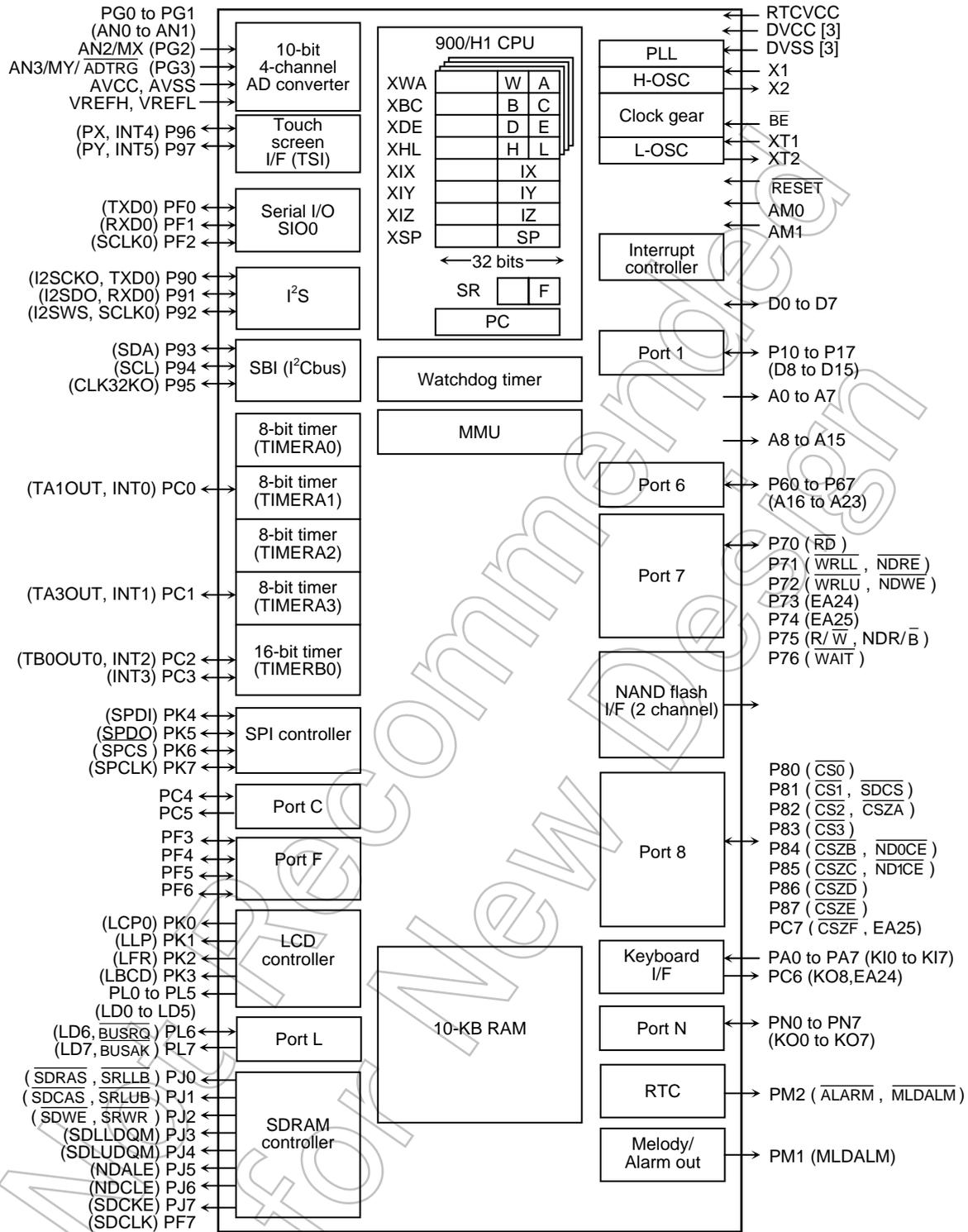


図 1.1 TMP92CA25 ブロック図

2. ピン配置とピン機能

TMP92CA25FG のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピン配置図

TMP92CA25FGピン配置図は、図 2.1.1のとおりです。

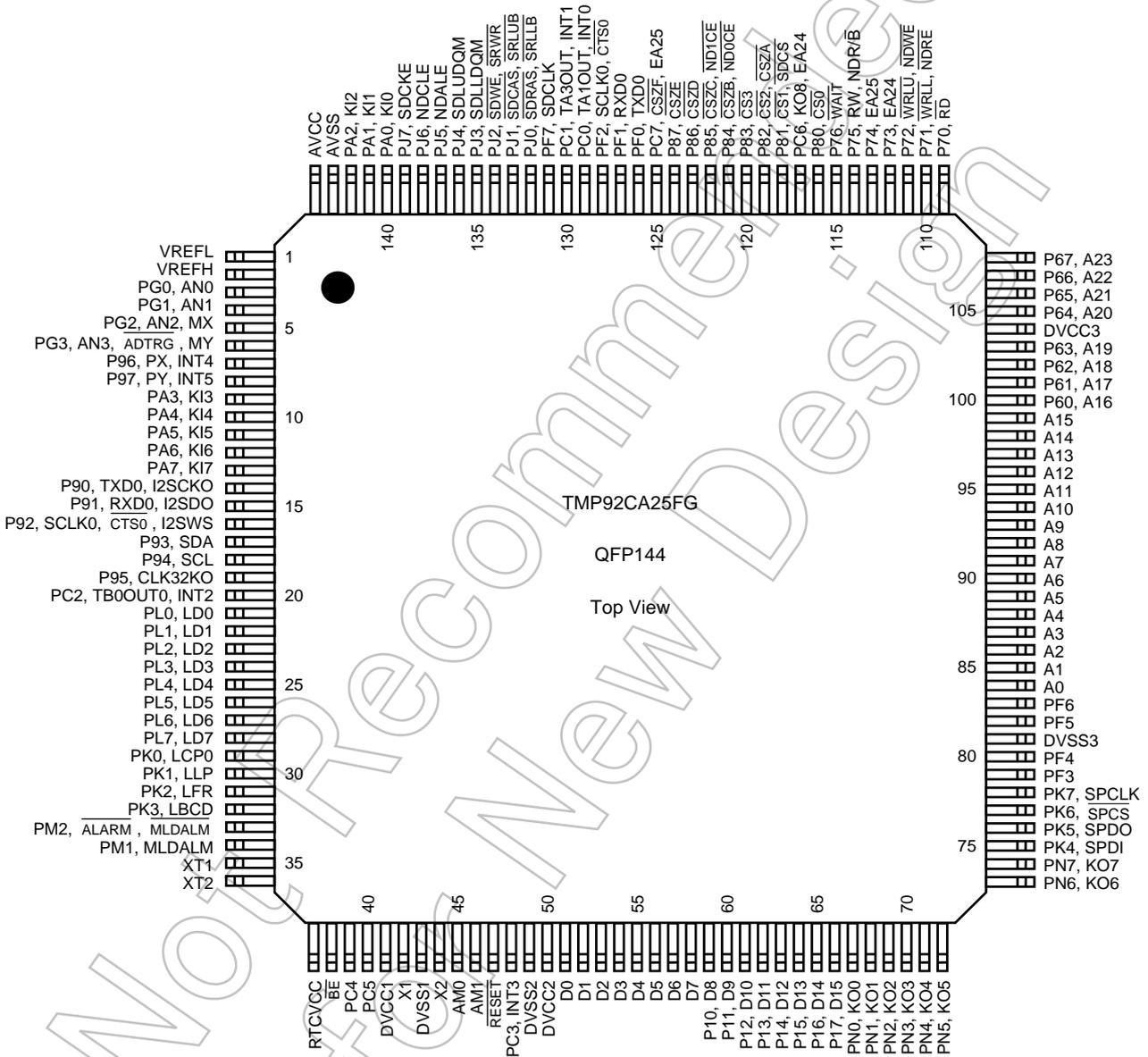


図 2.1.1 ピン配置図 (144 ピン QFP)

2.2 PAD 座標値

(チップサイズ 4.98 mm × 5.61 mm)

単位: μm

表 2.2.1 ピン配置図 (144 ピンチップ)

ピン No.	名称	X 座標	Y 座標	ピン No.	名称	X 座標	Y 座標	ピン No.	名称	X 座標	Y 座標
1	VREFL	-2363	2309	49	DVSS2	-447	-2678	97	A13	2359	822
2	VREFH	-2363	2189	50	DVCC2	-297	-2678	98	A14	2359	939
3	PG0	-2363	1934	51	D0	-172	-2678	99	A15	2359	1055
4	PG1	-2363	1593	52	D1	-72	-2678	100	P60	2359	1171
5	PG2	-2363	1493	53	D2	28	-2678	101	P61	2359	1288
6	PG3	-2363	1393	54	D3	128	-2678	102	P62	2359	1400
7	P96	-2363	1293	55	D4	228	-2678	103	P63	2359	1514
8	P97	-2363	1192	56	D5	328	-2678	104	DVCC3	2359	1643
9	PA3	-2363	1088	57	D6	429	-2678	105	P64	2359	1779
10	PA4	-2363	988	58	D7	529	-2678	106	P65	2359	1902
11	PA5	-2363	888	59	P10	629	-2678	107	P66	2359	2027
12	PA6	-2363	788	60	P11	729	-2678	108	P67	2359	2309
13	PA7	-2363	688	61	P12	829	-2678	109	P70	1994	2675
14	P90	-2363	587	62	P13	929	-2678	110	P71	1874	2675
15	P91	-2363	487	63	P14	1029	-2678	111	P72	1753	2675
16	P92	-2363	387	64	P15	1129	-2678	112	P73	1633	2675
17	P93	-2363	287	65	P16	1229	-2678	113	P74	1527	2675
18	P94	-2363	187	66	P17	1329	-2678	114	P75	1420	2675
19	P95	-2363	87	67	PN0	1429	-2678	115	P76	1316	2675
20	PC2	-2363	-13	68	PN1	1529	-2678	116	P80	1211	2675
21	PL0	-2363	-113	69	PN2	1630	-2678	117	PC6	1104	2675
22	PL1	-2363	-213	70	PN3	1753	-2678	118	P81	999	2675
23	PL2	-2363	-313	71	PN4	1873	-2678	119	P82	893	2675
24	PL3	-2363	-413	72	PN5	1994	-2678	120	P83	787	2675
25	PL4	-2363	-514	73	PN6	2359	-2313	121	P84	682	2675
26	PL5	-2363	-614	74	PN7	2359	-2049	122	P85	574	2675
27	PL6	-2363	-714	75	PK4	2359	-1708	123	P86	468	2675
28	PL7	-2363	-814	76	PK5	2359	-1587	124	P87	363	2675
29	PK0	-2363	-914	77	PK6	2359	-1472	125	PC7	259	2675
30	PK1	-2363	-1014	78	PK7	2359	-1359	126	PF0	154	2675
31	PK2	-2363	-1114	79	PF3	2359	-1243	127	PF1	50	2675
32	PK3	-2363	-1215	80	PF4	2359	-1131	128	PF2	-55	2675
33	PM2	-2363	-1473	81	DVSS3	2359	-1012	129	PC0	-158	2675
34	PM1	-2363	-1594	82	PF5	2359	-885	130	PC1	-261	2675
35	XT1	-2363	-1935	83	PF6	2359	-749	131	PF7	-364	2675
36	XT2	-2363	-2313	84	A0	2359	-639	132	PJ0	-467	2675
37	RTCVCC	-1986	-2678	85	A1	2359	-530	133	PJ1	-568	2675
38	BE	-1853	-2678	86	A2	2359	-420	134	PJ2	-669	2675
39	PC4	-1732	-2678	87	A3	2359	-311	135	PJ3	-771	2675
40	PC5	-1612	-2678	88	A4	2359	-199	136	PJ4	-872	2675
41	DVCC1	-1499	-2678	89	A5	2359	-88	137	PJ5	-972	2675
42	X1	-1386	-2678	90	A6	2359	23	138	PJ6	-1074	2675
43	DVSS1	-1261	-2678	91	A7	2359	134	139	PJ7	-1175	2675
44	X2	-972	-2678	92	A8	2359	245	140	PA0	-1278	2675
45	AM0	-872	-2678	93	A9	2359	356	141	PA1	-1379	2675
46	AM1	-772	-2678	94	A10	2359	473	142	PA2	-1499	2675
47	RESET	-672	-2678	95	A11	2359	589	143	AVSS	-1860	2675
48	PC3	-572	-2678	96	A12	2359	705	144	AVCC	-1985	2675

2.3 ピン名称と機能

入出力ピンの名称と機能は表 2.3.1~表 2.3.4のとおりです。

表 2.3.1 ピン名称と機能 (1/4)

ピン名称	ピン数	入出力	機能
D0~D7	8	入出力	データ: データバス D0~D7
P10~P17 D8~D15	8	入出力 入出力	ポート 1: ビット単位で入出力の設定可能な入出力ポート データ: データバス D8~D15
A0~A7	8	出力	アドレス: アドレスバス A0~A7
A8~A15	8	出力	アドレス: アドレスバス A8~A15
P60~P67 A16~A23	8	入出力 出力	ポート 6: ビット単位で入出力の設定可能な入出力ポート アドレス: アドレスバス A16~A23
P70 \overline{RD}	1	出力 出力	ポート 70: 出力ポート リード: 外部メモリをリードするためのストロープ信号
P71 \overline{WRLL} \overline{NDRE}	1	入出力 出力 出力	ポート 71: 入出力ポート ライト: D0~D7 端子のデータをライトするためのストロープ信号 NAND フラッシュ用リードイネーブル: 外部 NAND フラッシュをリードするためのストロープ信号
P72 \overline{WRLU} \overline{NDWE}	1	入出力 出力 出力	ポート 72: 入出力ポート 上位ライト: D8~D15 端子のデータをライトするためのストロープ信号 NAND フラッシュ用ライトイネーブル: 外部 NAND フラッシュをライトするためのストロープ信号
P73 EA24	1	入出力 出力	ポート 73: 入出力ポート 拡張用アドレス EA24
P74 EA25	1	入出力 出力	ポート 74: 入出力ポート 拡張用アドレス EA25
P75 R/ \overline{W} NDR/ \overline{B}	1	入出力 出力 入力	ポート 75: 入出力ポート リード/ライト: 1 はリード、ダミーサイクルを、0 はライトサイクルを表す NAND フラッシュ Ready (1)/Busy (0) 入力
P76 \overline{WAIT}	1	入出力 入力	ポート 76: 入出力ポート ウェイト: バスウェイトの要求入力
P80 $\overline{CS0}$	1	出力 出力	ポート 80: 出力ポート チップセレクト 0: アドレスが指定したアドレス領域内なら "Low" を出力
P81 $\overline{CS1}$ SDCS	1	出力 出力 出力	ポート 81: 出力ポート チップセレクト 1: アドレスが指定したアドレス領域内なら "Low" を出力 SDRAM チップセレクト: アドレスが SDRAM アドレス領域内なら "0" を出力
P82 $\overline{CS2}$ \overline{CSZA}	1	出力 出力 出力	ポート 82: 出力ポート チップセレクト 2: アドレスが指定したアドレス領域内なら "Low" を出力 拡張チップセレクト ZA: アドレスが特定のアドレス領域内なら "0" を出力
P83 $\overline{CS3}$	1	出力 出力	ポート 83: 出力ポート チップセレクト 3: アドレスが指定したアドレス領域内なら "Low" を出力
P84 \overline{CSZB} ND0CE	1	出力 出力 出力	ポート 84: 出力ポート 拡張チップセレクト ZB: アドレスが特定のアドレス領域内なら "0" を出力 NAND フラッシュ 0 チップセレクト: NAND フラッシュ 0 が許可されるとき "0" を出力
P85 \overline{CSZC} ND1CE	1	出力 出力 出力	ポート 85: 出力ポート 拡張チップセレクト ZC: アドレスが特定のアドレス領域内なら "0" を出力 NAND フラッシュ 1 チップセレクト: NAND フラッシュ 1 が許可されるとき "0" を出力
P86 \overline{CSZD}	1	出力 出力	ポート 86: 出力ポート 拡張チップセレクト ZD: アドレスが特定のアドレス領域内なら "0" を出力
P87 \overline{CSZE}	1	出力 出力	ポート 87: 出力ポート 拡張チップセレクト ZE: アドレスが特定のアドレス領域内なら "0" を出力

表 2.3.2 ピン名称と機能 (2/4)

ピン名称	ピン数	入出力	機能
P90 TXD0 I2SCKO	1	入出力 出力 出力	ポート 90: 入出力ポート シリアル 0 送信 データ: オープンドレイン出力プログラマブル I2S クロック 出力
P91 RXD0 I2SDO	1	入出力 入力 出力	ポート 91: 入出力ポート (シュミット入力) シリアル 0 受信 データ I2S データ 出力
P92 SCLK0 $\overline{\text{CTS0}}$ I2SWS	1	入出力 入出力 入力 出力	ポート 92: 入出力ポート (シュミット入力) シリアル 0 クロック入出力 シリアル 0 データ送信可能 (送信クリア) I2S ワードセレクト出力
P93 SDA	1	入出力 入出力	ポート 93: 入出力ポート I ² C データ入出力
P94 SCL	1	入出力 入出力	ポート 94: 入出力ポート I ² C クロック入出力
P95 CLK32KO	1	出力 出力	ポート 95: 出力ポート 32.768 KHz クロック出力
P96 INT4 PX	1	入力 入力 出力	ポート 96: 入力ポート (シュミット入力) 割り込み要求端子 4: 立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子 X-プラス: タッチスクリーンパネル用 X+ 接続端子
P97 INT5 PY	1	入力 入力 出力	ポート 97: 入力ポート (シュミット入力) 割り込み要求端子 5: 立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子 Y-プラス: タッチスクリーンパネル用 Y+ 接続端子
PA0-PA7 KI0-KI7	8	入力 入力	ポート A0-A7 ポート: 入力ポート専用端子 キー入力 0-7: キーオンウェイクアップ 0-7 用端子 (シュミット入力、ブルアップ抵抗付き)
PC0 INT0 TA1OUT	1	入出力 入力 出力	ポート C0: 入出力ポート (シュミット入力) 割り込み要求端子 0: レベル/立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子 8 ビットタイマ 1 出力: タイマ 1 出力
PC1 INT1 TA3OUT	1	入出力 入力 出力	ポート C1: 入出力ポート (シュミット入力) 割り込み要求端子 1: 立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子 8 ビットタイマ 3 出力: タイマ 3 出力
PC2 INT2 TB0OUT0	1	入出力 入力 出力	ポート C2: 入出力ポート (シュミット入力) 割り込み要求端子 2: 立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子 タイマ B0 出力
PC3 INT3	1	入出力 入力	ポート C3: 入出力ポート (シュミット入力) 割り込み要求端子 3: 立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子
PC4-PC5	2	入出力	ポート C4 ~C5: 入出力ポート
PC6 KO8 EA24	1	入出力 出力 出力	ポート C6: 入出力ポート キー出力 8: キースキャンストロブ専用端子 (オープンドレイン出力プログラム可能) 拡張用アドレス EA24
PC7 $\overline{\text{CSZF}}$ EA25	1	入出力 出力 出力	ポート C7: 入出力ポート 拡張チップセレクト ZF: アドレスが特定のアドレス領域内なら "0" を出力 拡張用アドレス EA25

表 2.3.3 ピン名称と機能 (3/4)

ピン名称	ピン数	入出力	機能
PF0 TXD0	1	入出力 出力	ポート F0: 入出力ポート (シュミット入力) シリアル 0 送信データ: オープンドレイン出力プログラム可能
PF1 RXD0	1	入出力 入力	ポート F1: 入出力ポート (シュミット入力) シリアル 0 受信データ
PF2 SCLK0 $\overline{\text{CTS0}}$	1	入出力 入出力 入力	ポート F2: 入出力ポート (シュミット入力) シリアル 0 クロック入出力 シリアル 0 データ送信可能 (送信クリア)
PF7 SDCLK	1	出力 出力	ポート F7: 出力ポート SDRAM 用クロック
PG0~PG1 AN0~AN1	2	入力 入力	ポート G0~G1: 入力ポート専用端子 アナログ入力 0~1: AD コンバータ入力端子
PG2 AN2 MX	1	入力 入力 出力	ポート G2: 入力ポート専用端子 アナログ入力 2: AD コンバータ入力端子 X-マイナス: タッチパネル用 X-接続端子
PG3 AN3 MY $\overline{\text{ADTRG}}$	1	入力 入力 出力 入力	ポート G3: 入力ポート専用端子 アナログ入力 3: AD コンバータ入力端子 Y-マイナス: タッチパネル用 Y-接続端子 AD トリガ: AD 起動リクエスト信号
PJ0 $\overline{\text{SDRAS}}$ $\overline{\text{SRLLB}}$	1	出力 出力 出力	ポート J0: 出力ポート SDRAM 用 Row アドレスストローブ D0~D7 端子の SRAM 用データイネーブル
PJ1 $\overline{\text{SDCAS}}$ $\overline{\text{SRLUB}}$	1	出力 出力 出力	ポート J1: 出力ポート SDRAM 用 Column アドレスストローブ D8~D15 端子の SRAM 用データイネーブル
PJ2 $\overline{\text{SDWE}}$ $\overline{\text{SRWR}}$	1	出力 出力 出力	ポート J2: 出力ポート SDRAM 用ライトイネーブル SRAM 用ライトイネーブル: 書き込みデータ用ストローブ信号
PJ3 SDLLDQM	1	出力 出力	ポート J3: 出力ポート D0~D7 端子の SDRAM 用データイネーブル
PJ4 SDLUDQM	1	出力 出力	ポート J4: 出力ポート D8~D15 端子の SDRAM 用データイネーブル
PJ5 NDALE	1	入出力 出力	ポート J5: 入出力ポート NAND フラッシュ用アドレスラッチイネーブル
PJ6 NDCLE	1	入出力 出力	ポート J6: 入出力ポート NAND フラッシュ用コマンドラッチイネーブル
PJ7 SDCKE	1	出力 出力	ポート J7: 出力ポート SDRAM 用クロックイネーブル

表 2.3.4 ピン名称と機能 (4/4)

ピン名称	ピン数	入出力	機能
PK0 LCP0	1	出力 出力	ポート K0: 出力ポート LCD ドライバ出力端子
PK1 LLP	1	出力 出力	ポート K1: 出力ポート LCD ドライバ出力端子
PK2 LFR	1	出力 出力	ポート K2: 出力ポート LCD ドライバ出力端子
PK3 LB CD	1	出力 出力	ポート K3: 出力ポート LCD ドライバ出力端子
PK4 SPDI	1	入出力 入力	ポート K4: 入出力ポート SD カード用データ入力端子
PK5 SPDO	1	入出力 出力	ポート K5: 入出力ポート SD カード用データ出力端子
PK6 SPCS	1	入出力 出力	ポート K6: 入出力ポート SD カード用チップセレクト出力端子
PK7 SPCLK	1	入出力 出力	ポート K7: 入出力ポート SD カード用クロック出力端子
PL0~PL3 LD0~LD3	4	出力 出力	ポート L0~L3: 出力ポート LCD ドライバ用データバス
PL4~PL5 LD4~LD5	2	入出力 出力	ポート L4~L5: 入出力ポート LCD ドライバ用データバス
PL6 LD6 BUSRQ	1	入出力 出力 入力	ポート L6: 入出力ポート LCD ドライバ用データバス バスリクエスト: 外部メモリバスをハイインピーダンスにすることを要求する端子 (外付け DMAC 用)
PL7 LD7 BUSAK	1	入出力 出力 出力	ポート L7: 入出力ポート LCD ドライバ用データバス バスアクノリッジ: BUSRQ を受けて外部メモリバス端子がハイインピーダンスになったことを示す端子(外付け DMAC 用)
PM1 MLDALM	1	出力 出力	ポート M1: 出力ポート メロディ/アラーム出力端子
PM2 ALARM MLDALM	1	出力 出力 出力	ポート M2: 出力ポート RTC アラーム出力端子 メロディ/アラーム出力端子 (反転)
PN0~PN7 KO0~KO7	8	入出力 出力	ポート N: 入出力ポート キアアウト端子(オープンドレイン設定)
AM0, AM1	2	入力	動作入出力モード: AM1 = "0"、AM0 = "1" 固定 外部 16 ビットバススタート AM1 = "1"、AM0 = "0" 固定 外部 8 ビットバススタート AM1 = "1"、AM0 = "1" 固定 設定禁止 AM1 = "0"、AM0 = "0" 固定 設定禁止
X1/X2	2	入出力	高周波発振器接続入出力端子
XT1/XT2	2	入出力	低周波発振器接続入出力端子
RESET	1	入力	リセット: TMP92CA25 が初期化されます (プルアップ抵抗付き、シュミット入力)。
VREFH	1	入力	AD コンバータ用基準電源入力端子 (H)
VREFL	1	入力	AD コンバータ用基準電源入力端子 (L)
RTC VCC	1	-	RTC 専用電源端子
BE	1	入力	バックアップイネーブル端子: RTC を動作させたまま、DVCC、AVCC 電源を切る場合に、あらかじめ "L" レベルに設定します。通常は "H" レベルで使用します。 (シュミット入力)
AVCC	1	-	AD コンバータ用電源端子
AVSS	1	-	AD コンバータ用 GND 端子 (0 V)
DVCC	3	-	電源端子 (全 DVCC 端子を電源端子に接続してください。)
DVSS	3	-	GND 端子 (0 V) (全 DVSS 端子を GND(0 V) に接続してください。)

3. 動作説明

ここでは、TMP92CA25 の機能、および基本動作についてブロックごとに説明します。

3.1 CPU

TMP92CA25 は高性能な高速 32 ビットの CPU (900/H1 CPU) が内蔵されています。

3.1.1 CPU の概要

「TLCS-900/H1 CPU」は「TLCS-900/L1 CPU」をベースに、より高速処理を可能にするために、内部のデータバス幅を 32 ビットに拡張した高性能な高速 CPU です。概要を、表 3.1.1 に示します。

表 3.1.1 TMP92CA25 の概要

項目	TMP92CA25	
CPU アドレスバス幅	24 ビット	
CPU データバス幅	32 ビット	
内部動作周波数	最大 20 MHz	
最小バスサイクル	1 クロックアクセス (50 ns@ f _{SYS} = 20 MHz)	
内蔵 RAM	32 ビット 1 クロックアクセス	
内蔵 I/O	8 ビット 2 クロック アクセス	INTC, SDRAMC, MEMC, NDFC, TSI, PORT
	16 ビット 2 クロック アクセス	I2S, SPIC, LCDC
	8/16 ビット 5~6 クロック アクセス	TMRA, TMRB, SIO, RTC, MLD/ALM, SBI CGEAR, ADC
外部メモリ (SRAM、マスク ROM など)	8/16 ビット 2 クロックアクセス (ウェイト挿入可能)	
外部メモリ (SDRAM)	16 ビット 1 クロックアクセス	
外部メモリ (NAND フラッシュ)	8 ビット 4 クロックアクセス (ウェイト挿入可能)	
最小命令実行サイクル	1 クロック (50 ns@ f _{SYS} = 20 MHz)	
条件付分岐命令	2 クロック (100 ns@ f _{SYS} = 20 MHz)	
命令キューバッファ	12 バイト	
命令セット	TLCS-900/L1 命令コード 互換 (ただし、LDX 命令なし)	
CPU モード	マキシマムモードのみ	
マイクロ DMA	8 チャンネル	

3.1.2 リセット動作

TMP92CA25 にリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部発振器の発振が安定した状態で、少なくとも 20 システムクロック (16 μ s @ $f_c = 40$ MHz)、**RESET** 入力端子を“L”レベルにしてください。

リセットで PLL は停止し、PLL 出力は非選択となり、クロックギアは 1/16 にセットされます。

よって、システムクロックは 1.25 MHz ($f_c = 40$ MHz) で動作します。

リセットが受け付けられると、CPU は下記の動作を行います。

- プログラムカウンタ“PC”を、メモリ FFFF00H 番地~FFFF02H 番地に格納されているリセットベクタに従い以下に示すようにセットします。

PC<7:0> ← FFFF00H 番地のデータ

PC<15:8> ← FFFF01H 番地のデータ

PC<23:16> ← FFFF02H 番地のデータ

- スタックポインタ XSP を 00000000H にセット
- ステータスレジスタ SR のビット<IFF2:0>を“111”にセット (割り込みレベルのマスク・レジスタをレベル 7 にセット)
- ステータスレジスタ SR のビット<RFP1:0>を“00”にクリア (レジスタバンク 0 にセット)

リセットが解除されると、セットされたプログラムカウンタ“PC”に従い、命令のフェッチと実行を開始します。なお、上記以外の CPU 内部のレジスタは変化しません。

またリセットが受け付けられると、内蔵 I/O および入出力ポートおよびその他の端子は、下記に示すように初期化されます。

- 内蔵 I/O のレジスタを初期化 (初期値は、第 5 章「特殊レジスタ一覧表」を参照してください。)
- 入出力ポートを汎用入力ポートあるいは出力ポートにセット

RESET 入力端子が“H”になり、リセット解除されると、直ちに内部のリセットが解除されます。

パワーオンリセットを採用する場合、電源供給が安定するまでは、メモリコントローラ制御信号が不安定であるため、接続されている外部メモリのバックアップデータが書き替えられる可能性があります。

図 3.1.1 に TMP92CA25 のリセットタイミング動作例を示します。

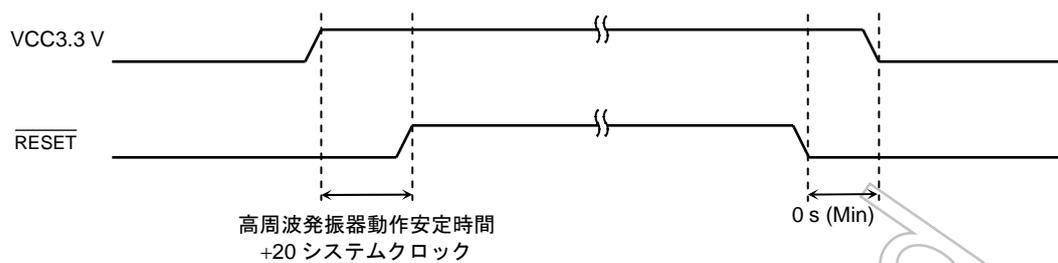


図 3.1.1 リセットタイミング動作例

3.1.3 AM0 および AM1 の設定

AM1 および AM0 端子の設定は表 3.1.2 のようになります。

表 3.1.2 動作モード セットアップ

動作モード	モード設定入力端子		
	RESET	AM1	AM0
16 ビット外部バススタート (マルチ 16 モード)		0	1
8 ビット外部バススタート (マルチ 8 モード)		1	0
設定禁止		1	1
テストモード(設定禁止)		0	0

3.2 メモリマップ

図 3.2.1はTMP92CA25 のメモリマップ図です。

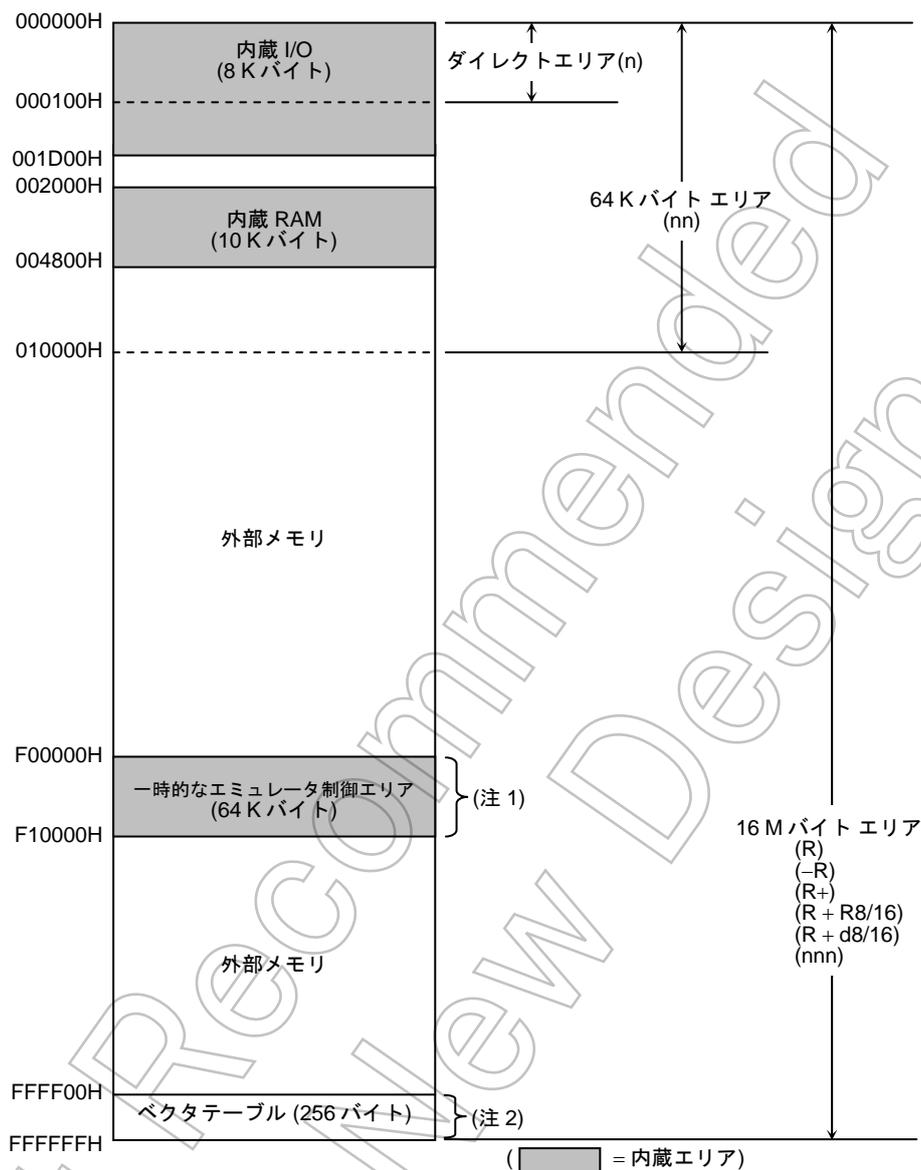


図 3.2.1 メモリマップ

注 1) エミュレータを使用する場合、16 Mバイト空間の任意の 64 Kバイトは、エミュレータ制御のために使用されるため、その空間を使用することができません。また、この空間にアクセスすると、 \overline{WR} 信号と \overline{RD} 信号が動作します。外部メモリ使用の際は注意してください。

注 2) 最後の 16 バイトの空間 (FFFFFF0H~FFFFFFFH 番地) は、内部エリア空間として予約されているので、使用することができません。

3.3 クロック機能およびスタンバイ機能

TMP92CA25 は (1) クロックギア、(2) クロック逡倍回路 (PLL)、(3) スタンバイ制御、(4) ノイズ低減回路などの機能を内蔵しています。これらの機能は低電力かつ低ノイズのシステムになっています。

この章は下記に示すような構成になっています。

3.3.1 クロック系統ブロック図

3.3.2 SFR説明

3.3.3 システムクロック制御

3.3.4 クロック逡倍回路 (PLL)

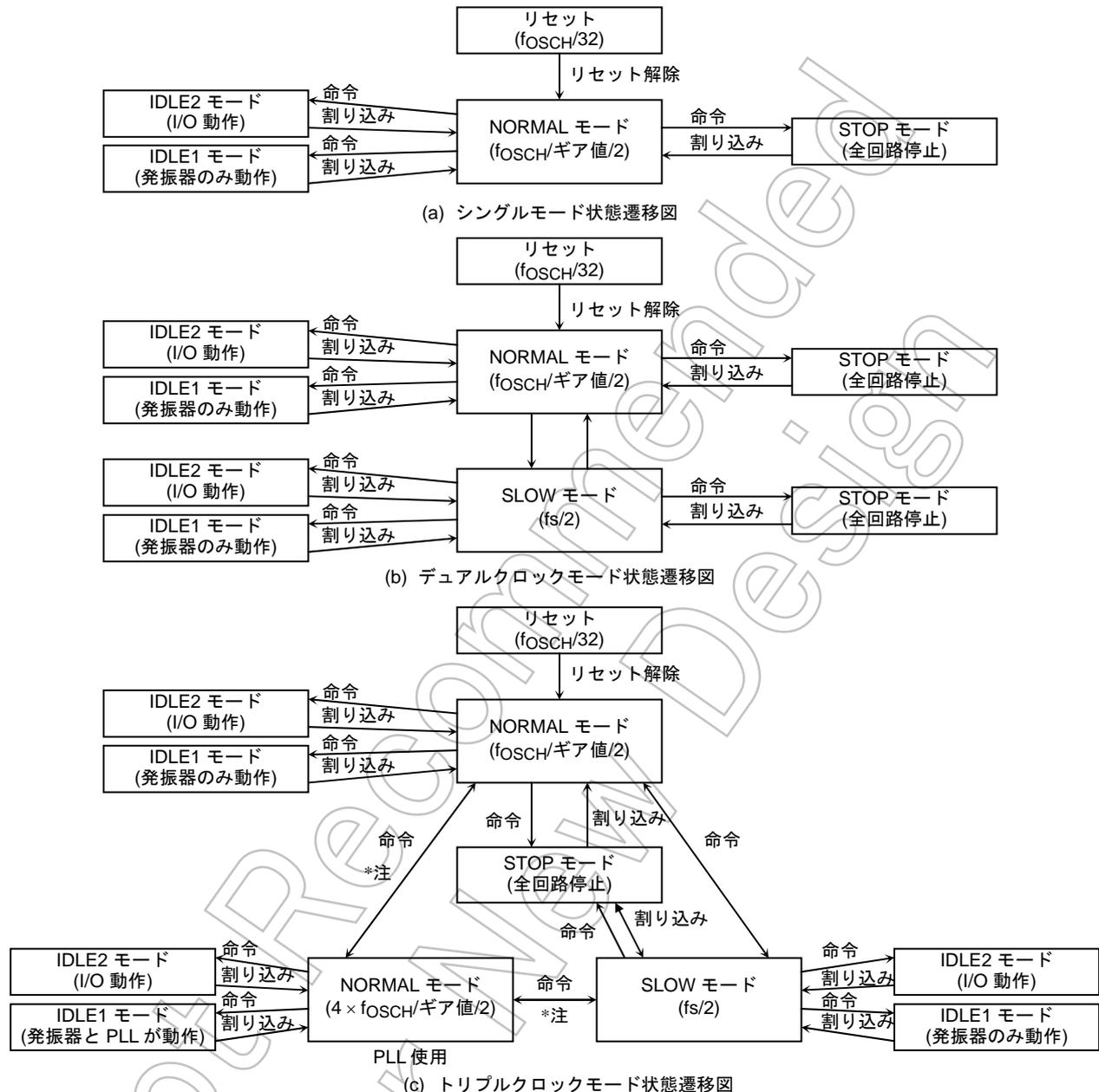
3.3.5 ノイズ低減回路

3.3.6 スタンバイ制御

Not Recommended
for New Design

クロックの動作モードとしては、シングルクロックモード (X1、X2 端子のみ) とデュアルクロックモード (X1、X2 と XT1、XT2 端子)、(c) トリプルクロックモード (X1、X2、XT1 と XT2 端子と PLL) の 3 モードがあります。

図 3.3.1 に動作モード別状態遷移図を示します。



*注)

1. SLOW モードから PLL 使用 NORMAL モードに切り替える場合、SLOW モードからの PLL の制御はできません。(PLL 起動/停止/内部クロック切り替え、PLL_{CR0}<PLLON>、PLL_{CR1}<FCSEL>レジスタへの書き込み)
2. PLL 使用の NORMAL モードから NORMAL モードに切り替える場合、次の設定に従ってください。
 - 1) CPU クロックの切り替え (PLL_{CR0}<FCSEL> ← "0")
 - 2) PLL 回路を停止 (PLL_{CR1}<PLLON> ← "0")
3. PLL 使用の NORMAL モードから STOP モードへの直接切り替えはできません。必ず、一度 NORMAL モードに設定してから STOP モードに切り替えてください。また、高周波発振の停止時は PLL を停止させたあとに高速発振器を停止させてください。

図 3.3.1 動作モード別状態遷移図

X1、X2 端子より入力されるクロック周波数を fosCH、XT1、XT2 端子より入力されるクロック周波数を fs、SYSCR1<SYSCK>で選択されたクロックを f_{PPH}、f_{PPH} を 2 分周したクロック周波数をシステムクロック f_{SYS} と定義します。また、この f_{SYS} の 1 周期を 1 ステートと定義します。

3.3.1 システムクロック系統ブロック図

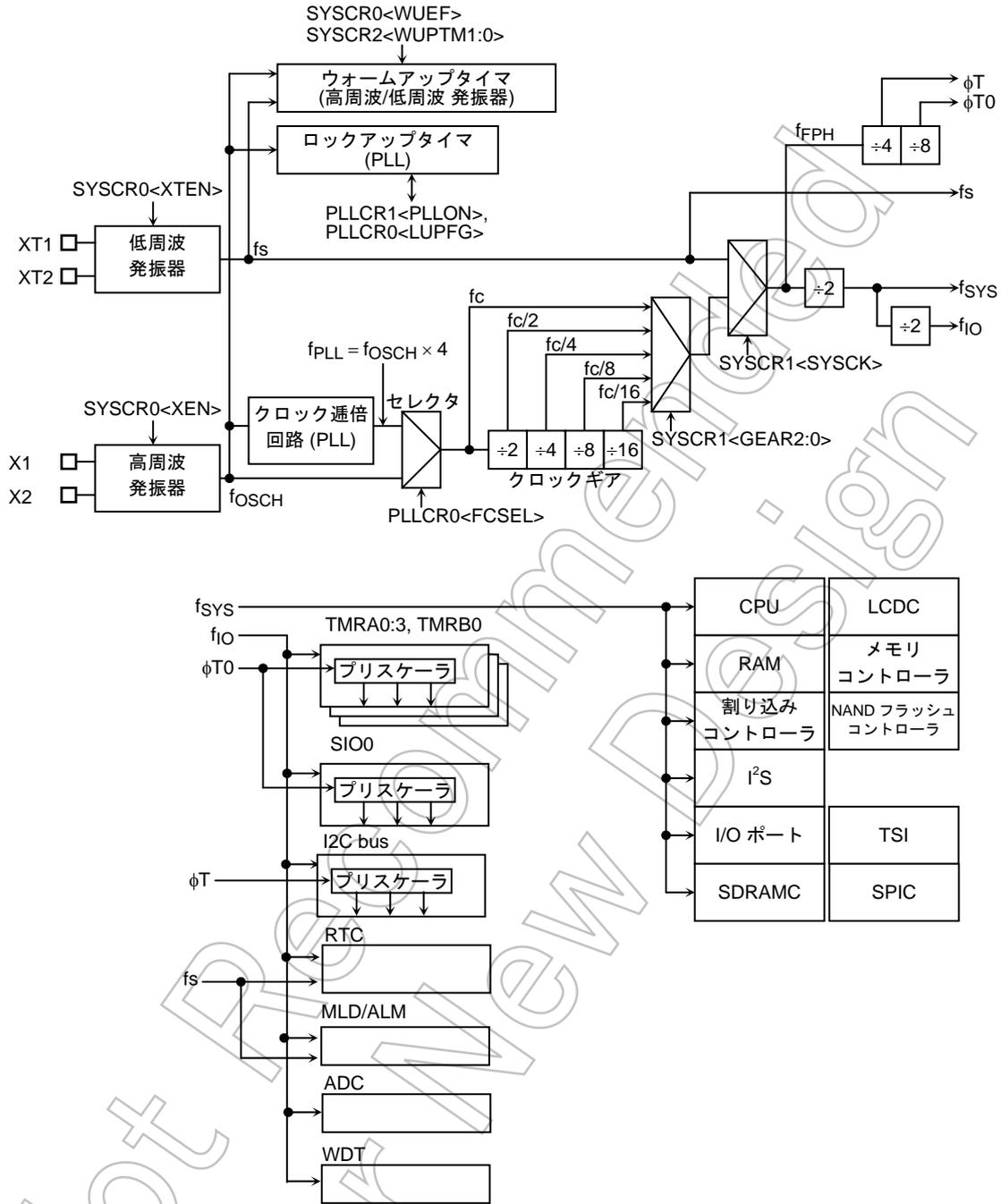


図 3.3.2 システムクロック系統ブロック図

3.3.2 SFR 説明

SYSCR0 (10E0H)	Bit symbol	7	6	5	4	3	2	1	0
	Read/Write	XEN	XTEN				WUEF		
	リセット後	1	1				0		
	機能	高速発振器 (fc) 0: 停止 1: 動作	低速発振器 (fs) 0: 停止 1: 動作				ウォームアップタイム 0 ライト: don't care 1 ライト: スタートタイム 0 リード: ウォームアップ終了 1 リード: ウォームアップ中		
SYSCR1 (10E1H)	Bit symbol	7	6	5	4	3	2	1	0
	Read/Write					SYSCK	GEAR2	GEAR1	GEAR0
	リセット後					0	1	0	0
	機能					システムクロック選択 0: fc 1: fs	高周波のギア値選択 (fc) 000: fc 001: fc/2 010: fc/4 011: fc/8 100: fc/16 101: (Reserved) 110: (Reserved) 111: (Reserved)		
SYSCR2 (10E2H)	Bit symbol	7	6	5	4	3	2	1	0
	Read/Write	-		WUPTM1	WUPTM0	HALTM1	HALTM0		
	リセット後	0		1	0	1	1		
	機能	"0" をライトしてください。		ウォームアップタイム 00: Reserved 01: 2^9 /入力周波数 10: 2^{14} /入力周波数 11: 2^{16} /入力周波数		HALT モード 00: Reserved 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード			

注 1) SYSCR0<bit5:3><bit1:0>、SYSCR1<bit7:4>、SYSCR2<bit6><bit1:0>は不定値がリードされます。

注 2) 低速発振器はリセットにより発振許可となります。

図 3.3.3 システムクロック関係 SFR

		7	6	5	4	3	2	1	0
EMCCR0 (10E3H)	Bit symbol	PROTECT					EXTIN	DRVOSCH	DRVOSCL
	Read/Write	R					R/W		
	リセット後	0					0	1	1
	機能	プロテクト フラグ 0: OFF 1: ON					1: fc 外部 クロック	fc 発振器 ドライブ能力 1: Normal 0: Weak	fs 発振器 ドライブ能力 1: Normal 0: Weak
EMCCR1 (10E4H)	Bit symbol	下記 1st -KEY, 2nd-KEY の書き込みによりプロテクト ON/OFF 切り替え 1st-KEY: EMCCR1 = 5AH, EMCCR2 = A5H を連続ライト 2nd-KEY: EMCCR1 = A5H, EMCCR2 = 5AH を連続ライト							
	Read/Write								
	リセット後								
	機能								
EMCCR2 (10E5H)	Bit symbol								
	Read/Write								
	リセット後								
	機能								

注) STOP モードから、発振を開始する時など、発振停止から発振を再起動する場合は、EMCCR0<DRVOSCH>,<DRVOSCL>を"1"に設定してください。

図 3.3.4 システムクロック関係 SFR

	7	6	5	4	3	2	1	0
PLLCCR0 (10E8H)	Bit symbol	FCSEL	LUPFG					
	Read/Write	R/W	R					
	リセット後	0	0					
	機能	fcクロック選 択 0: fOSCH 1: fPLL	ロックアップ タイマ 状態フラグ 0: Not end 1: End					

注) PLLCCR0<LUPFG>の論理は 900/L1 の DFM と異なるので注意してください。

	7	6	5	4	3	2	1	0
PLLCCR1 (10E9H)	Bit symbol	PLLON						
	Read/Write	R/W						
	リセット後	0						
	機能	制御 On/Off 0: Off 1: On						

図 3.3.5 PLL 関係 SFR

	7	6	5	4	3	2	1	0	
PxDR (xxxxH)	Bit symbol	Px7D	Px6D	Px5D	Px4D	Px3D	Px2D	Px1D	Px0D
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモードの入出力バッファドライブレジスタ							

(使用目的と使用方法)

- このレジスタはスタンバイモード時に、各々のピンの状態を設定します。
- すべてのポートはそれぞれ、上記フォーマットと同等のレジスタを持っています。
(“x” はポート名を意味します。)
- 各レジスタの詳細については 3.5 章の「ポート機能」を参照してください。
- “HALT” 命令前に期待するピンの状態を各レジスタに設定してください。CPU が “HALT” 命令を実行後にイネーブルとなります。
- 3種類あるスタンバイモードの全てで有効になります。(IDLE2、IDLE1 または STOP モード)
- 入出力の状態を以下の表に示します。

OE	PxnD	出力バッファ	入力バッファ
0	0	OFF	OFF
0	1	OFF	ON
1	0	OFF	OFF
1	1	ON	OFF

注 1) OE はスタンバイモード前の出力イネーブル信号を意味しています。基本的に PxCR は OE として使用されます。

注 2) PxnD の “n” は PORTX のビット番号を意味しています。

図 3.3.6 ドライブレジスタ関係 SFR

3.3.3 システムクロック制御部

システムクロック制御部は、CPU コアおよび内蔵 I/O へ供給されるシステムクロック (fsys) を生成する回路です。高速/低速の 2 つの発振回路から出力される fc、fs クロックを入力として、SYSCR1<SYSCK>レジスタにて高速/低速の切り替え、SYSCR0<XEN>、<XTEN>でそれぞれ高速、低速発振器の発振制御、さらに SYSCR1<GEAR2:0>で高速クロックのギアを 1、2、4、8、16 段 (fc、fc/2、fc/4、fc/8、fc/16) に切り替え、消費電力の低減を図ることができます。

リセットにより、デュアルクロックモードになり <XEN> = “1”、<XTEN> = “1”、<SYSCK> = “0”、<GEAR2:0> = “100” に初期化されますのでシステムクロック fsys は $fc/32 (= fc/16 \times 1/2)$ となります。例えば、X1、X2 端子に 40 MHz の発振子を接続していると、リセットにより fsys は 1.25 MHz となります。

(1) NORMAL ↔ SLOW モードの切り替え

発振子接続端子に発振子を接続している場合、発振子の発振安定を確認してから切り替えるためにウォームアップタイムがあります。ウォームアップ時間は発振子の特性に合わせて SYSCR2<WUPTM1:0>により選択できます。このスタート、終了確認は SYSCR0<WUEF>を使用しソフト (命令) により下記設定例 1、2 のように行ってください。

表 3.3.1 に切り替え時のウォームアップ時間を示します。

注 1) 切り替えようとするクロックが発振器などを使用しており、発振安定している場合はウォームアップさせる必要はありません。

注 2) ウォームアップタイムは、発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って、概略時間としてとらえる必要があります。

表 3.3.1 ウォームアップ時間

ウォームアップ タイム選択 SYSCR2<WUPTM1:0>	NORMAL へ切り替え時 (fc)	SLOW へ切り替え時 (fs)
01 (2^8 /発振周波数)	6.4 [μ s]	7.8 [ms]
10 (2^{14} /発振周波数)	409.6 [μ s]	500 [ms]
11 (2^{16} /発振周波数)	1.638 [ms]	2000 [ms]

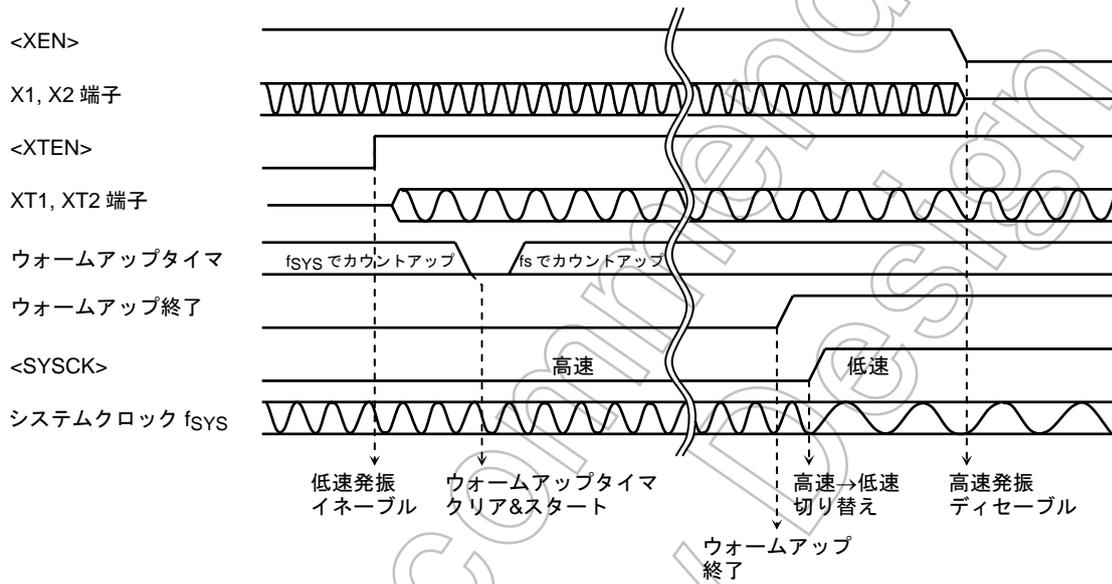
計算値は
f_{OC SH} = 40 MHz、
fs = 32.768 kHz
の場合です。

(設定例 1)

高速クロック (fc) から低速クロック (fs) へ切り替える場合

SYSCR0	EQU	10E0H	
SYSCR1	EQU	10E1H	
SYSCR2	EQU	10E2H	
LD	(SYSCR2), 0X11--XXB		: ウォームアップ時間を $2^{16}/f_s$ に設定
SET	6, (SYSCR0)		: 低速発振イネーブル
SET	2, (SYSCR0)		: ウォームアップタイムクリア&スタート
WUP:	BIT	2, (SYSCR0)	: } ウォームアップ終了検出
	JR	NZ, WUP	
	SET	3, (SYSCR1)	: 高速 → 低速へ切り替え
	RES	7, (SYSCR0)	: 高速発振ディセーブル

X: Don't care, -: No change

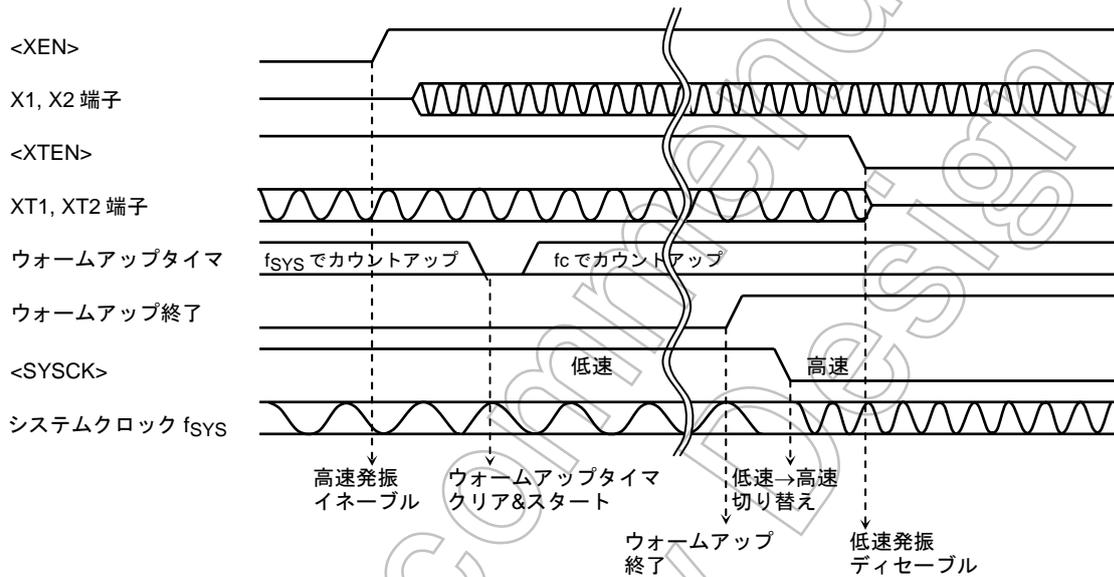


(設定例 2)

低速クロック (fs) から高速クロック (fc) へ切り替える場合

SYSCR0	EQU	10E0H	
SYSCR1	EQU	10E1H	
SYSCR2	EQU	10E2H	
LD	(SYSCR2), 0X10--XXB		: ウォームアップ時間を $2^{14}/fc$ に設定
SET	7, (SYSCR0)		: 高速発振イネーブル
SET	2, (SYSCR0)		: ウォームアップタイムクリア&スタート
WUP:	BIT	2, (SYSCR0)	: } ウォームアップ終了検出
	JR	NZ, WUP	
	RES	3, (SYSCR1)	: 低速 → 高速へ切り替え
	RES	6, (SYSCR0)	: 低速発振ディセーブル

X: Don't care, -: No change



Not Recommended for New

(2) クロックギアコントローラ

SYSCR1<SYSCK>="0"にて高速クロック f_c を選択した場合、クロックギア選択レジスタ SYSCR1<GEAR2:0>により f_{FPH} を f_c 、 $f_c/2$ 、 $f_c/4$ 、 $f_c/8$ 、 $f_c/16$ のいずれかに設定できます。クロックギアを使用して f_{FPH} を切り替えることにより、消費電力の低減が図れます。

下記に、クロックギアの切り替え例を示します。

(設定例)

高速クロックのギア切り替え

SYSCR1 EQU 10E1H

LD (SYSCR1), XXXX0000B ; システムクロック f_{sys} を $f_c/2$ へ切り替え

LD (DUMMY), 00H ; ダミー命令

X: Don't care

(高速クロックギア切り替え時の注意点)

クロックギアの切り替えは、設定例のように SYSCR1<GEAR2:0>レジスタへ値を書き込むことにより実行されますが、書き込んだ後、すぐには切り替らず数クロックの実行時間が必要となります。よって、クロックギア切り替え命令の次の命令は、切り替え前のクロックギアで実行する場合があります。クロックギア切り替え命令の次の命令から切り替え後のクロックで実行すべき場合は、下記例のようなダミーの命令（ライトサイクルが実行される命令）を挿入してください。

(例)

SYSCR1 EQU 10E1H

LD (SYSCR1), XXXX0001B ; f_{sys} を $f_c/4$ へ切り替え

LD (DUMMY), 00H ; ダミー命令

切り替え後のクロックギアで実行すべき命令

3.3.4 クロック通倍回路 (PLL)

PLLは f_{OSCH} の4倍となる、 f_{PLL} クロック信号を出力します。

これにより、低速な発振周波数で内部クロックを高速にできます。

リセットによりPLLは停止状態に初期化され、 PLL_{CR0} 、 PLL_{CR1} レジスタの設定により使用できます。

この回路は発振器のように動作許可後に安定させる時間を必要とし、それをロックアップタイムといいます。この時間を確認するために16段のバイナリカウンタがあります。ロックアップタイムは $f_{OSCH} = 10\text{ MHz}$ の場合で約1.6 msです。

注 1) PLL 用入力周波数の制限

PLL用の入力周波数(高速発振器)は次のとおりです。

$$f_{OSCH} = 6\sim 10\text{ MHz} (V_{CC} = 3.0\sim 3.6\text{ V})$$

注 2) $PLL_{CR0}\langle LUPFG \rangle$

$PLL_{CR0}\langle LUPFG \rangle$ の論理は $900/L1$ のDFMとは異なります。

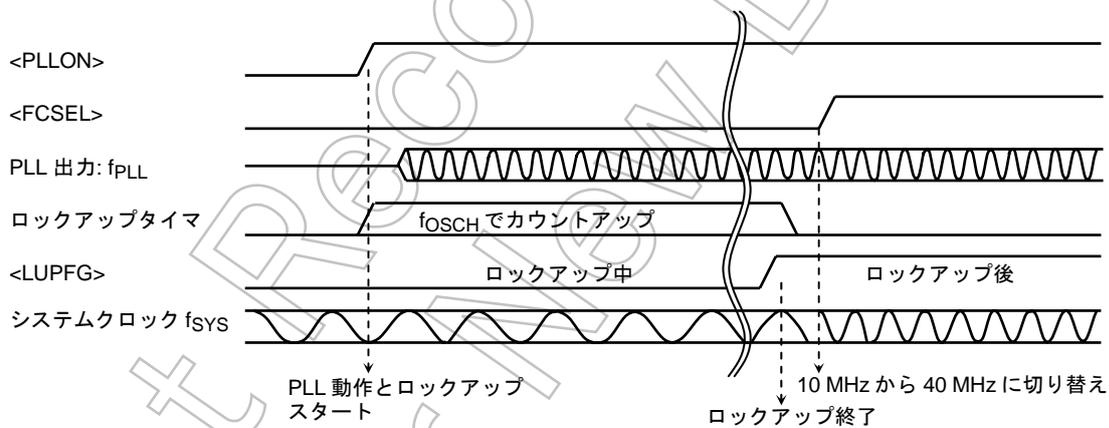
ロックアップ終了の判断は注意してください。

以下はPLLスタートとPLLストップの設定例です。

(設定例-1) PLL スタート

PLL_{CR0}	EQU	10E8H	
PLL_{CR1}	EQU	10E9H	
	LD	(PLL_{CR1}), 1XXXXXXB	PLL動作とロックアップスタートをイネーブル
LUP:	BIT	5, (PLL_{CR0})	ロックアップの終了を検出
	JR	Z, LUP	
	LD	(PLL_{CR0}), X1XXXXXXB	10 MHz から 40 MHz に切り替え

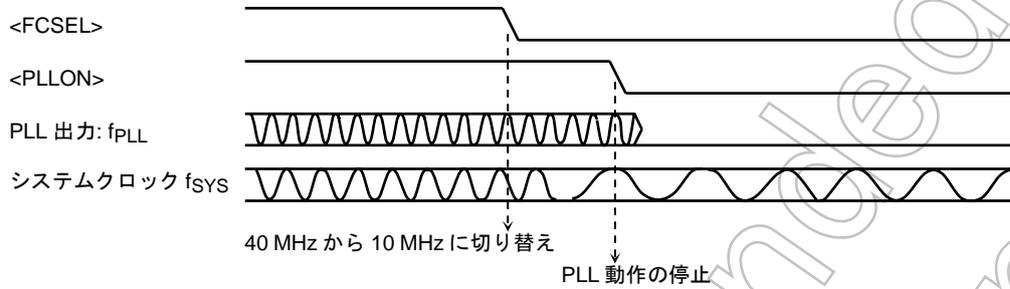
X: Don't care



(設定例-2) PLL ストップ

PLLCR0	EQU	10E8H	
PLLCR1	EQU	10E9H	
LD	(PLLCR0),	X0XXXXXXB	; 40 MHz から 10 MHz に切り替え
LD	(PLLCR1),	0XXXXXXB	; PLL 停止

X: Don't care



Not Recommended for New Design

PLLの使用制限

- SLOW モード (fs) での PLL のイネーブル/ディセーブルの制御の実行を禁止します。
(PLLCR0 と PLLCR1 の書き込み)
NORMAL モードで PLL を制御してください。
- PLL 使用中に PLL の動作を停止する場合、次の設定順に従ってください。
LD (PLLCR0), 00H ; クロック f_{PLL} を f_{OSCH} に切り替えてください。
LD (PLLCR1), 00H ; PLL を停止させてください。
- PLL 使用中に高速発振器を停止する場合、高速発振器を停止する前に PLL を停止させてください。

設定例は以下のとおりです。

(1) スタートアップ/切り替えのコントロール

(OK) 低速発振器動作モード (fs) (高速発振器停止状態)

→ 高速発振器スタートアップ → 高速発振器動作モード (f_{OSCH})

→ PLL スタートアップ → PLL 使用モード (f_{PLL})

LD	(SYSCR0),	1 1 - - - 1 - - B ;	高速発振器スタート/ウォームアップスタート
WUP:	BIT	2, (SYSCR0)	} ウォームアップ終了のフラグをチェック
JR	NZ, WUP		
LD	(SYSCR1),	- - - 0 - - - B ;	システムクロック fs を f _{OSCH} に切り替え
LD	(PLLCR1),	1 - - - - - - B ;	PLL スタートアップ/ロックアップ、スタート
LUP:	BIT	5, (PLLCR0)	} ロックアップの終了のフラグをチェック
JR	Z, LUP		
LD	(PLLCR0),	- 1 - - - - - B ;	システムクロック f _{OSCH} を f _{PLL} に切り替え

(OK) 低速発振器動作モード (fs) (高速発振器動作状態)

→ 高速発振器動作モード (f_{OSCH}) → PLL スタートアップ

→ PLL 使用モード (f_{PLL})

LD	(SYSCR1),	- - - 0 - - - B ;	システムクロック fs を f _{OSCH} に切り替え
LD	(PLLCR1),	1 - - - - - - B ;	PLL スタートアップ/ロックアップ、スタート
LUP:	BIT	5, (PLLCR0)	} ロックアップフラグの終了のフラグをチェック
JR	Z, LUP		
LD	(PLLCR0),	- 1 - - - - - B ;	システムクロック f _{OSCH} を f _{PLL} に切り替え

(NG) 低速発振器動作モード (fs) (高速発振器停止状態)

→ 高速発振器スタートアップ → PLL スタートアップ → PLL 使用モード (f_{PLL})

LD	(SYSCR0),	1 1 - - - 1 - - B ;	高速発振器スタート/ウォームアップスタート
WUP:	BIT	2, (SYSCR0)	} ウォームアップ終了のフラグをチェック
JR	NZ, WUP		
LD	(PLLCR1),	1 - - - - - - B ;	PLL スタートアップ/ロックアップ、スタート
LUP:	BIT	5, (PLLCR0)	} ロックアップ終了のフラグをチェック
JR	Z, LUP		
LD	(PLLCR0),	- 1 - - - - - B ;	内部クロック f _{OSCH} を f _{PLL} に切り替え
LD	(SYSCR1),	- - - 0 - - - B ;	システムクロック fs を f _{PLL} に切り替え

(2) 切り替え/停止のコントロール

(OK) PLL 使用モード (f_{PLL}) → 高速発振器動作モード (f_{OSCH}) → PLL 停止
 → 低速発振器動作モード (f_s) → 高速発振器停止

LD (PLLCR0), - 0 - - - - - B ; システムクロック f_{PLL} を f_{OSCH} に切り替え
 LD (PLLCR1), 0 - - - - - B ; PLL 停止
 LD (SYSCR1), - - - - 1 - - - B ; システムクロック f_{OSCH} を f_s に切り替え
 LD (SYSCR0), 0 - - - - - B ; 高速発振器停止

(NG) PLL 使用モード (f_{PLL}) → 低速発振器動作モード (f_s) → PLL 停止
 → 高速発振器停止

LD (SYSCR1), - - - - 1 - - - B ; システムクロック f_{PLL} を f_s に切り替え
 LD (PLLCR0), - 0 - - - - - B ; 内部クロック (fc) f_{PLL} を f_{OSCH} に切り替え
 LD (PLLCR1), 0 - - - - - B ; PLL 停止
 LD (SYSCR0), 0 - - - - - B ; 高速発振器停止

(OK) PLL 使用モード (f_{PLL}) → STOP モードに設定 → 高速発振器動作モード (f_{OSCH})
 → PLL 停止 → ホルト (高速発振器停止)

LD (SYSCR2), - - - - 0 1 - - B ; STOP モードを設定
 (このコマンドは PLL 使用前に実行可能です)
 LD (PLLCR0), - 0 - - - - - B ; システムクロック f_{PLL} を f_{OSCH} に切り替え
 LD (PLLCR1), 0 - - - - - B ; PLL 停止
 HALT ; STOP モードに切り替え

(NG) PLL 使用モード (f_{PLL}) → STOP モードに設定 → ホルト (高速発振器停止)

LD (SYSCR2), - - - - 0 1 - - B ; STOP モードに設定
 (このコマンドは PLL 使用前に実行可能です。)
 HALT ; STOP モードに切り替え

3.3.5 ノイズ低減回路

EMI (不要輻射ノイズ) の低減、EMS (耐ノイズ対策) の強化を目的として、以下のような特長を実現する回路を内蔵しています。

- (1) 高速発振器のドライブ能力低減
- (2) 低速発振器のドライブ能力低減
- (3) 高速発振器のシングルドライブ化
- (4) SFR プロテクトレジスタによる暴走対策

これらは、EMCCR0~EMCCR2 レジスタによる設定が必要です。

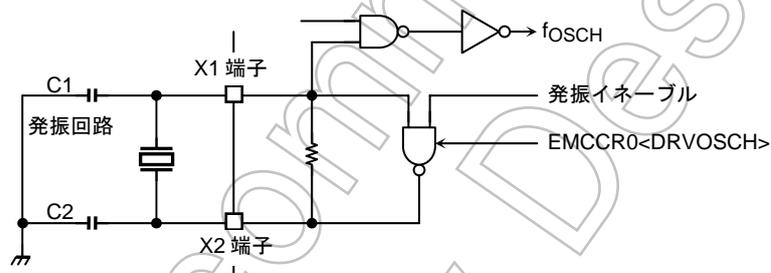
以下に(1)~(4)について説明します。

(1) 高速発振器のドライブ能力低減

(目的)

外部に発振子を接続する場合に、発振器から出力される発振ノイズの抑制、発振器の低消費電力化のため

(ブロック図)



(設定方法)

EMCCR0<DRVOSCH>に“0”をライトすることにより、発振器のドライブ能力は低減します。リセットにより、<DRVOSCH>は“1”に初期化されますので、電源投入時はノーマルのドライブ能力で発振開始します。

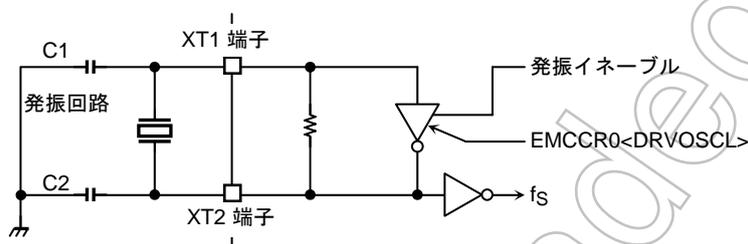
注) この機能(EMCCR0<DRVOSCH> = “0”)は、fOSCH = 6~10 MHz の状態で使用可能です。

(2) 低速発振器のドライブ能力低減

(目的)

外部に発振子を接続する場合に、発振器から出力される発振ノイズの抑制、発振器の低消費電力化のため

(ブロック図)



(設定方法)

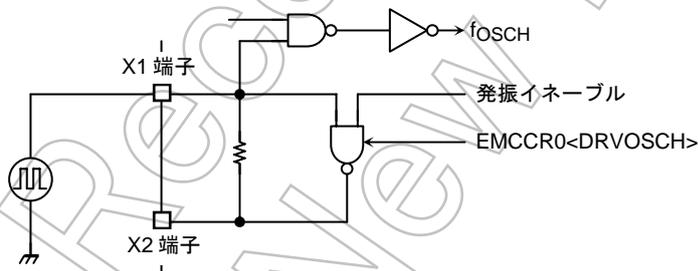
EMCCR0<DRVOSCL>に“0”をライトすることにより発振器のドライブ能力は低減します。リセットにより、<DRVOSCL>は“1”に初期化されますので、電源投入時はノーマルのドライブ能力で発振開始します。

(3) 高速発振器のシングルドライブ化

(目的)

外部に発振子を接続する場合に、ツインドライブの不要化、X2端子解放時にノイズ混入による誤動作防止のため

(ブロック図)



(設定方法)

EMCCR0<EXTIN>に“1”をライトすることにより、発振回路は発振禁止となり、バッファとして機能を開始します。X2端子は“1”を出力状態となります。

リセットにより、<EXTIN>は“0”に初期化されます。

(4) SFR プロテクトレジスタによる暴走対策

(目 的)

ノイズ混入などによるプログラムの暴走時の対策のため

暴走時の対策プログラムがクロックの停止、メモリ制御レジスタ（メモリコントローラ、MMU）の変更などによりフェッチ不可能な状態になることを防止するため、プロテクトをかけると特定の SFR をライト動作禁止にします。

また、INTP0 割り込みにより暴走時のエラー処理を容易にします。

特定の SFR 一覧

1. メモリコントローラ

B0CSL/H、B1CSL/H、B2CSL/H、B3CSL/H、BEC SL/H
MSAR0、MSAR1、MSAR2、MSAR3、
MAMR0、MAMR1、MAMR2、MAMR3、P MEMCR、
MEMCR0

2. MMU

LOCALPX/PY/PZ、LOCAL LX/LY/LZ、
LOCALRX/R Y/RZ、LOCALWX/WY/WZ、

3. クロックギア

SYSCR0、SYSCR1、SYSCR2、EMCCR0

4. PLL

PLLCR0、PLLCR1

(動作説明)

EMCCR1 と EMCCR2 レジスタに 2 重の鍵を設定することによりプロテクト (特定の SFR へのライト動作) の実行、解除が可能となります。

(2 重の鍵)

1st-KEY : EMCCR1 に 5AH、EMCCR2 に A5H を連続ライト

2nd-KEY : EMCCR1 に A5H、EMCCR2 に 5AH を連続ライト

プロテクトの状態は、EMCCR0<PROTECT>をリードすることにより確認できません。

リセットにより、プロテクト OFF 状態となります。

また、プロテクト ON 状態にて特定の SFR へのライト動作が実行された場合に INTP0 割り込みを出力します。これにより暴走時のエラー処理を容易にします。

3.3.6 スタンバイ制御部

(1) HALT モードと ドライブレジスタモード

HALT 命令を実行すると、SYSCR2<HALTM1:0>の設定により、IDLE2、IDLE1、STOP のいずれかの HALT モードになります。

また、各ポートの端子状態は、下記 PxDR レジスタの設定によりセットされます。

	7	6	5	4	3	2	1	0
PxDR (xxxxH)	Px7D	Px6D	Px5D	Px4D	Px3D	Px2D	Px1D	Px0D
Bit symbol	Px7D	Px6D	Px5D	Px4D	Px3D	Px2D	Px1D	Px0D
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	スタンバイモードの入出力バッファドライブレジスタ							

(使用目的)

- このレジスタはスタンバイモード時の各々のピンの状態を設定します。
- すべてのポートはそれぞれ、上記フォーマットと同等のレジスタを持っています。(“x” はポート名を意味します。)
- 各レジスタの詳細については 3.5 章の「ポート機能」を参照してください。
- “HALT” 命令前に期待するピンの状態を各レジスタに設定してください。CPU が “HALT” 命令を実行後にインーブルとなります。
- 3 種類あるスタンバイモードで動作します。(IDLE2、IDLE1 または STOP モード)
- 入出力の状態を以下の表に示します。

OE	PxnD	出力バッファ	入力バッファ
0	0	OFF	OFF
0	1	OFF	ON
1	0	OFF	OFF
1	1	ON	OFF

注 1) OE はスタンバイモード前の出カインーブル信号を意味しています。基本的に PxCR は OE として使用されます。

注 2) PxnD の “n” は PORTX のビット番号を意味しています。

各モードで動作しているブロックを以下に記します。

1. IDLE2: CPU のみ停止するモードです。

内蔵 I/O は、SFR の中に IDLE2 モード時の動作/停止設定レジスタを 1 ビット持ち IDLE2 モードでの動作設定が可能です。

表 3.3.2 に IDLE2 設定レジスタの表を示します。

表 3.3.2 IDLE2 モードでの内蔵 I/O 設定レジスタ

内部 I/O	SFR
TMRA01	TA01RUN<I2TA01>
TMRA23	TA23RUN<I2TA23>
TMRB0	TB0RUN<I2TB0>
SIO0	SC0MOD1<I2S0>
AD converter	ADMOD1<I2AD>
WDT	WDMOD<I2WDT>

2. IDLE1: 内部発振器と RTC、MLD のみ動作します。

3. STOP: すべての内部回路が停止します。

ホルト状態での各ブロックの動作を表 3.3.3に示します。

表 3.3.3 I/O ホルト状態での各ブロックの動作

HALT モード		IDLE2	IDLE1	STOP
SYSCR2<HALTM1:0>		11	10	01
動作 ブ ロ ク	CPU	停止		
	I/O ポート	PxDR レジスタ設定に依存		
	TMRA, TMRB	動作するブロックを選択可能	停止	
	SIO, SBI			
	AD コンバータ			
	WDT			
	I2S, LCDC, SDRAMC、 割り込みコントローラ、 SPIC	動作	動作	
	RTC, MLD			

(2) ホルト状態からの解除

ホルト状態からの解除は、割り込み要求、または、リセットにより行うことができます。使用できるホルト解除ソースは、CPUのステータスレジスタSRに割り付けられている割り込みマスクレジスタ<IFF2:0>の状態と、ホルトモードの組み合わせにより決まります。表 3.3.4 ホルト解除ソースとホルト解除の動作に示します。

- 割り込み要求による解除

割り込み要求によるホルト状態からの解除動作は、割り込み許可状態により異なります。HALT 命令実行前に設定されている割り込み要求レベルが割り込みマスクレジスタの値以上であれば、ホルト解除後、その要因による割り込み処理を行い、HALT 命令の次の命令から処理をスタートします。割り込み要求レベルが割り込みマスクレジスタの値より小さい場合はホルト解除を行いません（ノンマスクブル割り込みでは、マスクレジスタの値に関係なくホルト解除後、割り込み処理を行います）。

ただし、INT0~INT4、INTKEY、INTRTC、INTALM、INTCPL0 割り込みに限り、割り込み要求レベルが割り込みマスクレジスタの値より小さい場合でも、ホルト状態からの解除を行うことができます。この場合、割り込み処理は行わず HALT 命令の次の命令から処理をスタートします（割り込み要求フラグは“1”を保持します）。

- リセットによる解除

リセットにより、すべてのホルト状態からの解除を行うことができます。

ただし、STOPモードの解除では、発振器動作が安定するための十分なリセット時間（表 3.3.1 ウォームアップ時間を参照）が必要です。

リセットによる解除では、内蔵 RAM のデータはホルト状態に入る直前の状態を保持できますが、その他の設定は初期化されます（割り込みによる解除では、ホルト状態に入る直前の状態を保持します）。

表 3.3.4 ホルト解除ソースとホルト解除の動作

割り込み受付状態		割り込み許可 (割り込みレベル) ≥ (割り込みマスク)			割り込み禁止 (割り込みレベル) < (割り込みマスク)			
		HALT モード	IDLE2	IDLE1	STOP	IDLE2	IDLE1	STOP
ホルト解除ソース	割り込み	INTWD	◎	×	×	—	—	—
		INT0~INT4 (注 1)	◎	◎	◎*1	○	○	○*1
		INTALM0~INTALM4	◎	◎	×	○	○	×
		INTTA0~INTTA3, INTTB0~INTTB1	◎	×	×	×	×	×
		INTRX0, INTTX0, INTSBI	◎	×	×	×	×	×
		INTTBO0, INTI2S	◎	×	×	×	×	×
		INTAD, INT5, INTSPI	◎	×	×	×	×	×
		INTKEY	◎	◎	◎*1	○	○	○*1
		INTRTC	◎	◎	◎*1	○	○	○*1
		INTLCD	◎	×	×	×	×	×
		RESET	LSIを初期化します。					

◎: ホルト解除後、割り込み処理を開始します。

○: ホルト解除後、HALT 命令の次の番地から処理を開始します。

×: ホルト解除に使うことができません。

—: ノンマスクブル割り込みの優先順位レベル (割り込み要求レベル) は最優先の“7”に固定されているため、この組み合わせはありません。

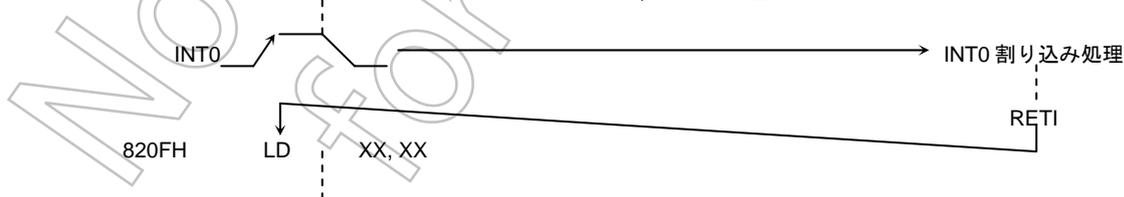
*1: ウォームアップ時間経過後にホルト解除を行います。

注 1) 割り込み許可状態において、レベルモードの INT0 割り込みによるホルト解除を行う場合、割り込み処理が開始されるまで“H”レベルを保持してください。それ以前で“L”レベルにした場合は、正しい割り込み処理を開始できません。

(IDLE1 モードの解除例)

IDLE1 モードのホルト状態をエッジモードの INT0 割り込みにより解除する場合

アドレス				
8200H	LD	(PCFC), 01H	:	PC0 を INT0 に設定
8203H	LD	(IIMC), 00H	:	INT0 割り込み立ち上がりエッジを選択
8206H	LD	(INTE0AD), 06H	:	INT0 割り込みレベルを“6”に設定
8209H	EI	5	:	CPU 割り込みレベルを“5”に設定
820BH	LD	(SYSCR2), 28H	:	IDLE1 モードに設定
820EH	HALT		:	CPU 停止



(3) 各モードの動作

1. IDLE2 モード

IDLE2 モードでは、各内蔵 I/O の SFR 中にある IDLE2 設定レジスタで指定した内蔵 I/O のみ動作し、CPU の命令実行動作は停止します。

IDLE2 モードの割り込みによるホルト解除のタイミング例を図 3.3.7 に示します。

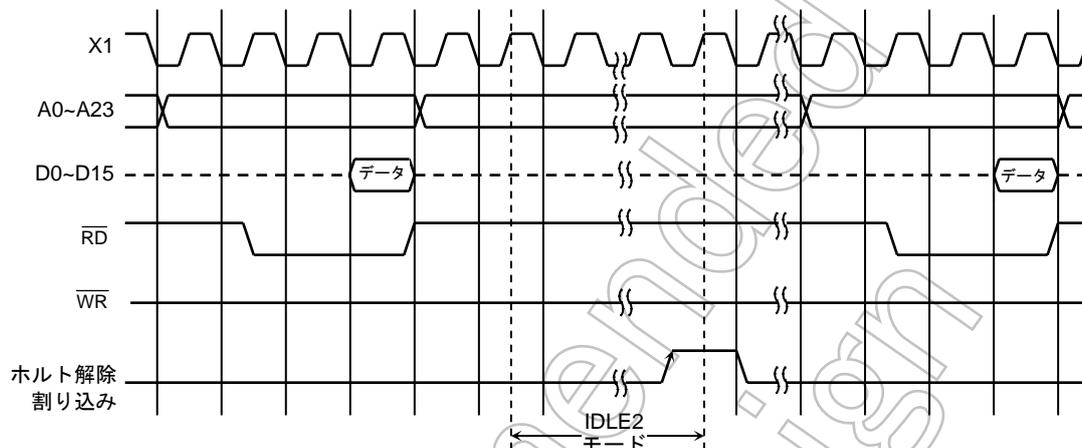


図 3.3.7 割り込みによるホルト解除のタイミング例 (IDLE2 モード時)

2. IDLE1 モード

IDLE1 モードでは、内部発振器と RTC、MLD のみ動作し、システムクロックは停止します。

ホルト状態での、割り込み要求のサンプリングは、システムクロックと非同期に行われますが、解除 (動作の再開) は同期して行われます。

IDLE1 モードの割り込みによるホルト解除のタイミング例を図 3.3.8 に示します。

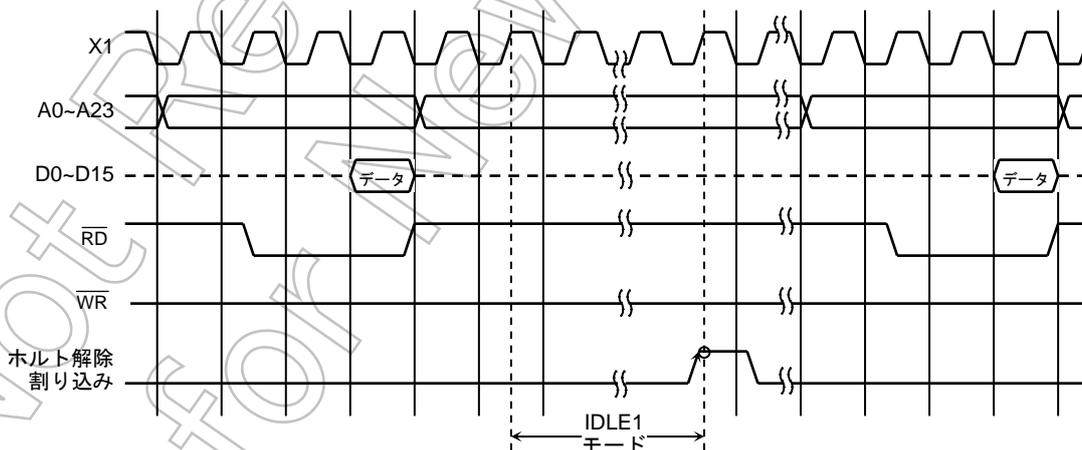


図 3.3.8 割り込みによるホルト解除のタイミング例 (IDLE1 モード時)

3. STOP モード

STOPモードでは、内部発振器も含めて、すべての内部回路が停止します。

STOPモードを解除する場合は、内部発振器の安定化のため、ウォームアップ用カウンタによるウォームアップ時間経過後に、システムクロックの出力を開始します。

図 3.3.9に割り込みによるSTOPモードホルト状態の解除のタイミング例を示します。

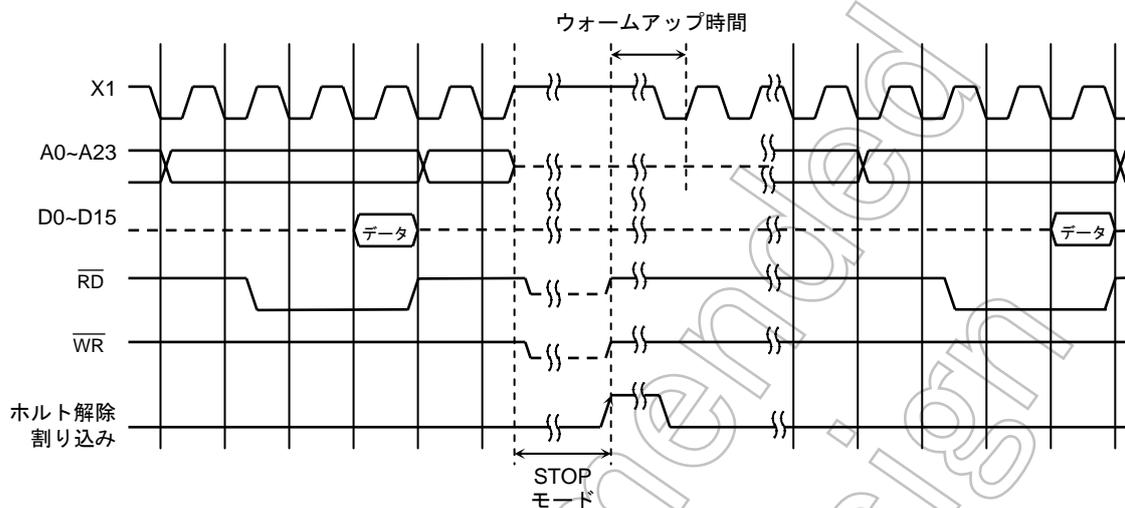


図 3.3.9 割り込みによるホルト解除のタイミング例 (STOP モード時)

表 3.3.5 ウォームアップ時間の設定例 (STOP モード解除時)

@f_{OSCH} = 40 MHz, f_s = 32.768 kHz

SYSCR1 <SYSCK>	SYSCR2<WUPTM1:0>		
	01 (2 ⁸)	10 (2 ¹⁴)	11 (2 ¹⁶)
0 (fc)	6.4 μs	409.6 μs	1.638 ms
1 (fs)	7.8 ms	500 ms	2000 ms

表 3.3.6 入力バッファ状態表

ポート名	入力機能名	入力バッファ状態						
		リセット中	CPU 動作中		HALT 中 (IDLE1/2/STOP)			
			機能設定時	入力ポート設定時	<PxDR> = 1		<PxDR> = 0	
					機能設定時	入力ポート設定時	機能設定時	入力ポート設定時
D0-D7	D0-D7	OFF	外部リードで ON	-	OFF	-	OFF	-
P10-P17	D8-D15		-	-	-	-	-	-
P60-P67	-		-	-	-	-	-	-
P71-P72	-		-	-	-	-	-	-
P75	NDR/ \bar{B}	ON	ON	-	ON	-	OFF	-
P76	\bar{WAIT}		-	-	-	-	-	-
P90	-		-	-	-	-	-	-
P91	RXD0		-	-	-	-	-	-
P92	$\bar{CTS0}$, SCLK0		-	-	-	-	-	-
P93-P94	SDA, SCL		-	-	-	-	-	-
P96 ^{*1}	INT4		ON	ON	ON	ON	OFF	OFF
P97	INT5		-	-	-	-	-	-
PA0-PA7 ^{*1}	KI0-KI7		-	-	-	-	-	-
PC0	INT0		-	-	-	-	-	-
PC1	INT1		-	-	-	-	-	-
PC2	INT2		-	-	-	-	-	-
PC3	INT3		-	-	-	-	-	-
PC4-PC7	-		-	-	-	-	-	-
PF0	-	-	-	-	-	-	-	
PF1	RXD0	-	-	-	-	-	-	
PF2	$\bar{CTS0}$ SCLK0	ON	ON	ON	ON	OFF	OFF	
PG0-PG2 ^{*2}	-	OFF	-	ポートリードで ON	-	OFF	-	-
PG3 ^{*2}	\bar{ADTRG}		ON	ON	ON	ON	ON	ON
PJ5-PJ6	-	ON	-	-	-	-	-	-
PK4	SPDI		ON	ON	ON	ON	OFF	OFF
PK5-PK5	-		-	-	-	-	-	-
PL4-PL5, PL7	-		-	ON	-	ON	-	-
PL6	\bar{BUSRQ}		ON	ON	ON	ON	OFF	OFF
PN0-PN7	-		-	-	-	-	-	-
\bar{BE}	-	ON	-	-	-	-	-	-
RESET	-		ON	-	ON	-	ON	-
AM0, AM1	-		-	-	-	-	-	-
X1, XT1	-		-	-	-	-	-	-

ON: 常時バッファが ON しているため、入力端子がドライブされ *1: プルアップ/プルダウン抵抗付きポートです。
ていないと入力バッファに貫通電流が流れます。

OFF: 常時バッファが OFF しています。

*2: AIN 入力では貫通電流が流れません。

-: 対象なし

表 3.3.7 出力バッファ状態表(1/2)

ポート名	出力機能名	出力バッファ状態						
		リセット中	CPU 動作中		HALT 中 (IDLE2/1/STOP)			
			機能設定時	出力ポート設定時	<PxDR>=1		<PxDR>=0	
					機能設定時	出力ポート設定時	機能設定時	出力ポート設定時
D0~D7	D0~D7	OFF	外部ライトで ON	-	-	OFF	-	
P10~P17	D8~D15			ON	ON		OFF	
A0~A15	A16~A15,	ON	-	-	-	OFF	-	
P60~P67	A16~A23			-	-		-	
P70	$\overline{\text{RD}}$	OFF	ON	ON	ON	OFF	-	
P71	$\overline{\text{WRLL}}, \overline{\text{NDRE}}$							
P72	$\overline{\text{WRLU}}, \overline{\text{NDWE}}$							
P73	EA24							
P74	EA25							
P75	R/W							
P76	-							
P80	$\overline{\text{CS0}}$	ON	ON	ON	ON	OFF	OFF	
P81	$\overline{\text{CS1}}, \overline{\text{SDCS}}$							
P82	$\overline{\text{CS2}}, \overline{\text{CSZA}}$							
P83	$\overline{\text{CS3}}$							
P84	$\overline{\text{CSZB}}, \overline{\text{ND0CE}}$							
P85	$\overline{\text{CSZC}}, \overline{\text{ND1CE}}$							
P86	$\overline{\text{CSZD}}$							
P87	$\overline{\text{CSZE}}$	ON	ON	ON	ON	OFF	-	
P90	TXD0, I2SCKO							
P91	I2SDO	OFF	-	-	-	-	-	
P92	I2SWS							
P93	SDA							
P94	SCL							
P95	CLK32KO	ON	-	-	-	-	-	
P96	PX	OFF	-	-	-	-	-	
P97	PY	-	-	-	-	-	-	

ON: 常時バッファが ON しています。

OFF: 常時バッファが OFF しています。

-: 対象なし

*1: プルアップ/プルダウン抵抗付きポートです。

表 3.3.8 出力バッファ状態表(2/2)

ポート名	出力機能名	出力バッファ状態						
		リセット中	CPU 動作中		HALT 中 (IDLE2/1/STOP)			
			機能設定時	出力ポート設定時	<PxDR>=1		<PxDR>=0	
					機能設定時	出力ポート設定時	機能設定時	出力ポート設定時
PC0	TA1OUT	OFF	ON	ON	ON	ON	OFF	OFF
PC1	TA3OUT		ON		OFF			
PC2	TB0OUT0		-		-			
PC3	-		-		-			
PC6	KO8, EA24		ON		OFF			
PC7	CSZF, EA25		ON		OFF			
PF0	TXD0		-		-			
PF1	-		-		-			
PF2	SCLK0		-		-			
PF7	SDCLK		ON		-		-	
PG2	MX	OFF	-	-	-	-		
PG3	MY	OFF	-	-	-	-		
PJ0	SDRAS SRLB	ON	ON	ON	ON	OFF	OFF	
PJ1	SDCAS, SRLUB							
PJ2	SDWE, SRWR							
PJ3	SDLLDQM							
PJ4	SDLUDQM	ON	ON	ON	ON	OFF	OFF	
PJ5	NDALE	OFF	-	-	-	-	-	
PJ6	NDCLE	OFF	-	-	-	-	-	
PJ7	SDCKE	ON	-	-	-	-	-	
PK0	LCP	ON	ON	ON	ON	OFF	OFF	
PK1	LLP							
PK2	LFR							
PK3	LBCD							
PK4	-							
PK5	SPDO	OFF	-	-	-	-	-	
PK6	SPCS	OFF	-	-	-	-	-	
PK7	SPCLK	ON	-	-	-	-	-	
PL0-PL3	LD0-LD3	ON	-	-	-	-	-	
PL4-PL6	LD4-LD6	OFF	-	-	-	-	-	
PL7	LD7, BUSAK	ON	-	-	-	-	-	
PM1	MLDALM	ON	ON	ON	ON	OFF	OFF	
PM2	MLDALM, ALARM							
PN0-PN7	KO0-KO7	OFF	-	-	-	-	-	
X2	-	ON	-	-	-	IDLE2/1:ON, STOP: "H"出力		
XT2	-					IDLE2/1:ON, STOP: "HZ"出力		

ON: 常時バッファが ON しています。
OFF: 常時バッファが OFF しています。
-: 対象なし

*1: プルアップ/プルダウン抵抗付きポートです。

3.4 割り込み

TLCS-900/H1 の割り込みは、CPU の割り込みマスクレジスタ<IFF2:0> (ステータスレジスタの 12~14 ビット)と 内蔵の割り込みコントローラによって制御されます。

TMP92CA25 の割り込み要因には、下記に示す合計 49 本があります。

- | |
|---|
| <p>CPU 自身からの割り込み: 9 本</p> <ul style="list-style-type: none">ソフトウェア割り込み: 8 本未定義命令実行違反: 1 本 <p>内部割り込み: 33 本</p> <ul style="list-style-type: none">内蔵 I/O からの割り込み: 25 本マイクロ DMA 転送終了割り込み: 8 本 <p>外部割り込み: 7 本</p> <ul style="list-style-type: none">外部端子割り込み (INT0~INT5、INTKEY) |
|---|

割り込み要因ごとに、個別の割り込みベクタ番号 (固定) が割り当てられており、マスクブル割り込みのそれぞれに、6 レベルの優先順位 (可変) を割り付けることができます。ノンマスクブル割り込みの優先順位は、最優先の “7” に固定されています。

割り込みが発生すると、割り込みコントローラは、その割り込み要因の優先順位を CPU に送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位値 (最高はノンマスクブル割り込みの “7”) を CPU に送ります。

CPU は、その送られてきた優先順位値と、CPU の割り込みマスクレジスタ (IFF2:0) の値を比較し、送られてきた優先順位値が、割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。割り込みマスクレジスタ (IFF2:0) の値は EI 命令 (EI num...IFF<2:0>の内容が num になります。) を使用して、書き替えることができます。例えば、“EI 3” とプログラムすると、割り込みコントローラに設定された、優先順位値 3 以上のマスクブル割り込みと、ノンマスクブル割り込みが受け付け可能となります。また、DI 命令 (IFF<2:0>が 7 になります。) は動作的には “EI 7” と同じですが、マスクブル割り込みの優先順位値が 1~6 であるため、マスクブル割り込みの受け付け禁止用として使用されます。なお、EI 命令は実行後、直ちに有効となります。

TLCS-900/H1 の割り込みには、上記汎用割り込み処理モードに加えて、「マイクロ DMA」処理モードがあります。マイクロ DMA は、CPU が自動的にデータの転送 (1/2/4 バイト) を行うモードです。内部/外部メモリおよび内蔵 I/O に対するデータ転送を、高速に行うことができます。さらに、TMP92CA25 には、このマイクロ DMA 要求を割り込み要因から与えられる以外に、ソフトウェアから要求を発行する “ソフトスタート機能” があります。

図 3.4.1 に割り込み処理全体のフローを示します。

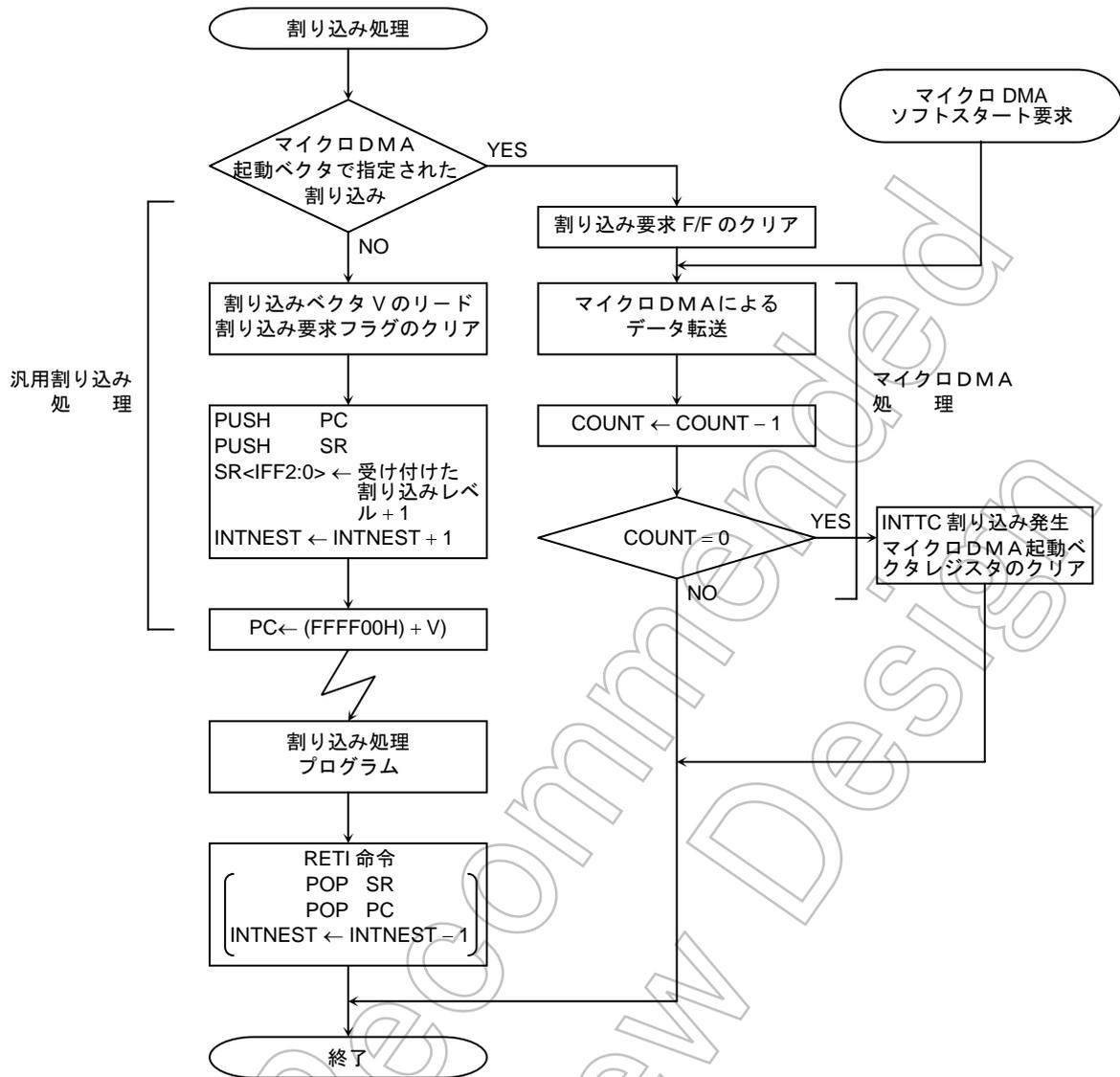


図 3.4.1 割り込み処理全体のフロー

3.4.1 汎用割り込み処理

CPU が割り込みを受け付けると、下記の動作をします。ただしソフトウェア割り込みと未定義命令実行違反割り込みが CPU で生成される場合、CPU は 1 と 3 をスキップし、2、4、5 のみを実行します。

1. CPU は、割り込みコントローラから、割り込みベクタをリードします。割り込みコントローラは、同一レベルに設定された割り込みが同時に発生した場合、デフォルトプライオリティ (固定: ベクタ値が小さいほど優先順位が高い) に従って割り込みベクタを発生し、その割り込み要求をクリアします。
2. CPU は、プログラムカウンタ「PC」とステータスレジスタ「SR」を、スタック領域 (XSP が示す領域) へ PUSH します。
3. CPU の割り込みマスクレジスタ<IFF2:0>の値を、受け付けた割り込みレベルより“1”だけ高い値にセットします。ただし、値が“7”の時は、インクリメントせず“7”をセットします。
4. 割り込みネスティングカウンタ INTNEST を、+1 カウントアップします。
5. CPU は、「FFFF00H + 割り込みベクタ」番地のデータで示される番地へジャンプし、割り込み処理ルーチンを開始します。

割り込み処理が終了し、メインルーチンに戻るときは、通常「RETI」命令で行います。この命令を実行すると、スタックからプログラムカウンタ PC とステータスレジスタ SR の内容をリストアし、割り込みネスティングカウンタ INTNEST を-1 します。

ノンマスクブル割り込みは、プログラムによって割り込み受け付けを禁止することができません。一方、マスクブル割り込みは、プログラムによって割り込みの許可/禁止が選択できるとともに、割り込み要因ごとに優先順位を設定することができます (0 か 7 の割り込みレベルの設定は割り込み要求が無効になります)。CPU は、CPU 自身が持つ割り込みマスクレジスタ<IFF2:0>の値以上の、優先順位値を持つ割り込み要求があると、割り込みを受け付けます。そして、CPU のマスクレジスタ<IFF2:0>に、受け付けた優先順位に“1”を加えた値をセットします。

従って、割り込み処理中に、現在実行している割り込みよりも高いレベルの割り込みが発生した場合には、その割り込み要求を受け付け、割り込み処理のネスティング状態になります。

なお、CPU が割り込みを受け付け、前記 1~5 までの処理をしている間に発生した別の割り込み要求は、その割り込み処理ルーチンの先頭命令が実行された直後にサンプリングされます。先頭命令を DI 命令にすると、マスクブル割り込みのネスティングを禁止することができます。

リセット後、CPU のマスクレジスタ<IFF2:0>は、“111”に初期化されているため、マスクブル割り込み禁止状態になっています。

TMP92CA25 では、メモリ FFFF00H~FFFFFFH 番地 (256 バイト) が、割り込みベクタ領域に割り当てられています。表 3.4.1 に割り込みテーブルを示します。

表 3.4.1 TMP92CA25 の割り込みベクタとマイクロ DMA スタートベクタ

デフォルトプライオリティ	タイプ	割り込み要因とマイクロ DMA 要求要因	ベクタ値	ベクタ参照アドレス	マイクロ DMA スタートベクタ
1	ノン マスクابل	リセットまたは[SWI0]命令	0000H	FFFF00H	
2		[SWI1]命令	0004H	FFFF04H	
3		未定義命令実行違反命令または[SWI2]命令	0008H	FFFF08H	
4		[SWI3]命令	000CH	FFFF0CH	
5		[SWI4]命令	0010H	FFFF10H	
6		[SWI5]命令	0014H	FFFF14H	
7		[SWI6]命令	0018H	FFFF18H	
8		[SWI7]命令	001CH	FFFF1CH	
9		(Reserved)	0020H	FFFF20H	
10		INTWD: ウォッチドッグタイマ	0024H	FFFF24H	
-		マイクロ DMA	-	-	- (注 1)
11	マスクابل	INT0: INT0 端子入力	0028H	FFFF28H	0AH (注 2)
12		INT1: INT1 端子入力	002CH	FFFF2CH	0BH
13		INT2: INT2 端子入力	0030H	FFFF30H	0CH
14		INT3: INT3 端子入力	0034H	FFFF34H	0DH
15		INT4: INT4 端子入力 (TSI)	0038H	FFFF38H	0EH
16		INTALM0: ALM0 (8192Hz)	003CH	FFFF3CH	0FH
17		INTALM1: ALM1 (512 Hz)	0040H	FFFF40H	10H
18		INTALM2: ALM2 (64 Hz)	0044H	FFFF44H	11H
19		INTALM3: ALM3 (2 Hz)	0048H	FFFF48H	12H
20		INTALM4: ALM4 (1 Hz)	004CH	FFFF4CH	13H
21		INTP0: プロテクト 0 (特定の SFR にライト)	0050H	FFFF50H	14H
22		(Reserved)	0054H	FFFF54H	15H
23		INTTA0: 8 ビットタイマ 0	0058H	FFFF58H	16H
24		INTTA1: 8 ビットタイマ 1	005CH	FFFF5CH	17H
25		INTTA2: 8 ビットタイマ 2	0060H	FFFF60H	18H
26		INTTA3: 8 ビットタイマ 3	0064H	FFFF64H	19H
27		INTTB0: 16 ビットタイマ 0	0068H	FFFF68H	1AH
28		INTTB1: 16 ビットタイマ 0	006CH	FFFF6CH	1BH
29		INTKEY: キーウェイクアップ	0070H	FFFF70H	1CH
30		INTRTC: RTC (アラーム割り込み)	0074H	FFFF74H	1DH
31		INTTB00: 16 ビットタイマ 0 (オーバフロー)	0078H	FFFF78H	1EH
32		INTLCD: LCDC/LP 端子	007CH	FFFF7CH	1FH
33		INTRX0: シリアル受信 (チャンネル 0)	0080H	FFFF80H	20H (注 2)
34		INTTX0: シリアル送信 (チャンネル 0)	0084H	FFFF84H	21H
35		(Reserved)	0088H	FFFF88H	22H (注 2)
36		(Reserved)	008CH	FFFF8CH	23H
37		(Reserved)	0090H	FFFF90H	24H
38		(Reserved)	0094H	FFFF94H	25H
39		INT5: INT5 端子入力	0098H	FFFF98H	26H
40		INTI2S: I ² S (チャンネル 0)	009CH	FFFF9CH	27H
41		INTNDF0 (NAND フラッシュコントローラチャンネル 0)	00A0H	FFFFA0H	28H
42		INTNDF1 (NAND フラッシュコントローラチャンネル 1)	00A4H	FFFFA4H	29H
43		INTSPI: SPIC	00A8H	FFFFA8H	2AH
44		INTSBI: SBI	00ACH	FFFFACH	2BH
45		(Reserved)	00B0H	FFFFB0H	2CH
46		(Reserved)	00B4H	FFFFB4H	2DH
47		(Reserved)	00B8H	FFFFB8H	2EH
48		(Reserved)	00BCH	FFFFBCH	2FH
49		(Reserved)	00C0H	FFFC0H	30H
50		(Reserved)	00C4H	FFFC4H	31H

デフォルト プライオリティ	タイプ	割り込み要因とマイクロ DMA 要求要因	ベクタ値	ベクタ参照 アドレス	マイクロ DMA スタート ベクタ
51	マスカブル	(Reserved)	00C8H	FFFFC8H	32H
52		INTAD: AD 変換終了	00CCH	FFFFCCH	33H
53		INTTC0: マイクロ DMA 終了 (チャンネル 0)	00D0H	FFFFD0H	34H
54		INTTC1: マイクロ DMA 終了 (チャンネル 1)	00D4H	FFFFD4H	35H
55		INTTC2: マイクロ DMA 終了 (チャンネル 2)	00D8H	FFFFD8H	36H
56		INTTC3: マイクロ DMA 終了 (チャンネル 3)	00DCH	FFFFDCH	37H
57		INTTC4: マイクロ DMA 終了 (チャンネル 4)	00E0H	FFFFE0H	38H
58		INTTC5: マイクロ DMA 終了 (チャンネル 5)	00E4H	FFFFE4H	39H
59		INTTC6: マイクロ DMA 終了 (チャンネル 6)	00E8H	FFFFE8H	3AH
60		INTTC7: マイクロ DMA 終了 (チャンネル 7)	00ECH	FFFFECH	3BH
-		(Reserved)	00F0H	FFFFF0H	-
:			:	:	:
-			00FCH	FFFFFCH	-

注1) マイクロ DMA デフォルトプライオリティ
マイクロ DMA は、ほかのマスカブル割り込みより優先されて起動します。

注2) マイクロ DMA を起動するときは、エッジ検出モードに設定してください。

3.4.2 マイクロ DMA

TMP92CA25 には、マイクロ DMA 機能があります。マイクロ DMA 機能に設定された割り込み要求は、設定された割り込みレベルにかかわらず、マスカブル割り込みの中で最も高い割り込みレベル (レベル 6) で処理を行います。

マイクロ DMA 機能は CPU の協調動作によって実現されているため、CPU が HALT 命令によってスタンバイ状態になるとマイクロ DMA の要求は無視 (保留) されます。

マイクロ DMA は 8 チャンネル用意されており、後述のバースト指定により、連続転送が可能です。

注) マイクロ DMA 終了割り込みを使う場合は、SIMC レジスタのビット 7 に常に "1" をライトしてください。

(1) マイクロ DMA の動作

マイクロ DMA は、マイクロ DMA 起動ベクタレジスタで指定された割り込み要求が発生すると、割り込み要求元の割り込みレベルにかかわらず、CPU に対しマスカブル割り込みの中で最も優先順位の高いレベルでデータ転送処理を行います。IFF = 7 のときは、マイクロ DMA の要求は受けつけられません。

マイクロ DMA は 8 チャンネル用意されており、同時に 8 種類までの割り込み要因に対して、マイクロ DMA を設定することができます。

マイクロ DMA が受け付けられると、そのチャンネルに割り当てられている割り込み要求フラグをクリアし、コントロールレジスタに設定された、転送元アドレスから転送先アドレスに、データ転送が一回 (1/2/4 バイト) 行われ、転送数カウンタを 1 によってデクリメントします。デクリメントした結果が "0" ならば、以下のような動作をします。

- CPU はマイクロ DMA 転送終了を割り込みコントローラに伝えます。
- 割り込みコントローラはマイクロ DMA 転送終了割り込み (INTTC0~INTTC7) を発生させます。
- マイクロ DMA 起動ベクタレジスタの値を "0" クリアして、次のマイクロ DMA 起動を禁止します。
- マイクロ DMA 処理を終了します。

デクリメントした結果が "0" でない場合、後述のバースト指定がなければ、マイクロ DMA 処理は終了します。この場合、転送終了割り込み (INTTCn) は発生しません。

割り込み要因をマイクロ DMA 起動のみに使用する場合は、割り込みレベルを "0" にしておく必要があります。これはマイクロ DMA 起動ベクタに設定されるまでの間に、その割り込み要求が発生すると、割り込みレベルが 1~6 の場合、CPU は汎用割り込み処理を行うためです。割り込み要因をマイクロ DMA と汎用割り込みの起動の両方で使用する場合は、その割り込み要因の割り込みレベルを、他のすべての割り込み要因の割り込みレベルより低くする必要があります(注)。なお、その割り込み要因は、エッジ割り込みに限られます。

注) マイクロ DMA 要因の割り込みレベルを他の割り込みレベルより高くすると、下記のような動作をする場合があります。

下記設定にて INTxxx 割り込みが先に発生し、割り込み処理フロー(図 3.4.1 参照) で、"マイクロ DMA 起動ベクタで指定された割り込み" の確認後で、"割り込みベクタ V のリード" の間に INTyyy が発生した場合、INTyyy の割り込みレベルのほうが高いため、その時点ではベクタ V は INTyyy のベクタ V に変化してしまいます。割り込み処理フローでは、マイクロ DMA の確認が終了しているため、割り込みベクタ V がすり替わる形となり、CPU はそのまま INTyyy のベクタ V をリードしてしまい、マイクロ DMA の転送カウンタにかかわらず INTyyy が発生してしまいます。

INTxxx: レベル 1 DMA 設定なし

INTyyy: レベル 6 DMA 設定あり

マイクロ DMA 転送終了割り込みは、他のマスカブル割り込みと同様に割り込みレベルとデフォルトプライオリティにより、優先順位が決まります。

また、複数チャンネルのマイクロ DMA 要求が、同時に発生した場合の優先順位は、割り込みレベルに無関係で、チャンネル番号の若い方が高くなります。(チャンネル 0 (高) → チャンネル 7 (低))

転送元/転送先アドレスを設定するレジスタは、32 ビット幅のコントロールレジスタになっていますが、アドレスは 24 本しか出力されていないため、マイクロ DMA で取り扱える空間は、16 M バイトとなります。

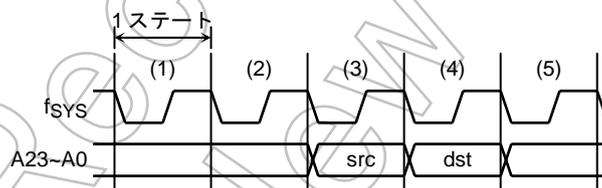
転送モードとしては、1/2/4 バイト転送の 3 種類があり、それぞれの転送モードに対して、転送後、転送元/転送先アドレスをインクリメント、デクリメント、固定するモードを用意しています。このモードにより、メモリからメモリ、I/O からメモリ、メモリから I/O、I/O から I/O のデータ転送を簡単に行えます。転送モードの詳細は、「(4) 転送モードレジスタ詳細」を参照してください。

転送数カウンタは、16 ビット幅で構成されているため、一つの割り込み要因に対して、最大 65536 回 (転送カウンタの初期値が 0000H のとき最大) の、マイクロ DMA 処理を行うことができます。

マイクロ DMA 処理を行うことのできる割り込み要因は、表 3.4.1 でマイクロ DMA 起動ベクタのある 33 種類の割り込みとソフトスタートによる計 34 種類です。

転送先アドレス INC モード (カウンタモード以外は同様) のマイクロ DMA サイクルを図 3.4.2 に示します。

(転送元メモリ、転送先メモリともに内部 RAM で、両アドレスは 4 の倍数の場合)



注) 実際には、src および dst アドレスは内部 RAM のアドレスのため、出力されません。

図 3.4.2 マイクロ DMA サイクル図

- ステート (1)、(2) : 命令フェッチサイクル (次の命令コードの先取り)
- ステート (3) : マイクロ DMA リードサイクル
- ステート (4) : マイクロ DMA ライトサイクル
- ステート (5) : ((1)、(2) ステートと同じ)

(2) ソフトスタート機能

割り込み要因によるマイクロ DMA の起動以外に、DMAR レジスタへのライトサイクルが発生したことにより、マイクロ DMA を起動する“マイクロ DMA ソフトスタート機能”があります。

DMAR レジスタの各ビットに“1”をライトすることにより、マイクロ DMA を一回起動することができます。“0”をライトしても変化しません。転送が終了すると、終了したチャンネルに対応する DMAR レジスタのビットが、自動的に“0”クリアされます。なお、仕様書の制限として一度に1チャンネルしか起動できません(複数のビットに“1”を書き込まないでください)。

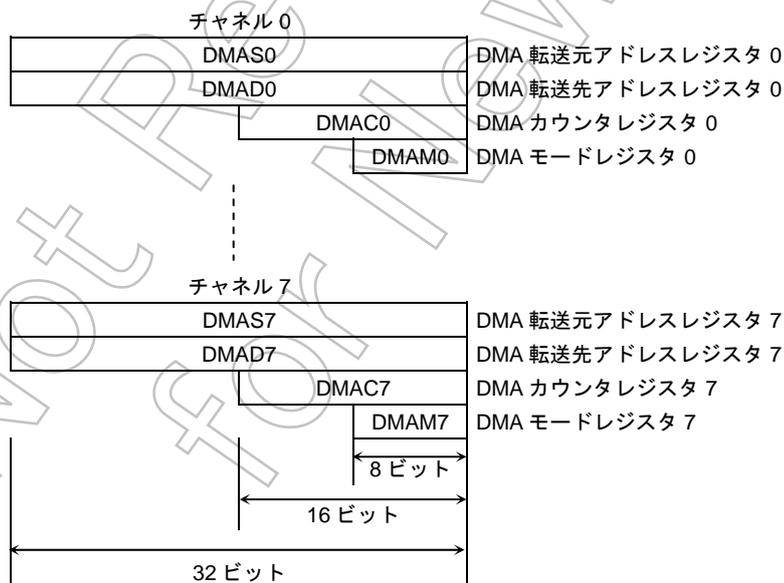
また、再度 DMAR レジスタに“1”をライトする場合は、そのビットが“0”であることを確認してから行ってください。リードした値が“1”の場合は、まだ マイクロ DMA 転送が開始されません。

DMAB レジスタでバースト指定されている場合は、マイクロ DMA を起動するとマイクロ DMA 転送カウンタが“0”になるまで、連続的にデータ転送されます。割り込み要因によるマイクロ DMA 転送の合間にソフトスタートを実行してもマイクロ DMA 転送カウンタは変化しません。他のビットへの誤書き込みを防ぐために、リードモディファイライト命令は使わないでください。

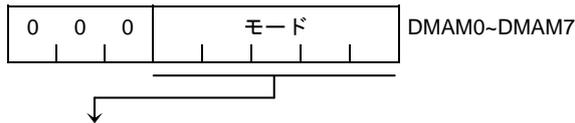
記号	名称	アドレス	7	6	5	4	3	2	1	0
DMAR	DMA request register	109H (RMW 禁)	DREQ7	DREQ6	DREQ5	DREQ4	DREQ3	DREQ2	DREQ1	DREQ0
			R/W							
			0	0	0	0	0	0	0	0
1: DMA のソフト要求										

(3) 転送制御レジスタ

転送元アドレス、転送先アドレスは、下記のレジスタで設定します。これらのレジスタは、「LDC cr, r」命令を使用して、データの設定を行います。



(4) 転送モードレジスタ詳細



DMAMn[4:0]	モード説明	実行時間
000zz	転送先 INC モード (DMADn+) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5ステート
001zz	転送先 DEC モード (DMADn-) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5ステート
010zz	転送元 INC モード (DMADn) ← (DMASn+) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5ステート
011zz	転送元 DEC モード (DMADn) ← (DMASn-) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5ステート
100zz	転送元および転送先 INC モード (DMADn+) ← (DMASn+) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	6ステート
101zz	転送元および転送先 DEC モード (DMADn-) ← (DMASn-) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	6ステート
110zz	転送元 および転送先固定モード (DMADn) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5ステート
11100	カウンタモード DMASn ← DMASn + 1 DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5ステート

ZZ: 00 = 1 バイト転送
01 = 2 バイト転送
10 = 4 バイト転送
11 = (Reserved)

注 1) n はマイクロ DMA チャネルナンバ (0~7) を表しています。

DMADn+/DMASn+: ポストインクリメント (レジスタ値は転送後に増大します。)

DMADn-/DMASn-: ポストデクリメント (レジスタ値は転送後に減少します。)

“I/O” は固定されたメモリアドレスを意味します: “メモリ” は増大あるいは減少するメモリアドレスを意味します。

注 2) 転送モードレジスタは、上記の値以外は設定しないでください。

注 3) 上記の表の実行時間はベストケースを表しています。(1ステートメモリアクセス)

3.4.3 割り込みコントローラ

図 3.4.3に、割り込み回路のブロック図を示します。この図の左半分は割り込みコントローラを示し、右半分はCPUの割り込み要求信号回路とホルト解除回路を示しています。

割り込みコントローラは、各割り込みチャンネルごと(合計 52 チャンネル)に、割り込み要求フラグ(フリップフロップ)、割り込み優先順位設定レジスタ、マイクロ DMA 起動ベクタ設定レジスタを持っています。割り込み要求フラグは、周辺からの割り込み要求をラッチするためのものです。

このフラグは、以下の場合にクリアされます。

- リセット動作
- CPUが割り込みを受け付け、その割り込みのベクタをCPUがリードしたとき
- 割り込みをクリアする命令の実行(INTCLRレジスタにDMA起動ベクタをライト)
- CPUがその割り込みでのマイクロDMA要求を受け付けたとき
- その割り込みでのマイクロDMAバースト転送が終了したとき

割り込みの優先順位は、各割り込み要因ごとに準備されている割り込み優先順位設定レジスタ(INTE0AD、INTE12など)にそれぞれの優先順位を書き込むことで設定できます。設定できる割り込みレベルは1から6までの6レベルです。書き込み優先順位値を“0”(または“7”)にすることにより、該当する割り込み要求は禁止されます。

また、同時に同一レベルの割り込み要求が発生した場合には、デフォルトプライオリティ(プライオリティ値の小さいもの=ベクタの小さいもの)に従い、割り込みを受け付けます。なお、割り込み優先順位設定レジスタの3ビット目、7ビット目を読むと、割り込み要求フラグの状態が読み出され、各チャンネルの割り込み要求の有無がわかります。

割り込みコントローラは、同時に発生した割り込みの中で、最も優先順位の高い割り込みレベルと、そのベクタアドレスをCPUへ送ります。CPUは、ステータスレジスタ(SR)に設定された割り込みマスクレジスタ<IFF2:0>と割り込みレベルを比較し、割り込みのレベルが高ければ、この割り込みを受け付けます。そして、CPU側のSR<IFF2:0>に、受け付けた割り込みレベル+1の値をセットし、この値以上の割り込み要求だけが、多重に受け付けられる割り込み要因となります。割り込み処理の終了(RETI命令の実行)により、CPU側のSR<IFF2:0>には、スタックに退避されていた、割り込み発生以前の割り込みマスクレジスタの値をリストアします。

割り込みコントローラには、マイクロDMAの起動ベクタを格納するレジスタ(8チャンネル)が用意されています。このレジスタに起動ベクタ(表 3.4.1参照)を書き込むことにより、該当する割り込み要求が発生することによって、マイクロDMAが起動されます。なお、このマイクロDMA処理の前に、マイクロDMAパラメータ用レジスタ(DMAS、DMADなど)に値を設定しておく必要があります。

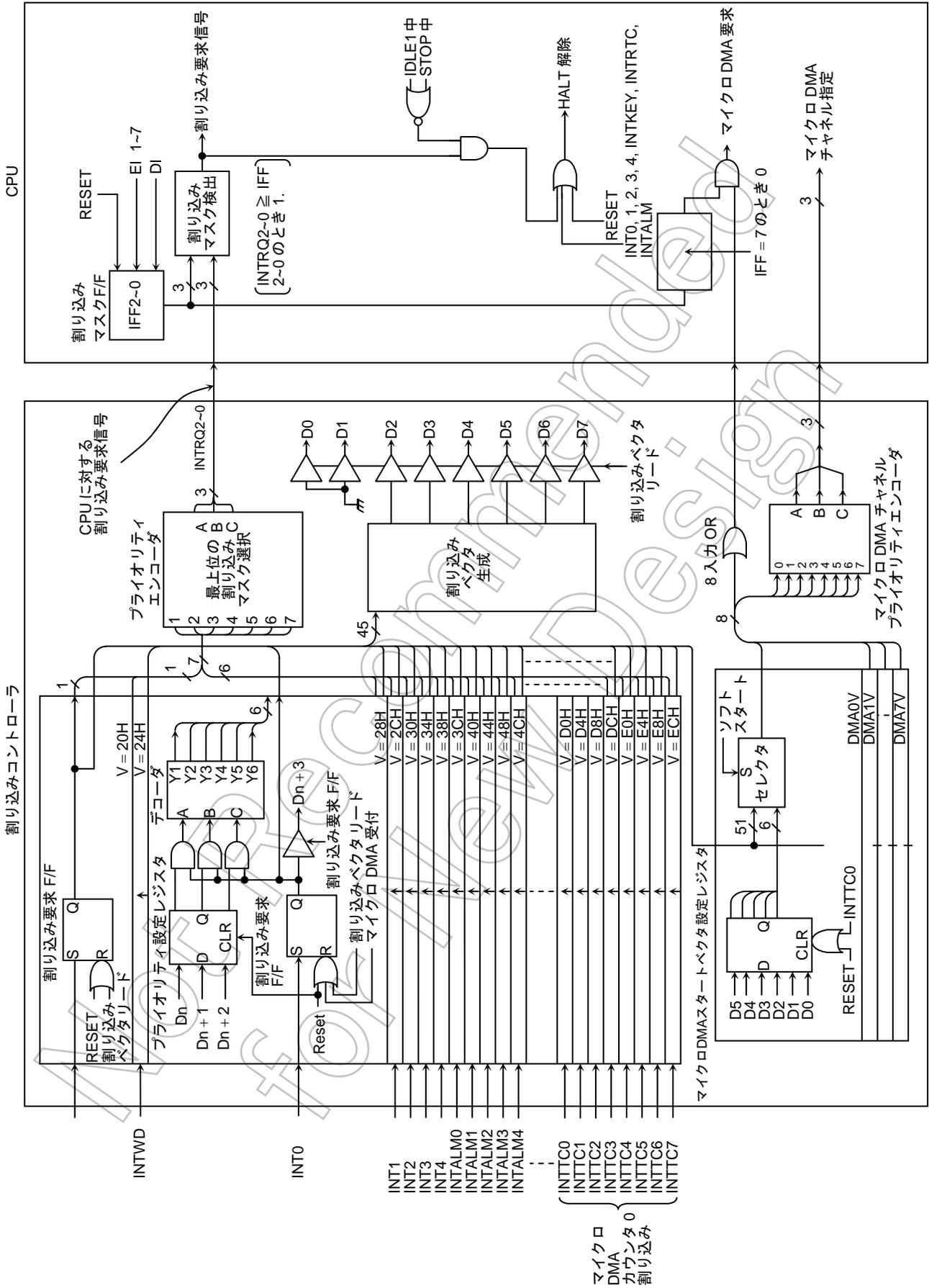


図 3.4.3 割り込みコントローラブロック図

(1) 割り込みレベル設定レジスタ

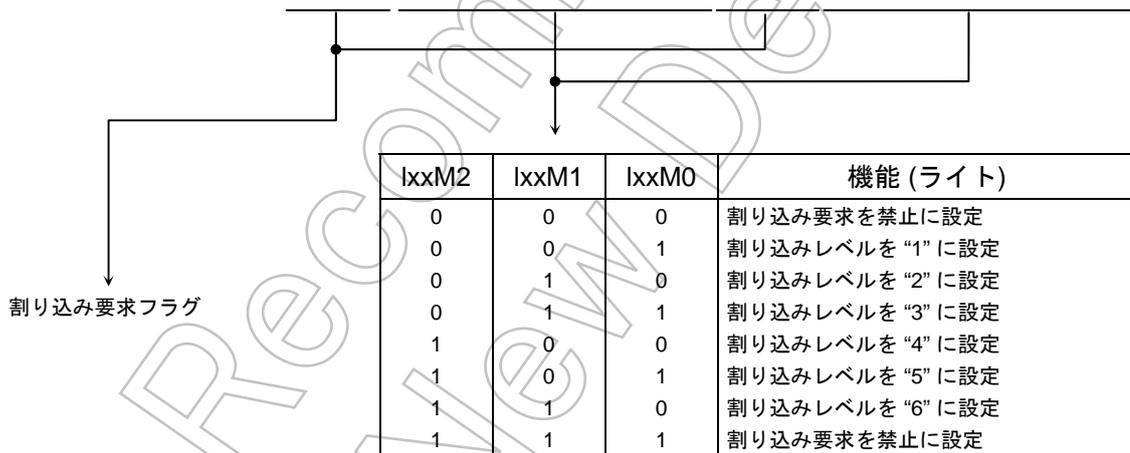
記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE0AD	INT0 & INTAD enable	F0H	INTAD				INT0			
			IADC	IADM2	IADM1	IADM0	IOM0	IOM2	IOM1	IOM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE12	INT1 & INT2 enable	D0H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE34	INT3 & INT4 enable	D1H	INT4				INT3			
			I4C	I4M2	I4M1	I4M0	I3C	I3M2	I3M1	I3M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE512S	INT5 & INT12S enable	EBH	INT12S				INT5			
			I12SC	I12SM2	I12SM1	I12SM0	I5C	I5M2	I5M1	I5M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEA01	INTTA0 & INTTA1 enable	D4H	INTTA1 (TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEA23	INTTA2 & INTTA3 enable	D5H	INTTA3 (TMRA3)				INTTA2 (TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEB01	INTTB0 & INTTB1 enable	D8H	INTTB1 (TMRB1)				INTTB0 (TMRB0)			
			ITB1C	ITB1M2	ITB1M1	ITB1M0	ITB0C	ITB0M2	ITB0M1	ITB0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEB00	INTTBO0 (オーバフロー) enable	DAH	-				INTTBO0 (TMRB0)			
			-	-	-	-	ITBO0C	ITBO0M2	ITBO0M1	ITBO0M0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTES0	INTRX0 & INTTX0 enable	DBH	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTESPI	INTSPI enable	E0H	INTSPI				-			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	-	-	-	-
			R	R/W			-	-		
			0	0	0	0	"0"をライトしてください			
INTESBI	INTSBI enable	E1H	-				INTSBI			
			-	-	-	-	ISBI0C	ISBIM2	ISBIM1	ISBIM0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTEALM01	INTALM0 & INTALM1 enable	E5H	INTALM1				INTALM0			
			IA1C	IA1M2	IA1M1	IA1M0	IA0C	IA0M2	IA0M1	IA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEALM23	INTALM2 & INTALM3 enable	E6H	INTALM3				INTALM2			
			IA3C	IA3M2	IA3M1	IA3M0	IA2C	IA2M2	IA2M1	IA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTEALM4	INTALM4 enable	E7H	-				INTALM4			
			-	-	-	-	IA4C	IA4M2	IA4M1	IA4M0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTERTC	INTRTC enable	E8H	-				INTRTC			
			-	-	-	-	IRC	IRM2	IRM1	IRM0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTEKEY	INTKEY enable	E9H	-				INTKEY			
			-	-	-	-	IKC	IKM2	IKM1	IKM0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTELCD	INTLCD enable	EAH	-				INTLCD			
			-	-	-	-	ILCD1C	ILCDM2	ILCDM1	ILCDM0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTEND01	INTNDF0 & INTNDF1 enable	ECH	INTNDF1				INTNDF0			
			IN1C	IN1M2	IN1M1	IN1M0	INOC	INOM2	INOM1	INOM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEP0	INTP0 enable	EEH	-				INTP0			
			-	-	-	-	IPOC	IPOM2	IPOM1	IPOM0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0

割り込み要求フラグ

IxxM2	IxxM1	IxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを "1" に設定
0	1	0	割り込みレベルを "2" に設定
0	1	1	割り込みレベルを "3" に設定
1	0	0	割り込みレベルを "4" に設定
1	0	1	割り込みレベルを "5" に設定
1	1	0	割り込みレベルを "6" に設定
1	1	1	割り込み要求を禁止に設定

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTETC01	INTTC0 & INTTC1 enable	F1H	INTTC1 (DMA1)				INTTC0 (DMA0)			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC23	INTTC2 & INTTC3 enable	F2H	INTTC3 (DMA3)				INTTC2 (DMA2)			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC45	INTTC4 & INTTC5 enable	F3H	INTTC5 (DMA5)				INTTC4 (DMA4)			
			ITC5C	ITC5M2	ITC5M1	ITC5M0	ITC4C	ITC4M2	ITC4M1	ITC4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC67	INTTC6 & INTTC7 enable	F4H	INTTC7 (DMA7)				INTTC6 (DMA6)			
			ITC7C	ITC7M2	ITC7M1	ITC7M0	ITC6C	ITC6M2	ITC6M1	ITC6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTWDT	INTWDT enable	F7H	-				INTWDT			
			-	-	-	-	ITCWDT	-	-	-
			-	-	-	-	R	-	-	-
			"0"をライトしてください				0	-	-	-



記号	名称	アドレス	7	6	5	4	3	2	1	0		
IIMC	Interrupt input mode control	F6H (RMW 禁)	I5EDGE	I4EDGE	I3EDGE	I2EDGE	I1EDGE	I0EDGE	I0LE	-		
			W								R/W	R/W
			0	0	0	0	0	0	0	0		
			INT 5EDGE 0: 立ち上がり 1: 立ち下がり	INT4 EDGE 0: 立ち上がり 1: 立ち下がり	INT3 EDGE 0: 立ち上がり 1: 立ち下がり	INT2 EDGE 0: 立ち上がり 1: 立ち下がり	INT1 EDGE 0: 立ち上がり 1: 立ち下がり	INT0 EDGE 0: 立ち上がり 1: 立ち下がり	0: INT0 エッジモード 1: INT0 レベルモード	"0"をライト してください。		

*INT0 レベルイネーブル

0	エッジ検出
1	"H"レベル

注 1) INT0 端子のモードをレベルからエッジに切り替える場合 (<I0LE>を "1" から "0" へ)、INT0 を禁止してから切り替えてください。

```

DI
LD (IIMC), XXXXXX0-B ;レベルからエッジに切り替える
LD (INTCLR), 0AH ;割り込み要求フラグをクリア
NOP ;EIの実行をウェイト
NOP
NOP
EI
    
```

X : Don't care, - : No change

注 2) 外部割り込みの入力パルス幅にはスペックがあります。「4. 電気的特性」を参照してください。

外部割り込み端子機能

割り込み	端子名	モード	設定方法
INT0	PC0	 立ち上がりエッジ	<I0LE> = 0, <I0EDGE> = 0
		 立ち下がりエッジ	<I0LE> = 0, <I0EDGE> = 1
		 High レベル	<I0LE> = 1
INT1	PC1	 立ち上がりエッジ	<I1EDGE> = 0
		 立ち下がりエッジ	<I1EDGE> = 1
INT2	PC2	 立ち上がりエッジ	<I2EDGE> = 0
		 立ち下がりエッジ	<I2EDGE> = 1
INT3	PC3	 立ち上がりエッジ	<I3EDGE> = 0
		 立ち下がりエッジ	<I3EDGE> = 1
INT4	P96	 立ち上がりエッジ	<I4EDGE> = 0
		 立ち下がりエッジ	<I4EDGE> = 1
INT5	P97	 立ち上がりエッジ	<I5EDGE> = 0
		 立ち下がりエッジ	<I5EDGE> = 1

(3) SIO 受信割り込み制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
SIMC	SIO Interrupt input mode control	F5H (RMW 禁)	-						-	IROLE
			W						W	W
			0						1	1
			"0"をライトしてください。 (注)						"0"をライトしてください。	0: INTRX0 エッジモード 1: INTRX0 レベルモード

注) マイクロ DMA 終了割り込みを使う場合は、常に "1" をライトしてください。

INTRX0 立ち上がりエッジイネーブル

0	エッジ検出
1	"H"レベル

Not Recommended for New Design

(4) 割り込み要求フラグクリアレジスタ

割り込み要求フラグのクリアは、INTCLR レジスタにマイクロ DMA 起動ベクタを書くことを行います。

例えば、INT0 割り込みフラグをクリアする場合、DI 命令後に下記のレジスタ操作を行います。

INTCLR ← 0AH INT0 割り込み要求フラグのクリア

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTCLR	Interrupt clear control	F8H (RMW 禁)	CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0
			W							
			0	0	0	0	0	0	0	0
			割り込みベクタ							

(5) マイクロ DMA スタートベクタレジスタ

マイクロ DMA 処理をどの割り込み要因に割り当てるかを選択するレジスタです。このレジスタに設定されたベクタ値と一致するマイクロ DMA 起動ベクタを持つ割り込み要因をマイクロ DMA 起動要因として割り当てます。

マイクロ DMA 転送カウンタが“0”になると、割り込みコントローラにそのチャンネルに相当するマイクロ DMA 転送終了割り込みが伝えられるとともに、このマイクロ DMA 起動ベクタレジスタはクリアされ、そのチャンネルのマイクロ DMA 起動要因がクリアされますので、引き続きマイクロ DMA 処理をさせたい場合は、マイクロ DMA 転送終了割り込み処理の中で、再度このマイクロ DMA 起動ベクタレジスタをセットする必要があります。

また、複数チャンネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合は、チャンネル番号の小さい方が優先されます。

従って、2チャンネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合、チャンネル番号の小さいチャンネルがマイクロ DMA 転送終了になるまで実行され、そのチャンネルのマイクロ DMA 起動ベクタを再度設定しなければ、その後のマイクロ DMA 起動はチャンネル番号の大きいチャンネルに移行します(マイクロ DMA のチェーン)。

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA0 起動 ベクタ	100H			DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
					R/W					
					0	0	0	0	0	0
					DMA0 起動ベクタ					
DMA1V	DMA1 起動 ベクタ	101H			DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
					R/W					
					0	0	0	0	0	0
					DMA1 起動ベクタ					
DMA2V	DMA2 start vector	102H			DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
					R/W					
					0	0	0	0	0	0
					DMA2 起動ベクタ					
DMA3V	DMA3 start vector	103H			DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
					R/W					
					0	0	0	0	0	0
					DMA3 起動ベクタ					
DMA4V	DMA4 start vector	104H			DMA4V5	DMA4V4	DMA4V3	DMA4V2	DMA4V1	DMA4V0
					R/W					
					0	0	0	0	0	0
					DMA4 起動ベクタ					
DMA5V	DMA5 start vector	105H			DMA5V5	DMA5V4	DMA5V3	DMA5V2	DMA5V1	DMA5V0
					R/W					
					0	0	0	0	0	0
					DMA5 起動ベクタ					
DMA6V	DMA6 start vector	106H			DMA6V5	DMA6V4	DMA6V3	DMA6V2	DMA6V1	DMA6V0
					R/W					
					0	0	0	0	0	0
					DMA6 起動ベクタ					
DMA7V	DMA7 start vector	107H			DMA7V5	DMA7V4	DMA7V3	DMA7V2	DMA7V1	DMA7V0
					R/W					
					0	0	0	0	0	0
					DMA7 起動ベクタ					

(6) マイクロ DMA のバースト指定

マイクロ DMA 処理はバースト指定を行うことにより、1回のマイクロ DMA 起動で転送カウンタレジスタがゼロになるまで、連続転送を行うことが可能です。下記に示す DMAB レジスタのマイクロ DMA チャンネルに対応するビットを“1”にすることで、バースト指定できます。

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMAB	DMA burst	108H	DBST7	DBST6	DBST5	DBST4	DBST3	DBST2	DBST1	DBST0
			R/W							
			0	0	0	0	0	0	0	0
			1: DMA バースト要求							

Not Recommended for New Design

(7) 注意事項

本 CPU は、命令実行ユニットとバスインタフェースユニットが別れています。そのため、割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグをクリアする命令をフェッチした場合、CPU が割り込みを受け付けて、割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令(注)を実行するということがありえます。この場合、CPU は要因消滅ベクタ“0004H”を読み込み、FFFF04H 番地の割り込みベクタをリードします。

上記の現象を回避するため、割り込み要求フラグをクリアするときは、DI 命令の後にクリアする命令を置くようにしてください。また、再び割り込みイネーブルに設定する場合は EI 命令を実行してください。なお、EI 命令はクリア命令後、3 命令(例:“NOP”が 3 回)以上実行された後に実行してください。クリア命令後すぐに EI 命令を置くと、割り込み要求フラグがクリアされる前に、割り込みイネーブルになってしまうことがあります。

また、POP SR 命令により割り込みマスクレベル(ステータスレジスタ SR の<IFF2:0>を書き替えるときは、必ず DI 命令により割り込みを禁止した後に POP SR 命令を実行してください。

さらに、以下の 2 点は例外の回路になっていますので注意が必要です。

INT0 の レベルモード	<p>エッジタイプの割り込みでないため、割り込み要求用フリップフロップ機能はキャンセルされ、周辺割り込み要求がそのままフリップフロップの S 入力を素通りし、Q 出力になります。モード変更(エッジ→レベル)を行った場合、以前の割り込み要求フラグは、自動的にクリアされます。</p> <p>INT0 を“0”から“1”にすることによって、CPU が割り込み応答シーケンスに入ったときは、その割り込み応答シーケンスが完了するまで INT0 を“1”のままにしておく必要があります。また、INT0 のレベルモードを HALT の解除に使用する場合も一度“0”から“1”にしたら、HALT が解除されるまで必ず“1”に保持しておく必要があります。(ノイズによって途中で“0”が入ることがないようにしてください。)</p> <p>レベルモードからエッジモードへ切り替えたとき、そのレベルモードときに受け付けた割り込み要求フラグは、クリアされません。そのため、割り込み要求フラグを以下にシーケンスでクリアしてください。</p> <pre> DI LD (IIMC), 00H ; レベルからエッジへ切り替える LD (INTCLR), 0AH ; INT0 割り込み要求フラグをクリア NOP ; EI の実行をウェイト NOP NOP EI </pre>
INTRX	<p>レベルモード時、割り込み要求用フリップフロップをクリアするには、リセット動作またはシリアルチャネルの受信バッファをリードする必要があります。INTCLR レジスタライトによるクリアはできません。</p>

注) 下記の命令および端子変化も、この割り込み要求フラグをクリアする命令に相当します。

INT0: エッジモードで割り込み要求発生後のレベルモードへの切り替え命令

レベルモードでの割り込み要求発生後の端子入力変化 (“H” → “L”)

INTRX: 受信バッファをリードする命令

3.5 ポート機能

TMP92CA25 は表 3.5.1 に示すような汎用入出力ポート機能だけでなく、内部のCPUや内蔵I/Oの入出力機能も持っています。表 3.5.1 ポート機能に各ポート端子の機能を、表 3.5.2 入出力ポート設定一覧表に各端子の設定方法を示します。

表 3.5.1 ポート機能 (R: PD = プログラマブルプルダウン抵抗付き、U = プルアップ抵抗付き)

ポート名	ピン名称	ピン数	方向	R	入出力設定	内蔵機能用ピン名称
ポート 1	P10~P17	8	入出力	-	ビット	D8~D15
ポート 6	P60~P67	8	入出力	-	ビット	A16~A23
ポート 7	P70	1	出力	-	(固定)	RD
	P71	1	入出力	-	ビット	WRL \bar{L} , NDRE
	P72	1	入出力	-	ビット	WRL \bar{U} , NDWE
	P73	1	入出力	-	ビット	EA24
	P74	1	入出力	-	ビット	EA25
	P75	1	入出力	-	ビット	R/ \bar{W} , NDR/ \bar{B}
	P76	1	入出力	-	ビット	WAIT
ポート 8	P80	1	出力	-	(固定)	CS0
	P81	1	出力	-	(固定)	CS1, SDGS
	P82	1	出力	-	(固定)	CS2, CSZA
	P83	1	出力	-	(固定)	CS3
	P84	1	出力	-	(固定)	CSZB, ND0CE
	P85	1	出力	-	(固定)	CSZC, ND1CE
	P86	1	出力	-	(固定)	CSZD
	P87	1	出力	-	(固定)	CSZE
ポート 9	P90	1	入出力	-	ビット	TXD0, I2SCKO
	P91	1	入出力	-	ビット	RXD0, I2SDO
	P92	1	入出力	-	ビット	SCLK0, CTS0, I2SWS
	P93	1	入出力	-	ビット	SDA
	P94	1	入出力	-	ビット	SCL
	P95	1	出力	-	(固定)	CLK32KO
	P96	1	入力	PD	(固定)	INT4, PX
	P97	1	入力		(固定)	INT5, PY
ポート A	PA0~PA7	8	入力	U	(固定)	KI0~KI7
ポート C	PC0	1	入出力	-	ビット	INT0, TA1OUT
	PC1	1	入出力	-	ビット	INT1, TA3OUT
	PC2	1	入出力	-	ビット	INT2, TB0OUT0
	PC3	1	入出力	-	ビット	INT3
	PC4	1	入出力	-	ビット	
	PC5	1	入出力	-	ビット	
	PC6	1	入出力	-	ビット	KO8, EA24
	PC7	1	入出力	-	ビット	CSZF, EA25
ポート F	PF0	1	入出力	-	ビット	TXD0, TXD1
	PF1	1	入出力	-	ビット	RXD0, RXD1
	PF2	1	入出力	-	ビット	SCLK0, CTS0
	PF3	1	入出力	-	ビット	
	PF4	1	入出力	-	ビット	
	PF5	1	入出力	-	ビット	
	PF6	1	入出力	-	ビット	
	PF7	1	出力	-	(固定)	SDCLK

表 3.5.1 ポート機能 (2/2)

ポート名	ピン名称	ピン数	方向	R	入出力設定	内蔵機能用ピン名称
ポート G	PG0~PG1	2	入力	-	(固定)	AN0~AN1
	PG2	1	入力	-	(固定)	AN2, MX
	PG3	1	入力	-	(固定)	AN3, $\overline{\text{ADTRG}}$, MY
ポート J	PJ0	1	出力	-	(固定)	$\overline{\text{SDRAS}}$, $\overline{\text{SRLLB}}$
	PJ1	1	出力	-	(固定)	$\overline{\text{SDCAS}}$, $\overline{\text{SRLUB}}$
	PJ2	1	出力	-	(固定)	$\overline{\text{SDWE}}$, $\overline{\text{SRWR}}$
	PJ3	1	出力	-	(固定)	$\overline{\text{SDLLDQM}}$
	PJ4	1	出力	-	(固定)	$\overline{\text{SDLUDQM}}$
	PJ5	1	入出力	-	ビット	NDALE
	PJ6	1	入出力	-	ビット	NDCLE
	PJ7	1	出力	-	(固定)	SDCKE
ポート K	PK0	1	出力	-	(固定)	LCP0
	PK1	1	出力	-	(固定)	LLP
	PK2	1	出力	-	(固定)	LFR
	PK3	1	出力	-	(固定)	LBCD
	PK4	1	入出力	-	ビット	SPDI
	PK5	1	入出力	-	ビット	SPDO
	PK6	1	入出力	-	ビット	SPCS
	PK7	1	入出力	-	ビット	SPCLK
ポート L	PL0~PL3	4	出力	-	(固定)	LD0~LD3
	PL4~PL5	2	入出力	-	ビット	LD4~LD7
	PL6	1	入出力	-	ビット	LD6, $\overline{\text{BUSRQ}}$
	PL7	1	入出力	-	ビット	LD7, $\overline{\text{BUSAK}}$
ポート M	PM1	1	出力	-	(固定)	MLDALM
	PM2	1	出力	-	(固定)	$\overline{\text{ALARM}}$, $\overline{\text{MLDALM}}$
ポート N	PN0~PN7	8	入出力	-	ビット	KO0~KO7

Not REC
for NEW

表 3.5.2 I/O ポート設定一覧表(1/3)

X: Don't care

ポート	ピン名称	仕様	入出力レジスタ			
			Pn	PnCR	PnFC	PnFC2
ポート 1	P10~P17	入力ポート	X	0	0	設定レジスタなし
		出力ポート	X	1		
		D8~D15 バス	X	X	1	
ポート 6	P60~P67	入力ポート	X	0	0	設定レジスタなし
		出力ポート	X	1		
		A16~A23 出力	X	X	1	
ポート 7	P70~P76	出力ポート	X	1	0	設定レジスタなし
	P71~P76	入力ポート	X	0	0	
	P70	\overline{RD} 出力	X	設定レジスタなし		
	P71	\overline{WRLL} 出力	1	1	1	
		\overline{NDRE} 出力	0			
	P72	\overline{WRLU} 出力	1	1	1	
		\overline{NDWE} 出力	0			
	P73	EA24 出力		1		
	P74	EA25 出力	X			
	P75	R/ \overline{W} 出力	X	1	1	
		$\overline{NDR/B}$ 入力	1	0	1	
P76	\overline{WAIT} 入力	X		1		
ポート 8	P80~P87	出力ポート	X		0	0
	P80	$\overline{CS0}$ 出力	X		1	0
	P81	$\overline{CS1}$ 出力	X		1	0
		\overline{SDCS} 出力	X		X	1
	P82	$\overline{CS2}$ 出力	X		1	0
		\overline{CSZA} 出力	X		0	1
	P83	$\overline{CS3}$ 出力	X		1	0
	P84	\overline{CSZB} 出力	X		1	0
		$\overline{ND0CE}$ 出力	X		1	1
	P85	\overline{CSZC} 出力	X		1	0
		$\overline{ND1CE}$ 出力	X		1	1
	P86	\overline{CSZD} 出力	X		1	0
	P87	\overline{CSZE} 出力	X		1	0

表 3.5.2 I/O ポート設定一覧表(2/3)

X: Don't care

ポート	ピン名称	仕様	入出力レジスタ			
			Pn	PnCR	PnFC	PnFC2
ポート 9	P90~P94, P96~P97	入力ポート	X	0	0	0
	P90~P94	出力ポート	X	1	0	
	P95	出力ポート	X	0	0	
	P90	TXD0 出力	X	1	1	1
		I2SCKO 出力	X	0	1	
		TXD0 出力 (オープンドレイン)	X	1	1	
	P91	RXD0 入力	X	0	0	設定レジスタなし
		I2SDO 出力	X	0	1	
	P92	SCLK0 出力	X	1	1	
		I2SWS 出力	X	0	1	
		SCLK0, CTS0 入力 (注 1)	X	0	0	
	P93	SDA 入出力	X	1	1	
		SDA 入出力 (オープンドレイン)	X	1	1	1
	P94	SCL 入出力	X	1	1	0
		SCL 入出力 (オープンドレイン)	X	1	1	1
	P95	CLK32KO 出力	X	1	0	設定レジスタなし
	P96	INT4 入力	X		1	
P97	INT5 入力	X		1		
ポート A	PA0~PA7	入力ポート	設定レジスタなし	設定レジスタなし	0	設定レジスタなし
		KI0~KI7 入力			1	
ポート C	PC0~ PC7	入力ポート	X	0	0	設定レジスタなし
		出力ポート	X	1	0	
	PC0	INT0 入力	X	0	1	
		TA1OUT 出力	X	1	1	
	PC1	INT1 入力	X	0	1	
		TA3OUT 出力	X	1	1	
	PC2	INT2 入力	X	0	1	
		TB0OUT0 出力	X	1	1	
	PC3	INT3 入力	X	0	1	
	PC6	EA24 出力	0	1	1	
		KO8 出力 (オープンドレイン)	X	0	1	
PC7	EA25 出力	0	1	1		
	CSZF 出力	X	0	1		
ポート F	PF0~PF6	入力ポート	X	0	0	0
	PF0~PF7	出力ポート	X	1	0	
	PF0	TXD0 出力	X	1	1	0
		TXD0 出力 (オープンドレイン)	X	1	1	1
	PF1	RXD0 入力	X	0	0	設定レジスタなし
	PF2	SCLK0 出力	X	1	1	0
		SCLK0, CTS0 入力	X	0	0	
	PF7	SDCLK 出力	X	設定レジスタなし	1	設定レジスタなし

注 1) P92 端子を SCLK0 入力あるいは $\overline{\text{CTS0}}$ 入力として使う場合、PF<PF2>に“1”を設定してください。

表 3.5.2 I/O ポート設定一覧表(3/3)

X: Don't care

ポート	ピン名称	仕様	入出力レジスタ			
			Pn	PnCR	PnFC	PnFC2
ポート G	PG0~PG3	入力ポート	X	設定 レジスタ なし	設定 レジスタ なし	
		AN0~AN3 入力				
	PG3	ADTRG 入力				
	PG2	MX 出力				
	PG3	MY 出力				
ポート J	PJ0~PJ7	出力ポート	X	1	0	設定 レジスタ なし
	PJ5~PJ6	入力ポート	X	0	0	
	PJ0	SDRAS, SRLLB 出力	X	設定 レジスタ なし	1	
	PJ1	SDCAS, SRLUB 出力	X		1	
	PJ2	SDWE, SRWR 出力	X		1	
	PJ3	SDLLDQM 出力	X		1	
	PJ4	SDLUDQM 出力	1	1	1	
	PJ5	NDALE 出力	0		1	
	PJ6	NDCLE 出力	0		1	
	PJ7	SDCKE 出力	1	設定レジ スタなし		
ポート K	PK4~PK7	入力ポート	X	0	設定 レジスタ なし	
	PK0~PK3	出力ポート	X	設定レジ スタなし		0
	PK4~PK7	出力ポート	X	1		
	PK0	LCP0 出力	X	設定 レジスタ なし		1
	PK1	LLP 出力	X			1
	PK2	LFR 出力	X			1
	PK3	LBCD 出力	X			1
	PK4	SPDI 入力	X	0		1
	PK5	SPDO 出力	X	1		1
	PK6	SPCS 出力	X	1		1
	PK7	SPCLK 出力	X	1		1
ポート L	PL4~PL7	入力ポート	X	0	0	
	PL0~PL7	出力ポート	X	1	0	
	PL0~PL7	LD0~LD7 出力	X	1	1	
	PL6	BUSRQ 入力	X	0	1	
	PL7	BUSAK 出力	X	0	1	
ポート M	PM1~PM2	出力ポート	X	設定 レジスタ なし	0	
	PM1	MLDALM 出力	X		1	
	PM2	MLDALM 出力	0		1	
		ALARM 出力	1		1	
ポート N	PN0~PN7	入力ポート	X	0	0	
		出力ポート	X	1	0	
		KO 出力(オープンドレイン出力)	X		1	1

3.5.1 ポート 1 (P10~P17)

ポート 1 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。

ビットごとの入出力の指定は、コントロールレジスタ P1CR およびファンクションレジスタ P1FC によって行います。汎用入出力ポート機能以外にデータバス (D8~D15) 機能があります。また、以下に示す AM1 と AM0 端子の組合せにより、リセット解除後、ポート 1 を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	データバス (D8~D15)
1	0	入力ポート (P10~P17)
1	1	設定禁止

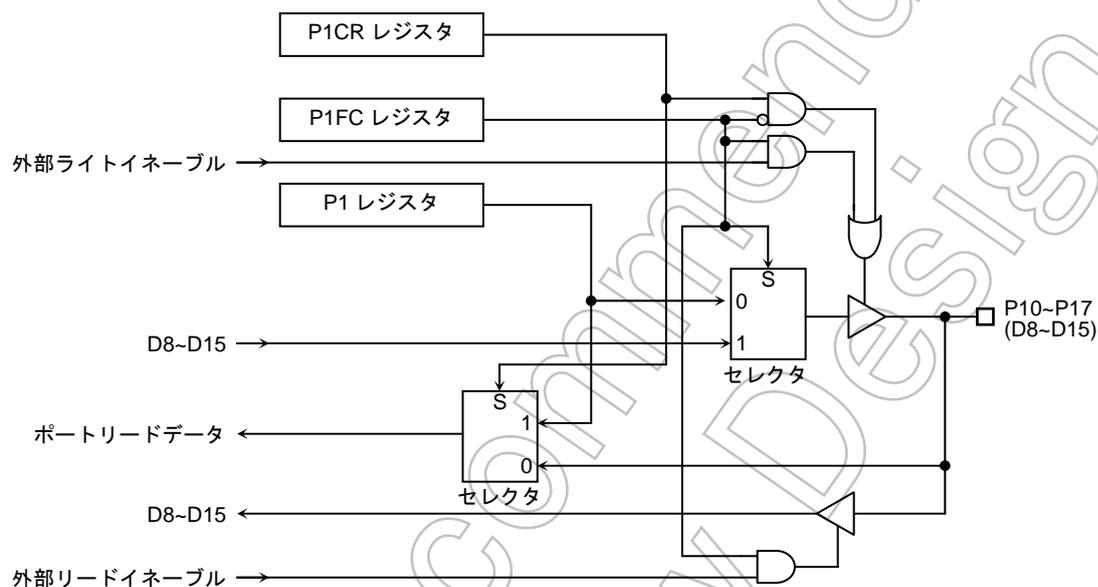


図 3.5.1 ポート 1

ポート 1 レジスタ

	7	6	5	4	3	2	1	0	
P1 (004H)	Bit symbol	P17	P16	P15	P14	P13	P12	P11	P10
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは "0" にクリアされます。)							

ポート 1 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P1CR (0006H)	Bit symbol	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	
	機能	0: 入力 1: 出力							

ポート 1 ファンクションレジスタ

	7	6	5	4	3	2	1	0
P1FC (0007H)	Bit symbol							P1F
	Read/Write							W
	リセット後							0/1 注2)
	機能							0: ポート 1: データ バス (D8-D15)

ポート 1 ドライブレジスタ

	7	6	5	4	3	2	1	0	
P1DR (0081H)	Bit symbol	P17D	P16D	P15D	P14D	P13D	P12D	P11D	P10D
	Read/Write	W							
	リセット後	1	1	1	1	1	1	1	
	機能	スタンバイモード用出力バッファドライブレジスタ							

注 1) P1CR, P1FC はリードモディファイライトできません。

注 2) AM 端子の状態によって、リセット後、ポートかデータバスに変わります。

図 3.5.2 ポート 1 関係のレジスタ

3.5.2 A0~A7

A0~A7 端子は、アドレスバス専用端子です。この端子用のドライブレジスタとして、以下のレジスタが準備されています。

ポート4ドライブレジスタ

P4DR (0084H)		7	6	5	4	3	2	1	0
	Bit symbol	P47D	P46D	P45D	P44D	P43D	P42D	P41D	P40D
	Read/Write	W							
	リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

図 3.5.3 A0~A7 用ドライブレジスタ

3.5.3 A8~A15

A8~A15 端子は、アドレスバス専用端子です。この端子用のドライブレジスタとして、以下のレジスタが準備されています。

ポート5ドライブレジスタ

P5DR (0085H)		7	6	5	4	3	2	1	0
	Bit symbol	P57D	P56D	P55D	P54D	P53D	P52D	P51D	P50D
	Read/Write	W							
	リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

図 3.5.4 A8~A15 用ドライブレジスタ

3.5.4 ポート 6 (P60~P67)

ポート 6 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。

ビットごとの入出力の指定は、コントロールレジスタ P6CR およびファンクションレジスタ P6FC によって行います。汎用入出力ポート機能以外にアドレスバス (A16~A23) 機能があります。また、以下に示す AM1 と AM0 端子の組合せにより、リセット解除後、ポート 6 を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	アドレスバス (A16~A23)
1	0	アドレスバス (A16~A23)
1	1	設定禁止

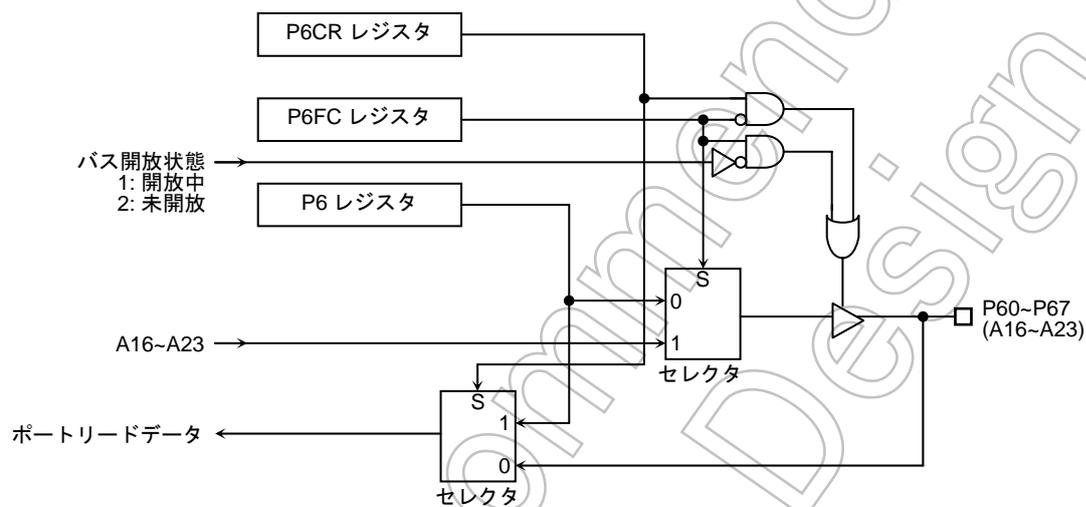


図 3.5.5 ポート 6

ポート 6 レジスタ

	7	6	5	4	3	2	1	0	
P6 (0018H)	Bit symbol	P67	P66	P65	P64	P63	P62	P61	P60
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは "0" にクリアされます。)							

ポート 6 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P6CR (001AH)	Bit symbol	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

ポート 6 ファンクションレジスタ

	7	6	5	4	3	2	1	0	
P6FC (001BH)	Bit symbol	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F
	Read/Write	W							
	リセット後	1	1	1	1	1	1	1	1
	機能	0: ポート 1: アドレスバス (A16~A23)							

ポート 6 ドライブレジスタ

	7	6	5	4	3	2	1	0	
P6DR (0086H)	Bit symbol	P67D	P66D	P65D	P64D	P63D	P62D	P61D	P60D
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注) P6CR, P6FC はリードモディファイライトできません。

図 3.5.6 ポート 6 関係のレジスタ

3.5.5 ポート 7 (P70~P76)

ポート 7 は、7 ビットの汎用入出力ポートです (P70 端子は出力のみ)。

ビットごとの入出力の指定は、コントロールレジスタ P7CR およびファンクションレジスタ P7FC によって行います。

また、汎用入出力ポート機能以外に、P70 から P76 端子は外部メモリ接続用としてのインタフェース端子の機能があります。リセット後、P70 端子は出力モード、P71~P76 端子は入力モードとなります。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	\overline{RD} 端子
1	0	\overline{RD} 端子
1	1	設定禁止

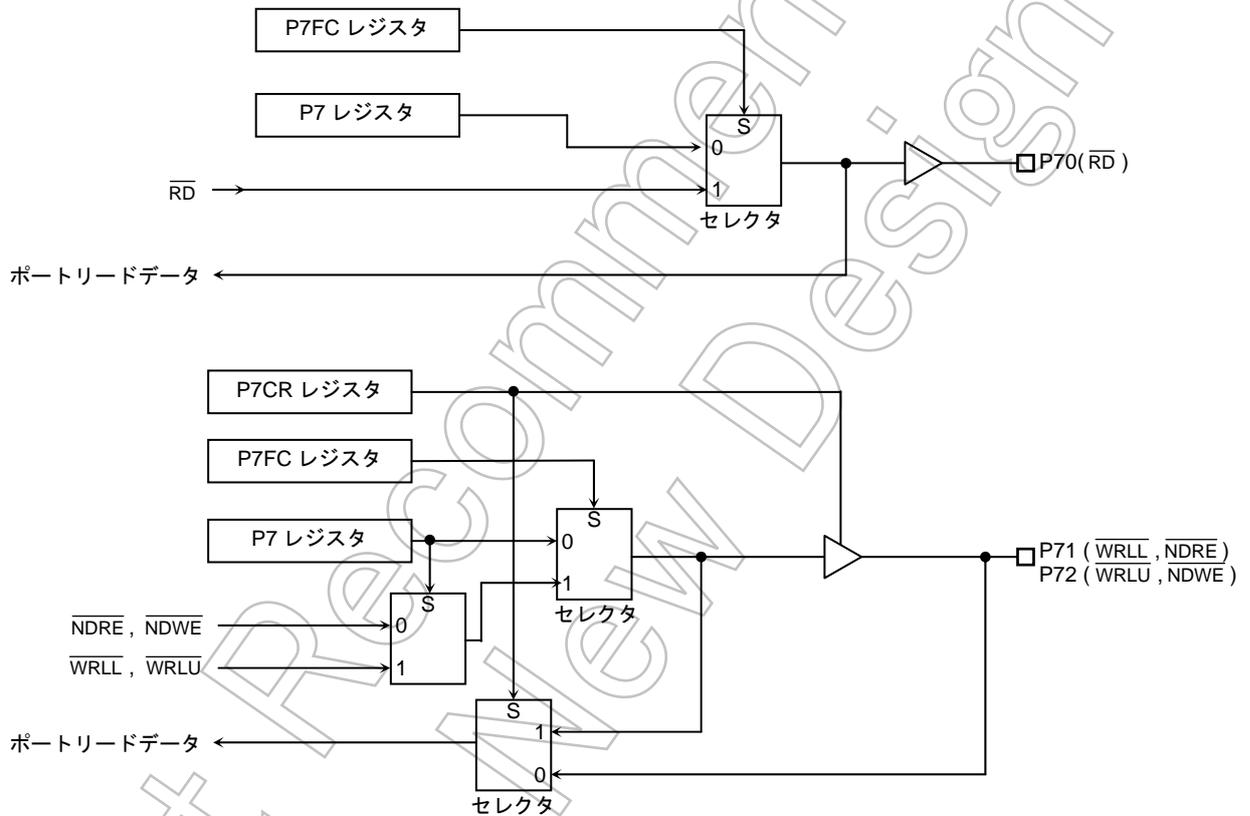


図 3.5.7 ポート 7

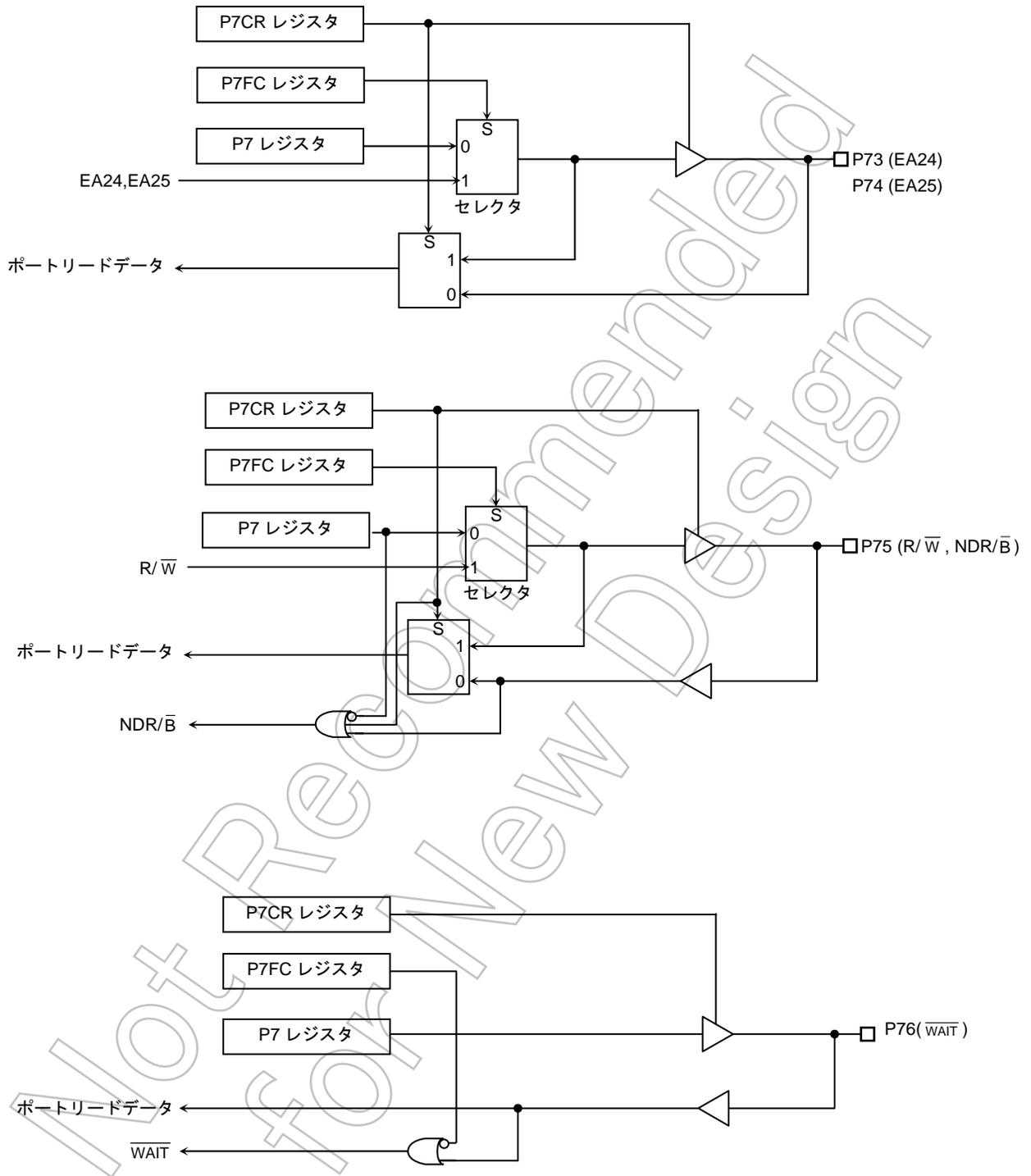


図 3.5.8 ポート 7

ポート7レジスタ

P7 (001CH)		7	6	5	4	3	2	1	0
	Bit symbol		P76	P75	P74	P73	P72	P71	P70
	Read/Write		R/W						
	リセット後		外部端子データ (出力ラッチレジスタは "1"にセットされます)		外部端子データ (出力ラッチレジスタは "0"にクリアされます)		外部端子データ (出力ラッチレジスタは "1"にセットされます)		1

ポート7コントロールレジスタ

P7CR (001EH)		7	6	5	4	3	2	1	0
	Bit symbol		P76C	P75C	P74C	P73C	P72C	P71C	
	Read/Write		W						
	リセット後		0	0	0	0	0	0	
機能		0: 入力 1: 出力							

ポート7ファンクションレジスタ

P7FC (001FH)		7	6	5	4	3	2	1	0
	Bit symbol		P76F	P75F	P74F	P73F	P72F	P71F	P70F
	Read/Write		W						
	リセット後		0	0	0	0	0	0	1
機能		0: ポート 1: WAIT	以下の表を 参照してください					0: ポート 1: RD	

ポート7ドライブレジスタ

P7DR (0087H)		7	6	5	4	3	2	1	0
	Bit symbol		P76D	P75D	P74D	P73D	P72D	P71D	P70D
	Read/Write		R/W						
	リセット後		1	1	1	1	1	1	1
機能		スタンバイモード用入出力バッファドライブレジスタ							

P73 設定

	<P73C>	0	1
<P73F>		0	1
		入力ポート (Reserved)	出力ポート EA24 出力
		1	

P72 設定

	<P72C>	0	1
<P72F>		0	1
		入力ポート (Reserved)	NDWE 出力 (at <P72> = 0) WRLH 出力 (at <P72> = 1)
		1	

P71 設定

	<P71C>	0	1
<P71F>		0	1
		入力ポート (Reserved)	NDRE 出力 (at <P71> = 0) WRLL 出力 (at <P71> = 1)
		1	

P76 設定

	<P76C>	0	1
<P76F>		0	1
		入力ポート WAIT 入力	出力ポート (Reserved)
		1	

P75 設定

	<P75C>	0	1
<P75F>		0	1
		入力ポート NDR/B 入力 (at <P75> = 1)	R/W 出力
		1	

P74 設定

	<P74C>	0	1
<P74F>		0	1
		入力ポート (Reserved)	出力ポート EA25 出力
		1	

注 1) P7CR, P7FC はリードモディファイライトできません。

注 2) NDRE および NDWE を使用する場合、グリッチの出力を回避するために、次の順番でレジスタを設定してください。

順番	レジスタ	bit2	bit1
(1)	P7	0	0
(2)	P7FC	1	1
(3)	P7CR	1	1

図 3.5.9 ポート7関係のレジスタ

3.5.6 ポート 8 (P80~P87)

ポート 8 は 8 ビットの出力ポートです。リセット動作により、P82 の出力ラッチは“0”にクリアされ、P80~P81 と P83~P87 の出力ラッチは“1”にセットされます。

ポート 8 は機能レジスタ P8FC を使用して外部メモリ用のインタフェース端子としての機能も持っています。

これらの機能は P8FC、P8FC2 レジスタの該当ビットに“1”を設定することで動作します。リセットにより P8FC の<P80F>から<P87F>までおよび P8FC2 は“0”にクリアされ、すべてのビットは出力ポートモードになります。

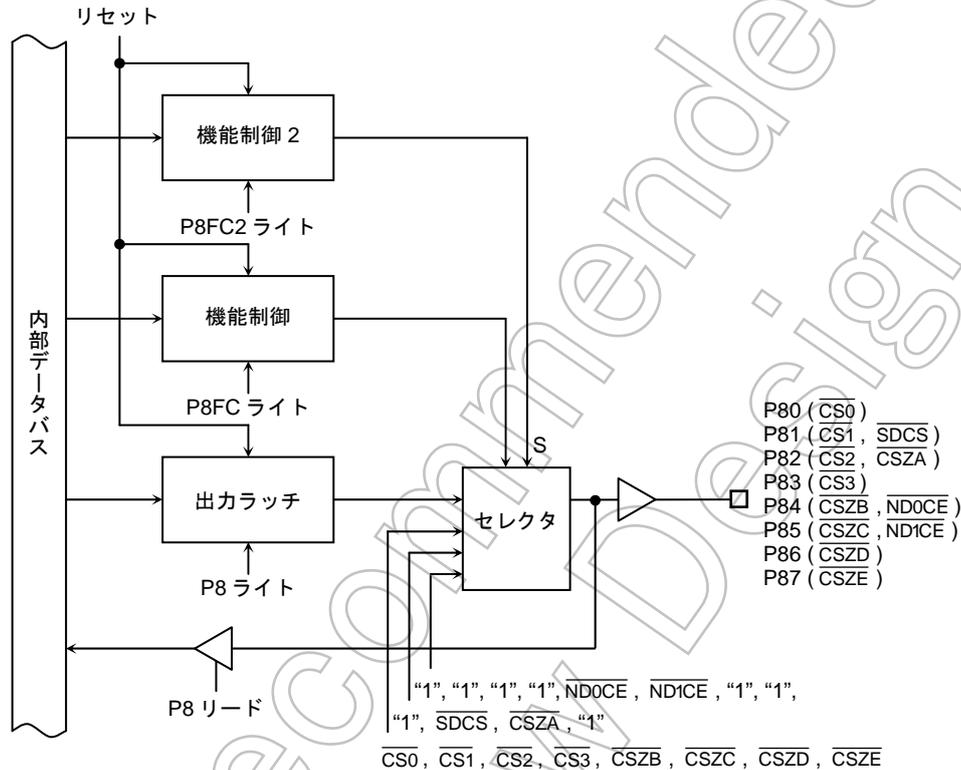


図 3.5.10 ポート 8

ポート 8 レジスタ

	7	6	5	4	3	2	1	0	
P8 (0020H)	Bit symbol	P87	P86	P85	P84	P83	P82	P81	P80
	Read/Write	R/W							
	リセット後	1	1	1	1	1	0	1	1

ポート 8 ファンクションレジスタ

	7	6	5	4	3	2	1	0	
P8FC (0023H)	Bit symbol	P87F	P86F	P85F	P84F	P83F	P82F	P81F	P80F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: ポート 1: $\overline{CSZ\bar{E}}$	0: ポート 1: $\overline{CSZ\bar{D}}$	以下の表を 参照してください		0: ポート 1: $\overline{CS3}$	以下の表を 参照してく ださい	0: ポート 1: $\overline{CS1}$	0: ポート 1: $\overline{CS0}$

ポート 8 ファンクションレジスタ 2

	7	6	5	4	3	2	1	0	
P8FC2 (0021H)	Bit symbol	P87F2	P86F2	P85F2	P84F2	-	P82F2	P81F2	P80F2
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: <P87F> 1: Reserved	0: <P86F> 1: Reserved	以下の表を 参照してください		"0" をライト してください	以下の表を 参照してく ださい	0: <P81F> 1: \overline{SDCS}	"0" をライト してくださ い

ポート 8 ドライブレジスタ

	7	6	5	4	3	2	1	0	
P8DR (0088H)	Bit symbol	P87D	P86D	P85D	P84D	P83D	P82D	P81D	P80D
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

P85 設定

	<P85F>	0	1
<P85F2>	0	出力ポート	$\overline{CSZ\bar{C}}$ 出力
	1	(Reserved)	$\overline{NDIC\bar{E}}$ 出力

P84 設定

	<P84F>	0	1
<P84F2>	0	出力ポート	$\overline{CSZ\bar{B}}$ 出力
	1	(Reserved)	$\overline{ND0C\bar{E}}$ 出力

P82 設定

	<P82F>	0	1
<P82F2>	0	出力ポート	$\overline{CS2}$ 出力
	1	$\overline{CSZ\bar{A}}$ 出力	(Reserved)

注 1) P8FC と P8FC2 はリードモディファイライトできません。

注 2) P82 端子はプログラムメモリ用 \overline{CE} として使用するため、リセットにより "0" を出力します。P82 端子を $\overline{CS2}$ または $\overline{CSZ\bar{A}}$ に設定する前に P8<P82>レジスタに "1" をライトしないでください。

図 3.5.11 ポート 8 関係のレジスタ

3.5.7 ポート 9 (P90~P97)

P90~P94 はビット単位で入出力の指定ができる 5 ビットの汎用入出力ポートです。リセット動作により P90~P94 は入力ポートとなり、また出力ラッチの全ビットは“1”へセットされます。

P95 は 1 ビットの汎用出力ポートで、P96~P97 は 2 ビットの汎用入力ポートです。ポート 9 ファンクションレジスタ P9FC の該当ビットへ“1”を書き込むことにより各機能が有効となります。リセット動作により、P9FC レジスタの値は“0”にリセットされ、P95 を除く全ビットが入力ポートとなります。

- (1) ポート P90 (TXD0, I2SCKO)、ポート P91 (RXD0, I2SDO)、ポート P92 (SCLK0, $\overline{\text{CTS0}}$, I2SWS)

ポート P90~P92 は汎用入出力ポートです。それ以外に SIO0 あるいは I²S としての機能を持っています。

以下はそれぞれの端子の機能を示しています。

	SIO モード (SIO0 モジュール)	UART, IrDA モード (SIO0 モジュール)	I ² S モード (I ² S モジュール)	SIO モード (I ² S モジュール)
P90	TXD0 (データ出力)	TXD0 (データ出力)	I2SCKO (クロック出力)	I2SCKO (クロック出力)
P91	RXD0 (データ入力)	RXD0 (データ入力)	I2SDO (データ出力)	I2SDO (データ出力)
P92	SCLK0 (クロック入力 あるいは 出力)	CTS0 (送信クリア)	I2SWS (ワード選択 出力)	(未使用)

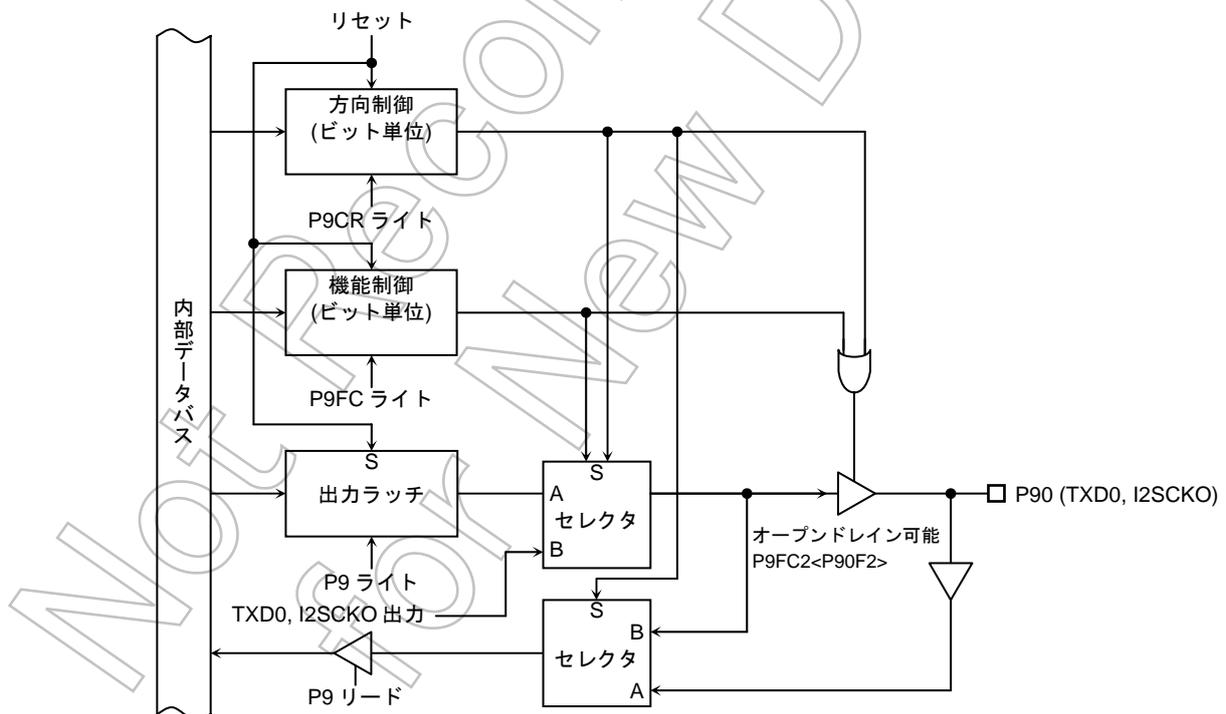


図 3.5.12 ポート P90

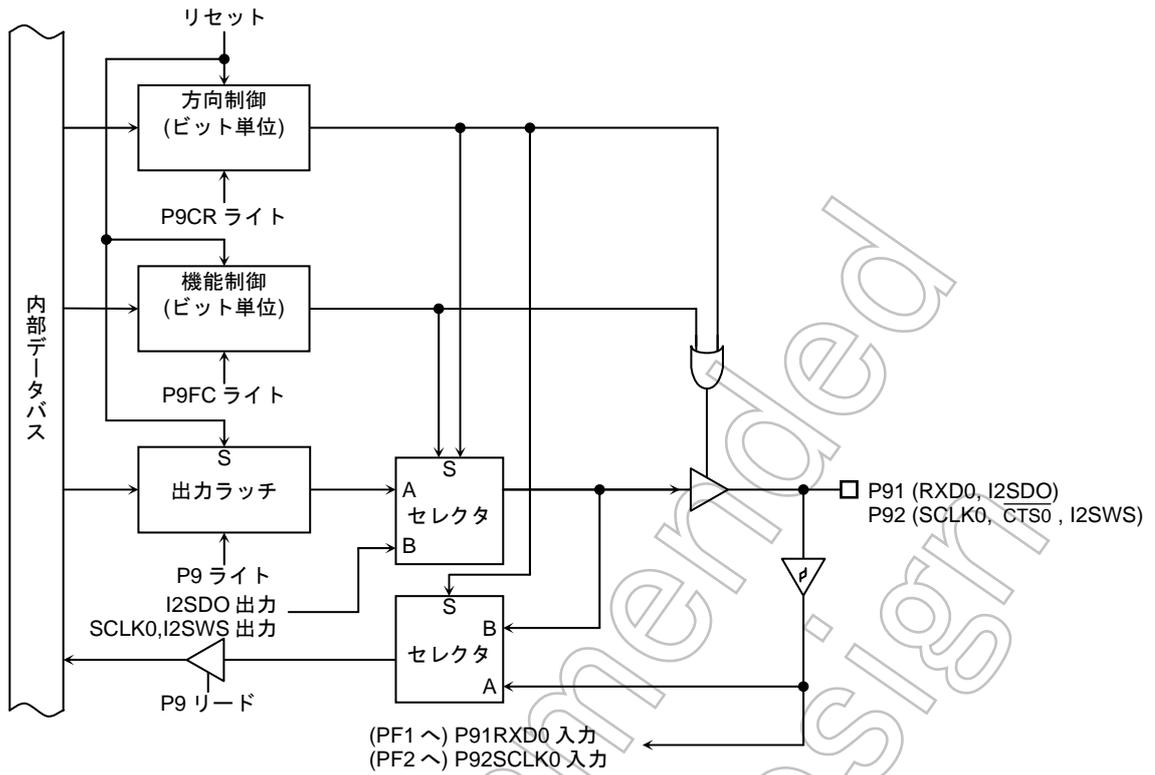


図 3.5.13 ポート P91、P92

(2) P93 (SDA), P94 (SCL), P95 (CLK32KO)

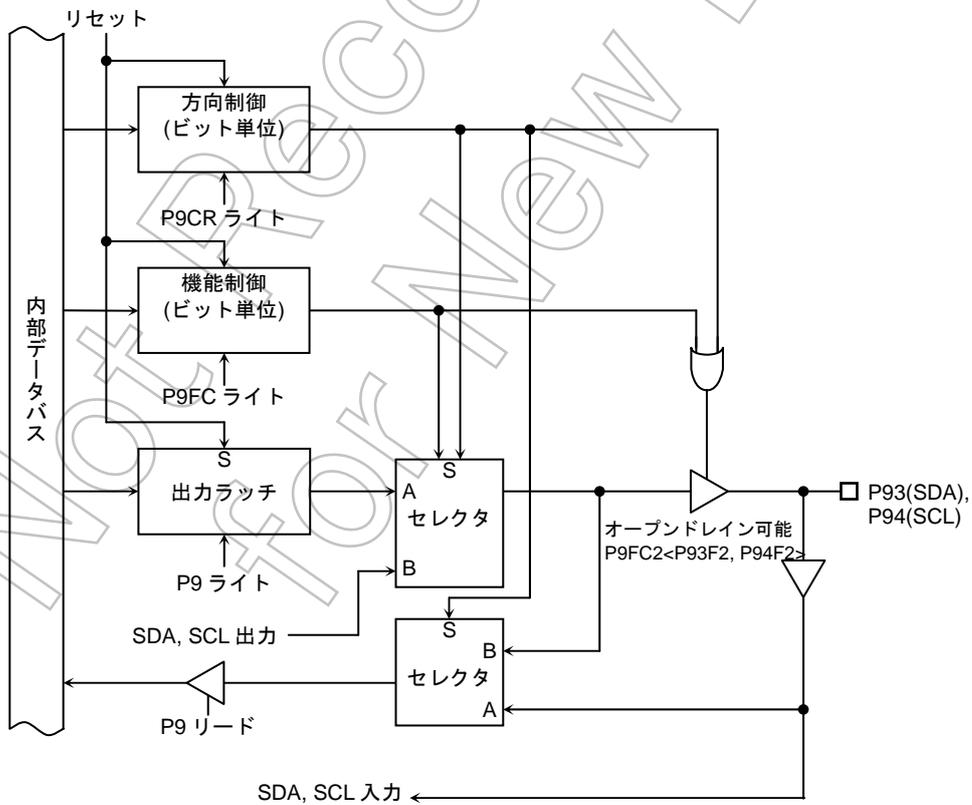


図 3.5.14 ポート P93、P94

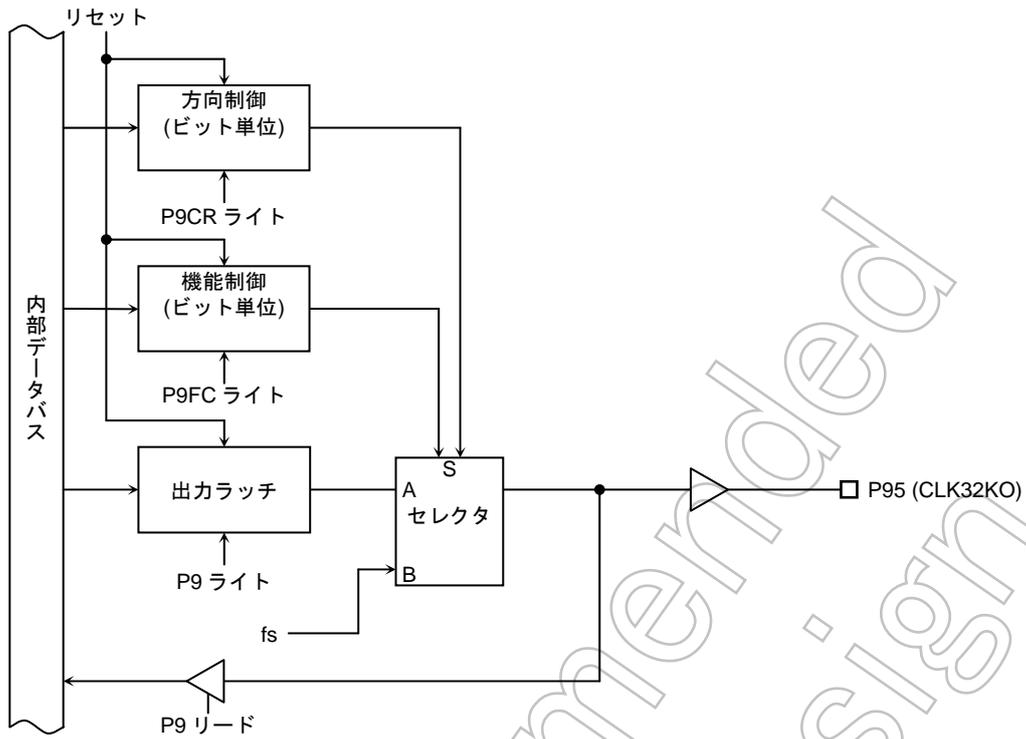


図 3.5.15 ポート P95

Not Recommended for New Design

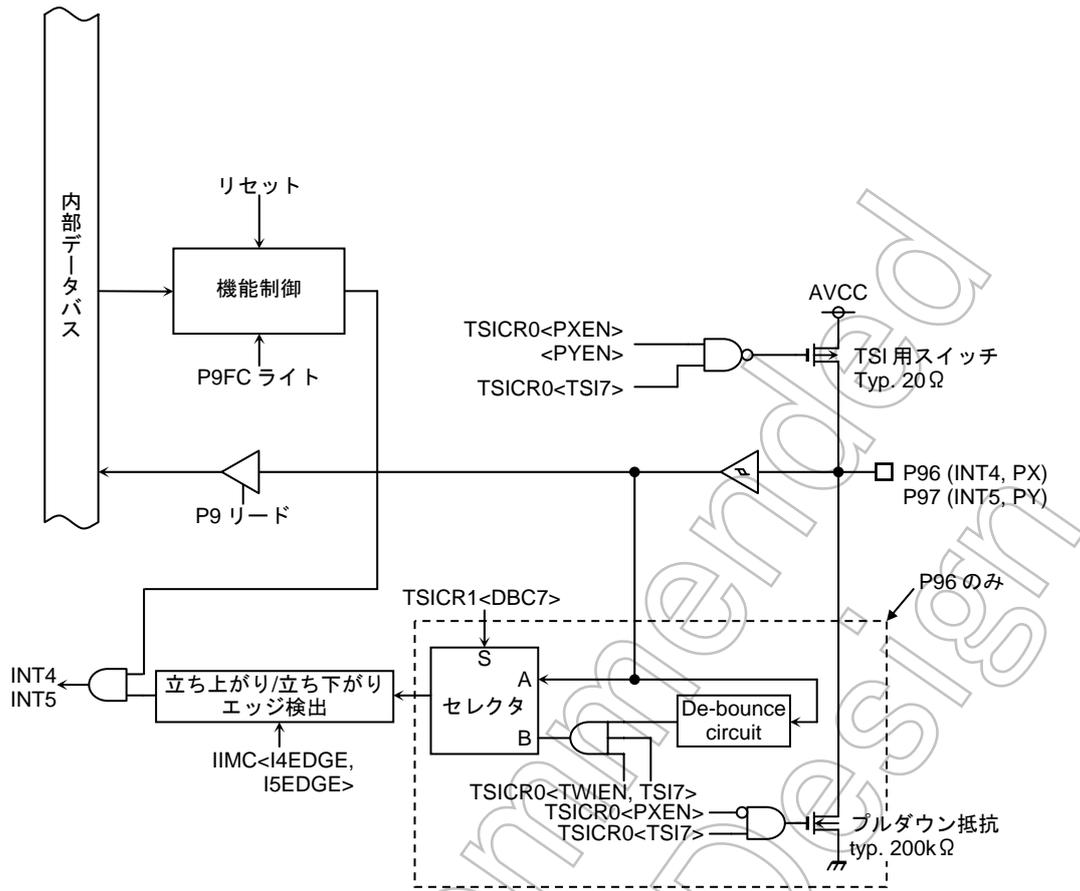


図 3.5.16 ポート P96、P97

Not Recommended for New

ポート 9 レジスタ

		7	6	5	4	3	2	1	0
P9 (0024H)	Bit symbol	P97	P96	P95	P94	P93	P92	P91	P90
	Read/Write	R			R/W				
	リセット後	外部端子データ		0	外部端子データ(出力ラッチレジスタは“1”にセットされます)				

ポート 9 コントロールレジスタ

		7	6	5	4	3	2	1	0
P9CR (0026H)	Bit symbol			P95C	P94C	P93C	P92C	P91C	P90C
	Read/Write			W					
	リセット後			0	0	0	0	0	0
	機能			以下の表を参照してください					

ポート 9 ファンクションレジスタ

		7	6	5	4	3	2	1	0
P9FC (0027H)	Bit symbol	P97F	P96F	P95F	P94F	P93F	P92F	P91F	P90F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 ポート 1: INT5	0: 入力 ポート 1: INT4	以下の表を参照してください					

P92 設定

	<P92C>	0	1
<P92F>		0	1
	0	入力ポート SCLK0、CTS0 入力	出力ポート
	1	I2SWS 出力	SCLK0 出力

P91 設定

	<P91C>	0	1
<P91F>		0	1
	0	入力ポート RXD0 入力	出力ポート
	1	I2SDO 出力	(Reserved)

P90 設定

	<P90C>	0	1
<P90F>		0	1
	0	入力ポート	出力ポート
	1	I2SCKO 出力	TXD0 出力

P95 設定

	<P95C>	0	1
<P95F>		0	1
	0	出力ポート	CLK32KO 出力
	1	(Reserved)	(Reserved)

P94 設定

	<P94C>	0	1
<P94F>		0	1
	0	入力ポート	出力ポート
	1	(Reserved)	SCL 入出力

P93 設定

	<P93C>	0	1
<P93F>		0	1
	0	入力ポート	出力ポート
	1	(Reserved)	SDA 入出力

ポート 9 機能レジスタ 2

		7	6	5	4	3	2	1	0
P9FC2 (0025H)	Bit symbol				P94F2	P93F2			P90F2
	Read/Write				W				W
	リセット後				0	0			0
	機能				0: CMOS 1: オープン ドレイン	0: CMOS 1: オープン ドレイン			0: CMOS 1: オープン ドレイン

ポート 9 ドライブレジスタ

		7	6	5	4	3	2	1	0
P9DR (0089H)	Bit symbol	P97D	P96D	P95D	P94D	P93D	P92D	P91D	P90D
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注1) P9CR、P9FC および P9FC2 はリードモディファイライトできません。

注2) P97、P96 端子を INT5、INT4 入力に設定した状態で、P9DR<P97D、P96D>を“00”(入力禁止)に設定し P97、P96 端子に“0”をドライブしている状態で HALT 命令を実行すると内部的に INT5、INT4 が発生します。HALT 状態で外部割込みを使用しない場合は、ポート設定に変更するなど割込みが発生しない様に設定してください。

図 3.5.17 ポート 9 関係のレジスタ

3.5.8 ポート A (PA0~PA7)

ポート A は 8 ビットのプルアップ抵抗付き汎用入力ポートです。入力ポート以外にキーボードインタフェース端子としてキーオンウェイクアップ機能があります。この機能は PAFC レジスタの該当ビットへ“1”を書き込むことにより動作可能となります。

リセット動作により、PAFC の全ビットの値は“0”にリセットされ、全端子が入力ポートモードとなります。

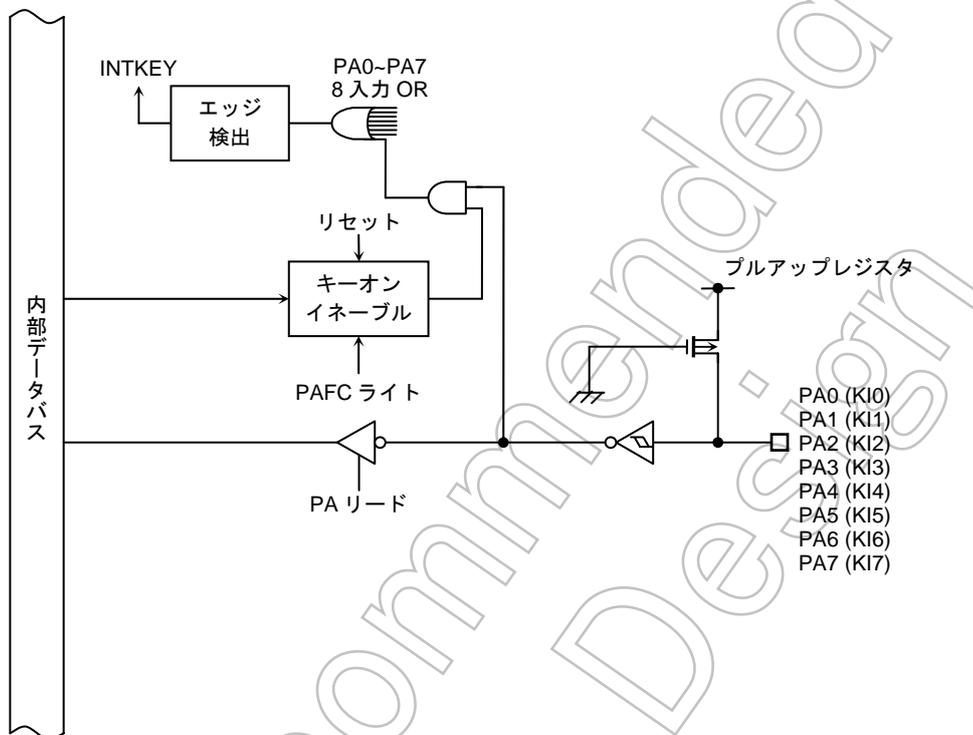


図 3.5.18 ポート A

PAFC = “1” のときに、KI0-KI7 端子のいずれかの端子の状態が立ち下がると、そのエッジを検出して INTKEY 割り込みを発生します。INTKEY 割り込みはすべてのホールドモード状態を解除可能です。

ポート A レジスタ

	7	6	5	4	3	2	1	0	
PA (0028H)	Bit symbol	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
	Read/Write	R							
	リセット後	外部端子データ							

ポート A ファンクションレジスタ

	7	6	5	4	3	2	1	0	
PAFC (002BH)	Bit symbol	PA7F	PA6F	PA5F	PA4F	PA3F	PA2F	PA1F	PA0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: キー入力禁止 1: キー入力許可							

ポート A ドライブレジスタ

	7	6	5	4	3	2	1	0	
PADR (008AH)	Bit symbol	PA7D	PA6D	PA5D	PA4D	PA3D	PA2D	PA1D	PA0D
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注) PAFC はリードモディファイライトできません。

図 3.5.19 ポート A 関係のレジスタ

3.5.9 ポート C (PC0~PC7)

ポート C はビット単位で入出力指定ができる 8 ビットの汎用入出力ポートです。各ビットは個々に入力あるいは出力に設定することが可能です。リセット動作によりポート C は入力ポートとなります。

汎用入出力ポート機能以外に、ポート C はタイマの出力端子 (TA1OUT, TA3OUT, TB0OUT0) 機能や、外部割り込み入力端子 (INT0~INT3) 機能、メモリ用出力ピン (\overline{CSZF})、Key 用出力端子 (KO8)を持っています。上記設定はファンクションレジスタ PCFC を使用します。外部割り込みのエッジ選択は割り込みコントローラ部にある IIMC レジスタにて設定します。

(1) PC0 (INT0, TA1OUT)

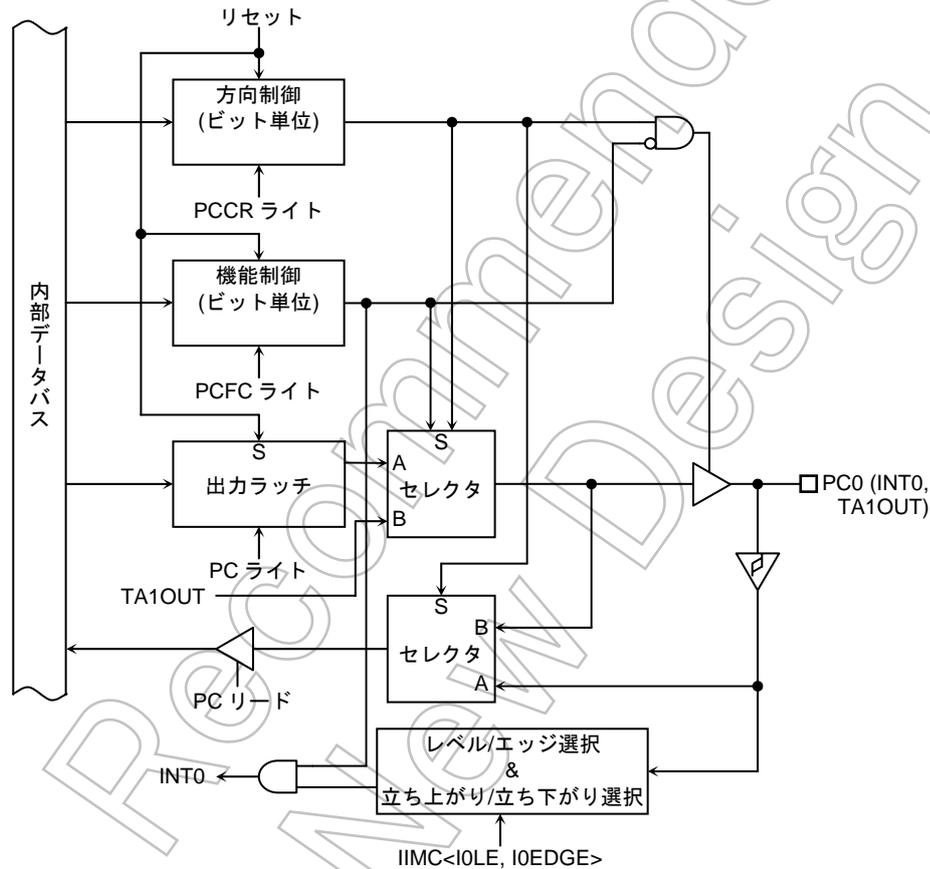


図 3.5.20 ポート PC0

(2) PC1 (INT1, TA3OUT), PC2 (INT2, TB0OUT0), PC3 (INT3, TB0OUT1)

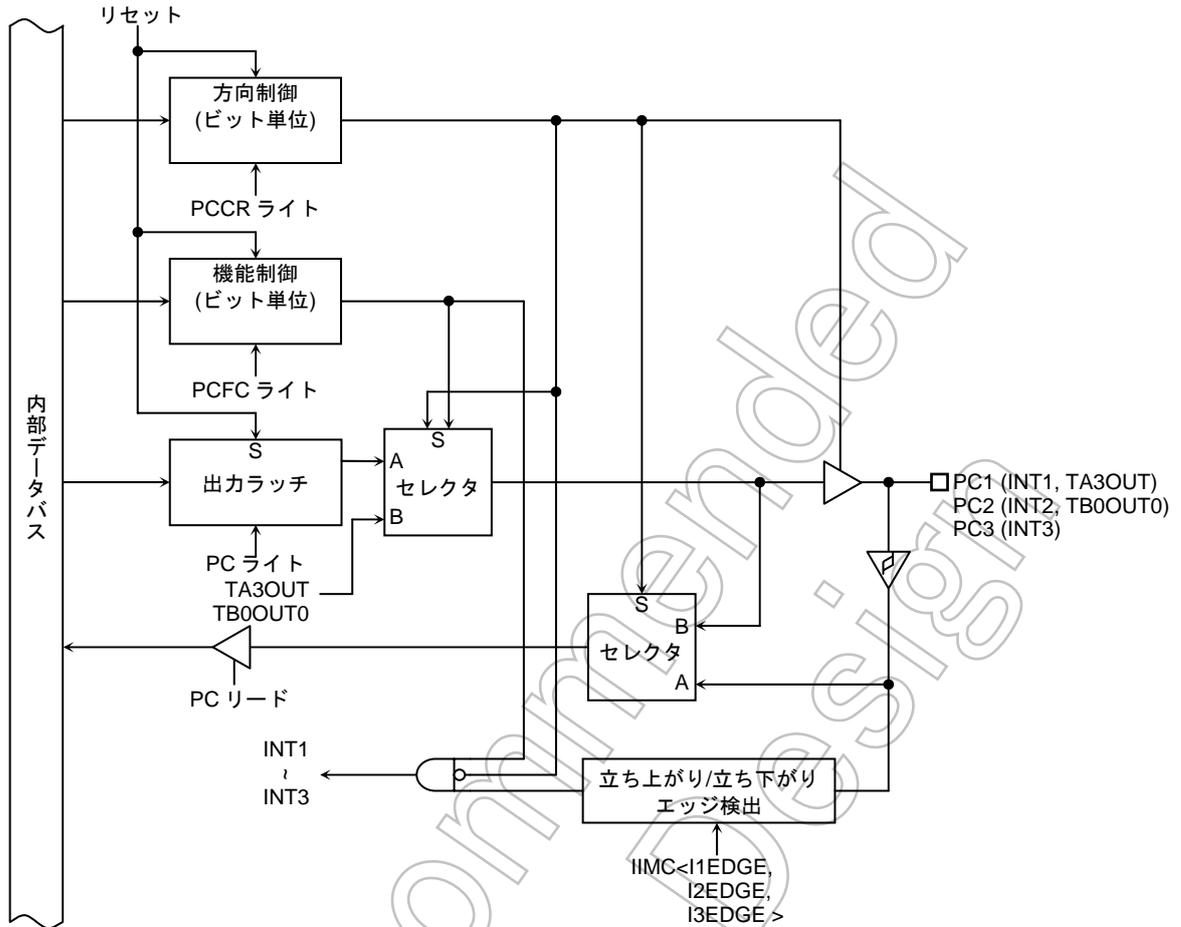


図 3.5.21 ポート PC1、PC2、PC3

(3) PC4, PC5

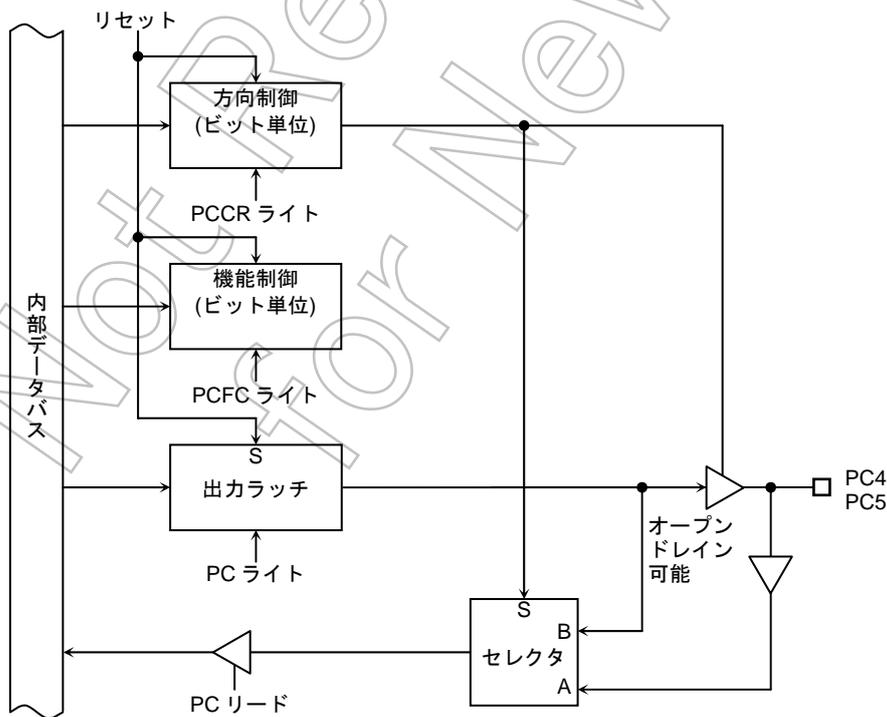


図 3.5.22 ポート PC4, PC5

(4) PC6 (K08, EA24)

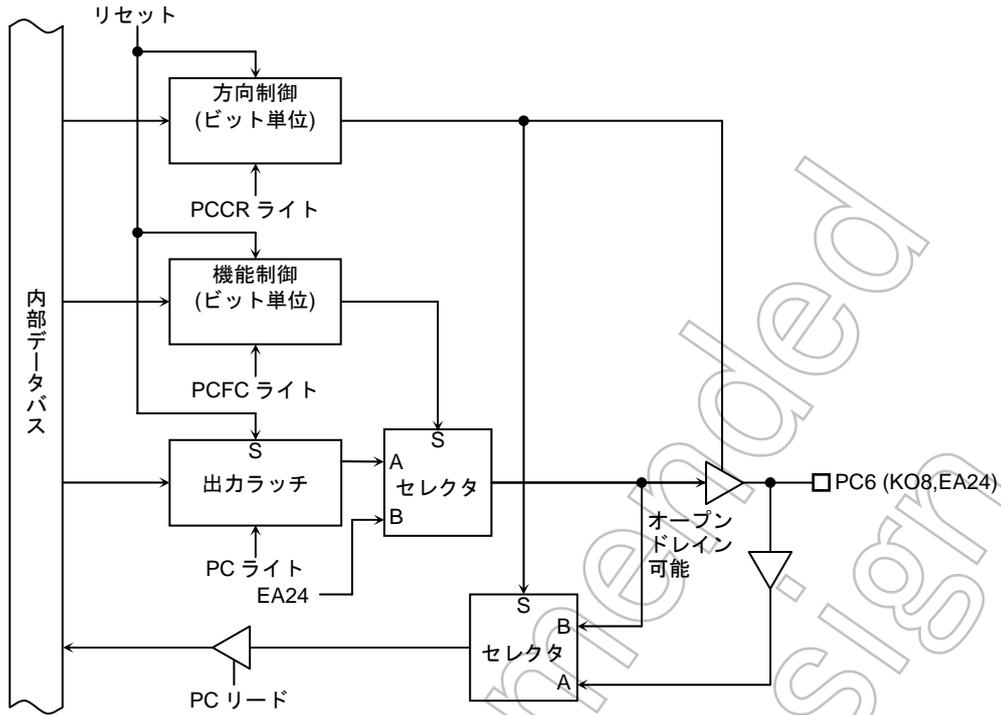


図 3.5.23 ポート PC6

(5) PC7 (\overline{CSZF} , EA25)

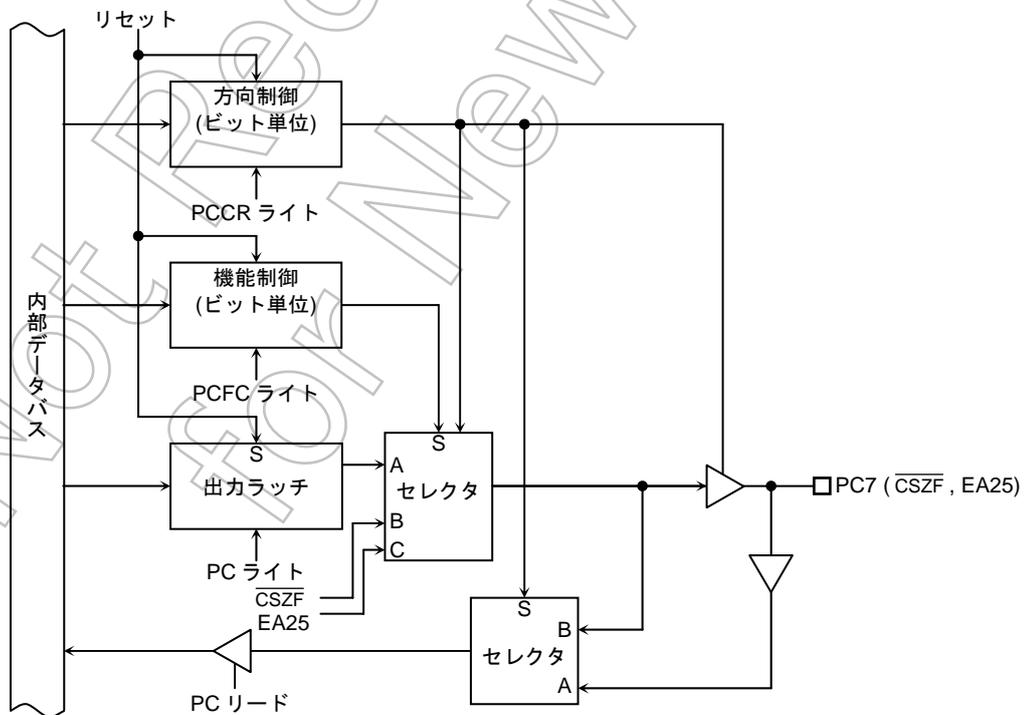


図 3.5.24 ポート C7

ポート C レジスタ

		7	6	5	4	3	2	1	0
PC (0030H)	Bit symbol	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
	Read/Write	R/W							
	リセット後	外部端子データ(出力ラッチレジスタは“1”にセットされます)							

ポート C コントロールレジスタ

		7	6	5	4	3	2	1	0
PCCR (0032H)	Bit symbol	PC7C	PC6C	PC5C	PC4C	PC3C	PC2C	PC1C	PC0C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

ポート C ファンクションレジスタ

		7	6	5	4	3	2	1	0
PCFC (0033H)	Bit symbol	PC7F	PC6F	PC5F	PC4F	PC3F	PC2F	PC1F	PC0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	以下の表を参照してください							

PC2 設定

		0	1
<PC2C> <PC2F>	0	入力ポート	出力ポート
	1	INT2	TB0OUT0

PC1 設定

		0	1
<PC1C> <PC1F>	0	入力ポート	出力ポート
	1	INT1	TA3OUT

PC0 設定

		0	1
<PC0C> <PC0F>	0	入力ポート	出力ポート
	1	INT0	TA1OUT

PC5 設定

		0	1
<PC5C> <PC5F>	0	入力ポート	出力ポート
		(Reserved)	(Reserved)
	1		

PC4 設定

		0	1
<PC4C> <PC4F>	0	入力ポート	出力ポート
		(Reserved)	(Reserved)
	1		

PC3 設定

		0	1
<PC3C> <PC3F>	0	入力ポート	出力ポート
	1	INT3	(Reserved)

PC7 設定

		0	1
<PC7C> <PC7F>	0	入力ポート	出力ポート
		CSZF 入出力	EA25 出力
	1		@<PC7>= "0"

PC6 設定

		0	1
<PC6C> <PC6F>	0	入力ポート	出力ポート
		KO8(オープン ドレイン)	EA24 出力
	1		@<PC6>= "0"

ポート C ドライブレジスタ

		7	6	5	4	3	2	1	0
PCDR (008CH)	Bit symbol	PC7D	PC6D	PC5D	PC4D	PC3D	PC2D	PC1D	PC0D
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注1) PCCR、PCFC はリードモディファイライトできません。

注2) PC3、PC2、PC1、PC0 端子を INT3、INT2、INT1、INT0 入力に設定した状態で、PCDR <PC3D,PC2D,PC1D,PC0D>を "0000"(入力禁止)に設定し PC3、PC2、PC1、PC0 端子に "0"をドライブしている状態で HALT 命令を実行すると内部的に INT3、INT2、INT1、INT0 が発生します。HALT 状態で外部割込みを使用しない場合は、ポート設定に変更するなど割込みが発生しない様に設定してください。

図 3.5.25 ポート C 関係のレジスタ

3.5.10 ポート F (PF0~PF7)

PF0~PF6 はビット単位で入出力の指定ができる 7 ビットの汎用入出力ポートです。リセット動作により、すべての端子が入力ポートとなり、また出力ラッチレジスタの全ビットは“1”へセットされます。

汎用入出力ポート以外にシリアルチャネル 0 の入出力機能があります。この機能は PFFC レジスタの該当ビットへ“1”を書き込むことにより、それぞれの機能が動作可能となります。

PF7 は 1 ビットの汎用出力ポートです。汎用出力ポートの他に PF7 は SDCLK 出力機能があります。リセット動作により、PF7 は SDCLK 出力ポートに設定されます。

(1) PF0 (TXD0)、PF1 (RXD0)、PF2 (SCLK0, $\overline{CTS0}$)

PF0~PF2 は入出力ポート以外に SIO0 に使用されます。以下は各端子の機能を示しています。

	SIO モード (SIO0 モジュール)	UART, IrDA モード (SIO0 モジュール)
PF0	TXD0 (データ出力)	TXD0 (データ出力)
PF1	RXD0 (データ入力)	RXD0 (データ入力)
PF2	SCLK0 (クロック入力 あるいは出力)	$\overline{CTS0}$ (送信クリア)

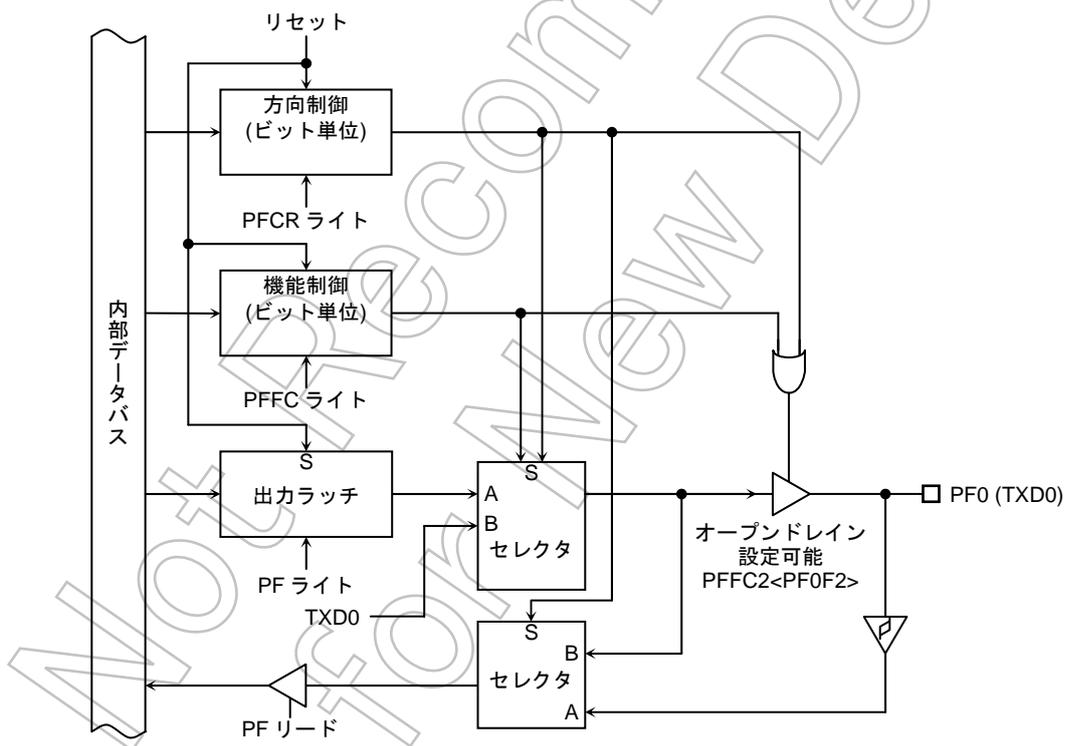


図 3.5.26 ポート PF0

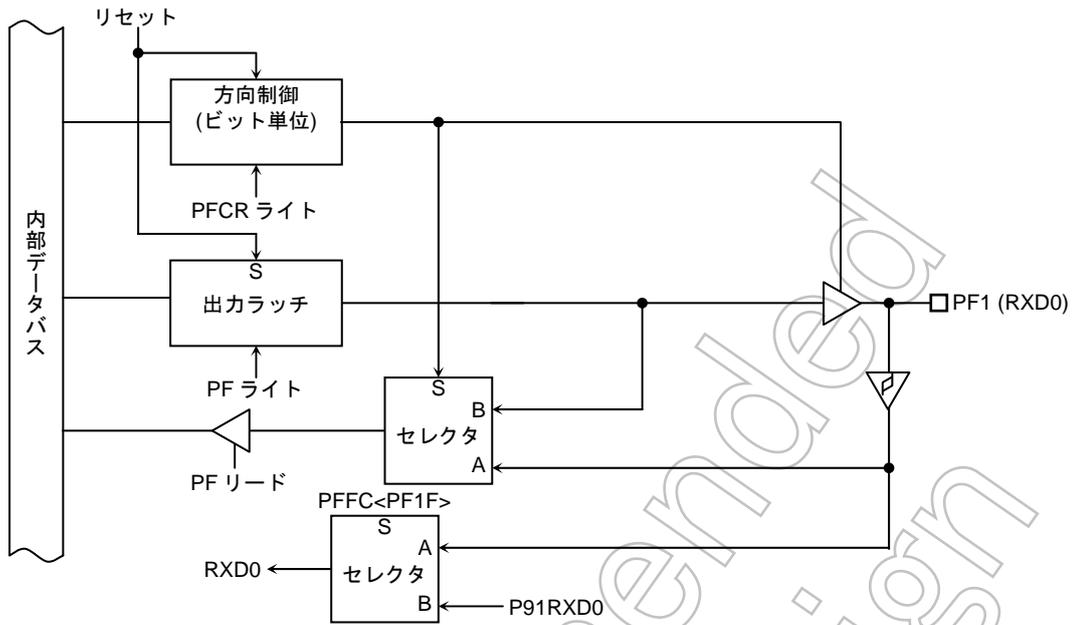


図 3.5.27 ポート PF1

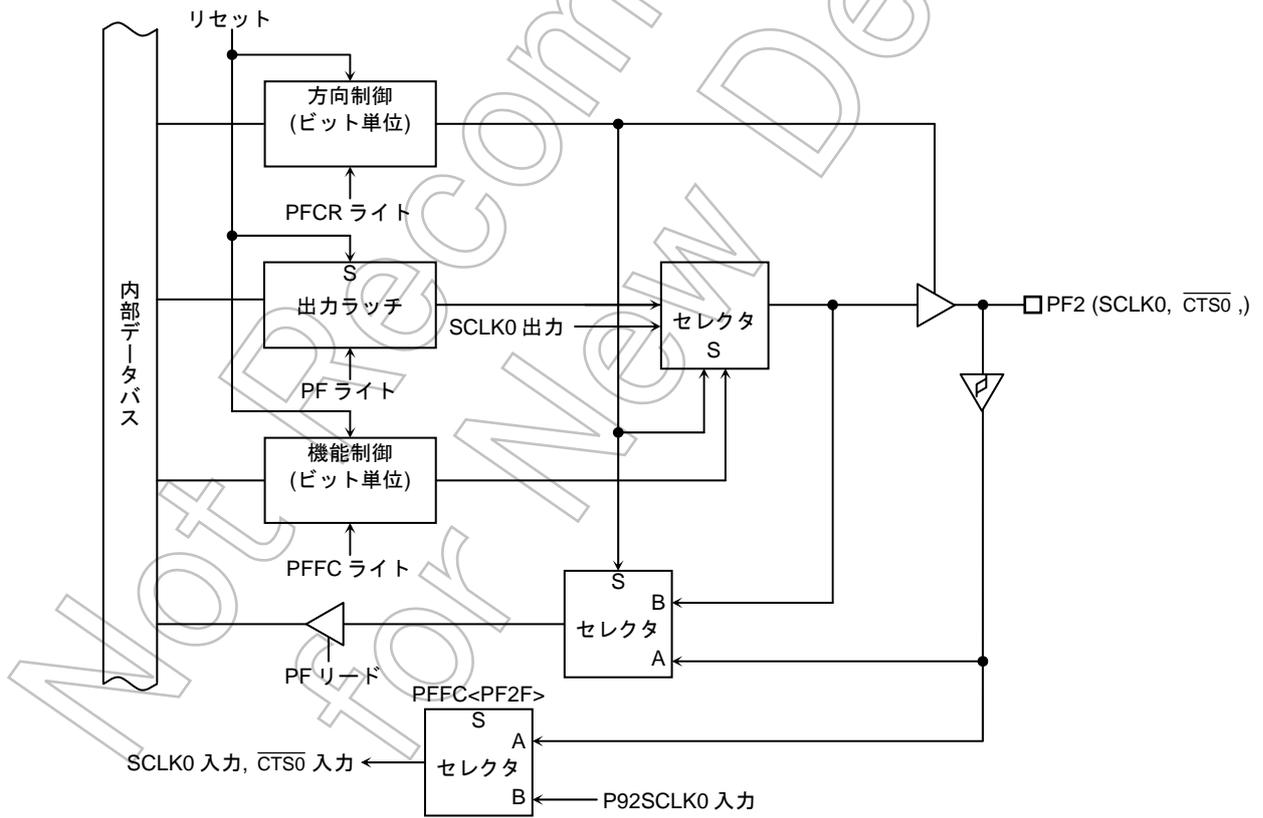


図 3.5.28 ポート PF2

(2) PF3, PF4, PF5, PF6, PF7

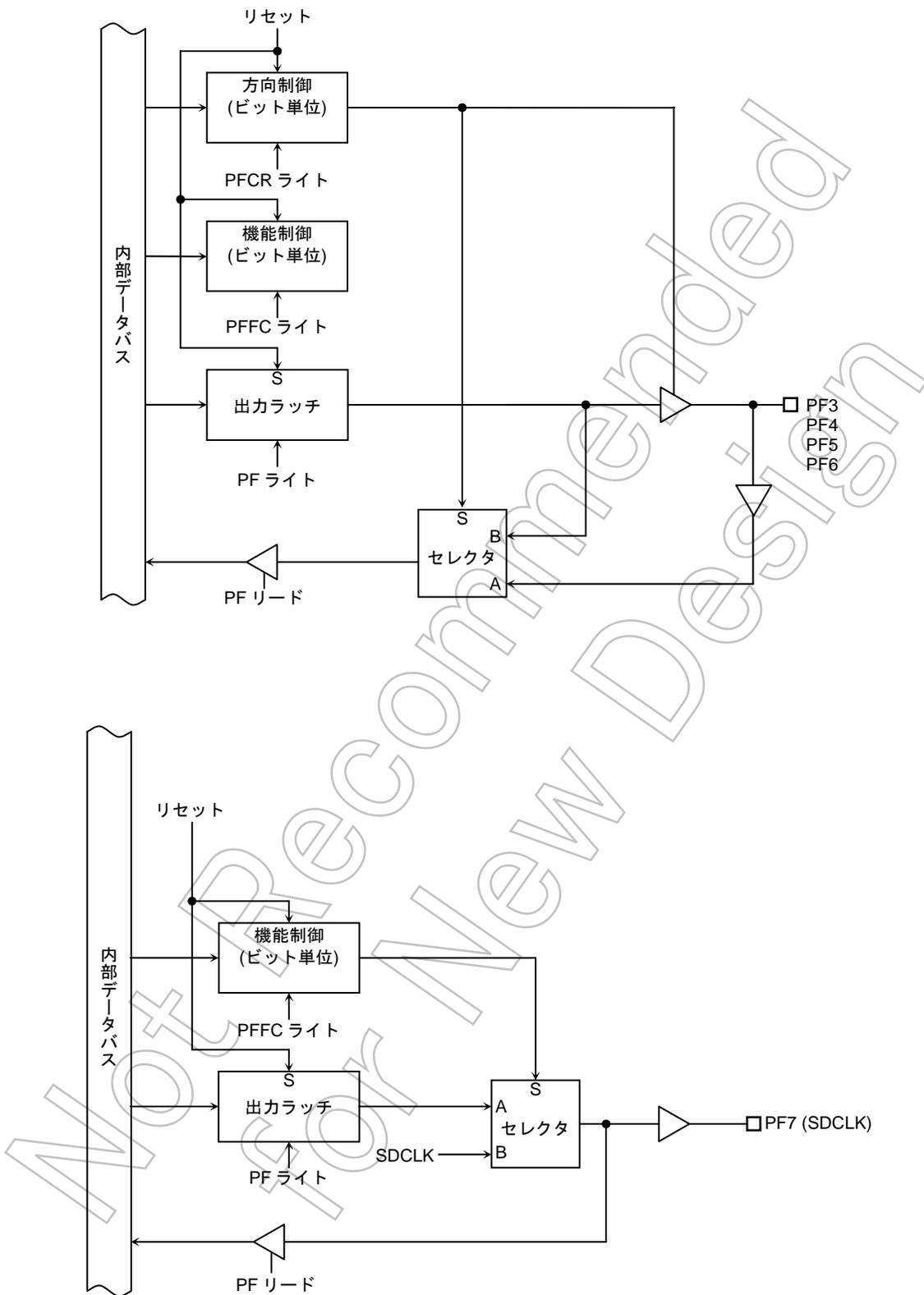


図 3.5.29 ポート PF7

ポートFレジスタ

		7	6	5	4	3	2	1	0
PF (003CH)	Bit symbol	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
	Read/Write	R/W							
	リセット後	1	外部端子データ(出力ラッチレジスタは“1”にセットされます)						

ポートFコントロールレジスタ

		7	6	5	4	3	2	1	0
PF0CR (003EH)	Bit symbol		PF6C	PF5C	PF4C	PF3C	PF2C	PF1C	PF0C
	Read/Write		W						
	リセット後		0	0	0	0	0	0	0
	機能		以下の表を参照してください						

ポートFファンクションレジスタ

		7	6	5	4	3	2	1	0
PF0FC (003FH)	Bit symbol	PF7F	PF6F	PF5F	PF4F	PF3F	PF2F	PF1F	PF0F
	Read/Write	W							
	リセット後	1	0	0	0	0	0	0	0
	機能	以下の表を参照してください							RXD0端子 選択 0: PF1 1: P91

PF2 設定

<PC2C>		0	1
<PC2F>			
0	入力ポート, SCLK0, CTS0 入力 <PF2> = 0 で PF2 端子から <PF2> = 1 で P92 端子から	出力 ポート	
1	(Reserved)	SCLK0 出力	

PF1 設定

<PF1C>		0	1
<PF1F>			
0	入力ポート, PF1 端子より RXD0 入力	出力 ポート	
1	P91 端子より RXD0 入力 (Reserved)	(Reserved)	

PF0 設定

<PF0C>		0	1
<PF0F>			
0	入力ポート	出力ポート	
1	(Reserved)	TXD0 出力	

PF5 設定

<PF5C>		0	1
<PF5F>			
0	入力ポート	出力ポート	
1	(Reserved)	(Reserved)	

PF4 設定

<PF4C>		0	1
<PF4F>			
0	入力ポート	出力ポート	
1	(Reserved)	(Reserved)	

PF3 設定

<PF3C>		0	1
<PF3F>			
0	入力ポート	出力ポート	
1	(Reserved)	(Reserved)	

PF7 設定

<PF7F>		
0	出力ポート	
1	SDCLK 出力	

PF6 設定

<PF6C>		0	1
<PF6F>			
0	入力ポート	出力ポート	
1	(Reserved)	(Reserved)	

ポート F ファンクションレジスタ 2

		7	6	5	4	3	2	1	0
PFFC2 (003DH)	Bit symbol	–					–		PF0F2
	Read/Write	W					W		W
	リセット後	0					0		0
	機能	"0"をライトしてください。					"0"をライトしてください。		出力バッファ 0: CMOS 1: オープン ドレイン

ポート F ドライブレジスタ

		7	6	5	4	3	2	1	0
PFDR (008FH)	Bit symbol	PF7D	PF6D	PF5D	PF4D	PF3D	PF2D	PF1D	PF0D
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注) PFCR、PFFC および PFFC2 はリードモディファイライトできません。

図 3.5.30 ポート F 関係のレジスタ

3.5.11 ポート G (PG0~PG3)

ポート G は 4 ビットの入力ポートです。このポートは内部 AD コンバータ用アナログ入力端子の機能を持っています。PG3 は AD コンバータ用 ADTRG 端子としての機能も持っています。PG2、PG3 はタッチスクリーンインタフェース用 MX、MY 端子としての機能も持っています。

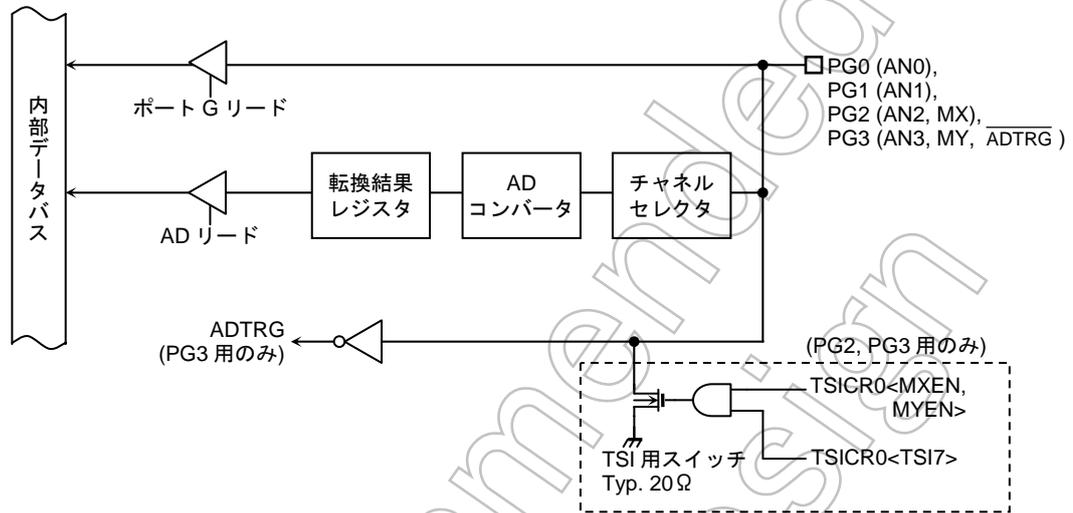


図 3.5.31 ポート G

ポート G レジスタ

	7	6	5	4	3	2	1	0
PG (0040H)					PG2	PG2	PG1	PG0
Bit symbol								
Read/Write					R			
リセット後					外部端子データ			

注) AD コンバータの入力チャンネル選択および ADTRG 入力モードレジスタの承認は AD コンバータによって設定されます。

ポート G ドライブレジスタ

	7	6	5	4	3	2	1	0
PGDR (0090H)					PG3D	PG2D		
Bit symbol								
Read/Write					R/W			
リセット後					1	1		
機能					スタンバイモード用 入出力バッファ ドライブレジスタ			

図 3.5.32 ポート G 関係のレジスタ

3.5.12 ポート J (PJ0~PJ7)

PJ0~PJ4およびPJ7は6ビットの出力ポートです。リセット動作により出力ラッチPJは“1”にセットされ、ポートJは“1”を出力します。PJ5およびPJ6は2ビットの入出力ポートです。

出力ポート機能以外に、ポートJにはSDRAMコントローラ用出力端子(\overline{SDRAS} , \overline{SDCAS} , \overline{SDWE} , $\overline{SDLLDQM}$, $\overline{SDLUDQM}$, \overline{SDCKE})機能とSRAM用出力端子(\overline{SRWR} , \overline{SRLLB} , \overline{SRLUB})機能そしてNANDフラッシュ(NDALE, NDCLE)機能があります。これらの設定はPJFCレジスタによって行ないます。

ただし、PJ0~PJ2用のSDRAMあるいはSRAMの出力信号はメモリコントローラの設定によって自動的に選択されます。

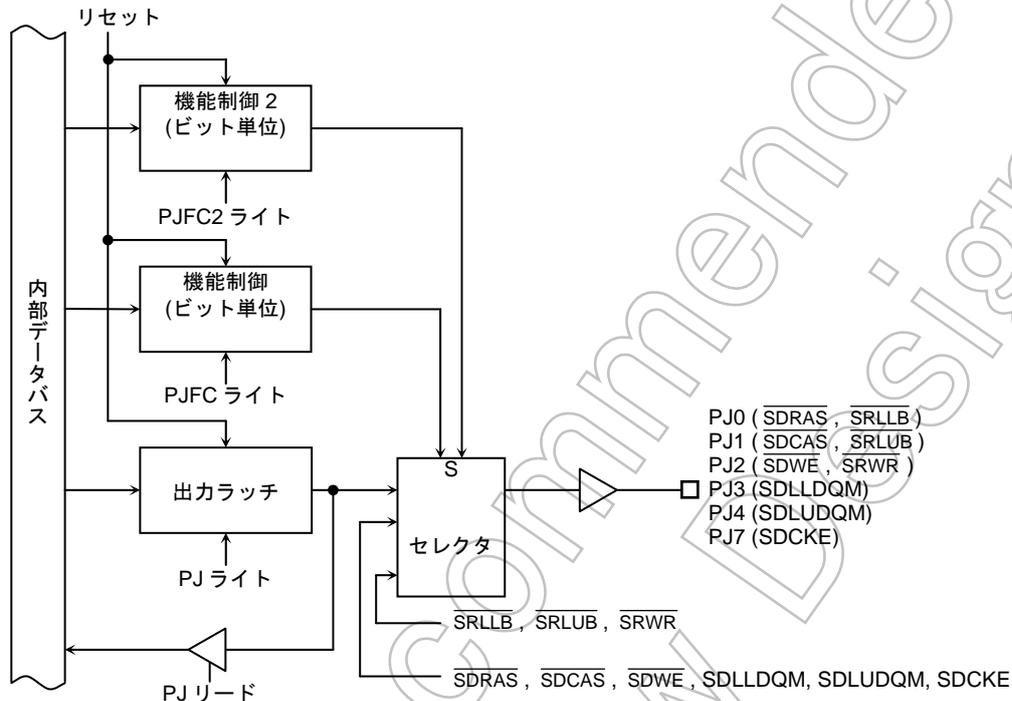


図 3.5.33 ポート PJ0~PJ4 および PJ7

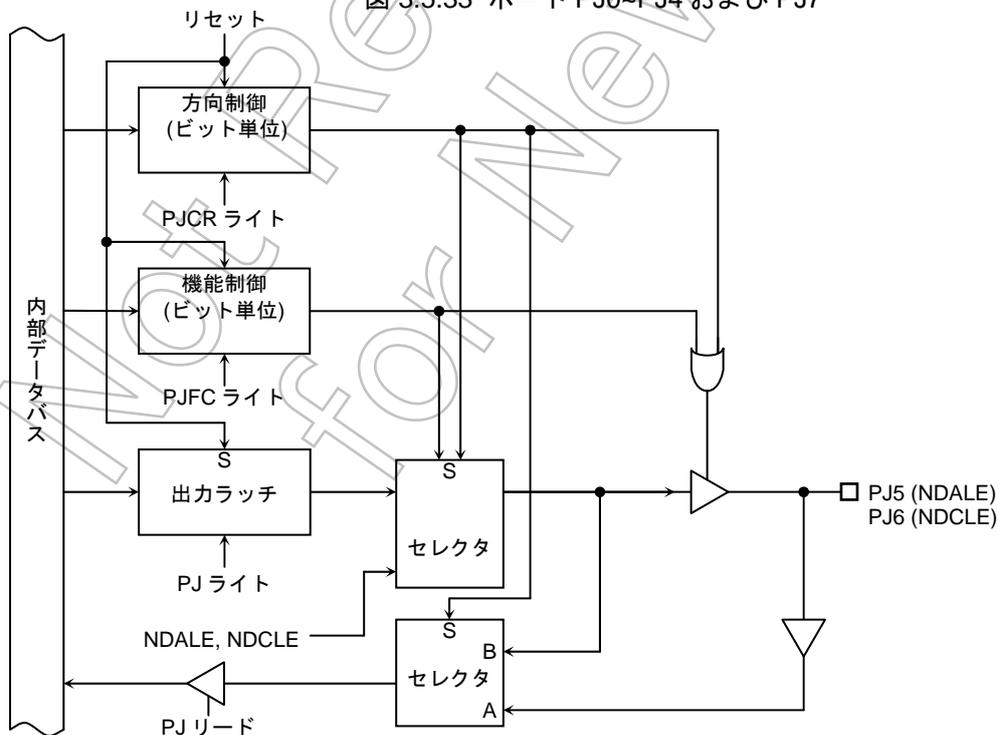


図 3.5.34 ポート PJ5 および PJ6

ポート J レジスタ

	7	6	5	4	3	2	1	0
PJ (004CH)								
Bit symbol	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
Read/Write	R/W							
リセット後	1	外部端子データ (出力ラッチレジスタは "1"にセットされます)		1	1	1	1	1

ポート J コントロールレジスタ

	7	6	5	4	3	2	1	0
PJCR (004EH)								
Bit symbol		PJ6C	PJ5C					
Read/Write		W						
リセット後		0	0					
機能		0: 入力 1: 出力						

ポート J ファンクションレジスタ

	7	6	5	4	3	2	1	0
PJFC (004FH)								
Bit symbol	PJ7F	PJ6F	PJ5F	PJ4F	PJ3F	PJ2F	PJ1F	PJ0F
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	0: ポート 1: <PJ7> = 1 で SDCKE	0: ポート 1: <PJ6> = 0 で NDCLE	0: ポート 1: <PJ5> = 0 で NDALE	0: ポート 1: <PJ5> = 0 で SDLUDQM	0: ポート 1: <PJ3> = 1 で SDLLDQM	0: ポート 1: SDWE , SDWR	0: ポート 1: SDCAS , SRLUB	0: ポート 1: SRRAS , SRLB

ポート J ドライブレジスタ

	7	6	5	4	3	2	1	0
PJDR (0093H)								
Bit symbol	PJ7D	PJ6D	PJ5D	PJ4D	PJ3D	PJ2D	PJ1D	PJ0D
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	スタンバイモード用入出力バッファドライブレジスタ							

注) PJCR および PJFC はリードモディファイライトできません。

図 3.5.35 ポート J 関係のレジスタ

3.5.13 ポート K (PK0~PK7)

ポート K0~K3 は 4 ビットの出力ポートです。リセット動作により出力ラッチ PK は “0” にセットされ、PK0~PK3 端子は “0” を出力します。

ポート K4~K7 は 4 ビットの入出力ポートです。リセット動作により PKCR は “0” にセットされ、入力ポートになります。

ポート機能以外に、ポート K には LCD コントローラ用出力端子 (LCP0、LLP、LFR および LBCD)、SPI コントローラ用端子 (SPCLK、SPCS、SPDO および SPDI) の機能があります。これらの設定は PKFC によって行ないます。

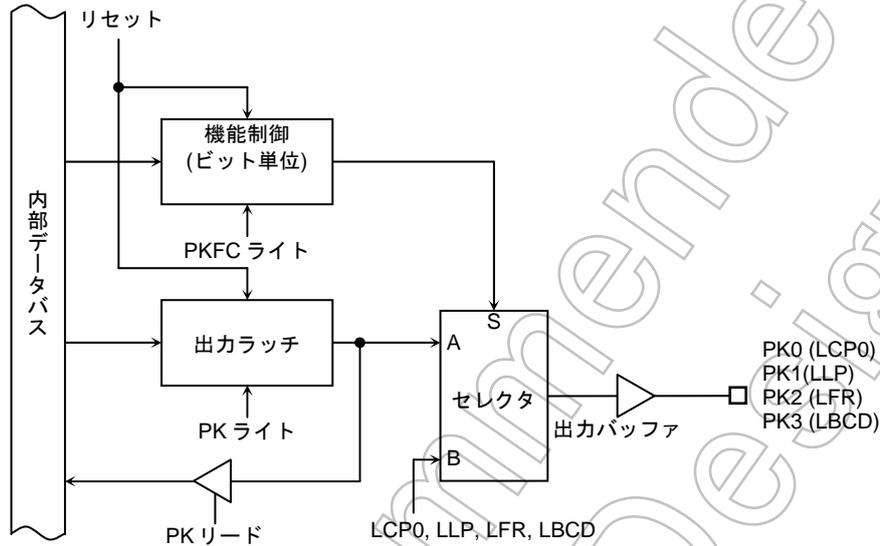


図 3.5.36 ポート K0~K3

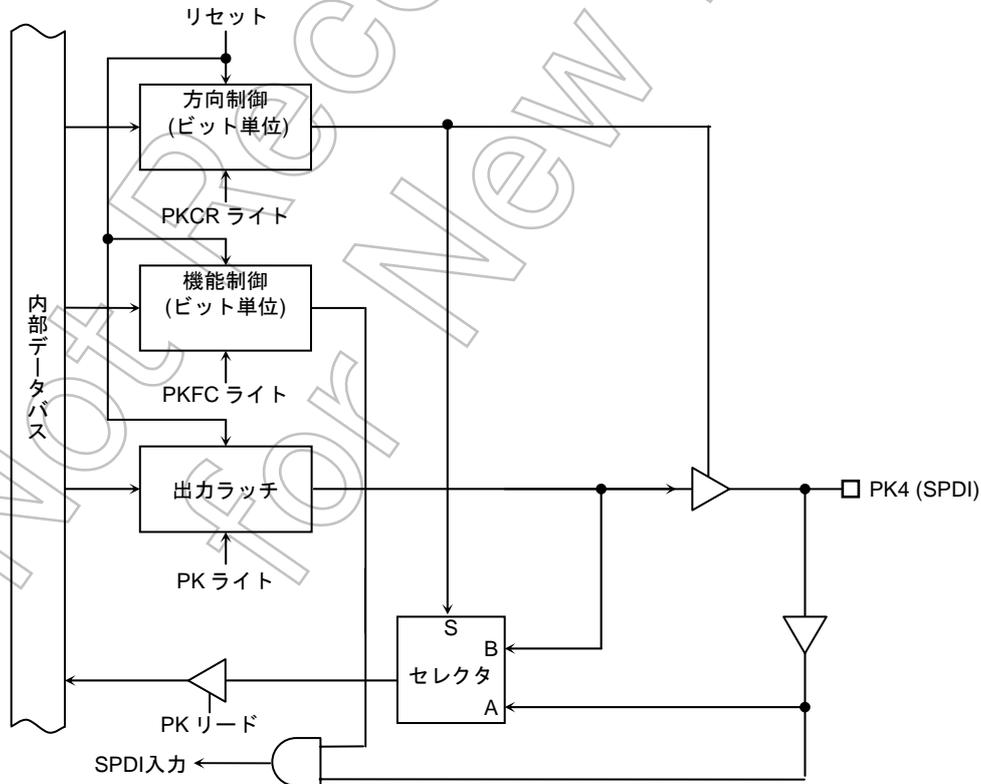


図 3.5.37 ポート K4

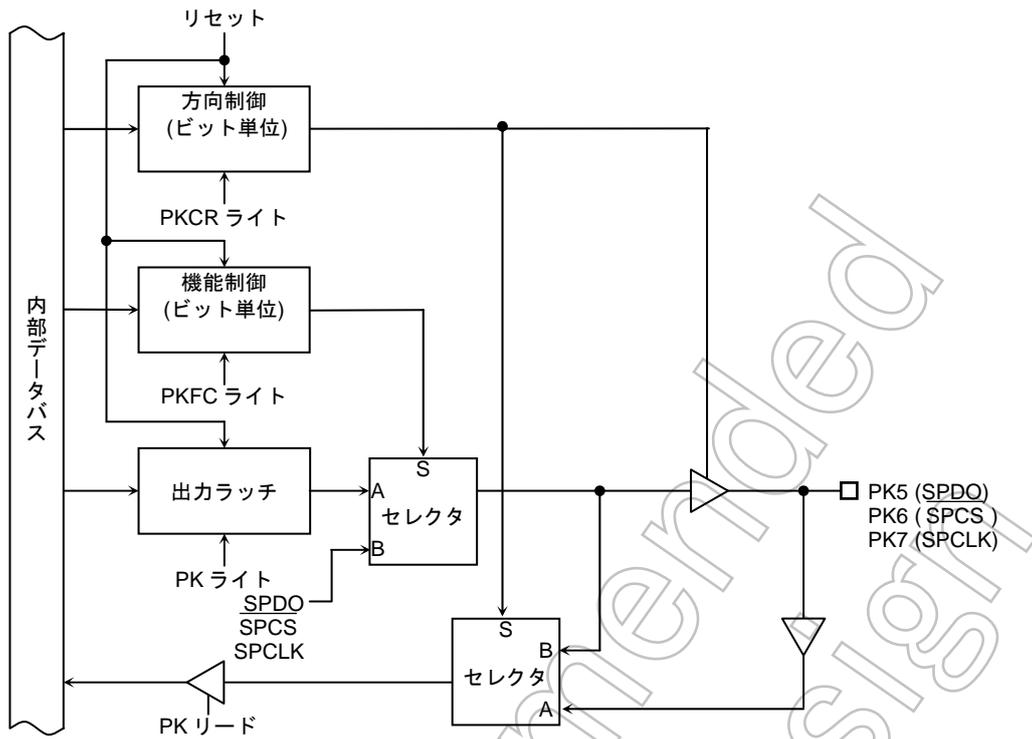


図 3.5.38 ポート K5~K7

Not Recommended for New Design

ポートKレジスタ

	7	6	5	4	3	2	1	0	
PK (0050H)	Bit symbol	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは“0”にクリアされます)			0	0	0	0	

ポートKコントロールレジスタ

	7	6	5	4	3	2	1	0
PKCR (0052H)	Bit symbol	PK7C	PK6C	PK5C	PK4C			
	Read/Write	W						
	リセット後	0	0	0	0			
	機能	0: 入力 1: 出力						

ポートKファンクションレジスタ

	7	6	5	4	3	2	1	0	
PKFC (0053H)	Bit symbol	PK7F	PK6F	PK5F	PK4F	PK3F	PK2F	PK1F	PK0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	
	機能	0: ポート 1: SPCLK 出力	0: ポート 1: SPCS 出力	0: ポート 1: SPDO 出力	0: ポート 1: SPDI 入力	0: ポート 1: LB CD	0: ポート 1: LFR	0: ポート 1: LLP	0: ポート 1: LCP0

PK5 設定

	<PK5C>	0	1
<PK5F>	0	入力ポート	出力ポート
	1	(Reserved)	SPDO 出力

PK4 設定

	<PK4C>	0	1
<PK4F>	0	入力ポート	出力ポート
	1	SPDI 入力	(Reserved)

PK7 設定

	<PK7C>	0	1
<PK7F>	0	入力ポート	出力ポート
	1	(Reserved)	SPCLK 出力

PK6 設定

	<PK6C>	0	1
<PK6F>	0	入力ポート	出力ポート
	1	(Reserved)	SPCS 出力

ポートKドライブレジスタ

	7	6	5	4	3	2	1	0	
PKDR (0094H)	Bit symbol	PK7D	PK6D	PK5D	PK4D	PK3D	PK2D	PK1D	PK0D
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注) PKFC, PKFC はリードモディファイライトできません。

図 3.5.39 ポート K 関係のレジスタ

3.5.14 ポート L (PL0~PL7)

PL0~PL3 は 4 ビットの出力ポートです。リセット動作により出力ラッチ PL は “0” に設定され、PL0~PL3 端子は “0” を出力します。

PL4~PL7 はコントロールレジスタ PLCR を使用することでビット単位で入出力の指定ができる 4 ビットの汎用入出力ポートです。リセット動作によりコントロールレジスタ PLCR は “0” に、PL4~PL7 は入力ポートになります。

汎用入出力ポート機能以外に、ポート L は LCD コントローラ用データバス (LD0~LD7) の機能、外部バス開放要求入力 ($\overline{\text{BUSRQ}}$)、応答出力 ($\overline{\text{BUSA\overline{K}}}$) を持っています。これらの設定はファンクションレジスタ PLFC レジスタによって行ないます。

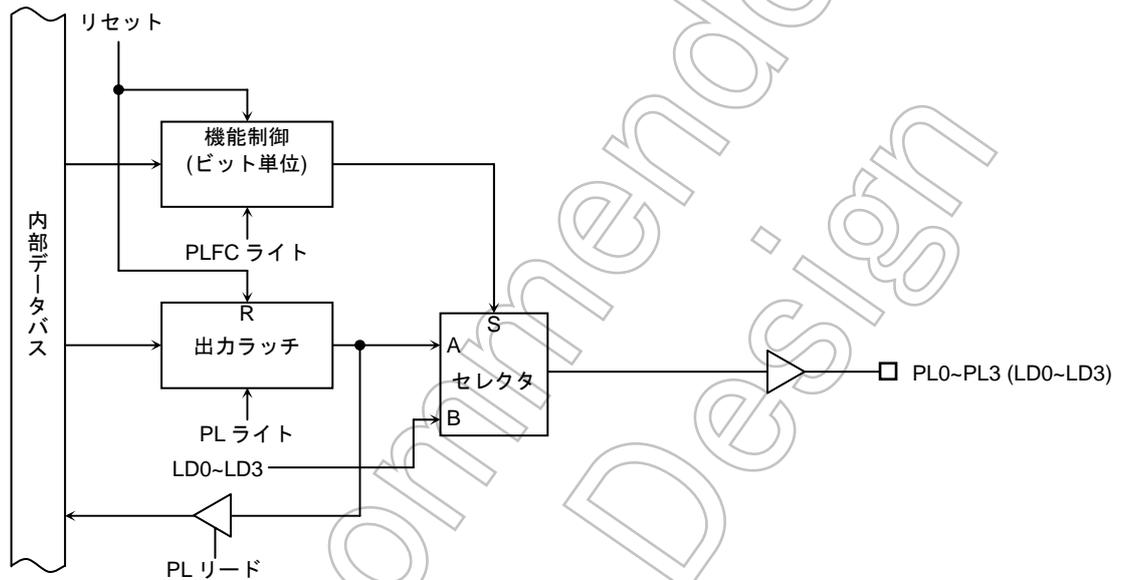


図 3.5.40 ポート PL0~PL3

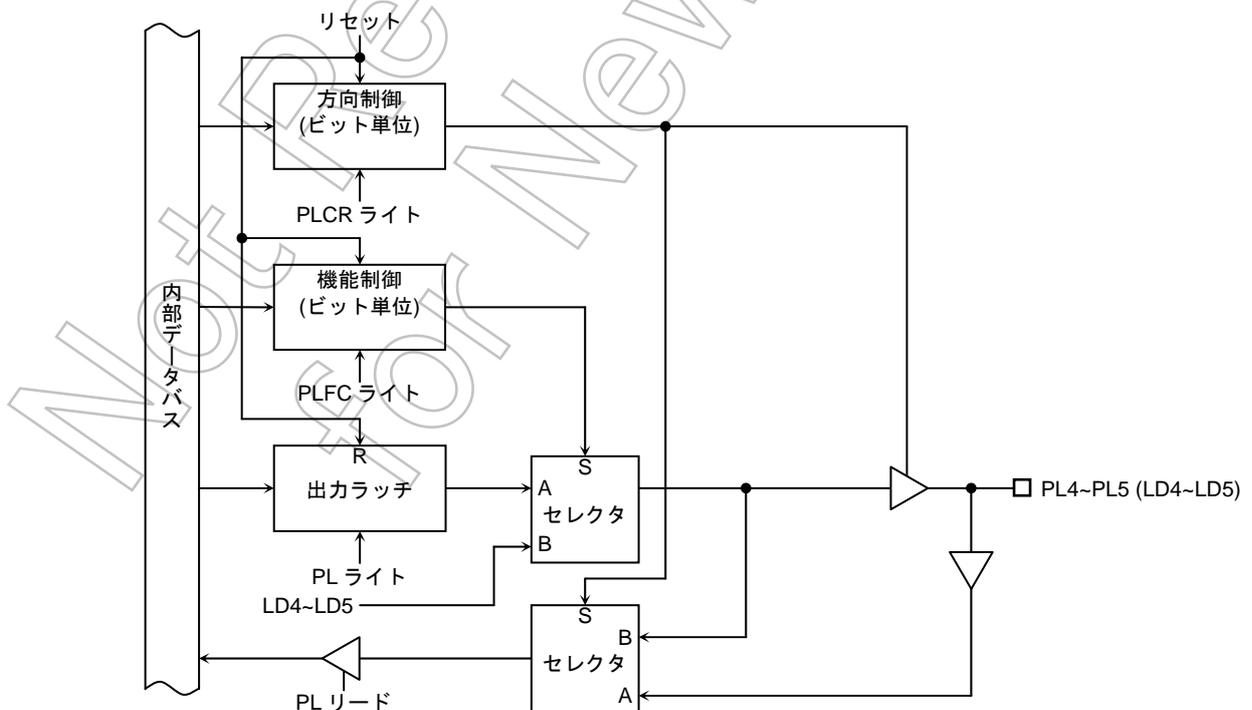


図 3.5.41 ポート PL4~PL5

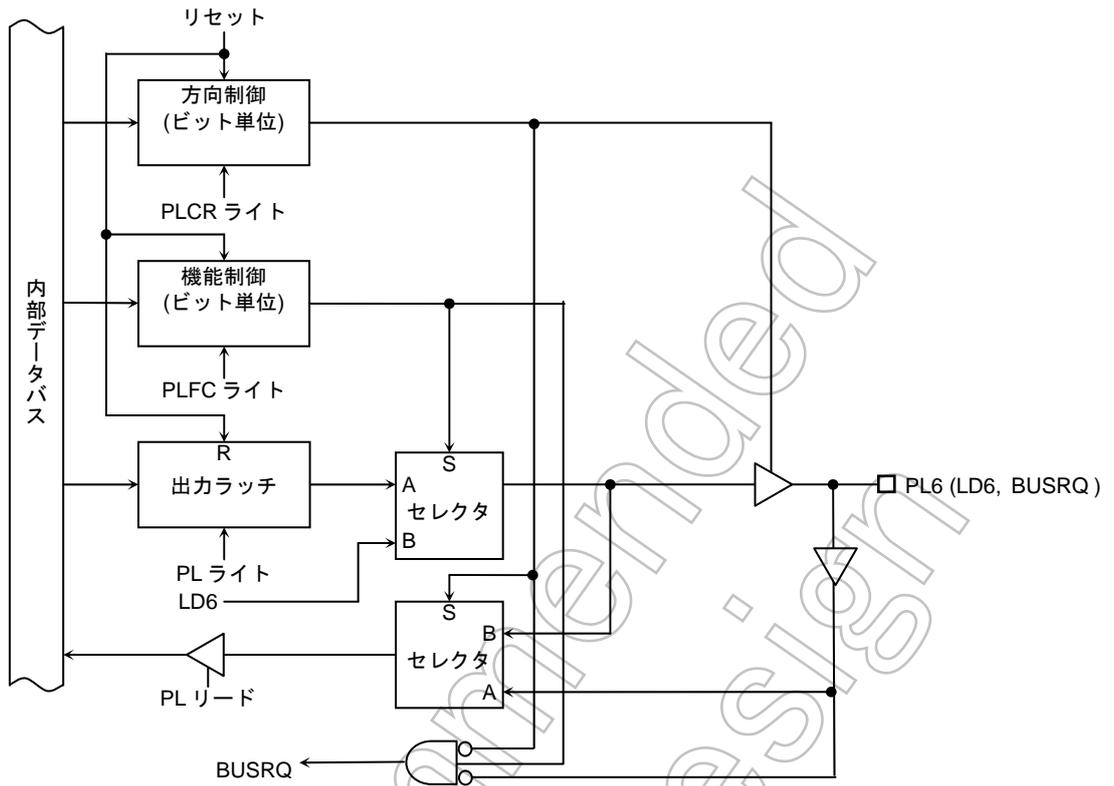


図 3.5.42 ポート PL6

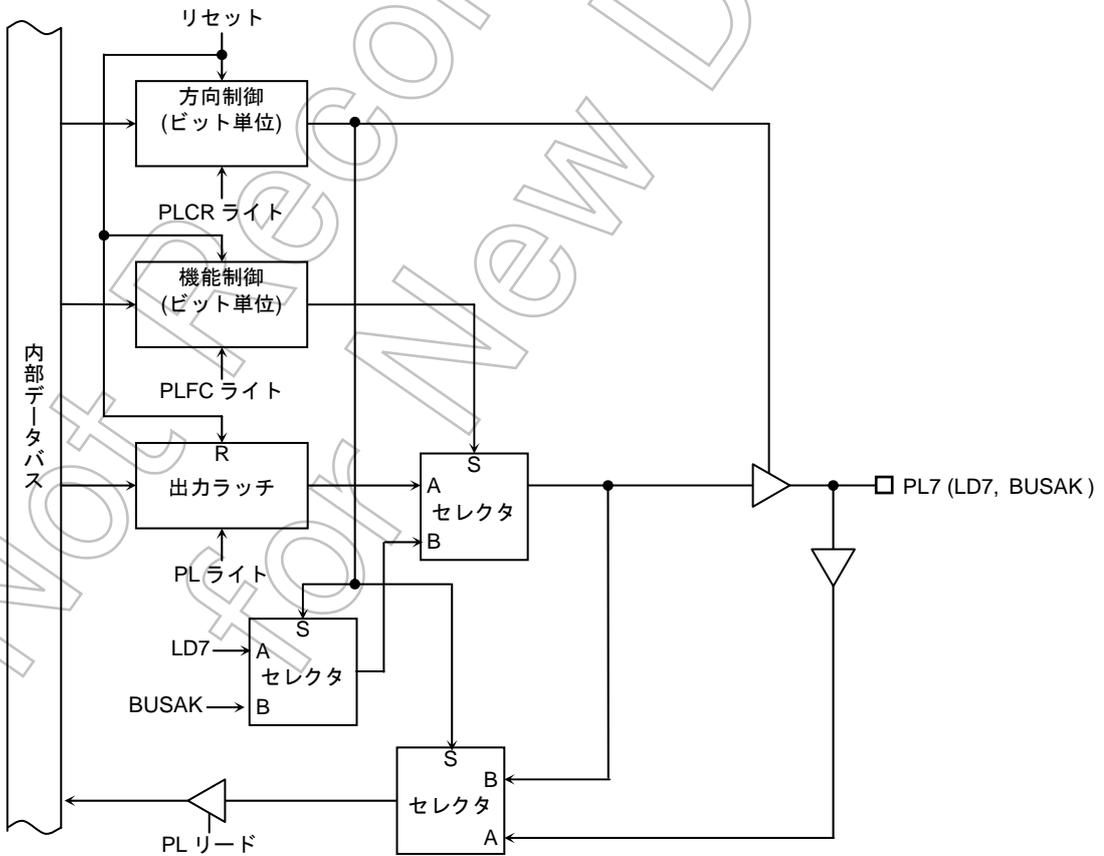


図 3.5.43 ポート L7

ポート L レジスタ

	7	6	5	4	3	2	1	0	
PL (0054H)	Bit symbol	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは"0"にクリアされます)			0	0	0	0	

ポート L コントロールレジスタ

	7	6	5	4	3	2	1	0
PLCR (0056H)	Bit symbol	PL7C	PL6C	PL5C	PL4C			
	Read/Write	W						
	リセット後	0	0	0	0			
	機能	0: 入力 1: 出力						

ポート L ファンクションレジスタ

	7	6	5	4	3	2	1	0	
PLFC (0057H)	Bit symbol	PL7F	PL6F	PL5F	PL4F	PL3F	PL2F	PL1F	PL0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	
	機能	以下の表を参照してください			0: ポート 1: LCDC用データバス (LD3~LD0)				

PL5 設定

	<PL5C>	0	1
<PL5F>		0	1
		入力ポート	出力ポート
		(Reserved)	LD5 出力

PL4 設定

	<PL4C>	0	1
<PL4F>		0	1
		入力ポート	出力ポート
		(Reserved)	LD4 出力

PL7 設定

	<PL7C>	0	1
<PL7F>		0	1
		入力ポート	出力ポート
		BUSAK 出力	LD7 出力

PL6 設定

	<PL6C>	0	1
<PL6F>		0	1
		入力ポート	出力ポート
		BUSRQ 入力	LD6 出力

ポート L ドライブレジスタ

	7	6	5	4	3	2	1	0	
PLDR (0095H)	Bit symbol	PL7D	PL6D	PL5D	PL4D	PL3D	PL2D	PL1D	PL0D
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注1) PLCR および PLFC はリードモディファイライトできません。

注2) ポート L を LD0~LD7 で使用する場合、PL6 端子が一時的に BUSRQ 機能入力になると、CPU が正常動作しないことがあります。よって、次の順番でレジスタを設定してください。

順番	レジスタ	設定値
(1)	PLCR	1
(2)	PLFC	1

図 3.5.44 ポート L 関係のレジスタ

3.5.15 ポート M (PM1~PM2)

PM1~PM2は2ビットの出力ポートです。リセット動作により出力ラッチPMは“1”に設定されPM1~PM2端子は“1”を出力します。

これらの機能以外に、ポートMはRTCアラーム出力端子($\overline{\text{ALARM}}$)、メロディ/アラームジェネレータ出力端子($\overline{\text{MLDALM}}$, $\overline{\text{MLDALM}}$)としての機能も持ち合わせています。これらの設定はファンクションレジスタPMFCで行います。

PM2のみは $\overline{\text{ALARM}}$ および $\overline{\text{MLDALM}}$ の二つの出力機能を持っています。この機能の選択はPM<PM2>で行います。

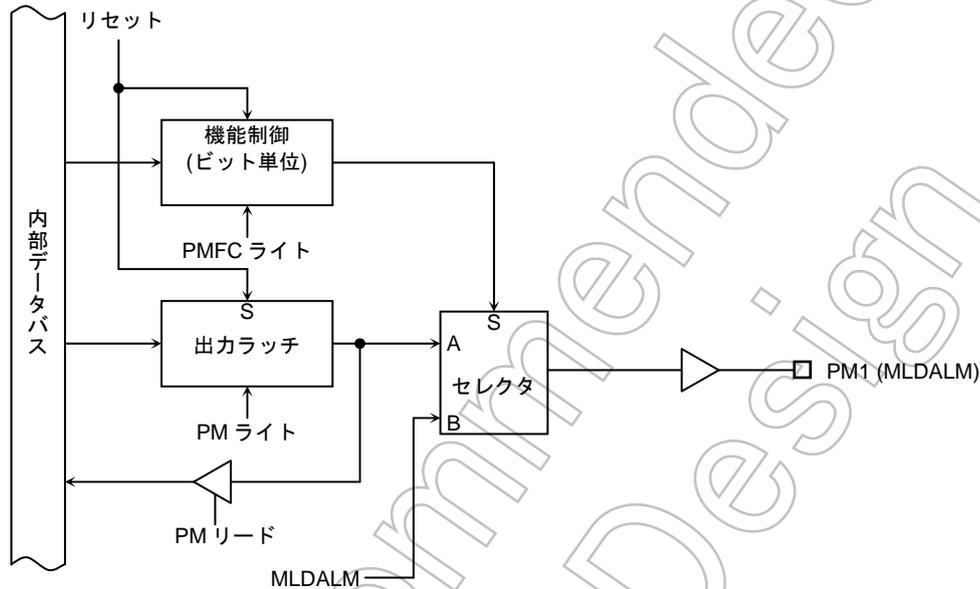


図 3.5.45 ポート PM1

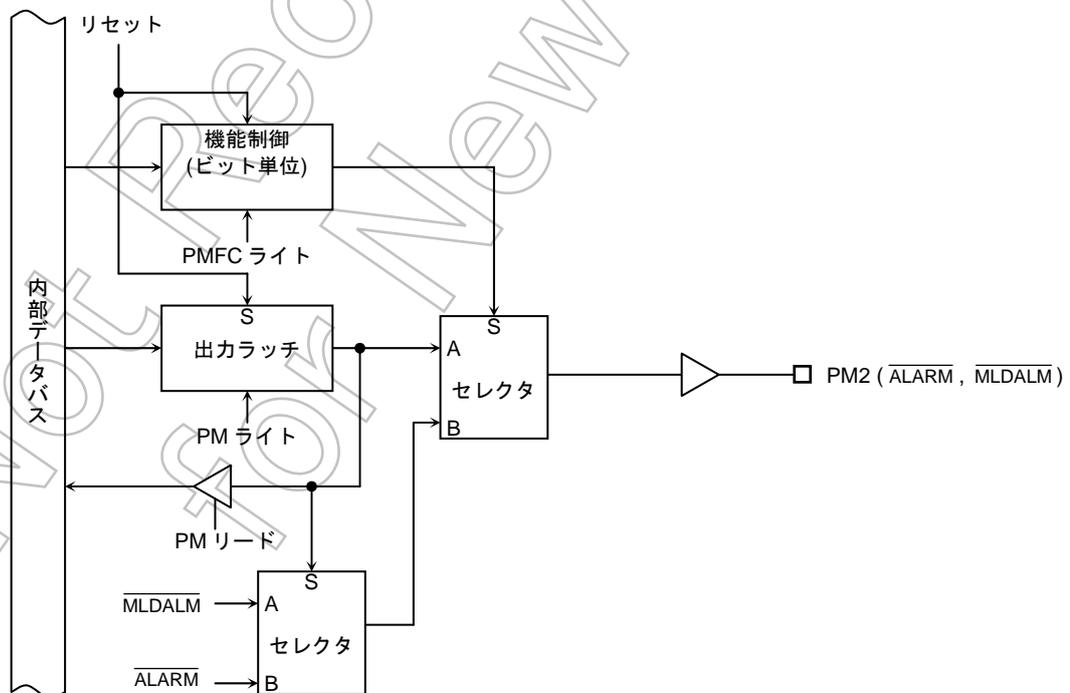


図 3.5.46 ポート PM2

ポート M レジスタ

		7	6	5	4	3	2	1	0	
PM (0058H)	Bit symbol	/					PM2		PM1	
	Read/Write	/					R/W			
	リセット後	/					1		1	

ポート M ファンクションレジスタ

		7	6	5	4	3	2	1	0	
PMFC (005BH)	Bit symbol	/					PM2F		PM1F	
	Read/Write	/					W			
	リセット後	/					0		0	
	機能	/					0: ポート 1: <PM2> = "1" のとき ALARM		0: ポート 1: MLDALM 出力	

ポート M ドライブレジスタ

		7	6	5	4	3	2	1	0	
PMDR (0096H)	Bit symbol	/					PM2D		PM1D	
	Read/Write	/					R/W			
	リセット後	/					1		1	
	機能	/					スタンバイモード用 入出力バッファ ドライブレジスタ			

注) PMFC はリードモディファイライトできません。

図 3.5.47 ポート M 関係のレジスタ

3.5.16 ポート N (PN0~PN7)

ポート N はビット単位で入出力指定可能な 8 ビットの汎用入出力ポートです。リセット動作によりポート N は入力ポートとなります。

汎用入出力ポート機能以外に、ポート N はキーボード用インタフェース端子 KO0~KO7 として、オープンドレインタイプ出力バッファに設定可能です。

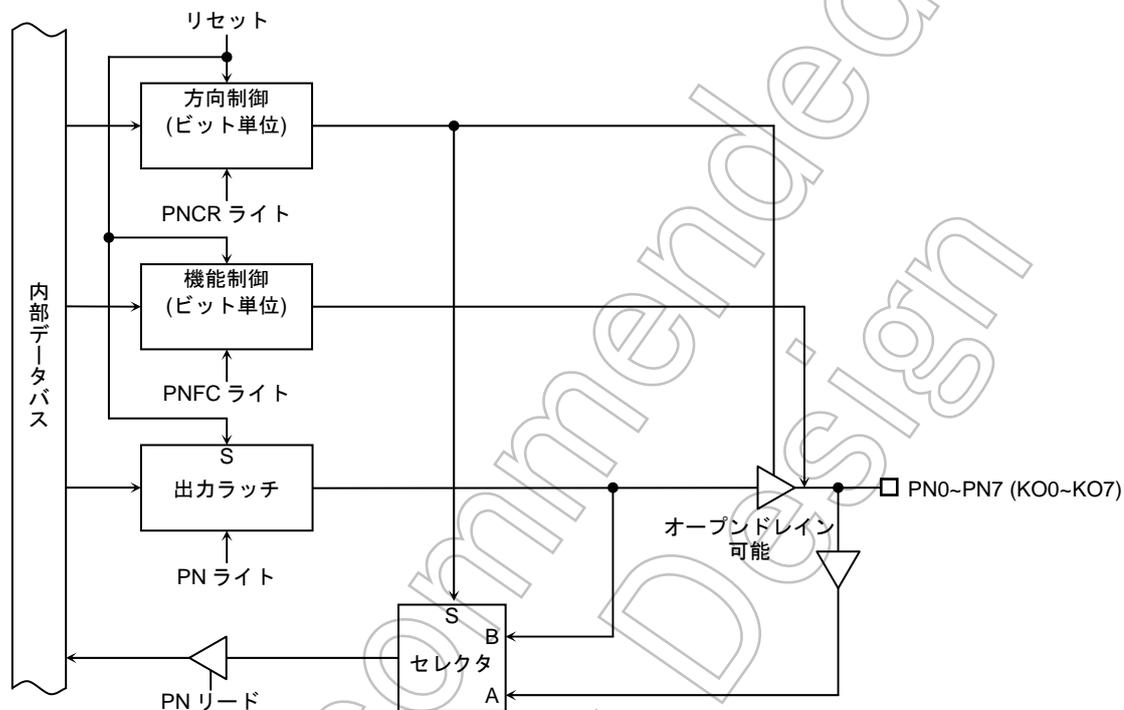


図 3.5.48 ポート N

ポート N レジスタ

	7	6	5	4	3	2	1	0	
PN (005CH)	Bit symbol	PN7	PN6	PN5	PN4	PN3	PN2	PN1	PN0
	Read/Write	R/W							
	リセット後	外部端子データ(出力ラッチレジスタは“1”にセットされます)							

ポート N コントロールレジスタ

	7	6	5	4	3	2	1	0	
PNCR (005EH)	Bit symbol	PN7C	PN6C	PN5C	PN4C	PN3C	PN2C	PN1C	PN0C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

ポート N ファンクションレジスタ

	7	6	5	4	3	2	1	0	
PNFC (005FH)	Bit symbol	PN7F	PN6F	PN5F	PN4F	PN3F	PN2F	PN1F	PN0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: CMOS 出力 1: オープンドレイン 出力							

ポート N ドライブレジスタ

	7	6	5	4	3	2	1	0	
PNDR (0097H)	Bit symbol	PN7D	PN6D	PN5D	PN4D	PN3D	PN2D	PN1D	PN0D
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注) PNCR、PNFC はリードモディファイライトできません。

図 3.5.49 ポート N 関係のレジスタ

3.6 メモリコントローラ

3.6.1 機能概要

メモリコントローラは、任意の4つのブロックアドレス空間に対して、以下のような制御を行うことができます。

(1) 4ブロックのアドレス空間をサポート

外部エリア内に設定する4つのブロックアドレス空間に対し、ブロックサイズとスタートアドレスを指定することができます(ブロック0~3)。

- * SRAM あるいは ROM: 全 CS ブロック (CS0~CS3) 対応
- * SDRAM: CS1 あるいは CS2 ブロックのどちらかのみ対応
- * ページ ROM: CS2 ブロックのみ対応
- * NAND フラッシュ: CS 設定不要

(2) 接続メモリの指定

選択したアドレス空間に接続するメモリとして、SRAM、ROM、SDRAM を指定できます。

(3) データバス幅の指定

選択したアドレス空間のデータバス幅は、8/16ビットが選択できます。

(4) ウェイトの制御

コントロールレジスタ内のウェイト指定ビットと $\overline{\text{WAIT}}$ 入力端子により、外部バスサイクルのウェイト数を制御することができます。リードサイクルとライトサイクルは、それぞれ独立にウェイト数を設定することができます。ウェイト数の制御には、下記に示す6つのモードがあります。

- 0 ウェイト、1 ウェイト、
- 2 ウェイト、3 ウェイト、4 ウェイト
- N ウェイト ($\overline{\text{WAIT}}$ 端子による制御)

3.6.2 制御レジスタとリセット解除後の動作

ここでは、メモリコントローラを制御するレジスタと、リセット解除後の状態、必要な設定について説明します。

(1) コントロールレジスタ

メモリコントローラの制御レジスタには、以下のようなものがあります。

- コントロールレジスタ: BnCSH/BnCSL (n = 0~3, EX)
接続するメモリの種類や読み出し、書き込みのウェイト数など、メモリコントローラの基本的な機能の設定を行います。
- メモリスタートアドレスレジスタ: MSARn (n = 0~3)
選択したブロックアドレス空間のスタートアドレスを設定します。
- メモリアドレスマスクレジスタ: MAMRn (n = 0~3)
選択したブロックアドレス空間のブロックサイズを設定します。
- ページ ROM コントロールレジスタ: PMEMCR
ページ ROM アクセス方法を設定します。
- メモリ制御コントロールレジスタ: MEMCRO
 $\overline{\text{RD}}$ 端子の波形選択、 $\overline{\text{CS0}} \sim \overline{\text{CS3}}$ 端子の制御方法を設定します。

表 3.6.1 コントロールレジスタ

		7	6	5	4	3	2	1	0
B0CSL (0140H)	Bit symbol		B0WW2	B0WW1	B0WW0		B0WR2	B0WR1	B0WR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
B0CSH (0141H)	Bit symbol	B0E	-	-	B0REC	B0OM1	B0OM0	B0BUS1	B0BUS0
	Read/Write	W							
	リセット後	0	0 (注)	0 (注)	0	0	0	0/1	0/1
MAMR0 (0142H)	Bit symbol	M0V20	M0V19	M0V18	M0V17	M0V16	M0V15	M0V14-V9	M0V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
MSAR0 (0143H)	Bit symbol	M0S23	M0S22	M0S21	M0S20	M0S19	M0S18	M0S17	M0S16
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
B1CSL (0144H)	Bit symbol		B1WW2	B1WW1	B1WW0		B1WR2	B1WR1	B1WR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
B1CSH (0145H)	Bit symbol	B1E	-	-	B1REC	B1OM1	B1OM0	B1BUS1	B1BUS0
	Read/Write	W							
	リセット後	0	0 (注)	0 (注)	0	0	0	0/1	0/1
MAMR1 (0146H)	Bit symbol	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15-V9	M1V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
MSAR1 (0147H)	Bit symbol	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
B2CSL (0148H)	Bit symbol		B2WW2	B2WW1	B2WW0		B2WR2	B2WR1	B2WR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
B2CSH (0149H)	Bit symbol	B2E	B2M	-	B2REC	B2OM1	B2OM0	B2BUS1	B2BUS0
	Read/Write	W							
	リセット後	1	0	0 (注)	0	0	0	0/1	0/1
MAMR2 (014AH)	Bit symbol	M2V22	M2V21	M2V20	M2V19	M2V18	M2V17	M2V16	M2V15
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
MSAR2 (014BH)	Bit symbol	M2S23	M2S22	M2S21	M2S20	M2S19	M2S18	M2S17	M2S16
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
B3CSL (014CH)	Bit symbol		B3WW2	B3WW1	B3WW0		B3WR2	B3WR1	B3WR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
B3CSH (014DH)	Bit symbol	B3E	-	-	B3REC	B3OM1	B3OM0	B3BUS1	B3BUS0
	Read/Write	W							
	リセット後	0	0 (注)	0 (注)	0	0	0	0/1	0/1
MAMR3 (014EH)	Bit symbol	M3V22	M3V21	M3V20	M3V19	M3V18	M3V17	M3V16	M3V15
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
MSAR3 (014FH)	Bit symbol	M3S23	M3S22	M3S21	M3S20	M3S19	M3S18	M3S17	M3S16
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1

注 1) "0" をライトしてください。

注 2) BnCSL, BnCSH (n = 0 ~ 3) レジスタは、リードモディファイライトできません。

表 3.6.2 コントロールレジスタ

	7	6	5	4	3	2	1	0
BEXCSH (0159H)	Bit symbol				BEXOM1	BEXOM0	BEXBUS1	BEXBUS0
	Read/Write				W			
	リセット後				0	0	0/1	0/1
BEXCSL (0158H)	Bit symbol	BEXWW2	BEXWW1	BEXWW0		BEXWR2	BEXWR1	BEXWR0
	Read/Write	W				W		
	リセット後	0	1	0		0	1	0
PMEMCR (0166H)	Bit symbol			OPGE	OPWR1	OPWR0	PR1	PR0
	Read/Write			R/W				
	リセット後			0	0	0	1	0
MEMCR0 (0168H)	Bit symbol					CSDIS	RDTMG1	RDTMG0
	Read/Write					R/W		
	リセット後					0	0	0

注) BEXCSH, BEXCSL レジスタはリードモディファイライトできません。

(2) リセット解除後の動作

リセット解除直後には、AM1/AM0 端子の状態に従い、起動データバス幅が決定され、外部メモリをアクセスします。具体的には下記のようになります。

AM1	AM0	スタートモード
0	0	設定禁止
0	1	16ビットデータバスで起動(注)
1	0	8ビットデータバスで起動(注)
1	1	設定禁止

注) リセット後起動することに使用されるメモリは NOR フラッシュ、MROM のどちらかです。
NAND フラッシュおよび SDRAM は使用できません。

AM1/AM0 端子は、リセット解除直後のみ有効です。それ以外では、データバス幅はコントロールレジスタの<BnBUS1:0>に設定された値になります。

リセット後は、ブロックアドレス空間 2 のコントロールレジスタ (B2CSH/B2CSL) のみが、自動的に有効になります (リセットにより B2CSH<B2E>は“1”に設定されます)。ブロックアドレス空間 2 の制御レジスタのバス幅指定ビットへ、AM1/AM0 端子で指定されたデータバス幅が、ロードされます。また、リセット後、ブロックアドレス空間は 000000H から FFFFFFFH 番地に設定されています (B2CSH<B2M>は“0”にリセットされます)。

リセット解除後、メモリスタートアドレスレジスタ (MSARn) とメモリアドレスマスクレジスタ (MAMRn) で、ブロックアドレス空間の指定を行い、コントロールレジスタ (BnCS) を設定します。

設定を有効にするために、コントロールレジスタのイネーブルビット (BnE) を 1 にセットしてください。

3.6.3 基本的な機能の説明とレジスタの設定

ここでは、メモリコントローラの機能のうち、ブロックアドレスエリアの設定、接続メモリ、ウェイト数の設定について説明します。

(1) ブロックアドレス空間の指定

ブロックアドレス空間は、2種類のレジスタによって指定されます。

メモリスタートアドレスレジスタ (MSARn) は、ブロックアドレス空間のスタートアドレスを設定するレジスタです。メモリコントローラは、バスサイクルごとに、このレジスタの値と、アドレスとを比較します。このとき、メモリアドレスマスクレジスタ (MAMRn) で、マスクされているアドレスビットは、メモリコントローラは、比較対象としません。メモリアドレスマスクレジスタの設定によって、ブロックアドレス空間のサイズが決まります。レジスタに設定された値と、バス上のアドレスを比較し、比較した結果が一致すれば、メモリコントローラは、チップセレクト信号(CSn)を“Low”レベルにします。

(i) メモリスタートアドレスレジスタの設定

メモリスタートアドレスレジスタの MS23~MS16 の各ビットは、それぞれアドレスの A23~A16 に対応します。スタート下位アドレス A15~A0 は、常に 0000H です。従って、ブロックアドレス空間のスタートアドレスは、000000H~FF0000H まで 64 K バイトごとに設定することができます。

(ii) メモリアドレスマスクレジスタの設定

メモリアドレスマスクレジスタでは、アドレスのどのビットの値を比較するか、比較しないかを設定します。レジスタは、“0”で「比較する」、「1」で「比較しない」の機能になります。

ブロックアドレス空間によって設定できるアドレスビットが違っており、

ブロックアドレス空間 0 : A20~A8

ブロックアドレス空間 1 : A21~A8

ブロックアドレス空間 2~3 : A22~A15

のマスク設定ができます。上位のビットについては、必ず比較されます。これにより、各ブロックアドレス空間のサイズが決まります。

ブロックアドレス空間によって設定できるサイズは、次のとおりです。

サイズ (バイト)	256	512	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M
CS エリア											
CS0	○	○	○	○	○	○	○	○	○		
CS1	○	○		○	○	○	○	○	○	○	
CS2~CS3			○	○	○	○	○	○	○	○	○

注) リセット解除後は、ブロックアドレス空間 2 の制御レジスタのみが有効になっています。ブロックアドレス空間 2 の制御レジスタには、特別に<B2M>ビットがあり、このビットを“0”にすると、ブロックアドレス空間 2 は 000000H~FFFFFFH に設定されます。リセット解除後は、この状態に設定されています。この<B2M>ビットを 1 に設定すると、他のブロックアドレス空間と同様に、スタートアドレスとアドレス空間サイズを設定することができます。

(iii) レジスタの設定例

ブロックアドレス空間 1 を 110000H のアドレスから 64 K バイトに設定する場合、次のようにレジスタを設定します。

MSAR1 レジスタ

ビット	7	6	5	4	3	2	1	0
Bit symbol	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16
設定値	0	0	0	1	0	0	0	1

メモリストार्टアドレスレジスタ MSAR1 の M1S23~M1S16 の各ビットは、それぞれアドレス A23~A16 に対応します。A15~A0 は“0”になります。従って、MASR1 の値を上記のように設定すると、ブロックアドレス空間のスタートアドレスは、110000H になります。

MAMR1 レジスタ

ビット	7	6	5	4	3	2	1	0
Bit symbol	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15-9	M1V8
設定値	0	0	0	0	0	0	1	1

メモリストार्टアドレスマスクレジスタ MAMR1 の M1V21~M1V16, M1V8 の各ビットは、それぞれ A21~A16, A8 のアドレス比較を行うか、行わないかを設定します。レジスタは、“0”で「比較する」、「1」で「比較しない」の機能になります。M1V15~M1V9 ビットは A15~A9 は 1 ビットでのアドレス比較を行うか行わないかを設定します。A22 と A23 は必ず比較されます。

上記のように設定すると、A23~A9 までがスタートアドレスとして設定された値と比較されます。従って、110000H~1101FFH 番地の 512 バイトが、ブロックアドレス空間 1 として設定され、バス上のアドレスと比較すれば、チップセレクト信号 CS1 を“L”レベルにします。他のブロックアドレス空間のサイズはこのように設定されます。

A23 および A22 は常にブロックアドレス空間 0 で比較されます。A20~A8 は比較を行うか行わないかはレジスタに設定されます。同様にブロックアドレス 2~3 では、A23 は必ず比較され、A22~A15 を比較するかどうかをレジスタに設定します。

注 1) 設定したブロックアドレス空間が、内蔵メモリの空間と重複した場合、ブロックアドレス空間は以下のような優先順位で処理されます。

内蔵 I/O > 内蔵メモリ > ブロックアドレス空間 0 > 1 > 2 > 3

注 2) また、CS0 から CS3 で設定したアドレス空間以外をアクセスした場合は、CSEX 空間として処理されます。従って、ウェイト数、データバス幅の制御などは CSEX (BEXCSH、BEXCSL レジスタ) の設定に従います。

(2) 接続メモリの指定

コントロールレジスタ (BnCSH) の<BnOM1:0>ビットを設定することにより、各ブロックアドレス空間に接続するメモリの種類を設定することができます。設定されたメモリによって、メモリインタフェース信号が出力されます。設定は、次のように行います。

BnOM1、BnOM0 ビット (BnCSH レジスタ)

BnOM1	BnOM0	機能
0	0	SRAM/ROM (デフォルト)
0	1	(Reserved)
1	0	(Reserved)
1	1	SDRAM

注 1) SDRAM は 1 あるいは 2 のブロックに設定する必要があります。

注 2) NAND フラッシュ、RAM 内蔵 LCDD は、“00” を設定してください。

(3) データバス幅の設定

データバス幅は、ブロックアドレス空間ごとに設定することができます。バス幅の設定はコントロールレジスタ (BnCSH) の<BnBUS1:0>で、以下のように行います。

<BnBUS1:0> (BnCSH レジスタ)

<BnBUS1>	<BnBUS0>	機能
0	0	8ビットバスモード (デフォルト)
0	1	16ビットバスモード
1	0	(Reserved)
1	1	使用しないでください。

注 1) SDRAM は“01” (16ビットバス) に設定する必要があります。

このように、アクセスするアドレスに応じてデータバス幅を変えることを“ダイナミックバスサイジング”と呼びます。データサイズ、バス幅、スタートアドレスにより、データが、データバスのどの部分に出力されるかが変わります。バス動作の詳細は次のようになります。

なお、TMP92CA25 は外部データバス端子数は 16 本ですので、メモリデータサイズが 32 ビットの欄は無視してください。

注 2) バス幅が異なるメモリを連続したアドレスに配置している場合、両方のメモリにまたがるアクセスを 1 命令で実行しないでください。データの正常な読み出し/書き込みが行われない場合があります。

データサイズ (ビット)	スタートアドレス	メモリデータサイズ (ビット)	CPU アドレス	CPU データ				
				D31~D24	D23~D16	D15~D8	D7~D0	
8	4n+0	8/16/32	4n+0	xxxxx	xxxxx	xxxxx	b7~b0	
	4n+1	8	4n+1	xxxxx	xxxxx	xxxxx	b7~b0	
		16/32	4n+1	xxxxx	xxxxx	b7~b0	xxxxx	
	4n+2	8/16	4n+2	xxxxx	xxxxx	xxxxx	b7~b0	
		32	4n+2	xxxxx	b7~b0	xxxxx	xxxxx	
		4n+3	8	4n+3	xxxxx	xxxxx	xxxxx	b7~b0
16	4n+3		xxxxx	xxxxx	b7~b0	xxxxx		
32	4n+3		b7~b0	xxxxx	xxxxx	xxxxx		
16	4n+0	8	(1) 4n+0	xxxxx	xxxxx	xxxxx	b7~b0	
		16/32	(2) 4n+1	xxxxx	xxxxx	xxxxx	b15~b8	
			4n+0	xxxxx	xxxxx	b15~b8	b7~b0	
	4n+1	8	(1) 4n+1	xxxxx	xxxxx	xxxxx	b7~b0	
		16	(2) 4n+2	xxxxx	xxxxx	xxxxx	b15~b8	
			(1) 4n+1	xxxxx	xxxxx	b7~b0	xxxxx	
	4n+2	8	(2) 4n+2	xxxxx	xxxxx	xxxxx	b15~b8	
			4n+2	xxxxx	xxxxx	b15~b8	b7~b0	
			4n+2	b15~b8	b7~b0	xxxxx	xxxxx	
	4n+3	8	(1) 4n+3	xxxxx	xxxxx	xxxxx	b7~b0	
			(2) 4n+4	xxxxx	xxxxx	xxxxx	b15~b8	
		16	(1) 4n+3	xxxxx	xxxxx	b7~b0	xxxxx	
(2) 4n+4			xxxxx	xxxxx	xxxxx	b15~b8		
32		(1) 4n+3	b7~b0	xxxxx	xxxxx	xxxxx		
		(2) 4n+4	xxxxx	xxxxx	xxxxx	b15~b8		
32	4n+0	8	(1) 4n+0	xxxxx	xxxxx	xxxxx	b7~b0	
			(2) 4n+1	xxxxx	xxxxx	xxxxx	b15~b8	
			(3) 4n+2	xxxxx	xxxxx	xxxxx	b23~b16	
			(4) 4n+3	xxxxx	xxxxx	xxxxx	b31~b24	
		16	(1) 4n+0	xxxxx	xxxxx	b15~b8	b7~b0	
			(2) 4n+2	xxxxx	xxxxx	b31~b24	b23~b16	
	32	4n+0	b31~b24	b23~b16	b15~b8	b7~b0		
		4n+1	8	(1) 4n+0	xxxxx	xxxxx	xxxxx	b7~b0
				(2) 4n+1	xxxxx	xxxxx	xxxxx	b15~b8
	(3) 4n+2			xxxxx	xxxxx	xxxxx	b23~b16	
	(4) 4n+3			xxxxx	xxxxx	xxxxx	b31~b24	
	16	(1) 4n+1	xxxxx	xxxxx	b7~b0	xxxxx		
			(2) 4n+2	xxxxx	xxxxx	b23~b16	b15~b8	
			(3) 4n+4	xxxxx	xxxxx	xxxxx	b31~b24	
	32	(1) 4n+1	b23~b16	b15~b8	b7~b0	xxxxx		
			(2) 4n+4	xxxxx	xxxxx	xxxxx	b31~b24	
		(2) 4n+2	xxxxx	xxxxx	xxxxx	b7~b0		
	4n+2	8	(1) 4n+2	xxxxx	xxxxx	xxxxx	b7~b0	
			(2) 4n+3	xxxxx	xxxxx	xxxxx	b15~b8	
			(3) 4n+4	xxxxx	xxxxx	xxxxx	b23~b16	
		16	(4) 4n+5	xxxxx	xxxxx	xxxxx	b31~b24	
			(1) 4n+2	xxxxx	xxxxx	b15~b8	b7~b0	
			(2) 4n+4	xxxxx	xxxxx	b31~b24	b23~b16	
	32	(1) 4n+2	b15~b8	b7~b0	xxxxx	xxxxx		
(2) 4n+4			xxxxx	xxxxx	b31~b24	b23~b16		
(2) 4n+3		xxxxx	xxxxx	xxxxx	b7~b0			
4n+3	8	(1) 4n+3	xxxxx	xxxxx	xxxxx	b7~b0		
		(2) 4n+4	xxxxx	xxxxx	xxxxx	b15~b8		
		(3) 4n+5	xxxxx	xxxxx	xxxxx	b23~b16		
	16	(4) 4n+6	xxxxx	xxxxx	xxxxx	b31~b24		
		(1) 4n+3	xxxxx	xxxxx	b7~b0	xxxxx		
		(2) 4n+4	xxxxx	xxxxx	b23~b16	b15~b8		
32	(3) 4n+6	xxxxx	xxxxx	xxxxx	b31~b24			
	(1) 4n+3	b7 to b0	xxxxx	xxxxx	xxxxx			
	(2) 4n+4	xxxxx	b31 to b24	b23 to b16	b15 to b8			

xxxxx: リードときはそのバスの入力データが無視されることを示します。ライト時は、そのバスがハイインピーダンスで、そのバスのライトストロブ信号は、ノンアクティブのままであることを示します。

(4) ウェイトの制御

外部バスサイクルは、最小 2 ステート (100 ns@ fSYS = 20 MHz) で完了します。コントロールレジスタ (BnCSL) の<BnWW2:0>と<BnWR2:0>を設定することにより、リードサイクルとライトサイクルのウェイト数を指定することができます。<BnWW>と<BnWR>の設定方法は同じです。設定は次のように行います。

<BnWW>/<BnWR>(BnCSL レジスタ)

<BnWW2> <BnWR2>	<BnWW1> <BnWR1>	<BnWW0> <BnWR0>	機能
0	0	1	2ステート(0ウェイト)アクセス固定モード
0	1	0	3ステート(1ウェイト)アクセス固定モード (デフォルト)
1	0	1	4ステート(2ウェイト)アクセス固定モード
1	1	0	5ステート(3ウェイト)アクセス固定モード
1	1	1	6ステート(4ウェイト)アクセス固定モード
0	1	1	WAIT 端子入力モード
上記以外			(Reserved)

注 1) SDRAM には上記の設定は無効です。SDRAM コントローラの章を参照してください。

注 2) NAND フラッシュには上記の設定は無効です。
RAM 内蔵 LCDD には上記の設定は有効です。

(i) ウェイト数固定モード

指定されたステート数でバスサイクルを完了するモードです。ステート数は、2 ステート (0 ウェイト)~6 ステート (4 ウェイト) を選択できます。

(ii) WAIT 端子入力モード

WAIT 入力端子をサンプリングし、信号がアクティブの間、ウェイトを挿入しつづけます。このモードでは、最小のバスサイクルが 2 ステートとなります。2 ステート目に、ウェイト信号がノンアクティブ (“H” レベル) であれば、そこでバスサイクルは完了します。2 ステート以上は、ウェイト信号がアクティブな限りバスサイクルが延長されます。

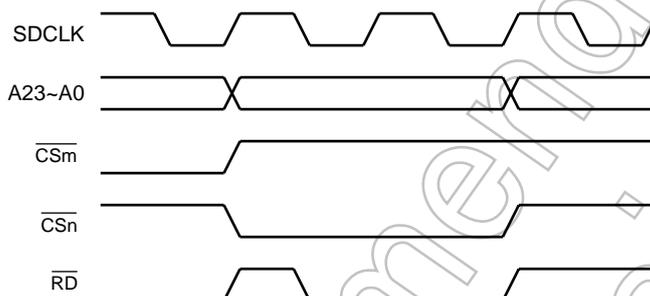
(5) リカバリ (データホールド) サイクル制御

メモリによってはリードサイクル時の \overline{CE} あるいは \overline{OE} からデータホールド時間についてA.Cのスペックが定義されており、その場合データ衝突の問題が起こりえます。この問題を回避するためBmCSH<BmREC>レジスタに“1”を設定することによってCSmブロックにアクセス後に、1ステートのダミーサイクルを挿入することができます。この1ダミーサイクルは次のサイクルが他のCSブロック用のとき挿入されます。

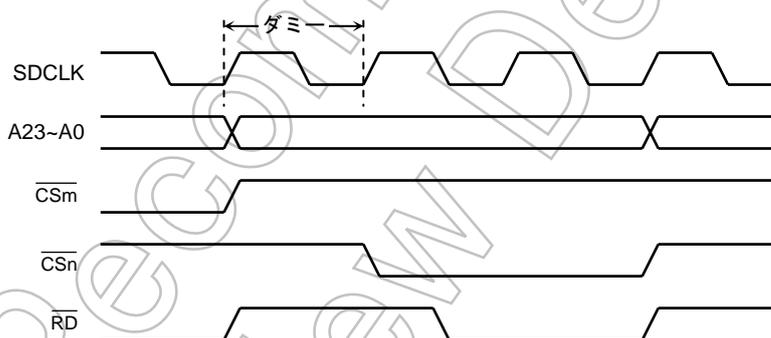
<BnREC>(BnCSH レジスタ)

0	ダミーサイクルを挿入しない (デフォルト)
1	ダミーサイクルを挿入

- ダミーサイクルを挿入しないとき (0 ウェイト)



- ダミーサイクルを挿入するとき (0 ウェイト)

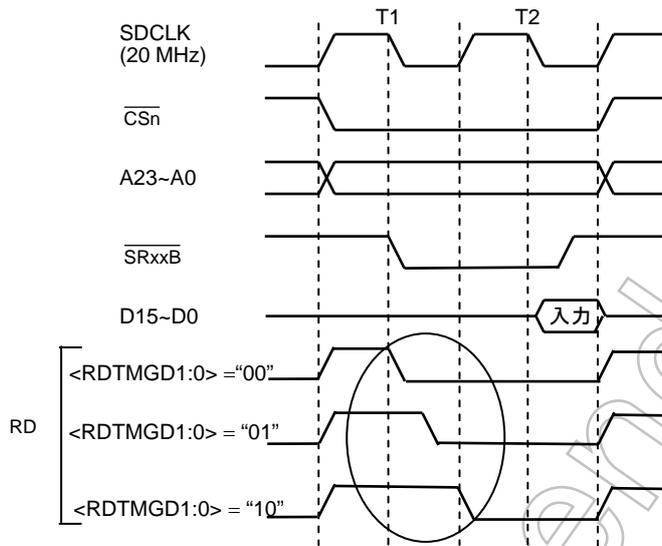


また、上記機能(<BnREC>レジスタ)はダミーサイクルが挿入され、それによりパフォーマンスは低下します。よって、<BnREC>とは別に \overline{RD} 端子立下りタイミング変更機能があります。この機能はMEMCR0<RDTMG1:0>レジスタを変更することにより下記図の様に \overline{RD} 端子の立下りタイミングを変更できます。これによりメモリの \overline{OE} からのデータホールド時間についてA.Cスペック不足を解消でき、データ衝突の問題を回避ができます。

本機能は、<BnREC>とあわせて使用することが可能です。また、本機能はアクセスするCSブロックには依存しません。また、本機能の使用によりメモリの \overline{OE} からデータ出力までの期間などは短くなりますので注意が必要です。

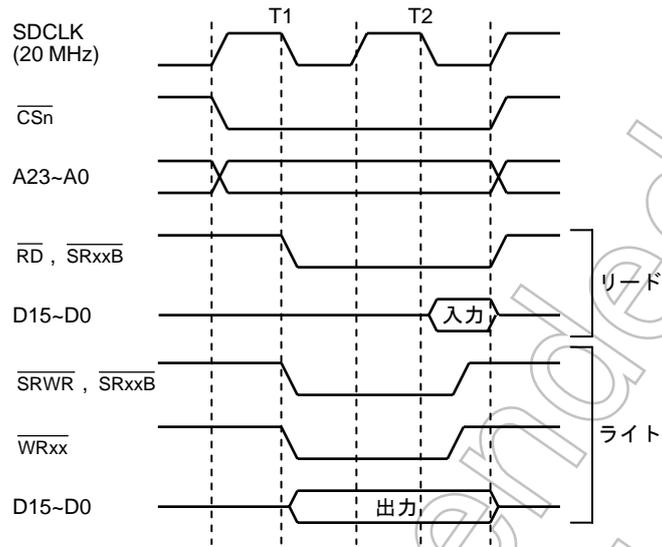
<RDTMG1:0> (MEMCR0 レジスタ)

00	\overline{RD} “H”パルス幅 = 0.5T (デフォルト)
01	\overline{RD} “H”パルス幅 = 0.75T
10	\overline{RD} “H”パルス幅 = 1.0T
11	(Reserved)

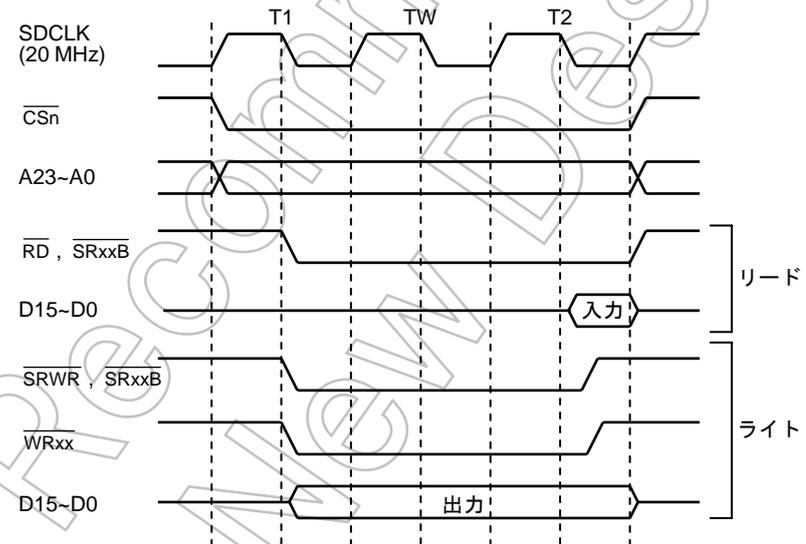


(6) 基準バスタイミング

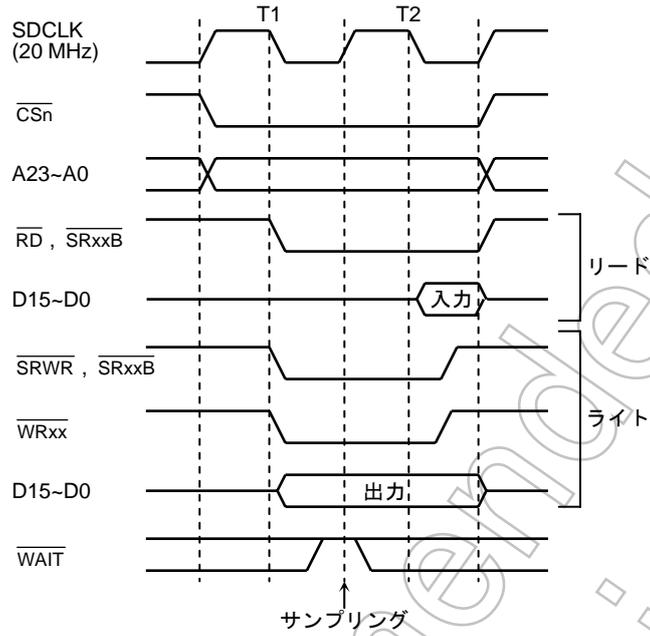
(a) 外部リード/ライトバスサイクル (0 ウェイト)



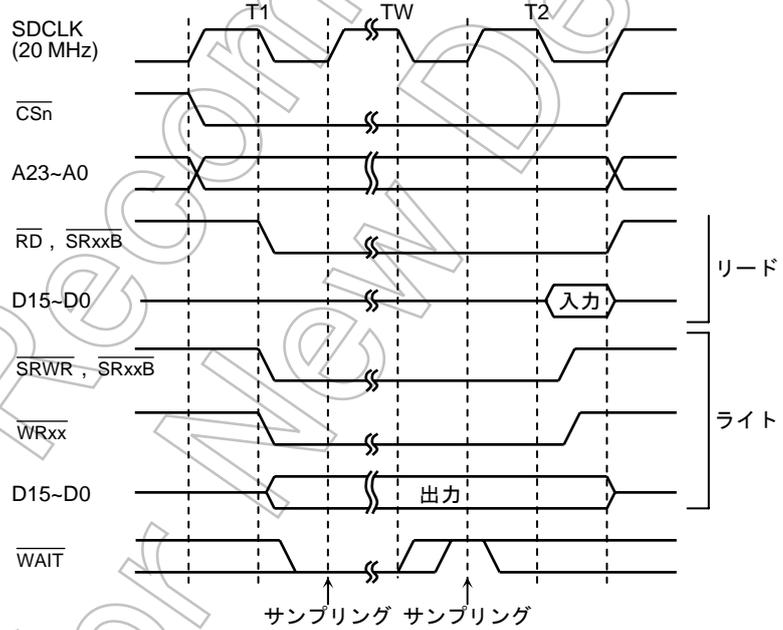
(b) 外部リード/ライトバスサイクル (1 ウェイト)



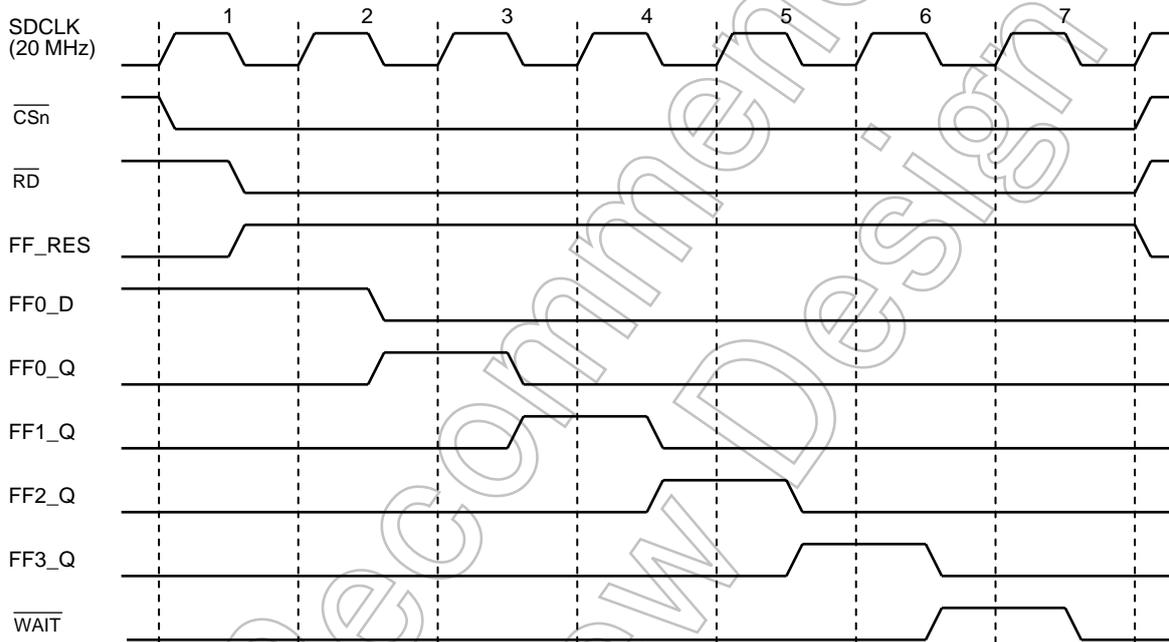
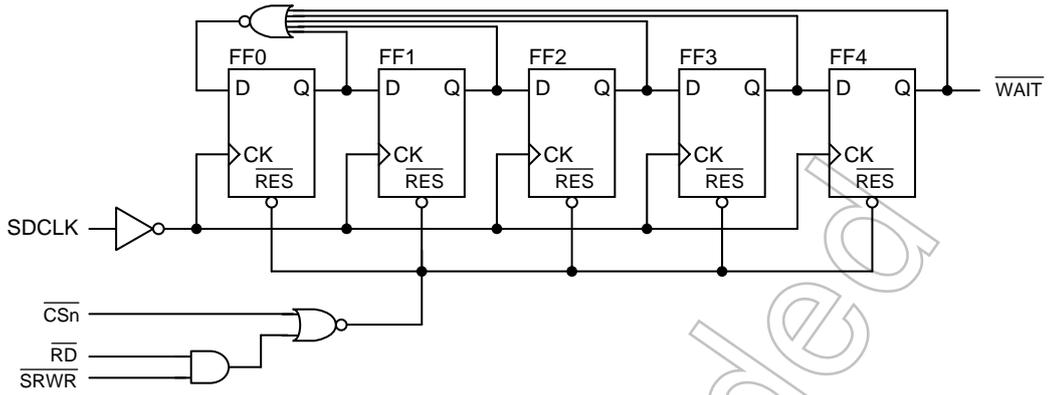
(c) 外部リード/ライトバスサイクル (0 ウェイト@ $\overline{\text{WAIT}}$ 端子入力モード)



(d) 外部リード/ライトバスサイクル (n ウェイト@ $\overline{\text{WAIT}}$ 端子入力モード)



WAIT 入力回路例 (5 ウェイトの場合)



Not Recommended for New Designs

(7) 外部メモリ接続

図 3.6.1は外部 16 ビットSRAM、16 ビットNORフラッシュとTMP92CA25 の接続方法の接続例を示しています。

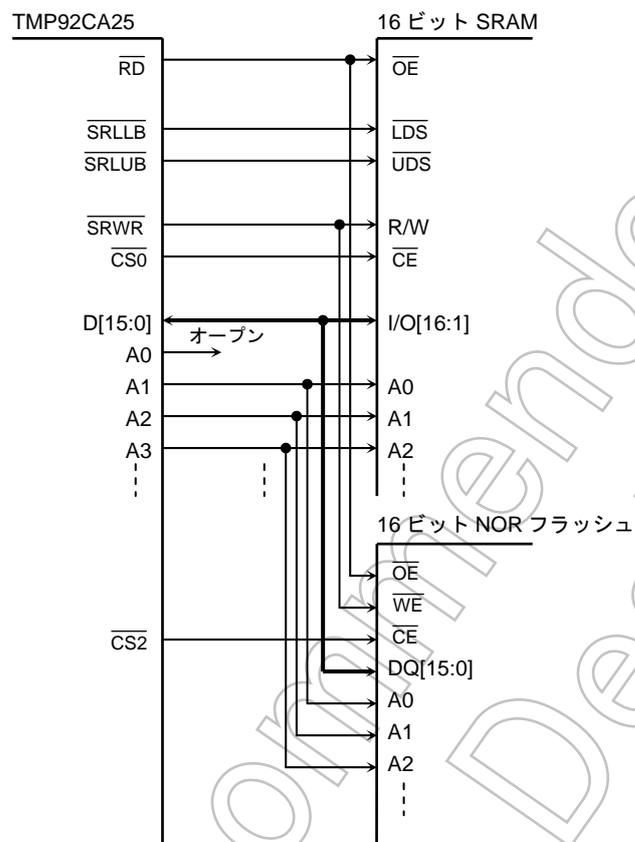


図 3.6.1 外部 16 ビット SRAM、NOR フラッシュ接続例

3.6.4 ROM コントロール (ページモード)

ここでは、ROM のページモードアクセスを行う場合の動作と、レジスタの設定方法について説明します。ROM ページモードの設定は、ページ ROM コントロールレジスタで行います。

(1) 動作とレジスタの設定方法

TMP92CA25 は、ページモードの ROM アクセスをサポートしています。ただし、ページモードの ROM アクセスを指定できるのは、ブロックアドレス空間 2 のみです。

ROM のページモードの設定は、ページ ROM コントロールレジスタ (PMEMCR) で行います。

PMEMCR レジスタの<OPGE>を“1”に設定すると、ブロックアドレス空間 2 のメモリアクセスは、ROM ページモードアクセスになります。

PMEMCR レジスタの<OPWR1:0>で、読み出しサイクル数の設定を行います。

<OPWR1:0> (PMEMCR レジスタ)

OPWR1	OPWR0	ページのサイクル数
0	0	1 ステート (n-1-1-1 モード) ($n \geq 2$)
0	1	2 ステート (n-2-2-2 モード) ($n \geq 3$)
1	0	3 ステート (n-3-3-3 モード) ($n \geq 4$)
1	1	(Reserved)

注) ウェイト数 n は、各ブロックアドレス空間のコントロールレジスタ (BnCSL) で設定してください。

PMEMCR レジスタの<PR1:0>ビットには、CPU 側から見た ROM のページサイズ (バイト数) を設定します。設定されたページの境界までデータが読み出されると、メモリコントローラは、一連のページリード動作を終了させ、次のページの先頭データの読み出しはノーマルサイクルで行い、その次より再びページリードを続けます。

<PR1:0> (PMEMCR レジスタ)

PR1	PR0	ROM ページ サイズ
0	0	64 バイト
0	1	32 バイト
1	0	16 バイト (デフォルト)
1	1	8 バイト

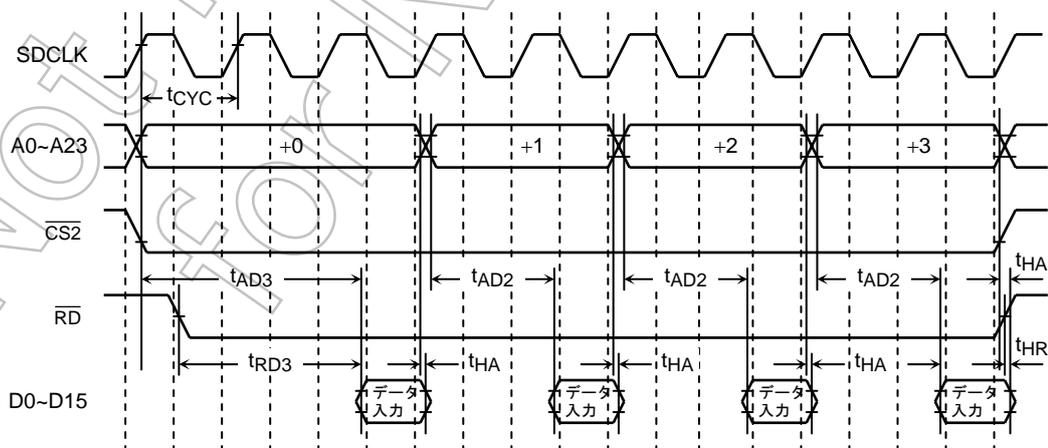


図 3.6.2 タイミングパルス図 (8 バイト設定例)

3.6.5 注意事項

(1) \overline{CS} と \overline{RD} の間のタイミングの注意点

\overline{RD} (リード信号) の寄生容量が \overline{CS} (チップセレクト信号) の容量より大きい場合のリード信号の遅れにより、意図しないリードサイクルが発生する場合があります。図 3.6.3の (a) のような意図しないリードサイクルによって、不具合が発生する恐れがあります。

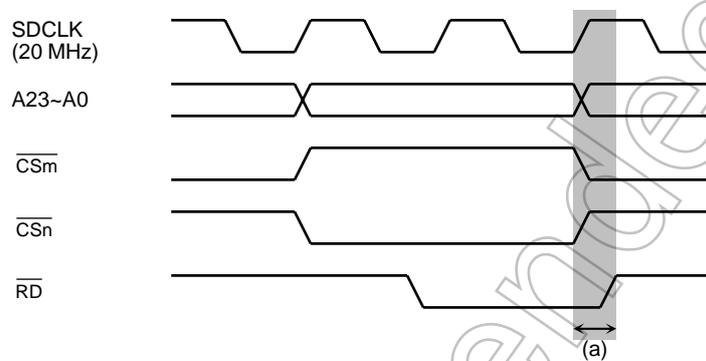


図 3.6.3 リード信号遅延時のリードサイクル

例) JEDEC標準型コマンドを採用しているNORフラッシュを外部に接続する場合、トグルビットを正しく読み出しできない場合があります。図 3.6.4のようにNORフラッシュアクセスの前のサイクルのリード信号立ち上がりが遅れたとき、(b) のように意図しないリードサイクルが生じます。

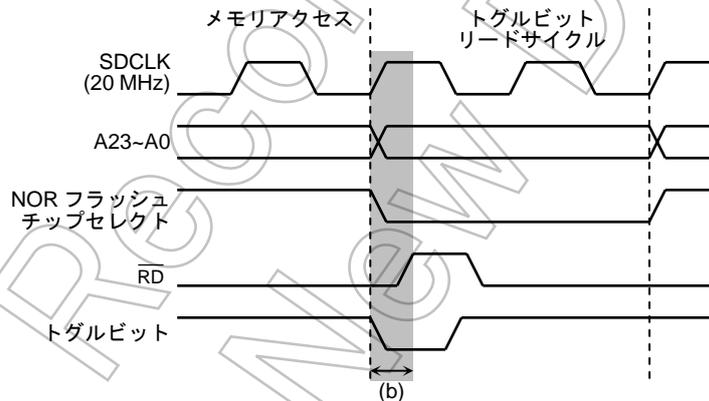


図 3.6.4 NORフラッシュトグルビットリードサイクル

この意図しないリードサイクルでトグルビットが反転してしまう場合、CPU はいつも同じ値のトグルビットを読み出すことになり、正しくトグルビットをリードできません。このような現象が起こる場合があるため、データポーリング機能での制御を推奨します。

(2) NAND フラッシュ、RAM 内蔵 LCD ドライバエリア設定についての注意点

図 3.6.5はNANDフラッシュ、RAM内蔵LCDドライバのメモリマップを示しています。

また、CS3 エリアでは 000000H~3FFFFFFH までのアドレスに割り当てることを推奨しており、この場合を例として説明します。

この場合、“NAND フラッシュ、RAM 内蔵 LCD ドライバ”と CS3 エリアが重なっています。

TMP92CA25 では、アクセスする各制御回路は独立して動作しますので、CS3 エリア上のプログラムが、NAND フラッシュや RAM 内蔵 LCD ドライバをアクセスする場合、同時にアクセスされ、データ衝突のような問題が発生します。この現象を回避するために、MEMCR0<CSDIS>レジスタを準備しています。<CSDIS>を“1”にセットすると、CS3 エリアとして設定されていたエリア中の 001D00H~001FFFH(768B)をアクセスした際に CS3 端子はアクティブになりません。

これにより、上記の現象を回避できます。なお、この機能は CS3 のみでなく CS0 ~ CS3 端子全てに対して有効です。

注1) 上記設定の場合、CS3 用メモリの 24 K バイト(000000H-005FFFFH)までのアドレスを使用することはできません。

注2) NAND-Flash 用の 512 バイト(001D00H~001EFFH)エリアは、設定された CS ブロックに関係なく下記の仕様に固定しています。よって上記設定の場合でも、NAND フラッシュエリアは CS3 エリアの設定には従いません。

(NAND-Flash エリアの仕様)

1. バス幅 : 8 ビット固定
2. ウェイト制御 : NAND フラッシュコントローラ中の NDnFSPR<SPW>に依存します。

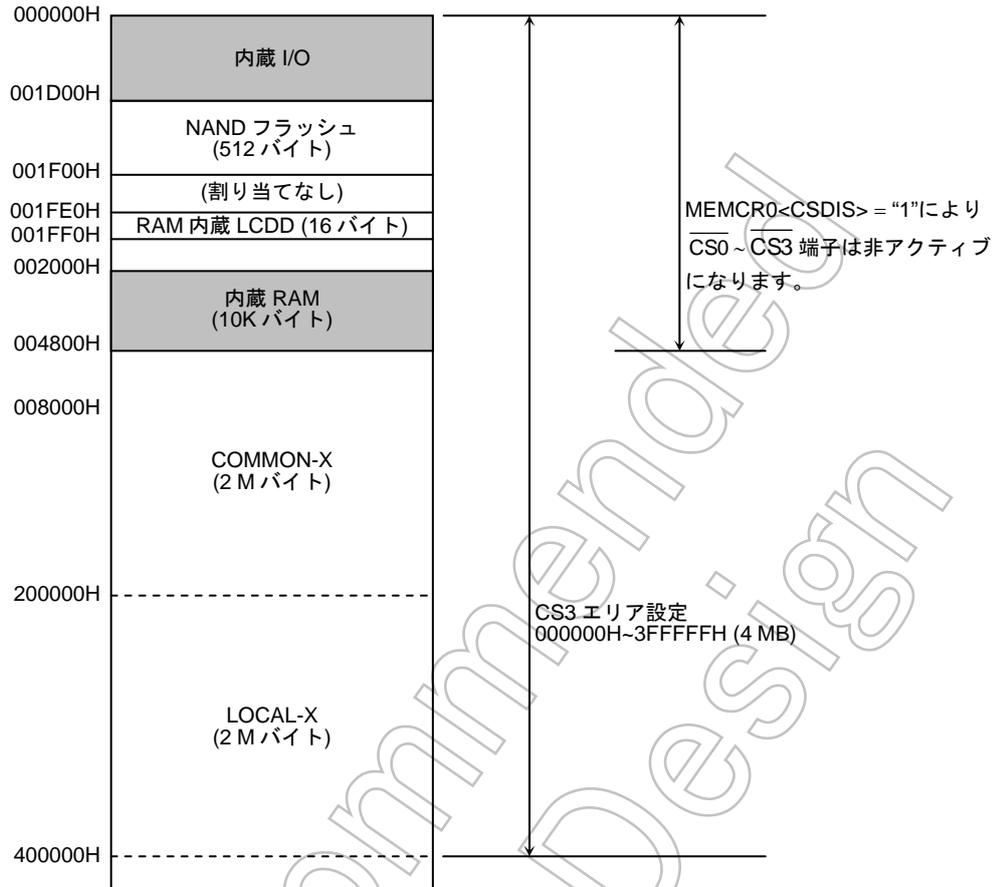


図 3.6.5 CS3 推奨設定

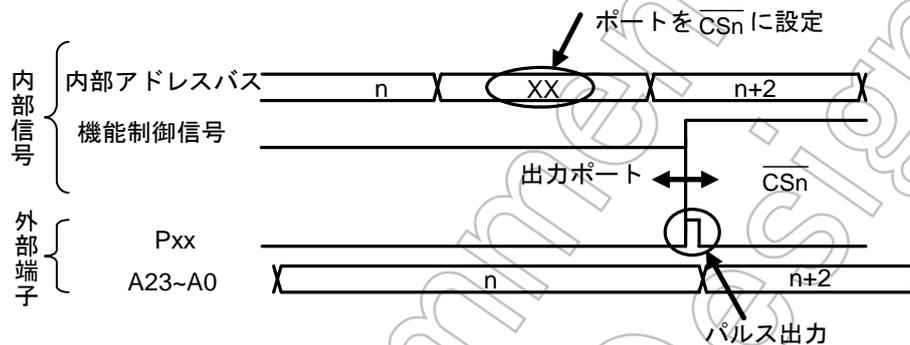
(3) \overline{CSn} 端子の機能切り替え時の注意

チップセレクト信号出力は汎用ポート機能との兼用端子の場合があります。この場合は、リセット動作により、出力ラッチレジスタおよび機能制御レジスタが初期化され、対象端子がポート出力(“1” または “0”)に初期化されます。

機能切り替え

機能制御レジスタ(PnFC レジスタ)を設定する事により、対象端子をポートからチップセレクト信号出力に切り替えますが、切り替わりのタイミングで数 ns の短いパルスが出力される場合があります。通常のメモリを使用する場合、特に問題にはなりません、特殊なメモリを使用する場合、問題となることがあります。

※ XX は機能レジスタアドレス(出力ポートが“0”に初期化される場合)

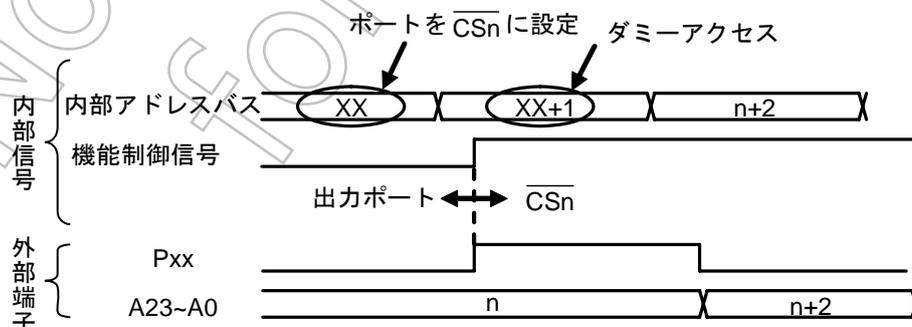


ソフトウェアによる対策

この現象を回避するための S/W での対応策を説明します。

CS 信号はそのアクセスエリアのアドレスをデコードして生成されるため、不要なパルスは CSn 機能に設定した直後の、対象 CS エリアへのアクセスによって出力されます。そこで、ポートを CS 機能に設定した直後も内部エリアにアクセスすれば不要なパルスは出力しません。

1. 機能切り替え中の割り込み禁止 (DI 命令)
2. 連続した内部アクセスをするために、ダミー命令を追加
3. 機能切り替えレジスタへのアクセスを 16 ビット命令で対応する(LDW 命令)



3.7 8ビットタイマ

TMP92CA25は8ビットタイマを4チャンネル(TMRA0~3)内蔵しています。

TMRAは2チャンネルを1モジュールとし、2モジュールで構成され、それぞれTMRA01、TMRA23と呼びます。各モジュールは次の4種類のモードを持っています。

- 8ビットインタバルタイマモード
- 16ビットインタバルタイマモード
- 8ビットプログラマブル矩形波 (PPG: 可変周期、可変デューティ) 出力モード
- 8ビットパルス幅変調 (PWM: 可変周期、可変デューティ) 出力モード

図 3.7.1~図 3.7.2にTMRA01 およびTMRA23 のブロック図を示します。

各チャンネルは8ビットアップカウンタ、8ビットコンパレータおよび8ビットのタイマレジスタで構成され、2チャンネルで1つのプリスケアラ、タイマフリップフロップで構成されています。

タイマの動作モードとタイマフリップフロップは、5バイトのレジスタ (SFR) で制御されます。

2つの各モジュール (TMRA01、TMRA23) はそれぞれ独立に動作します。いずれのモジュールも表 3.7.1に示される仕様相違点を除いて同一の動作をしますので、動作説明はTMRA01 の場合についてのみ説明します。

また、本章は下記のような構成になっています。

3.7.1 モジュール別のブロック図

3.7.2 回路別の動作説明

3.7.3 SFR説明

3.7.4 モード別動作説明

- (1) 8ビットタイマモード
- (2) 16ビットタイマモード
- (3) 8ビット PPG (プログラマブル矩形波) 出力モード
- (4) 8ビット PWM (パルス幅変調) 出力モード
- (5) モード設定

表 3.7.1 モジュール別仕様相違点

モジュール		TMRA01	TMRA23
外部端子	外部クロック用入力端子	なし	なし
	タイマフリップフロップ用出力端子	TA1OUT (PC0と兼用)	TA3OUT (PC1と兼用)
SFR (アドレス)	タイマ動作レジスタ	TA01RUN (1100H)	TA23RUN (1108H)
	タイマレジスタ	TA0REG (1102H) TA1REG (1103H)	TA2REG (110AH) TA3REG (110BH)
	タイマモードレジスタ	TA01MOD (1104H)	TA23MOD (110CH)
	フリップフロップ制御レジスタ	TA1FFCR (1105H)	TA3FFCR (110DH)

3.7.1 モジュール別ブロック図

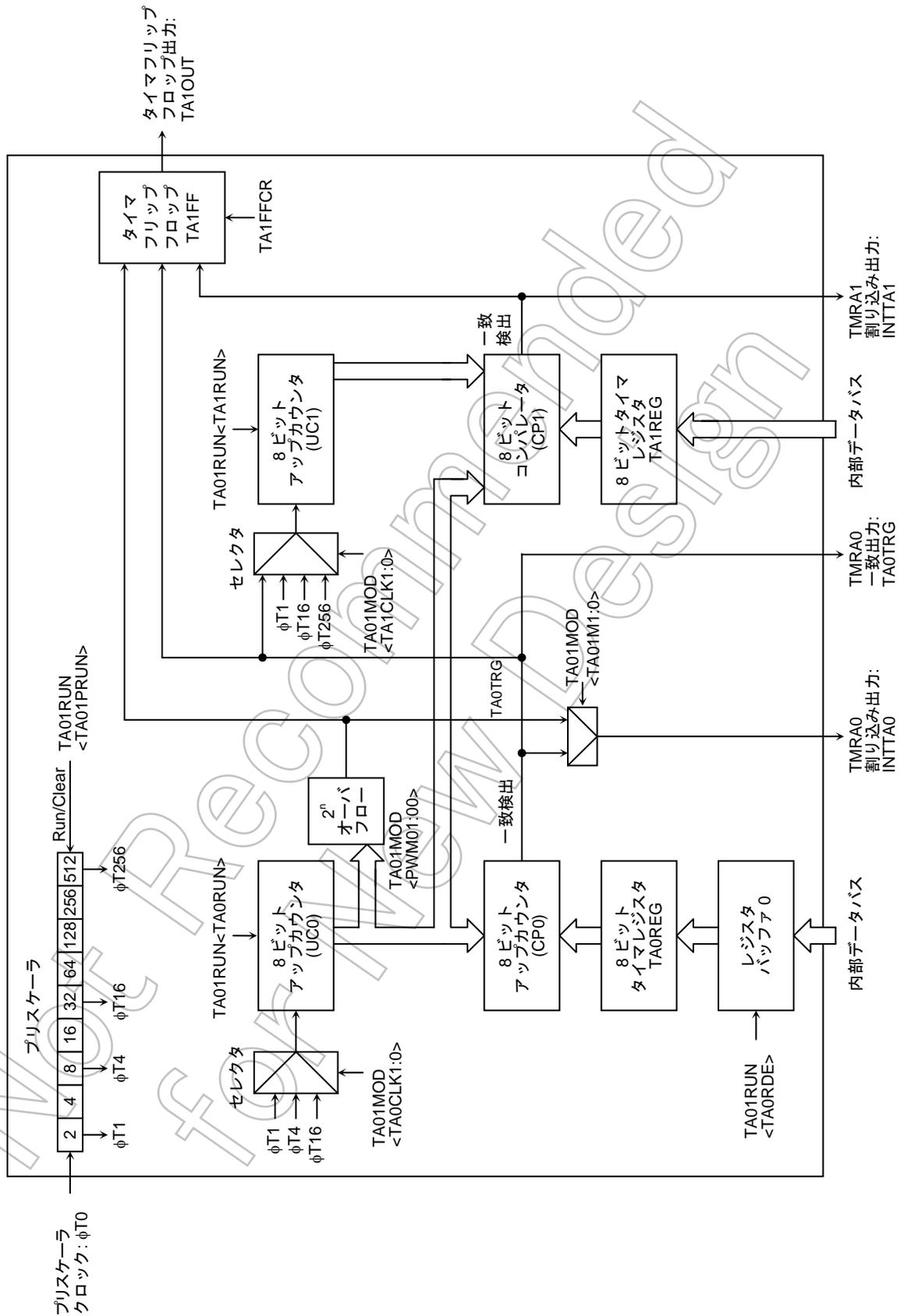


図 3.7.1 TMRA01 ブロック図

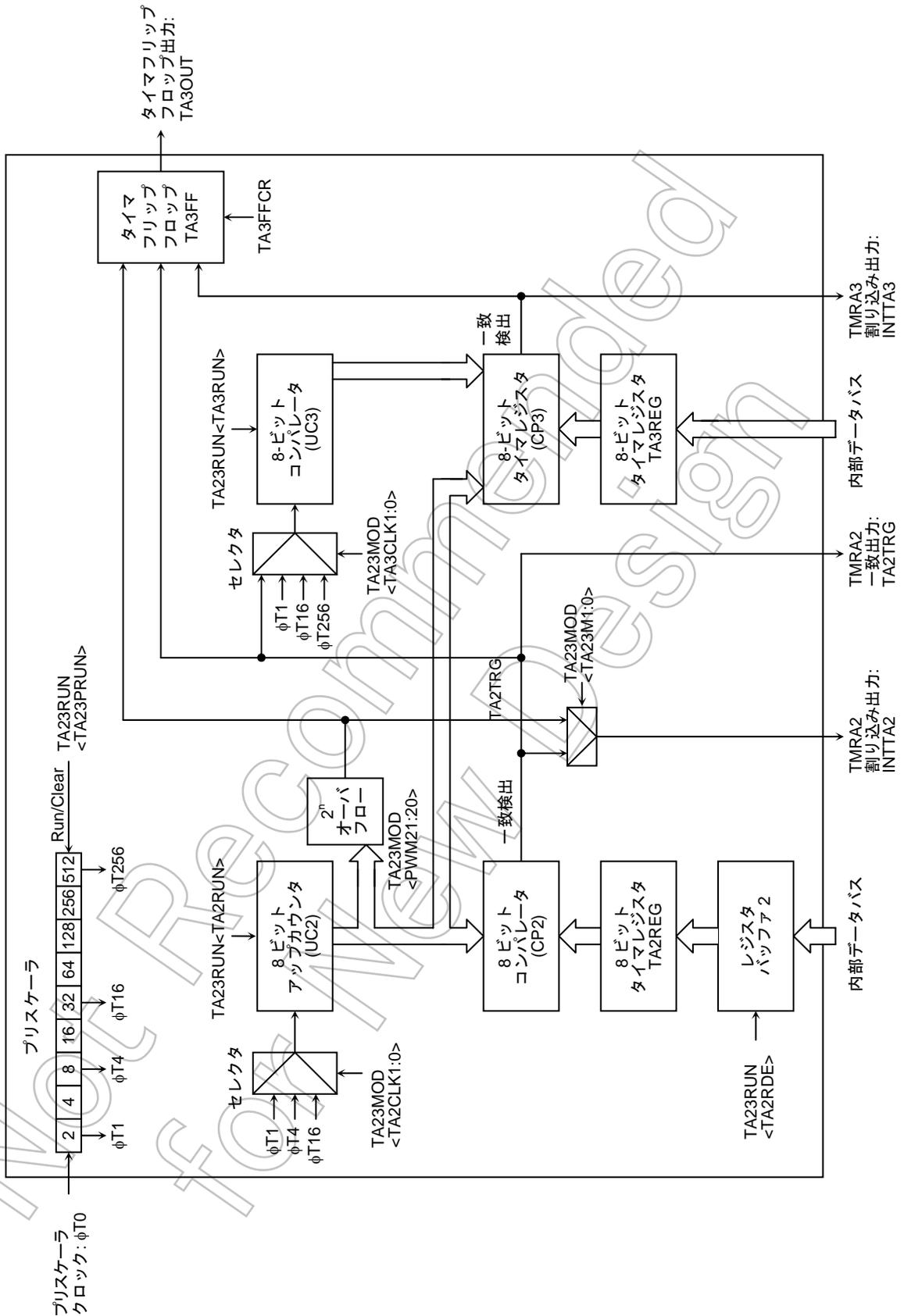


図 3.7.2 TMRA23 ブロック図

3.7.2 回路別動作説明

(1) プリスケーラ

TMRA01 のクロックソースを得るため 9 ビットプリスケーラがあります。プリスケーラの入力クロック $\phi T0$ は、クロックギア部の SYSCR1<SYSCK>にて選択したクロックを 8 分周したクロックです。

プリスケーラはTA01RUN<TA0PRUN>により動作/停止の設定をします。“1”をライトするとカウント開始し、“0”をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を表 3.7.2に示します。

表 3.7.2 プリスケーラ出力クロック分解能

システム クロック選択 SYSCR1 <SYSCK>	クロックギア 選択 SYSCR1 <GEAR2:0>	-	タイマカウンタ入力クロック TMRA 部プリスケーラ TAXMOD<TAXCLK1:0>			
			$\phi T1(1/2)$	$\phi T4(1/8)$	$\phi T16(1/32)$	$\phi T256(1/512)$
1(fs)	-	1/8	fs/16	fs/64	fs/256	fs/4096
0(fc)	000 (1/1)		fc/16	fc/64	fc/256	fc/4096
	001 (1/2)		fc/32	fc/128	fc/512	fc/8192
	010 (1/4)		fc/64	fc/256	fc/1024	fc/16384
	011 (1/8)		fc/128	fc/512	fc/2048	fc/32768
	100 (1/16)		fc/256	fc/1024	fc/4096	fc/65536

(2) アップカウンタ (UC0, UC1)

タイマモードレジスタ (TA01MOD) で指定された入力クロックによってカウントアップする 8 ビットのバイナリカウンタです。

UC0 の入力クロックは、TA01IN 端子からの外部クロックと、3 種類のプリスケーラ出力クロック $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ から、TA01MOD<TA01CLK1:0>の設定値に応じて選択されます。

UC1 の入力クロックは、動作モードによって異なります。16 ビットタイマモードに設定した場合は、アップカウンタ UC0 のオーバフロー出力が入力クロックとなり、16 ビットタイマモード以外の設定の場合は、入力信号は内部クロック $\phi T1$ 、 $\phi T16$ 、 $\phi T256$ と、TMRA0 のコンパレータ出力 (一致検出信号) の中から選択されます。

アップカウンタは、TA01RUN<TA0RUN>、TA01RUN<TA1RUN>によってカウント/停止&クリアを設定します。リセット時、アップカウンタはクリアされて、タイマは停止しています。

(3) タイマレジスタ (TA0REG, TA1REG)

インタバル時間を設定する8ビットのレジスタです。このタイマレジスタへの設定値と、アップカウンタの値が一致すると、コンパレータの一致検出信号がアクティブになります。設定値を 00H にした場合は、アップカウンタのオーバフロー時に、一致信号がアクティブになります。

TA0REG は、ダブルバッファ構成になっており、レジスタバッファとペアになっています。ダブルバッファの制御は、TA01RUN<TA0RDE>の設定により行います。<TA0RDE>="0" のときディセーブル、<TA0RDE>="1" のときイネーブルとなります。ダブルバッファイネーブル時、レジスタバッファからタイマレジスタへのデータ転送タイミングは、PWM モードの 2ⁿ オーバフロー、または、PPG モードの周期コンペア一致時です。従って、タイマモード時に、ダブルバッファを使用することはできません。

リセット時は<TA0RDE>="0" に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときには、タイマレジスタに設定値を書き込み、<TA0RDE>="1" に設定した後、レジスタバッファに次の設定値を書き込んでください。

図 3.7.3にTA0REGの構成を示します。

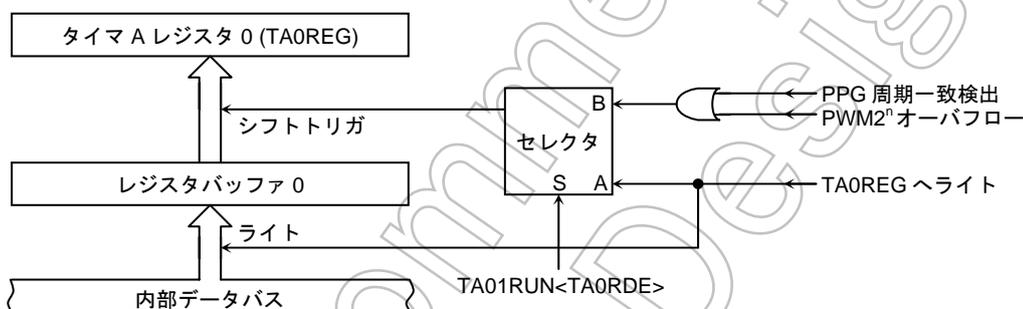


図 3.7.3 TMRA0 レジスタ(TA0REG) の構成

注) タイマレジスタとレジスタバッファは同じアドレスに割り付けられています。<TA0RDE>="0" のときは、レジスタバッファとタイマレジスタの両方に同じ数字が書き込まれ、<TA0RDE>="1" のときは、レジスタバッファにのみ書き込まれます。

各タイマレジスタのアドレスは以下のようになります。

TA0REG: 001102H TA1REG: 001103H

TA2REG: 00110AH TA3REG: 00110BH

これらのレジスタはライト専用のレジスタで、リードはできません。

(4) コンパレータ (CP0)

アップカウンタの値と、タイマレジスタの値とを比較し、一致するとアップカウンタを“0”にクリアするとともに、割り込み (INTTA0, INTTA1) を発生します。また、タイマフリップフロップ反転イネーブルであれば、同時にタイマフリップフロップの値を反転させます。

(5) タイマフリップフロップ (TA1FF)

タイマフリップフロップ (TA1FF) は、各インターバルタイマの一致検出信号 (8 ビットコンパレータ出力) により反転するフリップフロップです。反転のディセーブル/イネーブルは、タイマフリップフロップコントロールレジスタ TA1FFCR<TA1FFIE>により設定できます。

リセットにより、TA1FF1~TA1FF0 の値は“0”になります。TA1FFCR<TA1FFC1:0>に“01”、または“10”を書き込むことで、TA1FF に“1”、または“0”を設定できます。また、このビットに“00”を書き込むことにより、TA1FF の値を反転することができます (ソフト反転)。

TA1FF 信号の値は、タイマ出力端子 TA1OUT (PC0 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート C ファンクションレジスタ PCFC、および PCCR により、設定を行う必要があります。

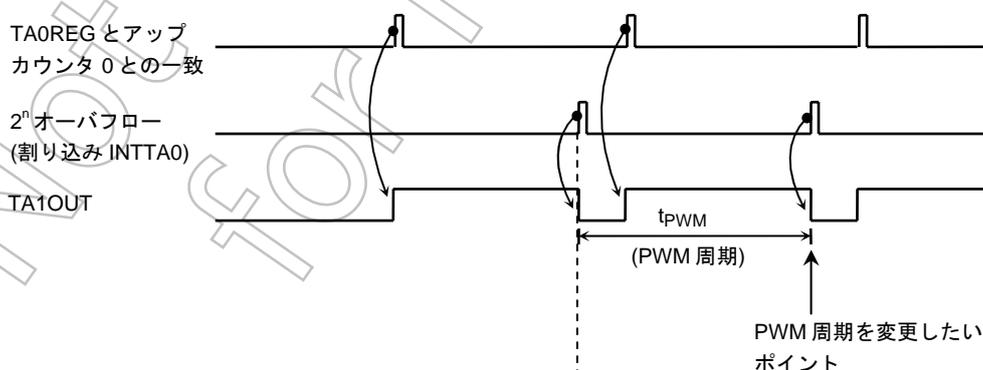
注) 8 ビットタイマにおいて PWM モードや PPG モードを使用時にダブルバッファを利用する場合は、注意が必要です。

タイマレジスタの設定値と、アップカウンタが一致して、オーバーフロー発生するタイミング直前にレジスタバッファのデータ更新を行うと、設定値と異なる波形信号が出力される場合があります。

そのため、PWM モードではオーバーフロー割込みを利用し、次回のオーバーフローが発生する 6 サイクル前までに ($f_{SYS} \times 6$)、レジスタバッファの更新を終了するようにしてください。

また、PPG モードを使用の際も同様に、周期のコンペア一致割込みを使用し、次回の周期コンペアが一致する 6 サイクル前までに、レジスタバッファの更新を終了するようにしてください。

PWM モード時の例



オーバーフロー割込みを利用して、次回オーバーフローが発生する前にタイマレジスタの値を書き換える

3.7.3 SFR 説明

TMRA01 Run レジスタ

	7	6	5	4	3	2	1	0
TA01RUN (1100H)	Bit symbol	TA0RDE			I2TA01	TA01PRUN	TA1RUN	TA0RUN
	Read/Write	R/W			R/W			
	リセット後	0			0	0	0	0
	機能	ダブルバッファ 0: 禁止 1: 許可			IDLE2 0: 停止 1: 動作	TMRA01ブリスケーラ 0: 停止&クリア 1: Run (カウントアップ)	アップカウンタ(UC1)	アップカウンタ(UC0)

↓ TA0REG ダブルバッファの制御		→ カウント動作	
0	ディセーブル	0	停止&クリア
1	イネーブル	1	カウント

注) TA01RUN のビット 4~6 は、リードすると不定値がリードされます。

TMRA23 Run レジスタ

	7	6	5	4	3	2	1	0
TA23RUN (1108H)	Bit symbol	TA2RDE			I2TA23	TA23PRUN	TA3RUN	TA2RUN
	Read/Write	R/W			R/W			
	リセット後	0			0	0	0	0
	機能	ダブルバッファ 0: 禁止 1: 許可			IDLE2 0: 停止 1: 動作	TMRA23ブリスケーラ 0: 停止&クリア 1: Run (カウントアップ)	アップカウンタ(UC3)	アップカウンタ(UC2)

↓ TA2REG ダブルバッファの制御		→ カウント動作	
0	ディセーブル	0	停止&クリア
1	イネーブル	1	カウント

注) TA23RUN のビット 4~6 は、リードすると不定値がリードされます。

図 3.7.4 TMRA レジスタ

TMRA01 モードレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	動作モード 00: 8ビットタイマモード 01: 16ビットタイマモード 10: 8ビットPPGモード 11: 8ビットPWMモード		PWM周期 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA1 ソースクロック 00: TA0TRG 01: φT1 10: φT16 11: φT256		TMRA0 ソースクロック 00: Reserved 01: φT1 10: φT4 11: φT16	

→TMRA0 入力クロック

00	Reserved
01	φT1 (プリスケアラ)
10	φT4 (プリスケアラ)
11	φT16 (プリスケアラ)

→TMRA1 入力クロック

	TA01MOD <TA01M1:0> ≠ 01	TA01MOD <TA01M1:0> = 01
00	TMRA0 の一致出力	TMRA0 の オーバーフロー出力 (16ビットタイマモード)
01	φT1	
10	φT16	
11	φT256	

→PWM モード時の周期選択

00	Reserved
01	2 ⁶ × ソースクロック
10	2 ⁷ × ソースクロック
11	2 ⁸ × ソースクロック

→TMRA01 動作モード選択

00	8ビットタイマ×2ch
01	16ビットタイマ
10	8ビットプログラム矩形波出力
11	8ビットPWM (TMRA0), 8ビットタイマ(TMRA1)

図 3.7.5 TMRA レジスタ

TMRA23 モードレジスタ

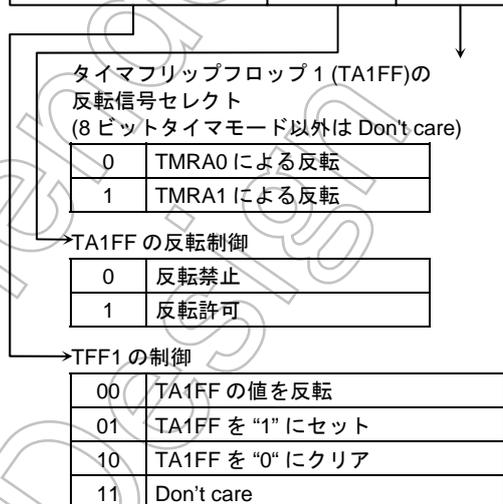
	7	6	5	4	3	2	1	0
Bit symbol	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	動作モード 00: 8ビットタイマモード 01: 16ビットタイマモード 10: 8ビットPPGモード 11: 8ビットPWMモード		PWM周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA3 ソースクロック 00: TA2TRG 01: $\phi T1$ 10: $\phi T16$ 11: $\phi T256$		TMRA2 ソースクロック 00: Reserved 01: $\phi T1$ 10: $\phi T4$ 11: $\phi T16$	



図 3.7.6 TMRA レジスタ

TMRA1 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TA1FFCR (1105H)	Bit symbol					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS
	Read/Write					R/W			
	リセット後					1	1	0	0
リード モディファイ アイトは できません。	機能					00: TA1FF を反転 01: TA1FF を "1" にセット 10: TA1FF を "0" にクリア 11: Don't care	TA1FF 反転制御 0: 禁止 1: 許可	TA1FF 反転信号 セレクト 0: TMRA0 1: TMRA1	



注) TA1FFCR のビット 4-7 はリードすると不定値がリードされます。

図 3.7.7 TMRA レジスタ

Not Recommended for New Design

TMRA3 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TA3FFCR (110DH)	Bit symbol					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS
	Read/Write					R/W			
	リセット後					1	1	0	0
リード モディファイ アイトは できません。	機能					00: TA3FF を反転 01: TA3FF を "1" にセット 10: TA3FF を "0" にクリア 11: Don't care	TA3FF 反転制御 0: 禁止 1: 許可	TA3FF 反転信号 セレクト 0: TMRA2 1: TMRA3	



注) TA3FFCR のビット 4-7 はリードすると不定値がリードされます。

図 3.7.8 TMRA レジスタ

Not Recommended for New Design

TMRA レジスタ

記号	アドレス	7	6	5	4	3	2	1	0
TA0REG	1102H					-			
						W			
						不定			
TA1REG	1103H					-			
						W			
						不定			
TA2REG	110AH					-			
						W			
						不定			
TA3REG	110BH					-			
						W			
						不定			

注) リードモディファイライトはできません。

図 3.7.9 TMRA 用レジスタ

Not Recommended for New Design

3.7.4 モード別動作説明

(1) 8ビットタイマモード

TMRA0、TMRA1はそれぞれ独立に8ビットインタバルタイマとして使用できます。

1. 一定周期の割り込みを発生させる場合 (TMRA1 使用)

TMRA1を用いて、一定周期ごとにTMRA1割り込み (INTTA1) を発生させる場合、まずTMRA1を停止させ、動作モード、入力クロック、周期をそれぞれTA01MOD、TA1REGに設定します。次に割り込みINTTA1をイネーブルにしてから、TMRA1をカウントさせます。

例) $f_C = 40\text{ MHz}$ で $40\ \mu\text{s}$ ごとにINTTA1割り込みを発生させたい場合、次の順序で各レジスタを設定します。

	MSB	7	6	5	4	3	2	1	0	LSB	
TA01RUN	←	-	X	X	X	-	-	0	-		TMRA1を停止し、0にクリアします。
TA01MOD	←	0	0	X	X	0	1	-	-		8ビットタイマモードにし、入力クロックを $\phi T1 (= (16/f_C)s @ f_C = 40\text{ MHz})$ に設定します。
TA1REG	←	0	1	1	0	0	1	0	0		TA1REGに $40\ \mu\text{s} \div \phi T1 = 100 = 64\text{H}$ を書き込みます。
INTETA01	←	X	1	0	1	-	-	-	-		INTTA1をイネーブル、割り込みレベル5に設定します。
TA01RUN	←	-	X	X	X	-	1	1	-		TMRA1をカウントさせます。

X: Don't care, -: No change

入力クロックの選択は表 3.7.3を参考にしてください。

表 3.7.3 8ビットタイマによる割り込み周期と入力クロックの選択

入力クロック	割り込み周期 (@ $f_{SYS} = 20\text{ MHz}$)	分解能
$\phi T1 (8/f_{SYS})$	0.4 μs to 102.4 μs	0.4 μs
$\phi T4 (32/f_{SYS})$	1.6 μs to 409.6 μs	1.6 μs
$\phi T16 (128/f_{SYS})$	6.4 μs to 1.638 ms	6.4 μs
$\phi T256 (2048/f_{SYS})$	102.4 μs to 26.21 ms	102.4 μs

- 注) TMRA0とTMRA1の入力クロックは下記のように異なります。
 TMRA0: TMRA0入力 (TA0IN)、 $\phi T1$ 、 $\phi T4$ 、 $\phi T16$
 TMRA1: TMRA0の一致検出信号 (TA0TRG)、 $\phi T1$ 、 $\phi T16$ 、 $\phi T256$

2. デューティ 50%の矩形波を出力させる場合

一定周期ごとにタイマフリップフロップ (TA1FF1) の値を反転させ、この値をタイマフリップフロップ出力端子 (TA1OUT) へ出力します。

例) $f_C = 40\text{MHz}$ で周期 $2.4\ \mu\text{s}$ の矩形波を TA1OUT から出力させたい場合、次の順序で各レジスタを設定します。この場合、TMRA0 か TMRA1 を使用しますが、ここでは TMRA1 を使用したときのレジスタ設定例を示します。

		7	6	5	4	3	2	1	0	
TA01RUN	←	-	X	X	X	-	-	0	-	TMRA1 を停止し、0 にクリアします。
	←	0	0	X	X	0	1	-	-	
TA1REG	←	0	0	0	0	0	0	1	1	TA1REG に $2.4\ \mu\text{s} \div \phi T1 \div 2 = 3$ をセットします。
TA1FFCR	←	X	X	X	X	1	0	1	1	TA1FF を "0" にクリアし、TMRA1 からの一致検出信号で反転するように設定します。
PCCR	←	-	-	-	-	-	-	-	1	PC0 を TA1OUT 出力端子に設定します。
PCFC	←	-	-	-	-	-	-	-	1	
TA01RUN	←	-	X	X	X	-	1	1	-	TMRA1 のカウントを開始させます。

X: Don't care, -: No change

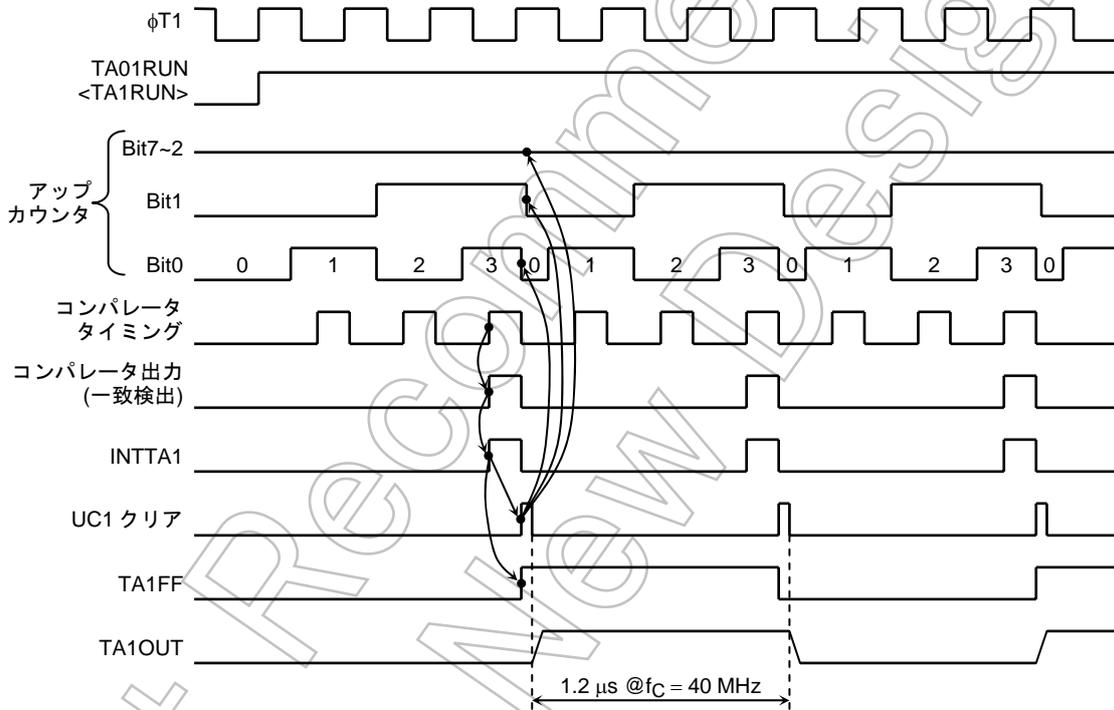


図 3.7.10 矩形波 (50%デューティ) 出力のタイミングチャート

3. TMRA0 の一致出力で TMRA1 をカウントアップさせる場合

8ビットタイマモードに設定し、TMRA1の入カクロックをTMRA0のコンパレータ出力に設定します。

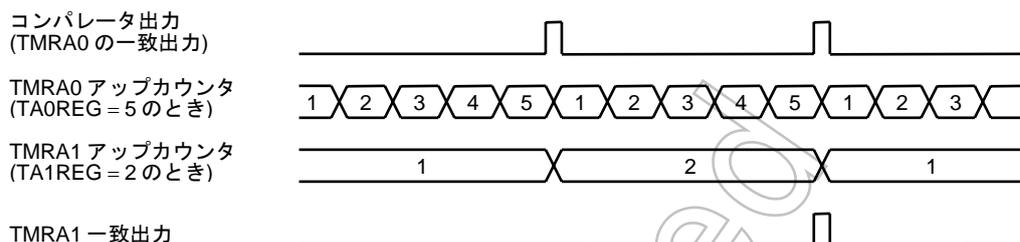


図 3.7.11 TMRA0 による TMRA1 のカウントアップ

(2) 16ビットタイマモード

8ビットタイマのTMRA0とTMRA1をペアにして、16ビットインタバルタイマとして使用できます。TA01MOD<TA01M1:0>を“01”に設定することで16ビットタイマモードとなります。

16ビットタイマモードに設定すると、TA01MOD<TA1CLK1:0>の設定値にかかわらず、TMRA1の入カクロックは、TMRA0のオーバーフロー出力になります。タイマ(割り込み)周期と入力クロックの選択の関係は、表 3.7.2を参考にしてください。

タイマ割り込み周期は、タイマレジスタTA0REGに下位8ビットを、TA1REGに上位8ビットを設定します。この場合、必ずTA0REGから先に設定してください(TA0REGにデータを書き込むとコンペアが一時禁止され、TA1REGへのデータ書き込みでコンペアが開始されるためです)。

例) $f_c = 40$ MHzで0.4秒ごとに割り込みINTTA1を発生させる場合、タイマレジスタTA0REG、TA1REGには次の値を設定します。

$\phi T_{16} (= (256/f_c)s @ 40 \text{ MHz})$ を入力クロックとしてカウントすると、
 $0.4 \text{ s} \div (256/f_c)s = 62500 = F424H$
 従って、TA1REG = F4H、TA0REG = 24Hに設定します。

TMRA0 のコンパレータ出力は、アップカウンタ UC0 と TA0REG とが一致するたびに出力されますが、アップカウンタ UC0 はクリアされません。

TMRA1 のコンパレータは、アップカウンタ UC1 と TA1REG が一致すると、コンパレータタイミング時、毎回一致検出信号が出力されます。TMRA0、TMRA1 両方のコンパレータの一致検出信号が同時に出力されると、アップカウンタ UC0、UC1 が“0”にクリアされ、割り込み INTTA1 が発生します。また、反転イネーブルであれば、タイマフリップフロップ TA1FF の値は反転されます。

例) TA1REG = 04H、TA0REG = 80H の場合



図 3.7.12 16 ビットタイマモードによるタイマ出力

(3) 8 ビット PPG (プログラマブル矩形波) 出力モード

TMRA0 を用いて、任意周波数、任意デューティの矩形波を出力することができます。出力パルスはローアクティブ、ハイアクティブとどちらの設定も可能です。このモードに設定した場合、TMRA1 は使用できません。矩形波は TA1OUT (PC0 と兼用) へ出力されます。

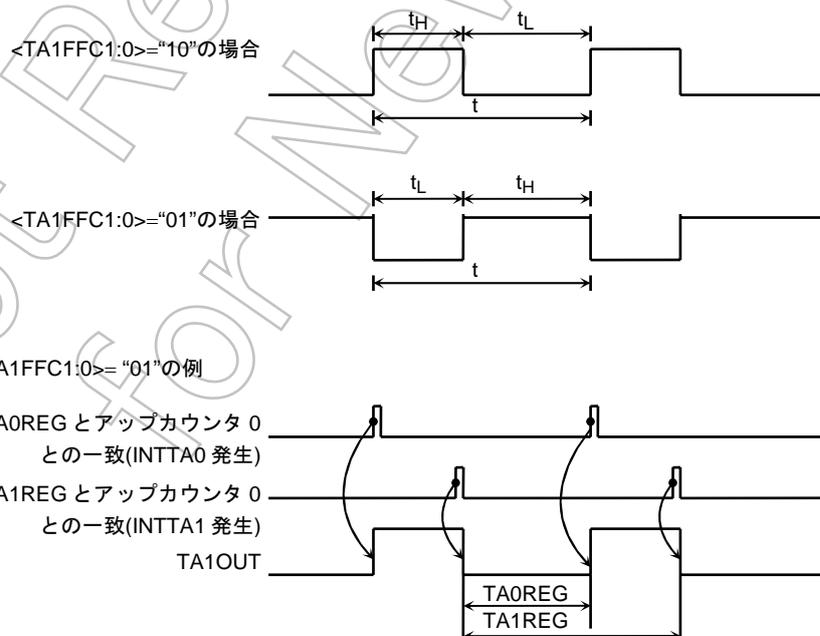


図 3.7.13 8 ビット PPG 出力波形

このモードは、8ビットアップカウンタ(UC0)が、タイマレジスタ TA0REG、TA1REGと一致するたびにタイマ出力を反転させることにより、プログラマブル矩形波を出力するものです。

ただし、(TA0REG の設定値) < (TA1REG の設定値) の条件を満たす必要があります。

なお、このモードでは TMRA1 のアップカウンタ UC1 は使用できませんが、TA01RUN<TA1RUN>=“1” に設定して、TMRA1 をカウント状態にしてください。

このモードをブロック図で示すと、図 3.7.14 のようになります。

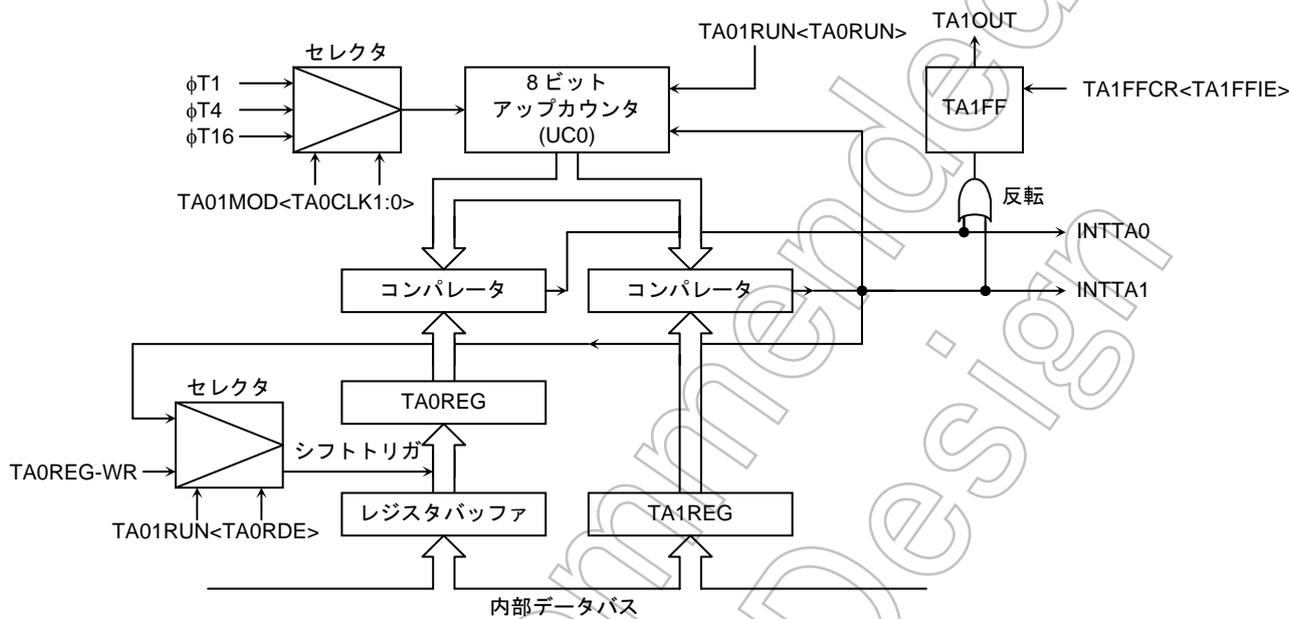


図 3.7.14 8ビット PPG 出力モードのブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、レジスタバッファの値が、TA1REG と UC0 の一致時に TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティ (デューティを変化させるとき) への対応が容易に行えます。

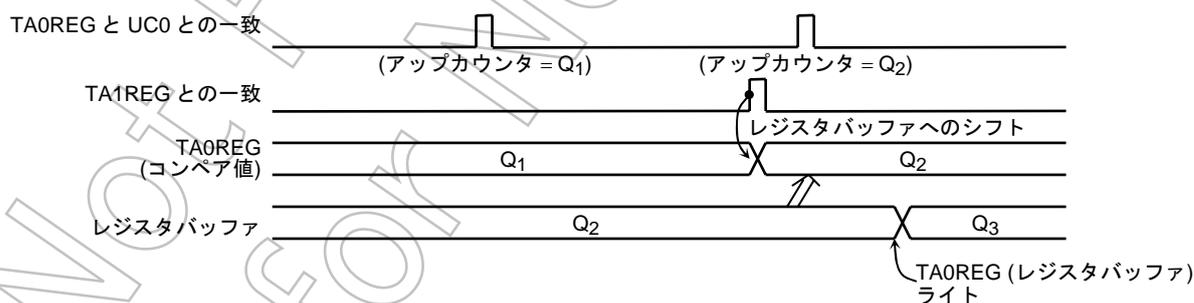
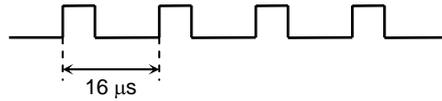


図 3.7.15 レジスタバッファの動作

例) デューティ 1/4 の 62.5 kHz のパルスを出力する場合 ($f_C = 40 \text{ MHz}$)



タイマレジスタへの設定値を求めます。

周波数を 62.5 kHz にするには、周期 $t = 1/62.5 \text{ kHz} = 16 \mu\text{s}$ の波形をつくります。

$\phi T1 (= (16/f_C)s$ ($@f_C = 40\text{MHz}$))を用いると、

$$16 \mu\text{s} \div (16/f_C)s = 40$$

従って、TA1REG = 40 = 28H に設定します。

次に、デューティを 1/4 にするには、 $t \times 1/4 = 16 \mu\text{s} \times 1/4 = 4 \mu\text{s}$

$$4 \mu\text{s} \div (16/f_C)s = 10$$

従って、TA0REG = 10 = 0AH に設定します。

	7	6	5	4	3	2	1	0
TA01RUN	← 0	X	X	X	-	0	0	0
TA01MOD	← 1	0	X	X	X	X	0	1
TA0REG	← 0	0	0	0	1	0	1	0
TA1REG	← 0	0	1	0	1	0	0	0
TA1FFCR	← X	X	X	X	0	1	1	X
PCCR	← -	-	-	-	-	-	-	1
PCFC	← -	-	-	-	-	-	-	1
TA01RUN	← 1	X	X	X	-	1	1	1

X: Don't care, -: No change

TMRA0、TMRA1 を停止し、“0”にクリアします。

8ビット PPG モードにし、入力クロックを $\phi T1$ にします。

0AH を書き込みます。

28H を書き込みます。

TA1FF をセットし、反転イネーブルにします。

“10”にすると負論理の出力波形が得られます。

PC1 を TA1OUT 端子に設定します。

TMRA0、TMRA1 のカウントを開始します。

(4) 8ビットPWM出力モード

TMRA0にのみ可能なモードです。分解能8ビットまでのPWMを出力することができます。PWM出力はTA1OUT端子(PC0と兼用)へ出力されます。

このモードではTMRA1は8ビットタイマとして使用できます。

タイマ出力の反転は、アップカウンタUC0がタイマレジスタTA0REGの設定値と一致したときと、 2^n ($n=6, 7, 8$ いずれかをTA01MOD<PWM01:00>で指定)カウンタオーバーフロー発生時に起こります。また、UC0は 2^n カウンタのオーバーフローによってクリアされます。

また、このPWMモードを使用する場合、次の条件を満たさなければなりません。

(TA0REGの設定値) < (2^n カウンタのオーバーフロー設定値)

(TA0REGの設定値) $\neq 0$

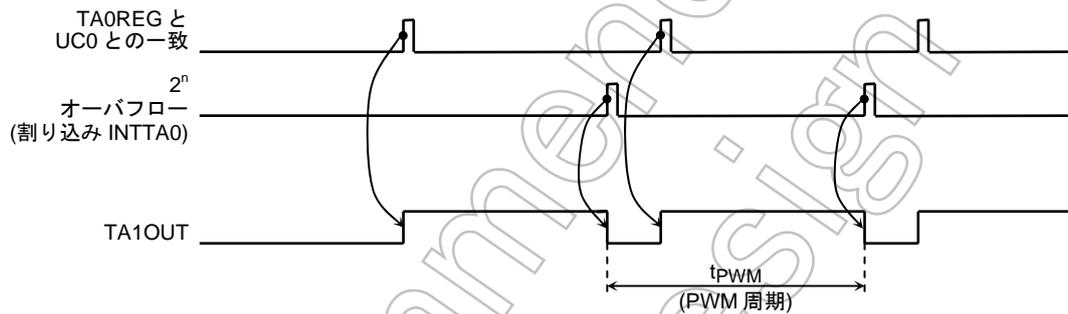


図 3.7.16 8ビットPWM出力波形

このモードをブロック図で表すと、図 3.7.17のようになります。

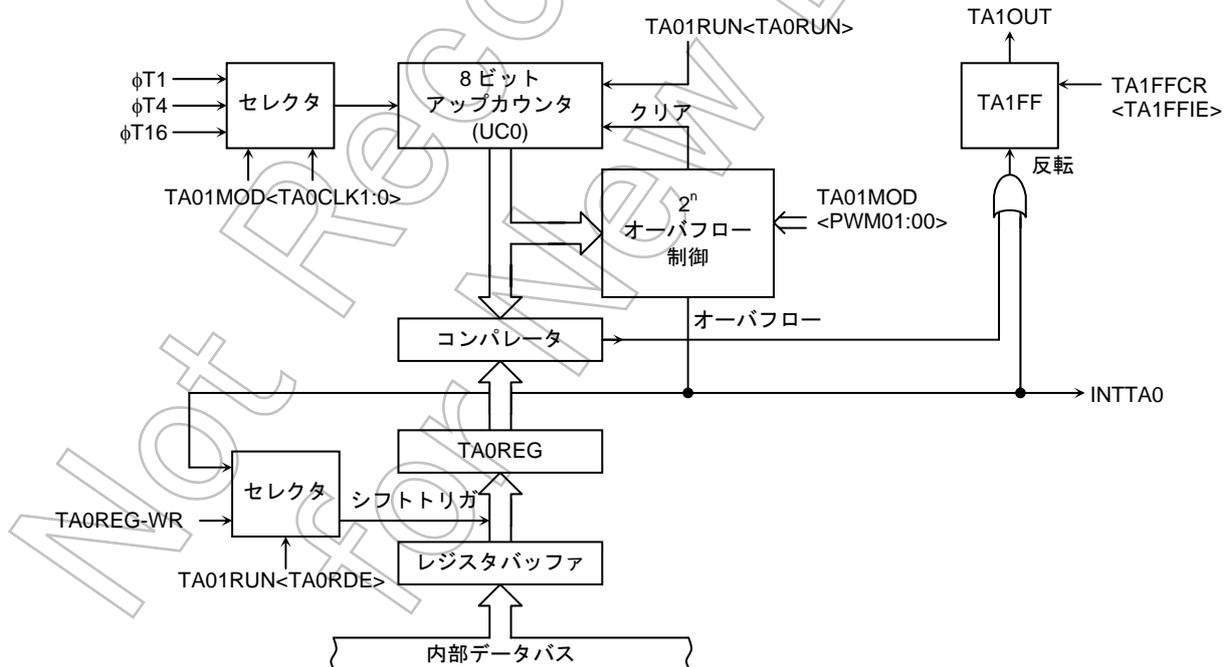


図 3.7.17 8ビットPWM出力モードブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、2ⁿ オーバフローの検出で、レジスタバッファの値が TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティへの対応が容易に行えます。

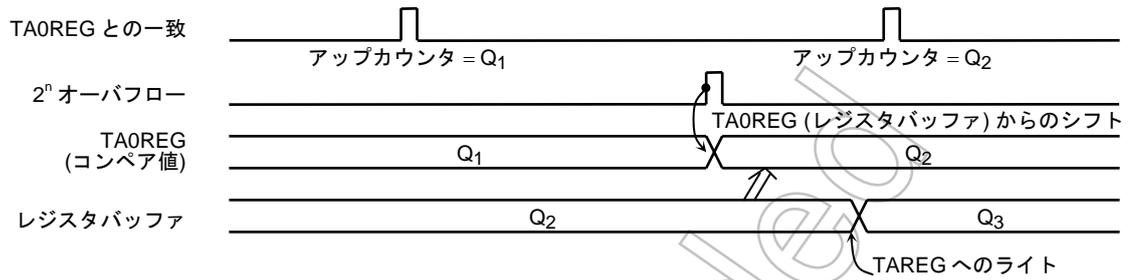
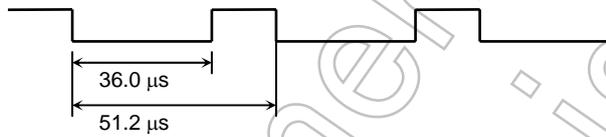


図 3.7.18 レジスタバッファの動作

例) $f_c = 40 \text{ MHz}$ 時、下記の PWM 波形を TA1OUT 端子へ出力する場合



PWM 周期 51.2 μs を $\phi T1 (= (16/f_c)s$ ($@f_c = 40 \text{ MHz}$) で実現する場合:

$$51.2 \mu\text{s} \div (16/f_c)s = 128 = 2^7$$

従って、 $n = 7$ に設定します。

“L” レベルの周期は 36.0 μs だから $\phi T1 = (16/f_c)s$ では

$$36.0 \mu\text{s} \div (16/f_c)s = 90 = 5AH$$

を TA0REG に設定します。

	MSB	7	6	5	4	3	2	1	0	LSB	
TA01RUN	←	-	X	X	X	-	-	-	0		TMRA0 を停止し、“0”にクリアします。
TA01MOD	←	1	1	1	0	-	-	0	1		8 ビット PWM モード (周期 = 2^7) にし、 入力クロックを $\phi 1$ にします。
TA0REG	←	0	1	0	1	1	0	1	0		5AH を書き込みます。
TA1FFCR	←	X	X	X	X	1	0	1	X		TA1FF を “0” にクリアし、反転イネーブルにします。
PCCR	←	-	-	-	-	-	-	-	1		} PC1 を TA1OUT 端子に設定します。
PCFC	←	-	-	-	-	-	-	-	1		
TA01RUN	←	1	X	X	X	-	1	-	1		TMRA0 のカウントを開始します。

X: Don't care, -: No change

表 3.7.4 PWM周期と 2^n カウンタの関係

システム クロック選択 SYSCR1 <SYSCK>	クロックギア 選択 SYSCR1 <GEAR2:0>	-	PWM cycle TAxxMOD<PWMx1:0>								
			2^6 (x64)			2^7 (x128)			2^8 (x256)		
			TAxxMOD<TAxCLK1:0>			TAxxMOD<TAxCLK1:0>			TAxxMOD<TAxCLK1:0>		
			ϕ T1(x2)	ϕ T4(x8)	ϕ T16(x32)	ϕ T1(x2)	ϕ T4(x8)	ϕ T16(x32)	ϕ T1(x2)	ϕ T4(x8)	ϕ T16(x32)
1(fs)	-		1024/fs	4096/fs	16384/fs	2048/fs	8192/fs	32768/fs	4096/fs	16384/fs	65536/fs
0(fc)	000(x1)	×8	1024/fc	4096/fc	16384/fc	2048/fc	8192/fc	32768/fc	4096/fc	16384/fc	65536/fc
	001(x2)		2048/fc	8192/fc	32768/fc	4096/fc	16384/fc	65536/fc	8192/fc	32768/fc	131072/fc
	010(x4)		4096/fc	16384/fc	65536/fc	8192/fc	32768/fc	131072/fc	16384/fc	65536/fc	262144/fc
	011(x8)		8192/fc	32768/fc	131072/fc	16384/fc	65536/fc	262144/fc	32768/fc	131072/fc	524288/fc
	100(x16)		16384/fc	65536/fc	262144/fc	32768/fc	131072/fc	524288/fc	65536/fc	262144/fc	1048576/fc

(5) モード設定

表 3.7.5に、各タイマモードの設定一覧を示します。

表 3.7.5 各タイマモードの設定レジスタ

レジスタ名	TA01MOD				TA1FFCR
	<TA01M1:0>	<PWM01:00>	<TA1CLK1:0>	<TA0CLK1:0>	<TA1FFIS>
機能	タイマモード	PWM周期	上位タイマ 入力クロック	下位タイマ 入力クロック	タイマ F/F 反転セレクト
8ビットタイマ×2チャンネル	00	-	下位タイマ一致, ϕ T1, ϕ T16, ϕ T256 (00, 01, 10, 11)	外部クロック, ϕ T1, ϕ T4, ϕ T16 (00, 01, 10, 11)	0: 下位タイマ出力 1: 上位タイマ出力
16ビットタイマモード	01	-	-	外部クロック, ϕ T1, ϕ T4, ϕ T16 (00, 01, 10, 11)	-
8ビットPPG×1チャンネル	10	-	-	外部クロック, ϕ T1, ϕ T4, ϕ T16 (00, 01, 10, 11)	-
8ビットPWM×1チャンネル	11	$2^6, 2^7, 2^8$ (01, 10, 11)	-	外部クロック, ϕ T1, ϕ T4, ϕ T16 (00, 01, 10, 11)	-
8ビットタイマ×1チャンネル	11	-	ϕ T1, ϕ T16, ϕ T256 (01, 10, 11)	-	出力不可

-: Don't care

3.8 外部メモリ拡張機能 (MMU)

プログラム/データエリアに 3 個のローカルエリアを持たせることにより 512 M バイトまで拡張可能な MMU 機能です。

推奨アドレスメモリマップは 図 3.8.1 を参照してください。

使用メモリが 16 M バイト以下の時は、MMU のレジスタの設定をする必要はありませんので、メモリコントローラの章を参照してください。

バンクの設定が可能なエリアはローカルエリアと呼ばれます。ローカルエリアのアドレスは固定されており変更できません。

また、バンク設定ができないエリアをコモンエリアと呼びます。

基本的に、一連のプログラムは一つのバンク内で終結させてください。同じローカルエリアの異なるバンク間を JP 命令などで、直接分岐することはできません。詳細は先の設定例を参照願います。

TMP92CA25 はメモリ LSI を接続するための以下の外部端子を持っています。

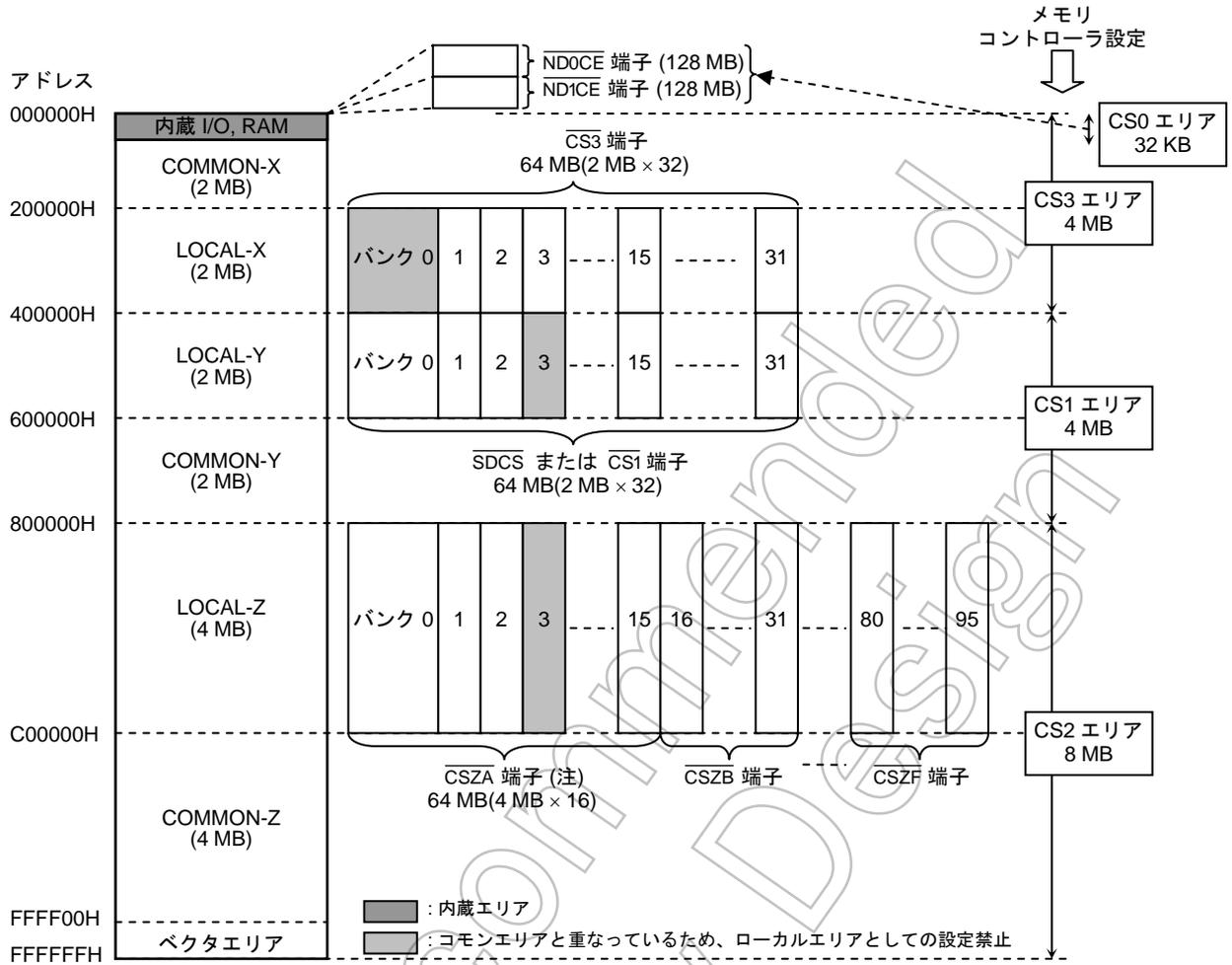
アドレスバス : EA25、EA24 および A23~A0

チップセレクト : $\overline{CS0} \sim \overline{CS3}$ 、 $\overline{CSZA} \sim \overline{CSZF}$ 、 \overline{SDCS} 、 $\overline{ND0CE}$ 、 $\overline{ND1CE}$

データバス : D15~D0

3.8.1 推奨メモリマップ

図 3.8.1 は推奨アドレスメモリマップのひとつを示しています。これは最大メモリサイズに拡張している例です。



注) CSZA は LOCAL-Z のバンク 0 から 15 までだけでなく COMMON-Z も対応するチップセレクトです。

図 3.8.1 最大仕様の推奨メモリマップ (論理アドレス)

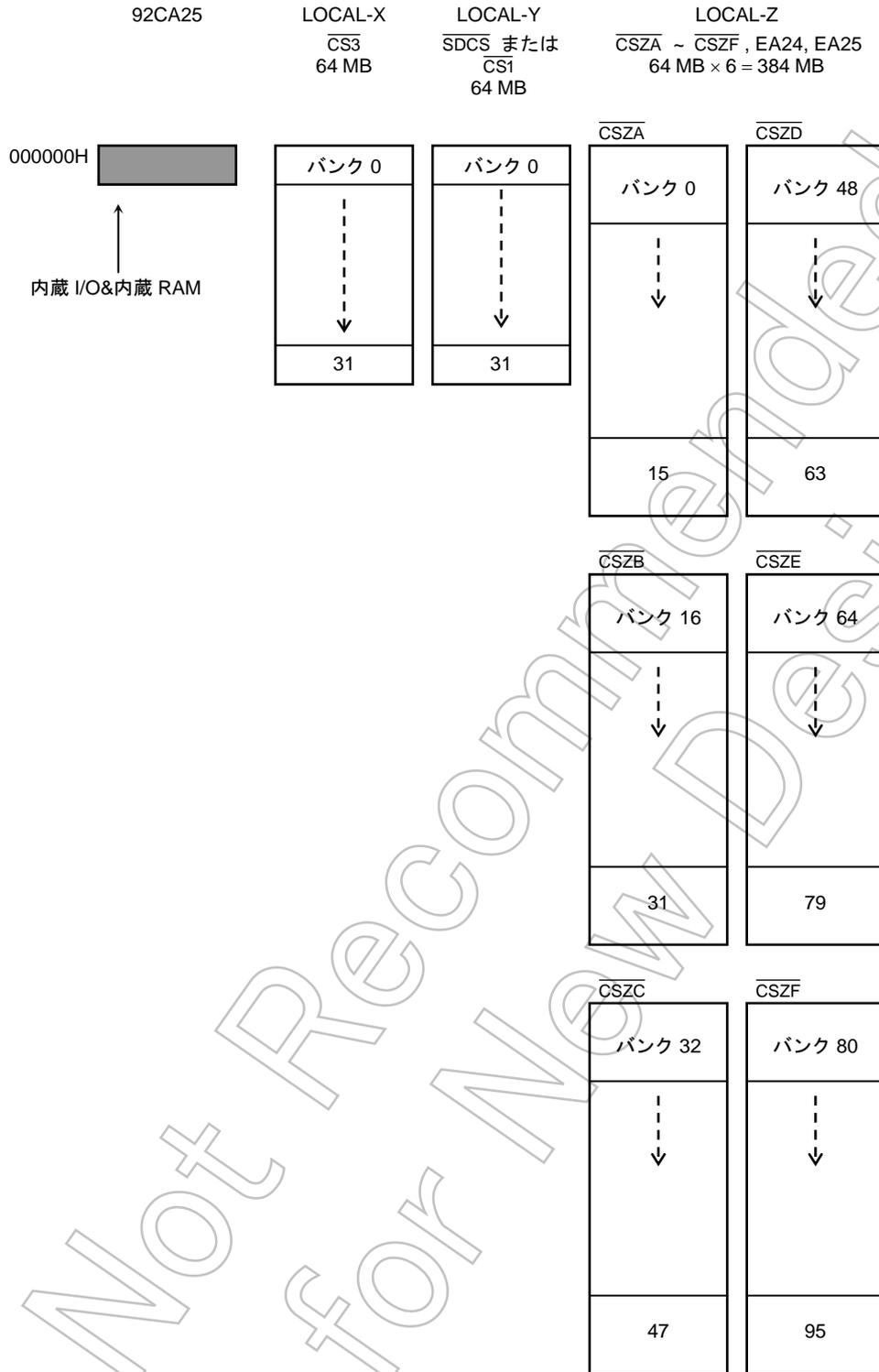


図 3.8.2 最大仕様の推奨メモリマップ (物理アドレス)

3.8.2 コントロールレジスタ

MMUは12個のレジスタを持っています。これらは4つの使用目的(プログラム、リードデータ、ライトデータ、LCD表示用データ)と3つのローカルエリア(LOCAL-X、Y、Z)の組み合わせとして準備されています。

これらの異なる4つの目的のレジスタを各々のローカルエリアに持たせることによって、データアクセスを容易にしています。

(使用方法と仕組み)

初めにイネーブルレジスタと、各ローカルレジスタのバンク値を設定します。

次に関係する端子とメモリ設定をポートとメモリコントローラに設定します。

その後、CPUやLCDCがローカルエリアの論理アドレスにアクセスしようとする時、MMUはローカルレジスタに設定されたバンク値に従い、論理アドレスを物理アドレスへ変換し、出力します。この物理アドレスは外部アドレスバス端子に出力され、これによって、外部メモリアクセスが可能となります。つまりプログラム上は同一の論理アドレスをアクセスしても、ローカルレジスタのバンク値により物理アドレスは変化し、別バンクのメモリへアクセスが可能となっています。

- 注1) コモンエリアをローカルエリアとして使用することはできません。また、コモンエリアとローカルエリアが重なるバンク値の設定をすることはできません。
- 注2) ローカルエリアでプログラムバンク(LOCALPX, PY, PZ)を変更することはできません。各ローカルエリアのプログラムバンクの設定は必ず、コモンエリアで変更してください。(ただし、リードデータ、ライトデータおよびLCD表示用データのバンク設定はローカルエリアでも変更が可能です。)
- 注3) リードデータ、ライトデータ、およびLCD表示データ用のバンクの設定(LOCALRn, LOCALWn, LOCALLn; “n”はX、Y、Zを意味します。)レジスタが設定された後、そのバンクが有効になるまでにセットアップ時間を必要としますので、設定直後の命令によってそのメモリをアクセスすることはできません。この場合、下記の例のようにSFRや他のメモリをアクセスするダミー命令の挿入が必要となります。

(例)

```
ld    xix, 200000h    ;
ld    (localrx), 81h ;   リードデータバンクの設定。
ld    wa, (localrx)  ;   ← SFRにアクセスするダミー命令を挿入してください。
ld    wa, (xix)      ;   LOCAL-Xエリアのバンク1をリード
```

- 注4) LOCAL-Z使用時、チップセレクト信号 \overline{CSZA} をP82端子に設定してください。この場合、 \overline{CSZA} はバンク0~15用としてだけでなくCOMMON-Zのチップセレクトとしても機能します。ただし、リセット後はP82を設定する前に以下の設定を行ってください。

```
ld    (localpz), 80h ;   プログラム用 LOCAL-Z バンクイネーブル
ld    (localrz), 80h ;   データリード用 LOCAL-Z バンクイネーブル
ld    (localwz), 80h ;   データライト用 LOCAL-Z バンクイネーブル (*1)
ld    (locallz), 80h ;   LCD表示メモリ用 LOCAL-Z バンクイネーブル (*2)
ld    (p8fc), ----- 0 --- B ;   P82端子を  $\overline{CSZA}$  出力に設定
ld    (p8fc2), ----- 1 --- B ;
```

- *1) COMMON-Zエリアがデータライトメモリとして使用されない場合はこの設定を行う必要はありません。
- *2) COMMON-ZエリアがLCD表示メモリとして使用されない場合はこの設定は必要ありません。

(1) プログラム用バンクレジスタ

プログラム用バンクレジスタにメモリとして使用されるバンク値を設定します。

前述のように、あるバンク内で、同一ローカルエリアの異なるバンクへの直接分岐はできません。バンク内で同一ローカルエリアのバンク切り替えは禁止です。

プログラム用 LOCAL-X レジスタ

	7	6	5	4	3	2	1	0
LOCALPX (01D0H)	Bit symbol	LXE		X4	X3	X2	X1	X0
	Read/Write	R/W		R/W				
	リセット後	0		0	0	0	0	0
	機能	LOCAL-X 用 バンク使用 0: 禁止 1: 許可		LOCAL-X 用バンク数設定 ("0" はコモンエリアと重なっているため設定禁止)				

プログラム用 LOCAL-Y レジスタ

	7	6	5	4	3	2	1	0
LOCALPY (01D1H)	Bit symbol	LYE		Y4	Y3	Y2	Y1	Y0
	Read/Write	R/W		R/W				
	リセット後	0		0	0	0	0	0
	機能	LOCAL-Y 用 バンク使用 0: 禁止 1: 許可		LOCAL-Y 用バンク数設定 ("3" はコモンエリアと重なっているため設定禁止)				

プログラム用 LOCAL-Z レジスタ

	7	6	5	4	3	2	1	0	
LOCALPZ (01D3H)	Bit symbol	LZE	Z6	Z5	Z4	Z3	Z2	Z1	Z0
	Read/Write	R/W		R/W					
	リセット後	0	0	0	0	0	0	0	
	機能	LOCAL-Z 用 バンク使用 0: 禁止 1: 許可		LOCAL-Z 用バンク数設定 ("3" はコモンエリアと重なっているため設定禁止)					

(2) LCD 表示用バンクレジスタ

LCD 表示用バンクレジスタには LCD 表示用メモリとして使用されるバンク値を設定します。CPU が動作するバンクと表示 RAM 用のバンクを別々に設定が可能のため、表示中でも CPU のアクセスするバンク (プログラム、リードデータ、ライトデータ) を切り換えることが可能です。

LCD 表示データ用 LOCAL-X レジスタ

		7	6	5	4	3	2	1	0
LOCALX (01D4H)	Bit symbol	LXE			X4	X3	X2	X1	X0
	Read/Write	R/W			R/W				
	リセット後	0			0	0	0	0	0
	機能	LOCAL-X 用 バンク使用 0: 禁止 1: 許可			LOCAL-X 用バンク数設定 ("0" はコモンエリアと重なっているため設定禁止)				

LCD 表示データ用 LOCAL-Y レジスタ

		7	6	5	4	3	2	1	0
LOCALY (01D5H)	Bit symbol	LYE			Y4	Y3	Y2	Y1	Y0
	Read/Write	R/W			R/W				
	リセット後	0			0	0	0	0	0
	機能	LOCAL-Y 用 バンク使用 0: 禁止 1: 許可			LOCAL-Y 用バンク数設定 ("3" はコモンエリアと重なっているため設定禁止)				

LCD 表示データ用 LOCAL-Z レジスタ

		7	6	5	4	3	2	1	0
LOCALZ (01D7H)	Bit symbol	LZE	Z6	Z5	Z4	Z3	Z2	Z1	Z0
	Read/Write	R/W	R/W						
	リセット後	0	0	0	0	0	0	0	0
	機能	LOCAL-Z 用 バンク使用 0: 禁止 1: 許可	LOCAL-Z 用バンク数設定 ("3" はコモンエリアと重なっているため設定禁止)						

(3) リードデータ用レジスタ

リードデータ用バンクレジスタには CPU のリードデータメモリとして使用されるバンク値を設定します。

下記は、LOCAL-X エリアのリードデータ用バンクを 1 に設定した例です。

“ld wa, (xix)” 命令実行時、xix 番地のリードサイクル時にのみバンクがイネーブル状態となります。

(例)

```
ld    xix, 200000h    ;
ld    (localrx), 81h ;   リードデータバンクを設定
ld    wa, (localrx)  ;   ← SFR にアクセスするダミー命令を挿入
-----
ld    wa, (xix)      ;   LOCAL-X エリアのバンク1をリード
```

リードデータ用 LOCAL-X レジスタ

	7	6	5	4	3	2	1	0
LOCALRX (01D8H)	Bit symbol	LXE		X4	X3	X2	X1	X0
	Read/Write	R/W				R/W		
	リセット後	0		0	0	0	0	0
	機能	LOCAL-X 用 バンク使用 0: 禁止 1: 許可		LOCAL-X 用バンク数設定 ("0" はコモンエリアと重なっているため設定禁止)				

リードデータ用 LOCAL-Y レジスタ

	7	6	5	4	3	2	1	0
LOCALRY (01D9H)	Bit symbol	LYE		Y4	Y3	Y2	Y1	Y0
	Read/Write	R/W				R/W		
	リセット後	0		0	0	0	0	0
	機能	LOCAL-Y 用 バンク使用 0: 禁止 1: 許可		LOCAL-Y 用バンク数設定 ("3" はコモンエリアと重なっているため設定禁止)				

リードデータ用 LOCAL-Z レジスタ

	7	6	5	4	3	2	1	0	
LOCALRZ (01DBH)	Bit symbol	LZE	Z6	Z5	Z4	Z3	Z2	Z1	Z0
	Read/Write	R/W				R/W			
	リセット後	0	0	0	0	0	0	0	
	機能	LOCAL-Z 用 バンク使用 0: 禁止 1: 許可		LOCAL-Z 用バンク数設定 ("3" はコモンエリアと重なっているため設定禁止)					

(4) ライトデータ用バンクレジスタ

ライトデータ用バンクレジスタには CPU のライトデータメモリとして使用されるバンク値を設定します。

下記は、LOCAL-X エリアのライトデータ用バンクを 1 に設定した例です。

“ld (xix), wa” 命令実行時、xix 番地へのライトサイクル時にのみバンクがイネーブル状態となります。

(例)

```
ld    xix, 200000h    ;
ld    (localwx), 81h ; ライトデータバンクを設定
ld    wa, (localwx)  ; ← SFR にアクセスするダミー命令を挿入
-----
ld    (xix), wa      ; LOCAL-X エリアのバンク1へライト
```

ライトデータ用 LOCAL-X レジスタ

	7	6	5	4	3	2	1	0
LOCALWX (01DCH)	Bit symbol	LXE		X4	X3	X2	X1	X0
	Read/Write	R/W				R/W		
	リセット後	0		0	0	0	0	0
	機能	LOCAL-X 用 バンク使用 0: 禁止 1: 許可		LOCAL-X 用バンク数設定 ("0" はコモンエリアと重なっているため設定禁止)				

ライトデータ用 LOCAL-Y レジスタ

	7	6	5	4	3	2	1	0
LOCALWY (01DDH)	Bit symbol	LYE		Y4	Y3	Y2	Y1	Y0
	Read/Write	R/W				R/W		
	リセット後	0		0	0	0	0	0
	機能	LOCAL-Y 用 バンク使用 0: 禁止 1: 許可		LOCAL-Y 用バンク数設定 ("3" はコモンエリアと重なっているため設定禁止)				

ライトデータ用 LOCAL-Z レジスタ

	7	6	5	4	3	2	1	0	
LOCALWZ (01DFH)	Bit symbol	LZE	Z6	Z5	Z4	Z3	Z2	Z1	Z0
	Read/Write	R/W				R/W			
	リセット後	0	0	0	0	0	0	0	
	機能	LOCAL-Z 用 バンク使用 0: 禁止 1: 許可		LOCAL-Z 用バンク数設定 ("3" はコモンエリアと重なっているため設定禁止)					

3.8.3 設定例

以下に下記条件での使用例を説明します。

No.	使用	メモリ	設定	MMU エリア	論理 アドレス	物理 アドレス
(a)	メイン ルーチン	NOR フラッシュ (16 MB, 1 pcs)	$\overline{CS2A}$, 32 ビット, 1 ウェイト	COMMON-Z	C00000H~ FFFFFFFH	
(b)	キャラクタ ROM			LOCAL-Z の バンク 0	800000H~ BFFFFFFFH	000000H~ 3FFFFFFFH
(c)	サブ ルーチン	SRAM (16 MB, 1 pcs)	$\overline{CS1}$, 16 ビット, 0 ウェイト	LOCAL-Y の バンク 0	400000H~ 5FFFFFFFH	000000H~ 1FFFFFFFH
(d)	LCD 表示 RAM			LOCAL-Y の バンク 1		200000H~ 3FFFFFFFH
(e)	スタック RAM	内蔵 RAM (10 KB)	---- (32 ビット, 1 クロック)			002000H~ 0047FFH

(a) メインルーチン (COMMON-Z)

論理 アドレス	物理 アドレス	No	命令	コメント
		1	org C00000H	;
C00000H	<- (同一)	2	ldw (mamr2), 80FFH	; CS2 800000-FFFFFF/8 MB
C000xxH	<-	3	ldw (b2csl), C122H	; CS2 16 ビット ROM, 1 ウェイト
		4	ldw (mamr1), 40FFH	; CS1 400000-7FFFFFF/4 MB
		5	ldw (b1csl), 8111H	; CS1 16 ビット RAM, 0 ウェイト
		5.1	ld (localpz), 80H	; プログラム用 LOCAL-Z バンクイネーブル
		5.2	ld (localrz), 80H	; リードデータ用 LOCAL-Z バンクイネーブル
		6	ld (p8fc), 02H	; P81: CS1
		7	ld (p8fc2), 04H	; P82: CS2A
		8	ld (pjfc), 07H	; PJ2: SRWR, PJ1: SRLUB, PJ0: SLLB
		9	ld xsp, 6000H	; スタックポインタ = 6000H
		10	ld (localpy), 80H	; ローカル Y のバンク 0 はサブルーチン用にプ ログラムバンクとして設定。
		11	:	;
C000yyH	<-	12	call 400000H	; サブルーチンをコール
		13	:	;
		14	:	;
		15	:	;

- No.2~No.8 の命令はポートとメモリコントローラの設定します。
- No.9 はスタックポインタ設定です。内蔵 RAM に割り当てています。
- No.10 は No.12 の命令の実行のための設定です。
- No.12 はサブルーチンをコールする命令です。CPU が 400000H アドレスを出力すると、MMU は外部アドレスバス A23~A0 に変換した物理アドレス 000000H を出力します。また SRAM 用 $\overline{CS1}$ は論理アドレスが CS1 のエリア内にあるため、同時にアサートされます。これらの命令によって CPU はサブルーチンに分岐が可能となります。

注) この例はすでに SRAM にサブルーチンプログラムがライトされていることを前提にしています。

(b) サブルーチン (LOCAL-Y のバンク 0)

論理 アドレス	物理 アドレス	No	命令	コメント
		16	org 400000H	;
400000H	000000H	17	ld (localwy), 81H	; LOCAL-Y のバンク 1 を LCD 表示 RAM 用だ が表示データの設定をするのでライトデー タとして設定
4000xxH	0000xxH	18	ld (locally), 81H	; LOCAL-Y のバンク 1 を LCD 表示 RAM 用と して設定
		19	ld (localrz), 80H	; LOCAL-Z のバンク 0 はキャラクタ ROM 用 リードデータとして設定
		20	ld xiy, 800000H	; キャラクタ ROM リード用インデックスアド レス設定
		21	ld wa, (xiy)	; キャラクタ ROM をリード
		22	:	; 表示データに変換
		23	ld (localpy), 82H	;
		24	ld xix, 400000H	; LCD 表示データライト用インデックスアド レス設定
		25	ld (xix), bc	; LCD 表示データをライト
		26	:	; LCD コントローラを設定
		27	:	;
		28	ld xiz, 400000H	; LCD 開始アドレスを LCDC に設定
		29	ld (lsarcl), xiz	;
		30	ld (lcdctl0), 01H	; LCD 表示動作を開始
		31	:	;
5000yyH	1000yyH	32	ret	;

- No.17 および No.18 で LOCAL-Y のバンク 1 の設定です。この場合、LCD 表示データを CPU が表示 RAM にライトし、LCDC が表示 RAM からリードする設定です。つまり、(LOCALWY) と (LOCALLY) を同じバンク 1 に設定します。
- No.19 はキャラクタ ROM からデータをリードする LOCAL-Z のバンク 0 用設定です。
- No.20 および No.21 はキャラクタ ROM からデータをリードする命令です。CPU が 800000H アドレスを出力すると、MMU は外部アドレスバス A23~A0 に変換した物理アドレス 000000H を出力し、NOR フラッシュ用 \overline{CSZA} は論理アドレスが CS2 のエリア内にあるため同時にアサートされます。これらの命令によって、CPU はキャラクタ ROM からデータをリードすることが可能となります。
- No.23 はローカルエリアでのプログラムバンクを切り換える命令です。バンク内で、同一ローカルエリアのプログラムバンク設定は禁止です。NG の例です。
- No.24 および No.25 は SRAM にデータをライトする命令です。CPU が 400000H アドレスを出力すると、MMU は外部アドレスバス A23~A0 に変換した物理アドレス 200000H を出力し、SRAM 用 $\overline{CS1}$ は論理アドレスが CS1 のエリア内にあるためアサートされます。これらの命令により、CPU は SRAM にデータをライトすることが可能となります。
- No.28 および No.29 は LCD 開始アドレスを LCD コントローラに設定しています。LCDC が DMA サイクルにて 400000H アドレスを出力すると、MMU は外部アドレスバス A23~A0 に変換した物理アドレス 200000H を出力し、SRAM 用 $\overline{CS1}$ は論理アドレスが CS1 のエリア内にあるためアサートされます。これらの命令により、LCDC は SRAM からデータをリードすることが可能となります。
- No.30 は LCD 表示動作を開始する命令です。

3.9 シリアルチャネル (SIO)

シリアル入出力を1チャンネル内蔵しています。SIO0 と呼びます。下記に示すように UART モード (非同期通信) および I/O インタフェースモード (同期通信) を選択できます。また、赤外線データ通信規格である「IrDA1.0」のハードウェア規格をサポートするためのデータ変復調機能があります。

- I/O インタフェースモード ———— モード 0: I/O を拡張するための I/O データの送受信とその同期信号 (SCLK) の送受信を行うモード
- 非同期通信 (UART) モード ————
 - モード 1: 送受信データ長 7ビット
 - モード 2: 送受信データ長 8ビット
 - モード 3: 送受信データ長 9ビット

このうち、モード 1 とモード 2 は、パリティビットの付加が可能で、モード 3 はマスタコントローラがシリアルリンク (マルチコントローラシステム) でスレーブコントローラを起動させるためのウェイクアップ機能を有しています。

図 3.9.2 に、ブロック図を示します。

主に、プリスケアラ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。

本章は、下記のような構成になっています。

3.9.1 ブロック図

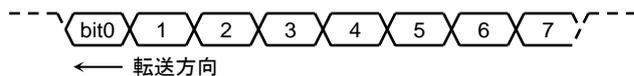
3.9.2 回路別の動作説明

3.9.3 SFR 説明

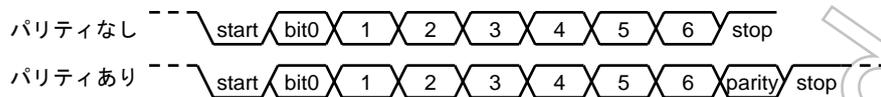
3.9.4 モード別動作説明

3.9.5 IrDA のサポート

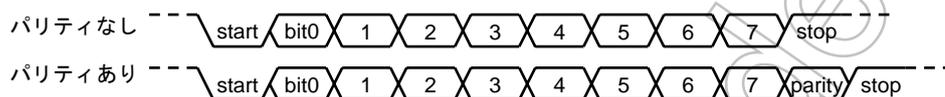
- モード0 (I/O インタフェースモード)



- モード1 (7ビット UART モード)



- モード2 (8ビット UART モード)



- モード3 (9ビット UART モード)

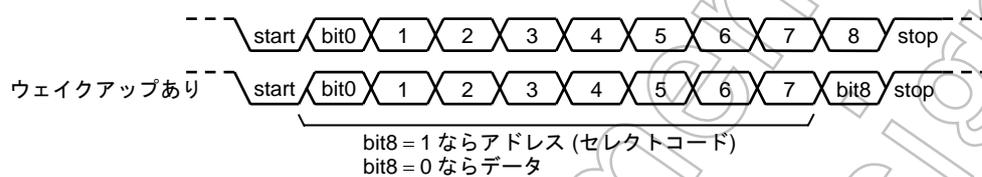


図 3.9.1 データフォーマット

3.9.1 ブロック図

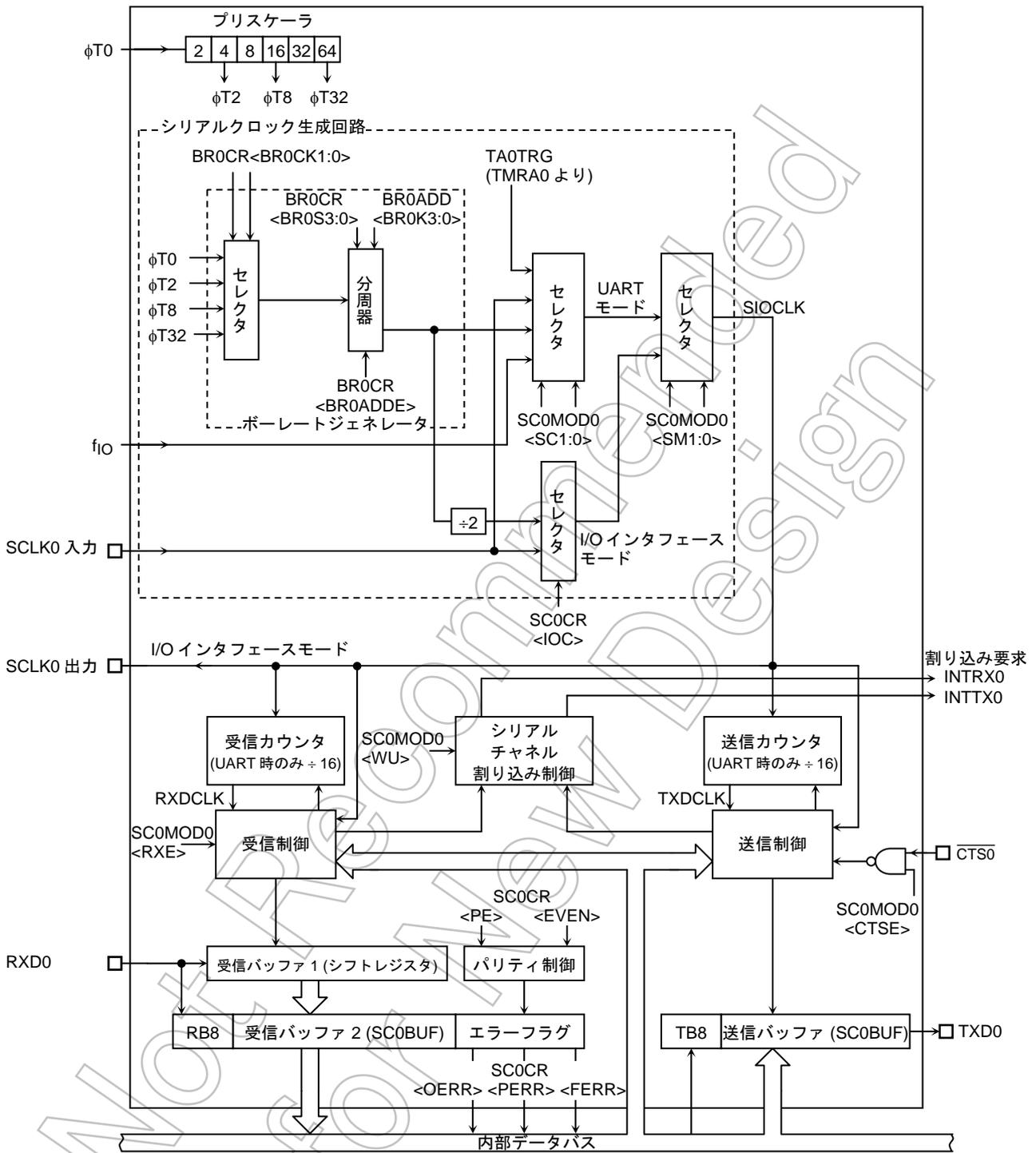


図 3.9.2 SIO0 ブロック図

3.9.2 回路別の動作説明

(1) SIO 部プリスケアラ、プリスケアラクロック選択

SIO0 の動作クロックを生成するために、6 ビットプリスケアラがあります。プリスケアラは、シリアル転送クロックに、ポーレートジェネレータを選択した場合動作することが可能となります。プリスケアラ出力クロックの分解能を表 3.9.1 に示します。

表 3.9.1 ポーレートジェネレータへのプリスケアラクロック分解能

システム クロック選択 SYSCR1 <SYSCK>	クロックギア 選択 SYSCR1 <GEAR2:0>	-	ポーレートジェネレータ入力クロック SIO 部プリスケアラ BR0CR<BR0CK1:0>			
			$\phi T0$	$\phi T2(1/4)$	$\phi T8(1/16)$	$\phi T32(1/64)$
1 (fs)	-		fs/8	fs/32	fs/128	fs/512
0 (fc)	000(1/1)	1/8	fc/8	fc/32	fc/128	fc/512
	001(1/2)		fc/16	fc/64	fc/256	fc/1024
	010(1/4)		fc/32	fc/128	fc/512	fc/2048
	011(1/8)		fc/64	fc/256	fc/1024	fc/4096
	100(1/16)		fc/128	fc/512	fc/2048	fc/8192

ポーレートジェネレータには、プリスケアラ出力クロックより $\phi T0$ 、 $\phi T2$ 、 $\phi T8$ 、 $\phi T32$ の4種類のクロックが用いられます。

(2) ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは SIO 部 6 ビットプリスケアラより、 $\phi T0$ 、 $\phi T2$ 、 $\phi T8$ 、 $\phi T32$ を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタ BR0CR<BR0CK1:0>で設定します。

ボーレートジェネレータは、 1 、 $N + (16 - K) / 16$ 、 16 分周が可能な分周器を内蔵しており、BR0CR<BR0ADDE><BR0S3:0>、BR0ADD<BR0K3:0>の設定に従い分周を行い転送速度を決定します。

- UART モードの場合

(1) BR0CR <BR0ADDE> = 0 の場合

BR0ADD<BR0K3:0>の設定は無視され、BR0CR <BR0S3:0> に設定された値 “N” に従い N 分周を行います。(N = 1, 2, 3 … 16)

(2) BR0CR <BR0ADDE> = 1 の場合

$N + (16 - K) / 16$ 分周機能がイネーブルになり BR0CR<BR0S3:0>に設定された値 “N” (N = 2, 3 … 15)、BR0ADD<BR0K3:0>に設定された値 “K” に従い $N + (16 - K) / 16$ 分周を行います。(K = 1, 2, 3 … 15)

注) N = 1 および 16 のときは $N + (16 - K) / 16$ 分周機能は禁止となりますので、必ず BR0CR<BR0ADDE> = “0” に設定してください。

- I/O インタフェースモードの場合

I/O インタフェースモード時は $N + (16 - K) / 16$ 分周機能は使用できません。必ず BR0CR <BR0ADDE> = “0” に設定して N 分周を行ってください。

次に、ボーレートジェネレータを使用した場合のボーレートの算出方法を示します。

- UART モード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

- I/O インタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

- 整数分周 (N 分周) の場合

$f_c = 39.3216$ MHz で入力クロック $\phi T2$ 、分周値 “N” ($BR0CR<BR0S3:0> = 8$ 、 $BR0CR<BR0ADDE> = “0”$) の場合の UART モードのボーレートは、

* クロック条件 [クロックギア : $1/1(f_c)$

$$\begin{aligned} \text{ボーレート} &= \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16 \\ &= \frac{f_c/32}{8} \div 16 \end{aligned}$$

$= 39.3216 \times 10^6 \div 32 \div 8 \div 16 = 9600$ (bps) となります。

注) $(16-K)/16$ 分周機能は禁止に設定されるため $BR0ADD<BR0K3:0>$ の設定は無視されます。

- $N + (16 - K) / 16$ 分周 (UART モードのみ) の場合

また、 $f_c = 31.9488$ MHz で入力クロック $\phi T2$ ($f_c/32$)、分周値 “N” ($BR0CR<BR0S3:0> = 6$ 、“K” ($BR0ADD<BR0K3:0> = 8$ 、 $BR0CR<BR0ADDE> = 1$) の場合のボーレートは、

$$\begin{aligned} \text{ボーレート} &= \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16 \\ &= \frac{f_c/32}{6 + \frac{16 - 8}{16}} \div 16 \end{aligned}$$

$= 31.9488 \times 10^6 \div 4 \div (6 + \frac{8}{16}) \div 16 = 9600$ (bps) となります。

表 3.9.2にUARTモードのボーレートの例を示します。

また、外部クロック入力をシリアルクロックに使用することもできます(シリアルチャネル 0)。この場合のボーレートの算出方法を示します。

- UARTモード

ボーレート = 外部クロック入力 $\div 16$

ただし、(外部クロック入力周期) $\geq 4/f_{\text{SYS}}$ を満足する必要があります。

- I/O インタフェースモード

ボーレート = 外部クロック入力

ただし、(外部クロック入力周期) $\geq 16/f_{\text{SYS}}$ を満足する必要があります。

表 3.9.2 UART ボーレートの選択
(ボーレートジェネレータ使用、BR0CR<BR0ADDE> = 0 の場合)

単位 (kbps)

f _{sys} [MHz]	入力クロック 分周値 N	φT0 (f _{sys} /4)	φT2 (f _{sys} /16)	φT8 (f _{sys} /64)	φT32 (f _{sys} /256)
9.8304	2	76.800	19.200	4.800	1.200
↑	4	38.400	9.600	2.400	0.600
↑	8	19.200	4.800	1.200	0.300
↑	10	9.600	2.400	0.600	0.150
12.2880	5	38.400	9.600	2.400	0.600
↑	A	19.200	4.800	1.200	0.300
14.7456	2	115.200	28.800	7.200	1.800
↑	3	76.800	19.200	4.800	1.200
↑	6	38.400	9.600	2.400	0.600
↑	C	19.200	4.800	1.200	0.300
19.6608	1	307.200	76.800	19.200	4.800
↑	2	153.600	38.400	9.600	2.400
↑	4	76.800	19.200	4.800	1.200
↑	8	38.400	9.600	2.400	0.600
↑	10	19.200	4.800	1.200	0.300
22.1184	3	115.200	28.800	7.200	1.800
24.5760	1	384.000	96.000	24.000	6.000
↑	2	192.000	48.000	12.000	3.000
↑	4	96.000	24.000	6.000	1.500
↑	5	76.800	19.200	4.800	1.200
↑	8	48.000	12.000	3.000	0.750
↑	A	38.400	9.600	2.400	0.600
↑	10	24.000	6.000	1.500	0.375

注) I/O インタフェースモード時の転送レートは本表の値の 8 倍になります。

UART モード時、シリアル送信クロックにタイマの一致出力(TA0TRG)が使用できません。

タイマのトリガ出力使用時に必要なタイマ出力周波数の算出方法

$$\text{TA0TRG の周波数} = \text{ボーレート} \times 16$$

注) I/O インタフェースモードでは、TMRA0 一致検出信号を転送クロックとして使用することはできません。

(3) シリアルクロック生成回路

送受信基本クロックを生成する回路です。

• I/O インタフェースモードの場合

SC0CR<IOC>="0" の SCLK 出力モードのときは、前記ポーレートジェネレータの出力を 2 分周し、基本クロックをつくります。

SC0CR <IOC>="1" の SCLK 入力モードのときは、SC0CR<SCLKS>の設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックをつくります。

• 非同期通信 (UART) モードの場合

SC0MOD0<SC1:0>の設定により、前記ポーレートジェネレータからのクロック、内部クロック f_{IO} 、TMRA0 からの一致検出信号、または外部クロック (SCLK0 端子) のいずれかを選択し、基本クロック SIOCLK をつくります。

(4) 受信カウンタ

受信カウンタは、非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ 1 ビットの受信に SIOCLK が 16 発用いられ 7、8、9 発目でデータをサンプリングします。

3 度のデータサンプリングによる多数決論理によって受信データを判断しています。

例えば、7、8、9 発目のクロックで、データが 1、0、1 であれば、受信データは "1" と判断され、また、0、0、1 であれば "0" と判断されます。

(5) 受信制御部

• I/O インタフェースモードの場合

SC0CR<IOC>="0" の SCLK 出力モードのときは、SC0CR<SCLKS>の設定に従って SCLK0 端子へ出力されるシフトクロックの立ち上がり/立ち下がりエッジで RXD0 端子をサンプリングします。

SC0CR<IOC>="1" の SCLK 入力モードのときは、SC0CR<SCLKS>の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで RXD0 端子をサンプリングします。

• 非同期通信 (UART) モードの場合

受信制御部は、多数決論理によるスタートビット検出回路を持ち、3 度のサンプリング中 2 度以上 "0" であれば正常なスタートビットと判断し、受信動作を開始します。

データ受信中でも、多数決論理により受信データを判断しています。

(6) 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ 1 (シフトレジスタ型) に受信データが 1 ビットずつ格納され、7 ビットまたは 8 ビットのデータがそろったもう一方の受信バッファ 2 (SC0BUF) へ移されるとともに割り込み INTRX0 が発生します。

CPU は受信バッファ 2 (SC0BUF) を読み出します。CPU が受信バッファ 2 (SC0BUF) を読み出す前でも、受信データは受信バッファ 1 へ格納することができます。

ただし、受信バッファ 1 に次のデータが全ビット受信される前に受信バッファ 2 (SC0BUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファ 2 および SC0CR<RB8>の内容は保存されていますが、受信バッファ 1 の内容は失われます。

8 ビット UART のパリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは SC0CR<RB8>に格納されます。

9 ビット UART の場合、SC0MOD0<WU>を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC0CR<RB8>=“1”のときのみ、割り込み INTRX0 が発生します。

SIO 割り込みモードは SIMC レジスタによって設定可能です。

(7) 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされ、16 発ごとに送信クロック TXDCLK を生成します。

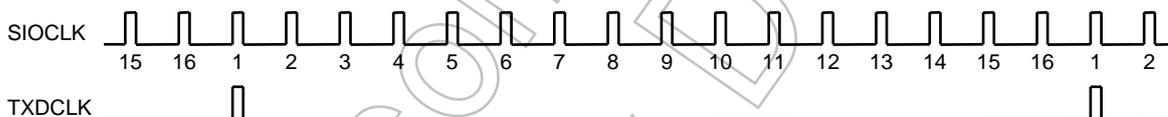


図 3.9.3 送信クロックの生成

(8) 送信制御部

- I/O インタフェースモードの場合

SC0CR<IOC>=“0”の SCLK 出力モードのときは、SCLK0 端子より出力されるシフトクロックの立ち上がりで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

SC0CR<IOC>=“1”の SCLK 入力モードのときは、SC0CR<SCLKS>の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

- 非同期通信 (UART) モード

送信バッファに CPU から送信データが書き込まれると次の TXDCLK の立ち上がりエッジに同期して送信を開始し、送信シフトクロック TXDSFT をつくります。

ハンドシェイク機能

$\overline{\text{CTS0}}$ を使用することにより、1 データフォーマット単位での送信が可能となり、オーバランエラーの発生を防ぐことができます。この機能は $\text{SCOMOD}<\text{CTSE}>$ の設定によってイネーブル/ディセーブルできます。

送信は $\overline{\text{CTS0}}$ 端子が“H”レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{CTS0}}$ 端子が“L”レベルに戻るまで送信を停止します。ただし、 INTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機します。

なお、 $\overline{\text{RTS}}$ 端子はありませんが、受信側にて受信が終了したとき（受信割り込みルーチン内）に $\overline{\text{RTS}}$ 機能に割り当てた任意の 1 ポートを“H”レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。

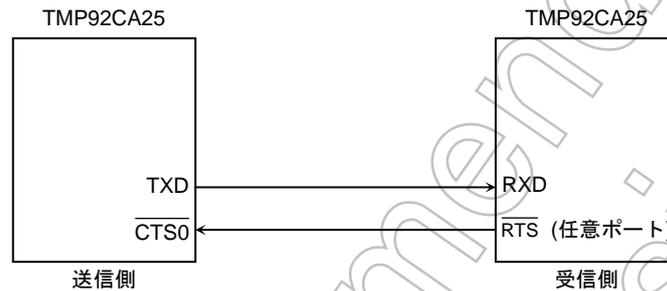
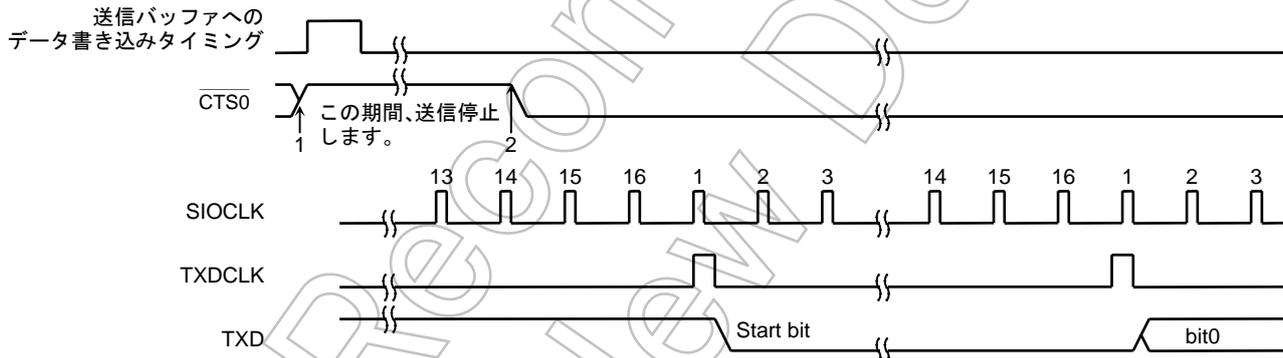


図 3.9.4 ハンドシェイク機能



- 注 1) 送信中に $\overline{\text{CTS0}}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。
 注 2) $\overline{\text{CTS0}}$ 信号立ち下がり後の最初の TXDCLK クロックの立ち下がりから送信を開始します。

図 3.9.5 $\overline{\text{CTS}}$ (Clear to Send) 信号のタイミング

(9) 送信バッファ

送信バッファ SC0BUF は CPU より書き込まれた送信データを最下位ビット (LSB) から順にシフトアウトし送出されます。全ビットシフトアウトされると送信バッファエンプティで INTTX0 割り込みが発生します。

(10) パリティ制御回路

シリアルチャネルコントロールレジスタ SC0CR<PE>を“1”に設定するとパリティ付加の送信を行います。ただし、7ビット UART または 8ビット UART モードのみパリティ付加が可能です。SC0CR<EVEN>レジスタによって偶数あるいは奇数パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ SC0BUF に書き込まれたデータにより自動的にパリティを発生し、7ビット UART モードのときは SC0BUF<TB7>に、8ビット UART モードのときは SC0MOD0<TB8>にパリティを格納して、送信します。なお、<PE>と<EVEN>の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信バッファ 1 にシフトインされ、受信バッファ 2 (SC0BUF) に移されたデータにより、パリティを自動発生し、7ビット UART モードのときは、SC0BUF<RB7>と、8ビット UART モードのときは、SC0CR<RB8>のパリティと比較され、異なっているとパリティエラーが発生し、SC0CR<PERR>フラグがセットされます。

(11) エラーフラグ

受信データの信頼性を上げるために 3つのエラーフラグが用意されています。

1. オーバランエラー<OERR>

受信バッファ 2 (SC0BUF) に有効データが格納されている状態で、受信バッファ 1 に次のデータが全ビット受信されるとオーバランエラーが発生します。

オーバランエラー発生時の処理フロー例を下記に示します。

(受信割り込みルーチン)

- 1) 受信バッファをリードする
- 2) エラーフラグをリードする
- 3) if<OERR> = “1” のとき
 - (ア) 受信禁止に設定 (<RXE>に “0” をライト)
 - (イ) 現フレームの終了待ち
 - (ウ) 受信バッファのリード
 - (エ) エラーフラグのリード
 - (オ) 受信許可に設定 (<RXE>に “1” をライト)
 - (カ) 再送信要求
- 4) その他の処理

2. パリティエラー<PERR>

受信バッファ 2 (SC0BUF) に移されたデータから発生したパリティと、RXD 端子より受信したパリティビットとを比較し、異っているとパリティエラーが発生します。

3. フレーミングエラー<FERR>

受信データのストップビットを中央付近で 3 回サンプリングし、多数決した結果が“0”の場合フレーミングエラーが発生します。

Not Recommended
for New Design

(12) 各信号発生タイミング

1. UART モードの場合

受信

モード	9ビット (注)	8ビット+パリティ (注)	8ビット、 7ビット+パリティ、 7ビット
割り込み発生 タイミング	最終ビット (Bit 8) の 中央付近	最終ビット(パリティ ビット)の中央付近	ストップビットの中央付近
フレーミングエラー 発生タイミング	ストップビットの 中央付近	ストップビットの 中央付近	ストップビットの中央付近
パリティエラー 発生タイミング	-	最終ビット(パリティ ビット)の中央付近	ストップビットの中央付近
オーバランエラー 発生タイミング	最終ビット (Bit 8) の 中央付近	最終ビット(パリティ ビット)の中央付近	ストップビットの中央付近

注 1) 9ビットモード、8ビット + パリティモードでは、割り込みは9ビット目と同時に発生します。そのため、割り込み発生後、1ビット転送分(ストップビットが転送されるまで)時間をおいてフレーミングエラーのチェックをしてください。

注 2) 受信割り込み発生位置及びエラー発生位置は、通信速度が速いほど中央付近より、後になります。

送信

モード	9ビット	8ビット+パリティ	8ビット、 7ビット+パリティ、 7ビット
割り込みタイミング	ストップビット送信 される直前	ストップビット送信 される直前	ストップビット送信される 直前

2. I/O インタフェースモードの場合

送信 割り込み タイミング	SCLK 送信モード	最終ビット終了直後 (図 3.9.13参照)
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 (図 3.9.14参照)
受信 割り込み タイミング	SCLK 送信モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終SCLKの直後) (図 3.9.15参照)
	SCLK 入力モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終SCLKの直後) (図 3.9.16参照)

3.9.3 SFR 説明

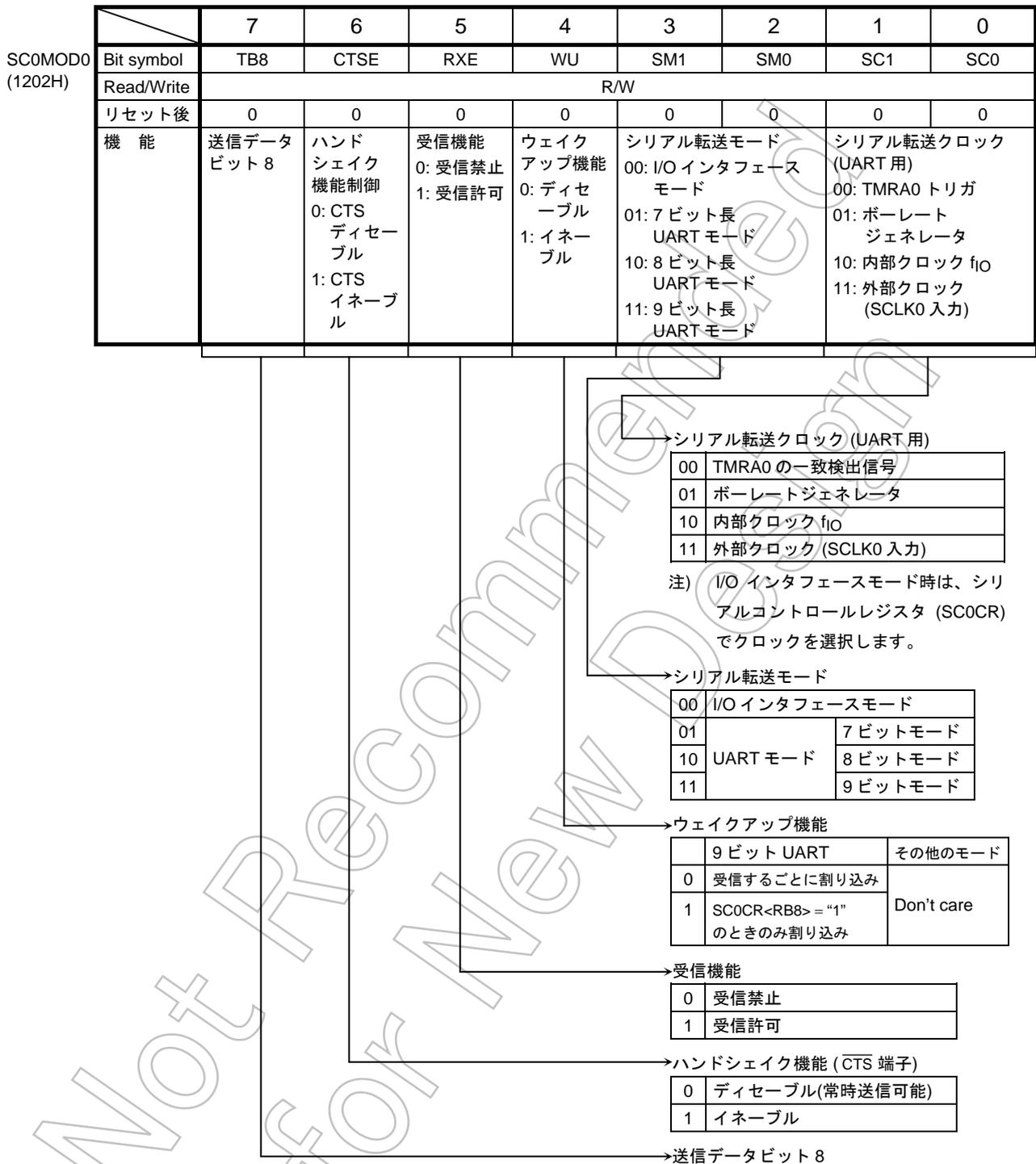
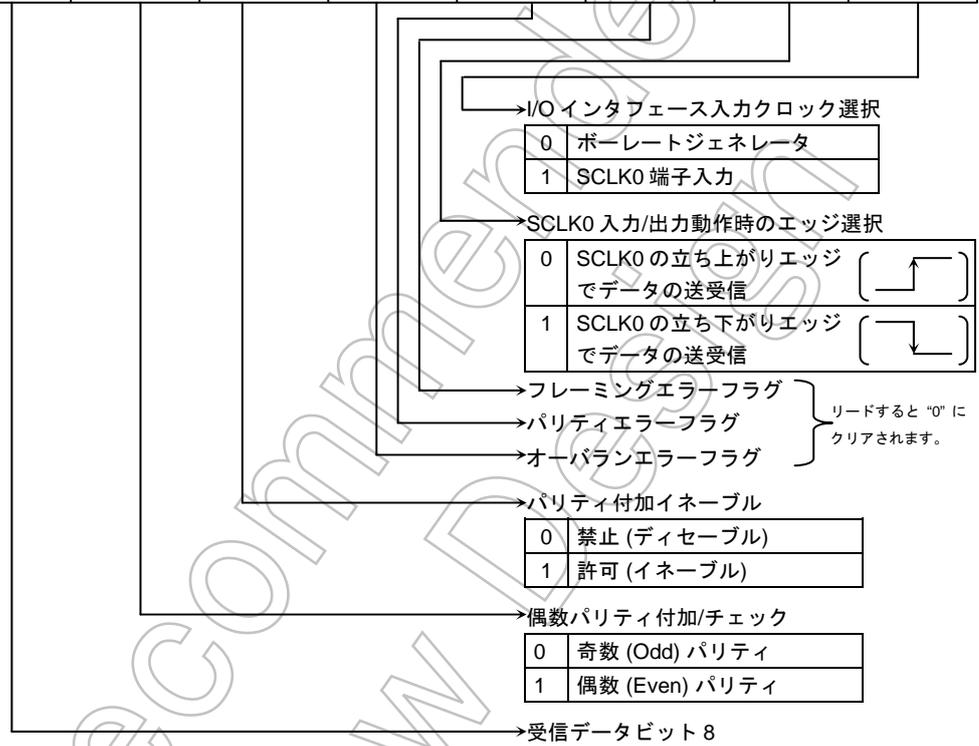


図 3.9.6 シリアルモードコントロールレジスタ (SIO0 用、SC0MOD0)

	7	6	5	4	3	2	1	0
Bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W		R(リードすると0にクリアされます)			R/W	
リセット後	不定	0	0	0	0	0	0	0
機能	受信データビット8	パリティ 0: Odd 1: Even	パリティ付加 0: 禁止 1: 許可	1: エラー オーバーラン パリティ フレーミング			0: SCLK0 1: SCLK0	0: ボーレートジェネレータ 1: SCLK0 端子入力



注) エラーフラグはリードされるとすべてクリアされるため、ビットテスト命令を用いて1ビットのみのテストは行わないでください。

図 3.9.7 シリアルコントロールレジスタ (SIO0 用、SC0CR)

	7	6	5	4	3	2	1	0
Bit symbol	-	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	“0”をライトしてください。	+ (16 - K) /16 分周機能 0: ディセーブル 1: イネーブル	00: φT0 01: φT2 10: φT8 11: φT32		分周値 “N” の設定			

+ (16 - K) /16 分周機能イネーブル

0	禁止 (ディセーブル)
1	許可 (イネーブル)

ポーレートジェネレータの入カクロックの選択

00	内部クロックφT0
01	内部クロックφT2
10	内部クロックφT8
11	内部クロックφT32

	7	6	5	4	3	2	1	0
Bit symbol					BR0K3	BR0K2	BR0K1	BR0K0
Read/Write					R/W			
リセット後					0	0	0	0
機能					N + (16 - K) /16 の K 値の設定			

ポーレートジェネレータの分周値の設定 ←

	BR0CR<BR0ADDE> = 1		BR0CR<BR0ADDE> = 0
BR0CR <BR0S3:0>	0000 (N = 16)	0010 (N = 2)	0001 (N = 1) (UART のみ)
BR0ADD <BR0K3:0>	または 0001 (N = 1)	1111 (N = 15)	1111 (N = 15) 0000 (N = 16)
0000	禁止	禁止	N 分周
0001 (K = 1)	禁止	$16 - K$ $N + \frac{16 - K}{16}$ 分周	
1111 (K = 15)			

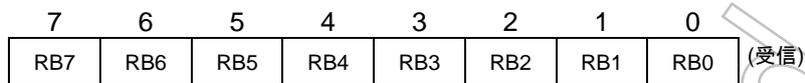
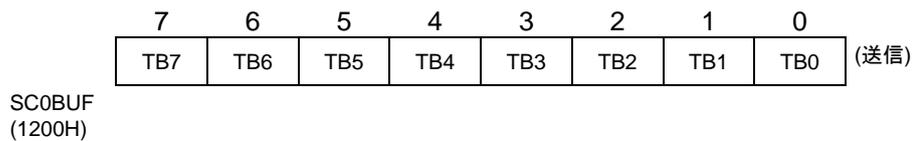
注 1) + (16-K)/16 分周の使用可否

N	UART モード	I/O モード
2 ~ 15	○	×
1, 16	×	×

ポーレートジェネレータ分周値の“1”分周は UART モードで、+ (16 - K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16 - K)/16 分周機能を使用する場合、かならず BR0ADD <BR0K3:0> に K 値 (K = 1~15) を設定後に BR0CR <BR0ADDE> = “1” を設定してください。BR0ADD レジスタの未使用ビットは、ライトしても動作に影響ありません。リード時は、不定です。

図 3.9.8 ポーレートジェネレータコントロール (SIO0 用、BR0CR、BR0ADD)



注) SC0BUF はリードモディファイライトできません。

図 3.9.9 シリアル送受信バッファレジスタ (SIO0 用、BR0CR)

SC0MOD1 (1205H)

	7	6	5	4	3	2	1	0
Bit symbol	I2S0	FDPX0						
Read/Write	R/W							
リセット後	0	0						
機能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						

図 3.9.10 シリアルモードコントロールレジスタ 1 (SIO0 用、SC0MOD1)

Not Recommended for New Design

3.9.4 モード別動作説明

(1) モード0 (I/O インタフェース モード)

このモードは、入出力端子 (I/O) 数を増やす場合に使用され、外部に接続されるシフトレジスタなどとデータの送受信を行います。

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。

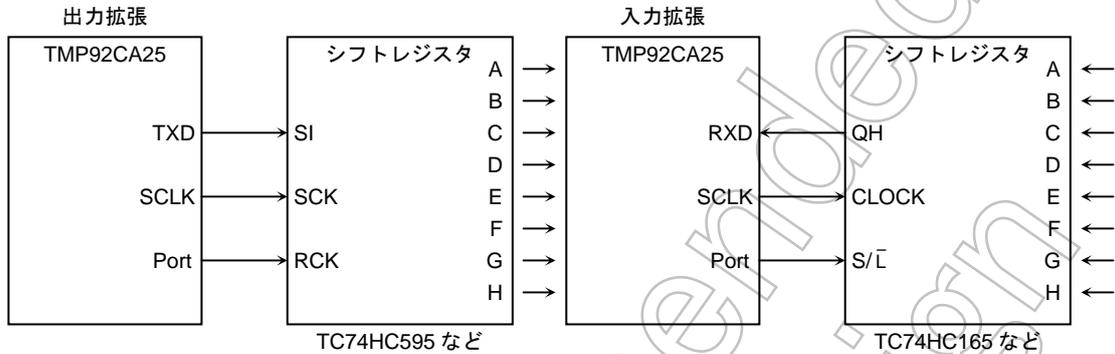


図 3.9.11 SCLK 出力モード接続例

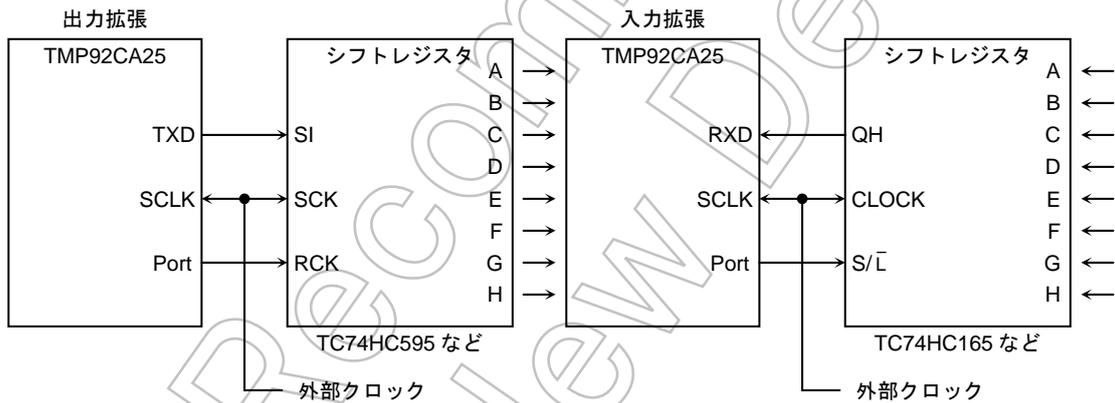


図 3.9.12 SCLK 入力モード接続例

1. 送信

SCLK 出力モードでは、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが TXD0 端子、同期クロックが SCLK0 端子より出力されます。データがすべて出力されると、INTES0<ITX0C>がセットされ、割り込み INTTX0 が発生します。

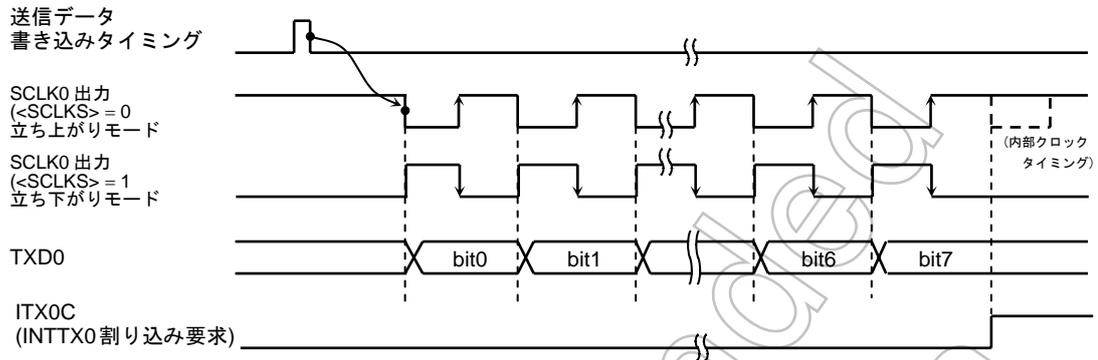


図 3.9.13 I/O インタフェースモード送信動作 (SCLK0 出力モード)

SCLK 入力モードでは、CPU により送信バッファにデータが書き込まれている状態で SCLK0 入力がアクティブになると、8 ビットのデータが TXD0 端子より出力されます。

データがすべて出力されると、INTES0<ITX0C>がセットされ割り込み INTTX0 が発生します。

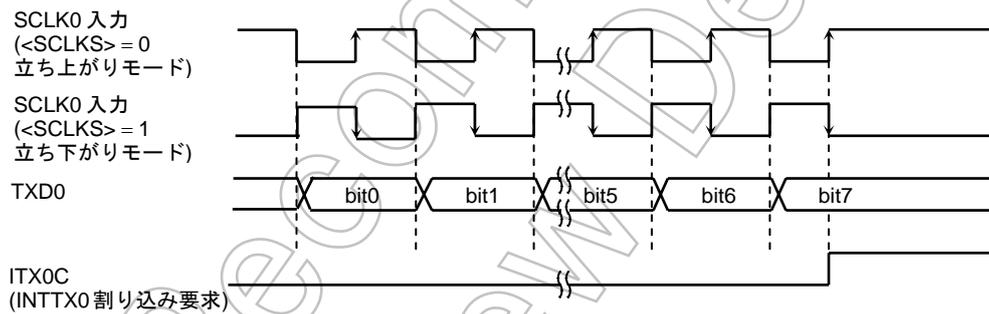


図 3.9.14 I/O インタフェースモード送信動作 (SCLK0 入力モード)

2. 受信

SCLK 出力モードでは受信データが CPU に読み取られ、受信割り込みフラグ $INTES0<IRX0C>$ がクリアされるたびに、SCLK0 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び $INTES0<IRX0C>$ がセットされて割り込み $INTRX0$ が発生します。

最初の SCLK 出力の開始は、SC0MOD0<RXE>を“1”にセットすることで行います。

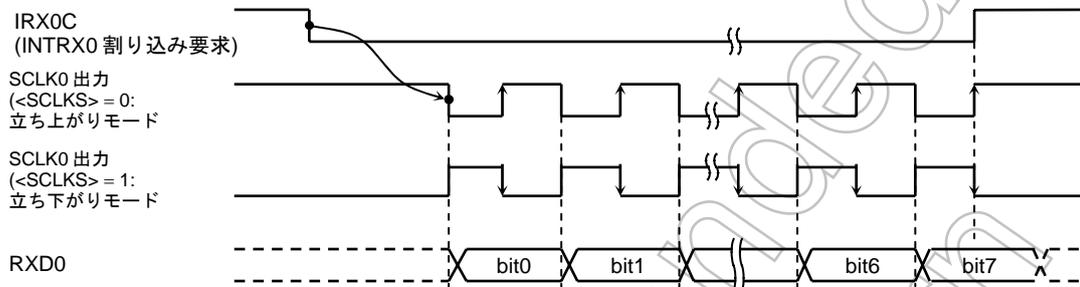


図 3.9.15 I/O インタフェースモード受信動作 (SCLK0 出力モード)

SCLK 入力モードでは受信データが CPU に読み取られ、受信割り込みフラグ $INTES0<IRX0C>$ がクリアされている状態で、SCLK0 入力がアクティブになると、次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び $INTES0<IRX0C>$ がセットされて割り込み $INTRX0$ が発生します。

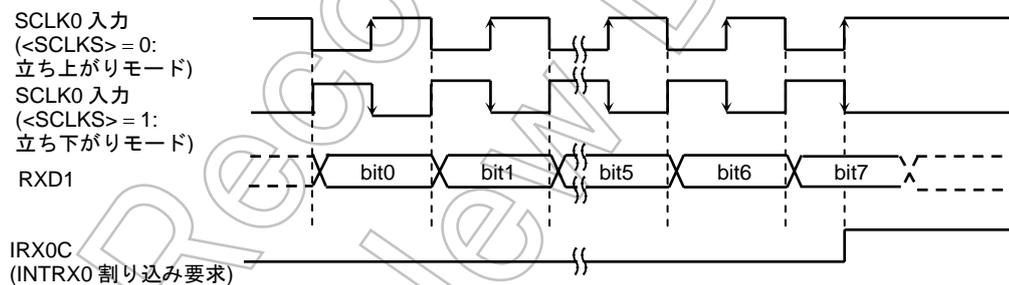


図 3.9.16 I/O インタフェースモード受信動作 (SCLK0 入力モード)

注) 受信動作を行う場合には SCLK 入/出力のどちらのモードでも、受信イネーブル状態 (SC0MOD<RXE> = 1) にしておく必要があります。

3. 送受信 (全二重)

全二重モードで、送受信を行う場合は、必ず、受信割り込みレベルを“0”に設定し、送信割り込みのみに割り込みレベル (“1” ~ “6”のいずれか) を設定してください。

受信処理は、送信割り込み処理ルーチン内で、下記例のように、送信データセットの前に行ってください。

例) チャンネル 0、SCLK 出力
9600 bps で送受信を行う場合
 $f_c = 4.9152$ MHz

クロック条件: クロック 1/1(f_c)

メインルーチンでの設定

	7	6	5	4	3	2	1	0		
INTES0	X	0	0	1	X	0	0	0	INTTX0 レベルを 1 に設定 INTRX0 レベルを 0 に設定	
PFCR	-	-	-	-	-	1	0	1	PF0 (TXD0), PF1 (RXD0), PF2 (SCLK0) に設定	
PFFC	-	-	-	-	-	1	0	1		
SC0MOD0	0	0	0	0	0	0	0	0	I/O インタフェースモードに設定	
SC0MOD1	1	1	0	0	0	0	0	0	全二重モードに設定	
SC0CR	0	0	0	0	0	0	0	0	Sclk 出力、立ち上がり受信/立ち下がり送信	
BR0CR	0	0	0	1	1	0	0	0	転送レートを 9600 bps に設定	
SC0MOD0	0	0	1	0	0	0	0	0	受信許可	
SC0BUF	*	*	*	*	*	*	*	*	送信データを設定し、送信開始	
INTTX0 割り込みルーチン										
Acc	←	SC0BUF								受信バッファをリード
SC0BUF	*	*	*	*	*	*	*	*	次の送信データを設定	

X : Don't care, - : No change

(2) モード1 (7ビット UART モード)

シリアルチャネルモードレジスタ SC0MOD<SM1:0>を 01 にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルチャネルコントロールレジスタ SC0CR<PE>でパリティビット付加のイネーブル/ディセーブルを制御します。<PE> = 1 (イネーブル) のときは、SC0CR<EVEN>で偶数パリティ/奇数パリティを選択できます。

例) 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



	クロック条件: クロック 1/1(f_c)									
	7	6	5	4	3	2	1	0		
PFCR	←	-	-	-	-	-	-	1	} PF0 を TXD0 端子として設定	
PFFC	←	-	-	-	-	-	-	1		
SC0MOD0	←	X	0	-	X	0	1	0	1	7ビット UART モードに設定
SC0CR	←	X	1	1	X	X	X	0	0	偶数パリティを付加
BR0CR	←	0	0	1	0	1	0	0	0	転送レートを 2400 bps に設定
INTES0	←	X	1	0	0	-	-	-	-	INTTX0 割り込みをイネーブル、レベル 4 に設定
SC0BUF	←	*	*	*	*	*	*	*	*	送信データを設定

X: Don't care, -: No change

(3) モード 2 (8 ビット UART モード)

SC0MOD0<SM1:0>を 10 にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SC0CR<PE>でパリティビット付加のイネーブル/ディセーブルを制御します。<PE>=1 (イネーブル) のとき、SC0CR<EVEN>で偶数パリティ/奇数パリティの選択も可能です。

例) 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



メインルーチンでの設定

	7	6	5	4	3	2	1	0	
PF1CR	←	-	-	-	-	-	-	0	-
PF1FC	←	-	-	-	-	-	-	0	-
SC0MOD0	←	-	0	1	X	1	0	0	1
SC0CR	←	X	0	1	X	X	X	0	0
BR0CR	←	0	0	0	1	1	0	0	0
INTES0	←	-	-	-	-	X	1	0	0

割り込みルーチンでの処理例

```

Acc ← SC0CR AND 00011100
if Acc ≠ 0 then ERROR
Acc ← SC0BUF
    
```

エラーチェックを実行
 受信データを読み取り

X: Don't care, -: No change

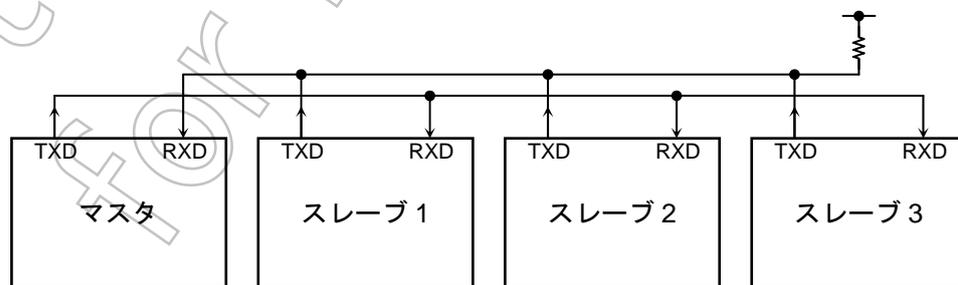
(4) モード 3 (9 ビット UART モード)

SC0MOD0<SM1:0>を 11 にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加はできません。

最上位ビット (9 ビット目) は、送信の場合シリアルチャネルモードレジスタ SC0MOD0 の<TB8>に書き込み、受信の場合シリアルチャネルコントロールレジスタ SC0CR の<RB8>に格納されます。また、バッファに対する書き込み、読み出しは必ず<TB8>, <RB8>を先に行い、SC0BUF の方を後にします。

ウェイクアップ機能

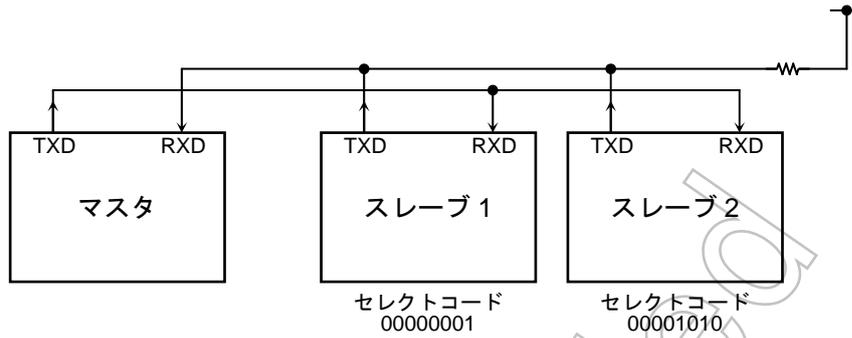
9 ビット UART モードでは、SC0MOD0<WU>を“1”にすることによってスレーブコントローラのウェイクアップ動作が可能で、<RB8>=1 のときのみ割り込み INTRX0 が発生します。



注) スレーブコントローラの TXD 端子は、必ず ODE レジスタを設定してオープンドレイン出力モードにしてください。

図 3.9.17 ウェイクアップ機能によるシリアルリンク

設定例: 内部クロック f_{I0} を転送クロックとして2つのスレーブコントローラとシリアルリンクさせる場合



● マスタコントローラの設定

メインルーチン

PFCR	← - - - - - 0 1	} PF0 を TXD0、PF1 を RXD0 端子として設定
PFFC	← - - - - - 0 1	
INTES0	← 1 1 0 0 1 1 0 1	INTTX0 割り込みをイネーブル、割り込みレベルを4に設定
		INTRX0 割り込みをイネーブル、割り込みレベルを5に設定
SC0MOD0	← 1 0 1 0 1 1 1 0	9ビットUARTモードの転送クロックとして f_{I0} を設定
SC0BUF	← 0 0 0 0 0 0 0 1	スレーブコントローラ1のセレクトコードを設定
割り込みルーチン (INTTX0)		
SC0MOD0	← 0 - - - - - - -	TB8 を "0" に設定
SC0BUF	← * * * * * * * *	送信データを設定

● スレーブの設定

メイン

PFCR	← - - - - - 0 1	} PF0 を RXD0 (オープンドレイン出力)、PC1 を TXD0 端子として設定
PFFC	← - - - - - 0 1	
PFFC2	← X X X X X X X 1	
INTES0	← 1 1 0 1 1 1 1 0	INTTX0、INTRX0 をイネーブル
SC0MOD0	← 0 0 1 1 1 1 1 0	転送クロックとして f_{SYS} を使用する9ビットUART送信モードで、<WU> を "1" に設定
INTRX0 割り込み		
Acc	← SC0BUF	
if Acc = セレクトコード		
Then SC0MOD0 --- 0 --- <WU> を 0 にクリア		

3.9.5 IrDA のサポート

SIO0 には、赤外線データ通信規格である「IrDA1.0」のハードウェア規格をサポートするためのデータ変復調機能があります。図 3.9.18 に、構成図を示します。

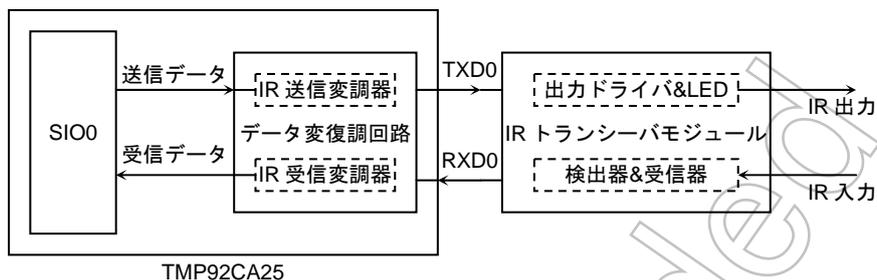


図 3.9.18 IrDA の構成図

(1) 送信データの変調

送信データが“0”のときは、モデムはボーレート周期の $3/16$ 倍の幅、または $1/16$ 倍の幅の TXD0 端子に“1”を出力します。また、パルス幅は SIRCR<PLSEL>にて選択されます。送信データが“1”のときは、モデムは“0”を出力します。

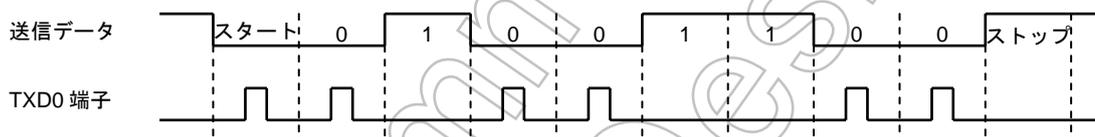


図 3.9.19 送信データの変調例

(2) 受信データの変調

受信データが有効なパルス“1”の幅のときは、モデムは SIO0 に対して“0”を出力し、それ以外のときは、“1”を出力します。

有効なパルス幅は SIRCR<SIRWD3:0>にて選択されます。

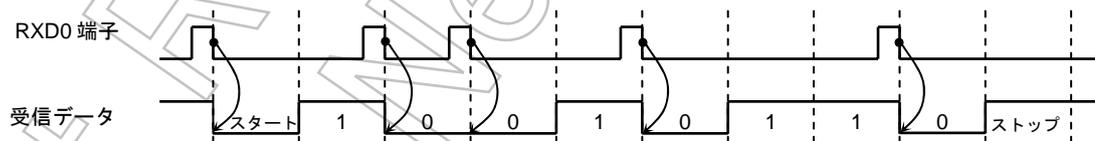


図 3.9.20 受信データの変調例

(3) データのフォーマット

データフォーマットは、以下のフォーマットのみとなります。

- データ長 : 8 ビット
- パリティビット: なし
- ストップビット: 1 ビット

(4) SFR 説明

図 3.9.21 にコントロールレジスタを示します。このレジスタの設定変更を行うときは、必ず SIO0 が停止している間に行ってください。以下にこのレジスタの設定方法を示します。

- | | | |
|-----------------------------|--|--|
| 1) SIO 設定 | | ; SIO を UART に設定します。 |
| ↓ | | |
| 2) LD (SIRCR), 07H | | ; 受信データパルス幅を 16x に設定します。 |
| 3) LD (SIRCR), 37H | | ; TXEN、RXEN の送受信を許可します。 |
| ↓ | | |
| 4) 送受信スタート
および SIO0 用の受信 | | ; SIO0 から送信データが送られてくるか、赤外線受信パルスを受けると、データの変復調を行います。 |

Not Recommended for New Designs

(5) 使用上の注意

1. IrDA 使用時のボーレート作成

IrDA 使用時のボーレートは SIO 本体の SC0MOD0<SC1:0>に“01”を設定し、ボーレートジェネレータを使用して作成してください。それ以外の TA0TRG、f_{IO}、SCLK0 入力には使用できません。

2. IrDA 送信時の出力パルス幅、ボーレートジェネレータ

IrDA1.0 の物理層規格として、データの転送速度と赤外線パルス幅が規定されています。

表 3.9.3 転送速度とパルス出力幅の規格

転送速度	変調方式	転送速度許容誤差 (%)	パルス幅 (最小値)	パルス幅 3/16 (公称値)	パルス幅 (最大値)
2.4 kbps	RZI	±0.87	1.41 μs	78.13 μs	88.55 μs
9.6 kbps	RZI	±0.87	1.41 μs	19.53 μs	22.13 μs
19.2 kbps	RZI	±0.87	1.41 μs	9.77 μs	11.07 μs
38.4 kbps	RZI	±0.87	1.41 μs	4.88 μs	5.96 μs
57.6 kbps	RZI	±0.87	1.41 μs	3.26 μs	4.34 μs
115.2 kbps	RZI	±0.87	1.41 μs	1.63 μs	2.23 μs

赤外線パルス出力幅は、ボーレート $T \times 3/16$ 、または $1.6 \mu\text{s}$ (ボーレート 115.2 kbps 時の $T \times 3/16$ に相当) と規定されています。

TMP92CA25 では、送信時の出力パルス幅を $T \times 3/16$ と $T \times 1/16$ とを選択できる機能がありますが、 $T \times 1/16$ を選択できるのは転送レートが 38.4 kbps 以下のときだけです。115.2 kbps、57.6 kbps ときには、出力パルス幅を $T \times 1/16$ に設定しないでください。

同様の理由で、転送レートの 115.2 Kbps を SIO0 のボーレートジェネレータで生成するときは、 $(16 - K) / 16$ 分周機能を使用しないでください。また、送信パルス幅を $1/16$ に設定し、転送レートの 38.4 kbps を SIO0 のボーレートジェネレータで生成するときも、 $(16 - K) / 16$ 分周機能を使用しないでください。

表 3.9.4 $(16 - K) / 16$ 分周機能のボーレートとパルス幅の関係

パルス幅	ボーレート					
	115.2 kbps	57.6 kbps	38.4 kbps	19.2 kbps	9.6 kbps	2.4 kbps
$T \times 3/16$	× (注)	○	○	○	○	○
$T \times 1/16$	-	-	×	○	○	○

○: $(16 - K) / 16$ 分周機能使用可

×: $(16 - K) / 16$ 分周機能使用不可

-: $1/16$ パルス幅に設定不可

注) 特別な場合で $(16 - K) / 16$ 分周機能使用可

SIRCR
(1207H)

	7	6	5	4	3	2	1	0
Bit symbol	PLSEL	RXSEL	TXEN	RXEN	SIRWD3	SIRWD2	SIRWD1	SIRWD0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信パルス幅選択 0: 3/16 1: 1/16	受信データ論理 0: "H" パルス 1: "L" パルス	送信動作 0: 禁止 1: 許可	受信動作 0: 禁止 1: 許可	SIRRDxDの有効パルス幅の設定 $2x \times (\text{設定値} + 1) + 100\text{ns}$ 以上のパルス幅を有効とする 設定可 : 1~14 設定不可 : 0, 15			



図 3.9.21 IrDA コントロールレジスタ

3.10 シリアルバスインタフェース (SBI)

シリアルバスインタフェース (SBI) を 1 チャンネル内蔵しています。
 TMP92CA25 は、下記の動作モードのみをサポートしています。

- I²C バスモード (マルチマスタ)

I²C バスモードのときには、P93 (SDA), P94 (SCL) を通して外部デバイスと接続されます。
 各端子の設定は、下記のとおりとなります。

	P9FC2<P94F2, P93F2>	P9CR<P94C, P93C>	P9FC<P94F, P93F>
I ² C バスモード	11	11	11

X: Don't care

3.10.1 構成

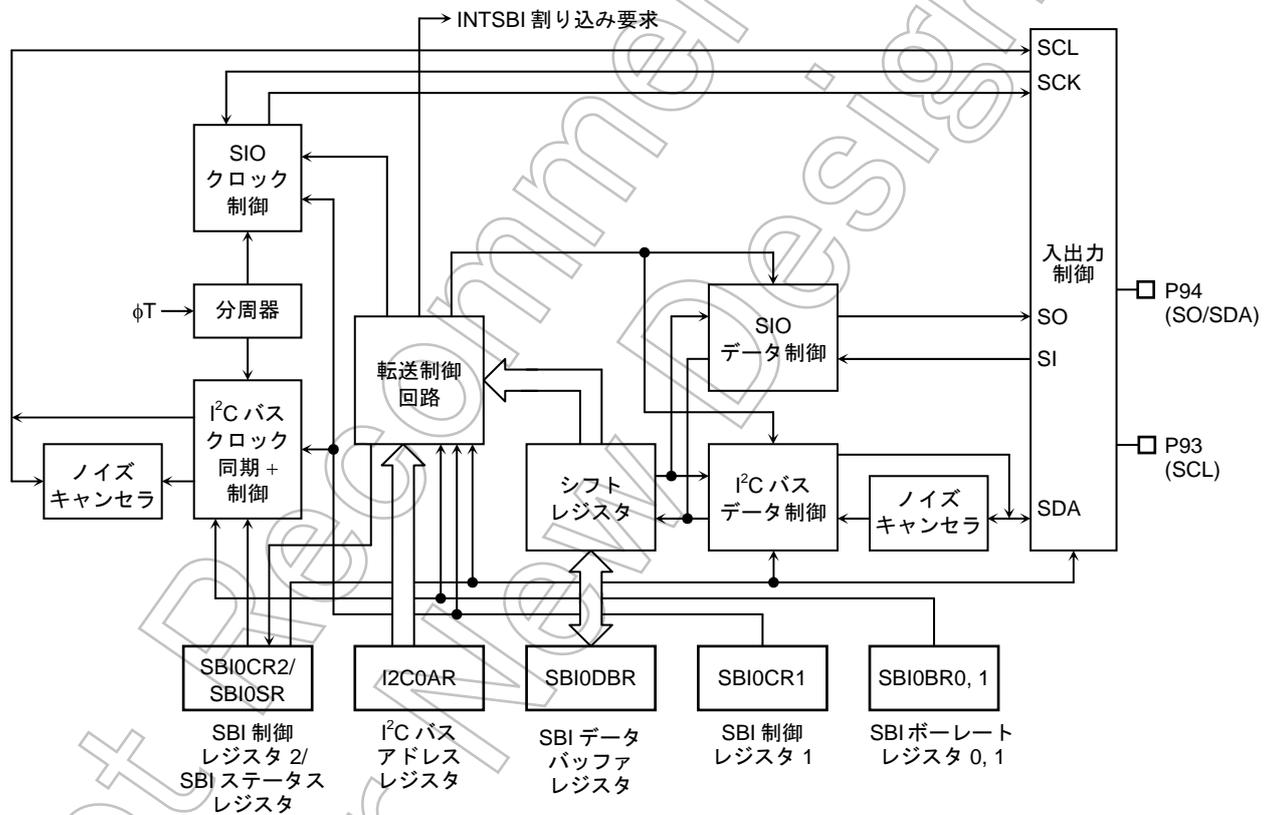


図 3.10.1 シリアルバスインタフェース(SBI)

3.10.2 制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

- シリアルバスインタフェース制御レジスタ 1 (SBI0CR1)
- シリアルバスインタフェース制御レジスタ 2 (SBI0CR2)
- シリアルバスインタフェースデータバッファレジスタ (SBI0DBR)
- I²C バスアドレスレジスタ (I2C0AR)
- シリアルバスインタフェースステータスレジスタ (SBI0SR)
- シリアルバスインタフェースポーレートレジスタ 0 (SBI0BR0)
- シリアルバスインタフェースポーレートレジスタ 1 (SBI0BR1)

上記レジスタは、使用するモードによって機能が異なります。詳細は、3.10.4「I²Cバスモード時の制御」をご参照ください。

3.10.3 I²C バスモード時のデータフォーマット

I²Cバスモード時のデータフォーマットを図 3.10.2に示します。

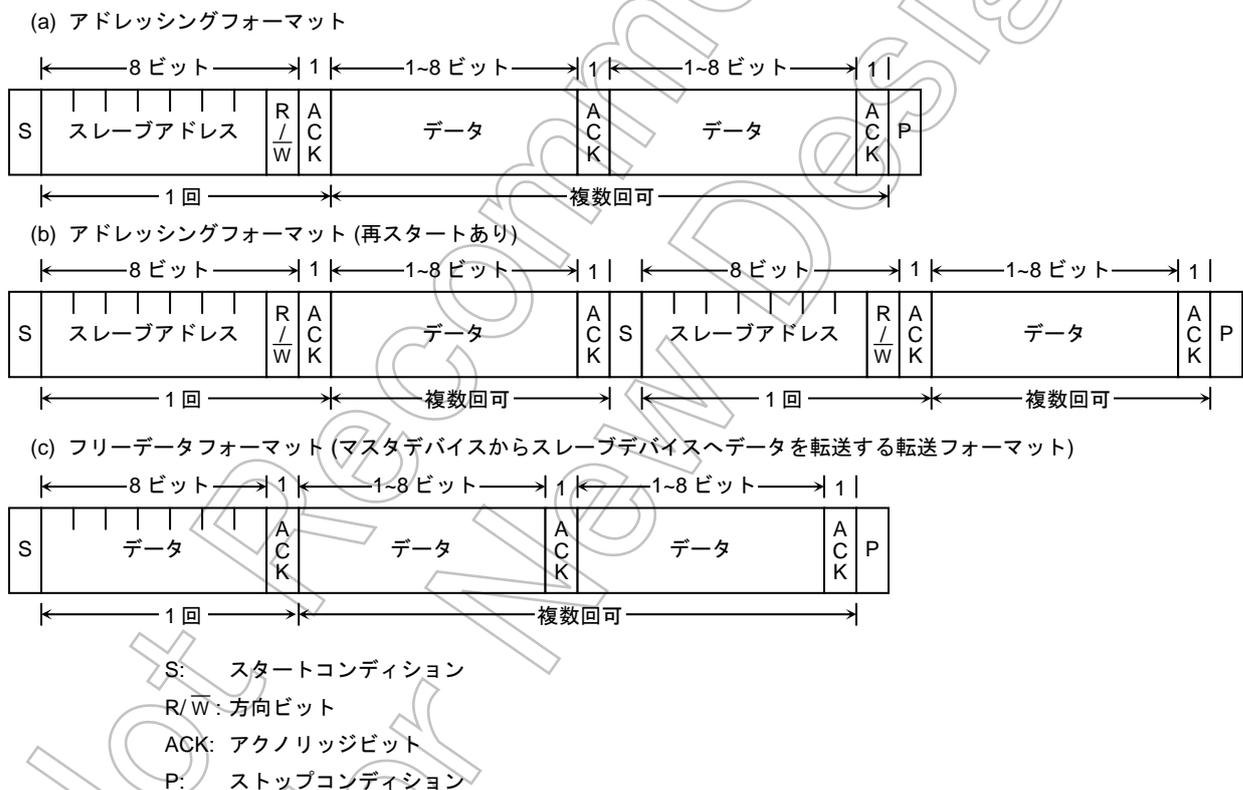


図 3.10.2 I²C バスモード時のデータフォーマット

3.10.4 I²C バスモード時のコントロールレジスタ

シリアルバスインタフェース (SBI) を I²C バスモードで使用するときの制御および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 1

	7	6	5	4	3	2	1	0
Bit symbol	BC2	BC1	BC0	ACK		SCK2	SCK1	SCK0/ SWRMON
Read/Write	W			R/W		W		R/W
リセット後	0	0	0	0		0	0	0/1 (注 3)
機能	転送ビット数の選択 (注 1)			アクリジ メントク ロック 0: 発生 しない 1: 発生する		内部 SCL 出力クロックの 周波数選択 (注 2) とリセットモニタ		

SBI0CR1
(1240H)
リード
モディファイ
アライト
できません。

内部 SCL 出力クロックの周波数選択 <SCK2:0> @ライト

000	n=5	—	(注 3)	$\left. \begin{array}{l} \text{システムクロック: } f_{\text{SYS}} \\ \text{(クロックギア } 1/f_{\text{SYS}}) \\ f_{\text{SYS}} = 20 \text{ MHz (SCL 端子への} \\ \text{出力)} \\ \text{周波数} = \frac{f_{\text{SYS}}}{2^n + 8} \text{ [Hz]} \end{array} \right\}$
001	n=6	—	(注 3)	
010	n=7	—	(注 3)	
011	n=8	75.8 kHz		
100	n=9	38.5 kHz		
101	n=10	19.4 kHz		
110	n=11	9.73 kHz		
111	(Reserved)	(Reserved)		

ソフトウェアリセット状態モニタ <SWRMON> @リード

0	ソフトウェアリセット中
1	初期値

→アクリジメントのためのクロック発生を選択

0	アクリジのためのクロックを発生しない。
1	アクリジのためのクロックを発生する。

→転送ビット数の選択

<BC2:0>	<ACK> = 0 のとき		<ACK> = 1 のとき	
	クロック数	データ長	クロック数	データ長
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

注1) SCL 端子クロックの周波数については、3.10.5 (3)「シリアルクロック」を参照してください。

注2) SCK0 の初期値は“0”、SWRMON の初期値は“1”です。

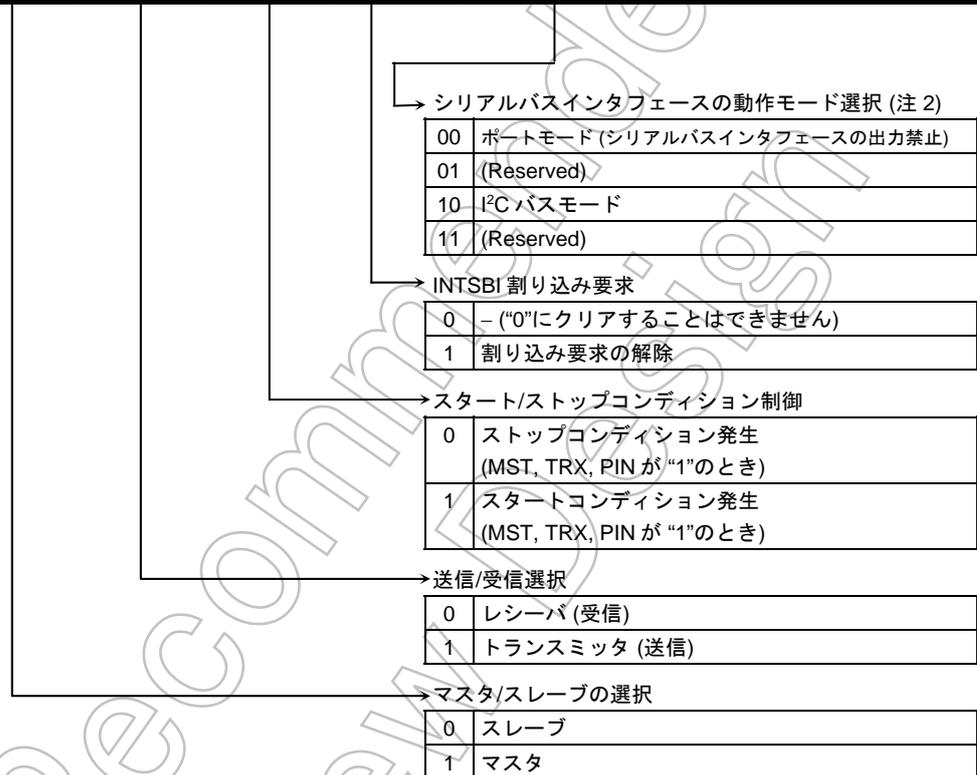
注3) 本 I²C バス回路は、高速モードに対応していません。標準モードのみの対応となります。100kbps を超える設定が可能な場合がありますが、I²C 規格の規格外となります。

図 3.10.3 I²C バスモード関係のレジスタ

シリアルバスインタフェース制御レジスタ 2

	7	6	5	4	3	2	1	0
Bit symbol	MST	TRX	BB	PIN	SBIM1	SBIM0	SWRST1	SWRST0
Read/Write	W				W (注 1)		W (注 1)	
リセット後	0	0	0	1	0	0	0	0
機能	マスタ/ スレーブの 選択	送信/受信の 選択	スタート/ ストップコン ディションの 発生	INTSBI 割り込み 要求解除	シリアルバスインタフェース の動作モード選択 (注 2) 00:ポートモード 01:(Reserved) 10:I ² C バスモード 11:(Reserved)		ソフトウェアリセットの 発生 最初に“10”、次に“01”を 書き込むと、ソフトリセッ トが発生します。	

SBI0CR2
(1243H)
リード
モディファイ
アイト
できません。



注 1) このレジスタをリードすると、SBI0SR レジスタとして機能します。

注 2) ポートモードへの切り替えは、バスフリーを確認してから行ってください。

また、ポートモードから I²C バスモードへの切り替えは、ポートの状態が “H” になっていることを確認してから行ってください。

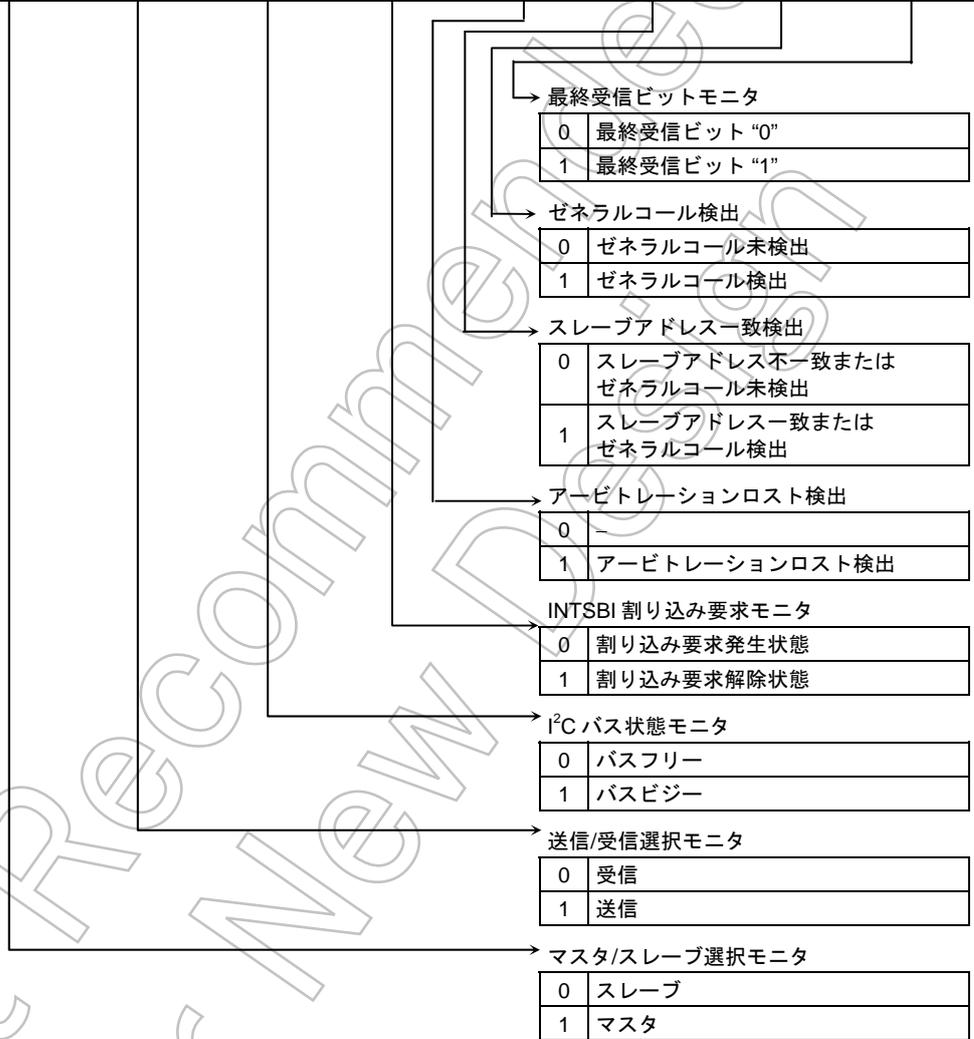
図 3.10.4 I²C バスモード関係のレジスタ

シリアルバスインタフェースステータスレジスタ

SBIOSR
(1243H)

リード
モディファイ
アライズ
できません。

	7	6	5	4	3	2	1	0
Bit symbol	MST	TRX	BB	PIN	AL	AAS	AD0	LRB
Read/Write	R							
リセット後	0	0	0	1	0	0	0	0
機能	マスタ/ スレーブ 選択モニタ	送信/受信 選択モニタ	I ² Cバス 状態モニタ	INTSBI 割り込み 要求モニタ	ア ー ビ ト レー シ ョ ン ロ ス ト 検 出 0: - 1: 検 出	スレーブ アドレ ス一致検 出 0: 未検 出 1: 検 出	ゼネラル コール検 出 0: 未検 出 1: 検 出	最終受信 ビット モニタ 0: "0" 1: "1"



注) このレジスタをライトすると、SBIOCR2として機能します。

図 3.10.5 I²Cバスモード関係のレジスタ

シリアルバスインタフェースポーレートレジスタ 0

SBI0BR0
(1244H)
リード
モディファイ
ライト
できません

	7	6	5	4	3	2	1	0
Bit symbol	-	I2SBI0						
Read/Write	W	R/W						
リセット後	0	0						
機能	"0" をライトしてください。		IDLE2 0: 停止 1: 動作					

→ IDLE2 時の動作

0	停止
1	動作

シリアルバスインタフェースポーレートレジスタ 1

SBI0BR1
(1245H)
リード
モディファイ
ライト
できません

	7	6	5	4	3	2	1	0
Bit symbol	P4EN	-						
Read/Write	W							
リセット後	0	0						
機能	内部 クロック 0: 停止 1: 動作	"0" をライトしてください。						

→ 内部ポーレート回路制御

0	停止
1	動作

シリアルバスインタフェースデータバッファレジスタ

SBI0DBR
(1241H)
リード
モディファイ
ライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Read/Write	R (受信)/W (送信)							
リセット後	不定							

- 注 1) 送信データ書き込み時には、データを MSB (ビット 7) 側につめてライトしてください。また、受信データは LSB 側に格納されます。
- 注 2) SBI0DBR は、書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令 (RMW) ではアクセスできません。

I²C バスアドレスレジスタ

I2C0AR
(1242H)
リード
モディファイ
ライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	スレーブデバイスとして動作するときのスレーブアドレスの設定							アドレス 認識モード の指定

↓
アドレス認識モードの指定

0	スレーブアドレスを認識する。
1	スレーブアドレスを認識しない。

図 3.10.6 I²C バスモード関係のレジスタ

3.10.5 I²C バスモード時の制御

(1) アクノリッジメントモードの指定

SBI0CR1<ACK> を“1”にセットしておくこと、アクノリッジメントモードとして動作します。マスタのときには、アクノリッジ信号のためのクロックを 1 クロック付加します。トランスミッタモードのときには、このクロックの期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA 端子を“L”レベルに引き、アクノリッジ信号を発生します。

<ACK> を“0”に設定しておくこと、非アクノリッジメントモードとして動作し、マスタのときにアクノリッジ信号のためのクロックを発生しません。

(2) 転送ビット数の選択

SBI0CR1<BC2:0> により、次に送受信するデータのビット数を選択します。

<BC2:0> はスタートコンディションにより“000”にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外の場合、<BC2:0> は一度設定された値を保持します。

(3) シリアルクロック

1. クロックソース

SBI0CR1<SCK2:0> で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。通信ボーレートを設定する場合、本紙記載の下記計算式に合わせて t_{LOW} の最小幅など、I²C バス規定を満たす通信ボーレートを選択してください。

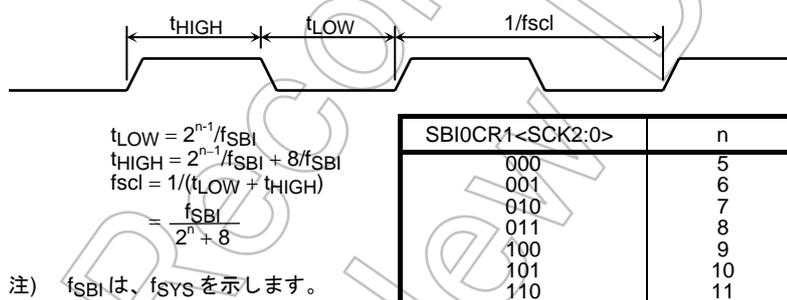


図 3.10.7 クロックソース

2. クロック同期化

I²C バスでは、端子の構造上バスをワイヤード AND で駆動させるため、クロック端子を最初に“L”レベルに引いたマスタが、“H”レベルを出力しているマスタのクロックを無効にします。このため、“H”レベルを出力しているマスタは、これを検出し対応する必要があります。

クロック同期化機能を持っており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に2つのマスタが同時に存在した場合を例に挙げて以下に示します。

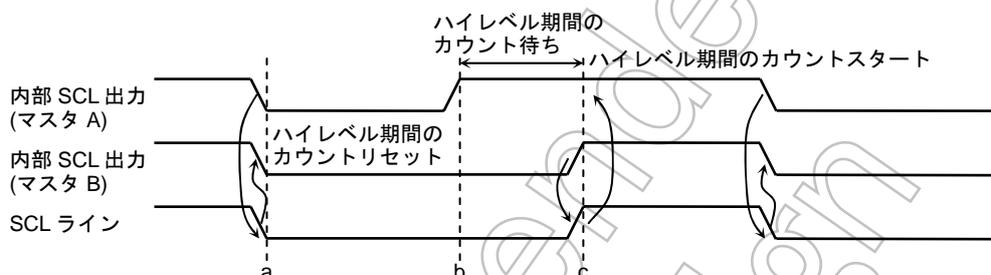


図 3.10.8 クロック同期化の例

“a”点でマスタ A が内部 SCL 出力を“L”レベルに引くことで、バスの SCL ラインは“L”レベルになります。マスタ B はこれを検出し、マスタ B の“H”レベル期間のカウントをリセットし、内部 SCL 出力を“L”レベルに引きます。

“b”点でマスタ A は“L”レベル期間のカウントを終わり、内部 SCL 出力を“H”レベルにします。しかし、マスタ B がバスの SCL ラインを“L”レベルに保持し続けているので、マスタ A は“H”レベル期間のカウントを止めます。マスタ A は、“c”点でマスタ B が内部 SCL 出力を“H”レベルにし、バスの SCL ラインが“H”レベルになったことを検出後、“H”レベル期間のカウントを始めます。

以上のように、バス上のクロックはバスに接続されているマスタの中で最も短い“H”レベル期間を持つマスタと、最も長い“L”レベル期間を持つマスタによって決定されます。

(4) スレーブアドレスとアドレス認識モードの設定

スレーブデバイスとして動作させるときは、I2C0AR にスレーブアドレス <SA6:0> と <ALS> を設定します。

<ALS> に“0”を設定すると、アドレス認識モードになります。

(5) マスタ/スレーブの選択

SBI0CR2<MST> を“1”に設定すると、マスタデバイスとして動作します。

<MST> を“0”に設定すると、スレーブデバイスとして動作します。<MST> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより“0”にクリアされます。

(6) トランスミッタ/レシーバの選択

SBI0CR2 <TRX>の設定で、トランスミッタ/レシーバの選択ができます。<TRX> = 1 でトランスミッタ、<TRX> = 0 でレシーバとして動作します。

スレーブモードでアドレッシングフォーマットのデータ転送を行う場合、デバイスは1バイト目にスレーブアドレスと方向ビット (R/ \bar{W}) を受信します。受信したスレーブアドレスが I2C0AR の値 (デバイスの持つスレーブアドレス) と同じであれば、方向ビットに従って<TRX>の値が変化します。R/ \bar{W} = 1 (スレーバ受信) であれば、<TRX>は 0 にクリアされ、アクノリッジを返し、後に続くデータを受信します。R/ \bar{W} = 0 (スレーバ送信) であれば、<TRX>は 1 にセットされ、アクノリッジを返し、データを送信します。また、ゼネラルコール (1バイト目のデータがすべて 0) は、R/ \bar{W} = 0 なので、<TRX>は 0 にクリアされ、アクノリッジを返し、後に続くデータを受信します。

マスタモードの場合、スレーブデバイスからアクノリッジが返ってくると、送信した R/ \bar{W} に従って<TRX>の値が変化します。R/ \bar{W} = 1 (マスタ送信) であれば、<TRX>は 1 にセットされ、R/ \bar{W} = 0 (マスタ受信) であれば、<TRX>は 0 にクリアされます。アクノリッジが返ってこないときは、以前の状態を保ちます。

<TRX> は I²C バス上のストップコンディションの検出またはアービトレーションロストの検出で、ハードウェアにより “0” にクリアされます。

(7) スタート/ストップコンディションの発生

SBI0SR<BB> が “0” のとき、SBI0CR2<MST, TRX, BB, PIN> に “1111” を書き込むと、バス上にスタートコンディションと、データバッファレジスタに書き込んだスレーブアドレス、方向ビットが出力されます。あらかじめ、<ACK> に “1” を設定してください。

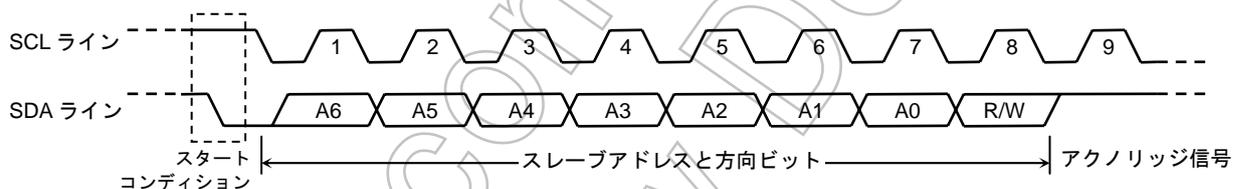


図 3.10.9 スタートコンディションの発生とスレーブアドレスの発生

<BB> = “1” のとき、<MST, TRX, PIN> に “111”、<BB> に “0” を書き込むと、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

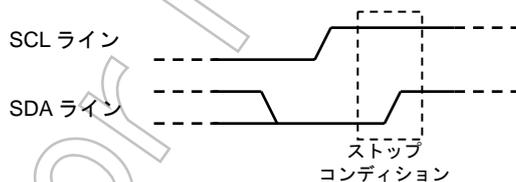


図 3.10.10 ストップコンディションの発生

また、SBI0SR<BB> を読み出すことで、バスの状態を知ることができます。<BB> は、バス上のスタートコンディションを検出すると “1” にセットされ (バスビジー状態)、ストップコンディションを検出すると “0” にクリアされます (バスフリー状態)。

なお、マスタモードでのストップコンディション発生については制約事項がありますので、3.10.6 (4) 「ストップコンディションの発生」を参照してください。

(8) 割り込みサービス要求と解除

スレーブアドレスまたはデータ転送によるシリアルバスインタフェース割り込み要求 (INTSBI) が発生すると、SBI0CR2<PIN> が “0” にクリアされます。<PIN> が “0” の間、SCL ラインを “L” レベルに引きます。

<PIN> は 1 ワードの送信または受信が終了すると “0” にクリアされ、SBI0DBR にデータを書き込むか、SBI0DBR からデータを読み出すと “1” にセットされます。

<PIN> が “1” にセットされてから、SCL ラインが開放されるまで、 t_{LOW} の時間がかかります。

アドレス認識モード (I2C0AR<ALS> = “0”) では、受信したスレーブアドレスが I2C0AR にセットした値と同じとき、またはゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したときに、<PIN> が “0” にクリアされます。プログラムで SBI0CR2<PIN> に “1” を書き込むと “1” にセットされますが、“0” を書き込んでも “0” にクリアされません。

(9) シリアルバスインタフェースの動作モード

SBI0CR2<SBIM1:0> でシリアルバスインタフェースの動作モードを設定します。

I2C バスモードで使用するとき、シリアルバスインタフェース端子の状態が “H” になっていることを確認後、<SBIM1:0> を “10” に設定します。

ポートモードへの切り替えは、バスがフリーであることを確認してから行ってください。

(10) アービトレーションロスト検出モニタ

I²C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

I²C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。“a” 点のビットまでマスタ A、マスタ B とも同じデータを出力し、“a” 点でマスタ A が “L” レベルを出力、マスタ B が “H” レベルを出力すると、バスの SDA ラインはワイヤード AND で駆動されるために、マスタ A よって “L” レベルに引かれます。“b” 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA 端子データ、すなわちマスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を “アービトレーションロスト” と呼びます。マスタ B は SDA 端子を開放し、ほかのマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

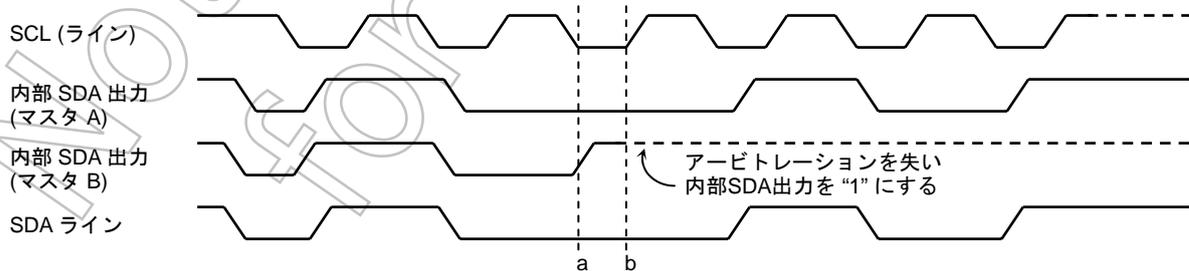


図 3.10.11 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合、アービトレーションロストになり、SBIOSR<AL> が“1”にセットされます。

<AL> が“1”にセットされると SBIOSR<MST, TRX> は“00”にリセットされ、スレーブレシーバモードになります。そのため、<AL> が“1”にセットされた後のデータ転送ではクロックの出力を停止します。

<AL> は、SBIODBR にデータを書き込むか、SBIODBR からデータを読み込む、または SBIOCR2 にデータを書き込むと“0”にリセットされます。

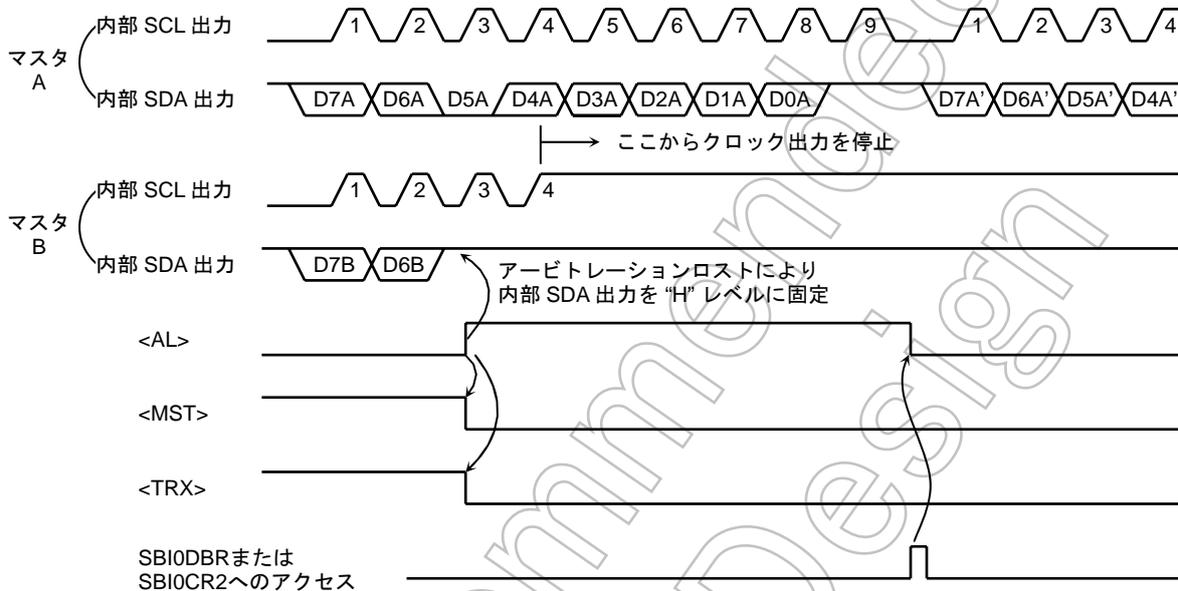


図 3.10.12 マスタ B の場合の例 (D7A = D7B, D6A = D6B)

(11) スレーブアドレス一致検出モニタ

SBIOSR<AAS> は、スレーブモード時、アドレス認識モード (I2C0AR<ALS> = “0”) のとき、ゼネラルコールまたは I2C0AR にセットした値と同じスレーブアドレスを受信すると“1”にセットされます。<ALS> = “1” のときは、最初の 1 ワードが受信されると“1”にセットされます。<AAS> は SBIODBR にデータを書き込むか、SBIODBR からデータを読み出すと“0”にクリアされます。

(12) ゼネラルコール検出モニタ

SBIOSR<AD0> は、スレーブモード時、ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて“0”) を受信したとき“1”にセットされ、バス上のスタートコンディション、またはストップコンディションが検出されると“0”にクリアされます。

(13) 最終受信ビットモニタ

SBIOSR<LRB> には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。

アクノリッジメントモードのとき、INTSBI 割り込み要求発生直後に SBIOSR<LRB> を読み出すと、ACK 信号が読み出されます。

(14) ソフトウェアリセット

シリアルバスインタフェース回路が外部からのノイズによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBI0CR2<SWRST1:0> へ最初に“10”、次に“01”を書き込むと、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。

このとき、**SBI0CR2<SBIM1:0>** すべてのコントロールレジスタとステータレジスタは、リセット直後の値となります。

また、**<SWRMON>**は、シリアルバスインタフェース回路の初期化が終了すると、自動的に“1”にセットされます。

(15) シリアルバスインタフェースデータバッファレジスタ (**SBI0DBR**)

SBI0DBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。

また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコンディションを発生します。

(16) I²C バスアドレスレジスタ (**I2C0AR**)

I2C0AR<SA6:0> は、スレーブデバイスとして動作する場合のスレーブアドレスを設定するビットです。

また、**I2C0AR<ALS>=“0”** に設定すると、マスタデバイスから出力されるスレーブアドレスを認識し、データフォーマットはアドレッシングフォーマットとなります。**<ALS>=“1”** に設定すると、スレーブアドレスを認識せず、データフォーマットはフリーデータフォーマットとなります。

(17) ボーレートレジスタ (**SBI0BR1**)

I²C バスを使用する前に、ボーレート回路制御レジスタ **SBI0BR1<P4EN>** に“1”を書き込んでください。

(18) IDLE2 設定レジスタ (**SBI0BR0**)

SBI0BR0<I2SBIO> は、IDLE2 モードに遷移した際に動作の許可/禁止を設定するレジスタです。

HALT 命令を実行する前に、あらかじめ設定してください。

3.10.6 I²C バスモード時のデータ転送手順

(1) デバイスの初期化

最初に SBI0BR1<P4EN>, SBI0CR1<ACK, SCK2:0> を設定します。SBI0BR1<P4EN> = “1” を、SBI0CR1 のビット 7~5, 3 には、“0” を書き込んでください。

次に I2C0AR にスレーブアドレス <SA6:0> と <ALS> (アドレッシングフォーマット時、<ALS> = “0”) を設定します。

最後に、SBI0CR2<MST, TRX, BB> に “000”、<PIN> に “1”、<SBIM1:0> に “10”、<SWRST1:0> に “00” を書き込み、初期状態をスレーブレシーバモードにします。

(2) スタートコンディション、スレーブアドレスの発生

1. マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態 (<BB> = “0”) を確認します。

次に、SBI0CR1<ACK> に “1” を書き込んで、アクノリッジメントモードに設定します。また、SBI0DBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = “0” の状態で、SBI0CR2<MST, TRX, BB, PIN> に “1111” を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCL 端子から 9 発のクロックを出力します。最初の 8 クロックで、SBI0DBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを開放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がり、INTSBI 割り込み要求が発生し、<PIN> = “0” にクリアされます。マスタモード時は、<PIN> = “0” の間、SCL ラインを “L” レベルに引きます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBI 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

2. スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または I2C0AR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを “L” レベルに引き、アクノリッジ信号を出力します。

9 クロック目の立ち下がり、INTSBI 割り込み要求が発生し、<PIN> = “0” にクリアされます。スレーブモード時は、<PIN> = “0” の間 SCL ラインを “L” レベルに引きます。

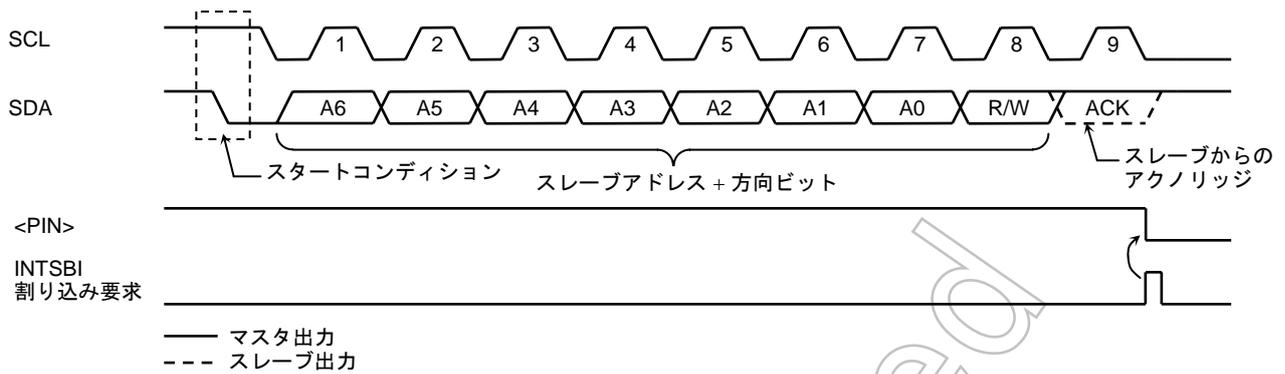


図 3.10.13 スタートコンディションとスレーブアドレスの発生

(3) 1ワードのデータ転送

1ワード転送終了のINTSBI割り込みの処理で<MST>をテストし、マスタモード/スレーブモードの判断をします。

1. マスタモードの場合 (<MST> = “1”)

<TRX>をテストし、トランスミッタ/レシーバの判断をします。

トランスミッタモードの場合 (<TRX> = “1”)

<LRB>をテストします。<LRB>が“1”のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理(後記参照)を行ってデータ転送を終了します。

<LRB>が“0”のとき、レシーバが次のデータを要求しています。次に転送するデータのビット数が8ビットのとき、SBI0DBRに転送データを書き込みます。8ビット以外のときは<BC2:0>、<ACK>を設定し、転送データをSBI0DBRに書き込みます。データを書き込むと<PIN>が“1”になり、SCL端子から次の1ワードのデータ転送用のシリアルクロックが発生され、SDA端子から1ワードのデータが転送されます。転送終了後、INTSBI割り込み要求が発生し、<PIN>が“0”になりSCL端子を“L”レベルに引きます。複数ワードの転送が必要な場合は、上記<LRB>のテストから繰り返します。

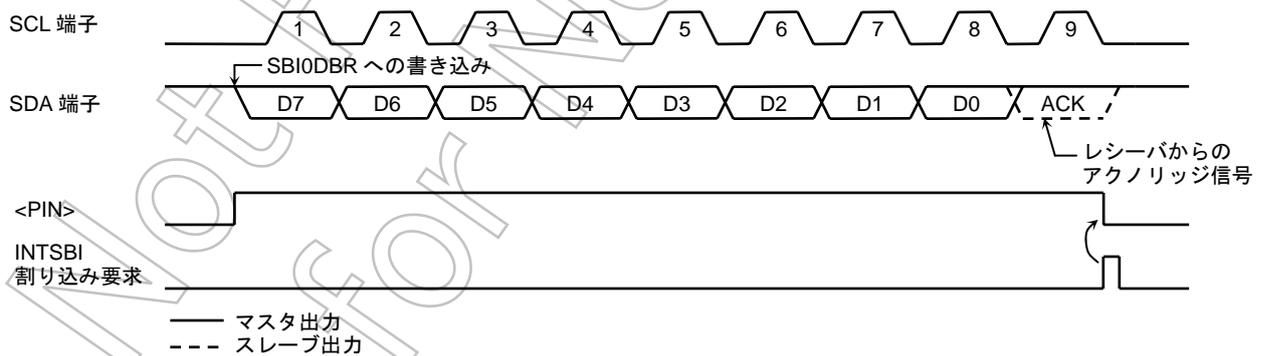


図 3.10.14 <BC2:0> = “000”, <ACK> = “1” のときの例 (トランスミッタモード)

レシーバモードの場合 (<TRX> = "0")

転送するデータのビット数が 8 ビット以外のときは <BC2:0>, <ACK> を設定し、SCL ラインを開放するために SBI0DBR から受信データを読み出します (スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと <PIN> は "1" になり、次の 1 ワードのデータ転送用のシリアルクロックを SCL 端子に出力し、アクノリッジのタイミングで "L" レベルを SDA 端子に出力します。

その後、INTSBI 割り込み要求が発生し、<PIN> が "0" になり SCL 端子を "L" レベルに引きます。SBI0DBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

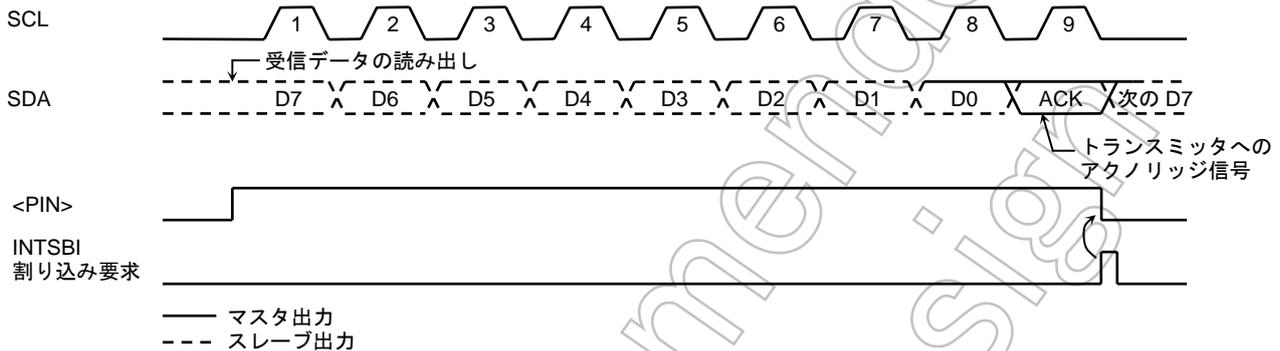


図 3.10.15 <BC2:0> = "000", <ACK> = "1" のときの例 (レシーバモード)

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に <ACK> を "0" にクリアします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC2:0> = "001" に設定し、データを読み出すと、1 ビット転送のためのクロックを発生します。このとき、マスタはレシーバなので、バスの SDA ラインは "H" レベルを保ちます。トランスミッタは ACK 信号としてこの "H" レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

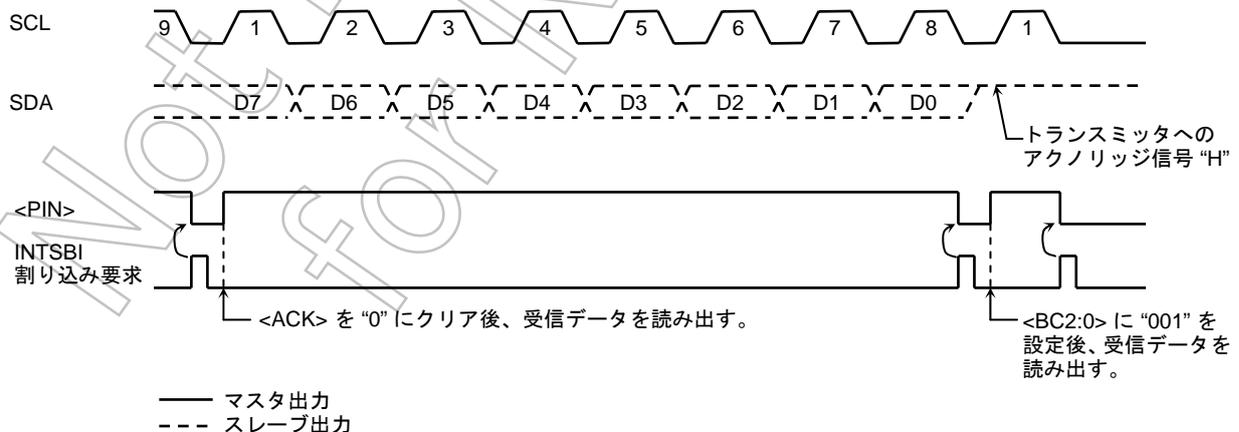


図 3.10.16 マスタレシーバモード時にデータの送信を終了させるときの処理

2. スレーブモードの場合 (<MST> = “0”)

スレーブモード時は、通常のスレーブモードとしての処理またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

スレーブモードのとき、マスタが送ったスレーブアドレスまたはゼネラルコールを受信したとき、もしくは受信したスレーブアドレスが一致した後、またはゼネラルコールを受信した後のデータ転送終了時に、INTSBI 割り込み要求が発生します。また、マスタモードのときにアービトレーションロストを検出すると、スレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSBI 割り込み要求が発生します。INTSBI 割り込み要求が発生すると <PIN> が “0” にリセットされ、SCL 端子を “L” レベルに引きます。SBI0DBR にデータを書き込む、SBI0DBR からデータを読み出す、または <PIN> に “1” を設定すると SCL 端子が tLOW 後に開放されます。

SBI0SR <AL>, <TRX>, <AAS>, <AD0> をテストし、場合分けを行います。表 3.10.1 に、スレーブモード時の状態と必要な処理を示します。

Not Recommended for New Design

表 3.10.1 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<AD0>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、ほかのマスターが送った方向ビットが“1”のスレーブアドレスを受信。	1ワードのビット数を <BC2:0> にセットし、送信するデータを SBI0DBR に書き込みます。
				スレーブレシーバモード時、マスターが送った方向ビットが“1”のスレーブアドレスを受信。	
	0	0	スレーブトランスミッタモード時、1ワードのデータの送信が終了。	<LRB> をテストし、“1”にセットされていた場合、レシーバが次のデータを要求していないので <PIN> に“1”をセット、<TRX> を“0”にリセットし、バスを解放します。<LRB> が“0”にリセットされていた場合、レシーバが次のデータを要求しているため1ワードのビット数を <BC2:0> にセットし、送信するデータを SBI0DBR に書き込みます。	
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、ほかのマスターが送った方向ビットが“0”のスレーブアドレスまたはゼネラルコールを受信。	<PIN> を“1”にセットするために SBI0DBR を読み出す (ダミー読み出し) か、<PIN> に“1”を書き込みます。
				0	
	0	1	1/0	スレーブレシーバモード時、マスターの送った方向ビットが“0”のスレーブアドレスまたはゼネラルコールを受信。	1ワードのビット数を <BC2:0> にセットし、受信データを SBI0DBR から読み出します。
				0	

Not Recommended for New

(4) ストップコンディションの発生

SBI0SR <BB> = “1” のときに、SBI0CR2 <MST, TRX, PIN> に “111”、<BB> に “0” を書き込むと、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

なお、バスの SCL ラインがほかのデバイスにより引かれていた場合、SCL ラインが開放されるのを待ち、SDA 端子が立ち上がって、ストップコンディションが発生します。

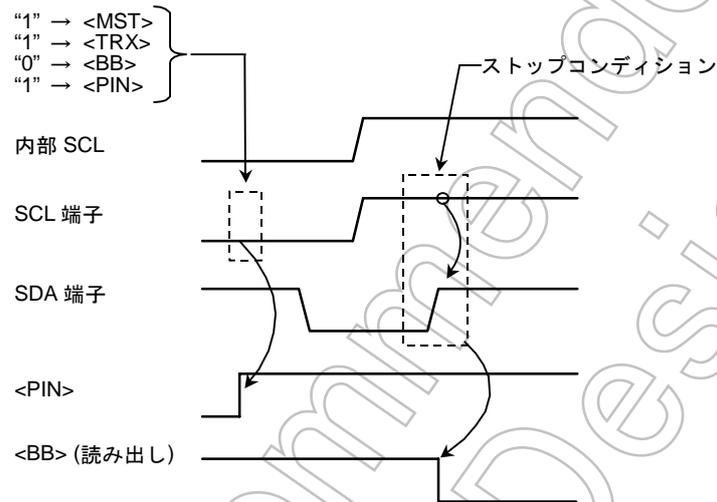


図 3.10.17 ストップコンディションの発生（シングルマスタの場合）

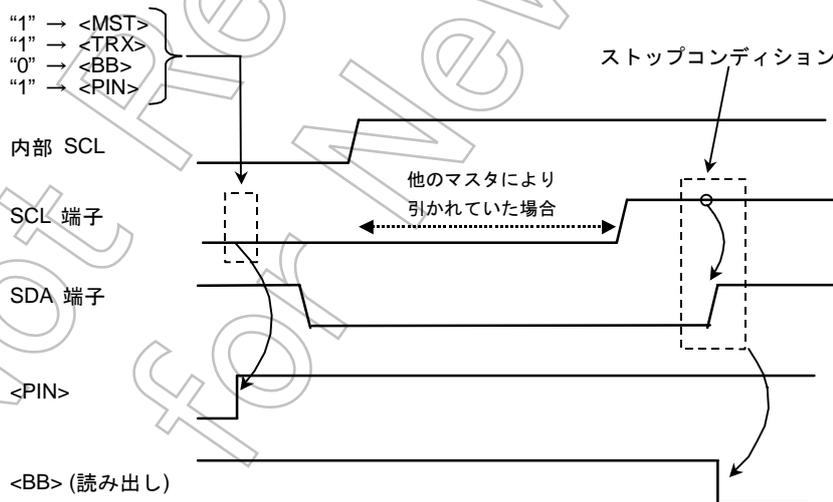


図 3.10.18 ストップコンディションの発生（マルチマスタの場合）

(5) 再スタートの手順

再スタートは、マスタデバイスがスレーブデバイスに対してデータ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートが発生する場合の手順を以下に示します。

まず、SBI0CR2<MST, TRX, BB> に“000”、<PIN> に“1”を書き込み、バスを解放します。このとき SDA 端子は“H”レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、ほかのデバイスから見るとバスはビジー状態のままです。この後、SBI0SR<BB> をテストして“0”になるまで待ち、SCL 端子が開放されたことを確認します。次に<LRB> をテストして“1”になるまで待ち、ほかのデバイスがバスの SCL ラインを“L”レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に、前記(2)の手順でスタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートコンディションの発生まで、最低 4.7 μs のソフトウェアによる待ち時間が必要です。

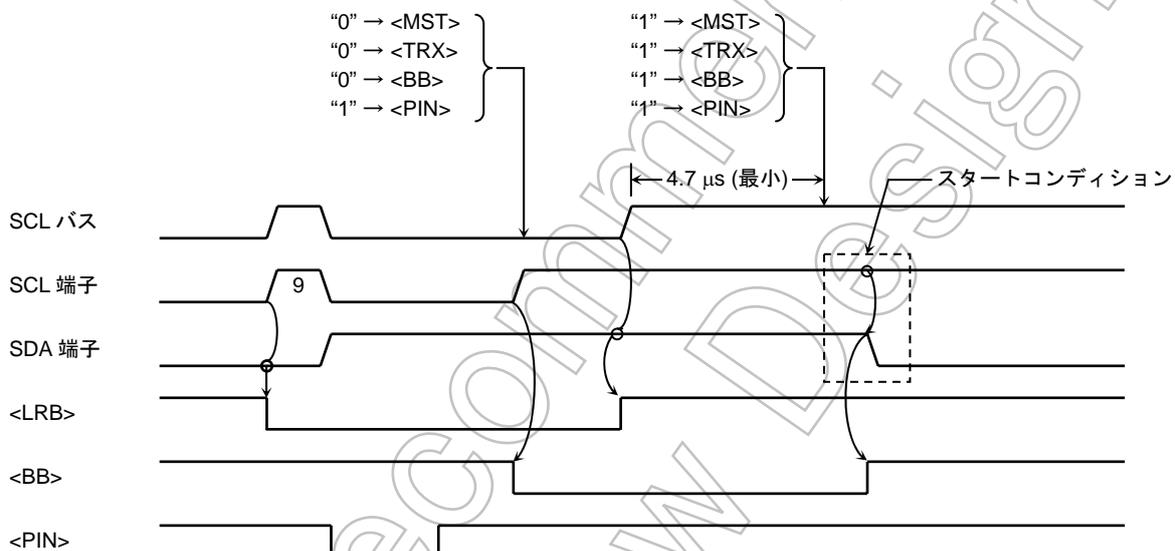


図 3.10.19 再スタートが発生する場合のタイミングチャート

3.11 SPIC (SPI Controller)

SPICは、SDカード、MMC(Multi Media Card)等とSPIモードで接続可能なコントローラです。下記に特長を示します。

- (1) 送信/受信ダブルバッファ構造
- (2) 送信/受信データのCRC7、CRC16を生成可能
- (3) 最大20Mbpsから400Kbps以下までボーレート対応可能
- (4) 複数のSDカード、MMCと接続可能

ただし、 \overline{CS} 端子として \overline{SPCS} 端子1端子のみのため、他の出力ポートを使用する必要があります。

- (5) 汎用クロック同期SIOとしての選択機能

MSB/LSB-first、8/16bitデータ長、クロックの立ち上がり/立ち下がりエッジを選択可能

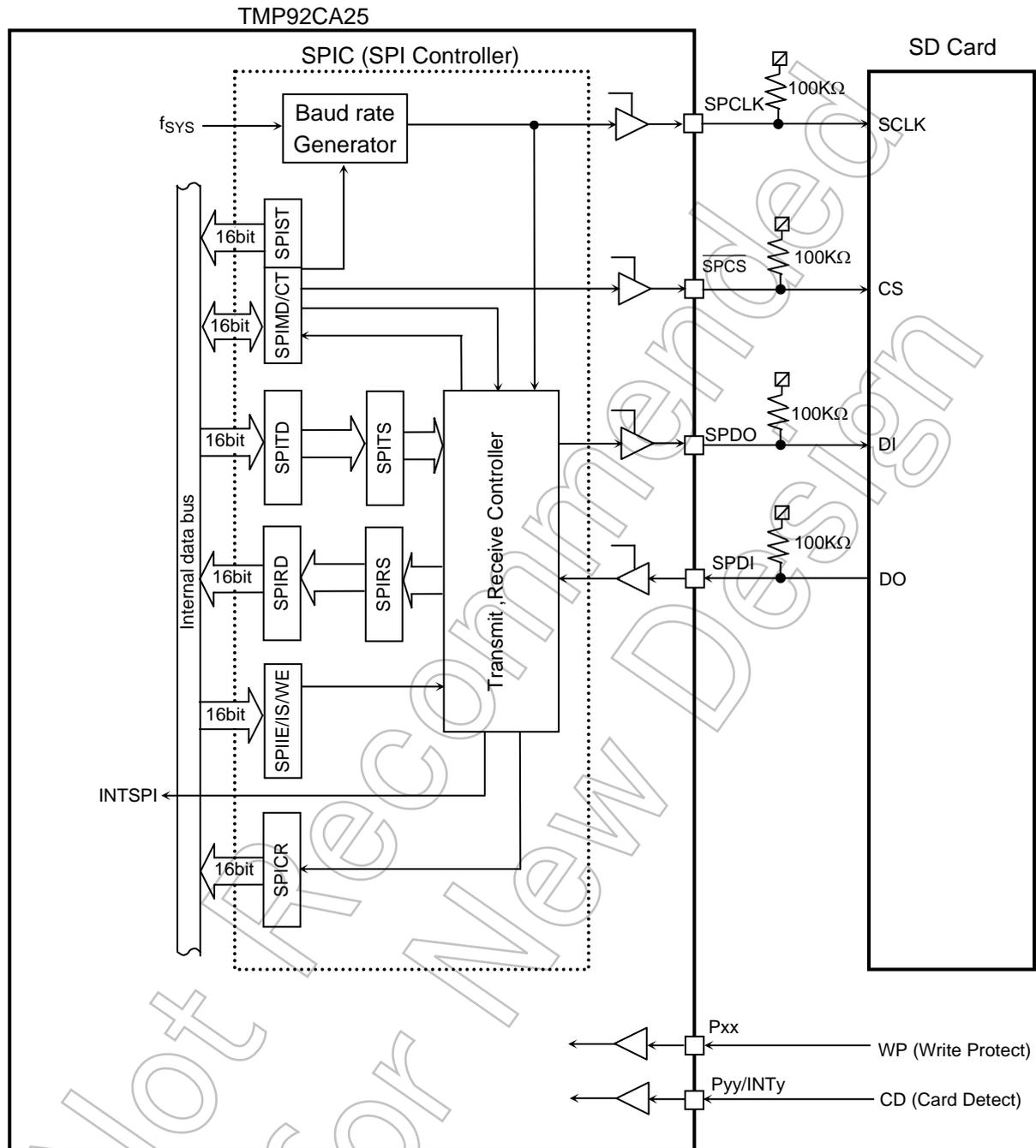
- (6) INTSPIの1本の割り込み機能

RFR(SPIRDの受信バッファがフル)、RFB(SPITDの送信バッファがエンプティ)、REND(SPIRSの受信バッファがフル)、TEND(SPITSの送信バッファがエンプティ)の4種類の割り込みに対してそれぞれ、状態のリード、マスク、割り込みのクリア、クリアイネーブルを制御可能です。

RFR、RFBは、マイクロDMAを使用した高速なデータ処理機能が可能です。

3.11.1 ブロック図

ブロック図、およびSDカードとの接続例を図 3.11.1に示します。



注 1) リセットによって、SPCLK, SPCS, SPDO, SPDI 端子は入力ポートに設定されます(PK4~PK7)。そのためレベル固定用のプルアップ抵抗が必要となります。実際に使用される抵抗値に関しては、最終セット上で確認して下さい。

注 2) WP (Write Protect)、CD (Card Detect) 機能については、SPIC はサポートしていません。任意の入力ポート、外部割込み入力端子を使用し、設計して下さい。

図 3.11.1 SPIC ブロック図と接続例

3.11.2 SFR

SPIC の SFR を以下に説明します。これらは 16 ビットデータバスで CPU に接続されています。

(1) SPIMD(SPI モード設定レジスタ)

SPIMD は動作モード、使用クロックなどを設定するレジスタです。

		SPIMD レジスタ							
		7	6	5	4	3	2	1	0
SPIMD (0820H)	bit Symbol		XEN				CLKSEL2	CLKSEL1	CLKSEL0
	Read/Write		R/W				R/W		
	リセット後		0				1	0	0
	機能		SYSCK 0: disable 1: enable				ボーレート選択 000: f _{sys} 100: f _{sys} /16 001: f _{sys} /2 101: f _{sys} /32 010: f _{sys} /4 110: f _{sys} /64 011: f _{sys} /8 111: Reserved		
		15	14	13	12	11	10	9	8
(0821H)	bit Symbol	LOOPBACK	MSB1ST	DOSTAT		TCPOL	RCPOL	TDINV	RDINV
	Read/Write	R/W				R/W			
	リセット後	0	1	1		0	0	0	0
	機能	LOOPBACK テストモード 0: disable 1: enable	送受信開始 BIT 0: LSB 1: MSB	非送信時の SPDO 端子 状態設定 0: "0"固定 1: "1"固定		送信時の 同期クロック エッジ 設定 0: 立ち下がり 1: 立ち上がり	受信時の 同期クロック エッジ 設定 0: 立ち下がり 1: 立ち上がり	送信時の データ反転 0: disable 1: enable	受信時の データ反転 0: disable 1: enable

図 3.11.2 SPIMD レジスタ

(a) <LOOPBACK>

<XEN>=1,<LOOPBACK>=1 に設定すると、内部 SPDO 出力を内部 SPDI へ入力できますのでテストに使用できます。その際は送信、受信の実行の有無に関係なく常に SPCLK 端子よりクロックを出力します。

設定を変更するときは、送信/受信動作を実行しないでください。

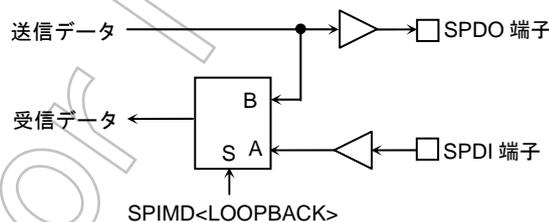


図 3.11.3 <LOOPBACK>レジスタの機能

(b) <MSB1ST>

送信/受信データの開始ビットを選択します。設定を変更するときは、送信/受信動作を実行しないでください。

(c) <DOSTAT>

非送信時(送信終了後や受信動作時)の SPDO 端子の状態を設定します。設定を変更するときは、送信/受信動作を実行しないでください。

(d) <TCPOL>

送信動作の同期クロックのエッジを選択します。設定を変更するときは、<XEN>="0"の状態にしてください。また、<RCPOL>と同じ値を設定してください。

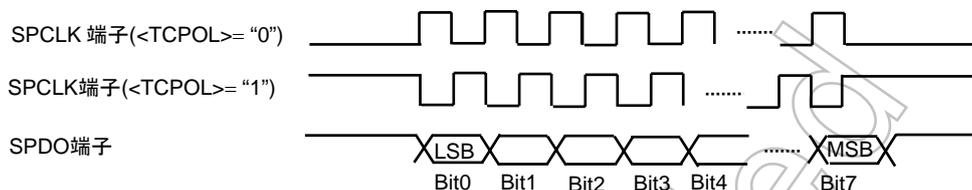


図 3.11.4 <TCPOL>レジスタの機能

(e) <RCPOL>

受信動作の同期クロックのエッジを選択します。設定を変更するときは、<XEN>="0"の状態にしてください。また、<TCPOL>と同じ値を設定してください。

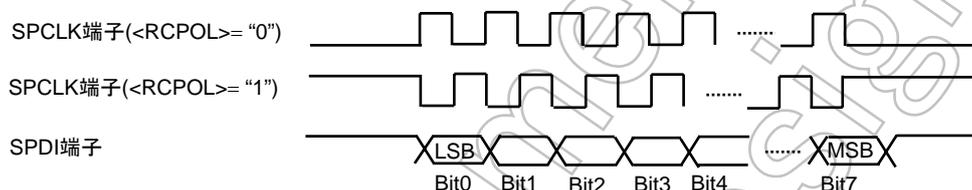


図 3.11.5 <RCPOL>レジスタの機能

(f) <TDINV>

送信データを SPDO 端子から出力するデータを論理反転する/しないを選択します。設定を変更するときは、送信/受信動作を実行しないでください。CRC 演算回路への入力データは、SPITD にライトされた送信データであり<TDINV>は無関係です。また、<TDINV>は、非送信時の SPDO 端子の状態設定<DOSTAT>には無関係です。

(g) <RDINV>

SPDI 端子から入力する受信データを論理反転する/しないを選択します。設定を変更するときは、送信/受信動作を実行しないでください。CRC 演算回路への入力データは、<RDINV>により選択された値です。

(h) <XEN>

IP 内部のクロックの動作設定を選択します。

(i) <CLKSEL2:0>

ボーレート選択レジスタです。ボーレートは f_{sys} より作成していますので下記表のような設定が可能となります。設定を変更するときは、送信/受信動作を実行しないでください。

表 3.11.1 ボーレート設定例

<CLKSEL2:0>	ボーレート値[Mbps]		
	$f_{sys} = 12\text{MHz}$ 時	$f_{sys} = 16\text{MHz}$ 時	$f_{sys} = 20\text{MHz}$ 時
f_{sys}	12	16	20
$f_{sys}/2$	6	8	10
$f_{sys}/4$	3	4	5
$f_{sys}/8$	1.5	2	2.5
$f_{sys}/16$	0.75	1	1.25
$f_{sys}/32$	0.375	0.5	0.625
$f_{sys}/64$	0.1875	0.25	0.3125

(2) SPICT (SPI コントロールレジスタ)

SPICT はデータ長、CRC などを設定するレジスタです。

		SPICT レジスタ							
		7	6	5	4	3	2	1	0
SPICT (0822H)	bit Symbol	CEN	SPCS_B	UNIT16			ALGNEN	RXWEN	RXUEN
	Read/Write	R/W					R/W		
	リセット後	0	1	0			0	0	0
	機能	通信端子 制御 0: disable 1: enable	SPCS 端子 設定 0: "0"出力 1: "1"出力	データ長 選択 0: 8bit 1: 16bit			全 2 重での アライメン ト 0: disable 1: enable	連続受信 動作設定 0: disable 1: enable	UNIT 受信 動作設定 0: disable 1: enable
		15	14	13	12	11	10	9	8
(0823H)	bit Symbol	CRC16_7_B	CRCRX_TX_B	CRCRESET_B				DMAERFW	DMAERFR
	Read/Write	R/W						R/W	
	リセット後	0	0	0				0	0
	機能	CRC 選択 0: CRC7 1: CRC16	CRC データ 0: 送信 1: 受信	CRC 演算 レジスタ 制御 0:リセット 1:リセット 解除				マイクロ DMA 動作 0:Disable 1:Enable	マイクロ DMA 動作 0:Disable 1:Enable

図 3.11.6 SPICT レジスタ

(a) <CRC16_7_B>

CRC7,CRC16 を選択するレジスタです。

(b) <CRCRX_TX_B>

CRC 演算回路への入力データを選択します。送信データと CRC 演算するか、受信データと CRC 演算するかを選択します。

(c) <CRCRESET_B>

CRC 演算レジスタを初期化します。

送信データのCRC16 を計算し、送信データに続いてCRCを送信する手順を、図 3.11.7のフローチャートを用いて説明します。

- (1) CRC7とCRC16のどちらを計算するかSPICTレジスタの<CRC16_7_B>に設定し、送受信のどちらのデータのCRCを計算するか<CRCRX_TX_B>で設定します。
- (2) SPICRレジスタをリセットするため、<CRCRESET_B>に"0"をライトしてから、"1"をライトします。
- (3) 送信データをSPITDレジスタにライトし、全データの送信完了を待ちます。
- (4) SPICRレジスタをリードして、CRCの計算結果を取得します。
- (5) (4)で取得したCRCを(3)と同じ手順で送信します。

受信データのCRC計算も同様の手順で実行できます。

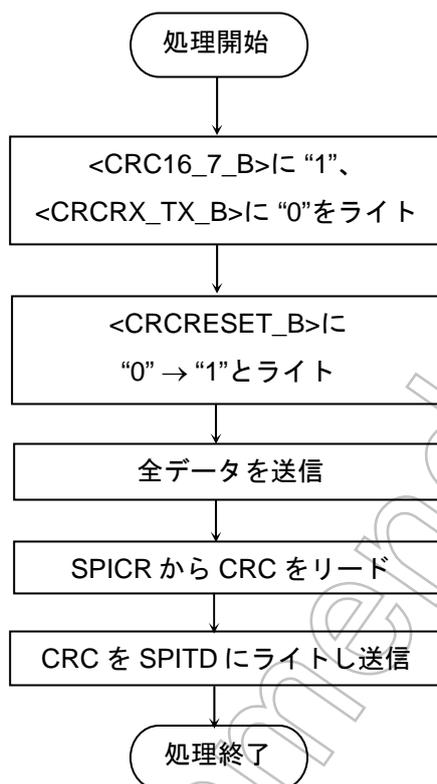


図 3.11.7 CRC 計算手順フローチャート

(d) <DMAERFW>

RFW 割り込みをマイクロ DMA に対応させるために、CPU での割り込みクリアを不要にさせるためのビットです。“1”をライトすると 1 ショット割り込みとなり、SPIWE レジスタによる割り込みクリアが不要になります。

後述の SPIST<RFW>フラグが “0” → “1” に変化する立ち上がり時に、1 ショットの割り込みを CPU に発生します。

(e) <DMAERFR>

RFR 割り込みをマイクロ DMA に対応させるために、CPU での割り込みクリアを不要にさせるためのビットです。“1”をライトすると 1 ショット割り込みとなり、SPIWE レジスタによる割り込みクリアが不要になります。

後述の SPIST<RFR>フラグが “0” → “1” に変化する立ち上がり時に、1 ショットの割り込みを CPU に発生します。

(f) <CEN>

SD カード、MMC との通信端子の許可/禁止設定を選択します。

カードが挿入されていない状態や電源が OFF の場合に、SPDI 端子がフローティング状態になり貫通電流を流す事や $\overline{\text{SPCS}}$, SPCLK, SPDO 端子が “1” を出力しカードに電流を流し込むことを防止するためのレジスタです。

ポート K の PKCR、PKFC レジスタが $\overline{\text{SPCS}}$ 、SPCLK、SPDO、SPDI を選択している状態で <CEN> に “0” をライトすると、SPIDI 端子を入力禁止 (貫通電流防止状態)、 $\overline{\text{SPCS}}$ 、SPCLK、SPDO 端子をハイインピーダンス状態にします。

<CEN> は、カードが挿入されカードの電源を投入し、さらに SPI コントローラへのクロック供給をした後 (SPIMD<XEN>=“1”後)、“1”をライトしてください。

(g) <SPCS_B>

$\overline{\text{SPCS}}$ 端子へ出力する値を設定します。

(h) <UNIT16>

送信/受信のデータ長を選択します。なお、これ以降 データ長を UNIT と記します。設定を変更するときは、送信/受信動作を実行しないでください。

(i) <ALGNEN>

全 2 重通信実行時に、送信/受信を UNIT でアライメントさせるかどうかを選択します。設定を変更するときは、送信/受信動作を実行しないでください。

(j) <RXWEN>

連続受信動作の許可/禁止を設定します。

(k) <RXUEN>

UNIT での受信動作の許可/禁止を設定します。<RXWEN> = "1" の場合、このビットの設定は無効となります。設定を変更するときは、送信/受信動作を実行しないでください。

[送受信動作モード]

SPI コントローラでは下記 8 つの動作モードをサポートしています。これらは、<ALGNEN>、<RXWEN>、<RXUEN> レジスタで選択されます。

表 3.11.2 送受信動作モード

動作モード	レジスタ設定			説明
	<ALGNEN>	<RXWEN>	<RXUEN>	
(1) UNIT 送信	0	0	0	ライトされた送信データを UNIT ごとに送信
(2) 連続送信	0	0	0	ライトされた送信データを順次送信
(3) UNIT 受信	0	0	1	1UNIT のみデータを受信
(4) 連続受信	0	1	0	バッファに空きがあれば自動受信
(5) 非アライメント UNIT 送受信	0	0	1	送信,受信データを UNIT ごとにアライメントせず、同時に 1UNIT の送受信
(6) 非アライメント連続送受信	0	1	0	送信,受信データを UNIT ごとにアライメントせず、同時に連続送受信
(7) アライメント UNIT 送受信	1	0	1	送信,受信データを UNIT ごとにアライメントし、1UNIT の送受信
(8) アライメント連続送受信	1	1	0	送信,受信データを UNIT ごとにアライメントし、連続送受信

UNIT 送信と連続送信の違いについて

UNIT 送信は、送信データシフトレジスタ(SPITS)に空きがあること($SPIST<TEND>=1$)を確認し、データをライトすることで1UNIT ずつ送信されます。

連続送信は、ライトされた送信データを順次送出します。ハードウェアはデータのある限り連続して送出を行うため、送信データライトレジスタ(SPITD)が空いた時点($SPIST<RFW>=1$)で次のデータをライトすることで連続して送信することができます。

UNIT 送信と連続送信を実現するためにハードウェアに違いはなく、使用法により UNIT 送信、連続送信となります。

UNIT送信、連続送信の送信手順フローを図 3.11.8に示します。

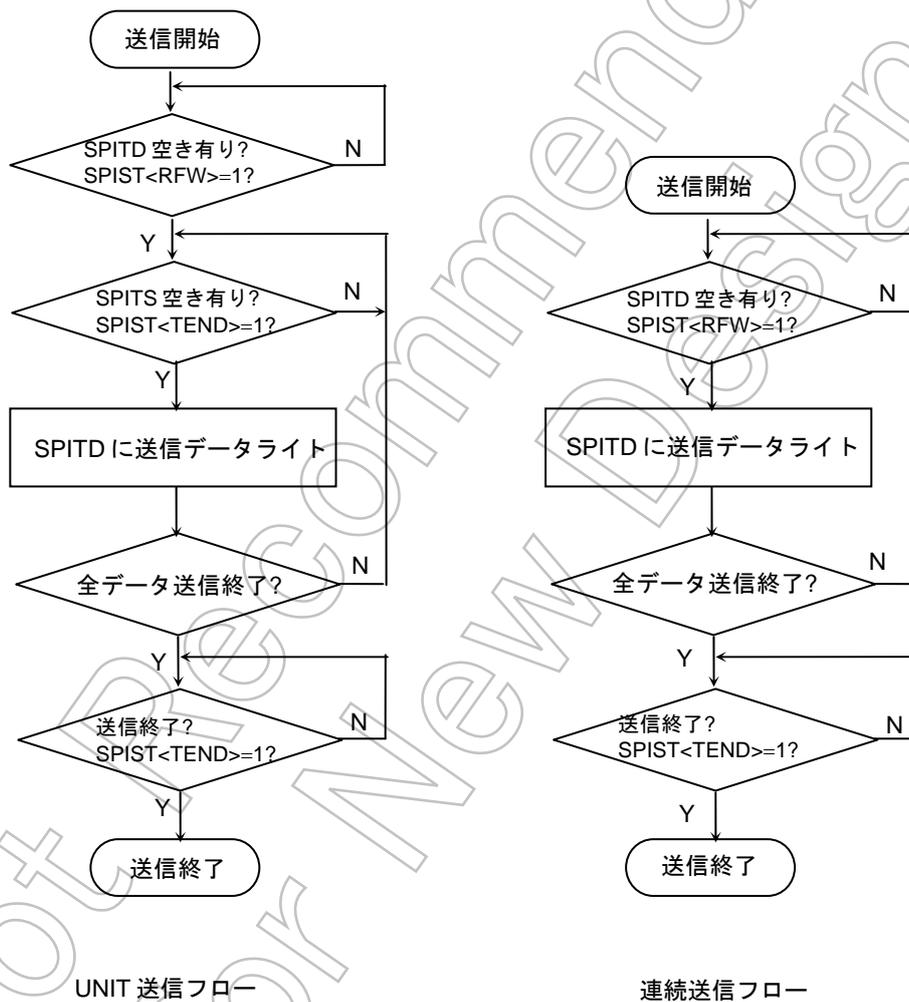


図 3.11.8 UNIT 送信と連続送信フローチャート

UNIT 受信と連続受信の違いについて

UNIT 受信は、1UNIT だけデータを受信するモードです。

SPICT<RXUEN>に“1”をライトすると 1UNIT の受信を行い、受信データレジスタ(SPIRD)に受信データが格納されます。SPICT<RXUEN>に“0”をライトしてから受信データレジスタ(SPIRD)をリードしてください。

<RXUEN> = 1 のまま受信データレジスタ(SPIRD)からデータをリードすると、さらに 1UNIT のデータ受信を自動的に行います。ハードウェア的にはシングルバッファでの連続受信を行うモードです。

UNIT 受信時には、SPIST<REND>のステータスは変化しません。

連続受信は、バッファに空きがある場合に自動的にデータを受信するモードです。

バッファに空きができるたびに、つぎのデータを自動的に受信するため、受信データレジスタ(SPIRD)にデータが格納された時点でデータを読み出すことで、UNIT 毎に途切れることなく連続して受信を行うことができます。ハードウェア的にはダブルバッファでの連続受信を行うモードです。

UNIT受信、連続受信の送信手順フローを図 3.11.9に示します。

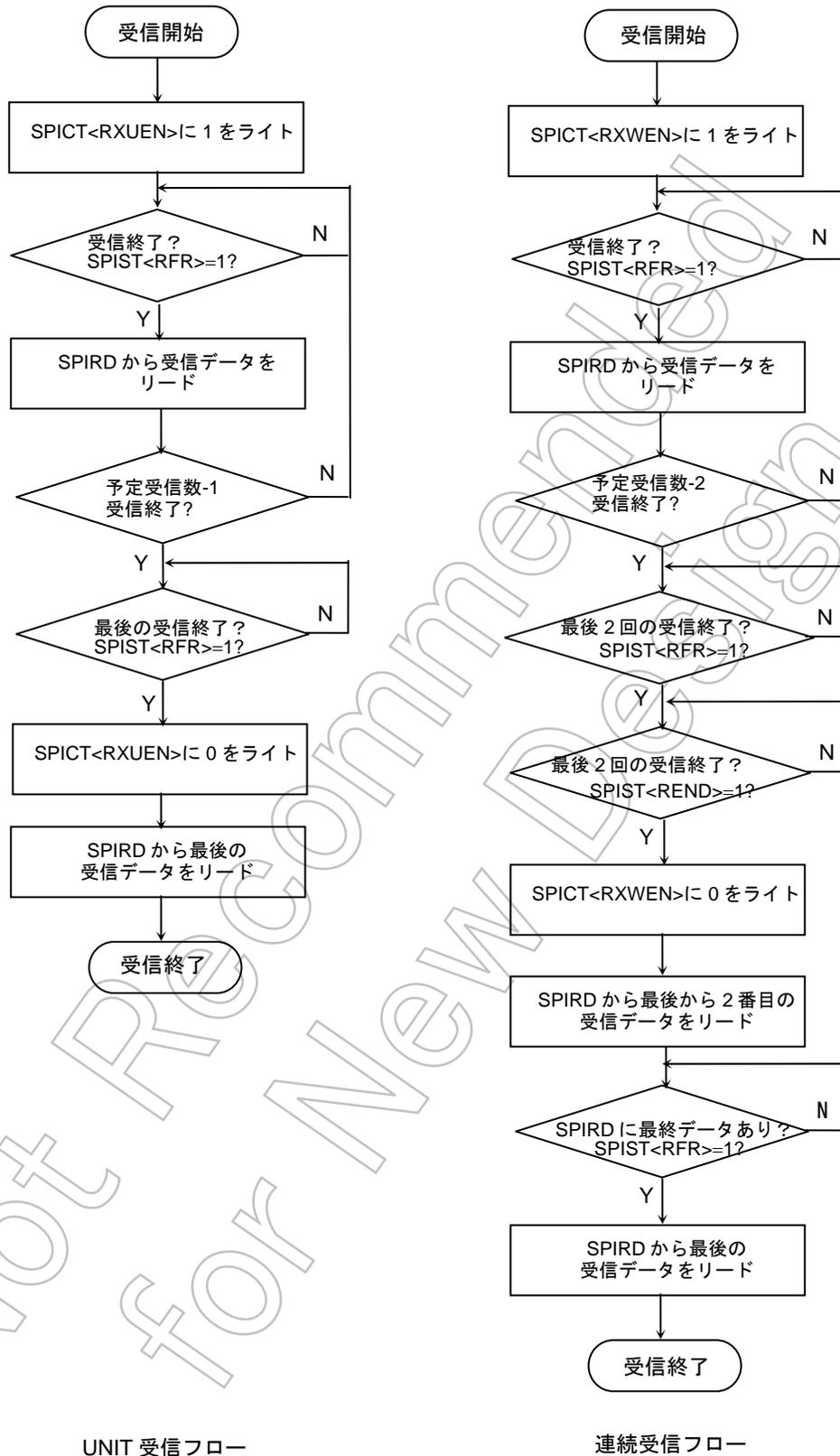
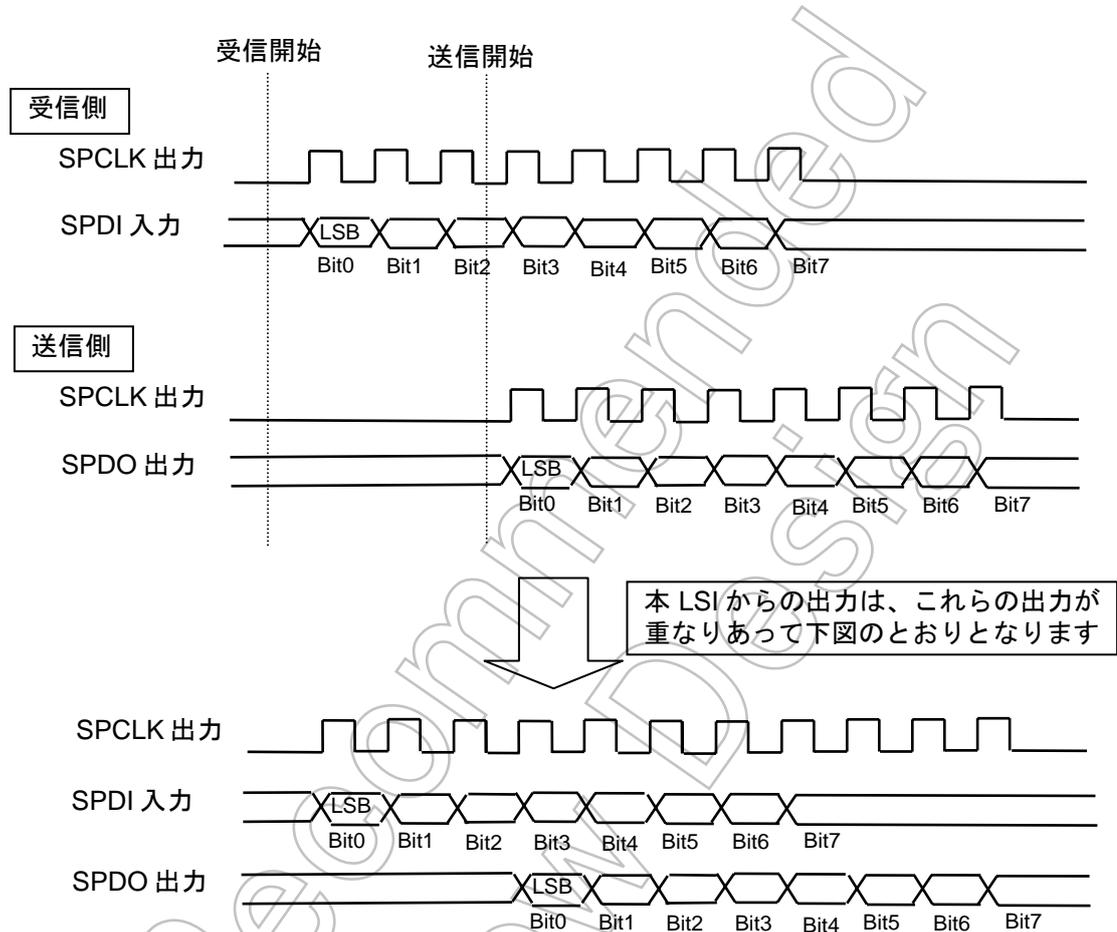


図 3.11.9 UNIT 受信と連続受信フローチャート

非アライメント送受信とアライメント送受信について

非アライメント送受信モードでは送受信が同期を取らず、それぞれが個別に処理されます。例えば、<RXUEN>に1をライトしてUNIT受信をはじめ、その受信が完了する前にSPITDレジスタに送信データをライトした場合、図 3.11.10のような動作になります。



この動作モードでは、受信していない場合でも送信側のクロックが出力されたり、逆に送信していない場合にも受信用のクロックが出力されることがあるので、注意が必要です。

図 3.11.10 非アライメント送受信

アライメント送受信モードは、同時に送受信を行う点は非アライメント送受信と同じですが、データを UNIT ごとに同期を取って送受信を行う部分が異なります。最初に<ALGNEN>に1をライトしてから SPICT<RXUEN>に“1”をライトして UNIT 受信をはじめ、その受信が完了する前に SPITD レジスタに送信データをライトした場合の動作を説明します。

SPICT<ALGNEN>に“1”をライトしてから<RXUEN>に“1”をライトすると、即座には受信は開始されません。これは同時に行うべき送信データがまだ準備されていないためです。SPITD レジスタに送信データをライトするとその時点から送受信が開始されます。

この場合の送受信のそれぞれの動作は図 3.11.11のとおりとなります。

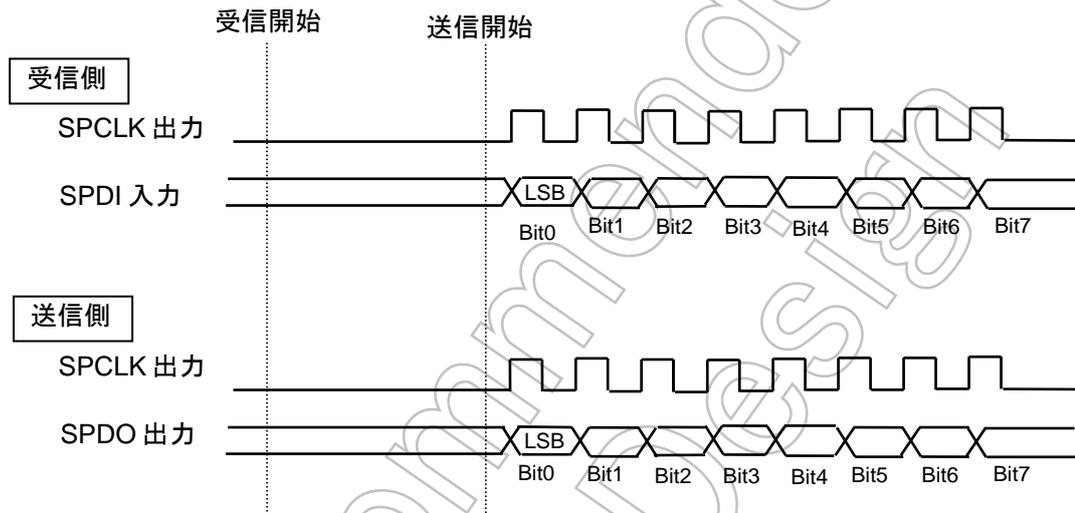


図 3.11.11 アライメント送受信

(3-1) SPIST(SPI ステータスレジスタ)

SPIST は、4つのステータスを示すレジスタです。

		SPIST レジスタ							
		7	6	5	4	3	2	1	0
SPIST (0824H)	bit Symbol	/				TEND	REND	RFW	RFR
	Read/Write	/				R			
	リセット後	/				1	0	1	0
	機能	/				送信動作状態 0: 送信中 1: 非送信中	受信シフトレジスタ状態 0: データ無 1: データ有	送信バッファ状態 0: 未送信 1: 未送信 データ有 データ無	受信バッファ状態 0: 有効 1: 有効 データ無 データ有
		15	14	13	12	11	10	9	8
(0825H)	bit Symbol	/							
	Read/Write	/							
	リセット後	/							
	機能	/							

図 3.11.13 SPIST レジスタ

- (a) <TEND>
送信データシフトレジスタ(SPITS)中に送信すべき有効データがある場合“0”に、またデータを全て送信終了した場合“1”にセットされます。
- (b) <REND>
受信データシフトレジスタ(SPIRS)に有効なデータが無いか、または受信中の場合は、“0”にリセットし、受信終了し受信データリードレジスタに有効データがありデータを移せず保持している場合“1”にセットされます。
データがCPUにリードされ、受信データリードレジスタへ移されると“0”にリセットされます。
- (c) <RFW>
送信データライトレジスタ(SPITD)に送信データをライト後、同データを送信データシフトレジスタに移し、有効データがなくなるまで“0”にリセットし、有効データがなく次のデータを受け可能な場合“1”にセットされます。
- (d) <RFR>
受信データが、受信データシフトレジスタから受信データリードレジスタ(SPIRD)へ移され有効受信データがある場合“1”にセットされ、データがリードされ有効なデータがない場合“0”にリセットされます。

(3-2) SPIIS(SPI 割り込みステータスレジスタ)

SPIIS は、4つの割り込みステータスをリードし、割り込みをクリアするレジスタです。

該当ビットに“1”をライトすることにより、0クリアされます。

本レジスタのステータスは、割り込みソースの状態を示します。

SPI 割り込みイネーブルレジスタ(SPIIE)がマスクされている状態でも、割り込みの状態変化を確認できるレジスタです。

		SPIIS レジスタ							
		7	6	5	4	3	2	1	0
SPIIS (0828H)	bit Symbol					TENDIS	RENDIS	RFWIS	RFRIS
	Read/Write					R/W			
	リセット後					0	0	0	0
	機能					リード 0:割り込み無 1:割り込み有	リード 0:割り込み無 1:割り込み有	リード 0:割り込み無 1:割り込み有	リード 0:割り込み無 1:割り込み有
						ライト 0:Don't care 1:クリア	ライト 0:Don't care 1:クリア	ライト 0:Don't care 1:クリア	ライト 0:Don't care 1:クリア
		15	14	13	12	11	10	9	8
(0829H)	bit Symbol								
	Read/Write								
	リセット後								
	機能								

図 3.11.14 SPIIS レジスタ

(a) <TENDIS>

TEND 割り込みのステータスをリードし、割り込みをクリアするためのビットです。

本ビットへの書き込みをする際には SPIWE(SPI 割り込みステータスライトイネーブルレジスタ)の<TENDWE>が“1”にセットされている必要があります。

(b) <RENDIS>

REND 割り込みのステータスをリードし、割り込みをクリアするためのビットです。

本ビットへの書き込みをする際には SPIWE(SPI 割り込みステータスライトイネーブルレジスタ)の<RENDWE>が“1”にセットされている必要があります。

(c) <RFWDIS>

RFW 割り込みのステータスをリードし、割り込みをクリアするためのビットです。

本ビットへの書き込みをする際には SPIWE(SPI 割り込みステータスライトイネーブルレジスタ)の<RFWWE>が“1”にセットされている必要があります。

(d) <RFRIS>

RFR 割り込みのステータスをリードし、割り込みをクリアするためのビットです。

本ビットへの書き込みをする際には SPIWE(SPI 割り込みステータスライトイネーブルレジスタ)の<RFRWE>が“1”にセットされている必要があります。

(3-3) SPIWE(SPI 割込みステータスライトイネーブルレジスタ)

SPIWE は、4つの割込みステータスビットのクリアイネーブルを設定するレジスタです。

		SPIWE レジスタ								
		7	6	5	4	3	2	1	0	
SPIWE (082AH)	bit Symbol					TENDWE	RENDWE	RFWWE	RFRWE	
	Read/Write					R/W				
	リセット後					0	0	0	0	
	機能					SPIIS <TENDIS> クリア 0: 禁止 1: 許可	SPIIS <RENDIS> クリア 0: 禁止 1: 許可	SPIIS <RFWIS> クリア 0: 禁止 1: 許可	SPIIS <RFRIS> クリア 0: 禁止 1: 許可	
		15	14	13	12	11	10	9	8	
(082BH)	bit Symbol									
	Read/Write									
	リセット後									
	機能									

図 3.11.15 SPIWE レジスタ

- (a) <TENDWE>
SPIIS<TENDIS>ビットのクリア許可を設定するビットです。
- (b) <RENDWE>
SPIIS<RENDIS>ビットのクリア許可を設定するビットです。
- (c) <RFWWE>
SPIIS<RFWIS>ビットのクリア許可を設定するビットです。
- (d) <RFRWE>
SPIIS<RFRIS>ビットのクリア許可を設定するビットです。

(3-4) SPIIE(SPI 割り込みイネーブルレジスタ)

SPIIE は、4つの割り込み出力の許可を設定するレジスタです。

SPIIE レジスタ

		7	6	5	4	3	2	1	0
SPIIE (082CH)	bit Symbol					TENDIE	RENDIE	RFWIE	RFRIE
	Read/Write					R/W			
	リセット後					0	0	0	0
	機能					TEND 割り込み 0: 禁止 1: 許可	REND 割り込み 0: 禁止 1: 許可	RFW 割り込み 0: 禁止 1: 許可	RFR 割り込み 0: 禁止 1: 許可
		15	14	13	12	11	10	9	8
(082DH)	bit Symbol								
	Read/Write								
	リセット後								
	機能								

図 3.11.16 SPIIE レジスタ

- (a) <TENDIE>
TEND 割り込みの許可を設定するビットです。
- (b) <RENDIE>
REND 割り込みの許可を設定するビットです。
- (c) <RFWIE>
RFW 割り込みの許可を設定するビットです。
- (d) <RFRIE>
RFR 割り込みの許可を設定するビットです。

(3-5) SPIIR(SPI 割り込み要求レジスタ)

SPIIR は、CPU に対する 4 つの割り込み発生状態を示すレジスタです。

SPI 割り込みイネーブルレジスタ(SPIIE)がマスクされている状態では、常に“0”(割り込み発生無し)の読出しとなるレジスタです。

		SPIIR レジスタ							
		7	6	5	4	3	2	1	0
SPIIR (082EH)	bit Symbol					TENDIR	RENDIR	RFWIR	RFRIR
	Read/Write					R			
	リセット後					0	0	0	0
	機能					TEND 割り込み 0: なし 1: 発生	REND 割り込み 0: なし 1: 発生	RFW 割り込み 0: なし 1: 発生	RFR 割り込み 0: なし 1: 発生
		15	14	13	12	11	10	9	8
(082FH)	bit Symbol								
	Read/Write								
	リセット後								
	機能								

図 3.11.17 SPIIR レジスタ

- (a) <TENDIR>
TEND 割り込みの発生状態を示すビットです。
- (b) <RENDIR>
REND 割り込みの発生状態を示すビットです。
- (c) <RFWIR>
RFW 割り込みの発生状態を示すビットです。
- (d) <RFRIR>
RFR 割り込みの発生状態を示すビットです。

(4) SPICR(SPI CRC レジスタ)

SPICR は送信/受信データの CRC 演算結果を格納するレジスタです。

		SPICR レジスタ							
SPICR (0826H)	bit Symbol	7	6	5	4	3	2	1	0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	CRC 演算結果格納レジスタ[7:0]							
(0827H)	bit Symbol	15	14	13	12	11	10	9	8
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	CRC 演算結果格納レジスタ[15:8]							

図 3.11.18 SPICR レジスタ

(a) <CRC15:0>

SPICR<CRC16_7_b><CRCRX_TX_B><CRCRESET_B>レジスタの設定に従って演算した結果を格納するレジスタです。CRC16 の場合 全ビット有効で、CRC7 の場合下位 7 ビットが有効です。

送信データの CRC16 を演算する場合の動作手順を例として説明します。

まず、<CRC16_7_b> = “1”, <CRCRX_TX_B> = “0”, <CRCRESET_B> = “0”をライト後に、<CRCRESET_B> = “1”をライトして CRC 演算レジスタの初期化を実施します。次に送信データを SPITD レジスタへライトし CRC を演算する全データを送信終了させます。

送信終了は SPIST<TEND>で確認してください。終了後、SPICR レジスタをリードすると送信データの CRC16 をリードできます。

(5) SPITD(SPI 送信データレジスタ)

SPITD は送信データをライトするレジスタです。

SPITD レジスタ

		7	6	5	4	3	2	1	0
SPITD (0830H)	bit Symbol	TXD7	TXD6	TXD5	TXD4	TXD3	TXD2	TXD1	TXD0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	送信データレジスタ[7:0]							
		15	14	13	12	11	10	9	8
(0831H)	bit Symbol	TXD15	TXD14	TXD13	TXD12	TXD11	TXD10	TXD9	TXD8
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	送信データレジスタ[15:8]							

図 3.11.19 SPITD レジスタ

(a) <TXD15:0>

送信データをライトするレジスタです。リードすると最後にライトしたデータがリードされます。本レジスタが空になっていない状態で、次のデータをライトすると上書きされますので その場合は RFW のステータスを確認後 ライトしてください。

SPICT<UNIT16> = “1” の場合 全ビット有効で、SPICT<UNIT16> = “0” の場合下位 8 ビットが有効です。

(6) SPIRD(SPI 受信データレジスタ)

SPIRD は受信データをリードするレジスタです。

SPIRD レジスタ

		7	6	5	4	3	2	1	0
SPIRD (0832H)	bit Symbol	RXD7	RXD6	RXD5	RXD4	RXD3	RXD2	RXD1	RXD0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	受信データレジスタ[7:0]							
		15	14	13	12	11	10	9	8
(0833H)	bit Symbol	RXD15	RXD14	RXD13	RXD12	RXD11	RXD10	RXD9	RXD8
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	受信データレジスタ[15:8]							

図 3.11.20 SPIRD レジスタ

(a) <RXD15:0>

受信データをリードするレジスタです。リードする際には RFR のステータスを確認後リードしてください。

SPICT<UNIT16> = “1” の場合 全ビット有効で、SPICT<UNIT16> = “0” の場合下位 8 ビットが有効です。

(7) SPITS(SPI 送信データシフトレジスタ)

SPITS は送信データをシリアルへ変換するレジスタです。主に LSI のテスト時に変換状態を確認するために使用します。

SPITS レジスタ

		7	6	5	4	3	2	1	0
SPITS (0834H)	bit Symbol	TSD7	TSD6	TSD5	TSD4	TSD3	TSD2	TSD1	TSD0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	送信データシフトレジスタ[7:0]							
		15	14	13	12	11	10	9	8
(0835H)	bit Symbol	TSD15	TSD14	TSD13	TSD12	TSD11	TSD10	TSD9	TSD8
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	送信データシフトレジスタ[15:8]							

図 3.11.21 SPITS レジスタ

(a) <TSD15:0>

送信データのシフトレジスタの状態をリードするレジスタです。

SPICT<UNIT16> = “1” の場合 全ビット有効で、SPICT<UNIT16> = “0” の場合 下位 8 ビットが有効です。

(8) SPIRS(SPI 受信データシフトレジスタ)

SPIRS は受信データシフトレジスタをリードするレジスタです。

SPIRS レジスタ

		7	6	5	4	3	2	1	0
SPIRS (0836H)	bit Symbol	RSD7	RSD6	RSD5	RSD4	RSD3	RSD2	RSD1	RSD0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	受信データシフトレジスタ[7:0]							
		15	14	13	12	11	10	9	8
(0837H)	bit Symbol	RSD15	RSD14	RSD13	RSD12	RSD11	RSD10	RSD9	RSD8
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	受信データシフトレジスタ[15:8]							

図 3.11.22 SPIRS レジスタ

(a) <RSD15:0>

受信データシフトレジスタの状態をリードするレジスタです。

SPICT<UNIT16> = “1”の場合 全ビット有効で、SPICT<UNIT16> = “0”の場合下位 8 ビットが有効です。

3.11.3 動作タイミング

以下に各種、動作タイミングを説明します。

- 設定条件 1

UNIT = 8 ビット、LSB ファーストでの送信

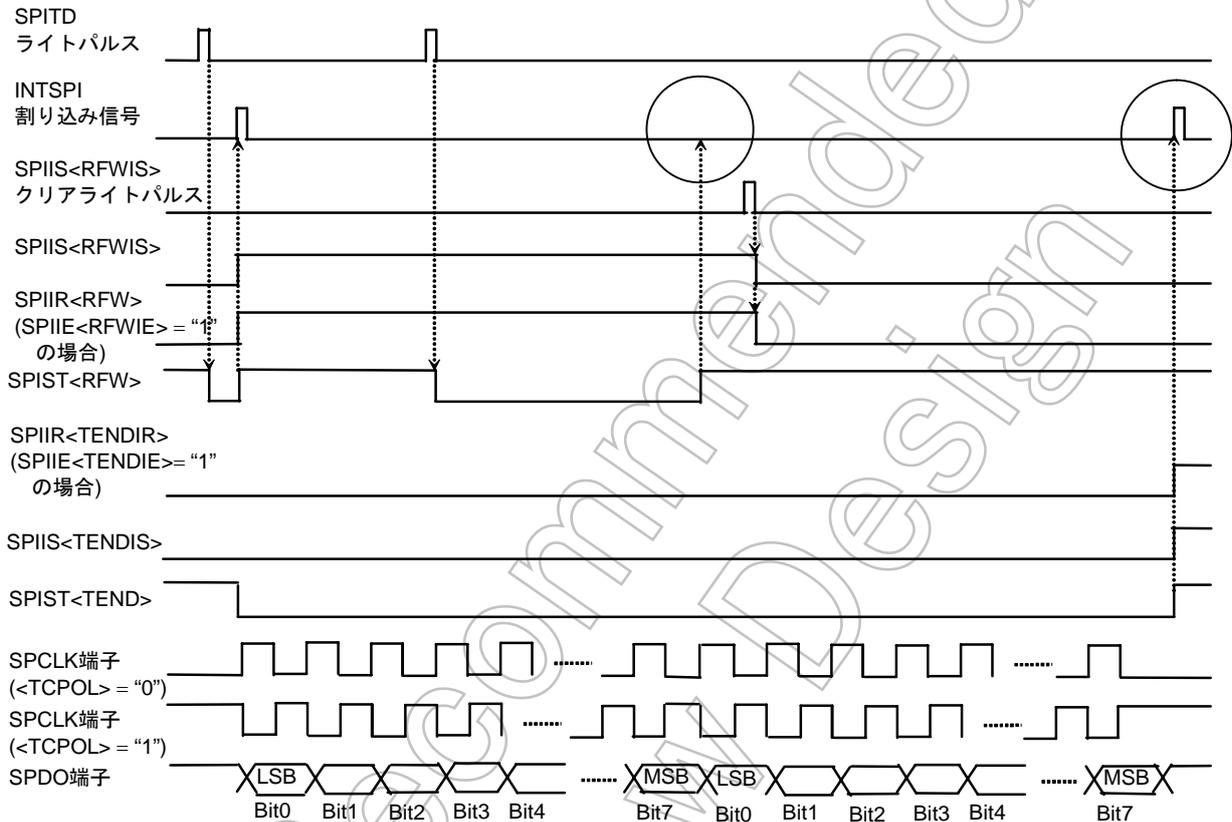


図 3.11.23 送信タイミング図

上記において、SPITD レジスタに送信データを書き込み直後に、SPIST<RFW>フラグが“0”にセットされます。SPITD レジスタのデータが送信用レジスタ(SPITS)にシフトが完了すると SPIST<RFW>ビットは“1”にセットされ、次の送信データの書き込み準備が整ったことを知らせ、同時に SPCLK 端子および SPDO 端子からクロックとデータの送信が開始されます。

この時、SPIST<RFW>フラグの立ち上がりに同期して、SPIIS、SPIIR が変化し INTSPI 割り込みが発生します。SPIIR レジスタが“1”にセットされたままの状態では SPIST<RFW>が“1”にセットされても、割り込みは発生しません。

また、送信が終了し SPITD レジスタおよび SPITS レジスタに送信すべきデータがなくなった時点で SPIST<TEND>フラグが“1”にセットされ、送信データとクロックが停止し、同時に INTSPI 割り込みが発生します。この時、SPIIS<RFW>をクリアしておかないと、割り込みソースの種類が異なる場合で SPIST<TEND>が“1”にセットされても、INTSPI は発生しませんので、注意が必要です。

- 設定条件 2

UNIT = 8 ビット、LSB ファーストでの UNIT 受信

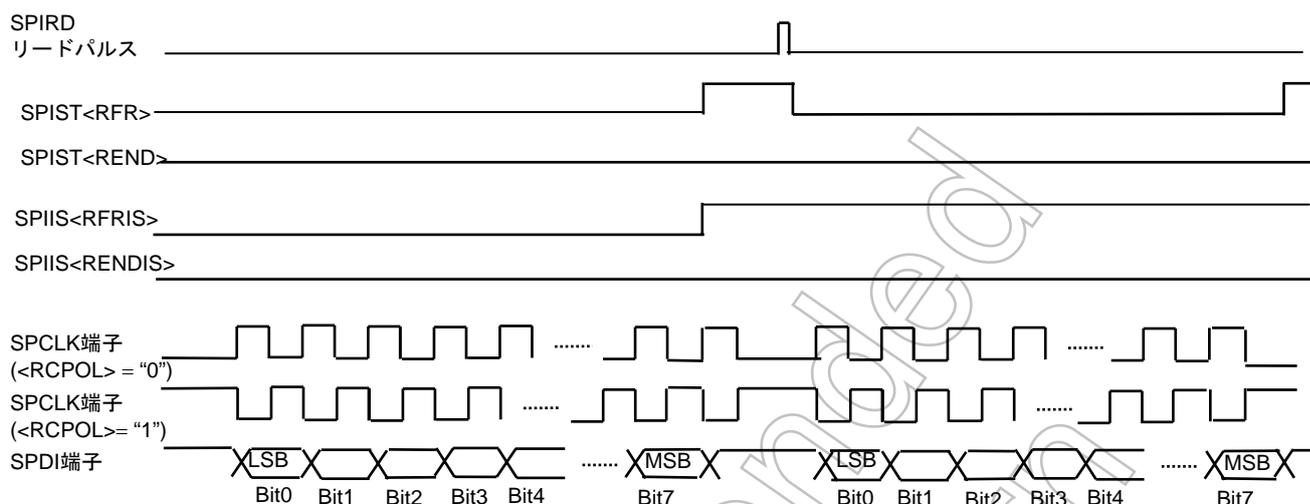


図 3.11.24 UNIT 受信(SPICT<RXUEN>=1)の場合

SPIRD レジスタ内に有効な受信データがない (SPIST<RFR> = "0") 状態で、SPICT<RXUEN> = "1"を設定すると UNIT 受信を開始します。受信が終了し SPIRD レジスタに受信データが格納されると、SPIST<RFR>フラグが"1"にセットされ、受信データの読み出し準備が整ったことを知らせます。SPIRD レジスタを読み出すと直後に、SPIST<RFR>フラグが"0"にクリアされ、次のデータの受信を自動的に開始します。

UNIT 受信を終了するには、SPIST<RFR>フラグが"1"にセットされているのを確認後、SPICT<RXUEN> = "0"を設定します。

- 設定条件 3

UNIT = 8 ビット、LSB ファーストでの連続受信

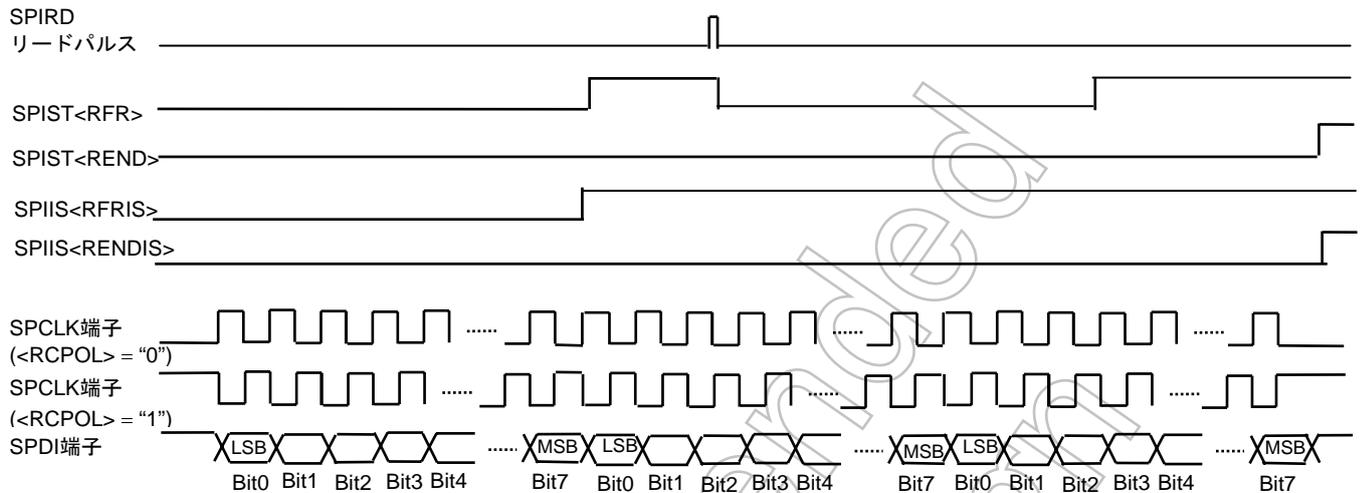


図 3.11.25 連続受信(SPICT<RXWEN> = 1)の場合

SPIRD レジスタ内に有効な受信データがない (SPIST<RFR> = “0”) 状態で、SPICT<RXWEN> = “1”を設定すると連続受信を開始します。1回目の受信が終了し SPIRD レジスタに受信データが格納されると、SPIST<RFR>フラグが“1”にセットされ、受信データの読み出し準備が整ったことを知らせます。連続受信は、SPIRD、SPIRS レジスタ双方に受信データが格納されるまで連続して受信動作を行います。

連続受信を終了するには、SPIST<RFR>フラグおよび SPIIS<RENDIS>フラグが“1”にセットされているのを確認後、SPICT<RXWEN> = “0”を設定します。

- 設定条件 4

UNIT = 8 ビット、LSB ファーストでのマイクロ DMA を利用した送信

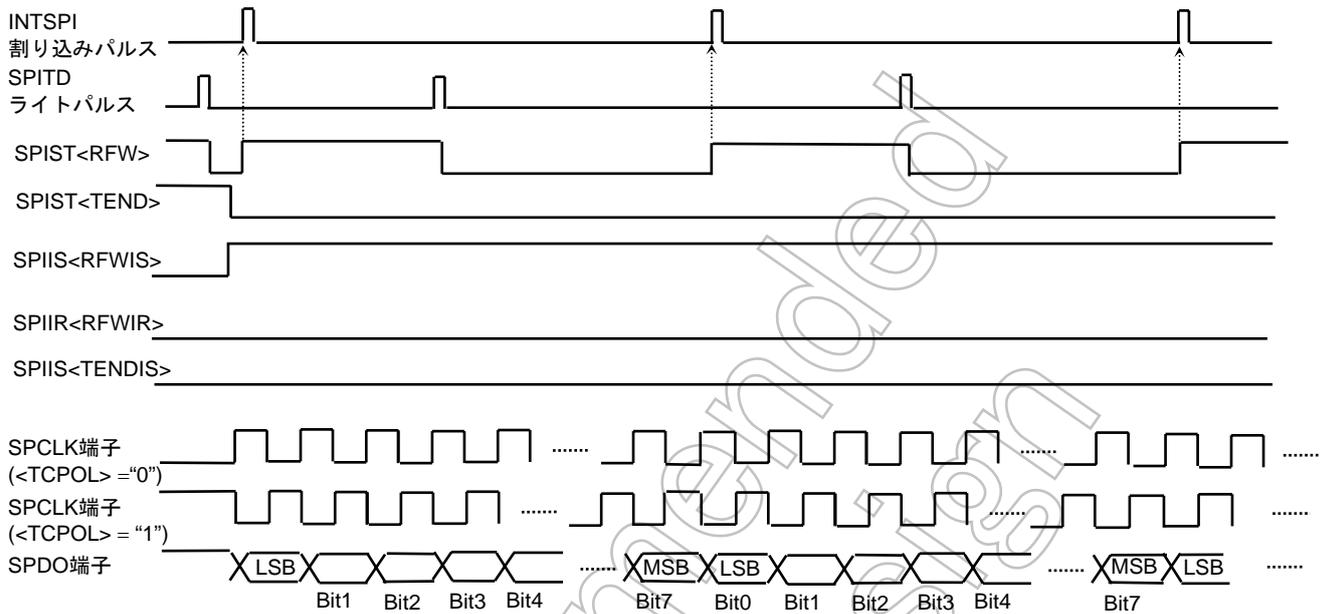


図 3.11.26 マイクロ DMA 転送(送信)

SPIIE レジスタの全ビットを“0”に、SPICT<DMAERFW> = “1”に設定した状態で、SPITD レジスタに送信データを書き込み送信開始します。

SPITD レジスタのデータが SPITS レジスタにシフトされ SPIST<RFW>ビットが“1”にセットされ、次の送信データの書き込み準備が整うと INTSPI 割り込み(RFW 割り込み)が発生します。

この割り込みによってマイクロ DMA の起動をかけることにより、連続したデータの送信を自動的に行うことができます。

なお、マイクロ DMA での送信を行うには、あらかじめマイクロ DMA の設定が必要です。

- 設定条件 5

UNIT = 8 ビット、LSB ファーストでのマイクロ DMA を利用した受信

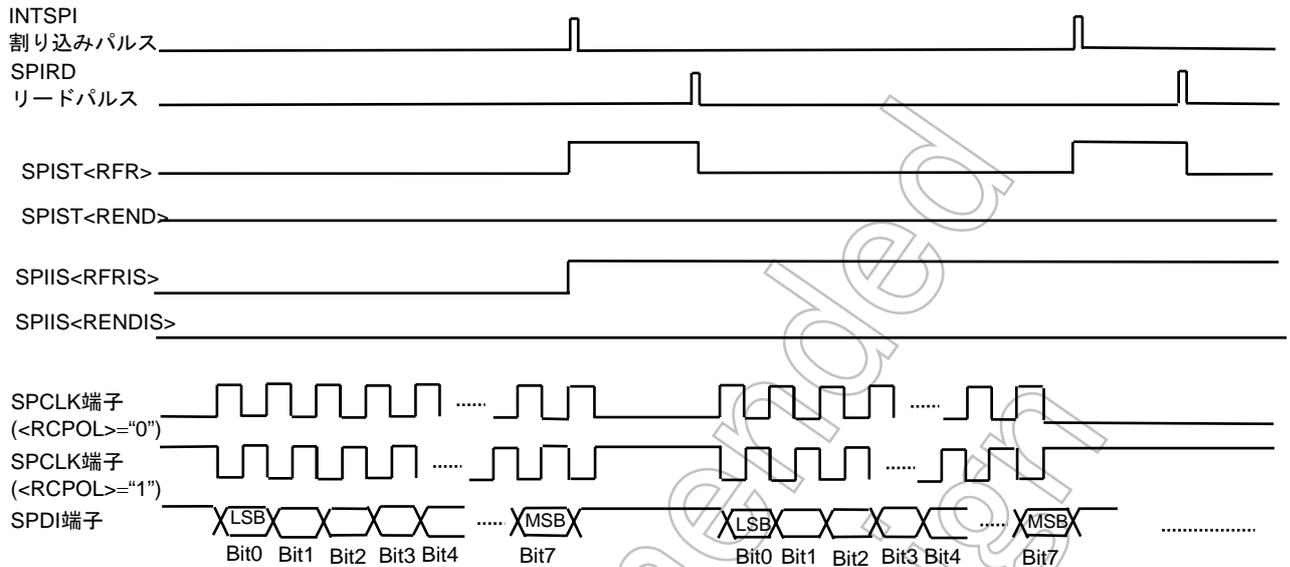


図 3.11.27 マイクロ DMA 転送(UNIT 受信(SPICT<RFUEN>= "1"))

SPIIE レジスタの全ビットを“0”に、SPICT<DMAERFR> = “1”に設定した状態で、SPICT<RXUEN> = “1”を設定し UNIT 受信を開始します。受信が終了し SPIRD レジスタに受信データが格納され、受信データの読み出し準備が整うと INTSPI 割り込み(RFR 割り込み)を発生します。この割り込みによってマイクロ DMA の起動をかけることにより、連続したデータの受信を自動的に行うことができます。

なお、マイクロ DMA での受信を行うには、あらかじめマイクロ DMA の設定が必要です。

3.11.4 使用例

SPIC の設定手順を以下に説明します。

(1) UNIT 送信

下記設定で送信を行い、送信終了で INTSPI 割り込みを発生させる場合の設定例を示します。

UNIT: 8bit
 LSB ファースト
 ボーレート選択: $f_{SYS}/8$
 同期クロックエッジ: 立ち上がり

設定例

```

ld  (pkfc),0xf0          ; ポート設定 PK4:SPDI, PK5:SPDO, PK6:SPCS_B, PK7:SPCLK
ld  (pkcr),0xe0          ; ポート設定 PK4:SPDI, PK5:SPDO, PK6:SPCS_B, PK7:SPCLK

ldw (spict),0x0080       ; 通信端子イネーブル,  $\overline{SPCS}$  端子 "0" 出力, データ長を 8bit に設定
ldw (spimd),0x2c43       ; システムクロックイネーブル、ボーレート選択:  $f_{SYS}/8$ 
                                ; LSB ファースト、同期クロックエッジ設定: 立ち上がりに設定

ld  (spiie),0x08         ; TEND 割り込み許可に設定
ld  (intspi),0x10        ; INTSPI 割り込みレベルを 1 に設定
ei                                  ; 割り込み許可 (iff = 0)

loop:                          ; 送信データレジスタに未送信データが無いことを確認
  bit 1,(spist)           ; <RFRW>=1 ?
  jr  z,loop

ld  (spitd),0x3a         ; 送信データライト & 送信スタート
  .
  .
  .
  
```

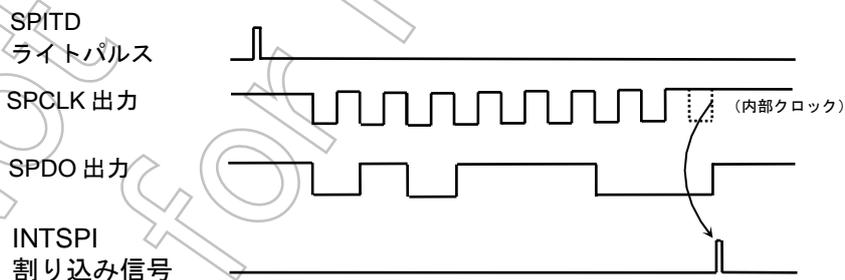


図 3.11.28 UNIT 送信例

(2) UNIT 受信

下記設定で受信を行い、受信終了で INTSPI 割り込みを発生させる場合の設定例を示します。

UNIT: 8bit
 LSB ファースト
 ボーレート選択: fsys/8
 同期クロックエッジ: 立ち上がり

設定例

```

Id  (pkfc),0xf0      ; ポート設定 PK4:SPDI, PK5:SPDO, PK6:SPCS_B, PK7:SPCLK
Id  (pkcr),0xe0      ; ポート設定 PK4:SPDI, PK5:SPDO, PK6:SPCS_B, PK7:SPCLK

ldw (spict),0x0080    ; 通信端子イネーブル, SPCS 端子"0"出力, データ長を 8bit に設定
ldw (spimd),0x2c43    ; システムクロックイネーブル、ボーレート選択: fSYS/8
                          ; LSB ファースト、同期クロックエッジ設定: 立ち上がりに設定

Id  (spiie),0x01      ; RFR 割り込み許可に設定
Id  (intspi),0x10     ; INTSPI 割り込みレベルを 1 に設定
ei                                     ; 割り込み許可(iff = 0)

set  0x0,(spict)      ; UNIT 受信スタート
  
```

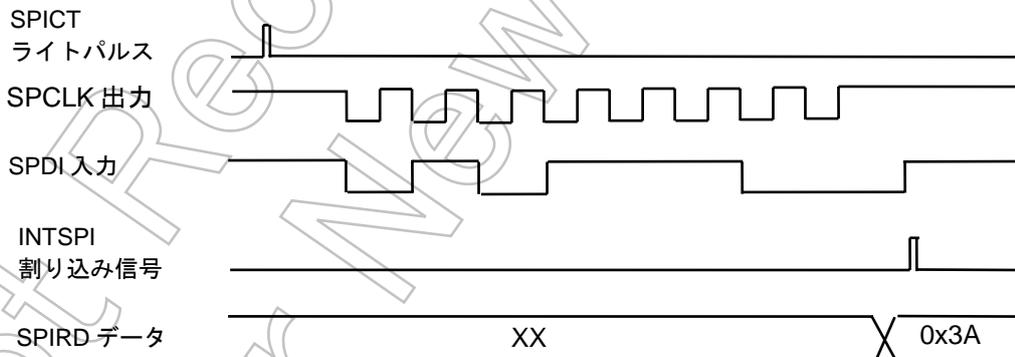


図 3.11.29 UNIT 受信例

(3) 連続送信

下記設定で送信を行い、2 バイトの連続送信を行う場合の設定例を示します。

UNIT: 8bit
 LSB ファースト
 ボーレート選択: f_{SYS}/8
 同期クロックエッジ: 立ち上がり

設定例

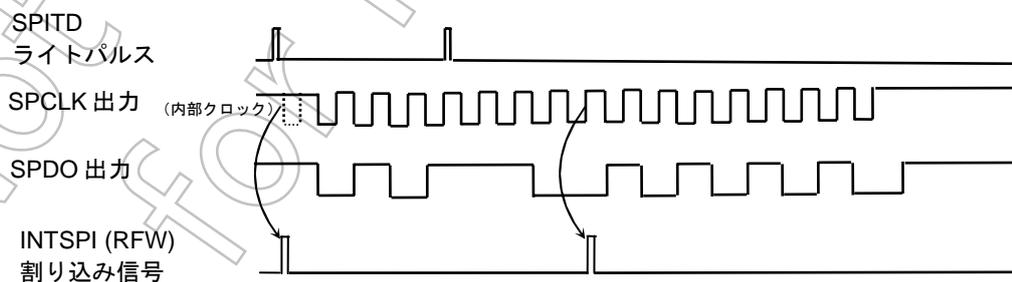
```

Id  (pkfc),0xf0          ;ポート設定 PK4:SPDI, PK5:SPDO, PK6:SPCS_B, PK7:SPCLK
Id  (pkcr),0xe0          ;ポート設定 PK4:SPDI, PK5:SPDO, PK6:SPCS_B, PK7:SPCLK
ldw  (spict),0x0080      ;通信端子イネーブル, SPCS 端子"0"出力, データ長を 8bit に設定
ldw  (spimd),0x2c43      ;システムクロックイネーブル、ボーレート選択: fSYS/8
                                ;LSB ファースト、同期クロックエッジ設定: 立ち上がりに設定

Id  (spiie),0x02        ;RFW 割り込み許可に設定
Id  (intespi),0x10       ;INTSPI 割り込みレベルを 1 に設定
ei

loop1:                      ;送信データレジスタに未送信データが無いことを確認
bit  1,(spist)           ;<RFW> = 1 ?
jr   z,loop1
ld   a,0x00              ;送信回数カウンタ初期化
ld   (spitd),0x3a        ;1 バイト目送信データライト & 送信スタート
loop2:                      ;割り込み待ちループ
jr   z,loop2
割り込みルーチン(INTSPI)
inc  0x01,a              ;送信回数カウンタ +1
cp   a,0x02              ;
jr   z,TRAN_E            ;
ld   (spitd),0x55        ;2 バイト目送信データライト
reti
TRAN_E:
jp   simend              ;
simend:                  ;送信終了

```



注) 図のタイミングは一例です。ボーレートが高い場合など、1 バイト目の送信と 2 バイト目の送信間隔が発生する場合があります。

図 3.11.30 連続送信例

(4) 連続受信

下記設定で受信を行い、2 バイトの連続受信を行う場合の設定例を示します。

UNIT: 8bit
 LSB ファースト
 ボーレート選択: fsys/8
 同期クロックエッジ: 立ち上がり

設定例

```

Id  (pkfc),0xf0          ; ポート設定 PK4:SPDI, PK5:SPDO, PK6:SPCS_B, PK7:SPCLK
Id  (pkcr),0xe0          ; ポート設定 PK4:SPDI, PK5:SPDO, PK6:SPCS_B, PK7:SPCLK

ldw (spict),0x0080       ; 通信端子イネーブル, /SPCS 端子"0"出力, データ長を 8bit に設定
ldw (spimd),0x2c43       ; システムクロックイネーブル, ボーレート選択: fsys/8
                                ; LSB ファースト, 同期クロックエッジ設定: 立ち上がりに設定

set  0x01,(spict)        ; 連続受信スタート

loop1:                    ; 受信データレジスタに 1 バイト目の受信データがあることを確認
  bit  0,(spist)          ; <RFR>=1 ?
  jr   z,loop1

loop2:                    ; 受信データシフトレジスタに 2 バイト目のデータがあることを確認
  bit  2,(spist)          ; <REND>=1 ?
  jr   z,loop2

res  0x01,(spict)        ; 連続受信ディセーブル

ld  a,(spird)            ; 1 バイト目受信データリード

loop3:                    ; 受信データシフトレジスタから受信データレジスタに 2 バイト目の
                                ; 受信データがシフトされたことを確認
  bit  0,(spist)          ; <RFR>=1 ?
  jr   z,loop3
  ld  w,(spird)           ; 2 バイト目受信データリード

```

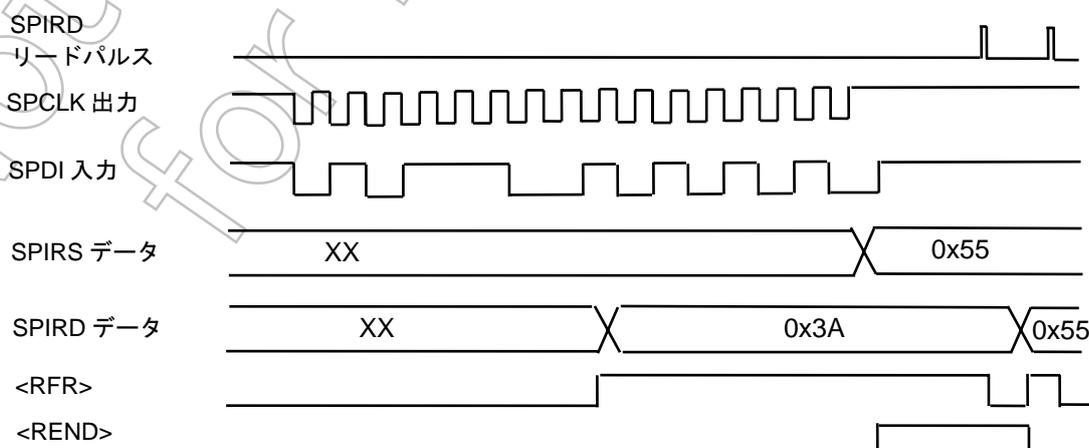


図 3.11.31 連続受信例

(5) マイクロ DMA を利用した連続送信

下記設定でマイクロ DMA を利用し 4 バイト連続送信を行う場合の設定例を示します。

UNIT: 8bit
 LSB ファースト
 ボーレート選択: fSYS/8
 同期クロックエッジ: 立ち上がり

設定例メインルーチン

;- マイクロ MDA 設定 -;

```
ld (dma0v),0x2a ; マイクロ DMA0 を INTSPI に設定
ld wa,0x0003 ; マイクロ DMA 転送回数に、転送回数-1 回に設定(3 回)
ldc dmac0,wa
ld a,0x08 ; マイクロ DMA モード設定 : 転送元 INC モード,1 バイト転送
ldc dmam0,a

ld xwa,0x806000 ; 転送元アドレス設定
ldc dmas0,xwa
ld xwa,0x830 ; 転送先アドレスを SPITD レジスタに設定
ldc dmad0,xwa
```

;- SPIC 設定 -;

```
ld (pkfc),0xf0 ; ポート設定 PK4:SPDI, PK5:SPDO, PK6:SPCS_B, PK7:SPCLK
ld (pkcr),0xe0 ; ポート設定 PK4:SPDI, PK5:SPDO, PK6:SPCS_B, PK7:SPCLK

ldw (spict),0x0080 ; 通信端子イネーブル, SPCS 端子"0"出力, データ長を 8bit に設定
ldw (spimd),0x2c43 ; システムクロックイネーブル、ボーレート選択: fSYS/8
; LSB ファースト、同期クロックエッジ設定: 立ち上がりに設定

ld (spiie),0x00 ; 割り込み禁止に設定
set 1,(spict+1) ; RFW によるマイクロ DMA 動作をイネーブルに設定
ld (intetc01),0x01 ; INTTC0 割り込みレベルを 1 に設定
ei ; 割り込み許可(iff = 0)

loop1: ; 送信データレジスタに未送信データが無いことを確認
bit 1,(spist) ; <RFW> = 1 ?
jr z,loop1

ld (spitd),0x3a ; 送信データライト & 送信スタート
```

割り込みルーチン(INTTC0)

```
loop2:
bit 1,(spist) ; <RFW> = 1 ?
jr z,loop2
bit 3,(spist) ; <TEND> = 1 ?
jr z,loop2
nop
```

(6) マイクロ DMA を利用した UNIT 受信

下記設定でマイクロ DMA を利用して UNIT 受信を 4 バイト連続で行う場合の設定例を示します。

UNIT: 8bit
 LSB ファースト
 ボーレート選択: $f_{SYS}/8$
 同期クロックエッジ: 立ち上がり

設定例

メインルーチン

-- マイクロ DMA 設定 --

```
ld (dma0v),0x2a ; マイクロ DMA0 を INTSPI に設定
ld wa,0x0003 ; マイクロ DMA 転送回数に、転送回数-1 回に設定(3 回)
ldc dmac0,wa
ld a,0x00 ; マイクロ DMA モード設定: 転送先 INC モード, 1 バイト転送
ldc dmam0,a

ld xwa,0x832 ; 転送元アドレスを SPIRD レジスタに設定
ldc dmas0,xwa
ld xwa,0x807000 ; 転送先アドレスを設定
ldc dmad0,xwa
```

-- SPIC 設定 --

```
ld (pkfc),0xf0 ; ポート設定 PK4:SPDI, PK5:SPDO, PK6:SPCS_B, PK7:SPCLK
ld (pkcr),0xe0 ; ポート設定 PK4:SPDI, PK5:SPDO, PK6:SPCS_B, PK7:SPCLK

ldw (spict),0x0080 ; 通信端子イネーブル,  $\overline{SPCS}$  端子"0"出力, データ長を 8bit に設定
ldw (spimd),0x2c43 ; システムクロックイネーブル、ボーレート選択:  $f_{SYS}/8$ 
; LSB ファースト、同期クロックエッジ設定: 立ち上がり
```

```
ld (spiie),0x00 ; 割り込み禁止に設定
set 0,(spict+1) ; RFR によるマイクロ DMA 動作をイネーブルに設定
ld (intetc01),0x01 ; INTTC0 割り込みレベルを 1 に設定
ei ; 割り込み許可(iff = 0)
set 0x0,(spict) ; UNIT 受信スタート
```

割り込みルーチン(INTTC0)

```
loop2: ; UNIT 受信の場合の受信終了待ち
bit 0,(spist) ; <RFR> = 1 ?
jr z,loop2
res 0,(spict) ; UNIT 受信ディセーブル
ld a,(spird) ; 最終受信データのリード
nop
```

3.12 アナログ/デジタルコンバータ

4チャンネルのアナログ入力を持つ、10ビット逐次比較方式アナログ/デジタルコンバータ (ADコンバータ) を内蔵しています。

図 3.12.1に、ADコンバータのブロック図を示します。

4チャンネルのアナログ入力端子 (AN0~AN3) は、入力専用ポート G と兼用で入力ポートとしても使用できます。

注) IDLE2、IDLE1、STOPモードにより電源電流を低減させる場合は、タイミングにより内部コンパレータがイネーブル状態のままスタンバイに入ることがありますので、ADコンバータの動作が停止していることを確認してから“HALT”命令を実行してください。

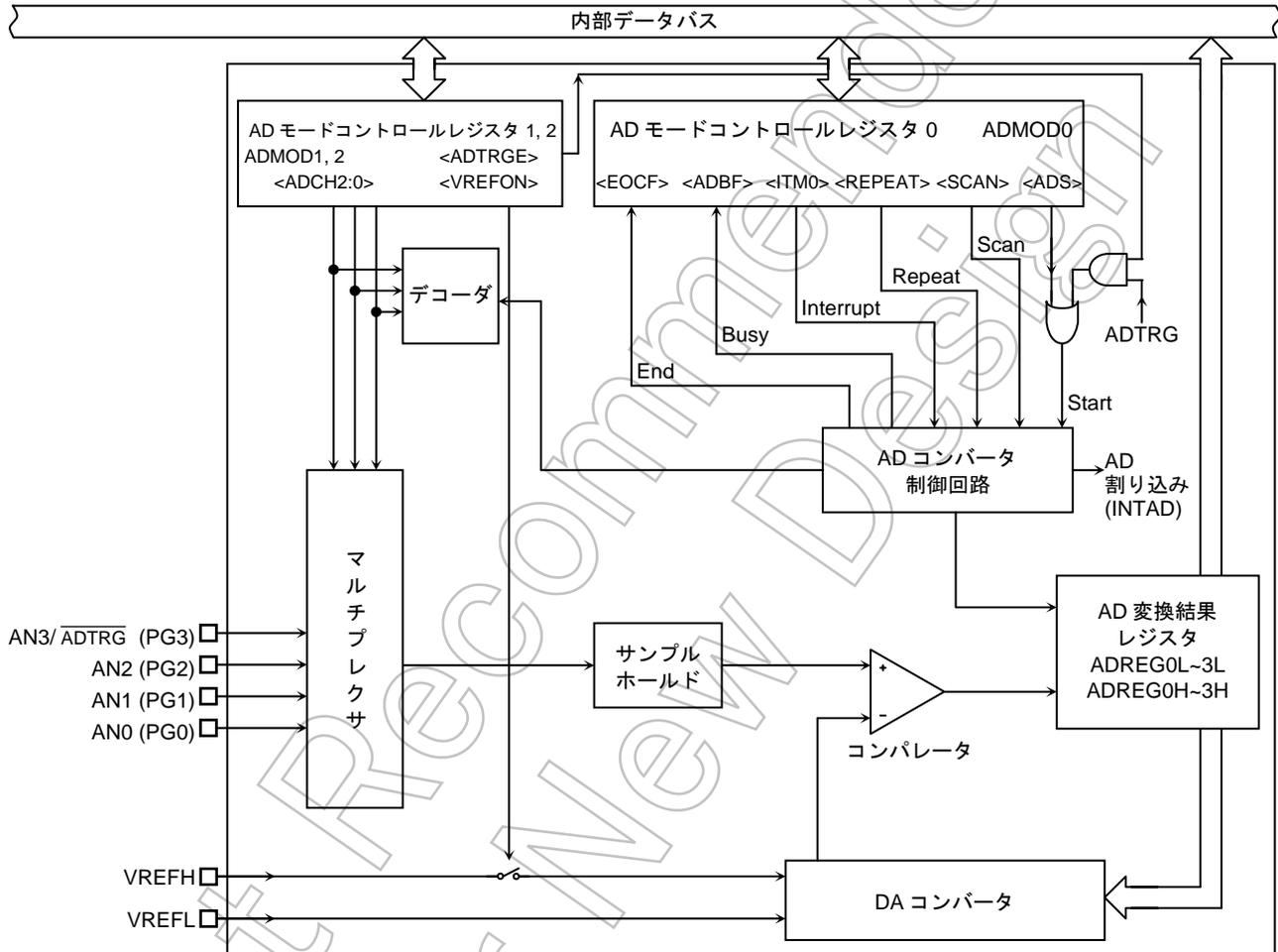


図 3.12.1 ADコンバータブロック図

3.12.1 コントロールレジスタ

AD コンバータは、3 つの AD モードコントロールレジスタ (ADM0D0, ADM0D1, ADM0D2) により制御されています。また、AD 変換結果は、AD 変換結果上位/下位レジスタ ADREG0H/L、ADREG3H/L の 4 つのレジスタに格納されます。

図 3.12.2にADコンバータ関係のレジスタを示します。

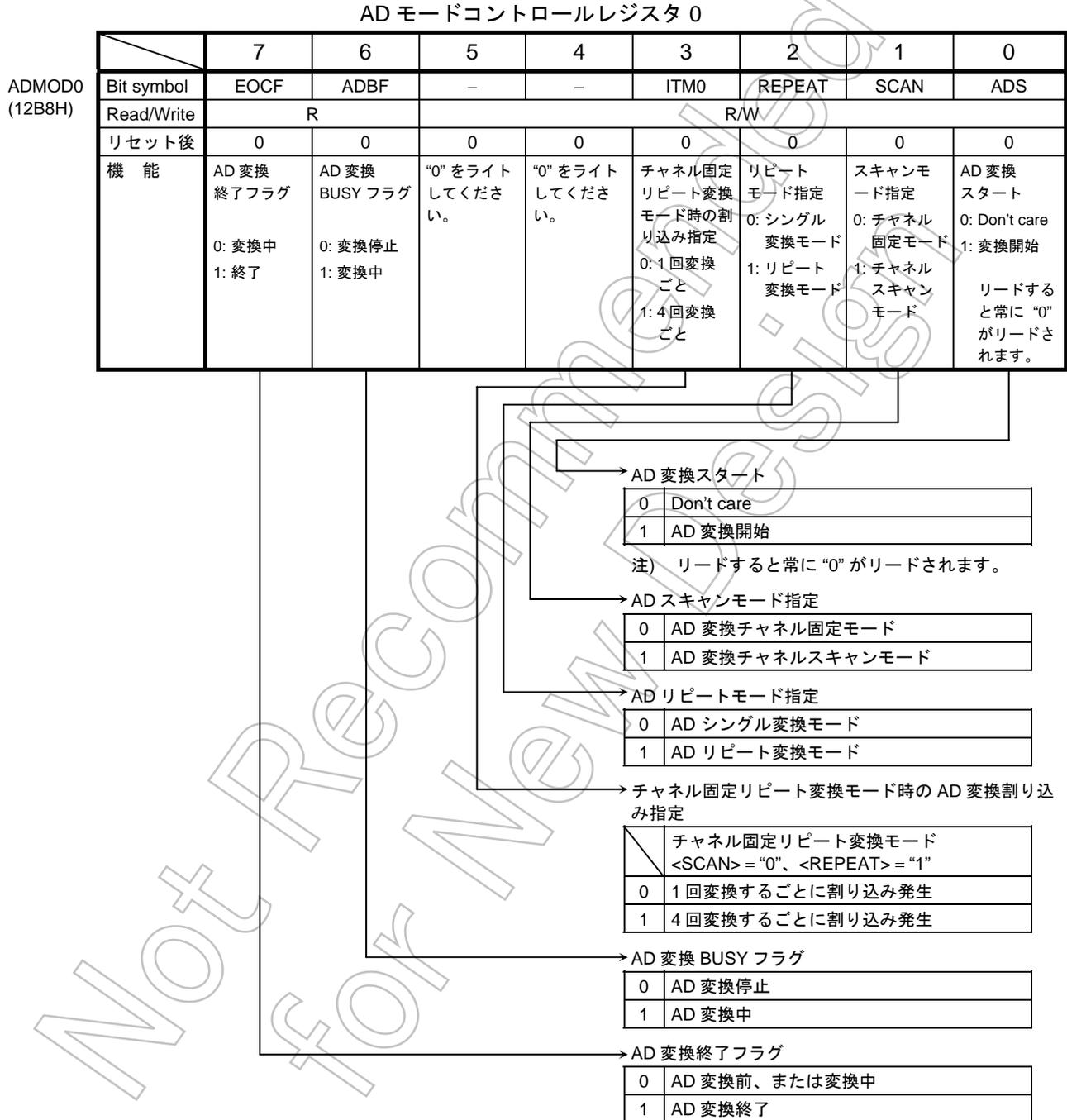


図 3.12.2 AD コンバータ関係のレジスタ

ADモードコントロールレジスタ 1

	7	6	5	4	3	2	1	0
Bit symbol	VREFON	I2AD	-	-	-	-	ADCH1	ADCH0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	VREF 印加制御 0: OFF 1: ON	IDLE2 0: 停止 1: 動作	"0" をライ トしてくだ さい。	"0" をライ トしてくだ さい。	"0" をライ トしてくだ さい。	"0" をライ トしてくだ さい。	アナログ入力チャンネル選択	

アナログ入力チャンネル選択

	<SCAN>	0	1
		(チャンネル 固定)	(チャンネル スキャン)
<ADCH 1:0>	00	AN0	AN0
	01	AN1	AN0→AN1
	10	AN2	AN0→AN1→AN2
	11 (注)	AN3	AN0→AN1→AN2→AN3

IDLE2 制御

0	停止
1	動作

AD コンバータ用基準電圧印加制御

0	OFF
1	ON

変換スタート前 (ADMOD0<ADS>に "1" を書き込む前) に <VREFON> を "1" に設定してください。

ADモードコントロールレジスタ 2

	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	-	-	ADTRGE
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	"0" をライ トしてくだ さい。	AD 外部トリガ スタート制御 0: ディセーブル 1: イネーブル						

外部トリガによる AD 変換スタート制御 (ADTRG 入力)

0	禁止 (ディセーブル)
1	禁止 (イネーブル)

注) <ADTRGE> を "1" に設定した $\overline{\text{ADTRG}}$ を使用する場合、<ADCH1:0> を "11" に設定することはできません。

図 3.12.3 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 0

	7	6	5	4	3	2	1	0
ADREG0L (12A0H)	Bit symbol	ADR01	ADR00					ADR0RF
	Read/Write	R						R
	リセット後	不定						0
	機能	AD 変換結果下位 2ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 0

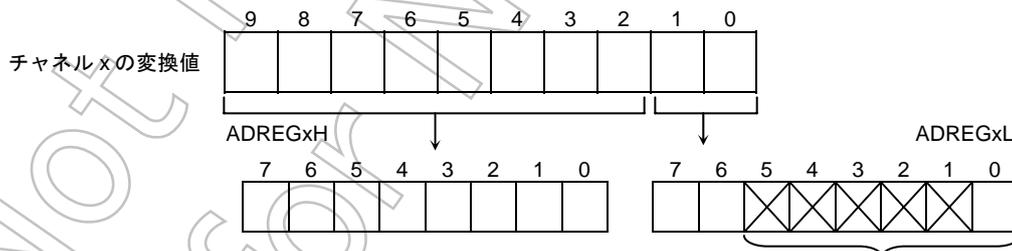
	7	6	5	4	3	2	1	0	
ADREG0H (12A1H)	Bit symbol	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
	Read/Write	R							
	リセット後	不定							
	機能	AD 変換結果上位 8ビット格納							

AD 変換結果下位レジスタ 1

	7	6	5	4	3	2	1	0
ADREG1L (12A2H)	Bit symbol	ADR11	ADR10					ADR1RF
	Read/Write	R						R
	リセット後	不定						0
	機能	AD 変換結果下位 2ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 1

	7	6	5	4	3	2	1	0	
ADREG1H (12A3H)	Bit symbol	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
	Read/Write	R							
	リセット後	不定							
	機能	AD 変換結果上位 8ビット格納							



- ビット5~1を読み出すと、常に“1”になります。
- ビット0は、AD 変換結果格納フラグ<ADRxRF>です。AD 変換値が格納されると、“1”にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、“0”にクリアされます。

図 3.12.4 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 2

	7	6	5	4	3	2	1	0
ADREG2L (12A4H)	Bit symbol	ADR21	ADR20					ADR2RF
	Read/Write	R						R
	リセット後	不定						0
	機能	AD 変換結果下位 2ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 2

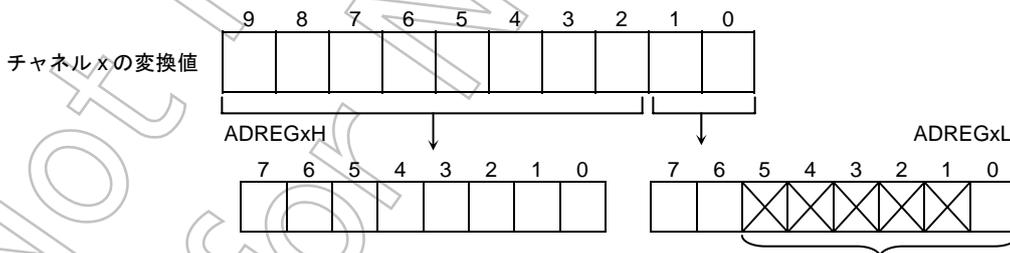
	7	6	5	4	3	2	1	0	
ADREG2H (12A5H)	Bit symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
	Read/Write	R							
	リセット後	不定							
	機能	AD 変換結果上位 8ビット格納							

AD 変換結果下位レジスタ 3

	7	6	5	4	3	2	1	0
ADREG3L (12A6H)	Bit symbol	ADR31	ADR30					ADR3RF
	Read/Write	R						R
	リセット後	不定						0
	機能	AD 変換結果下位 2ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 3

	7	6	5	4	3	2	1	0	
ADREG3H (12A7H)	Bit symbol	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
	Read/Write	R							
	リセット後	不定							
	機能	AD 変換結果上位 8ビット格納							



- ビット5~1を読み出すと、常に“1”になります。
- ビット0は、AD 変換結果格納フラグ<ADRxRF>です。AD 変換値が格納されると、“1”にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、“0”にクリアされます。

図 3.12.5 AD コンバータ関係のレジスタ

3.12.2 動作説明

(1) アナログ基準電圧

アナログ基準電圧の“H”レベル側を VREFH 端子に、“L”レベル側を VREFL 端子に印加します。VREFH-VREFL 間の基準電圧をストリング抵抗により 1024 分割し、アナログ入力電圧と比較判定を行うことにより、AD 変換を行います。

ADMOD1<VREFON>ビットに“0”を書き込むことにより、VREFH-VREFL 間のスイッチを OFF できます。なお、OFF している状態から AD 変換スタートをさせる場合は、必ず<VREFON>に“1”を書き込んだ後、内部基準電圧が安定するまでの 3 μ s (システムクロック周波数に関係ありません) 待ち、ADMOD0<ADS>に“1”を書き込んでください。

(2) アナログ入力チャネルの選択

アナログ入力チャネルの選択は、AD コンバータの動作モードによって異なります。

- アナログ入力チャネルを固定で使用する場合 (ADMOD0<SCAN> = “0”)

ADMOD1<ADCH1:0>の設定により、アナログ入力 AN0~AN3 端子の中から 1 チャネルを選択します。
- アナログ入力チャネルをスキャンで使用する場合 (ADMOD0<SCAN> = “1”)

ADMOD1<ADCH1:0>の設定により、4 種類のスキャンモードの中から 1 つのスキャンモードを選択します。

表 3.12.1 に、動作モード別のアナログ入力チャネルの選択を示します。

リセット後、ADMOD0<SCAN>は“0”に ADMOD1<ADCH1:0>は“00”に初期化されますので、AN0 端子のチャネル固定入力を選択されます。なお、アナログ入力チャネルとして使用しない端子は、通常の入力ポートとして使用できます。

表 3.12.1 アナログ入力チャネル選択

<ADCH1:0>	チャネル固定 <SCAN> = “0”	チャネルスキャン <SCAN> = “1”
00	AN0	AN0
01	AN1	AN0 → AN1
10	AN2	AN0 → AN1 → AN2
11	AN3	AN0 → AN1 → AN2 → AN3

(3) AD 変換開始

AD 変換は、 $\overline{\text{ADMODO}}\langle\text{ADS}\rangle$ に“1”を設定するか、 $\overline{\text{ADMOD2}}\langle\text{ADTRGE}\rangle$ に“1”を設定し、 $\overline{\text{ADTRG}}$ 端子より立ち下がりエッジを入力することにより開始されます。AD 変換が開始されると、AD 変換中を示す AD 変換 Busy フラグ ($\overline{\text{ADMODO}}\langle\text{ADBF}\rangle$) が“1”にセットされます。

また、AD 変換中に、 $\overline{\text{ADTRG}}$ 端子に立ち下がりエッジを入力しても無視されます。

(4) AD 変換モードと AD 変換終了割り込み

AD 変換には次の 4 つのモードがあります。

- チャンネル固定シングル変換モード
- チャンネルスキャンシングル変換モード
- チャンネル固定リピート変換モード
- チャンネルスキャンリピート変換モード

AD 変換モードの選択は、 $\overline{\text{ADMODO}}\langle\text{REPEAT, SCAN}\rangle$ で行います。

AD 変換が終了すると、AD 変換終了割り込み INTAD の割り込み要求が発生します。また、AD 変換終了を示す $\overline{\text{ADMODO}}\langle\text{EOCF}\rangle$ が“1”にセットされます。

1. チャンネル固定シングル変換モード

$\overline{\text{ADMODO}}\langle\text{REPEAT, SCAN}\rangle$ に“00”を設定すると、チャンネル固定シングル変換モードになります。

このモードでは、選択した 1 チャンネルの変換を 1 回だけ行います。変換が終了した後、 $\overline{\text{ADMODO}}\langle\text{EOCF}\rangle$ が“1”にセット、 $\overline{\text{ADMODO}}\langle\text{ADBF}\rangle$ が“0”にクリアされ、INTAD の割り込み要求が発生します。

2. チャンネルスキャンシングル変換モード

$\overline{\text{ADMODO}}\langle\text{REPEAT, SCAN}\rangle$ に“01”を設定すると、チャンネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャンネルの変換をそれぞれ 1 回だけ行います。スキャン変換が終了した後、 $\overline{\text{ADMODO}}\langle\text{EOCF}\rangle$ が“1”にセット、 $\overline{\text{ADMODO}}\langle\text{ADBF}\rangle$ が“0”にクリアされ、INTAD の割り込み要求が発生します。

3. チャネル固定リピート変換モード

ADMOD0<REPEAT, SCAN>に“10”を設定するとチャネル固定リピート変換モードになります。

このモードでは、選択した1チャネルの変換を繰り返し行います。変換が終了した後、ADMOD0<EOCF>が“1”にセットされます。ADMOD0<ADBF>は“0”にクリアされず“1”を保持します。INTADの割り込み要求発生タイミングはADMOD0<ITM0>の設定により選択できます。

<ITM0>を“0”に設定するとAD変換が1回終了するごとに割り込み要求が発生します。

<ITM0>を“1”に設定するとAD変換が4回終了するごとに割り込み要求が発生します。

4. チャネルスキャンリピート変換モード

ADMOD0<REPEAT, SCAN>に“11”を設定するとチャネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャネルの変換を繰り返し行います。1回のスキャン変換が終了するごとにADMOD0<EOCF>が“1”にセットされ、INTAD割り込み要求が発生します。ADMOD0<ADBF>は“0”にクリアされず“1”を保持します。

リピート変換モード（3、4のモード）の動作を停止させたい場合は、ADMOD0<REPEAT>に“0”を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADMOD0<ADBF>は“0”にクリアされます。

ADMOD1<I2AD>=“0”の場合のIDLE2、IDLE1、STOPモードのホルト状態へ移行すると、AD変換中でもADコンバータはただちに動作を停止します。ホルト解除後、リピート変換モード（3、4）ではAD変換を最初から開始します。シングル変換モード（1、2）では、変換動作を再開しません（停止したままです）。

表 3.12.2にAD変換モードと割り込み要求の関係を示します。

表 3.12.2 AD変換モードと割り込み要求の関係

モード	割り込み要求の発生	ADMOD0		
		<ITM0>	<REPEAT>	<SCAN>
チャネル固定 シングル変換モード	変換終了後	X	0	0
チャネルスキャン シングル変換モード	スキャン変換終了後	X	0	1
チャネル固定 リピート変換モード	1回変換すること	0	1	0
	4回変換すること	1		
チャネルスキャン リピート変換モード	1回のスキャン変換が 終了すること	X	1	1

X: Don't care

(5) AD 変換時間

1 チャンネル当たりの AD 変換ステートは、132 ステート (6.6 μ s @f_{SYS} = 20 MHz) です。

(6) AD 変換結果の格納と読み出し

AD 変換結果は、AD 変換結果上位/下位レジスタ (ADREG0H/L~ADREG3H/L) に格納されます (ADREG0H/L~ADREG3H/L は、読み出し専用のレジスタです)。

チャンネル固定リピート変換モードでは、AD 変換結果は、ADREG0H/L から ADREG3H/L へと順次格納されます。それ以外のモードでは、チャンネル AN0、AN1、AN2、AN3、AN4 の変換結果がそれぞれ ADREG0H/L、ADREG1H/L、ADREG2H/L、ADREG3H/L に格納されます。

表 3.12.3 にアナログ入力チャンネルと AD 変換結果レジスタの対応を示します。

表 3.12.3 アナログ入力チャンネルと AD 変換結果レジスタの対応

アナログ入力チャンネル (ポート G)	AD 変換結果レジスタ	
	右記以外の変換モード	チャンネル固定 リピート変換モード (ADMOD0<ITM0> = 1)
AN0	ADREG0H/L	ADREG0H/L ←
AN1	ADREG1H/L	↓ ADREG1H/L
AN2	ADREG2H/L	↓ ADREG2H/L
AN3	ADREG3H/L	↓ ADREG3H/L →

AD 変換結果格納フラグ<ADR_xRF>は、AD 変換結果レジスタをリードしたかどうかを示しています。このフラグは、AD 変換結果レジスタに変換値が格納されると“1”にセットされ、どちらかの AD 変換結果レジスタ (ADREG_xH, ADREG_xL) を読み出すと“0”にクリアされます。

また、AD 変換結果の読み出しに伴い、AD 変換終了フラグ ADMOD0<EOCF>は“0”にクリアされます。

設定例:

1. AN3 端子のアナログ入力電圧を AD 変換し、AD 割り込み (INTAD) 処理ルーチンで変換値を 2800H のメモリへ書き込む場合

メインルーチンでの設定

	7	6	5	4	3	2	1	0	
INTE0AD	← 1	1	0	0	-	-	-	-	INTAD をイネーブルにし、レベルを "4" に設定します。
ADMOD1	← 1	1	0	0	0	0	1	1	アナログ入力チャンネルを AN3 に設定します。
ADMOD0	← X	X	0	0	0	0	0	1	チャンネル固定シングル変換モードで変換を開始します。
割り込みルーチンでの処理例									
WA	←	ADREG3							汎用レジスタ WA (16 ビット) へ ADREG3L、ADREG3H の値を読み出します。
WA	←	>> 6							WA に読み出した内容を右へ 6 回シフトし上位ビットに "0" を入れます。
(2800H)	←	WA							2800H 番地へ WA の内容を書き込みます。

2. AN0~AN2 の 3 端子のアナログ入力電圧をチャンネルスキャンリピート変換モードで AD 変換し続ける場合

INTE0AD	← 1	0	0	0	-	-	-	-	INTAD を禁止します。
ADMOD1	← 1	1	0	0	0	0	1	0	アナログ入力チャンネルを AN0~AN2 に設定します。
ADMOD0	← X	X	0	0	0	1	1	1	チャンネルスキャンリピート変換モードで変換を開始します。

X: Don't care, -: No change

Not Recommended for New Design

3.13 ウォッチドッグタイマ (暴走検出用タイマ)

暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因により CPU が誤動作 (暴走) を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスカブル割り込みを発生し CPU に知らせます。

また、このウォッチドッグタイマアウトを内部リセットへ接続することにより、強制的にリセット動作を行うことができます。(外部の $\overline{\text{RESET}}$ 端子レベルは変化しません。)

3.13.1 構成

図 3.13.1 にウォッチドッグタイマのブロック図を示します。

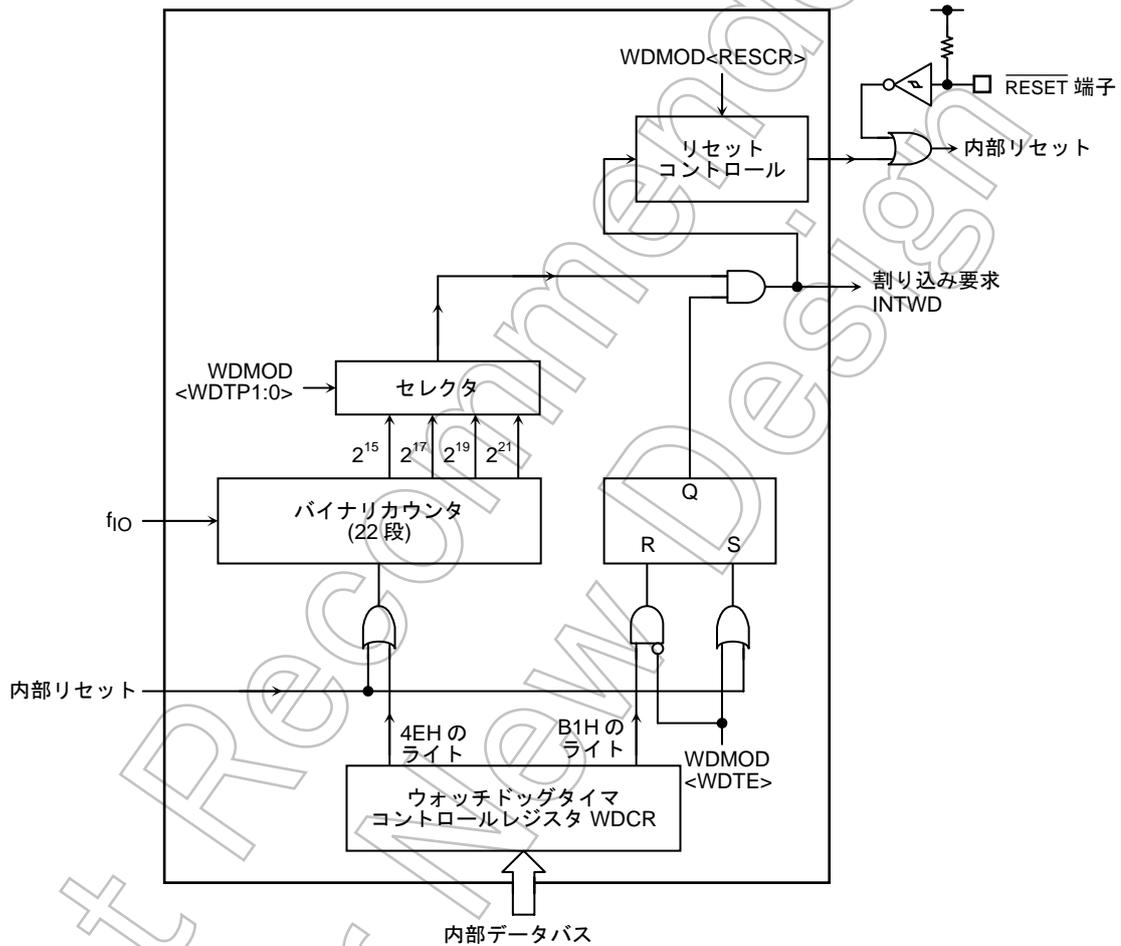


図 3.13.1 ウォッチドッグタイマのブロック図

3.13.2 動作説明

ウォッチドッグタイマは、WDMOD<WDTP1:0>レジスタで設定された検出時間後に割り込み INTWD を発生させるタイマです。ソフトウェア（命令）でウォッチドッグタイマ用のバイナリカウンタを INTWD 割り込みが発生する前にゼロクリアすることが必要です。もし、CPU がノイズなどの原因で誤動作（暴走）しバイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWD 割り込みが発生します。CPU は INTWD 割り込みにより誤動作（暴走）が発生したことを知り、誤動作（暴走）対策プログラムにより正常な状態に戻すことができます。

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。

また、IDLE1 モードおよび STOP モード中のウォッチドッグタイマはリセットされ停止しています。バス解放中 ($\overline{\text{BUSAK}} = \text{"L"}$) は、カウントを続けます。

IDLE2 モードでは、WDMOD<I2WDT>の設定に依存します。必要に応じて、IDLE2 モードに入る前に WDMOD<I2WDT>を設定してください。

ウォッチドッグタイマは、クロック f_{i0} を入力クロックとする、22 段のバイナリカウンタで構成されています。バイナリカウンタの出力には 2¹⁵、2¹⁷、2¹⁹ および 2²¹ があります。



図 3.13.2 ノーマルモード

また、オーバフロー時に、本LSIをリセットすることも選択可能です。この場合、図 3.13.3 で示すように 22~29 クロック (35.2~46.4 μs @ $f_{\text{OSCH}} = 40 \text{ MHz}$) の期間、リセットを行います。なお、この場合(リセットされた場合)、クロック f_{i0} は、高速発振器のクロック f_{OSCH} をクロックギアで 16 分周した f_{PPH} を基に、それを 4 分周して生成されたものが使われます。

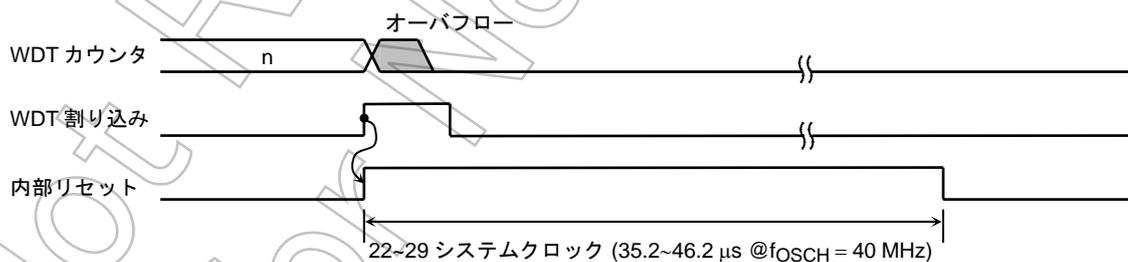


図 3.13.3 リセットモード

3.13.3 コントロールレジスタ

ウォッチドッグ タイマ (WDT) は、2つのコントロールレジスタ (WDMOD, WDCR) によって制御されています。

(1) ウォッチドッグタイマモードレジスタ (WDMOD)

1. ウォッチドッグタイマ検出時間の設定<WDTP1:0>

暴走検出のためのウォッチドッグタイマ割り込み時間を設定する 2 ビットのレジスタです。リセット時 WDMOD<WDTP1:0> = 00 に初期化されます。

ウォッチドッグ タイマの検出時間は $2^{15}/f_{10}$ [S]です。(システムクロックの数は約 65,536 です。)

2. ウォッチドッグタイマイネーブル/ディセーブル制御レジスタ<WDTE>

リセット時 WDMOD<WDTE> = 1 に初期化されますので、ウォッチドッグタイマはイネーブルになっています。ディセーブルにするには、このビットを“0”にクリアするとともに WDCR レジスタにディセーブルコード (B1H) をライトする必要があります。この二重設定のため、暴走によるウォッチドッグタイマのディセーブルが発生し難くなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE>ビットを“1”にセットするだけでイネーブルとなります。

3. ウォッチドッグタイマアウトのリセット接続<RESCR>

暴走検出により自分自身をリセットするか否かを設定するレジスタです。リセット時 WDMOD<RESCR> = 0 に初期化されますので、ウォッチドッグタイマアウト出力によるリセットは行われません。

(2) ウォッチドッグタイマコントロールレジスタ (WDCR)

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

• ディセーブル制御

WDMOD<WDTE>を“0”にクリアしたあと、この WDCR レジスタにディセーブルコード (B1H) をライトするとウォッチドッグ タイマをディセーブルにすることができます。

WDCR	← 0 1 0 0 1 1 1 0	クリアコード (4EH) をライトします。
WDMOD	← 0 - - - 0 - - 0	WDMOD<WDTE>を“0”にクリアします。
WDCR	← 1 0 1 1 0 0 0 1	ディセーブルコード (B1H) をライトします。

• イネーブル制御

WDMOD<WDTE>を“1”に設定します。

• ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード (4EH) をライトすると、バイナリカウンタはクリアされ、再カウントします。

WDCR	← 0 1 0 0 1 1 1 0	クリアコード (4EH) をライトします。
------	-------------------	-----------------------

注1) ディセーブル制御をする際には一旦クリアコード(4EH)をライトした後ディセーブル制御をしてください。(設定例を参照してください)

注2) ウォッチドッグタイマの設定を変更する際は、ディセーブル状態にしてから設定を変更してください。

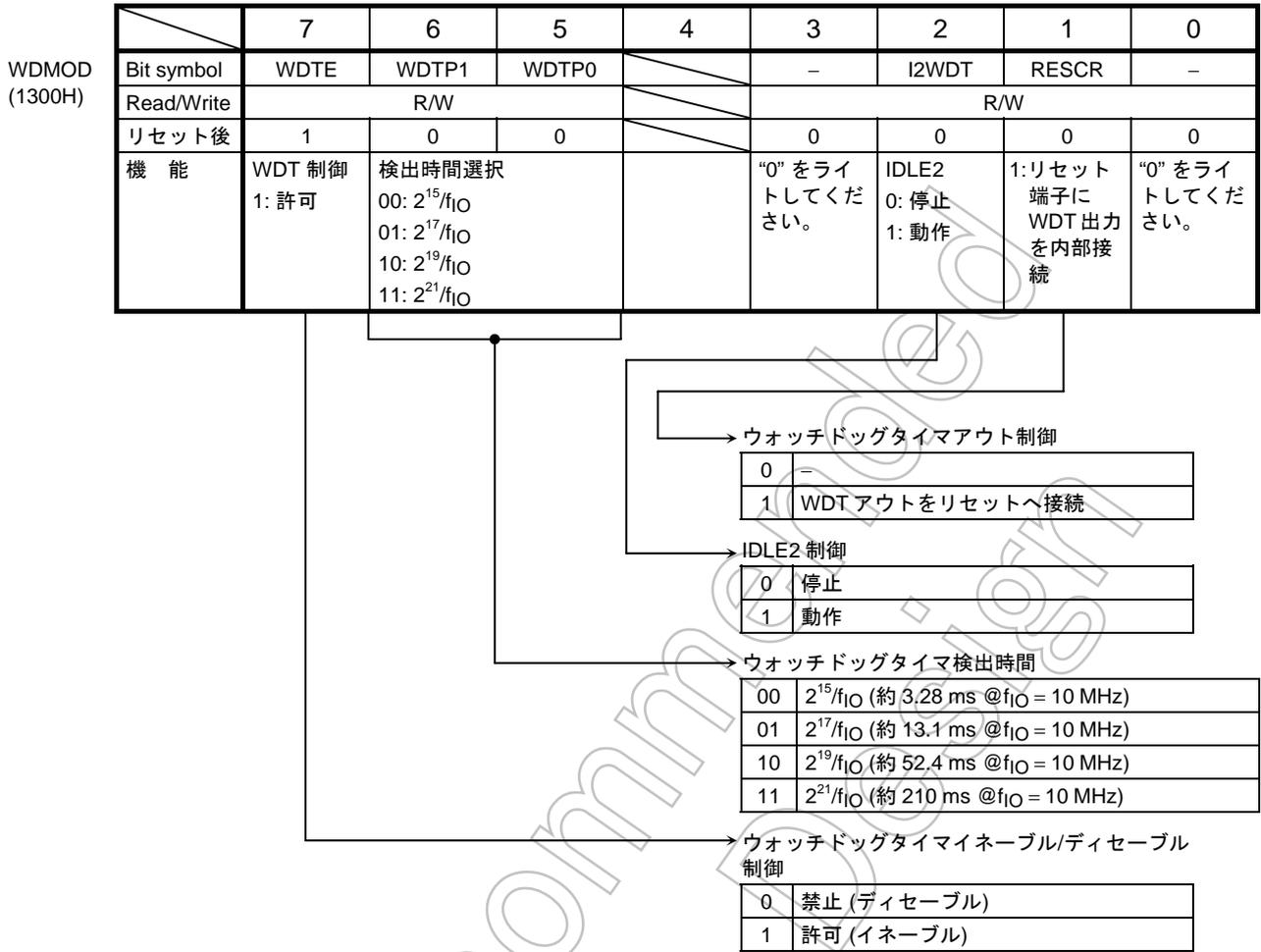


図 3.13.4 ウォッチドッグタイマモードレジスタ



図 3.13.5 ウォッチドッグタイマモードレジスタ

3.14 リアルタイムクロック (RTC)

3.14.1 RTCの機能概略

- 1) 時計機能 (時間、分、秒)
- 2) カレンダー機能 (月日、週、うるう年)
- 3) 24 時間計と 12 時間計(AM/PM) のいずれかを選択可能
- 4) +/-30 秒補正機能 (ソフトウェアによる補正)
- 5) アラーム機能 (アラーム出力)
- 6) アラーム割り込み発生

3.14.2 ブロック図

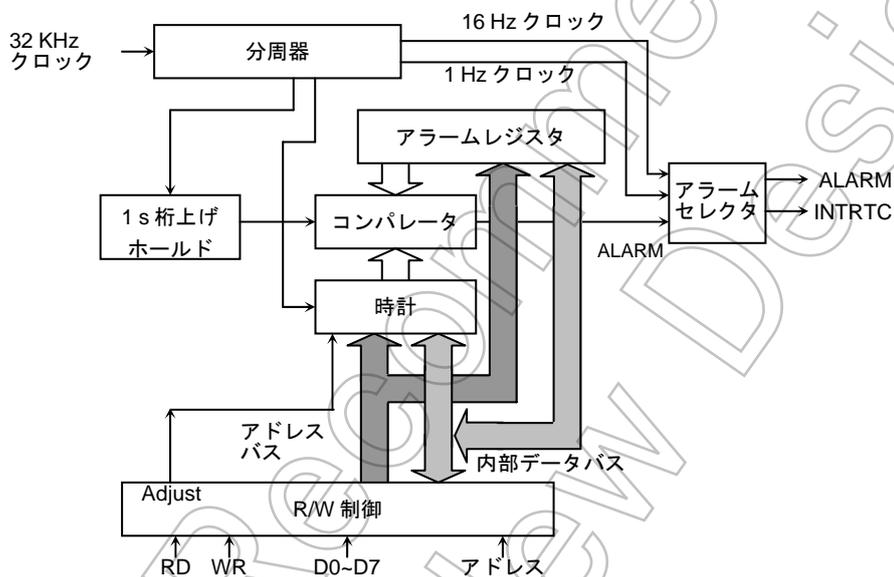


図 3.14.1 RTC ブロック図

注 1) 西暦年桁について

本製品は、年桁を下 2 桁しか持っていません。そのため 99 年の翌年は 00 年として動作します。使用するシステムにおいて、西暦で年桁を取り扱う場合にはシステム側にて上 2 桁を管理してください。

注 2) うるう年について

うるう年は、4 で割り切れる年ですが例外があり 100 で割り切れる年はうるう年ではありません。ただし、400 で割り切れる年はうるう年です。しかし、本製品は上記例外に対応していません。4 で割り切れる年のみをうるう年としていますのでこの点が問題であればシステム側にてあらかじめ対策してください。

3.14.3 コントロールレジスタ

表 3.14.1 PAGE0 (時計機能) レジスタ

Symbol	アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容	Read/Write
SECR	1320H	/	40 秒	20 秒	10 秒	8 秒	4 秒	2 秒	1 秒	秒桁	R/W
MINR	1321H	/	40 分	20 分	10 分	8 分	4 分	2 分	1 分	分桁	R/W
HOURR	1322H	/	/	20 時 /PM/AM	10 時	8 時	4 時	2 時	1 時	時間桁	R/W
DAYR	1323H	/	/	/	/	/	W2	W1	W0	曜日桁	R/W
DATER	1324H	/	/	20 日	10 日	8 日	4 日	2 日	1 日	日桁	R/W
MONTHR	1325H	/	/	/	10 月	8 月	4 月	2 月	1 月	月桁	R/W
YEARR	1326H	80 年	40 年	20 年	10 年	8 年	4 年	2 年	1 年	年桁 (西暦下 2 桁)	R/W
PAGER	1327H	割り込み許可	/	/	秒補正 設定	時計 許可	アラーム 許可	/	PAGE 設定	PAGE レジスタ	W, R/W
RESTR	1328H	1Hz 許可	16Hz 許可	時計 リセット	アラーム リセット	"0" をライトしてください				リセットレジスタ	W のみ

注) PAGE0 の SECR, MINR, HOURR, DAYR, MONTHR, YEARR はリードすると現在の状態がリードされます。

表 3.14.2 PAGE1 (アラーム機能) レジスタ

Symbol	アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容	Read/Write
SECR	1320H	/	/	/	/	/	/	/	/	/	R/W
MINR	1321H	/	40 分	20 分	10 分	8 分	4 分	2 分	1 分	アラーム分桁	R/W
HOURR	1322H	/	/	20 時	10 時	8 時	4 時	2 時	1 時	アラーム時間桁	R/W
DAYR	1323H	/	/	/	/	/	W2	W1	W0	アラーム週桁	R/W
DATER	1324H	/	/	20 日	10 日	8 日	4 日	2 日	1 日	アラーム日桁	R/W
MONTHR	1325H	/	/	/	/	/	/	/	24/12	24 時間クロック モード	R/W
YEARR	1326H	/	/	/	/	/	/	うるう年設定		うるう年モード	R/W
PAGER	1327H	割り込み許可	/	/	秒補正 設定	時計 許可	アラーム 許可	/	PAGE 設定	PAGE レジスタ	W, R/W
RESTR	1328H	1Hz 許可	16Hz 許可	時計 リセット	アラーム リセット	"0" をライトしてください				リセットレジスタ	W のみ

注) PAGE1 の MINR, HOURR, DAYR, MONTHR, YEARR はリードすると現在の状態がリードされません。

3.14.4 コントロールレジスタの説明

RTC はシステムリセットによる初期化はされません。従って、RTC は各レジスタに時刻/月日曜日年うるう年を設定後、動作を開始します。

(1) 秒桁レジスタの設定 (PAGE0 のみ)

SECR (1320H)		7	6	5	4	3	2	1	0
	Bit symbol		SE6	SE5	SE4	SE3	SE2	SE1	SE0
	Read/Write		R/W						
	リセット後		不定						
機能	"0" がリード されます。	40 秒桁	20 秒桁	10 秒桁	8 秒桁	4 秒桁	2 秒桁	1 秒桁	

設定例を下記に示します。

0	0	0	0	0	0	0	0	0 秒
0	0	0	0	0	0	0	1	1 秒
0	0	0	0	0	0	1	0	2 秒
0	0	0	0	0	0	1	1	3 秒
0	0	0	0	1	0	0	0	4 秒
0	0	0	0	1	0	1	1	5 秒
0	0	0	0	1	1	1	0	6 秒
0	0	0	0	1	1	1	1	7 秒
0	0	0	1	0	0	0	0	8 秒
0	0	0	1	0	0	0	1	9 秒
0	0	1	0	0	0	0	0	10 秒
:								
0	0	1	1	0	0	1	1	19 秒
0	1	0	0	0	0	0	0	20 秒
:								
0	1	0	1	0	0	1	1	29 秒
0	1	1	0	0	0	0	0	30 秒
:								
0	1	1	1	0	0	1	1	39 秒
1	0	0	0	0	0	0	0	40 秒
:								
1	0	0	1	0	0	1	1	49 秒
1	0	1	0	0	0	0	0	50 秒
:								
1	0	1	1	0	0	1	1	59 秒

注) 上記以外の設定はしないでください。

(2) 分析レジスタの設定 (PAGE0/1)

MINR (1321H)		7	6	5	4	3	2	1	0
	Bit symbol		MI6	MI5	MI4	MI3	MI2	MI1	MI0
	Read/Write		R/W						
	リセット後		不定						
機能	"0" がリード されません。	40分	20分	10分	8分	4分	2分	1分	

設定例を下記に示します。

0	0	0	0	0	0	0	0	0分
0	0	0	0	0	0	0	1	1分
0	0	0	0	0	0	1	0	2分
0	0	0	0	0	0	1	1	3分
0	0	0	0	0	1	0	0	4分
0	0	0	0	0	1	0	1	5分
0	0	0	0	0	1	1	0	6分
0	0	0	0	0	1	1	1	7分
0	0	0	0	1	0	0	0	8分
0	0	0	0	1	0	0	1	9分
0	0	1	0	0	0	0	0	10分
:								
0	0	1	1	0	0	1	1	19分
0	1	0	0	0	0	0	0	20分
:								
0	1	0	1	0	0	1	1	29分
0	1	1	0	0	0	0	0	30分
:								
0	1	1	1	0	0	1	1	39分
1	0	0	0	0	0	0	0	40分
:								
1	0	0	1	0	0	1	1	49分
1	0	1	0	0	0	0	0	50分
:								
1	0	1	1	0	0	1	1	59分

注) 上記以外の設定はしないでください。

Not for

(3) 時間桁レジスタの設定 (PAGE0/1)

1. 24時間クロックモード (MONTHR<MO0> = "1")の場合

	7	6	5	4	3	2	1	0
HOURR (1322H)			HO5	HO4	HO3	HO2	HO1	HO0
Bit symbol								
Read/Write			R/W					
リセット後			不定					
機能	"0" がリードされます。		20時	10時	8時	4時	2時	1時

設定例を下記に示します。

0	0	0	0	0	0	0	0時
0	0	0	0	0	0	1	1時
0	0	0	0	0	1	0	2時
:							
0	0	1	0	0	0	0	8時
0	0	1	0	0	0	1	9時
0	1	0	0	0	0	0	10時
:							
0	1	1	0	0	1	1	19時
1	0	0	0	0	0	0	20時
:							
1	0	0	0	1	1	1	23時

注) 上記以外の設定はしないでください。

2. 12時間クロックモード (MONTHR<MO0> = "0")の場合

	7	6	5	4	3	2	1	0
HOURR (1322H)			HO5	HO4	HO3	HO2	HO1	HO0
Bit symbol								
Read/Write			R/W					
リセット後			不定					
機能	"0" がリードされず。		PM/AM	10時	8時	4時	2時	1時

設定例を下記に示します。

0	0	0	0	0	0	0	0時 (AM)
0	0	0	0	0	0	1	1時
0	0	0	0	0	1	0	2時
:							
0	0	1	0	0	0	1	9時
0	1	0	0	0	0	0	10時
0	1	0	0	0	0	1	11時
1	0	0	0	0	0	0	0時 (PM)
1	0	0	0	0	0	1	1時

注) 上記以外の設定はしないでください。

(4) 週桁レジスタの設定 (PAGE0/1)

	7	6	5	4	3	2	1	0
DAYR (1323H)	/					WE2	WE1	WE0
Bit symbol						R/W		
Read/Write						不定		
リセット後	"0" がリードされます。					W2	W1	W0
機能								

設定例を下記に示します。

0	0	0	日曜日
0	0	1	月曜日
0	1	0	火曜日
0	1	1	水曜日
1	0	0	木曜日
1	0	1	金曜日
1	1	0	土曜日

注) 上記以外の設定はしないでください。

(5) 日桁レジスタ (PAGE0/1)

	7	6	5	4	3	2	1	0
DATER (1324H)	/		DA5	DA4	DA3	DA2	DA1	DA0
Bit symbol			R/W					
Read/Write			不定					
リセット後	"0" がリードされます。		20日	10日	8日	4日	2日	1日
機能								

設定例を下記に示します。

0	0	0	0	0	0	0	0日
0	0	0	0	0	0	1	1日
0	0	0	0	0	1	0	2日
0	0	0	0	0	1	1	3日
0	0	0	0	1	0	0	4日
:							
0	0	1	0	0	0	1	9日
0	1	0	0	0	0	0	10日
0	1	0	0	0	0	1	11日
:							
0	1	1	0	0	0	1	19日
1	0	0	0	0	0	0	20日
:							
1	0	1	0	0	0	1	29日
1	1	0	0	0	0	0	30日
1	1	0	0	0	0	1	31日

注1) 上記以外の設定はしないでください。

注2) 2月30日など、存在しない日は設定しないでください。

(6) 月桁レジスタの設定 (PAGE0 のみ)

	7	6	5	4	3	2	1	0
MONTHR (1325H)	/			MO4	MO4	MO2	MO1	MO0
Read/Write				R/W				
リセット後	/			不定				
機能				"0" がリードされます。			10月	8月

設定例を下記に示します。

0	0	0	0	1	1月
0	0	0	1	0	2月
0	0	0	1	1	3月
0	0	1	0	0	4月
0	0	1	0	1	5月
0	0	1	1	0	6月
0	0	1	1	1	7月
0	1	0	0	0	8月
0	1	0	0	1	9月
1	0	0	0	0	10月
1	0	0	0	1	11月
1	0	0	1	0	12月

注) 上記以外の設定はしないでください。

(7) 24 時間時計、12 時間時計の選択 (PAGE1 のみ)

	7	6	5	4	3	2	1	0
MONTHR (1325H)	/							MO0
Read/Write								R/W
リセット後	/							不定
機能								"0" がリードされます。

(8) 年桁レジスタの設定 (PAGE0のみ)

	7	6	5	4	3	2	1	0	
YEARR (1326H)	Bit symbol	YE7	YE6	YE5	YE4	YE3	YE2	YE1	YE0
	Read/Write	R/W							
	リセット後	不定							
	機能	80年	40年	20年	10年	8年	4年	2年	1年

設定例を下記に示します。

0	0	0	0	0	0	0	0	00年
0	0	0	0	0	0	0	1	01年
0	0	0	0	0	0	1	0	02年
0	0	0	0	0	0	1	1	03年
0	0	0	0	0	1	0	0	04年
0	0	0	0	0	1	0	1	05年
⋮								
1	0	0	1	1	0	0	1	99年

注) 上記以外の設定はしないでください。

(9) うるう年レジスタの設定 (PAGE1のみ)

	7	6	5	4	3	2	1	0				
YEARR (1326H)	Bit symbol	/					LEAP1		LEAP0			
	Read/Write						R/W					
	リセット後						不定					
	機能	/					00: うるう年					
							"0" がリードされません。			01: うるう年から1年目		
										10: うるう年から2年目		
										11: うるう年から3年目		

設定例を下記に示します。

0	0	現在の年(今年)がうるう年
0	1	現在がうるう年から1年目
1	0	現在がうるう年から2年目
1	1	現在がうるう年から3年目

(10) PAGE レジスタの設定 (PAGE0/1)

	7	6	5	4	3	2	1	0
PAGER (0327H)	INTENA			ADJUST	ENATMR	ENAALM		PAGE
Read/Write	R/W			W	R/W			R/W
リセット後	0			不定	不定			不定
機能	INTRTC 0: 禁止 1: 許可	"0" がリードされます。		0: Don't care 1: 補正	時計 0: 禁止 1: 許可	ALARM 0: 禁止 1: 許可	"0" が リード されます。	PAGE 設定

注) ENATMR および ENAAML の各々の割り込み許可ビットと、INTENA の割り込み許可ビットは下記の設定順番を守り、同時に設定しないようにしてください。
(時計/アラーム許可と割り込み許可の設定間に時間差を設ける。)

(例) 現時刻、アラーム設定

Id (pager), 0ch : 時計、アラーム許可

Id (pager), 8ch : 割り込み許可

PAGE	0	1
	Page0 が選択されます	Page1 が選択されます

ADJUST	0	1
	Don't care	秒を補正します。秒が 0~29 秒のときにこのビットを "1" にすると、秒は "0" になります。また、30~59 秒のときは分を桁上げて秒を "0" にします。f _{SYS} の一周期分 ADJUST 信号が出て、一度 ADJUST されるとその後自動的に ADJUST 解除されます。(PAGE0 のみ)

(11) リセットレジスタの設定 (PAGE0/1)

	7	6	5	4	3	2	1	0
RESTR (1328H)	DIS1Hz	DIS16Hz	RSTTMR	RSTALM	-	-	-	-
Read/Write	W							
リセット後	不定							
機能	1 Hz 0: 許可 1: 禁止	16 Hz 0: 許可 1: 禁止	1: 時計 リセット	1: アラーム リセット	"0" をライトしてください。			

RSTALM	0	1
	未使用	アラームレジスタをリセットします。

RSTTMR	0	1
	未使用	カウンタリセット

<DIS1HZ>	<DIS16HZ>	PAGER<ENAALM>	割り込みソース信号
1	1	1	アラーム
0	1	0	1Hz
1	0	0	16Hz
その他			"0" が出力されます。

3.14.5 動作説明

(1) 時計データをリードする場合

1. 1Hz 割り込みを利用する

1Hz の割り込みと内部データのカウンタアップは同期していますので、1Hz 割り込みを待って、データをリードすれば、正常にデータリードできます。

2. 2度読みを利用する

時計データのリード動作の途中で内部カウンタの桁上げが起こると誤ったデータをリードする場合があります。従って、データを正しく読み込むために、下記の方法で2度以上リードしてください。

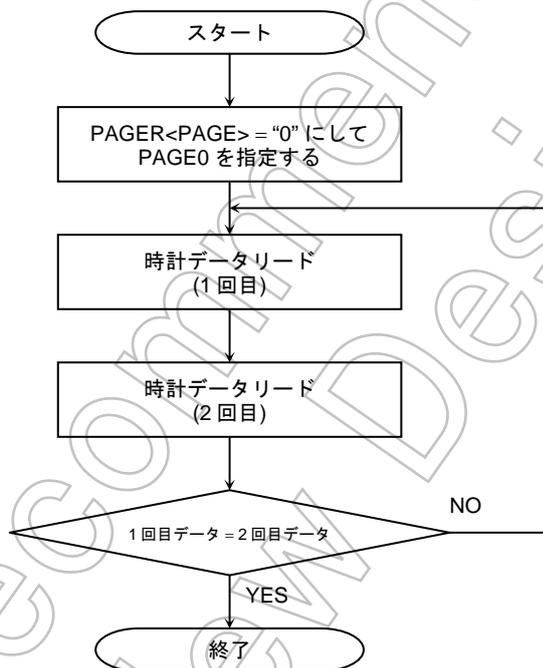


図 3.14.2 時計データのリードフロー

(2) 時計データをライトする場合

一連のデータライト動作の途中で桁上げ信号が入ってくると、期待するデータはライトできません。従って、データを正しくライトするためにはつぎの方法があります。

1. 1Hz 割り込みを利用する

1Hz の割り込みと内部データのカウンタアップは同期していますので、1Hz 割り込みを待って、データをライトすれば、正常にデータライトできます。

2. カウンタをリセットする

RTC 内部には 32.768 KHz の信号から 1 Hz を発生する 15 段のカウンタが内蔵されており、このカウンタをリセットした後にデータをライトします。

ただし、カウンタクリアした場合、直後の 1 回目のみ、所定時間の半分でカウンタアップされます。そのため、正常な時間カウンタの設定をする場合は、カウンタクリア後、1Hz 割り込みを許可し、最初の割り込み (0.5Hz で発生) を待ってその後に時間設定をするようにしてください。

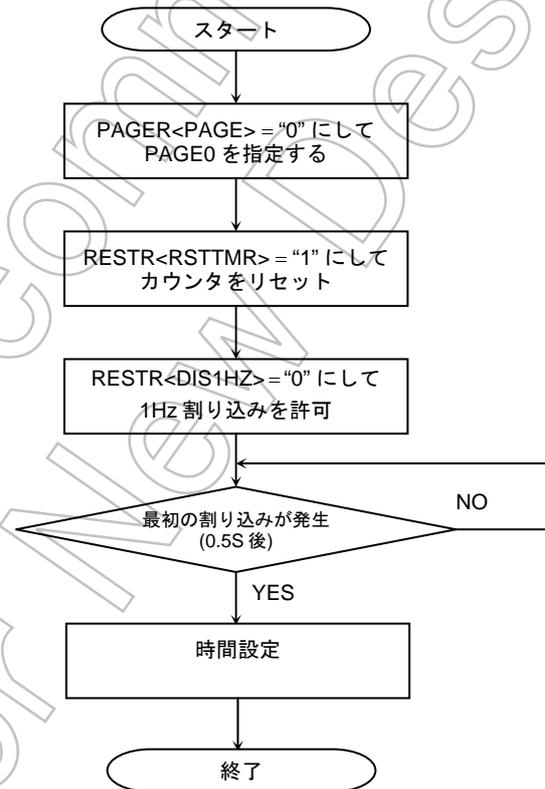


図 3.14.3 時計データライトのフロー

3. 時計を禁止する場合

PAGER<ENATMR>に“0”をライトすると、時計は禁止となって桁上げは禁止されますが、1s Carry ホールド回路により誤カウントを防ぐことができます。

1s Carry ホールド回路は、時計が禁止中に分周器から発生した1秒の桁上げ信号を1回分だけ保持し、時計許可になってからその桁上げ信号を時計に出力して時刻を補正し、継続して動作します。ただし、時計禁止状態が1秒以上続くと時計は遅れてきます。

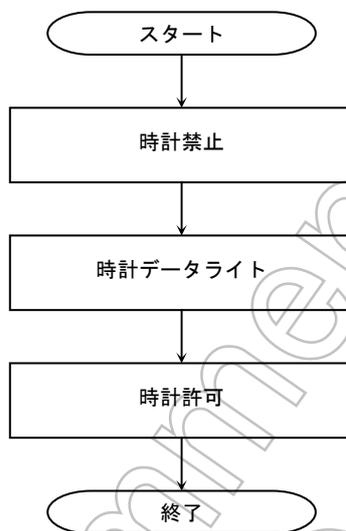


図 3.14.4 時計を禁止するフローチャート

3.14.6 アラーム機能の説明

PAGER<PAGE>に“1”をライトすることにより、PAGE1のレジスタ群でアラーム機能が使用できます。 $\overline{\text{ALARM}}$ 端子からは以下3つの信号のいずれかを出力できます。INTRTCはいずれの場合も立ち下がりエッジを検出して1ショットのパルスを出力します。

なお、RTCはリセットにより初期化されませんので、時計、アラームの設定時に割り込みコントローラにある割り込み要求フラグをクリアしてから使用してください。

- (1) アラームレジスタと時計の一致時、“0”を出力
- (2) 1 Hzのクロックを出力
- (3) 16 Hzのクロックを出力

なお、RTCはリセットにより初期化されませんので、リセット後、タイマ、アラームの設定時に割り込みコントローラにある割り込み要求フラグをクリアしてから使用してください。

- (1) アラームレジスタと時計の一致時、 $\overline{\text{ALARM}}$ 端子から“0”を出力

PAGER<ENAALM>=“1”で、PAGE1のアラームレジスタとPAGE0の時計の内容が一致したときに $\overline{\text{ALARM}}$ 端子に“0”を出力するとともに、PAGER<INTENA>=“1”ならばINTRTC割り込みを発生し、その時刻になったことを知らせます。

アラームを使用する方法を下記に説明します。

アラームの初期化はRESTR<RSTALM>に“1”をライトすることにより行われ、アラーム分析、アラーム時桁、アラーム日桁、アラーム曜日桁はDon't careになります。このときは、常に時計の内容と一致したことになりPAGER<INENA>、<ENAALM>が“1”であればINTRTC割り込みを出力します。

アラーム分析、アラーム時桁、アラーム日桁、アラーム曜日桁の設定は、PAGE1の各レジスタにデータをライトすることにより行われます。データを設定した項目は、Don't careが解除されます。

すべての項目が一致したときにPAGER<ENAALM>、PAGER<INTENA>が“1”であればINTRTC割り込みを要求します。ただし、未設定項目(Don't care状態)は常に一致しているものとみなされます。

一度設定した項目は独立にDon't careに戻すことはできませんがアラームの初期化を行うとすべてDon't careになります。

例えば、毎日正午(PM12:00)にアラームを出力させる場合のプログラムを下記に示します。

LD	(PAGER), 09H	;	アラーム禁止、PAGE1設定
LD	(RESTR), D0H	;	アラーム初期化
LD	(DAYR), 01H	;	W0
LD	(DATAR), 01H	;	1日
LD	(HOURLR), 12H	;	12時設定
LD	(MINR), 00H	;	00分設定
		;	セットアップ時間 31 μ s (注)
LD	(PAGER), 0CH	;	アラーム許可
LD	(PAGER), 8CH	;	割り込み許可

アラーム設定は、低周波クロックに同期して動作していますので、CPUが高周波で動作している場合、レジスタ設定してから有効になるまでに最大32 kHzの1クロック分(約30 μ s)のズレを生じることがあります。上記例の場合、時間設定しアラーム許可までの間に31 μ sのセットアップ時間が必要です。

注) このセットアップ時間は内部割り込みのみの使用の際は不要です。

(2) 1 Hz のクロックを出力する場合

PAGER<ENAALM>="0"、RESTR<DIS1HZ>="0"、<DIS16HZ>="1" を設定すると $\overline{\text{ALARM}}$ 端子に 1 Hz のクロックを出力します。また、そのクロックの立ち下がりエッジで INTRTC 割り込みを出力します。

(3) 16 Hz のクロックを出力する場合

PAGER<ENAALM>="0"、RESTR<DIS1HZ>="1"、<DIS16HZ>="0" を設定することにより $\overline{\text{ALARM}}$ 端子に 16 Hz のクロックを出力します。また、そのクロックの立ち下がりエッジで INTRTC 割り込みを出力します。

Not Recommended
for New Design

3.15 LCD コントローラ (LCDC)

RAM 内蔵型、SR(シフトレジスタ)型の 2 タイプの LCD ドライバに対応する LCD コントローラを内蔵しています。

SR 型では表示 RAM のアドレスを切り替えることで、表示データの書き換えを行わずに表示を上下、左右にシフトさせる表示 PAN(パン機能)が可能です。

- シフトレジスタ型 LCD ドライバ (SR モード)

あらかじめ、動作モード、表示データ格納メモリのスタートアドレス、LCD サイズ(コモン、セグメント)などを SFR に設定後、スタートします。それにより、LCDC は CPU にバス開放要求を出力し、表示データのメモリからデータをリードします。その後、外部にある LCD ドライバへ、設定された LCD サイズ分のデータを専用データバス(LD7:0)端子より転送します。このとき、データ転送に同期して LCD ドライバへ接続される LCPO などの制御端子も規定の波形を出力します。表示データのリードが終了するとバス開放要求を解除し CPU はリスタートします。LCDC は FIFO バッファを内蔵しているため、高速で表示メモリからデータを読み込み、LCD ドライバ専用バスから、接続された LCD ドライバの AC 規格に合わせた転送が可能です。

表示 RAM としては SDRAM、SRAM に対応しています。

また、TMP92CA25 では 10 KB の内蔵 RAM を表示 RAM に設定することが可能です。内部 SRAM のアクセスは非常に高速に行われるため(32 ビットバス、1 システムクロックでのリードまたはライト)、BUSREQ による CPU 動作の圧迫を最小限に押さえて、LCD ドライバへの DMA 動作を実現しています。また、内蔵の SRAM を使うことで、表示中の消費電流を大幅に低減しています。

内蔵の SRAM を使用して最大、320×240(QVGA サイズ)の表示が可能です。

- RAM 内蔵型 LCD ドライバ対応モード (RAM モード)

LCD ドライバへのデータ転送は CPU の転送命令で実行します。

あらかじめ、動作モードのみを SFR に設定後、CPU の転送命令が実行されると LCDC はそれに同期して LCPO などの制御端子より外部へ接続される LCD ドライバへチップイネーブル信号を出力します。そのため LCD サイズに対応したデータ転送数などの制御は CPU の命令で制御します。

ランダムアクセスタイプとシーケンシャルアクセスタイプの RAM 内蔵 LCD ドライバに対応しています。

3.15.1 タイプ別 LCDC の特長

それぞれモードについての特長、端子の使用方法などを下記に示します。

表 3.15.1 タイプ別 LCDC の特長

(接続例では東芝製 LCD ドライバを接続することを前提に信号名などを記述しています)

LCD ドライバの種類		シフトレジスタ型	RAM 内蔵型
表示色		モノクロ(白黒)	LCD ドライバに依存
対応可能な LCD 表示画素数		Row (common): 64, 120, 128, 160, 200, 240, 320, 480 Column (Segment): 64, 128, 160, 240, 320, 480, 640	LCD ドライバに依存
転送元データバス幅 (SRAM, SDRAM)		16 ビット, 32 ビット(内蔵 RAM)	メモリコントローラ設定に依存 (通常メモリと同様)
転送先データバス幅 (LCD ドライバ)		4, 8 ビット	
最大転送レート (@f _{SYS} = 20[MHz])		12.5 ns/バイト @内部 RAM, 25 ns/1 バイト @外部SRAM、50 ns/1 バイト @外部SRAM	-
パン機能		対応可能	LCD ドライバに依存
外部 端子	LCD データ: LD7-LD0 端子	<ul style="list-style-type: none"> 8 ビットモード時は LD7-LD0 4 ビットモード時は LD3-LD0 	未使用
	D7-D0	未使用	LCD ドライバのデータバスへ接続します。
	バーステート: R/W 端子	未使用	バーステートです。LCD ドライバの \overline{WR} 端子へ接続します。
	アドレスバス: A0 端子	未使用	データバスの値を表示データと、インストラクションデータを区別するための、D/I 端子へ接続します。
	LCP0 端子	シフトクロックパルス出力端子 0 です。Column ドライバの CP 端子へ接続します。この端子の立ち下がりがエッジで LCD ドライバはデータバスの値をラッチします。	Column ドライバ 1 用チップイネーブル端子です。Column ドライバ 1 の \overline{CE} 端子へ接続します。
	LLP 端子	ラッチパルス出力端子です。ドライバの LP 端子へ接続します。この端子の立ち上がりエッジで LCD ドライバの出力段レジスタに表示データが更新されます。	Column ドライバ 2 用チップイネーブル端子です。Column ドライバ 2 の \overline{CE} 端子へ接続します。
	LFR 端子	LCD 交流化信号出力端子です。Column/Row ドライバの FR 端子へ接続します。	Column ドライバ 3 用チップイネーブル端子です。Column ドライバ 3 の \overline{CE} 端子へ接続します。
LBCD 端子	LCD のリフレッシュレートを定める周波数です。	Row ドライバ用チップイネーブル端子です。Row ドライバの \overline{LE} 端子へ接続します。	

3.15.2 SFR

LCDMODE0 レジスタ

		7	6	5	4	3	2	1	0
LCDMODE0 (0840H)	Bit symbol	RAMTYPE1	RAMTYPE0	SCPW1	SCPW0	LMODE	INTMODE	LDO1	LDO0
	Read/Write	R/W							
	リセット後	0	0	1	0	0	0	0	0
	機能	表示 RAM 00: 内蔵 RAM1 01: 外部 SRAM 10: SDRAM 11: 内蔵 RAM2		LD バス転送速度 00: Reserved 01: 2 × f _{SYS} 10: 4 × f _{SYS} 11: 8 × f _{SYS}		LCDD タイプ 0:SR 型 1:RAM 内蔵型	割り込み 選択 0:LP 1:BCD	LD バス幅制御 00: 4 ビット幅 A_type 01: 4 ビット幅 B_type 10: 8 ビット幅 type その他: Reserved	

注) SDRAM のアクセス方法は“バースト1クロックアクセス”のみです。

LCD f_{FP} レジスタ

		7	6	5	4	3	2	1	0
LCDFFP (0841H)	Bit symbol	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	f _{FP} bit7~0 設定							

Divide FRM レジスタ

		7	6	5	4	3	2	1	0
LCDDVM (0842H)	Bit symbol	FMN7	FMN6	FMN5	FMN4	FMN3	FMN2	FMN1	FMN0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	DVM bit7~0 設定							

LCD サイズ設定レジスタ

	7	6	5	4	3	2	1	0	
LCD SIZE (0843H)	Bit symbol	COM3	COM2	COM1	COM0	SEG3	SEG2	SEG1	SEG0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コモン設定 0000: Reserved 0101:200 0001: 64 0110:240 0010:120 0111:320 0011:128 1000: 480 0100:160 その他: Reserved			セグメント設定 0000: Reserved 0101:320 0001: 64 0110:480 0010:128 0111:640 0011:160 0100:240 その他: Reserved				

LCD コントロール 0 レジスタ

	7	6	5	4	3	2	1	0
LCDCTL0 (0844H)	Bit symbol	ALL0	FRMON	-	FP9	MMULCD	FP8	START
	Read/Write	R/W		R/W	R/W			
	リセット後	0	0	0	0	0	0	0
	機能	セグメント データ設定 0: 通常 1: すべて "0"出力	フレーム 分割設定 0: 停止 1: 動作	"0"を ライトして ください。	fFP 設定 bit9	RAM 内蔵 LCD ドライ バ設定 0: シーケン シャル 1: ランダム	fFP 設定 bit8	LCDC 動作 0: 停止 1: 動作

LCDC ソースクロックカウンタレジスタ

	7	6	5	4	3	2	1	0	
LCDSCC (0846H)	Bit symbol	SCC7	SCC6	SCC5	SCC4	SCC3	SCC2	SCC1	SCC0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	LCDC ソースクロックカウンタ bit7~0							

	スタートアドレスレジスタ			コモン (行) 数設定レジスタ		
	H (bit23~16)	M (bit15~8)	L (bit7~1)	H (bit8)	L (bit7~0)	----
A エリア	LSARAH (0852H) 40H	LSARAM (0851H) 00H	LSARAL (0850H) 00H	CMNAH (0855H) 00H	CMNAL (0854H) 00H	----
B エリア	LSARBH (0858H) 40H	LSARBM (0857H) 00H	LSARBL (0856H) 00H	CMNBH (085BH) 00H	CMNBL (085AH) 00H	----
C エリア	LSARCH (085EH) 40H	LSARCM (085DH) 00H	LSARCL (085CH) 00H	----	----	----

注) すべてのレジスタはリードモディファイライト可能です。

LCDC0L/LCDC0H/LCDC1L/LCDC1H/LCDC2L/LCDC2H/LCDR0L/LCDR0H レジスタ

	7	6	5	4	3	2	1	0
Bit symbol	D7	D6	D5	D4	D3	D2	D1	D0
Read/Write	外部 LCDD の仕様による							
リセット後	外部 LCDD の仕様による							
機能	外部 LCDD の仕様による							

アドレス	用途	チップ イネーブル 端子
3C0000H~ 3CFFFFH	RAM 内蔵型ドライバ 1	LCPO
3D0000H~ 3DFFFFH	RAM 内蔵型ドライバ 2	LLP
3E0000H~ 3EFFFFH	RAM 内蔵型ドライバ 3	LFR
3F0000H~ 3FFFFFFH	RAM 内蔵型ドライバ 4	LBCD

Not Recommended for New Design

3.15.3 シフトレジスタ型 LCD ドライバ対応モード (階調)

3.15.3.1 動作説明

あらかじめ、動作モード、表示メモリのスタートアドレス、階調レベル、LCD サイズ (コモン、セグメント) などを I/O レジスタに設定後、スタートレジスタをセットします。それにより、LCDC は CPU にバス開放要求 (バス停止要求) を出力し表示メモリからデータをリードし外部にある LCD ドライバへ、設定された LCD サイズ分のデータを LD バス (LCD 専用バス) 端子より転送します。このとき、データ転送に同期して LCD ドライバへ接続される LCPO などの制御端子も規定の波形を出力します。表示データのリードが終了するとバス開放要求を解除し CPU はリスタートします。

LCD コントローラは LFR、LBDC、LLP 端子の波形生成用に LCDSCC を使用します。

LCDSCC とは LCDC 専用のクロックジェネレータで、システムクロック f_{SYS} から生成されます。これにより、細かなフレーム周期 (リフレッシュレート) を設定することが出来ます。

使用しているシステムクロックの周波数 (f_{SYS}) の 1/16 のクロックを基準に、8 ビットのカウンタにて LCDC の基準クロックを設定します。

注) 表示データのリード中は、CPU が内部 BUSREQ 信号によって停止しています。従って CPU 停止時間を考慮してプログラミングしてください。

* 内蔵 RAM を表示 RAM に設定した場合には、内部の専用バスからデータを読み込むため、(通常 32 ビット、1SYSCLK) 高速かつ低消費電流での LCD 表示が可能です。また内蔵 RAM を使用した場合でも 16 ビットのアクセスモードを追加しています。これは、240 セグメントのモードを使用し、内蔵 RAM を表示 RAM に設定した場合に内蔵 RAM を有効に使うためのモードです。

表示 RAM を SDRAM とする場合には、SDRAMC の SDACR2 レジスタの設定により、使用する SDRAM のサイズを選択します。

データの出力方法を 4 ビット、8 ビットから選択可能です。また、使用する LCD ドライバに合わせて、出力の順序を切り替え可能です。

次頁より、SR タイプ LCD ドライバを制御するために必要な設定を説明いたします。

3.15.3.2 メモリ空間

LCDCは、LCDパネルに表示するイメージを上、中、下と横割りに3分割して表現することができます。各々の空間は、それぞれA、B、Cエリアと呼ばれ、下記に示す特長を持っています。

LCDスタートアドレス設定レジスタとコモン(行)数設定レジスタで、メモリ空間における各エリアのスタートアドレスと行数を設定します。(Cエリアはスタートアドレスのみ)アドレス設定は、表示モードによって1ピクセルの表示データのデータ量が異なるため、指定するアドレスはそのデータ量に合わせて設定することが必要となります。

A、Bエリアはプログラムにより表示、非表示をコモン数レジスタで設定できます。非表示の場合はコモン数レジスタに“0”を書き込みます。A、Bエリアが非表示設定の場合、パネル空間すべてがCエリアになります。表示の優先順位はA>B>Cですので、(A+B)エリアのサイズがパネルサイズ以上の場合、Cエリアは非表示になります。

また、パネル空間がCエリアのみに設定されている状態(A、Bエリア共にディセーブル設定)で、Aエリアを表示イネーブルにした場合は、CエリアがLCDパネルの下へシフトされ、最上部からAエリアが挿入されます。同様に、パネル空間がCエリアのみの状態でBエリアを表示イネーブルにすると、Cエリアの最下部からBエリアが重なる格好で挿入されます。

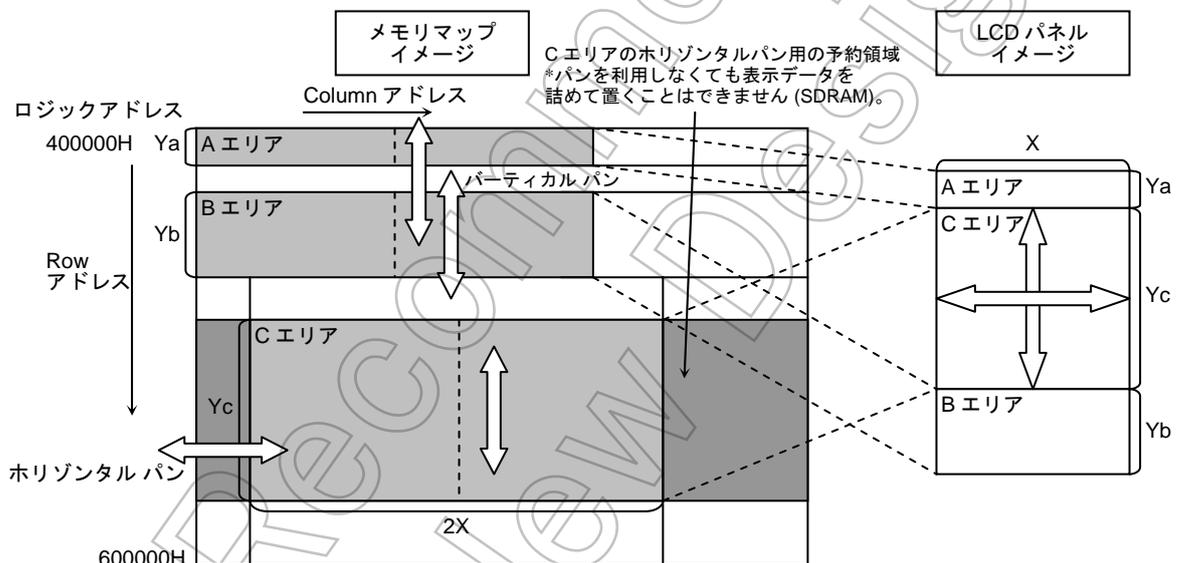


図 3.15.1 物理メモリとLCDパネルのメモリ配置関係 (4階調モード)

3.15.3.3 表示メモリのマッピングとパン機能

LCDCは、A、B、Cエリアの各スタートアドレスを変更するだけで、LCDパネルウィンドウを変更することができます。RowアドレスとColumnアドレスを変更することによって、バーティカルパン（縦方向）と水平パン（横方向）が可能です。

表示モードによって表示1画素のデータ量が異なるため、アドレスの設定方法は、現状の表示モードによってそれぞれ異なります。

表示RAMにSDRAMを使用した場合のメモリマッピングにおいて、水平パン機能を使用しなくても表示画素分の表示データをすき間なく詰めた形でSDRAMに配置することはできません。表示SDRAMの1Rowアドレスは表示パネルの1行に相当します。つまり、表示したいサイズのパネル1行に必要なデータ量が表示SDRAM1Rowアドレスの容量に満たなくても、表示パネル2行目のデータを表示SDRAMの1Rowアドレスには設定できません。表示パネルの行が1行増えることは、表示SDRAMのRowアドレスが1アドレス増えることとなります。

表示用のRAMはSDRAM、外部SRAM、内蔵SRAMに対応していますが、アドレスマルチプレクスされていないSRAMを選択した場合とSDRAMを利用した場合にはメモリマッピングが異なります。

表示RAMにSRAMを使用した場合（内蔵RAM含む）は、1行目の表示データと2行目の表示データはすき間なく配列します。

表示RAMにSRAMを選択した場合には、水平パン機能は使用できません。

また240セグメントで、内蔵RAMを表示RAMにメモリ設定した場合下記のような制限が追加されます。



上記メモリエイメージのように、8回目のアクセスで最後の16ビットのデータは棄てられてしまいます。すべてのデータを有効に使用したい場合は内蔵RAMのアクセスを内部SRAM2モード(16ビットアクセスモード)にすることでデータを隙間無く使用することが出来ます。

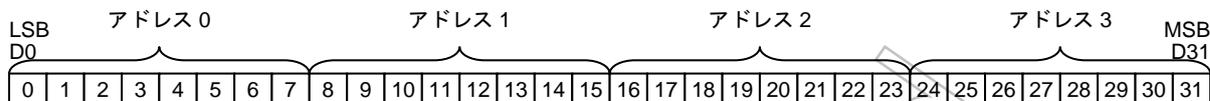
3.15.3.4 データ転送

LCDドライバへデータを転送する際、転送用の専用バス(LD7~LD0)からデータを出します。LCDドライバの入力方式に合わせて、4ビットAタイプ、4ビットBタイプ、8ビットタイプと出力フォーマットを選択することができます。

ビット単位のメモリマッピングと合わせて、以下の図3.15.2に各表示モードにおけるメモリマップイメージとデータ出力の関係を示します。

各表示モードにおけるメモリマップイメージとデータ出力

- モノクローム (1 ピクセル表示データ = 1 ビットメモリデータ) 表示メモリ



LD バス出力

4ビットAタイプ

LD0	0	→	4	→	8	→	12	...
LD1	1	→	5	→	9	→	13	...
LD2	2	→	6	→	10	→	14	...
LD3	3	→	7	→	11	→	15	...
LD4	未使用							
LD5	未使用							
LD6	未使用							
LD7	未使用							

4ビットBタイプ

LD0	4	→	0	→	12	→	8	...
LD1	5	→	1	→	13	→	9	...
LD2	6	→	2	→	14	→	10	...
LD3	7	→	3	→	15	→	11	...
LD4	未使用							
LD5	未使用							
LD6	未使用							
LD7	未使用							

8ビットタイプ

LD0	0	→	8	...
LD1	1	→	9	...
LD2	2	→	10	...
LD3	3	→	11	...
LD4	4	→	12	...
LD5	5	→	13	...
LD6	6	→	14	...
LD7	7	→	15	...

図 3.15.2 各表示モードにおけるメモリマップイメージとデータ出力

Not Recommended for New Design

3.15.3.5 フレーム信号設定

フレーム周期 (LCD パネルのリフレッシュ間隔) を、基準クロック設定 LSCC(LCDSCC<SCC7:0>)と、フレーム周期調整機能 FP[9:0](LCDCTL0<FP9, 8>, LCDFFP<FP7:0>)に設定した値により定義しています。LBCD 端子には、このフレーム周期ごとにパルスが出力され、LFR 端子には、通常この周期ごとに極性が反転する信号が出力されます。

また、特殊機能として表示ムラなどを防ぐために、フレームの極性反転タイミングを上記フレーム周期とは無関係に設定する機能も持っています。

(1) 基準クロック設定

LCDC の LP 周期、フレーム周期などをつかさどる基準クロックを決める専用クロックジェネレータを内蔵しています。これにより、細かなフレーム周期 (リフレッシュレート) を設定することができます。

使用しているシステムクロックの周波数 (f_{sys}) の 1/16 のクロックを基準に、8 ビットのカウンタにて LCDC の基準クロックを設定します。

設定の計算方法は以下の通りです。

f_{BCD}[Hz] : フレーム周波数 (リフレッシュレート: LBCD 信号の周波数)
 FP : FP[9:0]レジスタ設定値
 SCC : <SCC7:0>レジスタ設定値

$$f_{BCD}[Hz] = f_{sys}[Hz] / ((SCC + 1) \times 16 \times FP)$$

例) f_{sys}[Hz] = 20 MHz、240 COM (FP = 240) で、70 Hz にする場合

$$70[Hz] = 20000000[Hz] / ((SCC + 1) \times 16 \times 240)$$

$$SCC + 1 = 20000000 / (70 \times 16 \times 240) = 74.4$$

整数設定のみですので、SCC = 73 と設定します。(後述の FFP 調整をするため、切り捨ての整数を設定します。)

このときのリフレッシュレートは 70.3 [Hz] となります。

LCDC ソースクロックカウンタレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	SCC7	SCC6	SCC5	SCC4	SCC3	SCC2	SCC1	SCC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	LCDC ソースクロックカウンタ bit7-0							

* 上記レジスタには 1H~FFFFH をライトします。“0” をライトした場合は、動作しません。

* リフレッシュレートを必要以上に早くすると、表示データの転送が間に合わない場合があります。上記設定 SCC の値と下記の式に従って、t_{LP} 時間が決定します

$$t_{LP}[s] = (1/f_{sys}[Hz]) \times 16 \times (SCC + 1)$$

上記、t_{LP} 時間内にデータ転送が終了していなければいけません。データ送信時間が t_{LP} 以下になるように SCC およびデータ転送速度を設定してください。データ転送時間に関しては 3.15.3.6 「データ転送速度とバス占有率」を参照願います。

(2) フレーム周期調整機能 (補正機能)

本機能では、前項レジスタ FP[9:0]の設定値に従って、基本となるリフレッシュレート (LBCD 信号の周波数) が作られます。通常、この値はコモン数と同等な値を設定しますが、先述の基準クロックにて設定された周波数を更に補正するための機能です。

この機能は使用しているコモン数を増やしてリフレッシュレートを、遅い周波数に補正をかける機能です。

下記に先述の基準クロック設定に続けて例を示します。

例) $f_{\text{SYS}}[\text{Hz}] = 20 \text{ MHz}$ 、240COM (FP = 240)で、70 Hz にする場合

$$70[\text{Hz}] = 20000000[\text{Hz}] / ((\text{SCC} + 1) \times 16 \times 240)$$

$$\text{SCC} + 1 = 20000000 / (70 \times 16 \times 240) = 74.4$$

整数設定のみですので、SCC = 73 と設定します。

このときのリフレッシュレートは 70.3[Hz] となります。

$$f_{\text{BCD}}[\text{Hz}] = f_{\text{SYS}}[\text{Hz}] / ((\text{SCC} + 1) \times 16 \times \text{FP})$$

再度、上記式に SCC = 73 を取り込んで FP の値を調整します。

$$140[\text{Hz}] = 20000000 / (74 \times 16 \times \text{FP})$$

$$\text{FP} = 241.3$$

整数設定のみですので、FP = 241 と設定します。

このときのリフレッシュレートは 70.0[Hz] となります。

LCD f_{FP} レジスタ

		7	6	5	4	3	2	1	0
LCDFFP (0841H)	Bit symbol	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	f_{FP} bit7~0 設定							

(参考) モノクロームモード時は、フレーム周期は約 70[Hz] を目安にすると表示品位が上がります。

(3) フレームの反転調整機能

フレーム反転機能を使用することで、大画素表示などでおこる、表示ムラなどの*表示品位の低下を防ぐことができます。

<FRMON> = 1 で本機能をイネーブルに設定した場合は、下記 (LCDDVM) レジスタに N を設定すると、LFR 端子から (LLP × N) のタイミングごとに極性反転した信号が出力されます。

本機能を使用しない場合、(LCDCTL) <FRMON> = 0 でディセーブルに設定すると、LFR 端子から、LBCD 端子の周期ごとに極性反転した信号が出力されます。

本機能をイネーブルに設定したことによって LBCD 端子の波形やタイミングに変化はありません(画像のリフレッシュレートは変化しません)。

注) 実際に使用される LCD ドライバ、LCD パネルなどの特性によって効果は変化します。

フレーム分割レジスタ

	7	6	5	4	3	2	1	0	
LCDDVM (0842H)	Bit symbol	FMN7	FMN6	FMN5	FMN4	FMN3	FMN2	FMN1	FMN0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	DVM bit7~0 設定							

(参考) 一般的に DVM の値は素数 (3、5、7、11、13 など) に設定すると表示品位が上がります。

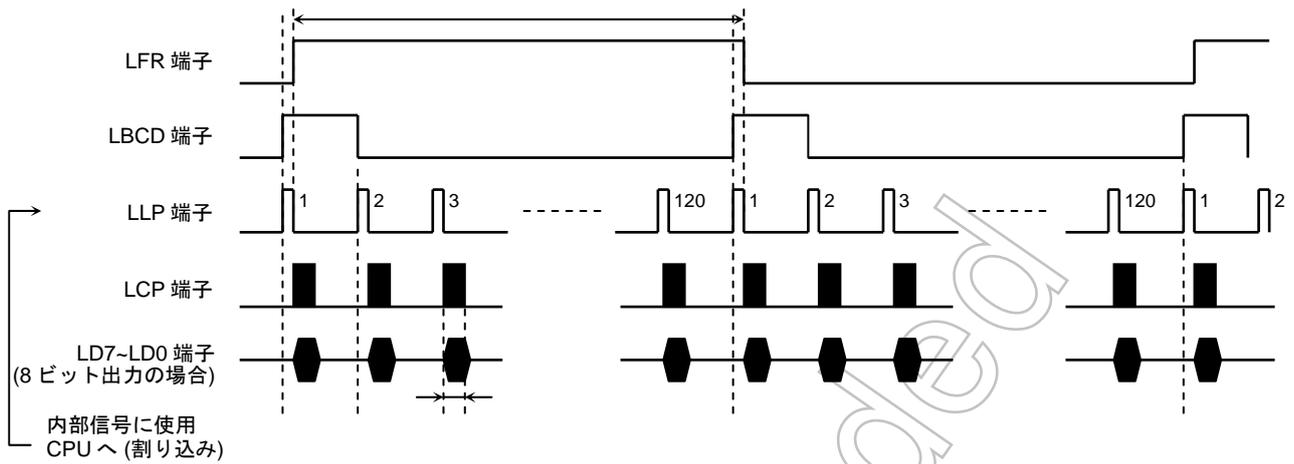
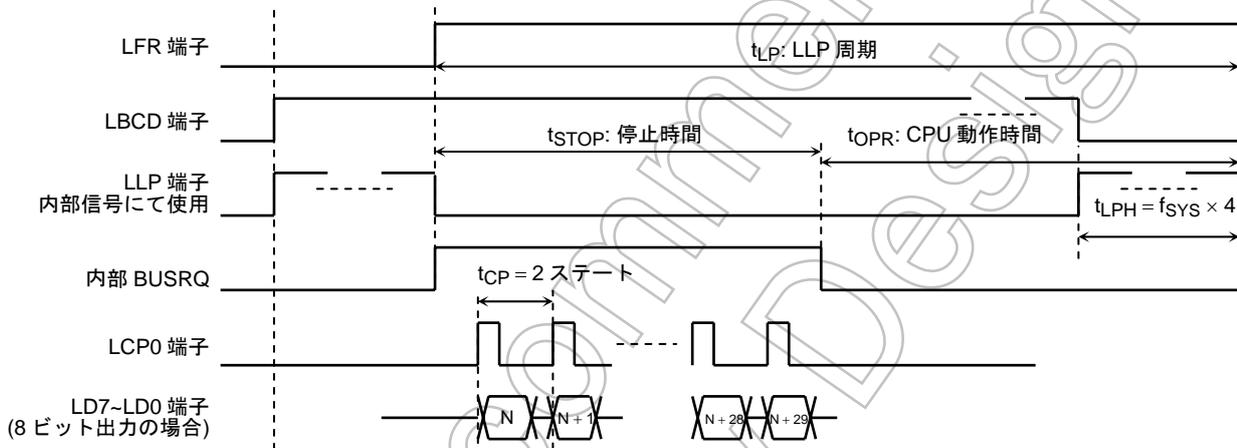


図 3.15.3 SR モード全体タイミング図



* LCDD ヘデータを転送する速度を制御するために、160 ビットの FI/FO_RAM が内蔵されています。セグメントサイズが 160 を超えた場合、1 回の t_{LP} 間隔に複数回のバス開放が要求されます。(640 セグメントの場合、最大 4 回)

図 3.15.4 SR モード詳細タイミング図

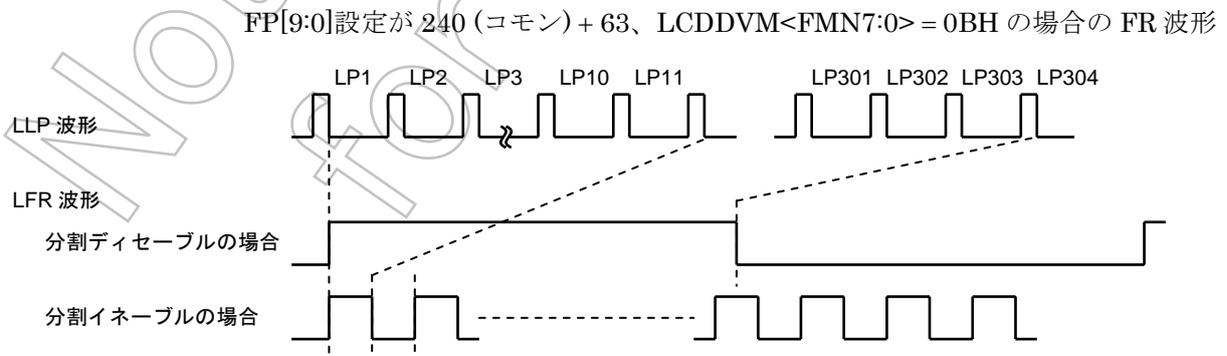


図 3.15.5 LLP、LFR 端子の波形

3.15.3.6 LCD データ転送スピードとバス占有率

LCDC は CPU にバス開放要求を出力し、転送元のメモリからデータをリードします。その後、外部にある LCD ドライバへ、設定された LCD サイズ分のデータを LCD 専用データバス端子より転送します。そのため、LCDC が転送元の表示 RAM からデータを読み取る際は自動的に CPU にバスの開放要求 (CPU を停止する) を出します。この比率は読み取るデータ量の大きさ、読み取りのスピード、表示 RAM のバス幅に依存しますので、表示モードと使用する表示 RAM からの読み取りスピードによりバスの占有率が異なります。

表示 RAM	バス幅	有効データ読み取り時間 (f _{sys} クロック数/バイト)	有効データ読み取り時間 t _{LRD} (ns/バイト) @f _{sys} = 20 MHz
外部 SRAM	16 ビット	2/2	50
内蔵 RAM1	32 ビット固定	1/4	12.5
内蔵 RAM2	16 ビット固定	1/2	25
外部 SDRAM	16 ビット	*1/2	*25

注) SDRAM 使用時は 1 コモン (行) データの読み取りごとに、+8 クロックのオーバーヘッド時間が必要です。

1 コモン (行) の転送の際に CPU が停止する時間を t_{STOP} と定義すると、各表示モードにおける t_{STOP} は下記計算式で表現されます。

$$t_{STOP} = (\text{SegNum} / 8) \times t_{LRD}$$

SegNum : 表示セグメント数

注) SDRAM 使用時には、オーバーヘッド時間が追加され上記計算式は、

$$t_{STOP} = (\text{SegNum} / 8) \times t_{LRD} + ((1/f_{sys}) \times 8)$$

となります。

バス占有率は 1 コモン (行) の更新時間 t_{LP} のうちの t_{STOP} の閉める割合を示しますので、

$$\text{CPU バス占有率} = t_{STOP} / t_{LP}$$

注) t_{LP} の時間は 3.15.3.5 「フレーム周期」を参照願います。

で計算することができます。

3.15.3.7 LDバスデータのタイミングチャート

ウェイト数が指定できる外部 SRAM、内蔵 10K バイトの SRAM、64 M、128 M、256 M、512 M ビットの SDRAM を表示 RAM に設定することができます。

160 ビットの FI/FO を内蔵しているため、CPU が高速で動作している場合でも、動作が遅い LCD ドライバを使用することが可能です。3 種類の LCP 周期 ($f_{SYS}/2$, $f_{SYS}/4$, $f_{SYS}/8$) から選択できます。

出力データ (LD7~LD0) は、LCP の立ち上がりエッジで出力され、LCD ドライバは LCP の立ち下がりでデータを受け取ります。

注) LCP 周期を遅くしすぎることによって、次段の信号に重ならないようにすることが必要です。

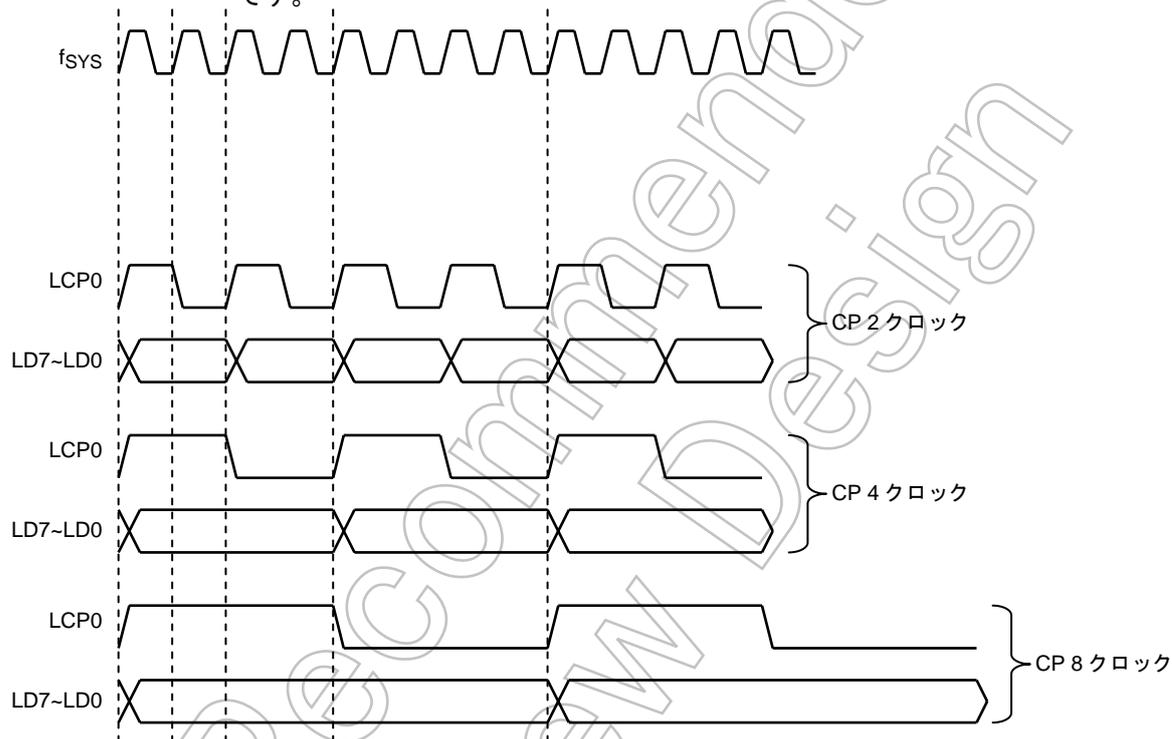


図 3.15.6 LCP 周波数選択

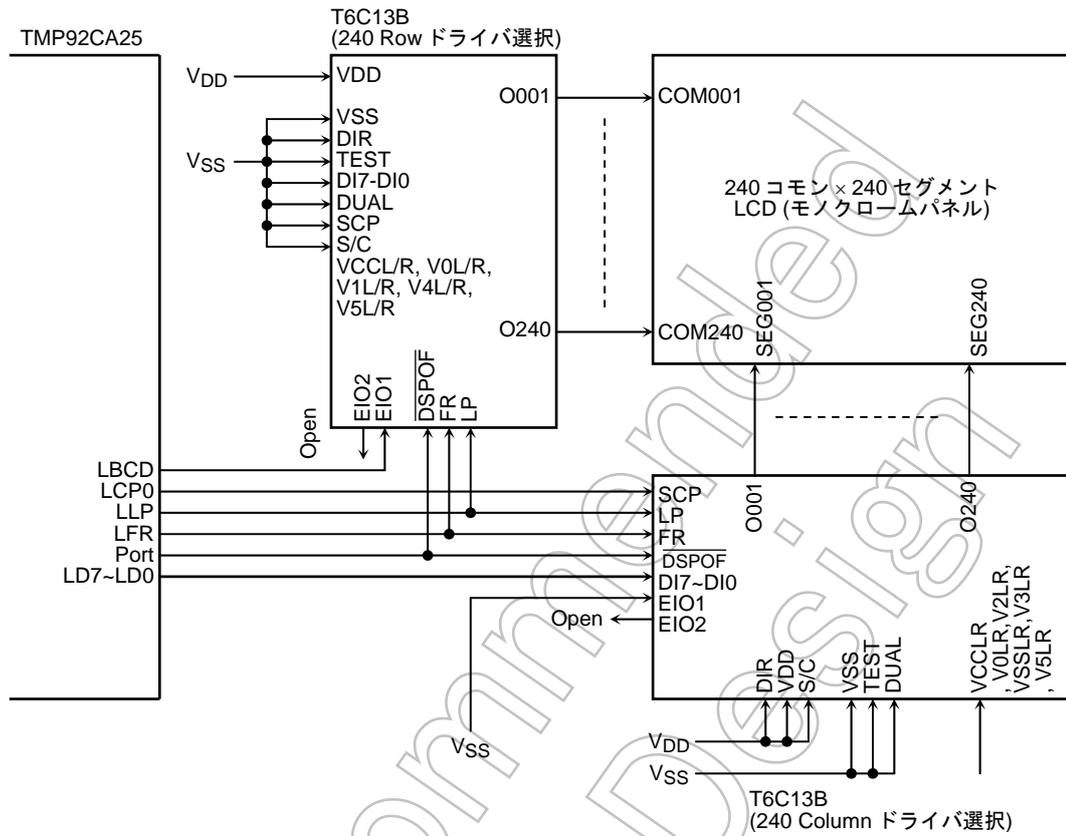
リフレッシュレートに合った表示データの転送速度を設定しないと、正常にデータが転送されません。前述の SCC の値と下記の式に従って、 t_{LP} 時間が決定します。

$$t_{LP}[s] = (1/f_{SYS}[Hz]) \times 16 \times (SCC + 1)$$

上記、 t_{LP} 時間内にデータ転送が終了していなければいけません。データ送信時間が t_{LP} 以下になるように、SCC およびデータ転送速度を設定してください。SCC 設定に関しては、3.15.3.5「フレーム周波数設定 (1) 基準クロック設定」を参照願います。

データ転送速度は、上記設定 SCP クロック速度によって決まります。

3.15.3.8 SRモード時のLCDドライバ接続例



注) LCD ドライバ表示に必要な LCD 駆動電源は、別回路が必要です。

図 3.15.7 シフトレジスタタイプ LCD ドライバ接続例

3.15.3.9 プログラムサンプル

; LCDC 条件

; パネル = 320seg × 240com, $f_{BCD} = 70\text{Hz}$ (@ $f_{SYS} = 20\text{MHz}$ 時)

; LD バス = 8 ビット、4 クロック 表示メモリ = 内蔵 RAM(2000H-)

; Port 設定

ld (pkfc),0x0f ; PK0-3: LCP0, LLP, LFR, LBCD

ldw (plcr),0xffff ; PL0-7: LD0-7

; LCDC 設定

ld xix,0x00002000 ; 内蔵 RAM 開始アドレス

ld (lsarcl),xix ; C エリアのみ

ld (lcdmode0),0x22 ; 表示メモリ = 内蔵 RAM, SCP = 4 クロック, 8 ビットバス

ld (lcdffp),240 ;

ld (lcdsize),0x65 ; 240com × 320seg

ld (lcdctl0),0x00 ;

ld (lcdscc),74 ; $SCC = f_{SYS} / (f_{BCD} \times 16 \times FP)$
; $= 20\text{MHz} / (70 \times 16 \times 240) = 74.4$

set 0,(lcdctl0) ; LCDC 表示開始

Not Recommended for New Design

3.15.4 RAM 内蔵型 LCD ドライバ対応モード (RAM モード)

3.15.4.1 動作説明

この動作モードでは LCD ドライバへのデータ転送は CPU の転送命令で実行します。あらかじめ、動作モードのみを I/O レジスタに設定後、CPU の転送命令が実行されると LCDC はそれに同期して D1BSCP などの制御端子より外部へ接続される LCD ドライバへチップセレクト信号を出力します。そのため LCD サイズに対応したデータ転送数などの制御は CPU の命令で制御します。この際の RAM 内蔵型 LCD ドライバのタイプは 2 種類あり、この選択は LCDCTL<MMULCD>レジスタにて選択します。

3.15.4.2 ランダムアクセス型

<MMULCD> = “1” 時、SRAM と同様なアクセスが可能なランダムアクセス型 RAM 内蔵 LCD ドライバに対応します。

このときの転送先アドレスは、3C0000H~3FFFFFFH のメモリエリアを 64 K バイトごとの 4 つのエリアに割り当てることも可能です。

以下に、ランダムアクセス型 RAM 内蔵 LCD ドライバのアドレスマップを示しています。この選択は LCDCTL<MMULCD>にて設定します。

このモードでは、LCD 専用バス (LD バス) は使用しません。通常データバス (D7~D0) を使用します。

表 3.15.2 ランダムアクセス型 RAM 内蔵 LCD ドライバチップイネーブル仕様

アドレス	用途	チップイネーブル端子
3C0000H~3CFFFFH	RAM 内蔵型ドライバ 1	LCPO
3D0000H~3DFFFFH	RAM 内蔵型ドライバ 2	LLP
3E0000H~3EFFFFH	RAM 内蔵型ドライバ 3	LFR
3F0000H~3FFFFFFH	RAM 内蔵型ドライバ 4	LBCD

3.15.4.3 シーケンシャルアクセス型

<MMULCD> = “0” 時、LCD ドライバ内のインストラクション、表示データレジスタを 1 バイトずつ持つシーケンシャルアクセス型 RAM 内蔵 LCD ドライバに対応します。このときの転送先アドレスは 1FE0H~1FE7H のいずれかにしてください。

LCDC0L/LCDC0H/LCDC1L/LCDC1H/LCDC2L/LCDC2H/LCDR0L/LCDR0H レジスタ

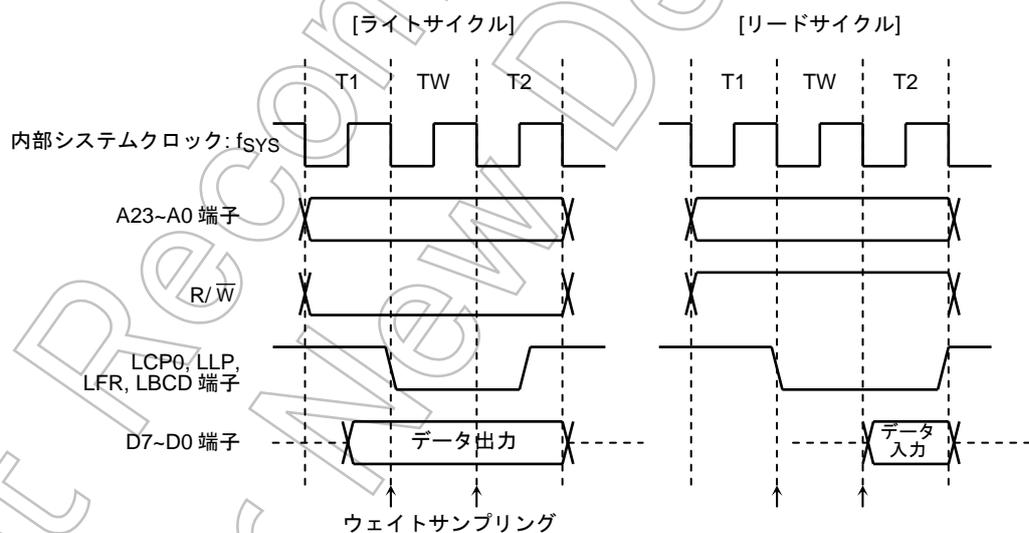
	7	6	5	4	3	2	1	0
Bit symbol	D7	D6	D5	D4	D3	D2	D1	D0
Read/Write	外部 LCDD の仕様による							
リセット後	外部 LCDD の仕様による							
機能	外部 LCDD の仕様による							

これらのレジスタは、本製品内には存在しません。外部に接続するシーケンシャルアクセス型 RAM 内蔵 LCD ドライバのインストラクションレジスタ、表示データレジスタのイメージです。これらのレジスタには上図のようなアドレスが割り当てられており、それにより対応するアドレスをアクセスするとチップイネーブル端子がアクティブになります。

また、このアドレス 1FE0H~1FE7H のエリアは外部エリアに設定していますので外部へのアクセスにより \overline{RD} 、 \overline{WR} 端子はアクティブになります。

このモードでは、LCD 専用バス (LD バス) は使用しません。通常のリデータバス (D7~D0) を使用いたします。

以下に<MMULCD> = “0” 時のアクセスタイミング例、また接続例も示します。

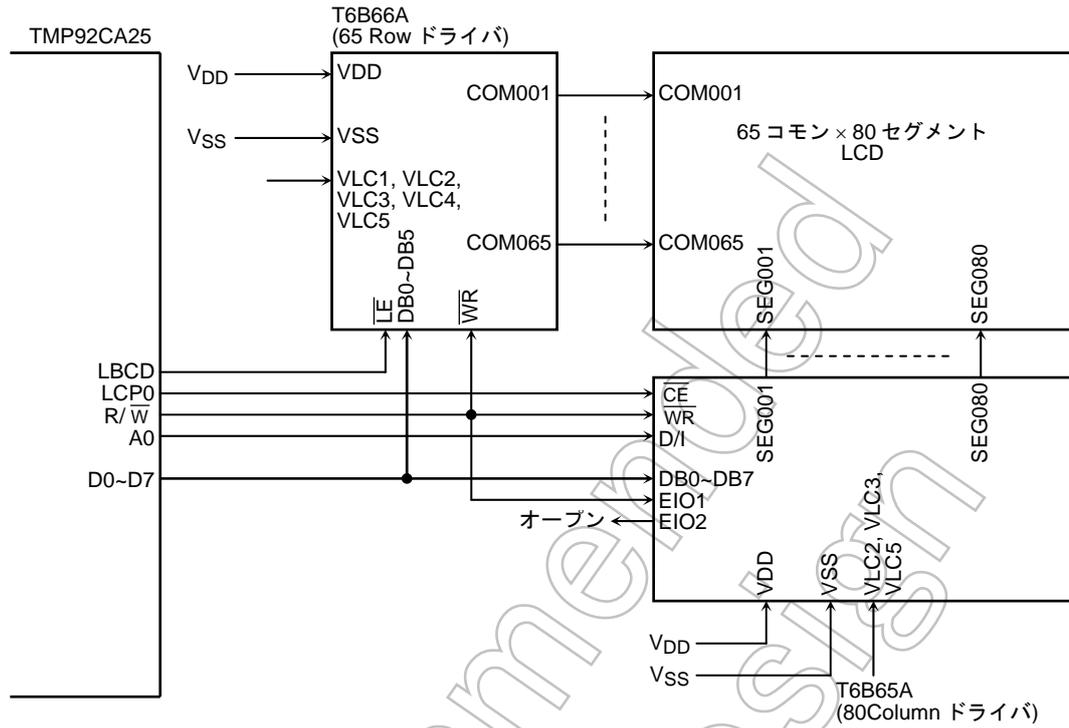


注 1) この波形は 3 ステートアクセスの場合を表しています。

注 2) LCP0 などのチップイネーブル信号の立ち上がりタイミングは異なります。

図 3.15.8 RAM 内蔵タイプ LCD ドライバアクセスタイミング例 (0 ウェイト時)

3.15.4.4 RAM内蔵タイプのLCDドライバ接続例



注) LCDドライバ表示に必要なLCD駆動電源は、別回路が必要です。

図 3.15.9 RAM内蔵タイプおよび連続アクセスタイプLCDドライバ接続例

Not Recommended for New Design

3.15.4.5 プログラム例

- 設定例: 80 セグメント×65 コモンの LCD ドライバを使用する場合

外部に接続する Column ドライバを LCDC0、Row ドライバを Lcdr0 としてアサインしインストラクション、表示データを転送します。また、インストラクションの設定には LD 命令、表示データの設定にはソフトスタートでのマイクロ DMA のバースト機能を使用した例です。

内蔵 RAM (アドレス 2000H~2289H) に、LCD ドライバへの転送データ 650 バイトを格納。

```

;*****Setting for LCDC*****
    Id      (lcmode0), 00h      ; Select RAM mode
    Id      (lcdctl0), 00h      ; MMULCD = 0 (Sequential access mode)

;*****Setting for mode of LCDC0/LCDR0*****
    Id      (lcdc1l), xx        ; Setting instruction for LCDC1
    Id      (lcdc4l), xx        ; Setting instruction for LCDC4

;*****Setting for micro DMA and INTTC (ch0)*****
    Id      a, 08h              ; Source address INC mode
    ldc     dmam0, a             ;
    Id      wa, 650              ; count = 650
    ldc     dmac0, wa            ;
    Id      xwa, 002000h         ; Source address = 002000H
    ldc     dma0, xwa            ;
    Id      xwa, 1fe1h           ; Destination address = 1FE1H (LCDC0H)
    ldc     dmad0, xwa           ;
    Id      (intetc01), 06H      ; INTTC0 level = 6
    ei      6                    ;
    Id      (dmab), 01h          ; Burst mode
    Id      (dmar), 01h          ; Soft start

```

3.16 メロディ/アラームジェネレータ (MLD)

メロディ波形、アラーム波形を作成する機能です。出力波形は両方の波形を MLDALM 端子より出力します。また、アラームジェネレータに使用する 15 ビットのフリーランカウンタより 5 種類の一定周期の割り込みを発生可能です。

下記に特長を示します。

1) メロディジェネレータ

低速クロック (32.768 KHz) を元に 4 Hz~5461 Hz の任意周波数のクロック波形を生成し MLDALM 端子より出力できます。外部にスピーカを接続することにより容易にメロディ音を鳴らすことが可能です。

2) アラームジェネレータ

低速クロック (32.768 KHz) を元に作成された変調周波数 (4096 Hz) にて、8 種類のアラーム波形を生成し MLDALM 端子より出力できます。また、この波形はレジスタにより反転して出力できます。

外部にスピーカを接続することにより容易にアラーム音を鳴らすことが可能です。

また、アラームジェネレータに使用されるフリーランカウンタを使用し 5 種類 (1 Hz, 2 Hz, 64 Hz, 512 Hz, 8192Hz) の一定周期の割り込みを発生可能です。

本章は下記のような構成になっています。

3.16.1 ブロック図

3.16.2 コントロールレジスタ

3.16.3 動作説明

3.16.3.1 メロディジェネレータ

3.16.3.2 アラームジェネレータ

3.16.1 ブロック図

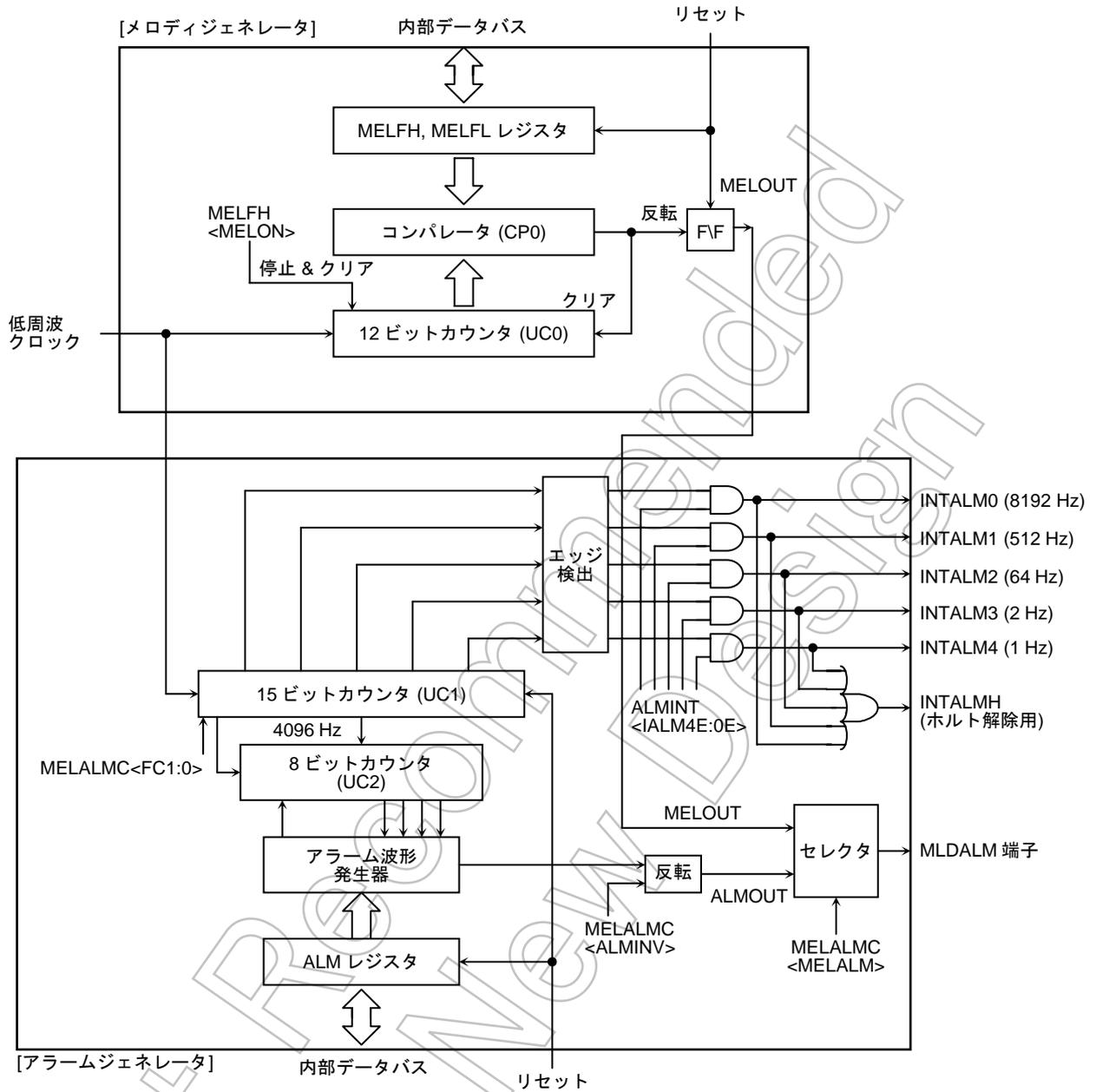


図 3.16.1 MLD ブロック図

3.16.2 コントロールレジスタ

ALM レジスタ

	7	6	5	4	3	2	1	0	
ALM (1330H)	Bit symbol	AL8	AL7	AL6	AL5	AL4	AL3	AL2	AL1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	アラームパターン設定							

MELALMC レジスタ

	7	6	5	4	3	2	1	0
MELALMC (1331H)	Bit symbol	FC1	FC0	ALMINV	-	-	-	MELALM
	Read/Write	R/W						
	リセット後	0	0	0	0	0	0	0
	機能	フリーランカウンタ制御 00: 保持 01: 再スタート 10: クリア 11: クリア & スタート	アラーム 波形反転 1: 反転	"0" をライトしてください。				出力波形 選択 0: アラーム 1: メロディ

注1) MELALMEC<FC1>は常に"0"がリードされます。

注2) フリーランカウンタが動作状態で、MELALMC レジスタの<FC1:0>以外のビットに値を設定する場合は<FC1:0>に"01"をセットしてください。

MELFL レジスタ

	7	6	5	4	3	2	1	0	
MELFL (1332H)	Bit symbol	ML7	ML6	ML5	ML4	ML3	ML2	ML1	ML0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	メロディ周波数設定 (下位 8 ビット)							

MELFH レジスタ

	7	6	5	4	3	2	1	0	
MELFH (1333H)	Bit symbol	MELON				ML11	ML10	ML9	ML8
	Read/Write	R/W				R/W			
	リセット後	0				0	0	0	0
	機能	メロディ カウンタ 制御 0: ストップ & クリア 1: スタート				メロディ周波数設定 (上位 4 ビット)			

ALMINT レジスタ

	7	6	5	4	3	2	1	0	
ALMINT (1334H)	Bit symbol			-	IALM4E	IALM3E	IALM2E	IALM1E	IALM0E
	Read/Write				R/W				
	リセット後			0	0	0	0	0	0
	機能			"0" をライ トしてく ださい。	1: INTALM4-INTALM0 の割り込み許可				

3.16.3 動作説明

3.16.3.1 メロディジェネレータ

低速クロック (32.768 KHz) を元に 4 Hz~5461 Hz の任意周波数のクロック波形を生成し MLDALM 端子より出力できます。外部にスピーカを接続することにより容易にメロディ音を鳴らすことが可能です。

(動作)

まず、MELALMC<MELALM>に“1”をライトし、MLDALM 端子からのメロディ波形出力を選択します。次に MELFH、MELFL レジスタの 12 ビットにメロディ出力周波数を設定します。

下記にメロディ出力周波数の求め方、設定例を示します

(メロディ出力周波数計算式)

$$\begin{aligned} \text{メロディ出力波形} \quad f_{\text{MLD}}[\text{Hz}] &= 32768 / (2 \times N + 4) \\ \text{メロディ設定値} \quad N &= (16384 / f_{\text{MLD}}) - 2 \\ \text{(注: } N &= 1 \sim 4095 \text{ (001H} \sim \text{FFFH)、0 は設定禁止)} \end{aligned}$$

@fs = 32.768 [kHz]

(プログラム例)

“A” の音階を出力する場合 (440 Hz)

LD (MELALMC), XXXXX1B ; メロディ波形を選択
LD (MELFL), 23H ; N = 16384/440 - 2 = 35.2 = 023H
LD (MELFH), 80H ; 波形の生成を開始

(参考: 基本音階別設定値表)

音階	周波数 [Hz]	レジスタ値: N
C	264	03CH
D	297	035H
E	330	030H
F	352	02DH
G	396	027H
A	440	023H
B	495	01FH
C	528	01DH

3.16.3.2 アラームジェネレータ

低速クロック (32.768 KHz) を元に作成された変調周波数 (4096 Hz) にて 8 種類のアラーム波形を生成し MLDALM 端子より出力できます。また、この波形はレジスタにより反転して出力できます。

外部にスピーカを接続することにより容易にアラーム音を鳴らすことが可能です。

また、アラームジェネレータに使用されるフリーランカウンタを使用し 5 種類 (1 Hz, 2 Hz, 64 Hz, 512 Hz, 8192 Hz) の一定周期の割り込みを発生可能です。

(動作)

まず、MELALMC<MELALM>に“0”をライトし、MLDALM 端子からのアラーム波形出力を選択します。次に、MELALMC<FC1:0>に“10”を設定し、内部のカウンタをクリアします。ALM レジスタの 8 ビットにアラームパターンを設定します。

最後に ALM レジスタの 8 ビットにアラームパターンを設定します。出力データを反転したい場合には<ALMINV>を反転に設定します。

下記にアラームパターンの設定値、プログラム例、設定別出力波形を示します。

(アラームパターンの設定値)

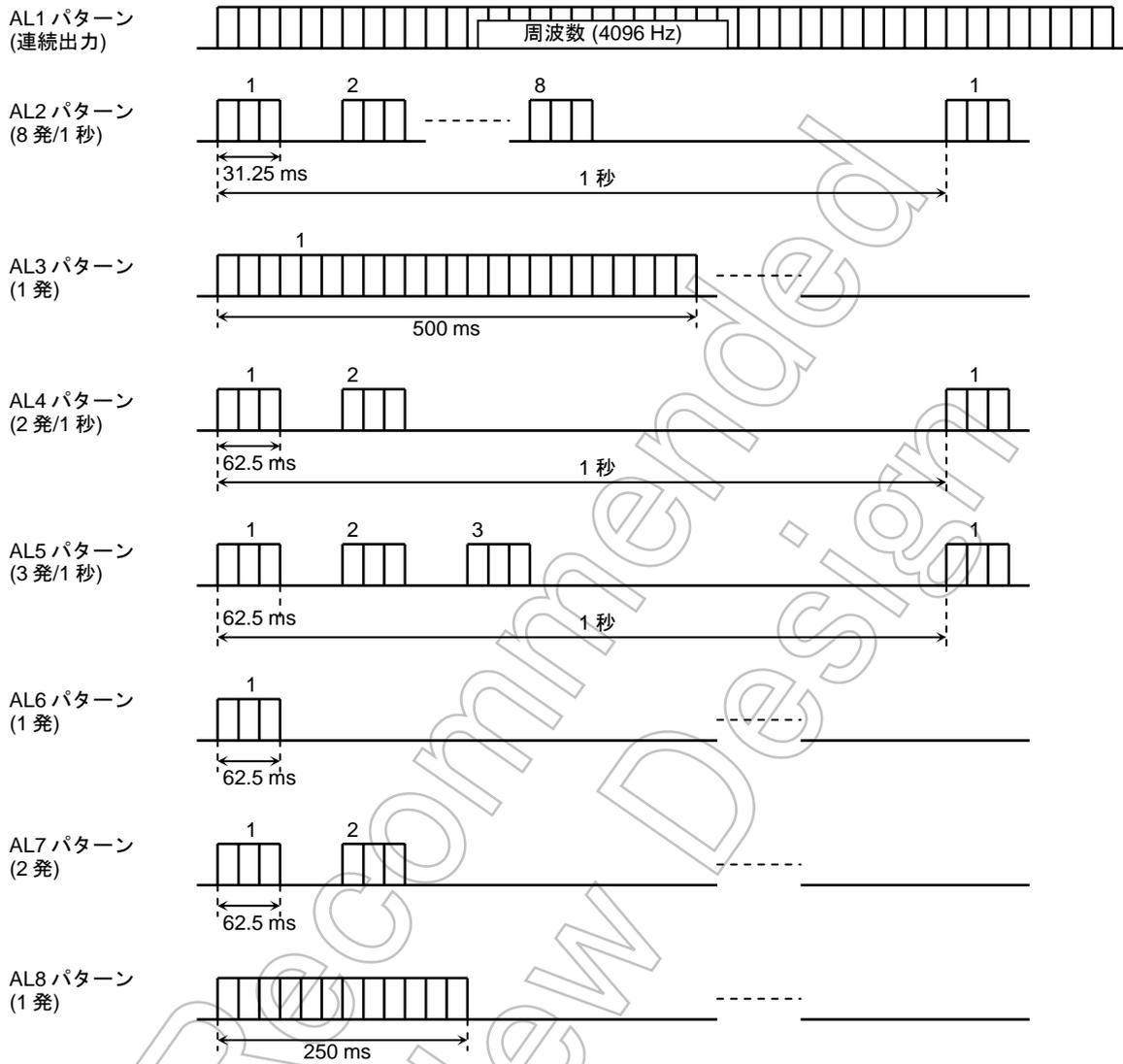
ALM レジスタ の設定値	アラーム波形
00H	“0” 固定
01H	AL1 パターン
02H	AL2 パターン
04H	AL3 パターン
08H	AL4 パターン
10H	AL5 パターン
20H	AL6 パターン
40H	AL7 パターン
80H	AL8 パターン
その他	未定義 (設定しないでください。)

(プログラム例)

AL2 パターン (31.25 ms/8 発/1 秒) のアラームを出力する場合

```
LD      (MELALMC), COH      ; アラーム波形出力設定
                          ; フリーランカウンタスタート
LD      (ALM), 02H         ; AL2 パターン設定、スタート
```

例: 各設定値のアラームパターンの波形: 反転なし



Not Recommended for New Design

3.17 SDRAM コントローラ (SDRAMC)

TMP92CA25 は、データ用、プログラム用、表示用としてアクセス可能な、SDRAM コントローラを内蔵しています。下記にその特長を記します。

(1) サポート SDRAM

データレートタイプ	: SDR (シングルデータレート) タイプのみ
メモリバンク	: 16/64/128/256/512 M ビット
バンク数	: 2/4 バンク
データバス幅	: 16 ビット
読み込みバースト長	: 1ワード/フルページ
書き込みモード	: シングル/バースト

(2) イニシャライズコマンド

全バンクプリチャージコマンド
8回のオートリフレッシュコマンド
モードレジスタの設定コマンド

(3) アクセスモード

	CPU Access	LCDC Access
リードバースト長	1ワード/フルページ選択可	フルページ
アドレッシングモード	シーケンシャル	シーケンシャル
CAS レイテンシ (クロック)	2	2
ライトモード	シングル/バースト選択可	-

(4) アクセスサイクル

CPU アクセス

リードサイクル	: 1ワード-4ステート/フルページ-1ステート
ライトサイクル	: シングル-3ステート/バースト-1ステート
データサイズ	: 1バイト/1ワード/1ロングワード

LCDC バーストアクセス

リードサイクル	: フルページ-1ステート
フルページオーバヘッド	: 4ステート (200 ns @fsys = 20 MHz)
データサイズ	: 1ワード/1ロングワード

(5) リフレッシュサイクル自動発生

- オートリフレッシュは、SDRAM アクセス以外の期間に発生します。
- リフレッシュ間隔は、プログラマブルです。
- セルフリフレッシュ機能をサポートしています。

注)

- LCDC 用表示データは、各ページの先頭から設定する必要があります。
- SDRAM 領域は、メモリコントローラの CS1 の設定してください。

3.17.1 コントロールレジスタ

図 3.17.1にSDRAMCコントロールレジスタを示します。これらのレジスタを設定することで、SDRAMCの動作を制御します。

SDRAM アクセスコントロールレジスタ 1

	7	6	5	4	3	2	1	0
SDACR1 (0250H)								
Bit symbol	-	-	SMRD	SWRC	SBST	SBL1	SBL0	SMAC
Read/Write	R/W							
リセット後	0	0	0	0	0	1	0	0
機能	"0"を ライト してくだ さい。	"0"を ライト してくだ さい。	モードレジ スタセット リカバリ 0: 1クロック 1: 2クロック	ライト リカバリ タイム 0: 1クロック 1: 2クロック	バースト ストップ コマンド 0: オールプ リチャージ 1: バースト ストップ	バースト長選択 (注1) 00: Reserved 01: フルページリード バーストライト 10: 1ワードリード シングルライト 11: フルページリード シングルライト		SDRAM コントロー ラ 0: 禁止 1: 許可

注1) <SBL1:0>を変更後、モードレジスタ設定コマンドを実行してください。なお、"フルページリード"状態から"1"ワードリードへ変更する場合は注意が必要です。3.16.13の注意事項を参照してください。

SDRAM アクセスコントロールレジスタ 2

	7	6	5	4	3	2	1	0
SDACR2 (0251H)								
Bit symbol				SBS	SDRS1	SDRS0	SMUXW1	SMUXW0
Read/Write	R/W							
リセット後				0	0	0	0	0
機能				バンク数 0: 2バンク 1: 4バンク	ROW アドレスサイズ 選択 00: 2048 ロー (11ビット) 01: 4096 ロー (12ビット) 10: 8192 ロー (13ビット) 11: Reserved	アドレスマルチプレクス タイプ選択 00: タイプ A (A9-) 01: タイプ B (A10-) 10: タイプ C (A11-) 11: Reserved		

SDRAM リフレッシュコントロールレジスタ

	7	6	5	4	3	2	1	0
SDRCR (0252H)								
Bit symbol				SSAE	SRS2	SRS1	SRS0	SRC
Read/Write	R/W							
リセット後	0			1	0	0	0	0
機能	"0"をライ トしてくだ さい。			SR オート Exit 機能 0: ディセー ブル 1: イネーブ ル	リフレッシュ間隔 000: 47 ステート 100: 156 ステート 001: 78 ステート 101: 195 ステート 010: 97 ステート 110: 249 ステート 011: 124 ステート 111: 312 ステート			オートリフ レッシュ 0: ディセー ブル 1: イネーブ ル

SDRAM コマンドレジスタ

		7	6	5	4	3	2	1	0
SDCMM (0253H)	Bit symbol						SCMM2	SCMM1	SCMM0
	Read/Write						R/W		
	リセット後						0	0	0
	機能						コマンド発行 (注 1)(注 2) 000: 実行なし 001: イニシャライズコマンド発行 a. 全バンクをプリチャージコマンド b. 8回のオートリフレッシュコマンド c. モードレジスタコマンド 100: モードレジスタコマンド 101: セルフリフレッシュ ENTRY コマンド 110: セルフリフレッシュ EXIT コマンド その他: Reserved		

注 1) コマンドが発行された後に<SCMM2:0>は“000”にクリアされますので、次のコマンド発行時は“000”であることを確認した上でライトしてください。ただし、セルフリフレッシュ ENTRY コマンドは“000”にクリアされませんので、セルフリフレッシュ中かどうか確認するフラグとして使用可能です。

注 2) セルフリフレッシュ EXIT コマンド ENTRY 中であることを確認した後、ライトしてください。

図 3.17.1 SDRAMC コントロールレジスタ

3.17.2 動作説明

(1) メモリアクセスコントロール

SDACR<SMAC>に“1”を設定すると、アクセスコントローラはイネーブルになります。

そのとき、SDRAM コントロール信号 ($\overline{\text{SDCS}}$, $\overline{\text{SDRAS}}$, $\overline{\text{SDCAS}}$, $\overline{\text{SDWE}}$, $\overline{\text{SDLLDQM}}$, $\overline{\text{SDLUDQM}}$, $\overline{\text{SDCLK}}$, $\overline{\text{SDCKE}}$) は、CPU または LCDC が、CS1 エリアをアクセスしている期間動作します。

1. アドレスマルチプレクス機能

アクセスサイクル中、A0 端子からA15 端子よりロー/カラムのマルチプレクスアドレスを出力します。また、マルチプレクス幅は、SDACR2<SMUXW1:0>の設定により決定します。マルチプレクス幅とロー/カラムアドレスの関係を表 3.17.1 に示します。

表 3.17.1 アドレスマルチプレクス

92CA25 ピン 名称	SDRAM アクセスサイクルのアドレス				
	ローアドレス			カラムアドレス	
	タイプ A <SMUXW> “00”	タイプ B <SMUXW> “01”	タイプ C <SMUXW> “10”	16 ビットデータバス幅 B1CSH<BnBUS> = “01”	32 ビットデータバス幅 B1CSH<BnBUS> = “10”
A0	A9	A10	A11	A1	A2
A1	A10	A11	A12	A2	A3
A2	A11	A12	A13	A3	A4
A3	A12	A13	A14	A4	A5
A4	A13	A14	A15	A5	A6
A5	A14	A15	A16	A6	A7
A6	A15	A16	A17	A7	A8
A7	A16	A17	A18	A8	A9
A8	A17	A18	A19	A9	A10
A9	A18	A19	A20	A10	A11
A10	A19	A20	A21	AP 注)	AP 注)
A11	A20	A21	A22	ローアドレス	
A12	A21	A22	A23		
A13	A22	A23	EA24		
A14	A23	EA24	EA25		
A15	EA24	EA25	EA26		

注) AP: オートプリチャージ

CPU による SDRAM リードおよびライトのバースト長は、SDACR1 は<SBL1:0>により選択可能です。LCDC によるアクセス時のバースト長は動作内容に固定されます。

SDRAM アクセスサイクルは図 3.17.2 および図 3.17.3 に示します。

SDRAM アクセスサイクル数は、メモリコントローラの B1CSL レジスタ設定では決まりません。

フルページバーストリードおよびライトサイクルではモードレジスタセットサイクル、プリチャージサイクルはサイクルの前後に自動挿入されます。

(2) SDRAM 上での命令実行

CPU は SDRAM に格納された命令を実行することが可能です。しかし、以下の機能は動作することができません。

- a) HALT 命令の実行
- b) SDCMM レジスタへのライト命令の実行

上記の動作が必要とされる場合、内蔵 RAM などの他のメモリに分岐して実行することが必要となります。

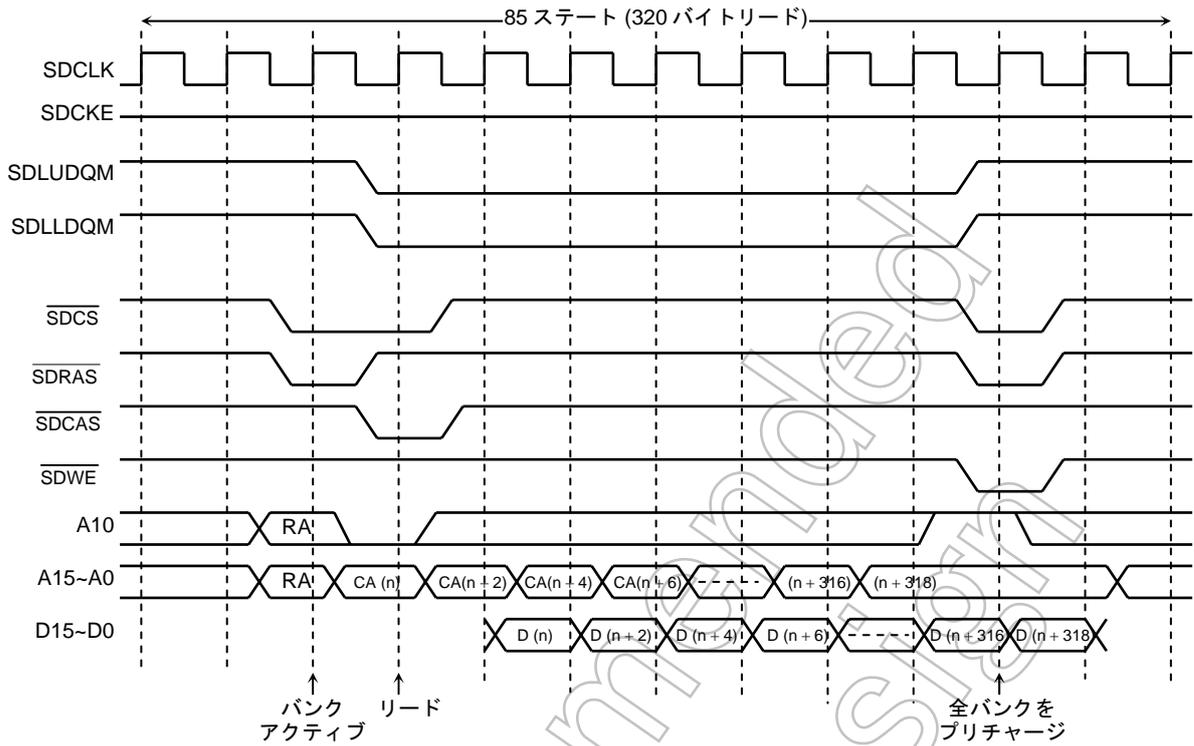


図 3.17.2 バーストリードサイクルのタイミング

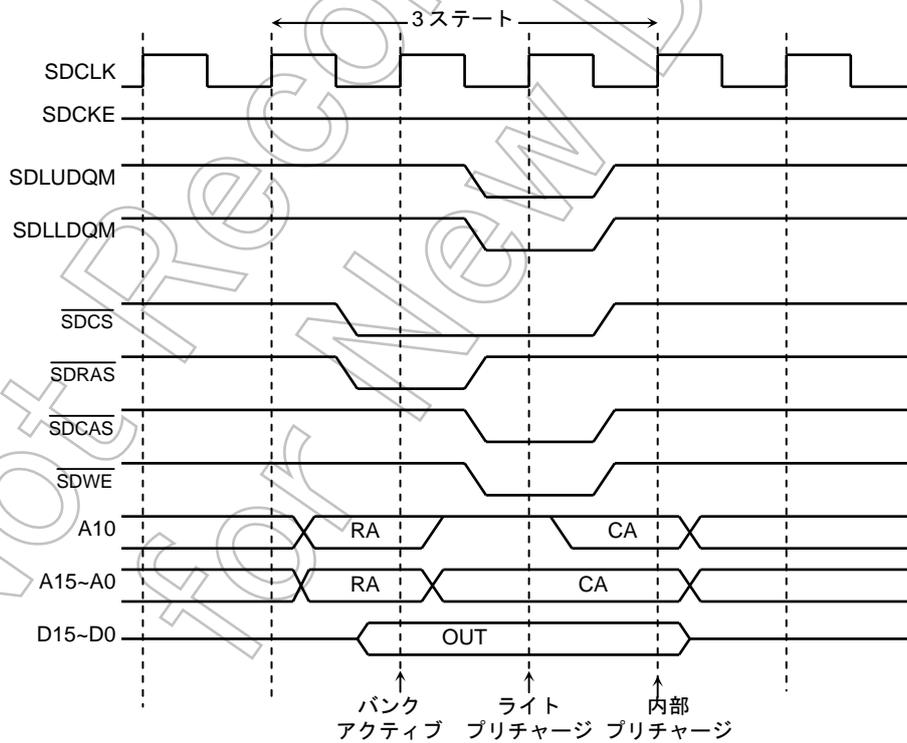


図 3.17.3 CPU ライトサイクルのタイミング

(データバスの構造: 16ビット×1、オペランドサイズ: 2バイト、アドレス: 2n+0)

(3) リフレッシュコントロール

オートリフレッシュおよびセルフリフレッシュの二つのリフレッシュコマンドをサポートしています。

(a) オートリフレッシュ

オートリフレッシュコマンドは、SDRCR<SRS2:0>に設定された間隔をSDRCR<SRC>を“1”にすることで自動的に発生します。発生間隔は47~312ステートの間に設定することが可能です。

(2.4 μ s~15.6 μ s @fSYS = 20 MHz)

CPUの動作(命令フェッチおよび実行)はオートリフレッシュコマンドを実行している間停止します。オートリフレッシュサイクルを図3.17.4に示します。また、オートリフレッシュ発生間隔を表3.17.2に示します。オートセルフリフレッシュはIDLE1モード、STOPモードでは動作しませんので、後述するセルフリフレッシュ機能を使用してください。

注) システムリセットによりオートリフレッシュ機能は無効となります。

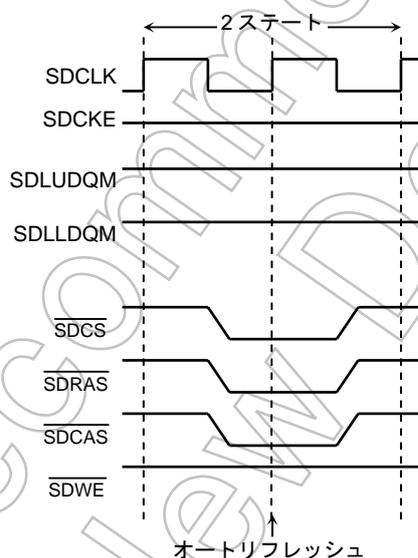


図 3.17.4 オートリフレッシュサイクルのタイミング

表 3.17.2 オートリフレッシュ挿入間隔

単位 [μ s]

SDRCR<SRS2:0>			挿入間隔 (ステート)	fSYS 周波数 (システムクロック)					
SRS2	SRS1	SRS0		6 MHz	10 MHz	12.5 MHz	15 MHz	17.5 MHz	20 MHz
0	0	0	47	7.8	4.7	3.8	3.1	2.7	2.4
0	0	1	78	13.0	7.8	6.2	5.2	4.5	3.9
0	1	0	97	16.2	9.7	7.8	6.5	5.5	4.9
0	1	1	124	20.7	12.4	9.9	8.3	7.1	6.2
1	0	0	156	26.0	15.6	12.5	10.4	8.9	7.8
1	0	1	195	32.5	19.5	15.6	13.0	11.1	9.8
1	1	0	249	41.5	24.9	19.9	16.6	14.2	12.4
1	1	1	312	52.0	31.2	25.0	20.8	17.8	15.6

(b) セルフリフレッシュ

セルフリフレッシュENTRYコマンドはSDCMM<SCMM2:0>を“101”にすることにより発生します。セルフリフレッシュサイクルを 図 3.17.5に示します。セルフリフレッシュENTRYの間、リフレッシュはSDRAM内で動作します。(オートリフレッシュコマンドは必要ありません。)

注1) システムリセットによりスタンバイモードが解除された場合は I/O レジスタは初期化され、セルフリフレッシュ状態から Exit されます。また、オートリフレッシュ機能も無効になっていますので注意してください。

注2) セルフリフレッシュ ENTRY 中は SDRAM にアクセスすることはできません。

注3) セルフリフレッシュ ENTRY コマンド後に HALT 命令を実行する場合は、SDCMM<SCMM2:0>を”101”に設定する命令と HALT 命令間に 10 バイト以上の NOP あるいはほかの命令を実行してください。

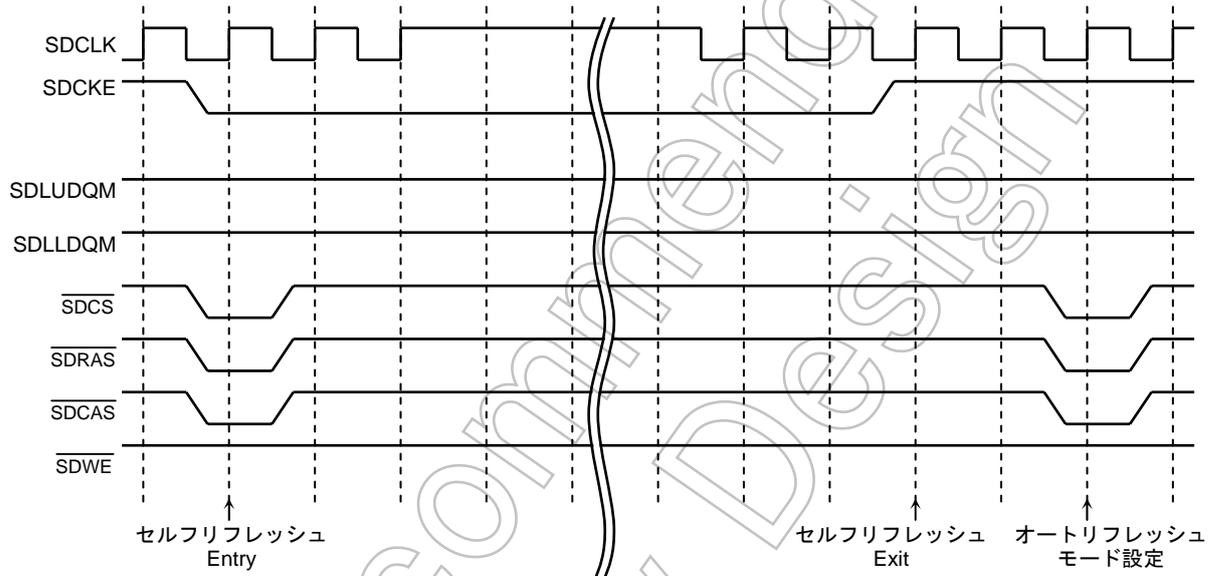


図 3.17.5 セルフリフレッシュサイクルのタイミング

セルフリフレッシュ状態は、セルフリフレッシュ EXIT コマンドを実行することにより解除できます。

セルフリフレッシュ EXIT コマンドの実行は、SDCMM<SCMM2:0>に“110”をライトする方法と、HALT 状態解除に同期して自動的に EXIT する方法の 2 通りがあります。いずれの場合もセルフリフレッシュ EXIT 直後に 1 回のオートリフレッシュを実行し、その後は設定された条件でオートリフレッシュを実行します。<SCMM2:0>に“110”をライトにより EXIT した場合、<SCMM2:0>は“000”にクリアされます。

HALT 状態解除に同期した EXIT コマンドの実行は、SDRCR<SSAE>を”0”にすることにより禁止することができます。自動的に EXIT させたくない場合は禁止してください。クロックギアダウン、SLOW モード状態などの動作クロック周波数低下により SDRAM の使用条件を満たさなくなる状態で EXIT する場合も禁止してください。この場合の実行フローを 図 3.17.6 に示します。

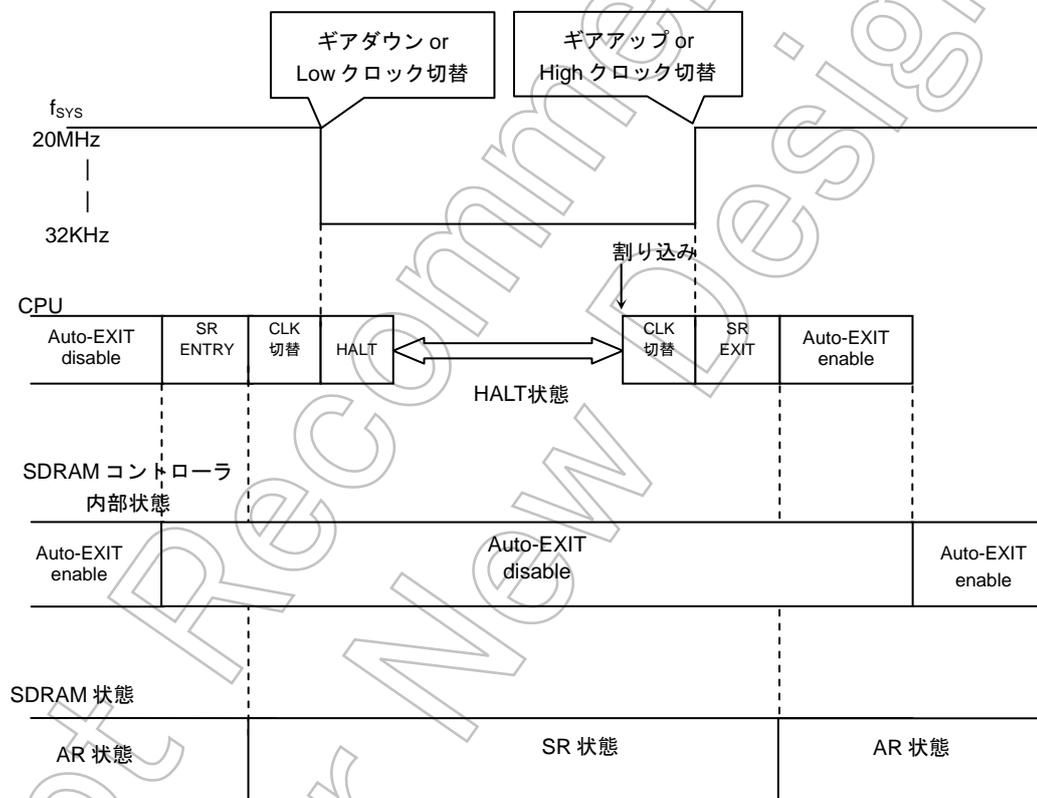


図 3.17.6 低速クロックで HALT 命令実行する際の実行フロー例

推奨例)

LOOP1:

```
LDB      A,(SDCMM)                ; コマンドレジスタクリアチェック
ANDB     A,00000111B              ;
J  NZ,LOOP1                        ;

LDW      (SDRCR),0000010100000011B ; AUTO EXIT DISABLE→SR-ENTRY

NOP × 10                            ; SR_ENTRY コマンド実行待ち
LD       (SYSCR1),00001---B        ; FS
HALT
NOP                                           ; SREF EXIT(内部信号のみ)

LD       (SYSCR1),00000---B         ; FC
LD       (SDCMM),00000110B          ; SR_EXIT
LD       (SDRCR),0001---1B          ; AUTO EXIT ENABLE
```

Not Recommended
for New Design

(4) SDRAM イニシャライズ

リセット解除後、SDRAMに必要な以下のコマンドを発行することができます。イニシャライズコマンドの内容を下記に示します。

1. オールバンクプリチャージコマンド
2. 8回のオートリフレッシュコマンド
3. モードレジスタセットコマンド

上記コマンドは、SDCMM<SCMM2:0>を“001”にすることにより発行します。

このコマンドを発行中、CPUの動作(命令フェッチ、実行)は停止します。

また、イニシャライズコマンドを発行する前に、SDRAMコントロール信号とアドレス信号(A0~A15)としてのポートの設定が必要となります。

イニシャライズコマンドが終了した後、SDCMM<SCMM2:0>は自動的に“000”にクリアされます。

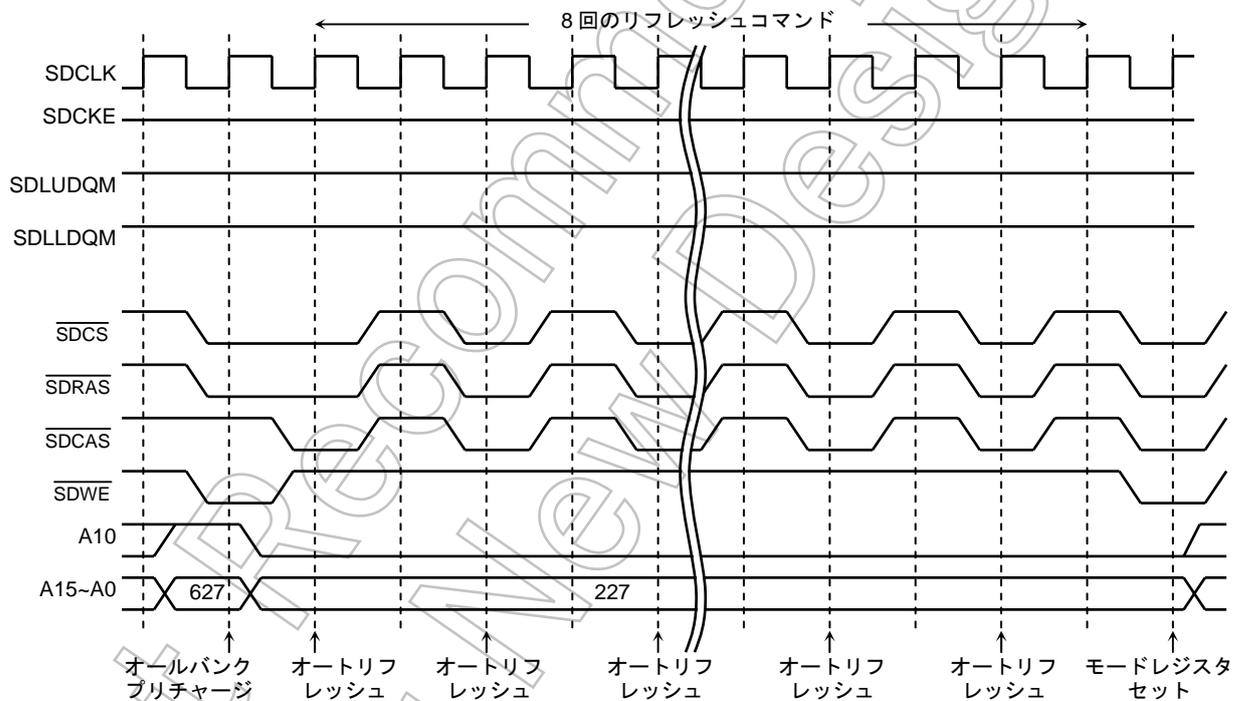


図 3.17.7 イニシャライズコマンドのタイミング

(5) 接続例

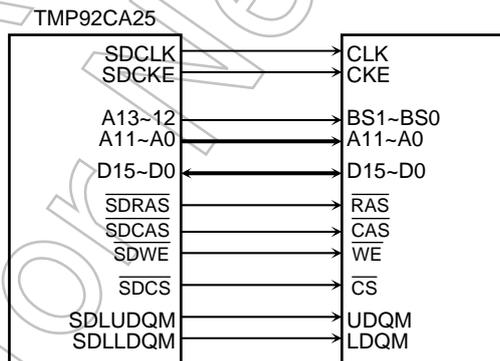
SDRAMとの接続例を図 3.17.8に示します。

表 3.17.3 SDRAM の接続

92CA25 ピン名称	SDRAM ピン名称				
	データバス幅 16 ビット				
	16 M	64 M	128 M	256 M	512 M
A0	A0	A0	A0	A0	A0
A1	A1	A1	A1	A1	A1
A2	A2	A2	A2	A2	A2
A3	A3	A3	A3	A3	A3
A4	A4	A4	A4	A4	A4
A5	A5	A5	A5	A5	A5
A6	A6	A6	A6	A6	A6
A7	A7	A7	A7	A7	A7
A8	A8	A8	A8	A8	A8
A9	A9	A9	A9	A9	A9
A10	A10	A10	A10	A10	A10
A11	BS	A11	A11	A11	A11
A12	-	BS0	BS0	A12	A12
A13	-	BS1	BS1	BS0	BS0
A14	-	-	-	BS1	BS1
A15	-	-	-	-	-
SDCS	CS	CS	CS	CS	CS
SDLUDQM	UDQM	UDQM	UDQM	UDQM	UDQM
SDLLDQM	LDQM	LDQM	LDQM	LDQM	LDQM
SDRAS	RAS	RAS	RAS	RAS	RAS
SDCAS	CAS	CAS	CAS	CAS	CAS
SDWE	WE	WE	WE	WE	WE
SDCKE	CKE	CKE	CKE	CKE	CKE
SDCLK	CLK	CLK	CLK	CLK	CLK
SDACR <SMUXW>	00: タイプ A	00: タイプ A	01: タイプ B	01: タイプ B	10: タイプ C

(An): ローアドレス

■: Command address pin of SDRAM



1 Mワード×4バンク×16ビット

図 3.17.8 SDRAM との接続例 (4 Mワード×16ビット)

3.17.3 SDRAM 使用時の注意点

SDRAM コントローラを使用する上でいくつかの注意点があります。
下記項目をよく確認いただき、誤った使用をしないようにご注意願います。

1) WAIT アクセス

SDRAM を使用する際は、SDRAM 以外のメモリアクセスに一部条件が追加されます。

メモリコントローラが持つ、WAIT 端子入力設定において、SDRAM コントローラが制御するオートリフレッシュ機能のリフレッシュ間隔×8190 を超える時間を外部 WAIT として挿入することはできません。外部 WAIT はオートリフレッシュ間隔×8190 以下の時間にしてください。

2) HALT 命令前の SDRAM SR(セルフリフレッシュ)-Entry、Initialize、Mode-set コマンド発行

SDRAM コントローラの持つコマンド(SR-Entry、Initialize、Mode-set)の発行にはSDCMM レジスタ設定後から数ステートの実行時間が必要です。

よって、その後に HALT 命令を実行する場合は、HALT 命令との間に 10 バイト以上の NOP 命令,あるいは他の命令を実行してください。

3) AR(オートリフレッシュ)間隔の設定

SDRAM 使用においては、使用する SDRAM の最低動作周波数、最低リフレッシュ間隔を満たすようなシステムクロック周波数を設定することが必要です。

SDRAM を使用し、かつクロックギアをアップ/ダウンさせることがあるシステムでは、SDRAM の AR 間隔に注意してください。

なお、AR 間隔を変更時は SDRCR<SRC>に “0”をライトし AR を禁止にした状態に変更してください。

4) アクセスモード変更時の注意点

SDRAM アクセスモードを”フルページリード”から”1 ワードリード”へ変更する場合、以下の手順で実行してください。なお、このプログラムは SDRAM 上で実行しないでください。

di		; 割込み禁止(追加)
ld	a,(任意の外部メモリアドレス)	; ダミーリード命令(追加)
ld	(sdacr1),00001101b	; “1-word リード”へ変更
ld	(sdcm),0x04	; MRS(モードレジスタセット)の実行
ei		; 割込み許可(追加)

3.18 NAND フラッシュコントローラ

3.18.1 特長

NAND フラッシュコントローラ (NDFC) は NAND フラッシュへの専用接続端子を備えています。また、エラー訂正に必要な ECC (Error Correcting Code) 計算機能を備えています。

チャンネル 0 とチャンネル 1 の計 2 チャンネルの NAND フラッシュコントローラを内蔵していますが、チップイネーブル以外の端子は兼用端子となっています。これらの信号は NDCR<CHSEL>レジスタによって制御されています。

各チャンネルは同じ仕様です。ここではチャンネル 0 のみの動作を説明します。

NAND フラッシュコントローラは以下の特長があります。

- 1) レジスタによる NAND フラッシュインタフェースの制御
- 2) ECC 計算回路を内蔵 (SLC - タイプ用)

注 1) NAND フラッシュの \overline{WP} (Write Protect) 端子については、TMP92CA25 ではサポートしていません。必要な場合は外部で準備してください。

注 2) 2 チャンネルの同時アクセスはできません。切り替えて使用してください。

Not Recommended for New Design

3.18.2 ブロック図

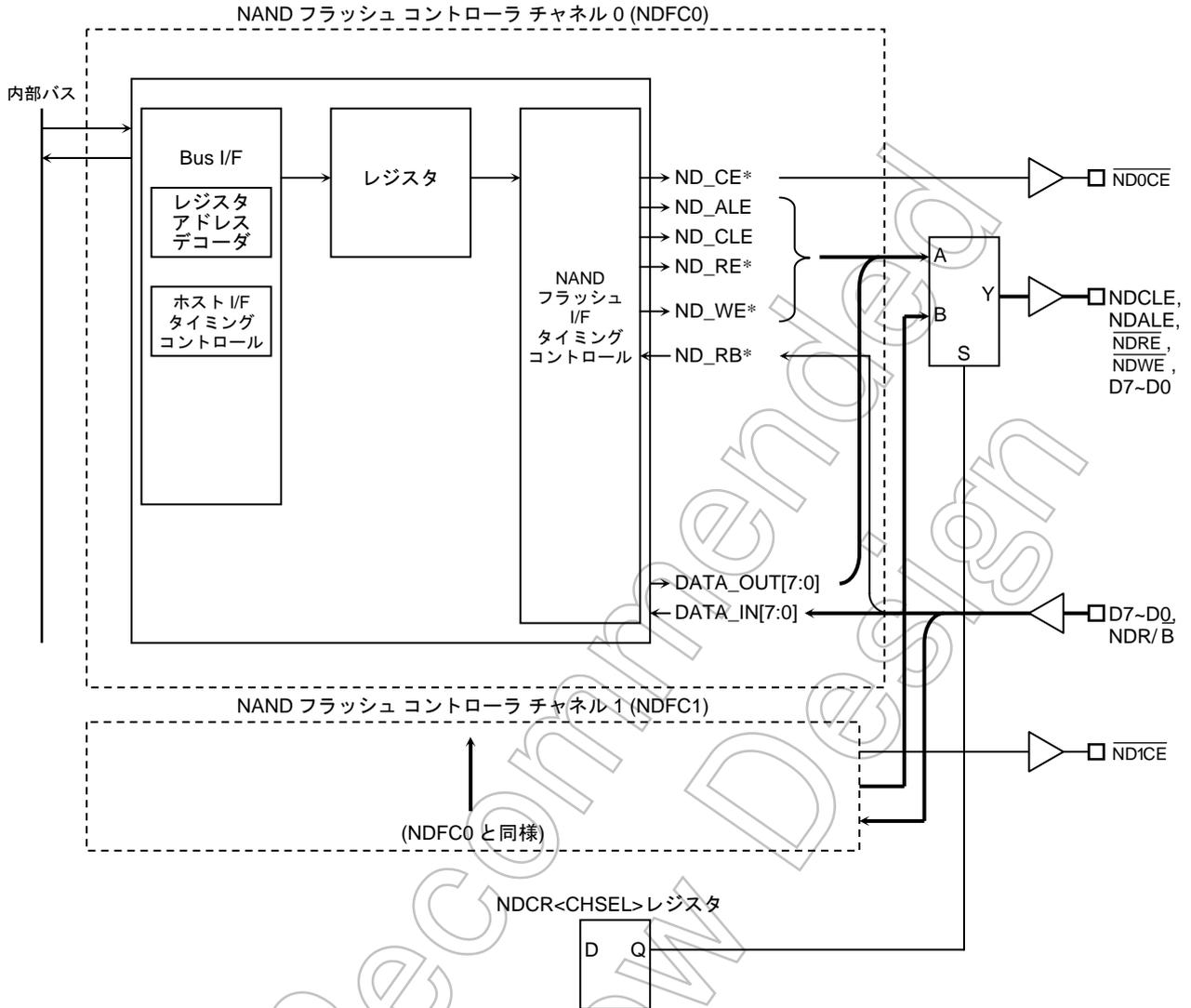


図 3.18.1 NAND フラッシュコントローラブロック図

Not Recommended for New Design

3.18.3 動作説明

3.18.3.1 NAND フラッシュへのアクセス

本制御回路ではNANDフラッシュメモリに対し、コントローラ内部のレジスタを経由して間接的にデータアクセスを行います。また、ECC 計算回路も持っています。ECCに関する詳細は 3.18.3.2を参照願います。ここではNANDフラッシュメモリにアクセスするための手順を説明します。

最初に ND0FMCR レジスタに動作モードを設定します。次に、ND0FDTR レジスタのリード/ライト動作を行います。実際のリード動作は ND0FDTR レジスタからのリードではなく、外部の NAND フラッシュのリード動作が終了した後に終了となります。

同様にライト動作も ND0FDTR レジスタへのライトではなく外部の NAND フラッシュへのライトが終了した後にライト終了となります。

1) 初期化

初期化の手順は以下の通りです。

- (1) ND0FSR: ストローブのパルス幅を設定します。
- (2) ND0FIMR: 割り込みが必要な場合に 0x81 を設定します。
(割り込みマスク解除)

2) ライト

ライトの手順は以下の通りです。

- (1) ND0FMCR: 0x7C をライトし、ECC データをリセットします。
- (2) 512 バイトデータライト
 - ND0FMCR: 0x9D をライトし、NDCLE 信号をイネーブルにし、コマンドモードにします。
 - ND0FDTR: 0x80 をライトし、シリアルデータ入力コマンドをライトします。
 - ND0FMCR: 0x9E をライトし、NDALE 信号をイネーブルにし、アドレスモードにします。
 - ND0FDTR: アドレスをライトします。
A[7:0]、A[16:9]、A[24:17]、必要ならば A[25] もライトします。
 - ND0FMCR: 0xBC をライトし、データモードにします。
 - ND0FDTR: 512 バイトのデータをライトします。
- (3) ECC データのリード
 - ND0FMCR: 0xDC をライトし、ECC データリードモードにします。
 - NDECCRD: 6 バイトの ECC データをリードします。
 - 1st データ: LPR[7:0]
 - 2nd データ: LPR[15:8]
 - 3rd データ: CPR[5:0], 2'b11
 - 4th データ: LPR[23:16]
 - 5th データ: LPR[31:24]
 - 6th データ: CPR[11:6], 2'b11

(4) 16 バイトの冗長データをライトします。

ND0FMCR: 0x9C をライトし、ECC 計算なしのデータモードにします。

ND0FDTR: 16 バイトの冗長データをライトします。

D520: LPR[23:16]

D521: LPR[31:24]

D522: CPR[11:6], 2'b11

D525: LPR[7:0]

D526: LPR[15:8]

D527: CPR[5:0], 2'b11

(5) ページプログラムの実行

ND0FMCR: 0x9D をライトし、NDCLE 信号をイネーブルにし、
コマンドモードにします。

ND0FDTR: 0x10 をライトし、ページプログラムモードにします。

ND0FMCR: 0x1C をライトし、NDALE 信号をディセーブルにします。

セットアップ時間を待ちます。(例. “NOP” を 10 回)

ND0FSR: BUSY フラグを確認します。
“0” ならば次へ、“1” ならば“0”になるまで待ちます。

(6) ステータスのリード

ND0FMCR: 0x1D をライトし、NDCLE 信号をイネーブルにし、
コマンドモードにします。

ND0FDTR: 0x70 をライトし、ステータスリードコマンドをライトしま
す。

ND0FMCR: 0x1C をライトし、NDCLE 信号をディセーブルにします。

ND0FDTR: NAND フラッシュからステータスデータをリードします。

(7) 必要に応じて、(1)から(6)の動作を他のページに対して行います。

3) リード

リードの手順は以下の通りです。

(1) ND0FMCR: 0x7C をライトし、ECC データをリセットします。

(2) 512 バイトのデータのリード

ND0FMCR: 0x1D をライトし、NDCLE 信号をイネーブルにし、
コマンドモードにします。

ND0FDTR: 0x00 をライトし、リードコマンドをライトします。

ND0FMCR: 0x1E をライトし、NDALE 信号をイネーブルにし、
アドレスモードにします。

ND0FDTR: A[7:0]、A[16:9]、A[24:17]、必要ならば A[25] をライトしま
す。

ND0FMCR: 0x1C をライトし、NDALE 信号をディセーブルにします。

セットアップ時間を待ちます。(例. “NOP” を 10 回)

ND0FSR: BUSY フラグを確認します。
“0” ならば次へ、“1” ならば “0” になるまで待ちます。

ND0FMCR: 0x3C をライトし、ECC 計算ありのデータモードにします。

ND0FDTR: 512 バイトのデータをリードします。

ND0FMCR: 0x1C をライトし、ECC 計算なしデータモードにします。

ND0FDTR: 16 バイトの冗長データをリードします。

(3) ECC データのリード

ND0FMCR: 0x5C をライトし、ECC データリードモードにします。

NDECCRD: 6 バイトの ECC データをリードします。

1stデータ: LPR[7:0]

2ndデータ: LPR[15:8]

3rdデータ: CPR[5:0], 2^b11

4thデータ: LPR[23:16]

5thデータ: LPR[31:24]

6thデータ: CPR[11:6], 2^b11

(4) ソフトウェア処理:

(3) でリードした ECC データと (2) でリードした冗長データを比較し、エラーが
発生した場合には、エラー処理を行いデータ補正を行います。

(5) 他のページのリード

ND0FMCR: 0x1C をライトします。

ND0FSR: BUSY フラグを確認します。
“0” ならば次へ、“1” ならば “0” になるまで待ちます。

4) ID リード

ID リードの手順は以下の通りです。

- (1) ND0FMCR: 0x1D をライトし、NDCLE 信号をイネーブルにし、
コマンドモードにします。
- (2) ND0FDTR: 0x90 をライトし、ID リードコマンドをライトします。
- (3) ND0FMCR: 0x1E をライトし、NDALE 信号をイネーブルにし、アドレスモ
ードにします。
- (4) ND0FDTR: 0x00 をライトします。
- (5) ND0FMCR: 0x1C をライトし、ECC 計算なしのデータモードにします。
- (6) ND0FDTR: メーカーコードをリードします。
- (7) ND0FDTR: デバイスコードをリードします。

3.18.3.2 ECC 制御

NDFC は ECC 計算のための専用回路を内蔵しています。この回路は ND0FMCR レジスタによって制御されています。この回路は ECC データの計算を実行しますが、ECC 比較やその後のエラー訂正は対応していません。ソフトウェアにて行う必要があります。

計算された ECC データは、ND0FMCR レジスタに“0xD0” (ライトモード) とライトするか、“0x50” (リードモード) とライト時、NDECCRD レジスタからリードします。6 バイトのデータであり、NDECCRD を 6 回リードすることが必要となります。

各々のデータ順を以下に示します。

- 1st データ: LPR[7:0]
- 2nd データ: LPR[15:8]
- 3rd データ: CPR[5:0], 2'b11
- 4th データ: LPR[23:16]
- 5th データ: LPR[31:24]
- 6th データ: CPR[11:6], 2'b11

3.18.4 レジスタの説明

表 3.18.1 NDFC チャンネル 0 制御レジスタ

アドレス	レジスタ	レジスタ名
1D00H (1D00H-1EFFH)	ND0FDTR	NAND フラッシュデータ転送レジスタ
1CB0H (1CB0H-1CB5H)	ND0ECCRD	NAND フラッシュ ECC コードリードレジスタ
1CC4H	ND0FMCR	NAND フラッシュモードコントロールレジスタ
1CC8H	ND0FSR	NAND フラッシュステータスレジスタ
1CCCH	ND0FISR	NAND フラッシュ割り込みステータスレジスタ
1CD0H	ND0FIMR	NAND フラッシュ割り込みマスクレジスタ
1CD4H	ND0FSPR	NAND フラッシュストローブパルス幅レジスタ
1CD8H	ND0FRSTR	NAND フラッシュリセットレジスタ

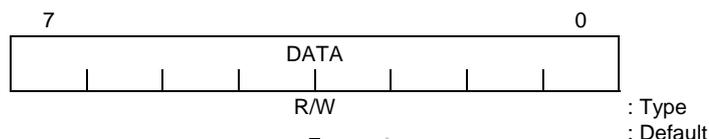
表 3.18.2 NDFC チャンネル 1 制御レジスタ

アドレス	レジスタ	レジスタ名
1D00H (1D00H-1EFFH)	ND1FDTR	NAND フラッシュデータ転送レジスタ
1CB0H (1CB0H-1CB5H)	ND1ECCRD	NAND フラッシュ ECC コードリードレジスタ
1CE4H	ND1FMCR	NAND フラッシュモードコントロールレジスタ
1CE8H	ND1FSR	NAND フラッシュステータスレジスタ
1CECH	ND1FISR	NAND フラッシュ割り込みステータスレジスタ
1CF0H	ND1FIMR	NAND フラッシュ割り込みマスクレジスタ
1CF4H	ND1FSPR	NAND フラッシュストローブパルス幅レジスタ
1CF8H	ND1FRSTR	NAND フラッシュリセットレジスタ

表 3.18.3 NDFC 制御レジスタ

アドレス	レジスタ	レジスタ名
01C0H	NDCR	NAND フラッシュ制御レジスタ

3.18.4.1 NAND フラッシュデータレジスタ (ND0FDTR, ND1FDTR)



Bit (s)	Mnemonic	名称	説明
7:0	DATA	DATA	NAND フラッシュデータ リード: NAND フラッシュからリードされたデータをリード ライト: データが NAND フラッシュにライト

注 1) NAND フラッシュのページサイズが 256、または 512 バイトのため、このレジスタは 1D00H~1EFFH の 512 バイトのアドレスウィンドウを持っています。

CPU が NAND フラッシュから (NAND フラッシュへ) リード (ライト) するためにブロック転送命令 ("LDIR" 命令) が使用される場合に、900/H1 CPU では以下の制限があります。

[ブロック転送命令使用時の制限事項]

1) "LDIR" 命令のソースアドレスは(1F00H-リード(ライト)バイト数)に設定してください。

例 1) 512 バイトリードの場合

```
ld    bc, 512           ; 512 バイト
ld    xix, 2000H        ; dst = 2000H
ld    xiy, 1D00H        ; src = (1F00H - 512) = 1D00H
ldir  (xix+), (xiy+)    ; ブロック転送命令
```

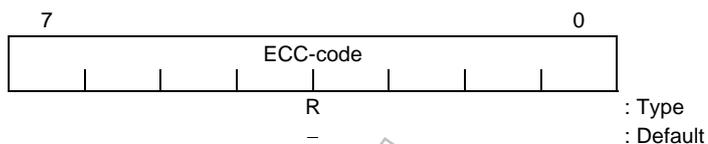
例 2) 16 バイトリードの場合

```
ld    bc, 16           ; 16 バイト
ld    xix, 2000H        ; dst = 2000H
ld    xiy, 1EF0H        ; src = (1F00H - 16) = 1EF0H
ldir  (xix+), (xiy+)    ; ブロック転送命令
```

注 2) ND0FDTR と ND1FDTR 両方は同じアドレスに割り当てられています。どちらのチャンネルがアクセスされるかは NDCCR<CHSEL>レジスタに依存します。

図 3.18.2 NAND フラッシュデータレジスタ (ND0FDTR, ND1FDTR)

3.18.4.2 NAND フラッシュ ECC コードリードレジスタ (ND0ECCRD, ND1ECCRD)



Bit (s)	Mnemonic	名称	説明
7 : 0	ECC-code	ECC code	計算された ECC コードをリード

注 1) ND0ECCRD と ND1ECCRD の両方は同じアドレスに割り当てられています。どちらのチャンネルがアクセスされるかは ND0ECCRD<CHSEL>レジスタに依存します。

図 3.18.3 NAND フラッシュ ECC コードリードレジスタ (ND0ECCRD, ND1ECCRD)

Not Recommended for New Design

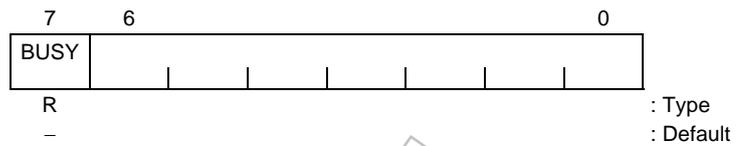
3.18.4.3 NAND フラッシュモードコントロールレジスタ (ND0FMCR, ND1FMCR)

7	6	5	4	3	5	1	0	
WE	ECC1	ECC0	CE	PCNT1	PCNT0	ALE	CLE	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	: Type
0	0	0	0	0	0	0	0	: Default

Bit (s)	Mnemonic	名称	説明
7	WE	Write enable	ライトイネーブル (Default: 0) このビットはデータライト動作をイネーブルにします。NAND フラッシュにデータをライトする場合、このビットを 1 に設定してください。アドレスまたはコマンドをライト時は 1 に設定する必要はありません。 0: ライト禁止 1: ライト許可
6	ECC1	ECC control	ECC 制御 (Default: 00) <CE>(bit4)レジスタと共に ECC 計算回路を制御します。 11 (at<CE> = X): リセット 00 (at<CE> = 1): ディセーブル 01 (at<CE> = 1): イネーブル 10 (at<CE> = 1): NDFC で計算された ECC のリード 10 (at<CE> = 0): ID データのリード
5	ECC0		
4	CE	Chip enable	チップイネーブル (Default: 0) NAND フラッシュアクセスをイネーブルにします。このビットは NAND フラッシュにアクセスする場合に 1 に設定してください。 0: ディセーブル (NDCE = High) 1: イネーブル (NDCE = Low)
3	PCNT1	Power control	電源制御 (Default: 00) "11" をライトしてください。
2	PCNT0		
1	ALE	Address latch enable	アドレスラッチイネーブル (Default: 0) このビットは NDALE 信号の値を指定します。 0: Low 1: High
0	CLE	Command latch enable	コマンドラッチイネーブル (Default: 0) このビットは NDCLE 信号の値を指定します。 0: Low 1: High

図 3.18.4 NAND フラッシュ モードコントロールレジスタ (ND0FMCR, ND1FMCR)

3.18.4.4 NAND フラッシュステータスレジスタ (ND0FSR, ND1FSR)



Bit (s)	Mnemonic	名称	説明
7	BUSY	BUSY	BUSY (Default: 不定) このビットは NAND フラッシュのステータスを示しています。 0: Ready 1: Busy
6:0	-	-	Reserved

注1) 数ステートのノイズフィルタを NDFC に内蔵しているため、NDR/B 端子の状態が変化した場合、同時に<BUSY>フラグが更新されません。そのためソフトによる遅延時間(例 “NOP” 命令×10)がこのフラグのチェックを開始する前に必要となります。

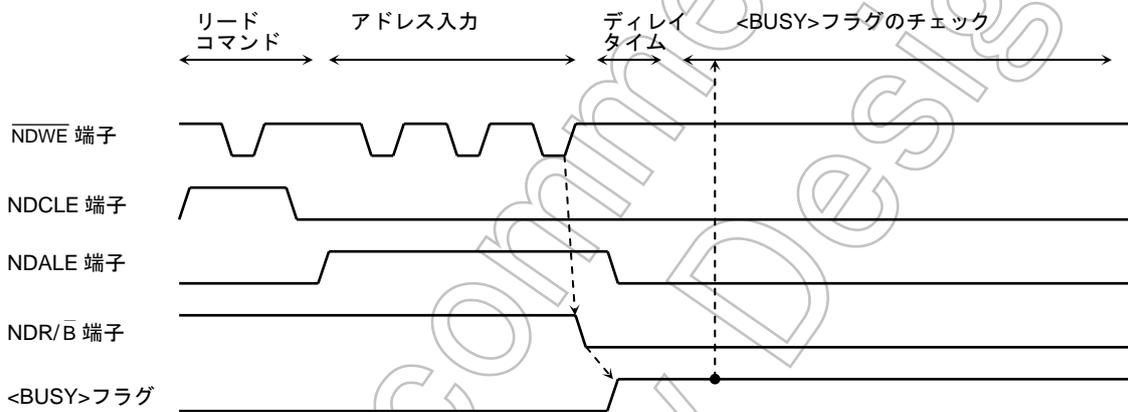
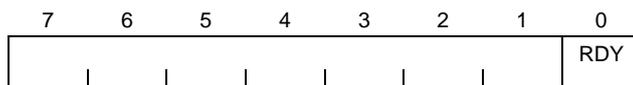


図 3.18.5 NAND フラッシュ ステータスレジスタ (ND0FSR, ND1FSR)

3.18.4.5 NAND フラッシュ割り込みステータスレジスタ (ND0FISR, ND1FISR)

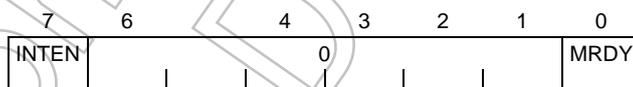


: Type
: Default

Bit (s)	Mnemonic	名称	説明
7 : 1	-	-	Reserved
0	RDY	Ready	Ready (Default: 0) このビットは NDR/ \bar{B} 信号が Low (BUSY) から High (READY)に変化したとき、NDFIMR<MRDY>が 1 であれば "1" にセットされます。"1" をライトすることで、このビットは 0 にクリアされます。 リード: 0: なし 1: NDR/ \bar{B} 信号が BUSY から READY に変更 ライト: 0: 変化なし 1: 0 にクリア

図 3.18.6 NAND フラッシュ割り込みステータスレジスタ (ND0FISR, ND1FISR)

3.18.4.6 NAND フラッシュ 割り込みマスクレジスタ (ND0FIMR, ND1FIMR)

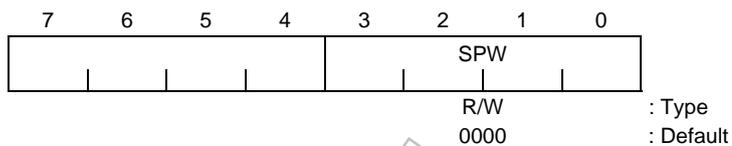


R/W : Type
0 : Default

Bit (s)	Mnemonic	名称	説明
7	INTEN	Interrupt enable	割り込みイネーブル (Default: 0) <INTEN>と<MRDY>が 1 に設定され、NDFISR<RDY>が 1 になるとき、割り込み INTNDFC が発生します。 0: ディセーブル 1: イネーブル
6 : 1	-	-	Reserved
0	MRDY	Mask ready interrupt	RDY 割り込みのマスク (Default: 0) このビットは NDFISR<RDY>をマスクします。<MRDY>が 1 で、NDR/ \bar{B} 信号が Low から High に変わると NDFISR<RDY>が "1" にセットされます。 0: NDFISR<RDY>をディセーブル 1: NDFISR<RDY>をイネーブル

図 3.18.7 NAND フラッシュ割り込みマスクレジスタ (ND0FIMR, ND1FIMR)

3.18.4.7 NAND フラッシュストロブパルス幅レジスタ (ND0FSPR, ND1FSPR)

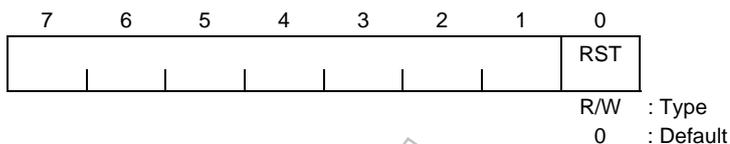


Bit (s)	Mnemonic	名称	説明
7:4	-	-	Reserved
3:0	SPW	Strobe pulse width	ストロブパルス幅 (Default: 0000) NDRE と NDWE 信号の Low パルス幅を設定します。 Low パルス幅は(SPW への設定値 + 1) × f _{SYS} クロックになります。

図 3.18.8 NAND フラッシュ ストロブパルス幅レジスタ (ND0FSPR, ND1FSPR)

Not Recommended for New Design

3.18.4.8 NAND フラッシュリセットレジスタ (ND0FRSTR, ND1FRSTR)



Bit (s)	Mnemonic	名称	説明
7 : 1	-	-	Reserved
0	RST	Reset	リセット (Default: 0) NDFC (NDCR<CHSEL>レジスタを除く) をリセットします。 リセットにより、このビットはクリアされます。 0: Don't care 1: リセット

注 1) <RST>レジスタライト後、待ち時間(約 10 ステート)が NDFC をアクセスするには必要となります。

図 3.18.9 NAND フラッシュリセットレジスタ (ND0FRSTR, ND1FRSTR)

3.18.4.9 NAND フラッシュコントロールレジスタ (NDCR)

		7	6	5	4	3	2	1	0
NDCR (01C0H)	Bit symbol	CHSEL							
	Read/Write	R/W							
	リセット後	0							
	機能	0: チャンネル 0 1: チャンネル 1							

3.18.5 タイミング図

3.18.5.1 コマンドとアドレスサイクル

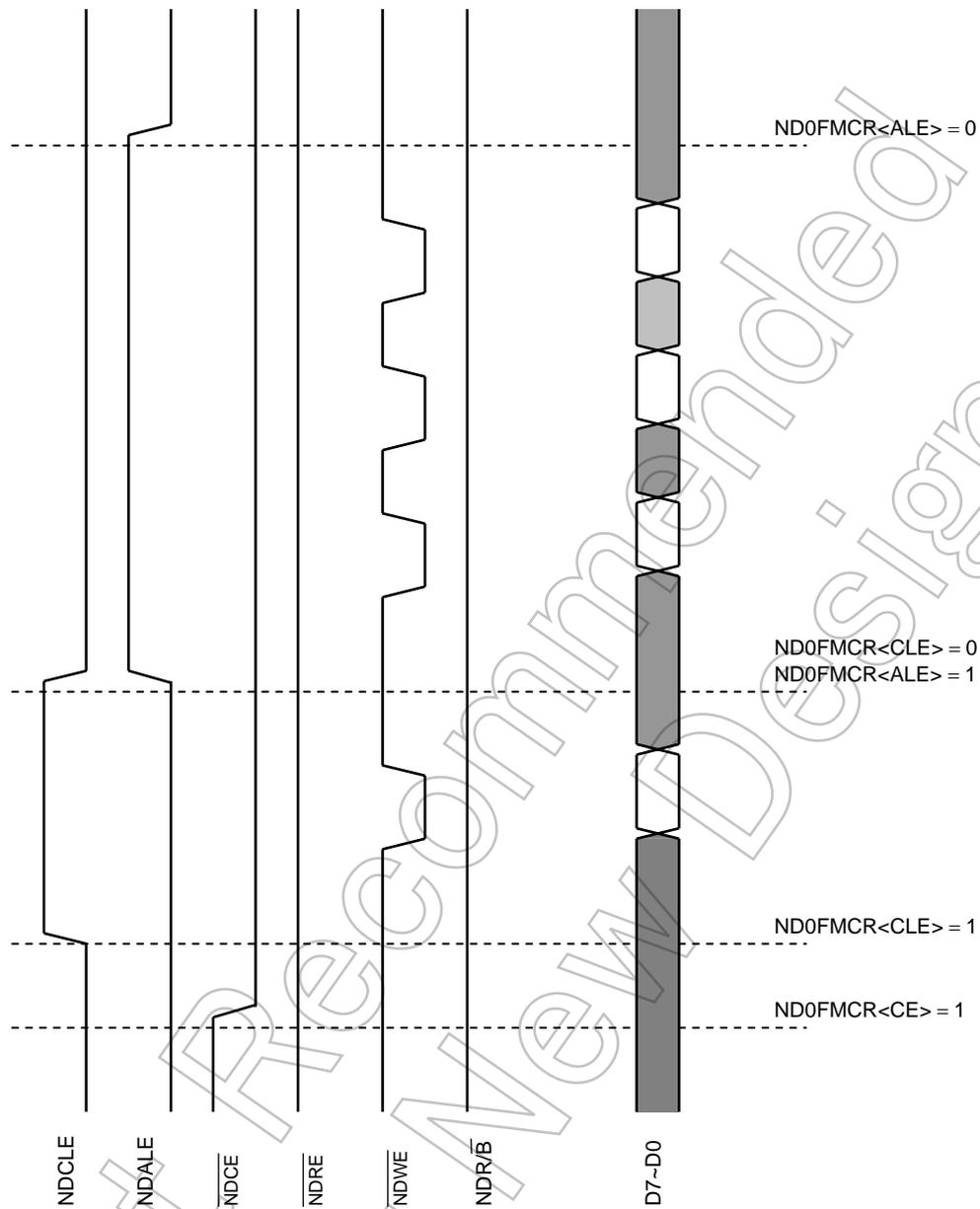


図 3.18.10 コマンドとアドレスサイクル

3.18.5.2 データリードサイクル

図 3.18.11はND0FSPR = 02HでのNANDフラッシュからデータリードサイクルのタイミングチャートを表しています。

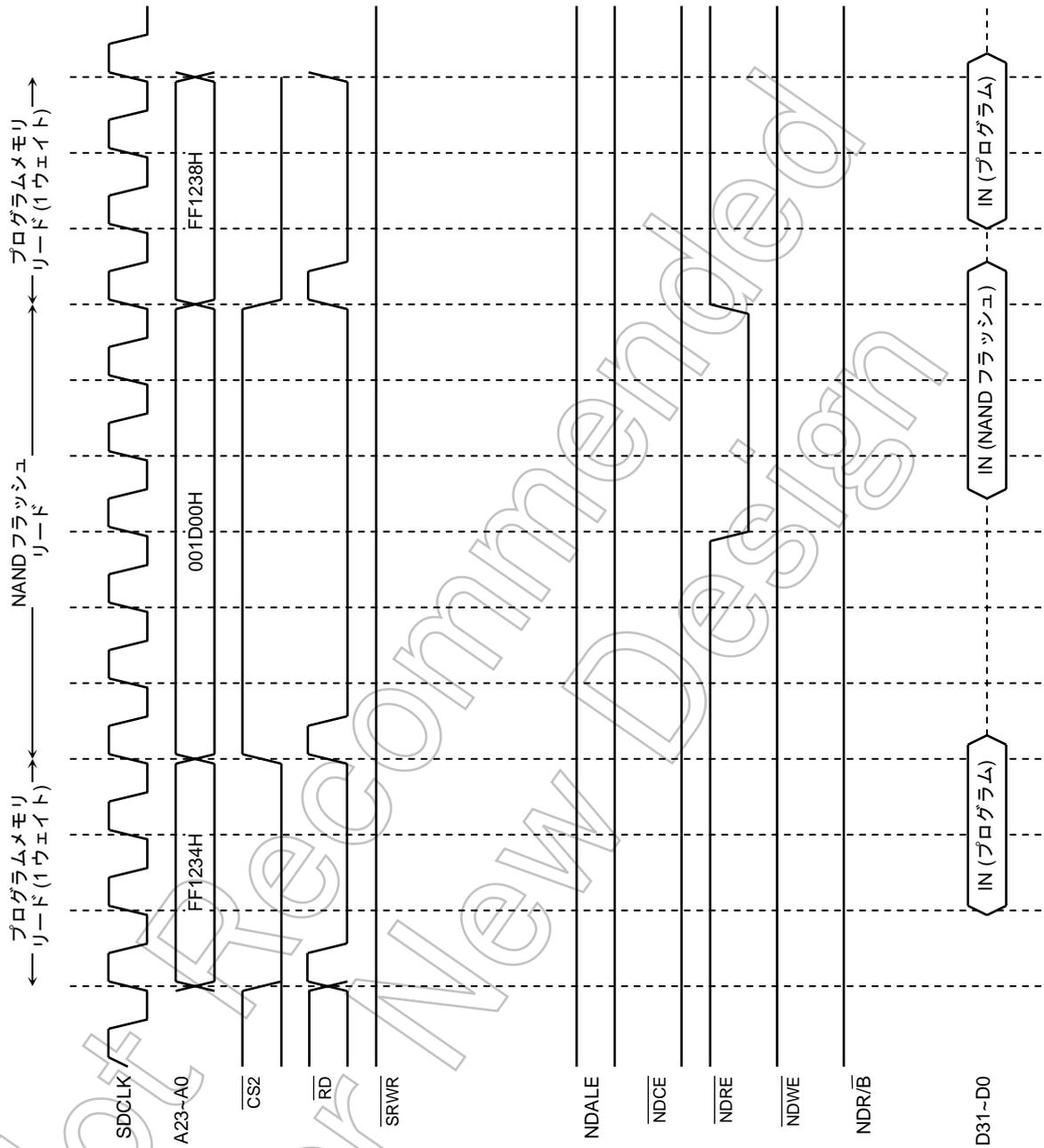


図 3.18.11 データリードサイクル (ND0FSPR = 02H)

3.18.5.3 データライトサイクル

図 3.18.12はND0FSPR = 02HでのNANDフラッシュへのデータライトサイクルのタイミングチャートを表しています。

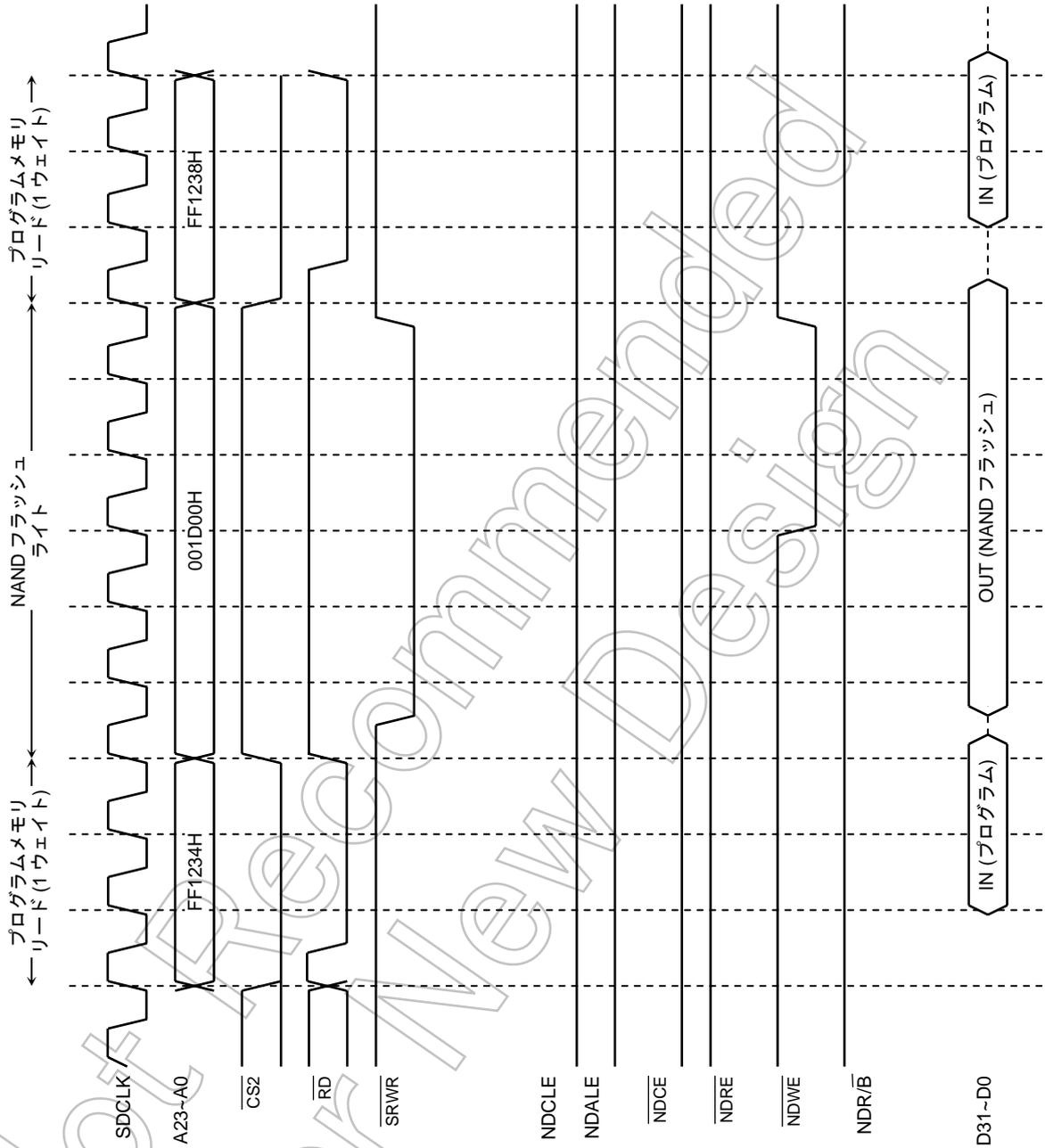
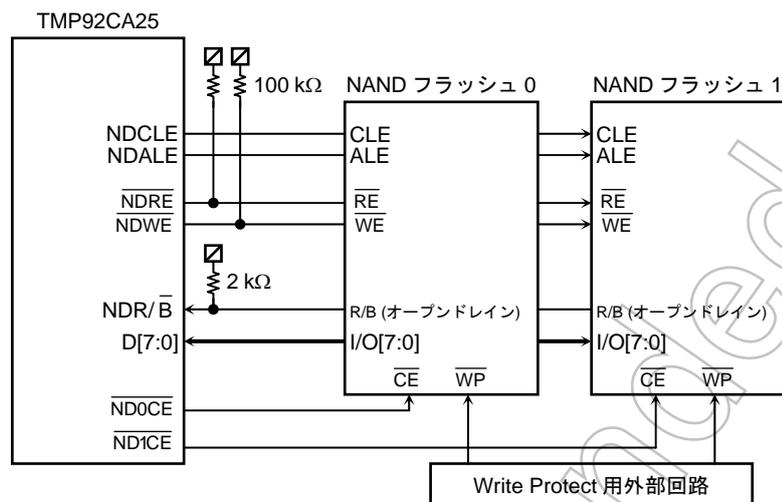


図 3.18.12 データライトサイクル (ND0FSPR = 02H)

3.18.6 NAND フラッシュ接続例



- 注 1) リセットによって、 $\overline{\text{NDRE}}$ と $\overline{\text{NDWE}}$ 端子は入力ポートに設定されます (Port 71, 72)。よってプルアップ抵抗が必要となります。
- 注 2) $\text{NDR}/\overline{\text{B}}$ 端子のプルアップ抵抗値については、使用する NAND フラッシュと、基板容量などによって適切な値を設定する必要があります。(標準設定例: 2 kΩ)
- 注 3) NAND フラッシュの $\overline{\text{WP}}$ (Write Protect) 端子についてはサポートしていません。必要な場合、外部で準備して下さい。

図 3.18.13 NAND フラッシュ接続例

3.19 16ビットタイマ/イベントカウンタ (TMRB0)

多機能 16 ビットタイマ/イベントカウンタ(TMRB0)が内蔵されています。
TMRB は次の 3 つの動作モードを持っています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビット プログラマブル矩形波出力 (PPG) モード

16 ビットタイマ/イベントカウンタは、16 ビットのアップカウンタ、16 ビットのコンパレータ 2 本、16 ビットのタイマレジスタ 2 本 (ダブルバッファ構造のひとつ) 16 ビットのキャプチャレジスタ、キャプチャ入力コントローラ、タイマフリップフロップ、および制御回路で構成されており、その制御は 11 バイトの制御レジスタによって実行されます。

この章は以下の項目について述べられています。

3.18.1 ブロック図

3.18.2 各部の動作

3.18.3 SFRs

3.18.4 各モードの動作

- (1) 16 ビットインタバルタイマモード
- (2) 16 ビットプログラマブル矩形波出力 (PPG) モード

表 3.19.1 TMRB0 の端子と SF

仕様	チャンネル	TMRB0	
外部端子	外部クロック/キャプチャトリガの入力端子	なし	
	タイマ F/F 出力端子	TB0OUT0 (PC2 と兼用)	
SFR (アドレス)	タイマ作動レジスタ	TB0RUN (1180H)	
	タイマモードレジスタ	TB0MOD (1182H)	
	タイマ F/E 制御レジスタ	TB0FFCR (1183H)	
	タイマレジスタ		TB0RG0L (1188H)
			TB0RG0H (1189H)
			TB0RG1L (118AH)
			TB0RG1H (118BH)
キャプチャレジスタ		TB0CP0L (118CH)	
		TB0CP0H (118DH)	
		TB0CP1L (118EH)	
		TB0CP1H (118FH)	

3.19.1 ブロック図

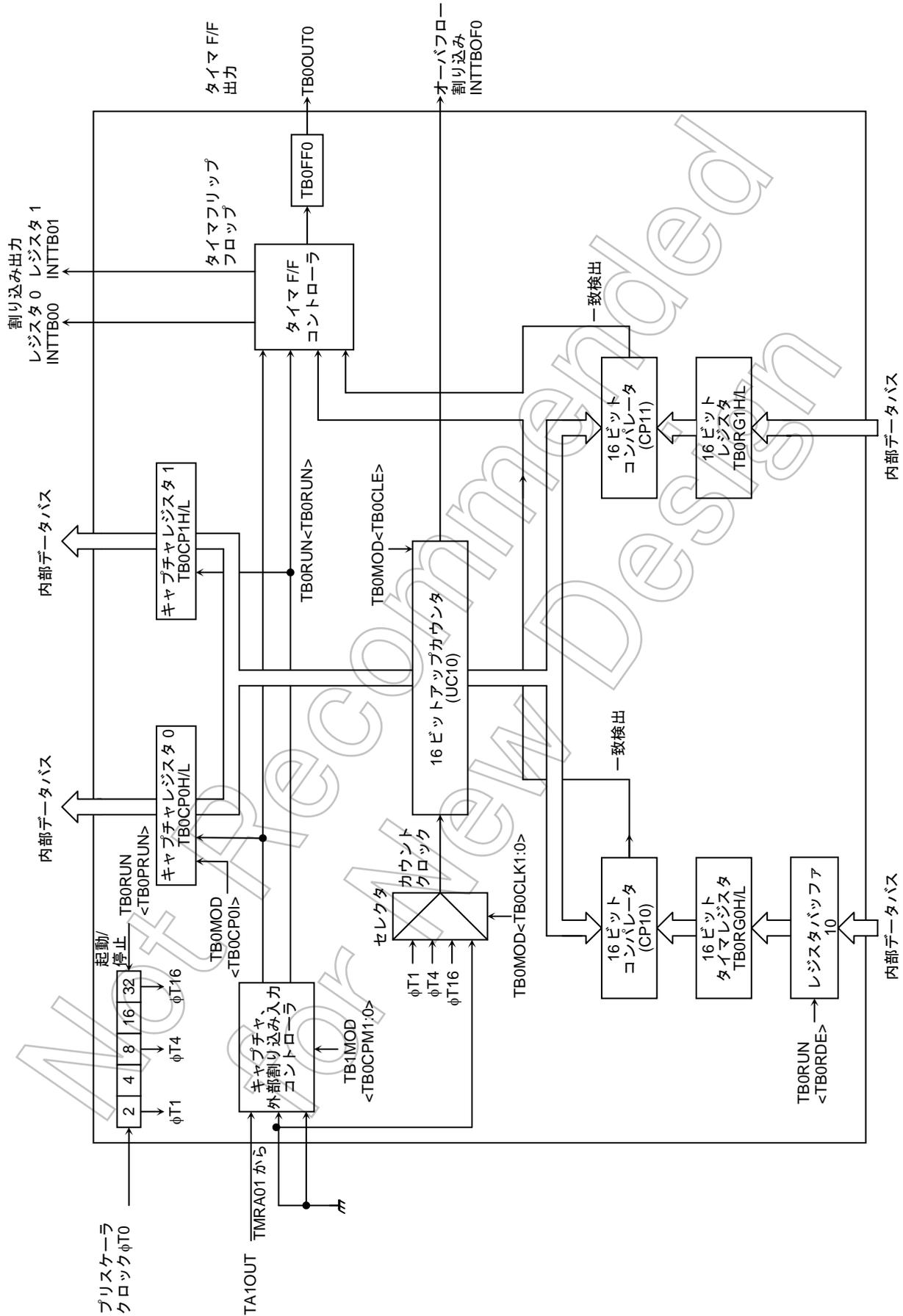


図 3.19.1 TMRB0 のブロック表

3.19.2 各部の動作

(1) プリスケーラ

これは、TMRB0へソースクロックを供給するための5ビットプリスケーラです。このプリスケーラクロックへの入力クロック $\phi T0$ は、クロックギア部のSYSCR1<SYSCK>にて選択したクロックを8分周したクロックです。

このプリスケーラはTB0RUN<TB0PRUN>により制御されます。<TB0PRUN>が1に設定されるとカウントを開始し、<TB0PRUN>が0に設定されるとクリアされ停止します。プリスケーラの実出力クロックの分解能を表3.19.2に示します。

表 3.19.2 プリスケーラクロックの分解能

システム クロック選択 SYSCR1 <SYSCK>	クロックギア 選択 SYSCR1 <GEAR2:0>	-	タイマカウンタ入力クロック TMRB部プリスケーラ TB0MOD<TB0CLK1:0>		
			$\phi T1(1/2)$	$\phi T4(1/8)$	$\phi T16(1/32)$
1 (fs)	-	1/8	fs/16	fs/64	fs/256
0 (fc)	000 (1/1)		fc/16	fc/64	fc/256
	001 (1/2)		fc/32	fc/128	fc/512
	010 (1/4)		fc/64	fc/256	fc/1024
	011 (1/8)		fc/128	fc/512	fc/2048
	100 (1/16)		fc/256	fc/1024	fc/4096

(2) 16ビットアップカウンタ (UC10)

TB0MOD<TB0CLK1:0>ビットで指定された入力クロックにより、カウントアップする16ビットのバイナリカウンタ (UC10) です。

入力クロックとして、プリスケーラからの内部クロック $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ いずれかを選択できます。カウンタのカウント開始、停止、初期化は、TB0RUN<TB0RUN>で制御することができます。

クリアが有効になっている場合、アップカウンタ UC10は、タイマレジスタ TB0RG1H/Lの値と一致するごとに、“0”に初期化されます。クリア禁止の場合は、フリーランカウンタとして動作します。クリアの禁止/許可はTB0MOD<TB0CLE>で設定します。タイマオーバフロー割り込み (INTTBOF0) は、アップカウンタ UC10がオーバフローを起こしたときに発生します。

(3) タイマレジスタ (TBORG0H/L, TBORG1H/L)

インタバル時間を設定するのに用いる 16 ビットレジスタです。このタイマレジスタの設定値とアップカウンタ UC10 の値とが一致すると、比較器 (コンパレータ) の一致検出信号が有効となります。

タイマレジスタ TBORG0H/L, TBORG1H/L へのデータ設定は、必ず上位と下位の 2 バイトのデータ設定が必要です。2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回実行することで、下位 8 ビット、上位 8 ビットの順に実行されます。

このタイマレジスタ TBORG0H/L はダブルバッファ構成となっており、レジスタバッファと対になっています。TBORUN<TBORDE>ビットの値によって、ダブルバッファの禁止/許可を制御します。TBORUN<TBORDE>が“0”のときは禁止、“1”のときは許可となります。

ダブルバッファが許可される時、アップカウンタ (UC10) の値とタイマレジスタ TBORG1H/L が一致する場合、データはレジスタバッファからタイマレジスタに転送されます。

ダブルバッファ許可のとき、レジスタバッファからタイマレジスタへのデータ転送は、アップカウンタ UC10 とタイマレジスタ TBORG1H/L の値が一致したときに行われます。

リセット後は、タイマレジスタ TBORG0H/L と TBORG1H/L の値は不定です。リセット後に本 16 ビットタイマを使用する場合は、前もってタイマレジスタの値を設定する必要があります。

また、リセットで TBORUN<TBORDE>ビットは“0”に初期化され、ダブルバッファが禁止になっていますので、使用する場合はタイマレジスタにデータを書き込み、TBORUN<TBORDE>ビットを“1”に設定した後、レジスタバッファへ次のデータを書き込んでください。

タイマレジスタ TBORG0H/L とレジスタバッファは同じメモリアドレス (001188H と 001189H) に割り付けられています。TBORUN<TBORDE>ビットが“0”のとき、タイマレジスタとレジスタバッファに同じ値が書き込まれ、TBORUN<TBORDE>ビットが“1”のとき、レジスタバッファにのみ値が書き込まれます。タイマレジスタのアドレスは下記の通りです。

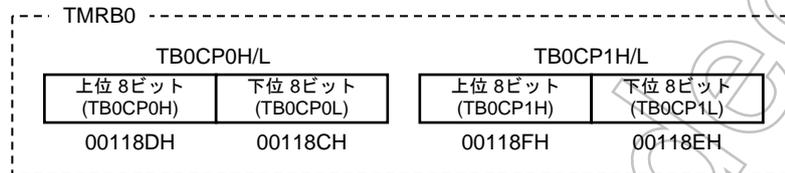
TMRB0			
TBORG0H/L		TBORG1H/L	
上位 8 ビット (TBORG0H)	下位 8 ビット (TBORG0L)	上位 8 ビット (TBORG1H)	下位 8 ビット (TBORG1L)
001189H	001188H	00118BH	00118AH

このタイマレジスタは書き込み専用のため、読み出しはできません。

(4) キャプチャレジスタ (TB0CP0H/L, TB0CP1H/L)

アップカウンタの値をラッチする 16 ビットのレジスタです。

このキャプチャレジスタの値は、必ず上位と下位の 2 バイトのデータリードが必要です。2 バイトデータ読み込み命令、または 1 バイトデータ読み込み命令を 2 回実行することで読み出せます。最初に下位バイト側、次いで上位バイト側が読み出されます。キャプチャレジスタのアドレスは下記の通りです。



このキャプチャレジスタは読み出し専用のため、書き込みはできません。

(5) キャプチャ入力制御

アップカウンタ UC10 の値を、キャプチャレジスタ TB0CP0H/L または TB0CP1H/L にラッチするタイミングを制御する回路で、ソフトウェアで実行します。

TB0MOD<TB0CP0I>ビットへ“0”を書き込むたびに、アップカウンタの現在の値がキャプチャレジスタ TB0CP0H/L へ取り込まれます。なお、プリスケアラは RUN モード (TB0RUN<TB0PRUN>=“1”)にし続けておく必要があります。

(6) 比較器 (CP10/CP11)

CP10 と CP11 は 16 ビット比較器 (コンパレータ) で、アップカウンタ UC10 の値とタイマレジスタ TB0RG0H/L または TB0RG1H/L に設定された値とをそれぞれ比較し、一致を検出します。

一致すると、それぞれのレジスタに対応した割り込み (INTTB00 または INTTB01) を発生します。

(7) タイマフリップフロップ (TB0FF0)

コンパレータからの一致検出信号やキャプチャレジスタへのラッチ信号によって反転するフリップフロップです。

反転の有効/禁止は、要因ごとの TB0FFCR<TB0C0T1, TB0E1T1, TB0E0T1>によって設定できます。リセット後の TB0FF0 の値は不定です。

TB0FF0 は、TB0FFCR<TB0FF0C1:0>に“00”を書き込むことで反転、“01”のときは“1”にセット、“10”のときは“0”にクリアすることも可能です。

TB0FF0 の値はタイマ出力端子 TB0OUT0 (PC6 端子と兼用) から出力が可能です。タイマ出力の設定は、ポート B ファンクションレジスタでできます。

3.19.3 SFR

TMRB0 RUN レジスタ

	7	6	5	4	3	2	1	0
Bit symbol	TBORDE	-			I2TB0	TB0PRUN		TB0RUN
Read/Write	R/W				R/W			R/W
リセット後	0	0			0	0		0
機能	ダブルバッファ 0: 禁止 1: 許可	"0" をライトしてください。			IDLE2 0: 停止 1: 動作	TMRB0 プリスケール 0: 停止 & クリア 1: 作動 (カウントアップ)		アップカウンタ UC10

→ カウントアップ動作

0	停止/停止
1	カウント

注) TB0RUN レジスタのビット 5、4、1 は読み出すと不定値になります。

図3.19.2 TMRB0 関係のレジスタ

TMRB0 モードレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	-	-	TB0CP0I	TB0CPM1	TB0CPM0	TB0CLE	TB0CLK1	TB0CLK0
Read/Write	R/W		W*	R/W				
リセット後	0	0	1	0	0	0	0	0
機能	"0" をライトしてください。	ソフトウェアキャプチャ実行	ソフトウェアキャプチャ 0: ソフトキャプチャ 1: 未定義	キャプチャタイミング 00: 禁止 01: Reserved 10: Reserved 11: TA1OUT↑ TA1OUT↓		アップカウンタ制御 0: クリア禁止 1: クリア許可	TMRB0 ソースクロック 00: Reserved 01: φT1 10: φT4 11: φT16	

リード
モディファイ
ライトは
できません。



図3.19.3 TMRB0 関係のレジスタ

Not Recommended for New Design

TMRB0 フリップフロップ制御レジスタ

	7	6	5	4	3	2	1	0	
TB0FFCR (1183H)	Bit symbol	-	-	TB0C1T1	TB0C0T1	TB0E1T1	TB0E0T1	TB0FF0C1	TB0FF0C0
	Read/Write	W*		R/W				W*	
	リセット後	1	1	0	0	0	0	1	1
リード モディファイ ライトは できません。	機能	"11" を ライトしてください。		TB0FF0 反転制御 0: 反転禁止 1: 反転許可				TB0FF0 反転 00: 反転 01: セット 10: クリア 11: Don't care * 読み出すと常に 11 なります。	
				TB0CP1H/L へ UC10 値 をキャプチャ する時	TB0CP0H/L へ UC10 値 をキャプチャ する時	UC10 と TB0RG1H/L との一致時	UC10 と TB0RG0H/L との一致時		

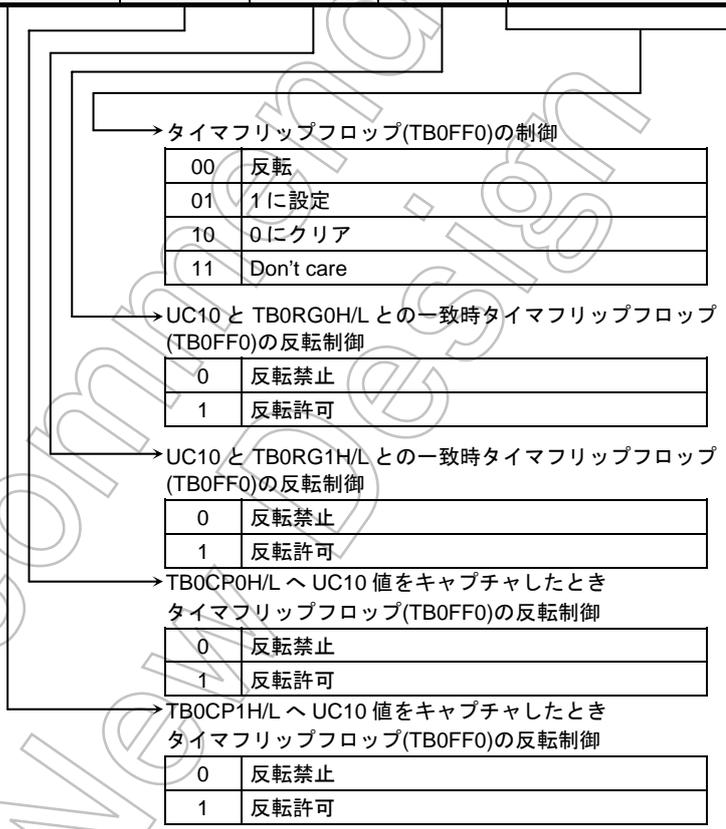


図3.19.4 TMRB0 関係のレジスタ

TMRB0 レジスタ

	7	6	5	4	3	2	1	0	
TB0RG0L (1188H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0RG0H (1189H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0RG1L (118AH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0RG1H (118BH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0CP0L (118CH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0CP0H (118DH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0CP1L (118EH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0CP1H (118FH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							

注) 上記レジスタはリードモディファイライトは禁止です。

図 3.19.5 TMRB0 関係のレジスタ

3.19.4 各モードの動作

(1) 16ビットタイマモード

一定周期の割り込みを発生します。

この例では INTTB01 割り込みが一定周期で発生されるよう設定されます。この割り込み周期時間はタイマレジスタ TB0RG1H/L で設定されます。

	7 6 5 4 3 2 1 0	
TB0RUN	← 0 0 X X - 0 X 0	TMRB0 の停止
INTTETB01	← X 1 0 0 X 0 0 0	INTTB01 を許可し、割り込みレベル 4 に設定 INTTB00 を禁止
TB0FFCR	← 1 1 0 0 0 0 1 1	トリガの禁止
TB0MOD	← 0 0 1 0 0 1 * *	割り込みの内部クロックを選択し、キャプチャファンクションを禁止
	(** = 01, 10, 11)	
TB0RG1	← * * * * * * * *	インタバル時間を設定 (16ビット)
TB0RUN	← 0 0 X X - 1 X 1	TMRB0 開始

X : Don't care, - : No change

(2) 16ビットプログラマブルパルス発生 (PPG) モード

任意の周波数とデューティの比で矩形波を発生させることができます。出力パルスは Low 有効、High 有効のどちらでも可能となります。

PPG モードはアップカウンタ UC10 とタイマレジスタ TB0RG0H/L または TB0RG1H/L の設定値との一致によってタイマフリップフロップ TB0FF0 を反転させ、その状態を TB0OUT0 から出力することで実現しています。ただし、このモードでは次の条件を満たす必要があります。

$$(TB0RG0H/L \text{ への設定値}) < (TB0RG1H/L \text{ への設定値})$$

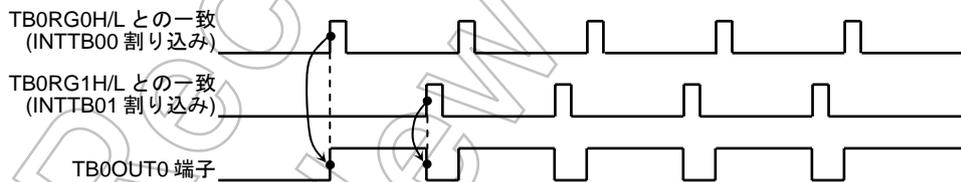


図 3.19.6 プログラマブルパルス発生 (PPG) 出力波形

このモードでは、TB0RG0H/L のダブルバッファを有効にすることで、TB0RG1H/L との一致をもって、レジスタバッファ 10 の値は TB0RG0H/L にシフトインされます。これによりデューティの小さな波形にも対応することが可能です。

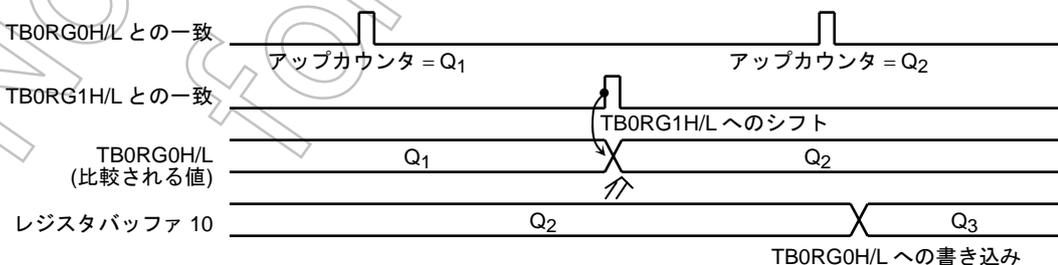


図 3.19.7 レジスタバッファの動作

以下の図はこのモードのブロック図を示しています。

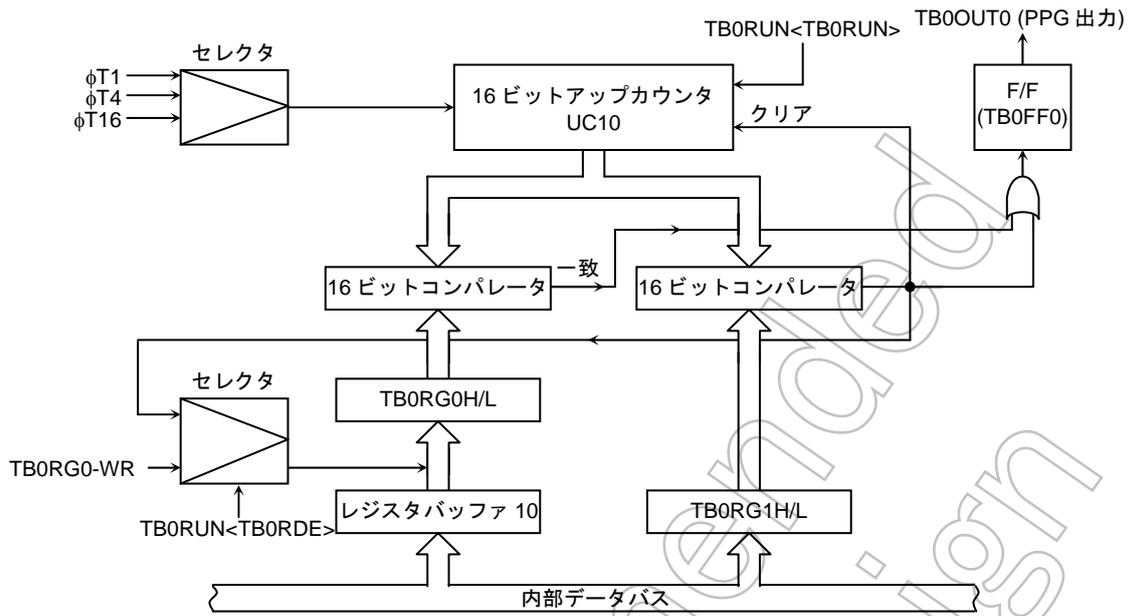


図 3.19.8 16 ビットモードのブロック図

16 ビット PPG 出力モードの設定例を以下に示します。

	7	6	5	4	3	2	1	0	
TBORUN	← 0	0	X	X	-	0	X	0	TBORG0H/L ダブルバッファを禁止し、TMRB0 を停止
TBORG0	← *	*	*	*	*	*	*	*	デューティ比を設定 (16 ビット)
TBORG1	← *	*	*	*	*	*	*	*	周波数を設定 (16 ビット)
TBORUN	← 1	0	X	X	-	0	X	0	TBORG0H/L ダブルバッファを許可 (デューティおよび周波数は INTTB01 割り込みによって変更)
TB0FFCR	← 1	1	0	0	1	1	1	0	TBORG0H/L/TBORG1H/L との一致によって TB0FF0 が反転するモードに設定し、TB0FF0 を 0 に設定
TB0MOD	← 0	0	1	0	0	1	*	*	入力クロックとしてプリスケアラ出力クロックを選択し、キャプチャ機能を禁止
(** = 01, 10, 11)									
PCCR	← -	1	X	X	-	-	-	-	} PC6 を TB0OUT0 として出力機能に設定
PCFC	← -	1	-	X	-	-	-	-	
TBORUN	← 1	0	X	X	-	1	X	1	TMRB0 開始

X : Don't care, - : No change

3.20 タッチスクリーンインタフェース (TSI)

4 端子型抵抗網タッチスクリーンインタフェースを内蔵しています。TSI は、タッチ検出および X/Y 位置測定 の 2 つの動作容易に実現できます。TSI 制御レジスタ (TSICR0, TSICR1) および内蔵 AD コンバータを使用して実行します。

3.20.1 TSI の外部接続図、内部ブロック図

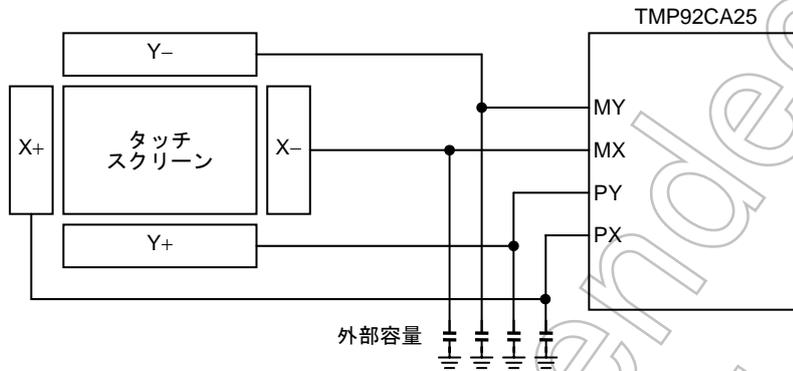


図 3.20.1 TSI の外部接続図

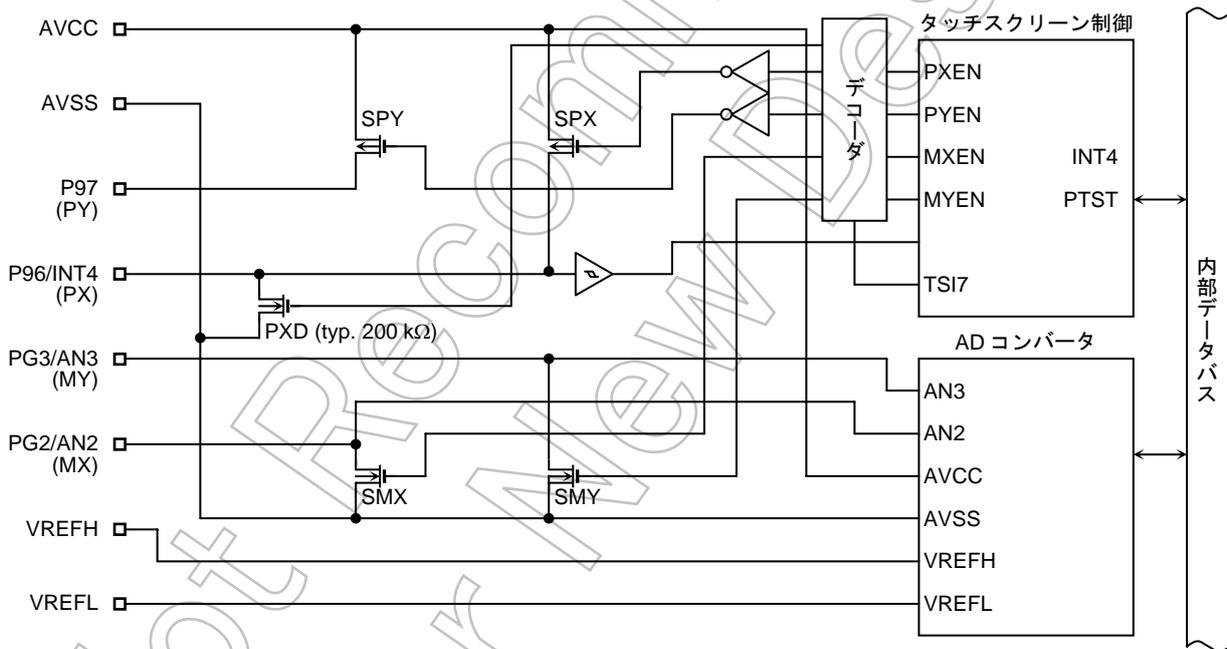


図 3.20.2 TSI の内部ブロック図

3.20.2 タッチスクリーンインタフェース (TSI) 制御レジスタ

TSI 制御レジスタ

	7	6	5	4	3	2	1	0
TSICR0 (01F0H)	Bit symbol	TSI7	PTST	TWIEN	PYEN	PXEN	MYEN	MXEN
	Read/Write	R/W	R	R/W				
	リセット後	0	0	0	0	0	0	0
	機能	0: 禁止 1: 許可	検出状態 0: 検出なし 1: 検出中	INT4 割り 込み制御 0: 禁止 1: 許可	SPY 0: OFF 1: ON	SPX 0: OFF 1: ON	SMY 0: OFF 1: ON	SMX 0: OFF 1: ON

PXD(内部プルダウン抵抗)ON/OFF 設定

<PXEN>	0	1
<TSI7>	OFF	OFF
0	OFF	OFF
1	ON	OFF

デバウンス時間設定レジスタ

	7	6	5	4	3	2	1	0
TSICR1 (01F1H)	Bit symbol	DBC7	DB1024	DB256	DB64	DB8	DB4	DB2
	Read/Write	R/W						
	リセット後	0	0	0	0	0	0	0
	機能	0: 禁止 1: 許可	1024	256	64	8	4	2
デバウンス時間は“(N×64-16)/f _{sys} ”の式により設定されます。 “N”はビット6~ビット0に“1”を設定した数の総計を表します。 注2)								

注1) デバウンス回路は CPU クロックが使用されているため、IDLE1、STOP モード時には、デバウンス回路は動作せずデバウンス回路を経由した割り込みも発生しません。IDLE1 あるいは STOP モード時には、HALT 状態以前にこの回路(“0”を TSICR1<DBC7>にライト)を禁止してください。

注2) たとえば TSICR1=95H に設定した場合、N=64+4+1=69 となります。

3.20.3 タッチ検出手順

タッチ検出手順は、タッチスクリーンにペンがタッチされ、検出されるまでの手順です。

タッチされると割り込み INT4 を発生して本手順は終了します。X/Y 位置測定手順が終了すると、再び本手順に戻し次のタッチ待ち状態としてください。

非接触のタッチ待ち状態時は、SPY スイッチだけを ON させ、他の 3 つのスイッチ: SMY、SPX、SMX はすべて OFF させてください。またこのとき、P96/INT4/PX 端子に内蔵するプルダウン抵抗は ON しています。

この状態ではタッチスクリーン内の X 方向と Y 方向の内部抵抗は接続されていないので P96/INT4/PX 端子は、内部プルダウン抵抗(PXD)により Low 状態となり、INT4 割り込みは発生しません。

次に、ペンがタッチされるとタッチスクリーン内の X 方向と Y 方向の内部抵抗が接続され P96/INT4/PX 端子は High 状態となり、INT4 割り込みを発生します。

1 回のペンタッチにより複数回の INT4 発生を防止するため、下記図のようなデバウンス回路があります。TSICR1 レジスタにデバウンス時間を設定することによりその時間以下のパルスを見逃します。

デバウンス回路は、信号の立ち上がりを検出し、設定されたデバウンスカウンタ時間をカウントアップし、カウント後内部に信号を取り込みます。カウント中に信号が“L”になるとカウンタをクリアし、再度立ち上がりエッジ待ち状態になります。

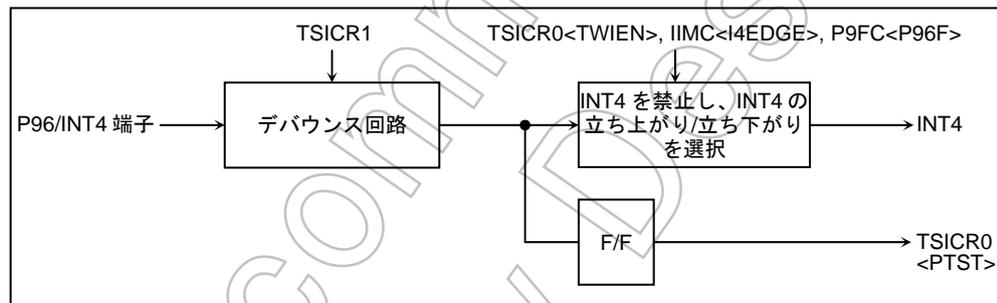


図 3.20.3 デバウンス回路のブロック図

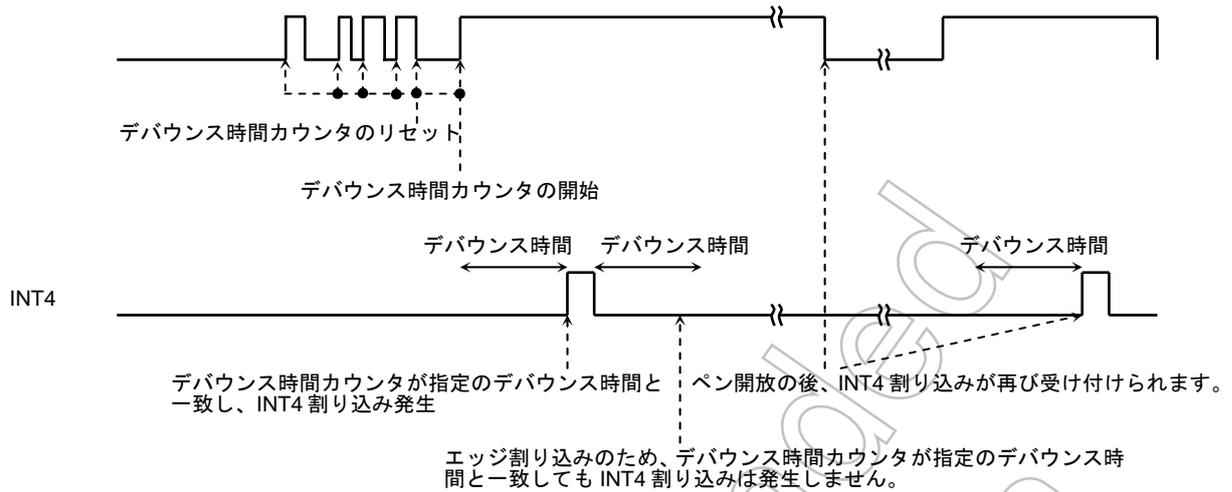


図 3.20.4 デバウンス回路のタイミング図

3.20.4 X/Y 位置測定手順

ペンがタッチされ INT4 割り込み発生により、ペンの位置の測定を下記手順で実行してください。

<X 位置座標測定>

まず SPX と SMX スイッチを ON、SPY、SMY のスイッチを OFF させます。これにより、PG3/MY/AN3 端子に X 位置を示すアナログ電圧が入力されます。この電圧を AD コンバータでデジタルコードに変換させることにより X 位置座標を測定できます。

<Y 位置座標測定>

まず SPY と SMY スイッチを ON、SPX、SMX のスイッチを OFF させます。これにより、PG2/MX/AN2 端子に Y 位置を示すアナログ電圧が入力されます。この電圧を AD コンバータでデジタルコードに変換させることにより Y 位置座標を測定できます。

上記 X、Y 位置測定時の AN3、AN2 端子へ入力されるアナログ電圧は 図 3.20.5 に示すような TMP92CA25 内部のスイッチの ON 抵抗値とタッチスクリーン内部の抵抗の比で求められます。従って、タッチスクリーンの端をタッチした場合でもアナログ入力電圧は 3.3 V もしくは 0 V にはなりません。

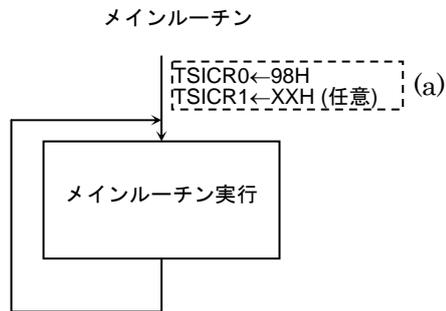
また、各々の抵抗値はばらつきがありますので、これらの点を考慮の上、設計してください。なお、AD 変換は必要に応じて数回実行して平均値を最終値とするなどしてください。



図 3.20.5 アナログ入力電圧算出値

3.20.5 タッチスクリーンインタフェース (TSI) のフローチャート

(1) タッチ検出手順



(2) X/Y 位置測定手順

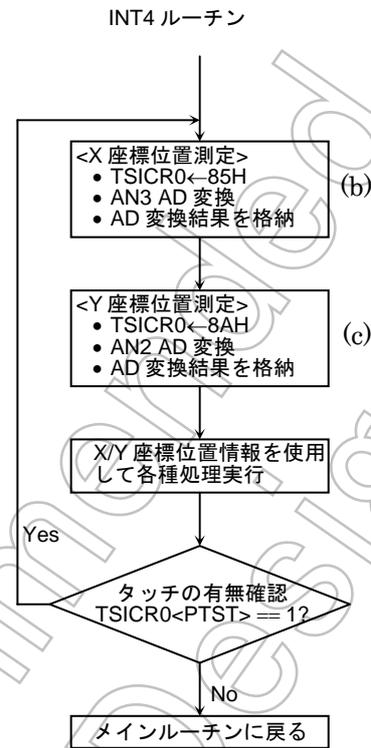
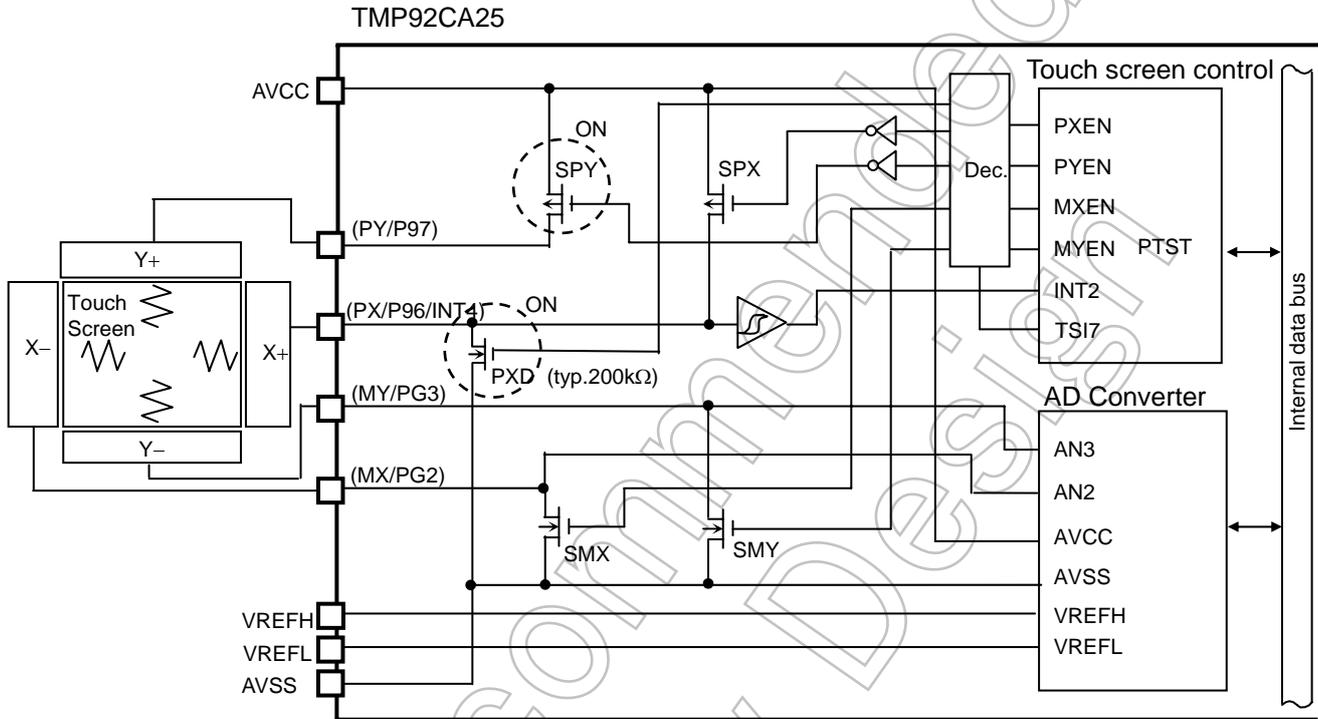


図 3.20.6 TSI 関係のフロー

次ページに、フロー内の(a)(b)(c)それぞれの回路状態を説明します。

(a) メインルーチン (INT4 割り込み待ち状態)

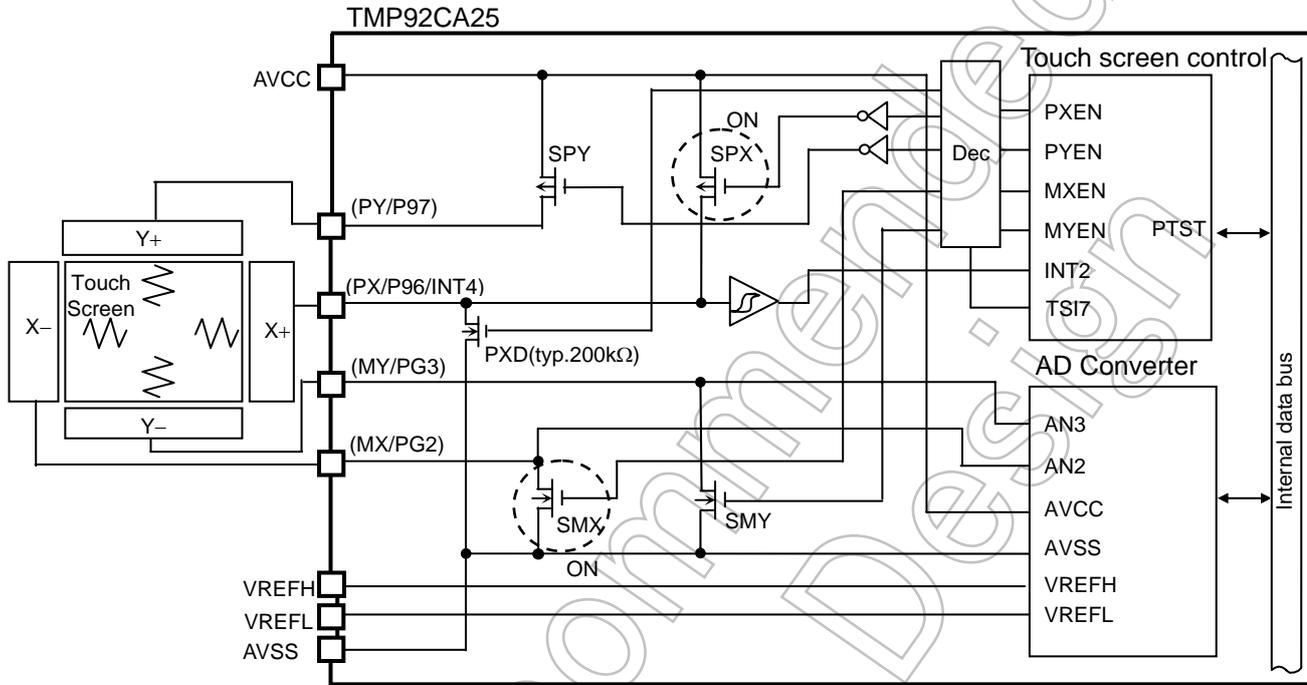
- (pbfc)<P96F>,<P97F> = "1" : P96: INT4/PX, P97:PY
- (inte34) : INT4 の割り込みレベルを設定
- (tsicr0) = 98h : プルダウン抵抗を ON, SPY を ON, 割り込み設定<TWIEN>
- Ei : 割り込みイネーブル



Not Recommended for New

(b) “X” 位置座標測定(A/D 変換スタート)

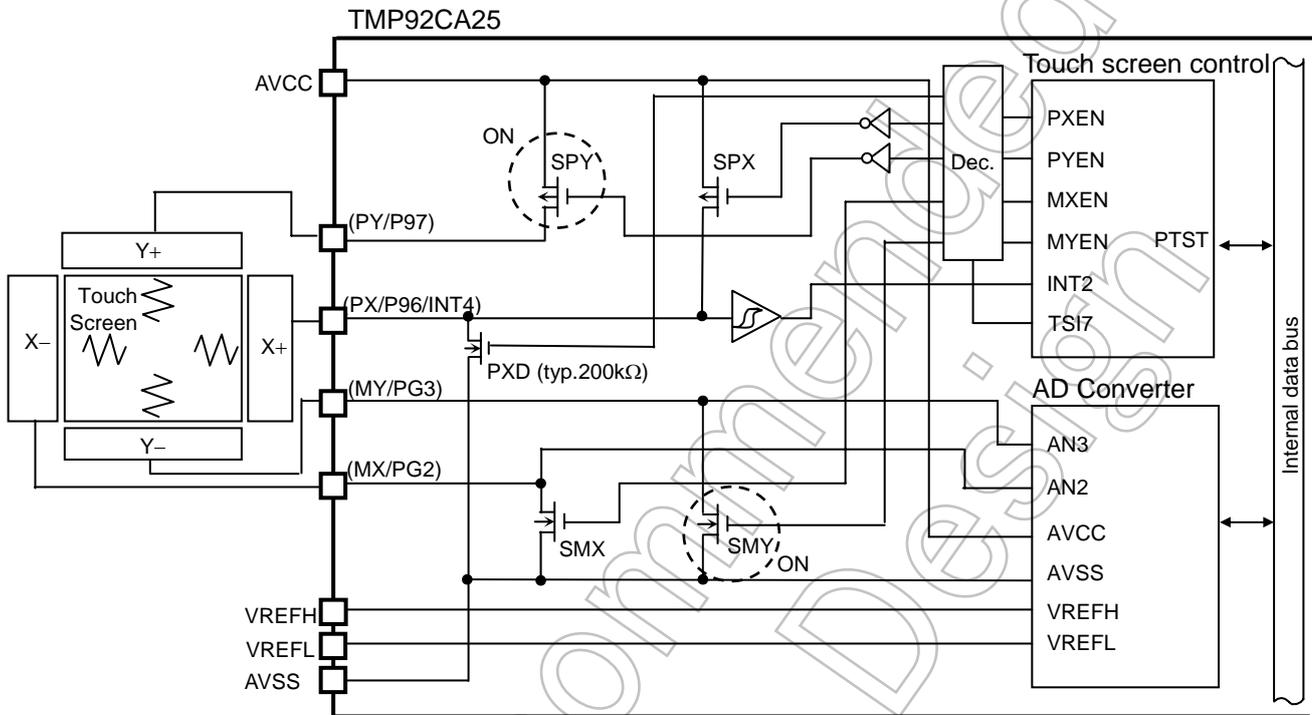
(tsicr0) = 85h : SMX, SPX ON
 (admod1) = 83h : AN3 選択
 (admod0) = 01h : A/D 変換スタート



Not Recommended for New

(c) “Y” 位置座標測定(A/D 変換スタート)

- (tsicr0) = 8ah : SMY, SPY ON
- (admod1) = 82h : AN2 選択
- (admod1) = 01h : AD 変換開始



Not Recommended for New

3.21 I²S (Inter-IC Sound)

I²S フォーマット互換のシリアル出力回路を内蔵しています。外部に DA コンバータなどの音声出力用 LSI を接続することによりデジタルオーディオシステムなどに使用できます。

本回路は、下記に示すように I²S モードと汎用 SIO モード を選択できます。なお、両モード共にクロック、データ出力機能のみを有しています。

下記にそれぞれの特長を記述します。

表 3.21.1 各モードの特長

	I ² S モード	SIO モード
1) フォーマット	I ² S フォーマット互換 (マスタ、送信のみ)	汎用 (マスタ、送信のみ)
2) 使用端子	1. I2SCKO (クロック出力) 2. I2SDO (出力) 3. I2SWS (ワード選択出力)	1. I2SCKO (クロック出力) 2. I2SDO (データ出力)
3) WS 周波数	fs/4、TA1OUT (TMRA1 出力) のどちらかを選択可能	-
4) ボーレート (@fc = 40 MHz)	20、10、5、2.5 Mbps から選択可能	
5) 送信バッファ	16 バイト × 2 チャンネル (右、左)	32 バイト
6) データ方向	MSB-first、LSB-first のどちらかを選択可能	
7) データ長	8 ビット、16 ビットのどちらかを選択可能	
8) クロックのエッジ	立ち上がりエッジ、立ち下がりエッジのどちらかを選択可能	
9) 割り込み	INTI2S (FIFO エンプティ割り込み)	

3.21.1 ブロック図

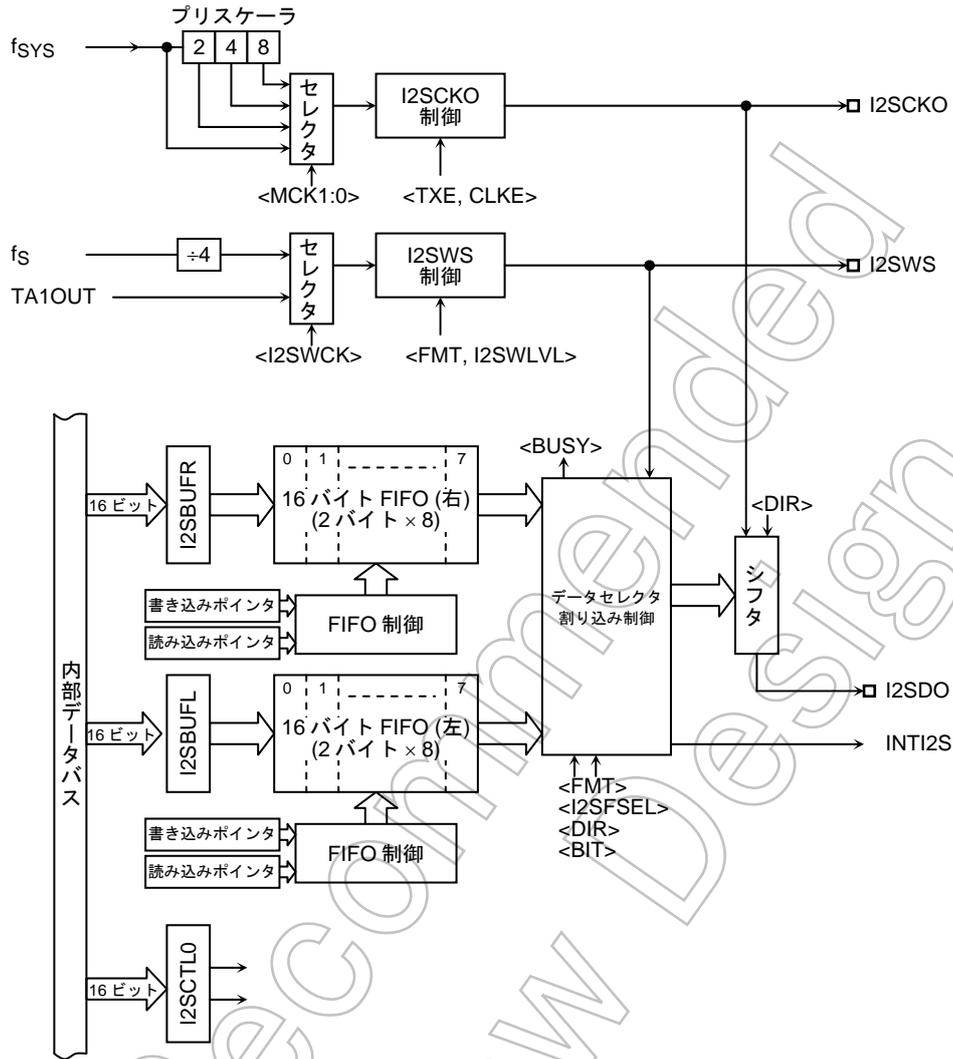


図 3.21.1 I²S ブロック図

3.21.2 SFR

以下の表は I²S の SFR です。この I²S は 16 ビットデータバスで CPU に接続されています。
これらの SFR にアクセスするときは、2 バイトの転送命令を使用してください。

I2SCTL0 レジスタ

		7	6	5	4	3	2	1	0
I2SCTL0 (080EH)	Bit symbol	TXE	FMT	BUSY	DIR	BIT	MCK1	MCK0	I2SWCK
	Read/Write	R/W		R	R/W				
	リセット後	0	0	0	0	0	0	0	0
	機能	送信 0: 停止 1: 開始	モード 0: I ² S 1: SIO	ステータス 0: 停止 1: 送信中	送信開始 ビット 0: MSB 1: LSB	ビット数 0: 8 ビット 1: 16 ビット	ボーレート 00: fsys 10: fsys/4 01: fsys/2 11: fsys/8		WS クロック 0: fs/4 1: TA1OUT

注) <I2SWCK>は I²S モードのみ有効です。

		15	14	13	12	11	10	9	8	
(080FH)	Bit symbol	I2SWLVL	EDGE	I2SFSEL	I2SCLKE				SYSCKE	
	Read/Write	R/W								R/W
	リセット後	0	0	0	0				0	
	機能	WS レベル 0: Low 左 1: High 左	データ出力 用クロック エッジ 0: 立ち 下がり 1: 立ち 上がり	ステレオ用 選択 0: ステレオ (2チャンネル) 1: モノラル (1チャンネル)	クロック 許可 (送信後) 0: 動作 1: 停止				システム クロック 0: 禁止 1: 許可	

注) <I2SWLVL>、<I2SFSEL>、<I2SCLKE>は I²S モードのみ有効です。

I2SBUFR レジスタ

		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I2SBUFR (0800H)	Bit symbol	R15	R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	R0
	Read/Write	W															
	リセット後	不定															
	機能	送信バッファ用レジスタ (FIFO) (右チャンネル)															

リード
モディファイ
ライト
できません。

I2SBUFL レジスタ

		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I2SBUFL (0808H)	Bit symbol	L15	L14	L13	L12	L11	L10	L9	L8	L7	L6	L5	L4	L3	L2	L1	L0
	Read/Write	W															
	リセット後	不定															
	機能	送信バッファ用レジスタ (FIFO) (左チャンネル)															

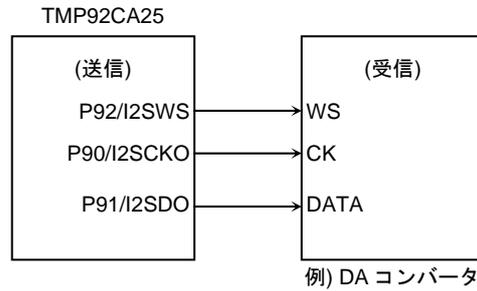
リード
モディファイ
ライト
できません。

図 3.21.2 I²S SFR

3.21.3 I²Sモードの説明

(1) 接続例

図 3.21.3は外部LSIとの接続例を示しています。



注) リセット後、P90~P92はハイインピーダンス状態になります。必要に応じてプルアップ、あるいはプルダウンに接続してください。

図 3.21.3 外部 LSI との接続例

(2) 動作手順

32 バイトの FIFO バッファを内蔵しており、FIFO のデータが空になることにより、INTI2S 割り込みが発生します。割り込みルーチン中に次の送信データを FIFO に書き込んでください。

設定例およびタイミング図を以下に示します。

(設定例) I²S モードで I2SWS を 8.192 KHz、I2SCKO を 10 MHz、立ち上がりエッジに同期してデータ送信を行う場合 (@f_{sys} = 20 MHz)

(メインルーチン)

	7	6	5	4	3	2	1	0	
INTE5I2S	X	0	0	1	X	-	-	-	割り込みレベルを設定
P9CR	-	-	-	-	-	0	0	0	端子を P90 (I2SCKO)、P91 (I2SDO)、P92 (I2SWS) に設定
P9FC	-	-	-	-	-	1	1	1	
I2SCTL0	0	0	-	0	0	0	1	0	I ² S モード、MSB-first、8 ビット、f _{sys} /2 クロックに設定
	0	1	0	1	0	0	0	1	立ち上がりエッジ、クロック停止に設定
I2SBUFR	**	**	**	**	**	**	**	**	16 バイトデータを右用の FIFO にライト (8 回)
I2SBUFL	**	**	**	**	**	**	**	**	16 バイトデータを左用の FIFO にライト (8 回)
I2SCTL0	1	0	-	0	0	0	1	0	送信開始
	0	1	0	1	0	0	0	1	

(INTI2S 割り込みルーチン)

I2SBUFR	**	**	**	**	**	**	**	**	16 バイトデータを右用の FIFO にライト (8 回)
I2SBUFL	**	**	**	**	**	**	**	**	16 バイトデータを左用の FIFO にライト (8 回)

X: Don't care, -: No change

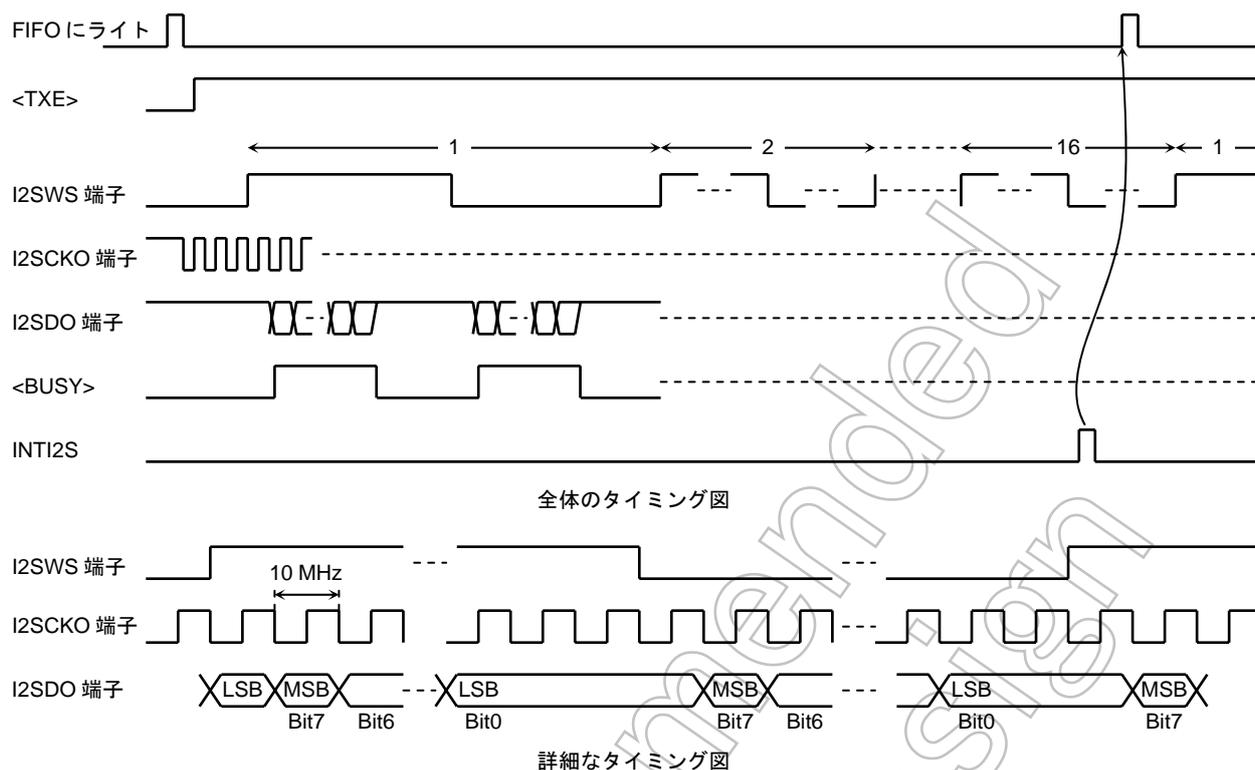


図 3.21.4 タイミング図

(3) 注意事項

1) INTI2S 発生タイミング

INTI2S は FIFO の最後のデータを内部シフトレジスタへ転送後発生します。これにより FIFO は空となり次のデータを書き込み許可となります。

2) I2SCTL0<TXE>

<TXE>レジスタに“1”を書き込むことによって送信を開始し、“0”を書き込むことによって停止します。

<TXE>に一度“1”を書き込むと、自動的に右、左と交互に送信します。

送信を停止する場合、INTI2S 割り込みルーチンで<BUSY>が“0”に変わった後に“0”を<TXE>に書き込んでください。

なお、送信中に<TXE>に“0”を書き込んだ場合は直ちに送信を停止します。

3) FIFO 使用容量

16 バイトの FIFO が右、左各チャンネルに用意されています。全データを使用する必要はありませんが、2、4、6、8、10、12、14、16 のような偶数バイトで使用してください。

4) I2SCTL0<I2SFSEL>

“モノラル”で使用する場合、<I2SFSEL>に“1”を書き込みます。その場合 FIFO の右チャンネルを使用してください。左用 FIFO にはデータを書き込む必要はありません。チャンネルの送信データは“0”固定になります。

5) I2SBUFR、I2SBUFL のアドレス

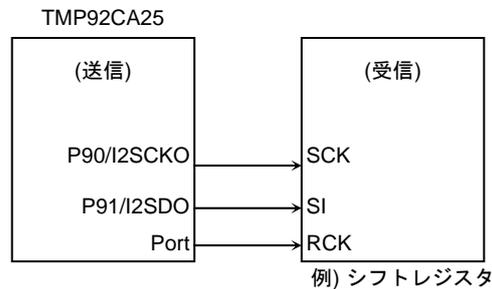
I2SBUFR、I2SBUFL にデータを書き込む際に“ワード、またはロングワードデータ転送命令”を使用します。“バイトデータ転送命令”は使用できません。

I2SBUFR のアドレスは 0800H から 0803H まで、I2SBUFL は 0808H から 080BH まで有効です。

3.21.4 SIO モードの説明

(1) 接続例

図 3.21.5は外部LSIとの接続例を示しています。



注) リセット後、P90~P91 はハイインピーダンス状態になります。必要に応じてプルアップ、あるいはプルダウンに接続してください。

図 3.21.5 外部 LSI との接続例

(2) 動作手順

32 バイトの FIFO バッファを内蔵しており FIFO のデータが空になることにより、INTI2S 割り込みが発生します。

割り込みルーチン中で次の送信データを FIFO に書き込みます。

(設定例) SIO モードで送信、I2SCKO = 10 MHz、立ち上がりエッジに同期 (@f_{sys} = 20 MHz)

(メインルーチン)

	7	6	5	4	3	2	1	0	
INTE5I2S	X	0	0	1	X	-	-	-	割り込みレベルを設定
P9CR	-	-	-	-	-	-	0	0	端子を P90 (I2SCKO)、P91 (I2SDO) に設定
P9FC	-	-	-	-	-	-	1	1	
I2SCTL0	0	1	-	1	0	0	1	-	SIO モード、LSB-first、8 ビット、f _{sys} /2 クロックを設定
	-	1	-	1	0	0	0	1	立ち上がりエッジを設定
I2SBUFR	**	**	**	**	**	**	**	**	32 バイトデータを FIFO にライト (16 回)
I2SCTL0	1	1	-	1	0	0	1	-	送信開始
	-	1	-	1	0	0	0	1	

(INTI2S 割り込みルーチン)

I2SBUFR	**	**	**	**	**	**	**	**	32 バイトデータを FIFO にライト (16 回)
	If <BUSY> == "1" then WAIT else NEXT								
I2SCTL0	1	1	-	1	0	0	1	-	送信開始
	-	1	-	1	0	0	0	1	

X: Don't care, -: No change

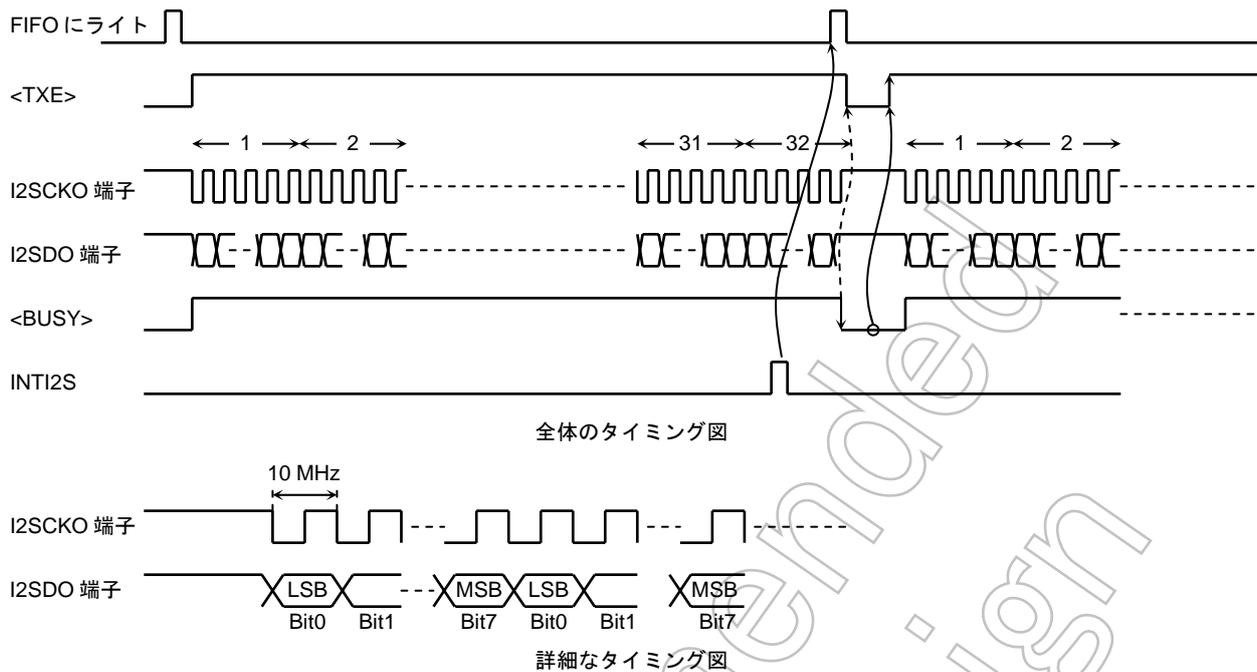


図 3.21.6 タイミング図

(3) 注意事項

1) INTI2S 発生タイミング

INTI2S は FIFO の最後のデータが内部シフトレジスタに転送された後、発生します。

これにより FIFO は空となり次のデータを書き込み許可となります。

2) I2SCTL0<TXE>

<TXE>レジスタに“1”を書き込むことによって送信を開始し、“0”を書き込むことによって停止します。

<BUSY>が“1”から“0”になることによって<TXE>レジスタは“0”にクリアされます。

なお、送信中に<TXE>に“0”を書き込んだ場合は直ちに送信を停止します。

3) FIFO 使用容量

32 バイトの FIFO が SIO モード用に用意されています。全データを使用する必要はありませんが、2、4、6、8、10、12、14、16、18、20、22、24、26、28、30、32 のような偶数バイトで使用してください。

FIFO に書き込まれたデータすべて送信した後、<BUSY>は“0”に、<TXE>は“0”に自動的にクリアされます。送信を続ける場合は FIFO にデータを書き込んだ後に<TXE>に“1”を書き込んでください。

FIFO に書き込まれたデータ数は自動的にカウントされ、<TXE>に“1”を書き込むことによって保持されます。

4) I2SBUFR、I2SBUFL のアドレス

I2SBUFR (I2SBUFL には書き込めません。)にデータを書き込む際に“ワード、またはロングワードデータ転送命令”を使用します。“バイトデータ転送命令”は使用できません。

I2SBUFR のアドレスは 0800H から 0803H まで有効です。

3.22 電源供給システム PSB (Power Supply Backup)

電源供給は下記の 3 系統があります。

- アナログ電源供給 (AVCC - AVSS)
- デジタル電源供給 (DVCC - DVSS)
- RTC 用電源供給 (RTCVCC - DVSS)

各電源供給は独立しています。

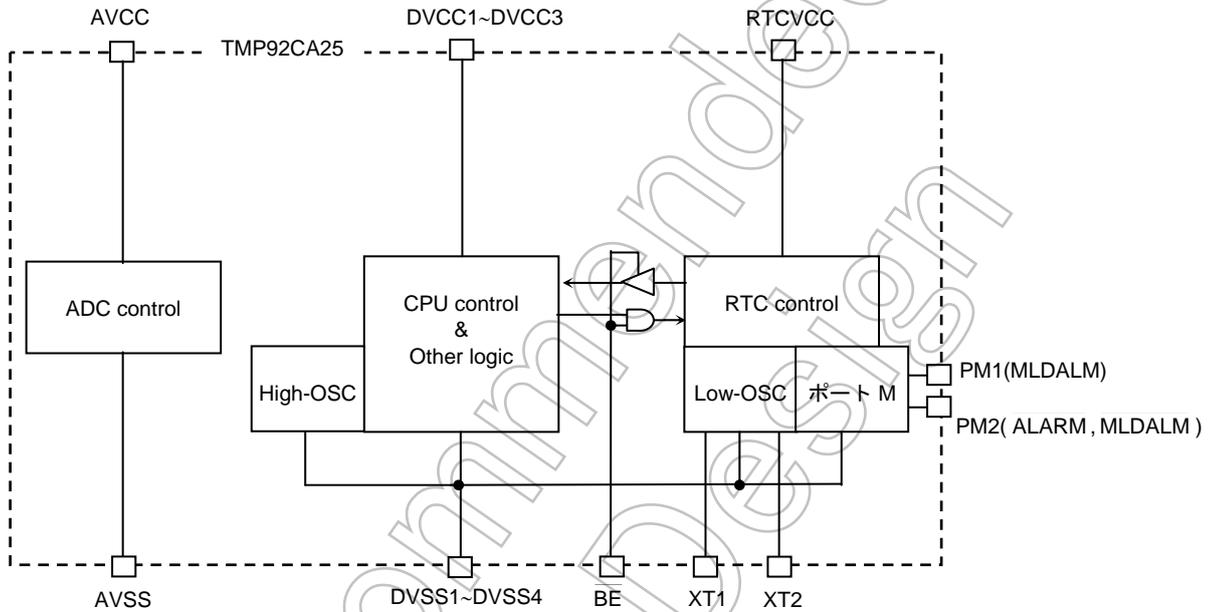


図 3.22.1 電源供給システム

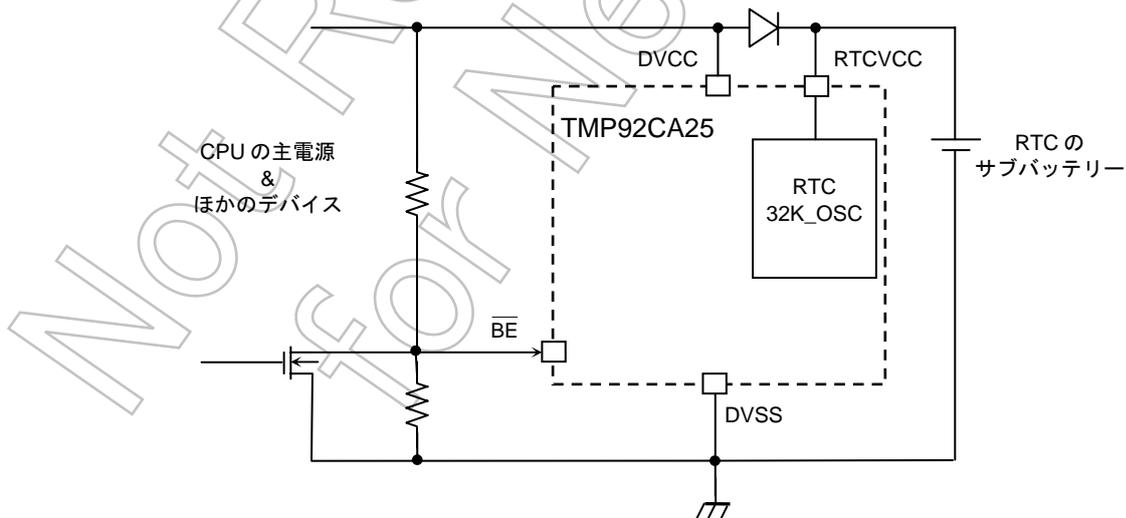


図 3.22.2 電源供給システム用 外部回路例

TMP92CA25 はサブバッテリー供給下での低速発振器、RTC、ポート M のみ動作する電源供給バックアップモードを持っています。 $\overline{\text{RESET}}$ 端子と $\overline{\text{BE}}$ (バックアップイネーブル) 端子により、電源供給バックアップモードに入ります。

図 3.22.3、図 3.22.4 に $\overline{\text{BE}}$ 端子と $\overline{\text{RESET}}$ 端子のタイミング図を示します。

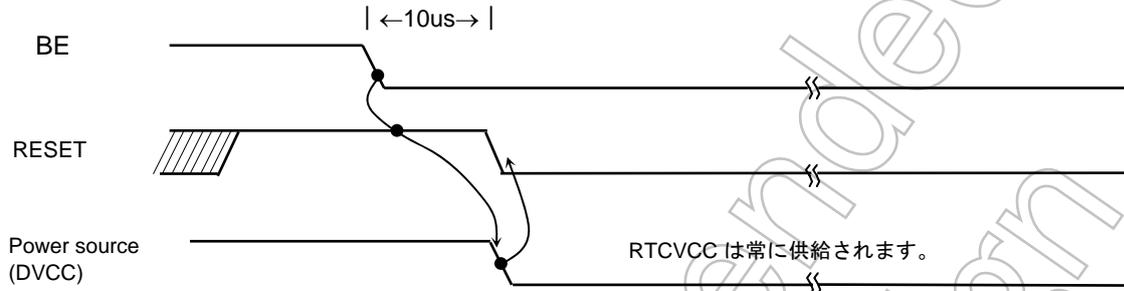


図 3.22.3 ノーマルモードから PSB モードへの移行

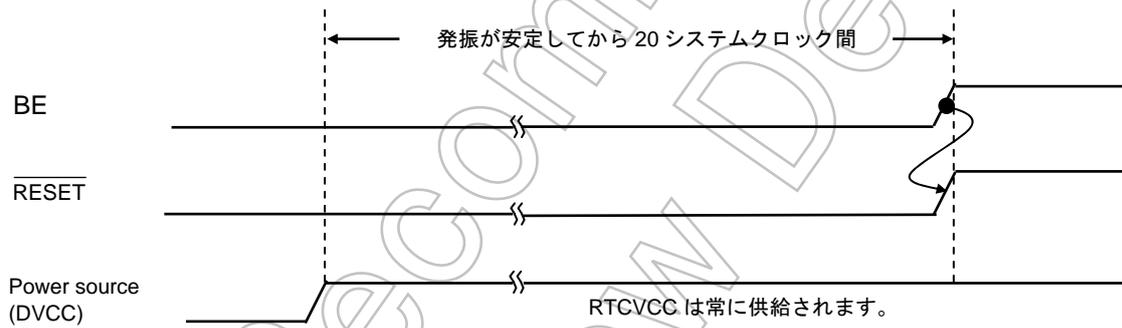


図 3.22.4 PSB モードからノーマルモードへの移行

- バックアップイネーブル端子 (\overline{BE})

低速発振器、RTC、ポート M は、 $\overline{BE} = "L"$ の時でも動作可能です。

$\overline{BE} = "L"$ になると、内部で CPU などの回路と低速発振器、RTC、ポート M が分離されることにより、RTC、ポート M へのアクセスは禁止され、低周波クロック(f_s)は RTC 以外のブロック(メロディアラームジェネレータなど)へは供給されません。

また、RTC の出力機能である \overline{ALARM} は $\overline{BE} = "L"$ にする前にポート設定をしていれば、PM2 端子より出力可能です。

注)

- 1) 通常 LSI の電源を落とした状態で、汎用ポートなどの端子に“H”レベルの信号を入力すると、余計な電流を消費するため、“L”レベルまたはハイインピーダンス状態にしてください。また、本バックアップ機能使用時で、DVCC 電源を落とした状態では、 \overline{BE} 端子には必ず“L”レベルを入力する必要があります。
- 2) $\overline{BE} = "L"$ とした時、低周波発振器は強制的に $EMCCR0<DRVOSCL> = "0"$ と同じ状態で動作します。従って、低周波発振器を動作させない時には、 $\overline{BE} = "L"$ にしないで下さい。
- 3) $\overline{BE} = "L"$ とした時、PM2、PM1 端子の状態は $PMDR<PM2D,PM1D>$ の設定値に従って変化します。PM2、PM1 端子の出力を保持する場合は、 $\overline{BE} = "L"$ にする前に $<PM2D,PM1D>$ に“1”をライトしておいてください。
- 4) \overline{RESET} を解除する場合は、 \overline{BE} 端子が“H”レベルになった後、 \overline{RESET} を解除してください。

3.23 外部バス開放機能

外部にバスマスタを接続可能な外部バス開放機能をもっています。

バス開放要求($\overline{\text{BUSRQ}}$)、バス開放応答($\overline{\text{BUSAK}}$)端子は、ポート L6、L7 端子にアサインされており PLCR、PLFC レジスタに設定することにより有効になります。

図 3.23.1に動作タイミング例を示します。なお、 $\overline{\text{BUSAK}}$ 端子に“0”を入力後、バス開放する($\overline{\text{BUSAK}}$ を“0”にする)までの時間は、その時にCPUが実行している命令に依存して異なります。

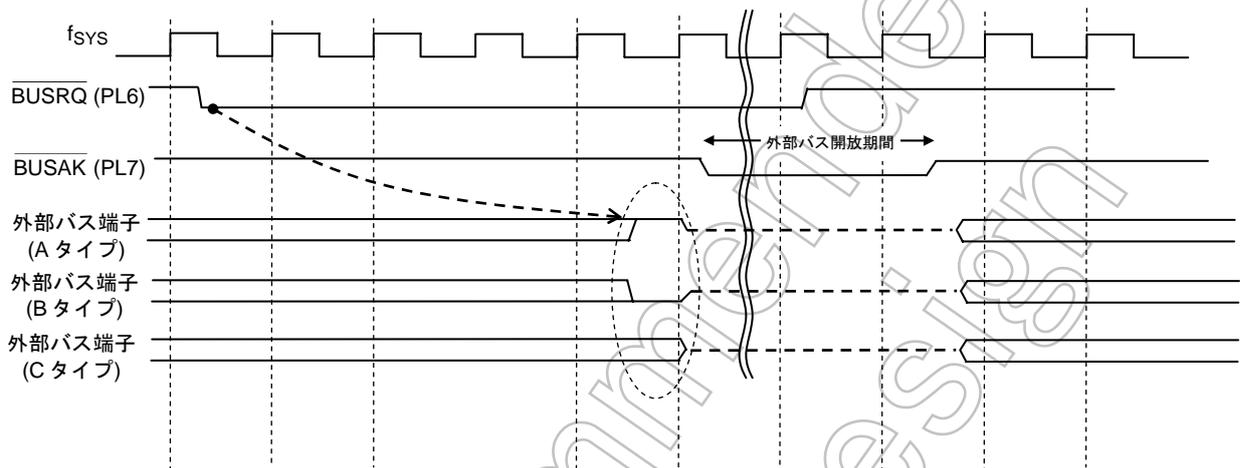


図 3.23.1 バス開放機能の動作タイミング例

3.23.1 被開放端子

CPUは、外部バス開放要求を受けると次のバス起動は行わずに、 $\overline{\text{BUSAK}}$ 端子を“0”にし外部にバスを開放します。この際に開放される端子には図 3.23.1に示すように A、B、C の 3 種類のタイプがあり、ハイインピーダンス(HZ)にする直前の動作が異なります。

表 3.23.1にタイプ別の対応端子を示します。いずれの端子もポート設定により、その機能に設定されている場合にのみ被開放端子となります。よって出力ポートなどに設定されている場合には被開放端子とならず、前の状態を保持します。

表 3.23.1 被開放端子

タイプ	HZにする直前の動作	対象機能(端子名)
A	“1”をドライブ	A23-A16(P67-P60), A15-A0, RD (P70), $\overline{\text{WRLL}}$ (P71), $\overline{\text{WRLU}}$ (P72), EA24(P73), EA25(P74), $\overline{\text{R/W}}$ (P75), $\overline{\text{CS0}}$ (P80), $\overline{\text{CS1}}$ (P81), $\overline{\text{SDCS}}$ (P81), $\overline{\text{CS2}}$ (P82), $\overline{\text{CSZA}}$ (P82), $\overline{\text{CS3}}$ (P83), $\overline{\text{CSZB}}$ (P84), $\overline{\text{CSZC}}$ (P85), $\overline{\text{CSZD}}$ (P86), $\overline{\text{CSZE}}$ (P87), EA24(PC6), EA25(PC7), $\overline{\text{CSZF}}$ (PC7), $\overline{\text{SRLLB}}$, $\overline{\text{SDRAS}}$ (PJ0), $\overline{\text{SRLUB}}$, $\overline{\text{SDCAS}}$ (PJ1), $\overline{\text{SRWR}}$, $\overline{\text{SDWE}}$ (PJ2), $\overline{\text{SDCLK}}$ (PF7), $\overline{\text{SDLLDQM}}$ (PJ3), $\overline{\text{SDLUDQM}}$ (PJ4)
B	“0”をドライブ	$\overline{\text{SDCKE}}$ (PJ7)
C	何もしない	D15-D8(P17-P10), D7-D0

3.23.2 接続例

図 3.23.2に接続例を示します。

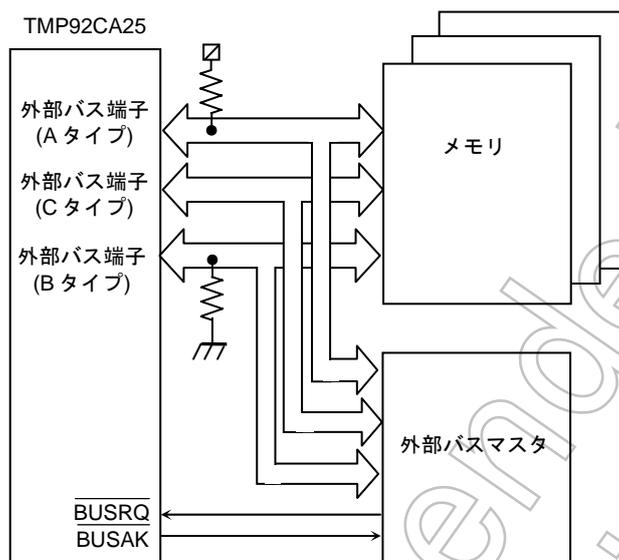


図 3.23.2 接続例

3.23.3 注意事項

外部バス開放機能を使用する上で以下のような注意点、制限事項を示します。

1) LCD コントローラ, SDRAM コントローラとの併用禁止

本機能を使用する際は、LCD コントローラを SR モードで使用することを禁止します。

また、SDRAMC も基本的には使用禁止としますが、外部バスマスタも SDRAM を使用する場合はバス開放要求前に SDRAM を SR(セルフリフレッシュ)状態にし、バス開放終了後に SR 状態を解除して使用してください。その際には、汎用ポートなどによるハンドシェイクによりお互いの状況を確認するようにしてください。

2) スタンバイモードの対応

本機能を受け付け可能な状態は、CPU が動作している状態、および IDLE2 モード中のみです。IDLE1、STOP 状態中では受け付けません(バス開放要求を無視します)。

3) 内蔵リソースのアクセス不可

外部バスマスタは、本製品の内蔵メモリ、内蔵 I/O はアクセスできません。

4) バス開放中の内蔵 I/O の動作

バス開放中、内蔵 I/O は動作を継続しますので注意してください。特にウォッチドッグタイマは、バス開放時間を考慮して暴走検出時間を設定してください。

5) 被開放端子

NAND-Flash 用の制御出力端子($\overline{\text{ND0CE}}$, $\overline{\text{ND1CE}}$, NDALE , NDCLE , $\overline{\text{NDRE}}$, $\overline{\text{NDWE}}$)は、被開放端子ではありません。

4. 電気的特性

4.1 絶対最大定格

記号	項目	定格	単位
V _{CC}	電源電圧	-0.5 ~ 4.0	V
V _{IN}	入力電圧	-0.5 ~ V _{CC} + 0.5	V
I _{OL}	出力電流 (1 端子当り)	2	mA
I _{OL}	出力電流 (MX, MY 端子)	15	mA
I _{OH}	出力電流 (1 端子当り)	-2	mA
I _{OH}	出力電流 (PX, PY 端子)	-15	mA
Σ I _{OL}	出力電流 (合計)	80	mA
Σ I _{OH}	出力電流 (合計)	-80	mA
P _D	消費電力 (T _a = 85°C)	600	mW
T _{SOLDER}	はんだ付け温度 (10 s)	260	°C
T _{STG}	保存温度	-65 ~ 150	°C
T _{OPR}	動作温度	-20 ~ 70	°C

注) 絶対最大定格とは瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

鉛フリー品(G付製品)へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5秒間 1回 Rタイプフラックス使用 (鉛はんだ使用時)	フォーミングまでの半田付着率 95%を良品とする
	245°C 5秒間 1回 Rタイプフラックス使用 (鉛フリーはんだ使用時)	

4.2 DC 電気的特性

VCC = 3.3 ± 0.3V/X1 = 6 ~ 40 MHz/Ta = -20 ~ 70°C

VCC = 2.7 ~ 3.6V/X1 = 6 ~ 27 MHz/Ta = -20 ~ 70°C

項目	記号	最小	標準	最大	単位	条件	
電源電圧 (DVCC = AVCC) (DVSS = AVSS = 0 V)	VCC	3.0 2.7		3.6	V	X1 = 6 ~ 40 MHz X1 = 6 ~ 27 MHz	XT1 = 30 ~ 34 KHz
低レベル入力電圧 D0 ~ D7 P10 ~ P17 (D8 ~ 15)	VIL0	-0.3		0.6	V		
低レベル入力電圧 P40 ~ P47, P50 ~ P57, P60 ~ P67, P71 ~ P76, P90, P93 ~ P94, PC4 ~ PC7, PF3 ~ PF6, PG0 ~ PG3, PJ5 ~ PJ6, PK4 ~ PK7, PL4 ~ PL7	VIL1		$0.3 \times V_{CC}$				
低レベル入力電圧 P91 ~ P92, P96 ~ P97, PA0 ~ PA7, PC0 ~ PC3, PF0 ~ PF2, BE, RESET	VIL2		$0.25 \times V_{CC}$				
低レベル入力電圧 AM0 ~ AM1	VIL3		0.3				
低レベル入力電圧 X1, XT1	VIL4		$0.2 \times V_{CC}$				
高レベル入力電圧 D0 ~ D7 P10 ~ P17 (D8 ~ 15)	VIH0	2.0			V		
高レベル入力電圧 P40 ~ P47, P50 ~ P57, P60 ~ P67, P71 ~ P76, P90, P93 ~ P94, PC4 ~ PC7, PF3 ~ PF6, PG0 ~ PG3, PJ5 ~ PJ6, PK4 ~ PK7, PL4 ~ PL7	VIH1	$0.7 \times V_{CC}$		$V_{CC} + 0.3$			
高レベル入力電圧 P91 ~ P92, P96 ~ P97, PA0 ~ PA7, PC0 ~ PC3, PF0 ~ PF2, BE, RESET	VIH2	$0.75 \times V_{CC}$					
高レベル入力電圧 AM0 ~ AM1	VIH3	$V_{CC} - 0.3$					
高レベル入力電圧 X1, XT1	VIH4	$0.8 \times V_{CC}$					

項目	記号	最小	標準	最大	単位	条件	
低レベル出力電圧	VOL			0.45	V	IOL = 1.6 mA	
高レベル出力電圧	VOH1	2.4				IOH = -400 μ A	
	VOH2	$0.9 \times V_{CC}$			IOH = -20 μ A		
内部抵抗 (ON 時) MX, MY 端子	IMon			30	Ω	VOL = 0.2V	
内部抵抗 (ON 時) PX, PY 端子	IMon			30		VOH = $V_{CC} - 0.2V$	
						VCC = 3.0~3.6V	
入力リーク電流	ILI		0.02	± 5	μ A	$0.0 \leq V_{in} \leq V_{CC}$	
出力リーク電流	ILO		0.05	± 10	μ A	$0.2 \leq V_{in} \leq V_{CC} - 0.2V$	
パワーダウン電圧 (@STOP, RAM バックアップ)	VSTOP	1.8		3.6	V	VIL2 = $0.2 \times V_{CC}$, VIH2 = $0.8 \times V_{CC}$	
RESET, PA0 ~ PA7 プルアップ抵抗	RRST	80		500	K Ω		
P96 プログラムブル プルダウン抵抗	RKH						
端子容量	CIO			10	pF	fc = 1 MHz	
シュミット幅 P91 ~ P92, P96 ~ P97, PA0 ~ PA7, PC0 ~ PC3, PF0 ~ PF2, BE, RESET	VTH	0.4	1.0		V		
NORMAL (注 2)			42	65	mA	VCC = 3.6 V, fc = 40 MHz	
IDLE2			13	26			
IDLE1			3.1	8.7			
SLOW (注 2)	ICC		41	110	μ A	Ta $\leq 70^\circ\text{C}$	
IDLE2			15	80		30	Ta $\leq 50^\circ\text{C}$
							Ta $\leq 70^\circ\text{C}$
IDLE1			4	60		20	Ta $\leq 50^\circ\text{C}$
							Ta $\leq 70^\circ\text{C}$
STOP			0.2	50		15	Ta $\leq 70^\circ\text{C}$
				Ta $\leq 50^\circ\text{C}$			

注 1) Typ 値は特に指定のない限り Ta = 25°C、VCC = 3.3 V の値です。

注 2) ICC NORMAL、SLOW の測定条件:

すべて動作、バス端子の CL = 30 pF、バス以外の出力端子は開放、入力端子はレベル固定です。

4.3 AC 電気的特性

4.3.1 基本バスサイクル

リードサイクル

No.	項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
			Min	Max				
1	発振周期(X1/X2)	t _{OSC}	25	166.7	25	27.7	37.0	ns
2	システムクロック周期(=T)	t _{CYC}	50	333.3	50	55.5	74.0	
3	SDCLK 低レベルパルス幅	t _{CL}	0.5T - 15		10	12.7	22	
4	SDCLK 高レベルパルス幅	t _{CH}	0.5T - 15		10	12.7	22	
5-1	A0 ~ A23 有効 → D0 ~ D15 入力 @ 0 ウェイト	t _{AD} (3.0 V)		2.0T - 30	70	81	-	
		t _{AD} (2.7 V)		2.0T - 35	-	-	113	
5-2	A0 ~ A23 有効 → D0 ~ D15 入力 @ 0 ウェイト	t _{AD3} (3.0 V)		3.0T - 30	120	136.5	-	
		t _{AD3} (2.7 V)		3.0T - 35	-	-	187	
6-1	RD 立ち下がり → D0 ~ D15 入力 @ 0 ウェイト	t _{RD(a)}		1.5T - 30	45	53.3	81	
		t _{RD(b)}		1.25T - 30	32.5	39.5	62.5	
		t _{RD(c)}		1.0T - 30	20	25.7	44	
6-2	RD 立ち下がり → D0 ~ D15 入力 @ 1 ウェイト	t _{RD3(a)}		2.5T - 30	95	108.8	155	
		t _{RD3(b)}		2.25T - 30	82.5	95	136.5	
		t _{RD3(c)}		2.0T - 30	70	81.2	118	
7-1	RD 低レベルパルス幅 @ 0 ウェイト	t _{RR(a)}	1.5T - 20		55	63.2	91	
		t _{RR(b)}	1.25T - 20		42.5	49.4	72.5	
		t _{RR(c)}	1.0T - 20		30	35.6	54	
7-2	RD 低レベルパルス幅 @ 1 ウェイト	t _{RR3(a)}	2.5T - 20		105	118.8	165	
		t _{RR3(b)}	2.25T - 20		92.5	105	146.5	
		t _{RR3(c)}	2.0T - 20		80	91.2	128	
8	A0 ~ A23 有効 → RD 立ち下がり	t _{AR(a)}	0.5T - 20		5	7.7	17	
		t _{AR(b)}	0.75T - 20		17.5	21.5	35.5	
		t _{AR(c)}	1.0T - 20		30	35.3	54	
9	RD 立ち下がり → SDCLK 立ち上がり	t _{RK(a)}	0.5T - 20		5	7.7	17	
		t _{RK(b)}	0.25T - 20		-7.5	-6.1	-1.5	
		t _{RK(c)}	0T - 20		-20	-20	-20	
10	A0 ~ A23 有効 → D0 ~ D15 保持	t _{HA}	0		0	0	0	
11	RD 立ち上がり → D0 ~ D15 保持	t _{HR}	0		0	0	0	
12	WAIT セットアップ時間	t _{TK}	15		15	15	15	
13	WAIT ホールド時間	t _{KT}	5		5	5	5	
14	SRAM 用データバイト制御アクセス時間	t _{SBA}		1.5T - 30	45	53.3	81	
15	RD 高レベルパルス幅	t _{RRH(a)}	0.5T - 15		10	12.7	22	
		t _{RRH(b)}	0.75T - 15		22.5	26.5	40.5	
		t _{RRH(c)}	1.0T - 15		35	40.3	59	

AC 測定条件

- 出力レベル: High = 0.7 V_{CC}, Low = 0.3 V_{CC}, C_L = 50 pF
- 入力レベル: High = 0.9 V_{CC}, Low = 0.1 V_{CC}

注1) 上記表の“計算式”は2.7V~3.6Vの範囲での規定を示します。ただし、“記号”内に電圧が規定されているものを除きます。例) (3.0V)と記述のあるものは3.0V~3.6Vを示します。

注2) 上記表の“記号”の(a), (b), (c)は、メモリコントローラ内のMEMCR0<RDTMG1:0>レジスタの設定によりRD端子の立ち下がりタイミングが異なった場合の値です。MEMCR0<RDTMG1:0>が“00”, “01”, “10”のそれぞれに(a), (b), (c)が対応します。

ライトサイクル

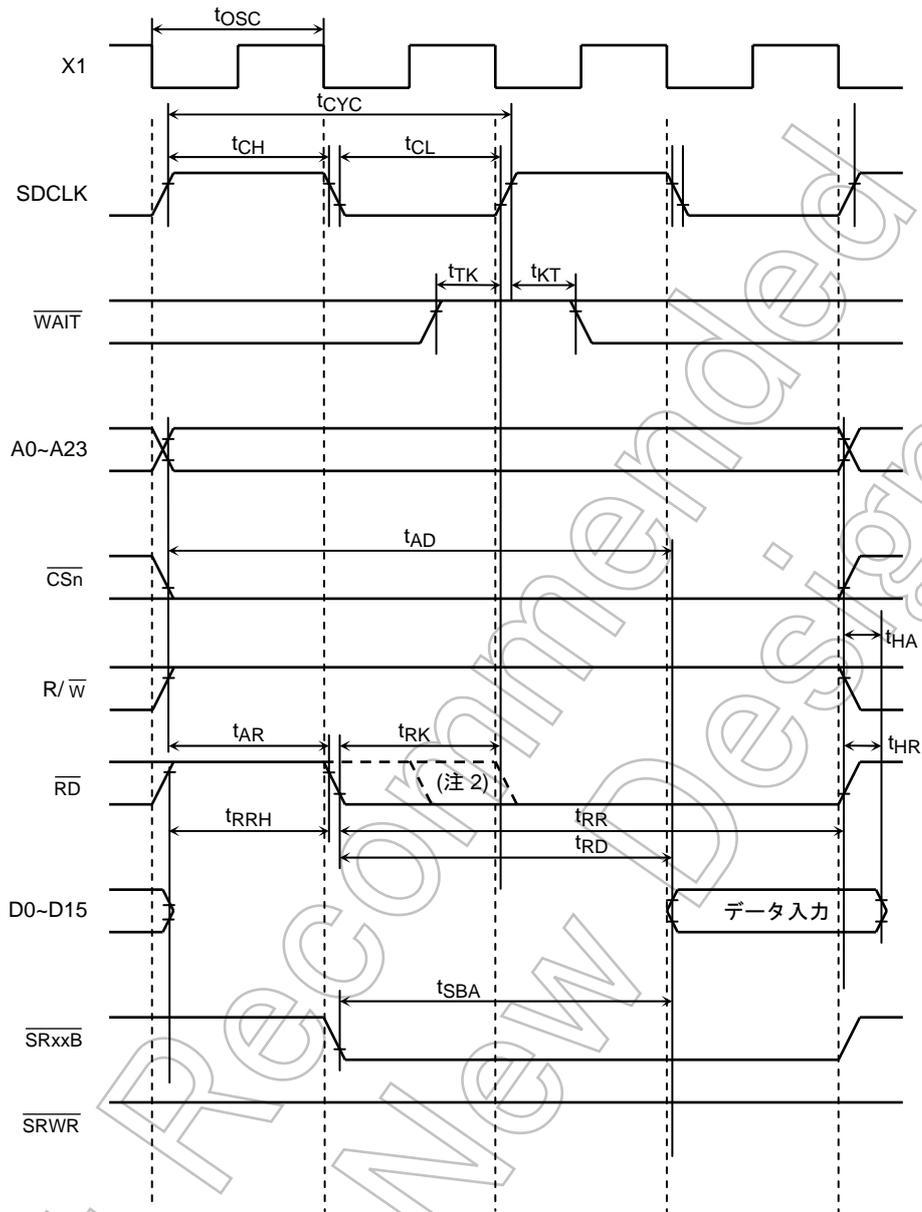
No.	項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
			Min	Max				
16-1	D0 ~ D15 有効 → \overline{WR} xx 立ち上がり @0 ウェイト	t _{DW}	1.25T - 35		27.5	34.3	57.5	ns
16-2	D0 ~ D15 有効 → \overline{WR} xx 立ち上がり @ 1 ウェイト	t _{DW3}	2.25T - 35		77.5	89.8	131.5	
17-1	\overline{WR} xx 低レベルパルス幅 @0 ウェイト	t _{WW}	1.25T - 30		32.5	34.3	62.5	
17-2	\overline{WR} xx 低レベルパルス幅 @ 1 ウェイト	t _{WW3}	2.25T - 30		82.5	89.8	136.5	
18	A0 ~ A23 有効 → \overline{WR} 立ち下がり	t _{AW}	0.5T - 20		5	7.7	17	
19	\overline{WR} xx 立ち下がり → SDCLK 立ち上がり	t _{WK}	0.5T - 20		5	7.7	17	
20	\overline{WR} xx 立ち上がり → A0 ~ A23 保持	t _{WA}	0.25T - 5		7.5	8.8	13.5	
21	\overline{WR} xx 立ち上がり → D0 ~ D15 保持	t _{WD}	0.25T - 5		7.5	8.8	13.5	
22	\overline{RD} 立ち上がり → D0 ~ D15 出力	t _{RDO (3.0 V)}	0.5T - 5		20	22.7	-	
		t _{RDO (2.7 V)}	0.5T - 7		-	-	30	
23	SRAM 用ライトパルス幅	t _{SWP}	1.25T - 30		32.5	39.3	62.5	
24	SRAM データバイト制御 ~ ライト終了時間	t _{SBW}	1.25T - 30		32.5	39.3	62.5	
25	SRAM 用アドレスセットアップ時間	t _{SAS}	0.5T - 20		5	7.7	17	
26	SRAM 用ライトリカバリ時間	t _{SWR}	0.25T - 5		7.5	8.8	13.5	
27	SRAM 用データセットアップ時間	t _{SDS}	1.25T - 35		27.5	34.3	57.5	
28	SRAM 用データ保持時間	t _{SDH}	0.25T - 5		7.5	8.8	13.5	

AC 測定条件

- 出力レベル: High = 0.7 V_{CC}, Low = 0.3 V_{CC}, C_L = 50 pF
- 入力レベル: High = 0.9 V_{CC}, Low = 0.1 V_{CC}

注) 上記表“計算式”は 2.7 V~3.6 V の範囲での規定を示します。ただし、“記号”内に電圧が規定されているものを除きます。例) (3.0 V) と記述のあるものは 3.0 V~3.6 V を示します。

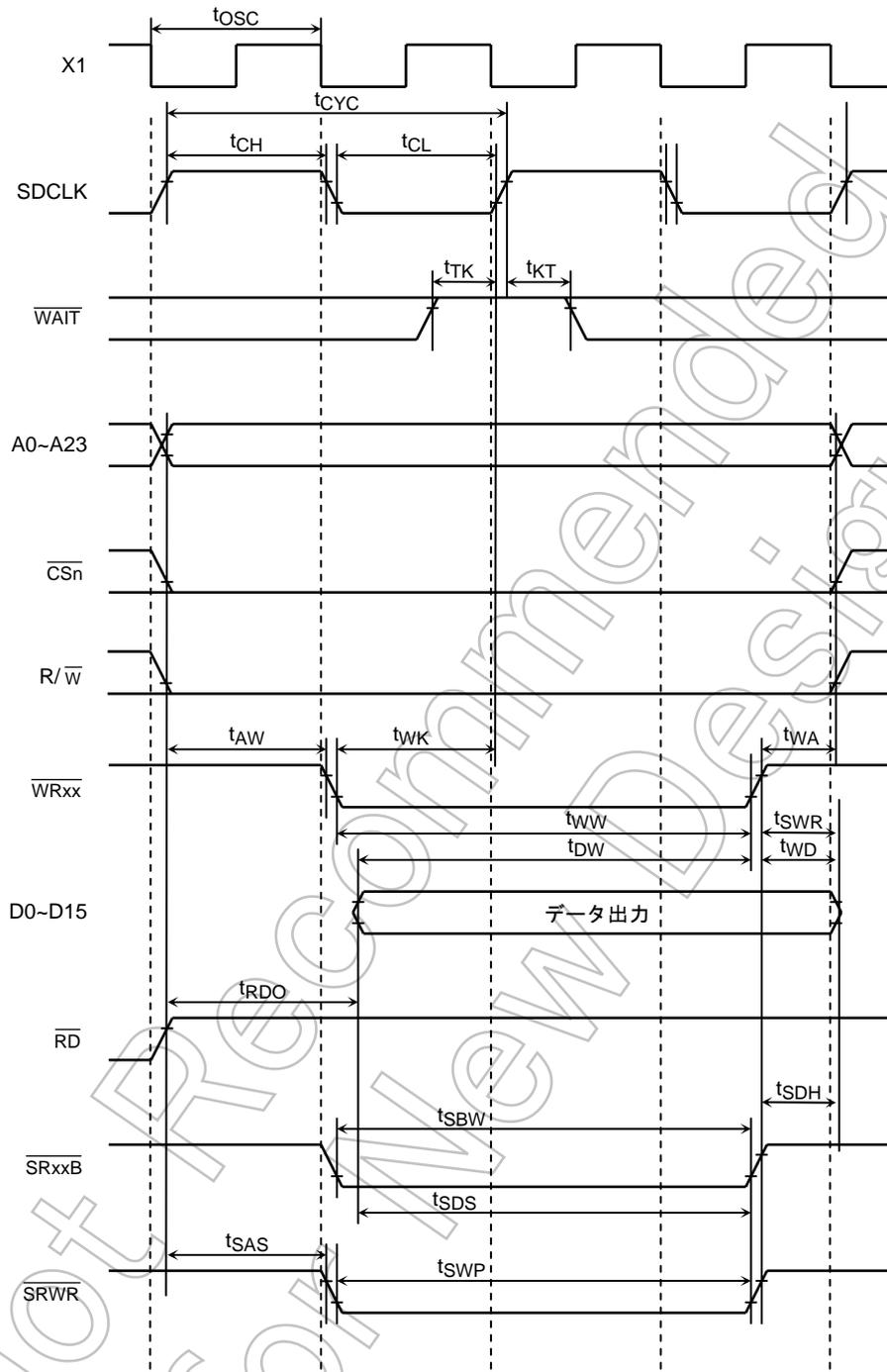
(1) リードサイクル (0 ウェイト)



注1) X1 入力信号と他の信号間の位相関係は不定です。また、上記のタイミングチャートは一例を示します。

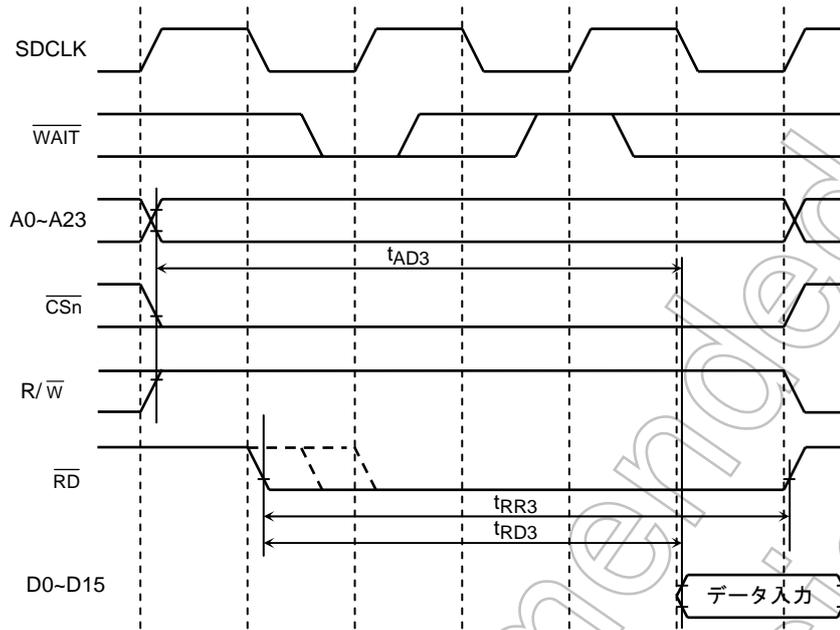
注2) \overline{RD} 端子の立ち下がりタイミングはメモリコントローラ内の MEMCR0<RDTMG1:0>レジスタの設定により異なります。

(2) ライトサイクル (0 ウェイト)

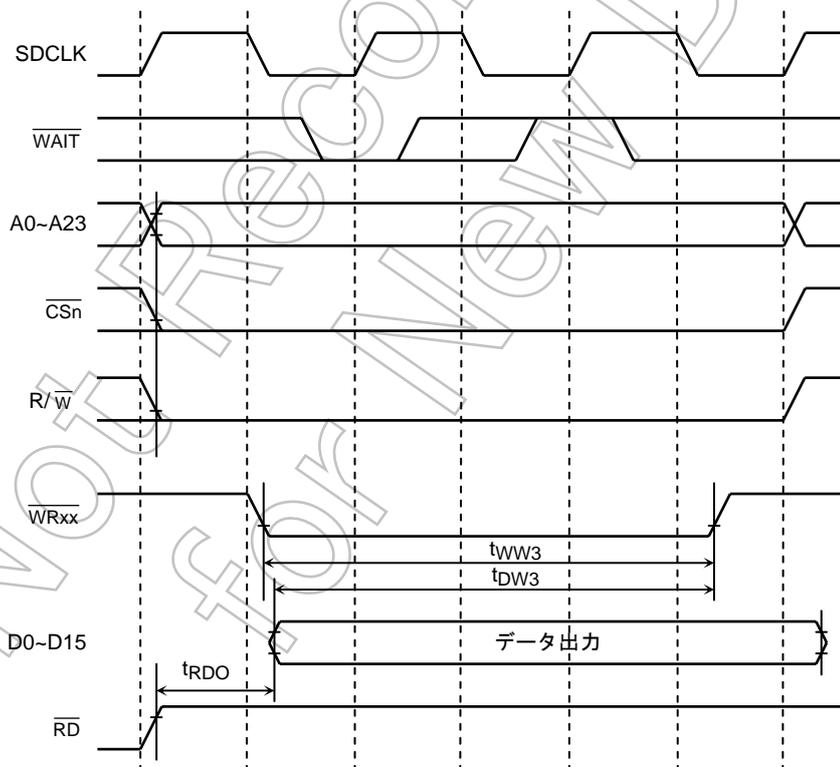


注) X1 入力信号と他の信号間の位相関係は不定です。また、上記のタイミングチャートは一例を示します。

(3) リードサイクル (1 ウェイト)



(4) ライトサイクル (1 ウェイト)



4.3.2 ページROM リードサイクル

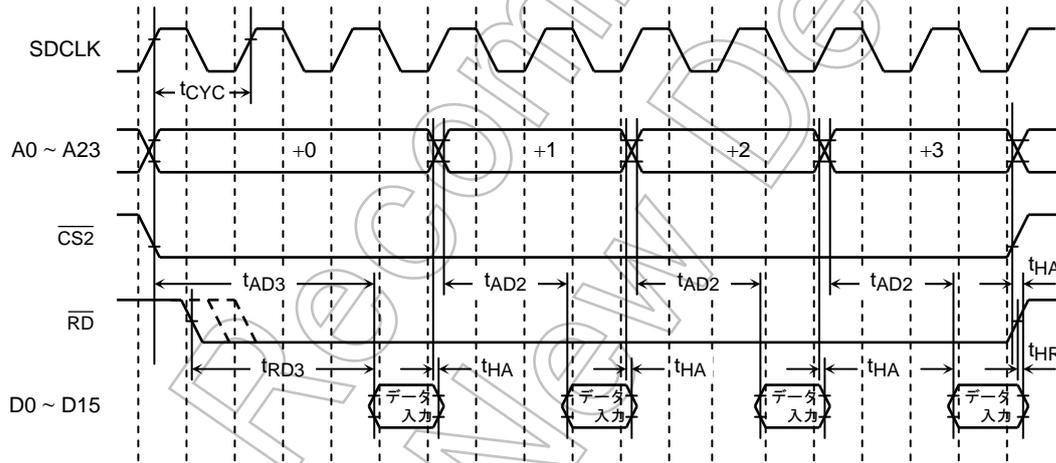
(1) 3-2-2-2 モード

No.	項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
			Min	Max				
1	SCLK 発振周波数 (= T)	t _{CYC}	50	166.7	50	55.5	74	ns
2	A0, A1 → D0 ~ D15 入力	t _{AD2}		2.0T - 50	50	61	98	
3	A2 ~ A23 → D0 ~ D15 入力	t _{AD3}		3.0T - 50	100	116.5	172	
4	$\overline{\text{RD}}$ 立ち下がり → D0 ~ D15 入力	t _{RD3(a)}		2.5T - 45	80	93.8	140	
		t _{RD3(b)}		2.25T - 45	67.5	79.6	121.5	
		t _{RD3(c)}		2.0T - 45	55	66	103	
5	A0 ~ A23 無効 → D0 ~ D15 保持	t _{HA}	0		0	0	0	
6	$\overline{\text{RD}}$ 立ち上がり → D0 ~ D15 保持	t _{HR}	0		0	0	0	

AC 測定条件

- 出力レベル: High = 0.7 V_{CC}, Low = 0.3 V_{CC}, C_L = 50 pF
- 入力レベル: High = 0.9 V_{CC}, Low = 0.1 V_{CC}

注) 上記表の“記号”の(a), (b), (c)は、メモリコントローラ内の MEMCR0<RDTMG1:0>の設定により $\overline{\text{RD}}$ 端子の立ち下がりタイミングが異なった場合の値です。MEMCR0<RDTMG1:0>が“00”, “01”, “10”のそれぞれに(a), (b), (c)が対応します。



タイミングパルス図 (8バイト設定例)

4.3.3 SDRAM コントローラ AC 電气的特性

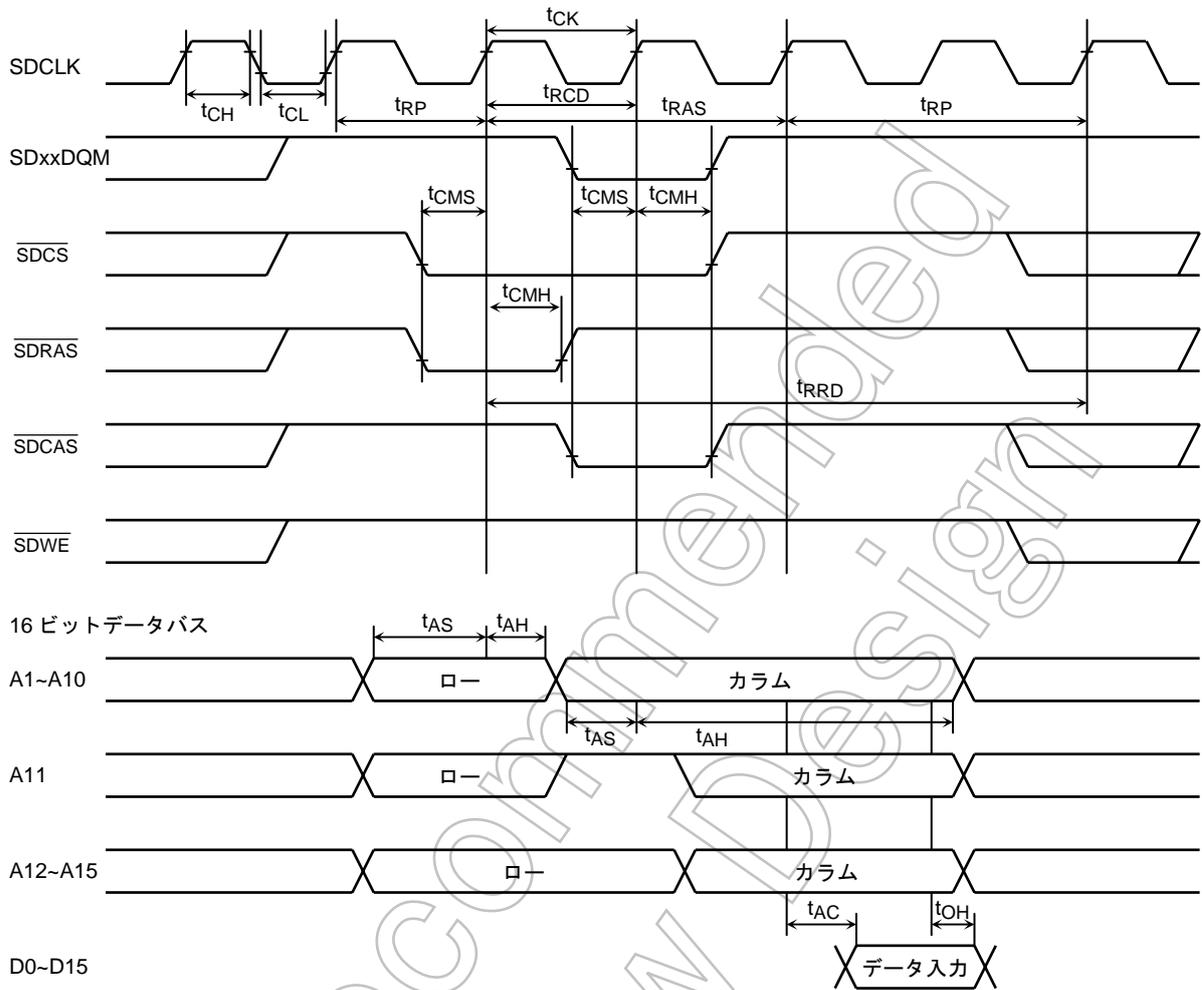
No.	項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
			Min	Max				
1	Ref/Active to ref/active command period	t_{RC}	2T		100	111	148	ns
2	Active to precharge command period	t_{RAS}	2T	12210	100	111	148	
3	Active to read/write command delay time	t_{RCD}	T		50	55.5	74	
4	Precharge to active command period	t_{RP}	T		50	55.5	74	
5	Active to active command period	t_{RRD}	3T		150	166.5	222	
6	Write recovery time (CL* = 2)	t_{WR}	T		50	55.5	74	
7	CLK cycle time (CL* = 2)	t_{CK}	T		50	55.5	74	
8	CLK high level width	t_{CH}	0.5T - 15		10	12.7	22	
9	CLK low level width	t_{CL}	0.5T - 15		10	12.7	22	
10	Access time from CLK(CL* = 2)	t_{AC}		T - 30	20	25.5	44	
11	Output data hold time	t_{OH}	0		0	0	0	
12	Data-in set-up time	t_{DS}	0.5T - 10		15	17	27	
13	Data-in hold time	t_{DH}	T - 15		35	40.5	59	
14	Address set-up time	t_{AS}	0.75T - 30		7.5	11.6	25.5	
15	Address hold time	t_{AH}	0.25T - 9		3.5	4.8	9.5	
16	CKE set-up time	t_{CKS}	0.5T - 15		10	12.7	22	
17	Command set-up time	t_{CMS}	0.5T - 15		10	12.7	22	
18	Command hold time	t_{CMH}	0.5T - 15		10	12.7	22	
19	Mode register set cycle time	t_{RSC}	T		50	55.5	74	

*CL は CAS レイテンシを示しています。

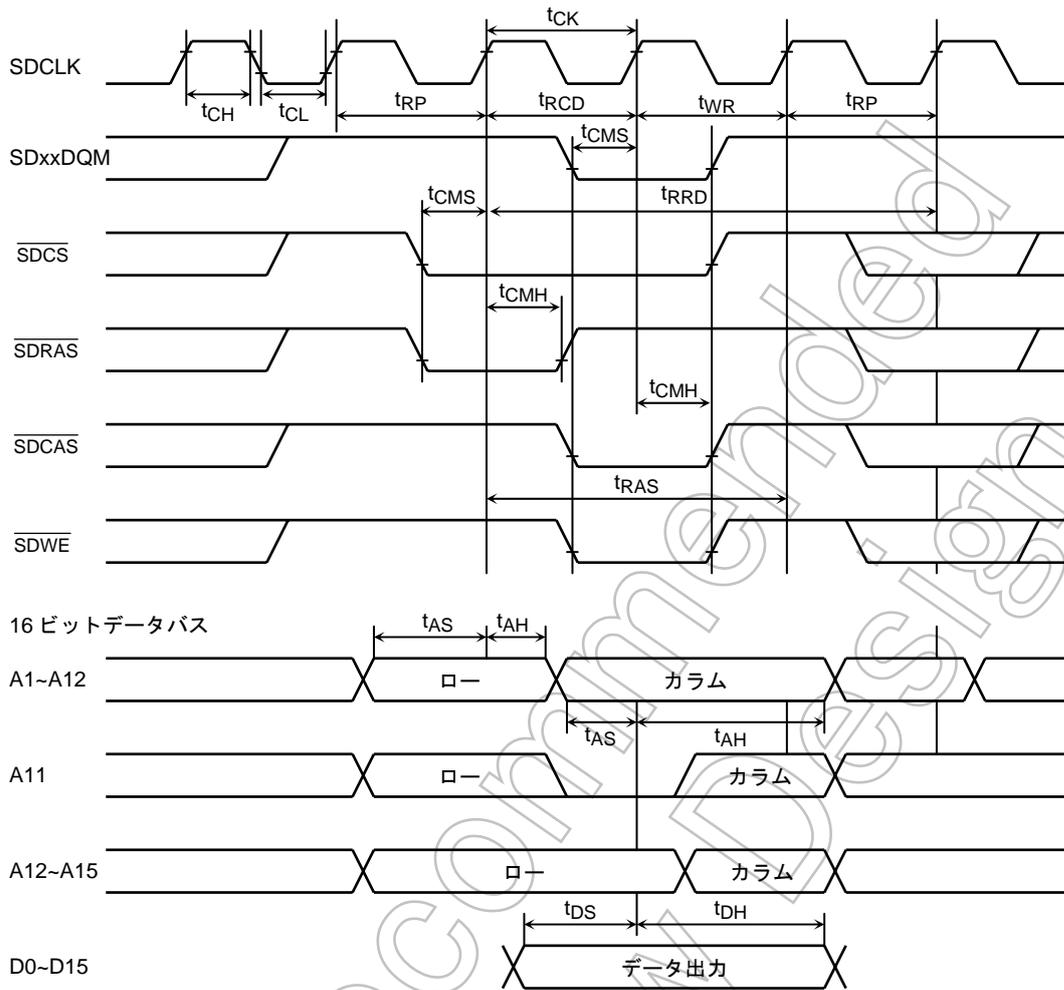
AC 測定条件

- 出力レベル: High = 0.7 V_{CC}, Low = 0.3 V_{CC}, C_L = 50 pF
- 入力レベル: High = 0.9 V_{CC}, Low = 0.1 V_{CC}

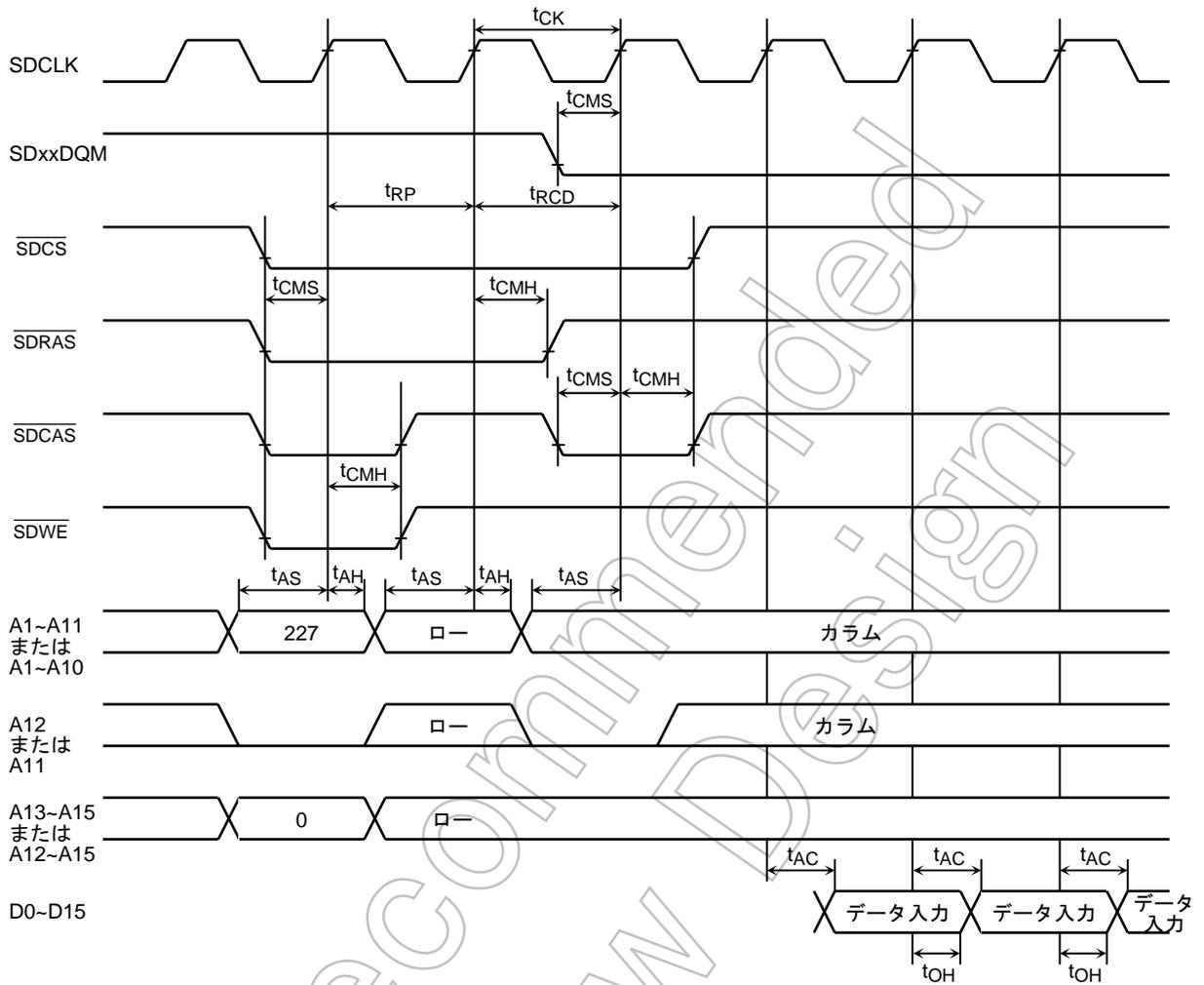
(1) SDRAM リードタイミング (CPU アクセスおよび LCDC ノーマルアクセス)



(2) SDRAM ライトタイミング (CPU アクセス)

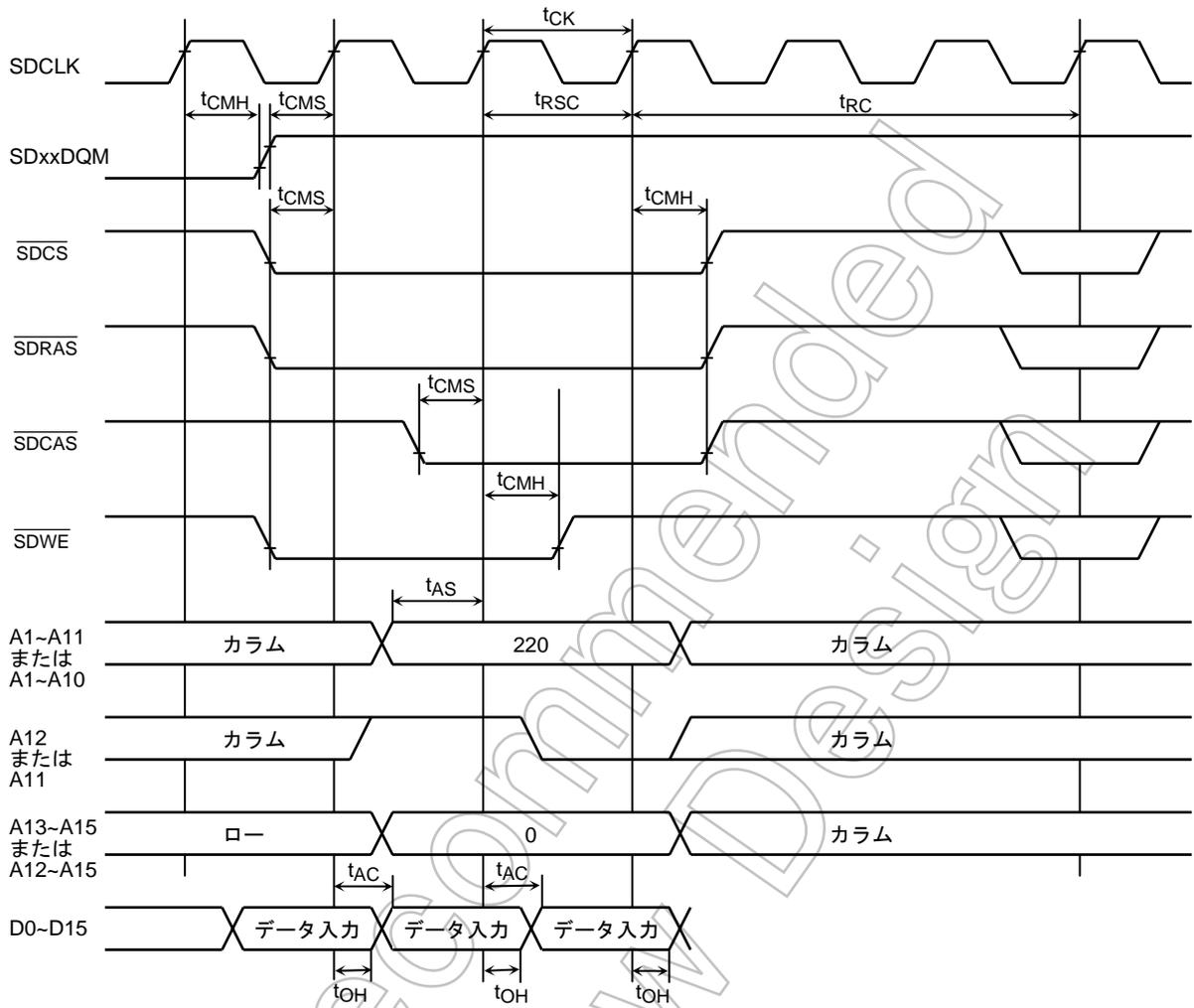


(3) SDRAM バーストリードタイミング (バーストサイクル開始)

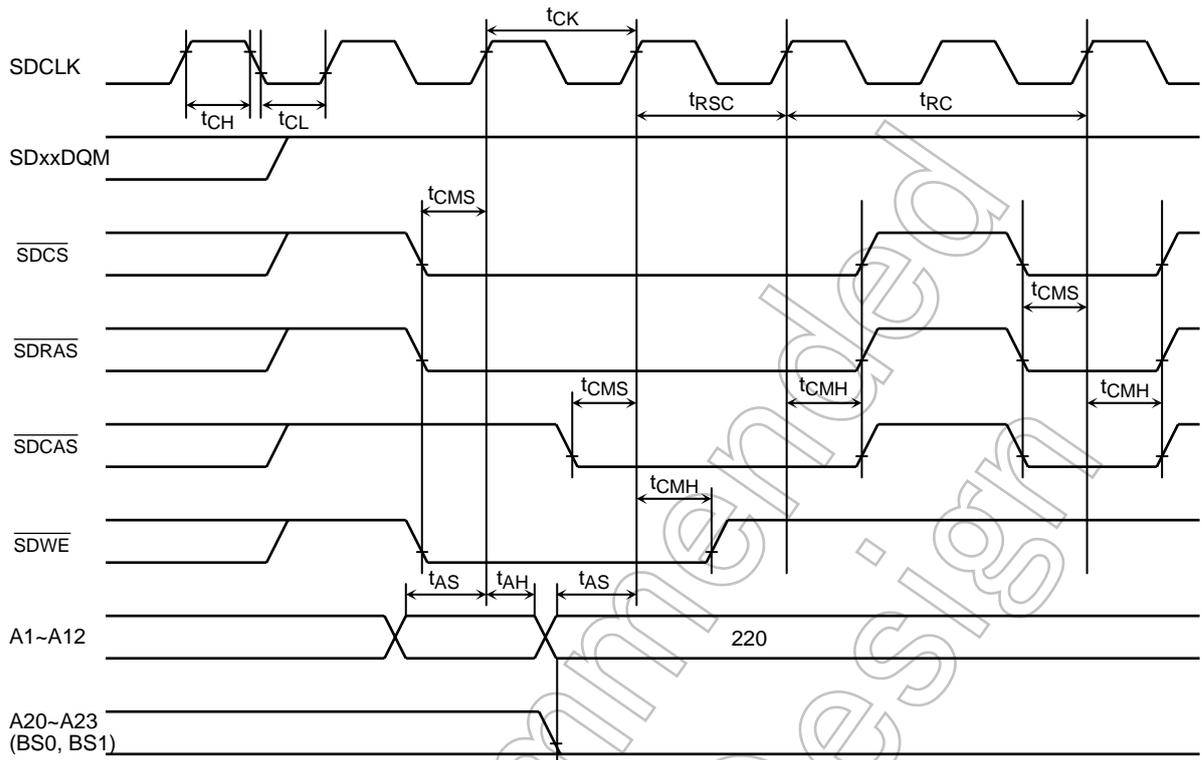


Not Recommended for New

(4) SDRAM バーストリードタイミング (バーストタイミング終了)

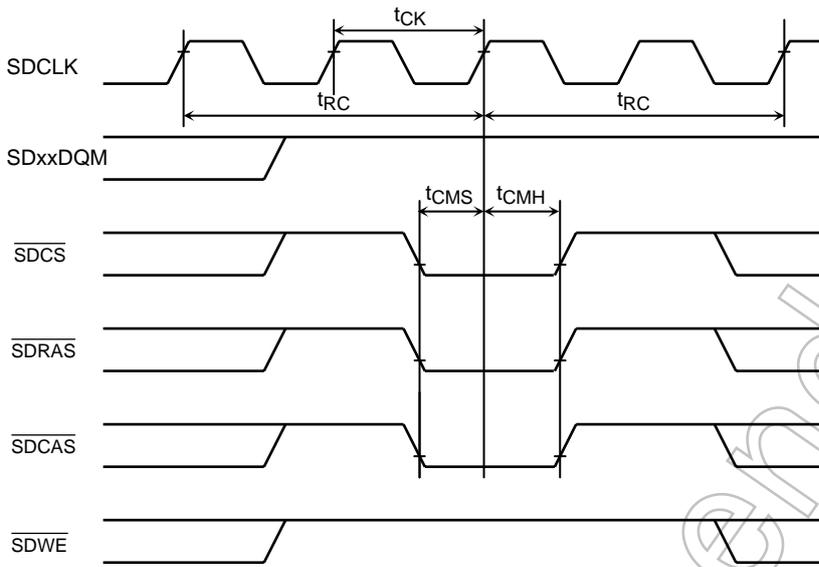


(5) SDRAM 初期化タイミング

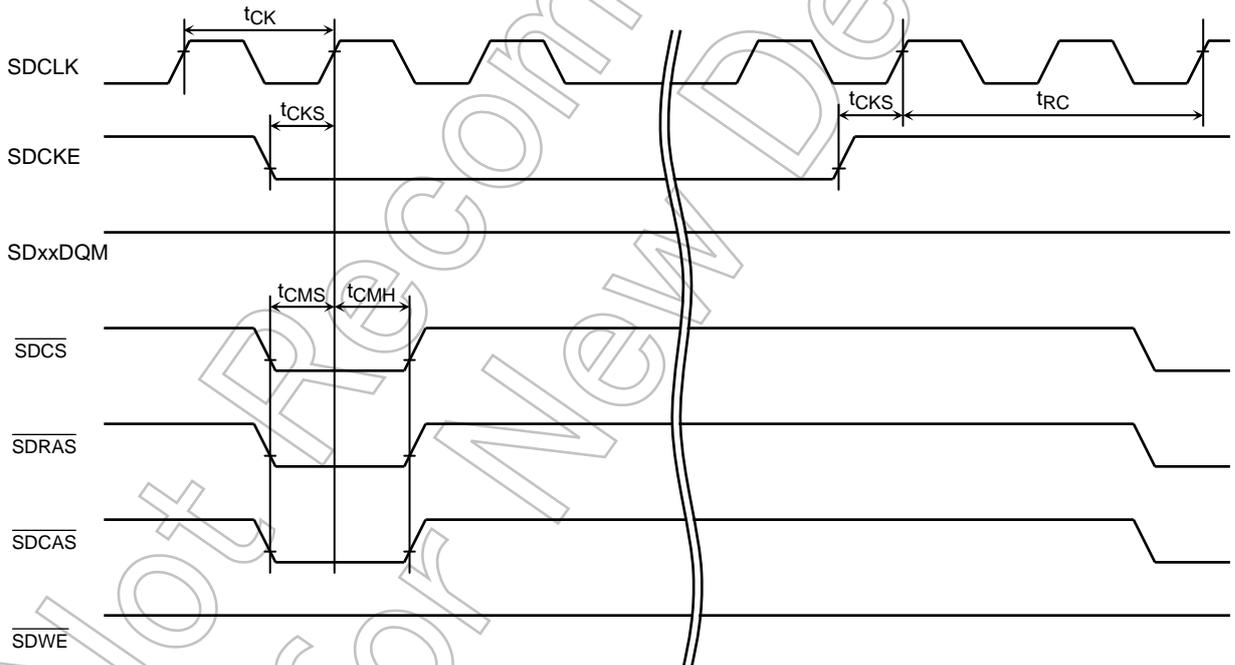


Not Recommended for New Design

(6) SDRAM リフレッシュタイミング



(7) SDRAM セルフリフレッシュタイミング



4.3.4 NAND フラッシュコントローラ AC 電気的特性

No.	項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
			Min	Max				
1	NDRE 低レベルパルス幅	t_{RP}	$(1+n)T - 12$		38	43.5	62	ns
2	NDRE データアクセス時間	$t_{REA}(3.0V)$		$(1+n)T - 25$	25	30.5	-	
		$t_{REA}(2.7V)$		$(1+n)T - 30$	-	-	44	
3	リードデータ保持時間	t_{OH}	0		0	0	0	
4	NDWE 低レベルパルス幅	t_{WP}	$(0.75+n)T - 20$		17.5	21.6	35.5	
5	ライトデータセットアップ時間	t_{DS}	$(3.25+n)T - 30$		132.5	150.3	210.5	
6	ライトデータ保持時間	t_{DH}	$0.25T - 2$		10.5	11.8	16.5	

AC 測定条件

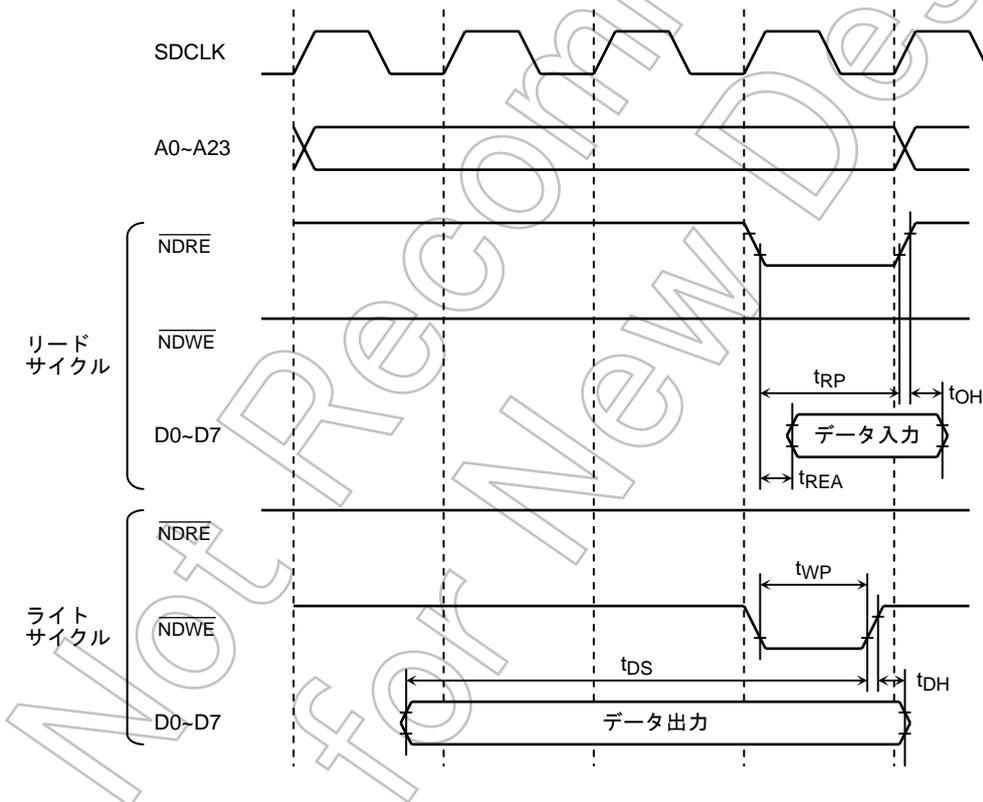
- 出力レベル: High = 0.7 V_{CC}, Low = 0.3 V_{CC}, C_L = 50 pF
- 入力レベル: High = 0.9 V_{CC}, Low = 0.1 V_{CC}

注 1) 計算式中の n は NDnFSPR<SPW3:0> に設定された値を示します。

例) NDnFSPR<SPW3:0> = "0001" のとき、 $t_{RP} = (1+n)T - 12 = 2T - 12$

注 2) 上記表の“計算式”は 2.7 V~3.6 V の範囲での規定を示します。ただし、“記号”内に電圧が規定されているものを除きます。

例) (3.0 V) と記述のあるものは 3.0 V~3.6 V を示します



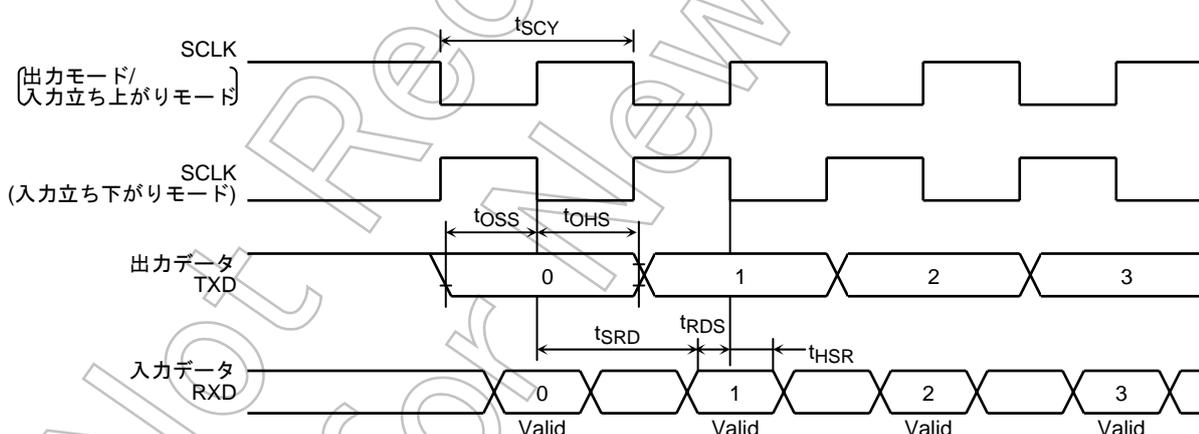
4.3.5 シリアルチャネルタイミング

(1) SCLK 入力モード (I/O インタフェースモード)

項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
		Min	Max				
SCLK 周期	tSCY	16T		0.8	0.888	1.184	μs
出力データ → SCLK 立ち上がり/立ち下がり	tOSS	$t_{SCY}/2 - 4T - 110$		90	114	186	ns
SCLK 立ち上がり/立ち下がり → 出力データ保持	tOHS	$t_{SCY}/2 + 2T + 0$		500	554	740	
SCLK 立ち上がり/立ち下がり → 入力データ保持	tHSR	3T + 10		160	175	232	
SCLK 立ち上がり/立ち下がり → 入力データ有効	tSRD		$t_{SCY} - 0$	800	888	1184	
入力データ有効 → SCLK 立ち上がり/立ち下がり	tRDS	0		0	0	0	

(2) SCLK 出力モード (I/O インタフェースモード)

項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
		Min	Max				
SCLK 周期 (プログラマブル)	tSCY	16T	8192T	0.8	0.888	1.184	μs
出力データ → SCLK 立ち上がり/立ち下がり	tOSS	$t_{SCY}/2 - 40$		360	404	552	ns
SCLK 立ち上がり/立ち下がり → 出力データ保持	tOHS	$t_{SCY}/2 - 40$		360	404	552	
SCLK 立ち上がり/立ち下がり → 入力データ保持	tHSR	0		0	0	0	
SCLK 立ち上がり/立ち下がり → 入力データ有効	tSRD		$t_{SCY} - 1T - 180$	570	654	967	
入力データ有効 → SCLK 立ち上がり/ 立ち下がり	tRDS	1T + 180		230	233	253	

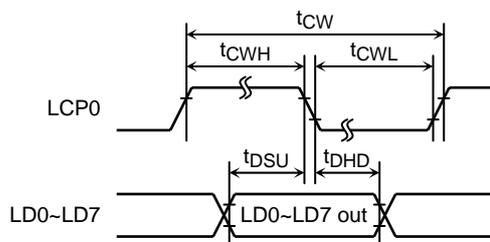


4.3.6 割り込み動作

項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
		Min	Max				
INT0~INT5 低レベルパルス幅	t _{INTAL}	4T + 40		240	262	336	ns
INT0~INT5 高レベルパルス幅	t _{INTAH}	4T + 40		240	262	336	

4.3.7 LCDコントローラ

項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
		Min	Max				
LCP0 クロック周期(= tm)	t _{CW}	2T		100	111	148	ns
LCP0 高レベルパルス幅	t _{CWH}	0.5 tm - 12		38	43.5	62	
LCP0 低レベルパルス幅	t _{CWL}	0.5 tm - 12		38	43.5	62	
データ有効 → LCP0 立ち下がり	t _{DSU}	0.5 tm - 20		30	35.5	54	
LCP0 立ち下がり → データ保持	t _{DHD}	0.5 tm - 5		45	50.5	69	



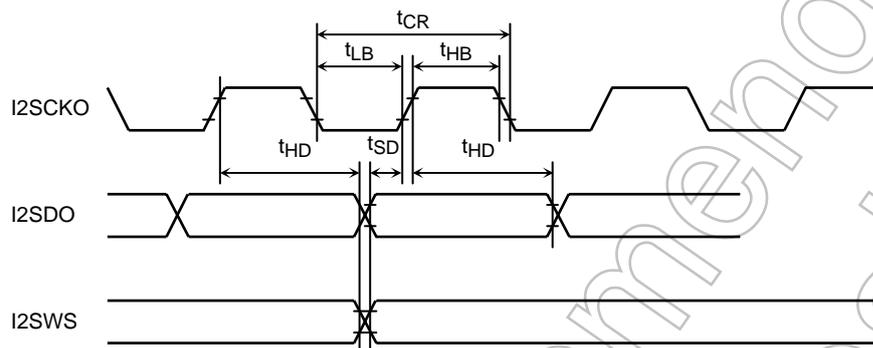
Not Recommended for New Design

4.3.8 I²S タイミング (I2S、SIO モード)

項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
		Min	Max				
I2SCKO クロック周期	t_{CR}	T		50	55	74	ns
I2SCKO 高レベルパルス幅	t_{HB}	$0.5 t_{CR} - 15$		10	12	22	
I2SCKO 低レベルパルス幅	t_{LB}	$0.5 t_{CR} - 15$		10	12	22	
I2SDO, I2SWS セットアップ時間	t_{SD}	$0.5 t_{CR} - 15$		10	12	22	
I2SDO, I2SWS 保持時間	t_{HD}	$0.5 t_{CR} - 5$		20	22	32	

AC 測定条件

- 出力レベル: High = 0.7 V_{CC}, Low = 0.3 V_{CC}, CL = 10 pF

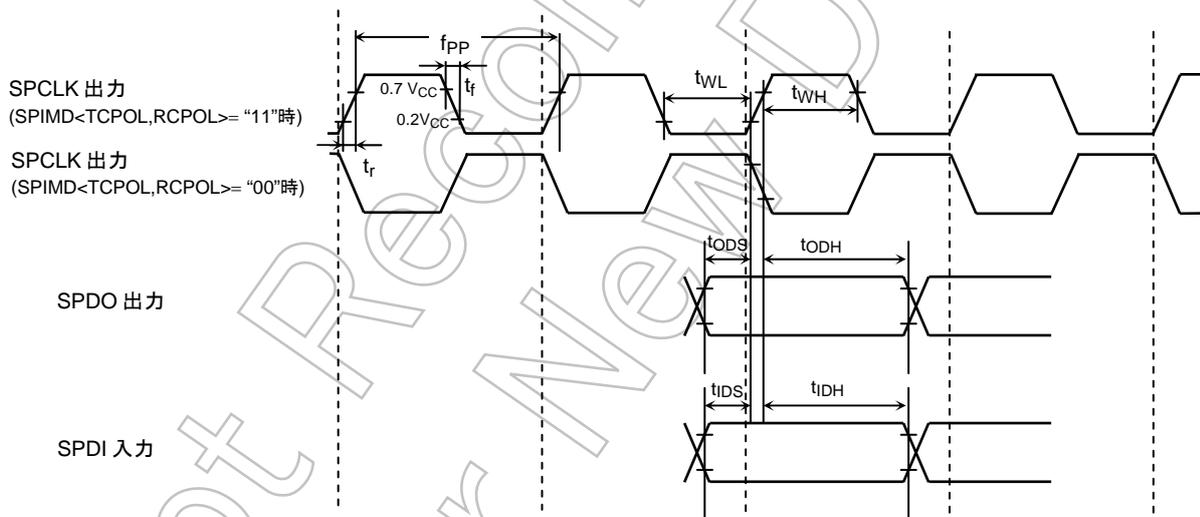


4.3.9 SPI コントロールタイミング

項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
		Min	Max				
SPCLK 周波数 (= 1/S)	f_{pp}		20	20	18	13.5	MHz
SPCLK 立ち上がり時間	t_r		6	6	6	6	ns
SPCLK 立ち下がり時間	t_f		6	6	6	6	
SPCLK 低レベルパルス幅	t_{WL}	0.5S - 6		19	21	31	
SPCLK 高レベルパルス幅	t_{WH}	0.5S - 13		12	14	24	
出力データ有効 → SPCLK 立ち上がり	t_{ODS1}	0.5S - 18		7	9	19	
出力データ有効 → SPCLK 立ち下がり	t_{ODS2}	0.5S - 21		4	6	16	
SPCLK 立ち上がり/立ち下がり → 出力データ保持	t_{ODH}	0.5S - 10		15	17	27	
入力データ有効 → SPCLK 立ち上がり/立ち下がり	t_{IDS}	0S + 5		5	5	5	
SPCLK 立ち上がり/立ち下がり → 入力データ保持	t_{IDH}	0S + 5		5	5	5	

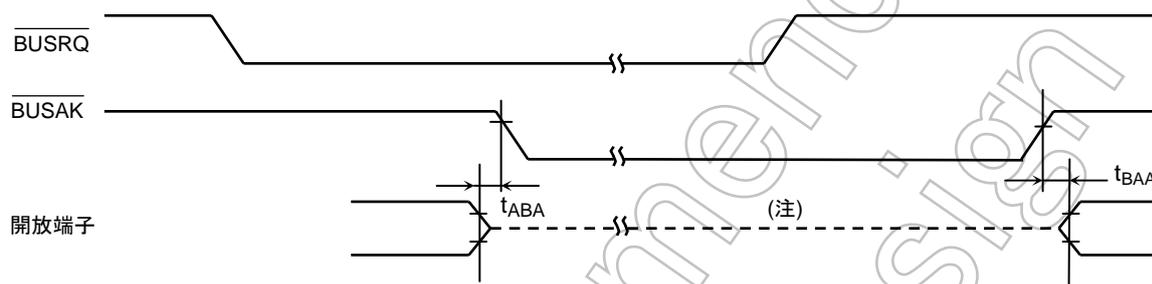
AC 測定条件

- 出力レベル: High = 0.7 V_{CC} , Low = 0.2 V_{CC} , $C_L = 25$ pF
- 入力レベル: High = 0.9 V_{CC} , Low = 0.1 V_{CC}



4.3.10 外部バス開放機能

項目	記号	計算式		40 MHz		36 MHz		27 MHz		単位
		Min	Max	Min	Max	Min	Max	Min	Max	
BUSAK 立ち下がりまでのフローティング時間	t_{ABA}	0	30	0	30	0	30	0	30	ns
BUSAK 立ち上がりからのフローティング時間	t_{BAA}	0	30	0	30	0	30	0	30	



注) この破線は、出力バッファが OFF になっていることを示しています。
信号レベルが中間電位になることを示すものではありません。

4.4 AD変換特性

記号	項目	Min	Typ.	Max	単位
VREFH	アナログ基準電圧(+)	$V_{CC} - 0.2$	V_{CC}	V_{CC}	V
VREFL	アナログ基準電圧(-)	V_{SS}	V_{SS}	$V_{SS} + 0.2$	
AVCC	ADコンバータ電源供給電圧	V_{CC}	V_{CC}	V_{CC}	
AVSS	ADコンバータ GNP	V_{SS}	V_{SS}	V_{SS}	
AVIN	アナログ入力電圧	VREFL		VREFH	
IREF	アナログ基準電圧 電源電流 <VREFON> = 1		0.8	1.35	mA
	アナログ基準電圧 電源電流 <VREFON> = 0		0.02	5.0	μ A
ET	総合誤差 (量子化誤差 ± 0.5 LSB 含む)			± 4.0	LSB

注 1) $1 \text{ LSB} = (V_{REFH} - V_{REFL})/1024[V]$

注 2) 最低動作周波数について

ADコンバータの動作は、 f_c (高速発振器) 使用時のみ保証します (f_s では保証しません)。ただし、 f_c 使用時にクロックギアで選択されたクロックの周波数が 4 MHz 以上で保証します。

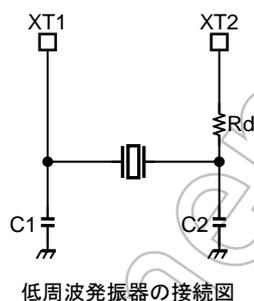
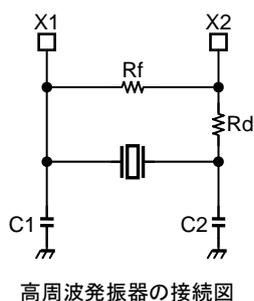
注 3) AVCC 端子より流れる電源電流は、VCC 端子の電源電流 (I_{CC}) に含まれます。

4.5 推奨発振回路

TMP92CA25 は、下記の発振子メーカーにて評価されております。発振子の選択時に活用願います。

注) 発振端子のトータル負荷容量は接続する外付け(または内蔵)負荷容量 C1、C2 と、実装基板上の浮遊容量の和になります。C1、C2 の定数を使用した場合でも実装基板によりトータル負荷容量が異なり、誤動作する可能性があります。基板設計の際は発振回路周辺のパターンが最短距離になるようにしてください。また、実際に使用される実装基板での発振評価を行うことを推奨いたします。

(1) 接続例



(2) 推奨セラミック発振子: (株) 村田製作所

下表に高周波発振回路の推奨回路定数を示します。

MCU	発振周期数 [MHZ]	推奨発振子	当社推奨定数				動作推奨動作条件	
			C1 [pF]	C2 [pF]	Rf [Ω]	Rd [Ω]	電源電圧範囲 [V]	温度範囲[°C]
TMP92CA25FG	6.00	CSTCR6M00G55-R0	(39)	(39)	Open	0	2.7 ~ 3.6	-20 ~ +80
	10.00	CSTCE10M0G55-R0	(33)	(33)				
	20.00	CSTCE20M0V53-R0	(15)	(15)				

- C1、C2 の () は、コンデンサ内蔵タイプです。
- 村田製発振子は、型番・仕様の切り替えが随時行われております。詳細につきましては、下記アドレスの同社ホームページをご参照ください。
<http://www.murata.co.jp>

5. 特殊機能レジスタ一覧表 (SFR)

特殊機能レジスタ (SFR: Special Function Register) とは、入出力ポートおよび周辺部のコントロールレジスタで、000000H~001FFFH の 4 K バイトのアドレス空間に割り付けられています。

- | | |
|---------------------|-----------------------|
| (1) 入力ポート | (11) UART/シリアルチャネル |
| (2) 割り込み制御 | (12) シリアルバスインタフェース |
| (3) メモリコントローラ | (13) SPI コントローラ |
| (4) MMU | (14) AD コンバータ |
| (5) クロックギア、PLL | (15) ウォッチドッグタイマ |
| (6) LCD コントローラ | (16) RTC (リアルタイムクロック) |
| (7) タッチスクリーンインタフェース | (17) メロディ/アラームジェネレータ |
| (8) SDRAM コントローラ | (18) NAND フラッシュコントローラ |
| (9) 8 ビットタイマ | (19) I ² S |
| (10) 16 ビットタイマ | |

表の構成

記号	名称	アドレス	7	6	5	4	3	2	1	0

→ Bit Symbol
→ Read/Write
→ リセット時の初期値
→ 備考

* 表中の“RMW 禁”は、リードモディファイライト形式の命令をそのレジスタに対して使用禁止であることを示します。

例) PxCR レジスタの bit 0 のみを“1”にしたい場合、通常は“SET 0, (PxCR)”ですがこのレジスタは“RMW 禁”のため、“LD” (転送) 命令にて 8 ビットに対して書き込む必要があります。

記号の意味

- R/W : Read/Write 可能
 R : Read のみ可能
 W : Write のみ可能
 W* : Read/Write 可能 (ただし、Read した場合“1”になります。)
 RMW 禁 : Read Modify Write ができません。(EX, ADD, ADC, BUS, SBC, INC, DEC, AND, OR, XOR, STCF, RES, SET, CHG, TSET, RLC, RRC, RL, RR, SLA, SRA, SLL, SRL, RLD, RRD の各命令使用不可)
 R/W* : 該当ポートのプルアップレジスタの制御の際には、Read modify write 命令は使用できません。

表 5.1 入出力レジスタアドレスマップ

[1] Port

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0000H		0010H		0020H	P8	0030H	PC
1H		1H		1H	P8FC2	1H	
2H		2H		2H		2H	PCCR
3H		3H		3H	P8FC	3H	PCFC
4H	P1	4H		4H	P9	4H	
5H		5H		5H	P9FC2	5H	
6H	P1CR	6H		6H	P9CR	6H	
7H	P1FC	7H		7H	P9FC	7H	
8H		8H	P6	8H	PA	8H	
9H		9H		9H		9H	
AH		AH	P6CR	AH		AH	
BH		BH	P6FC	BH	PAFC	BH	
CH		CH	P7	CH		CH	PF
DH		DH		DH		DH	PFFC2
EH		EH	P7CR	EH		EH	PFCR
FH		FH	P7FC	FH		FH	PFFC

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0040H	PG	0050H	PK	0080H		0090H	PGDR
1H		1H		1H	P1DR	1H	
2H		2H	PKCR	2H		2H	
3H		3H	PKFC	3H		3H	PJDR
4H		4H	PL	4H	P4DR	4H	PKDR
5H		5H		5H	P5DR	5H	PLDR
6H		6H	PLCR	6H	P6DR	6H	PMDR
7H		7H	PLFC	7H	P7DR	7H	PNDR
8H		8H	PM	8H	P8DR	8H	
9H		9H		9H	P9DR	9H	
AH		AH		AH	PADR	AH	
BH		BH	PMFC	BH		BH	
CH	PJ	CH	PN	CH	PCCR	CH	
DH		DH		DH		DH	
EH	PJCR	EH	PNCR	EH		EH	
FH	PJFC	FH	PNFC	FH	PFDR	FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[2] INTC

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
00D0H	INTE12	00E0H	INTESPI	00F0H	INTE0AD	0100H	DMA0V
1H	INTE34	1H	INTESBI	1H	INTETC01	1H	DMA1V
2H		2H	Reserved	2H	INTETC23	2H	DMA2V
3H		3H	Reserved	3H	INTETC45	3H	DMA3V
4H	INTETA01	4H	Reserved	4H	INTETC67	4H	DMA4V
5H	INTETA23	5H	INTALM01	5H	SIMC	5H	DMA5V
6H		6H	INTALM23	6H	IIMC	6H	DMA6V
7H		7H	INTALM4	7H	INTWDT	7H	DMA7V
8H	INTETB01	8H	INTERTC	8H	INTCLR	8H	DMAB
9H		9H	INTEKEY	9H		9H	DMAR
AH	INTETBO0	AH	INTELCD	AH		AH	Reserved
BH	INTES0	BH	INTE5I2S	BH		BH	
CH		CH	INTEND01	CH		CH	
DH		DH	Reserved	DH		DH	
EH		EH	INTEP0	EH		EH	
FH		FH	Reserved	FH		FH	

[3] MEMC

アドレス	レジスタ名
0140H	B0CSL
1H	B0CSH
2H	MAMR0
3H	MSAR0
4H	B1CSL
5H	B1CSH
6H	MAMR1
7H	MSAR1
8H	B2CSL
9H	B2CSH
AH	MAMR2
BH	MSAR2
CH	B3CSL
DH	B3CSH
EH	MAMR3
FH	MSAR3

アドレス	レジスタ名
0150H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	BEXCSL
9H	BEXCSH
AH	
BH	
CH	
DH	
EH	
FH	

アドレス	レジスタ名
0160H	
1H	
2H	
3H	
4H	
5H	
6H	PMEMCR
7H	
8H	MEMCR0
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[4] MMU

アドレス	レジスタ名
01D0H	LOCALPX
1H	LOCALPY
2H	
3H	LOCALPZ
4H	LOCALLX
5H	LOCALLY
6H	
7H	LOCALLZ
8H	LOCALRX
9H	LOCALRY
AH	
BH	LOCALRZ
CH	LOCALWX
DH	LOCALWY
EH	
FH	LOCALWZ

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[5] CGEAR, PLL

アドレス	レジスタ名
10E0H	SYSCR0
1H	SYSCR1
2H	SYSCR2
3H	EMCCR0
4H	EMCCR1
5H	EMCCR2
6H	Reserved
7H	
8H	PLLCR0
9H	PLLCR1
AH	
BH	
CH	
DH	
EH	
FH	

[6] LCDC

アドレス	レジスタ名	アドレス	レジスタ名
0840H	LCDMODE0	0850H	LSARAL
1H	LCDFFP	1H	LSARAM
2H	LCDDVM	2H	LSARAH
3H	LCDSIZE	3H	CMNAL
4H	LCDCTL0	4H	CMNAH
5H		5H	
6H	LCDSCC	6H	LSARBL
7H		7H	LSARBM
8H		8H	LSARBH
9H		9H	CMNBL
AH		AH	CMNBH
BH		BH	
CH		CH	LSARCL
DH		DH	LSARCM
EH		EH	LSARCH
FH		FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[7] TSI

アドレス	レジスタ名
01F0H	TSICR0
1H	TSICR1
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[8] SDRAMC

アドレス	レジスタ名
0250H	SDACR1
1H	SDACR2
2H	SDRCR
3H	SDCMM
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[9] 8ビットタイマ

アドレス	レジスタ名
1100H	TA01RUN
1H	
2H	TA0REG
3H	TA1REG
4H	TA01MOD
5H	TA1FFCR
6H	
7H	
8H	TA23RUN
9H	
AH	TA2REG
BH	TA3REG
CH	TA23MOD
DH	TA3FFCR
EH	
FH	

[10] 16ビットタイマ

アドレス	レジスタ名
1180H	TB0RUN
1H	
2H	TB0MOD
3H	TB0FFCR
4H	
5H	
6H	
7H	
8H	TB0RG0L
9H	TB0RG0H
AH	TB0RG1L
BH	TB0RG1H
CH	TB0CP0L
DH	TB0CP0H
EH	TB0CP1L
FH	TB0CP1H

[11] SIO

アドレス	レジスタ名
1200H	SC0BUF
1H	SC0CR
2H	SC0MOD0
3H	BR0CR
4H	BR0ADD
5H	SC0MOD1
6H	
7H	SIRCR
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[12] SBI

アドレス	レジスタ名
1240H	SBI0CR1
1H	SBI0DBR
2H	I2C0AR
3H	SBI0CR2/SBI0SR
4H	SBI0BR0
5H	SBI0BR1
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[13] SPI コントローラ

アドレス	レジスタ名	アドレス	レジスタ名
0820H	SPIMD	0830H	SPITD
1H	SPIMD	1H	SPITD
2H	SPICT	2H	SPIRD
3H	SPICT	3H	SPIRD
4H	SPIST	4H	SPITS
5H	SPIST	5H	SPITS
6H	SPICR	6H	SPIRS
7H	SPICR	7H	SPIRS
8H	SPIIS	8H	
9H	SPIIS	9H	
AH	SPIWE	AH	
BH	SPIWE	BH	
CH	SPIIE	CH	
DH	SPIIE	DH	
EH	SPIIR	EH	
FH	SPIIR	FH	

[14] 10ビット ADC

アドレス	レジスタ名
12A0H	ADREG0L
1H	ADREG0H
2H	ADREG1L
3H	ADREG1H
4H	ADREG2L
5H	ADREG2H
6H	ADREG3L
7H	ADREG3H
8H	Reserved
9H	Reserved
AH	Reserved
BH	Reserved
CH	Reserved
DH	Reserved
EH	Reserved
FH	Reserved

[15] WDT

アドレス	レジスタ名
1300H	WDMOD
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[16] RTC

アドレス	レジスタ名
1320H	SECR
1H	MINR
2H	HOURR
3H	DAYR
4H	DATER
5H	MONTHR
6H	YEARR
7H	PAGER
8H	RESTR
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[17] MLD

アドレス	レジスタ名
1330H	ALM
1H	MELALMC
2H	MELFL
3H	MELFH
4H	ALMINT
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

Not Recommended for New Design

[18] NAND フラッシュコントローラ

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
1CC0H		1CD0H	ND0FIMR	1CE0H		1CF0H	ND1FIMR
1H		1H		1H		1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H	ND0FMCR	4H	ND0FSPR	4H	ND1FMCR	4H	ND1FSPR
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	ND0FSR	8H	ND0FRSTR	8H	ND1FSR	8H	ND1FRSTR
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH	ND0FISR	CH		CH	ND1FISR	CH	
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
1D00H	ND0FDTR, ND1FDTR	1CB0H	ND0ECCRD ND1ECCRD	01C0H	NDCR
1EFFH		1CB5H		1H	
				2H	
				3H	
				4H	
				5H	
				6H	
				7H	
				8H	
				9H	
				AH	
				BH	
				CH	
				DH	
				EH	
				FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[19] I²S

アドレス	レジスタ名
0800H	I2SBUFR
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	I2SBUFL
9H	
AH	
BH	
CH	
DH	
EH	I2SCTL0
FH	I2SCTL0

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

Not Recommended
for New Design

(1) 入出力ポート (1/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
P1	PORT1	0004H	P17	P16	P15	P14	P13	P12	P11	P10		
			R/W									
			外部端子データ(出力ラッチレジスタは“0”にクリアされます)									
P6	PORT6	0018H	P67	P66	P65	P64	P63	P62	P61	P60		
			R/W									
			外部端子データ(出力ラッチレジスタは“0”にクリアされます)									
P7	PORT7	001CH		P76	P75	P74	P73	P72	P71	P70		
				R/W								
				外部端子データ(出力ラッチレジスタは“1”にセットされます)	外部端子データ(出力ラッチレジスタは“0”にクリアされます)	外部端子データ(出力ラッチレジスタは“1”にセットされます)	1					
P8	PORT8	0020H	P87	P86	P85	P84	P83	P82	P81	P80		
			R/W									
			1	1	1	1	1	0	1	1		
P9	PORT9	0024H	P97	P96	P95	P94	P93	P92	P91	P90		
			R				R/W					
			外部端子データ				0	外部端子データ(出力ラッチレジスタは“1”にセットされます)				
PA	PORTA	0028H	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0		
			R									
			外部端子データ									
PC	PORTC	0030H	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0		
			R/W									
			外部端子データ(出力ラッチレジスタは“1”にセットされます)									
PF	PORTF	003CH	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0		
			R/W									
			1	外部端子データ(出力ラッチレジスタは“1”にセットされます)								
PG	PORTG	0040H					PG3	PG2	PG1	PG0		
			R									
			外部端子データ									
PJ	PORTJ	004CH	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0		
			R/W									
			1	外部端子データ(出力ラッチレジスタは“1”にセットされます)				1	1	1	1	
PK	PORTK	0050H	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0		
			R/W									
			外部端子データ(出力ラッチレジスタは“0”にクリアされます)						0	0	0	0
PL	PORTL	0054H	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0		
			R/W									
			外部端子データ(出力ラッチレジスタは“0”にクリアされます)						0	0	0	0
PM	PORTM	0058H						PM2	PM1			
			R/W									
								1	1			
PN	PORTN	005CH	PN7	PN6	PN5	PN4	PN3	PN2	PN1	PN0		
			R/W									
			外部端子データ(出力ラッチレジスタは“1”にセットされます)									

(1) 入出力ポート (2/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
P1CR	PORT1 control register	0006H (RMW 禁)	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C	
			W								
			0	0	0	0	0	0	0	0	0
			0: 入力 1: 出力								
P1FC	PORT1 function register	0007H (RMW 禁)								P1F	
											W
											0/1 0: ポート 1: データバス (D8-D15)
P6CR	PORT6 control register	001AH (RMW 禁)	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C	
			W								
			0	0	0	0	0	0	0	0	0
			0: 入力 1: 出力								
P6FC	PORT6 function register	001BH (RMW 禁)	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F	
			W								
			1	1	1	1	1	1	1	1	1
			0: ポート 1: アドレスバス (A16-A23)								
P7CR	PORT7 control register	001EH (RMW 禁)		P76C	P75C	P74C	P73C	P72C	P71C		
			W								
				0	0	0	0	0	0	0	
			0: 入力 1: 出力								
P7FC	PORT7 function register	001FH (RMW 禁)		P76F	P75F	P74F	P73F	P72F	P71F	P70F	
			W								
				0	0	0	0	0	0	0	1
			0: ポート 1: WAIT	0: ポート 1: NDR/B @ <P75> = 1, R/W	0: ポート 1: EA25	0: ポート 1: EA24	0: ポート 1: NDWE @ <P72> = 0, WRLH @ <P72> = 1	0: ポート 1: NDRE @ <P71> = 0, WRL @ <P71> = 1	0: ポート 1: RD		
P8FC	PORT8 function register	0023H (RMW 禁)	P87F	P86F	P85F	P84F	P83F	P82F	P81F	P80F	
			W								
			0	0	0	0	0	0	0	0	0
			0: ポート 1: CSZE	0: ポート 1: CSZD	0: ポート 1: CSZC ND1CE	0: ポート 1: CSZB ND0CE	0: ポート 1: CS3 CSZA 1: CS2	0: ポート 1: CS1	0: ポート 1: CS0		
P8FC2	PORT8 function register2	0021H (RMW 禁)	P87F2	P86F2	P85F2	P84F2	—	P82F2	P81F2	—	
			W								
			0	0	0	0	0	0	0	0	0
			0: <P87F> 1: Reserved	0: <P86F> 1: Reserved	0: ポート 1: CSZC ND1CE	0: ポート 1: CSZB ND0CE	"0"をライ トしてくだ さい	0: ポート 1: CSZA 1: CS2	0: <P81F> 1: SDCS	"0"をライ トしてくだ さい	

(1) 入出力ポート (3/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
P9CR	PORT9 control register	0026H (RMW 禁)			P95C	P94C	P93C	P92C	P91C	P90C		
			W									
					0	0	0	0	0	0	0	
					0: ポート 1: CLK32KO	0: ポート 1: ポート, SCL	0: ポート 1: ポート, SDA	0: ポート, SCLK0, CTS0, I2SWS 1: ポート, SCLK0	0: ポート, RXD0, I2SDO 1: ポート	0: ポート 1: I2SCKO TXD0		
P9FC	PORT9 function register	0027H (RMW 禁)	P97F	P96F	P95F	P94F	P93F	P92F	P91F	P90F		
			W									
			0	0	0	0	0	0	0	0		
			0: ポート 1: INT5	0: ポート 1: INT4	0: ポート, CLK32KO 1: Reserved	0: ポート 1: SCL	0: ポート 1: SDA	0: ポート, SCLK0, CTS0 1: I2SWS, SCLK0	0: ポート, RXD0 1: I2SDO	0: ポート 1: I2SCKO, TXD0		
P9FC2	PORT9 function register2	0025H (RMW 禁)				P94F2	P93F2			P90FC2		
			W									W
						0	0			0		
						0: CMOS 1: オープ ンドレ イン	0: CMOS 1: オープ ンドレ イン			0: CMOS 1: オープ ンドレ イン		
PAFC	PORTA function register	002BH (RMW 禁)	PA7F	PA6F	PA5F	PA4F	PA3F	PA2F	PA1F	PA0F		
			W									
			0	0	0	0	0	0	0	0		
			0: キー入力禁止							1: キー入力許可		
PCCR	PORTC control register	0032H (RMW 禁)	PC7C	PC6C	PC5C	PC4C	PC3C	PC2C	PC1C	PC0C		
			W									
			0	0	0	0	0	0	0	0		
			0: 入力							1: 出力		
PCFC	PORTC function register	0033H (RMW 禁)	PC7F	PC6F	PC5F	PC4F	PC3F	PC2F	PC1F	PC0F		
			W									
			0	0	0	0	0	0	0	0		
			0: ポート 1: CSZF EA25@ <PC7> = 0	0: ポート 1: KO8 (オープン ドレイン) EA24@ <PC6> = 0	0: ポート 1: Reserved	0: ポート 1: Reserved	0: ポート 1: INT3	0: ポート 1: INT2 TB0OUT0	0: ポート 1: INT1 TA3OUT	0: ポート 1: INT0 TA1OUT		

(1) 入出力ポート (4/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
PFCR	PORTF control register	003EH (RMW 禁)		PF6C	PF5C	PF4C	PF3C	PF2C	PF1C	PF0C	
				W							
				0	0	0	0	0	0	0	
				0: ポート 1: ポート	0: ポート 1: ポート	0: ポート 1: ポート	0: ポート 1: ポート	0: ポート, SCLK0, CTS0 (PF2 端子から @ <PF2> = 0) (P92 端子から @ <PF2> = 1) 1: ポート, SCLK0	0: ポート, RXD0 1: ポート	0: ポート 1: ポート, TXD0	
PFFC	PORTF function register	003FH (RMW 禁)	PF7F	PF6F	PF5F	PF4F	PF3F	PF2F	PF1F	PF0F	
				W							
			1	0	0	0	0	0	0	0	
			0: ポート 1: SDCLK	0: ポート 1: Reserved	0: ポート 1: Reserved	0: ポート 1: Reserved	0: ポート 1: Reserved	0: ポート, SCLK0, CTS0 (PF2 端子から @ <PF2> = 0) (P92 端子から @ <PF2> = 1) 1: SCLK0	0: ポート 1: RXD0	0: ポート 1: TXD0	
PFFC2	PORTF function register2	003DH (RMW 禁)	-					-		PF0F2	
			W					W		W	
			0					0		0	
			"0"をライトしてください。					"0"をライトしてください。		出力バッファ 0: CMOS 1: オープンドレイン	
PJCR	PORTJ control register	004EH (RMW 禁)		PJ6C	PJ5C						
				W							
				0	0						
		0: 入力	1: 出力								
PJFC	PORTJ function register	004FH (RMW 禁)	PJ7F	PJ6F	PJ5F	PJ4F	PJ3F	PJ2F	PJ1F	PJ0F	
				W							
			0	0	0	0	0	0	0	0	
			0: ポート 1: SDCKE@ <PJ7> = 1	0: ポート 1: NDACLE@ <PJ6> = 0	0: ポート 1: NDALE@ <PJ5> = 0	0: ポート 1: SDLUDQM @ <PJ4> = 1	0: ポート 1: SDLLDQM @ <PJ3> = 1	0: ポート 1: SDWE, SDWR	0: ポート 1: SDCAS, SRLUB	0: ポート 1: SDRAS, SRLLB	
PKCR	PORTK control register	0052H (RMW 禁)	PK7C	PK6C	PK5C	PK4C					
				W							
			0	0	0	0					
		0: 入力	1: 出力								
PKFC	PORTK function register	0053H (RMW 禁)	PK7F	PK6F	PK5F	PK4F	PK3F	PK2F	PK1F	PK0F	
				W							
			0	0	0	0	0	0	0	0	
			0: ポート 1: SPCLK	0: ポート 1: SPCS	0: ポート 1: SPDO	0: ポート 1: SPDI	0: ポート 1: LBCD	0: ポート 1: LFR	0: ポート 1: LLP	0: ポート 1: LCP0	

(1) 入出力ポート (5/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
PLCR	PORTL control register	0056H (RMW 禁)	PL7C	PL6C	PL5C	PL4C					
			W								
			0	0	0	0					
			0: 入力 1: 出力								
PLFC	PORTL function register	0057H (RMW 禁)	PL7F	PL6F	PL5F	PL4F	PL3F	PL2F	PL1F	PL0F	
			W				0	0	0	0	
			0:ポート 1: LD7, BUSAK	0:ポート 1: LD6, BUSRQ	0:ポート 1: LD5	0:ポート 1: LD4	0: ポート 1: LCDC 用データバス (LD3~LD0)				
PMFC	PORTM function register	005BH (RMW 禁)						PM2F	PM1F		
							W				
							0	0			
			0: ポート 1: ALARM , MLDALM		0: ポート 1: MLDALM						
PNCR	PORTN Control Register	005EH (RMW 禁)	PN7C	PN6C	PN5C	PN4C	PN3C	PN2C	PN1C	PN0C	
			W				0	0	0	0	
			0	0	0	0	0	0	0	0	
			0: 入力 1: 出力								
PNFC	PORTN Function Register	005FH (RMW 禁)	PN7F	PN6F	PN5F	PN4F	PN3F	PN2F	PN1F	PN0F	
			W				0	0	0	0	
			0	0	0	0	0	0	0	0	
			0: CMOS 出力 1: オープンドレイン出力								

(1) 入出力ポート (6/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0
P1DR	PORT1 drive register	0081H	P17D	P16D	P15D	P14D	P13D	P12D	P11D	P10D
			R/W							
			1	1	1	1	1	1	1	1
			スタンバイモード用入出力バッファドライブレジスタ							
P4DR	PORT4 drive register	0084H	P47D	P46D	P45D	P44D	P43D	P42D	P41D	P40D
			R/W							
			1	1	1	1	1	1	1	1
			スタンバイモード用入出力バッファドライブレジスタ							
P5DR	PORT5 drive register	0085H	P57D	P56D	P55D	P54D	P53D	P52D	P51D	P50D
			R/W							
			1	1	1	1	1	1	1	1
			スタンバイモード用入出力バッファドライブレジスタ							
P6DR	PORT6 drive register	0086H	P67D	P66D	P65D	P64D	P63D	P62D	P61D	P60D
			R/W							
			1	1	1	1	1	1	1	1
			スタンバイモード用入出力バッファドライブレジスタ							
P7DR	PORT7 drive register	0087H		P76D	P75D	P74D	P73D	P72D	P71D	P70D
			R/W							
			1	1	1	1	1	1	1	1
			スタンバイモード用入出力バッファドライブレジスタ							
P8DR	PORT8 drive register	0088H	P87D	P86D	P85D	P84D	P83D	P82D	P81D	P80D
			R/W							
			1	1	1	1	1	1	1	1
			スタンバイモード用入出力バッファドライブレジスタ							
P9DR	PORT9 drive register	0089H	P97D	P96D	P95D	P94D	P93D	P92D	P91D	P90D
			R/W							
			1	1	1	1	1	1	1	1
			スタンバイモード用入出力バッファドライブレジスタ							
PADR	PORTA drive register	008AH	PA7D	PA6D	PA5D	PA4D	PA3D	PA2D	PA1D	PA0D
			R/W							
			1	1	1	1	1	1	1	1
			スタンバイモード用入出力バッファドライブレジスタ							
PCDR	PORTC drive register	008CH	PC7D	PC6D	PC5D	PC4D	PC3D	PC2D	PC1D	PC0D
			R/W							
			1	1	1	1	1	1	1	1
			スタンバイモード用入出力バッファドライブレジスタ							
PFDR	PORTF drive register	008FH	PF7D	PF6D	PF5D	PF4D	PF3D	PF2D	PF1D	PF0D
			R/W							
			1	1	1	1	1	1	1	1
			スタンバイモード用入出力バッファドライブレジスタ							

(1) 入出力ポート (7/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
PGDR	PORTG drive register	0090H					PG3D	PG2D				
							R/W					
							1	1				
							スタンバイモード用 入出力バッファ ドライブレジスタ					
PJDR	PORTJ drive register	0093H	PJ7D	PJ6D	PJ5D	PJ4D	PJ3D	PJ2D	PJ1D	PJ0D		
			R/W									
			1	1	1	1	1	1	1	1	1	
			スタンバイモード用入出力バッファドライブレジスタ									
PKDR	PORTK drive register	0094H	PK7D	PK6D	PK5D	PK4D	PK3D	PK2D	PK1D	PK0D		
			R/W									
			1	1	1	1	1	1	1	1	1	
			スタンバイモード用入出力バッファドライブレジスタ									
PLDR	PORTL drive register	0095H	PL7D	PL6D	PL5D	PL4D	PL3D	PL2D	PL1D	PL0D		
			R/W									
			1	1	1	1	1	1	1	1	1	
			スタンバイモード用入出力バッファドライブレジスタ									
PMDR	PORTM drive register	0096H						PM2D	PM1D			
								R/W				
								1	1			
								スタンバイモード用 入出力バッファ ドライブレジスタ				
PNDR	PORTN drive register	0097H	PN7D	PN6D	PN5D	PN4D	PN3D	PN2D	PL1D	PN0D		
			R/W									
			1	1	1	1	1	1	1	1	1	
			スタンバイモード用入出力バッファドライブレジスタ									

(2) 割り込み制御 (1/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE12	INT1 & INT2 enable	00D0H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE34	INT3 & INT4 enable	00D1H	INT4				INT3			
			I4C	I4M2	I4M1	I4M0	I3C	I3M2	I3M1	I3M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEA01	INTTA0 & INTTA1 enable	00D4H	INTTA1 (TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEA23	INTTA2 & INTTA3 enable	00D5H	INTTA3 (TMRA3)				INTTA2 (TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INETB01	INTTB0 & INTTB1 enable	00D8H	INTTB1 (TMRB1)				INTTB0 (TMRB0)			
			ITB1C	ITB1M2	ITB1M1	ITB1M0	ITB0C	ITB0M2	ITB0M1	ITB0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INETB00	INTTBO0 (Overflow) enable	00DAH	-				INTTBO0 (TMRB0)			
			-	-	-	-	ITBO0C	ITBO0M2	ITBO0M1	ITBO0M0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTES0	INTRX0 & INTTX0 enable	00DBH	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTESPI	INTSPI enable	00E0H	INTSPI				-			
			ISPIC	ISPIM2	ISPIM1	ISPIM0	-	-	-	-
			R	R/W			-	-		
			0	0	0	0	"0"をライトしてください			
INTESBI	INTSBI enable	00E1H	-				INTSBI			
			-	-	-	-	ISBIC	ISBIM2	ISBIM1	ISBIM0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTEALM01	INTALM0 & INTALM1 enable	00E5H	INTALM1				INTALM0			
			IA1C	IA1M2	IA1M1	IA1M0	IA0C	IA0M2	IA0M1	IA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEALM23	INTALM2 & INTALM3 enable	00E6H	INTALM3				INTALM2			
			IA3C	IA3M2	IA3M1	IA3M0	IA2C	IA2M2	IA2M1	IA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

(2) 割り込み制御 (2/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTEALM4	INTALM4 enable	00E7H	-				INTALM4			
			-	-	-	-	IA4C	IA4M2	IA4M1	IA4M0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTERTC	INTRTC enable	00E8H	-				INTRTC			
			-	-	-	-	IRC	IRM2	IRM1	IRM0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTEKEY	INTKEY enable	00E9H	-				INTKEY			
			-	-	-	-	IKC	IKM2	IKM1	IKM0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTELCD	INTLCD enable	00EAH	-				INTLCD			
			-	-	-	-	ILCD1C	ILCDM2	ILCDM1	ILCDM0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0
INTE5I2S	INT5 & INTI2S enable	00EBH	INTI2S				INT5			
			I2SC	I2SM2	I2SM1	I2SM0	I5C	I5M2	I5M1	I5M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEND01	INTNDF0 & INTNDF1 enable	00ECH	INTNDF1				INTNDF0			
			IN1C	IN1M2	IN1M1	IN1M0	IN0C	IN0M2	IN0M1	IN0M0
			R				R	R/W		
			0	0	0	0	0	0	0	0
INTEP0	INTP0 enable	00EEH	-				INTP0			
			-	-	-	-	IPOC	IPOM2	IPOM1	IPOM0
			-	-			R	R/W		
			"0"をライトしてください				0	0	0	0

(2) 割り込み制御 (3/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
INTE0AD	INT0 & INTAD enable	00F0H	INTAD				INT0				
			IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
INTETC01	INTTC0 & INTTC1 enable	00F1H	INTTC1 (DMA1)				INTTC0 (DMA0)				
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
INTETC23	INTTC2 & INTTC3 enable	00F2H	INTTC3 (DMA3)				INTTC2 (DMA2)				
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
INTETC45	INTTC4 & INTTC5 enable	00F3H	INTTC5 (DMA5)				INTTC4 (DMA4)				
			ITC5C	ITC5M2	ITC5M1	ITC5M0	ITC4C	ITC4M2	ITC4M1	ITC4M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
INTETC67	INTTC6 & INTTC7 enable	00F4H	INTTC7 (DMA7)				INTTC6 (DMA6)				
			ITC7C	ITC7M2	ITC7M1	ITC7M0	ITC6C	ITC6M2	ITC6M1	ITC6M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
SIMC	SIO interrupt mode control	00F5H (RMW 禁)	-						-	IROLE	
			W						W	W	
			0						1	1	
			"0" をライトしてください。						"1" をライトしてください。	0: INTRX0 エッジモード 1: INTRX0 レベルモード	
IIMC	Interrupt input mode control	00F6H (RMW 禁)	I5EDGE	I4EDGE	I3EDGE	I2EDGE	I1EDGE	I0EDGE	I0LE	-	
			W							R/W	
			0	0	0	0	0	0	0	0	0
			INT4 EDGE 0: 立ち上がり 1: 立ち下がり	INT4 EDGE 0: 立ち上がり 1: 立ち下がり	INT3 EDGE 0: 立ち上がり 1: 立ち下がり	INT2 EDGE 0: 立ち上がり 1: 立ち下がり	INT1 EDGE 0: 立ち上がり 1: 立ち下がり	INT0 EDGE 0: 立ち上がり 1: 立ち下がり	0: INT0 エッジモード 1: INT0 レベルモード	"0" をライトしてください。	
INTWDT	INTWD enable	00F7H	-				INTWD				
			-		-		-	ITCWD	-	-	-
			-	-			R	-			
			"0" をライトしてください							0	-
INTCLR	Interrupt clear control	00F8H (RMW 禁)	CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0	
			W								
			0	0	0	0	0	0	0	0	0
			割り込みベクタ								

(2) 割り込み制御 (4/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
DMA0V	DMA0 start vector	0100H			DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0	
					R/W						
					0	0	0	0	0	0	
					DMA0 起動ベクタ						
DMA1V	DMA1 start vector	0101H			DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0	
					R/W						
					0	0	0	0	0	0	
					DMA1 起動ベクタ						
DMA2V	DMA2 start vector	0102H			DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0	
					R/W						
					0	0	0	0	0	0	
					DMA2 起動ベクタ						
DMA3V	DMA3 start vector	0103H			DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0	
					R/W						
					0	0	0	0	0	0	
					DMA3 起動ベクタ						
DMA4V	DMA4 start vector	0104H			DMA4V5	DMA4V4	DMA4V3	DMA4V2	DMA4V1	DMA4V0	
					R/W						
					0	0	0	0	0	0	
					DMA4 起動ベクタ						
DMA5V	DMA5 start vector	0105H			DMA5V5	DMA5V4	DMA5V3	DMA5V2	DMA5V1	DMA5V0	
					R/W						
					0	0	0	0	0	0	
					DMA5 起動ベクタ						
DMA6V	DMA6 start vector	0106H			DMA6V5	DMA6V4	DMA6V3	DMA6V2	DMA6V1	DMA6V0	
					R/W						
					0	0	0	0	0	0	
					DMA6 起動ベクタ						
DMA7V	DMA7 start vector	0107H			DMA7V5	DMA7V4	DMA7V3	DMA7V2	DMA7V1	DMA7V0	
					R/W						
					0	0	0	0	0	0	
					DMA7 起動ベクタ						
DMAB	DMA burst	0108H	DBST7	DBST6	DBST5	DBST4	DBST3	DBST2	DBST1	DBST0	
					R/W						
					0	0	0	0	0	0	0
					1: DMA のバースト要求						
DMAR	DMA request	0109H (RMW 禁)	DREQ7	DREQ6	DREQ5	DREQ4	DREQ3	DREQ2	DREQ1	DREQ0	
					R/W						
					0	0	0	0	0	0	0
					1: DMA のソフト要求						

(3) メモリコントローラ (1/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
B0CSL	BLOCK0 CS/WAIT control register low	0140H (RMW 禁)		B0WW2	B0WW1	B0WW0		B0WR2	B0WR1	B0WR0		
				W				W				
				0	1	0		0	1	0		
				書き込みウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 011: (1+N) ウェイト 111: 4 ウェイト その他: Reserved				読み出しウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 011: (1+N) ウェイト 111: 4 ウェイト その他: Reserved				
B0CSH	BLOCK0 CS/WAIT control register high	0141H (RMW 禁)	B0E	-	-	B0REC	B0OM1	B0OM0	B0BUS1	B0BUS0		
				W								
				0	0	0	0	0	0	0/1	0/1	
				CS 選択 0: ディセ ーブル 1: イネー ブル	"0"をライ トしてく ださい	"0"をライ トしてく ださい	ダミーサ イクル 0: 挿入し ない 1: 挿入す る	00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved	データバス幅 00: 8 ビット 01: 16 ビット 10: 32 ビット 11: Reserved			
B1CSL	BLOCK1 CS/WAIT control register low	0144H (RMW 禁)		B1WW2	B1WW1	B1WW0		B1WR2	B1WR1	B1WR0		
				W				W				
				0	1	0		0	1	0		
				書き込みウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 011: (1+N) ウェイト 111: 4 ウェイト その他: Reserved				読み出しウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 011: (1+N) ウェイト 111: 4 ウェイト その他: Reserved				
B1CSH	BLOCK1 CS/WAIT control register high	0145H (RMW 禁)	B1E	-	-	B1REC	B1OM1	B1OM0	B1BUS1	B1BUS0		
				W								
				0	0	0	0	0	0	0/1	0/1	
				CS 選択 0: ディセ ーブル 1: イネー ブル	"0"をライ トしてく ださい	"0"をライ トしてく ださい	ダミーサ イクル 0: 挿入し ない 1: 挿入す る	00: ROM/SRAM 01: Reserved 10: Reserved 11: SDRAM	データバス幅 00: 8 ビット 01: 16 ビット 10: 32 ビット 11: Reserved			
B2CSL	BLOCK2 CS/WAIT control register low	0148H (RMW 禁)		B2WW2	B2WW1	B2WW0		B2WR2	B2WR1	B2WR0		
				W				W				
				0	1	0		0	1	0		
				書き込みウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 011: (1+N) ウェイト 111: 4 ウェイト その他: Reserved				読み出しウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 011: (1+N) ウェイト 111: 4 ウェイト その他: Reserved				
B2CSH	BLOCK2 CS/WAIT control register high	0149H (RMW 禁)	B2E	B2M	-	B2REC	B2OM1	B2OM0	B2BUS1	B2BUS0		
				W								
				1	0	0	0	0	0	0/1	0/1	
				CS 選択 0: ディセ ーブル 1: イネー ブル	0: 16 MB 1: エリア 設定	"0"をライ トしてく ださい	ダミーサ イクル 0: 挿入し ない 1: 挿入す る	00: ROM/SRAM 01: Reserved 10: Reserved 11: SDRAM	データバス幅 00: 8 ビット 01: 16 ビット 10: 32 ビット 11: Reserved			

(3) メモリコントローラ (2/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
B3CSL	BLOCK3 CS/WAIT control register low	014CH (RMW 禁)	7	6	5	4	3	2	1	0		
			B3WW2			B3WW1	B3WW0	B3WR2			B3WR1	B3WR0
			W						W			
			0	1	0	0	1	0				
			書き込みウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 011: (1+N) ウェイト 111: 4 ウェイト その他: Reserved			読み出しウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 011: (1+N) ウェイト 111: 4 ウェイト その他: Reserved						
B3CSH	BLOCK3 CS/WAIT control register high	014DH (RMW 禁)	B3E	-	-	B3REC	B3QM1	B3QM0	B3BUS1	B3BUS0		
			W									
			0	0	0	0	0	0	0/1	0/1		
			CS 選択 0: ディセーブル 1: イネーブル	"0"をライトしてください	"0"をライトしてください	ダミーサイクル 0: 挿入しない 1: 挿入する	00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved	データバス幅 00: 8ビット 01: 16ビット 10: 32ビット 11: Reserved				
BEXCSL	BLOCK EX CS/WAIT control register low	0158H (RMW 禁)	7	6	5	4	3	2	1	0		
			BEXWW2			BEXWW1	BEXWW0	BEXWR2			BEXWR1	BEXWR0
			W						W			
			0	1	0	0	1	0				
			書き込みウェイト数 001: 2 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 2 ウェイト 011: (1+N) ウェイト その他: Reserved			読み出しウェイト数 001: 2 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 2 ウェイト 011: (1+N) ウェイト その他: Reserved						
BEXCSH	BLOCK EX CS/WAIT control register high	0159H	7	6	5	4	BEXOM1	BEXOM0	BEXBUS1	BEXBUS0		
			W									
			0	0	0/1	0/1						
						00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved			00: 8ビット 01: 16ビット 10: 32ビット 11: Reserved			
PMEMCR	Page ROM control register	0166H	7	6	5	4	OPGE	OPWR1	OPWR0	PR1	PR0	
			R/W									
			0	0	0	1	0					
						ROM ページアクセス 0: ディセーブル 1: イネーブル	ページ中ウェイト数 00: 1クロック (n-1-1-1モード) 01: 2クロック (n-2-2-2モード) 10: 3クロック (n-3-3-3モード) 11: (Reserved)	1ページ中バイト数 00: 64バイト 01: 32バイト 10: 16バイト 11: 8バイト				

(3) メモリコントローラ (3/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
MAMR0	Memory address mask register 0	0142H	MOV20	MOV19	MOV18	MOV17	MOV16	MOV15	MOV14-9	MOV8
			R/W							
			1	1	1	1	1	1	1	1
			0: 比較許可				1: 比較禁止			
MSAR0	Memory start address register 0	0143H	M0S23	M0S22	M0S21	M0S20	M0S19	M0S18	M0S17	M0S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23 を A16 に設定							
MAMR1	Memory address mask register 1	0146H	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	MV15-9	M1V8
			R/W							
			1	1	1	1	1	1	1	1
			0: 比較許可				1: 比較禁止			
MSAR1	Memory start address register 1	0147H	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23 を A16 に設定							
MAMR2	Memory address mask register 2	014AH	M2V22	M2V21	M2V20	M2V19	M2V18	M2V17	M2V16	M2V15
			R/W							
			1	1	1	1	1	1	1	1
			0: 比較許可				1: 比較禁止			
MSAR2	Memory start address register 2	014BH	M2S23	M2S22	M2S21	M2S20	M2S19	M2S18	M2S17	M2S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23 を A16 に設定							
MAMR3	Memory address mask register 3	014EH	M3V22	M3V21	M3V20	M3V19	M3V18	M3V17	M3V16	M3V15
			R/W							
			1	1	1	1	1	1	1	1
			0: 比較許可				1: 比較禁止			
MSAR3	Memory start address register 3	014FH	M3S23	M3S22	M3S21	M3S20	M3S19	M3S18	M3S17	M3S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23 を A16 に設定							
MEMCR	Memory control register	0168H						CSDIS	RDTMG1	RDTMG0
			R/W							
									0	0
									0: ディセーブル 1: イネーブル	00: RD "H"パルス幅 =0.5T (デフォルト) 01: RD "H"パルス幅=0.75T 10: RD "H"パルス幅=1.0T 11: Reserved

(4) MMU

記号	名称	アドレス	7	6	5	4	3	2	1	0		
LOCALPX	LOCALX register for program	01D0H	LXE			X4	X3	X2	X1	X0		
			R/W			R/W						
			0			0	0	0	0	0		
			LOCALX 1:イネーブル	LOCALX用バンク数を設定								
LOCALPY	LOCALY register for program	01D1H	LYE			Y4	Y3	Y2	Y1	Y0		
			R/W			R/W						
			0			0	0	0	0	0		
			LOCALY 1:イネーブル	LOCALY用バンク数を設定								
LOCALPZ	LOCALZ register for program	01D3H	LZE	Z6	Z5	Z4	Z3	Z2	Z1	Z0		
			R/W									
			0	0	0	0	0	0	0	0	0	
			LOCALZ 1:イネーブル	LOCALZ用バンク数を設定								
LOCALLX	LOCALX register for LCDC	01D4H	LXE			X4	X3	X2	X1	X0		
			R/W			R/W						
			0			0	0	0	0	0		
			LOCALX 1:イネーブル	LOCALX用バンク数を設定								
LOCALLY	LOCALY register for LCDC	01D5H	LYE			Y4	Y3	Y2	Y1	Y0		
			R/W			R/W						
			0			0	0	0	0	0		
			LOCALY 1:イネーブル	LOCALY用バンク数を設定								
LOCALLZ	LOCALZ register for LCDC	01D7H	LZE	Z6	Z5	Z4	Z3	Z2	Z1	Z0		
			R/W									
			0	0	0	0	0	0	0	0	0	
			LOCALZ 1:イネーブル	LOCALZ用バンク数を設定								
LOCALRX	LOCALX register for read	01D8H	LXE			X4	X3	X2	X1	X0		
			R/W			R/W						
			0			0	0	0	0	0		
			LOCALX 1:イネーブル	LOCALX用バンク数を設定								
LOCALRY	LOCALY register for read	01D9H	LYE			Y4	Y3	Y2	Y1	Y0		
			R/W			R/W						
			0			0	0	0	0	0		
			LOCALY 1:イネーブル	LOCALY用バンク数を設定								
LOCALRZ	LOCALZ register for read	01DBH	LZE	Z6	Z5	Z4	Z3	Z2	Z1	Z0		
			R/W									
			0	0	0	0	0	0	0	0	0	
			LOCALZ 1:イネーブル	LOCALZ用バンク数を設定								
LOCALWX	LOCALX register for write	01DCH	LXE			X4	X3	X2	X1	X0		
			R/W			R/W						
			0			0	0	0	0	0		
			LOCALX 1:イネーブル	LOCALX用バンク数を設定								
LOCALWY	LOCALY register for write	01DDH	LYE			Y4	Y3	Y2	Y1	Y0		
			R/W			R/W						
			0			0	0	0	0	0		
			LOCALY 1:イネーブル	LOCALY用バンク数を設定								
LOCALWZ	LOCALZ register for write	01DFH	LZE	Z6	Z5	Z4	Z3	Z2	Z1	Z0		
			R/W									
			0	0	0	0	0	0	0	0	0	
			LOCALZ 1:イネーブル	LOCALZ用バンク数を設定								

(5) クロックギア、PLL

記号	名称	アドレス	7	6	5	4	3	2	1	0	
SYSCR0	System clock control register0	10E0H	XEN	XTEN				WUEF			
			R/W					R/W			
			1	1				0			
			高速発振器 0: 停止 1: 発振	低速発振器 0: 停止 1: 発振				ウォームアップ タイマ			
SYSCR1	System clock control register1	10E1H					SYSCK	GEAR2	GEAR1	GEAR0	
							R/W				
							0	1	0	0	
							システム クロック 選択 0: fc 1: fs	高周波ギア値の選択 000: fc 101: (Reserved) 001: fc/2 110: (Reserved) 010: fc/4 111: (Reserved) 011: fc/8 100: fc/16			
SYSCR2	System clock control register2	10E2H			WUPTM1	WUPTM0	HALTM1	HALTM0			
			R/W		R/W						
			0		1	0	1	1			
			“0”を ライトし てくださ い。		ウォームアップ タイマ 00: Reserved 01: 2 ⁹ /入力周波数 10: 2 ¹⁴ /入力周波数 11: 2 ¹⁶ /入力周波数		HALTモード 00: Reserved 01: STOPモード 10: IDLE1モード 11: IDLE2モード				
EMCCR0	EMC control register0	10E3H	PROTECT					EXTIN	DRVOSCH	DRVOSCL	
			R					R/W			
			0					0	1	1	
			プロテ クトフ ラグ 0: OFF 1: ON					1: 外部 クロック	高周波発 振器ドラ イバアビ リティ 1: NORMAL 0: WEAK	低周波発 振器ドラ イバアビ リティ 1: NORMAL 0: WEAK	
EMCCR1	EMC control register1	10E4H	下記 1st-KEY、2nd-KEY の動作実施によりプロテクト ON/OFF。 1st-KEY: EMCCR1 = 5AH、EMCCR2 = A5H を連続ライト。 2nd-KEY: EMCCR1 = A5H、EMCCR2 = 5AH を連続ライト。								
EMCCR2	EMC control register2	10E5H									
PLLCR0	PLL control register0	10E8H		FCSEL	LUPFG						
				R/W	R						
				0	0						
			高周波 クロック 選択 0: fOSCH 1: fPLL	ロック アップ タイマ ステータ スフラ グ							
PLLCR1	PLL control register1	10E9H	PLLON								
			R/W								
			0								
			On/Off 制御 0: OFF 1: ON								

(6) LCD コントローラ (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
LCDMODE0	LCD mode0 register	0840H	RAMTYPE1	RAMTYPE0	SCPW1	SCPW0	LMODE3	INTMODE	LDO1	LDO0		
			R/W									
			0	0	1	0	0	0	0	0	0	
			表示 RAM 00:内蔵 SRAM1 01:外部 SRAM 10:SDRAM 11:内蔵 SRAM2		LD バス転送速度 00:Reserved 01:2 × fSYS 10:4 × fSYS 11:8 × fSYS		LCDD タイプ 0:SR 型 1:RAM 内蔵型	割り込み 選択 0:LP 1:BCD	LD バス幅制御 00: 4bit 幅 A_type 01: 4bit 幅 B_type 10: 8bit 幅 type その他: Reserved			
LCDFFP	LCD frame frequency register	0841H	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0		
			R/W									
			0	0	0	0	0	0	0	0	0	
			fFP 用 Bit7~0 設定									
LCDDVM	LCD divide frame register	0842H	FMN7	FMN6	FMN5	FMN4	FMN3	FMN2	FMN1	FMN0		
			R/W									
			0	0	0	0	0	0	0	0	0	
			DVMBit7~0 設定									
LCDSIZE	LCD size register	0843H	COM3	COM2	COM1	COM0	SEG3	SEG2	SEG1	SEG0		
			R/W									
			0	0	0	0	0	0	0	0	0	
			コモン設定 0000: Reserved 0101: 200 0001: 64 0110: 240 0010: 120 0111: 320 0011: 128 1000: 480 0100: 160 その他: Reserved			セグメント数設定 0000: Reserved 0101: 320 0001: 64 0110: 480 0010: 128 0111: 640 0011: 160 その他: Reserved 0100: 240						
LCDCTL0	LCD control0 register	0844H	ALL0	FRMON	-	FP9	MMULCD	FP8	START			
			R/W									
			0	0	0	0	0	0	0	0		
			セグメント データ設定 0:通常 1:出力(全て "0")	FR 分割設 定 0:停止 1:動作	"0"を ライ ト して くだ さい。	fFP 設定 Bit9	内蔵 RAM LCDD 設定 0:シーケン シャル 1:ランダム	fFP 設定 Bit8	LCDC 動作 0:停止 1:動作			
LCDSCC	LCD source clock counter register	0846H	SCC7	SCC6	SCC5	SCC4	SCC3	SCC2	SCC1	SCC0		
			R/W									
			0	0	0	0	0	0	0	0		
			LCDC ソースクロックカウンタ Bit7~0									

(6) LCD コントローラ (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
LSARAL	Start address register A-area (L)	0850H	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	
			R/W								
			0	0	0	0	0	0	0	0	
Aエリア用 (Bit7~0) スタートアドレス											
LSARAM	Start address register A-area (M)	0851H	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	
			R/W								
			0	0	0	0	0	0	0	0	
Aエリア用 (Bit15~8) スタートアドレス											
LSARAH	Start address register A-area (H)	0852H	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	
			R/W								
			0	1	0	0	0	0	0	0	
Aエリア用 (Bit23~16) スタートアドレス											
CMNAL	Common number register A-area (L)	0853H	CA7	CA6	CA5	CA4	CA3	CA2	CA1	CA0	
			R/W								
			0	0	0	0	0	0	0	0	
Aエリア用 (Bit7~0) コモン数設定											
CMNAH	Common number register A-area (H)	0854H								CA8	
											R/W
Aエリア (Bit8)											
LSARBL	Start address register B-area (L)	0856H	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0	
			R/W								
			0	0	0	0	0	0	0	0	
Bエリア (Bit7~0) 用スタートアドレス											
LSARBM	Start address register B-area (M)	0857H	SB15	SB14	SB13	SB12	SB11	SB10	SB9	SB8	
			R/W								
			0	0	0	0	0	0	0	0	
Bエリア (Bit15~8) 用スタートアドレス											
LSARBH	Start address register B-Area(H)	0858H	SB23	SB22	SB21	SB20	SB19	SB18	SB17	SB16	
			R/W								
			0	1	0	0	0	0	0	0	
Bエリア (Bit23~16) 用スタートアドレス											
CMNBL	Common number register B-area (L)	0859H	CB7	CB6	CB5	CB4	CB3	CB2	CB1	CB0	
			R/W								
			0	0	0	0	0	0	0	0	
Bエリア用 (Bit7~0) コモン数設定											
CMNBH	Common number register B-area (H)	085AH								CB8	
											R/W
Bエリア (Bit8)											
LSARCL	Start address register C-area (L)	085CH	SC7	SC6	SC5	SC4	SC3	SC2	SC1	SC0	
			R/W								
			0	0	0	0	0	0	0	0	
Cエリア (Bit7~0) 用スタートアドレス											
LSARCM	Start address register C-area (M)	085DH	SC15	SC14	SC13	SC12	SC11	SC10	SC9	SC8	
			R/W								
			0	0	0	0	0	0	0	0	
Cエリア (Bit15~8) 用スタートアドレス											
LSARCH	Start address register C-area (H)	085EH	SC23	SC22	SC21	SC20	SC19	SC18	SC17	SC16	
			R/W								
			0	1	0	0	0	0	0	0	
Cエリア (Bit23~16) 用スタートアドレス											

(7) タッチスクリーン I/F

記号	名称	アドレス	7	6	5	4	3	2	1	0		
TSICR0	Touch screen I/F control register 0	01F0H	TSI7		PTST	TWIEN	PYEN	PXEN	MYEN	MXEN		
			R/W		R	R/W						
			0		0	0	0	0	0	0	0	
			0: 禁止 1: 許可		検出状態 0: 検出なし 1: 検出中	INT4 割り込み制御 0: 禁止 1: 許可	SPY 0: OFF 1: ON	SPX 0: OFF 1: ON	SMY 0: OFF 1: ON	SMY 0: OFF 1: ON		
TSICR1	Touch screen I/F control register 1	01F1H	DBC7	DB1024	DB256	DB64	DB8	DB4	DB2	DB1		
			R/W									
			0	0	0	0	0	0	0	0	0	
			0: ディセーブル 1: イネーブル	1024	256	64	8	4	2	1		
デバウンス時間は“(N × 64 - 16)/fSYS”の式により設定されます。 “N”はビット6~ビット0に“1”を設定した数の総計を表します。												

(8) SDRAM コントローラ

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SDACR1	SDRAM access control register1	0250H	-	-	SMRD	SWRC	SBST	SBL1	SBL0	SMAC		
			R/W									
			0	0	0	0	0	1	0	0		
			“0”をライトしてください	“0”をライトしてください	モードレジスタリカバリ	ライトリカバリタイム	バーストストップコマンド	バースト長選択 00: Reserved 01: フルページ読み込み バースト書き込み 10: 1ワード読み込み シングル書き込み 11: フルページ読み込み シングル書き込み		SDRAM コントローラ 0: ディセーブル 1: イネーブル		
SDACR2	SDRAM access control register2	0251H				SBS	SDRS1	SDRS0	SMUXW1	SMUXW0		
			R/W									
			0	0	0	0	0	0	0			
					BANK 数	ROW アドレスサイズ 選択	アドレス マルチプレクスタイプ 選択					
SDRCR	SDRAM refresh control register	0252H	-			SSAE	SRS2	SRS1	SRS0	SRC		
			R/W			R/W						
			0			1	0	0	0	0		
			“0”をライトしてください			SR オート Exit 機能 0: ディセーブル 1: イネーブル	リフレッシュ間隔 000: 47 ステート 100: 156 ステート 001: 78 ステート 101: 295 ステート 010: 97 ステート 110: 249 ステート 011: 124 ステート 111: 312 ステート			オートリフレッシュ 0: ディセーブル 1: イネーブル		
SDCMM	SDRAM command register	0253H						SCMM2	SCMM1	SCMM0		
			R/W									
			0	0	0	コマンド発行						

(9) 8ビットタイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0
TA01RUN	TMRA01 RUN register	1100H	TA0RDE				I2TA01	TA01PRUN	TA1RUN	TA0RUN
			R/W				R/W			
			0				0	0	0	0
			ダブルバ ツファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	TMRA01 プリスケ ーラ	アップカ ウンタ (UC1)	アップカ ウンタ (UC0)
						0: 停止 & クリア 1: 動作 (カウントアップ)				
TA0REG	8-bit timer register 0	1102H (RMW 禁)	-							
			W							
			不定							
TA1REG	8-bit timer register 1	1103H (RMW 禁)	-							
			W							
			不定							
TA01MOD	TMRA01 MODE register	1104H	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0
			R/W							
			0	0	0	0	0	0	0	0
			動作モード 00: 8ビットタイマモード 01: 16ビットタイマモード 10: 8ビットPPGモード 11: 8ビットPWMモード		PWM サイクル 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA1用ソースクロック 00: TA0TRG 01: φT1 10: φT16 11: φT256		TMRA0用ソースクロック 00: Reserved 01: φT1 10: φT4 11: φT16	
TA1FFCR	TMRA1 Flip-Flop control register	1105H (RMW 禁)					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS
			W							
							1	1	0	0
							00: TA1FF 反転 01: TA1FF 設定 10: TA1FF クリア 11: Don't care		反転用 TA1FF 制御 0: 禁止 1: 許可	TA1FF 反転選択 0: TMRA0 1: TMRA1
TA23RUN	TMRA23 RUN register	1108H	TA1RDE				I2TA23	TA23PRUN	TA3RUN	TA2RUN
			R/W				R/W			
			0				0	0	0	0
			ダブルバ ツファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	TMRA23 プリスケ ーラ	アップカ ウンタ (UC3)	アップカ ウンタ (UC2)
						0: 停止 & クリア 1: 動作 (カウントアップ)				
TA2REG	8-bit timer register 2	110AH (RMW 禁)	-							
			W							
			不定							
TA3REG	8-bit timer register 3	110BH (RMW 禁)	-							
			W							
			不定							
TA23MOD	TMRA23 MODE register	110CH	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0
			R/W							
			0	0	0	0	0	0	0	0
			動作モード 00: 8ビットタイマモード 01: 16ビットタイマモード 10: 8ビットPPGモード 11: 8ビットPWMモード		PWM サイクル 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA3用ソースクロック 00: TA2TRG 01: φT1 10: φT16 11: φT256		TMRA2用ソースクロック 00: Reserved 01: φT1 10: φT4 11: φT16	
TA3FFCR	TMRA3 Flip-Flop control register	110DH (RMW 禁)					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS
			W							
							1	1	0	0
							00: TA3FF 反転 01: TA3FF 設定 10: TA3FF クリア 11: Don't care		反転用 TA3FF 制御 0: 禁止 1: 許可	TA3FF 反転選択 0: TMRA2 1: TMRA3

(10) 16ビットタイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0
TB0RUN	TMRB0 RUN register	1180H	TB0RDE	-			I2TB0	TB0PRUN		TB0RUN
			R/W				R/W			R/W
			0	0			0	0		0
			ダブルパルファ 0: 禁止 1: 許可	"0"をライトしてください			IDLE2 0: 停止 1: 動作	TMRB0プリスケ ーラ 0: 停止 & クリア 1: 動作 (カウントアップ)		アップカウンタ (UC10)
TB0MOD	TMRB0 MODE register	1182H (RMW 禁)	-	-	TB0CP0I	TB0CPM1	TB0CPM0	TB0CLE	TB0CLK1	TB0CLK0
			R/W		W		R/W			
			0	0	1	0	0	0	0	0
			"0"をライトしてください	ソフトウェアキャプチャの実行 0: ソフトキャプチャ 1: 未定義	キャプチャタイミング 00: ディセーブル 01: Reserved 10: Reserved 11: TA1OUT↑ TA1OUT↓	アップカウンタ制御 0: クリア 禁止 1: クリア許可	TMRB0 ソースクロック 00: Reserved 01: φT1 10: φT4 11: φT16			
TB0FFCR	TMRB0 Flip-Flop control register	1183H (RMW 禁)	-	-	TB0CT1	TB0COT1	TB0E1T1	TB0E0T1	TB0FFOC1	TB0FFOC0
			W*		R/W		W*			
			1	1	0	0	0	0	1	1
			"1"をライトしてください	TB0FF0 反転制御 0: 反転禁止 1: 反転許可	TB0FF0 制御 00: 反転 01: セット 10: クリア 11: Don't care * 読み出すと常に "11" となります。	TB0CP1H/L へ UC10 値をキャプチャする時	TB0CP0H/L へ UC10 値をキャプチャする時	UC10 と TB0RG1H/L との一致時	UC10 と TB0RG0H/L との一致時	
TB0RG0L	16 bit timer register 0 low	1188H (RMW 禁)				W				
TB0RG0H	16 bit timer register 0 high	1189H (RMW 禁)				W				
TB0RG1L	16 bit timer register low	118AH (RMW 禁)				W				
TB0RG1H	16 bit timer register 1 high	118BH (RMW 禁)				W				
TB0CP0L	Capture register 0 low	118CH				R				
TB0CP0H	Capture register 0 high	118DH				R				
TB0CP1L	Capture register 1 low	118EH				R				
TB0CP1H	Capture register 1 high	118FH				R				

(11) UART/シリアルチャネル (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SC0BUF	Serial channel 0 buffer register	1200H (RMW 禁)	RB7 TB7	RB6 TB6	RB5 TB5	RB4 TB4	RB3 TB3	RB2 TB2	RB1 TB1	RB0 TB0		
			R (受信) / W (送信)									
			不定									
SC0CR	Serial channel 0 control register	1201H	RB8 R	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC		
			不定	0	0	0	0	0	0	0		
			受信データビット 8	パリティ 0: 奇数 1: 偶数	パリティ 0: ディセーブル 1: イネーブル	オーバーラン	パリティ	フレーミング	0: SCLK0↑ 1: SCLK0↓	0: ボーレートジェネレータ 1: SCLK0 端子入力		
			R (リードすると "0" にクリア)								R/W	
SC0MOD0	Serial channel 0 mode 0 register	1202H	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0		
			R/W									
			0	0	0	0	0	0	0	0		
			送信データビット 8	0: CTS ディセーブル 1: CTS イネーブル	0: 受信禁止 1: 受信許可	ウェイクアップ 0: ディセーブル 1: イネーブル	00: I/O インタフェースモード 01: 7ビット UART モード 10: 8ビット UART モード 11: 9ビット UART モード	00: TA0TRG 01: ボーレートジェネレータ 10: 内部クロック f _{IO} 11: 外部クロック (SCLK0 入力)				
BR0CR	Serial channel 0 baud rate control register	1203H	-	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0		
			R/W									
			0	0	0	0	0	0	0	0		
			"0" をライトしてください	(16-K)/16 分周 0: ディセーブル 1: イネーブル	00: φT0 01: φT2 10: φT8 11: φT32	分周値 "N" の設定						
BR0ADD	Serial channel 0 K setting register	1204H	/				BR0K3	BR0K2	BR0K1	BR0K0		
			R/W									
			/				0	0	0	0		
			N + (16-K)/16 の K 値の設定									
SC0MOD1	Serial channel 0 mode 1 register	1205H	I2S0	FDPX0	/							
			R/W									
			0	0	/							
SIRCR	IrDA control register	1207H	PLSEL	RXSEL	TXEN	RXEN	SIRWD3	SIRWD2	SIRWD1	SIRWD0		
			R/W									
			0	0	0	0	0	0	0	0		
			パルス幅送信選択 0: 3/16 1: 1/16	受信データ 0: "H"パルス 1: "L"パルス	送信 0: ディセーブル 1: イネーブル	受信 0: ディセーブル 1: イネーブル	受信パルス幅選択 有効 SIRRxD パルス幅設定 2x × (設定値 + 1) + 100ns 以上のパルス幅 設定可能: 1~14 設定不可能: 0, 15					

(12) シリアルバスインタフェース

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0	
SBI0CR1	Serial bus interface 0 control register 1	1240H (RMW 禁) I ² C モード	BC2	BC1	BC0	ACK		SCK2	SCK1	SCK0/SWRMON	
			W			R/W		W		R/W	
			0	0	0	0		0	0	0/1	
			転送ビット数 000: 8 001: 1 010: 2 011: 3 100: 4 101: 5 110: 6 111: 7				アクノリッジモード 0: 禁止 1: 許可		分周値 (n) 設定 000: 5 001: 6 010: 7 011: 8 100: 9 101: 10 110: 11 111: Reserved		
SBI0DBR	Serial bus interface buffer register	1241H (RMW 禁)	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
			R (受信)/W (送信)								
			不定								
I2C0AR	I2CBUS0 address register	1242H (RMW 禁)	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS	
			W								
			0	0	0	0	0	0	0	0	0
スレーブアドレス設定									アドレス認識 0: 許可 1: 禁止		
SBI0CR2	Serial bus interface Interface control register 2	1243H (RMW 禁) I ² C モード	MST	TRX	BB	PIN	SBIM1	SBIM0	SWRST1	SWRST0	
			W								
			0	0	0	1	0	0	0	0	
			0: スレーブ 1: マスタ	0: 受信 1: 送信	スタート/ストップ コンディションの発生 0: ストップ 1: スタート (MST, TRX, PIN が"1"の時)	INTSBI 割り込み 0: 要求 1: 解除	動作モード選択 00: ポートモード 01: Reserved 10: I ² C モード 11: Reserved	ソフトウェアリセットの発生 "10" → "01" の順でライトするとソフトウェアリセットが発生			
SBI0SR	Serial bus interface status register	1243H (RMW 禁) I ² C モード	MST	TRX	BB	PIN	AL	AAS	AD0	LRB	
			R								
			0	0	0	1	0	0	0	0	
			0: スレーブ 1: マスタ	0: 受信 1: 送信	バスステータスマニタ 0: フリー 1: ビジー	INTSBI 割り込み 0: 要求 1: 解除	アービトラーションロスト検出 モニタ 0: - 1: 検出	スレーブアドレス一致検出 モニタ 0: 未検出 1: 検出	ゼネラルコール検出モニタ 0: 未検出 1: 検出	最終受信ビットモニタ 0: 0 1: 1	
SBI0BR0	Serial bus interface Baud rate register 0	1244H (RMW 禁)	-	I2SBI0							
			W	R/W							
			0	0							
"0"をライトしてください			IDLE2 0: 停止 1: 動作								
SBI0BR1	Serial bus interface Baud rate register 1	1245H (RMW 禁)	P4EN	-							
			W								
			0	0							
			内部クロック 0: 停止 1: 動作	"0"をライトしてください							

(13) SPI コントローラ(1/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
SPI MD	SPI mode setting register	0820H	XEN					CLKSEL2	CLKSEL1	CLKSEL0	
			R/W					R/W			
		0					1	0	0		
		SYSCK 0: 禁止 1: 許可					ボーレート選択 000: fsys 100: fsys/16 001: fsys/2 101: fsys/32 010: fsys/4 110: fsys/64 011: fsys/8 111: Reserved				
SPI CT	SPI control register	0822H	LOOPBACK	MSB1ST	DOSTAT		TCPOL	RCPOL	TDINV	RDINV	
			R/W				R/W				
		0	1	1		0	0	0	0		
		LOOPBACK テストモード 0: 禁止 1: 許可	送受信開始 BIT 0: LSB 1: MSB	非送信時の SPDO 端子状態設定 0: "0"固定 1: "1"固定		送信時の同期クロックエッジ設定 0: 立ち下がり 1: 立ち上がり	受信時の同期クロックエッジ設定 0: 立ち下がり 1: 立ち上がり	送信時のデータ反転 0: 禁止 1: 許可	受信時のデータ反転 0: 禁止 1: 許可		
SPI ST	SPI status register	0824H	CEN	SPCS_B	UNIT16			ALGNEN	RXWEN	RXUEN	
			R/W				R/W				
		0	1	0		0	0	0			
		通信端子制御 0: 禁止 1: 許可	SPCS 端子設定 0: "0"出力 1: "1"出力	データ長選択 0: 8bit 1: 16bit		全2重でのアライメント 0: 禁止 1: 許可	連続受信動作設定 0: 禁止 1: 許可	UNIT 受信動作設定 0: 禁止 1: 許可			
SPI CT	SPI control register	0823H	CRC16_7_B	CRCRX_TX_B	CRCRESET_B				DMAERFW	DMAERFR	
			R/W				R/W				
		0	0	0		0	0				
		CRC 選択 0: CRC7 1: CRC16	CRC データ 0: 送信 1: 受信	CRC 演算レジスタ制御 0: リセット解除 1: リセット			マイクロDMA 動作 0: 禁止 1: 許可	マイクロDMA 動作 0: 禁止 1: 許可			
SPI ST	SPI status register	0824H					TEND	REND	RFW	RFR	
			R								
		1	0	1	0						
		送信動作状態 0: 送信中 1: 非送信中	受信シフトレジスタ状態 0: データ無 1: データ有	送信バッファ状態 0: 未送信データ有 1: 未送信データ無	受信バッファ状態 0: 有効データ無 1: 有効データ有						
SPI CT	SPI control register	0825H									
			R/W								
		0	0	0		0	0				

(13) SPI コントローラ(2/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SPICR	SPI CRC register	0826H	CRCD7	CRCD6	CRCD5	CRCD4	CRCD3	CRCD2	CRCD1	CRCD0		
			R									
			0	0	0	0	0	0	0	0	0	
		CRC 演算結果格納レジスタ [7:0]										
		0827H	CRCD15	CRCD14	CRCD13	CRCD12	CRCD11	CRCD10	CRCD9	CRCD8		
			R									
0	0		0	0	0	0	0	0	0	0		
CRC 演算結果格納レジスタ [15:8]												
SPIIS	SPI interrupt status register	0828H	/				TENDIS	RENDIS	RFWIS	RFRIS		
			R/W									
			0	0	0	0						
		リード	リード	リード	リード							
		0:割込み無	0:割込み無	0:割込み無	0:割込み無							
		1:割込み有	1:割込み有	1:割込み有	1:割込み有							
ライト	ライト	ライト	ライト									
0:Don't care	0:Don't care	0:Don't care	0:Don't care									
1:クリア	1:クリア	1:クリア	1:クリア									
0829H	/											
	/											
	/											
SPIWE	SPI interrupt status write enable register	082AH	/				TENDWE	RENDWE	RFWWE	RFRWE		
			R									
			0	0	0	0						
		SPIIS	SPIIS	SPIIS	SPIIS							
		<TENDIS>	<RENDIS>	<RFWIS>	<RFRIS>							
		クリア	クリア	クリア	クリア							
0:禁止	0:禁止	0:禁止	0:禁止									
1:許可	1:許可	1:許可	1:許可									
082BH	/											
	/											
	/											

(13) SPI コントローラ(3/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
SPIIE	SPI interrupt enable register	082CH	/	/	/	/	TENDIE	RENDIE	RFWIE	RFRIE	
							R/W				
						0	0	0	0		
						TEND 割り込み 0: 禁止 1: 許可	REND 割り込み 0: 禁止 1: 許可	RFW 割り込み 0: 禁止 1: 許可	RFR 割り込み 0: 禁止 1: 許可		
SPIIR	SPI interrupt request register	082EH	/	/	/	/	TENDIR	RENDIR	RFWIR	RFRIR	
							R				
						0	0	0	0		
						TEND 割り込み 0: なし 1: 発生	REND 割り込み 0: なし 1: 発生	RFW 割り込み 0: なし 1: 発生	RFR 割り込み 0: なし 1: 発生		
SPITD	SPI transmission data register	0830H	TXD7	TXD6	TXD5	TXD4	TXD3	TXD2	TXD1	TXD0	
							R/W				
						0	0	0	0	0	0
		送信データレジスタ[7:0]									
0831H	TXD15	TXD14	TXD13	TXD12	TXD11	TXD10	TXD9	TXD8			
					R/W						
				0	0	0	0	0	0	0	
送信データレジスタ[15:8]											

Not for New

(13) SPI コントローラ(4/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
SPIRD	SPI receive register	0832H	RXD7	RXD6	RXD5	RXD4	RXD3	RXD2	RXD1	RXD0	
			R								
			0	0	0	0	0	0	0	0	
		受信データレジスタ[7:0]									
		0833H	RXD15	RXD14	RXD13	RXD12	RXD11	RXD10	RXD9	RXD8	
			R								
0	0		0	0	0	0	0	0			
受信データレジスタ[15:8]											
SPITS	SPI transmission data shift register	0834H	TSD7	TSD6	TSD5	TSD4	TSD3	TSD2	TSD1	TSD0	
			R								
			0	0	0	0	0	0	0	0	
		送信データシフトレジスタ[7:0]									
		0835H	TSD15	TSD14	TSD13	TSD12	TSD11	TSD10	TSD9	TSD8	
			R								
0	0		0	0	0	0	0	0			
送信データシフトレジスタ[15:8]											
SPIRS	SPI receive data register	0836H	RSD7	RSD6	RSD5	RSD4	RSD3	RSD2	RSD1	RSD0	
			R								
			0	0	0	0	0	0	0	0	
		0837H	RSD15	RSD14	RSD13	RSD12	RSD11	RSD10	RSD9	RSD8	
			R/W								
			0	0	0	0	0	0	0	0	

Not Recommended for New

(14) AD コンバータ

記号	名称	アドレス	7	6	5	4	3	2	1	0		
ADMOD0	AD mode control register 0	12B8H	EOCF	ADBF	-	-	ITM0	REPEAT	SCAN	ADS		
			R			R/W						
			0	0	0	0	0	0	0	0	0	
			AD変換終了フラグ 0: 変換中 1: 終了	AD変換BUSYフラグ 0: 変換停止 1: 変換中	"0"をライトしてください	"0"をライトしてください	チャンネル固定リピート変換モード時の割り込み 0: 1回ごと 1: 4回ごと	リピートモード 0: シングルモード 1: リピートモード	スキャンモード 0: チャンネル固定モード 1: チャンネルスキャンモード	AD変換開始 0: Don't care 1: 開始 *リードすると常に"0"になります。		
ADMOD1	AD mode control register 1	12B9H	VREFON	I2AD	-	-	-	-	ADCH1	ADCH0		
			R/W									
			0	0	0	0	0	0	0	0	0	
			VREF印加制御 0: OFF 1: ON	IDLE2 0: 停止 1: 動作	"0"をライトしてください	"0"をライトしてください	"0"をライトしてください	"0"をライトしてください	入力チャンネル 000: AN0 001: AN1 010: AN2 011: AN3			
ADMOD2	AD mode control register 1	12BAH	-	-	-	-	-	-	-	ADTRG		
			R/W									
			0	0	0	0	0	0	0	0	0	
			"0"をライトしてください	"0"をライトしてください	"0"をライトしてください	"0"をライトしてください	"0"をライトしてください	"0"をライトしてください	"0"をライトしてください	AD外部トリガ起動制御 0: ディセーブル 1: イネーブル		
ADREG0L	AD result register 0 low	12A0H	ADR01	ADR00						ADR0RF		
			R									
			不定									
ADREG0H	AD result register 0 high	12A1H	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02		
			R									
			不定									
ADREG1L	AD result register 1 low	12A2H	ADR11	ADR10						ADR1RF		
			R									
			不定									
ADREG1H	AD result register 1 high	12A3H	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12		
			R									
			不定									
ADREG2L	AD result register 2 low	12A4H	ADR21	ADR20						ADR2RF		
			R									
			不定									
ADREG2H	AD result register 2 high	12A5H	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22		
			R									
			不定									
ADREG3L	AD result register 3 low	12A6H	ADR31	ADR30						ADR3RF		
			R									
			不定									
ADREG3H	AD result register 3 high	12A7H	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32		
			R									
			不定									

(15) ウォッチドッグタイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0
WDMOD	WDT mode register	1300H	WDTE	WDTP1	WDTP0	/	-	I2WDT	RESCR	-
			R/W				R/W			
			1	0	0	0	0	0	0	
			WDT 制御 1: 許可	検出時間選択 00: $2^{15}/f_{IO}$ 01: $2^{17}/f_{IO}$ 10: $2^{19}/f_{IO}$ 11: $2^{21}/f_{IO}$			"0" をライトしてください	IDLE2 0: 停止 1: 動作	1: WDT 出力をリセットして端子に内部接続	"0" をライトしてください
WDCR	WDT control register	1301H (RMW 禁)	-							
			W							
			-							
			B1H: WDT 禁止コード				4E: WDT クリアコード			

Not Recommended for New Design

(16) RTC (Real-Time Clock)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
SECR	Second register	1320H		SE6	SE5	SE4	SE3	SE2	SE1	SE0	
				R/W							
				不定							
			"0"がリードされます	40秒	20秒	10秒	8秒	4秒	2秒	1秒	
MINR	Minute register	1321H		MI6	MI5	MI4	MI3	MI2	MI1	MI0	
				R/W							
				不定							
			"0"がリードされます	40分	20分	10分	8分	4分	2分	1分	
HOURL	Hour register	1322H			HO5	HO4	HO3	HO2	HO1	HO0	
				R/W							
				不定							
			"0"がリードされます	20時間 (PM/AM)	10時間	8時間	4時間	2時間	1時間		
DAYR	Day register	1323H						WE2	WE1	WE0	
				R/W							
				不定							
			"0"がリードされます					W2	W1	W0	
DATER	Date register	1324H			DA5	DA4	DA3	DA2	DA1	DA0	
				R/W							
				不定							
			"0"がリードされます	20日	10日	8日	4日	2日	1日		
MONTHR	Month register	1325H				MO4	MO3	MO2	MO1	MO0	
				R/W							
				不定							
		PAGE0	"0"がリードされます			10月	8月	4月	2月	1月	
		PAGE1	"0"がリードされます							0: 12時間表示 1: 24時間表示	
YEARR	Year register	1326H		YE7	YE6	YE5	YE4	YE3	YE2	YE1	YE0
				R/W							
				不定							
		PAGE0	80年	40年	20年	10年	8年	4年	2年	1年	
		PAGE1	"0"がリードされます							うるう年設定 00: うるう年 01: うるう年から1年後 10: うるう年から2年後 11: うるう年から3年後	
PAGER	Page register	1327H (RMW禁)	INTENA			ADJUST	ENATMR	ENAALM		PAGE	
			R/W			W		R/W		R/W	
			0			不定		不定		不定	
		INTRTC	"0"がリードされます		0: Don't care	タイムイネーブル	アラーム/イネーブル	"0"がリードされます		ページ設定	
		0: 禁止 1: 許可			1: 補正						
RESTR	Reset register	1328H (RMW禁)	DIS1HZ	DIS16HZ	RSTTMR	RSTALM	-	-	-	-	
			W								
			不定								
		1HZ	16HZ	1: 時計リセット	1: アラームリセット	"0"をライトしてください。					
		0: 許可 1: 禁止	0: 許可 1: 禁止								

(17) メロディ/アラームジェネレータ

記号	名称	アドレス	7	6	5	4	3	2	1	0	
ALM	Alarm-pattern register	1330H	AL8	AL7	AL6	AL5	AL4	AL3	AL2	AL1	
			R/W								
			0	0	0	0	0	0	0	0	
アラームパターン設定											
MELALMC	Melody/ alarm control register	1331H	FC1	FC0	ALMINV	-	-	-	-	MELALM	
			R/W								
			0	0	0	0	0	0	0	0	
			フリーランカウンタ制御 00: 保持 01: 再スタート 10: クリア 11: クリア & 開始	アラーム波形反転 1: 反転	"0" をライトしてください。					出力周波数 0: アラーム 1: メロディ	
MELFL	Melody frequency L-register	1332H	ML7	ML6	ML5	ML4	ML3	ML2	ML1	ML0	
			R/W								
			0	0	0	0	0	0	0	0	
メロディ周波数設定 (下位 8 ビット)											
MELFH	Melody frequency H-register	1333H	MELON					ML11	ML10	ML9	ML8
			R/W								
			0					0	0	0	0
			メロディカウンタ制御 0: 停止 & クリア 1: スタート	メロディ周波数設定 (上位 4 ビット)							
ALMINT	Alarm interrupt enable register	1334H				IALM4E	IALM3E	IALM2E	IALM1E	IALM0E	
			R/W								
					0	0	0	0	0	0	
					"0" をライトしてください	INTALM4-INTALM0 アラーム割り込み許可					

(18) NAND フラッシュコントローラ (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
ND0FDTR	NAND-flash data transfer register	1D00H	D7	D6	D5	D4	D3	D2	D1	D0		
			R/W									
			不定									
NAND フラッシュへのデータウインドウ												
ND0FMCRCR	NAND-flash mode control register	1CC4H	WE	ECC1	ECC0	CE	PCNT1	PCNT0	ALE	CLE		
			R/W									
			0	0	0	0	0	0	0	0	0	
			0: ライト禁止 1: ライト許可	11(<CE>=X):リセット 00(<CE>=1):禁止 01(<CE>=1):許可 10(<CE>=1):NDFC で計算された ECC のリード 10(<CE>=0):ID データのリード	0: ディセーブル ($\overline{\text{NDCE}}$ = high) 1: イネーブル ($\overline{\text{NDCE}}$ = low)	"11"をライトしてください	0:Low 1:High	0:Low 1:High				
ND0FSR	NAND-flash status register	1CC8H	BUSY									
			R									
			不定									
			0: Ready 1: Busy									
ND0FISR	NAND-flash interrupt status register	1CCCH								RDY		
										R/W		
											0	
											リード: 1:BUSY から READY に変更 ライト: 1:0に クリア	
ND0FIMR	NAND-flash interrupt mask register	1CD0H	INTEN							MRDY		
			R/W							R/W		
			0							0		
			0: ディセーブル 1: イネーブル							RDY 用 マスク		
ND0FSPR	NAND-flash strobe pulse width register	1CD4H					SPW3	SPW2	SPW1	SPW0		
							R/W					
							0	0	0	0		
							NDRE、NDWE 用パルス幅 = $f_{\text{SYS}} \times (\text{設定値} + 1)$					
ND0FRSTR	NAND-flash reset register	1CD8H								RST		
										R/W		
										0		
										リセット コントローラ		
NDCR	NAND-flash control register	01C0H	CHSEL									
			R/W									
			0									
			チャンネル 選択 0: チャンネル 0 1: チャンネル 1									
ND0ECCRD	NAND-flash ECC code register	1CB0H	D7	D6	D5	D4	D3	D2	D1	D0		
			R									
			Read ECC コードへのデータウインドウ									

(18) NAND フラッシュコントローラ (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
ND1FDTR	NAND-flash data transfer register	1D00H	D7	D6	D5	D4	D3	D2	D1	D0		
			R/W									
			不定									
Read/Write NAND フラッシュへのデータウィンドウ												
ND1FMCR	NAND-flash mode control register	1CE4H	WE	ECC1	ECC0	CE	PCNT1	PCNT0	ALE	CLE		
			R/W									
			0	0	0	0	0	0	0	0		
			0: ライト禁止 1: ライト許可	11(<CE>=X):リセット 00(<CE>=1):禁止 01(<CE>=1):許可 10(<CE>=1):NDFC で計算された ECC のリード 10(<CE>=0):ID データのリード	0: ディセーブル (NDCE = high) 1: イネーブル (NDCE = low)	"11"をライトしてください	0:Low 1:High	0:Low 1:High				
ND1FSR	NAND-flash status register	1CE8H	BUSY									
			R									
			不定									
			0: Ready 1: Busy									
ND1FISR	NAND-flash interrupt status register	1CECH								RDY		
										R/W		
											0	
											リード: 1:BUSY から READY に変更 ライト: 1:0に クリア	
ND1FIMR	NAND-flash interrupt mask register	1CF0H	INTEN							MRDY		
			R/W							R/W		
			0								0	
			0: ディセーブル 1: イネーブル								RDY 用 マスク	
ND1FSPR	NAND-flash strobe pulse width register	1CF4H					SPW3	SPW2	SPW1	SPW0		
			R/W									
							0	0	0	0		
			NDRE、NDWE 用パルス幅 = f _{sys} × (設定値+1)									
ND1FRSTR	NAND-flash reset register	1CF8H								RST		
										R/W		
											0	
											リセット コントローラ	
ND1ECCRD	NAND-flash ECC code register	1CB0H	D7	D6	D5	D4	D3	D2	D1	D0		
			R									
			Read ECC コードへのデータウィンドウ									

(19) I²S

記号	名称	アドレス	7	6	5	4	3	2	1	0	
I2SBUFR	I2S FIFO buffer (R)	0800H (RMW 禁)	R15/R7	R14/R6	R13/R5	R12/R4	R11/R3	R10/R2	R9/R1	R8/R0	
			W								
			不定								
			送信バッファ用レジスタ (FIFO) (右チャネル)								
I2SBUFL	I2S FIFO buffer (L)	0808H (RMW 禁)	L15/L7	L14/L6	L13/L5	L12/L4	L11/L3	L10/L2	L9/L1	L8/L0	
			W								
			不定								
			送信バッファ用レジスタ (FIFO) (左チャネル)								
I2SCTL0	I2S control register0	080EH	TXE	FMT	BUSY	DIR	BIT	MCK1	MCK0	I2SWCK	
			R/W		R	R/W					
			0	0	0	0	0	0	0	0	
		送信 0: 停止 1: 開始	モード 0: I ² S 1: SIO	ステータ ス 0: 停止 1: 送信中	最初の ビット 0: MSB 1: LSB	ビット数 0: 8 ビッ ト 1: 16 ビッ ト	ボーレート 00: fsys 10: fsys/4 01: fsys/2 11: fsys/8		WS クロック 0: fs/4 1: TA1OUT		
		I2SWLVL	EDGE	I2SFSEL	I2SCKE					SYSCKE	
		R/W									R/W
080FH	WS レベル 0: Low 左 エッジ 1: High 左 エッジ	クロック エッジ 0: 立ち 下がり 1: 立ち 上がり	ステレオ 選択 0: ステレオ (2チャネル) 1: モノラル (1チャネル)	クロック 許可 (送信後) 0: 動作 1: 停止					システム クロック 0: ディセー ブル 1: イネー ブル		

6. 使用上の注意、制限事項

(1) 特別な表記、言葉の説明

a. 内蔵 I/O レジスタの説明: レジスタシンボル<ビットシンボル>

例) TA01RUN<TA0RUN>: レジスタ TA01RUN のビット TA0RUN を示します。

b. リードモディファイライト命令 (RMW)

CPU が、1 つの命令でメモリに対してデータをリードした後に、そのデータを操作し同じメモリアドレスにデータをライトする命令。

例 1: SET 3, (TA01RUN) ... TA01RUN レジスタのビット 3 をセットする

例 2: INC 1, (100H) ... アドレス 100H のデータを+1 する

• TLCS-900 におけるリードモディファイライト命令

交換命令

EX (mem), R

算術命令

ADD (mem), R/#	ADC (mem), R/#
SUB (mem), R/#	SBC (mem), R/#
INC #3, (mem)	DEC #3, (mem)

論理演算

AND (mem), R/#	OR (mem), R/#
XOR (mem), R/#	

ビット操作

STCF #3/A, (mem)	RES #3, (mem)
SET #3, (mem)	CHG #3, (mem)
TSET #3, (mem)	

ローテート、シフト

RLC (mem)	RRC (mem)
RL (mem)	RR (mem)
SLA (mem)	SRA (mem)
SLL (mem)	SRL (mem)
RLD (mem)	RRD (mem)

c. fOSCH, fc, fFPH, fSYS, fIO および 1 ステート

X1, X2 端子より入力されるクロック周波数を fOSCH、PLLCR0<FCSEL> レジスタにより選択されるクロック周波数を fc と呼びます。

また、SYSCR1<SYSCK> レジスタにより選択されるクロック周波数を fFPH、fFPH を 2 分周して得られたクロック周波数をシステムクロック fSYS、fSYS を 2 分周して得られたクロック周波数を fIO と呼びます。

この fSYS の 1 周期を 1 ステートと呼びます。

(2) 使用上の注意、制限事項

a. AM0 と AM1 端子

これらの端子は、VCC (電源レベル) または VSS (グラウンドレベル) に接続します。動作中は接続されている電位を変更しないでください。

b. アドレス空間の予約領域

FFFFFF0H~FFFFFFFH の 16 バイト空間は内部エリアとして予約されているため使用できません。また、エミュレータを使用する場合、16M バイト空間の任意の 64K バイトは、エミュレータの制御のために使用されるため、その空間を使用することができません。

c. スタンバイモード (IDLE1)

IDLE1 モード(発振回路のみ操作)に設定し、HALT 命令を実行した場合、内蔵の RTC、メモリアラームジェネレータ(MLD)は動作イネーブル状態です。必要に応じて止めてください。

d. ウォームアップカウンタ

外部発振器を用いるシステムでも、STOP モードが解除されるとウォームアップカウンタは動作を始めます。結果として、解除要求入力からシステムクロックが出力されるまでの間にはウォームアップ時間と同じだけの時間が掛かります。

e. ウォッチドッグタイマ

リセット後、ウォッチドッグタイマは動作状態となっていますので、ウォッチドッグタイマを使用しない場合は動作禁止に設定してください。

f. AD コンバータ

VREFH~VREFL 端子間のラダー抵抗をプログラマブルに接続、切り離しする機能がありますので、STOP モードなどで消費電力を下げる場合は、HALT 命令を実行する前にプログラムで切り離してください。

g. CPU (マイクロ DMA)

LDC cr, r 命令、および LDC r, cr 命令だけが CPU 内の制御レジスタとのアクセスに利用できます。(例えば、DMASn レジスタなど)

h. 未定義 SFR ビット

SFR (Special function register) の未定義ビットの値は、読み出すと不定値が出力されます。

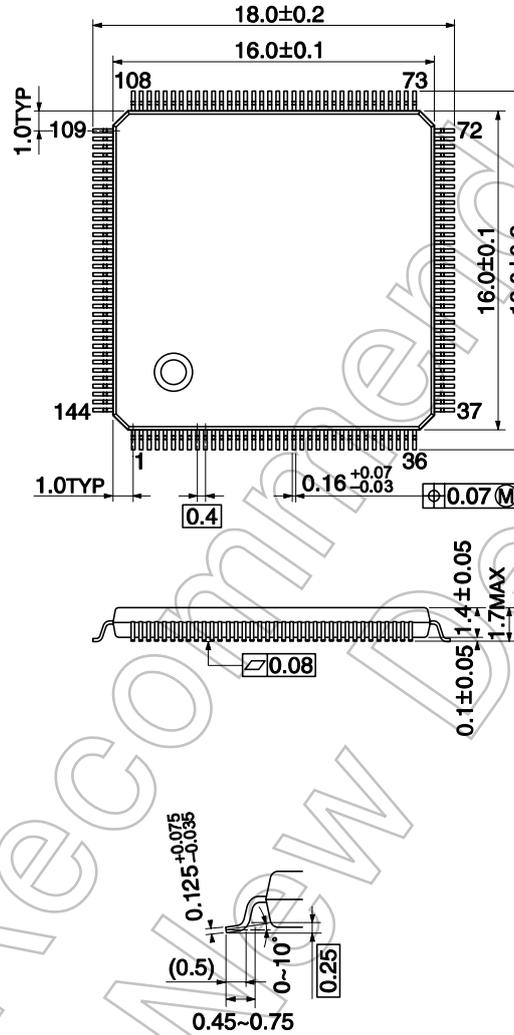
i. 「POP SR」命令

「POP SR」命令の実行は、DI (割り込み不許可) 状態で行ってください。

7. 外形寸法図

Package Name: P-LQFP144-1616-0.40C

単位:mm



注: パラジウムめっき仕様