

**TOSHIBA**

32ビットTX System RISC  
TX19ファミリー

TMP19A44FDXBG  
TMP19A44FEXBG  
TMP19A44F10XBG

株式会社 **東芝**

セミコンダクター & ストレージ社

## 目次 TMP19A44 製品別マニュアル

<b>1.</b>	<b>概要と特長</b>	<b>1-1</b>
<b>2.</b>	<b>ピン配置とピン機能</b>	<b>2-1</b>
2.1	ピン配置図 (Top view)	2-1
2.2	ピン番号とピン名称との関係	2-2
2.3	ピン名称と機能	2-3
2.4	ピン名称と電源名称	2-11
2.5	電源名称とピン番号	2-11
<b>3.</b>	<b>プロセッサコア</b>	<b>3-1</b>
3.1	リセット動作	3-1
3.1.1	リセット入力前状態	3-1
3.1.2	リセット期間	3-2
3.1.3	リセット解除後	3-3
<b>4.</b>	<b>メモリマップ</b>	<b>4-1</b>
4.1	メモリマップ	4-1
4.1.1	TMP19A44F10XBG	4-1
4.1.2	TMP19A44FEXBG	4-2
4.1.3	TMP19A44FDXBG	4-3
4.2	内蔵 RAM	4-3
<b>5.</b>	<b>クロック/スタンバイ制御 (クロックジェネレータ : CG)</b>	<b>5-1</b>
5.1	クロック系統ブロック図	5-3
5.1.1	メイン・システム・クロック	5-3
5.2	クロックギア	5-3
5.3	CG 関連レジスタ	5-5
5.3.1	システムコントロールレジスタ	5-5
5.3.2	発振器コントロールレジスタ	5-6
5.3.3	スタンバイコントロールレジスタ	5-7
5.3.4	PLL セレクトレジスタ	5-8
5.3.5	システムクロックセレクトレジスタ	5-9
5.3.6	リセットフラグレジスタ	5-10
5.4	システムクロック制御部	5-11
5.4.1	リセット動作による初期値	5-11
5.4.2	発振安定時間 (NORMAL → SLOW モードの切り替え)	5-11
5.4.3	システムクロックの端子出力機能	5-12
5.4.4	発振器のドライブ能力低減	5-13
5.5	プリスケールクロック制御部	5-13
5.6	スクロック逡倍回路 (PLL)	5-13
5.7	スタンバイ制御部	5-14
5.7.1	スタンバイモード	5-14
5.7.2	各モードでの CG の動作	5-15
5.7.3	各モードにおけるブロックの動作	5-15
5.7.4	スタンバイ状態からの解除	5-16
5.7.5	STOP モード	5-18
5.7.6	STOP/SLEEP モードからの復帰	5-19

<b>6.</b>	<b>例外/割り込み</b>	<b>6-1</b>
6.1	概要	6-1
6.1.1	例外と割り込み	6-2
6.1.2	種類	6-3
6.1.3	処理の流れ	6-4
6.2	リセット例外／ノンマスカブル割り込み (NMI)	6-12
6.2.1	要因	6-12
6.2.2	処理詳細	6-13
6.3	一般例外	6-15
6.3.1	要因	6-15
6.3.2	処理詳細	6-16
6.4	ソフトウェア割り込み	6-18
6.4.1	要因	6-18
6.4.2	処理詳細	6-20
6.5	ハードウェア割り込み	6-22
6.5.1	要因	6-23
6.5.2	処理詳細	6-29
6.6	例外/割り込み関連レジスタ	6-45
6.6.1	レジスター一覧	6-45
6.6.2	CPO レジスタ	6-47
6.6.3	クロックジェネレータレジスタ	6-57
6.6.4	割り込みコントローラレジスタ	6-68
<b>7</b>	<b>入出力ポート</b>	<b>7-1</b>
7.1	ポート 0 (P00~P07)	7-2
7.2	ポート 1 (P10~P17)	7-4
7.3	ポート 2 (P20~P27)	7-6
7.4	ポート 3 (P30~P37)	7-9
7.5	ポート 4 (P40~P47)	7-14
7.6	ポート 5 (P50~P57)	7-19
7.7	ポート 6 (P60~P67)	7-24
7.8	ポート 7 (P70~P77)	7-31
7.9	ポート 8 (P80~P87)	7-34
7.10	ポート 9 (P90~P97)	7-37
7.11	ポート A (PA0~PA7)	7-42
7.12	ポート B (PB0~PB7)	7-46
7.13	ポート C (PC0~PC7)	7-52
7.14	ポート D (PD0~PD7)	7-58
7.15	ポート E (PE0~PE7)	7-65
7.16	ポート F (PF0~PF7)	7-67
7.17	ポート G (PG0~PG7)	7-70
7.18	ポート H (PH0~PH7)	7-72
7.19	ポート I (PI0~PI7)	7-75
7.20	ポート J (PJ0~PJ7)	7-79

<b>8.</b>	<b>外部バスインタフェース</b>	<b>8-1</b>
8.1	アドレス、データ端子	8-2
8.2	データ・フォーマット	8-3
8.3	外部バスオペレーション (セパレートバスモード)	8-9
8.4	外部バスオペレーション (マルチプレクスバスモード)	8-17
8.5	バスアービトラーション	8-24
<b>9.</b>	<b>チップセレクト/ウェイトコントローラ</b>	<b>9-1</b>
9.1	アドレス空間指定	9-2
9.1.1	ベース/マスクアドレス設定レジスタ	9-2
9.1.2	スタートアドレス、アドレス空間の設定方法	9-5
9.2	チップセレクト/ウェイトコントローラ	9-7
9.3	バスコントロールレジスタ	9-10
<b>10.</b>	<b>DMA コントローラ (DMAC)</b>	<b>10-1</b>
10.1	特長	10-1
10.2	構成	10-2
10.2.1	TMP19A44 内部接続	10-2
10.2.2	DMAC 内部ブロック	10-3
10.2.3	スヌープ機能	10-3
10.3	レジスタ	10-4
10.3.1	DMA 制御レジスタ (DCR)	10-6
10.3.2	チャネル制御レジスタ (CCRn)	10-8
10.3.3	リクエスト選択レジスタ (RSR)	10-11
10.3.4	チャネルステータスレジスタ (CSRn)	10-12
10.3.5	ソースアドレスレジスタ (SARn)	10-14
10.3.6	デスティネーションアドレスレジスタ (DARn)	10-15
10.3.7	バイトカウントレジスタ (BCRn)	10-16
10.3.8	DMA 転送制御レジスタ (DTCRn)	10-17
10.3.9	データホールディングレジスタ (DHR)	10-18
10.4	動作	10-19
10.4.1	詳細	10-19
10.4.2	転送要求	10-22
10.4.3	アドレスモード	10-25
10.4.4	チャネル動作	10-26
10.4.5	チャネルの優先順位	10-27
10.5	タイミング図	10-28
10.5.1	デュアルアドレスモード	10-28
10.5.2	DREQn による転送モード	10-30
10.6	設定例：シリアル受信データ (SCnBUF) を内蔵 RAM に DMA 転送する例	10-34
10.7	DMAC 転送要求クリアレジスタ (DREQFLG)	10-35
<b>11.</b>	<b>16 ビットタイマ/イベントカウンタ (TMRB)</b>	<b>11-1</b>
11.1	チャネル別のブロック図	11-3
11.2	レジスタ一覧	11-4
11.2.1	チャネル別レジスタ一覧	11-4

11.3	回路別の動作説明	11-6
11.3.1	プリスケーラ	11-6
11.3.2	アップカウンタ (UC0), タイマアップカウンタレジスタ (TBOUC)	11-9
11.3.3	タイマレジスタ (TBORG0, TBORG1)	11-9
11.3.4	キャプチャレジスタ (TBOCP0, TBOCP1)	11-10
11.3.5	キャプチャ	11-10
11.3.6	コンパレータ (CP0, CP1)	11-10
11.3.7	タイマフリップフロップ (TBOFF0)	11-10
11.4	レジスタ説明	11-11
11.5	モード別動作説明	11-19
11.5.1	16ビットインタバルタイマモード	11-19
11.5.2	16ビットイベントカウンタモード	11-19
11.5.3	16ビットPPG (プログラマブル矩形波) 出力モード	11-20
11.5.4	タイマ同期モード	11-22
11.6	キャプチャ機能を利用した応用例	11-23
<b>12.</b>	<b>32ビットインプットキャプチャ (TMRC)</b>	<b>12-1</b>
12.1	TMRCのブロック図	12-1
12.2	回路別の動作説明	12-2
12.2.1	プリスケーラ	12-2
12.2.2	ノイズ除去回路	12-6
12.2.3	32ビットタイムベースタイマ (TBT)	12-6
12.2.4	エッジ検出回路	12-6
12.2.5	32ビットキャプチャレジスタ	12-7
12.2.6	32ビットコンペアレジスタ	12-7
12.3	レジスタ説明	12-8
<b>13.</b>	<b>2相パルス入力カウンタ (PHCNT)</b>	<b>13-1</b>
13.1	機能概要	13-1
13.2	ブロック図 (PHCNT0)	13-3
13.3	動作モード	13-4
13.4	レジスタ詳細	13-6
13.4.1	PHCNT RUN レジスタ (n=0~5)	13-6
13.4.2	PHCNT コントロールレジスタ (n=0~5)	13-7
13.4.3	PHCNT ライトイネーブルレジスタ (n=0~5)	13-8
13.4.4	PHCNT ステータスレジスタ (n=0~5)	13-9
13.4.5	PHCNT コンペアレジスタ 0 (n=0~5)	13-10
13.4.6	PHCNT コンペアレジスタ 1 (n=0~5)	13-10
13.4.7	PHCNT カウンタリードレジスタ (n=0~5)	13-11
13.5	アップダウンカウンタ	13-12
13.6	割り込み	13-12
<b>14</b>	<b>シリアルチャネル (SIO)</b>	<b>14-1</b>
14.1	特長	14-1
14.1.1	動作モード	14-1
14.1.2	データフォーマット	14-2

14.2	構成	14-3
14.2.1	ボーレート	14-4
14.2.2	シリアルクロック生成回路	14-8
14.2.3	受信カウンタ	14-8
14.2.4	受信制御部	14-8
14.2.5	受信バッファ	14-8
14.2.6	受信 FIFO バッファ	14-10
14.2.7	受信 FIFO の動作	14-10
14.2.8	送信カウンタ	14-12
14.2.9	送信制御部	14-12
14.2.10	送信バッファ	14-14
14.2.11	送信 FIFO バッファ	14-15
14.2.12	送信 FIFO の動作	14-15
14.2.13	パリティ制御回路	14-17
14.2.14	エラーフラグ	14-17
14.2.15	データ転送方向	14-18
14.2.16	STOP ビットの長さ	14-18
14.2.17	ステータスフラグ	14-18
14.2.18	送受信バッファの構成	14-19
14.2.19	ソフトリセット	14-19
14.2.20	各信号発生タイミング	14-20
14.3	レジスタ説明	14-21
14.3.1	チャンネル別レジスタ一覧	14-21
14.3.2	レジスタ詳細	14-22
14.4	回路別の動作説明	14-35
14.4.1	プリスケーラ	14-35
14.4.2	シリアルクロック生成ブロック	14-38
<b>15</b>	<b>シリアル チャンネル (HSIO)</b>	<b>15-1</b>
15.1	特長	15-1
15.1.1	動作モード	15-1
15.1.2	データフォーマット	15-2
15.2	構成	15-3
15.3	レジスタ説明	15-4
15.3.1	チャンネル別レジスタ一覧	15-4
15.4	回路別の動作説明	15-5
15.4.1	ボーレート	15-5
15.4.2	高速シリアルクロック生成回路	15-7
15.4.3	受信カウンタ	15-7
15.4.4	受信制御部	15-7
15.4.5	受信バッファ	15-7
15.4.6	受信 FIFO バッファ	15-9
15.4.7	受信 FIFO の動作	15-9
15.4.8	送信カウンタ	15-11
15.4.9	送信制御部	15-11
15.4.10	送信バッファ	15-13
15.4.11	送信 FIFO バッファ	15-14
15.4.12	送信 FIFO の動作	15-14
15.4.13	パリティ制御回路	15-16
15.4.14	エラーフラグ	15-16
15.4.15	データ転送方向	15-18

15.4.16	STOP ビットの長さ	15-18
15.4.17	ステータスフラグ	15-18
15.4.18	送受信バッファの構成	15-18
15.4.19	ソフトリセット	15-18
15.4.20	各信号発生タイミング	15-19
15.5	レジスタ詳細回路別の動作説明	15-30
15.5.1	イネーブルレジスタ	15-20
15.5.2	バッファレジスタ	15-20
15.5.3	コントロールレジスタ	15-21
15.5.4	モードコントロールレジスタ 0	15-22
15.5.5	モードコントロールレジスタ 1	15-23
15.5.6	モードコントロールレジスタ 2	15-24
15.5.7	ポーレートジェネレータコントロールレジスタ	15-25
15.5.8	FIFO コンフィグレジスタ	15-26
15.5.9	受信 FIFO コンフィグレジスタ	15-27
15.5.10	送信 FIFO コンフィグレジスタ	15-28
15.5.11	受信 FIFO ステータスレジスタ	15-29
15.5.12	送信 FIFO ステータスレジスタ	15-29
15.6	モード別動作説明	15-30
<b>16.</b>	<b>シリアルバスインタフェース (SBI)</b>	<b>16-1</b>
16.1	構成	16-1
16.2	制御	16-2
16.3	I2C バスモード時のデータフォーマット	16-2
16.4	I2C バスモード時のコントロールレジスタ	16-3
16.5	I2C バスモード時の制御	16-10
16.5.1	アクノリッジメントモードの指定	16-10
16.5.2	転送ビット数の選択	16-10
16.5.3	シリアルクロック	16-10
16.5.4	スレーブアドレスとアドレス認識モードの設定	16-11
16.5.5	マスタ/スレーブの選択	16-11
16.5.6	トランスミッタ/レシーバの選択	16-12
16.5.7	スタート/ストップコンディションの発生	16-12
16.5.8	割り込みサービス要求と解除	16-13
16.5.9	シリアルバスインタフェースの動作モード	16-13
16.5.10	アービトラージョンロスト検出モニタ	16-13
16.5.11	スレーブアドレス一致検出モニタ	16-14
16.5.12	ゼネラルコール検出モニタ	16-14
16.5.13	最終受信ビットモニタ	16-14
16.5.14	ソフトウエアリセット	16-15
16.5.15	シリアルバスインタフェースデータバッファレジスタ (SBIDBR)	16-15
16.5.16	I2CBUS アドレスレジスタ (I2CAR)	16-15
16.5.17	IDLE 設定レジスタ (SBIBRO)	16-15
16.6	I2C バスモード時のデータ転送手順	16-16
16.6.1	デバイスの初期化	16-16
16.6.2	スタートコンディション、スレーブアドレスの発生	16-16
16.6.3	1ワードのデータ転送	16-17
16.6.4	ストップコンディションの発生	16-22
16.6.5	再スタートの手順	16-23

16.7	クロック同期式 8 ビット SIO モード時の制御	16-24
16.7.1	シリアルクロック	16-28
16.7.2	転送モード	16-30
<b>17.</b>	<b>アナログ/デジタルコンバータ</b>	<b>17-1</b>
17.1	コントロールレジスタ	17-2
17.1.1	ユニット A, ユニット B	17-2
17.1.2	ユニット C	17-5
17.2	変換クロック	17-14
17.3	動作説明	17-15
17.3.1	アナログ基準電圧	17-15
17.3.2	アナログ入力チャネルの選択	17-15
17.3.3	A/D 変換開始	17-16
17.3.4	A/D 変換モードと A/D 変換終了割り込み	17-19
17.3.5	最優先変換モード	17-22
17.3.6	AD 監視機能	17-22
17.3.7	A/D 変換結果の格納と読み出し	17-22
17.3.8	データポーリング	17-23
<b>18.</b>	<b>ウォッチドッグタイマ (暴走検出用タイマ)</b>	<b>18-1</b>
18.1	構成	18-1
18.2	レジスタ一覧	18-2
18.2.1	ウォッチドッグタイマ モードレジスタ (WDMOD)	18-2
18.2.2	ウォッチドッグタイマ コントロールレジスタ (WDCR)	18-3
18.3	動作説明	18-3
18.4	ウォッチドッグタイマ割り込み	18-4
18.5	コントロールレジスタ	18-5
18.5.1	ウォッチドッグタイマ モードレジスタ (WDMOD)	18-5
18.5.2	ウォッチドッグタイマ コントロールレジスタ (WDCR)	18-5
<b>19.</b>	<b>時計用タイマ</b>	<b>19-1</b>
19.1	RTC の機能概略	19-1
19.2	ブロック図	19-1
19.3	レジスタ	19-2
19.3.1	コントロールレジスタ	19-2
19.3.2	コントロールレジスタの説明	19-3
19.4	動作説明	19-10
19.4.1	時計動作	19-10
19.4.2	アラーム動作	19-13
<b>20.</b>	<b>KEY ON Wake up 回路</b>	<b>20-1</b>
20.1	概要	20-1
20.2	KEY ON WAKE UP 動作	20-2
20.3	プルアップ機能	20-3
20.4	KEY 入力の検出と検出タイミング	20-4
20.5	KEY 入力割り込みの検出と要求のクリア	20-8
20.6	設定例	20-10

<b>21.</b>	<b>ROM correction 機能</b>	<b>21-1</b>
21.1	特長	21-1
21.2	動作	21-1
21.3	レジスタ	21-4
<b>22.</b>	<b>特殊機能レジスタ一覧表</b>	<b>22-1</b>
	リトルエンディアン	22-2
	ビッグエンディアン	22-12
<b>23.</b>	<b>JTAG インタフェース</b>	<b>23-1</b>
23.1	バウンダリスキャンの概要	23-1
23.2	信号の要約	23-2
23.3	JTAG コントローラとレジスタ	23-3
23.3.1	命令レジスタ	23-3
23.3.2	バイパスレジスタ	23-4
23.3.3	バウンダリスキャンレジスタ	23-5
23.3.4	テストアクセスポート (TAP)	23-5
23.3.5	TAP コントローラ	23-6
23.3.6	コントローラのリセット	23-6
23.3.7	コントローラの状態	23-7
23.4	JTAG コントローラセルでサポートしている命令	23-11
23.4.1	EXTEST 命令	23-11
23.4.2	SAMPLE/PRELOAD 命令	23-12
23.4.3	BYPASS 命令	23-13
23.5	注意事項	23-13
<b>24.</b>	<b>Flash 動作説明</b>	<b>24-1</b>
24.1	フラッシュメモリ	24-1
24.1.1	特長	24-2
24.1.2	フラッシュ部ブロック図	24-2
24.2	動作モード	24-3
24.2.1	リセット動作	24-4
24.2.2	ユーザーブートモード (シングルチップモード)	24-5
24.2.3	シングルブートモード	24-12
24.3	オンボードプログラミングでのフラッシュメモリ書き込み/消去	24-30
24.3.1	フラッシュメモリ	24-30
<b>25.</b>	<b>各種プロテクト機能</b>	<b>25-1</b>
25.1	概要	25-1
25.2	特長	25-1
25.3	プロテクト機構	25-1
25.4	動作/用語の定義	25-5
25.5	レジスタ	25-6

<b>26.</b>	<b>バックアップモード</b>	<b>26-1</b>
26.1	特長	26-1
26.2	バックアップモード概要	26-1
26.3	バックアップモード中の動作について	26-1
26.4	ブロック概略図	26-1
26.5	レジスタ	26-2
26.5.1	スタンバイコントロールレジスタ	26-2
26.5.2	リセットフラグレジスタ	26-3
26.6	バックアップモード復帰回路	26-5
26.7	状態遷移フロー	26-6
<b>27.</b>	<b>電気的特性</b>	<b>27-1</b>
27.1	最大定格	27-1
27.2	DC 電気的特性 (1/3)	27-2
27.3	DC 電気的特性 (2/3)	27-3
27.4	DC 電気的特性 (3/3)	27-3
27.5	10 ビット A/D 変換特性	27-5
27.6	AC 電気的特性	27-6
27.6.1	マルチプレクスバスモード	27-6
27.6.2	セパレートバスモード	27-13
27.7	DMA リクエストを使用した転送	27-22
27.8	シリアルチャネルタイミング	27-23
27.9	高速シリアルチャネルタイミング	27-24
27.10	シリアルバスインタフェースタイミング	27-26
27.11	イベントカウンタ	27-28
27.12	キャプチャ	27-28
27.13	割り込み (INTC)	27-28
27.14	割り込み (STOP/SLEEP/SLOW 解除割り込み)	27-28
27.15	SCOUT 端子 AC 特性	27-28
27.16	バスリクエスト/バスアクノリッジ	27-29
27.17	KWUP 入力	27-30
27.18	2 相パルス入力	27-30
27.19	ADTRG 入力	27-30
27.20	EJTAG	27-31
27.21	発振回路	27-32
<b>28.</b>	<b>PKG</b>	<b>28-1</b>

## 32 ビット RISC マイクロプロセッサ TX19 ファミリー TMP19A44F10/FE/FDAXBG

### 1. 概要と特長

TMP19A44 に搭載されている TX19A/H1 プロセッサコアは、米国 MIPS グループの高性能な 32 ビットの命令セットである MIPS32ISA と高コード効率の命令セットである MIPS16eISA に当社で命令を追加した拡張命令セットの MIPS16e-TX™ASE (Application Specific Extension) を追加して、当社で独自開発した高性能な 32 ビット RISC プロセッサファミリーです。

TMP19A44 は、TX19A/H1 プロセッサコアをベースに各種周辺機能を内蔵した低電圧/低消費電力動作が可能な 32 ビット RISC マイクロプロセッサです。

TMP19A44 の特長は次の通りです。

(1) TX19A/H1 プロセッサコア (詳細は別冊の TX19A/H1 コアアーキテクチャを参照してください)

①16 ビットと 32 ビットの 2 つの ISA (Instruction Set Architecture) モードで、コード効率と演算性能の向上を実現

- 16 ビット ISA モードの命令は、コード効率の優れた MIPS16™ASE とオブジェクトレベルで互換
- 32 ビット ISA モードの命令は、演算性能の優れた TX39 とオブジェクトレベルで互換

②高性能化と低消費電力化を同時に実現

●高性能化

- SAVE/RESTORE/ジャンプ・分岐命令を除き 1 クロックで実行
- 3 オペランドの演算命令により高性能を実現
- 3 段パイプライン
- 高速メモリを内蔵
- DSP 機能: 32 ビット積和演算 ( $32 \times 32 + 64 = 64$  ビット) を 1 クロックで実行
- 浮動小数点 (FPU) 搭載

●低消費電力化

- 低消費電力ライブラリを使用した最適化設計
- プロセッサコアの動作を停止させるスタンバイ機能

③リアルタイム制御に向けた高速割り込み応答

- エントリーアドレスを独立化
- 要因別のベクタアドレスを自動生成
- 割り込みマスクレベルを自動更新

## (2) 内蔵プログラムメモリ/データメモリ

製品名	内蔵 Flash ROM	Work RAM
		BackupRam
TMP19A44F10XBG	1024Kbyte	48Kbyte
		16Kbyte
TMP19A44FEXBG	768Kbyte	48Kbyte
		16Kbyte
TMP19A44FDAXBG	512Kbyte	24Kbyte
		8kbyte

- ROM コレクション機能 : 8word×12 block

## (3) 外部メモリ拡張

- 16M バイト(プログラム/データ共通)まで拡張可能
- 外部データバス :
  - セパレートバス/マルチプレクスバス : 8/16 ビット幅共存可能
  - チップセレクト/ウェイトコントローラ : 4 チャンネル

## (4) DMA コントローラ

- : 8 チャンネル(8 割り込み要因)
- 割り込みもしくはソフトウェアにて起動
- 転送対象は内蔵メモリ、内蔵 I/O、外部メモリ及び外部 I/O

## (5) 16 ビットタイマ

- : 18 チャンネル
- 16 ビットインターバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビット PPG 出力
- インプットキャプチャモード

## (6) 2 相パルス入力カウンタ

- : 6 チャンネル
- 割り込み機能(4 通倍/毎回/コンペア) STOP モード時(非同期)カウント

## (7) 32 ビットタイマ

- 32 ビットインプットキャプチャレジスタ : 4 チャンネル
- 32 ビットコンペアレジスタ : 8 チャンネル
- 32 ビットタイムベースタイマ : 1 チャンネル

## (8) リアルタイムクロック (RTC)

- : 1 チャンネル
- 時計機能(時間、分、秒)
- カレンダー機能(月日、週、うるう年)
- +/-30 秒補正機能(ソフトウェアによる補正)
- アラーム機能(アラーム出力)
- アラーム割り込み発生

## (9) ウォッチドックタイマ

- : 1 チャンネル
- バイナリカウンタ(26 段)

- (10) 汎用シリアル・インタフェース : 3チャンネル
- UART/同期式モード選択可能 (4byte FIFO 内蔵)
- (11) 高速シリアル・インタフェース : 3チャンネル
- UART/高速同期式モード (32byte FIFO 内蔵)
- (12) シリアルバスインタフェース : 1チャンネル
- I<sup>2</sup>Cバスモード/クロック同期式モード選択可能
- (13) 10ビット A/D コンバータ (S/H有) : 16チャンネル
- 外部トリガスタート可能、内部タイマトリガ起動
  - チャンネル固定/スキャンモード
  - シングル/リピートモード
  - 最優先変換モード
  - AD 監視機能 6ch(ユニット毎 2ch)
  - 変換時間 1.15  $\mu$  sec (fsys=40/80MHz)
  - 3UNIT 4ch, 4ch, 8ch
  - 2UNIT 外部トリガ同時スタート機能
- (14) キーオンウエイクアップ : 32ch
- ダイナミックプルアップ付
- (15) 割り込み機能
- CPU 2本 …… ソフトウェア割り込み命令
  - 内部 68本 …… 7レベルの優先順位設定可能  
(ウォッチドッグタイマ割り込みを除く)
  - 外部 64本 …… 7レベルの優先順位設定可能  
32本は KWUP であり、割り込み要因としては1本
- (16) 入出力ポート …… 160端子
- (17) スタンバイ機能
- 5種類のスタンバイモード (IDLE, SLEEP, STOP, Backup Sleep, Backup Stop)
  - サブクロック : SLOW/SLEEP/Backup Sleep モード (32.768kHz)
- (18) クロックジェネレータ
- PLL 内蔵 (8 逓倍)
  - クロックギア機能: 高速クロックを 1/1, 1/2, 1/4, 1/8, 1/16 に分周
  - $\phi$ T0: fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32
- (19) エンディアン …… バイエンディアン (ビッグエンディアン/リトルエンディアン)
- (20) 最大動作周波数
- 80MHz (PLL 8 逓倍)
- (21) 動作電圧範囲
- レギュレータ内蔵 単一電源 2.7~3.6V 入力
- I/O/ADC : 2.7V~3.6V

## (22) 温度範囲

- $-20^{\circ}\text{C} \sim 85^{\circ}\text{C}$  (動作範囲)
- $0^{\circ}\text{C} \sim 70^{\circ}\text{C}$  (Flash W/E 時)

## (23) パッケージ

P-TFBGA241-1212-0.65A5 (12mm × 12mm, 0.65mm ピッチ)

## (24) バックアップモード

バックアップモード時に保持する機能

- ・ RAM 16/8KB
- ・ I/O
- ・ 2相カウンタ 6ch
- ・ KWUP (ダイナミックプルアップ付) 32ch
- ・ 外部割込み INT
- ・ 時計カウント

Not Recommended  
for New Design

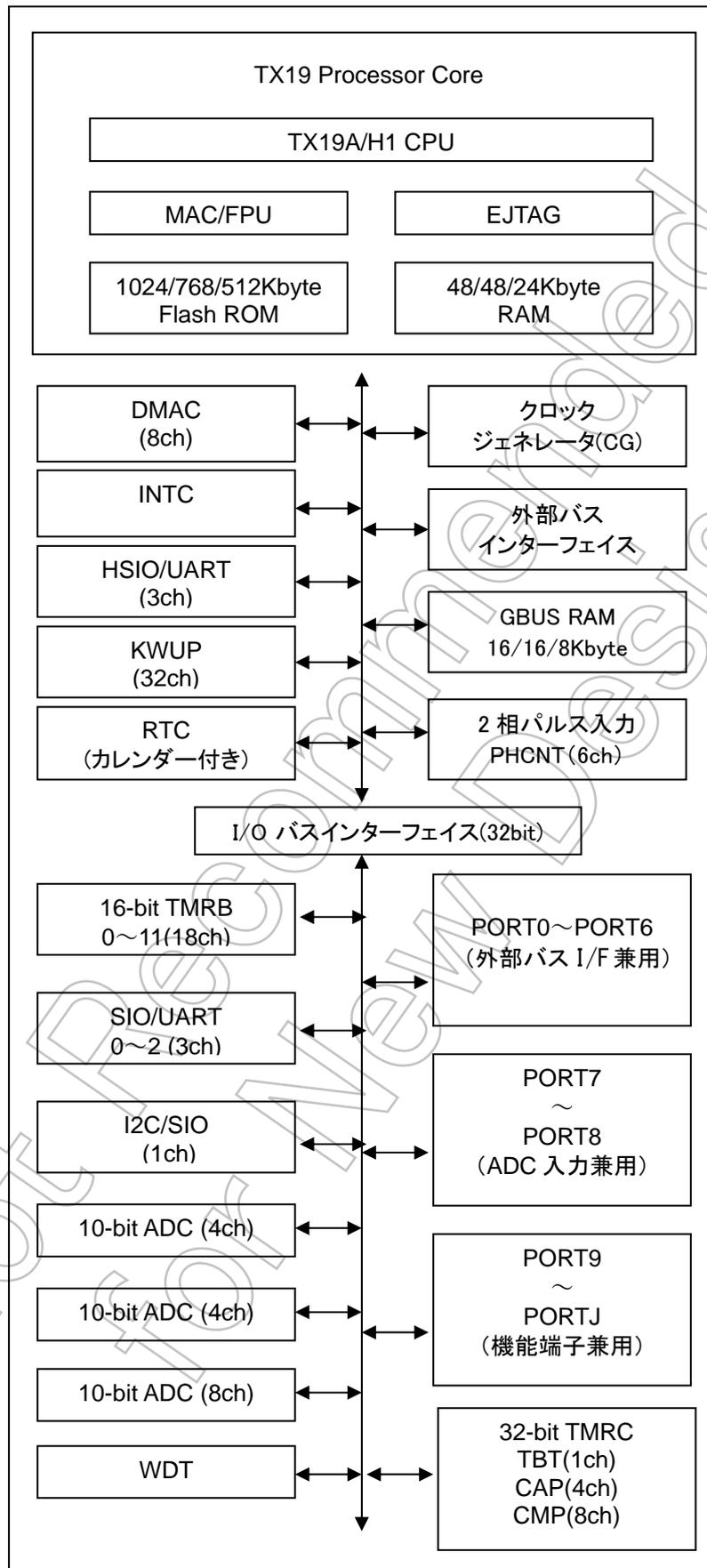


図 1-1 TMP19A44 ブロック図

## 2. ピン配置とピン機能

TMP19A44 のピン配置図および入出力ピンの名称と概略機能を示します。

### 2.1 ピン配置図 (Top view)

TMP19A44 のピン配置図は、図 2-1のとおりです。

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	A13	A14	A15	A16	A17
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11	B12	B13	B14	B15	B16	B17
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13	C14	C15	C16	C17
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17
E1	E2	E3	E4	E5	E6	E7	E8	E9	E10	E11	E12	E13	E14	E15	E16	E17
F1	F2	F3	F4	F5	F6							F13	F14	F15	F16	F17
G1	G2	G3	G4	G5							G13	G14	G15	G16	G17	
H1	H2	H3	H4	H5							H13	H14	H15	H16	H17	
J1	J2	J3	J4	J5							J13	J14	J15	J16	J17	
K1	K2	K3	K4	K5							K13	K14	K15	K16	K17	
L1	L2	L3	L4	L5							L13	L14	L15	L16	L17	
M1	M2	M3	M4	M5							M13	M14	M15	M16	M17	
N1	N2	N3	N4	N5	N6	N7	N8	N9	N10	N11	N12	N13	N14	N15	N16	N17
P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15	P16	P17
R1	R2	R3	R4	R5	R6	R7	R8	R9	R10	R11	R12	R13	R14	R15	R16	R17
T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16	T17
U1	U2	U3	U4	U5	U6	U7	U8	U9	U10	U11	U12	U13	U14	U15	U16	U17

図 2-1 ピン配置図 (P-TFBGA241)

## 2.2 ピン番号とピン名称との関係

TMP19A44 のピン番号とピン名称との関係は、次の通りです。

表 2-1 ピン番号とピン名称

ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称
A1	NC	C15	DVSS	G1	VREFLB	L16	PJ6/INT6	R3	TEST0
A2	P84/AINC4	C16	PH5/INT1D/TBBIN1	G2	AVSSB	L17	PJ5/INT17	R4	P02/D2/AD2
A3	P81/AINC1	C17	TDI/RXD0	G3	DVSS	M1	PC0/TBTIN/KEY30	R5	P05/D5/AD5
A4	P83/AINC3	D1	P73/INT11/AINA3	G4	P90/HTXD0	M2	PC1/TCOUT0	R6	P10/D8/AD8/A8
A5	VREFHC	D2	P72/INT10/AINA2	G5	NC	M3	PC2/TCOUT1	R7	P14/D12/AD12/A12
A6	PF3/KEY19/DACK4	D3	P70/AINA0	G13	NC	M4	PC3/TCOUT2	R8	P20/A16/A0/TB1IN0
A7	PE6/KEY14	D4	AVSSC	G14	PI4/ADTRGC	M5	NC	R9	P23/A19/A3/TB2IN1
A8	PE1/KEY09	D5	DVSS	G15	PI3/PHC5IN1	M13	DVCC3	R10	P27/A23/A7/TB5IN1
A9	PD4/TBCOUT	D6	PF6/KEY22/TCOUT6	G16	PI2/PHC5IN0	M14	PJ4/INT16	R11	P42/CS2/KEY26
A10	PD0/HTXD2	D7	PF1/KEY17/DACK0	G17	DINT	M15	PJ3/INT15	R12	P45/BUSMD
A11	PA4/INT4/TB6IN0	D8	PE4/KEY12	H1	DVCC3	M16	PJ2/INT14	R13	P50/A0/INTC
A12	DVCC3	D9	PD7/ADTRGB	H2	P91/HRXD0	M17	PJ1/TB11IN1	R14	P53/A3/INTF
A13	XT2	D10	PD3/TBBOUT	H3	P92/HSCLK0/HCTS0	N1	PC4/SO/SDA	R15	TEST3
A14	XT1	D11	PA7/PHC2IN1	H4	P93/TB9OUT	N2	PC5/SI/SCL	R16	P61/A9/RXD0/INTA
A15	X2	D12	PA3/INT3/PHC1IN1	H5	NC	N3	PC6/SCK	R17	P60/A8/TXD0
A16	X1	D13	PH4/INT1C/TBBIN0	H13	NC	N4	DVCC3	T1	P34/BUSRQ/TBEOUT
A17	NC	D14	TEST4	H14	NC	N5	DVSS	T2	TEST1
B1	P85/AINC5	D15	PH3/INT1B/TBAIN1	H15	PI1/PHC4IN1	N6	NC	T3	P36/RW/TC2IN
B2	VREFLC	D16	RESET	H16	PI0/PHC4IN0	N7	NC	T4	P01/D1/AD1
B3	P82/AINC2	D17	TDO/TXD0	H17	EJE	N8	NC	T5	P04/D4/AD4
B4	P80/AINC0	E1	P75/AINB1	J1	P94/TXD2	N9	DVSS	T6	P07/D7/AD7
B5	AVCC3C	E2	P74/AINB0	J2	P95/RXD2	N10	NC	T7	P13/D11/AD11/A11
B6	PF4/KEY20/TCOUT4	E3	AVCC3B	J3	P96/SCLK2/CTS2	N11	NC	T8	P17/D15/AD15/A15
B7	PE7/KEY15	E4	AVCC3A	J4	P97/TBAOUT	N12	NC	T9	P22/A18/A2/TB2IN0
B8	PE2/KEY10	E5	VREFLA	J5	DVCC3	N13	DVSS	T10	P26/A22/A6/TB5IN0
B9	PD5/TBDOUT	E6	PF7/KEY23/TCOUT7	J13	DVCC3	N14	PJ0/TB11IN0	T11	P41/CS1/KEY25
B10	PD2/HSCLK2/HCTS2	E7	PF2/KEY18/DREQ4	J14	PG7/KEY07	N15	P67/A15/TB5OUT	T12	P44/SCOUT
B11	PA5/INT5/TB6IN1	E8	PE5/KEY13	J15	PG6/KEY06	N16	P66/A14/SCLK1/CTS1	T13	P47/TBFOUT
B12	PA1/INT1/PHC0IN1	E9	PE0/KEY08	J16	PG5/KEY05	N17	P65/A13/RXD1/INTB	T14	P52/A2/INTE
B13	PA0/INT0/PHC0IN0	E10	DVSS	J17	DVCC3	P1	P30/RD	T15	P55/A5/TB1OUT
B14	DVCC3	E11	NC	K1	PB2/TB6OUT	P2	P31/WR	T16	DVSS
B15	NC	E12	DVCC3	K2	PB4/HTXD1	P3	PC7/TCOUT3	T17	P57/A7/TB3OUT/KEY29
B16	CVSS	E13	DVSS	K3	PB3/TB7OUT	P4	DVSS	U1	NC
B17	TRST	E14	PH2/INT1A/TBAIN0	K4	PB1/PHC3IN1	P5	DVCC3	U2	P35/BUSAK/TC1IN
C1	P86/AINC6/INT8	E15	PH1/INT19/TB9IN1	K5	NC	P6	P11/D9/AD9/A9	U3	P37/ALE/TC3IN
C2	P71/AINA1	E16	PH0/INT18/TB9IN0	K13	NC	P7	P15/D13/AD13/A13	U4	P00/D0/AD0
C3	AVSSA	E17	TMS	K14	PG4/KEY04	P8	P21/A17/A1/TB1IN1	U5	P03/D3/AD3
C4	P87/AINC7/INT9	F1	P77/AINB3/INT13	K15	PG3/KEY03	P9	P24/A20/A4/TB3IN0	U6	P06/D6/AD6
C5	DVCC3	F2	P76/AINB2/INT12	K16	PG2/KEY02	P10	DVCC3	U7	P12/D10/AD10/A10
C6	PF5/KEY21/TCOUT5	F3	VREFHB	K17	PG1/KEY01	P11	DVCC3	U8	P16/D14/AD14/A14
C7	PF0/KEY16/DREQ0	F4	VREFHA	L1	PB5/HRXD1	P12	BOOT	U9	DVSS
C8	PE3/KEY11	F5	NC	L2	PB7/TB8OUT	P13	NC	U10	P25/A21/A5/TB3IN1
C9	PD6/KEY31/ADTRGA	F6	NC	L3	PB6/HSCLK1/HCTS1	P14	TEST2	U11	P40/CS0/KEY24
C10	PD1/HRXD2	F13	NC	L4	PB0/PHC3IN0	P15	P64/A12/TXD1	U12	P43/CS3/KEY27
C11	PA6/PHC2IN0	F14	PI7/ADTRGSNC	L5	NC	P16	P63/A11/TB4OUT	U13	P46/ENDIAN
C12	PA2/INT2/PHC1IN0	F15	PI6/TB11OUT	L13	NC	P17	P62/A10/SCLK0/CTS0	U14	P51/A1/INTD
C13	PH7/INT1F/TBDIN1	F16	PI5/TB10OUT	L14	PG0/KEY00	R1	P32/HWR/TC0IN	U15	P54/A4/TB0OUT
C14	PH6/INT1E/TBDIN0	F17	TCK	L15	PJ7/INT7	R2	P33/WAIT/RDY	U16	P56/A6/TB2OUT/KEY28
								U17	NC

## 2.3 ピン名称と機能

入出力ピンの名称と機能は、以下の通りです。

表 2-2 ピン名称と機能 (1/7)

ピン名称	ピン数	入出力	機 能	Pull-up 制御選択	Shmitt 入力	Open Drain出力 選択可
P00~P07 D0~D7 AD0~D7	8	入出力 入出力 入出力	ポート 0: ビット単位で入出力の設定ができる入出力ポート データ (下位): データバス 0~7 (セパレートバスモード) アドレスデータ (下位): アドレス・データバス 0~7 (マルチプレクスバスモード)	P-up (Prog可)		
P10~P17 D8~D15 AD8~AD15 A8~A15	8	入出力 入出力 入出力 出力	ポート 1: ビット単位で入出力の設定ができる入出力ポート データ (上位): データバス 8~15: (セパレートバスモード) アドレスデータ (上位): アドレス・データバス 8~15 (マルチプレクスバスモード) アドレス: アドレスバス 8~15 (マルチプレクスバスモード)	P-up (Prog可)		
P20~P27 A16~A23 A0~A7 TB1IN0, TB1IN1 TB2IN0, TB2IN1 TB3IN0, TB3IN1 TB5IN0, TB5IN1	8	入出力 出力 出力 入力 入力 入力 入力	ポート 2: ビット単位で入出力の設定ができる入出力ポート アドレス: アドレスバス 15~23 (セパレートバスモード) アドレス: アドレスバス 0~7 (マルチプレクスバスモード) 16bit タイマ 1 入力 0,1: 16bit タイマ 1 のカウント/キャプチャトリガ入力 16bit タイマ 2 入力 0,1: 16bit タイマ 2 のカウント/キャプチャトリガ入力 16bit タイマ 3 入力 0,1: 16bit タイマ 3 のカウント/キャプチャトリガ入力 16bit タイマ 5 入力 0,1: 16bit タイマ 5 のカウント/キャプチャトリガ入力	P-up (Prog可)		
P30 RD	1	入出力 出力	ポート 30: 入出力の設定ができる入出力ポート リード: 外部メモリをリードするためのストロープ信号	P-up (Prog可)		
P31 WR	1	入出力 出力	ポート 31: 入出力の設定ができる入出力ポート ライト: D0~7 端子のデータライトするためのストロープ信号	P-up (Prog可)		
P32 HWR TC0IN	1	入出力 出力 入力	ポート 32: 入出力ポート 上位ライト: D8~15 端子のデータをライトするためのストロープ信号 32bit タイマキャプチャトリガ入力	P-up (Prog可)		
P33 WAIT RDY	1	入出力 入力 入力	ポート 33: 入出力ポート ウェイト: CPU へのバスウェイト要求端子 レディ: CPU へのバスレディ通知端子	P-up (Prog可)		
P34 BUSREQ TBEOUT	1	入出力 入力 出力	ポート 34: 入出力ポート バスリクエスト: 外部マスタがバス制御権を CPU に要求する信号 16bit タイマ E 出力: 16bit タイマ E の出力端子	P-up (Prog可)		
P35 BUSAK TC1IN	1	入出力 出力 入力	ポート 35: 入出力ポート バスアクメリッジ: BUSREQ を受け CPU がバス制御権を解放しているのを通知する信号 32bit タイマキャプチャトリガ入力	P-up (Prog可)		
P36 R / W TC2IN	1	入出力 出力 入力	ポート 36: 入出力ポート リード/ライト: "1" でリードサイクルまたはダミーサイクルを "0" でライトサイクルを示します。 32bit タイマキャプチャトリガ入力	P-up (Prog可)		
P37 ALE TC3IN	1	入出力 出力 入力	ポート 37: 入出力ポート アドレスラッチイネーブル (外部メモリアクセス(マルチプレクスバスモード)時のみイネーブル) 32bit タイマキャプチャトリガ入力	P-up (Prog可)		

表 2-2 ピン名称と機能 (2/7)

ピン名称	ピン数	入出力	機 能	Pull-up 制御選択	Shmitt 入力	Open Drain出力 選択可
P40 CS0  KEY24	1	入出力 出力  入力	ポート 40: 入出力ポート チップセレクト 0: アドレスが指定したアドレス領域内なら "0" を出力 KEY on wake up 入力 24: (Dynamic pull up 選択可能)	P-up (Prog 可)	○ ノイズフィルタ 内蔵	
P41 CS1  KEY25	1	入出力 出力  入力	ポート 41: 入出力ポート チップセレクト 1: アドレスが指定したアドレス領域内なら "0" を出力 KEY on wake up 入力 25: (Dynamic pull up 選択可能)	P-up (Prog 可)	○ ノイズフィルタ 内蔵	
P42 CS2  KEY26	1	入出力 出力  入力	ポート 42: 入出力ポート チップセレクト 2: アドレスが指定したアドレス領域内なら "0" を出力 KEY on wake up 入力 26: (Dynamic pull up 選択可能)	P-up (Prog 可)	○ ノイズフィルタ 内蔵	
P43 CS3  KEY27	1	入出力 出力  入力	ポート 43: 入出力ポート チップセレクト 3: アドレスが指定したアドレス領域内なら "0" を出力 KEY on wake up 入力 27: (Dynamic pull up 選択可能)	P-up (Prog 可)	○ ノイズフィルタ 内蔵	
P44 SCOUT	1	入出力 出力	ポート 44: 入出力ポート システムクロック出力: CPUと同じ高速クロック、低速クロック出力など選択可能	P-up (Prog 可)		
P45 BUSMD	1	入出力 入力	ポート 45: 入出力ポート 外部バスモード設定端子: リセット信号の立ち上がりで "H"(DVCC3)レベルをサンプリングしてマルチプレクスバス として、リセット信号の立ち上がりで"L"をサンプリングして セパレートバスとして動作します。使用するバスモードに従 ってリセット時にプルアップまたはプルダウンしてください。 (リセット後はポートとして使用可能です。)	P-up (Prog 可)	○ ノイズフィルタ 内蔵	
P46 ENDIAN	1	入出力 入力	ポート 46: 入出力ポート この端子はモード設定に使用されます。リセット信号の立ち 上がりで"H" (DVCC3) レベルをサンプリングしてビッグエン ディアンの動作を、リセット信号の立ち上がりで"L"をサン プリングしてリトルエンディアンの動作をします。使用するエ ンディアンに従ってリセット時にプルアップまたはプルダウン してください。 (リセット後はポートとして使用可能です。)	P-up (Prog 可)	○ ノイズフィルタ 内蔵	
P47 TBFOUT	1	入出力 出力	ポート 47: 入出力ポート 16bit タイマ F 出力: 16bit タイマ F の出力端子	P-up (Prog 可)		
P50~P53  A0~A3 INTC~INTF	4	入出力  出力 入力	ポート 5: ビット単位で入出力の設定ができる入出力ポート (プルアップ付) アドレス: アドレスバス 0~3 (セパレートバスモード) 割込み要求端子 C~F: "H" レベル/ "L" レベル/立ち上がり/下 がりエッジ選択可能	P-up (Prog 可)	○ ノイズフィルタ 内蔵	
P54,P55 A4,A5 TB0OUT TB1OUT	2	入出力 出力 出力 出力	ポート 5: ビット単位で入出力の設定ができる入出力ポートア ドレス: アドレスバス 4,5 (セパレートバスモード) 16bit タイマ 0 出力: 16bit タイマ 0 の出力端子 16bit タイマ 1 出力: 16bit タイマ 1 の出力端子	P-up (Prog 可)		
P56,P57 A6,A7 TB2OUT TB3OUT KEY28,KEY29	2	入出力 出力 出力 出力 入力	ポート 5: ビット単位で入出力の設定ができる入出力ポートア ドレス: アドレスバス 6,7 (セパレートバスモード) 16bit タイマ 2 出力: 16bit タイマ 2 の出力端子 16bit タイマ 3 出力: 16bit タイマ 3 の出力端子 KEY on wake up 入力 28,29: (Dynamic pull up 選択可能)	P-up (Prog 可)	○ ノイズフィルタ 内蔵	

表 2-2 ピン名称と機能 (3/7)

ピン名称	ピン数	入出力	機能	Pull-up 制御選択	Shmitt 入力	Open Drain出力 選択可
P60 A8 TXD0	1	入出力 出力 出力	ポート 60: 入出力ポート アドレス: アドレスバス 8 (セパレートバスモード) シリアル送信データ 0: プログラムによりオープンドレイン出力端子	P-up (Prog可)		○
P61 A9 RXD0 INTA	1	入出力 出力 入力 入力	ポート 61: 入出力ポート アドレス: アドレスバス 9 (セパレートバスモード) シリアル受信データ 0 割込み要求端子 A: "H" レベル/ "L" レベル/立ち上がり/下がり/ 両エッジ選択可能	P-up (Prog可)	○ ノイズフィル 内蔵	
P62 A10 SCLK0 CTS0	1	入出力 出力 入出力 入力	ポート 62: 入出力ポート アドレス: アドレスバス 10 (セパレートバスモード) シリアルクロック入出力 0 ハンドシェイク用端子入力 プログラムによりオープンドレイン出力端子	P-up (Prog可)		○
P63 A11 TB4OUT	1	入出力 出力 出力	ポート 63: ビット単位で入出力の設定ができる入出力ポート アドレス: アドレスバス 11 (セパレートバスモード) 16bit タイマ 4 出力: 16bit タイマ 4 の出力端子	P-up (Prog可)		
P64 A12 TXD1	1	入出力 出力 出力	ポート 64: 入出力ポート アドレス: アドレスバス 12 (セパレートバスモード) シリアル送信データ 1:	P-up (Prog可)		○
P65 A13 RXD1 INTB	1	入出力 出力 入力 入力	ポート 65: 入出力ポート アドレス: アドレスバス 13 (セパレートバスモード) シリアル受信データ 1 割込み要求端子 B: "H" レベル/ "L" レベル/立ち上がり/下がり/ 両エッジ選択可能	P-up (Prog可)	○ ノイズフィル 内蔵	
P66 A14 SCLK1 CTS1	1	入出力 出力 入出力 入力	ポート 66: 入出力ポート アドレス: アドレスバス 14 (セパレートバスモード) シリアルクロック入出力 1 ハンドシェイク用端子入力	P-up (Prog可)		○
P67 A15 TB5OUT	1	入出力 出力 出力	ポート 67: ビット単位で入出力の設定ができる入出力ポート アドレス: アドレスバス 15 (セパレートバスモード) 16bit タイマ 5 出力: 16bit タイマ 5 の出力端子	P-up (Prog可)		
P70,P71 AINA0,AINA1	2	入力 入力	ポート 7: 入力専用ポート アナログ入力: A/D コンバータの入力 (ユニット A)	P-up (Prog可)		
P72,P73 AINA2,AINA3 INT10,11	2	入力 入力 入力	ポート 7: 入力専用ポート アナログ入力: A/D コンバータの入力 (ユニット A) 割込み要求端子 10,11: "H" レベル/ "L" レベル/立ち上がり/下 がり/両エッジ選択可能	P-up (Prog可)	○ ノイズフィル 内蔵	
P74,P75 AINB0,AINB1	2	入力 入力	ポート 7: 入力専用ポート アナログ入力: A/D コンバータの入力 (ユニット B)	P-up (Prog可)		
P76,P77 AINB2,AINB3 INT12,13	2	入力 入力 入力	ポート 7: 入力専用ポート アナログ入力: A/D コンバータの入力 (ユニット B) 割込み要求端子 12,13: "H" レベル/ "L" レベル/立ち上がり/下 がり/両エッジ選択可能	P-up (Prog可)	○ ノイズフィル 内蔵	
P80~P85 AINC0~ AINC5	6	入力 入力	ポート 8: 入力専用ポート アナログ入力: A/D コンバータの入力 (ユニット C)	P-up (Prog可)		
P86,P87 AINC6,AINC7 INT8,9	2	入力 入力	ポート 8: 入力専用ポート アナログ入力: A/D コンバータの入力 (ユニット C) 割込み要求端子 8,9: "H" レベル/ "L" レベル/立ち上がり/下 がり/両エッジ選択可能	P-up (Prog可)	○ ノイズフィル 内蔵	

表2-2 ピン名称と機能 (4/7)

ピン名称	ピン数	入出力	機能	Pull-up 制御選択	Shmitt 入力	Open Drain出力 選択可
P90 HTXD0	1	入出力 出力	ポート 90: 入出力ポート 高速シリアル送信データ 0	P-up (Prog可)		○
P91 HRXD0	1	入出力 入力	ポート 91: 入出力ポート 高速シリアル受信データ 0	P-up (Prog可)	○ ノイズフィルタ 内蔵	
P92 HSCLK0 HCTS0	1	入出力 入出力 入力	ポート 92: 入出力ポート 高速シリアルクロック入出力 0 ハンドシェイク用端子入力	P-up (Prog可)		○
P93 TB9OUT	1	入出力 出力	ポート 93: ビット単位で入出力の設定ができる入出力ポート 16bit タイマ 9 出力: 16bit タイマ 9 の出力端子	P-up (Prog可)		
P94 TXD2	1	入出力 出力	ポート 94: 入出力ポート シリアル送信データ 2	P-up (Prog可)		○
P95 RXD2	1	入出力 入力	ポート 95: 入出力ポート シリアル受信データ 2	P-up (Prog可)	○ ノイズフィルタ 内蔵	
P96 SCLK2 CTS2	1	入出力 入出力 入力	ポート 96: 入出力ポート シリアルクロック入出力 2 ハンドシェイク用端子入力	P-up (Prog可)		○
P97 TBAOUT	1	入出力 出力	ポート 97: ビット単位で入出力の設定ができる入出力ポート 16bit タイマ A 出力: 16bit タイマ A の出力端子	P-up (Prog可)		
PA0 PHC0IN0 INT0	1	入出力 入力 入力	ポート A0: 入出力ポート 2相パルス入力カウンタ 0 入力 0 割込み要求端子 0: "H" レベル/"L" レベル/立ち上がり/下がり/ 両エッジ選択可能	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PA1 PHC0IN1 INT1	1	入出力 入力 入力	ポート A1: 入出力ポート 2相パルス入力カウンタ 0 入力 1 割込み要求端子 1: "H" レベル/"L" レベル/立ち上がり/下がり/ 両エッジ選択可能	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PA2 PHC1IN0 INT2	1	入出力 入力 入力	ポート A2: 入出力ポート 2相パルス入力カウンタ 1 入力 0 割込み要求端子 0: "H" レベル/"L" レベル/立ち上がり/下がり/ 両エッジ選択可能	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PA3 PHC1IN1 INT3	1	入出力 入力 入力	ポート A3: 入出力ポート 2相パルス入力カウンタ 1 入力 1 割込み要求端子 1: "H" レベル/"L" レベル/立ち上がり/下がり/ 両エッジ選択可能	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PA4 TB6IN0 INT4	1	入出力 入力 入力	ポート A4: 入出力ポート 16bit タイマ 6 入力 0: 16bit タイマ 6 キャプチャトリガ入力 割込み要求端子 0: "H" レベル/"L" レベル/立ち上がり/下がり/ 両エッジ選択可能	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PA5 TB6IN1 INT5	1	入出力 入力 入力	ポート A5: 入出力ポート 16bit タイマ 6 入力 1: 16bit タイマ 6 キャプチャトリガ入力 割込み要求端子 1: "H" レベル/"L" レベル/立ち上がり/下がり/ 両エッジ選択可能	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PA6 PHC2IN0	1	入出力 入力	ポート A6: 入出力ポート 2相パルス入力カウンタ 2 入力 0	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PA7 PHC2IN1	1	入出力 入力	ポート A7: 入出力ポート 2相パルス入力カウンタ 2 入力 1	P-up (Prog可)	○ ノイズフィルタ 内蔵	

表2-2 ピン名称と機能 (5/7)

ピン名称	ピン数	入出力	機能	Pull-up 制御選択	Shmitt 入力	Open Drain出力 選択可
PB0 PHC3IN0	1	入出力 入力	ポート B0: 入出力ポート 2相パルス入力カウンタ 3 入力 0	P-up (Prog 可)	○ ノイズフィルタ 内蔵	
PB1 PHC3IN1	1	入出力 入力	ポート B1: 入出力ポート 2相パルス入力カウンタ 3 入力 1	P-up (Prog 可)	○ ノイズフィルタ 内蔵	
PB2,PB3 TB6OUT TB7OUT	2	入出力 出力 出力	ポート B: ビット単位で入出力の設定ができる入出力ポート 16bit タイマ 6 出力: 16bit タイマ 6 の出力端子 16bit タイマ 7 出力: 16bit タイマ 7 の出力端子	P-up (Prog 可)		
PB4 HTXD1	1	入出力 出力	ポート B4: 入出力ポート 高速シリアル送信データ 1	P-up (Prog 可)		○
PB5 HRXD1	1	入出力 入力	ポート B5: 入出力ポート 高速シリアル受信データ 1	P-up (Prog 可)	○ ノイズフィルタ 内蔵	
PB6 HSCLK1 HCTS1	1	入出力 入出力 入力	ポート B6: 入出力ポート 高速シリアルクロック入出力 1 ハンドシェイク用端子入力	P-up (Prog 可)		○
PB7 TB8OUT	1	入出力 出力	ポート B: ビット単位で入出力の設定ができる入出力ポート 16bit タイマ 8 出力: 16bit タイマ 8 の出力端子	P-up (Prog 可)		
PC0 TBTIN KEY30	1	入出力 入力	ポート C0: 入出力ポート 32bit タイムベースタイマ入力: 32bit タイムベースタイマ入力 KEY on wake up 入力 30: (Dynamic pull up 選択可能)	P-up (Prog 可)	○ ノイズフィルタ 内蔵	
PC1~PC3 TCOUT0~ TCOUT2	3	入出力 出力 出力	ポート C: ビット単位で入出力の設定ができる入出力ポート 32bit タイマコンペア一致出力	P-up (Prog 可)		
PC4 SO SDA	1	入出力 出力 入出力	ポート C4: 入出力ポート シリアルバスインタフェースの SIO モード時のデータ送信端子 シリアルバスインタフェースの I2C モード時のデータ送受信端子	P-up (Prog 可)	○ ノイズフィルタ 内蔵	○
PC5 SI SCL	1	入出力 入力 入出力	ポート C5: 入出力ポート シリアルバスインタフェースの SIO モード時のデータ受信端子 シリアルバスインタフェースの I2C モード時のクロック入出力端子	P-up (Prog 可)	○ ノイズフィルタ 内蔵	○
PC6 SCK	1	入出力 入出力	ポート C6: 入出力ポート シリアルバスインタフェースの SIO モード時のクロック入出力端子	P-up (Prog 可)		○
PC7 TCOUT3	1	入出力 出力	ポート C: ビット単位で入出力の設定ができる入出力ポート 32bit タイマコンペア一致出力	P-up (Prog 可)		
PD0 HTXD2	1	入出力 出力	ポート D0: 入出力ポート 高速シリアル送信データ 2	P-up (Prog 可)		○
PD1 HRXD2	1	入出力 入力	ポート D1: 入出力ポート) 高速シリアル受信データ 2	P-up (Prog 可)	○ ノイズフィルタ 内蔵	
PD2 HSCLK2 HCTS2	1	入出力 入出力 入力	ポート D2: 入出力ポート 高速シリアルクロック入出力 2 ハンドシェイク用端子入力	P-up (Prog 可)		○
PD3~PD5 TBBOUT~ TBDOUT	3	入出力 出力	ポート D3~D5: ビット単位で入出力の設定ができる入出力ポート 16bit タイマ B~D 出力: 16bit タイマ B~D の出力端子	P-up (Prog 可)		

表2-2 ピン名称と機能 (6/7)

ピン名称	ピン数	入出力	機 能	Pull-up 制御選択	Shmitt 入力	Open Drain出力 選択可
PD6 ADTRGA KEY31	1	入出力 入力 入力	ポート D6: ビット単位で入出力の設定ができる入出力ポート A/Dトリガ, A/Dコンバータ(ユニット A)の外部スタート要求端子 KEY on wake up 入力 31: (Dynamic pull up 選択可能)	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PD7 ADTRGB	1	入出力 入力	ポート D6: ビット単位で入出力の設定ができる入出力ポート A/Dトリガ, A/Dコンバータ(ユニット B)の外部スタート要求端子	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PE0~PE7 KEY08~KEY15	8	入出力 入力	ポート E: ビット単位で入出力の設定ができる入出力ポート KEY on wake up 入力 08~15: (Dynamic pull up 選択可能)	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PF0,PF2 DREQ0,4 KEY16,KEY18	2	入出力 入力 入力	ポート F: ビット単位で入出力の設定ができる入出力ポート DMA リクエスト信号 0,4:外部 I/O デバイスから DMAC0,4 へ の DMA 転送要求入力 KEY on wake up 入力 16~19: (Dynamic pull up 選択可能)	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PF1,PF3 DACK0,4 KEY17,KEY19	2	入出力 出力 入力	ポート F: ビット単位で入出力の設定ができる入出力ポート DMA アクノリッジ信号 0,4:DREQ0,4による DMA 転送要求に 対するアクノリッジ信号 KEY on wake up 入力 16~19: (Dynamic pull up 選択可能)	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PF4~PF7 KEY20~KEY23 TCOUT4 ~ TCOUT7	4	入出力 入力 出力	ポート F: ビット単位で入出力の設定ができる入出力ポート KEY on wake up 入力 20~23: (Dynamic pull up 選択可能) 32bit タイマコンペアー一致出力	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PG0~PG7 KEY00~KEY07	8	入出力 入力	ポート G: ビット単位で入出力の設定ができる入出力ポート KEY on wake up 入力 00~07: (Dynamic pull up 選択可能)	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PH0~PH7 INT18~INT1F TB9IN0,TB9IN1 TBAIN0,TBAIN1 TBBIN0,TBBIN1 TBDIN0,TBDIN1	8	入出力 入力 入力 入力 入力 入力	ポート H: ビット単位で入出力の設定ができる入出力ポート 割込み要求端子 18~1F: "H" レベル/ "L" レベル/立ち上がり/ 下がり/両エッジ選択可能 16bit タイマ 9 入力 0,1: 16bit タイマ 9 のカウント/キャプチャ トリガ入力 16bit タイマ A 入力 0,1: 16bit タイマ A のカウント/キャプチャ トリガ入力 16bit タイマ B 入力 0,1: 16bit タイマ B のカウント/キャプチャ トリガ入力 16bit タイマ D 入力 0,1: 16bit タイマ D のカウント/キャプチャ トリガ入力	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PI0 PHC4IN0	1	入出力 入力	ポート I0: 入出力ポート 2 相パルス入力カウンタ 4 入力 0	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PI1 PHC4IN1	1	入出力 入力	ポート I1: 入出力ポート 2 相パルス入力カウンタ 4 入力 1	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PI2 PHC5IN0	1	入出力 入力	ポート I2: 入出力ポート 2 相パルス入力カウンタ 5 入力 0	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PI3 PHC5IN1	1	入出力 入力	ポート I3: 入出力ポート 2 相パルス入力カウンタ 5 入力 1	P-up (Prog可)	○ ノイズフィルタ 内蔵	
PI4 ADTRGC	1	入出力 入力	ポート I4: 入出力ポート A/Dトリガ, A/Dコンバータの外部スタート要求端子	P-up (Prog可)	—	
PI5,6 TB10OUT TB11OUT	2	入出力 出力 出力	ポート I5,I6: 入出力ポート 16bit タイマ 10 出力: 16bit タイマ 10 の出力端子 16bit タイマ 11 出力: 16bit タイマ 11 の出力端子	P-up (Prog可)		
PI7 ADTRGSNC	1	入出力 入力	ポート I7: 入出力ポート A/Dトリガ, A/Dコンバータの外部スタート要求端子	P-up (Prog可)	—	

表2-2 ピン名称と機能 (7/7)

ピン名称	ピン数	入出力	機能	Pull-up 制御選択	Shmitt 入力	Open Drain 出 力選択可
PJ0,1 TB11IN0, TB11IN1	2	入出力 入力	ポート I5,I6:入出力ポート 16bit タイマ 11 入力 0,1: 16bit タイマ 11 のカウント/キャプチャトリガ入力	P-up (Prog 可)	○ ノイズフィルタ 内蔵	
PJ2~PJ7 INT14-17,6,7	6	入出力	ポート J2~J7: 入出力ポート 割込み要求端子 14-17,6,7: "H" レベル/ "L" レベル/立ち上がり/ 下がり/両エッジ選択可能	P-up (Prog 可)	○ ノイズフィルタ 内蔵	
EJE	1	入力	EJTAG イネーブル:DSU-ICE 用信号	P-up 固定	○ ノイズフィルタ 内蔵	
TCK SCLK	1	入力 入出力	テストクロック入力:DSU-ICE 用信号 シリアルクロック入出力	P-up 固定	○ ノイズフィルタ 内蔵	
TMS	1	入力	テストモードセレクト入力:DSU-ICE 用信号	P-up 固定	○	
DINT	1	入力	DSU-ICE 用信号	P-up 固定	○	
TDI RXD0	1	入力 入力	テストデータ入力:DSU-ICE 用信号 シリアル受信データ 0	P-up 固定	○	
TDO TXD0	1	出力 出力	テストデータ出力:DSU-ICE 用信号 シリアル送信データ 0			○
TRST	1	入力	テストデータ入力:DSU-ICE 用信号	P-down 固定	○	
RESET	1	入出力	リセット入力: "L" レベル入力で LSI を初期化 デバッグ時にデバッガの機能により "0" 出力可能です。 (オープンドレイン出力)	P-up 固定	○ ノイズフィルタ 内蔵	※OD 固定
X1	1	入力	高速発振子接続端子 (X1 : シュミット付き入力)			
X2	1	出力	高速発振子接続端子			
XT1	1	入力	低速発振子接続端子 (XT1 : シュミット付き入力) (外部クロック供給時は本端子に入力してください)			
XT2	1	出力	低速発振子接続端子 (外部クロック供給時は OPEN にして下さい)			
BOOT	1	入力	シングルブートモード設定端子: 内蔵フラッシュメモリの書き換え時に使用します。 リセット信号の立ち上がりでサンプリングを行い、動作モードを決定します "H (DVCC3) レベル" ノーマル動作 (通常動作) します。 "L (DVSS) レベル" シングルブートモードになります。 常時プルアップしてください。	P-up 固定 Reset 中 は OFF	○	
VREFHA~C	3	入力	A/D コンバータ用基準電源入力端子 (H) A/D コンバータを使用しないときは AVCC3A~3C に接続してください			
VREFLA~C	3	入力	A/D コンバータ用基準電源入力端子 (L) A/D コンバータを使用しないときは GND に接続してください			
AVCC3A~C	3	-	A/D コンバータ電源端子。A/D コンバータを使用しない場合は DVCC3 に接続してください。			
AVSSA~C	3	-	A/D コンバータ GND 端子 (0V)。A/D コンバータを使用しない場合も GND に接続してください。 A/D コンバータ用基準電源入力端子 (L)			
TEST0	1		TEST 用端子: OPEN にしてください			
TEST1	1		TEST 用端子: OPEN にしてください			
TEST2	1		TEST 用端子: OPEN にしてください			
TEST3	1		TEST 用端子: OPEN にしてください (正の電圧をかけないでください)			
TEST4	1	入力	TEST 用端子: DVCC3 に固定してください		○	
CVSS	1	-	発振器用 GND 端子 (0V)			

DVCC3	13	—	電源端子: 3V 系電源			
DVSS	11	—	電源端子: GND 端子(0V)			
NC	26	—	N.C 端子			

Not Recommended  
for New Design

## 2.4 ピン名称と電源名称

表 2-3 ピン名称と電源名称

ピン名称	電源名称	ピン名称	電源名称
P00~P07	DVCC3	PF0~PF7	DVCC3
P10~P17	DVCC3	PG0~PG7	DVCC3
P20~P27	DVCC3	PH0~PH7	DVCC3
P30~P37	DVCC3	PI0~PI7	DVCC3
P40~P47	DVCC3	PJ0~PJ7	DVCC3
P50~P57	DVCC3	$\overline{\text{EJE}}$	DVCC3
P60~P67	DVCC3	$\overline{\text{TRST}}$	DVCC3
P70~P73	AVCC3A	TDI	DVCC3
P74~P77	AVCC3B	TDO	DVCC3
P80~P87	AVCC3C	TMS	DVCC3
P90~P97	DVCC3	TCK	DVCC3
PA0~PA7	DVCC3	$\overline{\text{DINT}}$	DVCC3
PB0~PB7	DVCC3	$\overline{\text{RESET}}$	DVCC3
PC0~PC7	DVCC3	$\overline{\text{BOOT}}$	DVCC3
PD0~PD7	DVCC3	X1, X2	1.5V 系 (内部供給)
PE0~PE7	DVCC3	XT1, XT2	DVCC3

## 2.5 電源名称とピン番号

表 2-4 ピン番号と電源

電源名称	ピン番号	電圧範囲
DVCC3	A12, B14, C5, E12, H1, J5, J13, J17, M13, N4, P5, P10, P11	2.7V~3.6V
AVCC3A	E4	
AVCC3B	E3	
AVCC3C	B5	

### 3. プロセッサコア

TMP19A44 には、高性能 32 ビットプロセッサコア (TX19A/H1 プロセッサコア) が内蔵されています。プロセッサコアの動作については、“TX19A/H1 ファミリーアーキテクチャ” を参照してください。ここでは、“TX19A/H1 ファミリーアーキテクチャ” にて説明されていない TMP19A44 独自の機能について説明します。

#### 3.1 リセット動作

##### 3.1.1 リセット入力前状態

電源投入時は、製品の状態は不定です。リセット端子を“L”レベルにした状態で、全ての電源に電圧が印加されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の状態は不定となります。(注1)

##### 3.1.2 リセット期間

本デバイスにリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部高周波発振器の発振が安定した状態で、RESET入力を少なくとも12 システムクロック間 (1.2 $\mu$ s @外部10MHz 発振子接続時) “L” レベルを入力してください。(注2)

##### 3.1.3 リセット解除後

リセット解除後は、TX19A/H1 プロセッサコアのシステム制御コプロセッサ (CP0) レジスタや内蔵I/Oレジスタは初期化されます。なお、リセット解除後、クロックギアは1/1モードに、PLL 通倍回路は停止しているため、PLL 動作の設定が必要です。

リセット解除から4096システムクロック (410 $\mu$ s @外部10MHz 発振子接続時) 経過後、CPUはリセット例外処理を行った後、プログラムは例外ハンドラへ分岐します。分岐先アドレス (例外ハンドラ開始アドレス) を例外ベクタアドレスと呼び、リセット例外 (ノンマスカブル割り込みと共通) の例外ベクタアドレスは0xBFC0\_0000 番地 (仮想アドレス) です。

ポート端子 (内蔵 I/O 用にも使える兼用端子を含む) は、汎用入力ポートまたは汎用出力ポートのモードに初期化されます。

(注1) 電源投入時には、必ず  $\overline{\text{RESET}}$  端子を“L”レベルにして下さい。

(注2) 電源投入後およびバックアップ中のリセットは、電源電圧および発振が安定した状態から 500 $\mu$ s 以上経過してからリセット解除させてください。

(注3) 内蔵フラッシュの消去、プログラム中は、システムクロックによらず 0.5 $\mu$ s 以上のリセット期間が必要となります。

(注4) リセット動作により、バックアップ RAM を含む内蔵 RAM のデータは保証できなくなります。

## 4. メモリマップ

### 4.1 メモリマップ

#### 4.1.1 TMP19A44F10XBG

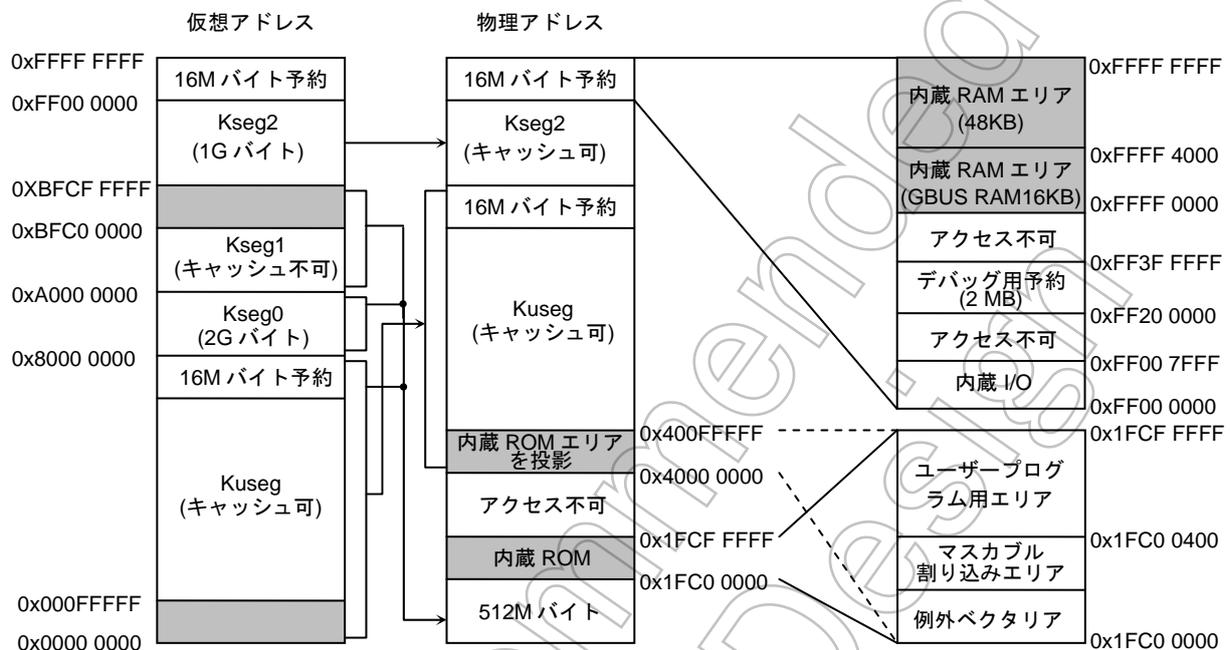


図 4-1 メモリマップ

- (注1) 内蔵 ROM は、  
0x1FC0\_0000~0x1FCF\_FFFF (1024KB)  
内蔵 RAM は、  
0xFFFF\_4000~0xFFFF\_FFFF (48KB)  
にマッピングされます。
- (注2) Back up RAM は、16KB 搭載しております。  
0xFFFF\_0000~0xFFFF\_3FFF (Back up RAM) : バックアップ RAM 領域 16KB
- (注3) 物理領域の最後の 4 ワードには命令を置かないでください。  
内蔵 ROM の場合 : 0x1FCF\_FFF0~0x1FCF\_FFFF(256KB)
- (注4) 投影領域は ROM コレクションとして使用できません。

## 4.1.2 TMP19A44FEXBG

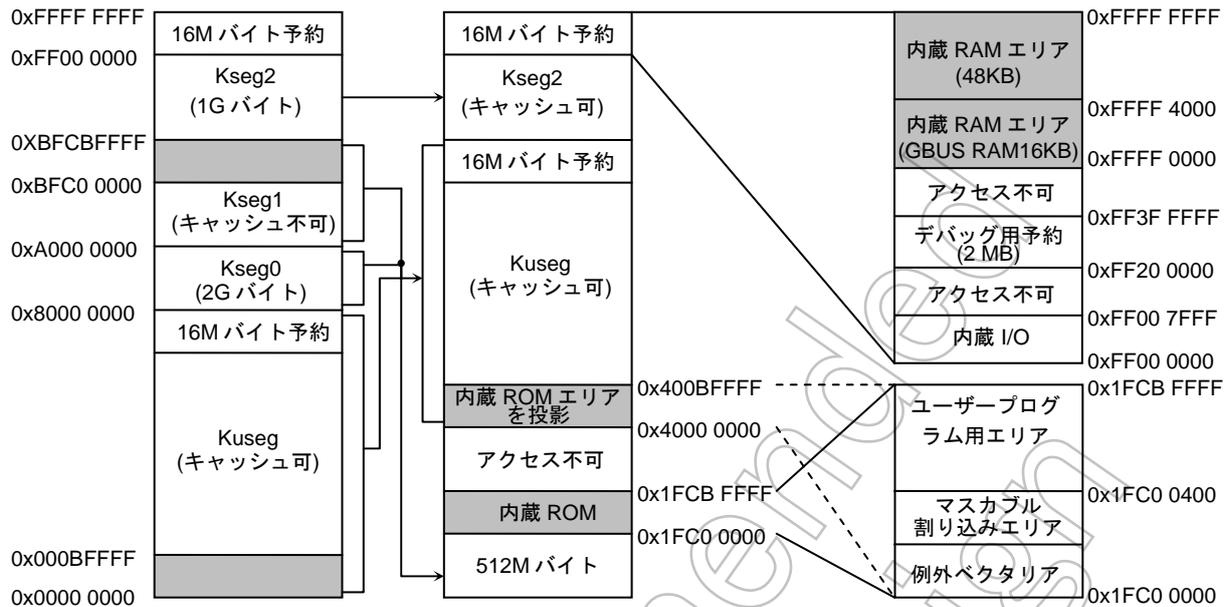


図 4-2 メモリマップ

(注5) 内蔵 ROM は、  
0x1FC0\_0000~0x1FCB\_FFFF (768KB)  
内蔵 RAM は、  
0xFFFF\_4000~0xFFFF\_FFFF (48KB)  
にマッピングされます。

(注6) Back up RAM は、16KB 搭載しております。  
0xFFFF\_0000~0xFFFF\_3FFF (Back up RAM) : バックアップ RAM 領域 16KB

(注7) 物理領域の最後の 4 ワードには命令を置かないでください。  
内蔵 ROM の場合 : 0x1FCB\_FFF0~0x1FCB\_FFFF(256KB)

(注8) 投影領域は ROM コレクションとして使用できません。

## 4.1.3 TMP19A44FDAXBG

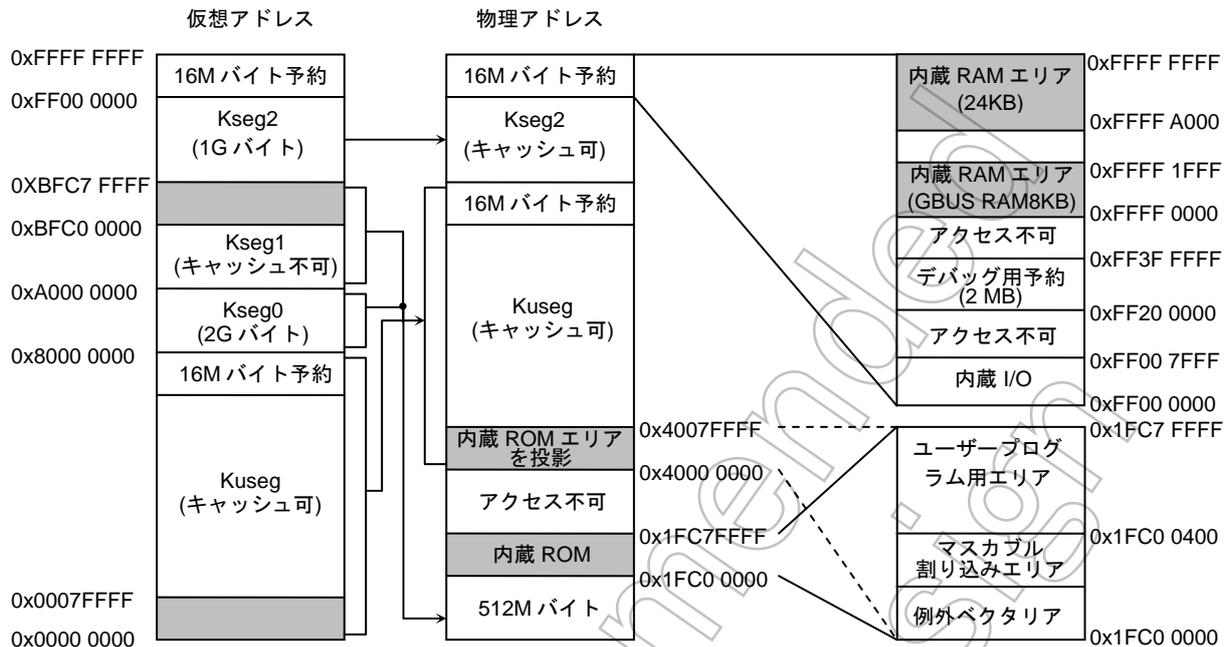


図 4-3 メモリマップ

- (注9) 内蔵 ROM は、  
0x1FC0\_0000~0x1FC7\_FFFF (512KB)  
内蔵 RAM は、  
0xFFFF\_A000~0xFFFF\_FFFF (24KB)  
にマッピングされます。
- (注10) Back up RAM は、8KB 搭載しております。  
0xFFFF\_0000~0xFFFF\_1FFF (Back up RAM) : バックアップ RAM 領域 8KB
- (注11) 物理領域の最後の 4 ワードには命令を置かないでください。  
内蔵 ROM の場合 : 0x1FC7\_FFF0~0x1FC7\_FFFF(256KB)
- (注12) 投影領域は ROM コレクションとして使用できません。

## 4.2 内蔵RAM

TMP19A44 には、ワークRAM (48K/24K) とバックアップRAM (16K/8KB) が内蔵されており、それぞれアクセスが可能です。

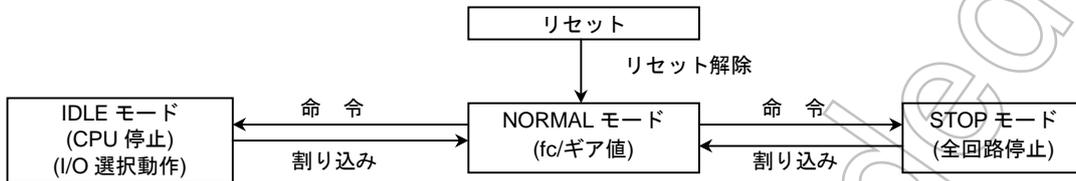
ワークRAM は、それぞれプログラムエリア、データエリアとして使用可能です。また、リセット動作により初期化され、リセット動作前のRAM 内容は保持できません。バックアップRAMは、それぞれプログラムエリア、データエリアとして使用可能です。電源 (DVCC3) から安定した電位を供給する限り、バックアップRAM 内容は保持され、リセット動作が行われても初期化されません。

なお、NORMAL モード時のバックアップRAM へのアクセスは4 クロックです。

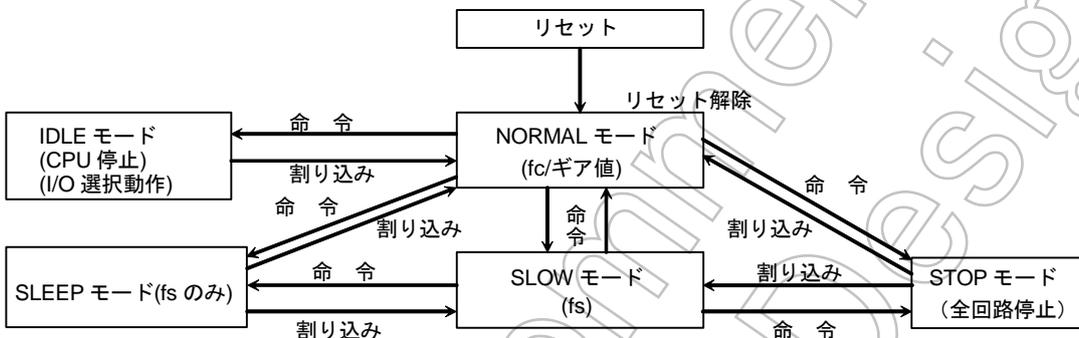
### 5. クロック/スタンバイ制御（クロックジェネレータ：CG）

システムの動作モードにはプロセッサコアの動作を停止して低消費電力動作を行うスタンバイモードがあります。(C)バックアップモード状態遷移図

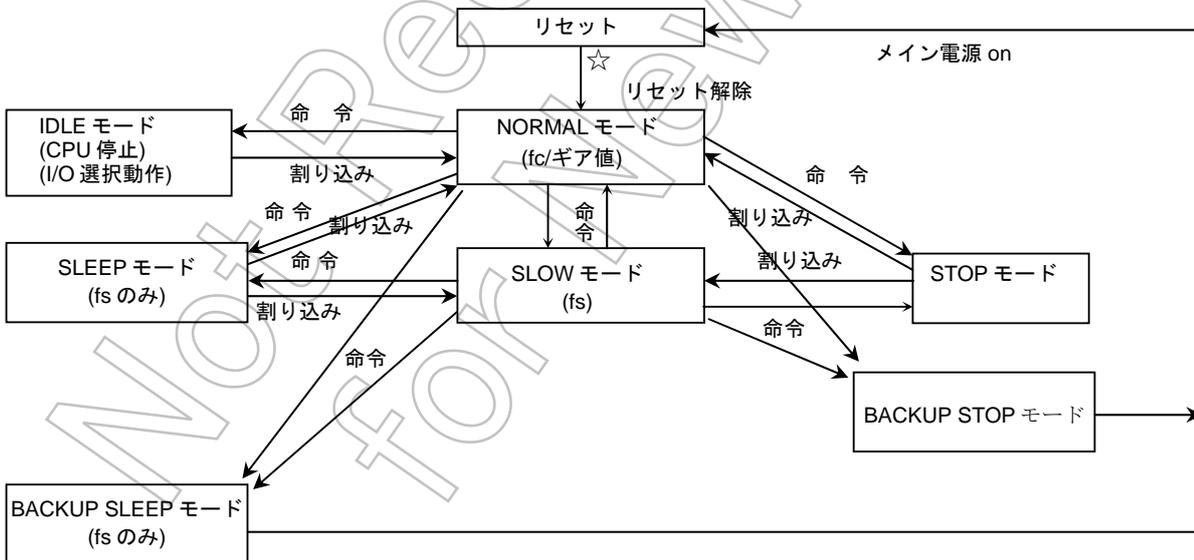
図 5-1 動作モード別状態遷移図を示します。



(a) シングルクロックモード状態遷移図



(b) デュアルクロックモード状態遷移図



(C) バックアップモード状態遷移図

図 5-1 動作モード別状態遷移図

☆ Backup モード解除後は、CG が初期化されません。  
設定された動作に移行されます。

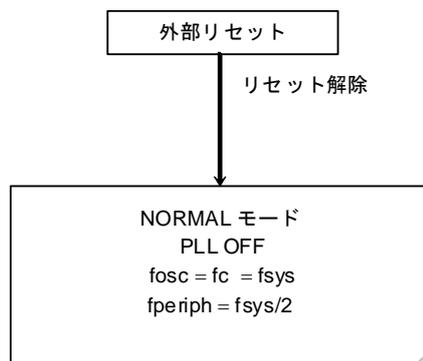


図 5-2 システムクロックのデフォルトの状態

fosc	: X1, X2 端子より入力されるクロック周波数
fpll	: PLL により逡倍 (8 逡倍) されたクロック周波数
fc	: 高周波クロック周波数
fs	: 低周波クロック周波数
fgear	: クロックジェネレータ部のシステムコントロールレジスタ SYSCR1<GEAR2:0>で選択されたクロック周波数
fsys	: システムクロック周波数
fperiph	: SYSCR1<FPSEL>で選択されたクロック周波数 (周辺 I/O のプリスケラへの入力クロック)

## 5.1 クロック系統ブロック図

### 5.1.1 メイン・システム・クロック

- 発振子接続または外部クロック入力可能
- クロックギア (1/2, 1/4, 1/8, 1/16)  
(リセット後は 1/1 分周)
- 入力周波数 (高周波)

入力周波数範囲	最大動作周波数	最低動作周波数
8~10 (MHz)	80 MHz	4 MHz ※

※ 8MHz (MIN) 入力、PLL 使用時にクロックギア 1/16 使用  
PLL OFF 状態では 1/2 以下は選択しないでください。

入力周波数 (低周波)

入力周波数範囲	最大動作周波数
30KHz~34 KHz	34 kHz

#### (注) (高速クロックギア切り替え時の注意点)

クロックギアの切り替えは、SYSCR1<GEAR2:0>レジスタへ値を書き込むことにより実行されます。書き込んだ後、すぐには切り替わらずに切り替え前のクロックギアで実行する場合があります。クロックギア切り替え命令の次の命令から切り替え後のクロックで実行すべき場合は、ダミーの命令 (ライトサイクルが実行される命令) を挿入してください。

クロックギアを使用する場合、周辺 I/O の各ブロックのプリスケアラ出力  $\phi T_n$  は必ず  
 $\phi T_n < f_{sys}/2$

を満足するように時間設定 ( $\phi T_n$  が  $f_{sys}/2$  よりも遅くなるように) してください。また、タイマカウンタなどの周辺 I/O 動作中にクロックギアを切り替えないようにしてください。

## 5.2 クロックギア

- 高速クロックを 1/2, 1/4, 1/8, 1/16 に分周
- 内蔵 I/O 用プリスケアラクロック  $\phi T_0$ :  $f_{periph}/2$ ,  $f_{periph}/4$ ,  $f_{periph}/8$ ,  $f_{periph}/16$ ,  $f_{periph}/32$ 。(リセット後は、 $f_{periph}/2$ )
- PLL の ON/OFF は OSCCR0、PLLSEL レジスタにて制御。リセット後は PLL 停止。

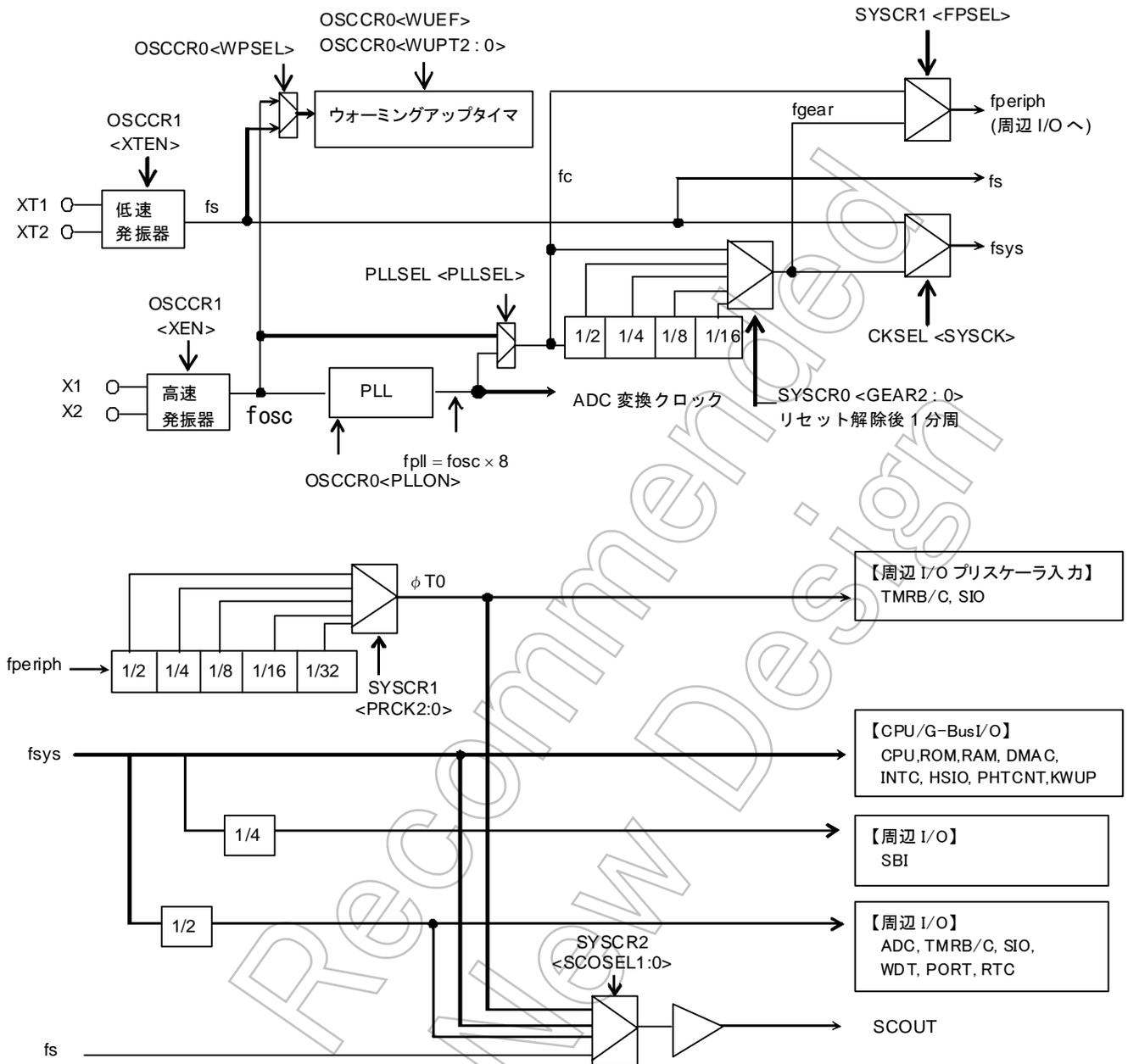


図 5-3 クロック、スタンバイ関連ブロック図

### 5.3 CG関連レジスタ

#### 5.3.1 システムコントロールレジスタ

LITTLE BIG	SYSCRO (0xFF00_1900) (0xFF00_1903)	Bitsymbol						GEAR2	GEAR1	GEAR0
		Read/Write	R					R/W	R/W	R/W
		リセット後	0	0	0	0	0	0	0	0
		機能	リードすると“0”が読めます。					高速クロック (fc) のギア選択 000: fc                    100: fc/2 001: reserved            101: fc/4 010: reserved            110: fc/8 011: reserved            111: fc/16		
			7	6	5	4	3	2	1	0
LITTLE BIG	SYSCR1 (0xFF00_1901) (0xFF00_1902)	Bitsymbol				FPSEL	PRCK2	PRCK1	PRCK0	
		Read/Write	R			R/W	R	R/W	R/W	
		リセット後	0	0	0	0	0	0	0	
		機能	リードすると“0”が読めます。			fperiph 選択 0:fgear 1:fc	リード すると“0” が読め ます。	プリスケールクロック選択 000: fperiph/2    100: fperiph/32 001: fperiph/4    101: Reserved 010: fperiph/8    110: Reserved 011: fperiph/16   111: Reserved		
			15	14	13	12	11	10	9	8
LITTLE BIG	SYSCR2 (0xFF00_1902) (0xFF00_1901)	Bitsymbol							SCOSEL1	SCOSEL0
		Read/Write	R						R/W	R/W
		リセット後	0	0	0	0	0	0	0	1
		機能	リードすると“0”が読めます。						SCOUT 出力選択 00: fs 01: fsys/2 10: fsys 11: φT0	
			23	22	21	20	19	18	17	16
	Bitsymbol									
	Read/Write	R								
	リセット後	0	0	0	0	0	0	0	0	
	機能	リードすると“0”が読めます。								
		31	30	29	28	27	26	25	24	

<Bit 2 : 0><GEAR 2 : 0> : 高速クロック (fc) のギアを選択します。

<Bit 10 : 8><PRCK 2 : 0> : 周辺 I/O に供給するプリスケールクロックを選択します。

<Bit 12><FPSEL> : fperiph のソースクロックを選択します。

<Bit 16 : 17><SCOSEL1 : 0> : SCOUT 端子 (P44) から設定したクロックを出力することが可能です。

5.3.2 発振器コントロールレジスタ

OSCCRO LITTLE (0xFF00_1904) BIG (0xFF00_1907)	Bitsymbol		7	6	5	4	3	2	1	0
	Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R	W
	リセット後	0	0	0	1	0	0	0	0	0
	機能	リードすると“0”が読めます。	発振器用ウォーミングアップ時間選択 X1 選択時 000: WUP 無し 001: 設定禁止 010: 2 <sup>13</sup> /入力周波数 011: 2 <sup>14</sup> /入力周波数 100: 2 <sup>15</sup> /入力周波数 101: 2 <sup>16</sup> /入力周波数 110, 111: 設定禁止			XT1 選択時 WUP 無し 2 <sup>8</sup> /入力周波数 2 <sup>7</sup> /入力周波数 2 <sup>8</sup> /入力周波数 2 <sup>15</sup> /入力周波数 2 <sup>16</sup> /入力周波数	ウォームアップカウンタ 0: X1 1: XT1	PLL 動作 0: 停止 1: 発振	発振器用ウォーミングアップタイム(WUP)制御 0: WUP 終了 1: WUP 中	発振器用ウォーミングアップタイム(WUP)制御 0: don't care 1: WUP スタート リードすると“0”
OSCCR1 LITTLE (0xFF00_1905) BIG (0xFF00_1906)	Bitsymbol		15	14	13	12	11	10	9	8
	Read/Write	R	R	R/W	R/W	R	R	R/W	R/W	
	リセット後	0	0	0	0	0	0	0	1	
	機能	リードすると“0”が読めます。	リードすると“0”が読めます。	低速発振器電流制御 0: 電流大 1: 電流小	高速発振器電流制御 0: 電流大 1: 電流小	リードすると“0”が読めます。	リードすると“0”が読めます。	低速発振器 0: 停止 1: 発振	高速発振器 0: 停止 1: 発振	
	Bitsymbol		23	22	21	20	19	18	17	16
	Read/Write	R								
	リセット後	0	0	0	0	0	0	0	0	0
	機能	リードすると“0”が読めます。								
	Bitsymbol		31	30	29	28	27	26	25	24
	Read/Write	R								
	リセット後	0	0	0	0	0	0	0	0	0
	機能	リードすると“0”が読めます。								

- <Bit 0><WUEON> : 発振器ウォーミングアップタイムをスタートさせることが可能です。  
※本ビットは、単独で設定してください。
- <Bit 1><WUEF> : 発振器ウォーミングアップタイムの状態を確認できます。
- <Bit 2><PLLON> : PLL (通倍回路) の動作を選択します。  
リセット解除後は “停止” 状態ですので、再設定が必要です。
- <Bit 3><WUPSEL> : ウォーミングアップさせたい発振器を選択します。
- <Bit 6 : 4><WUPT2 : 0> : 発振器用ウォーミングアップタイムの時間を選択します。
- <Bit 8><XEN> : 高速発振器の動作を選択します。
- <Bit 9><XTEN> : 低速発振器の動作を選択します。
- <Bit 12><DRVOSCH> : 高速発振器の電流制御を選択します。  
なお、<DRVOSCH> “1” (電流小) 設定にて STOP, Backup STOP モードに移行した場合、STOP, Backup STOP モード解除後は<DRVOSCH> “0” (電流大) 設定になりますので、必要に応じて再設定を行ってください。
- <Bit 13><DRVOSCL> : 低速発振器の電流制御を選択します。  
なお、<DRVOSCL> “1” (電流小) 設定にて STOP, Backup STOP モードに移行した場合、STOP, Backup STOP モード解除後は<DRVOSCL> “0” (電流大) 設定になりますので、必要に応じて再設定を行ってください。

5.3.3 スタンバイコントロールレジスタ

LITTLE BIG	STBYCR0 (0xFF00_1908) (0xFF00_190B)	Bitsymbol					STBY2	STBY1	STBY0
		Read/Write	R				R/W	R/W	R/W
		リセット後	0	0	0	0	0	1	1
		機能	リードすると“0”が読めます。				スタンバイモード選択 000: Reserved 001: STOP 010: SLEEP 011: IDLE 100: Reserved 101: Backup STOP 110: Backup SLEEP 111: Reserved		
LITTLE BIG	STBYCR1 (0xFF00_1909) (0xFF00_190A)	Bitsymbol					RXTEN	RXEN	
		Read/Write	R				R/W	R/W	
		リセット後	0	0	0	0	0	1	
		機能	リードすると“0”が読めます。				STOPモード解除後の低速発振器 0: 停止 1: 発振	STOPモード解除後の高速発振器 0: 停止 1: 発振	
LITTLE BIG	STBYCR2 (0xFF00_190A) (0xFF00_1909)	Bitsymbol					PTKEEP	DRVE	
		Read/Write	R				R/W	R/W	
		リセット後	0	0	0	0	0	0	
		機能	リードすると“0”が読めます。				0: PORT制御 1: 0→1変更時の状態保持	0: STOPモード中端子をドライブしません 1: STOPモード中も端子をドライブします	
		31	30	29	28	27	26	25	24
		Bitsymbol							
		Read/Write	R						
		リセット後	0	0	0	0	0	0	0
		機能	リードすると“0”が読めます。						

- <Bit 2:0><STBY2:0> : スタンバイモードを選択します。
- <Bit 8><RXEN> : STOPモード解除後の高速発振器動作を選択します。
- <Bit 9><RXTEN> : STOPモード解除後の低速発振器動作を選択します。
- <Bit 16><DRVE> : STOPモード中の端子ドライブ状態を選択します。  
バックアップモード時には、この設定は無効になります
- <Bit 17><PTKEEP> : バックアップモード時における、ポート状態を保持します。

## 5.3.4 PLLセレクトレジスタ

PLLSEL (0xFF00_190C)	Bitsymbol									PLLSEL
	Read/Write	R								R/W
	リセット後	0	0	0	0	0	0	0	0	0
	機能	リードすると“0”が読めます								PLL 選択 0 : X1 1 : PLL 使用
		15	14	13	12	11	10	9	8	
	Bitsymbol									
	Read/Write	R								
	リセット後	0	0	0	0	0	0	0	0	
	機能	リードすると“0”が読めます								
		23	22	21	20	19	18	17	16	
	Bitsymbol									
	Read/Write	R								
	リセット後	0	0	0	0	0	0	0	0	
	機能	リードすると“0”が読めます								
		31	30	29	28	27	26	25	24	
	Bitsymbol									
	Read/Write	R								
	リセット後	0	0	0	0	0	0	0	0	
	機能	リードすると“0”が読めます								

&lt;Bit 0&gt;&lt;PLLSEL&gt;

: PLL にて逡倍されたクロックの使用可否を選択します。

リセット解除後は“X1”選択のため PLL を使用する場合は再設定が必要です。

## 5.3.5 システムクロックセレクトレジスタ

CKSEL (0xFF00_1910)	Bitsymbol							1	0
	Read/Write	R						R/W	R
	リセット後	0	0	0	0	0	0	0	
	機能	リードすると“0”が読めます。						システムクロック選択	システムクロック状態フラグ
								0: 高速 (fc) 1: 低速 (fs)	0: 高速 (fc) 1: 低速 (fs) <SYSCK> の値と同一で安定している状態となる
	15	14	13	12	11	10	9	8	
	Bitsymbol								
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	
	機能	リードすると“0”が読めます。							
		23	22	21	20	19	18	17	
	Bitsymbol								
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	
	機能	リードすると“0”が読めます。							
		31	30	29	28	27	26	25	
	Bitsymbol								
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	
	機能	リードすると“0”が読めます。							

<Bit 0><SYSCKFLG> : システムクロック切り替え時の状態フラグを示します。  
 <SYSCK>にて発振器の切り替えを行った場合、切り替え完了には時間差が発生します。  
 <SYSCK>で選択した発振器が<SYSCKFLG>にて読み出されれば、発振器の切り替えが完了している状態です。

<Bit 1><SYSCK> : システムクロックの切り替えが可能です。  
 <SYSCK>の切り替えを行う場合は、事前に OSCCR1<XEN>, <XTEN>を“1”に設定する必要があります。

## 5.3.6 リセットフラグレジスタ

RSTFLG  
(0xFF00\_191C)

	7	6	5	4	3	2	1	0
Bitsymbol				PrRSTF	BUPRSTF	WDTRSTF	PINRSTF	PONRSTF
Read/Write	R			R/W	R/W	R/W	R/W	R/W
パワーオン リセット後	0	0	0	0	0	0	0	1
機能	リードすると“0”が読めます。			Pr リセット フラグ  0:0ライト 1:PrRST に よるリセ ットフラ グ	バックアッ プリセット フラグ  0:0ライト 1:バックア ップリセ ットによ るリセッ トフラグ	WDT リセッ トフラグ  0:0ライト 1:WDT リセット によるリ セットフ ラグ	RESET 端子 フラグ  0:0ライト 1:RESET 端子によ るリセッ トフラグ	Power On Reset フラ グ  0:0ライト 1:Power On Reset に よるリセ ットフラ グ
	15	14	13	12	11	10	9	8
Bitsymbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	23	22	21	20	19	18	17	16
Bitsymbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
Bitsymbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							

- <Bit 0><PONRSTF> : パワーオンリセットによるリセット動作により“1”にセットされます。
- <Bit 1><PINRSTF> : RESET 端子からのリセット動作により“1”にセットされます。
- <Bit 2><WDTRSTF> : ウォッチドックタイマによるリセット動作により“1”にセットされます。
- <Bit 3><BUPRSTF> : バックアップモードからの復帰により“1”にセットされます。
- <Bit 4><PrRSTF> : ツールによるリセット動作により“1”にセットされます。

注1) このレジスタは、電源投入時のみに初期化されます。通常のリセットでは初期化されません。

## 5.4 システムクロック制御部

### 5.4.1 リセット動作による初期値

リセット動作により、システムクロック制御部は下記のような状態に初期化されます。

高速発振器	: ON (発振)
低速発振器	: OFF (停止)
PLL (通倍回路)	: OFF (停止)
高速クロックギア	: fc (分周無し)

例えば、X1, X2 端子に 10MHz の発振子を接続している場合、リセット動作によりシステムクロック  $f_{sys}$  は 10MHz となります。

### 5.4.2 発振安定時間 (NORMAL $\leftrightarrow$ SLOWモードの切り替え)

発振子接続端子に発振子を接続している場合、発振子の発振安定を確認するためのウォーミングアップタイマ機能があります。ウォーミングアップ時間は発振子の特性に合わせて OSCCRO<WUPT2:0>により選択できます。このウォーミングアップタイマのスタートおよび終了確認は、OSCCRO<WUEON><WUEF>を使用してソフトウェア (命令) により行います。ウォーミングアップ終了を確認した後、CKSEL<SYSCK>にてシステムクロックの切り替えを行ってください。

クロック切り替えが生じたときに、現在のシステムクロックは CKSEL<SYSCKFLG>をモニタすることで確認できます。

表 5-1 に切り替え時のウォーミングアップ時間を示します。

表 5-1 ウォーミングアップ時間 ( $f_{osc}=10$  MHz,  $f_s=32.768$  kHz の場合)

ウォーミングアップ タイム選択 OSCCRO<WUPT 2:0>	高速クロック ( $f_{osc}$ ) OSCCRO<WUPSEL>= "0"		低速クロック ( $f_s$ ) OSCCRO<WUPSEL>= "1"	
		WUP 無し	—	WUP 無し
000	—	WUP 無し	—	WUP 無し
001	設定禁止	—	$2^6$ /入力周波数	1.953 (ms)
010	$2^{13}$ /入力周波数	819.2 ( $\mu$ s)	$2^7$ /入力周波数	3.906 (ms)
011	$2^{14}$ /入力周波数	1.638 (ms)	$2^8$ /入力周波数	7.813 (ms)
100	$2^{15}$ /入力周波数	3.277 (ms)	$2^{15}$ /入力周波数	1.0 (s)
101	$2^{16}$ /入力周波数	6.554 (ms)	$2^{16}$ /入力周波数	2.0 (s)
110	設定禁止	—	$2^{17}$ /入力周波数	4.0 (s)
111	設定禁止	—	設定禁止	—

(注 1) クロックに発振器などを使用しており発振が安定している場合はウォーミングアップさせる必要はありません。

(注 2) ウォーミングアップタイマは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

〈例 1〉 NORMAL モードから SLOW モードへの移行

OSCCR0<WUPT2:0> = “xx” : ウォーミングアップ時間選択  
 OSCCR0<WUPSEL> = “1” : ウォーミングアップカウンタ XT1 選択  
 OSCCR1<XTEN> = “1” : 低速発振 (fs) イネーブル  
 OSCCR0<WUEON> = “1” : ウォーミングアップタイマ (WUP) スタート  
 OSCCR0<WUEF> リード : “0” (WUP 終了) になるまでウェイト  
 CKSEL<SYSCK> = “1” : システムクロックを低速 (fs) に切り替え  
 CKSEL<SYSCKFLG> リード : “1” (現在のシステムクロックが fs) であることを確認  
 OSCCR1<XEN> = “0” : 高速発振 (fosc) デイセーブル

〈例 2〉 SLOW モードから NORMAL モードへの移行

OSCCR0<WUPT2:0> = “xx” : ウォーミングアップ時間選択  
 OSCCR0<WUPSEL> = “0” : ウォーミングアップカウンタ X1 選択  
 OSCCR1<XEN> = “1” : 高速発振 (fosc) イネーブル  
 OSCCR0<WUEON> = “1” : ウォーミングアップタイマ (WUP) スタート  
 OSCCR0<WUEF> リード : “0” (WUP 終了) になるまでウェイト  
 CKSEL<SYSCK> = “0” : システムクロックを高速 (fgear) に切り替え  
 CKSEL<SYSCKFLG> リード : “0” (現在のシステムクロックが fgear) であることを確認  
 OSCCR1<XTEN> = “0” : 低速発振 (fs) デイセーブル

(注 1) SLOW モードでは低速クロックにて CPU、INTC、RTC (時計用タイマ)、IO ポート、EBIF (外部バスインタフェース)、PHTCNT、KWUP の動作が可能です。他の内蔵周辺機能は SLOW モードへ遷移する前に停止してください。

(注 2) システムクロックを切り替える場合、CKSEL<SYSCKFLG>をリードして、システムクロックが完全に切り変わっている事を確認してください。

#### 5. 4. 3 システムクロックの端子出力機能

本製品には、システムクロックの端子出力機能があります。出力可能なクロックとして、低速クロック fs、システムクロック fsys または fsys/2、周辺 I/O 用プリスケアラ入力クロック φT0 を P44/SCOUT 端子から出力できます。ポート 4 関連レジスタ P4GR<P44G>= “1”, P4FC1<P44F>= “1” に設定することにより、P44/SCOUT 端子は SCOUT 出力端子になります。出力クロックの選択は SYSCR2<SCOSEL1:0>によって設定します。

表 5-2 に P44/SCOUT 端子を SCOUT 出力に設定した場合のスタンバイモード別端子状態を示します。

表 5-2 スタンバイモード別 SCOUT 出力状態

SCOUT 選択	モード	NORMAL	SLOW	スタンバイモード		
				IDLE	SLEEP	STOP
<SCOSEL1:0> = “00”		fs クロックを出力します				
<SCOSEL1:0> = “01”		fsys/2 クロックを出力します		“0” または “1” に固定されます		
<SCOSEL1:0> = “10”		fsys クロックを出力します				
<SCOSEL1:0> = “11”		φT0 クロックを出力します				

(注 1) SCOUT から出力されるシステムクロックは内部クロックとの位相差 (AC タイミング) は保証できません。

(注 2) バックアップモード中は、SCOUT 出力は使用できません。

#### 5.4.4 発振器のドライブ能力低減

発振子接続用端子に発振子を接続する場合に発振器から出力される発振ノイズの抑制、発振器の低消費電力化を目的とします。

OSCCR1<DRVOSCH>を“1”にセットすることにより高速発振器のドライブ能力は低減（能力小）します。

リセット動作により“0”に初期化されるので、電源投入時は通常（能力大）のドライブ能力で発振開始します。モード移行時の発振器の発振開始時は、必ずドライブ能力大（<DRVOSCH> = “0”）の状態に自動設定されます。

##### ● 高速発振器のドライブ能力低減

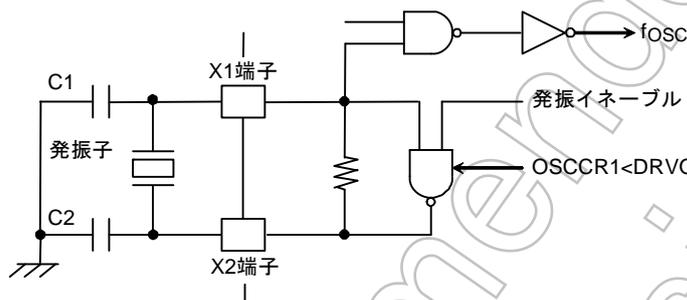


図 5-4 発振器のドライブ能力

#### 5.5 プリスケラック制御部

内蔵 I/O (TMRB0~11, SI00~2) には、それぞれにクロックを分周するプリスケラがあります。これらのプリスケラへ入力するクロック  $\phi T0$  は、SYSCR1<FPSEL>から選択されたクロック  $f_{periph}$  を更に SYSCR1<PRCK2:0>にて分周することが可能です。リセット後の  $\phi T0$  は  $f_{periph}/2$  が選択されます。

#### 5.6 クロック逡倍回路 (PLL)

高速発振器の出力クロック  $f_{osc}$  を 8 逡倍した  $f_{pll}$  クロックを出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

(注) PLL 動作開始の際には、ウォーミングアップ機能等を用いて安定時間を確保する必要があります。動作を開始するときのロックアップ時間として約  $100 \mu s$  必要です。

## 5.7 スタンバイ制御部

TX19A/H1 コアには、いくつかの低消費モードがあります。IDLE (Halt, Doze), SLEEP, STOP, Backup STOP, Backup SLEEP へは、CPO の Status レジスタの RP ビットを設定し、その後 WAIT 命令を実行することで移行できます。移行するに当たり、事前にスタンバイモードをシステムコントロールレジスタ STBYCRO<STBY2:0>にて選択しておく必要があります。

IDLE, SLEEP, STOP, Backup STOP, Backup SLEEP の特長は次の通りです。

### 5.7.1 スタンバイモード

IDLE: CPUのみ停止するモードです。内蔵I/Oは、各モジュールの中のレジスタにIDLEモード時の動作/停止設定レジスタを1ビット持ち、IDLEモードでの動作設定が可能です。IDLEモード時に動作停止に設定された内蔵I/Oは、IDLEモードへ遷移した時の状態で停止します。

表 5-3 IDLE モードでの内蔵 I/O 設定レジスタ

内蔵 I/O	IDLE モード設定レジスタ
TMRB0~11	TBxRUN<I2TBx>
TMRC	TCCR<I2TBT>
S100~3	SGxMOD1<I2Sx>
HS100~3	HSCxMOD1<I2Sx>
I2C/SIO (SBI)	SBIBRO<I2SBIx>
A/D コンバータ A~C	ADxMOD1<I2AD>
WDT	WDMOD<I2WDT>

(注1) Halt モード (Status レジスタの中の RP ビット “0” をセットして WAIT コマンド実行にてスタンバイモードに遷移) では、TX19A/H1 プロセッサコアはパイプラインの状態を保持したままプロセッサ動作を停止します。内蔵 DMA からのバス制御権要求に対しては応答しませんので、バス制御権を占有したままの状態となります。

(注2) Doze モード (Status レジスタの中の RP ビット “1” をセットしてスタンバイモードに遷移) では、TX19A/H1 プロセッサコアはパイプラインの状態を保持したままプロセッサ動作を停止します。プロセッサコア外部からのバス制御権要求に対して応答することができます。

SLEEP: 内部低速発振器と時計タイマ、2相パルス入力カウンタ、KWUP (ダイナミックプルアップ付) のみ動作します。

STOP: すべての内部回路が停止します。

Backup SLEEP: SLEEP 状態で、一部回路を除き電源遮断されます。(表 5-5 参照)

Backup STOP: STOP 状態で、一部回路を除き電源遮断されます。(表 5-5 参照)

スタンバイモード選択は、CPO の Status<RP>との組み合わせで選択されます。

下記表の “×” の設定では WAIT 命令を実行しないでください。

	STBY	HALT	DOZE
	2:0	RP=0	RP=1
STOP	001	○	×
SLEEP	010	○	×
IDLE	011	○	○
Backup STOP	101	○	×
Backup SLEEP	110	○	×
RESERVED	その他	×	×

## 5.7.2 各モードでのCGの動作

表 5-4 各動作モードにおけるCGの状態

クロックソース	モード	発振回路	PLL	周辺 I/O へのクロック供給	CPU へのクロック供給
発振子	Normal	○	○	○	○
	Slow	○	×	一部供給 (注)	○
	Idle (Halt)	○	○	Selectable	×
	Idle (Doze)	○	○	Selectable	○
	Sleep/B-Sleep	fs のみ	×	時計用タイマ/ニ相パルス入力カウンタ/KWUP	×
	Stop/B-Stop	×	×	×	×

○ : 動作または、クロックを供給      × : 停止またはクロックを非供給

※ B-Sleep は Backup Sleep を、B-Stop は Backup Stop を示します。

(注) SLOW モードで動作可能な周辺機能 : DMAC, INTC, 外部バスインタフェース, I/O ポート, RTC, 2 相パルス入力カウンタ, KWUP

## 5.7.3 各モードにおけるブロックの動作

表 5-5 各動作モードにおけるブロックの動作状態

ブロック	NORMAL	SLOW	IDLE (Doze)	IDLE (Halt)	SLEEP	STOP	B-Sleep	B-Stop
TX19A/H1 プロセッサコア	○	○	×	×	×	×	■	■
DMAC	○	○	○	×	×	×	■	■
INTC	○	○	○	○	×	×	■	■
外部バス I/F	○	○	○	×	×	×	■	■
I/O ポート	○	○	○	×	×	×	■ (注 2)	■ (注 2)
ADC	○	×	モジュールごとに 動作/停止選択可能		×	×	■	■
SIO	○	×			×	×	■	■
HSIO	○	×			×	×	■	■
I2C	○	×			×	×	■	■
TMRB	○	×			×	×	■	■
TMRC	○	×			×	×	■	■
WDT	○	×			×	×	■	■
2 相パルス入力カウンタ	○	○			○	○	○	○
ダイナミック プルアップ (KWUP)	○	○	○	○	○	○ (スタティック設定時)	○	○ (スタティック設定時)
RTC	○	○	○	○	○	×	○	×
CG	○	○	○	○	○	×	○	×
高速発振器 (fc)	○	△ (注 1)	○	○	×	×	×	×
低速発振器 (fs)	○	○	○	○	○	×	○	×

○ : 動作      × : 停止      ■ : 電源遮断状態となり、復帰時はリセットにより初期化されます。

注1) SLOW モードへの遷移では、高速発振器は OSCGR1&lt;XEN&gt;にて停止する必要があります。

注2) I/O ポート回路のみ電源遮断。入出力 Buffer は、電源遮断されません。

### 5.7.4 スタンバイ状態からの解除

スタンバイ状態からの解除は、割り込み要求またはリセットによって行うことができます。解除要因は、スタンバイモード、TX19A/H1 プロセッサコアのシステム制御コプロセッサ (CPO) の設定状態、INTC のマスクレベルおよび CG のスタンバイ解除設定により、限定されることがあります。詳細を表 5-6 に示します。

#### ● 割り込み要求による解除

割り込み要求について、Backup Sleep, Backup Stop 以外では、〈IM15:8〉と〈IE〉でコアが割り込みを許可していれば、スタンバイ解除後にその要因による割り込み処理を行います。許可していなければ、スタンバイへ移行した命令 (WAIT 命令) の次の命令から処理をスタートします。

Backup Sleep, Backup Stop の場合、リセットハンドラから処理が始まります。CG 内のリセット要因フラグを確認した後、割り込み処理を行うことを推奨します。

IDLE の場合、全ての割り込みをスタンバイ解除要求に使用できます。

SLEEP, STOP, Backup Sleep, Backup Stop の場合、スタンバイ解除に使用できる割り込みは CG を経由しているものに限られます。使用する場合は CG にてスタンバイ解除設定をする必要があります。

全てのスタンバイ解除要因で、INTC での割り込みレベルは割り込みマスクレジスタの値より大きく設定してください。

ノンマスク割り込みでは、マスクレジスタの値に関係なくスタンバイ解除後、割り込み処理を行います。

※ 割り込みの詳細に関しては「6. 例外/割り込み」の項をご参照ください。

#### ● リセットによる解除

リセットにより、全てのスタンバイ状態の解除を行うことができます。ただし、STOP, SLEEP, Backup Stop, Backup Sleep モードの解除では、発振器動作が安定するための十分なリセット時間が必要です (発振安定時間 + 500  $\mu$ s 以上)。

表 5-6 スタンバイ解除ソースとスタンバイ解除の動作 (割り込みレベル) > (割り込みマスク)

割り込み受け付け状態		割り込み許可 IE= "1"			割り込み禁止 IE= "0"			
		IDLE (プログラマブル)	SLEEP/ B-Sleep (注 1)	STOP/ B-Stop (注 1)	IDLE (プログラマブル)	SLEEP/ B-Sleep (注 1)	STOP/ B-Stop (注 1)	
スタンバイ解除ソース	割り込み	INTWDT	◎	×	×	◎	×	×
		INT0~B, INT10~1B	◎	◎	◎	○	○	○
		KWUP00~31	◎	◎	◎	○	○	○
		INTRTC	◎	◎	×	○	○	×
		PHCNT0~5	◎	◎	◎	○	○	○
		INTTBO~11	◎	×	×	○	×	×
		INTRX0~2, INTTX0~2	◎	×	×	○	×	×
		HINTRX0~2, HINTTX0~2	◎	×	×	○	×	×
		INTSO	◎	×	×	○	×	×
		INTAD/INTADHP/INTADM	◎	×	×	○	×	×
RESET		◎	◎	◎	◎	◎	◎	

◎: スタンバイ解除後、割り込み処理を開始します (RESET は LSI を初期化します)。

○: スタンバイ解除後、スタンバイ命令の次の番地から処理を開始します (割り込み処理は行いません)。

×: スタンバイ解除に使用できません。

- (注1) ウォーミングアップ時間経過後にスタンバイ解除を行います。
- (注2) 割り込み許可状態において、レベルモードの割り込みによるスタンバイ解除を行う場合、割り込み処理が開始されるまでレベルを保持してください。それ以前でレベルを変化させた場合は、再びスタンバイに入ります。
- (注3) スタンバイモードへ移行する場合は、移行前に割り込みコントローラ (INTC) で復帰要因以外の割り込みを禁止してください。復帰要因以外の割り込みでスタンバイ解除が行われる可能性があります。
- (注4)  $(\text{割り込みレベル}) > (\text{割り込みマスク})$  を設定してください。 $(\text{割り込みレベル}) \leq (\text{割り込みマスク})$  の場合スタンバイモードから復帰できなくなります。

Not Recommended  
for New Design

## 5.7.5 STOPモード

STOP モードでは、内部発振器も含めてすべての内部回路が停止します。また、STOP モード時の端子状態は、STBYCR2<DRVE>の設定により異なります。STOP モード時の端子状態を表 5-11 に示します。STOP モードを解除する場合は、内部発振器の安定化のため、ウォーミングアップ用カウンタによるウォーミングアップ時間経過後にシステムクロックの出力を開始します。STOP モードが解除されると、STOP モードへ移行する前の動作モード(NORMAL、SLOW モード)へ復帰し動作を開始します。

これらの設定は STOP モードに移行する命令を実行する前に行う必要があります。ウォーミングアップ時間の設定は、OSCCRO<WUPT2:0>で行います。

- (注 1) NORMAL モードから STOP モードに移行する場合、ウォーミングアップ時間の設定として、OSCCRO<WUPT2:0> = “000” を設定しないでください。STOP モードからの復帰時に内部システムの復帰時間が満たされません。
- (注 2) <DRVE>設定は、STOP モード時に有効です。Backup Sleep, Backup Stop モードでは使用できません。

表 5-7 各動作モード遷移時のウォーミングアップ要否

動作モード遷移	ウォーミングアップ
NORMAL→SLOW	低速発振安定していない場合は必要
SLOW→NORMAL	高速発振安定していない場合は必要
NORMAL→IDLE→NORMAL	不要
NORMAL→SLEEP→NORMAL	必要
NORMAL→STOP→NORMAL	必要
SLOW→IDLE→SLOW	※遷移禁止
SLOW→SLEEP→SLOW	不要
SLOW→STOP→SLOW	必要
NORMAL→B-Sleep→NORMAL	必要
NORMAL→B-Stop→NORMAL	必要
SLOW→B-Sleep→SLOW	必要
SLOW→B-Sotp→SLOW	必要

## 5.7.6 STOP/SLEEPモードからの復帰

## 1. NORMAL→STOP→NORMAL 動作モード遷移

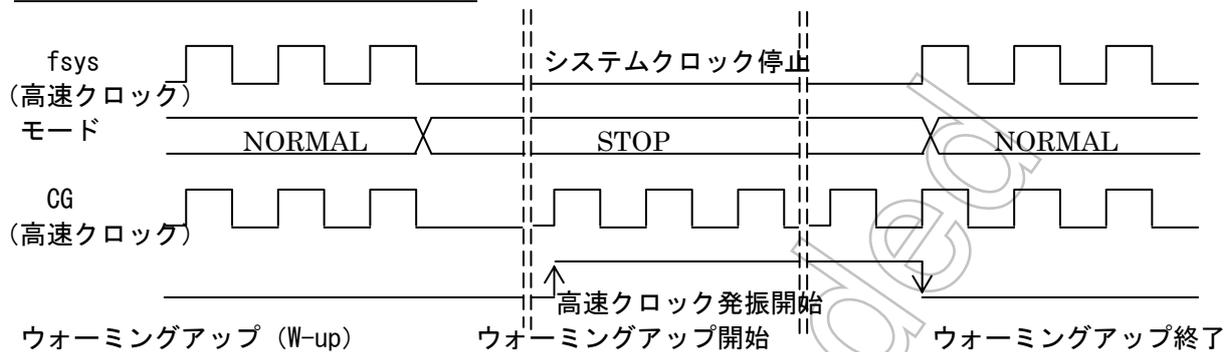


表 5-8 ウォーミングアップ時間

ウォーミングアップ タイム選択 OSCCRO<WUPT 2:0>	ウォーミングアップ時間 (fosc = 10.0MHz)
000 (設定禁止)	—
001 (設定禁止)	—
010 ( $2^{13}$ /入力周波数)	819.2 ( $\mu$ s)
011 ( $2^{14}$ /入力周波数)	1.638 (ms)
100 ( $2^{15}$ /入力周波数)	3.277 (ms)
101 ( $2^{16}$ /入力周波数)	6.554 (ms)
110 (設定禁止)	—
111 (設定禁止)	—

(注) ご使用される発振子の発振安定時間に合わせてください

2. NORMAL→SLEEP→NORMAL 動作モード遷移

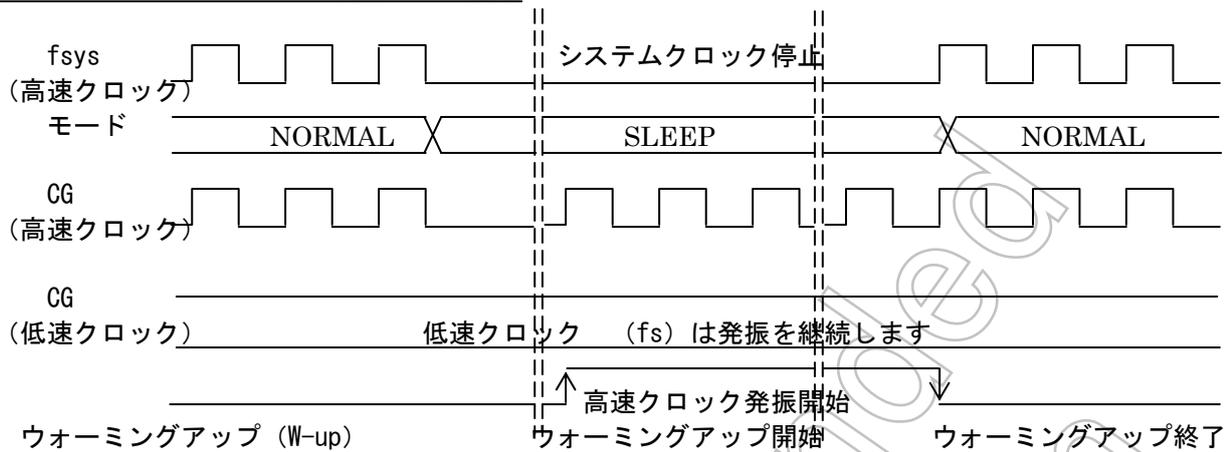


表 5-9 ウォーミングアップ時間

ウォーミングアップ タイム選択 OSCCRO<WUPT 2:0>	ウォーミングアップ時間 (fosc = 10.0MHz)
000 (設定禁止)	—
001 (設定禁止)	—
010 (2 <sup>13</sup> /入力周波数)	819.2 (μs)
011 (2 <sup>14</sup> /入力周波数)	1.638 (ms)
100 (2 <sup>15</sup> /入力周波数)	3.277 (ms)
101 (2 <sup>16</sup> /入力周波数)	6.554 (ms)
110 (設定禁止)	—
111 (設定禁止)	—

(注) ご使用される発振子の発振安定時間に合わせてください

3. SLOW→STOP→SLOW 動作モード遷移

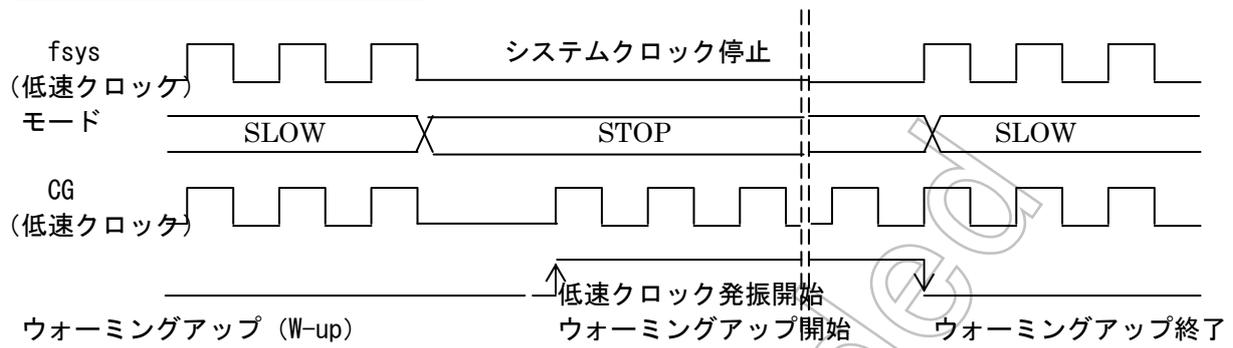
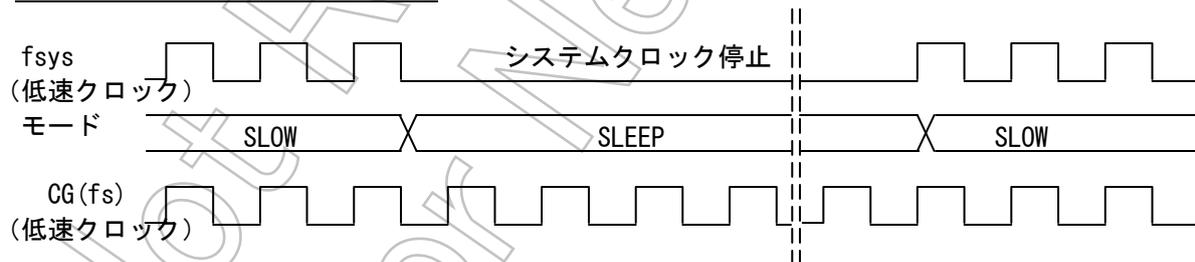


表 5-10 ウォーミングアップ時間

ウォーミングアップ タイム選択 OSCCRO<WUPT 2:0>	ウォーミングアップ時間 (fs = 32.768kHz)
000 (設定禁止)	—
001 (2 <sup>12</sup> /入力周波数)	1.953 (ms)
010 (2 <sup>13</sup> /入力周波数)	3.906 (ms)
011 (2 <sup>14</sup> /入力周波数)	7.813 (ms)
100 (2 <sup>15</sup> /入力周波数)	1.0 (s)
101 (2 <sup>16</sup> /入力周波数)	2.0 (s)
110 (2 <sup>17</sup> /入力周波数)	4.0 (s)
111 (設定禁止)	—

(注) ご使用される発振子の発振安定時間に合わせてください。

4. SLOW→SLEEP→SLOW 動作モード遷移



(注) 低速クロック (fs) は発振を継続し、ウォーミングアップの設定は必要ありません。

表 5-11 SYSCR2&lt;DRVE&gt;別の STOP モード時の端子状態 (1/2)

ピン名称	入力/出力	<DRVE>=0	<DRVE>=1
P00~P07	入力モード 出力モード AD0~AD7, D0~D7	— —	— 出力
P10~P17	入力モード 出力モード, AD8~AD15, D8~D15 A8~A15 (出力モード)	— — 出力	— 出力 出力
P20~P27	入力モード 出力モード A0~A7/A16~A23 (出力モード)	— — 出力	入力 出力 出力
P30 (/RD), P31 (/WR), P32 (/HWR), P35 (/BUSAK), P36 (R/W)	入力モード 出力モード /HWR, /BUSAK, R/W (出力モード)	— — 出力	入力 出力 出力
P37 (ALE)	入力モード 出力モード ALE (出力モード)	— — “L” レベル出力	入力 出力 “L” レベル出力
P40~P43	入力モード 出力モード /CS0~/CS2 (出力モード) KEY24~KEY27 (入力モード)	— — 出力 入力	入力 出力 出力 入力
P44~P47	入力モード 出力モード	— —	入力 出力
P50~P55	入力モード 出力モード A0~A5 (出力モード)	— — 出力	入力 出力 出力
P56, P57	入力モード 出力モード A6, A7 (出力モード) KEY28, KEY29 (入力モード)	— — 出力 入力	入力 出力 出力 入力
P61, P65	入力モード 出力モード A9, A13 (出力モード) INTA, INTB (入力モード)	— — 出力 入力	入力 出力 出力 入力
P60, P62~P64, P66, P67	入力モード 出力モード A8, A10, A11, A14, A15 (出力モード)	— — 出力	入力 出力 出力
P70, P71, P74, P75	入力モード	—	—
P72, P73, P76, P77	入力モード INT10~INT13 (入力モード)	入力 入力	入力 入力
P80~P85	入力モード	入力 入力	入力 入力
P86, P87	入力モード INT8, INT9 (入力モード)	入力 入力	入力 入力
P9	入力モード 出力モード	— —	入力 出力
PA0~PA3	入力モード 出力モード INT0~INT3, PHC0INx, PHC1INx (入力モード)	— — 入力	入力 出力 入力
PA4, PA5	入力モード 出力モード INT4~INT5 (入力モード)	— — 入力	入力 出力 入力
PA6, PA7	入力モード 出力モード PHC2INx (入力モード)	— — 入力	入力 出力 入力

表 5-11 SYSCR2&lt;DRVE&gt;別の STOP モード時の端子状態 (2/2)

ピン名称	入力/出力	<DRVE>=0	<DRVE>=1
PB0, PB1	入力モード 出力モード PHC3INx (入力モード)	— — 入力	入力 出力 入力
PB2~PB7	入力モード 出力モード	— —	入力 出力
PC0	入力モード 出力モード KEY30 (入力モード)	— — 入力	入力 出力 入力
PC1~PC7	入力モード 出力モード	— —	入力 出力
PDO~PD5, PD7	入力モード 出力モード	— —	入力 出力
PD6	入力モード 出力モード KEY31 (入力モード)	— — 入力	入力 出力 入力
PE0~PE7	入力モード 出力モード KEY08~KEY15 (入力モード)	— — 入力	入力 出力 入力
PF0~PF7	入力モード 出力モード KEY16~KEY23 (入力モード)	— — 入力	入力 出力 入力
PG0~PG7	入力モード 出力モード KEY00~KEY07 (入力モード)	— — 入力	入力 出力 入力
PH0~PH3	入力モード 出力モード INT18~INT1B (入力モード)	— — 入力	入力 出力 入力
PH4~PH7	入力モード 出力モード	— —	入力 出力
PI0~PI3	入力モード 出力モード PHC4INx, PHC5INx (入力モード)	— — 入力	入力 出力 入力
PI4~PI7	入力モード 出力モード	— —	入力 出力
PJ0, PJ1	入力モード 出力モード	— —	入力 出力
PJ2~PJ7	入力モード 出力モード INT6, INT7, INT14~INT17 (入力モード)	— — 入力	入力 出力 入力
RESET	入力ピン	入力	入力
X1	入力ピン	—	—
X2	出力ピン	“H” レベル出力	“H” レベル出力
XT1	入力ピン	—	—
XT2	出力ピン	“H” レベル出力	“H” レベル出力

— : 入力モード/入力ピンは、入力がディセーブルになり、出力モード/出力ピンは、ハイインピーダンスになることを示します。但し、ポートファンクションレジスタ (PxFC) = "1" かつ、ポートコントロールレジスタ (PxCR) = "0" の場合は入力はイネーブルになります。

入力 : 入力ゲートが働いています。入力ピンが浮かないよう入力電圧を、“L” レベルまたは、“H” レベルに固定してください。

出力 : 出力状態になっています。

## 6. 例外／割り込み

この章では例外／割り込みの種類、発生要因、処理の方法について解説します。

概要の章では要因の種類と発生の仕組みや処理の流れについて全般的な内容を、各要因の章では要因固有の内容を説明します。

例外／割り込みについては CPU のアーキテクチャと深くかかわる部分ですので、必要に応じて TX19A/H1 コアアーキテクチャ編もご覧ください。

Not Recommended  
for New Design

## 6.1 概要

この章では、例外と割り込みの特徴、種類、処理について概略を説明します。  
詳細な内容については、6.2章以降それぞれの要因ごとに解説します。

### 6.1.1 例外と割り込み

例外と割り込みはいずれも CPU に対し現在実行中の処理を中断して別の処理に移ることを要求するものです。例外はさらに一般例外とデバッグ例外に分けられます。

#### 6.1.1.1 例外の特長

一般例外は何らかの異常な状態が起こったときや例外を発生する命令を実行したときに発生します。  
デバッグ例外はデバッグ機能を実現するために使用されます。

#### 6.1.1.2 割り込みの特長

割り込みは外部端子や周辺 IP からの割り込み要求信号といった、ハードウェアによる要因で発生するマスカブルハードウェア割り込みと、ソフトウェアによる操作によって発生するマスカブルソフトウェア割り込みがあります。これらをまとめてマスカブル割り込みと呼びます。

マスカブル割り込みには以下のような特長があります。

##### ・ 割り込みレベルによる優先順位付け

プログラマブルな 7 段階の割り込みレベル（優先順位）に従った多重割り込み処理をすることができます。また、マスクレベルを設定することで、設定されたレベルより低いレベルの割り込み要求をマスクすることが可能です。

##### ・ シャドウレジスタ

Shadow Register Set と呼ばれるレジスタバンクを使用することで割り込み応答時の汎用レジスタ（GPR）の退避が不要になり、高速な割り込み応答が可能です。

##### ・ DMAC の起動

割り込みを DMAC の起動に使用することができます。DMAC の起動に使用するためには割り込みコントローラで設定を行います。

ここからは、一般例外／デバッグ例外を「例外」、マスカブル割り込みを「割り込み」として説明します。

マスカブル割り込みの要因をソフトウェアとハードウェアで分けて説明する場合には、「ソフトウェア割り込み」、「ハードウェア割り込み」といいます。

## 6.1.2 種類

一般例外、デバッグ例外、割り込みには以下のようなものがあります。

それぞれの例外／割り込みの詳細な内容は、TX19A/H1 コアアーキテクチャ編をご覧ください。

### (1) 一般例外

- リセット例外
- ノンマスカブル割り込み (NMI)
- アドレスエラー例外 (命令フェッチ)
- アドレスエラー例外 (ロード/ストア)
- バスエラー例外 (命令フェッチ)
- バスエラー例外 (ロード/ストア)
- コプロセッサ使用不可例外
- 予約命令例外
- 整数オーバーフロー例外
- トラップ例外
- システムコール例外
- ブレークポイント例外

### (2) デバッグ例外

- シングルステップ例外
- デバッグブレークポイント例外

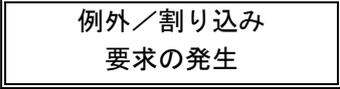
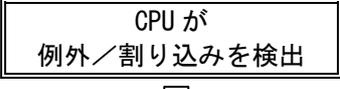
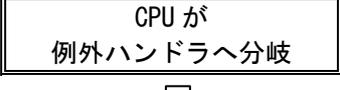
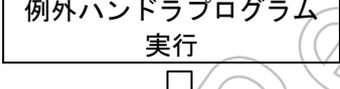
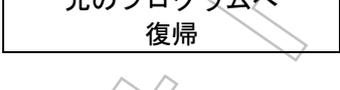
### (3) 割り込み

- ソフトウェア割り込み
- ハードウェア割り込み

## 6.1.3 処理の流れ

例外／割り込みの処理の流れの概略を以下に示します。以下の説明で、 はハードウェアによる処理を、 はソフトウェアによる処理を示しています。

それぞれの処理の内容について、後続の章で説明します。

処理	内容	説明
 例外／割り込み要求の発生	例外／割り込みの要求が発生します。	6.1.3.1章
↓		
 CPUが例外／割り込みを検出	CPUが例外／割り込み要求を検出します。	6.1.3.2章
↓		
 CPU／INTC／CGが例外／割り込みを処理	CPU／INTC／CGが例外／割り込み処理を行います。	6.1.3.3章
↓		
 CPUが例外ハンドラへ分岐	検出した例外／割り込みに応じた例外ベクタアドレス（例外ハンドラ）へ分岐します。	6.1.3.4章
↓		
 例外ハンドラプログラム実行	必要な処理を行います。	6.1.3.5章
↓		
 元のプログラムへ復帰	例外ハンドラからもとのプログラムに復帰します。	6.1.3.6章

### 6.1.3.1 例外／割り込み要求の発生

例外／割り込みの要求は、CPU の命令実行、外部割り込み端子、周辺 I/O などいろいろなところから発生します。

#### (1) 例外要求の発生

例外の要求は、主に命令実行中の異常が要因で発生します。

例外の種類を、CPU 外部からの要求、命令実行中の異常、例外命令実行、デバッグレジスタ設定に分けて種類と要因をまとめると以下のようになります。

表 6-1 例外の種類と要因

<b>●CPU 外部からの要求</b>	
リセット例外	リセット信号 WDT
ノンマスクブル割り込み (NMI)	外部 NMI 端子
<b>●命令実行中の異常</b>	
アドレスエラー例外 (命令フェッチ／ロード／ストア)	規定外の命令フェッチアドレス 規定外のオペランドリードアドレス
バスエラー例外 (命令フェッチ／ロード／ストア)	未使用領域への命令フェッチ 未使用領域へのオペランドリード
コプロセッサ使用不能例外	コプロセッサの Status レジスタ CU ビットを設定しない状態でコプロセッサ命令を実行
オーバーフロー例外	ADD, ADDI, SUB 命令の演算結果がオーバーフロー
予約命令例外	未定義の命令コードを実行
<b>●例外発生命令</b>	
システムコール例外	SYSCALL 命令実行
デバッグブレークポイント例外	SDBBP 命令実行
ブレークポイント例外	BREAK 命令実行
トラップ例外	TGE, TGEU, TLT, TLTU, TEQ, TNE, TGEI, TGEIU, TLTI, TLTIU, TEQI, TNEI 命令実行
<b>●デバッグレジスタ設定</b>	
シングルステップ例外	Debug レジスタの SST ビットをセット

#### (2) 割り込み要求の発生

割り込みにはソフトウェアにより要求を発生するもの（ソフトウェア割り込み）と外部端子、周辺 I/O から要求を発生するもの（ハードウェア割り込み）があります。

割り込み要求を発生させるために、CPO レジスタ、クロックジェネレータ、割り込みコントローラなどの設定が必要になります。詳細は「6.5 ハードウェア割り込み」の章で説明します。

## 6.1.3.2 例外／割り込みの検出

## (1) 例外／割り込みの優先度

例外／割り込みの検出をする際、複数の例外／割り込み要因が同時に検出される場合があります。このような場合、CPUは優先度にしたがって最も優先度の高い例外／割り込みを選択します。

例外／割り込みを同時に検出した場合の優先度を以下に示します。

表 6-2 例外／割り込みの優先度（同時に検出した場合）

優先度	種類	
高い	リセット例外	
	シングルステップ例外	
	ノンマスカブル割り込み (NMI)	
	ハードウェア割り込み	
	ソフトウェア割り込み	
	アドレスエラー例外 (命令フェッチ)	
	バスエラー例外 (命令フェッチ/ストア)	
	デバッグブレークポイント例外	
	コプロセッサ使用不可例外	
	予約命令例外	
	整数オーバーフロー例外	
	トラップ例外	
	システムコール例外	
	ブレークポイント例外	
	アドレスエラー例外 (ロード/ストア)	
	低い	バスエラー例外 (データアクセス)

(注) ハードウェア割り込みとソフトウェア割り込みが同時に検出された場合、ハードウェア割り込みが優先されます。

### 6.1.3.3 例外／割り込みの処理

#### (1) 例外／割り込み発生時の関連レジスタの変化

例外／割り込みを検出すると、検出された例外／割り込みに応じて CPU の CP0 レジスタ、割り込みコントローラのレジスタ、クロックジェネレータのレジスタの関係するフィールドが変化します。

リセット例外、ノンマスカブル割り込み、その他の例外／割り込みの場合で変化後の状態は異なります。それぞれ表 6-3 のような状態になります。

Not Recommended for New Design

表 6-3 例外／割り込み検出によるレジスタの変化

レジスタ	フィールド	要因				フィールドの意味
		リセット	割り込み (MNI)	ノンマスカブル	その他例外	
<b>●CPO レジスタ</b>						
Status	RP	0	-	-	-	低消費電力モード設定 (Halt/Doze 選択)
	BEV	1	-	-	-	例外ハンドラアドレスの変更
	NMI	0	1	-	-	NMI 発生
	ERL	1	1	-	-	リセット/NMI 発生 このビットが設定されているときは割り込み禁止
	EXL	-	-	1	1	例外 (リセット/NMI 以外) 発生 このビットが設定されているときは割り込み禁止
Cause	BD	-	-	1/0	1/0	分岐命令の-slotで例外／割り込みが発生した場合 “1”、それ以外では “0” (Status レジスタ EXL が “0” のときのみ変化)
	CE[1:0]	-	-	(Cop No)	-	コプロセッサ使用不可例外が発生した時に参照されたコプロセッサ番号
	ExcCode	-	-	Code	Code	例外／割り込みに応じたコード
Error EPC	-	PC	PC	-	-	要因を検出した際に実行していた命令の PC 分岐命令の-slotで検出した場合には、分岐命令の PC
EPC	-	-	-	PC	PC	
Bad VAddr	-	-	-	(Addr)	-	アドレスエラー例外が発生したときにエラーとなった仮想アドレス
SSCR	CSS	-	-	-	Reg Set No	レジスタセットの番号 SSCR レジスタの SSD ビット (シャドウレジスタ使用許可ビット) が “0” (有効) の場合、割り込みが発生するとその割り込みレベルと同じセット番号を CSS に設定 (レジスタセットが切り替わる) 割り込み発生前の CSS は PSS に保存
	PSS	Reg Set No	Reg Set No	Reg Set No	Reg Set No	
<b>●割り込みコントローラ</b>						
ILEV	CMASK	-	-	-	Level	CMASK は検出した割り込みのレベル
	PMASK	-	-	-	Level	PMASK は割り込み発生前の CMASK の値

「-」は変化なし、( ) 付きの欄は特定の例外で変化することを示しています。

上記のレジスタのほかに、ノンマスカブル割り込みの場合には NMIFLG レジスタ (NMI の要因を示す)、割り込みの場合には割り込みコントローラの IVR レジスタ (割り込みの要因を示す) が変化します。これらについては、「6.2 リセット例外/ノンマスカブル割り込み」「6.5 ハードウェア割り込み」の項で説明します。

この表では、デバッグ例外に関するレジスタ変化については省略しています。デバッグ例外発生時のレジスタ変化は TX19A/H1 コアアーキテクチャ編をご覧ください。

### 6.1.3.4 例外ハンドラへの分岐

CPUは例外／割り込みを検出すると例外ベクタアドレス（例外ハンドラ）へ分岐します。

例外／割り込みの種類によって例外ベクタアドレスが異なります。また、CPOレジスタのStatus<BEV>ビット、Cause<IV>ビットの設定によっても例外ベクタアドレスは変化します。

Status<BEV>ビットはリセット後“1”になっています。例外ベクタアドレスを内蔵ROMに置く場合はStatus<BEV>ビットを“1”のまま使用してください。

Cause<IV>ビットはリセット後の値は不定ですので、ユーザが設定する必要があります。Cause<IV>ビットの設定を“1”にすることにより、割り込みの例外とその他例外のベクタアドレスを分離することができます。

以下に例外ベクタアドレスの一覧を示します。

表 6-4 例外ベクタアドレス（仮想アドレス）

例外／割り込み	Status<BEV>=0	Status<BEV>=1
RESET, NMI	0xBFC0_0000	0xBFC0_0000
デバッグ例外	0xBFC0_0480	0xBFC0_0480
割り込み (Cause<IV>=0)	0x8000_0180	0xBFC0_0380
割り込み (Cause<IV>=1)	0x8000_0200	0xBFC0_0400
その他例外	0x8000_0180	0xBFC0_0380

### 6.1.3.5 例外ハンドラプログラムの実行

例外ハンドラでは、発生した例外／割り込みに応じて必要な処理を行います。例外ハンドラプログラムはユーザが準備します。

割り込みの例外ハンドラでは、通常の処理プログラムに戻ったときに再度同じ割り込みが発生しないよう、割り込み要求の取り下げなどの処理が必要になる場合があります。

割り込みについての詳細は「6.5 ハードウェア割り込み」の項で説明します。

### 6.1.3.6 例外／割り込みからの復帰

例外ハンドラから元のプログラムへ復帰する場合、CPO レジスタの ErrorEPC/EPC に格納されている例外／割り込み発生 PC を参照して復帰することができます。ただし、例外／割り込み発生 PC に戻る場合再度同じ例外／割り込みが発生する場合がありますので注意が必要です。

#### (1) ERET 命令を利用した復帰方法

一般例外／割り込みの例外ハンドラから復帰するときには、ERET 命令を実行することで自動的に CPO レジスタの ErrorEPC/EPC に格納されている PC へ分岐し、CPO レジスタが例外／割り込み発生前の状態に戻ります。ErrorEPC/EPC は書き換え可能ですので、ERET 命令を実行する前に戻り先アドレスを設定して ERET 命令を実行することで所望のアドレスへ復帰することができます。

ERET 命令は、Status<ERL>および Status<EXL>ビットの設定により動作が異なります。以下に動作をまとめます。

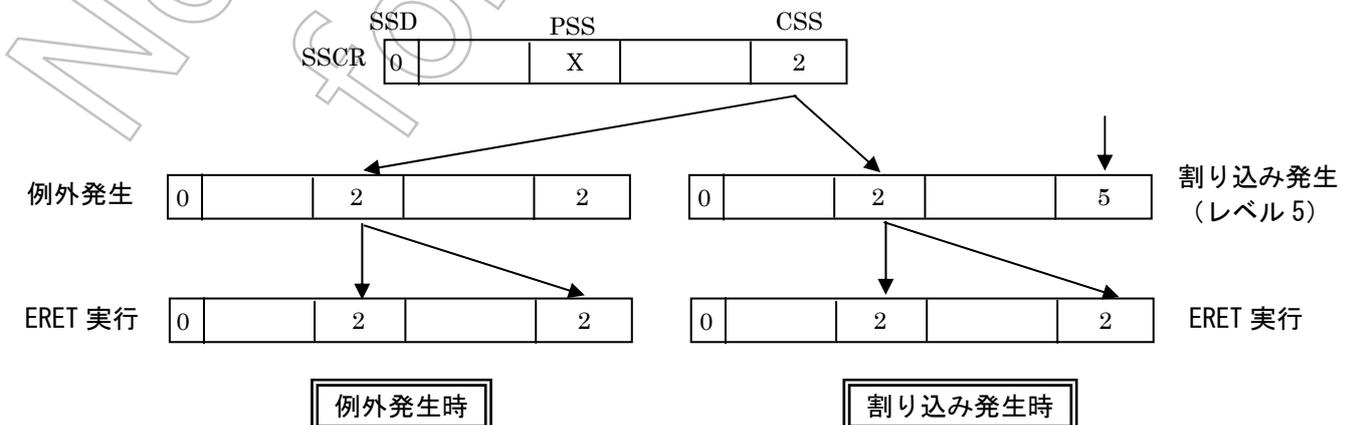
#### ・ ERL=1 (リセット/NMI 発生) のとき

Status<ERL> ← “0”  
 SSCR<CSS> ← 「PSS」  
 分岐先 ← ErrorEPC 格納アドレス

#### ・ EXL=1 (リセット/NMI 以外の一般例外、割り込み発生) のとき

Status<EXL> ← “0”  
 SSCR<CSS> ← 「PSS」  
 分岐先 ← EPC 格納アドレス

(注) SSCR<CSS>は例外／割り込みにかかわらず ERET 命令で SSCR<PSS>が書き戻されます。  
 (SSD ビットが “0” でシャドウレジスタ使用可能な状態の場合。)  
 例外発生時にも、「CSS」は「PSS」にコピーされますが「CSS」はそのまま変化しませんので、結果的に例外ハンドラ中も例外ハンドラから復帰後も「CSS」の値は変わりません。



## (2) 割り込みコントローラのILEVレジスタ

この処理は、ハードウェア割り込み発生時のみ必要な処理です。

割り込みコントローラの ILEV レジスタには、割り込みが発生すると発生した割り込みレベルが割り込みマスクレベルとして ILEV<CSS>に設定されますが、ERET 命令では割り込み発生前の状態には戻りません。割り込み発生前の状態に戻すためには、ILEV<MLEV>ビットに“0”を書き込みます。また、ILEV<CMASK>に改めて値を設定することもできます。この場合、ILEV<MLEV>ビットに“1”、ILEV<CMASK>に新しい値を同時に書き込みます。

## (3) ERET命令を使用しない復帰方法

ERET 命令を使用せずジャンプ命令で例外ハンドラから通常プログラムに復帰することも可能です。この場合には Status<ERL>、Status<EXL>、SSCR<CSS>は例外／割り込み発生時のままになりますので、必要に応じて書き換えてください。

Not Recommended for New Design

## 6.2 リセット例外／ノンマスカブル割り込み (NMI)

リセット例外とノンマスカブル割り込みは例外ベクタアドレスが共通であるため、ノンマスカブル割り込みの発生する環境では、例外ハンドラプログラムの中で要因を判断する必要があります。

### 6.2.1 要因

リセット例外／ノンマスカブル割り込みの要因として以下のものがあります。

#### 6.2.1.1 リセット例外の要因

・ 外部リセット端子

外部リセット端子を“L”にしたのち、“H”にすることによりリセット例外が発生します。

・ WDT によるリセット例外

WDT にリセットを発生する機能があります。詳細は WDT の章をご覧ください。

#### 6.2.1.2 ノンマスカブル割り込み (NMI) の要因

・ 外部 NMI 端子

外部 NMI 端子を“L”にすることによりノンマスカブル割り込みが発生します。

(TMP19A44 には外部 NMI 端子は有りません。)

・ WDT によるノンマスカブル割り込み

WDT にノンマスカブル割り込みを発生する機能があります。詳細は WDT の章をご覧ください。

・ ライトバスエラーによるノンマスカブル割り込み

オペランドライトバスサイクルがバスエラーとなった場合、バスエラー例外ではなくノンマスカブル割り込みが発生します。

## 6.2.2 処理詳細

### 6.2.2.1 処理の流れ

リセット例外／ノンマスクブル割り込みの処理の流れを以下に示します。

以下の説明で、 はハードウェアによる処理を、 はソフトウェアによる処理を示しています。



処理	内容
<div style="text-align: center;">↓</div> <div style="border: 1px solid black; padding: 5px; text-align: center;">例外ハンドラプログラム 実行</div>	必要な処理をプログラミングしてください。
<div style="text-align: center;">↓</div> <div style="border: 1px solid black; padding: 5px; text-align: center;">元のプログラムへ 復帰</div>	例外ハンドラから通常の処理プログラムに復帰します。

(注) CPO レジスタ Cause<BD>ビットは例外がジャンプ／分岐命令のロットに置かれた命令で発生したときに“1” それ以外で“0” がセットされます。  
ErrorEPC には通常は例外の発生した命令の PC が格納されますが、ジャンプ／分岐命令のロットで発生した場合にはジャンプ／分岐命令の PC が格納されます。

#### 6.2.2.2 リセット例外とノンマスクブル割り込みの判別

リセット例外とノンマスクブル割り込みは同じリセット例外ベクタアドレスへ分岐するため、どちらが発生したのか知るためには CPO レジスタの Status<NMI>ビットを参照します。このビットはリセット例外発生で“0”、ノンマスクブル割り込み発生で“1”が格納されます。その他の例外／割り込みでは変化しません。

ノンマスクブル割り込みには複数の要因があるため、どの要因によって発生したのか知るためにはクロックジェネレータレジスタの NMIFLG レジスタを参照します。

#### 6.2.2.3 CPO レジスタ Status<EXL>ビットについて

Status<EXL>ビットは“1”のときに割り込みが禁止されます。

リセット例外／ノンマスクブル割り込みが発生すると CPU の例外処理により Status<EXL>に“1”がセットされます。また、ERET 命令を実行して例外ハンドラから復帰するときには自動的に“0”に書き換えられます。

このため、例外ハンドラ実行中に割り込みを使用したいときには“0”をセットする必要があります。

#### 6.2.2.4 CPO レジスタ ErrorEPC に格納される PC について

ErrorEPC レジスタへは例外の発生した命令の PC が格納されますが、電源投入直後のリセット例外では PC の値が確定していないため、ErrorEPC レジスタに格納される値は不定になります。

#### 6.2.2.5 例外ハンドラからの復帰

「6.1.3.6 例外／割り込みからの復帰」の章を参照してください。

## 6.3 一般例外

リセット例外とノンマスカブル割り込み以外の一般例外の処理について説明します。  
一般例外には以下のようなものがあります。

アドレスエラー例外（命令フェッチ）  
アドレスエラー例外（ロード／ストア）  
バスエラー例外（命令フェッチ）  
バスエラー例外（ロード）  
コプロセッサ使用不可例外  
予約命令例外  
整数オーバーフロー例外  
トラップ例外  
システムコール例外  
ブレークポイント例外

### 6.3.1 要因

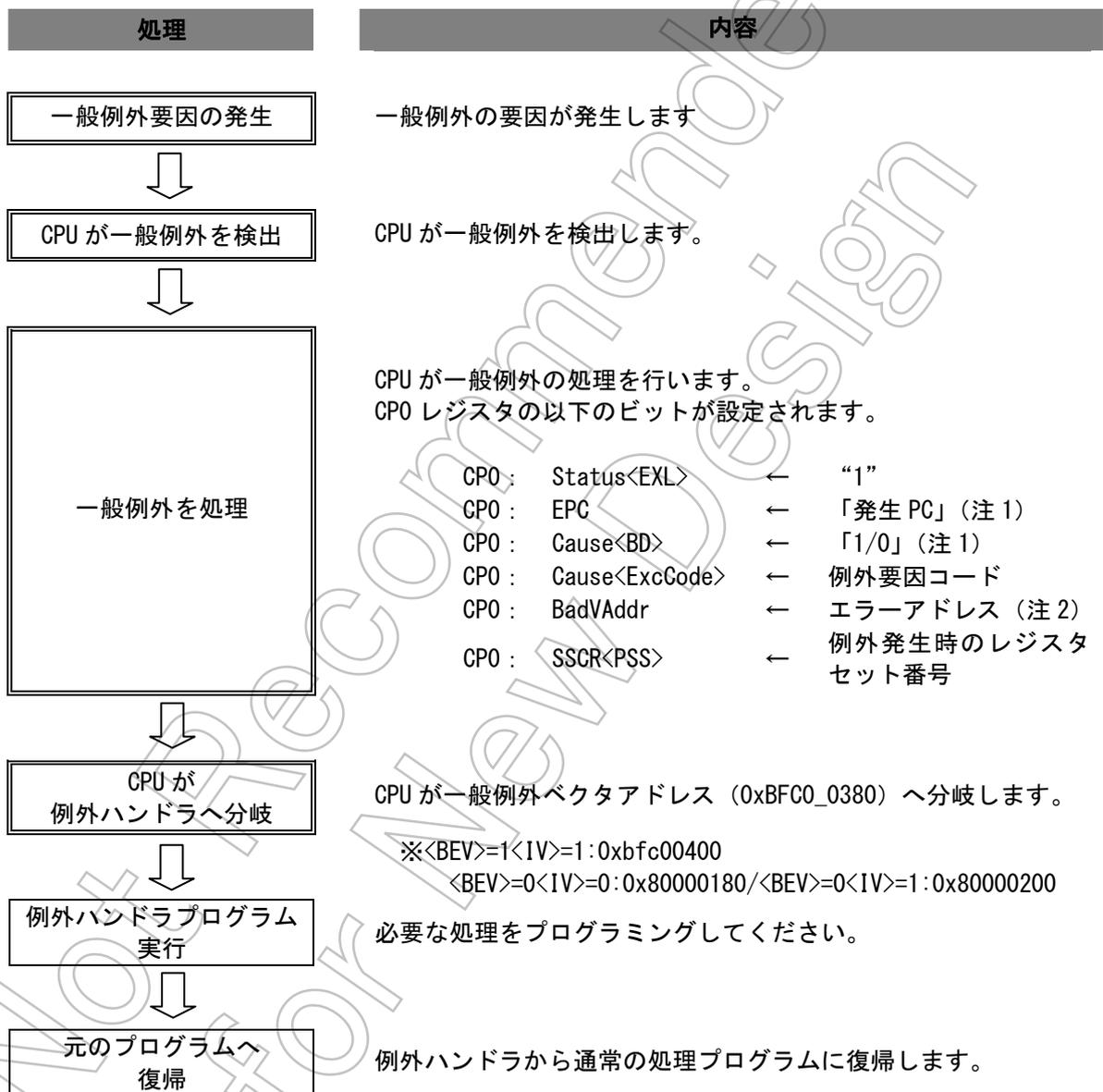
特定の命令実行した場合や不正な命令フェッチなどの異常を検出した場合に一般例外が発生します。  
それぞれの例外が発生する条件については TX19A/H1 コアアーキテクチャ編をご覧ください。

## 6.3.2 処理詳細

## 6.3.2.1 処理の流れ

一般例外の処理の流れを以下に示します。

以下の説明で、 はハードウェアによる処理を、 はソフトウェアによる処理を示しています。



- (注 1) CPO レジスタ Cause<BD>ビットは例外がジャンプ/分岐命令のスロットに置かれた命令で発生したときに“1”それ以外で“0”がセットされます。  
EPC には通常は例外の発生した命令の PC が格納されますが、ジャンプ/分岐命令のスロットで発生した場合にはジャンプ/分岐命令の PC が格納されます。
- (注 2) アドレスエラー例外が発生したときのみ、エラーとなった仮想アドレスが格納されます。

### 6.3.2.2 一般例外が発生した場合の処理

トラップ例外、システムコール例外、ブレークポイント例外を除く一般例外（リセット例外／NMI を除く）は、異常状態を意味しているためリセットをかけるような処理をするのが一般的です。

バスエラー例外（命令フェッチ、データアクセス）以外の一般例外（リセット例外／NMI を除く）は、EPC に例外発生原因となった PC が格納されますので、そのまま ERET で復帰した場合、再度例外が発生する可能性があります。

### 6.3.2.3 例外ハンドラからの復帰

「6.1.3.6 例外／割り込みからの復帰」の章を参照してください。

Not Recommended  
for New Design

## 6.4 ソフトウェア割り込み

ソフトウェア割り込みは CPO レジスタを設定することで発生します。

ソフトウェア割り込みの要因は 2 本あります。

ソフトウェア割り込みとハードウェア割り込みは優先度が同じため、同時に発生することがあります。また、例外ハンドラアドレスは共通です。

### 6.4.1 要因

#### 6.4.1.1 ソフトウェア割り込みの要因

CPO レジスタに以下の 3 つの設定がなされたときにソフトウェア割り込み要因として認識され、最短 3 クロック後にソフトウェア割り込みが発生します。

- 1) Status<IM>[1:0] (割り込みマスク) が “1”
- 2) Cause<IP>[1:0] (割り込み要求) が “1”
- 3) Status<IE> (割り込み許可ビット) が “1”

このうち、IM ビットと IP ビットの 2 ビットは 2 本のソフトウェア割り込み要因それぞれに対応しており、IM[1]と IP[1]、IM[0]と IP[0]の組で設定します。

IE ビットはソフトウェア割り込み／ハードウェア割り込み共通の許可ビットです。

#### 6.4.1.2 ソフトウェア割り込みが発生しない条件

ソフトウェア割り込みの要因がそろっていても、以下の状態ではソフトウェア割り込みは発生しません。要因は、発生可能な状態になるまで保留されます。

・ CPO レジスタ Status<ERL>または Status<EXL>ビットが “1”

Status<ERL>ビットはリセット／NMI が発生したとき、Status<EXL>ビットはリセット／NMI 以外の一般例外または割り込みが発生したときに “1” にセットされるビットです。例外または割り込み発生後、ソフトウェア割り込みは禁止状態になっています。

Status<ERL>/Status<EXL>ビットは書き換えが可能ですので、例外ハンドラプログラムで “0” に書き換えることによりソフトウェア割り込みを許可状態にすることができます。また、ERET 命令実行で例外ハンドラから復帰すると自動的に “0” に戻ります。

・ デバッグモード中

デバッグ例外が発生してから DRET 命令で復帰するまでの間がデバッグモード中です。デバッグモード中、ソフトウェア割り込みは無視されます。

・ CPU がストール中

CPU が何らかの要因でストールしているときは、ソフトウェア割り込みは発生しません。

#### 6.4.1.3 要因の取り下げ

レジスタ設定を書き換えない限りソフトウェア割り込み要因は保持されています。例外ハンドラでは CP0 レジスタの Status<EXL>ビットが“1”となっているため、ソフトウェア割り込みが再度発生することはありません。例外ハンドラ中での EXL ビットの書き換え、または ERET 命令で例外ハンドラから復帰で Status<EXL>ビットが“0”になると再びソフトウェア割り込み要因が認識されます。

ソフトウェア割り込みの要因を取り下げるためには、Status<IM>ビット／Cause<IP>ビット／Status<IE>ビット／のいずれかを“0”にしてください。ただし、Status<IE>ビットはソフトウェア割り込み／ハードウェア割り込み共通の許可ビットですので、“0”にするとハードウェア割り込みも発生しなくなります。

#### 6.4.1.4 割り込みコントローラの処理

ソフトウェア割り込み発生後、割り込みコントローラの IVR レジスタの読み出しを行ってください。IVR レジスタが読み出されるまで、割り込みコントローラからのハードウェア割り込みが無効になります。このとき読まれる値は“4”になっています。

#### 6.4.1.5 例外ハンドラからの復帰

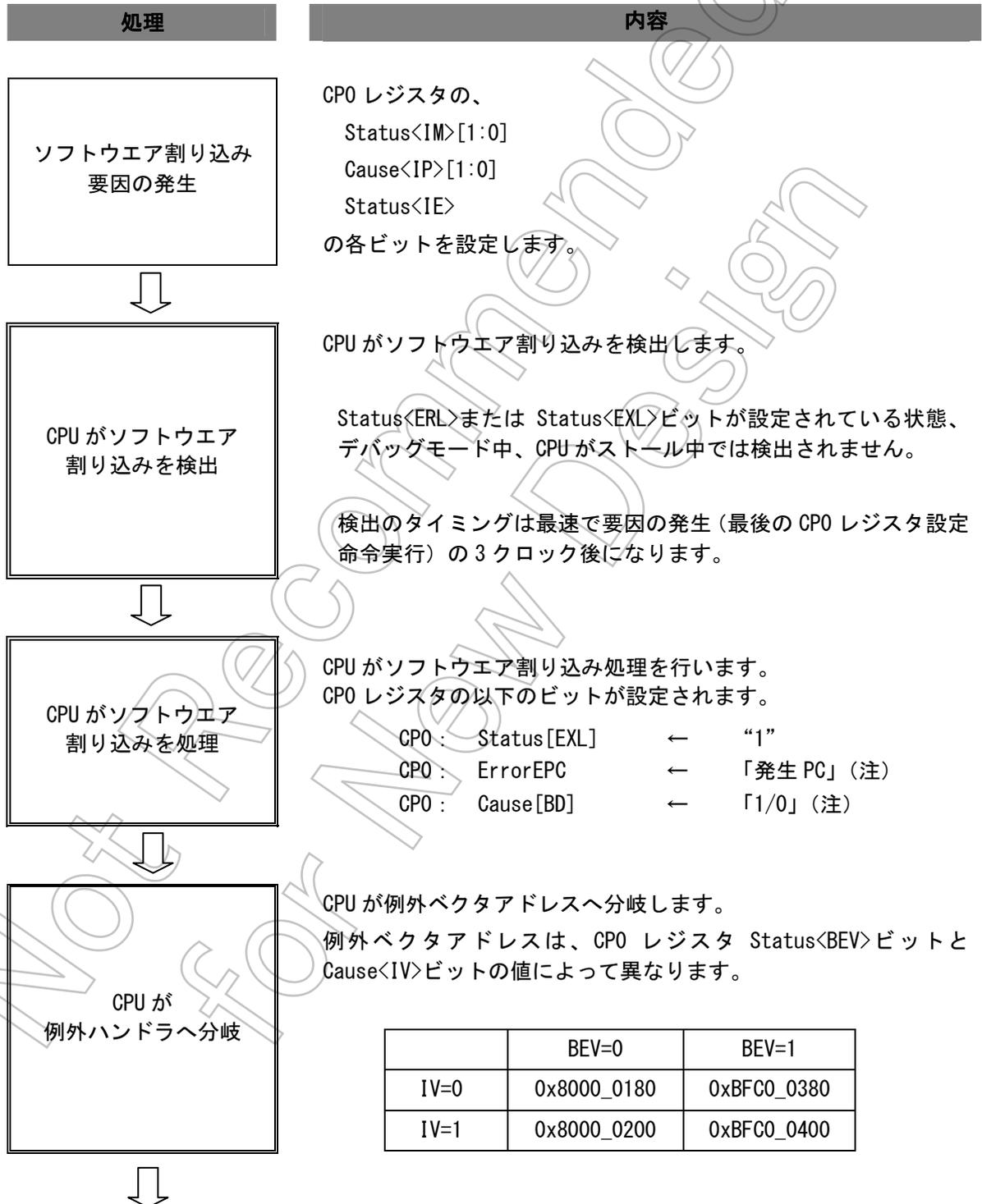
「6.1.3.6 例外／割り込みからの復帰」の章を参照してください。

## 6.4.2 処理詳細

### 6.4.2.1 処理の流れ

ソフトウェア割り込みの処理の流れを以下に示します。

以下の説明で、 はハードウェアによる処理を、 はソフトウェアによる処理を示しています。



処理	内容
<p style="text-align: center;">↓</p> <div style="border: 1px solid black; padding: 5px; text-align: center;">例外ハンドラプログラム 実行</div> <p style="text-align: center;">↓</p>	<p>必要な処理をプログラミングしてください。 必要に応じてソフトウェア割り込み要因の取り下げを行ってください。 割り込みコントローラの IVR レジスタを読み出してください。</p>
<div style="border: 1px solid black; padding: 5px; text-align: center;">元のプログラムへ 復帰</div>	<p>例外ハンドラから通常の処理プログラムに復帰します。</p>

(注) CPO レジスタ Cause<BD>ビットは例外がジャンプ/分岐命令の-slotに置かれた命令で発生したときに“1” それ以外で“0” がセットされます。  
CPO レジスタ ErrorEPC には通常は例外の発生した命令の PC が格納されますが、ジャンプ/分岐命令の-slotで発生した場合にはジャンプ/分岐命令の PC が格納されます。

#### 6.4.2.2 割り込み要因の確認

ソフトウェア割り込みの例外ハンドラはハードウェア割り込みと共通です。また、ソフトウェア割り込みとハードウェア割り込みは優先度が同じため同時に発生する場合があります。この場合、シャドウレジスタを使用可能な設定であればハードウェア割り込みのレベルに応じたレジスタセットに切り替わります。

割り込み要因の確認は、CPO レジスタ Cause<IP>[4:0] ビットと Status<IM>[4:0] ビットで行います。Cause<IP>[1:0] のいずれかが“1”であればソフトウェア割り込み要因、Cause<IP>[4:2] のいずれかが“1”であればハードウェア割り込み要因です。ソフトウェア割り込みとハードウェア割り込みが同時に検出された場合には両方の要因が有効になります。

また、Status<IM>[4:0] ビットは要因のマスクビットで Cause<IP>[4:0] ビットと組になっています。Cause<IP>ビットが“1”になっていても、該当する Status<IM>ビットが“0”であれば要因として認識されません。

Cause<IP>[4:2] のハードウェア割り込み要因はハードウェア割り込みの割り込みレベルを示しており、個別の要因を示すものではありません。ハードウェア割り込みについては「6.5 ハードウェア割り込み」で説明します。

## 6.5 ハードウェア割り込み

ハードウェア割り込みは、割り込みコントローラから CPU への割り込みレベルの通知によって発生します。

割り込みコントローラは各種要因を取りまとめ、優先順位付けを行い最も優先度の高い割り込みのレベルを CPU へ通知します。

スタンバイ解除に使用できる割り込み要因は、クロックジェネレータを経由して割り込みコントローラに要因が伝わるため、クロックジェネレータの設定も必要です。

この章では、ハードウェア割り込みの伝わる経路、要因、必要な設定について説明します。

また、多重割り込み、DMAC 要因としての使用方法についても解説します。

Not Recommended for New Design

## 6.5.1 要因

## 6.5.1.1 経路

ハードウェア割り込み要求の経路を図 6-1 に示します。

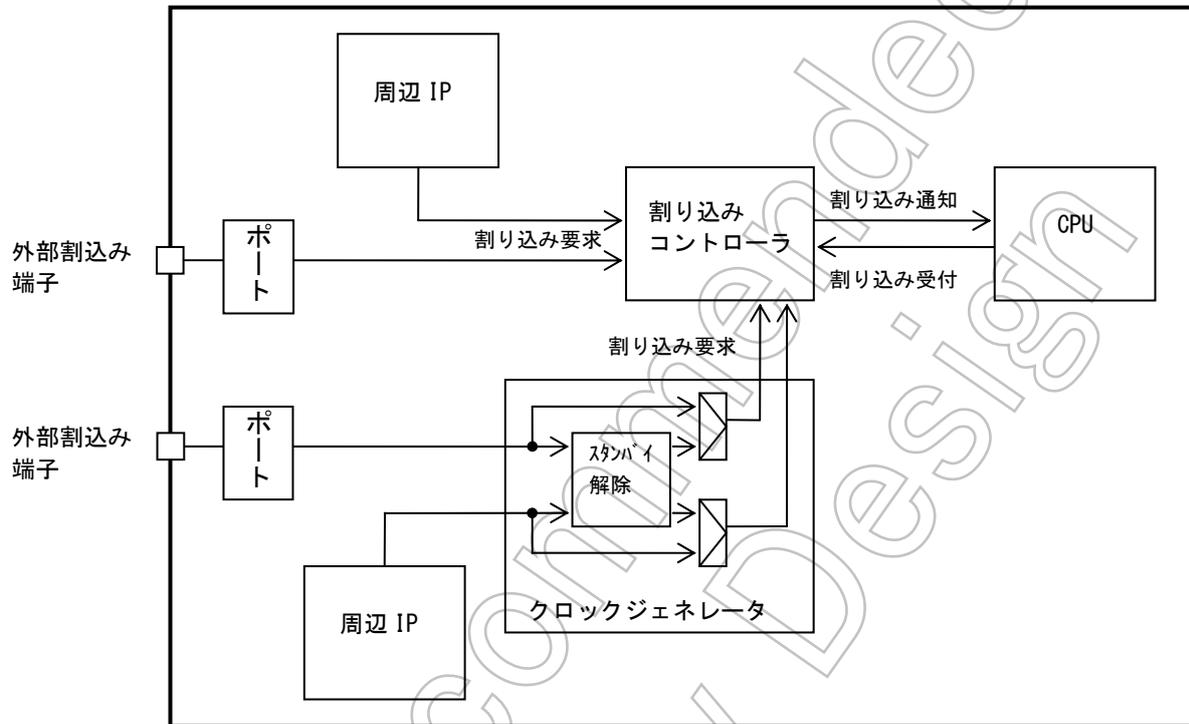


図 6-1 ハードウェア割り込みの経路

## 6.5.1.2 割り込み要因の発生

ハードウェア割り込み要求は、割り込み要因に割り当てられた外部端子、周辺 IP、割り込みコントローラ内部から発生します。

・外部端子からの割り込み

外部割り込み端子を使用する場合、ポートの制御レジスタで端子を割り込み機能に設定します。

・周辺 IP の割り込み

周辺 IP の割り込みを使用する場合、使用する周辺 IP で割り込みが出力されるよう設定する必要があります。

詳細は各周辺 IP の章をご覧ください。

・割り込みコントローラ内部の要因による割り込み

割り込みコントローラはレジスタ設定により割り込み要因を発生する機能（ソフトウェアセット）を持っています。アクティブレベルを“L”レベルに設定し、割り込みレベルを設定することで割り込みが発生します。要因を取り下げるにはアクティブレベルを“L”レベル以外にするか、割り込みレベルを“0”にします。設定方法は、「6.5.2.2 準備」の（5）を参照してください。

### 6.5.1.3 割り込み要因の伝達

外部端子／周辺 IP から発生した割り込み要求のうち、スタンバイ解除要因にならないものは直接割り込みコントローラに接続されます。

スタンバイ解除要因として使用できる割り込みは、クロックジェネレータを経由して割り込みコントローラに接続されます。スタンバイ解除に使用するかどうかは、クロックジェネレータの制御レジスタで設定します。

### 6.5.1.4 割り込み要求の受け付け

割り込みコントローラは割り込み要因を検出すると、優先度にしたがって最も高い割り込み要因の割り込みレベルを CPU に通知します。

CPU は割り込みレベルの入力をハードウェア割り込み要因と認識し、割り込みより優先度の高い例外がなければ割り込み要求を受け付けたことを割り込みコントローラに通知します。

Not Recommended for New Designs

6.5.1.5 要因一覧

ハードウェア割り込みの要因一覧を表 6-5 に示します。

表 6-5 ハードウェア割り込み要因一覧

番号	要因		IVR	アクティブ レベル	制御レジスタ		割り込み 端子 (スタンバイ 復帰)		
					割り込み コントローラ	クロック ジェネレータ			
0	— (割り込み要因無し)		0x000	—	IMC00				
1	ソフトウェア割り込み		0x004	—					
2	INT0		0x008	任意 (注1)	IMC01	IMCGA	PA0		
3	INT1		0x00C				PA1		
4	INT2		0x010				PA2		
5	INT3		0x014		IMCGB		PA3		
6	INT4		0x018				PA4		
7	INT5		0x01C		IMC02		PA5		
8	INT6		0x020				PJ6		
9	INT7		0x024		IMCGC		PJ7		
10	INT8		0x028				P86		
11	INT9		0x02C				P87		
12	INTA		0x030		IMC03		P61		
13	INTB		0x034				P65		
14	INTC		0x038		IMC04				
15	INTD		0x03C						
16	INTE		0x040						
17	INTF		0x044						
18	KWUP	: キーオンウェイクアップ	0x048		“H” レベル	IMCGD		計 32 本	
19	INT10		0x04C	任意 (注1)	IMCGF				P72
20	INT11		0x050			P73			
21	INT12		0x054		IMC05		P76		
22	INT13		0x058				P77		
23	INT14		0x05C				IMCG10		PJ2
24	INT15		0x060		PJ3				
25	INT16		0x064		PJ4				
26	INT17		0x068		IMC06		PJ5		
27	INT18		0x06C				IMCG11		PH0
28	INT19		0x070						PH1
29	INT1A		0x074	IMC07		PH2			
30	INT1B		0x078			PH3			
31	INT1C		0x07C			IMC08			
32	INT1D		0x080						
33	INT1E		0x084						
34	INT1F		0x088						
35	INTRX0	: シリアル受信 (channel. 0)	0x08C	「↑」エッジ (注1)	IMC09				
36	INTTX0	: シリアル送信 (channel. 0)	0x090						
37	INTRX1	: シリアル受信 (channel. 1)	0x094						
38	INTTX1	: シリアル送信 (channel. 1)	0x098						
39	INTRX2	: シリアル受信 (channel. 2)	0x09C		IMCOA				
40	INTTX2	: シリアル送信 (channel. 2)	0x0A0						
41	HINTRX0	: 高速シリアル受信 (channel. 0)	0x0A4						
42	HINTTX0	: 高速シリアル送信 (channel. 0)	0x0A8						
43	HINTRX1	: 高速シリアル受信 (channel. 1)	0x0AC	IMCOB					
44	HINTTX1	: 高速シリアル送信 (channel. 1)	0x0B0						
45	HINTRX2	: 高速シリアル受信 (channel. 2)	0x0B4						
46	HINTTX2	: 高速シリアル送信 (channel. 2)	0x0B8						
47	INTSB10	: シリアルバスインターフェース 0	0x0BC						

番号	要因		IVR	アクティブ レベル	制御レジスタ		割り込 み端子 (スタンバ イ復帰)
					割り込み コントロ ーラ	クロック ジェネレ ータ	
48	INTADHPA	: 最優先 AD 変換終了割り込み A	0x0C0	「↑」エッジ (注 1)	IM0C		
49	INTADMA	: AD 変換監視機能割り込み A	0x0C4				
50	INTADHPB	: 最優先 AD 変換終了割り込み B	0x0C8				
51	INTADMB	: AD 変換監視機能割り込み B	0x0CC				
52	INTADHPC	: 最優先 AD 変換終了割り込み C	0x0D0		IM0D		
53	INTADMC	: AD 変換監視機能割り込み C	0x0D4				
54	INTTB0	: 16bitTMRB 0	0x0D8				
55	INTTB1	: 16bitTMRB 1	0x0DC				
56	INTTB2	: 16bitTMRB 2	0x0E0		IM0E		
57	INTTB3	: 16bitTMRB 3	0x0E4				
58	INTTB4	: 16bitTMRB 4	0x0E8				
59	INTTB5	: 16bitTMRB 5	0x0EC				
60	INTTB6	: 16bitTMRB 6	0x0F0		IM0F		
61	INTTB7	: 16bitTMRB 7	0x0F4				
62	INTTB8	: 16bitTMRB 8	0x0F8				
63	INTTB9	: 16bitTMRB 9	0x0FC				
64	INTTBA	: 16bitTMRB A	0x100		IM10		
65	INTTBB	: 16bitTMRB B	0x104				
66	INTTBC	: 16bitTMRB C	0x108				
67	INTTBD	: 16bitTMRB D	0x10C				
68	INTTBE	: 16bitTMRB E	0x110		IM11		
69	INTTBF	: 16bitTMRB F	0x114				
70	INTADA	: A/D 変換終了 A	0x118				
71	INTADB	: A/D 変換終了 B	0x11C				
72	INTADC	: A/D 変換終了 C	0x120		IM12		
73	INTTB10	: 16bitTMRB 10	0x124				
74	INTTB11	: 16bitTMRB 11	0x128				
75	PHCNT0	: 2相パルス入力カウンタ割り込み 0	0x12C	IMCGD	PA0/PA1		
76	PHCNT1	: 2相パルス入力カウンタ割り込み 1	0x130	IM13	PA2/PA3		
77	PHCNT2	: 2相パルス入力カウンタ割り込み 2	0x134	IMCGE	PA6/PA7		
78	PHCNT3	: 2相パルス入力カウンタ割り込み 3	0x138		PB0/PB1		
79	PHCNT4	: 2相パルス入力カウンタ割り込み 4	0x13C		PI0/PI1		
80	PHCNT5	: 2相パルス入力カウンタ割り込み 5	0x140	IM14	PI2/PI3		
81	INTCAP0	: インプットキャプチャ割り込み 0	0x144				
82	INTCAP1	: インプットキャプチャ割り込み 1	0x148				
83	INTCAP2	: インプットキャプチャ割り込み 2	0x14C				
84	INTCAP3	: インプットキャプチャ割り込み 3	0x150				IM15
85	INTCMP0	: コンペア割り込み 0	0x154				
86	INTCMP1	: コンペア割り込み 1	0x158				
87	INTCMP2	: コンペア割り込み 2	0x15C				
88	INTCMP3	: コンペア割り込み 3	0x160				IM16
89	INTCMP4	: コンペア割り込み 4	0x164				
90	INTCMP5	: コンペア割り込み 5	0x168				
91	INTCMP6	: コンペア割り込み 6	0x16C				
92	INTCMP7	: コンペア割り込み 7	0x170				IM17
93	INTTBT	: オーバーフロー割り込み	0x174				
94	INTRTC	: 時計タイマ	0x178	「↓」エッジ(注 1)	IMCGD		
95	INTDMA0	: DMA 転送終了 (channel. 0)	0x17C	“L” レベル			
96	INTDMA1	: DMA 転送終了 (channel. 1)	0x180				
97	INTDMA2	: DMA 転送終了 (channel. 2)	0x184				
98	INTDMA3	: DMA 転送終了 (channel. 3)	0x188				
99	INTDMA4	: DMA 転送終了 (channel. 4)	0x18C				IM18

番号	要因	IVR	アクティブ レベル	制御レジスタ		割り込 み端子
				割り込み コントロ ーラ	クロック ジェネレ ータ	
100	INTDMA5 : DMA 転送終了 (channel. 5)	0x190	“L” レベル	IM19		
101	INTDMA6 : DMA 転送終了 (channel. 6)	0x194				
102	INTDMA7 : DMA 転送終了 (channel. 7)	0x198				
103	ソフトウェアセット	0x19C				
104	Reserved	0x1A0				
105	Reserved	0x1A4				
106	Reserved	0x1A8				
107	Reserved	0x1AC				
108	Reserved	0x1B0				
109	Reserved	0x1B4				
110	Reserved	0x1B8				
111	Reserved	0x1BC				
112	Reserved	0x1C0				
113	Reserved	0x1C4				
114	Reserved	0x1C8				
115	Reserved	0x1CC				
116	Reserved	0x1D0				
117	Reserved	0x1D4				
118	Reserved	0x1D8				
119	Reserved	0x1DC				
120	Reserved	0x1E0				
121	Reserved	0x1E4				
122	Reserved	0x1E8				
123	Reserved	0x1EC				
124	Reserved	0x1F0				
125	Reserved	0x1F4				
126	Reserved	0x1F8				
127	Reserved	0x1FC				

(注 1) スタンバイ解除割り込みとして使用する場合、“H” レベルを設定します。

#### 6.5.1.6 優先度

それぞれの割り込みは割り込みコントローラレジスタの IMC<IL>ビットでレベル「1」から「7」の 7 段階の割り込みレベルを設定することができます。レベル「7」が最も高い優先度です。

複数の要因が同時に発生した場合には設定された割り込みレベルにしたがって最もレベルの高い割り込みが選ばれます。

また、同じ割り込みレベルの要因が同時に発生した場合には、割り込み番号の小さい要因が優先されます。

個別の割り込みレベルのほかに、割り込みコントローラ全体の割り込みレベルを割り込みコントローラレジスタ ILEV<CMASK>ビットに設定します。ILEV<CMASK>ビットに設定された割り込みレベル以下の割り込みは保留されます。ILEV<CMASK>ビットの初期値は“000”で、すべての割り込みレベルが許可されています。

### 6.5.1.7 アクティブレベル

アクティブレベルはどのような信号変化を割り込み要因と見なすかを示しており、割り込みコントローラレジスタの IMC<EIM>ビットに設定します。

アクティブレベルは、“H” レベル、“L” レベル、立ち上がり（「↑」）エッジ、立ち下がり（「↓」）エッジの 4 種から選ぶことができますが、割り込み要因によっては決められている場合があります。

個別の条件が記載されている割り込み要因については必ず記載どおりに設定してください。

「任意」と記載している要因については条件を選ぶことができます。

スタンバイ解除要因として使用する場合には、アクティブレベルは“H” レベルに設定する必要があります。詳しくは以下の説明を参照してください。

### 6.5.1.8 スタンバイ解除要因

割り込み要因のうち、スタンバイ解除要因として使用できるものについては対応するクロックジェネレータの制御レジスタ名を記載しています。

スタンバイ解除要因として使用するときにはクロックジェネレータレジスタの IMCG<INTEN>ビットを有効にし、IMCG<EMCG>ビットにアクティブレベルを設定します。スタンバイ解除要因のアクティブレベルは“H” レベル、“L” レベル、立ち上がりエッジ、立ち下がりエッジ、立ち上がり立ち下り両エッジの 5 種から選ぶことができます。

スタンバイ解除要因として使用するときには、クロックジェネレータが割り込みを検出し、“H” レベルが有効の割り込み信号として割り込みコントローラに出力するため、割り込みコントローラレジスタの IMC<EIM>ビットのアクティブレベルは必ず“H” レベルに設定します。

### 6.5.1.9 割り込みによるDMAC起動

割り込み要因を、DMAC の起動に使用することができます。このとき、割り込みは発生しません。

割り込みコントローラレジスタの IMC<DM>ビットを“1” に設定することで、アクティブレベルの条件が成立したときに DMAC に対し転送開始要求が出力されます。割り込みを DMAC 起動要因として使用する場合、IMC<ILC>は対象の DMAC チャネルを設定します。

転送要求のモニタおよび、クリアのために DMAC レジスタの DREQFLG があります。転送要求のあり/なしを、DREQFLG レジスタを読むことにより確認できます。また、DREQFLG レジスタの該当チャネルに対応するビットに“1” を書き込むことにより転送要求を取り下げることができます。

割り込みを用いた DMAC 転送の詳細については、DMAC の章を参照してください。

## 6.5.2 処理詳細

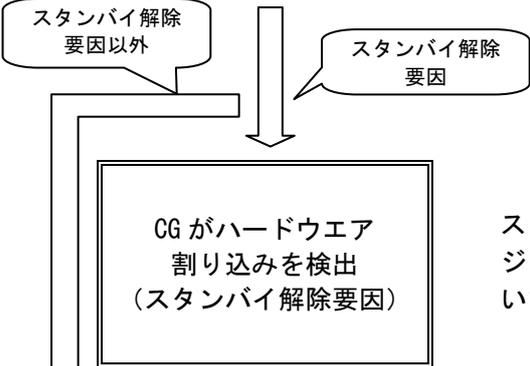
### 6.5.2.1 処理の流れ

ハードウェア割り込みの処理の流れを以下に示します。

以下の説明で、はハードウェアによる処理を、はソフトウェアによる処理を示しています。

ハードウェア割り込み要因の発生は、ハードウェアによって発生する場合と、ソフトウェアによって発生する場合があります。

処理	内容	説明
<div data-bbox="135 817 464 1294" style="border: 1px solid black; padding: 5px; text-align: center;">検出のための準備</div> <div data-bbox="135 1294 464 1608" style="border: 1px solid black; padding: 5px; text-align: center;">要因発生のための準備</div>	<p>ハードウェア割り込みを検出するための設定を、CPUのコプロセッサレジスタと割り込みコントローラのレジスタで行います。</p> <p>スタンバイ解除要因として使用する割り込みは、クロックジェネレータの設定も必要です。</p> <ul style="list-style-type: none"> <li>○共通           <ul style="list-style-type: none"> <li>CPU コプロセッサレジスタの設定</li> <li>割り込みコントローラの設定</li> </ul> </li> <li>○スタンバイ解除の設定           <ul style="list-style-type: none"> <li>クロックジェネレータの設定</li> </ul> </li> </ul> <p>ハードウェア割り込みの要因発生のための設定を行います。割り込みの種類により設定内容が異なります。</p> <ul style="list-style-type: none"> <li>○外部割り込み           <ul style="list-style-type: none"> <li>ポートの設定</li> </ul> </li> <li>○各 IP からの割り込み           <ul style="list-style-type: none"> <li>各 IP の設定（使用する IP の章を参照ください）</li> </ul> </li> </ul>	6.5.2.2 準備
ハードウェア割り込み 要因の発生	ハードウェア割り込みの要因が発生します	

処理	内容	説明									
 <p>スタンバイ解除要因以外</p> <p>スタンバイ解除要因</p> <p>CGがハードウェア割り込みを検出 (スタンバイ解除要因)</p>	<p>スタンバイ解除要因として使用できる割り込みは、クロックジェネレータを経由して割り込みコントローラに接続されています。</p>	<p>6.5.2.3 検出 (CG)</p>									
<p>INTCがハードウェア割り込みを検出</p>	<p>割り込みコントローラの IMC レジスタの設定にしたがってハードウェア割り込みを検出します。</p> <p>複数の割り込み要因を検出した場合、優先順位に従って最も優先度の高い要因の割り込みレベルをCPUに対し通知します。</p>	<p>6.5.2.4 検出 (INTC)</p>									
<p>CPUがハードウェア割り込みを検出</p>	<p>CPUがハードウェア割り込みを検出します。</p> <p>Status&lt;ERL&gt;または Status&lt;EXL&gt;ビットが設定されている状態やデバッグモード中、CPUがストール中では検出されません。</p>	<p>6.5.2.5 検出 (CPU)</p>									
<p>CPUがハードウェア割り込みを処理</p>	<p>CPUがハードウェア割り込み処理を行います。</p> <p>CPUレジスタの関係するフィールドを更新し、シャドウレジスタセットを切り替えます。</p> <p>割り込み受け付け信号を割り込みコントローラに対し出力します。</p>	<p>6.5.2.6 CPUの処理</p>									
<p>CPUが例外ハンドラへ分岐</p>	<p>CPUが例外ベクタアドレスへ分岐します。</p> <p>例外ベクタアドレスは、Status&lt;BEV&gt;ビットと Cause&lt;IV&gt;ビットの値によって異なります。</p> <table border="1" data-bbox="624 1765 1198 1910"> <thead> <tr> <th></th> <th>BEV=0</th> <th>BEV=1</th> </tr> </thead> <tbody> <tr> <td>IV=0</td> <td>0x8000_0180</td> <td>0xBF00_0380</td> </tr> <tr> <td>IV=1</td> <td>0x8000_0200</td> <td>0xBF00_0400</td> </tr> </tbody> </table>		BEV=0	BEV=1	IV=0	0x8000_0180	0xBF00_0380	IV=1	0x8000_0200	0xBF00_0400	
	BEV=0	BEV=1									
IV=0	0x8000_0180	0xBF00_0380									
IV=1	0x8000_0200	0xBF00_0400									
<p>例外ハンドラ</p>	<p>必要な処理をプログラミングしてください。</p>	<p>6.5.2.7</p>									

処理	内容	説明
プログラム実行	必要に応じてハードウェア割り込み要因の取り下げを行ってください。	例外ハンドラ
↓		
元のプログラムへ復帰	例外ハンドラから通常の処理プログラムに復帰します。	

### 6.5.2.2 準備

ハードウェア割り込みの準備を行うときには、設定途中で不要な割り込みの発生を防ぐために設定の順番に注意が必要です。

割り込みの使用開始、または設定変更のときの基本的な順序は、まず、CPU で割り込みを禁止し、次に割り込み経路で CPU から遠いところから設定を行い、最後に CPU で割り込みを許可します。

クロックジェネレータ、割り込みコントローラの設定を行うときには、条件の設定を行った後、不要な割り込みが発生しないよう、クロックジェネレータ、割り込みコントローラ内部の割り込み情報をクリアしてから割り込み許可の設定を行います。

以下に設定の手順と、手順ごとの具体的な設定方法を示します。

- (1) CPU 割り込み禁止
- (2) CPU 割り込み設定
- (3) 要因の準備①（外部割り込み）
- (4) 要因の準備②（IP からの割り込み）
- (5) 要因の準備③（ソフトウェアセット）
- (6) クロックジェネレータの設定（スタンバイ解除要因のみ）
- (7) 割り込みコントローラの設定
- (8) CPU 割り込み許可

## (1) CPU割り込み禁止

CPU を割り込み禁止状態にするには、CPO レジスタの Status<IE> (割り込み許可) ビットを “0” にします。リセット後の初期状態は割り込み禁止状態になっています。

●CPO レジスタ		
Status<IE>	←	“0” (割り込み禁止)

IE ビットを “0” にするには、以下の 4 つの方法があります。

- 32 ビット ISA の MTC0 命令で CPO レジスタの Status<IE>を “0” にセットする。
- 32 ビット ISA の MTC0 命令で CPO レジスタの IER を “0” にセットする。
- 16 ビット ISA の MTC0 命令で CPO レジスタの Status<IE>を “0” にセットする。
- 16 ビット ISA の DI 命令を実行する。

コード増加を抑制し、高速に処理するために、2. と 4. の方法を推奨します。

## (2) CPU割り込み設定

CPO レジスタの設定を行います。

Cause<IV>ビットを “1” とし、割り込みとその他例外のベクタアドレスを分離する設定にします。

Status<IM> (割り込みマスクビット) のビット 4~2 に “1” を書き込み、割り込みコントローラからの割り込みをイネーブルにします。

シャドウレジスタを使用する場合には SSCR<SSD>ビットを “0” とします。

●CPO レジスタ		
Cause<IV>	←	“1”
Status<IM>	←	“111”
SSCR<SSD>	←	“0”

## (3) 要因の準備① (外部割り込み)

外部割り込みを使用する場合、該当する端子のポートの設定を行います。機能端子として使用するため、該当するポートのファンクションレジスタ PnFCx[m]に “1” を、ポートを入力として使用するために PnCR[m]を “0” に設定します。

●ポートレジスタ		
PnFCx<PnmFx>	←	“1”
PnCR<PnmC>	←	“0”

(注) 「n」は該当ポート番号、「m」は該当ビット、「x」はファンクションレジスタ番号。

## (4) 要因の準備② (IPからの割り込み)

IP からの割り込みを使用する場合、設定方法は IP によって異なります。各 IP の章をご覧ください。

## (5) 要因の準備③ (ソフトウェアセット)

ソフトウェアセットは、割り込みコントローラの IMC レジスタを設定することで割り込み要求を発生します。

アクティブレベルは“L”レベルを設定します。割り込みレベルは任意に設定できます。

ソフトウェアセット要因については、設定するとすぐに割り込み要因として認識されるため、CPU で割り込みを許可した後、必要なときにアクティブレベルと割り込みレベルを設定します。

●割り込みコントローラレジスタ		
IMC19<EIM671 : 670>	←	「00」(“L”レベル)
IMC19<IL672 : 670>	←	割り込みレベル

## (6) クロックジェネレータの設定 (スタンバイ要因のみ)

スタンバイ解除要因として使用しない場合、クロックジェネレータの設定は不要です。

スタンバイ解除要因として割り込みを使用する場合、クロックジェネレータの IMCG レジスタでアクティブレベルと割り込み許可の設定を行います。IMCG レジスタは要因ごとの設定レジスタです。

割り込み許可の前に、不要な割り込み発生を防止するため割り込み要求のクリアを EICRCG レジスタで行います。EICRCG レジスタは、要因に対応した値を書き込むことで保持されていた割り込み要求をクリアすることができます。具体的な値は、「6.6.3.2 INTCG クリアレジスタ」を参照してください。

●クロックジェネレータレジスタ		
IMCGn<EMCGm>	←	アクティブレベル
EICRCG<ICRCG>	←	使用する要因に対応する値
IMCGn<INTmEN>	←	“1”(割り込み許可)

(注) 「n」はレジスタ番号、「m」は割り込み要因固有の番号。

## (7) 割り込みコントローラの設定

割り込みコントローラでは、割り込みコントローラ全体のマスクレベルの設定と割り込みベクタテーブルのベースアドレスの設定、および要因ごとのアクティブレベルと割り込みレベルを設定します。

ILEV レジスタで、割り込みコントローラで検出する割り込みレベルを設定することができます。ILEV<CMASK>に設定したレベル以下の割り込み要因は保留されます。

初期値はレベル“0”になっており、すべての割り込みレベルを検出可能な状態です。設定レベルを変更する場合には、ILEV<CMASK>の書き込みと同時に ILEV<MLEV>ビットに“1”を書く必要があります。

●割り込みコントローラレジスタ		
ILEV<CMASK>	←	マスク割り込みレベル
ILEV<MLEV>	←	“1”

IVR レジスタの IVR[31:9]に割り込みベクタテーブルのベースアドレスを設定し、設定したアドレスに割り込みベクタテーブルを準備します。

●割り込みコントローラレジスタ		
IVR[31:9]	←	割り込みハンドラベースアドレス

次に IMCxx に設定しようとしている割込みについて割り込みコントローラに保持された割り込みが不要に発生しないようにクリアします。INTCLR レジスタに該当割り込みの IVR を書き込むことで要因をクリアできます。

●割り込みコントローラレジスタ		
INTCLR<EICLR>	←	IVR

IMC レジスタでアクティブレベルと割り込みレベルの設定を行います。IMC レジスタは要因ごとの設定レジスタです。

アクティブレベルは、要因によっては指定されているものがあります。詳細は IMC レジスタの説明を参照してください。

スタンバイ解除割り込みとして使用する場合は必ず“H”レベルを設定してください。

ソフトウェアセットを使用する場合は、“L”レベルを設定してください。

●割り込みコントローラレジスタ		
IMCn<EIMm>	←	アクティブレベル
IMCn<ILm>	←	割り込みレベル

## (8) CPU割り込み許可

最後に Status レジスタで CPU の割り込み許可の設定をします。

CPU を割り込み許可状態にするには、Status<IE> (割り込み許可) ビットを “1” にします。

●CPO レジスタ		
Status<IE>	←	“1”

IE ビットを “1” に設定するには、以下の 4 つの方法があります。

1. 32 ビット ISA の MTC0 命令で CPO レジスタの Status<IE>を “1” にセットする。
2. 32 ビット ISA の MTC0 命令で CPO レジスタの IER を “0” 以外にセットする。
3. 16 ビット ISA の MTC0 命令で CPO レジスタの Status<IE>を “1” にセットする。
4. 16 ビット ISA の EI 命令を実行する。

コード増加を抑制し、高速に処理するために、2. と 4. の方法を推奨します。

### 6.5.2.3 検出 (クロックジェネレータ)

スタンバイ解除要因として使用する割り込みは、クロックジェネレータに設定されたアクティブレベルにしたがって検出され、割り込みコントローラに伝えられます。

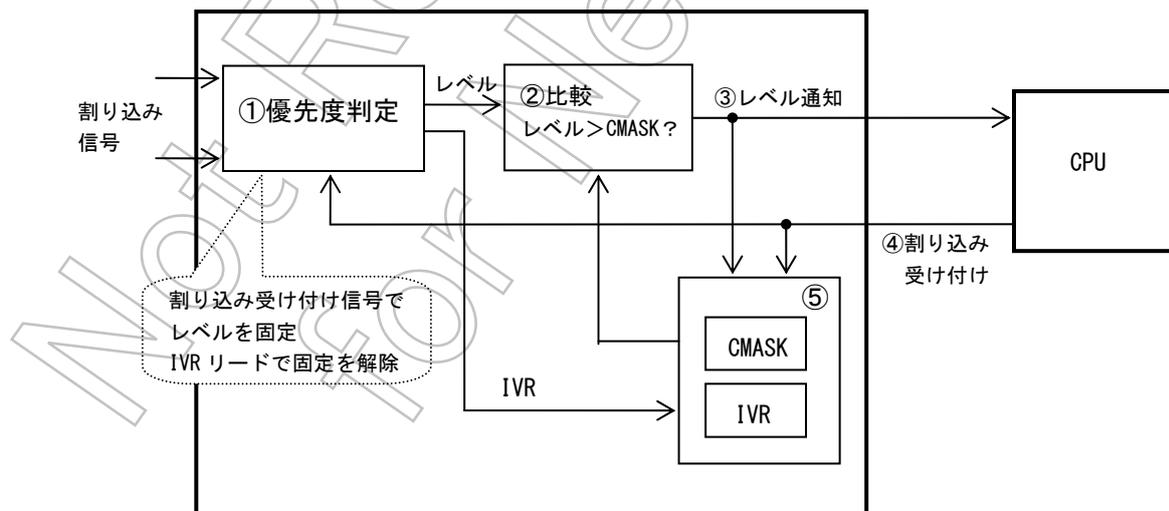
アクティブレベルが立ち上がりまたは立下りエッジの割り込み要因は、検出された後クロックジェネレータで要因が保持されますが、“H” レベルまたは “L” レベル設定の割り込み要因は、アクティブレベルから変化すると割り込み要因なしとみなされるため、割り込み検出までレベルを保つ必要があります。

クロックジェネレータは割り込みを検出すると “H” レベル有効の割り込みを割り込みコントローラに出力します。このため、スタンバイ解除に使用する割り込みは、割り込みコントローラではアクティブレベルを “H” に設定します。

## 6.5.2.4 検出（割り込みコントローラ）

割り込みコントローラでは以下のような順序で割り込みが処理されます。

- ①要因ごとに設定されたアクティブレベルにしたがって割り込みが検出され、割り込みレベル、割り込み番号によって最も優先度の高い要因が選択されます。  
アクティブレベルが立ち上がりまたは立下りエッジの割り込み要因は、検出された後割り込みコントローラで要因が保持されますが、“H”レベルまたは“L”レベル設定の割り込み要因は、アクティブレベルから変化すると割り込み要因なしとみなされるため、割り込み検出までレベルを保つ必要があります。
- ②選択された要因の割り込みレベルと ILEV<CMASK>に設定されたレベルを比較し、ILEV<CMASK>より割り込みレベルが高ければCPUに対し割り込みレベルを通知します。
- ③CPU が割り込みを検出すると、割り込み受け付けを示す信号が割り込みコントローラに出力されます。この信号が出力されるまでにさらに優先度の高い割り込みが検出されると、CPU に対する割り込みレベルは最も優先度の高い割り込みのものに差し替えられます。
- ④CPU から割り込み受け付け信号が入力されると、割り込みコントローラはそのとき最も高い優先度の割り込みの IVR を IVR レジスタへ、割り込みレベルを ILEV レジスタの CMASK へセットします。
- ⑤IVR が読み出されるまで、割り込みコントローラは検出した割り込みの情報を保持し、より優先度の高い割り込み要因があっても保留されます。



## 6.5.2.5 検出 (CPU)

### 6.5.2.5.1 (1) ハードウェア割り込みの要因

CPU では以下の条件がそろえばハードウェア割り込み要因があることを認識します。

- 1) Status<IM> (割り込みマスク) が “111”
- 2) Status<IE> (割り込み許可ビット) が “1”
- 3) 割り込みコントローラからの割り込みレベル通知が “1” 以上

### 6.5.2.5.2 (2) ハードウェア割り込みが発生しない条件

割り込み要因が存在しても、以下の状態ではハードウェア割り込みは発生しません。要因は、発生可能な状態になるまで保留されます。

#### 1) CPO レジスタ Status<ERL>または Status<EXL>ビットが “1”

Status<ERL>ビットはリセット/NMI が発生したとき、Status<EXL>ビットはリセット/NMI 以外の一般例外または割り込みが発生したときに “1” にセットされるビットです。例外または割り込み発生後、ハードウェア割り込みは禁止状態になっています。

Status<ERL>/Status<EXL>ビットは書き換えが可能ですので、例外ハンドラプログラムで “0” に書き換えることによりハードウェア割り込みを許可状態にすることができます。また、ERET 命令実行で例外ハンドラから復帰すると自動的に “0” に戻ります。

#### 2) デバッグモード中

デバッグ例外が発生してから DRET 命令で復帰するまでの間がデバッグモード中です。デバッグモード中、ハードウェア割り込みは無視されます。

#### 3) CPU がストール中

CPU が何らかの要因でストールしているときは、ハードウェア割り込みは発生しません。

## 6.5.2.6 CPUの処理

割り込みが発生すると、CPU は CP0 レジスタの必要なフィールドを更新し、例外ハンドラへ分岐します。

## 6.5.2.6.1 (1) CP0 レジスタの変化

割り込み発生により、以下の CP0 レジスタの値が変化します。

●CP0 レジスタ		
Status<EXL>	←	“1” (割り込み禁止状態)
Cause<BD>	←	分岐命令のスロットで例外/割り込みが発生した場合 “1” それ以外では “0”
Cause<ExcCode>	←	例外/割り込みに応じたコードが格納される 割り込みの場合 「0y00000」
EPC	←	割り込み発生時に実行していた命令の PC
SSCR<CSS>	←	割り込みレベルと同じ値(注) 割り込みレベルの値が新しいシャドウレジスタセットの番号となる
SSCR<PSS>	←	割り込み発生前の CSS の値(*) 割り込み発生前のシャドウレジスタセットの番号

(注) CSS と PSS は、SSCR レジスタの SSD が “1” (シャドウレジスタを使用する) の場合のみ変化します。

6.5.2.6.2 (2) シャドウレジスタセットの切り替え

SSCR<SSD>が“0”でシャドウレジスタを使用する設定になっている場合、割り込みレベルと同じ番号のレジスタセットに切り替わります。

レジスタセットにより切り替わらないレジスタもあります。

レジスタセット番号とレジスタの関係は以下のようになっています。

Shadow Register Set 番号	0	1	2	3	4	5	6	7
	r0							
	r26 (k0)							
	r27 (k1)							
	r28 (gp)							
r29 (sp)	r29 (sp)							
r1 (at)	r1 (at)	r1 (at)	r1 (at)	r1 (at)	r1 (at)	r1 (at)	r1 (at)	r1 (at)
r2 (v0)	r2 (v0)	r2 (v0)	r2 (v0)	r2 (v0)	r2 (v0)	r2 (v0)	r2 (v0)	r2 (v0)
r3 (v1)	r3 (v1)	r3 (v1)	r3 (v1)	r3 (v1)	r3 (v1)	r3 (v1)	r3 (v1)	r3 (v1)
r4 (a0)	r3 (a0)	r4 (a0)						
r5 (a1)	r5 (a1)	r5 (a1)	r5 (a1)	r5 (a1)	r5 (a1)	r5 (a1)	r5 (a1)	r5 (a1)
r6 (a2)	r6 (a2)	r6 (a2)	r6 (a2)	r6 (a2)	r6 (a2)	r6 (a2)	r6 (a2)	r6 (a2)
r7 (a3)	r7 (a3)	r7 (a3)	r7 (a3)	r7 (a3)	r7 (a3)	r7 (a3)	r7 (a3)	r7 (a3)
r8 (t0)	r8 (t0)	r8 (t0)	r8 (t0)	r8 (t0)	r8 (t0)	r8 (t0)	r8 (t0)	r8 (t0)
r9 (t1)	r9 (t1)	r9 (t1)	r9 (t1)	r9 (t1)	r9 (t1)	r9 (t1)	r9 (t1)	r9 (t1)
r10 (t2)	r10 (t2)	r10 (t2)	r10 (t2)	r10 (t2)	r10 (t2)	r10 (t2)	r10 (t2)	r10 (t2)
r11 (t3)	r11 (t3)	r11 (t3)	r11 (t3)	r11 (t3)	r11 (t3)	r11 (t3)	r11 (t3)	r11 (t3)
r12 (t4)	r12 (t4)	r12 (t4)	r12 (t4)	r12 (t4)	r12 (t4)	r12 (t4)	r12 (t4)	r12 (t4)
r13 (t5)	r13 (t5)	r13 (t5)	r13 (t5)	r13 (t5)	r13 (t5)	r13 (t5)	r13 (t5)	r13 (t5)
r14 (t6)	r14 (t6)	r14 (t6)	r14 (t6)	r14 (t6)	r14 (t6)	r14 (t6)	r14 (t6)	r14 (t6)
r15 (t7)	r15 (t7)	r15 (t7)	r15 (t7)	r15 (t7)	r15 (t7)	r15 (t7)	r15 (t7)	r15 (t7)
r16 (s0)	r16 (s0)	r16 (s0)	r16 (s0)	r16 (s0)	r16 (s0)	r16 (s0)	r16 (s0)	r16 (s0)
r17 (s1)	r17 (s1)	r17 (s1)	r17 (s1)	r17 (s1)	r17 (s1)	r17 (s1)	r17 (s1)	r17 (s1)
r18 (s2)	r18 (s2)	r18 (s2)	r18 (s2)	r18 (s2)	r18 (s2)	r18 (s2)	r18 (s2)	r18 (s2)
r19 (s3)	r19 (s3)	r19 (s3)	r19 (s3)	r19 (s3)	r19 (s3)	r19 (s3)	r19 (s3)	r19 (s3)
r20 (s4)	r20 (s4)	r20 (s4)	r20 (s4)	r20 (s4)	r20 (s4)	r20 (s4)	r20 (s4)	r20 (s4)
r21 (s5)	r21 (s5)	r21 (s5)	r21 (s5)	r21 (s5)	r21 (s5)	r21 (s5)	r21 (s5)	r21 (s5)
r22 (s6)	r22 (s6)	r22 (s6)	r22 (s6)	r22 (s6)	r22 (s6)	r22 (s6)	r22 (s6)	r22 (s6)
r23 (s7)	r23 (s7)	r23 (s7)	r23 (s7)	r23 (s7)	r23 (s7)	r23 (s7)	r23 (s7)	r23 (s7)
r24 (t8)	r24 (t8)	r24 (t8)	r24 (t8)	r24 (t8)	r24 (t8)	r24 (t8)	r24 (t8)	r24 (t8)
r25 (t9)	r25 (t9)	r25 (t9)	r25 (t9)	r25 (t9)	r25 (t9)	r25 (t9)	r25 (t9)	r25 (t9)
r30 (fp)	r30 (fp)	r30 (fp)	r30 (fp)	r30 (fp)	r30 (fp)	r30 (fp)	r30 (fp)	r30 (fp)
r31 (ra)	r31 (ra)	r31 (ra)	r31 (ra)	r31 (ra)	r31 (ra)	r31 (ra)	r31 (ra)	r31 (ra)

## 6.5.2.6.3 (3) 例外ハンドラへの分岐

Status<BEV>ビット、Cause<IV>ビットの値により例外ベクタアドレスは以下のようになります。

Status<BEV>ビットはリセット後“1”になっています。例外ベクタアドレスを内蔵ROMに置く場合はStatus<BEV>ビットを“1”のまま使用してください。

Cause<IV>ビットはリセット後の値は不定ですので、ユーザが設定する必要があります。Cause<IV>ビットの設定を“1”にすることにより、割り込みの例外とその他例外のベクタアドレスを分離することができます。

	BEV = 0	BEV = 1
IV = 0	0x8000_0180	0xBF00_0380
IV = 1	0x8000_0200	0xBF00_0400

## 6.5.2.6.4 (4) 割り込み受け付け信号の出力

CPUは、割り込みを受け付けると割り込みコントローラに対し割り込み受け付け信号を出力します。割り込みコントローラはこの信号を受けてその時点で最も優先度の高い割り込みのレベルと割り込み番号を保持します。割り込みコントローラの動作については、「6.5.2.3 検出（割り込みコントローラ）」を参照してください。

### 6.5.2.7 例外ハンドラでの処理（要因の判別と取り下げ）

例外ハンドラではアプリケーションにより必要な内容をプログラミングしますが、ここでは要因の判別と取り下げについて説明します。

以下の手順で処理を行います。

- (1) 要因の判別
- (2) 割り込み要求の解除（割り込みコントローラ）
- (3) 割り込みハンドラへ分岐
- (4) 割り込み要因の取り下げ（レベル検出の割り込みの場合）
- (5) 割り込みハンドラでの処理
- (6) 割り込みハンドラからの復帰

#### 6.5.2.7.1 (1) 要因の判別

要因の判別に使用するレジスタを以下にまとめます。

●CP0 レジスタ	
Cause<IP>[4:2]	ハードウェア割り込みのレベル “000”の場合はハードウェア割り込み要因はなし
Cause<IP>[1:0]	ソフトウェア割り込み番号に対応するビットが“1” “00”の場合はソフトウェア割り込み要因はなし
●割り込みコントローラ	
IVR[8:0]	要因に応じた値 (要因一覧参照)

割り込み要因の確認は、Cause<IP>[4:0]ビットで行います。Cause<IP>[1:0]のいずれかが“1”であればソフトウェア割り込み要因、Cause<IP>[4:2]が“0”以外の値であればハードウェア割り込み要因です。ソフトウェア割り込みとハードウェア割り込みが同時に検出された場合には両方の要因が有効になります。

ハードウェア割り込みである場合、割り込みコントローラの IVR レジスタで要因を確認します。IVR[8:0]には、要因に応じた値がセットされています。詳細は要因一覧の表を参照してください。

## 6.5.2.7.2 (2) 割り込み要求の解除 (割り込みコントローラ)

CPU からの割り込み受け付け信号を受け、割り込みコントローラは要求レベルを固定した状態になっています。IVR[8:0]で確認した値を INTCLR レジスタにセットすることで CPU に受け付けられた要求をクリアします。

●割り込みコントローラ	
INTCLR[8:0]	要因に応じた IVR[8:0]の値 (要因一覧参照)

要求をクリアすることにより、その時点で割り込みコントローラで保留されている割り込みがあれば最も優先度の高いものが新たに CPU に対し要求されます。

ただし、割り込みの例外ハンドラへ分岐した時点では、CPO レジスタの Status<EXL>ビットが“1”となって新たな割り込みは受け付けられない設定になっています。多重割り込みを使用する場合の設定等については、「6.6.2.7 多重割り込み」で説明します。

## 6.5.2.7.3 (3) 割り込みハンドラへ分岐

割り込みコントローラレジスタの IVR[31:9]に割り込みハンドラテーブル先頭アドレスを設定している場合、IVR[31:0]のアドレスに格納された値がそのまま割り込みハンドラ先頭アドレスとして使用できるため、このアドレスへ分岐します。

## 6.5.2.7.4 (4) 割り込みハンドラでの処理

通常、割り込みハンドラでは必要なレジスタの退避と割り込み処理を行います。Shadow Register Set を有効 (CPO レジスタ SSCR<SSD>=0) にしている場合は、汎用レジスタの r26, r27, r28, r29 (Shadow Register Set 番号 1~7) 以外は自動的に退避されるため、ユーザプログラムで退避する必要はありません。

一般的に汎用レジスタ以外はユーザプログラムに依存しますが、必要に応じて、CPO レジスタの Status, EPC, SSCR, HI, L0, Cause, Config 等も退避します。

割り込み禁止の状態でも一般例外は受け付けられます。そのため多重割り込みを使用しない場合でも一般例外によって書き換わる可能性のある、汎用レジスタ及び CPO レジスタを退避することを推奨します。

## 6.5.2.7.5 (5) 割り込み要因の取り下げ

レベル検出の割り込みの場合、要因そのものを取り下げない限り割り込み要求は存在し続けるため、要因のクリアをする必要があります。

エッジ検出の場合は INTCLR レジスタに該当する割り込みの IVR を設定することで要因は取り下げられ、再度有効なエッジが発生したときに改めて要因として認識されます。( (2) 割り込み要求の解除を参照してください。)

## 6.5.2.7.6 (6) 割り込みハンドラからの復帰

「6.1.3.6 例外／割り込みからの復帰」の章を参照してください。

### 6.5.2.8 多重割り込み

多重割り込みとは割り込み処理中にさらに優先度の高い割り込み要求を処理することです。割り込み要求が受け付けられると自動的に INTC の ILEV<CMASK>が受け付けられた割り込みレベルに更新されますので、処理中の割り込みより高いレベルの割り込みのみ許可するように制御することができます。

#### 6.5.2.8.1 (1) 多重割り込みの準備

多重割り込みを行うためには、多重割り込みを許可する前に、2 回目以降の割り込みで上書きされてしまう可能性のある、以下のレジスタを退避しておく必要があります。

●CPO レジスタ	
EPC	割り込み発生 PC
SSCR	シャドウレジスタ制御
Status	CPU ステータス

上記のレジスタのほかに、必要に応じて HI、LO、Cause、Config レジスタも退避してください。

#### 6.5.2.8.2 (2) 多重割り込みの許可

割り込みが受け付けられると CPO レジスタの Status<EXL>が“1”にセットされ割り込みが禁止状態になっています。“0”にすることで再度割り込みを許可することができます。

#### 6.5.2.8.3 (3) 多重割り込みからの復帰

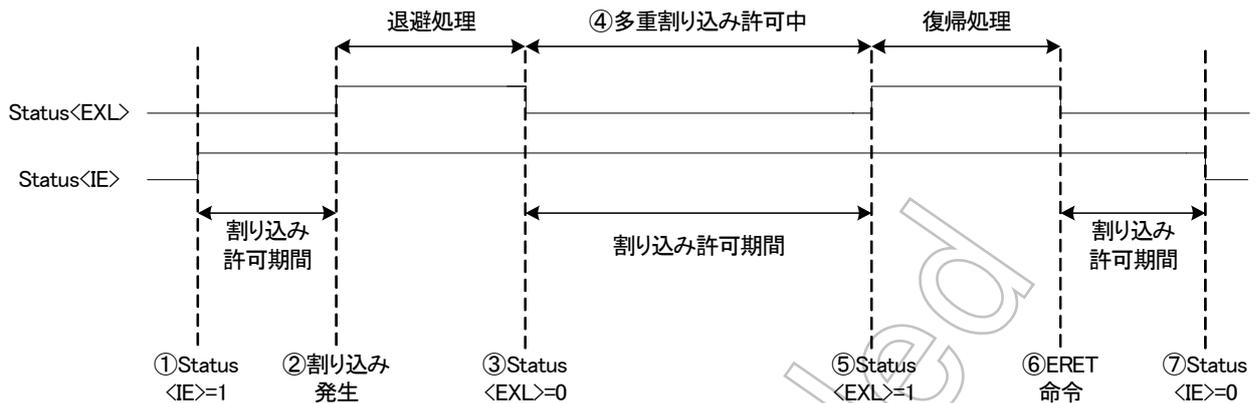
多重割り込みのハンドラから復帰した際に退避した割り込みの復帰を行います。このとき、CPO レジスタの Status<EXL>が“1”にセットして割り込み禁止にします。これは、レジスタ復帰前に新たな割り込みが発生して内容が復元できなくなることを防止するためです。

#### 6.5.2.8.4 (4) Status<EXL>と Status<IE>の使い分け

Status<EXL>と Status<IE>はどちらも割り込みの許可／禁止を制御するビットです。

Status<EXL>は割り込み発生で自動的に“1”にセットされ ERET 命令で自動的に“0”にクリアされます。多重割り込みの準備で行うレジスタ退避及び多重割り込みからの復帰で行うレジスタ復帰は割り込みに禁止する必要があり、通常はハードウェアで制御される Status<EXL>を使用します。また、その他の一般的な割り込み許可／禁止制御は Status<IE>を使用して制御します。

以下に、多重割り込みの場合の Status<EXL>と Status<IE>の制御についてまとめます。



#### ①Status<IE>=1

CPO レジスタの Status<EXL>が“0”の状態、CPO レジスタの Status<IE>を“1”にセットすることで、割り込みを許可にすることが可能です。この処理はソフトウェアで必要に応じて任意に設定します。

#### ②割り込み発生

割り込みが発生すると自動的に CPO レジスタの Status<EXL>が“1”にセットされ、割り込み禁止状態になります。この処理はハードウェアで自動的に設定されます。

#### ③Status<EXL>=0

多重割り込みを許可にする場合、必要なレジスタを退避後に CPO レジスタの Status<EXL>を“0”にセットし、割り込みを許可にする必要があります。レジスタ退避前に割り込みを許可にしまうと優先度の高い割り込みによって、レジスタの内容を破壊されてしまう可能性があります。この処理はソフトウェアで必要に応じて任意に設定します。

#### ④多重割り込み許可中

多重割り込みが許可されている期間です。現在の割り込みレベル (ILEV<OMASK>) よりも大きいレベルの割り込みが受け付けられます。この期間で割り込みを禁止したい場合は CPO レジスタの Status<IE>を“0”にセットします。

#### ⑤Status<EXL>=1

多重割り込みを許可にした場合、必要なレジスタを復帰させる前に CPO レジスタの Status<EXL>を“1”にセットし、割り込みを禁止にする必要があります。割り込み禁止前にレジスタ退避をしてしまうと優先度の高い割り込みによって、レジスタの内容を破壊されてしまう可能性があります。この処理はソフトウェアで必要に応じて任意に設定します。

#### ⑥ERET 命令

割り込み発生前に戻るための命令です。CPO レジスタの Status<EXL>が“1”にセットされている状態で実行すると、自動的に CPO レジスタの Status<EXL>が“0”にセットされ、割り込み許可状態になります(ただし、CPO レジスタの Status<IE>を“1”の場合)。

#### ⑦Status<IE>=0

CPO レジスタの Status<IE>を“0”にセットすることで、割り込みを禁止にすることが可能です。この処理はソフトウェアで必要に応じて任意に設定します。

## 6.6 例外/割り込み関連レジスタ

例外/割り込み関連レジスタには、CP0 レジスタ、クロックジェネレータレジスタ、割り込みコントローラレジスタがあります。

このうち、CP0 レジスタはシステム制御コプロセッサ (CP0) 命令でレジスタ番号を用いてアクセスします。

クロックジェネレータと割り込みコントローラのレジスタにはアドレスが割り振られており、ロード/ストア命令でアクセスします。

以下に、CP0 レジスタとレジスタ番号、クロックジェネレータレジスタ/割り込みコントローラレジスタとアドレスを示します。

### 6.6.1 レジスタ一覧

●CP0 レジスタ		
BadVAddr	Bad Virtual Address レジスタ	No. 8
Status	Status レジスタ	No. 12
Cause	Cause レジスタ	No. 13
EPC	Exception Program Counter レジスタ	No. 14
ErrorEPC	Error Exception Program Counter レジスタ	No. 30
SSCR	Shadow Register Set Control レジスタ	No. 22 (SEL0) No. 9 (SEL6)
IER	Interrupt Enable レジスタ	No. 9

●クロックジェネレータレジスタ		
IMCGA	CG 割り込みモードコントロールレジスタ A	0xFF00_1720
IMCGB	CG 割り込みモードコントロールレジスタ B	0xFF00_1724
IMCGC	CG 割り込みモードコントロールレジスタ C	0xFF00_1728
IMCGD	CG 割り込みモードコントロールレジスタ D	0xFF00_172C
IMCGE	CG 割り込みモードコントロールレジスタ E	0xFF00_1730
ICRCG	CG 割り込み要求クリアレジスタ	0xFF00_1714
NMIFLG	NMI フラグレジスタ	0xFF00_1718
RSTFLG	リセットフラグレジスタ	0xFF00_171C

●割り込みコントローラレジスタ		
IVR	割り込みベクタレジスタ	0xFF00_1080
ILEV	割り込みレベルレジスタ	0xFF00_110C
IMC00	割り込みモードコントロールレジスタ 00	0xFF00_1000
IMC01	割り込みモードコントロールレジスタ 01	0xFF00_1004
IMC02	割り込みモードコントロールレジスタ 02	0xFF00_1008
IMC03	割り込みモードコントロールレジスタ 03	0xFF00_100C
IMC04	割り込みモードコントロールレジスタ 04	0xFF00_1010
IMC05	割り込みモードコントロールレジスタ 05	0xFF00_1014
IMC06	割り込みモードコントロールレジスタ 06	0xFF00_1018
IMC07	割り込みモードコントロールレジスタ 07	0xFF00_101C
IMC08	割り込みモードコントロールレジスタ 08	0xFF00_1020
IMC09	割り込みモードコントロールレジスタ 09	0xFF00_1024
IMC0A	割り込みモードコントロールレジスタ 0A	0xFF00_1028
IMC0B	割り込みモードコントロールレジスタ 0B	0xFF00_102C
IMC0C	割り込みモードコントロールレジスタ 0C	0xFF00_1030
IMC0D	割り込みモードコントロールレジスタ 0D	0xFF00_1034
IMC0E	割り込みモードコントロールレジスタ 0E	0xFF00_1038
IMC0F	割り込みモードコントロールレジスタ 0F	0xFF00_103C
IMC10	割り込みモードコントロールレジスタ 10	0xFF00_1040
IMC11	割り込みモードコントロールレジスタ 11	0xFF00_1044
IMC12	割り込みモードコントロールレジスタ 12	0xFF00_1048
IMC13	割り込みモードコントロールレジスタ 13	0xFF00_104C
IMC14	割り込みモードコントロールレジスタ 14	0xFF00_1050
IMC15	割り込みモードコントロールレジスタ 15	0xFF00_1054
IMC16	割り込みモードコントロールレジスタ 16	0xFF00_1058
IMC17	割り込みモードコントロールレジスタ 17	0xFF00_105C
IMC18	割り込みモードコントロールレジスタ 18	0xFF00_1060
IMC19	割り込みモードコントロールレジスタ 19	0xFF00_1064
INTCLR	割り込み要求クリアレジスタ	0xFF00_10C0
DREQFLG	DMA リクエストクリアフラグレジスタ	0xFF00_10C4

## 6.6.2 GPO レジスタ

## 6.6.2.1 BadVadVAddr レジスタ

BadVaddr (Bad Virtual Address) レジスタは、アドレスエラー例外 (AdEL または AdES) 発生時にエラーを起こした仮想アドレスが格納されます。

VadVAddr (No. 8)		7	6	5	4	3	2	1	0
	bit Symbol	BadVAddr							
	Read/Write	R							
	リセット後	不定							
	機能	アドレスエラー例外発生仮想アドレス (ビット 7~0)							
		15	14	13	12	11	10	9	8
bit Symbol	BadVAddr								
Read/Write	R								
リセット後	不定								
機能	アドレスエラー例外発生仮想アドレス (ビット 15~8)								
		23	22	21	20	19	18	17	16
bit Symbol	BadVAddr								
Read/Write	R								
リセット後	不定								
機能	アドレスエラー例外発生仮想アドレス (ビット 23~16)								
		31	30	29	28	27	26	25	24
bit Symbol	BadVAddr								
Read/Write	R								
リセット後	不定								
機能	アドレスエラー例外発生仮想アドレス (ビット 31~24)								

6.6.2.2 Statusレジスタ

Status  
(No. 12)

	7	6	5	4	3	2	1	0
bit Symbol	KX	SX	UX	UM		ERL	EXL	IE
Read/Write	R	R	R	R/W	R	R/W	R/W	R/W
リセット後	0	0	0	0	0	1	0	0
機能	リードすると“0”が読めます。			動作モード 0: カーネルモード 1: ユーザモード “0”をライトしてください。	リードすると“0”が読めます。	Error Level Reset, NMI が発生するとセットされます。(注1)	Exception Level Reset, NMI を除く例外が発生するとセットされます。(注2)	Interrupt Enable 0: 割り込み禁止 1: 割り込み許可 (注3)
	15	14	13	12	11	10	9	8
bit Symbol	IM7	IM6	IM5	IM4	IM3	IM2	IM1	IM0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	“000”をライトしてください。			割り込みマスク(ハードウェア割り込み用) ハードウェア割り込みを使用する場合, “111”をライトしてください。			割り込みマスク(ソフトウェア割り込み用) ソフトウェア割り込みを使用する場合 “1”をライトしてください。	
	23	22	21	20	19	18	17	16
bit Symbol	PX	BEV	TS	SR	NMI		Impl	
Read/Write	R	R/W	R	R	R/W	R	R	
リセット後	0	1	0	0	0	0	0	0
機能	リードすると“0”が読めます。	ブートストラップ例外ベクタ 1: 例外ベクタアドレスを内蔵ROMに設定 0: 例外ベクタアドレスを外部メモリに設定 (注4)	リードすると“0”が読めます。		NMI 割り込み 1: NMI 割り込み発生 0: NMI 割り込みなし (注5)	リードすると“0”が読めます。		
	31	30	29	28	27	26	25	24
bit Symbol	CU3	CU2	CU1	CU0	RP	FR	RE	MX
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R
リセット後	不定	不定	不定	不定	0	0	0	0
機能	CP3の使用 0: 使用不可能 1: 使用可能 “0”をライトしてください。	CP2の使用 0: 使用不可能 1: 使用可能 “0”をライトしてください。	CP1の使用 0: 使用不可能 1: 使用可能 “FPU”を使用する場合は “1”をライトしてください。	CP0の使用 0: 使用不可能 1: 使用可能 (注6)	低消費電力モード 0: Halt モード 1: Doze モード IDLE モード時のコアのモードを設定します。	リードすると“0”が読めます。	リードすると“0”が読めます。	リードすると“0”が読めます。

(注1) このビットがセットされている時は、

- ・カーネルモードで動作しています。
- ・割り込みは禁止状態です。
- ・ERET 命令は、ErrorEPC を復帰 PC として使用します。

(注2) このビットがセットされている時は、

- ・カーネルモードで動作します。
- ・割り込みは禁止状態です。
- ・多重に例外が発生しても、EPC レジスタ、BDbit (Cause) は、更新されません。

(注3) このビットは、割り込み応答/ERET 命令によるセット/クリアは行われません。  
(Reset 初期化を除く)

(注4) BEV ビットと Cause レジスタの IV ビットの組合せにより、割り込みのベクタアドレスが以下ようになります。

	BEV = 0	BEV = 1
IV = 0	0x8000_0180	0xBF00_0380
IV = 1	0x8000_0200	0xBF00_0400

(注5) このビットは、“0” を書き込むことでクリアされます。“1” を書き込んでも無視されます。

(注6) ユーザモードで CP0 を使用する場合 “1” を書き込んでください。カーネルモードではこのビットの値にかかわらず CP0 を使用できます。

6. 6. 2. 3 Causeレジスタ

Cause レジスタは、最新の例外の原因を保持しています。

Cause  
(No. 13)

	7	6	5	4	3	2	1	0
bit Symbol	ExcCode							
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	例外要因コード 00000: 割り込み (ソフトウェア、ハードウェア) 00100: アドレスエラー (命令フェッチまたはロード) 00101: アドレスエラー (ストアアクセス) 00110: バスエラー (命令フェッチ) 00111: バスエラー (データアクセス: ロード) 01000: システムコール例外 01001: ブレイクポイント例外 01010: 予約命令例外 01011: コプロセッサ使用不可例外 01100: 整数オーバーフロー例外 01101: トラップ例外					リードすると“0”が読めます。	
	15	14	13	12	11	10	9	8
bit Symbol	IP7	IP6	IP5	IP4	IP3	IP2	IP1	IP0
Read/Write	R						R/W	R/W
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
機能	割り込み要求 (ハードウェア割り込み用) ハードウェア割り込み要求がある場合、IP[4:2]に割り込みレベルが設定されます。						割り込み要求 (ソフトウェア割り込み用) ソフトウェア割り込みを使用する場合“1”をライトしてください。	
	23	22	21	20	19	18	17	16
bit Symbol	IV	WP						
Read/Write	R/W	R						
リセット後	不定	0	0	0	0	0	0	0
機能	割り込みベクタ 1: 例外ベクタとわかる 0: 例外ベクタと同じにする (注1)	リードすると“0”が読めます。						
	31	30	29	28	27	26	25	24
bit Symbol	BD		CE1	CE0				
Read/Write	R							
リセット後	不定	0	不定		0	0	0	0
機能	ジャンプ命令、または分岐命令スロット内の命令を実行している時に、例外が発生すると1にセット (注2)	リードすると“0”が読めます。	コプロセッサエラー コプロセッサ使用不可例外が発生したときに参照されたコプロセッサ番号を示します。 (注3)		リードすると“0”が読めます。			

(注1) StatusレジスタのBEVビットとIVビットの組合せによりベクタアドレスが変わります。  
詳細は、Statusレジスタ(注4)を参照してください。

(注2) EXLビットが“0”のときに割り込み、例外が発生した場合に更新されます。

(注3) コプロセッサ使用不可例外 以外の例外が発生したときは不定です。

Not Recommended  
for New Design

## 6.6.2.4 EPCレジスタ

EPC レジスタはリード/ライト可能です。

EPC レジスタには、リセット/NMI 以外の例外/割り込み発生時にその例外/割り込みの発生した命令のアドレスが格納されます。（例外/割り込みの発生した命令が、分岐スロットであった場合は直前の分岐命令のアドレスが格納されます。）

リセット/NMI 以外の例外/割り込み発生時には、Status<EXL>ビットが“1”に設定されており、この状態では ERET 命令実行時に EPC レジスタに設定されたアドレスへ分岐します。

Status<EXL>ビットが“1”に設定された状態で検出した場合、EPC レジスタへの書き込みは行われません。

EPC  
(No. 14)

	7	6	5	4	3	2	1	0
bit Symbol	EPC							
Read/Write	R/W							
リセット後	不定							
機能	Exception Program Counter (ビット7~0)							
	15	14	13	12	11	10	9	8
bit Symbol	EPC							
Read/Write	R/W							
リセット後	不定							
機能	Exception Program Counter (ビット15~8)							
	23	22	21	20	19	18	17	16
bit Symbol	EPC							
Read/Write	R/W							
リセット後	不定							
機能	Exception Program Counter (ビット23~16)							
	31	30	29	28	27	26	25	24
bit Symbol	EPC							
Read/Write	R/W							
リセット後	不定							
機能	Exception Program Counter (ビット31~24)							

## 6.6.2.5 ErrorEPCレジスタ

ErrorEPC レジスタはリード/ライト可能です。

ErrorEPC レジスタには、リセット/NMI 例外発生時にその例外の発生した命令のアドレスが格納されます。（例外の発生した命令が、分岐スロットであった場合は直前の分岐命令のアドレスが格納されます。）

リセット/NMI 例外発生時には、Status<ERL>ビットが“1”に設定されており、この状態では ERET 命令実行時に ErrorEPC レジスタに設定されたアドレスへ分岐します。

ErrorEPC  
(No. 30)

	7	6	5	4	3	2	1	0
bit Symbol	ErrorEPC							
Read/Write	R/W							
リセット後	不定							
機能	Error Exception Program Counter (ビット7~0)							
	15	14	13	12	11	10	9	8
bit Symbol	ErrorEPC							
Read/Write	R/W							
リセット後	不定							
機能	Error Exception Program Counter (ビット15~8)							
	23	22	21	20	19	18	17	16
bit Symbol	ErrorEPC							
Read/Write	R/W							
リセット後	不定							
機能	Error Exception Program Counter (ビット23~16)							
	31	30	29	28	27	26	25	24
bit Symbol	ErrorEPC							
Read/Write	R/W							
リセット後	不定							
機能	Error Exception Program Counter (ビット31~24)							

6.6.2.6 Shadow Register Set Control Register: SSCRレジスタ

SSCR  
(No. 22  
or 9:SEL6)

	7	6	5	4	3	2	1	0
bit Symbol					CSS3	CSS2	CSS1	CSS0
Read/Write	R				R/W			
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。				現在のシャドウレジスタセット番号 x000: Main GPRs x001: Shadow Register 1 x010: Shadow Register 2 x011: Shadow Register 3 x100: Shadow Register 4 x101: Shadow Register 5 x110: Shadow Register 6 x111: Shadow Register 7			
	15	14	13	12	11	10	9	8
bit Symbol					PSS3	PSS2	PSS1	PSS0
Read/Write	R				R/W			
リセット後	0	0	0	0	不定	不定	不定	不定
機能	リードすると“0”が読めます。				前のシャドウレジスタセット番号 x000: Main GPRs x001: Shadow Register 1 x010: Shadow Register 2 x011: Shadow Register 3 x100: Shadow Register 4 x101: Shadow Register 5 x110: Shadow Register 6 x111: Shadow Register 7			
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
bit Symbol	SSD							
Read/Write	R/W	R						
リセット後	1	0	0	0	0	0	0	0
機能	シャドウレジスタセットディセーブル 0: Enable 1: Disable	リードすると“0”が読めます。						

(注1) CSSは割り込みコントローラからの割り込み要求(レベル信号)を受け付けると、割り込みレベルと同じ値のShadow Register Set番号に書き換えられます。同時に、更新前のCSSの値がPSSに書かれます。

(注2) ERET命令が実行されると、PSSの値がCSSに書かれます。

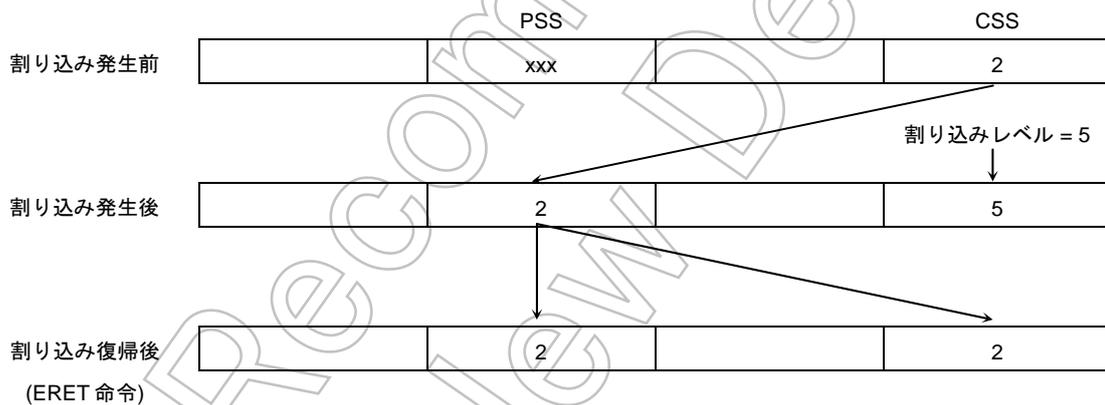
(注3) このレジスタを更新した場合、パイプラインハザードを回避するために後続に2つのNOP命令を必ず置いてください。

例) MTC0 r18, SSCR  
NOP  
NOP  
ADD r19, r12, r13

(注4) SSDビットが“1”にセットされた状態では、割り込みが発生してもShadow Register Setは更新されません。

(注5) SSDビットが“1”にセットされた状態では、アクセスできるShadow Register Setは0番になり、CSSの値は無視されることになります。

(注6) 割り込み発生時、割り込み復帰時のSSCRレジスタの動作は以下のようになります。



## 6.6.2.7 IERレジスタ

IERレジスタは Status<IE>ビットをセットまたはクリアするために使用します。

このレジスタに“0”を書き込むと IE ビットは、“0”にクリアされます。“0”以外の値を書き込むと IE ビットは“1”にセットされます。

IER  
(No. 9:SEL7)

	7	6	5	4	3	2	1	0
bit Symbol	IER							
Read/Write	R/W							
リセット後	不定							
機能	Interrupt Enable Register (ビット7~0)							
	15	14	13	12	11	10	9	8
bit Symbol	IER							
Read/Write	R/W							
リセット後	不定							
機能	Interrupt Enable Register (ビット15~8)							
	23	22	21	20	19	18	17	16
bit Symbol	IER							
Read/Write	R/W							
リセット後	不定							
機能	Interrupt Enable Register (ビット23~16)							
	31	30	29	28	27	26	25	24
bit Symbol	IER							
Read/Write	R/W							
リセット後	不定							
機能	Interrupt Enable Register (ビット31~24)							

6.6.3 クロックジェネレータレジスタ

6.6.3.1 INTCGレジスタ (STOP/SLEEP/IDLE解除割り込み)

IMCGA  
(0xFF00\_1920)

	7	6	5	4	3	2	1	0
bit Symbol		EMCG02	EMCG01	EMCG00	EMST01	EMST00		INT0EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT0スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT0スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT0解除入力 0: Disable 1: Enable
	15	14	13	12	11	10	9	8
bit Symbol		EMCG12	EMCG11	EMCG10	EMST11	EMST10		INT1EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT1スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT1スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT1解除入力 0: Disable 1: Enable
	23	22	21	20	19	18	17	16
bit Symbol		EMCG22	EMCG21	EMCG20	EMST21	EMST20		INT2EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT2スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT2スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT2解除入力 0: Disable 1: Enable
	31	30	29	28	27	26	25	24
bit Symbol		EMCG32	EMCG31	EMCG30	EMST31	EMST30		INT3EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT3スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT3スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT3解除入力 0: Disable 1: Enable

(注1) EMSTxx を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することが出来ます。

(注2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

IMCGB  
(0xFF00\_1924)

	7	6	5	4	3	2	1	0
bit Symbol		EMCG42	EMCG41	EMCG40	EMST41	EMST40		INT4EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT4スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT4スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT4解除入力 0: Disable 1: Enable
	15	14	13	12	11	10	9	8
bit Symbol		EMCG52	EMCG51	EMCG50	EMST51	EMST50		INT5EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT5スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT5スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT5解除入力 0: Disable 1: Enable
	23	22	21	20	19	18	17	16
bit Symbol		EMCG62	EMCG61	EMCG60	EMST61	EMST60		INT6EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT6スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT6スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT6解除入力 0: Disable 1: Enable
	31	30	29	28	27	26	25	24
bit Symbol		EMCG72	EMCG71	EMCG70	EMST71	EMST70		INT7EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT7スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT7スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT7解除入力 0: Disable 1: Enable

(注 1) EMSTxx を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することが出来ます。

(注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

IMCGC  
(0xFF00\_1928)

	7	6	5	4	3	2	1	0
bit Symbol		EMCG82	EMCG81	EMCG80	EMST81	EMST80		INT8EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT8スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT8スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT8解除入力 0: Disable 1: Enable
	15	14	13	12	11	10	9	8
bit Symbol		EMCG92	EMCG91	EMCG90	EMST91	EMST90		INT9EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT9スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT9スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT9解除入力 0: Disable 1: Enable
	23	22	21	20	19	18	17	16
bit Symbol		EMCGA2	EMCGA1	EMCGA0	EMSTA1	EMSTA0		INTAEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INTAスタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INTAスタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INTA解除入力 0: Disable 1: Enable
	31	30	29	28	27	26	25	24
bit Symbol		EMCGB2	EMCGB1	EMCGB0	EMSTB1	EMSTB0		INTBEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INTBスタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INTBスタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INTB解除入力 0: Disable 1: Enable

(注 1) EMSTxx を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することが出来ます。

(注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

IMCGD  
(0xFF00\_192C)

	7	6	5	4	3	2	1	0
bit Symbol		EMCGC2	EMCGC1	EMCGC0				KWUPEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	不定	不定	0	0
機能	リードすると“0”が読めます。	KWUP スタンバイ解除要求のアクティブ状態を設定 001: “H” レベル 必ず“001”に設定してください。			リードすると不定値が読めます。		リードすると“0”が読めます。	KWUP 解除入力 0: Disable 1: Enable
	15	14	13	12	11	10	9	8
bit Symbol		EMCGD2	EMCGD1	EMCGD0				INTRTCEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	不定	不定	0	0
機能	リードすると“0”が読めます。	INTRTC スタンバイ解除要求のアクティブ状態を設定 010: 立ち下がりエッジ 必ず“010”に設定してください。			リードすると不定値が読めます。		リードすると“0”が読めます。	INTRTC 解除入力 0: Disable 1: Enable
	23	22	21	20	19	18	17	16
bit Symbol		EMCGE2	EMCGE1	EMCGE0				PHCNT0EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	不定	不定	0	0
機能	リードすると“0”が読めます。	PHCNT0 スタンバイ解除要求のアクティブ状態を設定 011: 立ち上がりエッジ 必ず“011”に設定してください。			リードすると不定値が読めます。		リードすると“0”が読めます。	PHCNT0 解除入力 0: Disable 1: Enable
	31	30	29	28	27	26	25	24
bit Symbol		EMCGF2	EMCGF1	EMCGF0				PHCNT1EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	不定	不定	0	0
機能	リードすると“0”が読めます。	PHCNT1 スタンバイ解除要求のアクティブ状態を設定 011: 立ち上がりエッジ 必ず“011”に設定してください。			リードすると不定値が読めます。		リードすると“0”が読めます。	PHCNT1 解除入力 0: Disable 1: Enable

(注1) EMSTxx を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することが出来ます。

(注2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

IMCGE  
(0xFF00\_1930)

	7	6	5	4	3	2	1	0
bit Symbol		EMCG102	EMCG101	EMCG100				PHCNT2EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	不定	不定	0	0
機能	リードすると“0”が読めます。	PHCNT2 スタンバイ解除要求のアクティブ状態を設定 011: 立ち上がりエッジ 必ず“011”に設定してください。			リードすると不定値が読めます。		リードすると“0”が読めます。	PHCNT2 解除入力 0: Disable 1: Enable
	15	14	13	12	11	10	9	8
bit Symbol		EMCG112	EMCG111	EMCG110				PHCNT3EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	不定	不定	0	0
機能	リードすると“0”が読めます。	PHCNT3 スタンバイ解除要求のアクティブ状態を設定 011: 立ち上がりエッジ 必ず“011”に設定してください。			リードすると不定値が読めます。		リードすると“0”が読めます。	PHCNT3 解除入力 0: Disable 1: Enable
	23	22	21	20	19	18	17	16
bit Symbol		EMCG122	EMCG121	EMCG120				PHCNT4EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	不定	不定	0	0
機能	リードすると“0”が読めます。	PHCNT4 スタンバイ解除要求のアクティブ状態を設定 011: 立ち上がりエッジ 必ず“011”に設定してください。			リードすると不定値が読めます。		リードすると“0”が読めます。	PHCNT4 解除入力 0: Disable 1: Enable
	31	30	29	28	27	26	25	24
bit Symbol		EMCG132	EMCG131	EMCG130				PHCNT5EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	不定	不定	0	0
機能	リードすると“0”が読めます。	PHCNT5 スタンバイ解除要求のアクティブ状態を設定 011: 立ち上がりエッジ 必ず“011”に設定してください。			リードすると不定値が読めます。		リードすると“0”が読めます。	PHCNT5 解除入力 0: Disable 1: Enable

(注 1) EMSTxx を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することが出来ます。

(注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

IMCGF  
(0xFF00\_1934)

	7	6	5	4	3	2	1	0
bit Symbol		EMCG142	EMCG141	EMCG140	EMST141	EMST140		INT10EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT10スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT10スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT10解除入力 0: Disable 1: Enable
	15	14	13	12	11	10	9	8
bit Symbol		EMCG152	EMCG151	EMCG150	EMST151	EMST150		INT11EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT11スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT11スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT11解除入力 0: Disable 1: Enable
	23	22	21	20	19	18	17	16
bit Symbol		EMCG162	EMCG161	EMCG160	EMST161	EMST160		INT12EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT12スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT12スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT12解除入力 0: Disable 1: Enable
	31	30	29	28	27	26	25	24
bit Symbol		EMCG172	EMCG171	EMCG170	EMST171	EMST170		INT13EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT13スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT13スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT13解除入力 0: Disable 1: Enable

(注1) EMSTxx を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することが出来ます。

(注2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

IMCG10  
(0xFF00\_1938)

	7	6	5	4	3	2	1	0
bit Symbol		EMCG182	EMCG181	EMCG180	EMST181	EMST180		INT14EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT14スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT14スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT14解除入力 0: Disable 1: Enable
	15	14	13	12	11	10	9	8
bit Symbol		EMCG192	EMCG191	EMCG190	EMST191	EMST190		INT15EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT15スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT15スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT15解除入力 0: Disable 1: Enable
	23	22	21	20	19	18	17	16
bit Symbol		EMCG1A2	EMCG1A1	EMCG1A0	EMST1A1	EMST1A0		INT16EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT16スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT16スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT16解除入力 0: Disable 1: Enable
	31	30	29	28	27	26	25	24
bit Symbol		EMCG1B2	EMCG1B1	EMCG1B0	EMST1B1	EMST1B0		INT17EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT17スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT17スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT17解除入力 0: Disable 1: Enable

(注1) EMSTxx を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。

(注2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

IMCG11  
(0xFF00\_193C)

	7	6	5	4	3	2	1	0
bit Symbol		EMCG1C2	EMCG1C1	EMCG1C0	EMST1C1	EMST1C0		INT18EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT18スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT18スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT18解除入力 0: Disable 1: Enable
	15	14	13	12	11	10	9	8
bit Symbol		EMCG1D2	EMCG1D1	EMCG1D0	EMST1D1	EMST1D0		INT19EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT19スタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT19スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT19解除入力 0: Disable 1: Enable
	23	22	21	20	19	18	17	16
bit Symbol		EMCG1E2	EMCG1E1	EMCG1E0	EMST1E1	EMST1E0		INT1AEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT1Aスタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT1Aスタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT1A解除入力 0: Disable 1: Enable
	31	30	29	28	27	26	25	24
bit Symbol		EMCG1F2	EMCG1F1	EMCG1F0	EMST1F1	EMST1F0		INT1BEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます。	INT1Bスタンバイ解除要求のアクティブ状態を設定 (101~111:設定禁止) 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT1Bスタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると“0”が読めます。	INT1B解除入力 0: Disable 1: Enable

(注 1) EMSTxx を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することが出来ます。

(注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

STOP/SLEEP/IDLE/BACKUP STOP/ BACKUP SLEEP 解除用に割り込みを許可する場合は、必ず解除要求のアクティブ状態を設定してください。

- (注1) 割り込みを使用する場合は必ず以下の順に設定してください。
- ① 汎用ポートなどと兼用の場合は該当割り込みの入力をイネーブル
  - ② 初期化時にアクティブ状態等の設定
  - ③ 割り込み要求のクリア
  - ④ 割り込みのイネーブル
- (注2) 各設定は必ず割り込みディゼーブルの状態で行ってください。
- (注3) TMP19A44 は STOP 解除割り込みとして INTO~INTB, INT10~INT1B, PHCNT0~PHCNT5, KWUP の 32 要因の設定が可能です。INTRTC は SLEEP 解除の設定が可能です。STOP/SLEEP/IDLE 解除割り込みとして使用するかどうか、およびアクティブ状態のエッジ/レベルは CG にて設定します。
- (注4) STOP/IDLE 解除要求割り込みに割り当てられる上記 32 要因のうち、INT0~INTF, INT10~INT1F は通常割り込みとして使用する場合は CG での設定は不用で INTC でレベル/エッジを指定してください。両エッジ割り込みを使用する際は、CG での設定が必要になります

STOP/IDLE 解除要求として割り当てられている以外の割り込み要因は、すべて INTC ブロックにて設定します。

Not Recommended for New Design

6.6.3.2 INTCGクリアレジスタ

ICRCG (0xFF00_1914)	bit Symbol				ICRCG4	ICRCG3	ICRCG2	ICRCG1	ICRCG0
	Read/Write	R			W				
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると“0”が読めます。			割り込み要求をクリア (リードすると“0”が読めます。)				
					0_0000: INT0	0_1000: INT8	1_0000: PHCNT2	1_1000: INT14	
				0_0001: INT1	0_1001: INT9	1_0001: PHCNT3	1_1001: INT15		
				0_0010: INT2	0_1010: INTA	1_0010: PHCNT4	1_1010: INT16		
				0_0011: INT3	0_1011: INTB	1_0011: PHCNT5	1_1011: INT17		
				0_0100: INT4	0_1100: KWUP	1_0100: INT10	1_1100: INT18		
				0_0101: INT5	0_1101: INTRTC	1_0101: INT11	1_1101: INT19		
				0_0110: INT6	0_1110: PHCNT0	1_0110: INT12	1_1110: INT1A		
				0_0111: INT7	0_1111: PHCNT1	1_0111: INT13	1_1111: INT1B		
	15	14	13	12	11	10	9	8	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								
	23	22	21	20	19	18	17	16	
bit Symbol									
Read/Write									
リセット後									
機能	リードすると“0”が読めます。								
	31	30	29	28	27	26	25	24	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								

(注) STOP/SLEEP/IDLE 解除要求に割り当てられている上記 32 要因の割り込み要求のクリアは、

- a) 解除要因として使用した場合
  - ①KWUP の場合は KWUPCLR で行います。
  - INT0~INTB, INT10~INT1B, INTRTC, PHCNT0~PHCNT5 は上記 CG ブロックの ICRCG レジスタで行います。
- b) 解除要因として使用しない場合
  - INTCLR で割り込み要因をクリアしてください。

6.6.3.3 NMIフラグレジスタ

NMIFLG (0xFF00_1918)	bit Symbol									NMIFLG0
	Read/Write	R								
	リセット後	0	0	0	0	0	0	0	0	
	機能	リードすると“0”が読めます。								NMI 起動要因 フラグ  0: 要因なし 1: WDT による MMI 発生
		7	6	5	4	3	2	1	0	
	15	14	13	12	11	10	9	8		
	23	22	21	20	19	18	17	16		
	31	30	29	28	27	26	25	24		

(注) < NMIFLG0 > は読み出すと “0” にクリアされます。

## 6.6.4 割り込みコントローラレジスタ

## 6.6.4.1 割り込みベクタレジスタ (IVR)

IVR は発生した割り込み要因の割り込みベクタアドレスを示すレジスタです。割り込み要求が受け付けられると IVR[8:0]に「表 6-5 ハードウェア割り込み要因一覧」に対応する値がセットされます。IVR[31:7]は RD/WR 可能なビットで割り込みベクタのベースアドレスをセットすることによって、IVR を読み出すだけで割り込みベクタアドレスを生成することが可能です。

割り込みベクタレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	IVR7	IVR6	IVR5	IVR4	IVR3	IVR2	IVR1	IVR0
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	発生している割り込み要因のベクタがセットされます						常に“0”が読めます	
	15	14	13	12	11	10	9	8
bit Symbol	IVR15	IVR14	IVR13	IVR12	IVR11	IVR10	IVR9	IVR8
Read/Write	R/W							R
リセット後	0	0	0	0	0	0	0	0
機能								発生している割り込み要因のベクタがセットされます
	23	22	21	20	19	18	17	16
bit Symbol	IVR23	IVR22	IVR21	IVR20	IVR19	IVR18	IVR17	IVR16
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能								
	31	30	29	28	27	26	25	24
bit Symbol	IVR31	IVR30	IVR29	IVR28	IVR27	IVR26	IVR25	IVR24
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能								

## 6.6.4.2 割り込みレベルレジスタ (ILEV)

ILEV は INTC から TX19A/H1 プロセッサコアへ割り込み要求を通知するレベルを制御するレジスタです。

ILEV<CMASK>以下の割り込みレベルは割り込みが保留されます。割り込み優先順位は“7”が一番高く、“1”が一番低くなります。ただし、割り込みレベル0に設定されている割り込みは保留されません。

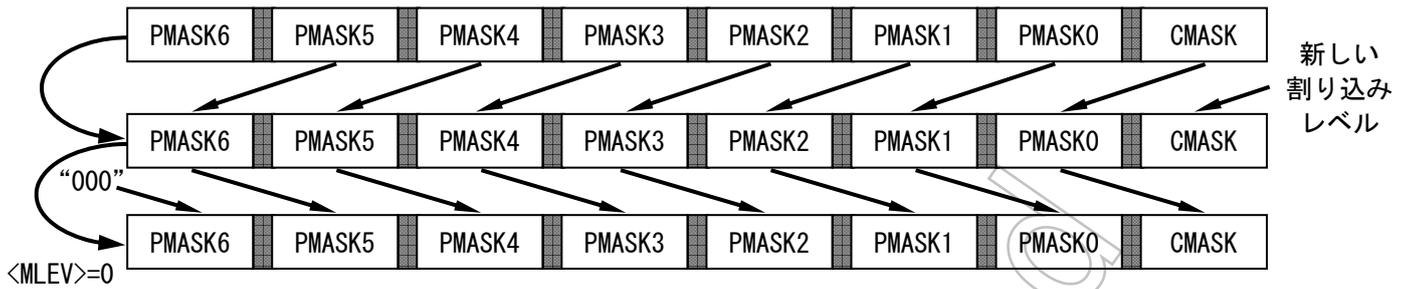
割り込みが発生するとその割り込みレベルが<CMASK>に格納され、それ以前に格納されていた値は「CMASK→PMASK0, PMASK0→PMASK1…」のようにひとつずつマスクレベルが退避されます。<CMASK>の値を書き換える場合は、<MLEV>に“1”をセットすると同時に<CMASK>の値を書き換えます。<PMASKx>の値は書き換えることができません。

<MLEV>に“0”をセットすると割り込みマスクレベルが「PMASK0→CMASK, PMASK1→PMASK0…」のようにひとつ前の状態に戻り、<PMASK6>には“000”が格納されます。割り込みからの復帰処理で使用する場合は ERET 命令を実行前に<MLEV>を“0”にセットして下さい。<MLEV>は常に“0”が読み出せます。

割り込みレベルレジスタ

		7	6	5	4	3	2	1	0	
ILEV (0xFF00_110C)	bit Symbol	PMASK0						CMASK		
	Read/Write	R						R/W		
	リセット後	0	000			0	000			
	機能	割り込みマスクレベル(前)0						割り込みマスクレベル(現)		
		15	14	13	12	11	10	9	8	
bit Symbol	PMASK2						PMASK1			
Read/Write	R									
リセット後	0	000			0	000				
機能	割り込みマスクレベル(前)2						割り込みマスクレベル(前)1			
	23	22	21	20	19	18	17	16		
bit Symbol	PMASK4						PMASK3			
Read/Write	R									
リセット後	0	000			0	000				
機能	割り込みマスクレベル(前)4						割り込みマスクレベル(前)3			
	31	30	29	28	27	26	25	24		
bit Symbol	MLEV	PMASK6						PMASK5		
Read/Write	W	R								
リセット後	0	000			0	000				
機能	0:マスクレベル復帰 1:CMASKの変更	割り込みマスクレベル(前)6						割り込みマスクレベル(前)5		

- (注1) このレジスタは 32 ビットでアクセスしてください。
- (注2) マスクレベルと<MLEV>は別に設定してください。
- (注3) ILEV の値を変更する前に必ず IVR の値を読み出してください。IVR の値を読み出す前に ILEV の値を変更すると意図しない割り込みが発生する可能性があります。
- (注4) 本レジスタはビット操作命令でアクセスできません。



#### 6.6.4.3 割り込みモードコントロールレジスタ (IMCxx)

IMCxx は割り込み要因ごとの割り込みレベルを決定する<ILxx>と DMA 転送の起動要因に設定する<DMxx>、および割り込み要求のアクティブ状態を決定する<EIMxx>で構成されています。

IMC00  
(0xFF00\_0000)

	7	6	5	4	3	2	1	0	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								
	15	14	13	12	11	10	9	8	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								
	23	22	21	20	19	18	17	16	
bit Symbol		EIM021	EIM020	DM02		IL022	IL021	IL020	
Read/Write	R	R/W		R/W	R	R/W			
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ CG 使用時は“01”に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号2を起動要因にする	リードすると“0”が読めます。	DM02 = 0 のとき 割り込み番号 2 (INT0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM02 = 1 のとき DMAC のチャンネル選択 000~111: 0~7			
	31	30	29	28	27	26	25	24	
bit Symbol		EIM031	EIM030	DM03		IL032	IL031	IL030	
Read/Write	R	R/W		R/W	R	R/W			
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ CG 使用時は“01”に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号3を起動要因にする	リードすると“0”が読めます。	DM03 = 0 のとき 割り込み番号 3 (INT1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM03 = 1 のとき DMAC のチャンネル選択 000~111: 0~7			

IMC01  
(0xFF00\_1004)

	7	6	5	4	3	2	1	0
bit Symbol		EIM041	EIM040	DM04		IL042	IL041	IL040
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ <b>CG 使用時は“01”に設定してください。</b>		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号4を起動要因にする	リードすると“0”が読めます。	DM4 = 0 のとき 割り込み番号 4 (INT2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM4 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM051	EIM050	DM05		IL052	IL051	IL050
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ <b>CG 使用時は“01”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号5を起動要因にする	リードすると“0”が読めます。	DM5 = 0 のとき 割り込み番号 5 (INT3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM5 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM061	EIM060	DM06		IL062	IL061	IL060
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ <b>CG 使用時は“01”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号6を起動要因にする	リードすると“0”が読めます。	DM6 = 0 のとき 割り込み番号 6 (INT4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM6 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM071	EIM070	DM07		IL072	IL071	IL070
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ <b>CG 使用時は“01”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号7を起動要因にする	リードすると“0”が読めます。	DM7 = 0 のとき 割り込み番号 7 (INT5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM7 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

IMC02  
(0xFF00\_1008)

	7	6	5	4	3	2	1	0
bit Symbol		EIM081	EIM080	DM08		IL082	IL081	IL080
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ CG 使用時は“01”に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 8 を起動要因にする	リードすると“0”が読めます。	DM8 = 0 のとき 割り込み番号 8 (INT6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM8 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM091	EIM090	DM09		IL092	IL091	IL090
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ CG 使用時は“01”に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 9 を起動要因にする	リードすると“0”が読めます。	DM9 = 0 のとき 割り込み番号 9 (INT7) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM9 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM0A1	EIM0A0	DMA0A		ILOA2	ILOA1	ILOA0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ CG 使用時は“01”に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 10 を起動要因にする	リードすると“0”が読めます。	DMA = 0 のとき 割り込み番号 10 (INT8) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMA = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM0B1	EIM0B0	DM0B		ILOB2	ILOB1	ILOB0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ CG 使用時は“01”に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 11 を起動要因にする	リードすると“0”が読めます。	DMB = 0 のとき 割り込み番号 11 (INT9) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMB = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

IMC03  
(0xFF00\_100C)

	7	6	5	4	3	2	1	0
bit Symbol		EIMOC1	EIMOC0	DMOC		ILOC2	ILOC1	ILOC0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ CG 使用時は“01”に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 2 を起動要因にする	リードすると“0”が読めます。	DMC = 0 のとき 割り込み番号 12 (INTA) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMC = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIMOD1	EIMOD0	DMOD		ILOD2	ILOD1	ILOD0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ CG 使用時は“01”に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 13 を起動要因にする	リードすると“0”が読めます。	DMD = 0 のとき 割り込み番号 13 (INTB) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMD = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIMOE1	EIMOE0	DMOE		ILOE2	ILOE1	ILOE0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 14 を起動要因にする	リードすると“0”が読めます。	DME = 0 のとき 割り込み番号 14 (INTC) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DME = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIMOF1	EIMOF0	DMOF		ILOF2	ILOF1	ILOF0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 15 を起動要因にする	リードすると“0”が読めます。	DMF = 0 のとき 割り込み番号 15 (INTD) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMF = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

IMC04  
(0xFF00\_1010)

	7	6	5	4	3	2	1	0
bit Symbol		EIM101	EIM100	DM10		IL102	IL101	IL100
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号16を起動要因にする	リードすると“0”が読めます。	DM10 = 0 のとき 割り込み番号16 (INTE) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM10 = 1 のとき DMACのチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM111	EIM110	DM11		IL112	IL111	IL110
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号17を起動要因にする	リードすると“0”が読めます。	DM11 = 0 のとき 割り込み番号17 (INTF) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM11 = 1 のとき DMACのチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM121	EIM120	DM12		IL122	IL121	IL120
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 01: “H” レベル <b>CG 使用時は“01”に設定してください。</b>		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号18を起動要因にする	リードすると“0”が読めます。	DM12 = 0 のとき 割り込み番号18 (KWUP) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM12 = 1 のとき DMACのチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM131	EIM130	DM13		IL132	IL131	IL130
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 01: “H” レベル <b>CG 使用時は“01”に設定してください。</b>		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号19を起動要因にする	リードすると“0”が読めます。	DM13 = 0 のとき 割り込み番号19 (INT10) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM13 = 1 のとき DMACのチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC05  
(0xFF00\_1014)

	7	6	5	4	3	2	1	0
bit Symbol		EIM141	EIM140	DM14		IL142	IL141	IL140
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は“01”に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 20 を起動要因にする	リードすると“0”が読めます。	DM14= 0 のとき 割り込み番号 20 (INT11) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM14 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM151	EIM150	DM15		IL152	IL151	IL150
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は“01”に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 21 を起動要因にする	リードすると“0”が読めます。	DM15 = 0 のとき 割り込み番号 21 (INT12) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM15 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM161	EIM160	DM16		IL162	IL161	IL160
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は“01”に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 22 を起動要因にする	リードすると“0”が読めます。	DM16 = 0 のとき 割り込み番号 22 (INT13) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM16 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM171	EIM170	DM17		IL172	IL171	IL170
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は“01”に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 23 を起動要因にする	リードすると“0”が読めます。	DM17= 0 のとき 割り込み番号 23 (INT14) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM17 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違が有ります。使用される場合は規定値に設定してください。

IMC06  
(0xFF00\_1018)

	7	6	5	4	3	2	1	0
bit Symbol		EIM181	EIM180	DM18		IL182	IL181	IL180
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は“01”に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号24を起動要因にする	リードすると“0”が読めます。	DM18 = 0 のとき 割り込み番号 24 (INT15) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM18 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM191	EIM190	DM19		IL192	IL191	IL190
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は“01”に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号25を起動要因にする	リードすると“0”が読めます。	DM19 = 0 のとき 割り込み番号 25 (INT16) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM19 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM1A1	EIM1A0	DM1A		IL1A2	IL1A1	IL1A0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は“01”に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号26を起動要因にする	リードすると“0”が読めます。	DM1A = 0 のとき 割り込み番号 26 (INT17) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1A = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM1B1	EIM1B0	DM1B		IL1B2	IL1B1	IL1B0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は“01”に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号27を起動要因にする	リードすると“0”が読めます。	DM1B = 0 のとき 割り込み番号 27 (INT18) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1B = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC07  
(0xFF00\_101C)

	7	6	5	4	3	2	1	0
bit Symbol		EIM1C1	EIM1C0	DM1C		IL1C2	IL1C1	IL1C0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は“01”に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 28 を起動要因にする。	リードすると“0”が読めます。	DM1C = 0 のとき 割り込み番号 28 (INT19) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1C = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM1D1	EIM1D0	DM1D		IL1D2	IL1D1	IL1D0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は“01”に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 29 を起動要因にする。	リードすると“0”が読めます。	DM1D = 0 のとき 割り込み番号 29 (INT1A) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1D = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM1E1	EIM1E0	DM1E		IL1E2	IL1E1	IL1E0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は“01”に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 30 を起動要因にする。	リードすると“0”が読めます。	DM1E = 0 のとき 割り込み番号 30 (INT1B) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1E = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM1F1	EIM1F0	DM1F		IL1F2	IL1F1	IL1F0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ CG 使用時は“01”に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 31 を起動要因にする。	リードすると“0”が読めます。	DM1F = 0 のとき 割り込み番号 31 (INT1C) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1F = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC08  
(0xFF00\_1020)

	7	6	5	4	3	2	1	0
bit Symbol		EIM201	EIM200	DM20		IL202	IL201	IL200
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 32 を起動要因にする	リードすると“0”が読めます。	DM20 = 0 のとき 割り込み番号 32 (INT1D) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM20 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM211	EIM210	DM21		IL212	IL211	IL210
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 33 を起動要因にする	リードすると“0”が読めます。	DM21 = 0 のとき 割り込み番号 33 (INT1E) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM21 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM221	EIM220	DM26		IL222	IL221	IL220
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 34 を起動要因にする	リードすると“0”が読めます。	DM22 = 0 のとき 割り込み番号 34 (INT1F) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM22 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM231	EIM230	DM23		IL232	IL231	IL230
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 35 を起動要因にする	リードすると“0”が読めます。	DM23 = 0 のとき 割り込み番号 34 (INTRX0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM23 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC09  
(0xFF00\_1024)

	7	6	5	4	3	2	1	0
bit Symbol		EIM241	EIM240	DM24		IL242	IL241	IL240
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 36 を起動要因にする	リードすると“0”が読めます。	DM24 = 0 のとき 割り込み番号 36 (INTTX0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM24 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM251	EIM250	DM25		IL252	IL251	IL250
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 37 を起動要因にする	リードすると“0”が読めます。	DM25 = 0 のとき 割り込み番号 37 (INTRX1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM25 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM261	EIM260	DM26		IL262	IL261	IL260
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 38 を起動要因にする	リードすると“0”が読めます。	DM26 = 0 のとき 割り込み番号 38 (INTTX1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM26 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM271	EIM270	DM27		IL272	IL271	IL270
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 39 を起動要因にする	リードすると“0”が読めます。	DM27 = 0 のとき 割り込み番号 39 (INTRX2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM27 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMCOA  
(0xFF00\_1028)

	7	6	5	4	3	2	1	0
bit Symbol		EIM281	EIM280	DM28		IL282	IL281	IL280
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 40 を起動要因にする	リードすると“0”が読めます。	DM28 = 0 のとき 割り込み番号 40 (INTTX2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM28 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM291	EIM290	DM29		IL292	IL291	IL290
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 41 を起動要因にする	リードすると“0”が読めます。	DM29 = 0 のとき 割り込み番号 41 (HINTRX0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM29 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM2A1	EIM2A0	DM2A		IL2A2	IL2A1	IL2A0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 42 を起動要因にする	リードすると“0”が読めます。	DM2A = 0 のとき 割り込み番号 42 (HINTTX0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2A = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM2B1	EIM2B0	DM2B		IL2B2	IL2B1	IL2B0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 43 を起動要因にする	リードすると“0”が読めます。	DM2B = 0 のとき 割り込み番号 43 (HINTRX1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2B = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違が有ります。使用される場合は規定値に設定してください。

IMCOB  
(0xFF00\_102C)

	7	6	5	4	3	2	1	0
bit Symbol		EIM2C1	EIM2C0	DM2C		IL2C2	IL2C1	IL2C0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 44 を起動要因にする	リードすると“0”が読めます。	DM2C = 0 のとき 割り込み番号 44 (HINTTX1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2C = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM2D1	EIM2D0	DM2D		IL2D2	IL2D1	IL2D0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 45 を起動要因にする	リードすると“0”が読めます。	DM2D = 0 のとき 割り込み番号 45 (HINTRX2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2D = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM2E1	EIM2E0	DM2E		IL2E2	IL2E1	IL2E0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 46 を起動要因にする	リードすると“0”が読めます。	DM2E = 0 のとき 割り込み番号 46 (HINTTX2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2E = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM2F1	EIM2F0	DM2F		IL2F2	IL2F1	IL2F0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 47 を起動要因にする	リードすると“0”が読めます。	DM2F = 0 のとき 割り込み番号 47 (INTSB10) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2F = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMCOC  
(0xFF00\_1030)

	7	6	5	4	3	2	1	0
bit Symbol		EIM301	EIM300	DM30		IL302	IL301	IL300
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 48 を起動要因にする	リードすると“0”が読めます。	DM30 = 0 のとき 割り込み番号 48 (INTADHPA) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM30 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM311	EIM310	DM31		IL312	IL311	IL310
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 1: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 49 を起動要因にする	リードすると“0”が読めます。	DM31 = 0 のとき 割り込み番号 49 (INTADMA) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM31 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM321	EIM320	DM32		IL322	IL321	IL320
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 50 を起動要因にする	リードすると“0”が読めます。	DM32 = 0 のとき 割り込み番号 50 (INTADHPB) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM32 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM331	EIM330	DM33		IL332	IL331	IL330
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 51 を起動要因にする	リードすると“0”が読めます。	DM33 = 0 のとき 割り込み番号 51 (INTADMB) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM33 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違が有ります。使用される場合は規定値に設定してください。

IMCOD  
(0xFF00\_1034)

	7	6	5	4	3	2	1	0
bit Symbol		EIM341	EIM340	DM34		IL342	IL341	IL340
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 52 を起動要因にする	リードすると“0”が読めます。	DM34 = 0 のとき 割り込み番号 52 (INTADHPC) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM34 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM351	EIM350	DM35		IL352	IL351	IL350
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 53 を起動要因にする	リードすると“0”が読めます。	DM35 = 0 のとき 割り込み番号 53 (INTADMC) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM35 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM361	EIM360	DM36		IL362	IL361	IL360
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 54 を起動要因にする	リードすると“0”が読めます。	DM36 = 0 のとき 割り込み番号 54 (INTTB0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM36 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM371	EIM370	DM37		IL372	IL371	IL370
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 55 を起動要因にする	リードすると“0”が読めます。	DM37 = 0 のとき 割り込み番号 55 (INTTB1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM37 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMCOE  
(0xFF00\_1038)

	7	6	5	4	3	2	1	0
bit Symbol		EIM381	EIM380	DM38		IL382	IL381	IL380
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず”11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 56 を起動要因にする	リードすると“0”が読めます。	DM38 = 0 のとき 割り込み番号 56 (INTTB2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM38 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM391	EIM390	DM39		IL392	IL391	IL390
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず”11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 57 を起動要因にする	リードすると“0”が読めます。	DM39 = 0 のとき 割り込み番号 57 (INTTB3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM39 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM3A1	EIM3A0	DM3A		IL3A2	IL3A1	IL3A0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず”11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 58 を起動要因にする	リードすると“0”が読めます。	DM3A = 0 のとき 割り込み番号 58 (INTTB4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3A = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM3B1	EIM3B0	DM3B		IL3B2	IL3B1	IL3B0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず”11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 59 を起動要因にする	リードすると“0”が読めます。	DM3B = 0 のとき 割り込み番号 59 (INTTB5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3B = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMCOF  
(0xFF00\_103C)

	7	6	5	4	3	2	1	0
bit Symbol		EIM3C1	EIM3C0	DM3C		IL3C2	IL3C1	IL3C0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0		
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 60 を起動要因にする	リードすると“0”が読めます。	DM3C = 0 のとき 割り込み番号 60 (INTTB6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3C = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM3D1	EIM3D0	DM3D		IL3D2	IL3D1	IL3D0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 61 を起動要因にする	リードすると“0”が読めます。	DM3D = 0 のとき 割り込み番号 61 (INTTB7) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3D = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM3E1	EIM3E0	DM3E		IL3E2	IL3E1	IL3E0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 62 を起動要因にする	リードすると“0”が読めます。	DM3E = 0 のとき 割り込み番号 62 (INTTB8) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3E = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29*	28	27	26	25	24
bit Symbol		EIM3F1	EIM3F0	DM3F		IL3F2	IL3F1	IL3F0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 63 を起動要因にする	リードすると“0”が読めます。	DM3E = 0 のとき 割り込み番号 63 (INTTB9) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3E = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違が有ります。使用される場合は規定値に設定してください。

IMC10  
(0xFF00\_1040)

	7	6	5	4	3	2	1	0
bit Symbol		EIM401	EIM400	DM40		IL402	IL401	IL400
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号64を起動要因にする	リードすると“0”が読めます。	DM40 = 0 のとき 割り込み番号64 (INTTBA) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM40 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM411	EIM410	DM41		IL412	IL411	IL410
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 1: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号65を起動要因にする	リードすると“0”が読めます。	DM41 = 0 のとき 割り込み番号65 (INTTBB) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM41 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM421	EIM420	DM42		IL422	IL421	IL420
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号66を起動要因にする	リードすると“0”が読めます。	DM42 = 0 のとき 割り込み番号66 (INTTBC) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM42 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM431	EIM430	DM43		IL432	IL431	IL430
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号67を起動要因にする	リードすると“0”が読めます。	DM43 = 0 のとき 割り込み番号67 (INTTBD) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM43 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC11  
(0xFF00\_1044)

	7	6	5	4	3	2	1	0
bit Symbol		EIM441	EIM440	DM44		IL442	IL441	IL440
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 68 を起動要因にする	リードすると“0”が読めます。	DM44 = 0 のとき 割り込み番号 68 (INTTBE) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM44 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM451	EIM450	DM45		IL452	IL451	IL450
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 69 を起動要因にする	リードすると“0”が読めます。	DM45 = 0 のとき 割り込み番号 69 (INTTBF) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM45 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM461	EIM460	DM46		IL462	IL461	IL460
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 70 を起動要因にする	リードすると“0”が読めます。	DM46 = 0 のとき 割り込み番号 70 (INTADA) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM46 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM471	EIM470	DM47		IL472	IL471	IL470
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 71 を起動要因にする	リードすると“0”が読めます。	DM47 = 0 のとき 割り込み番号 71 (INTADB) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM47 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC12  
(0xFF00\_1048)

	7	6	5	4	3	2	1	0
bit Symbol		EIM481	EIM480	DM48		IL482	IL481	IL480
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 72 を起動要因にする	リードすると“0”が読めます。	DM48 = 0 のとき 割り込み番号 72 (INTADC) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM48 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM491	EIM490	DM49		IL492	IL491	IL490
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 73 を起動要因にする	リードすると“0”が読めます。	DM49 = 0 のとき 割り込み番号 73 (INTTB10) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM49 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM4A1	EIM4A0	DM4A		IL4A2	IL4A1	IL4A0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 74 を起動要因にする	リードすると“0”が読めます。	DM4A = 0 のとき 割り込み番号 74 (INTTB11) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM4A = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM4B1	EIM4B0	DM4B		IL4B2	IL4B1	IL4B0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 75 を起動要因にする	リードすると“0”が読めます。	DM4B = 0 のとき 割り込み番号 75 (PHCNT0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM4B = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違が有ります。使用される場合は規定値に設定してください。

IMC13  
(0xFF00\_104C)

	7	6	5	4	3	2	1	0
bit Symbol		EIM4C1	EIM4C0	DM4C		IL4C2	IL4C1	IL4C0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号76を起動要因にする	リードすると“0”が読めます。	DM4C = 0 のとき 割り込み番号 76 (PHCNT1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM4C = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM4D1	EIM4D0	DM4D		IL4D2	IL4D1	IL4D0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号77を起動要因にする	リードすると“0”が読めます。	DM4D = 0 のとき 割り込み番号 77 (PHCNT2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM4D = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM4E1	EIM4E0	DM4E		IL4E2	IL4E1	IL4E0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号78を起動要因にする	リードすると“0”が読めます。	DM4E = 0 のとき 割り込み番号 78 (PHCNT3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM4E = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM4F1	EIM4F0	DM4F		IL4F2	IL4F1	IL4F0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号79を起動要因にする	リードすると“0”が読めます。	DM4F = 0 のとき 割り込み番号 79 (PHCNT4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM4F = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC14  
(0xFF00\_1050)

	7	6	5	4	3	2	1	0
bit Symbol		EIM501	EIM500	DM50		IL502	IL501	IL500
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号80を起動要因にする	リードすると“0”が読めます。	DM50 = 0 のとき 割り込み番号80 (PHCNT5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM50 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM511	EIM510	DM51		IL512	IL511	IL510
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 1: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号81を起動要因にする	リードすると“0”が読めます。	DM51 = 0 のとき 割り込み番号81 (INTCAPO) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM51 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM521	EIM520	DM52		IL522	IL521	IL520
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号82を起動要因にする	リードすると“0”が読めます。	DM52 = 0 のとき 割り込み番号82 (INTCAP1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM52 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM531	EIM530	DM53		IL532	IL531	IL530
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号83を起動要因にする	リードすると“0”が読めます。	DM53 = 0 のとき 割り込み番号83 (INTCAP2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM53 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違が有ります。使用される場合は規定値に設定してください。

IMC15  
(0xFF00\_1054)

	7	6	5	4	3	2	1	0
bit Symbol		EIM541	EIM540	DM54		IL542	IL541	IL540
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 84 を起動要因にする	リードすると“0”が読めます。	DM54 = 0 のとき 割り込み番号 84 (INTCAP3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM54 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM551	EIM550	DM55		IL552	IL551	IL550
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 85 を起動要因にする	リードすると“0”が読めます。	DM55 = 0 のとき 割り込み番号 85 (INTCMP0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM55 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM561	EIM560	DM56		IL562	IL561	IL560
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 86 を起動要因にする	リードすると“0”が読めます。	DM56 = 0 のとき 割り込み番号 86 (INTCMP1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM56 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM571	EIM570	DM57		IL572	IL571	IL570
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 87 を起動要因にする	リードすると“0”が読めます。	DM57 = 0 のとき 割り込み番号 87 (INTCMP2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM57 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC16  
(0xFF00\_1058)

	7	6	5	4	3	2	1	0
bit Symbol		EIM581	EIM580	DM58		IL582	IL581	IL580
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 88 を起動要因にする	リードすると“0”が読めます。	DM58 = 0 のとき 割り込み番号 88 (INTCMP3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM58 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM591	EIM590	DM59		IL592	IL591	IL590
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 89 を起動要因にする	リードすると“0”が読めます。	DM59 = 0 のとき 割り込み番号 89 (INTCMP4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM59 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM5A1	EIM5A0	DM5A		IL5A2	IL5A1	IL5A0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 90 を起動要因にする	リードすると“0”が読めます。	DM5A = 0 のとき 割り込み番号 90 (INTCMP5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM5A = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM5B1	EIM5B0	DM5B		IL5B2	IL5B1	IL5B0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 91 を起動要因にする	リードすると“0”が読めます。	DM5B = 0 のとき 割り込み番号 91 (INTCMP6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM5B = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注) <EIMxx0:1>の初期値と使用時の値に相違が有ります。使用される場合は規定値に設定してください。

IMC17  
(0xFF00\_105C)

	7	6	5	4	3	2	1	0
bit Symbol		EIM5C1	EIM5C0	DM5C		IL5C2	IL5C1	IL5C0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 92 を起動要因にする	リードすると“0”が読めます。	DM5C = 0 のとき 割り込み番号 92 (INTCMP7) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM5C = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM5D1	EIM5D0	DM5D		IL5D2	IL5D1	IL5D0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ <b>必ず“11”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 93 を起動要因にする	リードすると“0”が読めます。	DM5D = 0 のとき 割り込み番号 93 (INTTBT) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM5D = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM5E1	EIM5E0	DM5E		IL5E2	IL5E1	IL5E0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 10: 立ち下がりエッジ <b>“10”に設定してください。</b>  CG 使用時は“01”または“11”に設定してください。 01: “H”レベル 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 94 を起動要因にする	リードすると“0”が読めます。	DM5E = 0 のとき 割り込み番号 94 (INTRTC) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM5E = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM5F1	EIM5F0	DM5F		IL5F2	IL5F1	IL5F0
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L”レベル <b>必ず“00”に設定してください。</b>		必ず“0”に設定してください。	リードすると“0”が読めます。	DM5F = 0 のとき 割り込み番号 95 (INTDMA0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7		

- (注 1) <EIMxx1:0>の初期値と使用時の値に相違が有ります。使用される場合は規定値に設定してください。  
 (注 2) DMAC による DMAC レジスタへのアクセスは禁止です。  
 (注 3) INTRTC について、CG 使用時はアクティブ状態は CG から Hi 信号が入力されます。  
 CG または、INTC のどちらかでエッジ入力になるように設定してください。

IMC18  
(0xFF00\_1060)

	7	6	5	4	3	2	1	0
bit Symbol		EIM601	EIM600			IL602	IL601	IL600
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めません。	割り込み要求のアクティブ状態を設定 00: “L” レベル <b>必ず“00”に設定してください。</b>		必ず“0”を設定してください。	リードすると“0”が読めません。	DM60 = 0 のとき 割り込み番号 96 (INTDMA1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM611	EIM610			IL612	IL611	IL610
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めません。	割り込み要求のアクティブ状態を設定 00: “L” レベル <b>必ず“00”に設定してください。</b>		必ず“0”を設定してください。	リードすると“0”が読めません。	DM61 = 0 のとき 割り込み番号 97 (INTDMA2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM621	EIM620			IL622	IL621	IL620
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めません。	割り込み要求のアクティブ状態を設定 00: “L” レベル <b>必ず“00”に設定してください。</b>		必ず“0”を設定してください。	リードすると“0”が読めません。	DM62 = 0 のとき 割り込み番号 98 (INTDMA3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM631	EIM630			IL632	IL631	IL630
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めません。	割り込み要求のアクティブ状態を設定 00: “L” レベル <b>必ず“00”に設定してください。</b>		必ず“0”を設定してください。	リードすると“0”が読めません。	DM63 = 0 のとき 割り込み番号 98 (INTDMA4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7		

(注 1) <EIMxx1:0>の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。  
(注 2) DMAC による DMAC レジスタへのアクセスは禁止です。

IMC19  
(0xFF00\_1064)

	7	6	5	4	3	2	1	0
bit Symbol		EIM641	EIM640			IL642	IL641	IL640
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル <b>必ず“00”に設定してください。</b>		必ず“0”を設定してください。	リードすると“0”が読めます。	DM64 = 0 のとき 割り込み番号 100 (INTDMA5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM651	EIM650			IL652	IL651	IL650
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル <b>必ず“00”に設定してください。</b>		必ず“0”を設定してください。	リードすると“0”が読めます。	DM65 = 0 のとき 割り込み番号 101 (INTDMA6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM661	EIM660			IL662	IL661	IL660
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル <b>必ず“00”に設定してください。</b>		必ず“0”を設定してください。	リードすると“0”が読めます。	DM66 = 0 のとき 割り込み番号 102 (INTDMA7) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM671	EIM670	DM67		IL672	IL671	IL670
Read/Write	R	R/W		R/W	R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。	割り込み要求のアクティブ状態を設定 00: “L” レベル <b>必ず“00”に設定してください。</b>		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 103 を起動要因にする	リードすると“0”が読めます。	DM67 = 0 のとき 割り込み番号 103 (ソフトウェア) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM67 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

(注 1) <EIMxx1:0>の初期値と使用時の値に相違が有ります。使用される場合は規定値に設定してください。  
(注 2) DMAC による DMAC レジスタへのアクセスは禁止です。

- (注 1) 割り込み要求を許可する前に、必ずアクティブ状態を設定してください。
- (注 2) 割り込み要求を DMAC の起動要因にする場合は必ず INTC を設定後に DMAC を待機状態にしてください。
- (注 3) アクティブ条件を変更する場合(特にレベル検出に変更する場合は、該当するデバイスの割り込み出力をデアサート状態にしてから変更して下さい。
- (1) IL= “0” 以外の場合は、IL= “0” を設定
  - (2) 検出条件(EIM)の変更
  - (3) INTCLR で、該当割り込みをクリア
  - (4) IL を“0 以外”に設定

Not Recommended  
for New Design

## 6.6.4.4 割り込み要求クリアレジスタ (INTCLR)

要求をクリアしたい割り込み要因の IVR[8:0]を INTCLR にセットすることで、保留されている割り込み要求をクリアすることができます。割り込み要求をクリアすると IVR の値もクリアされるため、割り込み要因の判別ができなくなります。IVR の値を読む前に割り込み要求のクリアは行わないで下さい。

要求をクリアしたい IVR&lt;IVR8:0&gt;の値をセット

	7	6	5	4	3	2	1	0
INTCLR (0xFF00_10C0)	EICLR7	EICLR6	EICLR5	EICLR4	EICLR3	EICLR2	EICLR1	EICLR0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	要求をクリアしたい割り込みに相当する IVR<8:0>の値をセット							
	15	14	13	12	11	10	9	8
bit Symbol	EICLR8							
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	23	22	21	20	19	18	17	16
bit Symbol	EICLR9							
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
bit Symbol	EICLR10							
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							

- (注1) このレジスタは必ず 16 ビットもしくは 32 ビットでアクセスしてください。
- (注2) INTC の IMCx<EIMxx>のアクティブ状態の設定が“H”,”L”レベル、立ち上がり/立ち下がりエッジのどの場合でも割り込み要因を保持するため、割り込み要求をクリアしてください。
- (注3) 本レジスタはビット操作命令でアクセスできません。
- (注4) DMAC の割り込み要因による転送要求はクリアされません。一度受け付けた外部転送要求は DMA 転送を実行するまで解除されません。そのため不要な外部転送要求は DMA 転送を実行しクリアするか、不要な外部転送要求を受け付ける前に IMCx<ILxxx>で割り込み禁止もしくは IMCx<DMxx>で DMAC の起動要因を解除する必要があります。
- (注5) IMCx レジスタを設定したあとは、必ず INTCLR にて、該当する割り込み番号のクリアを実施してください。

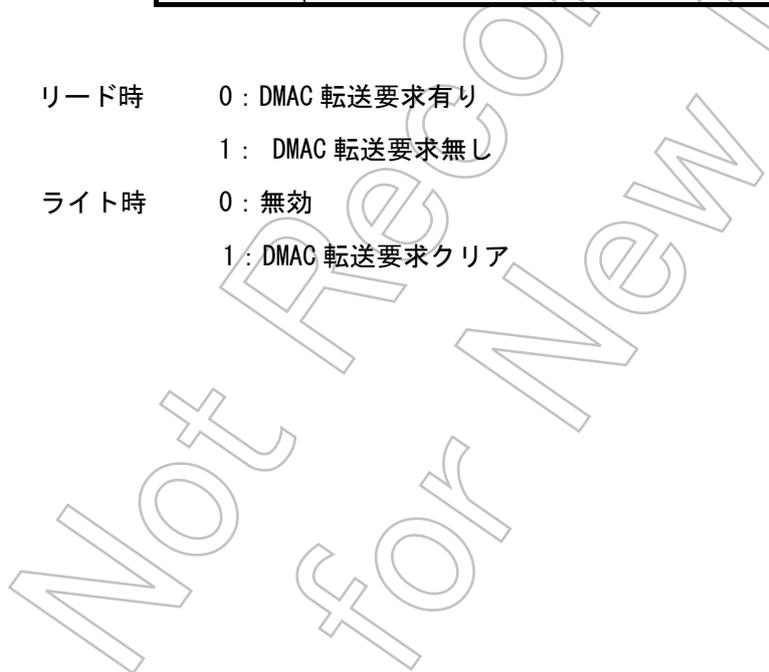
6.6.4.5 DMAC転送要求クリアレジスタ (DREQFLG)

DREQFLGに“1”をセットすることで、任意のDMAC転送要求をクリアする事が出来ます。

DMAC転送要求をクリアしたいチャンネルをクリア

DREQFLG (0xFF00_10C4)	bit Symbol	7	6	5	4	3	2	1	0
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	DMAC転送要求をクリアします。							
	bit Symbol	15	14	13	12	11	10	9	8
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると“0”が読めます。							
	bit Symbol	23	22	21	20	19	18	17	16
	Read/Write	R							
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								
bit Symbol	31	30	29	28	27	26	25	24	
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								

- リード時    0 : DMAC 転送要求有り
- 1 : DMAC 転送要求無し
- ライト時   0 : 無効
- 1 : DMAC 転送要求クリア



## 7. 入出力ポート

### ポートレジスタ

**Px** : ポートレジスタ

ポートのデータ読み込み、データ書き込みを行います。

**PxCR** : コントロールレジスタ

入出力を制御します。

※ 入力設定にした場合でも、PxIE レジスタにより入力をイネーブ爾にする必要が有ります。

**PxFCn** : ファンクションレジスタ

機能設定を行ないます。“1” をセットすることにより割り当てられている機能を使用できるようになります。

**PxODE** : オープンドレイン制御レジスタ

プログラマブルオープンレイン設定可能なレジスタに対して、入力を切り替えます。

**PxPUP** : プルアップ制御レジスタ

プログラマブルプルアップを制御します。

**PxIE** : 入力制御イネーブ爾レジスタ

### ● Backup Sleep, Backup Stop 時の制御について

設定レジスタを含む PORT ロジックは、電源 OFF 状態となります。  
ただし、外部入出力バッファは電源 ON 状態のままであるため、専用のラッチ回路により制御信号を保持する必要があります。

ラッチ回路は、CG 内のレジスタにて制御されます。([PORT\_KEEP] ←CG レジスタ STBYCR2<PTKEEP>)

PORT\_KEEP = “0” : 入出力バッファの制御信号は伝播します。

PORT\_KEEP = “1” : 入出力バッファの制御信号は保持されます。

Backup Sleep, Backup Stop への遷移、復帰時は、下記の手順が必要となります。

- (1) Backup Sleep, Backup Stop 遷移前に PORT\_KEEP=” 1” にセット
- (2) Backup Sleep, Backup Stop 復帰後、PORT を再設定
- (3) PORT\_KEEP=” 0” にクリア

以降、電源遮断の境界として「」を図中に示します。

### 7.1 ポート 0 (P00~P07)

ポート 0 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の設定はコントロールレジスタ P0CR によって行います。リセット動作により、P0CR の全ビットは“0”にクリアされ、ポート 0 は入力モードになります。

汎用入出力ポート機能以外にデータバス (D0~D7) またはアドレスデータバス (AD0~AD7) 機能があります。

リセット時に BUSMD 端子 (ポート P45) を“L”レベルにすることでセパレートバスモード (D0~D7) に、“H”レベルにすることでマルチプレクスモード (AD0~AD7) になります。

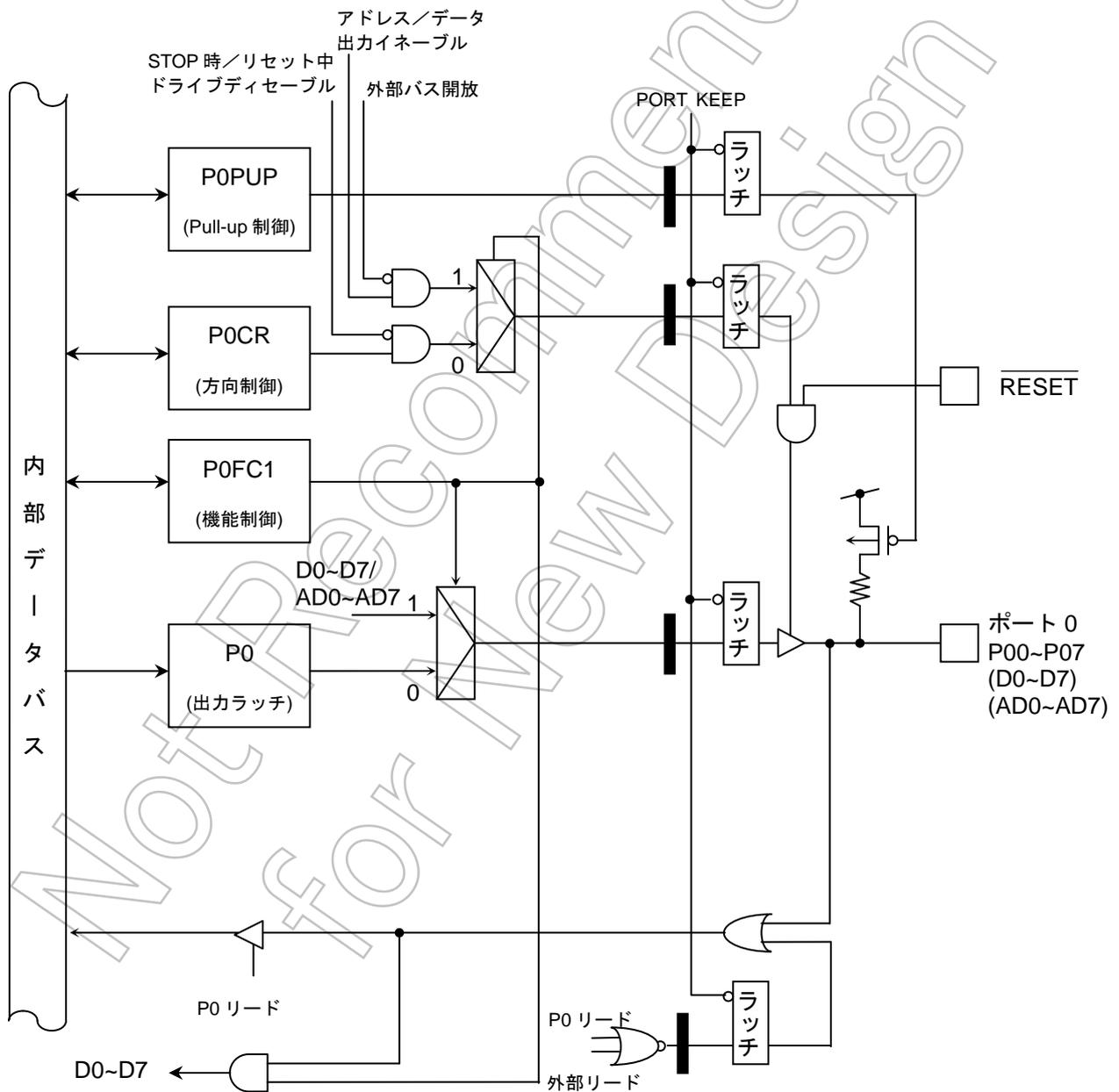


図 7-1 ポート 0 (P00~P07)

## ポート0レジスタ

	7	6	5	4	3	2	1	0
P0 (0xFF00_4000)	P07	P06	P05	P04	P03	P02	P01	P00
Read/Write	R/W							
リセット後	入力モード (出カラッチレジスタは “0” にクリア)							

## ポート0コントロールレジスタ

	7	6	5	4	3	2	1	0
POCR (0xFF00_4004)	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: 入力 1: 出力 (外部領域アクセス時、D7-0 または AD7-0 になり、このレジスタは “0” にクリアされます)							

## ポート0ファンクションレジスタ1

	7	6	5	4	3	2	1	0
POFC1 (0xFF00_4008)	P07F	P06F	P05F	P04F	P03F	P02F	P01F	P00F
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: PORT 1: 外部バス設定							

## ポート0プルアップ制御レジスタ

	7	6	5	4	3	2	1	0
POPUP (0xFF00_402C)	PE07	PE06	PE05	PE04	PE03	PE02	PE01	PE00
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	プルアップ 0: オフ 1: Pull-Up							

## 7.2 ポート 1 (P10~P17)

ポート 1 はビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。入出力の設定は、コントロールレジスタ P1CR と P1FC1, P1FC2 によって行います。リセット動作により、出力ラッチ P1 の全ビットと P1CR と P1FC1, P1FC2 の全ビットは “0” にクリアされ、ポート 1 は出力ディセーブルになります。

汎用入出力ポート機能以外に、データバス (D8~15) またはアドレスデータバス (AD8~15) 機能とアドレスバス (A8~15) 機能があります。外部メモリをアクセスするときは、P1CR, P1FC1, P1FC2 によりアドレスバスまたはアドレスデータバスに設定する必要があります。

リセット時に BUSMD 端子 (ポート 45) を “L” レベルにすることでセパレートバスモード (D8~D15) に、“H” レベルにすることでマルチプレクスモード (AD8~AD15/A8~A15) になります。

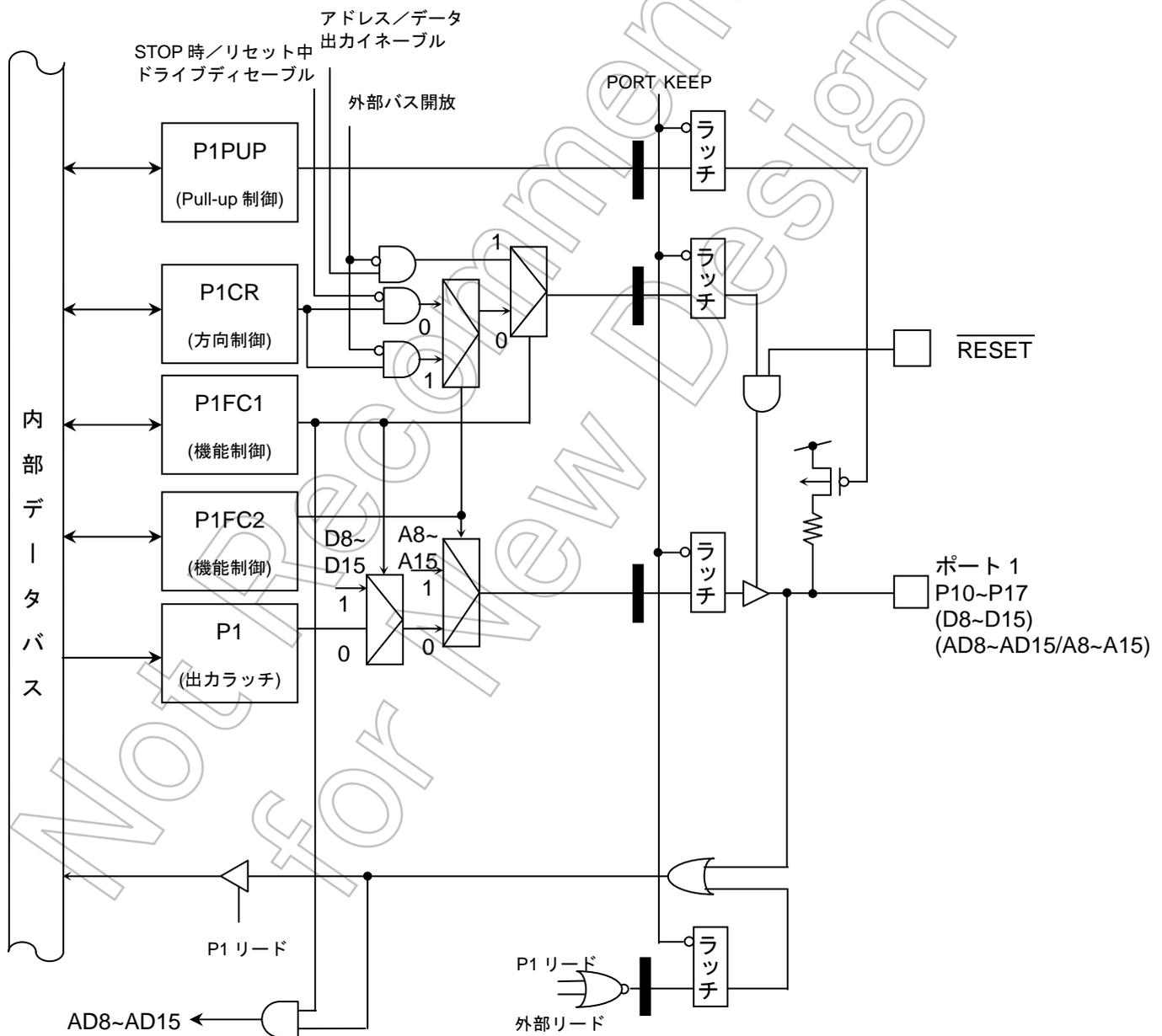


図 7-2 ポート 1 (P10~P17)

## ポート1レジスタ

	7	6	5	4	3	2	1	0	
P1 (0xFF00_4040)	Bit Symbol	P17	P16	P15	P14	P13	P12	P11	P10
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは “0” にクリア)							

## ポート1コントロールレジスタ

	7	6	5	4	3	2	1	0	
P1CR (0xFF00_4004)	Bit Symbol	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 出力ディセーブル 1: 出力イネーブル							

## ポート1ファンクションレジスタ1

	7	6	5	4	3	2	1	0	
P1FC1 (0xFF00_4048)	Bit Symbol	P17F	P16F	P15F	P14F	P13F	P12F	P11F	P10F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: 外部バス設定 (データバス)							

## ポート1ファンクションレジスタ2

	7	6	5	4	3	2	1	0	
P1FC2 (0xFF00_404C)	Bit Symbol	P17F2	P16F2	P15F2	P14F2	P13F2	P12F2	P11F2	P10F2
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: 外部バス設定 (アドレスバス)							

## ポート1 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P1PUP (0xFF00_406C)	Bit Symbol	PE17	PE16	PE15	PE14	PE13	PE12	PE11	PE10
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0: オフ 1: Pull-Up							

### 7.3 ポート 2 (P20~P27)

ポート 2 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P2CR とファンクションレジスタ P2FC1, P2FC2, P2FC3 によって行います。リセット動作により出力ラッチ P2 の全ビットは“1”にセットされ、また、P2CR と P2FC1, P2FC2, P2FC3 の全ビットは“0”にクリアされ、ポート 2 は出力ディセーブルになります。

16 ビットタイマの入力機能があり、P2FC3 の該当ビットを“1”、P2CR、P2FC1、P2FC2 の該当ビットを“0”に設定することによりこれらの機能が有効になります。リセット動作により P2CR、P2FC1、P2FC2、P2FC3 は“0”にクリアされポート 2 は入力ポートとなります。リセット直後は入力ディセーブルになっていますので、入力ネーブルにするには P2IE の該当ビットを“1”に設定してください。

汎用入出力ポート機能以外にアドレスバス (A0~A7) 機能とアドレスバス (A16~A23) 機能があります。外部メモリをアクセスする時は、P2CR、P2FC1 によりアドレスバスに設定する必要があります。

リセット時に BUSMD 端子 (ポート P45) を“L”レベルにすることでセパレートバスモード (A16~A23) に、“H”レベルにすることでマルチプレクスモード (A0~A7/A16~A23) になります。

Not Recommended for New Design

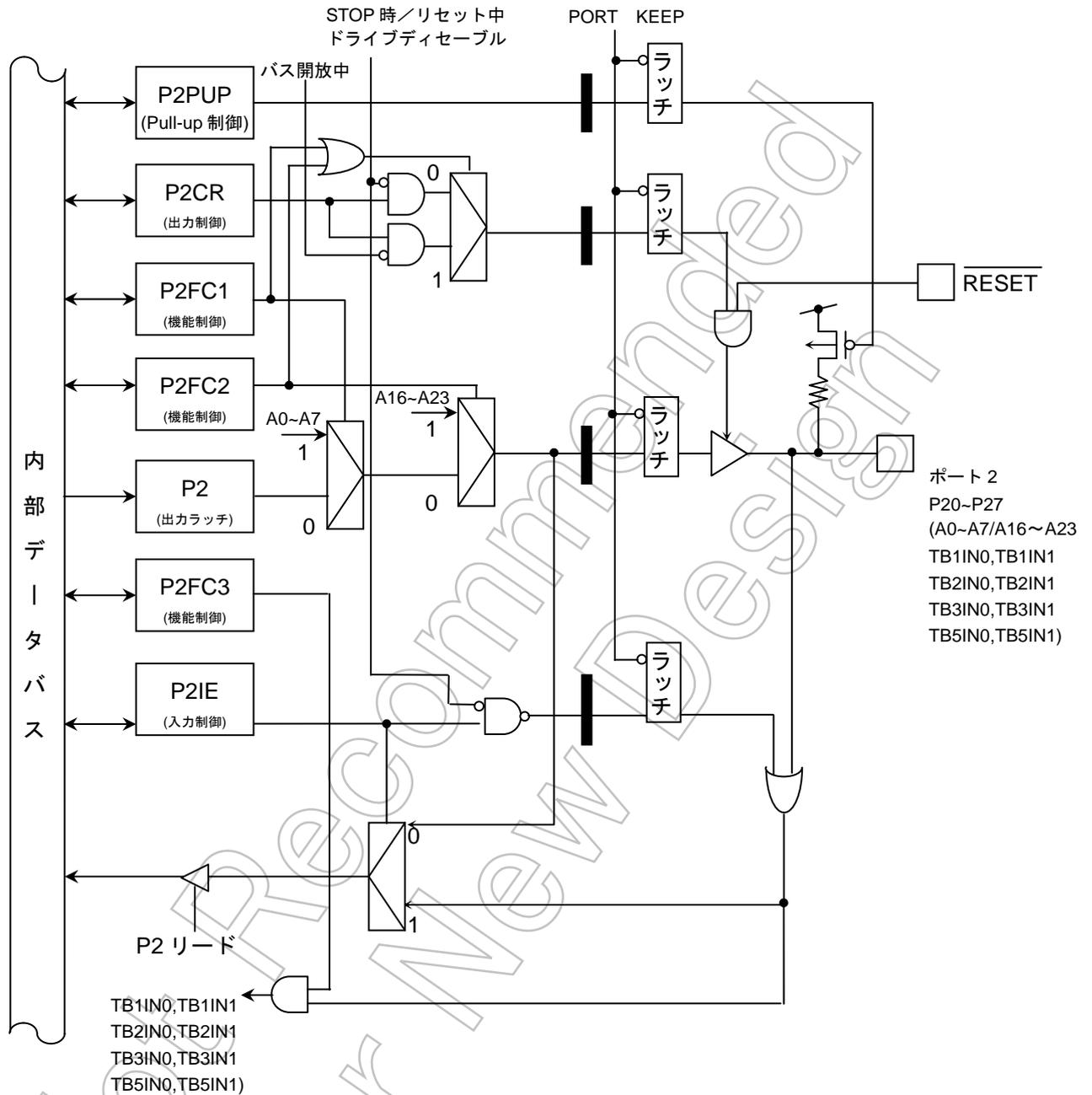


図 7-3 ポート 2 (P20~P27)

ポート 2 レジスタ

	7	6	5	4	3	2	1	0	
P2 (0xFF00_4080)	Bit Symbol	P27	P26	P25	P24	P23	P22	P21	P20
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“1”にセット)							

ポート 2 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P2CR (0xFF00_4084)	Bit Symbol	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 出力ディセーブル 1: 出力イネーブル							

ポート 2 ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
P2FC1 (0xFF00_4088)	Bit Symbol	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: 外部バス設定							

ポート 2 ファンクションレジスタ 2

	7	6	5	4	3	2	1	0	
P2FC2 (0xFF00_408C)	Bit Symbol	P27F2	P26F2	P25F2	P24F2	P23F2	P22F2	P21F2	P20F2
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: 外部バス設定							

ポート 2 ファンクションレジスタ 3

	7	6	5	4	3	2	1	0	
P2FC3 (0xFF00_4090)	Bit Symbol	P27F3	P26F3	P25F3	P24F3	P23F3	P22F3	P21F3	P20F3
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:TB5IN1	0:PORT 1:TB5INO	0:PORT 1:TB3IN1	0:PORT 1:TB3INO	0:PORT 1:TB2IN1	0:PORT 1:TB2INO	0:PORT 1:TB1IN1	0:PORT 1:TB1INO

ポート 2 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P2PUP (0xFF00_40AC)	Bit Symbol	PE27	PE26	PE25	PE24	PE23	PE22	PE21	PE20
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0:オフ 1:Pull-Up							

ポート 2 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
P2IE (0xFF00_40B8)	Bit Symbol	PIE27	PIE26	PIE25	PIE24	PIE23	PIE22	PIE21	PIE20
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可							

### 7.4 ポート 3 (P30~P37)

ポート 3 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ P3CR とファンクションレジスタ P3FC1、P3FC2 によって行います。

入出力ポート機能以外に P34 は 16 ビットタイマの出力機能、P32、P35~P37 は 32 ビットインプットキャプチャトリガ入力機能があります。P3FC2 の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により P3CR、P3FC1、P3FC2 は “0” にクリアされてポート 3 は入力ポートとなります。リセット直後は入力ディセーブルになっていますので、入力イネーブルにするには P3IE の該当ビットを “1” に設定してください。

上記機能以外に CPU のコントロール/ステータス信号の入出力機能があります。P30 端子が RD 信号出力モードとして定義されているとき (<P30F>= “1” のとき)、外部アドレスエリアをアクセスしたときのみ RD ストローブは出力されます。P31 端子が WR 信号出力モードとして定義されているとき (<P31F>= “1” のとき) も同様に、外部アドレスエリアをアクセスしたときのみ WR ストローブは出力されます。

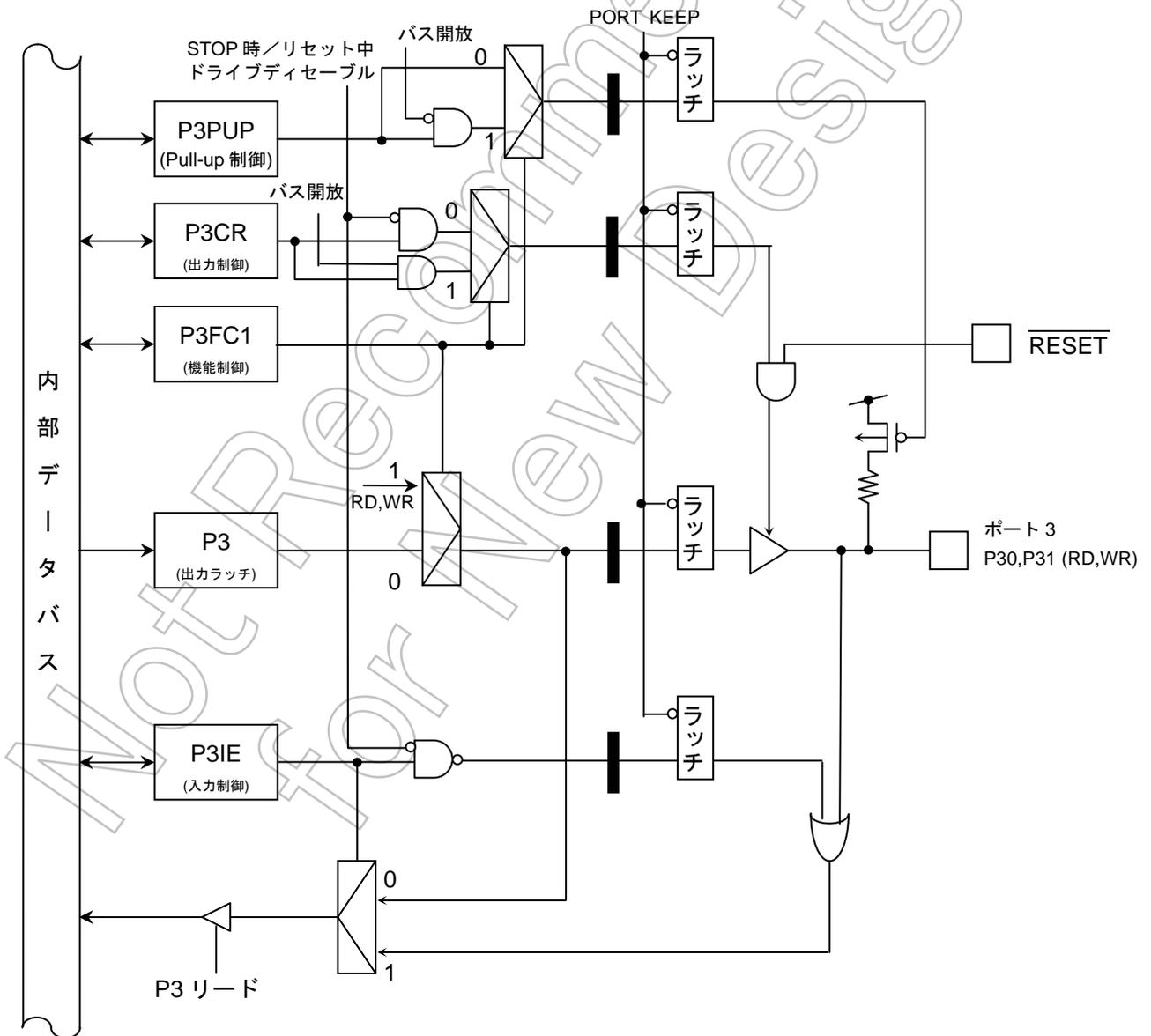


図 7-4 ポート 3 (P30, P31)

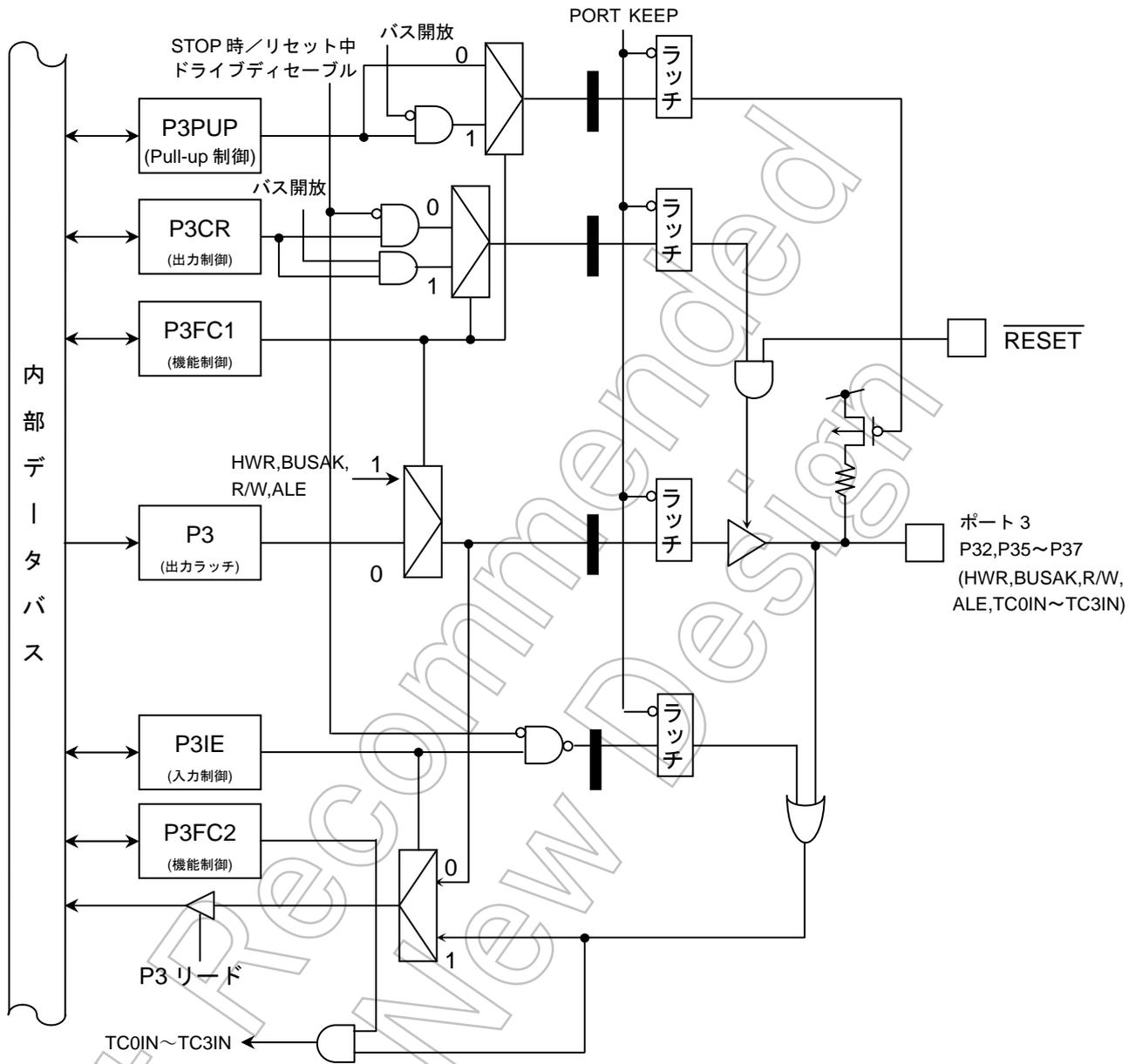


図 7-5 ポート 3 (P32, P35~P37)

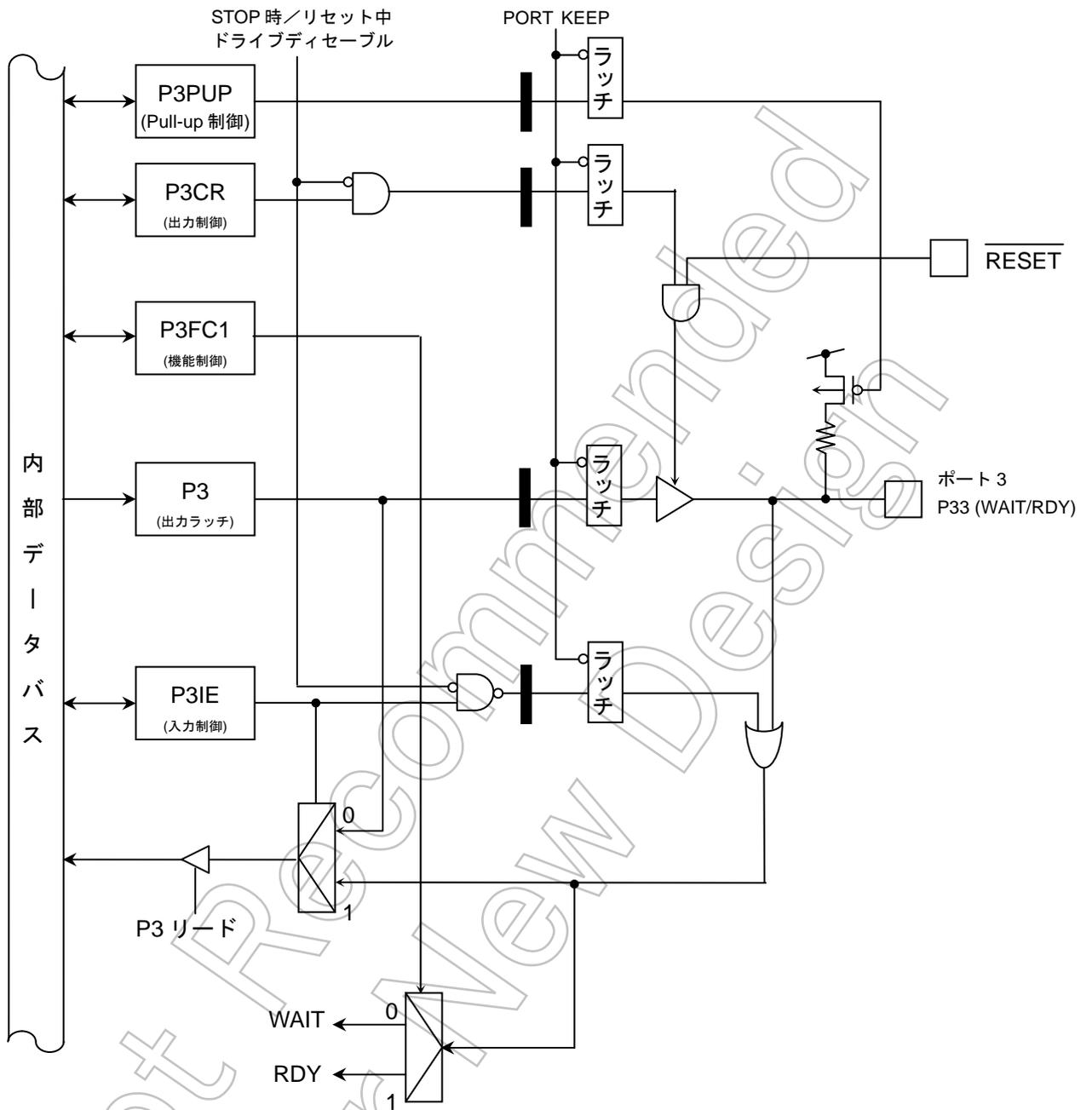


図 7-6 ポート 3 (P33)

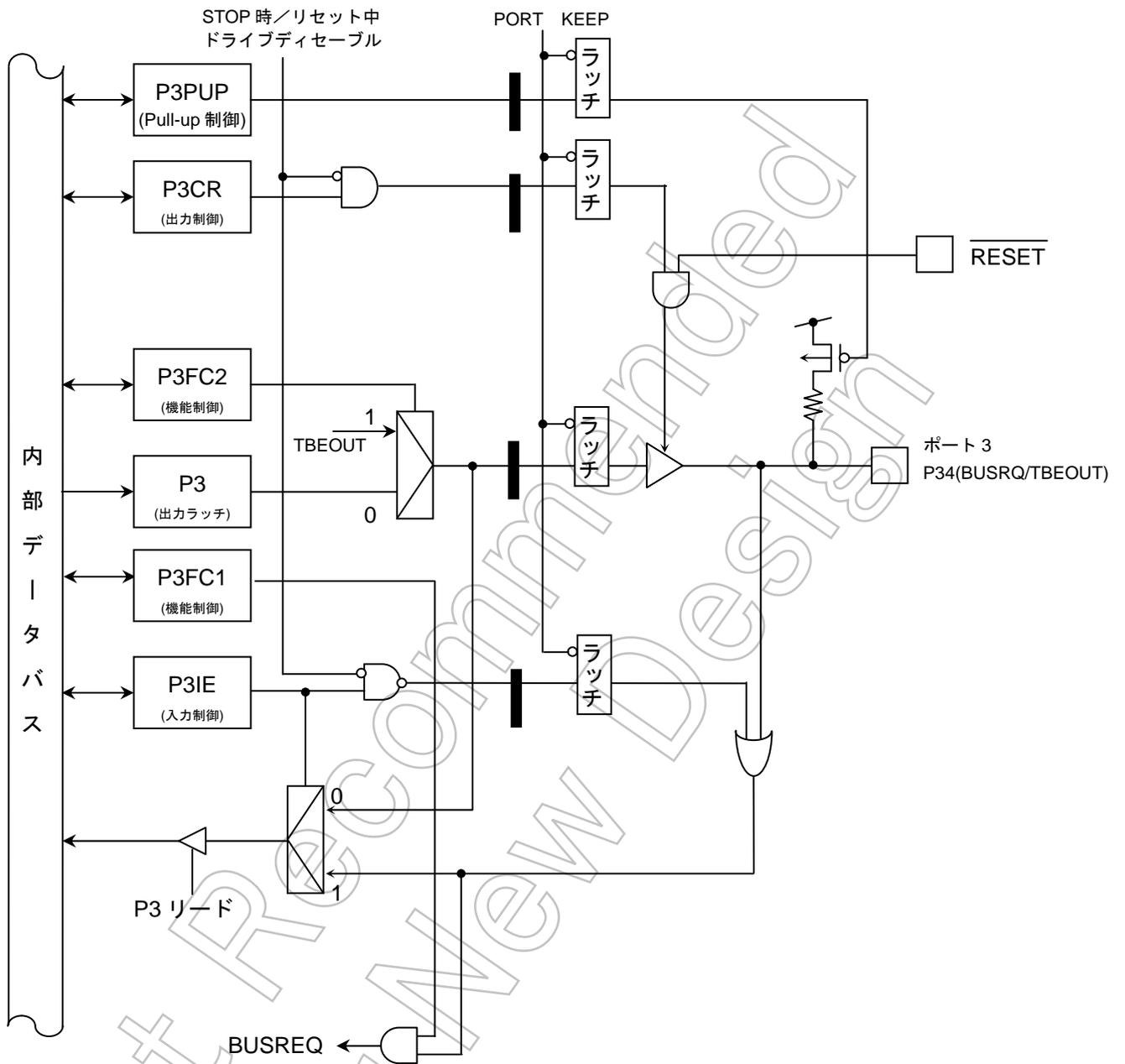


図 7-7 ポート 3 (P34)

ポート 3 レジスタ

	7	6	5	4	3	2	1	0	
P3 (0xFF00_40C0)	Bit Symbol	P37	P36	P35	P34	P33	P32	P31	P30
	Read/Write	R/W							
	リセット後	入力モード							
	機能	1							

(※1) バスモード P45 (BUSMD) によりレジスタの初期値が変わります

L(セパレートバス) : 1 H(マルチプレクスバス) : 0

ポート 3 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P3CR (0xFF00_40C4)	Bit Symbol	P37C	P36C	P35C	P34C	P33C	P32C	P31C	P30C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0: 入力 1: 出力							

(※2) バスモード P45 (BUSMD) によりレジスタの初期値が変わります

L(セパレートバス) : 0 H(マルチプレクスバス) : 1

ポート 3 ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
P3FC1 (0xFF00_4008)	Bit Symbol	P37F	P36F	P35F	P34F	P33F	P32F	P31F	P30F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0: PORT 1: ALE	0: POR 1: R/W	0: PORT 1: BUSAK	0: PORT 1: BUSRQ	0: PORT WAIT 1: /RDY	0: PORT 1: HWR	0: PORT 1: WR	0: PORT 1: RD

ポート 3 ファンクションレジスタ 2

	7	6	5	4	3	2	1	0	
P3FC2 (0xFF00_400C)	Bit Symbol	P37F2	P36F2	P35F2	P34F2	—	P32F2	—	—
	Read/Write	R/W			R	R/W	R		
	リセット後	0	0	0	0	0	0		
	機能	0: PORT 1: TC3IN	0: PORT 1: TC2IN	0: PORT 1: TC1IN	0: PORT 1: TBEOUT	リードすると“0”が読 めずと“0”が読 めず。	0: PORT 1: TC0IN	リードすると“0”が読 めず。	

ポート 3 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P3PUP (0xFF00_40EC)	Bit Symbol	PE37	PE36	PE35	PE34	PE33	PE32	PE31	PE30
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	プルアップ 0: オフ 1: Pull-Up							

ポート 3 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
P3IE (0xFF00_40F8)	Bit Symbol	PIE37	PIE36	PIE35	PIE34	PIE33	PIE32	PIE31	PIE30
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	入力 0: 禁止 1: 許可							

### 7.5 ポート 4 (P40~P47)

ポート 4 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ P4CR とファンクションレジスタ P4FC1、P4FC2 によって行います。

汎用入出力ポート機能以外に、P40~P43 はチップセレクト信号出力機能 ( $\overline{CS0} \sim \overline{CS3}$ )、およびキーオンウェイクアップ入力機能、P44 は内部クロックを出力する SCOUT 出力端子、P47 は 16 ビットタイマ出力があります。P45、P46 はリセット中の設定により外部バスモード設定用の BUSMD 端子、ENDIAN 設定端子として機能致します。

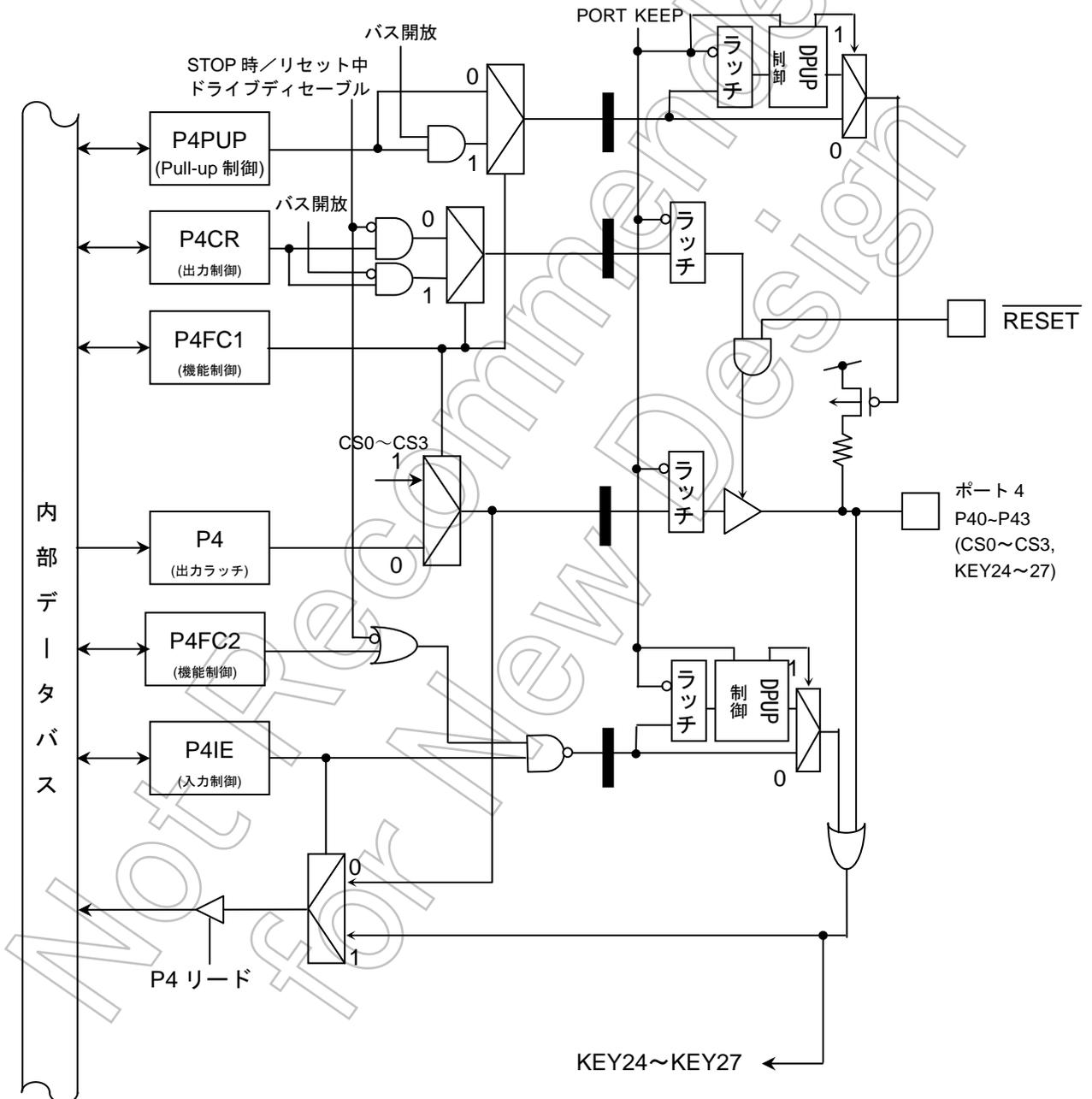


図 7-8 ポート 4 (P40~P43)

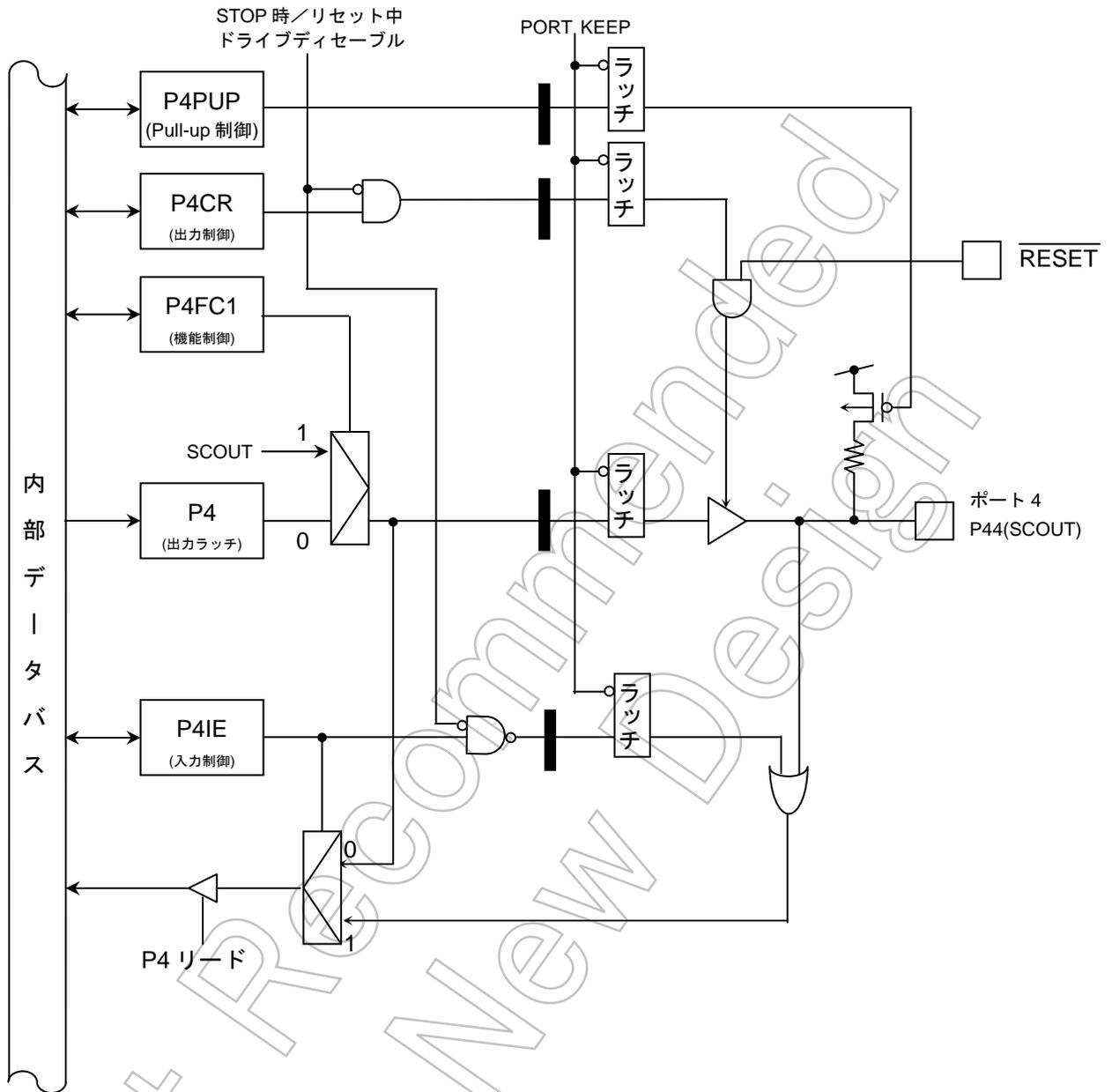


図 7-9 ポート 4 (P44)

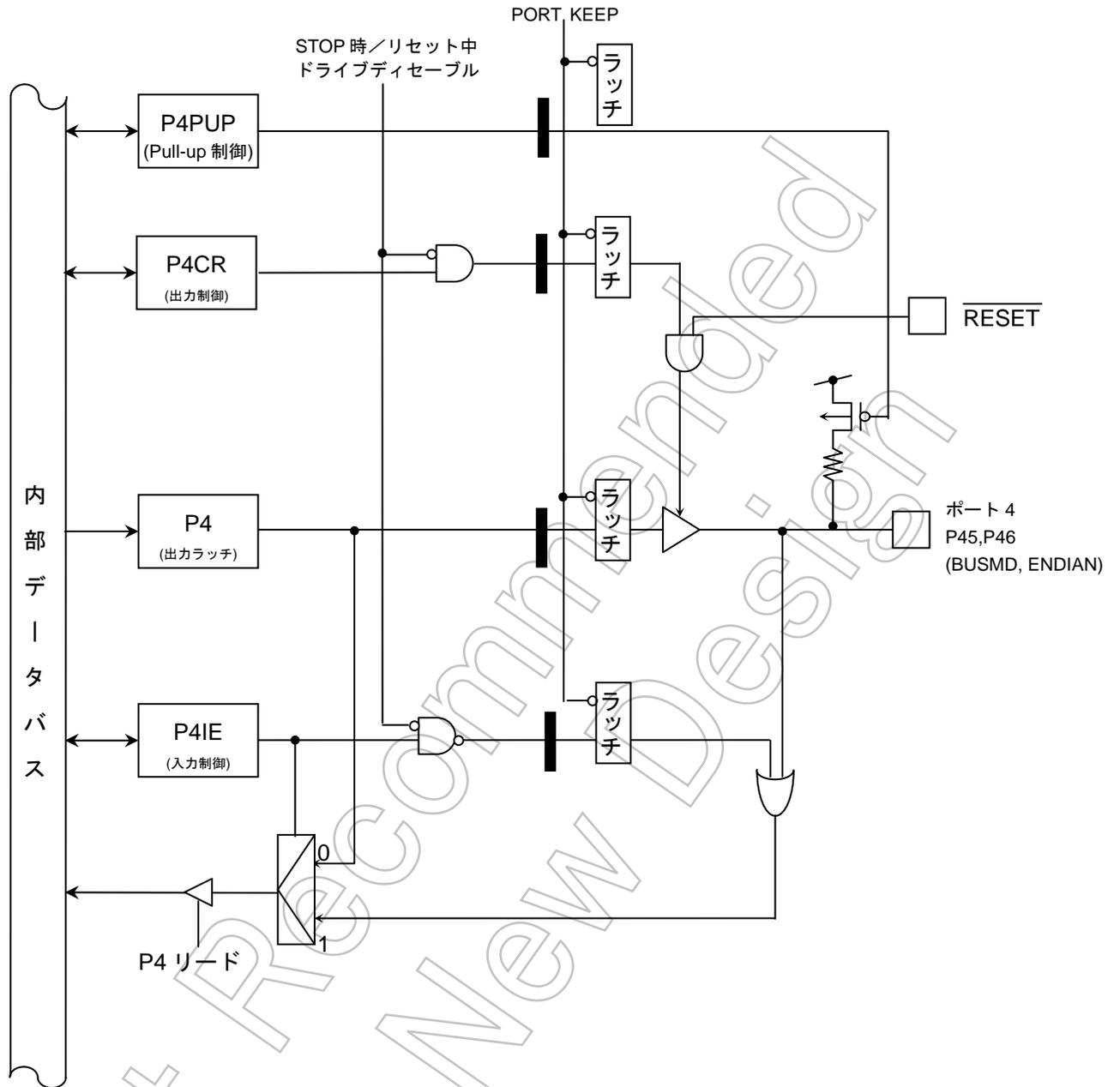


図 7-10 ポート 4 (P45, P46)

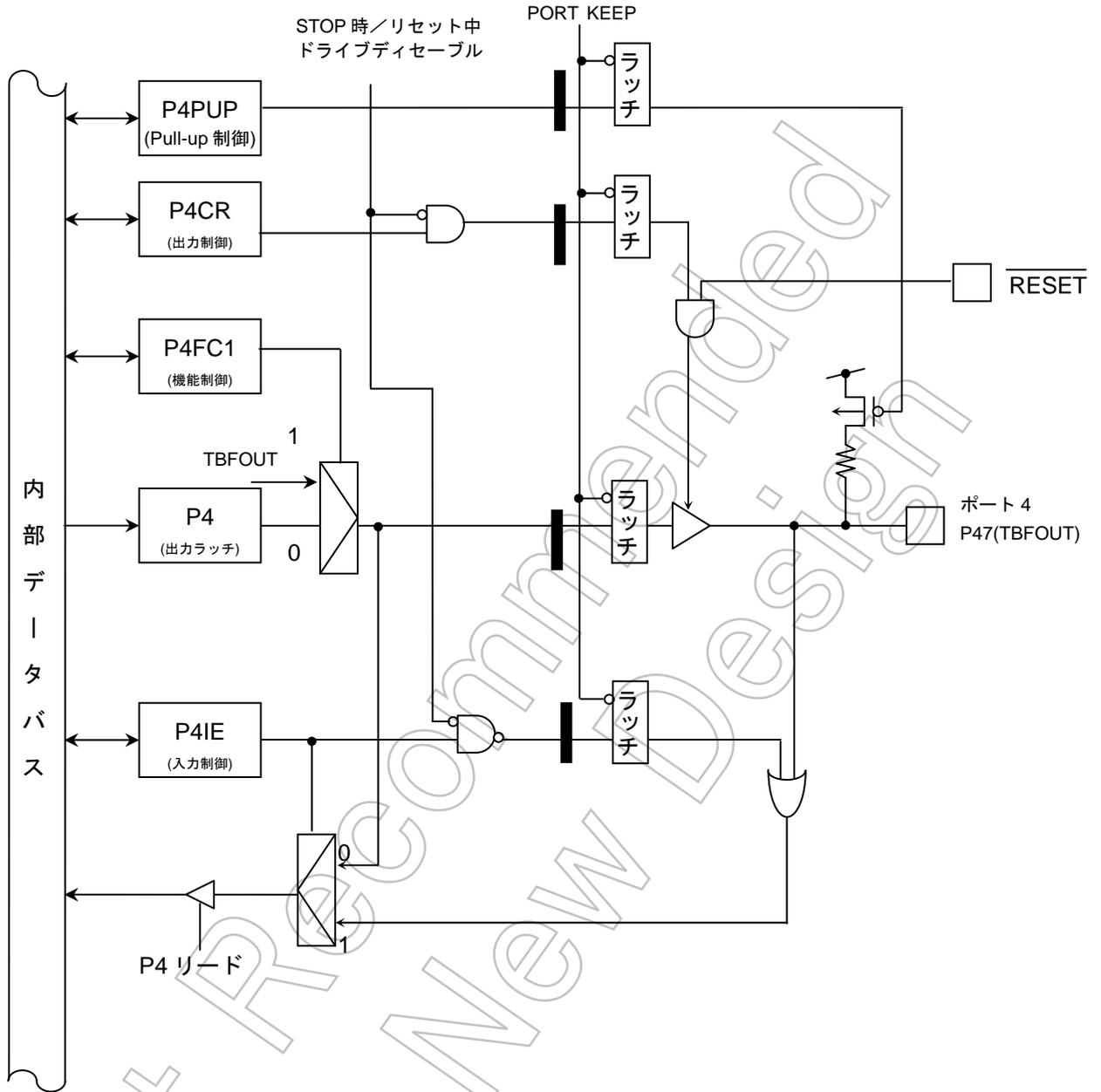


図 7-11 ポート 4 (P47)

## ポート 4 レジスタ

	7	6	5	4	3	2	1	0	
P4 (0xFF00_4100)	Bit Symbol	P47	P46	P45	P44	P43	P42	P41	P40
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“1”にセット)							

## ポート 4 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P4CR (0xFF00_4104)	Bit Symbol	P47C	P46C	P45C	P44C	P43C	P42C	P41C	P40C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
		0: 入力 1: 出力							

## ポート 4 ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
P4FC1 (0xFF00_4108)	Bit Symbol	P47F	P46F	P45F	P44F	P43F	P42F	P41F	P40F
	Read/Write	R/W	R		R/W				
	リセット後	0	0	0	0	0	0	0	
	機能	0: PORT 1: TBFOUT	リードすると“0”が読 めます。	0: PORT 1: SCOUT	0: PORT 1: CS3	0: PORT 1: CS2	0: PORT 1: CS1	0: PORT 1: CS0	

## ポート 4 ファンクションレジスタ 2

	7	6	5	4	3	2	1	0
P4FC2 (0xFF00_410C)	Bit Symbol				P43F2	P42F2	P41F2	P40F2
	Read/Write	R			R/W			
	リセット後	0	0	0	0	0	0	0
	機能	リードすると“0”が読めます。			0: PORT 1: KEY27	0: PORT 1: KEY26	0: PORT 1: KEY25	0: PORT 1: KEY24

## ポート 4 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P4PUP (0xFF00_412C)	Bit Symbol	PE47	PE46	PE45	PE44	PE43	PE42	PE41	PE40
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	プルアップ 0: オフ 1: Pull-Up							

## ポート 4 入力インエーブル制御レジスタ

	7	6	5	4	3	2	1	0	
P4IE (0xFF00_4138)	Bit Symbol	PIE47	PIE46	PIE45	PIE44	PIE43	PIE42	PIE41	PIE40
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	入力 0: 禁止 1: 許可							

## 7.6 ポート 5 (P50~P57)

ポート 5 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P5CR とファンクションレジスタ P5FC1、P5FC2、P5FC3 によって行います。リセット動作により出力ラッチ P5 の全ビットは“1”にセットされ、また、P5CR と P5FC1、P5FC2、P5FC3 の全ビットは“0”にクリアされ、ポート 5 は入力モードになります。

リセット直後は入力ディセーブルになっていますので、入力イネーブルにするには P5IE の該当ビットを“1”に設定してください。

入出力ポート機能以外に P50~P53 外部割込み入力機能、P54~P57 は 16 ビットタイマの出力機能、P56、P57 はキーオンウェイクアップ入力機能があります。P5FC2、P5FC3 の該当ビットを“1”に設定することによりこれらの機能が有効になります。

汎用入出力ポート機能以外にアドレスバス (A0~A7) 機能があります。外部メモリをアクセスする時は、P5CR、P5FC によりアドレスバスに設定する必要があります。但し、アドレスバス機能が使用できるのはセパレートバスモード(リセット時に BUSMD 端子(ポート 45)を“L”レベルにすることでセパレートバスモードになります)の時のみです。

Not Recommended for New Design

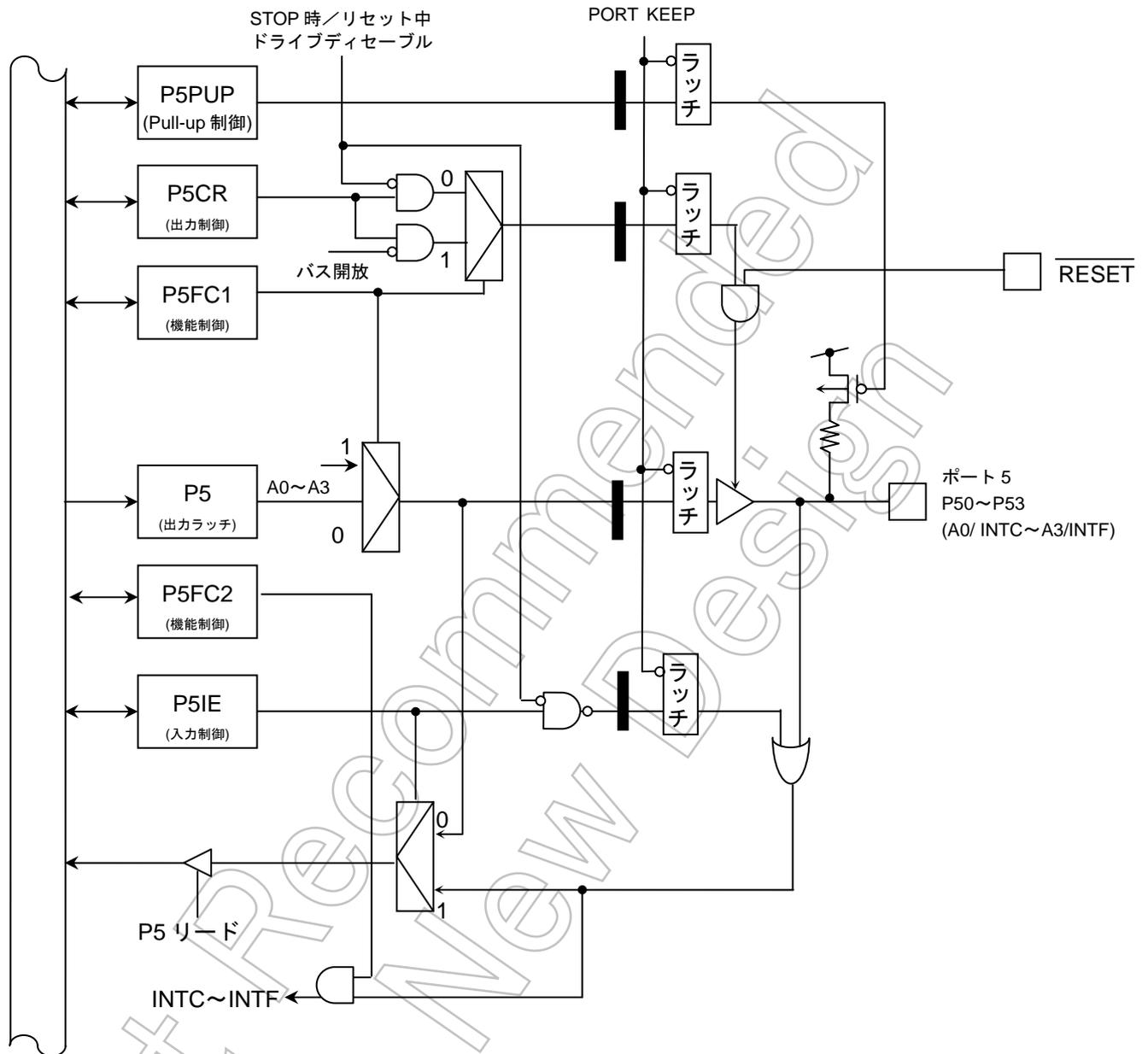


図 7-12 ポート 5 (P50~P53)

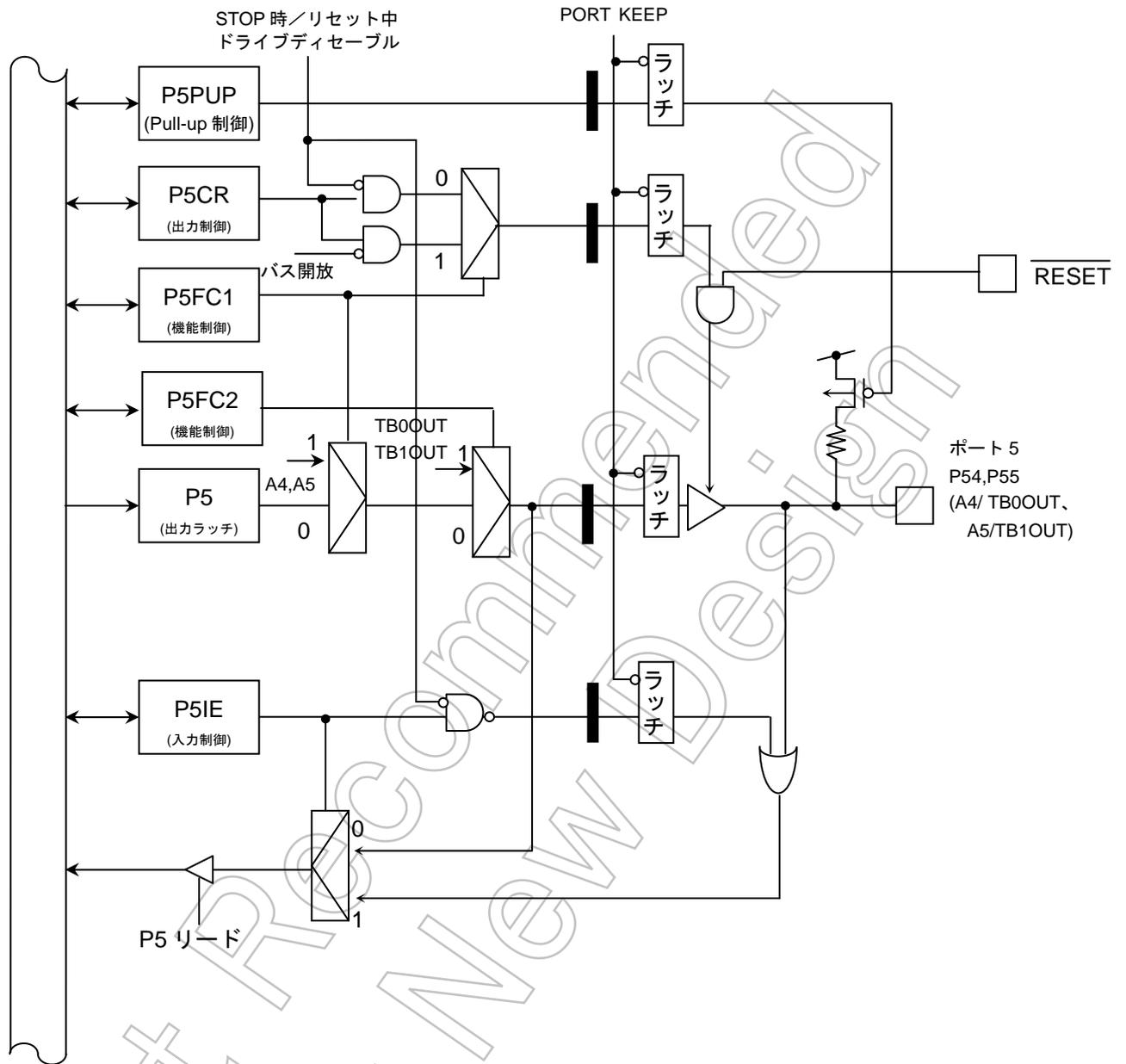


図 7-13 ポート 5 (P54, P55)

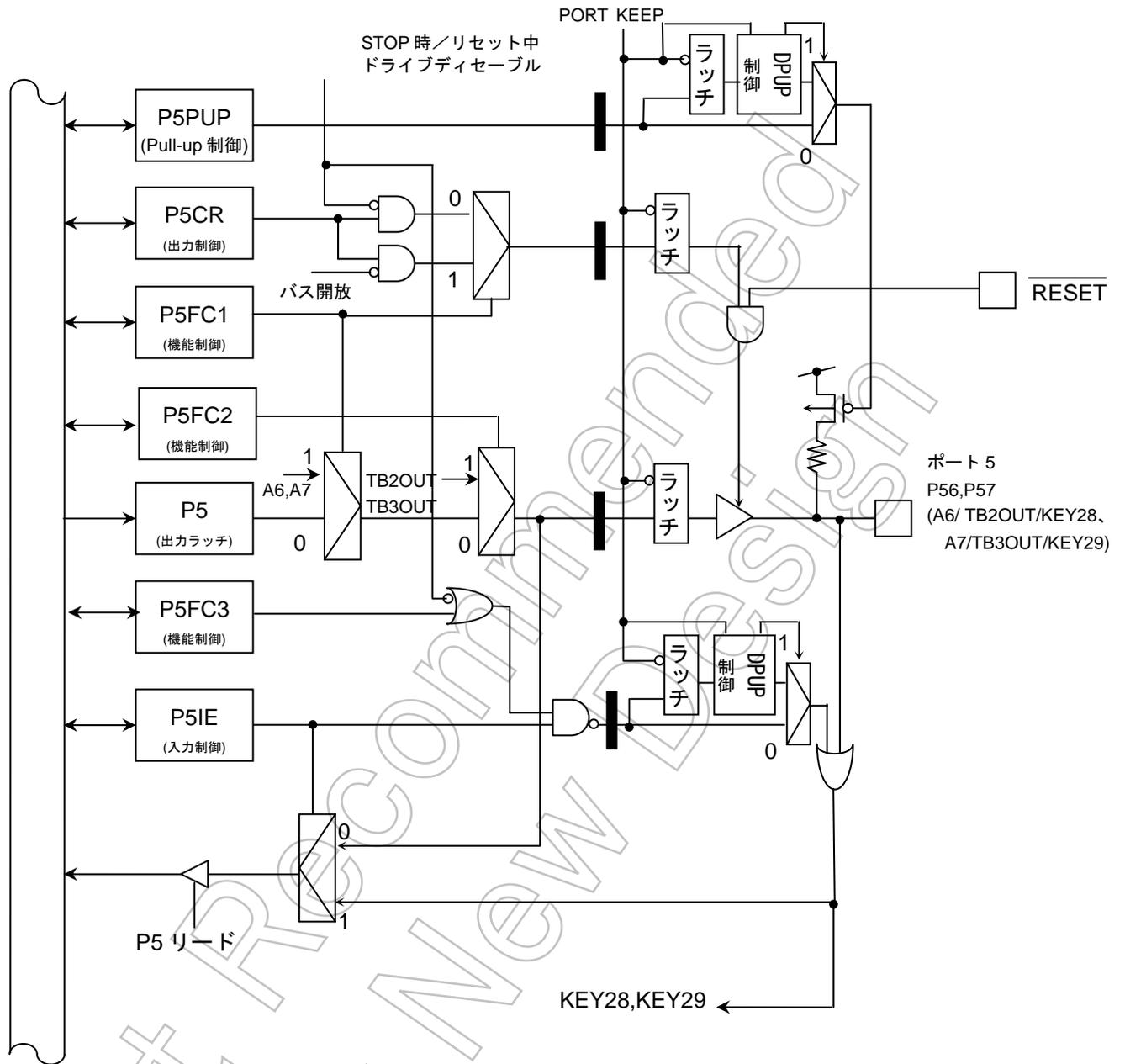


図 7-14 ポート 5 (P56, P57)

## ポート 5 レジスタ

	7	6	5	4	3	2	1	0	
P5 (0xFF00_4140)	Bit Symbol	P57	P56	P55	P54	P53	P52	P51	P50
	Read/Write	R/W							
	リセット後	入力モード (出カラッチレジスタは“1”にセット)							

## ポート 5 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P5CR (0xFF00_4144)	Bit Symbol	P57C	P56C	P55C	P54C	P53C	P52C	P51C	P50C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

## ポート 5 ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
P5FC1 (0xFF00_4148)	Bit Symbol	P57F	P56F	P55F	P54F	P53F	P52F	P51F	P50F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: 外部バス設定							

## ポート 5 ファンクションレジスタ 2

	7	6	5	4	3	2	1	0	
P5FC2 (0xFF00_414C)	Bit Symbol	P57F2	P56F2	P55F2	P54F2	P53F2	P52F2	P51F2	P50F2
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:TB3OUT	0:PORT 1:TB2OUT	0:PORT 1:TB1OUT	0:PORT 1:TBOOUT	0:PORT 1:INTF	0:PORT 1:INTE	0:PORT 1:INTD	0:PORT 1:INTC

## ポート 5 ファンクションレジスタ 3

	7	6	5	4	3	2	1	0
P5FC3 (0xFF00_4150)	Bit Symbol	P57F3	P56F3					
	Read/Write	R/W		R				
	リセット後	0	0	0	0	0	0	0
	機能	0:PORT 1:KEY29	0:PORT 1:KEY28	リードすると“0”が読めます。				

## ポート 5 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P5PUP (0xFF00_416C)	Bit Symbol	PE57	PE56	PE55	PE54	PE53	PE52	PE51	PE50
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0:オフ 1:Pull-Up							

## ポート 5 入力ネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
P5IE (0xFF00_4178)	Bit Symbol	PIE57	PIE56	PIE55	PIE54	PIE53	PIE52	PIE51	PIE50
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	入力 0:禁止 1:許可							

## 7.7 ポート 6 (P60~P67)

ポート 6 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P6CR とファンクションレジスタ P6FC1、P6FC2、P6FC3 によって行います。リセット動作により出力ラッチ P6 の全ビットは“1”にセットされ、また、P6CR と P6FC1、P6FC2、P6FC3 の全ビットは“0”にクリアされ、ポート 6 は入力モードになります。

リセット直後は入力ディセーブルになっていますので、入力イネーブルにするには P61E の該当ビットを“1”に設定してください。

入出力ポート機能以外に P60、P64 は SIO のデータ出力、P61、P65 は SIO のデータ入力、P62、P66 は SIO の CLK 入出力または CTS 入力、P61、P65 には外部割込み入力機能、P63、P67 には 16bit タイマ出力機能があります。

汎用入出力ポート機能以外にアドレスバス (A8~A15) 機能があります。外部メモリをアクセスする時は、P6CR、P6FC1 によりアドレスバスに設定する必要があります。但し、アドレスバス機能を使用できるのはセパレートバスモード(リセット時に BUSMD 端子(ポート 45)を“L”レベルにすることでセパレートバスモードになります)時のみです。

Not Recommended for New Designs

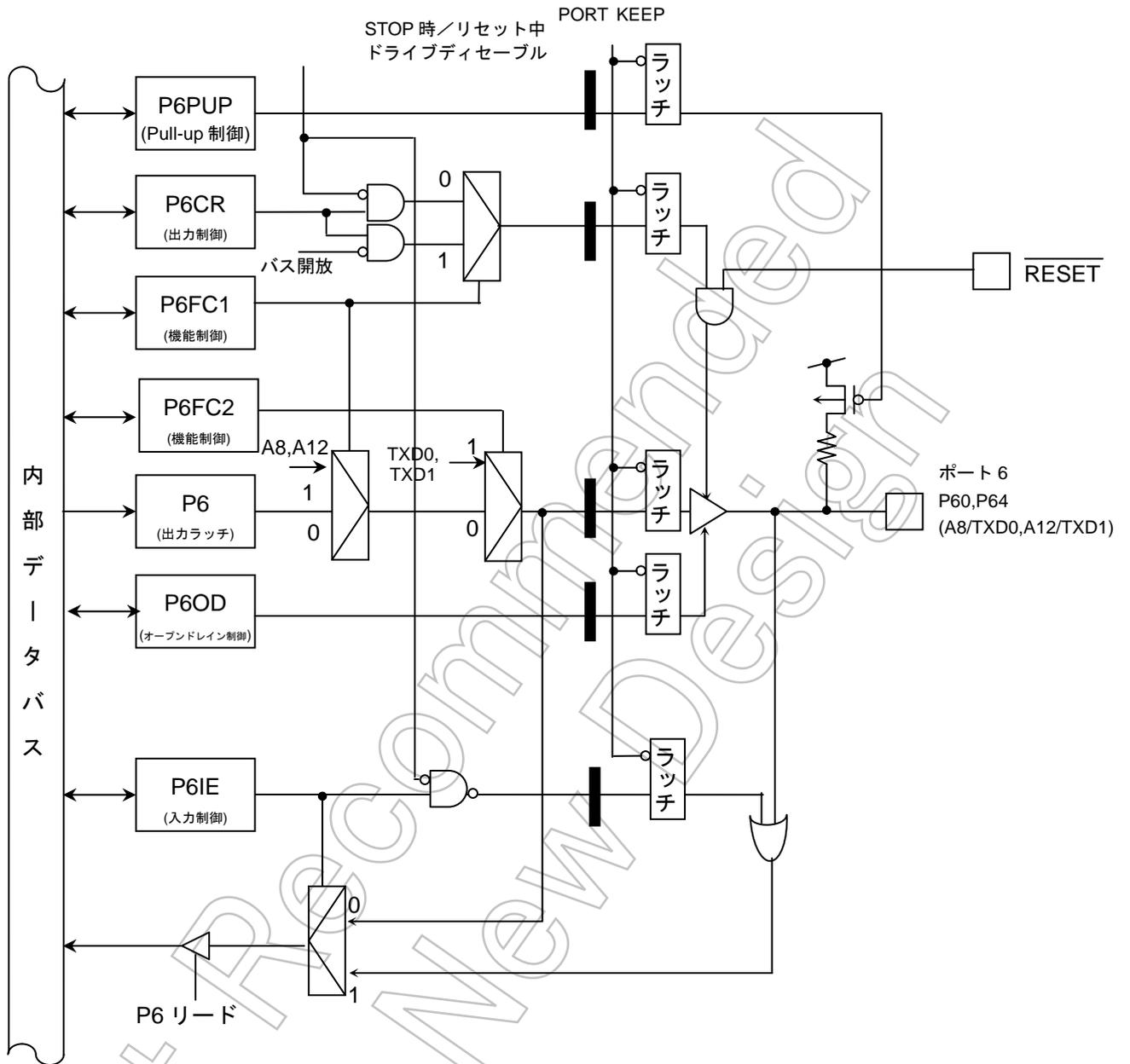


図 7-15 ポート 6 (P60, P64)

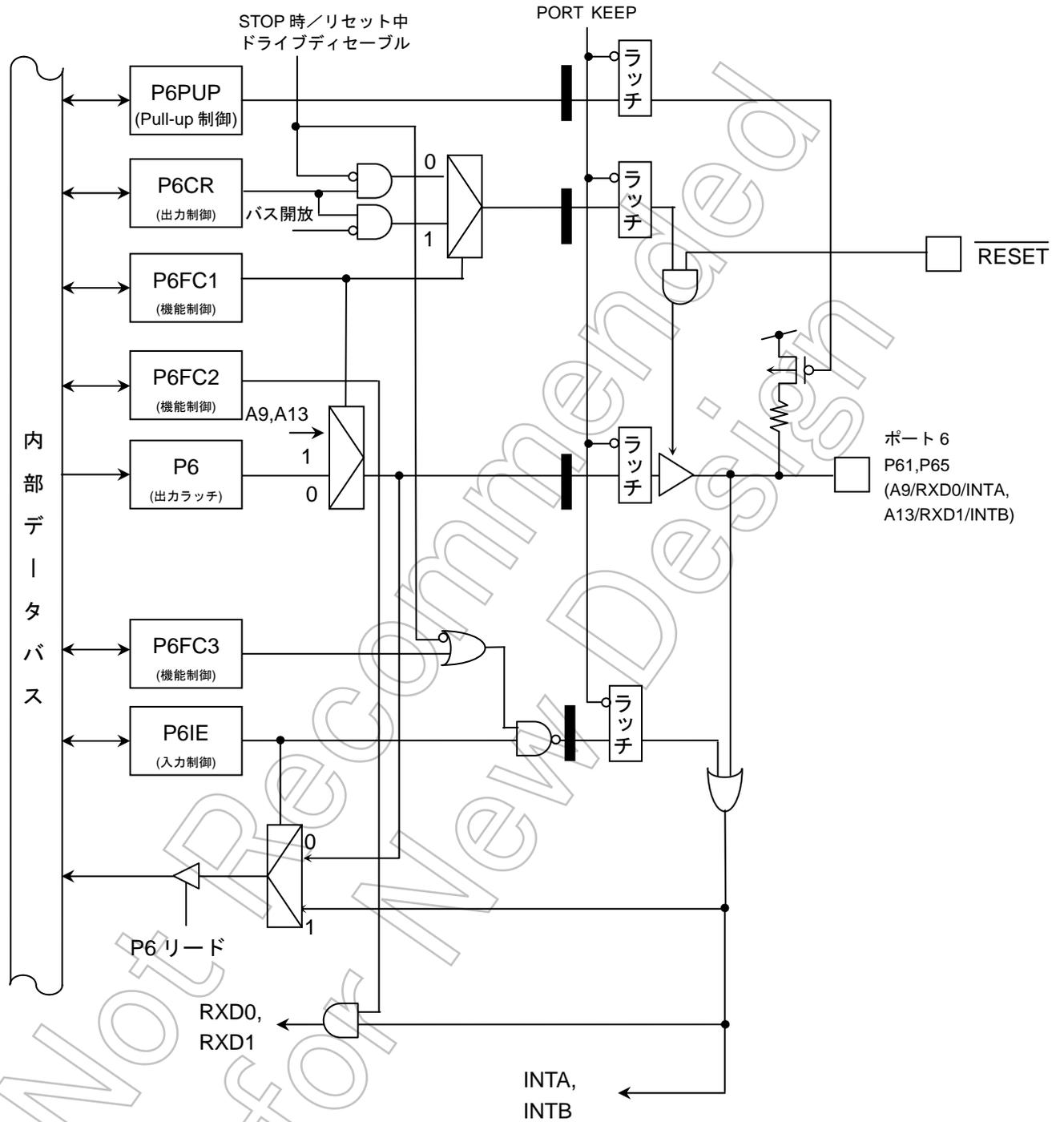


図 7-16 ポート 6 (P61, P65)

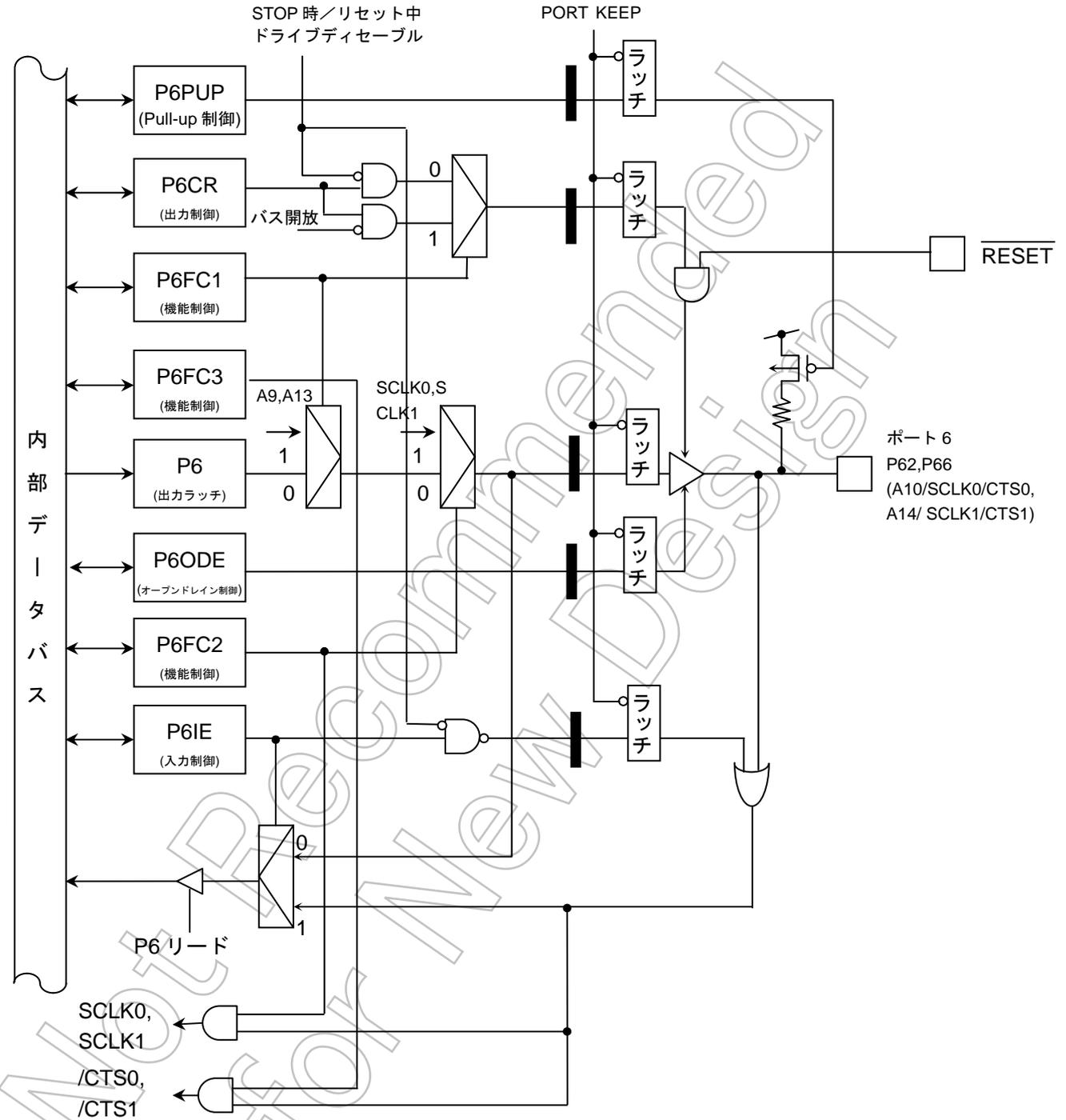


図 7-17 ポート 6 (P62, P66)

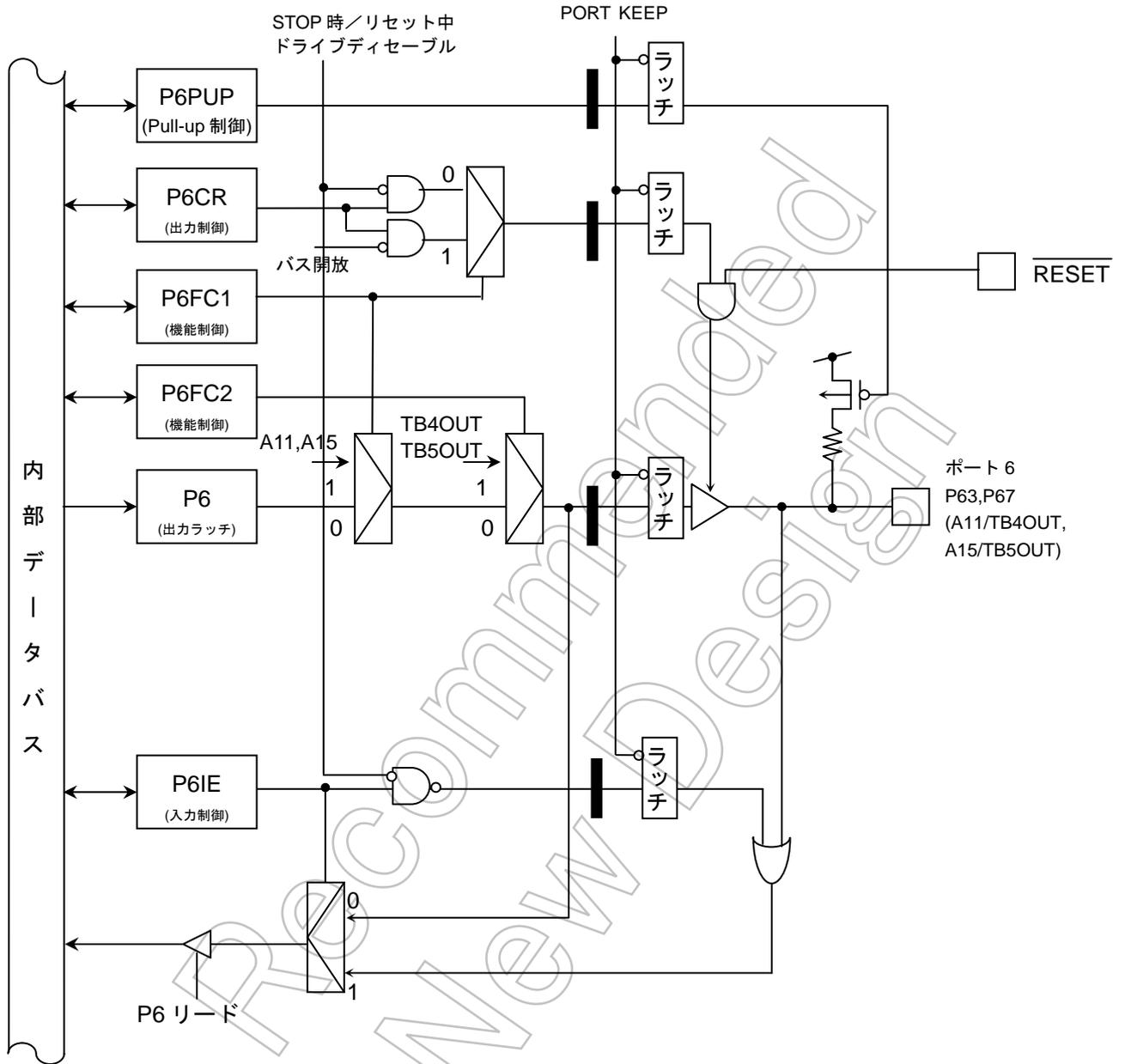


図 7-18 ポート 6 (P63, P67)

## ポート 6 レジスタ

	7	6	5	4	3	2	1	0	
P6 (0xFF00_4180)	Bit Symbol	P67	P66	P65	P64	P63	P62	P61	P60
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“1”にセット)							

## ポート 6 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P6CR (0xFF00_4184)	Bit Symbol	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

## ポート 6 ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
P6FC1 (0xFF00_4188)	Bit Symbol	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: 外部バス設定							

## ポート 6 ファンクションレジスタ 2

	7	6	5	4	3	2	1	0	
P6FC2 (0xFF00_418C)	Bit Symbol	P67F2	P66F2	P65F2	P64F2	P63F2	P62F2	P61F2	P60F2
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:TB50UT	0:PORT 1:SCLK1	0:PORT 1:RXD1	0:PORT 1:TXD1	0:PORT 1:TB40UT	0:PORT 1:SCLK0	0:PORT 1:RXD0	0:PORT 1:TXD0

## ポート 6 ファンクションレジスタ 3

	7	6	5	4	3	2	1	0
P6FC3 (0xFF00_4190)	Bit Symbol	—	P66F3	P65F3	—	P62F3	P61F3	—
	Read/Write	R	R/W		R	R/W		R
	リセット後	0	0	0	0	0	0	
	機能	リードすると“0”が読めます。	0:PORT 1:CTS1	0:PORT 1:INTB	リードすると“0”が読めます。	0:PORT 1:CTS0	0:PORT 1:INTA	リードすると“0”が読めます。

## ポート 6 オープンドレイン制御レジスタ

	7	6	5	4	3	2	1	0	
P6ODE (0xFF00_41A8)	Bit Symbol	—	P66ODE	—	P64ODE	—	P62ODE	—	P60ODE
	Read/Write	R	R/W	R	R/W	R	R/W	R	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると“0”が読めます	0:CMOS 1:オープン ドレイン	リードすると“0”が読めます	0:CMOS 1:オープン ドレイン	リードすると“0”が読めます	0:CMOS 1:オープン ドレイン	リードすると“0”が読めます	0:CMOS 1:オープン ドレイン

## ポート6 プルアップ制御レジスタ

P6PUP  
(0xFF00\_41AC)

	7	6	5	4	3	2	1	0
Bit Symbol	PE67	PE66	PE65	PE64	PE63	PE62	PE61	PE60
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	プルアップ 0:オフ 1:Pull-Up							

## ポート6 入力インエーブル制御レジスタ

P6IE  
(0xFF00\_41B8)

	7	6	5	4	3	2	1	0
Bit Symbol	PIE67	PIE66	PIE65	PIE64	PIE63	PIE62	PIE61	PIE60
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0:禁止 1:許可							

Not Recommended for New Design

7.8 ポート 7 (P70~P77)

ポート 7 は 8 ビットの入力専用ポートです。A/D コンバータのユニット A, ユニット B のアナログ入力端子、および P72, P73, P76, P77 は外部割込み入力機能と兼用になっております。

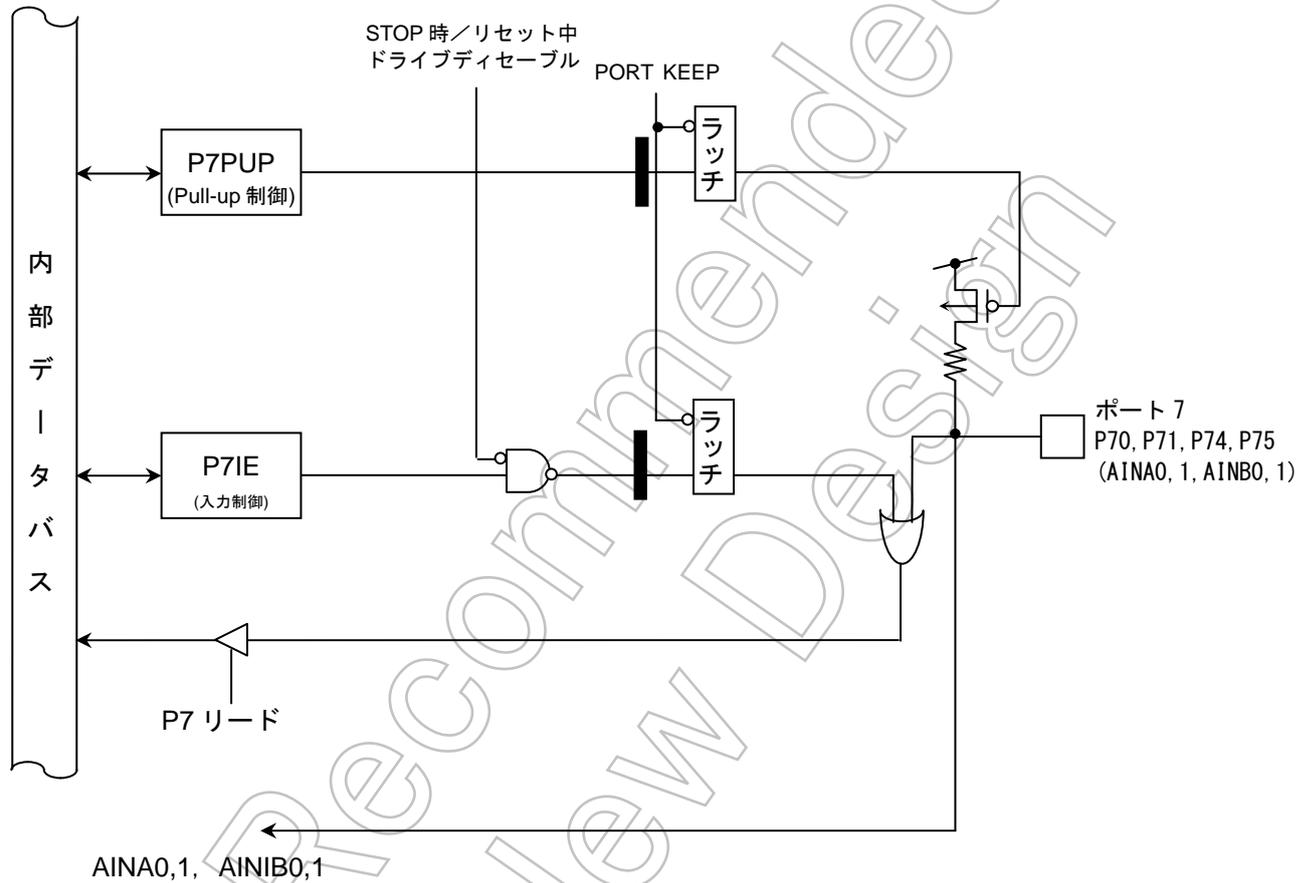


図 7-19 ポート 7 (P70, P71, P74, P75)

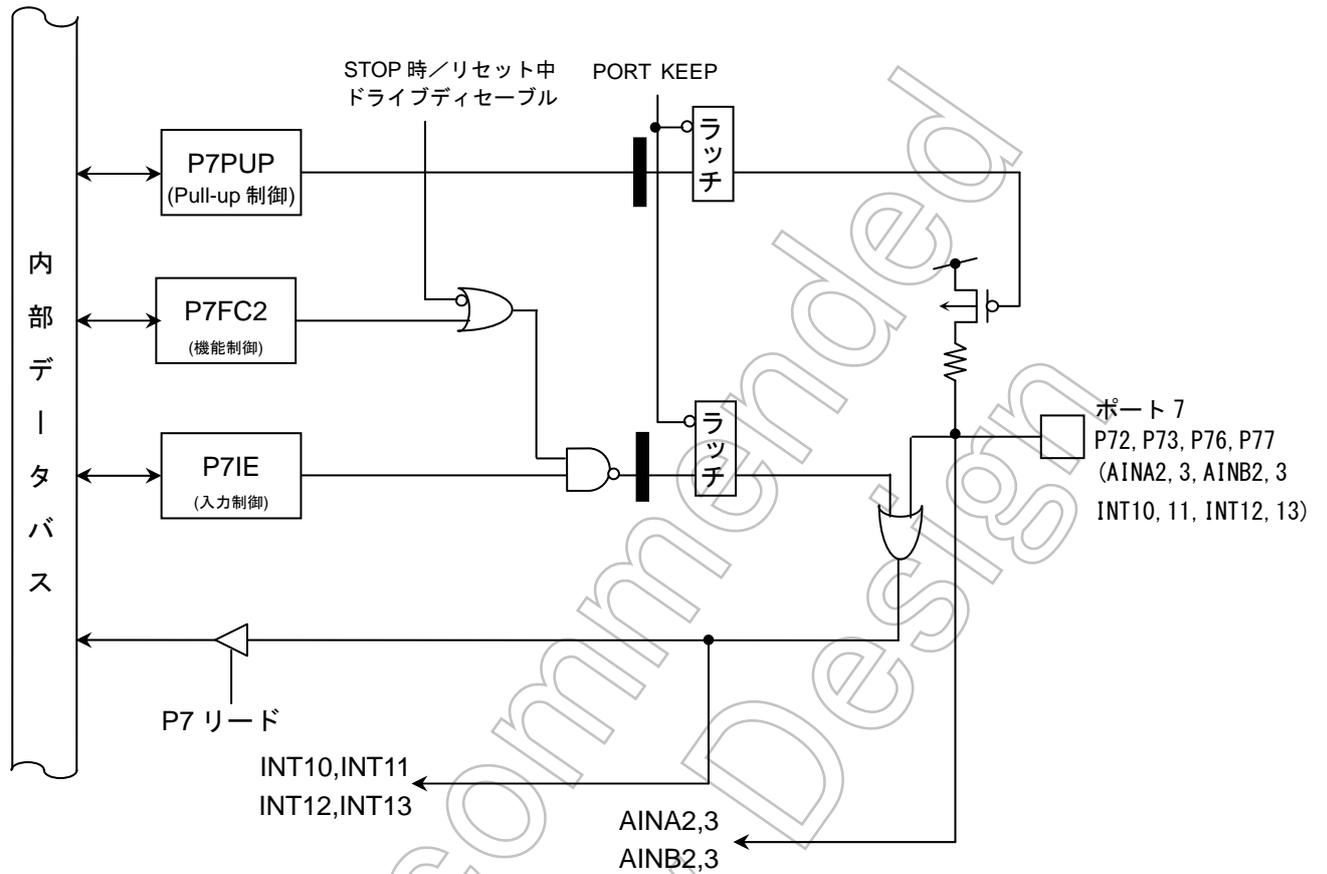


図 7-20 ポート 7 (P72, P73, P76, P77)

## ポート7レジスタ

	7	6	5	4	3	2	1	0
P7 (0xFF00_41C0)	P77	P76	P75	P74	P73	P72	P71	P70
Read/Write	R							
機能	入力モード							

## ポート7ファンクションレジスタ2

	7	6	5	4	3	2	1	0
P7FC2 (0xFF00_41CC)	P77F2	P76F2			P77F2	P76F2		
Read/Write	R/W		R		R/W		R	
リセット後	0	0	0	0	0	0	0	0
機能	0:PORT 1:INT13	0:PORT 1:INT12	リードすると常に“0” が読めます。		0:PORT 1:INT11	0:PORT 1:INT10	リードすると常に“0” が読めます。	

## ポート7プルアップ制御レジスタ

	7	6	5	4	3	2	1	0
P7PUP (0xFF00_41EC)	PE77	PE76	PE75	PE74	PE73	PE72	PE71	PE70
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	プルアップ 0:オフ 1:Pull-Up							

## ポート7入力インエーブル制御レジスタ

	7	6	5	4	3	2	1	0
P7IE (0xFF00_41F8)	PIE77	PIE76	PIE75	PIE74	PIE73	PIE72	PIE71	PIE70
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0:禁止 1:許可							

7.9 ポート 8 (P80~P87)

ポート 8 は 8 ビットの入力専用ポートです。A/D コンバータのユニット C のアナログ入力端子、および P86, P87 は外部割込み入力機能と兼用になっております。

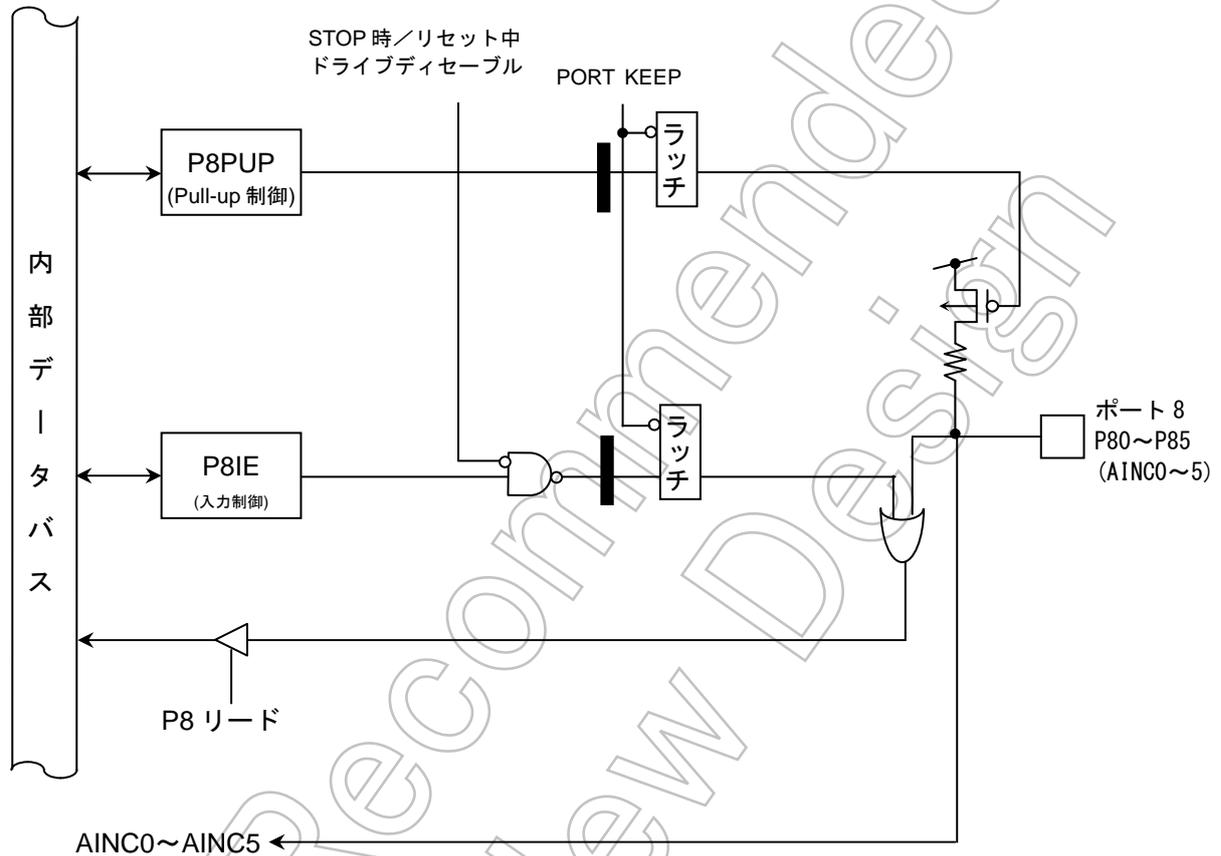


図 7-21 ポート 8 (P80~P85)

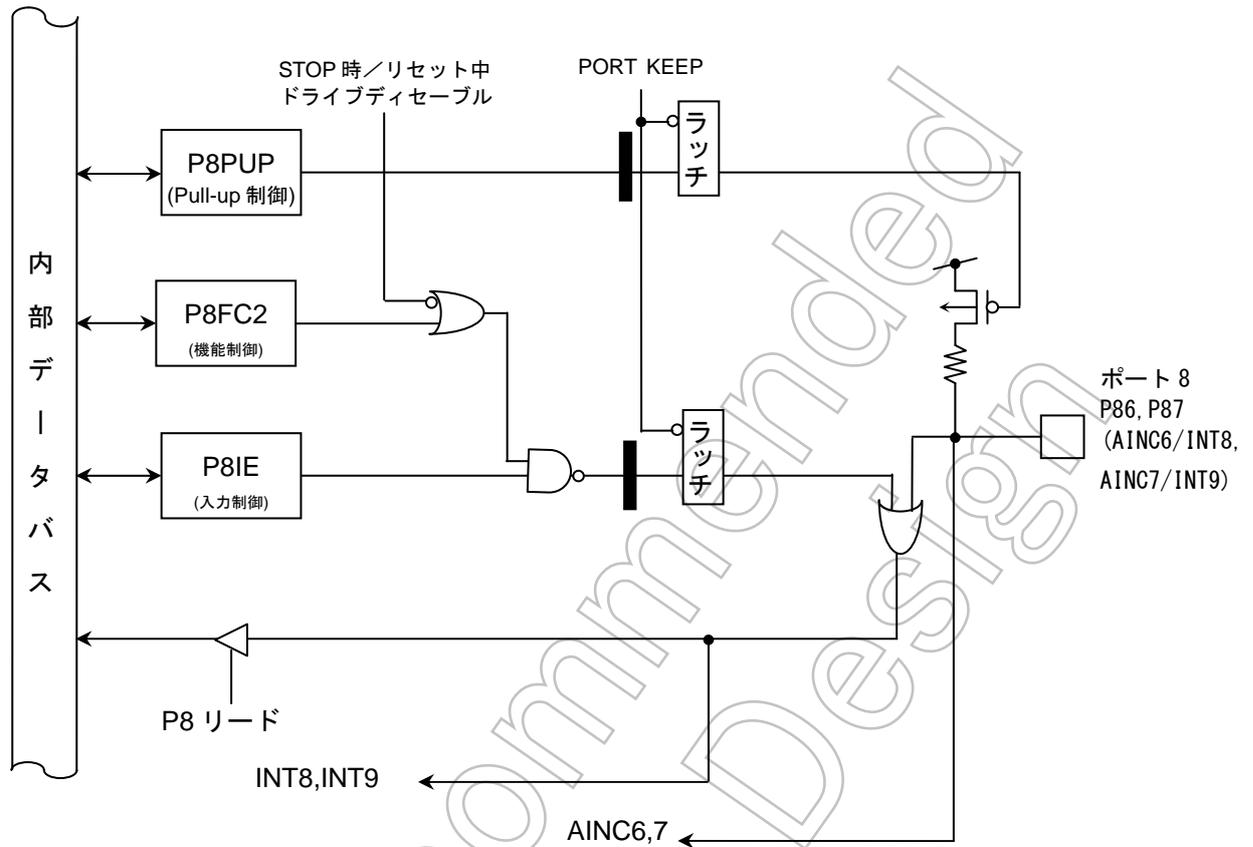


図 7-22 ポート 8 (P86, P87)

## ポート 8 レジスタ

	7	6	5	4	3	2	1	0	
P8 (0xFF00_4200)	Bit Symbol	P87	P86	P85	P84	P83	P82	P81	P80
	Read/Write	R							
	リセット後	入力モード							

## ポート 8 ファンクションレジスタ 2

	7	6	5	4	3	2	1	0
P8FC2 (0xFF00_420C)	Bit Symbol	P87F2	P86F2					
	Read/Write	R/W		R				
	リセット後	0	0	0	0	0	0	0
	機能	0:PORT 1:INT9	0:PORT 1:INT8	リードすると常に“0”が読めます。				

## ポート 8 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P8PUP (0xFF00_422C)	Bit Symbol	PE87	PE86	PE85	PE84	PE83	PE82	PE81	PE80
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	プルアップ 0:オフ 1:Pull-Up							

## ポート 8 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
P8IE (0xFF00_4238)	Bit Symbol	PIE87	PIE86	PIE85	PIE84	PIE83	PIE82	PIE81	PIE80
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	入力 0:禁止 1:許可							

### 7.10 ポート 9 (P90~P97)

ポート 9 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P9CR とファンクションレジスタ P9FC1、P9FC2 によって行います。リセット動作により出力ラッチ P9 の全ビットは “1” にセットされ、また、P9CR と P9FC1、P9FC2 の全ビットは “0” にクリアされ、ポート 9 は入力モードになります。

リセット直後は入力ディセーブルになっていますので、入力イネーブルにするには P9IE の該当ビットを ”1” に設定してください。

入出力ポート機能以外に P90, P94 は HSI0, SIO のデータ出力、P91, P95 は HSI0, SIO のデータ入力、P92, P96 は HSI0, SIO の CLK 入出力または CTS 入力、P93, P97 には 16bit タイマ出力機能があります。

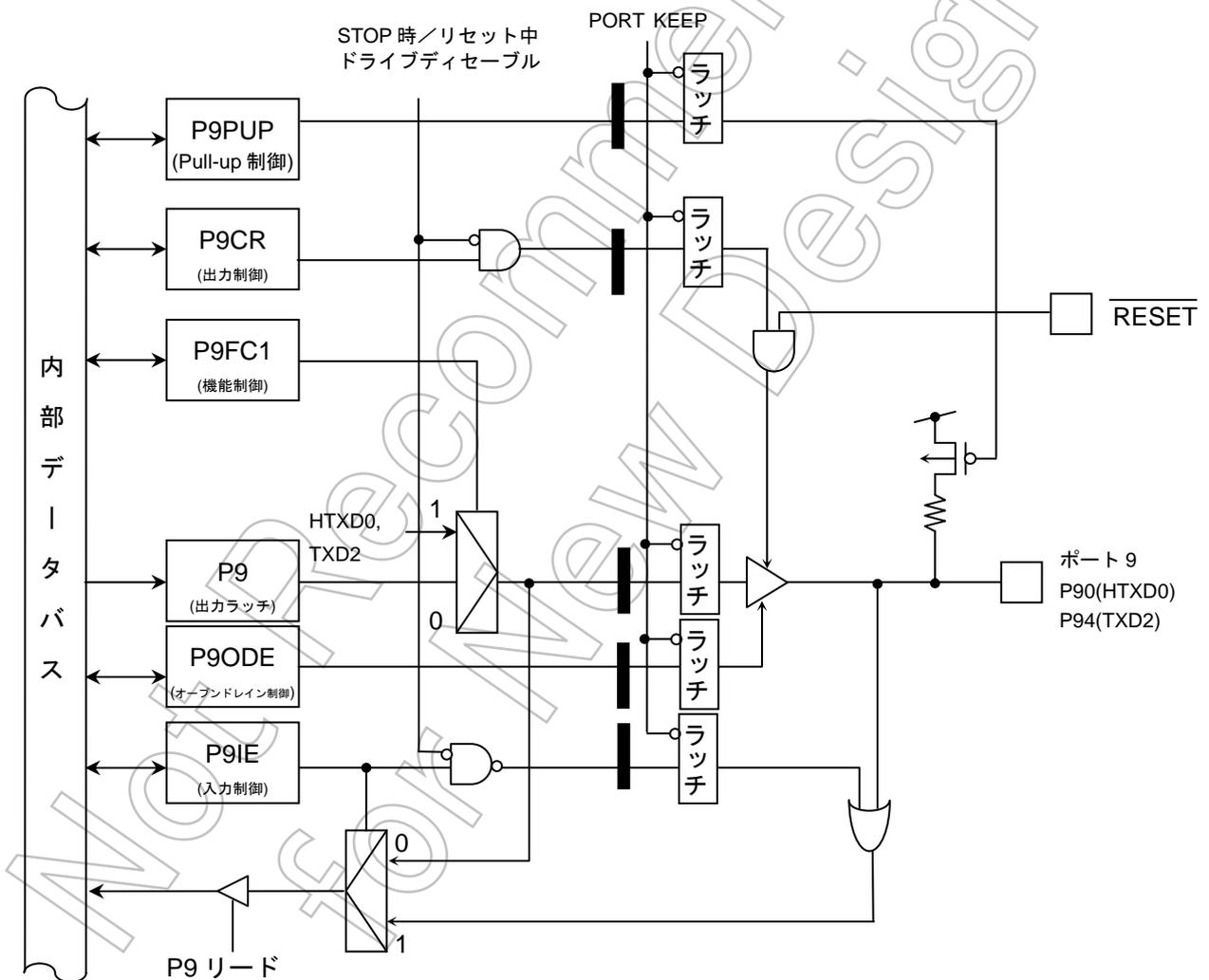


図 7-23 ポート 9 (P90, P94)

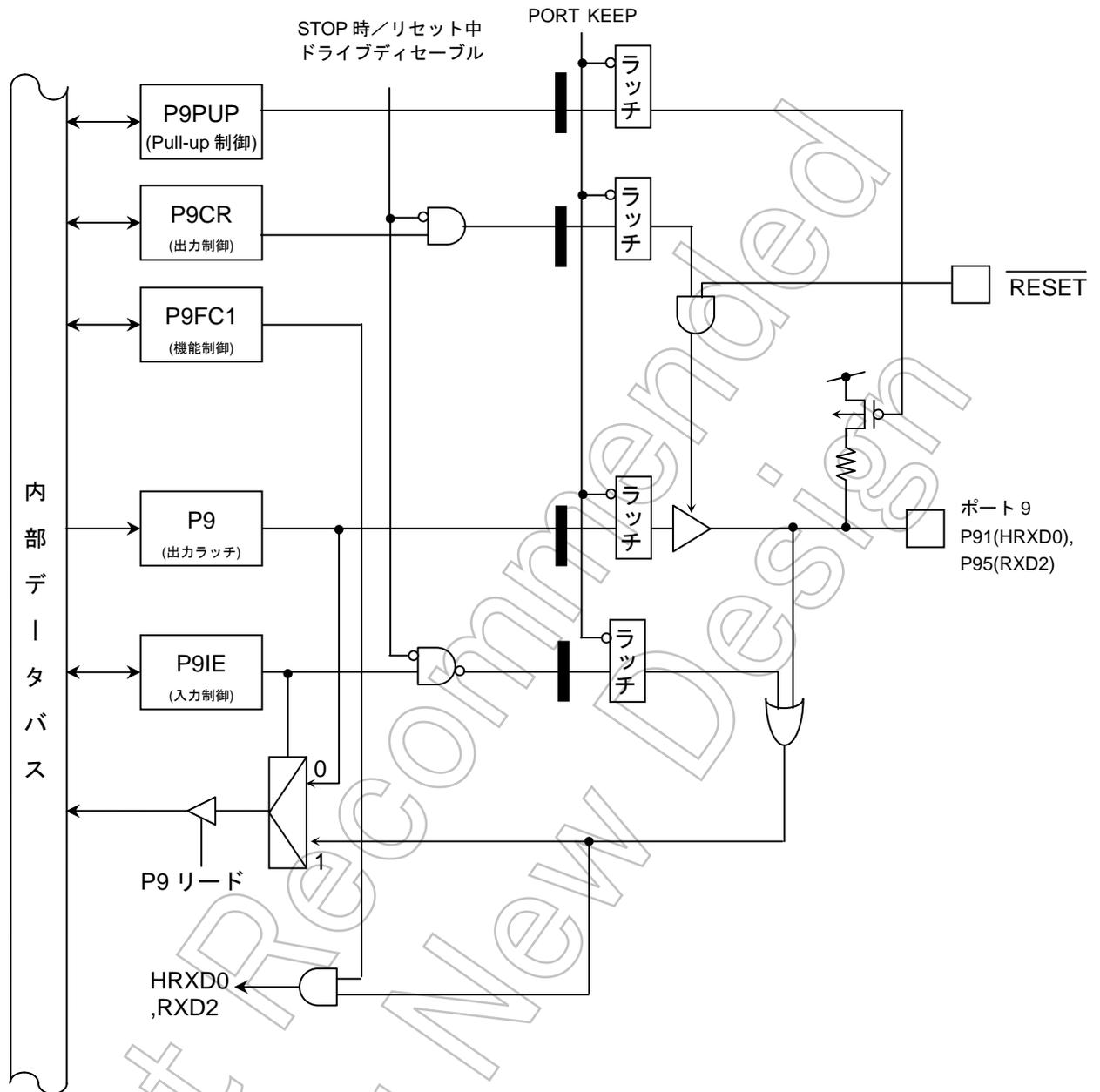


図 7-24 ポート 9 (P91, P95)

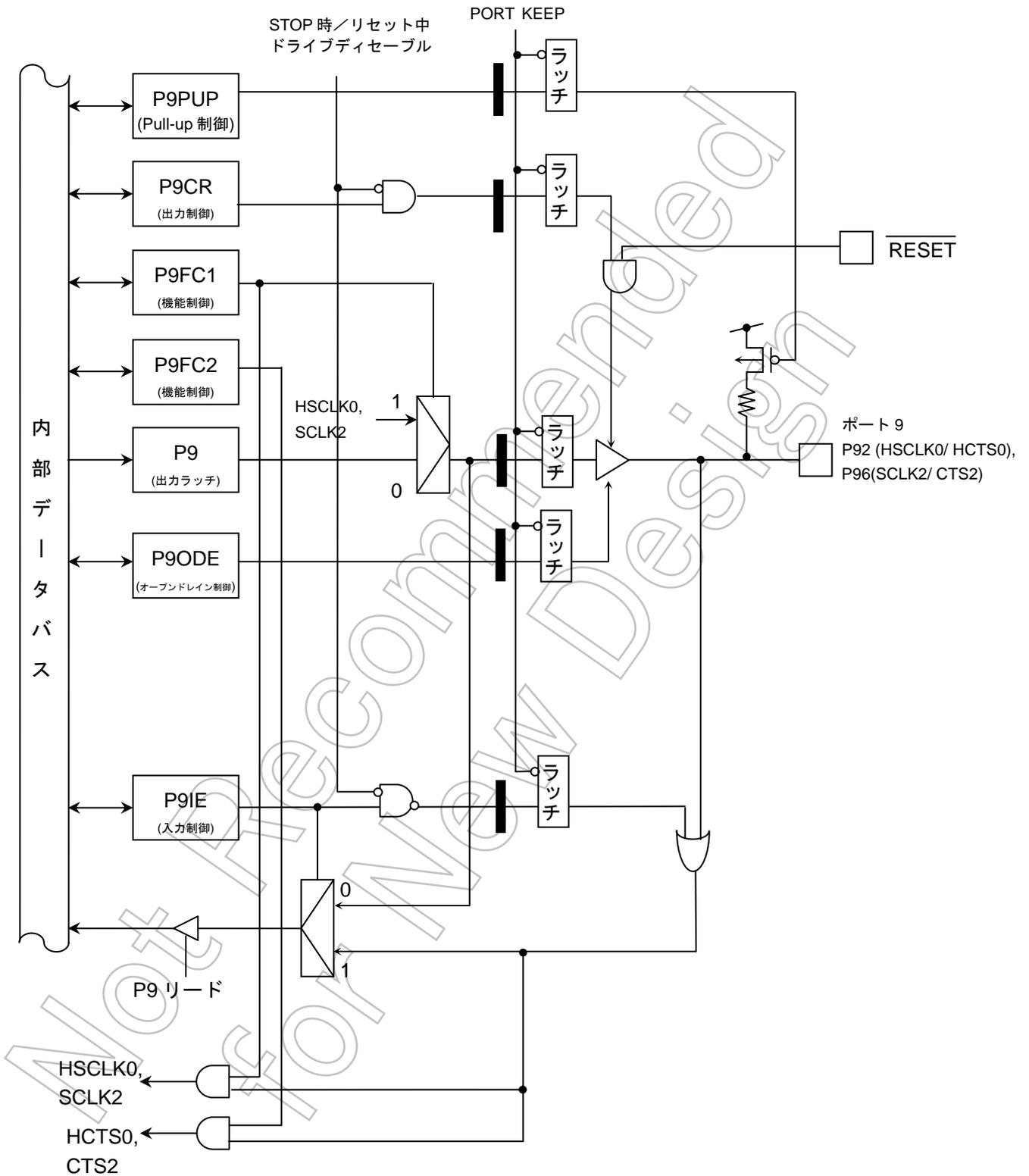


図 7-25 ポート 9 (P92, P96)

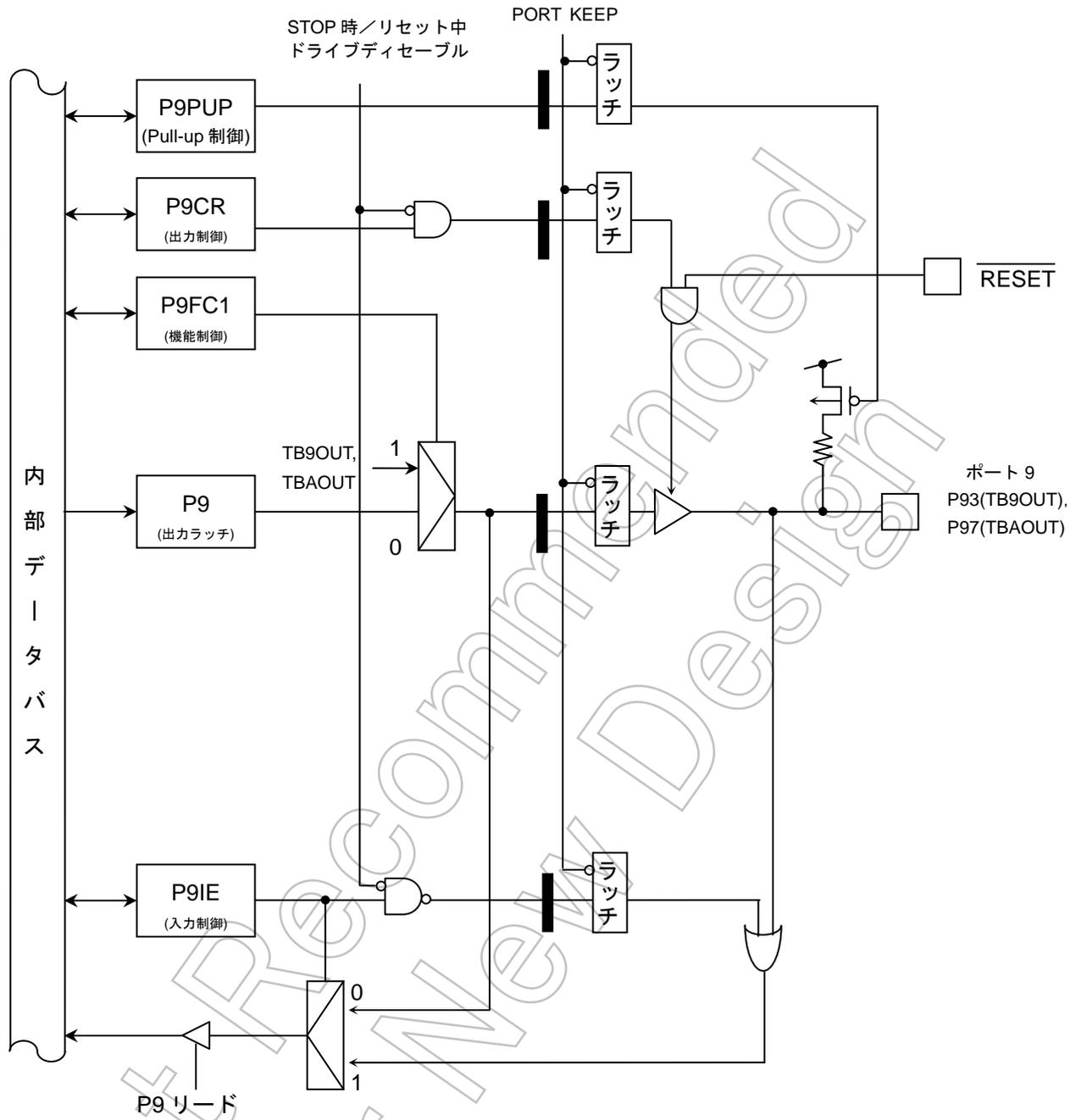


図 7-26 ポート 9 (P93, P97)

## ポート9レジスタ

	7	6	5	4	3	2	1	0	
P9 (0xFF00_4240)	Bit Symbol	P97	P96	P95	P94	P93	P92	P91	P90
	Read/Write	R/W							
	リセット後	入力モード (出カラッチレジスタは“1”にセット)							

## ポート9コントロールレジスタ

	7	6	5	4	3	2	1	0	
P9CR (0xFF00_4244)	Bit Symbol	P97C	P96C	P95C	P94C	P93C	P92C	P91C	P90C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

## ポート9ファンクションレジスタ1

	7	6	5	4	3	2	1	0	
P9FC1 (0xFF00_4248)	Bit Symbol	P97F	P96F	P95F	P94F	P93F	P92F	P91F	P90F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: TBAOUT	0: PORT 1: SCLK2	0: PORT 1: RXD2	0: PORT 1: TXD2	0: PORT 1: TB9OUT	0: PORT 1: HSCLK0	0: PORT 1: HRXD0	0: PORT 1: HTXD0

## ポート9ファンクションレジスタ2

	7	6	5	4	3	2	1	0
P9FC2 (0xFF00_424C)	Bit Symbol	P96F2		P92F2				
	Read/Write	R	R/W	R	R/W	R		
	リセット後	0	0	0	0	0	0	0
	機能	リードすると“0”が読めます。	0: PORT 1: CTS2	リードすると“0”が読めます。	0: PORT 1: HCTS0	リードすると“0”が読めます。		

## ポート9 オープンドレイン制御レジスタ

	7	6	5	4	3	2	1	0
P90DE (0xFF00_4268)	Bit Symbol	P96ODE		P94ODE		P92ODE		P90ODE
	Read/Write	R	R/W	R	R/W	R	R/W	R/W
	リセット後	0	0	0	0	0	0	0
	機能	リードすると“0”が読めます。	0: CMOS 1: オープンドレイン	リードすると“0”が読めます。	0: CMOS 1: オープンドレイン	リードすると“0”が読めます。	0: CMOS 1: オープンドレイン	リードすると“0”が読めます。

## ポート9 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P9PUP (0xFF00_426C)	Bit Symbol	PE97	PE96	PE95	PE94	PE93	PE92	PE91	PE90
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0: オフ 1: Pull-Up							

## ポート9 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
P9IE (0xFF00_4278)	Bit Symbol	PIE97	PIE96	PIE95	PIE94	PIE93	PIE92	PIE91	PIE90
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0: 禁止 1: 許可							



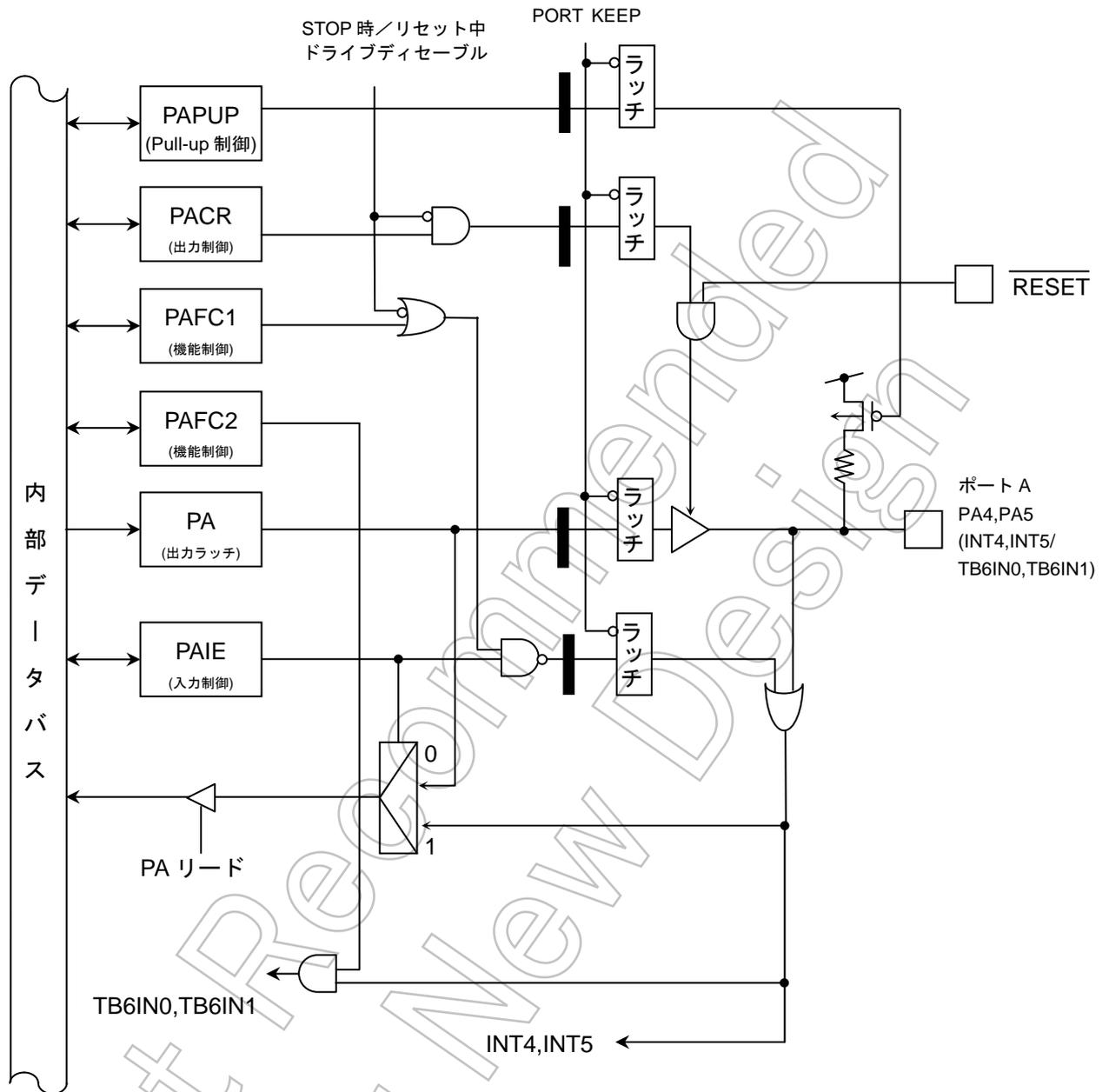


図 7-28 ポート A (PA4, PA5)

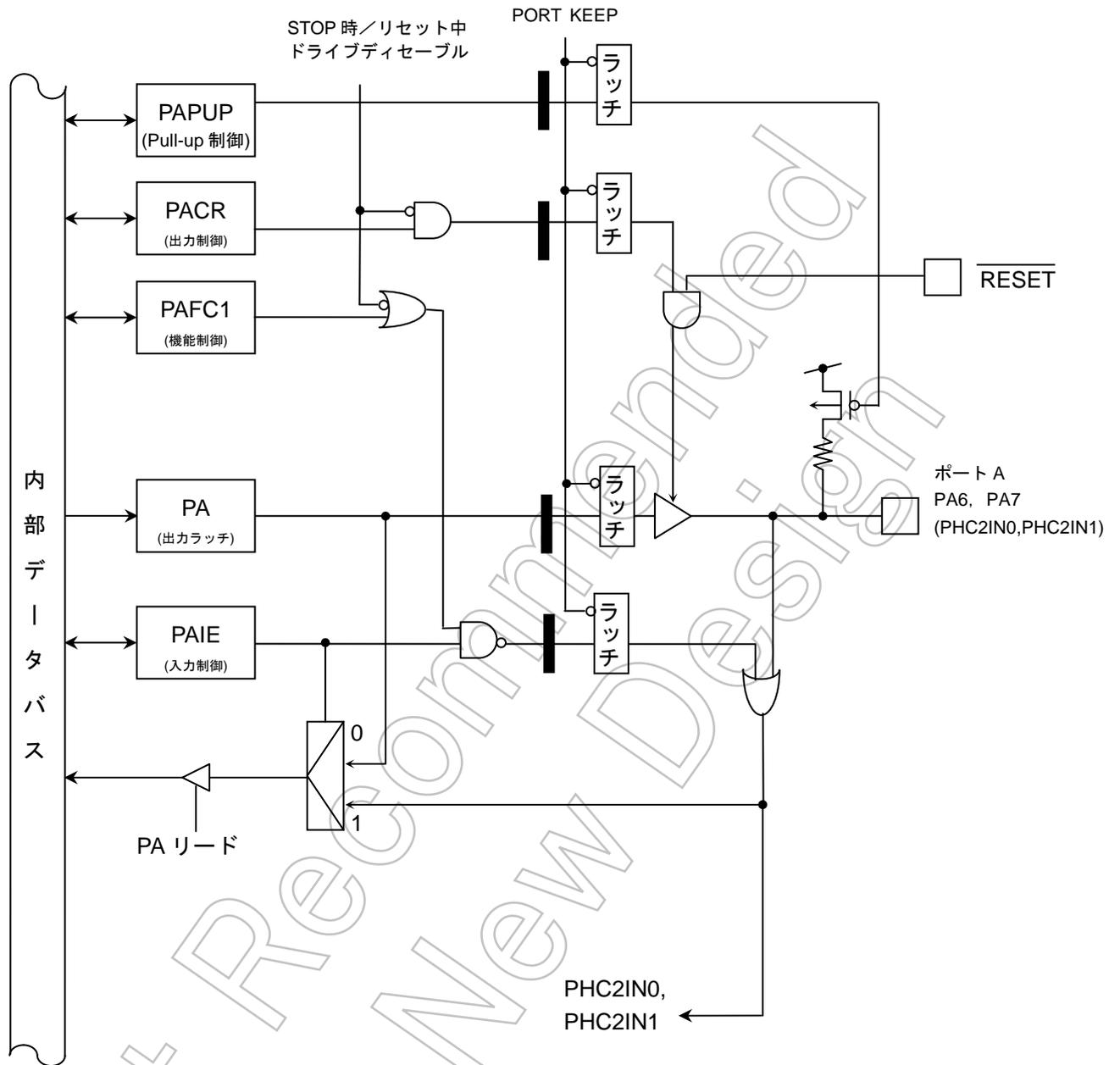


図 7-29 ポート A (PA6, PA7)

## ポート A レジスタ

	7	6	5	4	3	2	1	0	
PA (0xFF00_4280)	Bit Symbol	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“1”にセット)							

## ポート A コントロールレジスタ

	7	6	5	4	3	2	1	0	
PACR (0xFF00_4284)	Bit Symbol	PA7C	PA6C	PA5C	PA4C	PA3C	PA2C	PA1C	PA0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

## ポート A ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
PAFC1 (0xFF00_4288)	Bit Symbol	PA7F	PA6F	PA5F	PA4F	PA3F	PA2F	PA1F	PA0F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: PHC2IN0	0: PORT 1: PHC2IN0	0: PORT 1: INT5	0: PORT 1: INT4	0: PORT 1: INT3	0: PORT 1: INT2	0: PORT 1: INT1	0: PORT 1: INTO

## ポート A ファンクションレジスタ 2

	7	6	5	4	3	2	1	0
PAFC2 (0xFF00_428C)	Bit Symbol		PA5F	PA4F	PA3F	PA2F	PA1F	PA0F
	Read/Write	R/W						
	リセット後	0	0	0	0	0	0	0
	機能	リードすると“0”が読 めます。	0: PORT 1: TB6IN1	0: PORT 1: TB6IN0	0: PORT 1: PHC1IN1	0: PORT 1: PHC1IN0	0: PORT 1: PHC0IN1	0: PORT 1: PHC0IN0

## ポート A プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
PAPUP (0xFF00_42AC)	Bit Symbol	PEA7	PEA6	PEA5	PEA4	PEA3	PEA2	PEA1	PEA0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0: オフ 1: Pull-Up							

## ポート A 入力インエーブル制御レジスタ

	7	6	5	4	3	2	1	0	
PAIE (0xFF00_42B8)	Bit Symbol	PIEA7	PIEA6	PIEA5	PIEA4	PIEA3	PIEA2	PIEA1	PIEA0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0: 禁止 1: 許可							

### 7.12 ポートB (PB0~PB7)

ポートBはビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PBCR とファンクションレジスタ PFC1、PFC2 によって行います。リセット動作により出力ラッチ PB の全ビットは“1”にセットされ、また、PBCR と PFC1、PFC2 の全ビットは“0”にクリアされ、ポートBは入力モードになります。

リセット直後は入力ディセーブルになっていますので、入力ネーブルにするには PBIE の該当ビットを“1”に設定してください。

入出力ポート機能以外に PB2, PB3, PB7 には 16bit タイマ出力機能、PB4 は HSIO のデータ出力、PB5 は HSIO のデータ入力、PB6 は HSIO の HCLK 入出力または HCTS 入力、PB0, PB1 にはダイヤル入力機能を持った 2 相パルス入力カウンタ機能があります。

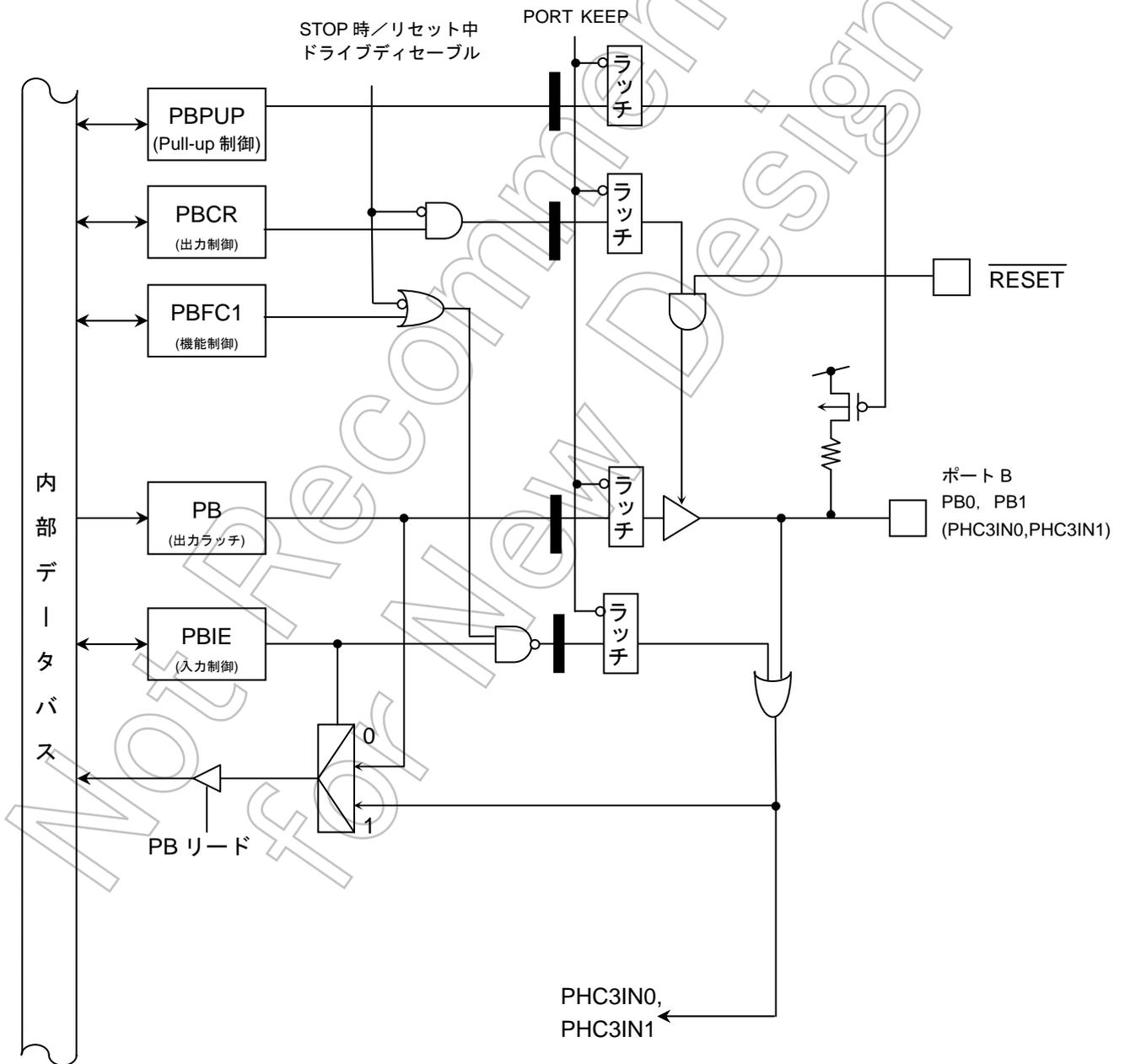
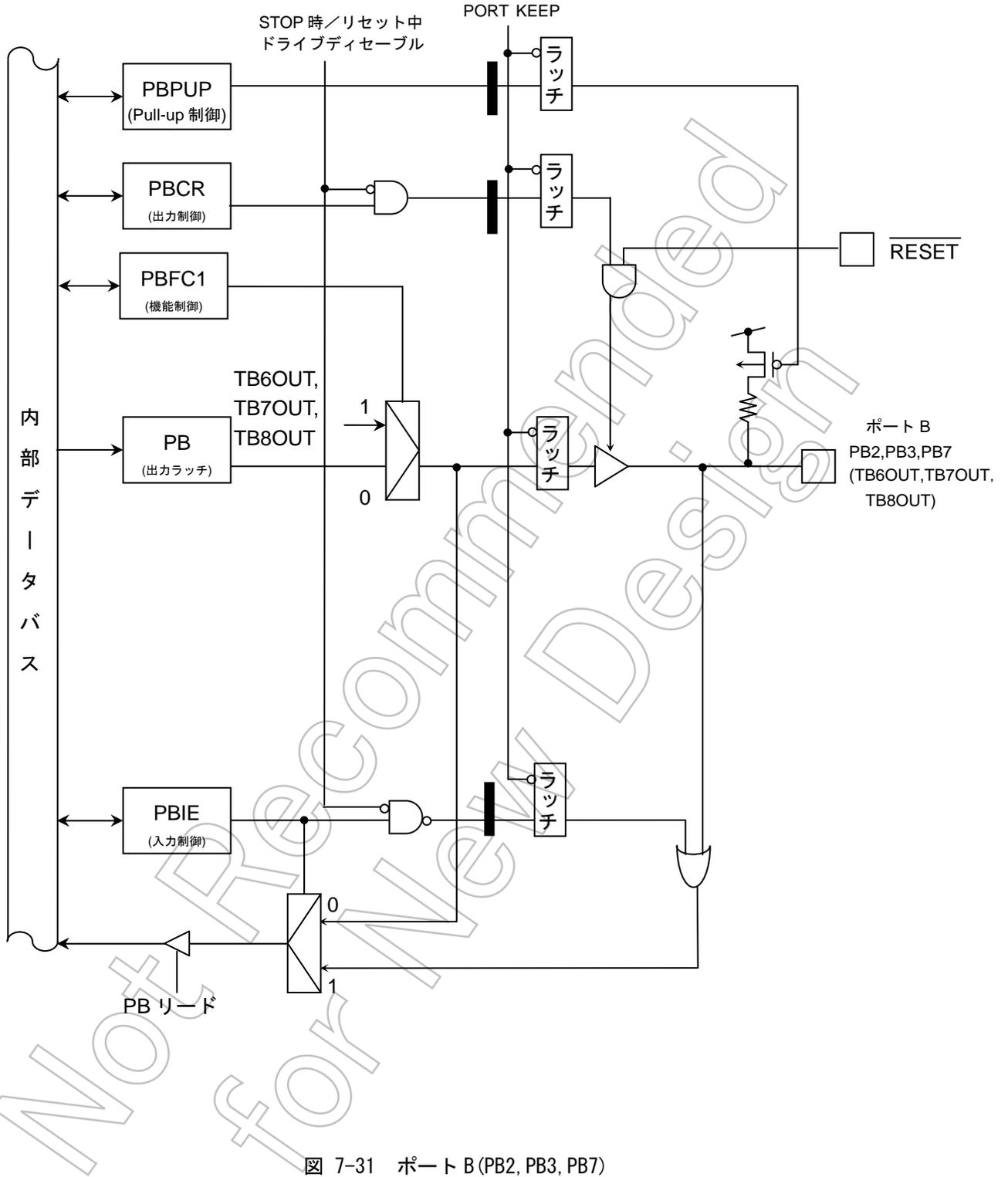


図 7-30 ポート B (PB0, PB1)



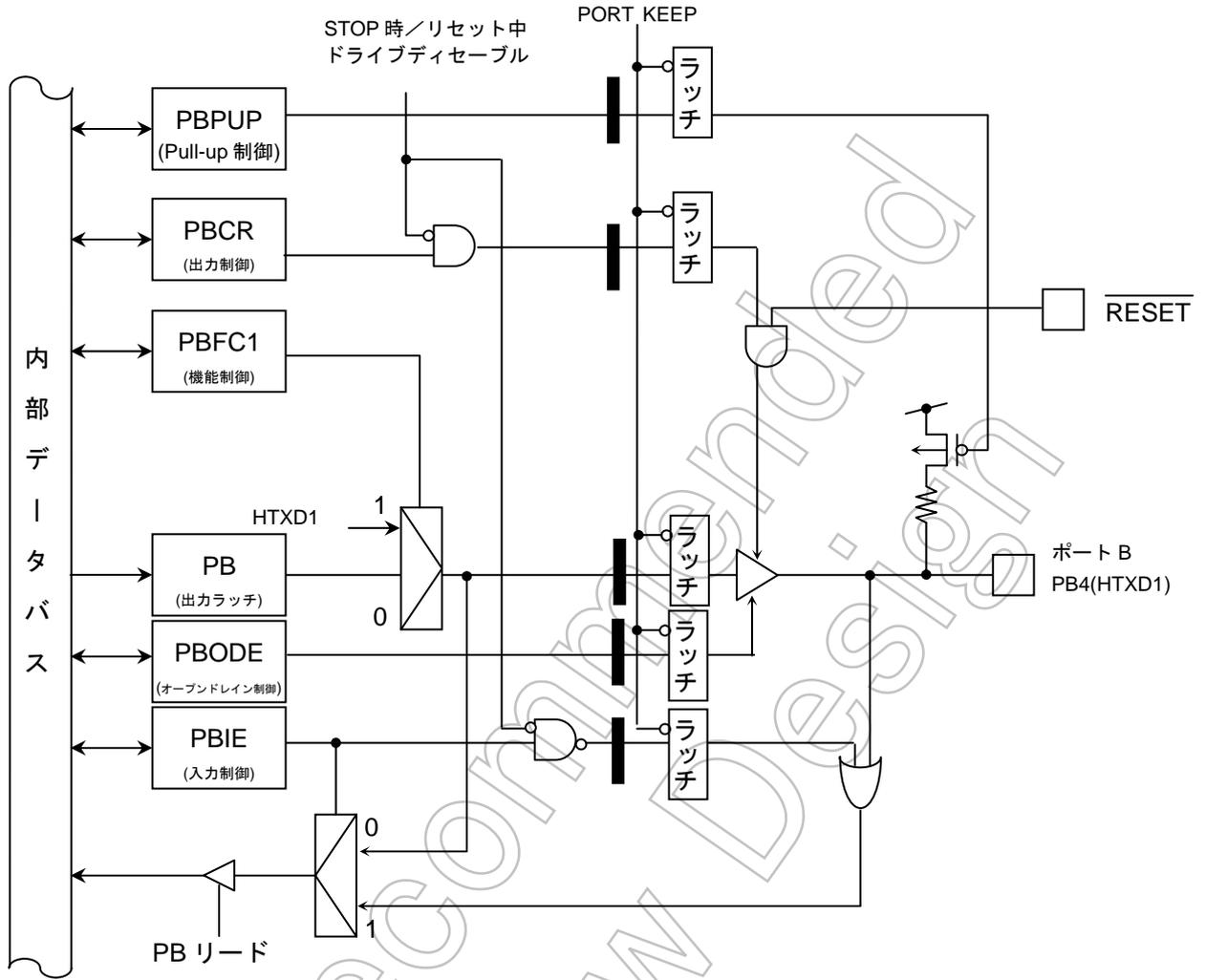


図 7-32 ポート B (PB4)

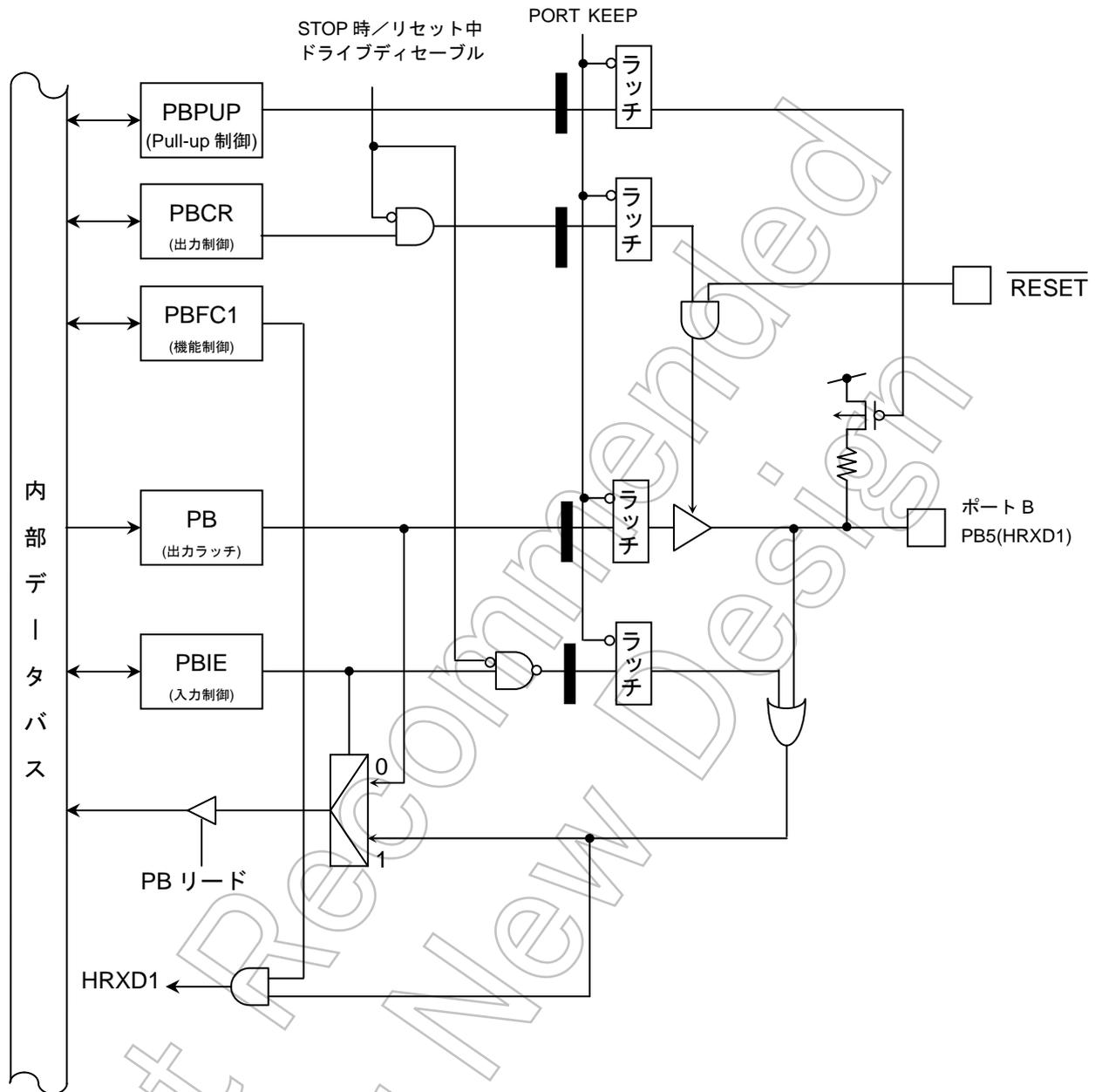


図 7-33 ポート B (PB5)

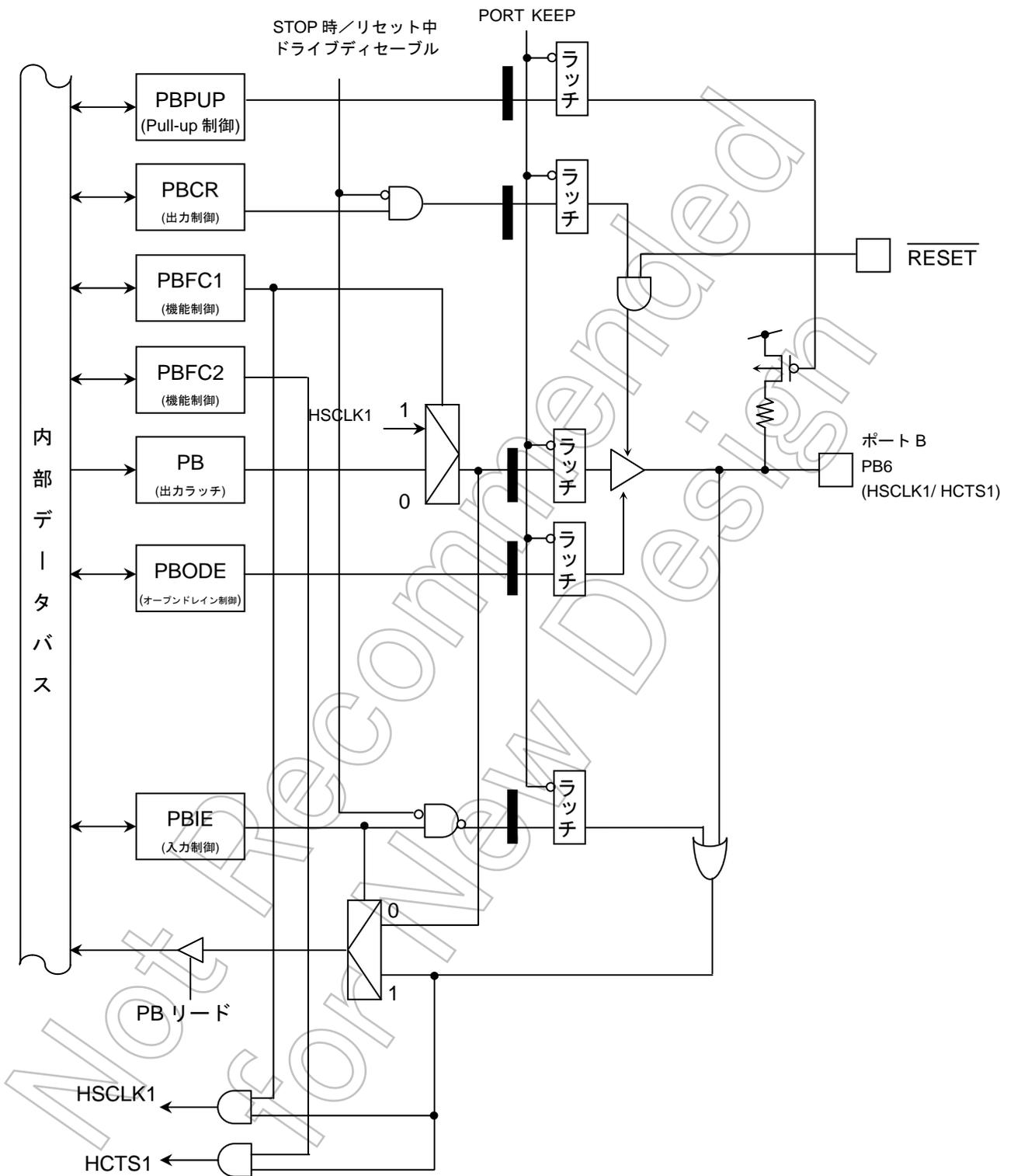


図 7-34 ポート B (PB6)

## ポート B レジスタ

		7	6	5	4	3	2	1	0
PB (0xFF00_42C0)	Bit Symbol	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“1”にセット)							

## ポート B コントロールレジスタ

		7	6	5	4	3	2	1	0
PBCR (0xFF00_42C4)	Bit Symbol	PB7C	PB6C	PB5C	PB4C	PB3C	PB2C	PB1C	PB0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

## ポート B ファンクションレジスタ 1

		7	6	5	4	3	2	1	0
PBF1 (0xFF00_42C8)	Bit Symbol	PB7F	PB6F	PB5F	PB4F	PB3F	PB2F	PB1F	PB0F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: TB8OUT	0: PORT 1: HSCLK1	0: PORT 1: HRXD1	0: PORT 1: HTXD1	0: PORT 1: TB7OUT	0: PORT 1: TB6OUT	0: PORT 1: PHC3IN1	0: PORT 1: PHC3INO

## ポート B ファンクションレジスタ 2

		7	6	5	4	3	2	1	0
PBF2 (0xFF00_42CC)	Bit Symbol		PB6F2						
	Read/Write	R	R/W				R		
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると“0”が読めます。	0: PORT 1: HCTS1	リードすると“0”が読めます。					

## ポート B オープンドレイン制御レジスタ

		7	6	5	4	3	2	1	0
PBODE (0xFF00_42E8)	Bit Symbol		PB6ODE	—	PB4ODE				
	Read/Write	R	R/W	R	R/W			R	
	リセット後	0	0	0	0	0			
	機能	リードすると“0”が読めます。	0: CMOS 1: オープンドレイン	リードすると“0”が読めます。	0: CMOS 1: オープンドレイン	リードすると“0”が読めます。			

## ポート B プルアップ制御レジスタ

		7	6	5	4	3	2	1	0
PBPUP (0xFF00_42EC)	Bit Symbol	PEB7	PEB6	PEB5	PEB4	PEB3	PEB2	PEB1	PEB0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0: オフ 1: Pull-Up							

## ポート B 入力インネーブル制御レジスタ

		7	6	5	4	3	2	1	0
PBIE (0xFF00_42F8)	Bit Symbol	PIEB7	PIEB6	PIEB5	PIEB4	PIEB3	PIEB2	PIEB1	PIEB0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0: 禁止 1: 許可							

### 7.13 ポートC(PC0~PC7)

ポートCはビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PCCR とファンクションレジスタ PCFC1、PCFC2 によって行います。リセット動作により出力ラッチ PC の全ビットは“1”にセットされ、また、PCCR と PCFC1、PCFC2 の全ビットは“0”にクリアされ、ポートCは入力モードになります。

リセット直後は入力ディセーブルになっていますので、入力ラインにプルアップ电阻を接続し、ポートCの入力モードにするには PCIE の該当ビットを“1”に設定してください。

入力ポート機能以外に PC0 に 32 ビットタイムベースタイマの外部クロックソース入力機能およびキーオンウェイクアップ入力機能、PC1~PC3、PC7 に 32 ビットコンペア出力機能があり、PC4~PC6 には SBI の入出力機能があります。

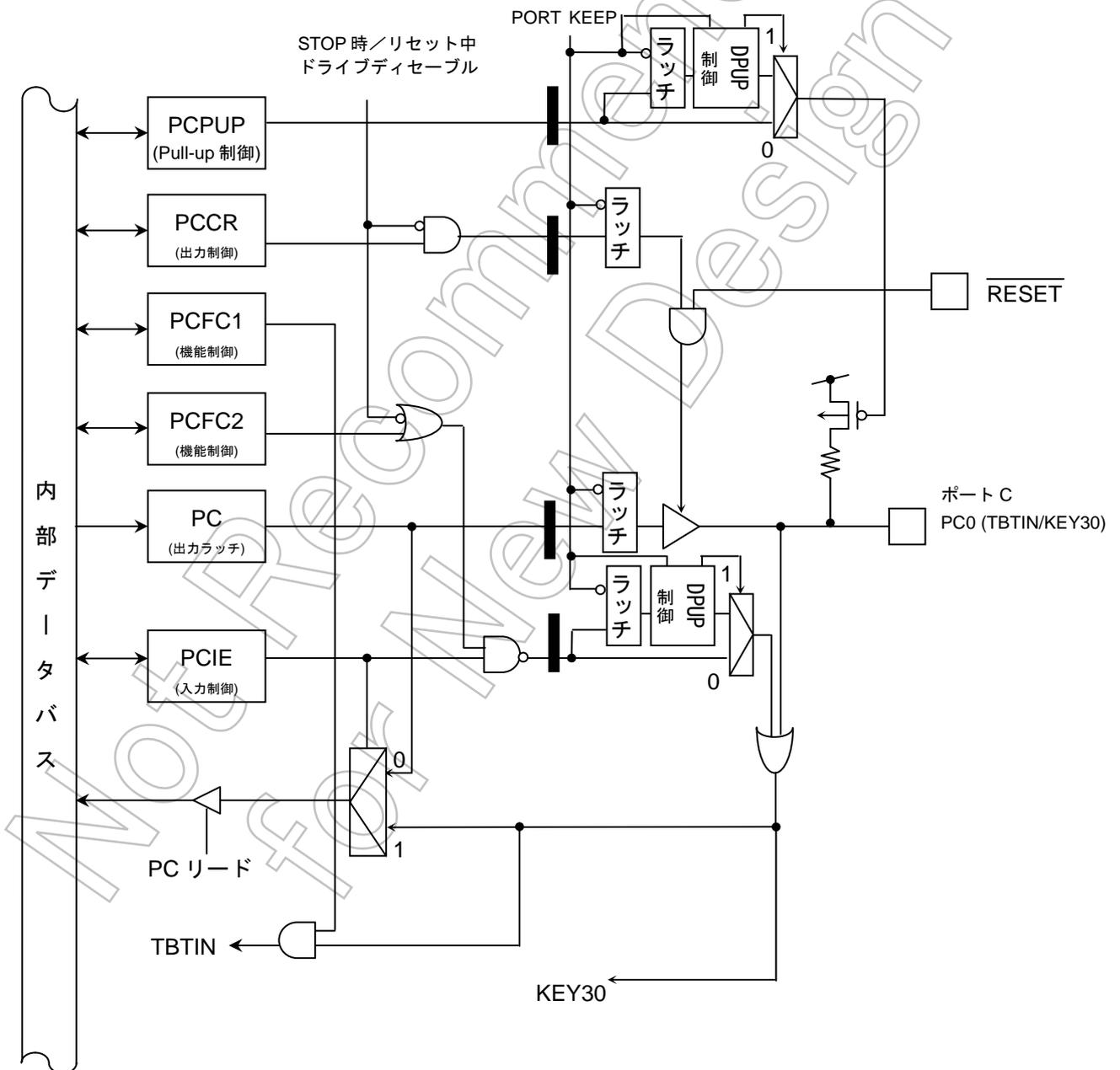


図 7-35 ポート C(PC0)

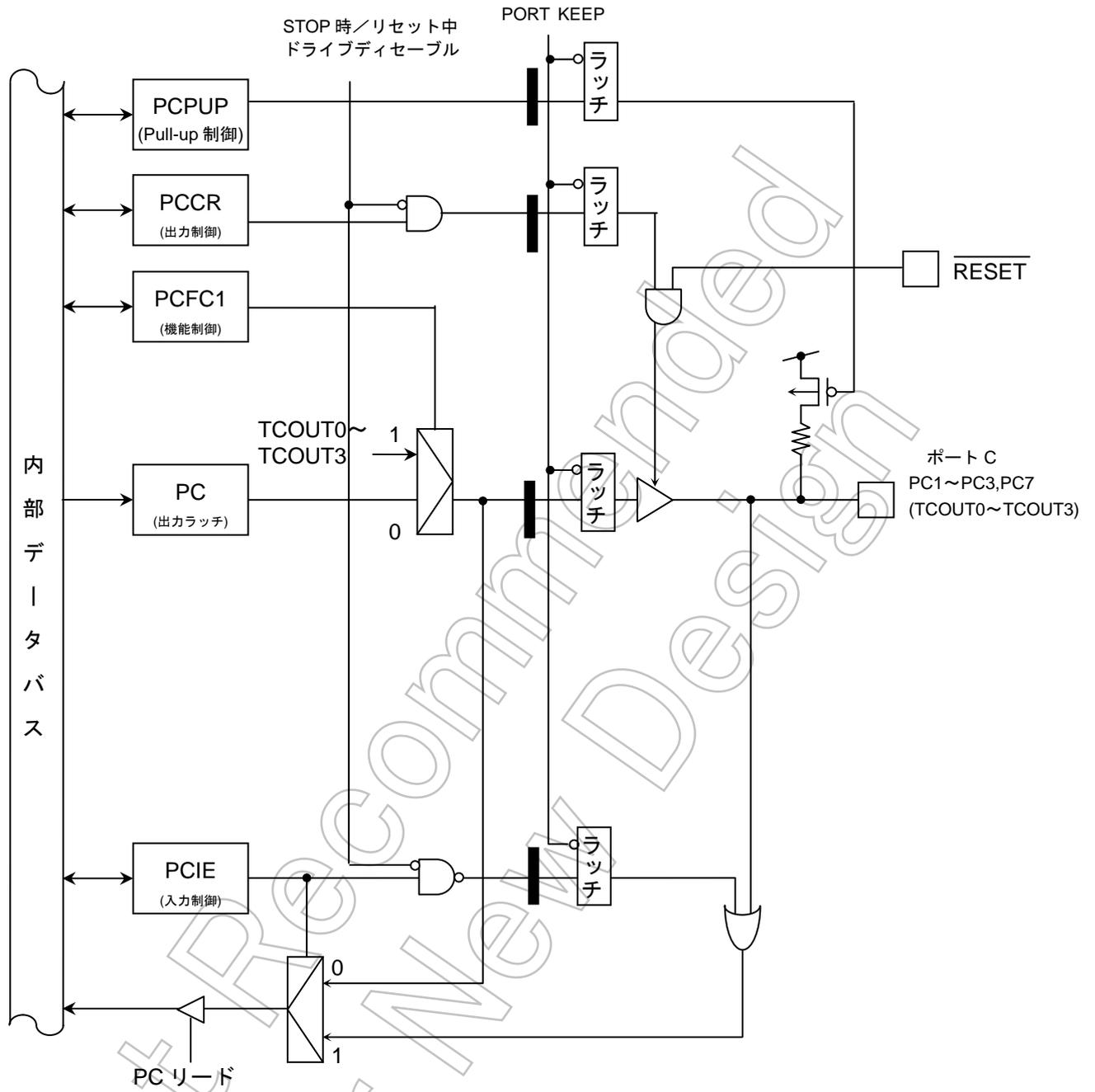


図 7-36 ポート C (PC1~PC3, PC7)

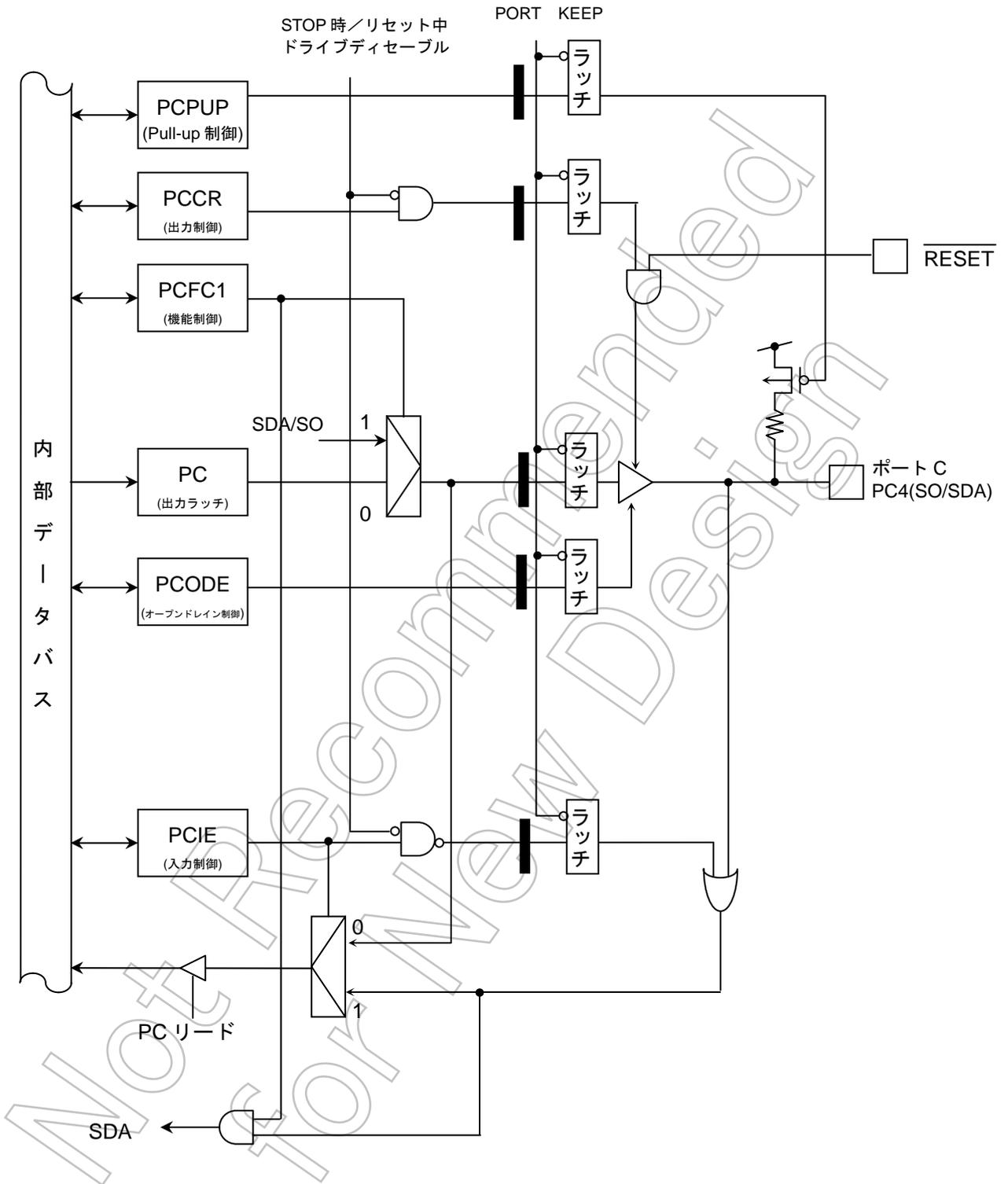


図 7-37 ポート C(PC4)

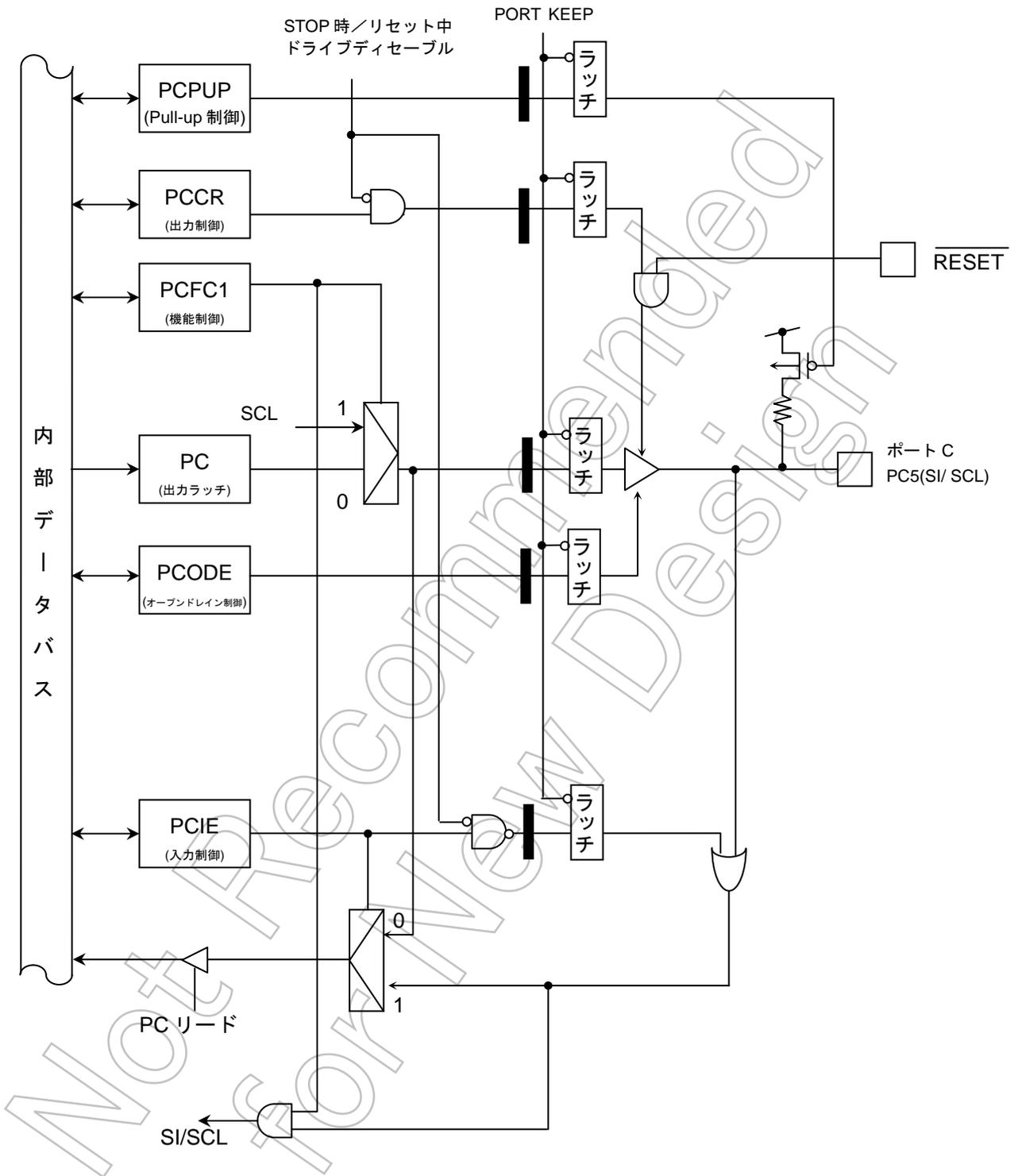


図 7-38 ポート C(PC5)

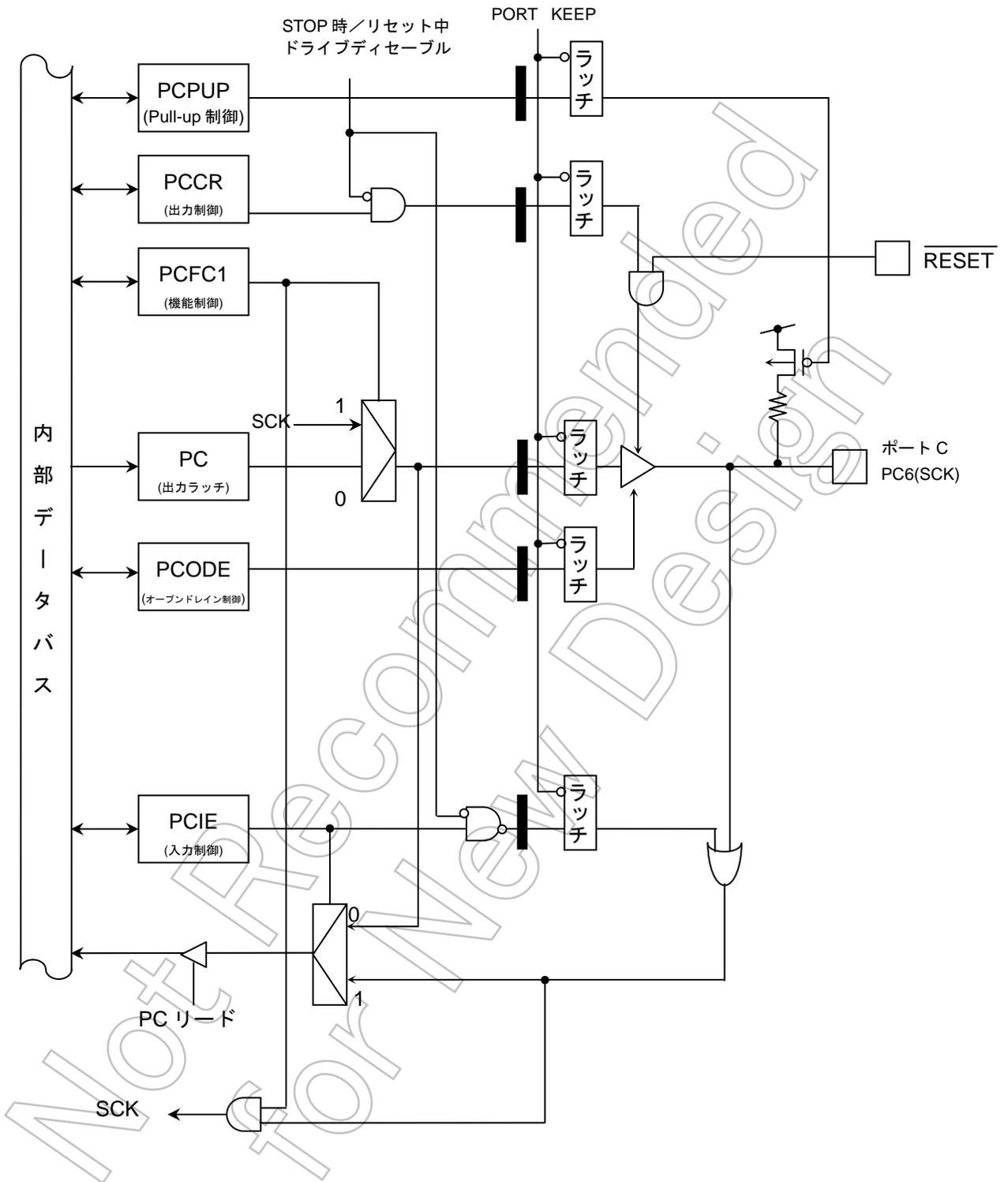


図 7-39 ポート C (PC6)

## ポート C レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
Read/Write	R/W							
リセット後	入力モード (出力ラッチレジスタは“1”にセット)							

## ポート C コントロールレジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PC7C	PC6C	PC5C	PC4C	PC3C	PC2C	PC1C	PC0C
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: 入力 1: 出力							

## ポート C ファンクションレジスタ 1

	7	6	5	4	3	2	1	0
Bit Symbol	PC7F	PC6F	PC5F	PC4F	PC3F	PC2F	PC1F	PC0F
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: PORT 1: TCOUT3	0: PORT 1: SCK	0: PORT 1: SI /SCL	0: PORT 1: SO /SDA	0: PORT 1: TCOUT2	0: PORT 1: TCOUT1	0: PORT 1: TCOUT0	0: PORT 1: TBTIN

## ポート C ファンクションレジスタ 2

	7	6	5	4	3	2	1	0
Bit Symbol								PC0F2
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							0: PORT 1: KEY30

## ポート C オープンドレイン制御レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol		PC6ODE	PC5ODE	PC4ODE				
Read/Write	R	R/W		R				
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます	0: CMOS 1: オープンドレイン	0: CMOS 1: オープンドレイン	0: CMOS 1: オープンドレイン	リードすると“0”が読めます。			

## ポート C プルアップ制御レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PEC7	PEC6	PEC5	PEC4	PEC3	PEC2	PEC1	PEC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	プルアップ 0: オフ 1: Pull-Up							

## ポート C 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PIEC7	PIEC6	PIEC5	PIEC4	PIEC3	PIEC2	PIEC1	PIEC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0: 禁止 1: 許可							

7.14 ポートD(PD0~PD7)

ポートDはビット単位で入出力の指定ができる7ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PDGR とファンクションレジスタ PDFC1、PDFC2 によって行います。リセット動作により出力ラッチ PD の全ビットは“1”にセットされ、また、PDGR と PDFC1、PDFC2 の全ビットは“0”にクリアされ、ポートDは入力モードになります。

リセット直後は入力ディセーブルになっていますので、入力イネーブルにするには PDIE の該当ビットを“1”に設定してください。

入力ポート機能以外に PD0 は HSI0 のデータ出力、PD1 は HSI0 のデータ入力、PD2 は HSI0 の HCLK 入出力または HCTS 入力 PD3~PD5 に 16 ビットタイマ出力機能があり、PD6 にはキーオンウェイクアップ入力機能および、PD6, PD7 には A/D コンバータの A/D トリガ入力機能があります。

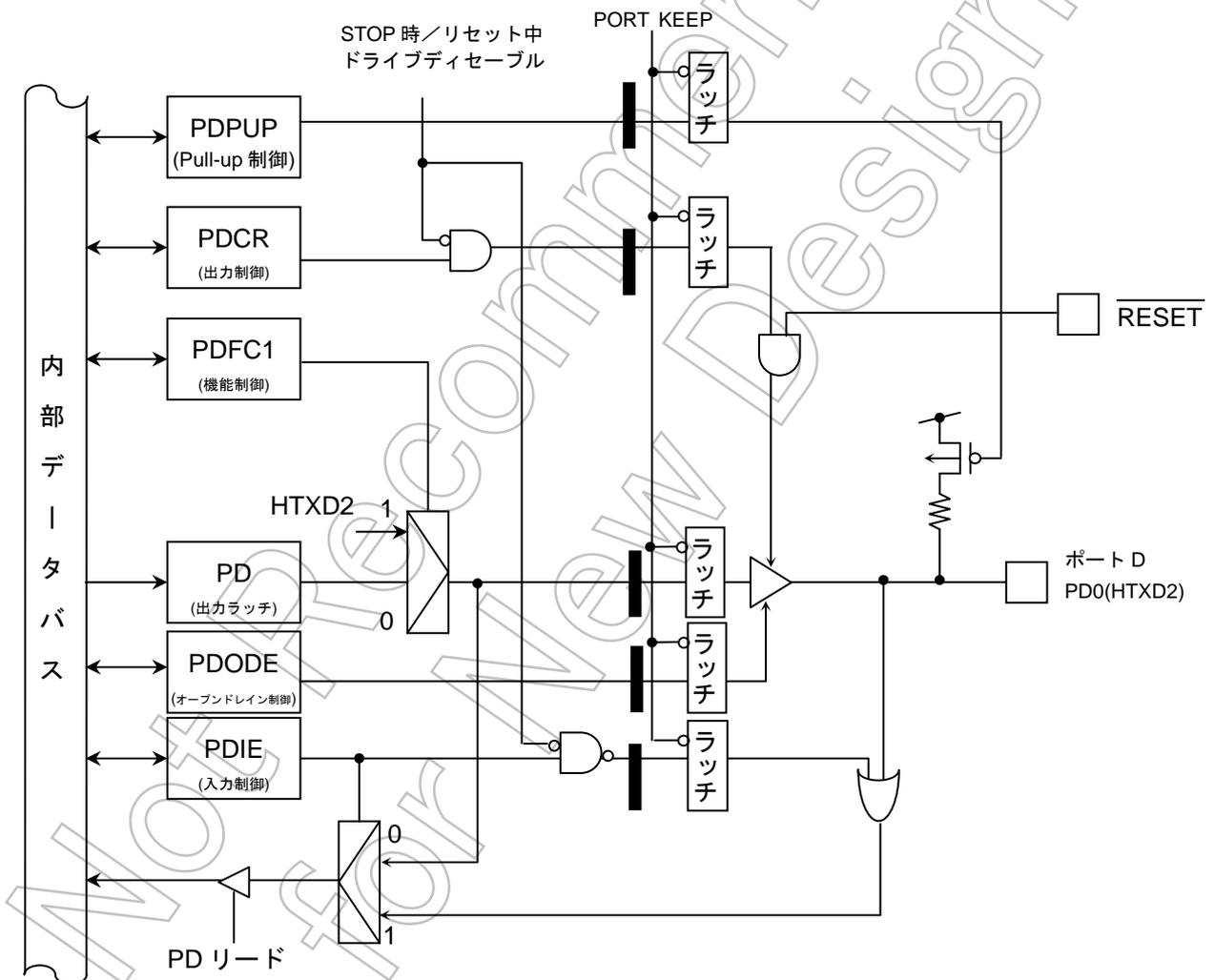


図 7-40 ポート D(PD0)

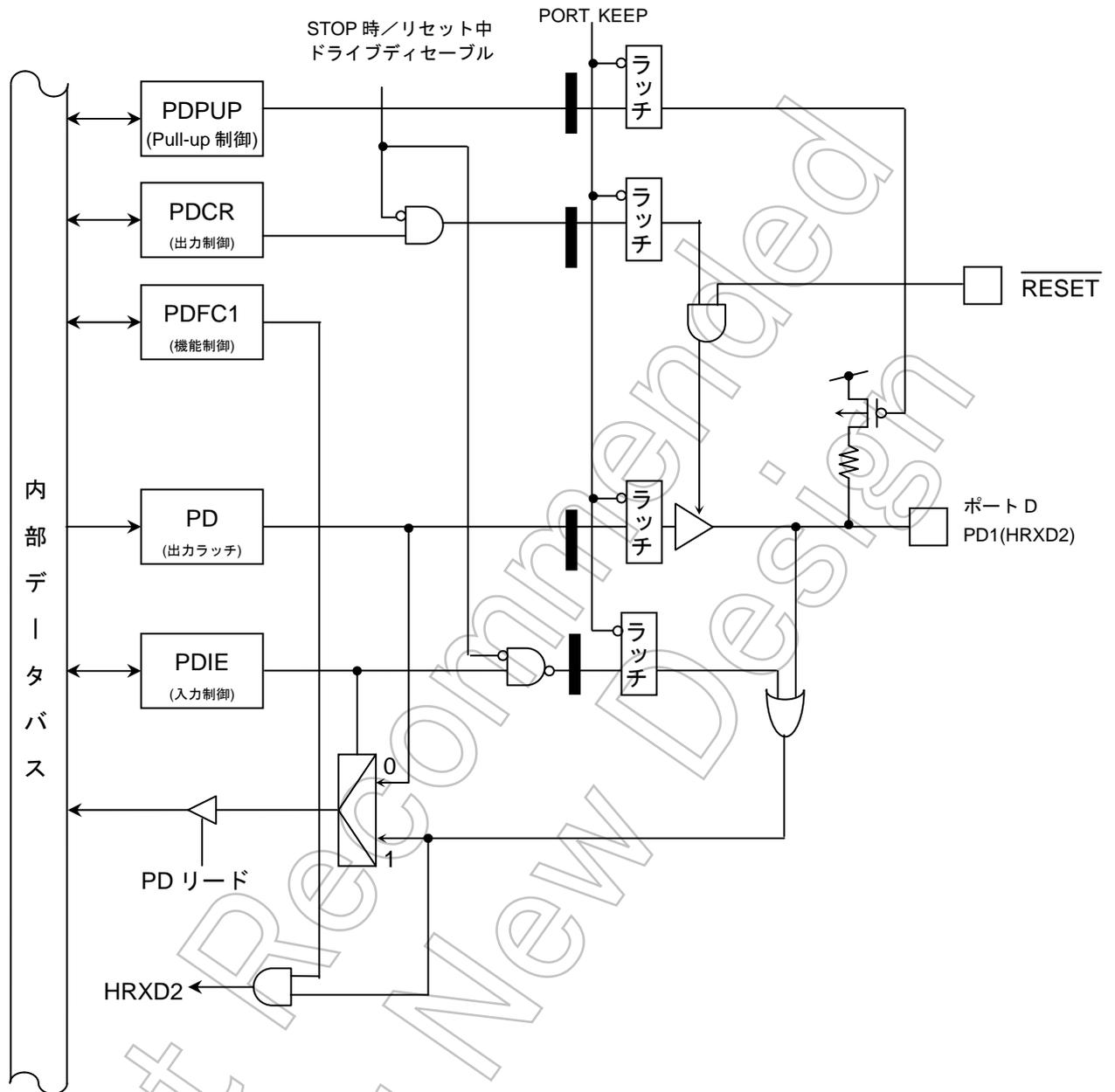


図 7-41 ポート D (PD1)

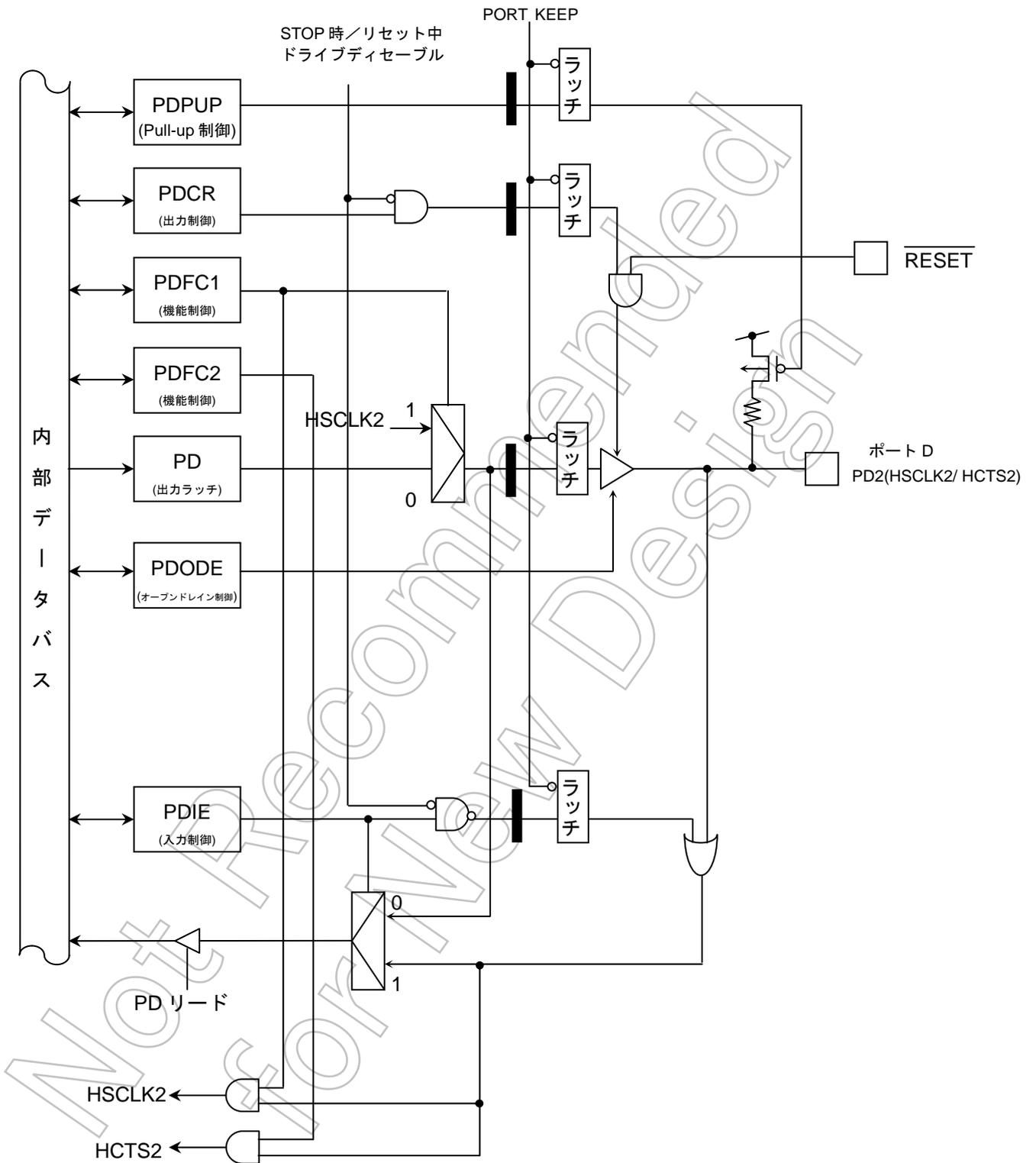


図 7-42 ポート D (PD2)

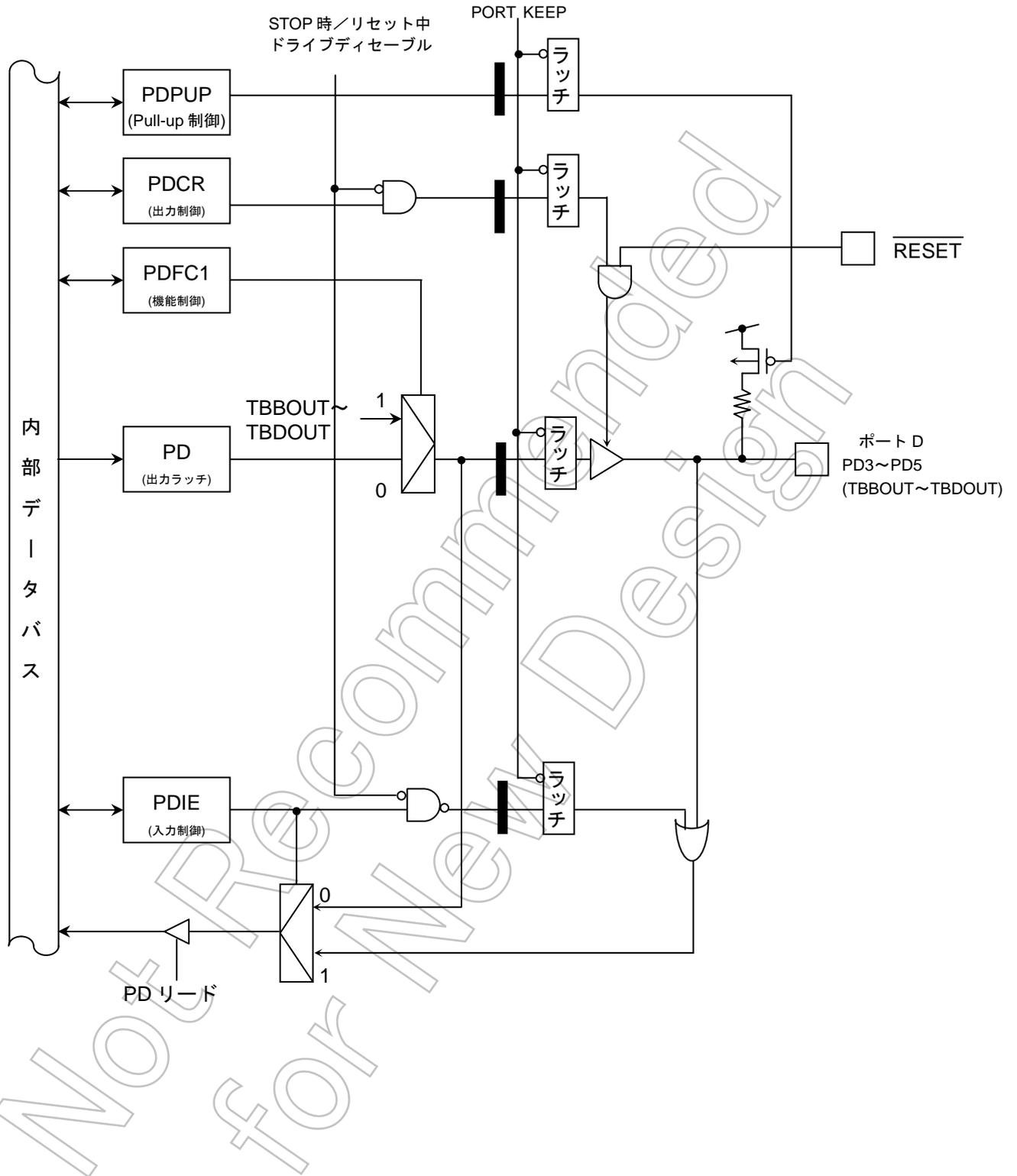


図 7-43 ポート D (PD3~PD5)

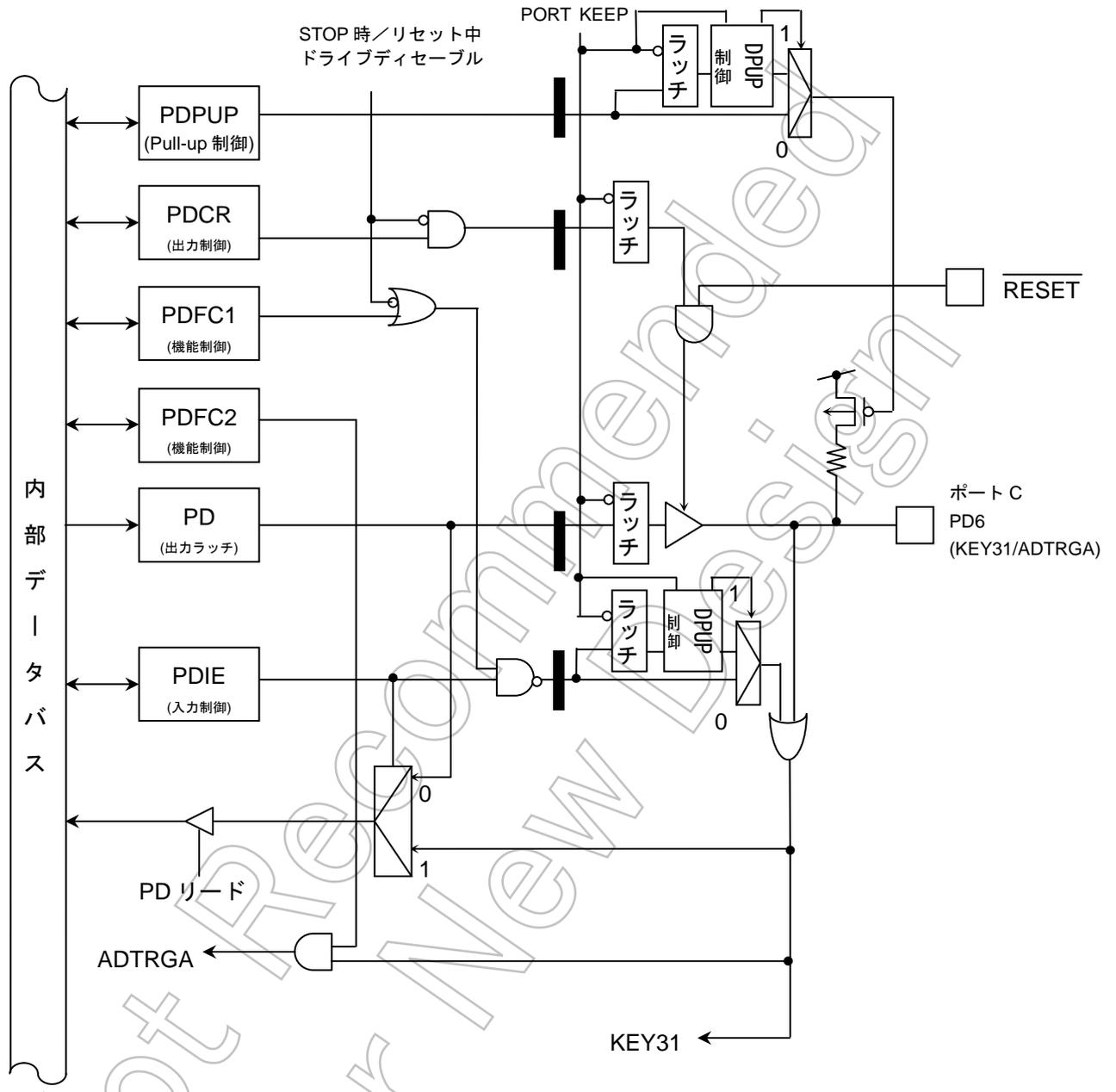


図 7-44 ポート D (PD6)

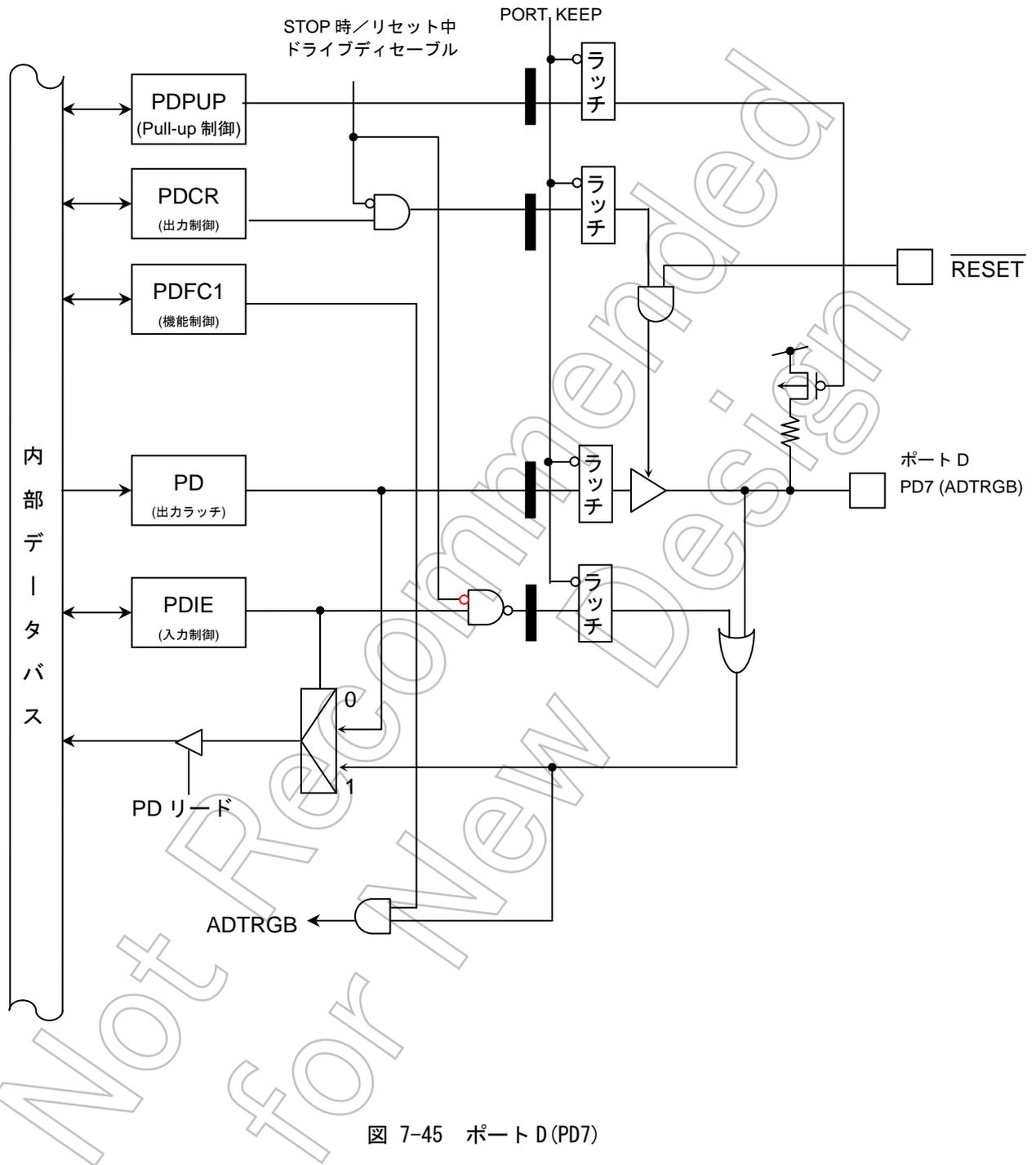


図 7-45 ポート D (PD7)

ポート D レジスタ

	7	6	5	4	3	2	1	0	
PD (0xFF00_4340)	Bit Symbol	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
	Read/Write	R/W							
	リセット後	入力モード (出カラッチレジスタは“1”にセット)							

ポート D コントロールレジスタ

	7	6	5	4	3	2	1	0	
PDCR (0xFF00_4344)	Bit Symbol	PD7C	PD6C	PD5C	PD4C	PD3C	PD2C	PD1C	PD0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

ポート D ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
PDFC1 (0xFF00_4348)	Bit Symbol	PD7F	PD6F	PD5F	PD4F	PD3F	PD2F	PD1F	PD0F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: ADTRG	0: PORT 1: /KEY31	0: PORT 1: TBDOUT	0: PORT 1: TBCOUT	0: PORT 1: TBBOUT	0: PORT 1: HSCLK2	0: PORT 1: HRXD2	0: PORT 1: HTXD2

ポート D ファンクションレジスタ 2

	7	6	5	4	3	2	1	0	
PDFC2 (0xFF00_434C)	Bit Symbol					PD2F2			
	Read/Write	R	R/W		R	R/W		R	
	リセット後	0	0	0	0	0	0	0	
	機能	リードすると“0”が読めます。	0: PORT 1: ADTRG	リードすると“0”が読めます。		0: PORT 1: /HCTS2	リードすると“0”が読めます。		

ポート D オープンドレイン制御レジスタ

	7	6	5	4	3	2	1	0	
PDODE (0xFF00_4368)	Bit Symbol					PD20DE		PDOODE	
	Read/Write	R				R/W	R	R/W	
	リセット後	0				0	0	0	
	機能	リードすると“0”が読めます。				0: CMOS 1: オープンドレイン	リードすると“0”が読めます。	0: CMOS 1: オープンドレイン	

ポート D プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
PDPUP (0xFF00_436C)	Bit Symbol	PED7	PED6	PED5	PED4	PED3	PED2	PED1	PED0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0: オフ 1: Pull-Up							

ポート D 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
PDIE (0xFF00_4378)	Bit Symbol	PIED7	PIED6	PIED5	PIED4	PIED3	PIED2	PIED1	PIED0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0: 禁止 1: 許可							

### 7.15 ポートE (PE0~PE7)

ポートEはビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PECP とファンクションレジスタ PEFC1 によって行います。リセット動作により出力ラッチ PE の全ビットは“1”にセットされ、また、PECP と PEFC1 の全ビットは“0”にクリアされ、ポートEは入力モードになります。

リセット直後は入力ディセーブルになっていますので、入力イネーブルにするには PEIE の該当ビットを“1”に設定してください。

入力ポート機能以外にキーオンウェイクアップ入力機能があります。

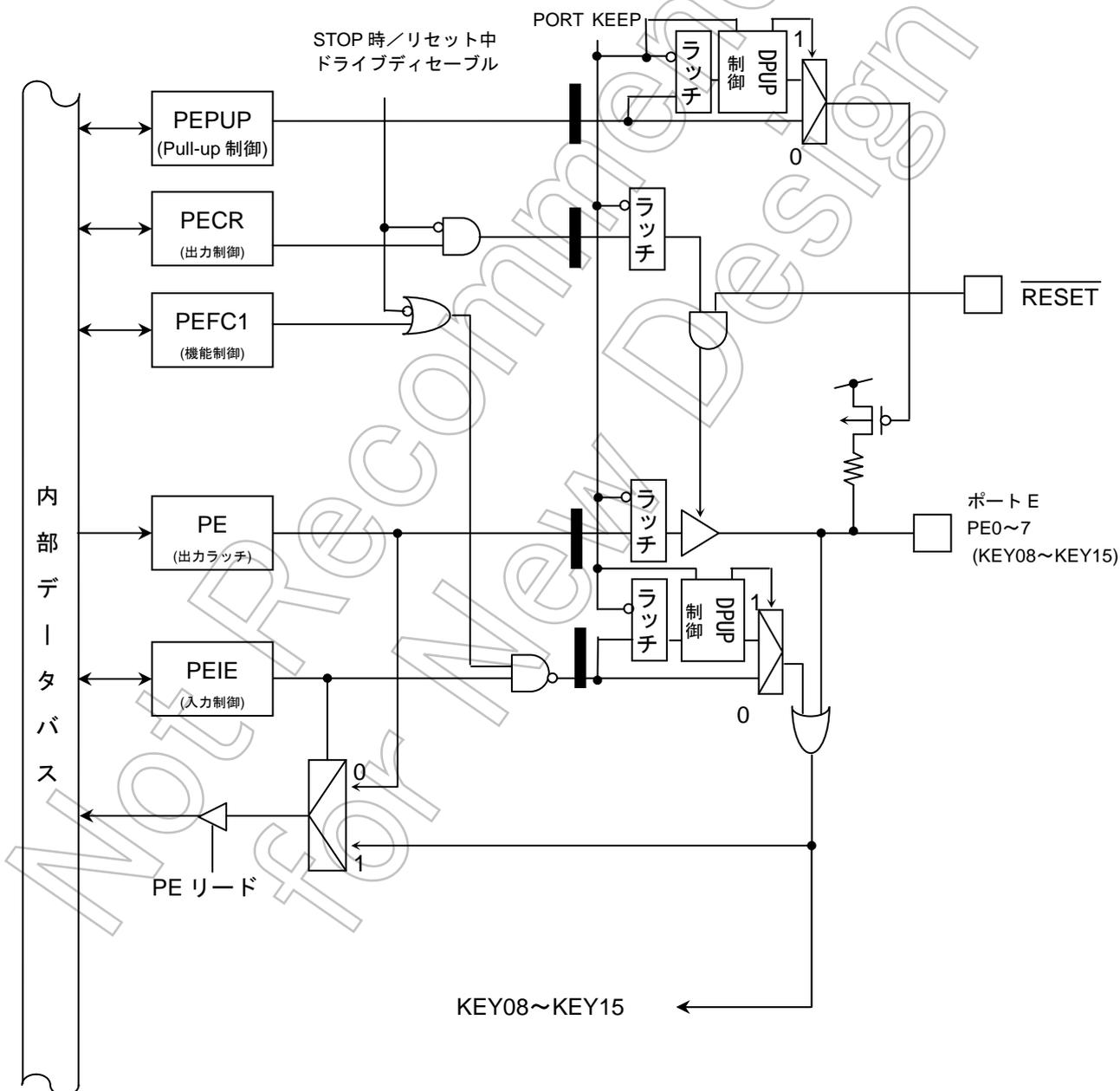


図 7-46 ポート E (PE0~PE7)

ポートEレジスタ

	7	6	5	4	3	2	1	0	
PE (0xFF00_4380)	Bit Symbol	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“1”にセット)							

ポートEコントロールレジスタ

	7	6	5	4	3	2	1	0	
PECR (0xFF00_4384)	Bit Symbol	PE7C	PE6C	PE5C	PE4C	PE3C	PE2C	PE1C	PE0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

ポートEファンクションレジスタ1

	7	6	5	4	3	2	1	0	
PEFC1 (0xFF00_4388)	Bit Symbol	PE7F	PE6F	PE5F	PE4F	PE3F	PE2F	PE1F	PE0F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: KEY15	0: PORT 1: KEY14	0: PORT 1: KEY13	0: PORT 1: KEY12	0: PORT 1: KEY11	0: PORT 1: KEY10	0: PORT 1: KEY09	0: PORT 1: KEY08

ポートEプルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
PEPUP (0xFF00_43AC)	Bit Symbol	PEE7	PEE6	PEE5	PEE4	PEE3	PEE2	PEE1	PEE0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0: オフ 1: Pull-Up							

ポートE入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
PEIE (0xFF00_43B8)	Bit Symbol	PIEE7	PIEE6	PIEE5	PIEE4	PIEE3	PIEE2	PIEE1	PIEE0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0: 禁止 1: 許可							

7.16 ポートF (PF0~PF7)

ポートFはビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PFGR とファンクションレジスタ PFFC1、PFFC2 によって行います。リセット動作により出力ラッチ PF の全ビットは“1”にセットされ、また、PFGR と PFFC1、PFFC2 の全ビットは“0”にクリアされ、ポートFは入力モードになります。

リセット直後は入力ディセーブルになっていますので、入力ネーブルにするには PFIE の該当ビットを“1”に設定してください。

入力ポート機能以外にキーオンウェイクアップ入力機能があり、PF0~PF3 に DMAC の外部端子機能、PF4~PF7 には 32 ビットタイマコンペア出力機能があります。

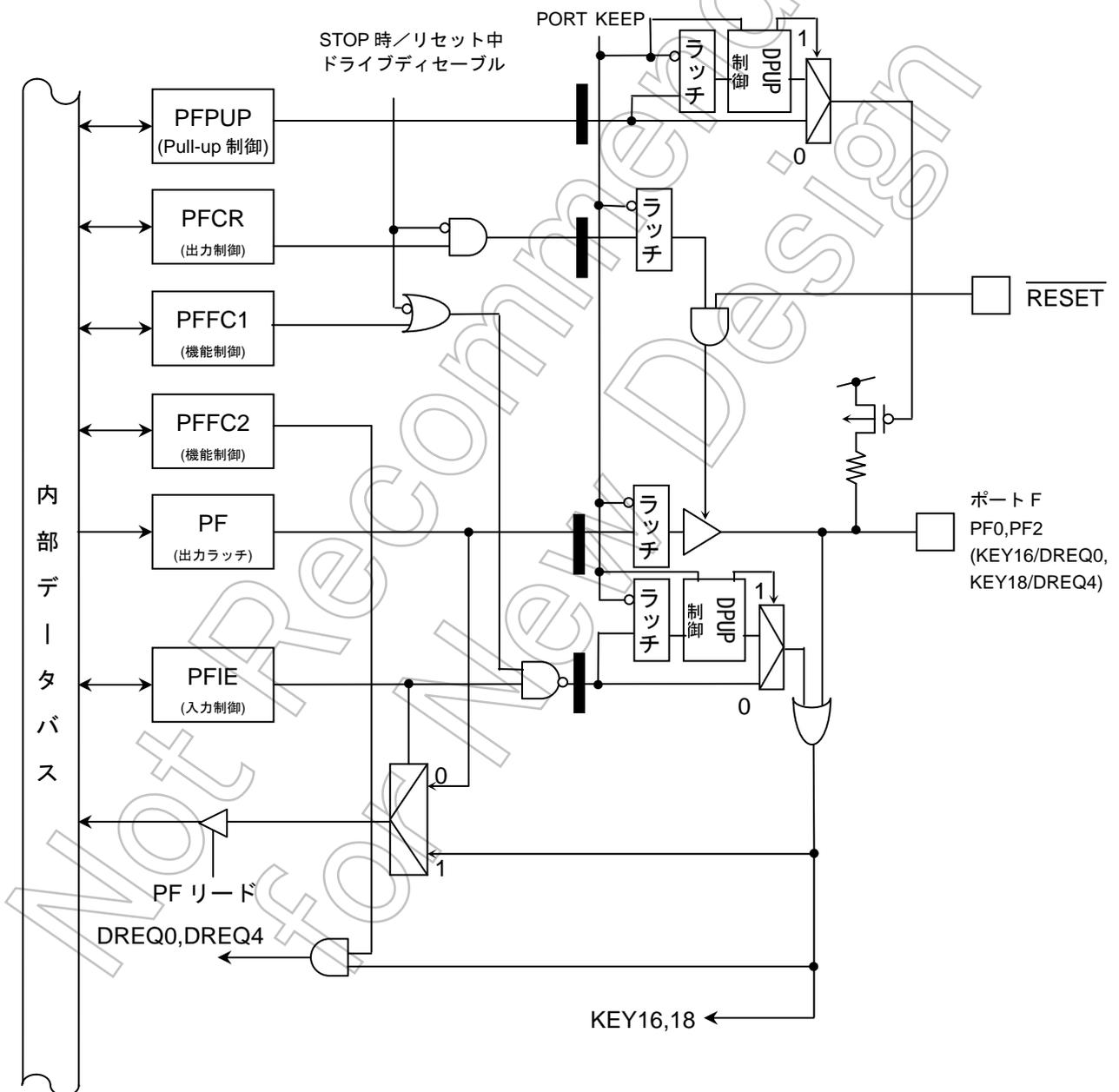


図 7-47 ポート F (PF0, PF2)

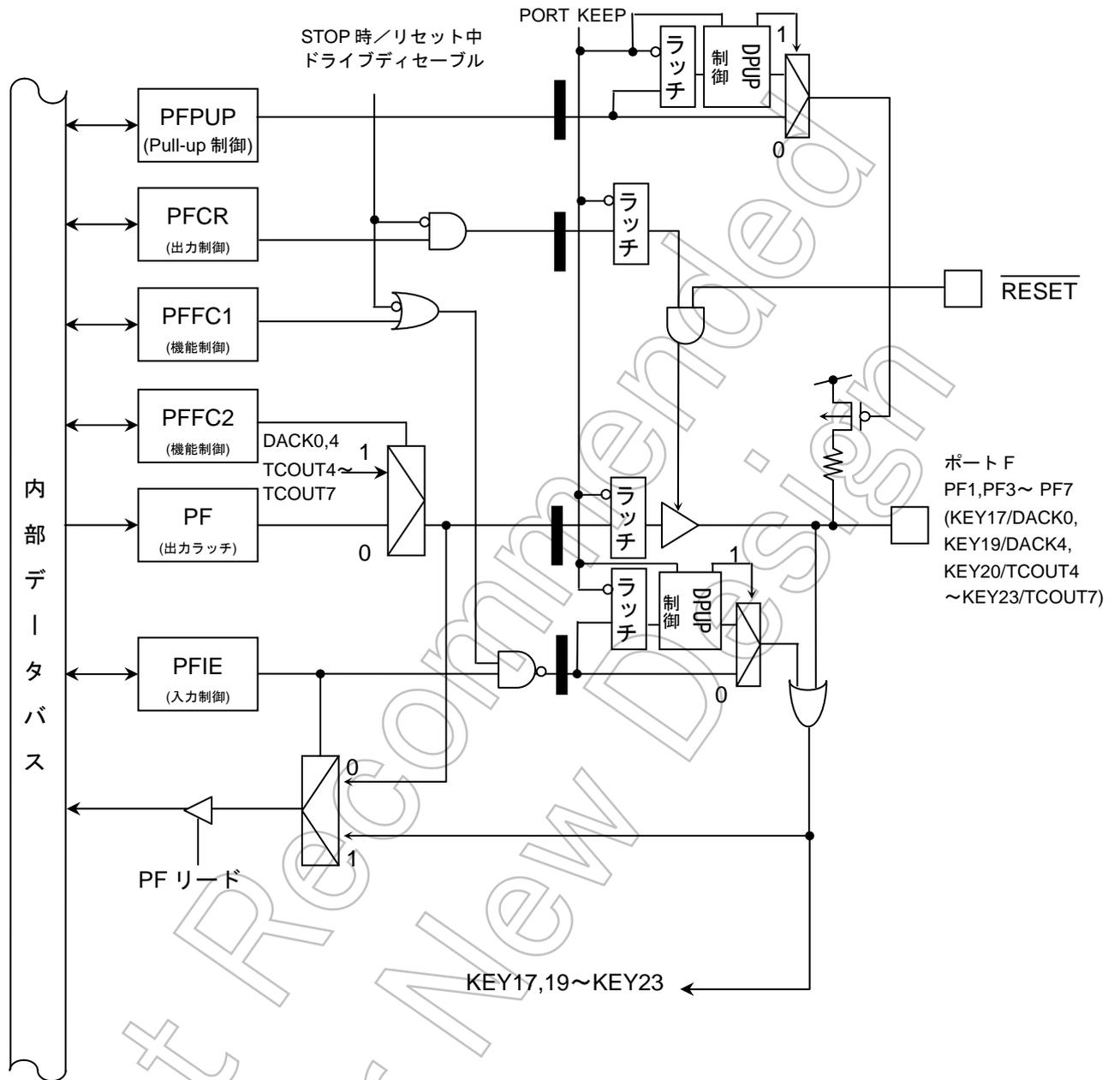


図 7-48 ポート F (PF1, PF3~PF7)

## ポートFレジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
Read/Write	R/W							
リセット後	入力モード (出力ラッチレジスタは “1” にセット)							

PF  
(0xFF00\_43C0)

## ポートFコントロールレジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PF7C	PF6C	PF5C	PF4C	PF3C	PF2C	PF1C	PF0C
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: 入力 1: 出力							

PFCR  
(0xFF00\_43C4)

## ポートFファンクションレジスタ1

	7	6	5	4	3	2	1	0
Bit Symbol	PF7F	PF6F	PF5F	PF4F	PF3F	PF2F	PF1F	PF0F
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: PORT 1: /KEY23	0: PORT 1: /KEY22	0: PORT 1: /KEY21	0: PORT 1: /KEY20	0: PORT 1: /KEY19	0: PORT 1: /KEY18	0: PORT 1: /KEY17	0: PORT 1: /KEY16

PFFC1  
(0xFF00\_43C8)

## ポートFファンクションレジスタ2

	7	6	5	4	3	2	1	0
Bit Symbol	PF7F2	PF6F2	PF5F2	PF4F2	PF3F2	PF2F2	PF1F2	PF0F2
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: PORT 1: TCOUT7	0: PORT 1: TCOUT6	0: PORT 1: TCOUT5	0: PORT 1: TCOUT4	0: PORT 1: DACK4	0: PORT 1: DREQ4	0: PORT 1: DACK0	0: PORT 1: DREQ0

PFFC2  
(0xFF00\_43CC)

## ポートF プルアップ制御レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PEF7	PEF6	PEF5	PEF4	PEF3	PEF2	PEF1	PEF0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	プルアップ 0: オフ 1: Pull-Up							

PFPUP  
(0xFF00\_43EC)

## ポートF 入力インネーブル制御レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PIEF7	PIEF6	PIEF5	PIEF4	PIEF3	PIEF2	PIEF1	PIEF0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0: 禁止 1: 許可							

PFIE  
(0xFF00\_43F8)

### 7.17 ポートG (PG0~PG7)

ポートGはビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PGCR とファンクションレジスタ PGFC1 によって行います。リセット動作により出力ラッチ PG の全ビットは“1”にセットされ、また、PGCR と PGFC1 の全ビットは“0”にクリアされ、ポートGは入力モードになります。

リセット直後は入力ディセーブルになっていますので、入力ネーブルにするには PGIE の該当ビットを“1”に設定してください。

入力ポート機能以外にキーオンウェイクアップ入力機能があります。

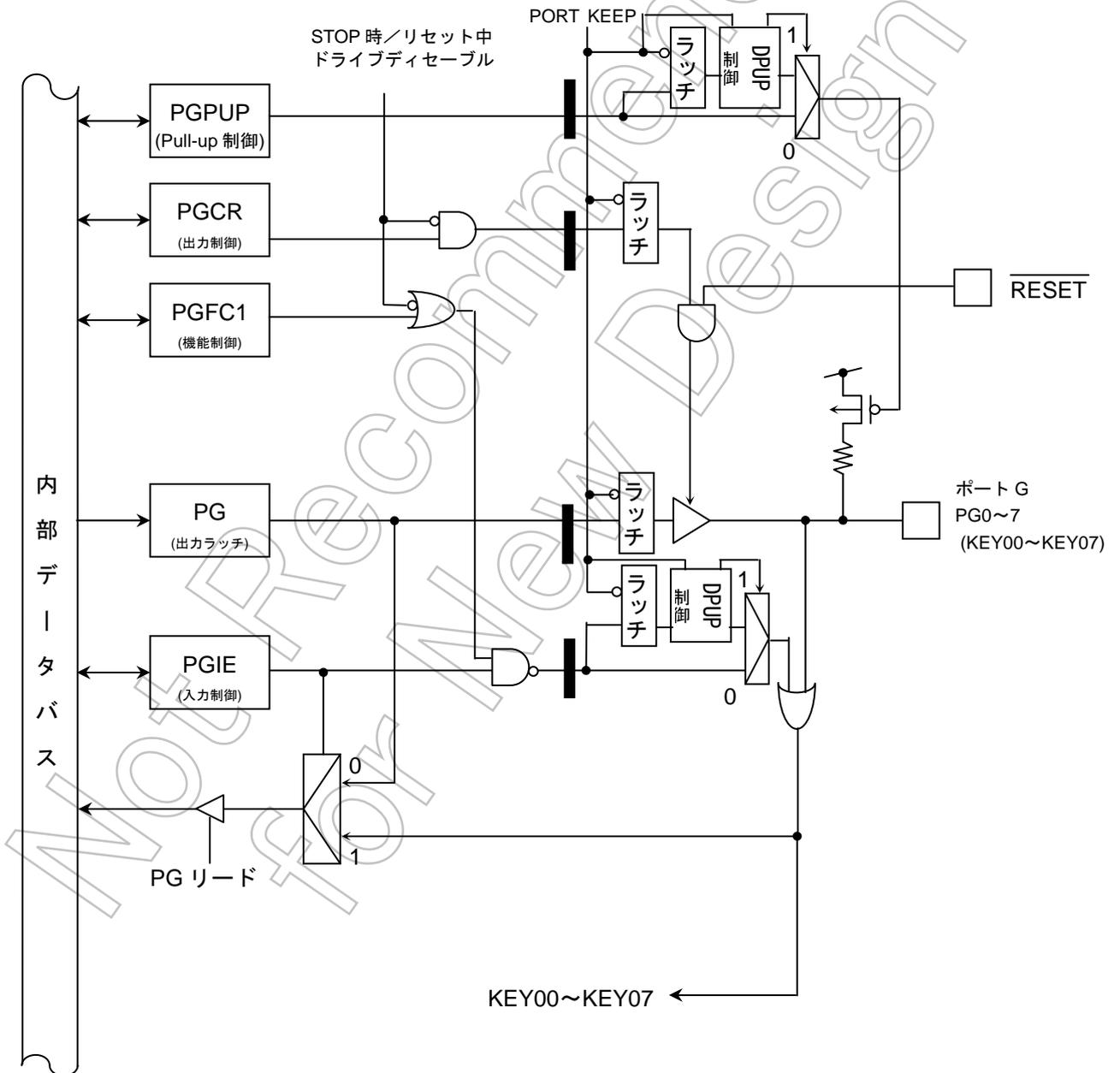


図 7-49 ポート G (PG0~PG7)

## ポート G レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0
Read/Write	R/W							
リセット後	入力モード (出力ラッチレジスタは“1”にセット)							

PG  
(0xFF00\_4400)

## ポート G コントロールレジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PG7C	PG6C	PG5C	PG4C	PG3C	PG2C	PG1C	PG0C
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: 入力 1: 出力							

PGCR  
(0xFF00\_4404)

## ポート G ファンクションレジスタ 1

	7	6	5	4	3	2	1	0
Bit Symbol	PG7F	PG6F	PG5F	PG4F	PG3F	PG2F	PG1F	PG0F
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: PORT 1: KEY07	0: PORT 1: KEY06	0: PORT 1: KEY05	0: PORT 1: KEY04	0: PORT 1: KEY03	0: PORT 1: KEY02	0: PORT 1: KEY01	0: PORT 1: KEY00

PGFC1  
(0xFF00\_4408)

## ポート G プルアップ制御レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PEG7	PEG6	PEG5	PEG4	PEG3	PEG2	PEG1	PEG0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	プルアップ 0: オフ 1: Pull-Up							

PGPUP  
(0xFF00\_442C)

## ポート G 入力インエーブル制御レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PIEG7	PIEG6	PIEG5	PIEG4	PIEG3	PIEG2	PIEG1	PIEG0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0: 禁止 1: 許可							

PGIE  
(0xFF00\_4438)

### 7.18 ポートH (PH0~PH7)

ポートHはビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PHCR とファンクションレジスタ PHFC1、PHFC2 によって行います。リセット動作により出力ラッチ PH の全ビットは“1”にセットされ、PHCR の全ビットは“0”にクリアされ、ポートHは入力モードになります。

リセット直後は入力ディセーブルになっていますので、入力イネーブルにするには PHIE の該当ビットを“1”に設定してください。

入出力ポート機能以外に外部割込み入力機能、16ビットタイマの入力機能があります。

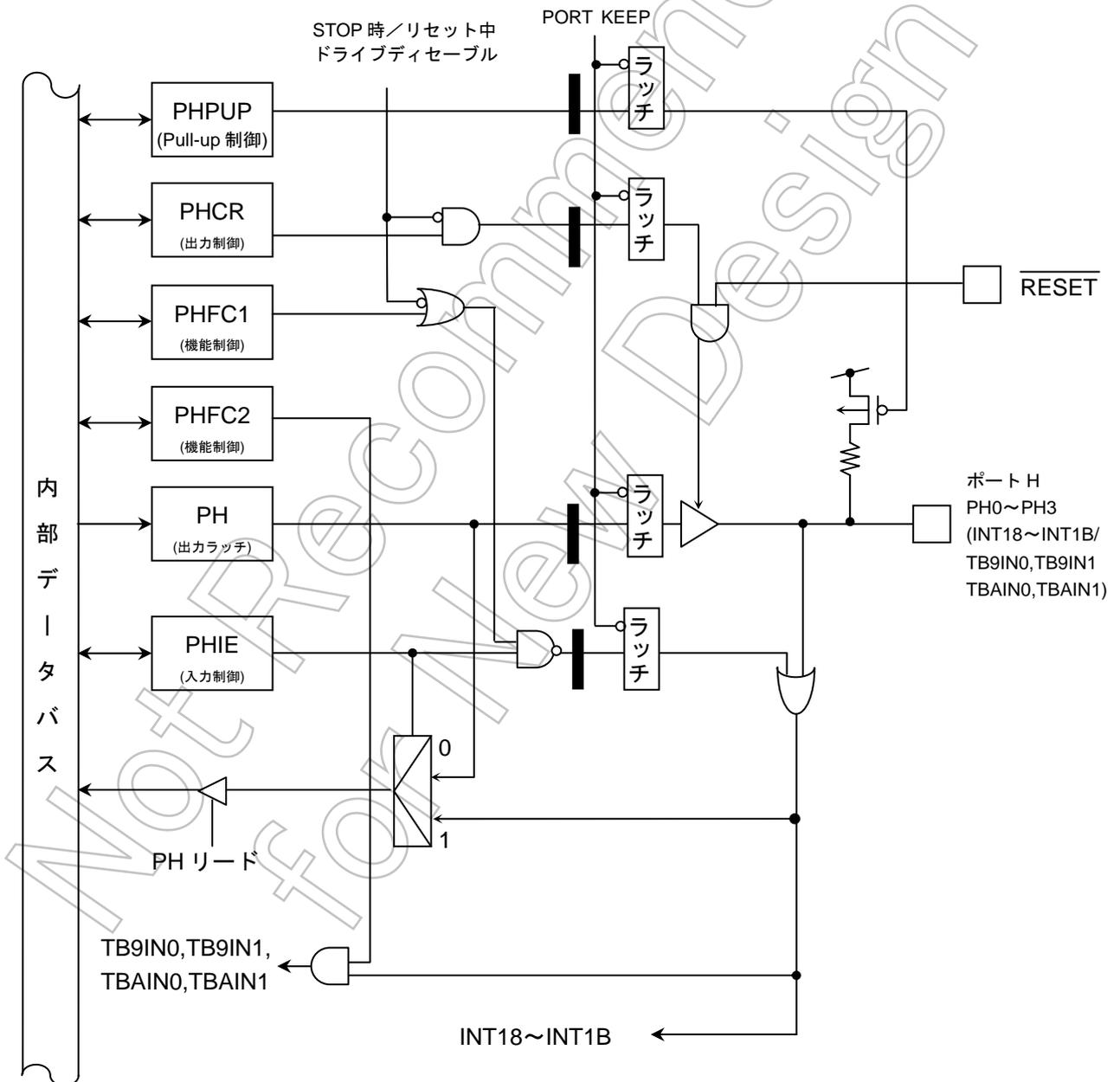


図 7-50 ポート H (PH0~PH3)

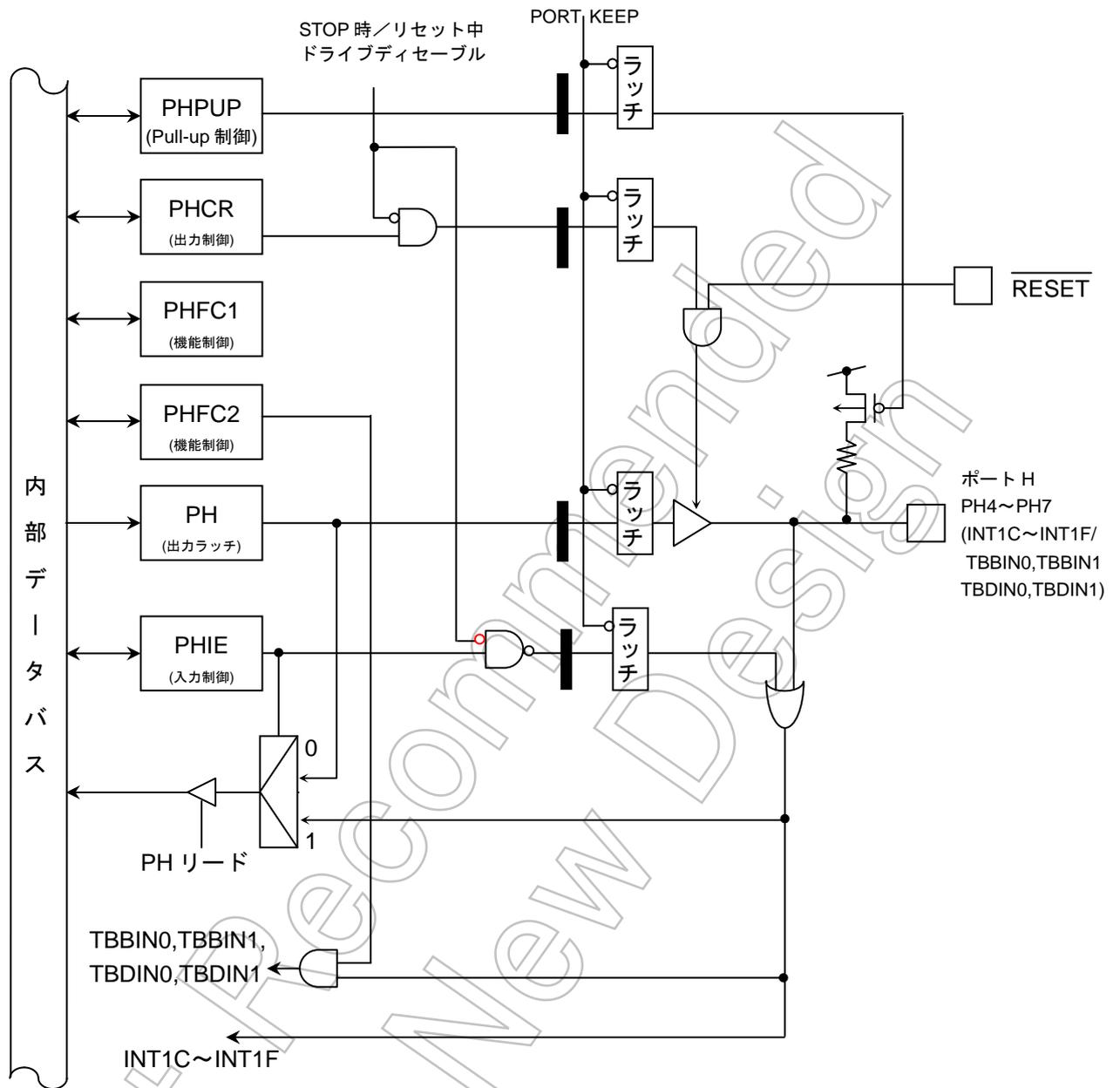


図 7-51 ポート H (PH4~PH7)

## ポートHレジスタ

	7	6	5	4	3	2	1	0
PH (0xFF00_4440)	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
Read/Write	R/W							
リセット後	入力モード (出カラッチレジスタは“1” にセット)							

## ポートHコントロールレジスタ

	7	6	5	4	3	2	1	0
PHCR (0xFF00_4444)	PH7C	PH6C	PH5C	PH4C	PH3C	PH2C	PH1C	PH0C
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: 入力 1: 出力							

## ポートHファンクションレジスタ1

	7	6	5	4	3	2	1	0
PHFC1 (0xFF00_4448)	PH7F	PH6F	PH5F	PH4F	PH3F	PH2F	PH1F	PH0F
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: PORT 1: INT1F	0: PORT 1: INT1E	0: PORT 1: INT1D	0: PORT 1: INT1C	0: PORT 1: INT1B	0: PORT 1: INT1A	0: PORT 1: INT19	0: PORT 1: INT18

## ポートHファンクションレジスタ2

	7	6	5	4	3	2	1	0
PHFC2 (0xFF00_444C)	PH7F2	PH6F2	PH5F2	PH4F2	PH3F2	PH2F2	PH1F2	PH0F2
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: PORT 1: TBDIN1	0: PORT 1: TBDIN0	0: PORT 1: TBBIN1	0: PORT 1: TBBIN0	0: PORT 1: TBAIN1	0: PORT 1: TBAIN0	0: PORT 1: TB9IN1	0: PORT 1: TB9IN0

## ポートH プルアップ制御レジスタ

	7	6	5	4	3	2	1	0
PHPUP (0xFF00_446C)	PEH7	PEH6	PEH5	PEH4	PEH3	PEH2	PEH1	PEH0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	プルアップ 0: オフ 1: Pull-Up							

## ポートH 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0
PHIE (0xFF00_4478)	PIEH7	PIEH6	PIEH5	PIEH4	PIEH3	PIEH2	PIEH1	PIEH0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	入力 0: 禁止 1: 許可							

### 7.19 ポート I (PI0~PI7)

ポート I はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PICR とファンクションレジスタ PIFC1 によって行います。リセット動作により出力ラッチ PI の全ビットは “1” にセットされ、PICR の全ビットは “0” にクリアされ、ポート I は入力モードになります。

リセット直後は入力ディセーブルになっていますので、入力イネーブルにするには PIIE の該当ビットを “1” に設定してください。

入出力ポート機能以外に PI0~PI3 には 2 相パルス入力機能、PI4, PI7 には A/D コンバータの A/D トリガ入力機能、PI5, PI6 には 16 ビットタイマの出力機能があります。

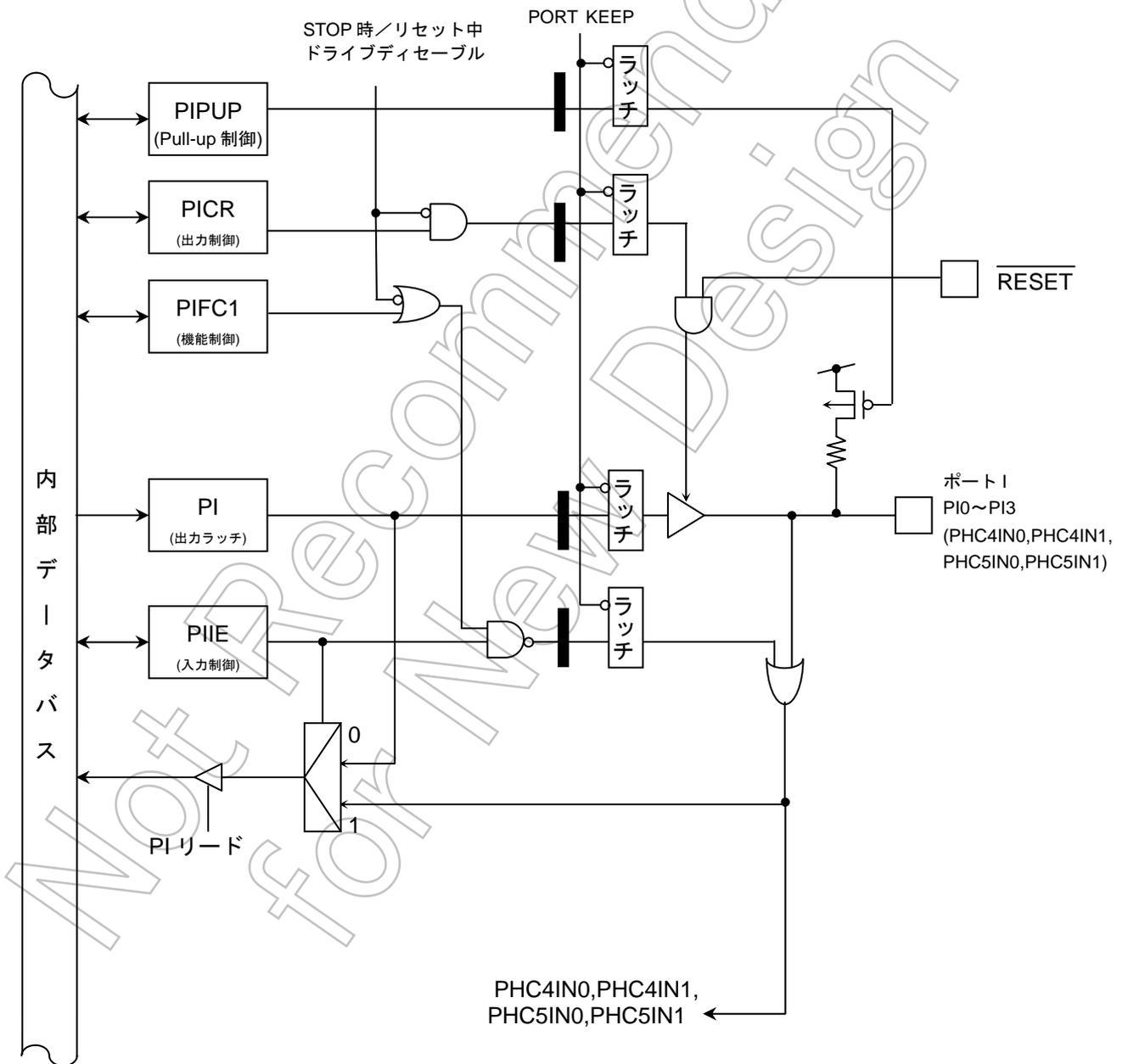


図 7-52 ポート I (PI0~PI3)

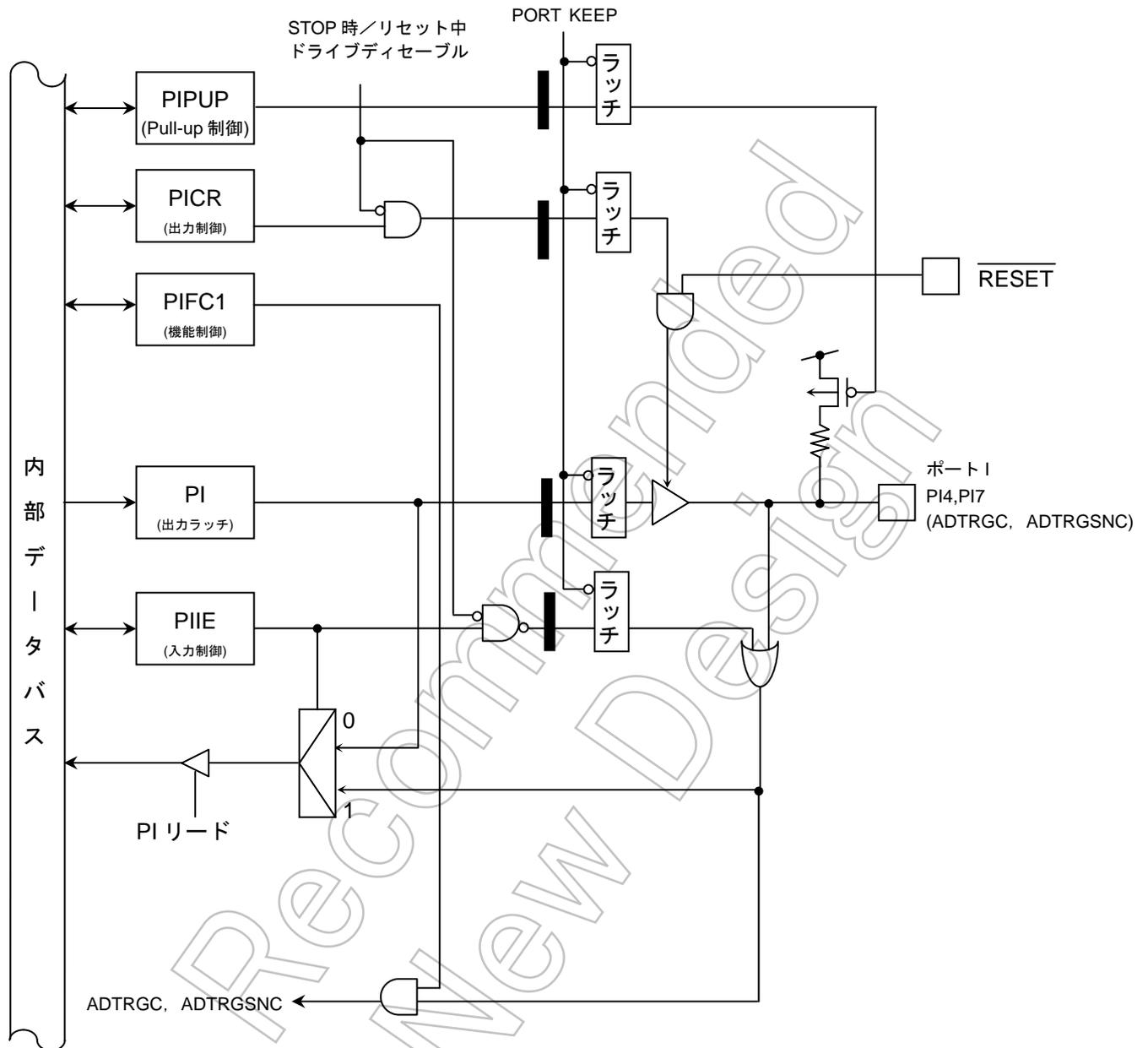


図 7-53 ポート I (PI4, PI7)

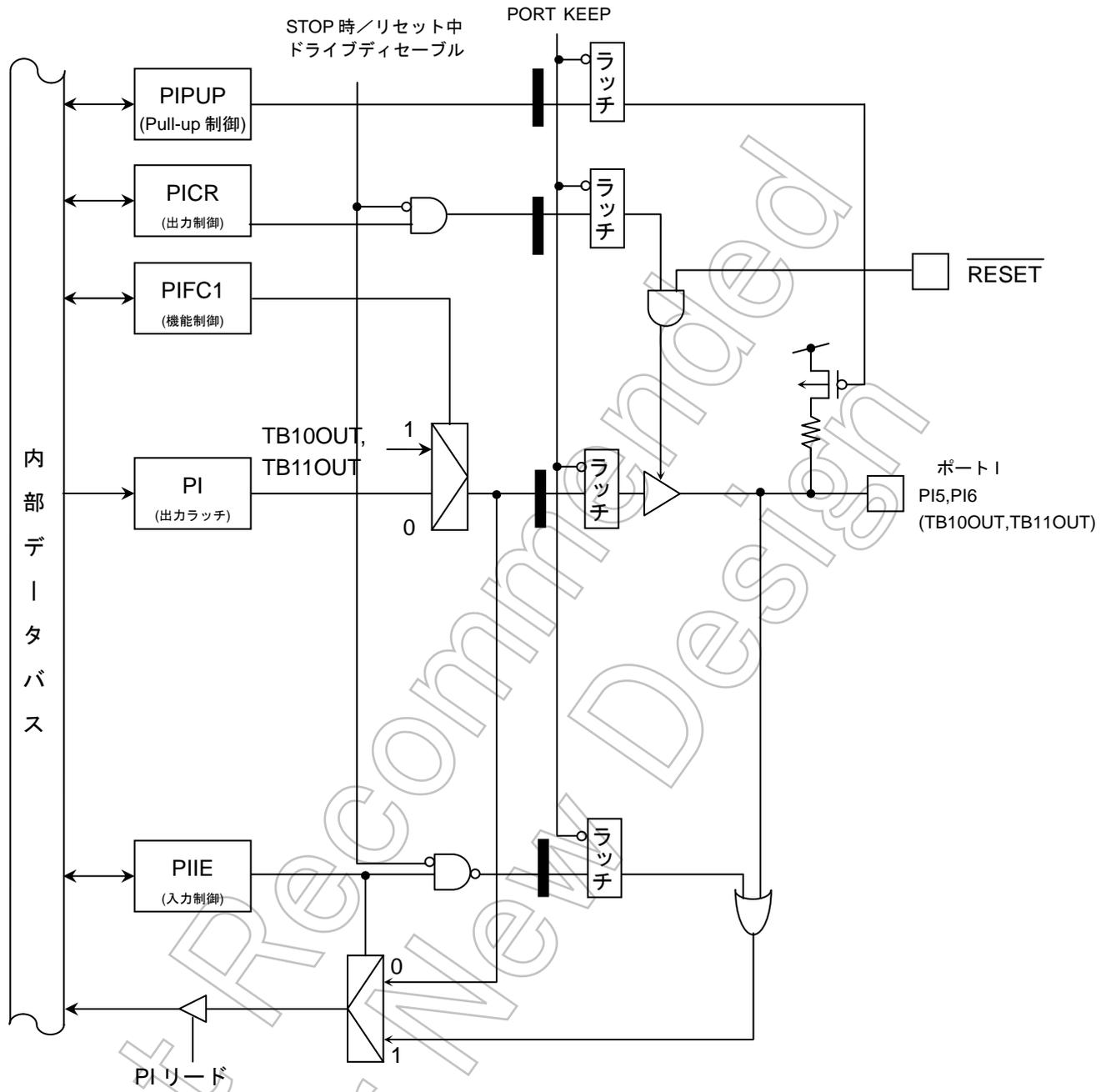


図 7-54 ポート I (PI5, PI6)

ポート I レジスタ

	7	6	5	4	3	2	1	0	
PI (0xFF00_4480)	Bit Symbol	PI7	PI6	PI5	PI4	PI3	PI2	PI1	PI0
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“1”にセット)							

ポート I コントロールレジスタ

	7	6	5	4	3	2	1	0	
PICR (0xFF00_4484)	Bit Symbol	PI7C	PI6C	PI5C	PI4C	PI3C	PI2C	PI1C	PI0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

ポート I ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
PIFC1 (0xFF00_4488)	Bit Symbol	PI7F	PI6F	PI5F	PI4F	PI3F	PI2F	PI1F	PI0F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: ADTRGNC	0: PORT 1: TB11OUT	0: PORT 1: TB10OUT	0: PORT 1: ADTRGC	0: PORT 1: PHC51N1	0: PORT 1: PHC51N0	0: PORT 1: PHC41N1	0: PORT 1: PHC41N0

ポート I プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
PIPUP (0xFF00_44AC)	Bit Symbol	PE17	PE16	PE15	PE14	PE13	PE12	PE11	PE10
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0: オフ 1: Pull-Up							

ポート I 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
PIIE (0xFF00_44B8)	Bit Symbol	PIE17	PIE16	PIE15	PIE14	PIE13	PIE12	PIE11	PIE10
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0: 禁止 1: 許可							

### 7.20 ポートJ(PJ0~PJ7)

ポートJはビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PJCR とファンクションレジスタ PJFC1 によって行います。リセット動作により出力ラッチ PJ の全ビットは“1”にセットされ、PJCR の全ビットは“0”にクリアされ、ポートJは入力モードになります。リセット直後は入力ディセーブルになっていますので、入力ネーブルにするにはPJIE の該当ビットを“1”に設定してください。

入出力ポート機能以外に PJ0, PJ1 端子に 16 ビットタイマの入力機能、PJ2~PJ7 端子には外部割込み入力機能があります。

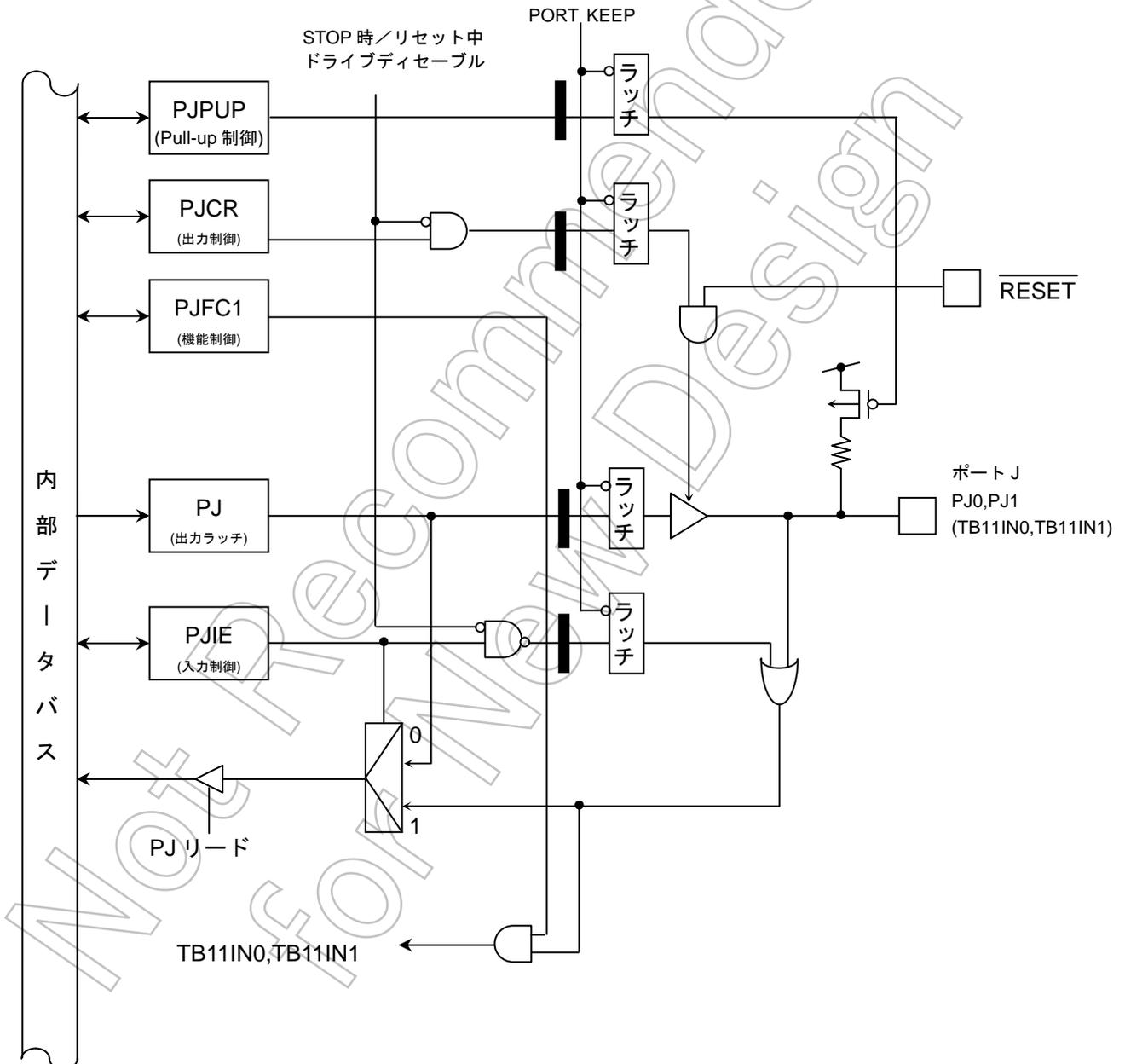


図 7-55 ポート J (PJ0, PJ1)



## ポート J レジスタ

	7	6	5	4	3	2	1	0	
PJ (0xFF00_44C0)	Bit Symbol	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“1”にセット)							

## ポート J コントロールレジスタ

	7	6	5	4	3	2	1	0	
PJCR (0xFF00_44C4)	Bit Symbol	PJ7C	PJ6C	PJ5C	PJ4C	PJ3C	PJ2C	PJ1C	PJ0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

## ポート J ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
PJFC1 (0xFF00_44C8)	Bit Symbol	PJ7F	PJ6F	PJ5F	PJ4F	PJ3F	PJ2F	PJ1F	PJ0F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: INT7	0: PORT 1: INT6	0: PORT 1: INT17	0: PORT 1: INT16	0: PORT 1: INT15	0: PORT 1: INT14	0: PORT 1: TB11IN1	0: PORT 1: TB11INO

## ポート J プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
PJPUP (0xFF00_44EC)	Bit Symbol	PEJ7	PEJ6	PEJ5	PEJ4	PEJ3	PEJ2	PEJ1	PEJ0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0: オフ 1: Pull-Up							

## ポート J 入力イネーブル制御レジスタ

	7	6	5	4	3	2	1	0	
PJIE (0xFF00_44F8)	Bit Symbol	PIEJ7	PIEJ6	PIEJ5	PIEJ4	PIEJ3	PIEJ2	PIEJ1	PIEJ0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0: 禁止 1: 許可							

## 8. 外部バスインタフェース

TMP19A44 は、外部にメモリや I/Oなどを接続するための外部バスインタフェース機能を内蔵しています。外部バスインタフェース回路 (EBIF) と CS (チップセレクト)/ウェイトコントローラがこれに相当します。

CS/ウェイトコントローラは、任意の 4 ブロックアドレス空間のマッピングアドレス指定と、この 4 ブロックアドレス空間およびそれ以外の外部アドレス空間に対して、ウェイトおよびデータバス幅 (8 ビットか 16 ビット) を制御します。

外部バスインタフェース回路 (EBIF) は、CS/ウェイトコントローラの設定にもとづき外部バスのタイミングを制御します。ダイナミックバスサイジングや外部バスマスタとの間のバス裁停も EBIF が制御します。

### ●外部バスモード

アドレス、データセパレートバスモードまたはマルチプレクスモードの選択が可能

### ●ウェイト機能

各ブロックにて設定可能

- 最大 15 クロックまでのウェイトを自動挿入可能
- WAIT/RDY 端子によるウェイト挿入可能

### ●データバス幅

各ブロックにて 8 ビットか 16 ビットを設定可能

### ●リカバリサイクル (リード時/ライト時)

外部バスサイクルが連続するとき最大 4 クロックまでのダミーサイクルを挿入可能

各ブロックにて設定可能

### ●リカバリサイクル (チップセレクト)

外部バスをセレクトしているときに最大 8 クロックのダミーサイクルを挿入可能

各ブロックにて設定可能

### ●バス裁定機能

## 8.1 アドレス、データ端子

### (1) アドレス、データ端子の設定

TMP19A44 はセパレートバスまたはマルチプレクスバスの設定が可能です。リセット時に BUSMD 端子（ポート P45）を “L” レベル（DVSS に接続）にすることでセパレートバスモードに、“H” レベル（DVCC3 に接続）にすることで、マルチプレクスバスモードになります。

外部デバイス（メモリ）接続のためにポート 0、ポート 1、ポート 2、ポート 5、ポート 6 端子がアドレスバス、データバス、アドレス・データバスになります。バスモードとアドレス、データ端子の関係を表 8-1 に示します。

表 8-1 バスモードとアドレス、データ端子の関係

ポート	セパレート BUSMD (P45) = “L”	マルチプレクス BUSMD (P45) = “H”
ポート 0 (P00~P07)	D0~D7	AD0~AD7
ポート 1 (P10~P17)	D8~D15	AD8~AD15/A8~A15
ポート 2 (P20~P27)	A16~A23	A0~A7/A16~A23
ポート 3 (P37)	汎用ポート	ALE
ポート 5 (P50~P57)	A0~A7	汎用ポート
ポート 6 (P60~P67)	A8~A15	汎用ポート

各ポートはリセット後入力ポートとなっております。外部デバイスにアクセスする場合は、ポートコントロールレジスタ (PnCR)、ポートファンクションレジスタ (PnFCm) によりアドレスバス、データバスの機能に設定し、インプットイネーブルレジスタ (PnIE) を設定してください。

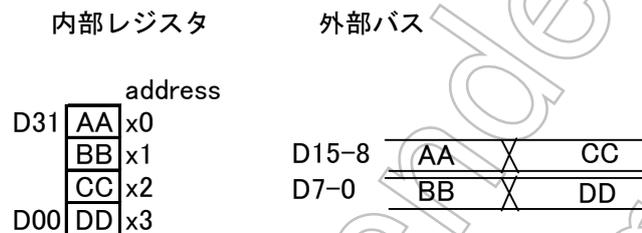
## 8.2 データ・フォーマット

TMP19A44 の内部レジスタと外部バスインタフェースとの関係を説明します。

### (1) ビッグエンディアンモード

#### ① ワードアクセス

- 16 ビットバス幅の時



- 8 ビットバス幅の時



#### ② ハーフワードアクセス

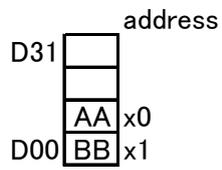
- 16 ビットバス幅の時



- 8ビットバス幅の時

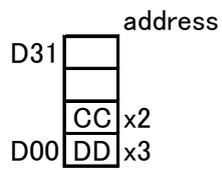
内部レジスタ

外部バス



内部レジスタ

外部バス

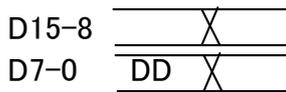
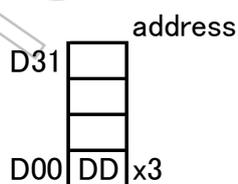
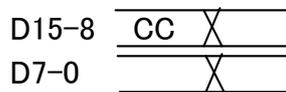
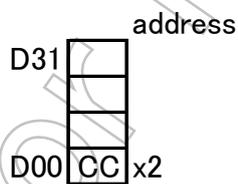
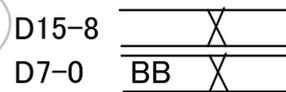
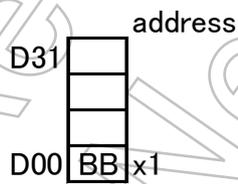
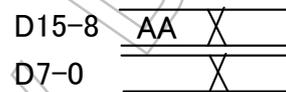
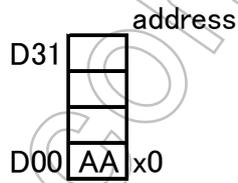


③ バイトアクセス

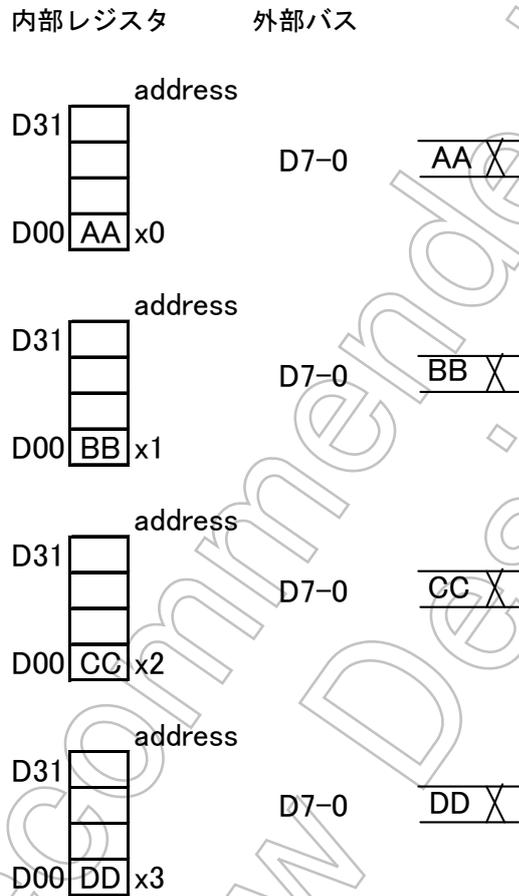
- 16ビットバス幅の時

内部レジスタ

外部バス



- 8ビットバス幅の時



Not Recommended for New Design

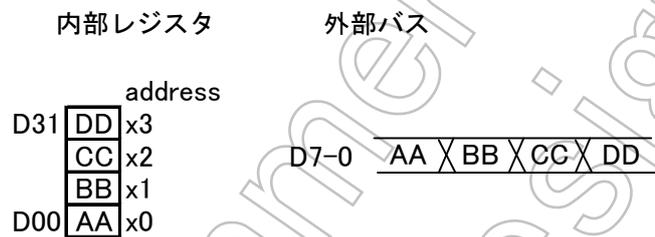
(2) リトルエンディアンモード

① ワードアクセス

- 16 ビットバス幅の時

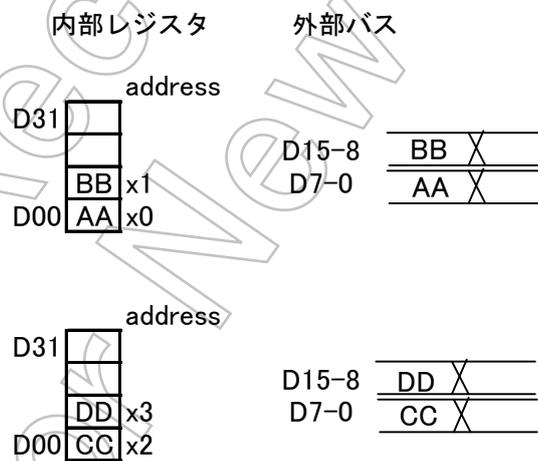


- 8 ビットバス幅の時



② ハーフワードアクセス

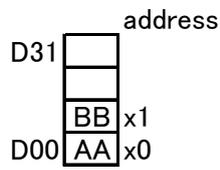
- 16 ビットバス幅の時



- 8ビットバス幅の時

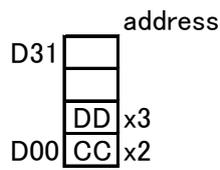
内部レジスタ

外部バス



内部レジスタ

外部バス

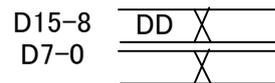
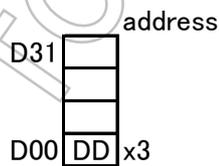
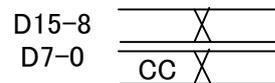
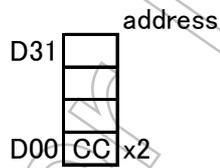
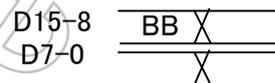
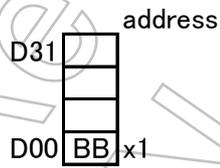
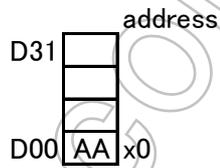


③ バイトアクセス

- 16ビットバス幅の時

内部レジスタ

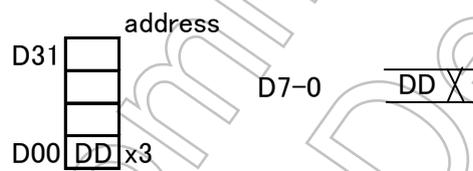
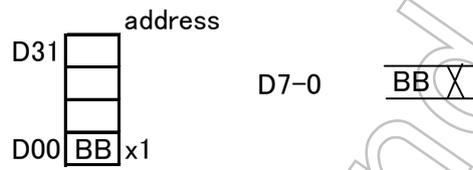
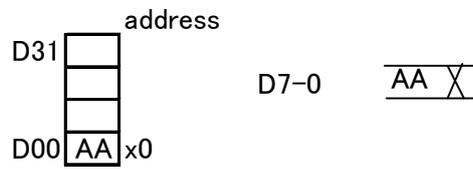
外部バス



- 8 ビットバス幅の時

内部レジスタ

外部バス



Not Recommended for New Design

### 8.3 外部バスオペレーション（セパレートバスモード）

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、データバスとして A23~A0, D15~D0 を設定したときのものを示しています。

#### (1) 基本バスオペレーション

TMP19A44 の外部バスサイクルは基本的に 3 クロックです。後述するようにウェイトを挿入することもできます。外部バスサイクルの基本クロックは内部のシステムクロックと同じです。

図 8-1 にリードバスタイミングを、図 8-2 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化しません。またデータバスはハイインピーダンスになり RD、WR などの制御信号もアクティブになりません。

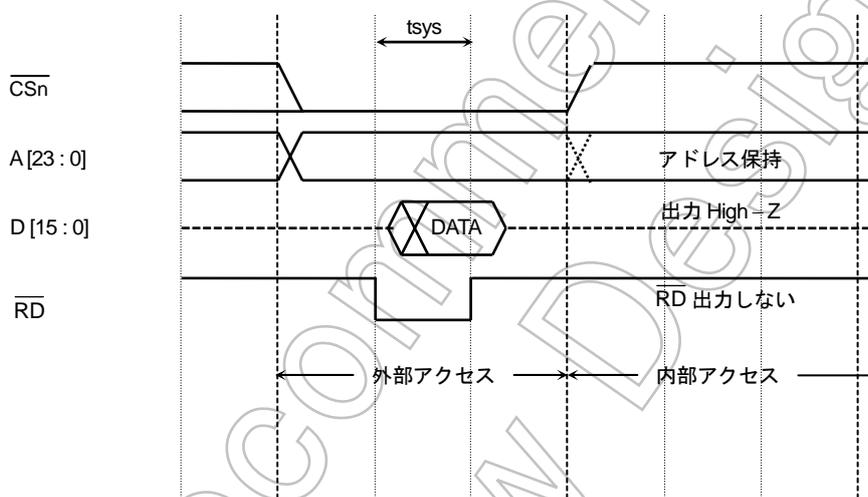


図 8-1 リードオペレーションタイミング図

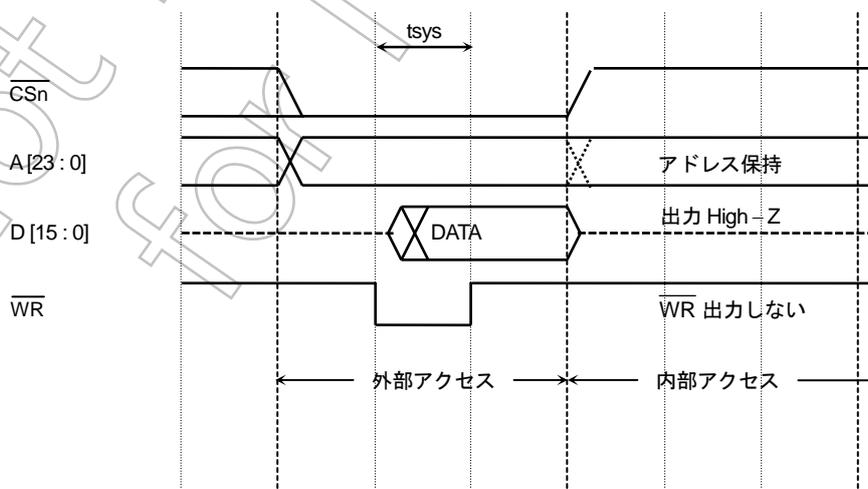


図 8-2 ライトオペレーションタイミング図

(2) ウェイトタイミング

CS/ウェイトコントローラによりブロックごとにウェイトサイクルを挿入することができます。挿入できるウェイトには次の3種類があります。

- ① 最大15クロックまでの自動ウェイト挿入
- ②  $\overline{\text{WAIT}}$  端子によるウェイト挿入  
 $2 + \alpha N, 3 + \alpha N, 4 + \alpha N \dots 13 + \alpha N, 14 + \alpha N, 15 + \alpha N$   
 ※  $\alpha N$ : 外部ウェイト挿入数 ( $\alpha = 2$  または  $4$ )
- ③  $\overline{\text{RDY}}$  端子によるウェイト挿入  
 $2 + \alpha N, 3 + \alpha N, 4 + \alpha N \dots 13 + \alpha N, 14 + \alpha N, 15 + \alpha N$   
 ※  $\alpha N$ : 外部ウェイト挿入数 ( $\alpha = 2$  または  $4$ )

自動ウェイト数、外部ウェイト入力の設定はCS/ウェイトコントロールレジスタ  $\text{BmnCS}\langle\text{BnW}\rangle$  と  $\text{BUSCR}\langle\text{WAITSM}\text{P}\rangle$  で設定します。

図 8-3~図 8-10にウェイトを挿入したタイミング図を示します。

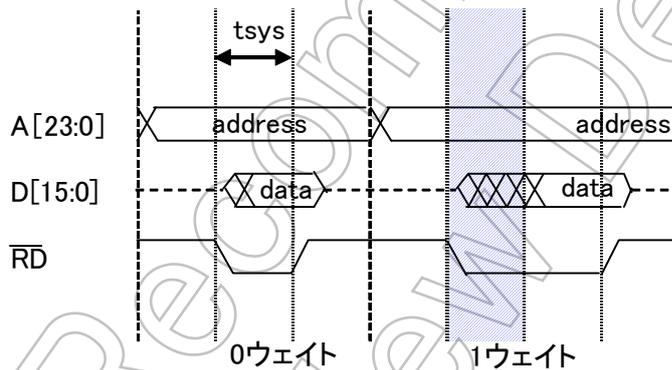


図 8-3 リードオペレーションタイミング図 (0 ウェイトおよび自動1 ウェイト)

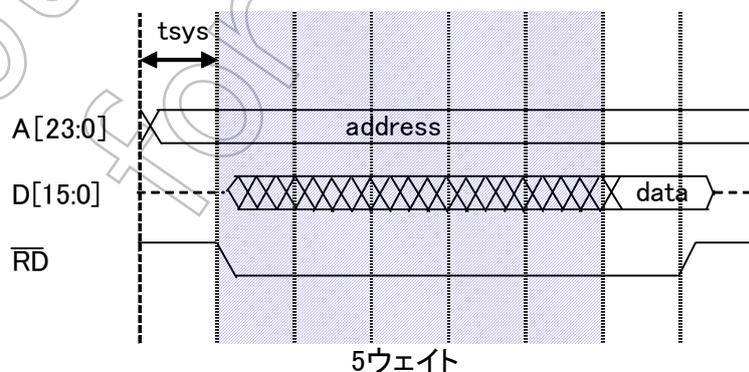


図 8-4 リードオペレーションタイミング図 (自動5 ウェイト)

図 8-5にセパレートバス時の0ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のリードタイミングを示します。

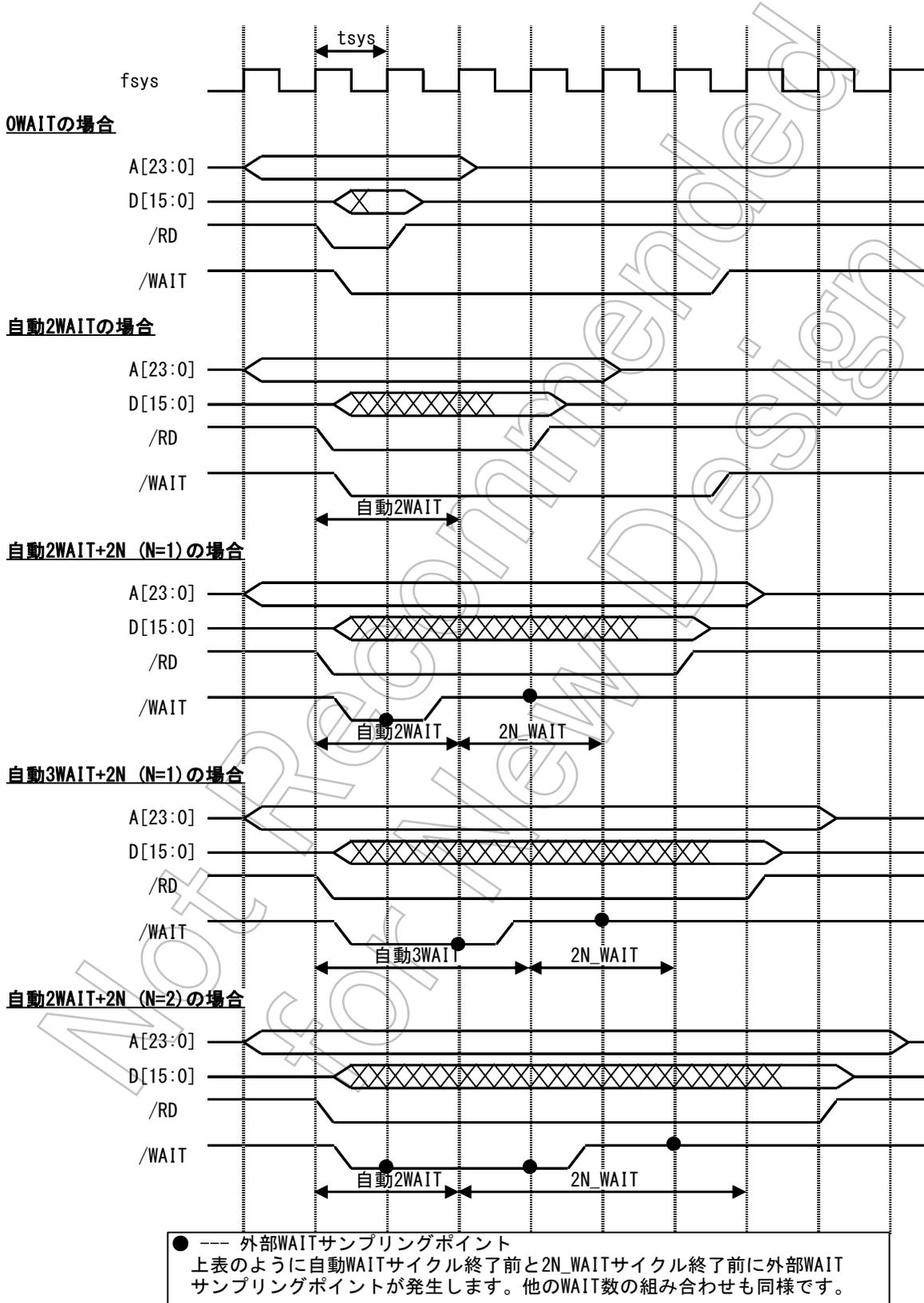


図 8-5 リードオペレーションタイミング図

図 8-6にセパレートバス時の0ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のライトタイミングを示します。

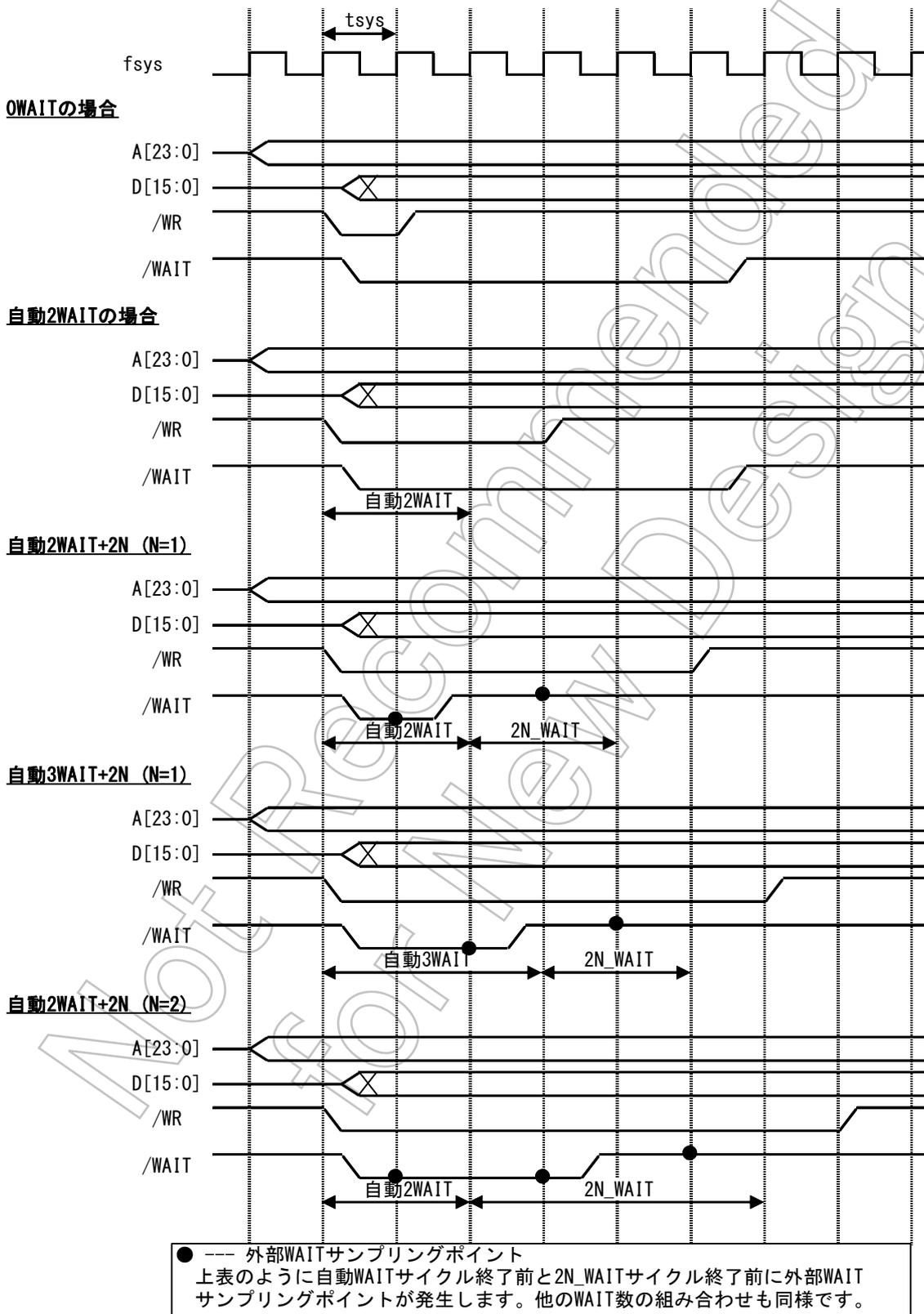


図 8-6 ライトオペレーションタイミング図

ポート3 ファンクションレジスタ P3FC のビット 3<P33F>を “1” にセットすることにより、 $\overline{\text{WAIT}}$  入力端子 (P33) は  $\overline{\text{RDY}}$  入力端子としても機能します。

$\overline{\text{RDY}}$  入力は  $\overline{\text{WAIT}}$  入力の論理的反転で外部バスインタフェース回路に入力されます。GS/ウェイトコントロールレジスタ BmnCS<BnW>でウェイト数の設定を行います。

図 8-7に $\overline{\text{RDY}}$ 入力とウェイト数の関係を示します。

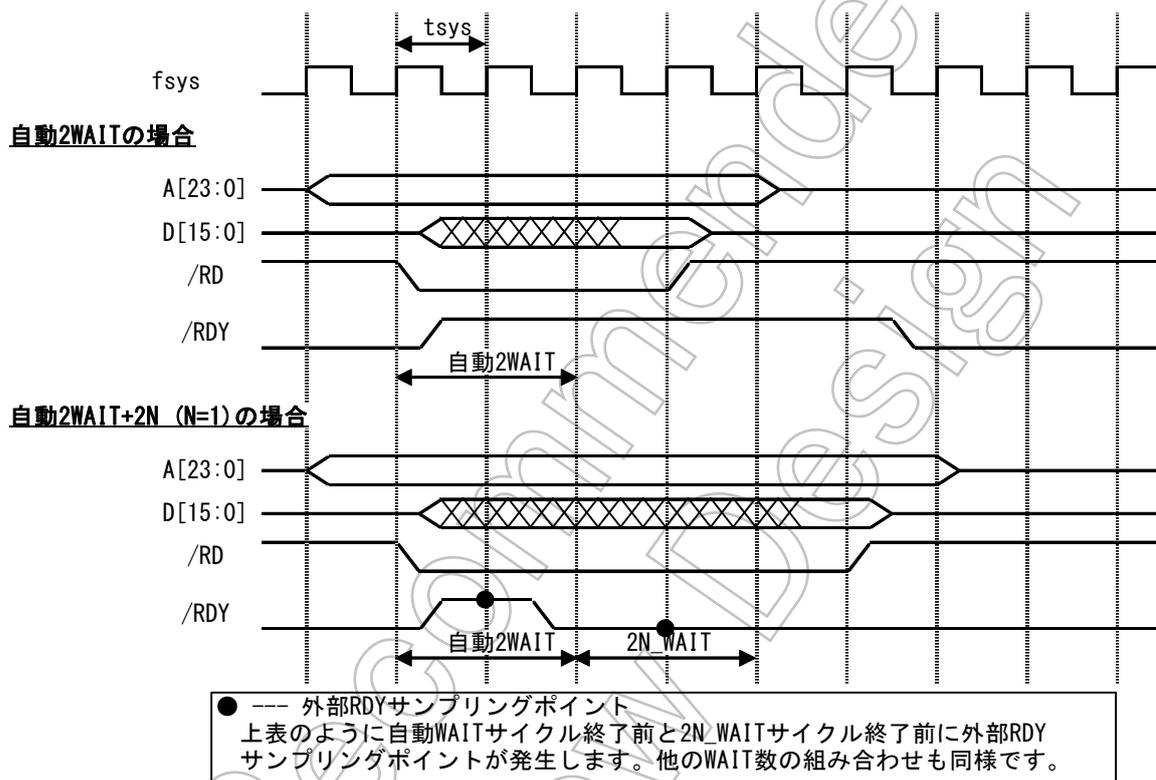


図 8-7 RDY 入力とウェイトオペレーションタイミング図

## (3) ALE アサート時間

TMP19A44 の外部バスをマルチプレクスバスとして使用する時に ALE 幅（アサート時間）を設定できます。CG 部のシステムコントロールレジスタ BUSCR<ALESEL1:0>にて設定します。セパレートバスモードの場合には ALE は出力されませんが、BUSCR<ALESEL1:0>の値によりアドレス成立から RD または WR 信号のアサートされるまでの時間が変わります。リセット時は<ALESEL1:0>= “1” にセットされ、アドレス成立から 2 システムクロック（内部）後に RD または WR 信号がアサートされます。<ALESEL1:0>を “0” にクリアすると、アドレス成立から 1 システムクロック（内部）後に前述信号はアサートされます。この設定は外部エリアのブロック毎には設定できず、外部アドレス空間で共通です。

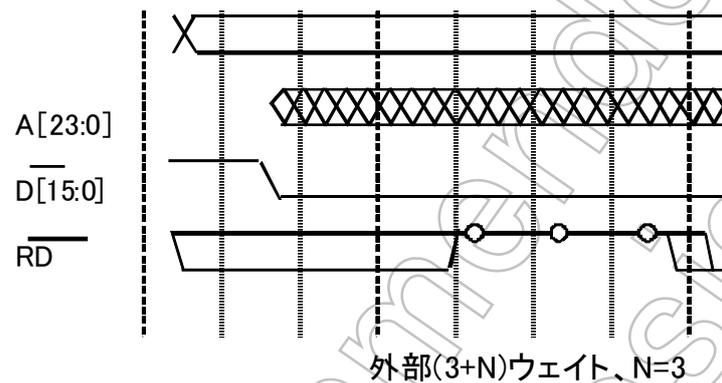


図 8-8 セパレートバスにおける ALE アサートタイミング

## (4) リカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入についてはCS/WAITコントロールレジスタBmnCS<BnWCV>（ライト・リカバリサイクル）、<BnRCV>（リード・リカバリサイクル）にて設定します。ダミーサイクル数はブロックごとにダミーサイクル無し、1、2、4 システムクロック（内部）を指定できます。図 8-9にリカバリタイム挿入時のタイミング図を示します。

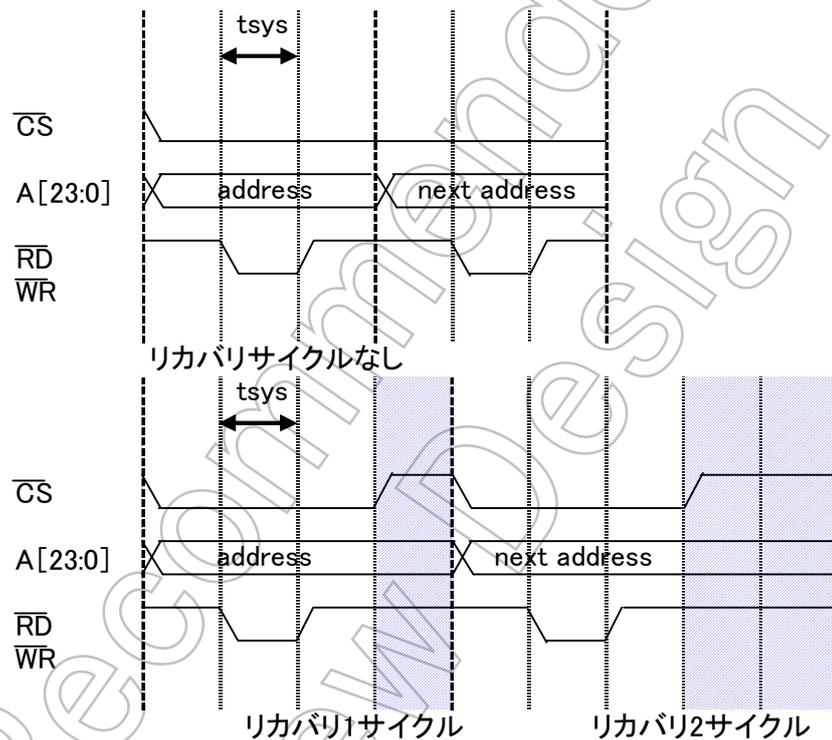


図 8-9 セパレートバスにおけるリカバリタイム挿入時のタイミング

## (5) チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入についてはCS/WAITコントロールレジスタBmnCS<BnCS<CV>にて設定します。ダミーサイクル数はブロックごとに、ダミーサイクル無し、1、2、3、4、6、8システムクロック（内部）を指定することができます。図 8-10にリカバリタイム挿入時のタイミング図を示します。

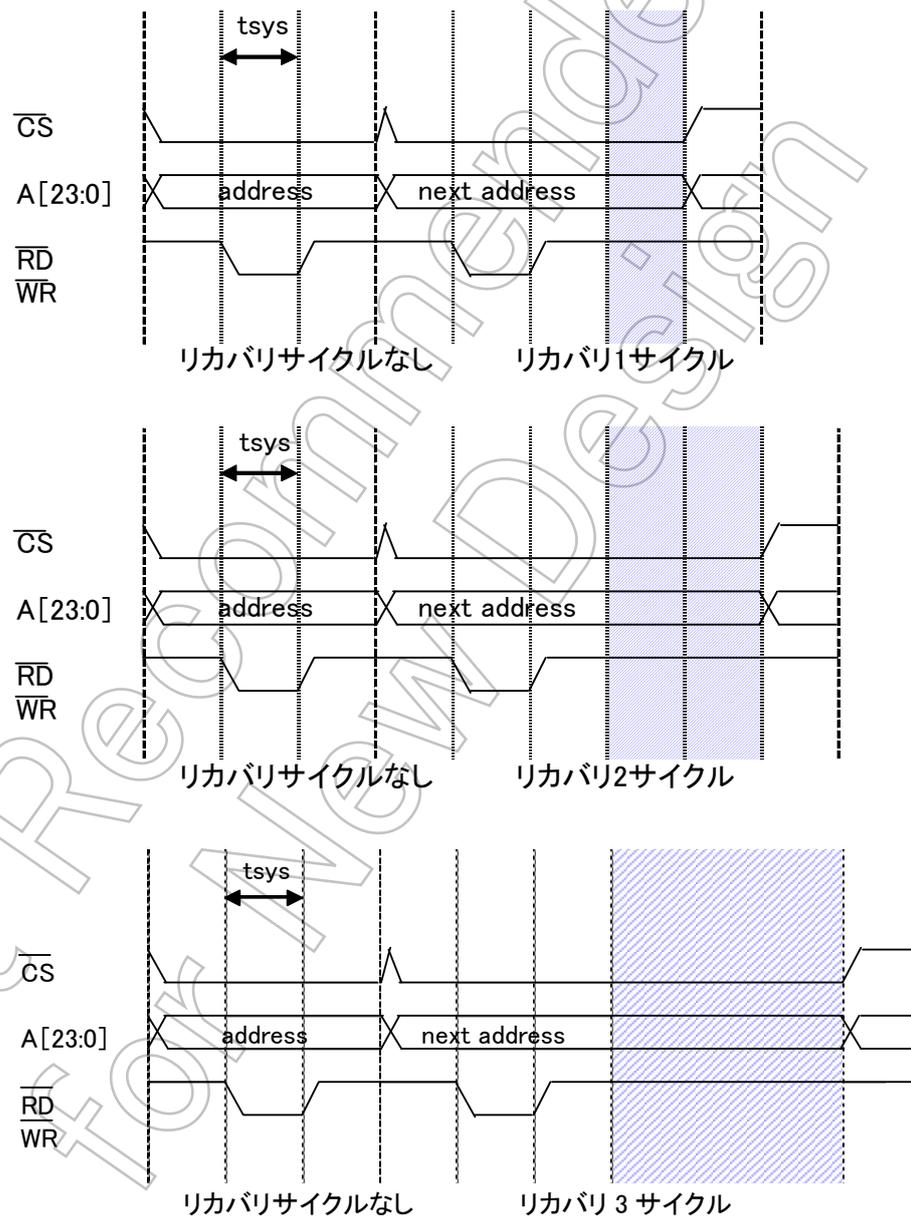


図 8-10チップセレクトリカバリタイム挿入時のタイミング

### 8.4 外部バスオペレーション（マルチプレクスバスモード）

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、アドレス/データバスとして A23~A16, AD15~AD0 を設定したときのものを示しています。

#### (1) 基本バスオペレーション

TMP19A44 の外部バスサイクルは基本的に 3 クロックです。後述するようにウェイトを挿入することもできます。外部バスサイクルの基本クロックは内部のシステムクロックと同じです。

図 8-11 にリードバスタイミングを、図 8-12 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化せず、ALE もラッチパルスを出しません。またアドレス/データバスはハイインピーダンスになり RD、WR などの制御信号もアクティブになりません。

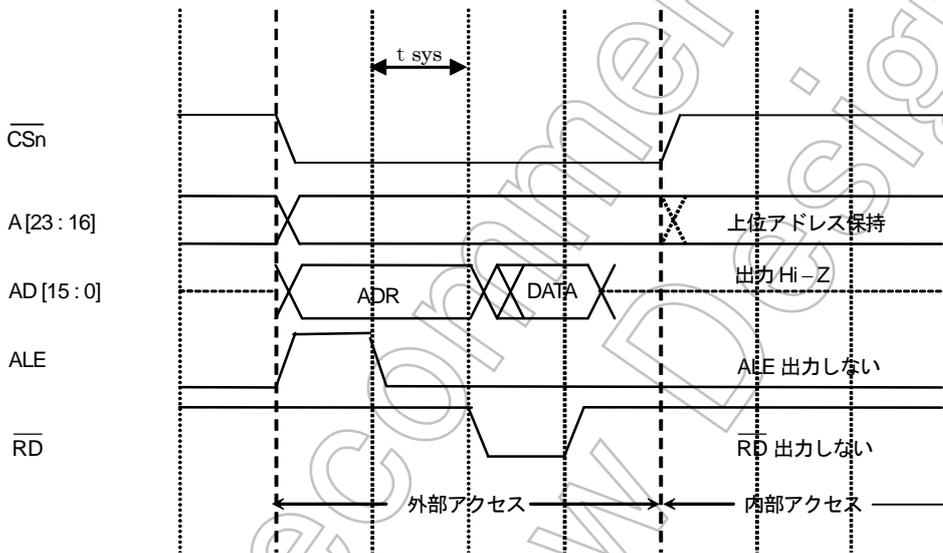


図 8-11 リードオペレーションタイミング図

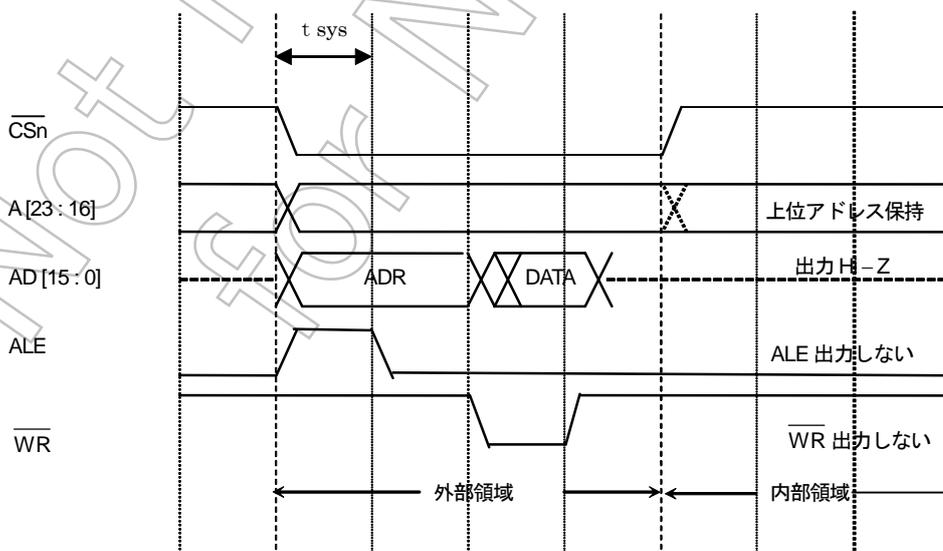


図 8-12 ライトオペレーションタイミング図

## (2) ウェイトタイミング

CS/ウェイトコントローラによりブロックごとにウェイトサイクルを挿入することができます。挿入できるウェイトには次の3種類があります。

## ①最大 15 クロックまでの自動ウェイト挿入

②  $\overline{\text{WAIT}}$  端子によるウェイト挿入

$2 + \alpha N$ 、 $3 + \alpha N$ 、 $4 + \alpha N$  …… $13 + \alpha N$ 、 $14 + \alpha N$ 、 $15 + \alpha N$

※  $\alpha N$  : 外部ウェイト挿入数 ( $\alpha = 2$  または  $4$ )

③  $\overline{\text{RDY}}$  端子によるウェイト挿入

$2 + \alpha N$ 、 $3 + \alpha N$ 、 $4 + \alpha N$  …… $13 + \alpha N$ 、 $14 + \alpha N$ 、 $15 + \alpha N$

※  $\alpha N$  : 外部ウェイト挿入数 ( $\alpha = 2$  または  $4$ )

自動ウェイト数、外部ウェイト入力の設定は CS/ウェイトコントロールレジスタ  $\text{BmnCS}\langle\text{BnW}\rangle$  と  $\text{BUSCR}\langle\text{WAITSM}\rangle$  で設定します。

Not Recommended for New Design

図 8-13にマルチプレクスバス時の0ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のリードタイミングを示します。

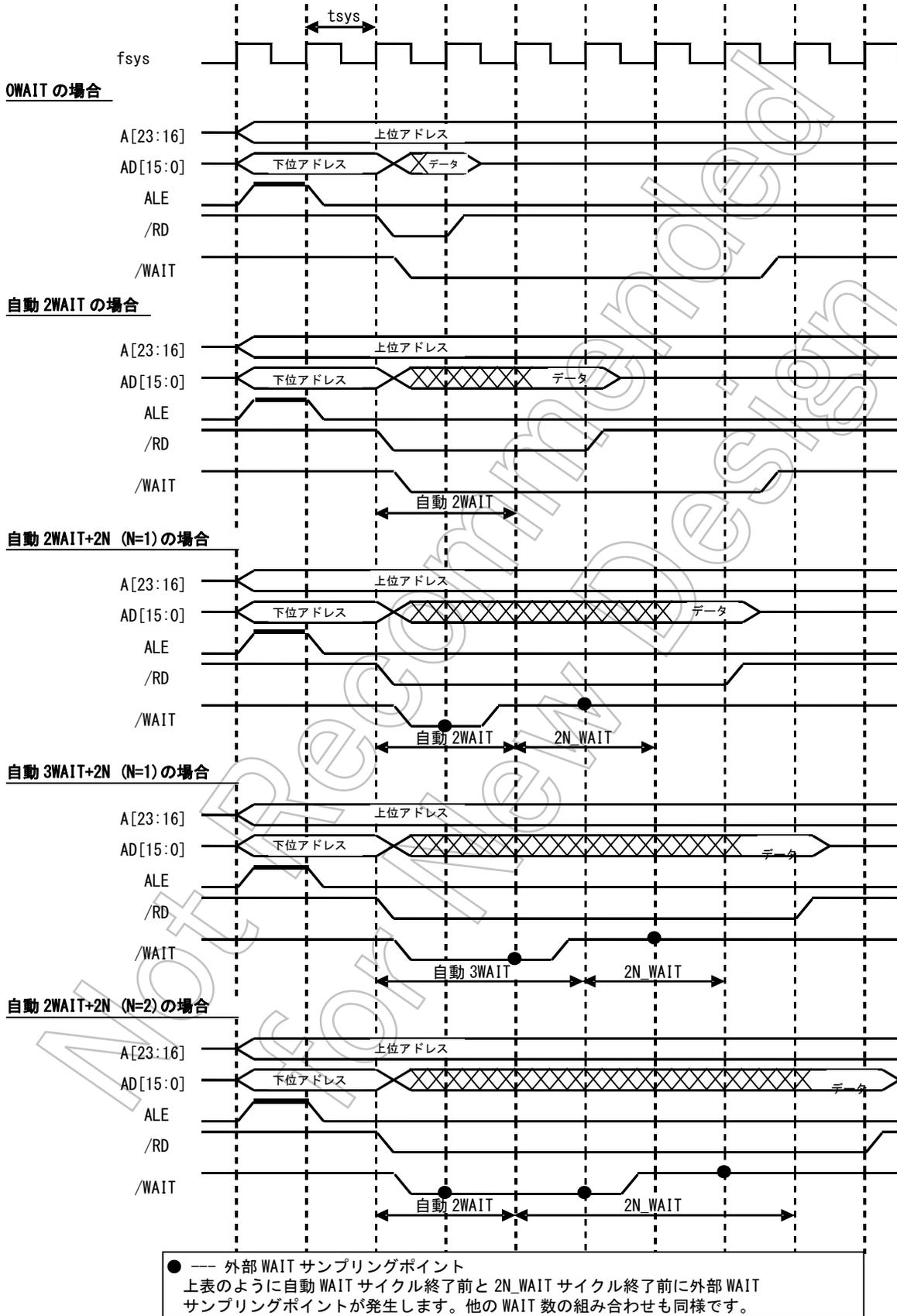


図 8-13 リードオペレーションタイミング図

図 8-14にマルチプレクスバス時の0ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のライトタイミングを示します。

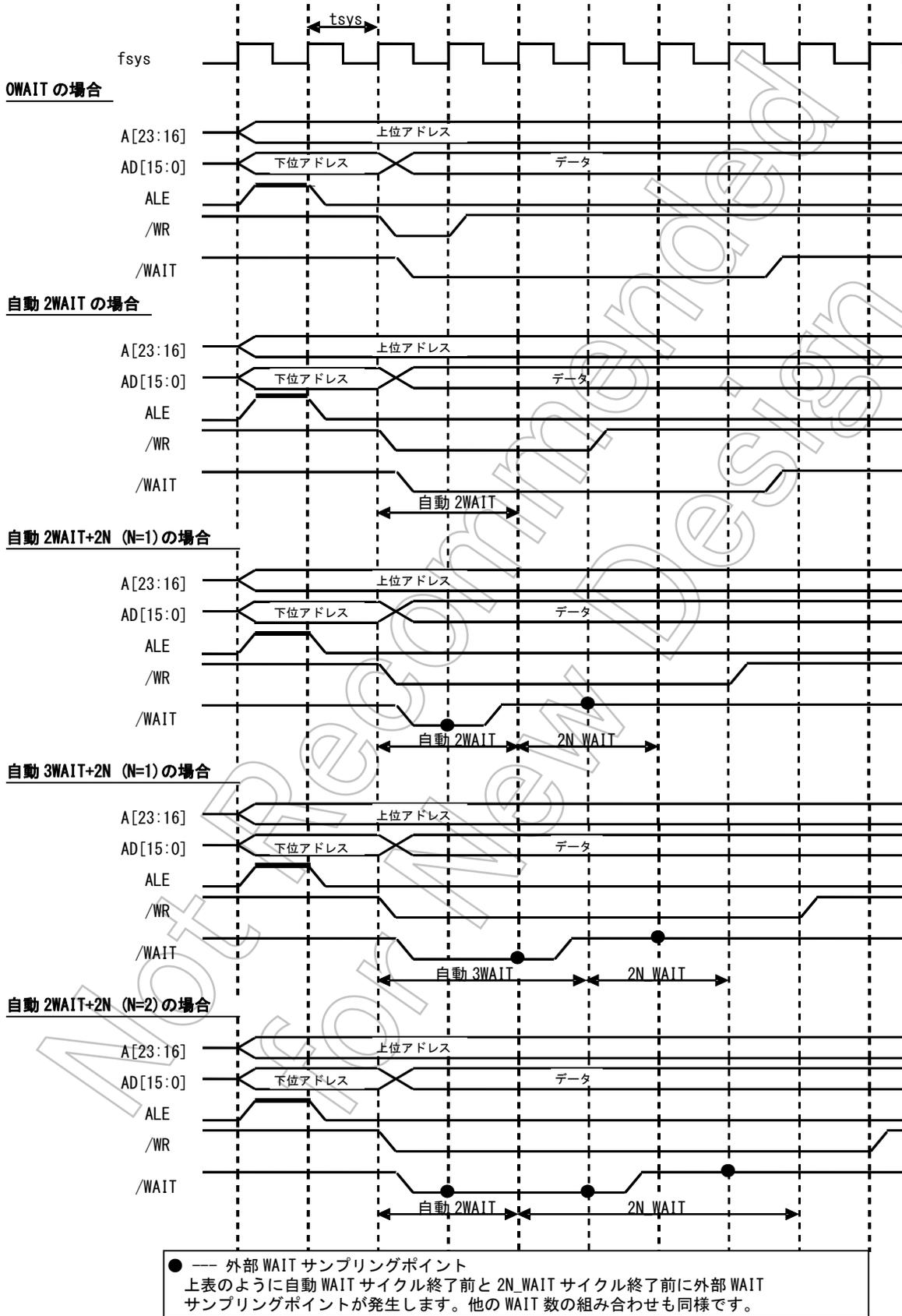


図 8-14 ライトオペレーションタイミング図

(3) ALE アサート時間

ALE アサート時間は、1~4 システムクロックの中から選択できます。設定用のビットはシステムクロック制御レジスタにあります。デフォルトは 2 クロックです。この設定は外部エリアのブロックごとには設定できず、外部アドレス空間で共通です。

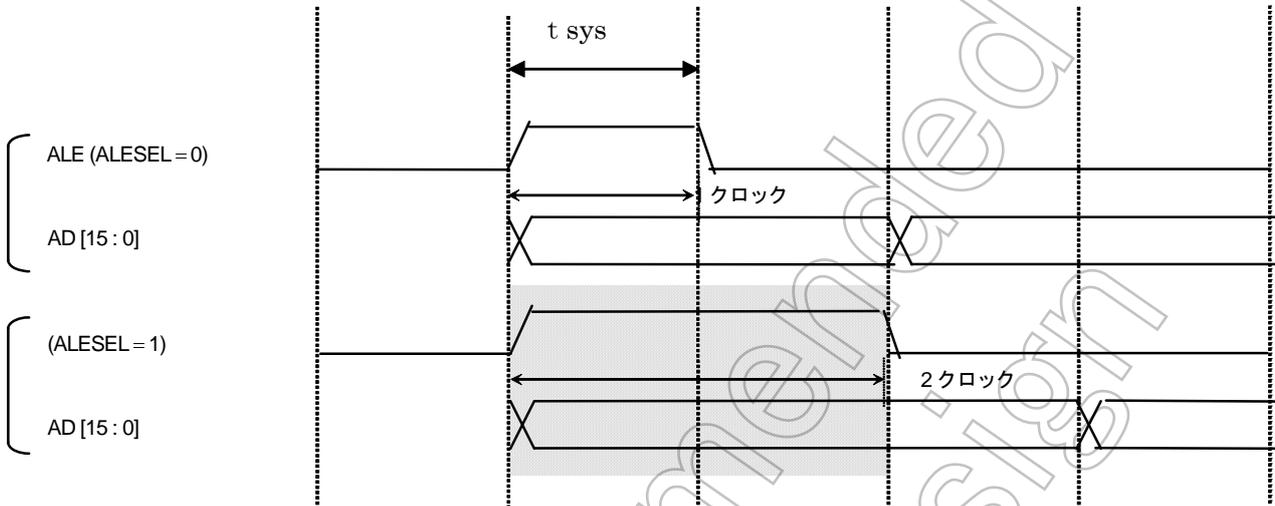


図 8-15 ALE のアサート時間

図 8-16 に ALE が 1 クロックのときと 2 クロックのときのタイミングを示します。

ALE 1クロック、2クロックの場合

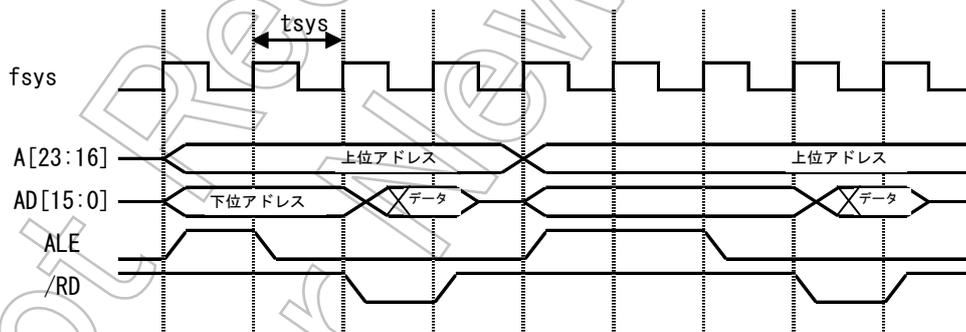


図 8-16 リードオペレーションタイミング図 (ALE 1クロックおよび2クロック)

## (4) リード、ライトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入についてはCS/ウェイトコントロールレジスタBmnCS<BnWCV> (ライト・リカバリサイクル)、<BnRCV> (リード・リカバリサイクル) にて設定します。ダミーサイクル数はブロックごとに、ダミーサイクル無し、1、2、4 システムクロック (内部) または 2 システムクロック (内部) を指定することができます。図 8-17 にリカバリタイム挿入時のタイミング図を示します。

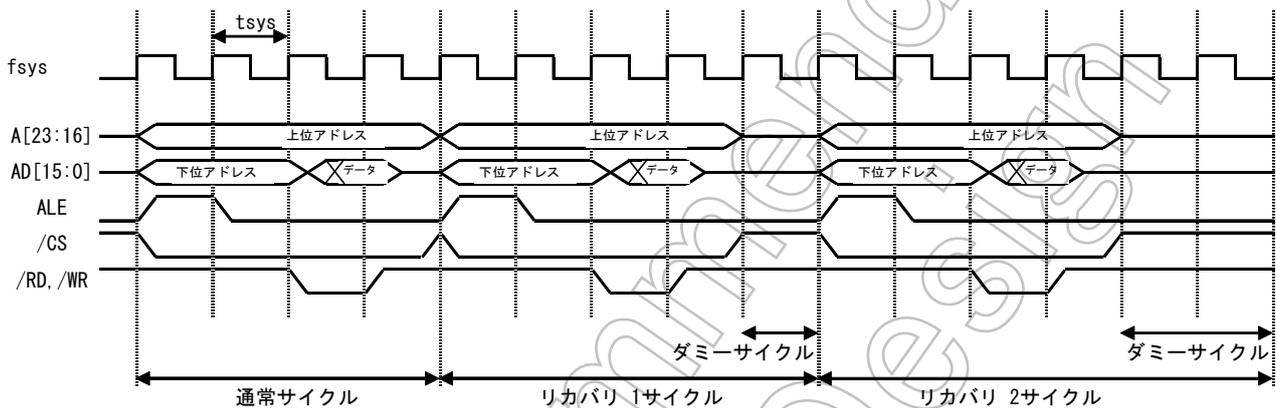
リード/ライトリカバリ挿入時 (ALE幅:1f<sub>sys</sub>) の場合

図 8-17 リカバリタイム挿入時のタイミング

## (5) チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入についてはCS/ウェイトコントロールレジスタ  $BmnCS\langle BnCS\langle CV \rangle$  にて設定します。ダミーサイクル数はブロックごとに1システムクロック（内部）を指定することができます。図 8-18 にリカバリタイム挿入時のタイミング図を示します。

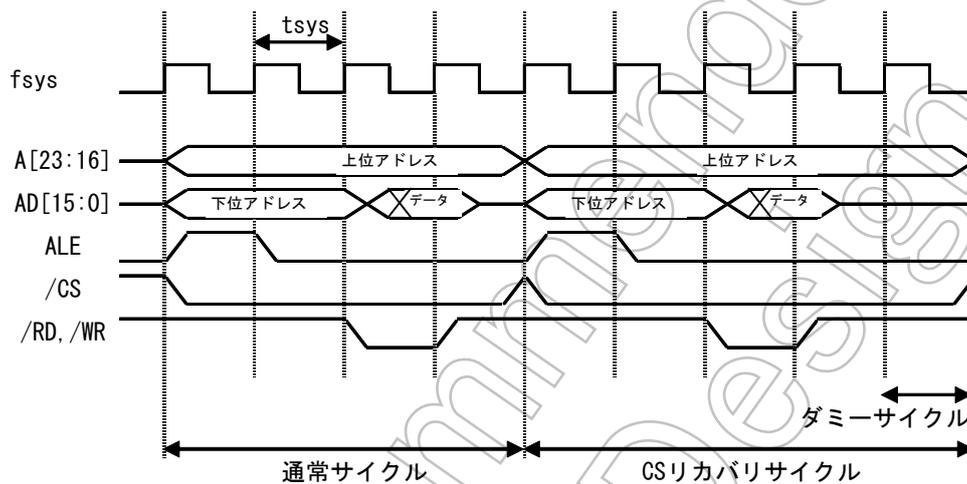
**CSリカバリ挿入時 (ALE幅:1fsys) の場合**

図 8-18 リカバリタイム挿入時のタイミング

## 8.5 バスアービトレーション

TMP19A44 は、外部にバスマスタを接続することができます。外部バスマスタとのバス制御権のアービトレーションは  $\overline{\text{BUSRQ}}$ 、 $\overline{\text{BUSAK}}$  の 2 本の信号で行います。外部バスマスタが制御権を獲得できるバスは TMP19A44 の外部バスだけで、内部のバスは獲得できません。

### (1) 外部バスマスタのアクセス範囲

外部バスマスタが制御権を獲得できるバスは TMP19A44 の外部バスだけで、内部のバス (G-BUS) は獲得できません。したがって外部バスマスタは、内蔵メモリおよび内蔵 I/O にアクセスすることはできません。この外部バスのバス権の調停は外部バスインタフェース回路 (EBIF) が行い、CPU や内蔵 DMAC は感知しません。外部バスマスタが外部のバス権を獲得しているときにも、CPU や内蔵 DMAC は内蔵の ROM、RAM やレジスタにはアクセスできます。他方、外部バスマスタが外部のバス権を獲得しているときに、CPU や内蔵 DMAC が外部のメモリにアクセスしようとする、外部バスマスタがバスを解放するまで、CPU や内蔵 DMAC のバスサイクルにウェイトがかかります。このため  $\overline{\text{BUSRQ}}$  をアクティブにしたままにすると、TMP19A44 がロックする可能性があります。

### (2) バス制御権の獲得

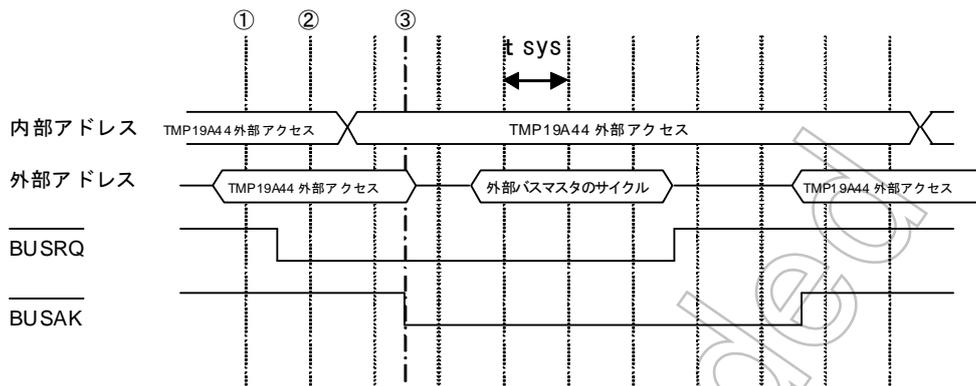
外部バスマスタは、 $\overline{\text{BUSRQ}}$  信号をアサートすることで、TMP19A44 に対してバス制御権を要求します。TMP19A44 は、内部のバス (G-BUS) 上での外部バスサイクルの切れ目で  $\overline{\text{BUSRQ}}$  信号をサンプリングして、外部バスマスタにバス制御権を与えるかどうか判断します。バス制御権を外部バスマスタに与えるときは  $\overline{\text{BUSAK}}$  信号をアサートします。また同時にアドレスバス、データバスおよびバス制御信号 ( $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ ) をハイインピーダンス状態にします ( $\overline{\text{R/W}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{CSx}}$  は内蔵 Pull-up イネーブルの状態になります)。

ロード、ストアのデータサイズと外部メモリのバス幅の関係で、1 回のデータ転送に対して複数回のバスサイクルが発生することがあります (バスサイジング)。このときは最後のバスサイクルの終了時点が外部バスサイクルの切れ目になります。

TMP19A44 では、外部アクセスが連続した場合にダミーサイクルを挿入することができます。この場合にもバス要求が受け付けられるのは、内部バス (G-BUS) 上での外部バスサイクルの切れ目です。ダミーサイクル中にはすでに次の外部バスサイクルが内部バス上では起動されていますので、ダミーサイクル中に  $\overline{\text{BUSRQ}}$  信号がアサートされてもバスが解放されるのは次の外部バスサイクルが終了したときになります。

$\overline{\text{BUSRQ}}$  信号は、バス制御権を解放するまでアサートし続けてください。

外部バスマスタによるバス制御権の獲得タイミングを図 8-19 に示します。



- ①  $\overline{\text{BUSRQ}}$  が “H” レベルです。
- ② TMP19A44 は、 $\overline{\text{BUSRQ}}$  が “L” レベルであることを認識してバスサイクル終了時にバスを解放します。
- ③ TMP19A44 はバスの終了にともない  $\overline{\text{BUSAK}}$  をアサートします。外部バスマスタは、 $\overline{\text{BUSAK}}$  が “L” レベルであることを認識してバス制御権を獲得し、バスオペレーションを開始します。

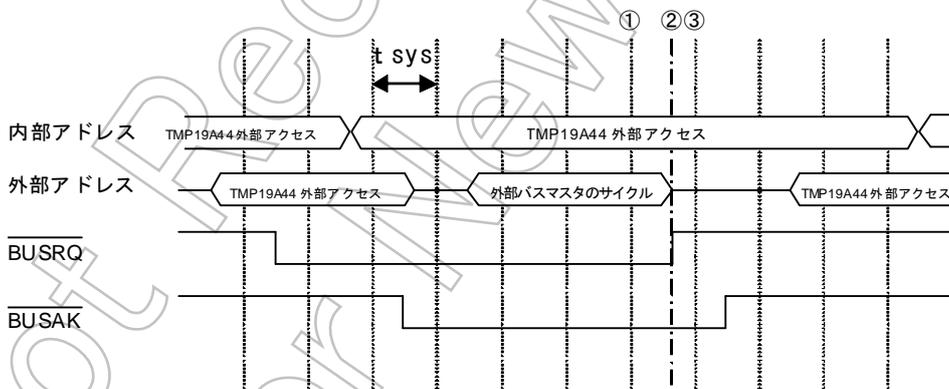
図 8-19 バス制御権の獲得タイミング

(3) バス制御権の解放

外部バスマスタがバス制御権を解放するのは、バス制御権が不要になった場合です。

外部バスマスタは、獲得していたバス制御権が不要になると、 $\overline{\text{BUSRQ}}$  信号をデアサートしてバス制御権を TMP19A44 に返します。

バス制御不要による解放のタイミングを 図 8-20 に示します。



- ① 外部バスマスタがバス制御権を持っています。
- ② 外部バスマスタはバス制御権が不要になったので、 $\overline{\text{BUSRQ}}$  をデアサートします。
- ③ TMP19A44 は、 $\overline{\text{BUSRQ}}$  が “H” レベルであることを認識して、 $\overline{\text{BUSAK}}$  をデアサートします。

図 8-20 バス制御権の解放タイミング

## 9. チップセレクト/ウェイトコントローラ

TMP19A44 は、外部デバイス（I/O デバイス、ROM、および、SRAM）に接続することができます。

TMP19A44 は、任意の 4 ブロックのアドレス空間（CS0～3 空間）を設定し、各アドレス空間とそれ以外のアドレス空間に対して、データバス幅、ウェイト数、ダミーサイクル数を指定することができます。

$\overline{CS0} \sim \overline{CS3}$  (P40～P43 と兼用) は、CS0～CS3 空間に対応した出力端子です。この端子は、CPU 動作により CS0～CS3 空間を選択するアドレスが指定されると、各空間に対してチップセレクト信号 (ROM/SRAM 用) を出力します。ただし、チップセレクト信号を出力するためには、ポート 4 コントロールレジスタ (P4CR) とポート 4 ファンクションレジスタ (P4FC1, P4FC2) による設定が必要です。

CS0～CS3 空間の指定は、ベース/マスクアドレス設定レジスタ (BMA0～BMA3) にてベースアドレス (BAn, n=0～3) とマスクアドレス (MA<sub>n</sub>, n=0～3) の組み合わせにより行います。

各アドレス空間に対するマスタイネーブル、データバス幅、ウェイト数、ダミーサイクル数は、チップセレクト/ウェイトコントロールレジスタ (B01CS, B23CS) で指定します。

また、これらの状態を制御する入力端子として、バスウェイト要求端子 ( $\overline{WATT}/RDY$ ) があります。

Not Recommended for New Designs

## 9.1 アドレス空間指定

CS0~CS3 空間の指定は、ベース/マスクアドレス設定レジスタ (BMA0~BMA3) により行います。

バスサイクルごとに、バス上のアドレスをCS0~CS3 空間で指定された領域のアドレスであるかどうか比較します。比較した結果が一致していると、指定されたCS空間がアクセスされたと判断してCS0~CS3 端子からチップセレクト信号を出力し、チップセレクト/ウェイトコントロールレジスタ (B01CS、B23CS) で設定した動作を実行します (「9.2 チップセレクト/ウェイトコントローラ」を参照してください)。

### 9.1.1 ベース/マスクアドレス設定レジスタ

図 9-2に、ベース/マスクアドレス設定レジスタを示します。ベースアドレス (BA0~BA3) には、CS0~CS3 空間のスタートアドレスを設定します。チップセレクト/ウェイトコントローラは、バスサイクルごとに、このレジスタの値と、アドレスとを比較します。このとき、マスクアドレス (MA0~MA3) でマスクされているアドレスビットはアドレスの比較対象にはなりません。マスクアドレスの設定によって、アドレス空間のサイズが決まります。

#### (1) ベースアドレス

ベースアドレス BAn には、スタートアドレスの上位 16 ビット (A31~A16) を設定します。また、スタートアドレスの下位 16 ビット (A15~A0) には、常に“0”が設定されています。したがって、スタートアドレスは、0x0000\_0000H から 64K バイトごとの値になります。

図 9-3にスタートアドレスとBAnの値の関係を示します。

#### (2) マスクアドレス

マスクアドレス (MAn) は、アドレスのどのビットの値を比較するか、しないかを設定します。アドレスマスク MAn に“0”をライトしたビットに対応するバス上のアドレスが、CS0~CS3 空間の領域かどうかの比較対照となり、“1”をライトしたビットは比較の非対称になります。

CS0~CS3 空間は、それぞれ MA0~MA3 によってマスクできるアドレスビットが異なります。

CS0 空間、CS1 空間: A29 ~ A14      CS2 空間、CS3 空間: A30 ~ A15

(注1) アドレス設定は物理アドレスを設定してください。

(注2) CS 領域は、内部領域 (0xFF00\_0000~0xFFFF\_FFFF) と重複しないように設定してください。

ベース/マスクアドレス設定レジスタ BMA0 (0xFFFF\_E400) ~ BMA3 (0xFFFF\_E40C)

BMA0 (0xFF00_1400)		7	6	5	4	3	2	1	0
	bit Symbol	MA0							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	CS0 空間サイズ設定 0: アドレス比較対照							
		15	14	13	12	11	10	9	8
bit Symbol	MA0								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	1	1
機能	必ず“0”をライトしてください。						CS0 空間サイズ設定 0: アドレス比較対照		
		23	22	21	20	19	18	17	16
bit Symbol	BA0								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	0
機能	スタートアドレス A23~A16 設定								
		31	30	29	28	27	26	25	24
bit Symbol	BA0								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	0
機能	スタートアドレス A31~A24 設定								

BMA1 (0xFF00_1404)		7	6	5	4	3	2	1	0
	bit Symbol	MA1							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	CS1 空間サイズ設定 0: アドレス比較対照							
		15	14	13	12	11	10	9	8
bit Symbol	MA1								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	1	1
機能	必ず“0”をライトしてください						CS1 空間サイズ設定 0: アドレス比較対照		
		23	22	21	20	19	18	17	16
bit Symbol	BA1								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	0
機能	スタートアドレス A23~A16 設定								
		31	30	29	28	27	26	25	24
bit Symbol	BA1								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	0
機能	スタートアドレス A31~A24 設定								

(注) BMA0、BMA1 のビット 10~15 には必ず “0” をライトしてください。  
 CS0、CS1 空間は最小 16KB エリアから、最大 1GB エリアまで設定可能ですが、TMP19A44 では外部アドレス空間は 16MB なので A24~A29 のアドレスをマスクしないためビット 10~15 を “0” に設定します。

図 9-1 ベースアドレス/マスクアドレス設定レジスタ (BMA0, BMA1)

BMA2  
(0xFF00\_1408)

	7	6	5	4	3	2	1	0
bit Symbol	MA2							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	CS2 空間サイズ設定 0: アドレス比較対照							
	15	14	13	12	11	10	9	8
bit Symbol	MA2							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	1
機能	必ず“0”をライトしてください。							CS2 空間サイズ設定 0: アドレス比較対照
	23	22	21	20	19	18	17	16
bit Symbol	BA2							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A23~A16 設定							
	31	30	29	28	27	26	25	24
bit Symbol	BA2							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A31~A24 設定							

BMA3  
(0xFF00\_140C)

	7	6	5	4	3	2	1	0
bit Symbol	MA3							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	CS3 空間サイズ設定 0: アドレス比較対照							
	15	14	13	12	11	10	9	8
bit Symbol	MA3							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	1
機能	必ず“0”をライトしてください。							CS3 空間サイズ設定 0: アドレス比較対照
	23	22	21	20	19	18	17	16
bit Symbol	BA3							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A23~A16 設定							
	31	30	29	28	27	26	25	24
bit Symbol	BA3							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A31~A24 設定							

(注) BMA2、BMA3 のビット 9~15 にはかならず“0”をライトしてください。  
CS2、CS3 空間は最小 32KB エリアから、最大 2GB エリアまで設定可能ですが、TMP19A44 では外部アドレス空間は 16MB なので A24~A30 のアドレスをマスクしないためビット 9~15 を“0”に設定します。

図 9-2 ベースアドレス/マスクアドレス設定レジスタ (BMA2, BMA3)

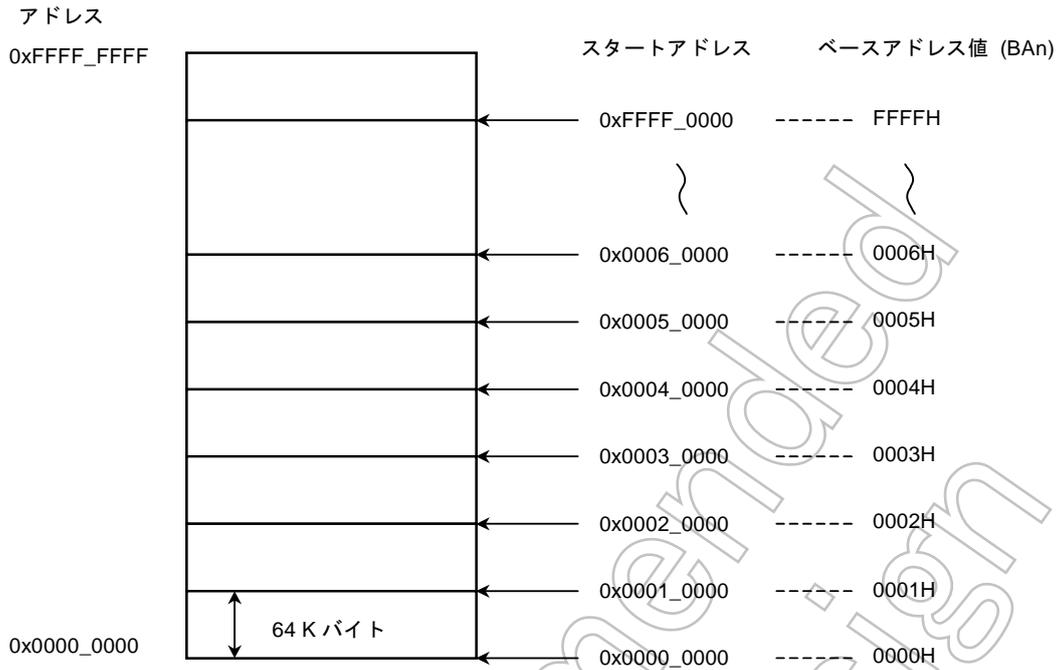
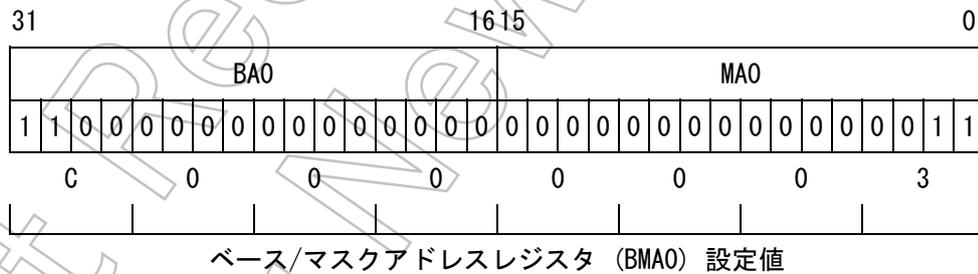


図 9-3 スタートアドレスとベースアドレスレジスタ値の関係

### 9.1.2 スタートアドレス、アドレス空間の設定方法

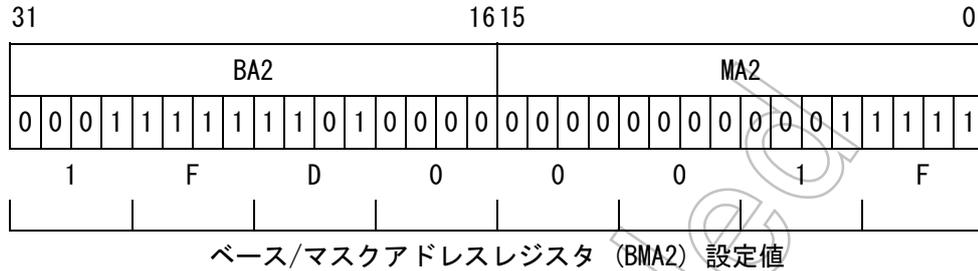
- CS0 空間を用いて、0xC000\_0000 から始まる 64 K バイトの空間を指定する場合、次のようにベース/マスクアドレスレジスタを設定します。



ベースアドレス (BA0) に、スタートアドレスの上位 16 ビットに相当する “0xC000” を設定します。マスクアドレス (MA0) は、A29～A14 のアドレス比較を行うか、行わないかを設定します。A31、A30 はかならず比較が行われ、この場合 A29～A24 についてはかならず比較が行われるようにマスクアドレス (MA0) のビット 15～10 には “0” を設定します。

上記のように設定すると、A31～A16 ままでスタートアドレスとして設定された値と比較されます。従って、0xC000\_0000 ～ 0xC000\_FFFF の 64K バイトが CS0 空間として設定され、バス上のアドレスと一致すれば CS0 信号がアサートされます。

- CS2 空間を用いて、0x1FD0\_0000 から始まる 1M バイトの空間を指定する場合、次のようにベース/マスクアドレスレジスタを設定します。



ベースアドレス (BA2) に、スタートアドレスの上位 16 ビットに相当する “0x1FD0” を設定します。マスクアドレス (MA2) は、A30~A15 のアドレス比較を行うか、行わないかを設定します。この場合 A31 はかならず比較が行われ、A30~A20 についてはかならず比較が行われるようにマスクアドレス (MA2) のビット 15~5 には “0” を設定します。

上記のように設定すると、A31~A20 までがスタートアドレスとして設定された値と比較されます。この場合、A19~A0 はマスクされます。0x1FD0\_0000 ~ 0x1FDF\_FFFF の 1M バイトが CS2 空間として設定されます。

リセット後、CS0~CS3 空間はディセーブルになります。

表 9-1 に CS 空間と空間サイズの関係を示します。なお、2 つ以上のアドレス空間を重ねて指定した場合には CS 空間番号の小さい方が優先的に選択されます。

**(例) CS0 空間の開始アドレスを 0xC000\_0000、空間サイズを 16 K バイト**  
**CS1 空間の開始アドレスを 0xC000\_0000、空間サイズを 64 K バイト**

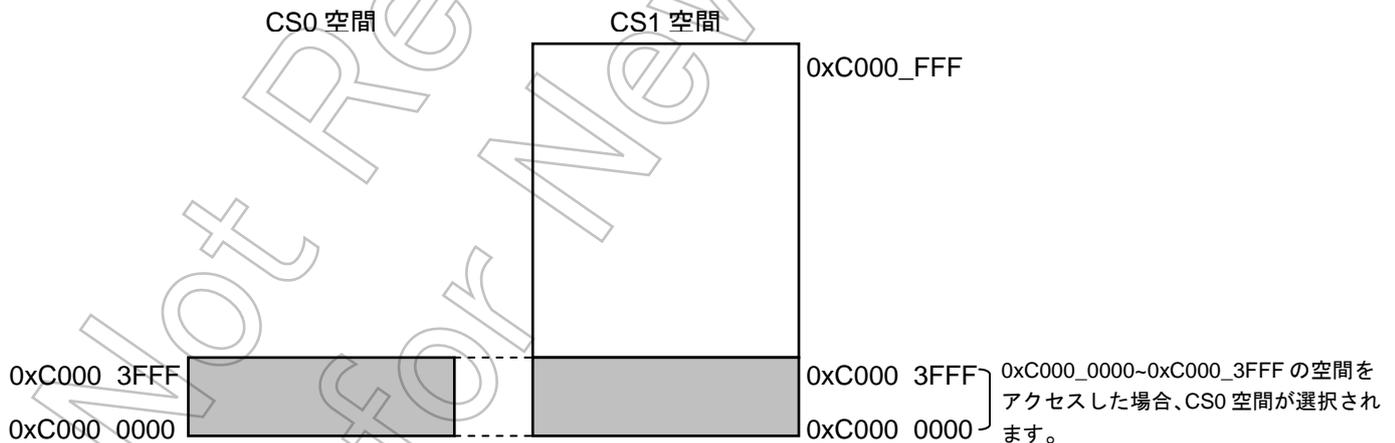


表 9-1 CS 空間と空間サイズ

CS 空間 \ サイズ (バイト)	16 K	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M	16 M
CS0	○	○	○	○	○	○	○	○	○	○	○
CS1	○	○	○	○	○	○	○	○	○	○	○
CS2		○	○	○	○	○	○	○	○	○	○
CS3		○	○	○	○	○	○	○	○	○	○

## 9.2 チップセレクト/ウェイトコントローラ

次ページに、チップセレクト/ウェイトコントロールレジスタを示します。各アドレス空間 (CS0~CS3 空間と、それ以外のアドレス空間) は、それぞれのチップセレクト/ウェイトコントロールレジスタ (B01CS~B23CS) により、マスタイネーブル/ディセーブル、データバス幅選択、ウェイト数設定、ダミーサイクルの挿入を行うことができます。

また、2 つ以上のアドレス空間を重ねて設定した場合は、CS 空間番号の小さい方が優先的に選択されます。(優先順位は、CS0>CS1>CS2>CS3)

Not Recommended  
for New Design

B01CS  
(0xFF00\_1480)

	7	6	5	4	3	2	1	0
bit Symbol	BOBUS			BOW				
Read/Write	R	R/W	R/W	R/W				
リセット後	0	0	1	0	0	0	0	1
機能	リードすると“0”が読めます。	“0”をライトとさせていただきます。	データバス幅選択 0: 8bit 1: 16bit	ウェイト数設定 (自動 WAIT 挿入) 0_0000:0WAIT 0_0100:4WAIT 0_1000:8WAIT 0_1100:12WAIT 0_0001:1WAIT 0_0101:5WAIT 0_1001:9WAIT 0_1101:13WAIT 0_0010:2WAIT 0_0110:6WAIT 0_1010:10WAIT 0_1110:14WAIT 0_0011:3WAIT 0_0111:7WAIT 0_1011:11WAIT 0_1111:15WAIT (外部 WAIT 入力) $\alpha=2, 4$ 1_0010: (2+ $\alpha N$ ) WAIT 1_1001: ( 9+ $\alpha N$ ) WAIT 1_0011: (3+ $\alpha N$ ) WAIT 1_1010: (10+ $\alpha N$ ) WAIT 1_0100: (4+ $\alpha N$ ) WAIT 1_1011: (11+ $\alpha N$ ) WAIT 1_0101: (5+ $\alpha N$ ) WAIT 1_1100: (12+ $\alpha N$ ) WAIT 1_0110: (6+ $\alpha N$ ) WAIT 1_1101: (13+ $\alpha N$ ) WAIT 1_0111: (7+ $\alpha N$ ) WAIT 1_1110: (14+ $\alpha N$ ) WAIT 1_1000: (8+ $\alpha N$ ) WAIT 1_1111: (15+ $\alpha N$ ) WAIT				
	15	14	13	12	11	10	9	8
bit Symbol	BOCSCV			BOWCV		BORCV		BOE
Read/Write	R/W			R/W		R/W		R/W
リセット後	0	0	0	1	0	1	0	0
機能	挿入タミサイクル数設定 (CS0 リカバリタイム) 000: 設定禁止 001: 1 サイクル 010~ 111: 設定禁止			挿入タミサイクル数設定 (ライト・リカバリタイム) 00: 設定禁止 01: 1 サイクル 1x: 設定禁止		挿入タミサイクル数設定 (リード・リカバリタイム) 00: 設定禁止 01: 1 サイクル 1x: 設定禁止		CS0 イネーブル 0: デイセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol	B1BUS			B1W				
Read/Write	R	R/W	R/W	R/W				
リセット後	0	0	1	0	0	0	0	1
機能	リードすると“0”が読めます。	“0”をライトとさせていただきます。	データバス幅選択 0: 8bit 1: 16bit	ウェイト数設定 (自動 WAIT 挿入) 0_0000:0WAIT 0_0100:4WAIT 0_1000:8WAIT 0_1100:12WAIT 0_0001:1WAIT 0_0101:5WAIT 0_1001:9WAIT 0_1101:13WAIT 0_0010:2WAIT 0_0110:6WAIT 0_1010:10WAIT 0_1110:14WAIT 0_0011:3WAIT 0_0111:7WAIT 0_1011:11WAIT 0_1111:15WAIT (外部 WAIT 入力) $\alpha=2, 4$ 1_0010: (2+ $\alpha N$ ) WAIT 1_1001: ( 9+ $\alpha N$ ) WAIT 1_0011: (3+ $\alpha N$ ) WAIT 1_1010: (10+ $\alpha N$ ) WAIT 1_0100: (4+ $\alpha N$ ) WAIT 1_1011: (11+ $\alpha N$ ) WAIT 1_0101: (5+ $\alpha N$ ) WAIT 1_1100: (12+ $\alpha N$ ) WAIT 1_0110: (6+ $\alpha N$ ) WAIT 1_1101: (13+ $\alpha N$ ) WAIT 1_0111: (7+ $\alpha N$ ) WAIT 1_1110: (14+ $\alpha N$ ) WAIT 1_1000: (8+ $\alpha N$ ) WAIT 1_1111: (15+ $\alpha N$ ) WAIT				
	31	30	29	28	27	26	25	24
bit Symbol	B1CSCV			B1WCV		B1RCV		B1E
Read/Write	R/W			R/W		R/W		R/W
リセット後	0	0	0	1	0	1	0	0
機能	挿入タミサイクル数設定 (CS1 リカバリタイム) 000: 設定禁止 100: 4 サイクル 001: 1 サイクル 101: 6 サイクル 010: 2 サイクル 110: 8 サイクル 011: 3 サイクル 111: 設定禁止			挿入タミサイクル数設定 (ライト・リカバリタイム) 00: 設定禁止 01: 1 サイクル 10: 2 サイクル 11: 4 サイクル		挿入タミサイクル数設定 (リード・リカバリタイム) 00: 設定禁止 01: 1 サイクル 10: 2 サイクル 11: 4 サイクル		CS1 イネーブル 0: デイセーブル 1: イネーブル

チップセレクト/ウェイトコントロールレジスタ 0, 1

B23CS  
(0xFF00\_1484)

	7	6	5	4	3	2	1	0
bit Symbol			B2BUS	B2W				
Read/Write	R	R/W	R/W	R/W				
リセット後	0	0	1	0	0	0	0	1
機能	リードすると“0”が読めます。	“0”をライトとさせていただきます。	データバス幅選択 0: 8bit 1: 16bit	ウェイト数設定 (自動 WAIT 挿入) 0_0000:0WAIT 0_0100:4WAIT 0_1000:8WAIT 0_1100:12WAIT 0_0001:1WAIT 0_0101:5WAIT 0_1001:9WAIT 0_1101:13WAIT 0_0010:2WAIT 0_0110:6WAIT 0_1010:10WAIT 0_1110:14WAIT 0_0011:3WAIT 0_0111:7WAIT 0_1011:11WAIT 0_1111:15WAIT (外部 WAIT 入力) $\alpha=2, 4$ 1_0010: (2+ $\alpha N$ ) WAIT 1_1001: (9+ $\alpha N$ ) WAIT 1_0011: (3+ $\alpha N$ ) WAIT 1_1010: (10+ $\alpha N$ ) WAIT 1_0100: (4+ $\alpha N$ ) WAIT 1_1011: (11+ $\alpha N$ ) WAIT 1_0101: (5+ $\alpha N$ ) WAIT 1_1100: (12+ $\alpha N$ ) WAIT 1_0110: (6+ $\alpha N$ ) WAIT 1_1101: (13+ $\alpha N$ ) WAIT 1_0111: (7+ $\alpha N$ ) WAIT 1_1110: (14+ $\alpha N$ ) WAIT 1_1000: (8+ $\alpha N$ ) WAIT 1_1111: (15+ $\alpha N$ ) WAIT				
	15	14	13	12	11	10	9	8
bit Symbol	B2CSCV			B2WCV		B2RCV		B2E
Read/Write	R/W			R/W		R/W		R/W
リセット後	0	0	0	1	0	1	0	0
機能	挿入タミサイクル数設定 (CS2 リカバリタイム) 000: 設定禁止 100: 4 サイクル 001: 1 サイクル 101: 6 サイクル 010: 2 サイクル 110: 8 サイクル 011: 3 サイクル 111: 設定禁止			挿入タミサイクル数設定 (ライト・リカバリタイム) 00: 設定禁止 01: 1 サイクル 10: 2 サイクル 11: 4 サイクル		挿入タミサイクル数設定 (リード・リカバリタイム) 00: 設定禁止 01: 1 サイクル 10: 2 サイクル 11: 4 サイクル		CS2 イネーブル 0: デイネーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol			B3BUS	B3W				
Read/Write	R	R/W	R/W	R/W				
リセット後	0	0	1	0	0	0	0	1
機能	リードすると“0”が読めます。	“0”をライトとさせていただきます。	データバス幅選択 0: 8bit 1: 16bit	ウェイト数設定 (自動 WAIT 挿入) 0_0000:0WAIT 0_0100:4WAIT 0_1000:8WAIT 0_1100:12WAIT 0_0001:1WAIT 0_0101:5WAIT 0_1001:9WAIT 0_1101:13WAIT 0_0010:2WAIT 0_0110:6WAIT 0_1010:10WAIT 0_1110:14WAIT 0_0011:3WAIT 0_0111:7WAIT 0_1011:11WAIT 0_1111:15WAIT (外部 WAIT 入力) $\alpha=2, 4$ 1_0010: (2+ $\alpha N$ ) WAIT 1_1001: (9+ $\alpha N$ ) WAIT 1_0011: (3+ $\alpha N$ ) WAIT 1_1010: (10+ $\alpha N$ ) WAIT 1_0100: (4+ $\alpha N$ ) WAIT 1_1011: (11+ $\alpha N$ ) WAIT 1_0101: (5+ $\alpha N$ ) WAIT 1_1100: (12+ $\alpha N$ ) WAIT 1_0110: (6+ $\alpha N$ ) WAIT 1_1101: (13+ $\alpha N$ ) WAIT 1_0111: (7+ $\alpha N$ ) WAIT 1_1110: (14+ $\alpha N$ ) WAIT 1_1000: (8+ $\alpha N$ ) WAIT 1_1111: (15+ $\alpha N$ ) WAIT				
	31	30	29	28	27	26	25	24
bit Symbol	B3CSCV			B3WCV		B3RCV		B3E
Read/Write	R/W			R/W		R/W		R/W
リセット後	0	0	0	1	0	1	0	0
機能	挿入タミサイクル数設定 (CS3 リカバリタイム) 000: 設定禁止 100: 4 サイクル 001: 1 サイクル 101: 6 サイクル 010: 2 サイクル 110: 8 サイクル 011: 3 サイクル 111: 設定禁止			挿入タミサイクル数設定 (ライト・リカバリタイム) 00: 設定禁止 01: 1 サイクル 10: 2 サイクル 11: 4 サイクル		挿入タミサイクル数設定 (リード・リカバリタイム) 00: 設定禁止 01: 1 サイクル 10: 2 サイクル 11: 4 サイクル		CS3 イネーブル 0: デイネーブル 1: イネーブル

チップセレクト/ウェイトコントロールレジスタ 2,3

### 9.3 バスコントロールレジスタ

バスコントロールレジスタを示します。  
 バスコントロールレジスタ BUSCR では、ALE 幅および WAIT サンプルング数を設定することが可能です。

BUSCR (0xFF00_14C0)	bit Symbol						WAITSMPL	ALESEL	
	Read/Write	R					R/W	R/W	
	リセット後	0	0	0	0	0	0	1	
	機能	リードすると“0”が読めます。					WAIT サンプルング数 0: 2N 1: 4N	マルチプレクスバス 00: 1 サイクル 01: 2 サイクル 10: 3 サイクル 11: 4 サイクル  セパレートバス 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル	
		15	14	13	12	11	10	9	8
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								
	23	22	21	20	19	18	17	16	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								
	31	30	29	28	27	26	25	24	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								

バスコントロールレジスタ

<ALESEL1:0> : セパレートバスとマルチプレクスバスによって、ALE 幅の設定サイクルが異なります。

<WAITSMPL> : 動作周波数によって、WAIT 入力のサンプルングポイントを伸ばすことが可能です。  
 設定値として、

2N : fsys = 4MHz~40MHz

4N : fsys = 40MHz~80MHz

を推奨いたします。

## 10. DMAコントローラ (DMAC)

TMP19A44 は 8 チャンネルの DMA コントローラを内蔵しています。

### 10.1 特長

TMP19A44 に内蔵している DMAC には以下に示す特長があります。

- (1) 独立した 8 チャンネルの DMA  
(割り込み要因は 8 要因 : INTDMA0~INTDMA7)
- (2) 2 種類のバス制御権要求: スヌープ要求有り/無し
- (3) 転送要求 :  
内部リクエスト(ソフトスタート)/外部リクエスト  
(外部割り込み、内蔵周辺 I/O からの割り込みによるリクエスト、 $\overline{\text{DREQ}}$  端子によるリクエスト)  
 $\overline{\text{DREQ}}$  端子によるリクエスト : レベルモード
- (4) 転送モード: デュアルアドレスモード
- (5) 転送デバイス: メモリ空間転送
- (6) デバイスサイズ: メモリ- 32 ビット (CS/WAIT コントローラで 16/8 ビット指定も可能)  
I/O - 8、16、32 ビット
- (7) アドレス変化: 増加/減少/固定/変則増加/変則減少
- (8) チャンネル間優先度: 固定(チャンネル番号の小さい順)
- (9) エンディアン切り換え機能

## 10.2 構成

### 10.2.1 TMP19A44 内部接続

TMP19A44 内部でのDMACの接続を図 10-1に示します。

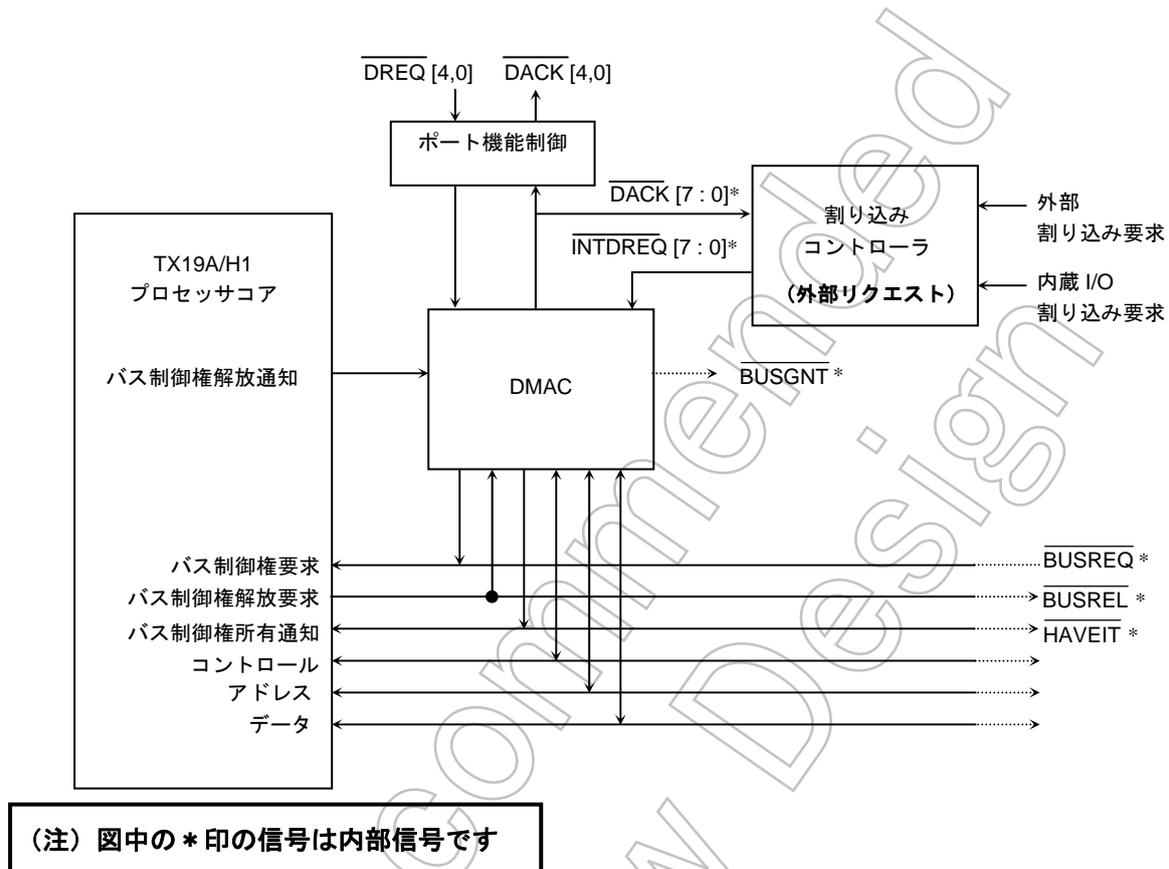


図 10-1 TMP19A44 内部での DMAC の接続

DMAC には 8 つの DMA チャンネルがあります。これら各チャンネルには割り込みコントローラからのデータ転送要求信号 (INTDREQ<sub>n</sub>) と、これらに対するアクノリッジ信号 (DACK<sub>n</sub>) とがあります。n はチャンネル番号で 0~7 を示します。また、外部端子 (DREQ<sub>0</sub>、DREQ<sub>4</sub>) については内部にてポート F 兼用チャンネルとなっており、機能制御レジスタ PFFC1、PFFC2、PFGR、PFIE にて選択します。

外部端子 (DREQ<sub>0</sub>、DREQ<sub>4</sub>) からのデータ転送要求とアクノリッジ信号出力端子 (DACK<sub>0</sub>、DACK<sub>4</sub>) があります。チャンネル 0 の方がチャンネル 1 よりも優先度が高く、チャンネル 1 の方がチャンネル 2 よりも、チャンネル 2 の方がチャンネル 3 よりも優先度が高くなっています。以降のチャンネルについても同様です。

TX19A/H1 プロセッサコアにはスヌープ機能があります。スヌープ機能では、TX19A/H1 プロセッサコアはコアのデータバスをDMACに対して開放します。したがって、DMACはこのときTX19A/H1 プロセッサコアにつながっている内蔵ROMや内蔵RAMにアクセスすることができます。DMACはこのスヌープ機能を使用するかを選択することができます。スヌープ機能の詳細については「10.2.3スヌープ機能」を参照ください。

DMAC はスヌープ機能の使用/不使用による 2 種類のバス制御権 (SREQ, GREQ) があります。GREQ はスヌープ機能を使用しないバス制御権要求で、SREQ はスヌープ機能を使用するバス制御権要求です。この 2 種類のバス制御権要求では、SREQ の方が GREQ より優先度が高くなっています。

### 10.2.2 DMAC内部ブロック

DMACの内部ブロックを図 10-2に示します。

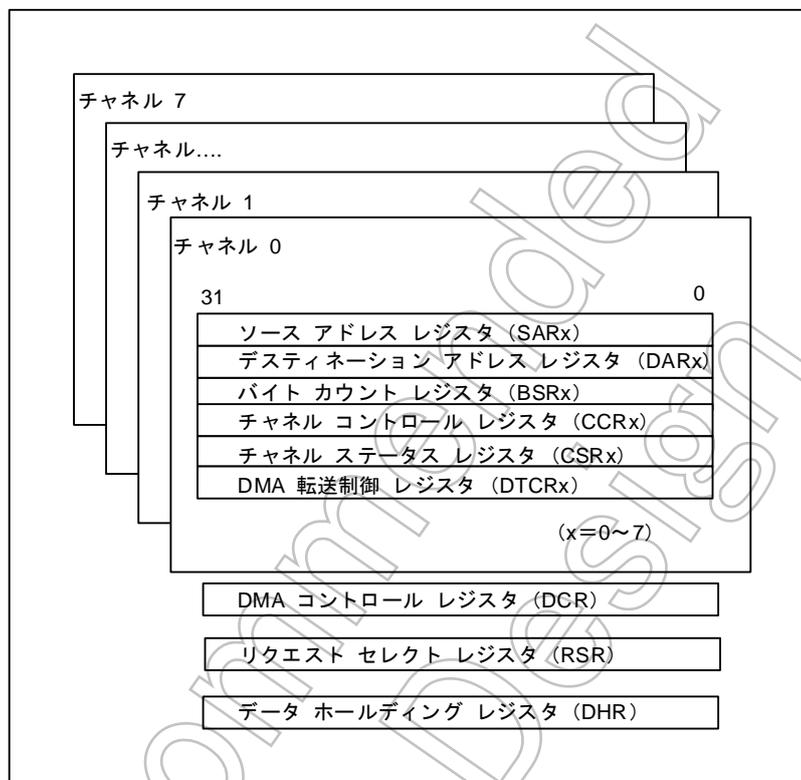


図 10-2 DMAC 内部ブロック

### 10.2.3 スヌープ機能

TX19A/H1 プロセッサコアには、スヌープ機能があります。

TX19A/H1 プロセッサコアは、スヌープ機能が働くとコアのデータバスをDMACに対して開放します。コアはDMACがバス制御権要求を取り下げるまで動作が停止します。スヌープ機能が働いているときに、DMACは内蔵RAMや内蔵ROMにアクセスすることが可能になるので、ソースやデスティネーションとして指定することができます。

スヌープ機能を使用しない場合は、DMACは内蔵RAM、内蔵ROMにアクセスできません。ただし、このときもG-BusはDMACへ開放していますので、TX19A/H1 プロセッサコアがG-Busによりメモリ空間にアクセスしようとした場合には、DMACがバス制御権開放要求に応えないかぎり、バスオペレーションを実行できないので、パイプラインはストールします。

(注) スヌープ機能を使用しないと、TX19A/H1 プロセッサコアはデータバスをDMACに開放しません。この場合、DMACのソースやデスティネーションに内蔵RAMや内蔵ROMを指定してあると、バスエラーが発生します。

## 10.3 レジスタ

DMACは51本の32ビットレジスタを内蔵しています。表10-1にDMACのレジスタマップを示します。

表 10-1 DMAC レジスタ一覧

アドレス	レジスタ記号	レジスタ名称
0xFF00_1200	CCR0	チャンネル制御レジスタ (ch. 0)
0xFF00_1204	CSR0	チャンネルステータスレジスタ (ch. 0)
0xFF00_1208	SAR0	ソースアドレスレジスタ (ch. 0)
0xFF00_120C	DAR0	デスティネーションアドレスレジスタ (ch. 0)
0xFF00_1210	BCR0	バイトカウントレジスタ (ch. 0)
0xFF00_1218	DTCR0	DMA 転送制御レジスタ (ch. 0)
0xFF00_1220	CCR1	チャンネル制御レジスタ (ch. 1)
0xFF00_1224	CSR1	チャンネルステータスレジスタ (ch. 1)
0xFF00_1228	SAR1	ソースアドレスレジスタ (ch. 1)
0xFF00_122C	DAR1	デスティネーションアドレスレジスタ (ch. 1)
0xFF00_1230	BCR1	バイトカウントレジスタ (ch. 1)
0xFF00_1238	DTCR1	DMA 転送制御レジスタ (ch. 1)
0xFF00_1240	CCR2	チャンネル制御レジスタ (ch. 2)
0xFF00_1244	CSR2	チャンネルステータスレジスタ (ch. 2)
0xFF00_1248	SAR2	ソースアドレスレジスタ (ch. 2)
0xFF00_124C	DAR2	デスティネーションアドレスレジスタ (ch. 2)
0xFF00_1250	BCR2	バイトカウントレジスタ (ch. 2)
0xFF00_1258	DTCR2	DMA 転送制御レジスタ (ch. 2)
0xFF00_1260	CCR3	チャンネル制御レジスタ (ch. 3)
0xFF00_1264	CSR3	チャンネルステータスレジスタ (ch. 3)
0xFF00_1268	SAR3	ソースアドレスレジスタ (ch. 3)
0xFF00_126C	DAR3	デスティネーションアドレスレジスタ (ch. 3)
0xFF00_1270	BCR3	バイトカウントレジスタ (ch. 3)
0xFF00_1278	DTCR3	DMA 転送制御レジスタ (ch. 3)
0xFF00_1280	CCR4	チャンネル制御レジスタ (ch. 4)
0xFF00_1284	CSR4	チャンネルステータスレジスタ (ch. 4)
0xFF00_1288	SAR4	ソースアドレスレジスタ (ch. 4)
0xFF00_128C	DAR4	デスティネーションアドレスレジスタ (ch. 4)
0xFF00_1290	BCR4	バイトカウントレジスタ (ch. 4)
0xFF00_1298	DTCR4	DMA 転送制御レジスタ (ch. 4)
0xFF00_12A0	CCR5	チャンネル制御レジスタ (ch. 5)
0xFF00_12A4	CSR5	チャンネルステータスレジスタ (ch. 5)
0xFF00_12A8	SAR5	ソースアドレスレジスタ (ch. 5)
0xFF00_12AC	DAR5	デスティネーションアドレスレジスタ (ch. 5)
0xFF00_12B0	BCR5	バイトカウントレジスタ (ch. 5)
0xFF00_12B8	DTCR5	DMA 転送制御レジスタ (ch. 5)
0xFF00_12C0	CCR6	チャンネル制御レジスタ (ch. 6)
0xFF00_12C4	CSR6	チャンネルステータスレジスタ (ch. 6)
0xFF00_12C8	SAR6	ソースアドレスレジスタ (ch. 6)
0xFF00_12CC	DAR6	デスティネーションアドレスレジスタ (ch. 6)
0xFF00_12D0	BCR6	バイトカウントレジスタ (ch. 6)
0xFF00_12D8	DTCR6	DMA 転送制御レジスタ (ch. 6)
0xFF00_12E0	CCR7	チャンネル制御レジスタ (ch. 7)
0xFF00_12E4	CSR7	チャンネルステータスレジスタ (ch. 7)
0xFF00_12E8	SAR7	ソースアドレスレジスタ (ch. 7)
0xFF00_12EC	DAR7	デスティネーションアドレスレジスタ (ch. 7)
0xFF00_12F0	BCR7	バイトカウントレジスタ (ch. 7)
0xFF00_12F8	DTCR7	DMA 転送制御レジスタ (ch. 7)

表 10-1 DMAC レジスタ一覧 (1/2)

0xFF00_1300	DCR	DMA 制御レジスタ (DMAC)
0xFF00_1304	RSR	リクエストセレクトレジスタ (DMAC)
0xFF00_130C	DHR	データホールディングレジスタ (DMAC)

Not Recommended  
for New Design

10.3.1 DMA制御レジスタ (DCR)

DCR  
(0xFF00\_1300)

	7	6	5	4	3	2	1	0
bit Symbol	Rst7	Rst6	Rst5	Rst4	Rst3	Rst2	Rst1	Rst0
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	詳細説明を参照ください							
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	-							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能								
	31	30	29	28	27	26	25	24
bit Symbol	Rstall							
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	詳細説明を参照ください。	-						

ビット	ニモニック	フィールド名	説明
31	Rstall	リセットオール	DMAC のソフトウェアリセットを行います。Rstall ビットが“1”にセットされると、DMAC の内部レジスタの値はすべて初期値になります。また、8 つのチャンネルは停止状態になります。 0: Don't care 1: DMAC を初期化
7	Rst7	リセット7	DMAC チャンネル7のソフトウェアリセットを行います。Rst7 ビットが“1”にセットされると、DMAC チャンネル7の内部レジスタと、RSR レジスタのチャンネル7 該当ビットは初期値になります。また、チャンネル7は停止状態になります。 0: Don't care 1: DMAC チャンネル7を初期化
6	Rst6	リセット6	DMAC チャンネル6のソフトウェアリセットを行います。Rst6 ビットが“1”にセットされると、DMAC チャンネル6の内部レジスタと、RSR レジスタのチャンネル6 該当ビットは初期値になります。また、チャンネル6は停止状態になります。 0: Don't care 1: DMAC チャンネル6を初期化
5	Rst5	リセット5	DMAC チャンネル5のソフトウェアリセットを行います。Rst5 ビットが“1”にセットされると、DMAC チャンネル5の内部レジスタと、RSR レジスタのチャンネル5 該当ビットは初期値になります。また、チャンネル5は停止状態になります。 0: Don't care 1: DMAC チャンネル5を初期化

ビット	ニモニック	フィールド名	説明
4	Rst4	リセット 4	DMAC チャンネル 4 のソフトウェアリセットを行います。Rst4 ビットが“1”にセットされると、DMAC チャンネル 4 の内部レジスタと、RSR レジスタのチャンネル 4 該当ビットは初期値になります。また、チャンネル 4 は停止状態になります。 0: Don't care 1: DMAC チャンネル 4 を初期化
3	Rst3	リセット 3	DMAC チャンネル 3 のソフトウェアリセットを行います。Rst3 ビットが“1”にセットされると、DMAC チャンネル 3 の内部レジスタと、RSR レジスタのチャンネル 3 該当ビットは初期値になります。また、チャンネル 3 は停止状態になります。 0: Don't care 1: DMAC チャンネル 3 を初期化
2	Rst2	リセット 2	DMAC チャンネル 2 のソフトウェアリセットを行います。Rst2 ビットが“1”にセットされると、DMAC チャンネル 2 の内部レジスタと、RSR レジスタのチャンネル 2 該当ビットは初期値になります。また、チャンネル 2 は停止状態になります。 0: Don't care 1: DMAC チャンネル 2 を初期化
1	Rst1	リセット 1	DMAC チャンネル 1 のソフトウェアリセットを行います。Rst1 ビットが“1”にセットされると、DMAC チャンネル 1 の内部レジスタと、RSR レジスタのチャンネル 1 該当ビットは初期値になります。また、チャンネル 1 は停止状態になります。 0: Don't care 1: DMAC チャンネル 1 を初期化
0	Rst0	リセット 0	DMAC チャンネル 0 のソフトウェアリセットを行います。Rst0 ビットが“1”にセットされると、DMAC チャンネル 0 の内部レジスタと、RSR レジスタのチャンネル 0 該当ビットは初期値になります。また、チャンネル 0 は停止状態になります。 0: Don't care 1: DMAC チャンネル 0 を初期化

## DMA 制御レジスタ (DCR)

ソフトウェアリセットを行うと、CCRn、CSRn、SARn、DARn、DTCRn、DCR、RSR レジスタが初期化されますが、BCRn、DHR レジスタは初期化されません。

(注 1) ソフトリセット機能を使用する時、DMA 転送の最後の転送が終了した直後に DCR レジスタへの書き込みが発生した場合、チャンネルレジスタ等の初期化は行われますが、DMA 転送終了割り込みはキャンセルされません。

(注 2) DCR レジスタへの書き込み (ソフトリセット) は DMA 転送を利用して行うような使い方は避けてください。

10.3.2 チャネル制御レジスタ (CCRn)

CCRn		7	6	5	4	3	2	1	0
	bit Symbol	SAC		DAC		TrSiz		DPS	
	Read/Write	R/W	R/W	R/W		R/W		R/W	
	リセット後	0	0	0	0	0	0	0	0
	機能	詳細説明を参照ください。	常に“0”を設定してください。	詳細説明を参照ください					
		15	14	13	12	11	10	9	8
	bit Symbol		ExR	PosE	Lev	SReq	RelEn	SIO	SAC
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	常に“0”を設定してください。	詳細説明を参照ください						
	23	22	21	20	19	18	17	16	
bit Symbol	NIE n	AbIE n					Big		
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット後	1	1	1	0	0	0	1	0	
機能	詳細説明を参照ください。		常に“0”を設定してください。				詳細説明を参照ください。	常に“0”を設定してください。	
	31	30	29	28	27	26	25	24	
bit Symbol	Str								
Read/Write	W							W	
リセット後	0	0	0	0	0	0	0	0	
機能	詳細説明を参照ください。							常に“0”を設定してください。	

チャネル制御レジスタ (CCRn) (1/2)

ビット	ニモニック	フィールド名	説明
31	Str	チャンネルスタート	Start (初期値—) チャンネル動作を起動します。このビットに“1”をセットすることにより、チャンネルが待機状態になり、転送要求に応じてデータ転送を開始します。 Str ビットへの書き込みは“1”のみが有効で、“0”の書き込みは無視します。また、読み出すと常に“0”です。 1: チャンネル動作を起動
24	—	(予約済み)	このビットは予約ビットです。常に“0”を設定してください。
23	NIEn	正常終了割り込み許可	Normal Completion Interrupt Enable (初期値“1”) 1: 正常終了割り込みを許可 0: 正常終了割り込みを禁止
22	AblEn	異常終了割り込み許可	Abnormal Completion Interrupt Enable (初期値“1”) 1: 異常終了割り込みを許可 0: 異常終了割り込みを禁止
21	—	(予約済み)	このビットは予約ビットです。初期値は“1”ですが、常に“0”を設定してください。
20	—	(予約済み)	このビットは予約ビットです。常に“0”を設定してください。
19	—	(予約済み)	このビットは予約ビットです。常に“0”を設定してください。
18	—	(予約済み)	このビットは予約ビットです。常に“0”を設定してください。
17	Big	ビッグエンディアン	Big Endian (初期値“1”) 1: チャンネルはビッグエンディアンで動作 0: チャンネルはリトルエンディアンで動作
16	—	(予約済み)	このビットは予約ビットです。常に“0”を設定してください。
15	—	(予約済み)	このビットは予約ビットです。常に“0”を設定してください。
14	ExR	外部リクエストモード	External Request Mode (初期値“0”) 転送要求モードを指定します。(外部端子による要求は 0ch,4ch) 1: 外部転送要求 (割り込み要求または外部 DREQn 要求) 0: 内部転送要求 (ソフトスタート)
13	PosE	立ち上がりエッジ	Positive Edge (初期値“0”) 転送要求信号 $\overline{\text{INTDREQn}}$ または $\overline{\text{DREQn}}$ の有効レベルを指定します。転送要求が外部転送要求のとき (ExR ビットが“1”) のみ有効です。内部転送要求のとき (ExR ビットが 0) は PosE の値は無視されます。 $\overline{\text{INTDREQn}}$ 、 $\overline{\text{DREQn}}$ 信号は“L”レベルアクティブの信号なので、この PosE ビットをかならず“0”に設定してください。 1: 設定禁止 0: $\overline{\text{INTDREQn}}$ 、 $\overline{\text{DREQn}}$ 信号の立ち下がり、または“L”レベルが有効。 $\overline{\text{DACKn}}$ 信号のアクティブレベルは“L”レベル
12	Lev	レベルモード	Level Mode (初期値 0) 外部転送要求の要求方法を指定します。転送要求として外部転送要求が設定されているとき (ExR ビットが“1”) のみ有効です。内部転送要求が設定されているとき (ExR ビットが“0”) は、Lev ビットの値は無視されます。 $\overline{\text{INTDREQn}}$ 信号は“L”レベルアクティブの信号なので、この Lev ビットをかならず“1”に設定してください。 $\overline{\text{DREQn}}$ のアクティブの状態は Lev ビットの設定によります。 1: レベルモード。 $\overline{\text{DREQn}}$ 信号のレベル (PosE ビットが“0”のとき“L”レベル) をデータ転送要求として認識します。 0: エッジモード。 $\overline{\text{DREQn}}$ 信号の変化 (PosE ビットが“0”のとき立ち上がりエッジ) をデータ転送要求として認識します。
11	SReq	スヌープ要求	Snoop Request (初期値“0”) バス制御権要求モードとしてスヌープ機能の使用を指定します。使用する場合、TX19A/H1 プロセッサコアのスヌープ機能が有効になり、DMAC はコアのデータバスを使用できます。使用しない場合、TX19A/H1 プロセッサコアのスヌープ機能は動きません。 1: スヌープ機能を使用する (SREQ)。 0: スヌープ機能を使用しない (GREQ)。

ビット	ニモニク	フィールド名	説明
10	RelEn	バス制御権解放要求許可	Release Request Enable (初期値 "0") TX19A/H1 プロセッサコアからのバス制御権解放要求に対して応答することを指定します。 この機能は GREQ のときのみ有効です。SREQ のときには TX19A/H1 プロセッサコアはバス制御権解放要求を出せないためこの機能は無効になります。 1: DMAC がバス権を所有しているときに、バス制御権解放要求に応えます。TX19A/H1 プロセッサコアがバス制御権解放要求を発行すると、DMAC はバスオペレーションの切れ目でバス制御権をコアに返します。 0: バス制御権解放要求に応えません。
9	SIO	転送方法の選択	Source Type: I/O (初期値 "0") 1: 単発転送 0: 連続転送 (BCRx が "0" になるまで連続転送します)
8:7	SAC	ソースアドレスカウンタ	Source Address Count (初期値 "00") ソースのアドレス変化を指定します。 1x: アドレス固定 01: アドレス減少 00: アドレス増加
6	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
5:4	DAC	デスティネーションアドレスカウンタ	Destination Address Count (初期値 "00") デスティネーションのアドレス変化を指定します。 1x: アドレス固定 01: アドレス減少 00: アドレス増加
3:2	TrSiz	転送単位	Transfer-Size (初期値 "00") 1 回の転送要求に対する転送データ量を示します。 11: 8 ビット (バイト) 10: 16 ビット (2 バイト) 0x: 32 ビット (4 バイト) ※必ずデバイスポートサイズ(DPS)と同じ設定にしてください
1:0	DPS	デバイスポートサイズ	Device Port Size (初期値 "00") ソースデバイスもしくはデスティネーションデバイスとして指定した I/O デバイスのバス幅を指定します。 11: 8 ビット (バイト) 10: 16 ビット (2 バイト) 0x: 32 ビット (4 バイト) ※必ず転送単位(TrSiz)と同じ設定にしてください

## チャンネル制御レジスタ (CCRn) (2/2)

- (注 1) CCRn レジスタの設定は DMAC を待機状態にする前に行ってください。
- (注 2) 連続転送の時には、DPS にセットされた値は無効になります。
- (注 3) モードの設定を行ってから、<Str>ビットの設定を行ってください。

10.3.3 リクエスト選択レジスタ (RSR)

RSR  
(0xFF00\_1304)

	7	6	5	4	3	2	1	0
bit Symbol				ReqS4				ReqS0
Read/Write				R/W				R/W
リセット後	0	0	0	0	0	0	0	0
機能	常に“0”を設定してください。			詳細説明を参照ください。	常に“0”を設定してください。			詳細説明を参照ください。
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write								
リセット後	0	0	0	0	0	0	0	0
機能								
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write								
リセット後	0	0	0	0	0	0	0	0
機能								
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write								
リセット後	0	0	0	0	0	0	0	0
機能								

ビット	ニモニック	フィールド名	説明
4	ReqS4	リクエストセレクト (ch.4)	Request Select (初期値 0) DMA チャンネル 4 に対する外部転送要求の選択を行います。 1: DREQ4 からの要求 0: 割り込みコントローラ (INTC) からの要求
0	ReqS0	リクエストセレクト (ch.0)	Request Select (初期値 0) DMA チャンネル 0 に対する外部転送要求の選択を行います。 1: DREQ0 からの要求 0: 割り込みコントローラ (INTC) からの要求

(注) RSR レジスタのビット 1~3、5~7 はかならず “0” をライトしてください。

DMA 制御レジスタ (RSR)

10.3.4 チャネルステータスレジスタ (CSRn)

CSRn		7	6	5	4	3	2	1	0
	bit Symbol								
	Read/Write							R/W	
	リセット後	0	0	0	0	0	0	0	0
機能	常に“0”を設定してください。								
		15	14	13	12	11	10	9	8
bit Symbol									
Read/Write									
リセット後	0	0	0	0	0	0	0	0	0
機能									
		23	22	21	20	19	18	17	16
bit Symbol	NC	AbC		BES	BED	Conf			
Read/Write	R/W	R/W	R/W	R	R	R			
リセット後	0	0	0	0	0	0	0	0	0
機能	詳細説明を参照ください。		常に“0”を設定してください。		詳細説明を参照ください。				
		31	30	29	28	27	26	25	24
bit Symbol	Act								
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	0
機能	詳細説明を参照ください。								

チャネルステータスレジスタ (CSRn) (1/2)

Not Recommended for New

ビット	ニモニック	フィールド名	説明
31	Act	チャンネルアクティブ	Channel Active (初期値 "0") チャンネルが待機状態であることを示します。 1: チャンネルは待機状態である。 0: チャンネルは待機状態でない。
23	NC	正常終了	Normal Completion (初期値 "0") チャンネル動作が正常終了したことを示します。CCR レジスタによって正常終了時の割り込みが許可されている場合、NC ビットが"1"になると、DMAC は割り込みを要求します。 NC ビットに "0" を書き込むことによりクリアできます。正常終了により割り込みを要求していた場合、NC ビットが "0" になると、割り込み要求をとりさげます。 NC ビットが "1" のとき、Str ビットを "1" にセットしようとするエラーになります。次の転送を開始するときには、NC ビットを "0" にクリアしてください。"1" の書き込みは無視されます。 1: チャンネル動作が正常終了。 0: チャンネル動作が正常終了していない。
22	AbC	異常終了	Abnormal Completion (初期値 "0") チャンネル動作が異常終了したことを示します。CCR レジスタによって異常終了時の割り込みが許可されている場合、AbC ビットが "1" になると、DMAC は割り込みを要求します。AbC ビットは "0" を書き込むことによりクリアできます。異常終了により割り込みを要求していた場合、AbC ビットが "0" になると、割り込み要求をとりさげます。また、AbC ビットが "0" にクリアされると、BES、BED および Conf の各ビットを "0" にクリアします。 AbC ビットが "1" のとき、Str ビットを "1" にセットしようとするエラーになります。次の転送を開始するときには、AbC ビットを "0" にクリアしてください。"1" の書き込みは無視されます。 1: チャンネル動作が異常終了。 0: チャンネル動作が異常終了していない。
21	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
20	BES	ソースバスエラー	Source Bus Error (初期値 "0") 1: ソースアクセス時にバスエラー発生。 0: ソースアクセス時にバスエラー発生していない。
19	BED	デスティネーションバスエラー	Destination Bus Error (初期値 "0") 1: デスティネーションアクセス時にバスエラー発生した。 0: デスティネーションアクセス時にバスエラー発生していない。
18	Conf	コンフィグレーションエラー	Configuration Error (初期値 "0") 1: コンフィグレーションエラー発生。 0: コンフィグレーションエラー発生していない。
2:0	—	(予約済み)	このビットは3ビットとも予約ビットです。すべてのビットに対して常に "0" を設定してください。

## チャンネルステータスレジスタ (CSRn) (2/2)

## 10.3.5 ソースアドレスレジスタ (SARn)

SARn		7	6	5	4	3	2	1	0
	bit Symbol	SAddr7	SAddr6	SAddr5	SAddr4	SAddr3	SAddr2	SAddr1	SAddr0
	Read/Write	R/W							
	リセット後	不定							
機能	詳細説明を参照ください。								
		15	14	13	12	11	10	9	8
bit Symbol	SAddr15	SAddr14	SAddr13	SAddr12	SAddr11	SAddr10	SAddr9	SAddr8	
Read/Write	R/W								
リセット後	不定								
機能	詳細説明を参照ください。								
		23	22	21	20	19	18	17	16
bit Symbol	SAddr23	SAddr22	SAddr21	SAddr20	SAddr19	SAddr18	SAddr17	SAddr16	
Read/Write	R/W								
リセット後	不定								
機能	詳細説明を参照ください。								
		31	30	29	28	27	26	25	24
bit Symbol	SAddr31	SAddr30	SAddr29	SAddr28	SAddr27	SAddr26	SAddr25	SAddr24	
Read/Write	R/W								
リセット後	不定								
機能	詳細説明を参照ください。								

ビット	ニモニック	フィールド名	説明
31:0	SAddr	ソースアドレス	Source Address (初期値) データ転送元となるソースのアドレスを物理アドレスで設定します。CCRnのSAC, TrSizで指定された内容と、DTCRnのSACMで指定された内容に従ってアドレスが変化します。

ソースアドレスレジスタ (SARn)

## 10.3.6 デスティネーションアドレスレジスタ (DARn)

DARn		7	6	5	4	3	2	1	0
	bit Symbol	DAddr7	DAddr6	DAddr5	DAddr4	DAddr3	DAddr2	DAddr1	DAddr0
	Read/Write	R/W							
	リセット後	不定							
	機能	詳細説明を参照ください。							
		15	14	13	12	11	10	9	8
bit Symbol	DAddr15	DAddr14	DAddr13	DAddr12	DAddr11	DAddr10	DAddr9	DAddr8	
Read/Write	R/W								
リセット後	不定								
機能	詳細説明を参照ください。								
		23	22	21	20	19	18	17	16
bit Symbol	DAddr23	DAddr22	DAddr21	DAddr20	DAddr19	DAddr18	DAddr17	DAddr16	
Read/Write	R/W								
リセット後	不定								
機能	詳細説明を参照ください。								
		31	30	29	28	27	26	25	24
bit Symbol	DAddr31	DAddr30	DAddr29	DAddr28	DAddr27	DAddr26	DAddr25	DAddr24	
Read/Write	R/W								
リセット後	不定								
機能	詳細説明を参照ください。								

ビット	ニモニック	フィールド名	説明
31:0	DAddr	デスティネーションアドレス	Destination Address (初期値) データ転送先となるデスティネーションのアドレスを物理アドレスで設定します。CCRn の DAC, TrSiz で指定された内容と、DTCRn の DACM で指定された内容に従ってアドレスが変化します。

デスティネーションアドレスレジスタ (DARn)

## 10.3.7 バイトカウントレジスタ (BCRn)

BCRn		7	6	5	4	3	2	1	0
	bit Symbol	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0
	Read/Write	R/W							
	リセット後 機能	不定 詳細説明を参照ください。							
		15	14	13	12	11	10	9	8
bit Symbol		BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8
Read/Write		R/W							
リセット後 機能		不定 詳細説明を参照ください。							
		23	22	21	20	19	18	17	16
bit Symbol		BC23	BC22	BC21	BC20	BC19	BC18	BC17	BC16
Read/Write		R/W							
リセット後 機能		不定 詳細説明を参照ください。							
		31	30	29	28	27	26	25	24
bit Symbol									
Read/Write									
リセット後									
機能									

ビット	ニモニック	フィールド名	説明
23:0	BC	バイトカウント	Byte Count (初期値 0) データ転送するバイト数を設定します。転送したデータ数分ずつ (CCRn の TrSiz で指定した値ずつ) アドレスが減少します。

## バイトカウントレジスタ (BCRn)

10.3.8 DMA転送制御レジスタ (DTCRn)

DTCRn		7	6	5	4	3	2	1	0
	bit Symbol	DACM				SACM			
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
機能	詳細説明を参照ください。				詳細説明を参照ください。				
		15	14	13	12	11	10	9	8
	bit Symbol								
	Read/Write								
	リセット後	0	0	0	0	0	0	0	0
	機能								
		23	22	21	20	19	18	17	16
	bit Symbol								
	Read/Write								
	リセット後	0	0	0	0	0	0	0	0
	機能								
		31	30	29	28	27	26	25	24
	bit Symbol								
	Read/Write								
	リセット後	0	0	0	0	0	0	0	0
	機能								

ビット	ニモニック	フィールド名	説明
5:3	DACM	デスティネーションアドレスカウントモード	Destination Address Count Mode デスティネーションアドレスのカウントモードを指定します。 000: ビット 0 からカウント 001: ビット 4 からカウント 010: ビット 8 からカウント 011: ビット 12 からカウント 100: ビット 16 からカウント 101: 設定禁止 110: 設定禁止 111: 設定禁止
2:0	SACM	ソースアドレスカウントモード	Source Address Count Mode ソースアドレスのカウントモードを指定します。 000: ビット 0 からカウント 001: ビット 4 からカウント 010: ビット 8 からカウント 011: ビット 12 からカウント 100: ビット 16 からカウント 101: 設定禁止 110: 設定禁止 111: 設定禁止

DMA 転送制御レジスタ (DTCRn)

10.3.9 データホールディングレジスタ (DHR)

DHR (0xFF00_130C)		7	6	5	4	3	2	1	0
	bit Symbol	DOT7	DOT6	DOT5	DOT4	DOT3	DOT2	DOT1	DOT0
	Read/Write	R/W							
	リセット後	不定							
機能	詳細説明を参照ください。								
		15	14	13	12	11	10	9	8
bit Symbol	DOT15	DOT14	DOT13	DOT12	DOT11	DOT10	DOT9	DOT8	
Read/Write	R/W								
リセット後	不定								
機能	詳細説明を参照ください。								
		23	22	21	20	19	18	17	16
bit Symbol	DOT23	DOT22	DOT21	DOT20	DOT19	DOT18	DOT17	DOT16	
Read/Write	R/W								
リセット後	不定								
機能	詳細説明を参照ください。								
		31	30	29	28	27	26	25	24
bit Symbol	DOT31	DOT30	DOT29	DOT28	DOT27	DOT26	DOT25	DOT24	
Read/Write	R/W								
リセット後	不定								
機能	詳細説明を参照ください。								

ビット	ニモニック	フィールド名	説明
31:0	DOT	転送データ	Data on Transfer (初期値 "0") デュアルアドレスモードでの転送で、ソースからリードしたデータです。

データホールディングレジスタ (DHR)

## 10.4 動作

DMAC は TX19A/H1 プロセッサコアを用いたシステム内のデータ転送を、コアを介さずに高速に行うことができる 32 ビット DMA コントローラです。

### 10.4.1 詳細

#### (1) ソースとデスティネーション

DMAC は、メモリ空間のデータ転送を行います。データ転送元のデバイスをソースデバイス、データ転送先のデバイスをデスティネーションデバイスと呼びます。ソースデバイス、デスティネーションデバイスとして、メモリを指定できます。

DMAC への転送要求に割り込み要因を指定することができます。割り込み要因が発生すると割り込みコントローラ (INTC) が DMAC に対してリクエストを出します (このとき TX19A/H1 プロセッサコアに対しては割り込み要求は通知されません。詳しくは「割り込み」の項を参照してください)。この INTC からの要求は  $\overline{DACKn}$  信号によってクリアされます。転送方法の選択 (SIO BIT) にて単発転送が設定されているときには DMAC への要求は 1 回の転送 (TrSiz で指定した転送サイズ分の転送) ごとに解除されます。これに対して連続転送を設定した場合には転送バイト数 (BCRn レジスタの値) が “0” になったときだけ  $\overline{DACKn}$  がアサートされるので、1 回の転送要求で連続してデータ転送を行います。

例えば、TMP19A44 の内蔵 I/O と内蔵 (外部) メモリ間で転送を行う場合、内蔵 I/O から DMAC へ要求は 1 回の転送ごとにクリアされます (単発転送) が、転送バイト数 (BCRn レジスタの値) が “0” にならない限り次の転送要求待ちの状態になります。したがって、BCRn レジスタの値が “0” になるまで DMA 転送を連続して行います (連続転送)。

#### (2) バス制御権の受け渡し (バスアービトレーション)

DMAC は、DMAC 内部からの転送要求により、TX19A/H1 プロセッサコアにバス制御権を要求します。応答信号がコアから返ってくると、バス制御権を獲得してデータ転送のバスサイクルを実行します。

DMAC のバス制御権要求には、TX19A/H1 プロセッサコアのデータバスを使用できるスヌープを要求するモードと要求しないモードとがあります。モードの選択はチャンネルごとに CCRn レジスタのビット 11 (SReq) で設定します。

また、TX19A/H1 プロセッサコアがバス制御権の解放を求める場合があります。この要求に応答するかはチャンネルごとに CCRn レジスタのビット 10 (RelEn) で設定します。ただし、この機能はスヌープを要求しないモード (GREQ) のときのみ有効です。スヌープを要求するモード (SREQ) のときには TX19A/H1 プロセッサコアはバス制御権解放要求を出せないなのでこの機能は無効になります。

転送要求がなくなると、DMAC はバス制御権を解放します。

(注 1) DMAC 動作中は Halt 動作に移行しないでください。

(注 2) スヌープ機能を使用時は、IDLE (Doze) モードへ移行する前に DMAC を停止してください。

## (3) 転送要求モード

DMAC の転送要求モードには、内部転送要求モードと外部転送要求モードとがあります。

内部転送要求モードは、DMAC 内部で転送要求が発生するモードです。DMAC 内蔵レジスタのスタートビット（チャンネル制御レジスタ CCRn の Str ビット）に“1”をセットすると転送要求が発生し、DMAC は転送動作を開始します。

外部転送要求モードはスタートビットに“1”をセットした後、INTC が出力する転送要求信号（INTDREQn）の入力または外部デバイスが出力する転送要求信号 DREQn の入力により転送要求が発生するモードです。DMAC は INTDREQn 信号の“L”レベル検出で転送要求が発生するレベルモードと、DREQn 信号の立下りエッジまたは“L”レベル検出で転送要求が発生するモードとがあります。

## (4) アドレスモード

TMP19A44 の DMAC が持っているアドレスモードは、デュアルアドレスモードのみです。シングルアドレスモードはありません。ソースデバイスおよびデスティネーションデバイスのアドレスは DMAC が出力します。I/O デバイスにアクセスする際、DMAC は DACKn 信号をアサートします。このモードでは、リードオペレーションとライトオペレーションの2つのバスオペレーションを実行します。なお、ソースデバイスから読み出した転送データは、DMAC 内部のデータホールディングレジスタ（DHR）にいったん取り込んだ後、デスティネーションデバイスへ書き込みます。

## (5) チャンネル動作

DMAC には 8 つのチャンネル（チャンネル 0～チャンネル 7）があります。チャンネルは、チャンネル制御レジスタ（CCRn）のスタート（Str）ビットを“1”にセットすることにより起動され、待機状態になります。

チャンネルが待機状態のときに転送要求が発生すると、DMAC はバス制御権を獲得してデータ転送を行います。転送要求がなくなると、DMAC はバス制御権を解放して待機状態になります。転送が終了すると、チャンネルは停止状態になります。転送終了には、正常終了と、エラー発生などによる異常終了とがあります。転送終了時には割り込み信号を発生することができます。

チャンネル動作の状態遷移の概略を図 10-3 に示します。

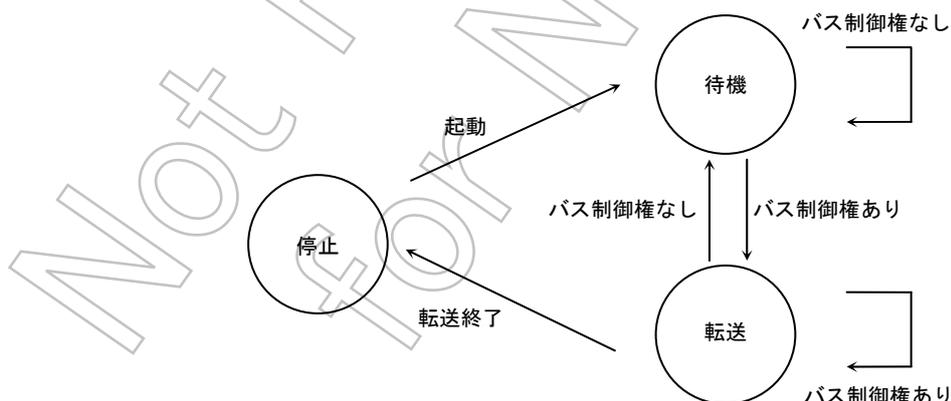


図10-3 チャンネル動作の状態遷移

## (6) 転送方式組み合わせまとめ

DMAC は各モードの組み合わせにより、下表の転送ができます。

転送要求	エッジ/レベル	アドレスモード	転送方法
内部	—	デュアル	連続転送
外部	“L” レベル (INTDREQn)		単発転送
外部	“L” レベル (DREQn)		連続転送
	立ち下がりエッジ (DREQn)		単発転送

## (7) アドレス変化

アドレス変化には大きくわけて増加、減少、固定の 3 タイプがあります。CCRn レジスタの SAC、DAC によりソースアドレスとデスティネーションアドレスごとに設定できます。単発転送を選んだ場合は、ソースデバイスまたはデスティネーションデバイスの設定は、CCRn レジスタの SAC または DAC の設定をアドレス固定にしてください。

アドレス変化に増加もしくは減少を選んだ場合、カウントするビット位置を DTGRn レジスタの SACM、DACM で設定できます。SACM がソースアドレスで、DACM がデスティネーションアドレスに対しての設定になります。アドレスをカウントするビット位置としてはビット 0, 4, 8, 12, 16 を指定できます。ビット 0 を選択したときは通常の増加、減少になります。ビット 4, 8, 12, 16 を指定することで変則増加、変則減少をさせることができます。

アドレス変化の例を示します。

例 1) ソースデバイスは単調増加、デスティネーションが変則増加のとき

SAC: アドレス増加  
 DAC: アドレス増加  
 TrSiz: 転送単位 32 ビット  
 ソースアドレス: 0xA000\_1000  
 デスティネーションアドレス: 0xB000\_0000  
 SACM: 000 → アドレスカウンターの 0 ビット目からカウントする。  
 DACM: 001 → アドレスカウンターの 4 ビット目からカウントする。

	ソース	デスティネーション
1 回目	0xA000_1000	0xB000_0000
2 回目	0xA000_1004	0xB000_0010
3 回目	0xA000_1008	0xB000_0020
4 回目	0xA000_100C	0xB000_0030

... ..

例 2) ソースデバイスは変則減少、デスティネーションが単調減少のとき

SAC: アドレス減少  
 DAC: アドレス減少  
 TrSiz: 転送単位 16 ビット  
 ソースアドレス: 初期値 0xA000\_1000  
 デスティネーションアドレス: 0xB000\_0000  
 SACM: 010 → アドレスカウンターの 8 ビット目からカウントする。  
 DAGM: 000 → アドレスカウンターの 0 ビット目からカウントする。

	ソース	デスティネーション
1 回目	0xA000_1000	0xB000_0000
2 回目	0x9FFF_FF00	0xAFFF_FFFE
3 回目	0x9FFF_FE00	0xAFFF_FFFC
4 回目	0x9FFF_FD00	0xAFFF_FFFA
	...	...

#### 10.4.2 転送要求

DMAC でデータ転送を行うためには、DMAC に対して転送要求を発生する必要があります。DMAC の転送要求には、内部転送要求と外部転送要求との 2 種類があります。転送要求はチャンネルごとに設定できます。

どちらの転送要求の場合でも、チャンネル動作が起動された後に転送要求が発生すると DMAC はバス制御権を獲得してデータ転送を行います。

- 内部転送要求

CCR<sub>n</sub> の ExR ビットが “0” であるとき、CCR の Str ビットに “1” をセットすると、ただちに転送要求が発生します。この転送要求を内部転送要求と呼びます。

内部転送要求では、チャンネル動作が終了するまで転送要求がありますので、優先度の高いチャンネルへの遷移や、他の優先度の高いバスマスタへのバス制御権の遷移が起こらない限り、連続してデータ転送を行います。

- 外部転送要求

CCR<sub>n</sub> の ExR ビットが “1” であるとき、CCR の Str ビットに “1” をセットしてチャンネルが待機状態になった後、チャンネルに対応する  $\overline{\text{INTDREQn}}$  信号または  $\overline{\text{DREQn}}$  信号により転送要求が INTC または外部デバイスから通知されると、転送要求が発生します。この転送要求を外部転送要求と呼びます。

TMP19A44 のリクエスト信号の認識方法は、 $\overline{\text{INTDREQn}}$  信号の “L” レベル検出、 $\overline{\text{DREQn}}$  信号の立ち下がりエッジまたは “L” レベル検出のみです。

1 回の転送要求に対するデータ転送単位は CCR<sub>n</sub> の TrSiz フィールドで指定します。32 ビット、16 ビット、あるいは 8 ビットを指定できます。

$\overline{\text{INTDREQn}}$ 、 $\overline{\text{DREQn}}$  による転送要求の詳細を次に説明します。

## ① 割り込みコントローラ（INTC）からの要求

$\overline{DACKn}$  信号によってクリアされます。この  $\overline{DACKn}$  信号は単発転送のバスサイクル、もしくは連続転送設定時の転送バイト数（BCRn レジスタの値）が“0”になったときだけアサートされます。したがって、単発転送では、転送要求ごとに INTDREQn がクリアされるので、TrSiz で指定した転送サイズ分の転送が1回行われるだけです。一方、連続転送では、転送バイト数（BCRn レジスタの値）が“0”になるまで INTDREQn がクリアされないので、1回の転送要求で連続してデータ転送が行えます。

なお、INTDREQn に指定した割り込みを、DMAC が受け付けて DMA 転送を開始する前に INTC などによってクリアした場合には、タイミングによっては DMA 転送が割り込み要求がクリアされた後に1回実行されることがあります。

## ② 外部デバイスからの要求

外部端子（DREQ0、DREQ4）は、内部にてポート F 兼用チャネルとなっています。機能制御レジスタ PFFC1、PFFC2、PFCR、PFIE にて外部端子を選択することができます。

エッジモードでは転送要求ごとに、いったん DREQn 信号をデアサートしてからアサートして有効エッジを作る必要がありますが、レベルモードでは、有効レベルを保持することで、連続した転送要求を認識できます。

## ーレベルモード

レベルモードでは、内部システムクロックの立ち上がりで DREQn 信号を“L”レベル検出します。チャネルが待機状態のときに、DREQn 信号に“L”レベルを検出すると、DMAC は転送状態に移り、データ転送を開始します。DREQn 信号のアクティブレベルは CCRn レジスタの PosE ビット（bit13）を“0”にして使用します。DACKn 信号のアクティブレベルは DREQn 信号と同じ“L”アクティブです。

外部回路が  $\overline{DREQn}$  信号をアサートしたら、 $\overline{DACKn}$  信号がアサートされるまで  $\overline{DREQn}$  信号を“L”レベルに保持してください。 $\overline{DACKn}$  信号がアサートされる前に  $\overline{DREQn}$  信号をデアサートした場合には、転送要求が認識されないことがあります。

$\overline{DREQn}$  信号が“L”レベルでないと、転送要求がないとして、他のチャネルの転送動作を開始するか、バス制御権を解放して待機状態になります。

転送要求の単位は、CCRn レジスタの TrSiz フィールド（<bit3:2>）で指定します。

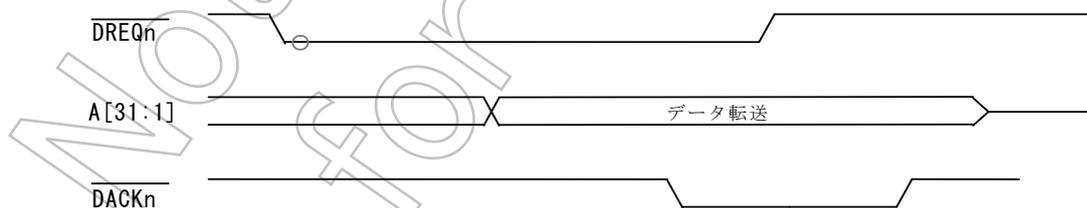


図10-4 転送要求タイミング（レベルモード）

### －エッジモード

エッジモードでは、 $\overline{\text{DREQn}}$  信号の立ち下がりエッジを検出します。チャンネルが待機状態にあるときに内部システムクロックの立ち上がりで  $\overline{\text{DREQn}}$  信号の立ち下がりエッジを認識する（1つ前のシステムクロックの立ち上がりでは“L”レベルではなかったが、現在は“L”レベルである場合）と、DMAC は転送要求があると認識して転送状態に移り、転送動作を開始します。 $\overline{\text{DREQn}}$  信号の立ち下がりには、CCRn レジスタの PosE ビット (bit13) を“0”に、Lev ビット (bit12) を“0”に設定します。DACKn 信号のアクティブレベルは“L”レベルです。

$\overline{\text{DACKn}}$  信号がアサートされた以降に  $\overline{\text{DREQn}}$  信号の立ち下がりエッジを認識すると、続けて次のデータが転送されます。

$\overline{\text{DACKn}}$  信号がアサートされた以降に  $\overline{\text{DREQn}}$  信号の立ち下がりエッジがない場合には、転送要求がないとして、他のチャンネル動作を開始するか、バス制御権を解放して待機状態になります。

転送要求の単位は、CCRn レジスタの TrSiz ビット (<bit3:2>) で指定します。



図10-5 転送要求タイミング（エッジモード）

### 10.4.3 アドレスモード

アドレスモードは、DMAC がソースデバイス、デスティネーションデバイスの双方にアドレスを出力して転送動作を行うか、あるいは一方のデバイスにのみアドレスを出力して転送動作を行うかを指定します。前者をデュアルアドレスモード、後者をシングルアドレスモードと呼びます。TMP19A44 には前者のデュアルアドレスモードしかありません。

デュアルアドレスモードでは、DMAC はまずソースデバイスに対するリードオペレーションを実行します。このときソースデバイスが出力したデータを、DMAC 内部のレジスタ (DHR) にいったん格納します。次にデスティネーションデバイスに対するライトオペレーションを実行することによって、このデータを書き込み、ソースデバイスからデスティネーションデバイスへのデータ転送を実現します。

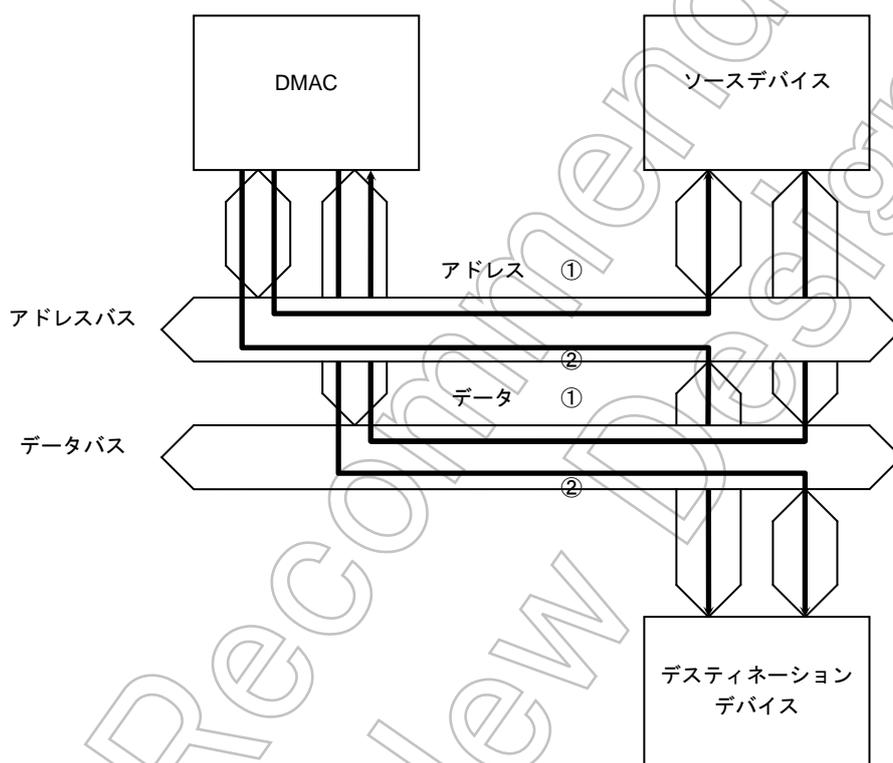


図10-6 デュアルアドレスモード転送の概念図

DMAC のデータ転送単位は、CCRn の TrSiz フィールドで指定したデータ量 (32 ビット、16 ビットまたは 8 ビット) です。転送要求を認識するごとにこの転送単位分のデータを転送します。

デュアルアドレスモードでは、データ転送単位分のデータをソースデバイスから DHR に読み込み、次にそのデータをデスティネーションデバイスに書き込みます。

メモリへのアクセスは設定したデータ転送単位で発生しますが、外部のメモリへのアクセスの場合、データ転送単位が 32 ビットの設定で、CS ウェイトコントローラでのバス幅の設定が 16 ビットの場合には 2 回の 16 ビットアクセスが発生することになります。同様にデータ転送単位が 32 ビットの設定で、CS ウェイトコントローラでのバス幅の設定が 8 ビットの場合には 4 回の 8 ビットアクセスが発生することになります。

#### 10.4.4 チャネル動作

チャネルは、各チャネルの CCRn の Str ビットが“1”にセットされると起動されます。チャネルが起動されると、起動のチェックが行われ、エラーがない場合にはそのチャネルは待機状態になります。

チャネルが待機状態であるときに転送要求が発生すると、DMAC はバス制御権を獲得して、転送動作を開始します。

チャネル動作の終了には、正常終了と、エラー発生などによる異常終了とがあります。終了したときの状態は、CSRn に示されます。

##### チャネル動作の開始

チャネルは CCRn の Str ビットが“1”にセットされると起動されます。

チャネルが起動されると、コンフィグレーションエラーのチェックを行い、エラーがなければ待機状態になります。エラーが検出されると、チャネルは異常終了します。チャネルが待機状態になると、そのチャネルの CSRn の Act ビットが“1”になります。

チャネルが内部転送要求に設定されている場合には、ただちに転送要求が発生し、DMAC はバス制御権を得てデータ転送を開始します。チャネルが外部転送要求に設定されている場合には、INTDREQn または DREQn がアサートされると DMAC はバス制御権を得てデータ転送を開始します。

##### チャネル動作の終了

チャネル動作の終了には、正常終了と異常終了とがあります。正常終了であるか異常終了であるかは、CSRn に示されます。

CSRn レジスタの NC ビットあるいは AbC ビットが“1”のときに CCRn レジスタの Str ビットに“1”をセットしようとする、チャネル動作は開始せず、異常終了となります。

##### 正常終了

チャネルが正常終了するのは、次の場合です。なお、正常終了では、かならずデータ転送単位 (CCRn の TrSiz フィールドで設定した値) での転送終了後の終了となります。

- BCRn の内容が“0”になりデータ転送が終了した場合

##### 異常終了

DMAC の異常終了には次のものがあります。

- コンフィグレーションエラーによる終了

コンフィグレーションエラーとは、DMA 転送の設定の誤りです。コンフィグレーションエラーはデータ転送動作を開始する前に発生しますので、SARn、DARn、BCRn の値は設定時のままです。コンフィグレーションエラーでチャネルが異常終了すると、CSRn の AbC ビットが“1”にセットされると同時に Conf ビットも“1”にセットされます。以下にコンフィグレーションエラーの要因を示します。

- CSRn の NC ビットあるいは AbC ビットの値が“1”であるときに CCRn の Str ビットに“1”をセットした。
- BCRn にデータ転送単位で割り切れない値を設定した。
- SARn、DARn にデータ転送単位で割り切れない値を設定した。
- BCRn の値が 0 のときに CCRn の Str ビットに“1”をセットした。

- バスエラーによる終了  
バスエラーによる異常終了では、CSRn の AbC ビットに “1” がセットされると同時に、CSRn の BES ビットあるいは BED ビットに “1” がセットされます。
  - データ転送中にバスエラーが通知された。

(注) バスエラーで終了した場合の BCR、SAR、DAR の値は保証されません。  
バスエラーを起こす場合は後述の「21. 機能レジスタ一覧表」を参照してください。

#### 10.4.5 チャンネルの優先順位

DMAC にある 8 つのチャンネルのうち、チャンネル番号の小さい方の優先度が常に高くなっています。このため、チャンネル 0 とチャンネル 1 と同時に転送要求が発生すると、チャンネル 0 の転送要求に対する転送動作をまず行います。チャンネル 0 の転送要求がなくなった時点でチャンネル 1 に依然として転送要求が発生していれば、チャンネル 1 の転送動作を実行します（内部転送要求では、転送要求は保持されています。外部転送要求では、割り込みコントローラ中で DMA 要求に割り当てた割り込み要求に対するアクティブ状態の設定がエッジモードのときには割り込みコントローラが転送要求を保持していますが、レベルモードでは割り込みコントローラは転送要求を保持しません。割り込みコントローラ中で DMA 要求に割り当てた割り込み要求に対するアクティブ状態の設定をレベルモードにした場合には、割り込み要求信号をアサートし続けてください）。

また、チャンネル 1 のデータ転送中にチャンネル 0 に転送要求が発生すると、チャンネル遷移が起こります。チャンネル 1 のデータ転送を一時中断し、チャンネル 0 の転送を開始します。チャンネル 0 の転送要求がなくなると、チャンネル 1 の転送動作を再開します。

チャンネル遷移が起こるタイミングは、データ転送単位の転送終了時です。すなわち、DHR 内のデータをすべて書き込んだときとなります。

#### 割り込み

DMAC はチャンネル動作終了時に TX19A/H1 プロセッサコアに割り込み（INTDMA<sub>n</sub> : DMA 転送終了割り込み）を要求することができます。割り込みには、正常終了割り込み、異常終了割り込みの 2 つがあります。

INTDMA0 : 0ch, INTDMA1 : 1ch, INTDMA2 : 2ch, INTDMA3 : 3ch  
INTDMA4 : 4ch, INTDMA5 : 5ch, INTDMA6 : 6ch, INTDMA7 : 7ch

- 正常終了割り込み  
チャンネル動作が正常終了すると、CSRn の NC ビットが “1” にセットされます。このとき CCRn の NIEn ビットで正常終了割り込みが許可されていると、TX19A/H1 プロセッサコアに割り込みを要求します。
- 異常終了割り込み  
チャンネル動作が異常終了すると、CSRn の AbC ビットに “1” がセットされます。このとき CCRn の AbIEn ビットで異常終了割り込みが許可されていると TX19A/H1 プロセッサコアに割り込みを要求します。

## 10.5 タイミング図

DMACの動作は、内部システムクロックの立ち上がりエッジに同期して行われます。

### 10.5.1 デュアルアドレスモード

- 連続転送

外部メモリ（16ビット幅）から外部メモリ（16ビット幅）へ16ビットデータ転送する場合の1回分のタイミング例を図10-7に示します。実際にはデータはBCRnが“0”になるまで連続して転送されます。

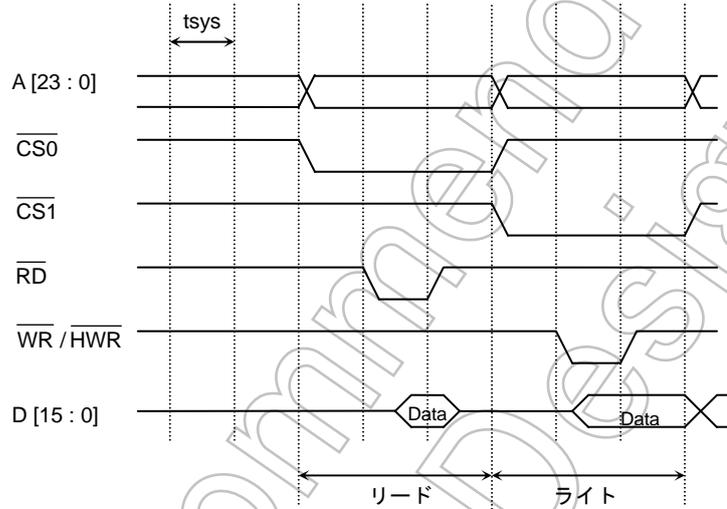


図10-7 デュアルアドレスモード（連続転送）

- 単発転送（1）

データ転送単位16ビット、デバイスポートサイズ16ビットに設定した場合の、転送のタイミング例を図10-8に示します。

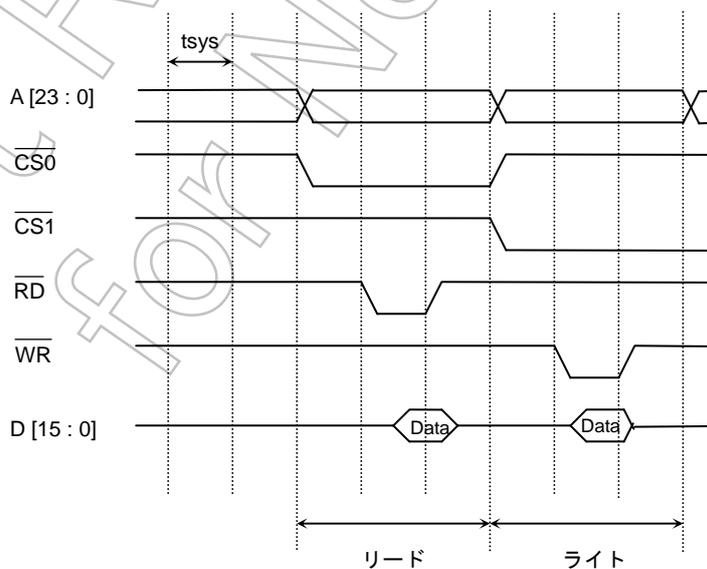


図10-8 デュアルアドレスモード（単発転送）

- 単発転送 (2)

データ転送単位 16 ビット、デバイスポートサイズ 16 ビットに設定した場合の、I/O デバイス→メモリ転送のタイミング例を図 10-9 に示します。

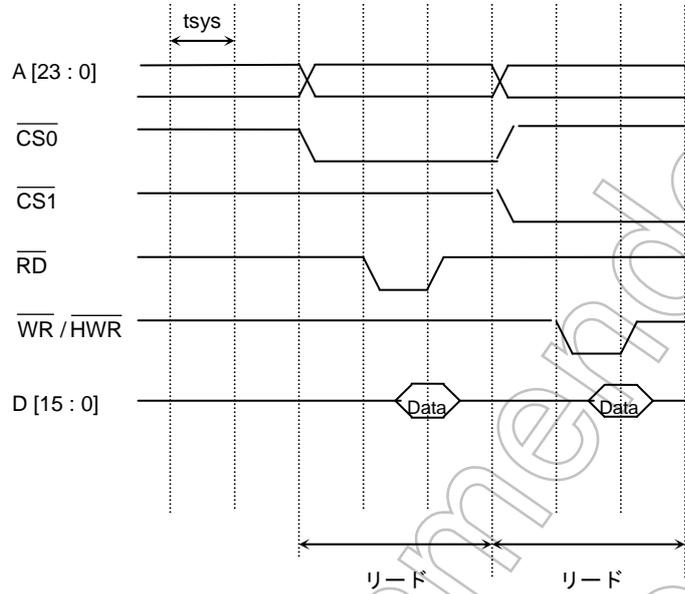


図10-9 デュアルアドレスモード (単発転送)

### 10.5.2 DREQnによる転送モード

- 内蔵 RAM→外部メモリ転送（マルチプレクスバス、5ウェイト挿入、レベルモード）  
 内蔵RAMから外部メモリ（16ビット幅）へ16ビットデータ転送する場合の2回分のタイミング例を図10-10に示します。

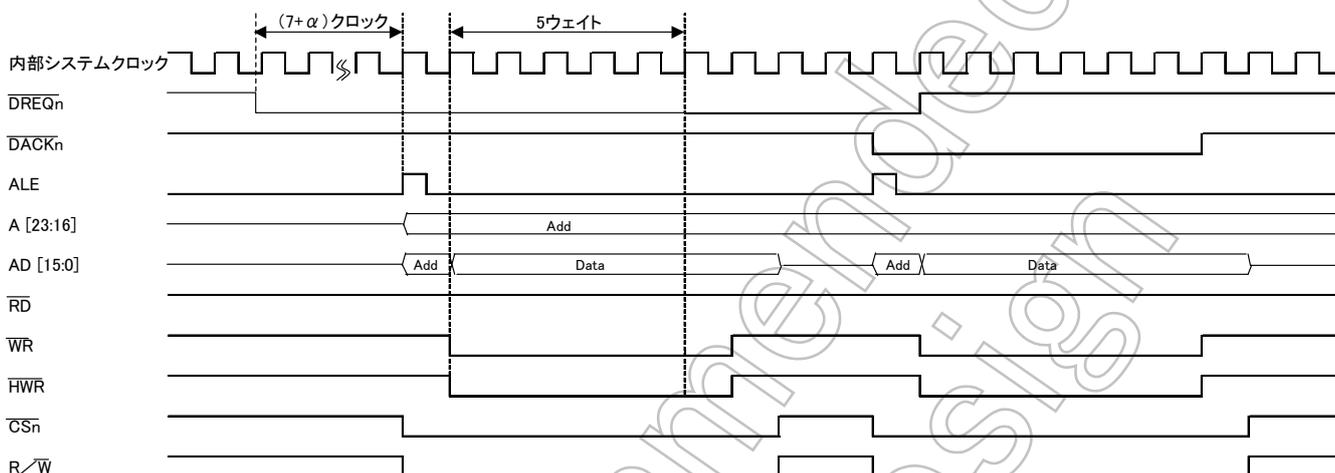


図 10-10 レベルモード（内蔵 RAM→外部メモリ）

- 外部メモリ→内蔵 RAM 転送（マルチプレクスバス、5ウェイト挿入、レベルモード）  
 外部メモリ（16ビット幅）から内蔵RAMへ16ビットデータ転送する場合の2回分のタイミング例を図10-11に示します。

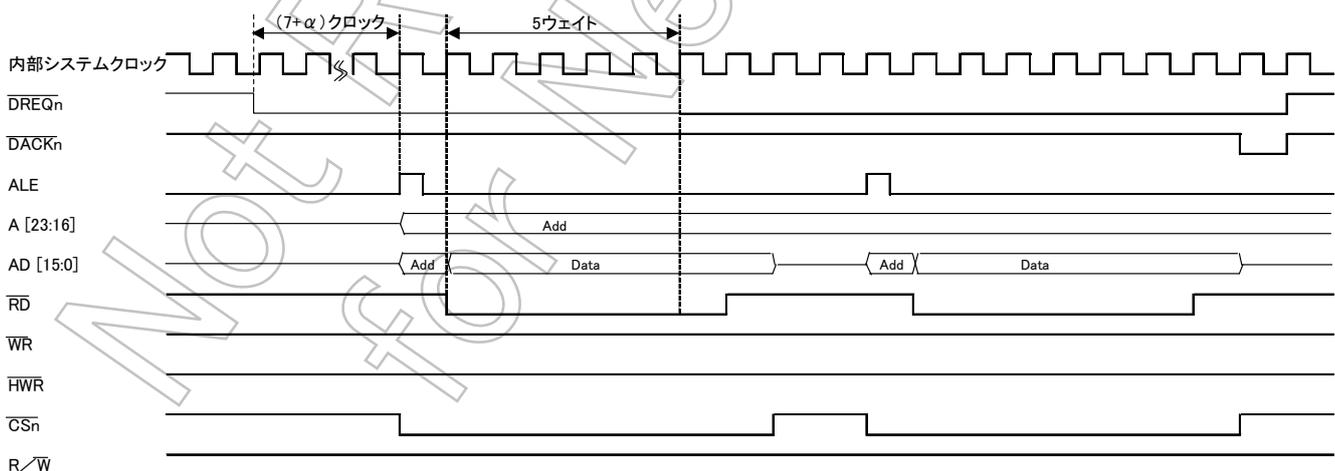


図 10-11 レベルモード（外部メモリ→内蔵 RAM）

- 内蔵 RAM→外部メモリ転送（セパレートバス、5 ウェイト挿入、レベルモード）  
 内蔵RAMから外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 2 回分のタイミング例を図 10-12 に示します。

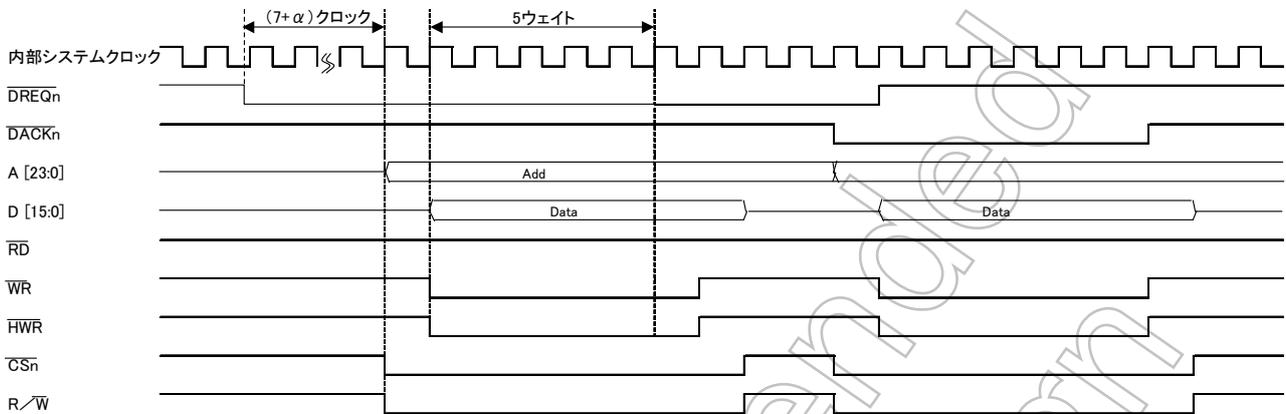


図 10-12 レベルモード（内蔵 RAM→外部メモリ）

- 外部メモリ→内蔵 RAM 転送（セパレートバス、5 ウェイト挿入、レベルモード）  
 外部メモリ（16 ビット幅）から内蔵RAMへ 16 ビットデータ転送する場合の 2 回分のタイミング例を図 10-13 に示します。

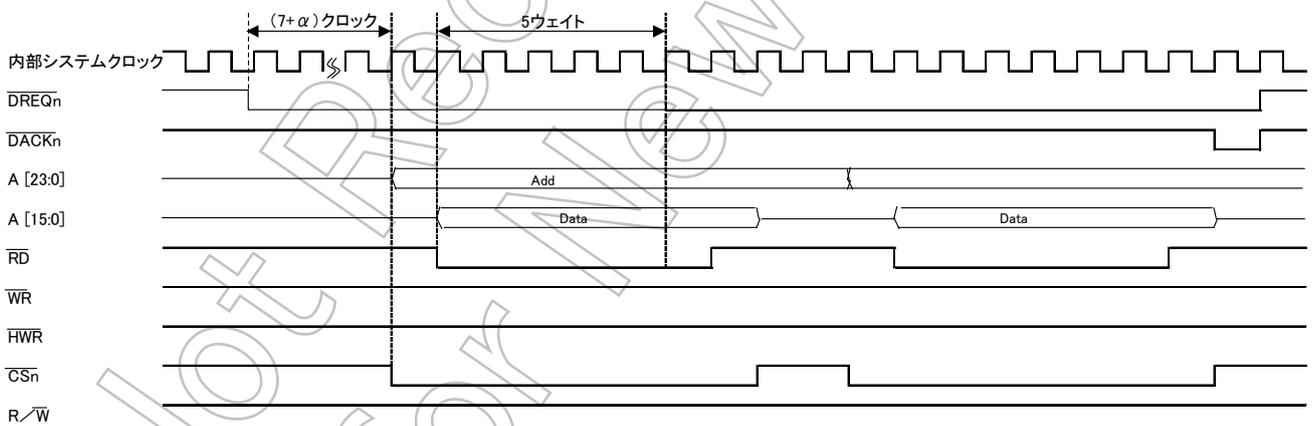


図 10-13 レベルモード（外部メモリ→内蔵 RAM）

- 内蔵 RAM→外部メモリ転送（マルチプレクスバス、5 ウェイト挿入、エッジモード）  
 内蔵RAMから外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10-14 に示します。

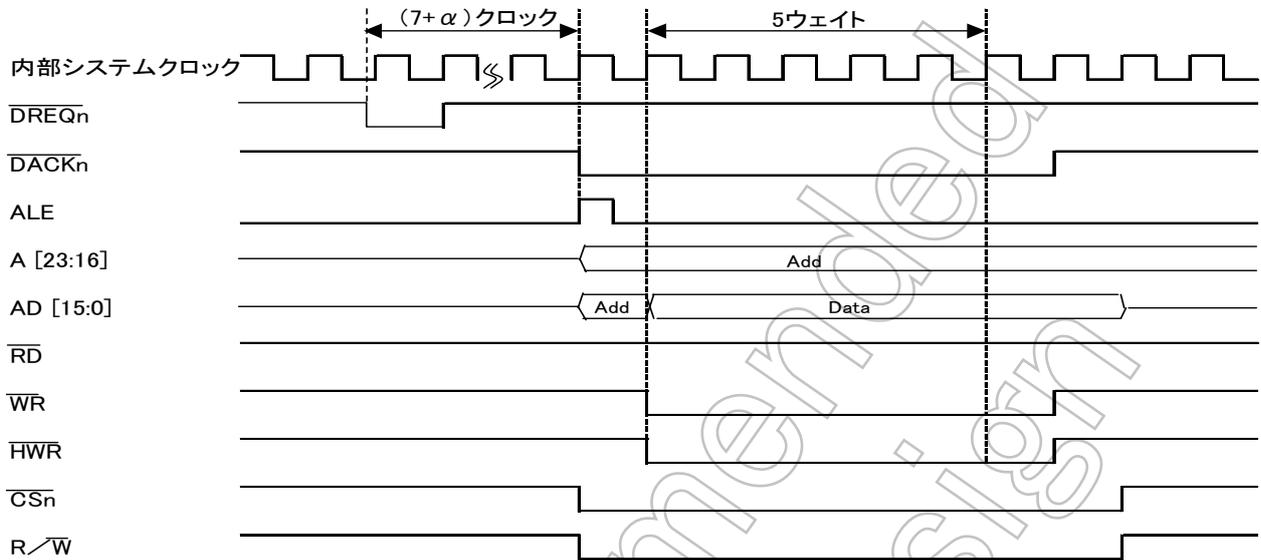


図 10-14 エッジモード（内蔵 RAM→外部メモリ）

- 外部メモリ→内蔵 RAM 転送（マルチプレクスバス、5 ウェイト挿入、エッジモード）  
 外部メモリ（16 ビット幅）から内蔵RAMへ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10-15 に示します。

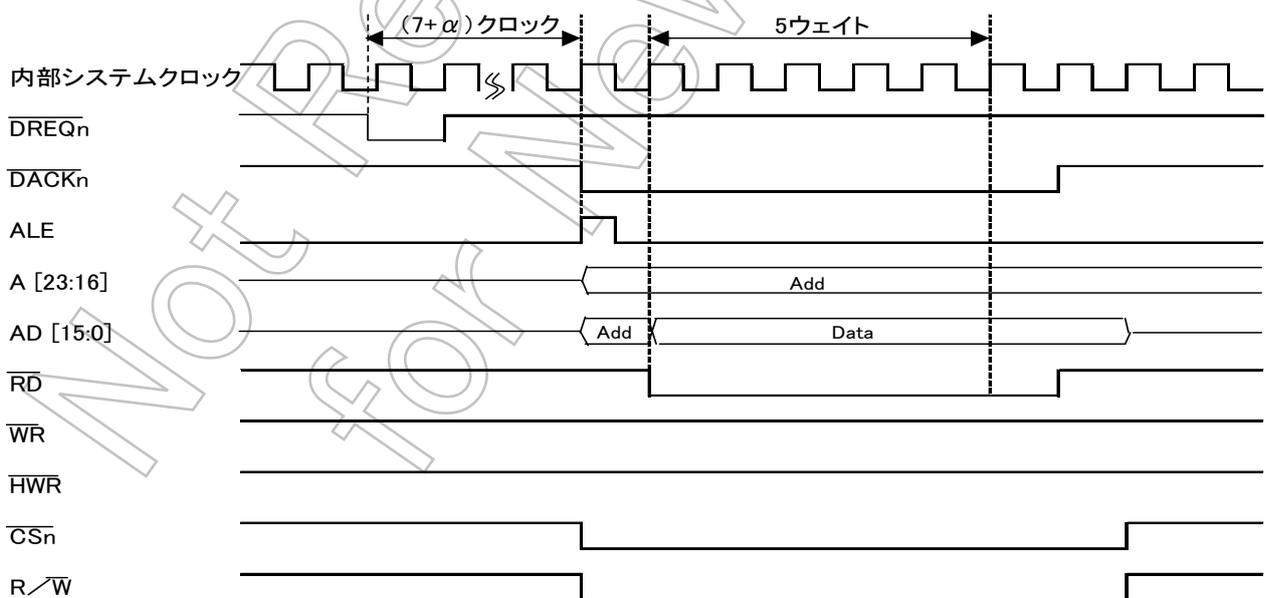


図 10-15 エッジモード（外部メモリ→内蔵 RAM）

- 内蔵 RAM→外部メモリ転送（セパレートバス、5 ウェイト挿入、エッジモード）  
 内蔵RAMから外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10-16 に示します。

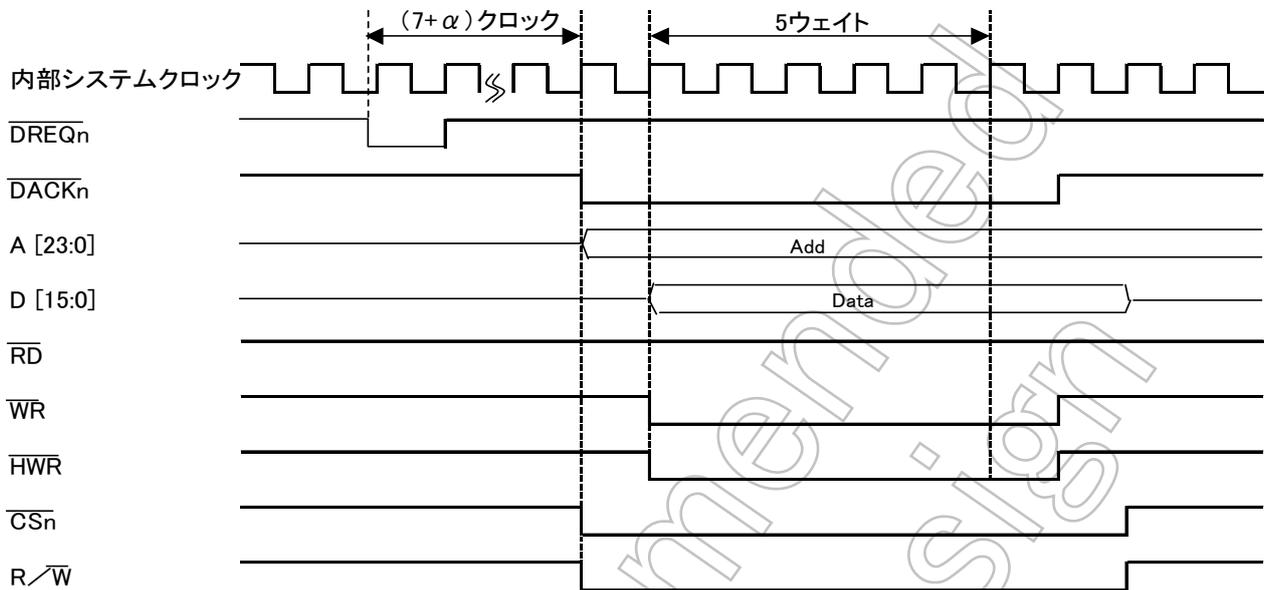


図 10-16 エッジモード（内蔵 RAM→外部メモリ）

- 外部メモリ→内蔵 RAM 転送（セパレートバス、5 ウェイト挿入、エッジモード）  
 外部メモリ（16 ビット幅）から内蔵RAMへ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10-17 に示します。

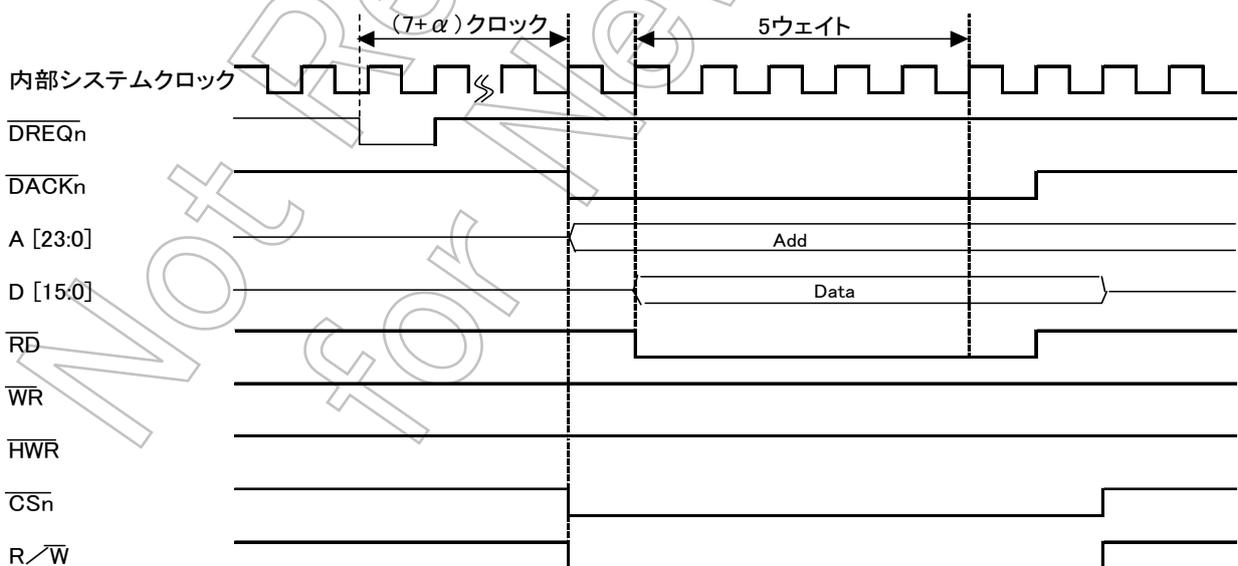


図 10-17 エッジモード（外部メモリ→内蔵 RAM）

## 10.6 設定例：シリアル受信データ（SCnBUF）を内蔵RAMにDMA転送する例

転送には DMA (ch. 0) を使い、SIO1 の受信割り込みで DMA0 を起動します。

<DMA 設定例>

- 使用チャンネル： 0
- ソースアドレス： SC1BUF
- デスティネーション：（物理アドレス） 0xFFFF\_A000
- 転送バイト数： 256 バイト

<シリアルチャンネル設定例>

- データ長 8 ビット： UART
- シリアルチャンネル： ch1
- 転送レート： 9600bps

<SIO ch.1 設定>

IMC09	←	x111, x000	/* DMCO 起動要因に割り当て */
INTCLR	←	0x098	/* IVR [8:0], INTRX1 割り込み要因 */
SC1MOD0	←	0x29	/* UART モード, 8 ビット長, ポーレートジェネレータ */
SC1CR	←	0x00	
BR1CR	←	0x1F	/* φT4, N=15 */

<DMA0 設定>

DCR	←	0x8000_0000	/* DMA リセット */
IMC17	←	x000, x000	/* 割り込み禁止 */
INTCLR	←	0x17C	/* IVR [8:0] の値 */
IMC17	←	x000, x100	/* レベル = 4 (任意値) */
DTCRO	←	0x0000_0000	/* DACM = 000 */ /* SACM = 000 */
SARO	←	0xFF00_4C44	/* SC1BUF の物理アドレス */
DARO	←	0xFFFF_9800	/* 転送先の物理アドレス */
BCRO	←	0x0000_00FF	/* 256 (転送バイト数) /
CCRO	←	0x80C0_5B0F	/* DMA ch.0 設定 */

(内容)

31	27	23	19				
1	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0
15	11	7	3				
0	1	0	1	1	x	1	1
0	1	0	0	0	0	1	1

## 10.7 DMAC転送要求クリアレジスタ (DREQFLG)

DREQFLGに“1”をセットすることで、任意のDMAC転送要求をクリアする事が出来ます。

DMAC 転送要求をクリアしたいチャンネルをクリア

DREQFLG (0xFF00_10C4)	bit Symbol	7	6	5	4	3	2	1	0
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	DMAC 転送要求をクリアします。							
		15	14	13	12	11	10	9	8
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								
	23	22	21	20	19	18	17	16	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								
	31	30	29	28	27	26	25	24	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								

- リード時 : 0 : DMAC 転送要求有り  
           1 : DMAC 転送要求無し
- ライト時 : 0 : 無効  
           1 : DMAC 転送要求クリア

## 11. 16 ビットタイマ/イベントカウンタ (TMRB)

多機能 16 ビットタイマ/イベントカウンタを 18 チャンネル (TMRB0~TMRB11) 内蔵しています。  
TMRB は、次の 4 つの動作モードをもっています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波出力 (PPG) モード
- タイマ同期モード (4ch 毎に同期出力設定可能)

また、キャプチャ機能を利用することで、次のような動作を行うことができます。

- 周波数測定モード
- パルス幅測定モード
- 時間差測定モード

各チャンネルは、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (ダブルバッファ構造)、16 ビットのキャプチャレジスタ 2 本、コンパレータ 2 個、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

各チャンネル (TMRB0~TMRB11) はそれぞれ独立に動作します。いずれのチャンネルも表 11-1 に示される仕様相違点を除いて同一の動作をしますので、動作説明は TMRB0 の場合についてのみ説明します。

下記チャンネルはキャプチャトリガや、同期トリガに使用されます。

- (1) TMRB 0、TMRB8、TMRB10 のフリップフロップ出力を他のチャンネルのキャプチャトリガとして使用致します。

- TB0OUT => TMRB 1 ~ 7 で使用
- TB8OUT => TMRB 9 ~ F で使用
- TB10OUT => TMRB 11 で使用

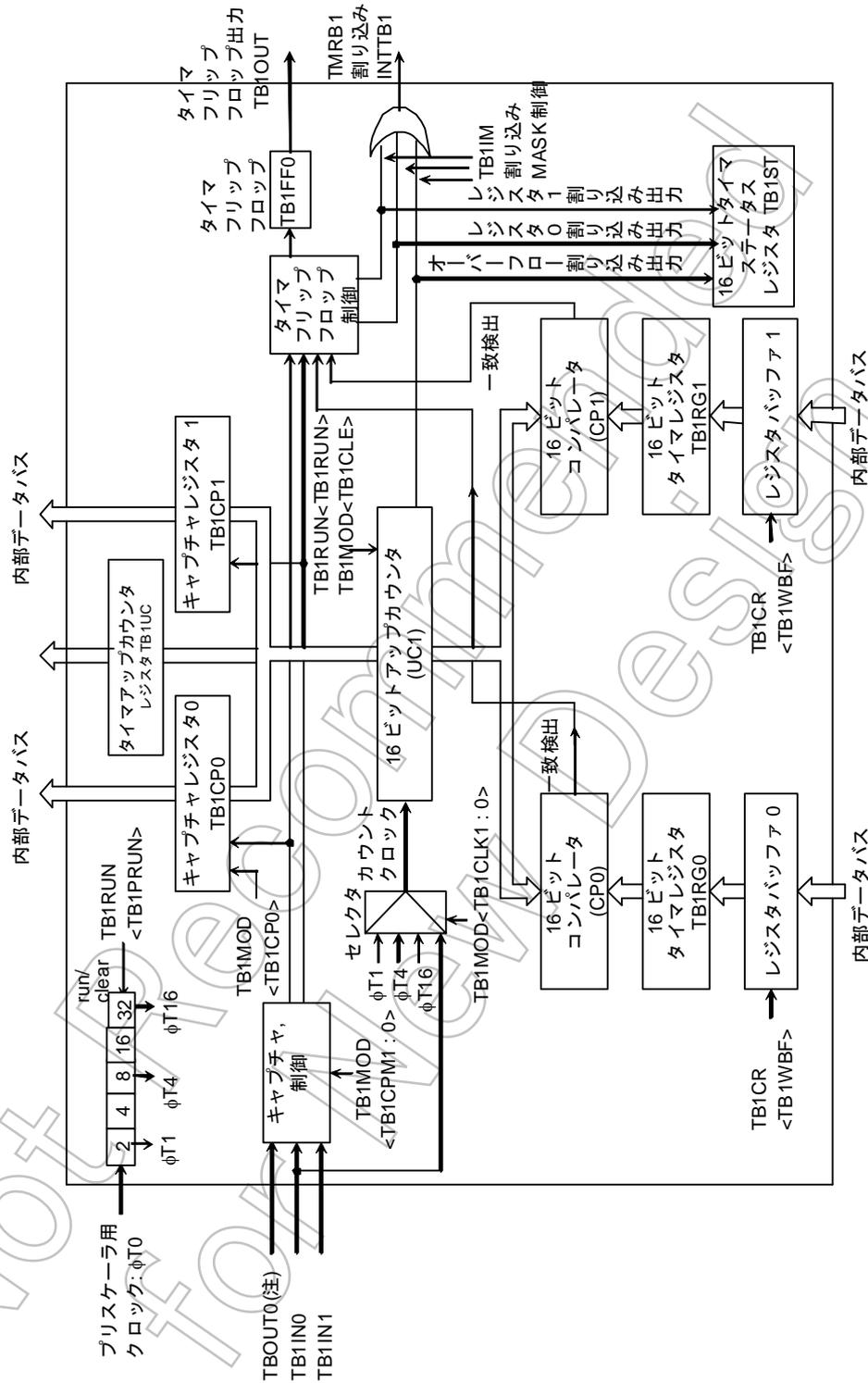
- (2) タイマ同期モードのスタートトリガ (TBxRUN を使用)

- TMRB0 => TMRB0, 1, 2, 3 を同時スタート
- TMRB4 => TMRB4, 5, 6, 7 を同時スタート
- TMRB8 => TMRB8, 9, A, B を同時スタート
- TMRBC => TMRBC, D, E, F を同時スタート
- TMRB10 => TMRB10, 11 を同時スタート

表 11-1 TMRB のチャンネル別仕様相違点表

仕様 チャンネル	外部端子		内部信号	
	外部クロック/ キャプチャトリガ入力端子	タイマフリップフロップ 出力端子	キャプチャトリガ用タイマ	同期スタートトリガタイマ
TMRB0	—	TB0OUT (P54 と兼用)	—	—
TMRB1	TB1IN0 (P20 と兼用) TB1IN1 (P21 と兼用)	TB1OUT (P55 と兼用)	—	TMRB0
TMRB2	TB2IN0 (P22 と兼用) TB2IN1 (P23 と兼用)	TB2OUT (P56 と兼用)		
TMRB3	TB3IN0 (P24 と兼用) TB3IN1 (P25 と兼用)	TB3OUT (P57 と兼用)		
TMRB4	—	TB4OUT (P63 と兼用)	TB0OUT	—
TMRB5	TB5IN0 (P26 と兼用) TB5IN1 (P27 と兼用)	TB5OUT (P67 と兼用)	—	TMRB4
TMRB6	TB6IN0 (PA4 と兼用) TB6IN1 (PA5 と兼用)	TB6OUT (PB2 と兼用)		
TMRB7	—	TB7OUT (PB3 と兼用)		
TMRB8	—	TB8OUT (PB7 と兼用)	—	—
TMRB9	TB9IN0 (PH0 と兼用) TB9IN1 (PH1 と兼用)	TB9OUT (P93 と兼用)	—	TMRB8
TMRBA	TBAIN0 (PH2 と兼用) TBAIN1 (PH3 と兼用)	TBAOUT (P97 と兼用)		
TMRBB	TBBIN0 (PH4 と兼用) TBBIN1 (PH5 と兼用)	TBBOUT (PD3 と兼用)		
TMRBC	—	TBCOUT (PD4 と兼用)	TB8OUT	—
TMRBD	TBDIN0 (PH6 と兼用) TBDIN1 (PH7 と兼用)	TBDOUT (PD5 と兼用)	—	TMRBC
TMRBE	—	TBEOUT (P34 と兼用)		
TMRBF	—	TBFOUT (P47 と兼用)		
TMRB10	—	TB10OUT (PI5 と兼用)	—	—
TMRB11	TB11IN0 (PJ0 と兼用) TB11IN1 (PJ1 と兼用)	TB11OUT (PI6 と兼用)	TB10OUT	TMRB10

11.1 チャンネル別のブロック図



(注) チャンネル 0, 8, 10 には入力はありません。チャンネル 1~7 には TB0OUT、チャンネル 9~F には TB8OUT、チャンネル 11 には TB10OUT が入力されます。

図 11-1 TMRB1 ブロック図 (他も同様)

## 11.2 レジスタ一覧

## 11.2.1 チャンネル別レジスタ一覧

各チャンネルのレジスタとアドレスを表 11-2 に示します。

表 11-2 レジスタとアドレス

仕 様		チャンネル	TMRB0	TMRB1	TMRB2	TMRB3
レジスタ名 (アドレス)	タイマイネーブルレジスタ		TB0EN (0xFF00_4500)	TB1EN (0xFF00_4540)	TB2EN (0xFF00_4580)	TB3EN (0xFF00_45C0)
	タイマ RUN レジスタ		TBORUN (0xFF00_4504)	TB1RUN (0xFF00_4544)	TB2RUN (0xFF00_4584)	TB3RUN (0xFF00_45C4)
	タイマコントロール レジスタ		TB0CR (0xFF00_4508)	TB1CR (0xFF00_4548)	TB2CR (0xFF00_4588)	TB3CR (0xFF00_45C8)
	タイマモードレジスタ		TB0MOD (0xFF00_450C)	TB1MOD (0xFF00_454C)	TB2MOD (0xFF00_458C)	TB3MOD (0xFF00_45CC)
	タイマフリップフロップ コントロールレジスタ		TB0FFCR (0xFF00_4510)	TB1FFCR (0xFF00_4550)	TB2FFCR (0xFF00_4590)	TB3FFCR (0xFF00_45D0)
	タイマステータスレジスタ		TB0ST (0xFF00_4514)	TB1ST (0xFF00_4554)	TB2ST (0xFF00_4594)	TB3ST (0xFF00_45D4)
	割り込みマスクレジスタ		TB0IM (0xFF00_4518)	TB1IM (0xFF00_4558)	TB2IM (0xFF00_4598)	TB3IM (0xFF00_45D8)
	タイマアップカウンタ レジスタ		TB0UC (0xFF00_451C)	TB1UC (0xFF00_455C)	TB2UC (0xFF00_459C)	TB3UC (0xFF00_45DC)
	タイマレジスタ		TB0RG0 (0xFF00_4520) TB0RG1 (0xFF00_4524)	TB1RG0 (0xFF00_4560) TB1RG1 (0xFF00_4564)	TB2RG0 (0xFF00_45A0) TB2RG1 (0xFF00_45A4)	TB3RG0 (0xFF00_45E0) TB3RG1 (0xFF00_45E4)
	キャプチャレジスタ		TB0CP0 (0xFF00_4528) TB0CP1 (0xFF00_452C)	TB1CP0 (0xFF00_4568) TB1CP1 (0xFF00_456C)	TB2CP0 (0xFF00_45A8) TB2CP1 (0xFF00_45AC)	TB3CP0 (0xFF00_45E8) TB3CP1 (0xFF00_45EC)

仕 様		チャンネル	TMRB4	TMRB5	TMRB6	TMRB7
レジスタ名 (アドレス)	タイマイネーブルレジスタ		TB4EN (0xFF00_4600)	TB5EN (0xFF00_4640)	TB6EN (0xFF00_4680)	TB7EN (0xFF00_46C0)
	タイマ RUN レジスタ		TB4RUN (0xFF00_4604)	TB5RUN (0xFF00_4644)	TB6RUN (0xFF00_4684)	TB7RUN (0xFF00_46C4)
	タイマコントロール レジスタ		TB4CR (0xFF00_4608)	TB5CR (0xFF00_4648)	TB6CR (0xFF00_4688)	TB7CR (0xFF00_46C8)
	タイマモードレジスタ		TB4MOD (0xFF00_460C)	TB5MOD (0xFF00_464C)	TB6MOD (0xFF00_468C)	TB7MOD (0xFF00_46CC)
	タイマフリップフロップ コントロールレジスタ		TB4FFCR (0xFF00_4610)	TB5FFCR (0xFF00_4650)	TB6FFCR (0xFF00_4690)	TB7FFCR (0xFF00_46D0)
	タイマステータスレジスタ		TB4ST (0xFF00_4614)	TB5ST (0xFF00_4654)	TB6ST (0xFF00_4694)	TB7ST (0xFF00_46D4)
	割り込みマスクレジスタ		TB4IM (0xFF00_4618)	TB5IM (0xFF00_4658)	TB6IM (0xFF00_4698)	TB7IM (0xFF00_46D8)
	タイマアップカウンタ レジスタ		TB4UC (0xFF00_461C)	TB5UC (0xFF00_465C)	TB6UC (0xFF00_469C)	TB7UC (0xFF00_46DC)
	タイマレジスタ		TB4RG0 (0xFF00_4620) TB4RG1 (0xFF00_4624)	TB5RG0 (0xFF00_4660) TB5RG1 (0xFF00_4664)	TB6RG0 (0xFF00_46A0) TB6RG1 (0xFF00_46A4)	TB7RG0 (0xFF00_46E0) TB7RG1 (0xFF00_46E4)
	キャプチャレジスタ		TB4CP0 (0xFF00_4628) TB4CP1 (0xFF00_462C)	TB5CP0 (0xFF00_4668) TB5CP1 (0xFF00_466C)	TB6CP0 (0xFF00_46A8) TB6CP1 (0xFF00_46AC)	TB7CP0 (0xFF00_46E8) TB7CP1 (0xFF00_46EC)

仕様		チャンネル	TMRB8	TMRB9	TMRBA	TMRBB
レジスタ名 (アドレス)	タイマイネーブルレジスタ		TB8EN (0xFF00_4700)	TB9EN (0xFF00_4740)	TBAEN (0xFF00_4780)	TBBEN (0xFF00_47C0)
	タイマ RUN レジスタ		TB8RUN (0xFF00_4704)	TB9RUN (0xFF00_4744)	TBARUN (0xFF00_4784)	TBBRUN (0xFF00_47C4)
	タイマコントロール レジスタ		TB8CR (0xFF00_4708)	TB9CR (0xFF00_4748)	TBACR (0xFF00_4788)	TBBCR (0xFF00_47C8)
	タイマモードレジスタ		TB8MOD (0xFF00_470C)	TB9MOD (0xFF00_474C)	TBAMOD (0xFF00_478C)	TBBMOD (0xFF00_47CC)
	タイマフリップフロップ コントロールレジスタ		TB8FFCR (0xFF00_4710)	TB9FFCR (0xFF00_4750)	TBAFFCR (0xFF00_4790)	TBFFCR (0xFF00_47D0)
	タイマステータスレジスタ		TB8ST (0xFF00_4714)	TB9ST (0xFF00_4754)	TBAST (0xFF00_4794)	TBBST (0xFF00_47D4)
	割り込みマスクレジスタ		TB8IM (0xFF00_4718)	TB9IM (0xFF00_4758)	TBAIM (0xFF00_4798)	TBBIM (0xFF00_47D8)
	タイマアップカウンタ レジスタ		TB8UC (0xFF00_471C)	TB9UC (0xFF00_475C)	TBAUC (0xFF00_479C)	TBBUC (0xFF00_47DC)
	タイマレジスタ		TB8RG0 (0xFF00_4720) TB8RG1 (0xFF00_4724)	TB9RG0 (0xFF00_4760) TB9RG1 (0xFF00_4764)	TBARG0 (0xFF00_47A0) TBARG1 (0xFF00_47A4)	TBBRG0 (0xFF00_47E0) TBBRG1 (0xFF00_47E4)
	キャプチャレジスタ		TB8CPO (0xFF00_4728) TB8CP1 (0xFF00_472C)	TB9CPO (0xFF00_4768) TB9CP1 (0xFF00_476C)	TBACPO (0xFF00_47A8) TBACP1 (0xFF00_47AC)	TBBCPO (0xFF00_47E8) TBBCP1 (0xFF00_47EC)

仕様		チャンネル	TMRBC	TMRBD	TMRBE	TMRBF
レジスタ名 (アドレス)	タイマイネーブルレジスタ		TBCEN (0xFF00_4800)	TBDEN (0xFF00_4840)	TBEEN (0xFF00_4880)	TBFEN (0xFF00_48C0)
	タイマ RUN レジスタ		TBCRUN (0xFF00_4804)	TBDRUN (0xFF00_4844)	TBERUN (0xFF00_4884)	TBFRUN (0xFF00_48C4)
	タイマコントロール レジスタ		TBCCR (0xFF00_4808)	TBDCR (0xFF00_4848)	TBECR (0xFF00_4888)	TBFCR (0xFF00_48C8)
	タイマモードレジスタ		TBCMOD (0xFF00_480C)	TBDMOD (0xFF00_484C)	TBEMOD (0xFF00_488C)	TBFMOD (0xFF00_48CC)
	タイマフリップフロップ コントロールレジスタ		TBCFFCR (0xFF00_4810)	TBDFCR (0xFF00_4850)	TBEFFCR (0xFF00_4890)	TBFFCR (0xFF00_48D0)
	タイマステータスレジスタ		TBCST (0xFF00_4814)	TBDST (0xFF00_4854)	TBEST (0xFF00_4894)	TBFST (0xFF00_48D4)
	割り込みマスクレジスタ		TBCIM (0xFF00_4818)	TBDIM (0xFF00_4858)	TBEIM (0xFF00_4898)	TBFIM (0xFF00_48D8)
	タイマアップカウンタ レジスタ		TBCUC (0xFF00_481C)	TBDUC (0xFF00_485C)	TBEUC (0xFF00_489C)	TBFUC (0xFF00_48DC)
	タイマレジスタ		TBCRG0 (0xFF00_4820) TBCRG1 (0xFF00_4824)	TBDRG0 (0xFF00_4860) TBDRG1 (0xFF00_4864)	TBERG0 (0xFF00_48A0) TBERG1 (0xFF00_48A4)	TBFRG0 (0xFF00_48E0) TBFBRG1 (0xFF00_48E4)
	キャプチャレジスタ		TBCCPO (0xFF00_4828) TBCCP1 (0xFF00_482C)	TBDCPO (0xFF00_4868) TBDCP1 (0xFF00_486C)	TBECPO (0xFF00_48A8) TBECP1 (0xFF00_48AC)	TBFCPO (0xFF00_48E8) TBFCP1 (0xFF00_48EC)

仕様		チャンネル	TMRB10	TMRB11
レジスタ名 (アドレス)	タイマイネーブルレジスタ		TB10EN (0xFF00_4900)	TB11EN (0xFF00_4940)
	タイマ RUN レジスタ		TB10RUN (0xFF00_4904)	TB11RUN (0xFF00_4944)
	タイマコントロール レジスタ		TB10CR (0xFF00_4908)	TB11CR (0xFF00_4948)
	タイマモードレジスタ		TB10MOD (0xFF00_490C)	TB11MOD (0xFF00_494C)
	タイマフリップフロップ コントロールレジスタ		TB10FFCR (0xFF00_4910)	TB11FFCR (0xFF00_4950)
	タイマステータスレジスタ		TB10ST (0xFF00_4914)	TB11ST (0xFF00_4954)
	割り込みマスクレジスタ		TB10IM (0xFF00_4918)	TB11IM (0xFF00_4958)
	タイマアップカウンタ レジスタ		TB10UC (0xFF00_491C)	TB11UC (0xFF00_495C)
	タイマレジスタ		TB10RG0 (0xFF00_4920) TB10RG1 (0xFF00_4924)	TB11RG0 (0xFF00_4960) TB11RG1 (0xFF00_4964)
	キャプチャレジスタ		TB10CPO (0xFF00_4928) TB10CP1 (0xFF00_492C)	TB11CPO (0xFF00_4968) TB11CP1 (0xFF00_496C)

## 11.3 回路別の動作説明

### 11.3.1 プリスケーラ

TMRB0 のクロックソースを得るため、4 ビットプリスケーラがあります。プリスケーラへの入力クロック  $\phi T0$  は CG 部の SYSCRO<PRCK2:0> にて選択した  $f_{periph}/2$ ,  $f_{periph}/4$ ,  $f_{periph}/8$ ,  $f_{periph}/16$ ,  $f_{periph}/32$  のいずれかのクロックです。このペリフェラルクロック  $f_{periph}$  は CG 部の SYSCR1<FPSEL> で選択したクロック  $f_{gear}$  またはクロックギア分周前のクロック  $f_c$  のいずれかのクロックです。

プリスケーラは TBORUN<TBOPRUN> により動作/停止の設定をします。“1” をライトするとカウント開始し “0” をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を表 11-3 に示します。

Not Recommended for New Design

表 11-3 プリスケーラ出カクログ分解能 (fsys=80MHz)

ペリフェラル クロック選択 <FPSEL>	クロックギア値 <GEAR2:0> (fsys)	プリスケーラ クロック選択 <PRCK2:0>	プリスケーラ出カクログ分解能		
			$\phi T1$	$\phi T4$	$\phi T16$
0 (fgear)	000 (fc)	000 (fper iph/2)	$f_c/2^2 (0.05\mu s)$	$f_c/2^4 (0.2\mu s)$	$f_c/2^6 (0.8\mu s)$
		001 (fper iph/4)	$f_c/2^3 (0.1\mu s)$	$f_c/2^5 (0.4\mu s)$	$f_c/2^7 (1.6\mu s)$
		010 (fper iph/8)	$f_c/2^4 (0.2\mu s)$	$f_c/2^6 (0.8\mu s)$	$f_c/2^8 (3.2\mu s)$
		011 (fper iph/16)	$f_c/2^5 (0.4\mu s)$	$f_c/2^7 (1.6\mu s)$	$f_c/2^9 (6.4\mu s)$
		100 (fper iph/32)	$f_c/2^6 (0.8\mu s)$	$f_c/2^8 (3.2\mu s)$	$f_c/2^{10} (12.8\mu s)$
	100 (fc/2)	000 (fper iph/2)	$f_c/2^3 (0.1\mu s)$	$f_c/2^5 (0.4\mu s)$	$f_c/2^7 (1.6\mu s)$
		001 (fper iph/4)	$f_c/2^4 (0.2\mu s)$	$f_c/2^6 (0.8\mu s)$	$f_c/2^8 (3.2\mu s)$
		010 (fper iph/8)	$f_c/2^5 (0.4\mu s)$	$f_c/2^7 (1.6\mu s)$	$f_c/2^9 (6.4\mu s)$
		011 (fper iph/16)	$f_c/2^6 (0.8\mu s)$	$f_c/2^8 (3.2\mu s)$	$f_c/2^{10} (12.8\mu s)$
		100 (fper iph/32)	$f_c/2^7 (1.6\mu s)$	$f_c/2^9 (6.4\mu s)$	$f_c/2^{11} (25.6\mu s)$
	101 (fc/4)	000 (fper iph/2)	$f_c/2^4 (0.2\mu s)$	$f_c/2^6 (0.8\mu s)$	$f_c/2^8 (3.2\mu s)$
		001 (fper iph/4)	$f_c/2^5 (0.4\mu s)$	$f_c/2^7 (1.6\mu s)$	$f_c/2^9 (6.4\mu s)$
		010 (fper iph/8)	$f_c/2^6 (0.8\mu s)$	$f_c/2^8 (3.2\mu s)$	$f_c/2^{10} (12.8\mu s)$
		011 (fper iph/16)	$f_c/2^7 (1.6\mu s)$	$f_c/2^9 (6.4\mu s)$	$f_c/2^{11} (25.6\mu s)$
		100 (fper iph/32)	$f_c/2^8 (3.2\mu s)$	$f_c/2^{10} (12.8\mu s)$	$f_c/2^{12} (51.2\mu s)$
	110 (fc/8)	000 (fper iph/2)	$f_c/2^5 (0.4\mu s)$	$f_c/2^7 (1.6\mu s)$	$f_c/2^9 (6.4\mu s)$
		001 (fper iph/4)	$f_c/2^6 (0.8\mu s)$	$f_c/2^8 (3.2\mu s)$	$f_c/2^{10} (12.8\mu s)$
		010 (fper iph/8)	$f_c/2^7 (1.6\mu s)$	$f_c/2^9 (6.4\mu s)$	$f_c/2^{11} (25.6\mu s)$
		011 (fper iph/16)	$f_c/2^8 (3.2\mu s)$	$f_c/2^{10} (12.8\mu s)$	$f_c/2^{12} (51.2\mu s)$
		100 (fper iph/32)	$f_c/2^9 (6.4\mu s)$	$f_c/2^{11} (25.6\mu s)$	$f_c/2^{13} (102.4\mu s)$
111 (fc/16)	000 (fper iph/2)	$f_c/2^6 (0.8\mu s)$	$f_c/2^8 (3.2\mu s)$	$f_c/2^{10} (12.8\mu s)$	
	001 (fper iph/4)	$f_c/2^7 (1.6\mu s)$	$f_c/2^9 (6.4\mu s)$	$f_c/2^{11} (25.6\mu s)$	
	010 (fper iph/8)	$f_c/2^8 (3.2\mu s)$	$f_c/2^{10} (12.8\mu s)$	$f_c/2^{12} (51.2\mu s)$	
	011 (fper iph/16)	$f_c/2^9 (6.4\mu s)$	$f_c/2^{11} (25.6\mu s)$	$f_c/2^{13} (102.4\mu s)$	
	100 (fper iph/32)	$f_c/2^{10} (12.8\mu s)$	$f_c/2^{12} (51.2\mu s)$	$f_c/2^{14} (204.8\mu s)$	
1 (fc)	000 (fc)	000 (fper iph/2)	$f_c/2^2 (0.05\mu s)$	$f_c/2^4 (0.2\mu s)$	$f_c/2^6 (0.8\mu s)$
		001 (fper iph/4)	$f_c/2^3 (0.1\mu s)$	$f_c/2^5 (0.4\mu s)$	$f_c/2^7 (1.6\mu s)$
		010 (fper iph/8)	$f_c/2^4 (0.2\mu s)$	$f_c/2^6 (0.8\mu s)$	$f_c/2^8 (3.2\mu s)$
		011 (fper iph/16)	$f_c/2^5 (0.4\mu s)$	$f_c/2^7 (1.6\mu s)$	$f_c/2^9 (6.4\mu s)$
		100 (fper iph/32)	$f_c/2^6 (0.8\mu s)$	$f_c/2^8 (3.2\mu s)$	$f_c/2^{10} (12.8\mu s)$
	100 (fc/2)	000 (fper iph/2)	—	$f_c/2^4 (0.2\mu s)$	$f_c/2^6 (0.8\mu s)$
		001 (fper iph/4)	$f_c/2^3 (0.1\mu s)$	$f_c/2^5 (0.4\mu s)$	$f_c/2^7 (1.6\mu s)$
		010 (fper iph/8)	$f_c/2^4 (0.2\mu s)$	$f_c/2^6 (0.8\mu s)$	$f_c/2^8 (3.2\mu s)$
		011 (fper iph/16)	$f_c/2^5 (0.4\mu s)$	$f_c/2^7 (1.6\mu s)$	$f_c/2^9 (6.4\mu s)$
		100 (fper iph/32)	$f_c/2^6 (0.8\mu s)$	$f_c/2^8 (3.2\mu s)$	$f_c/2^{10} (12.8\mu s)$
	101 (fc/4)	000 (fper iph/2)	—	$f_c/2^4 (0.2\mu s)$	$f_c/2^6 (0.8\mu s)$
		001 (fper iph/4)	—	$f_c/2^5 (0.4\mu s)$	$f_c/2^7 (1.6\mu s)$
		010 (fper iph/8)	$f_c/2^4 (0.2\mu s)$	$f_c/2^6 (0.8\mu s)$	$f_c/2^8 (3.2\mu s)$
		011 (fper iph/16)	$f_c/2^5 (0.4\mu s)$	$f_c/2^7 (1.6\mu s)$	$f_c/2^9 (6.4\mu s)$
		100 (fper iph/32)	$f_c/2^6 (0.8\mu s)$	$f_c/2^8 (3.2\mu s)$	$f_c/2^{10} (12.8\mu s)$
	110 (fc/8)	000 (fper iph/2)	—	—	$f_c/2^6 (0.8\mu s)$
		001 (fper iph/4)	—	$f_c/2^5 (0.4\mu s)$	$f_c/2^7 (1.6\mu s)$
		010 (fper iph/8)	—	$f_c/2^6 (0.8\mu s)$	$f_c/2^8 (3.2\mu s)$
		011 (fper iph/16)	$f_c/2^5 (0.4\mu s)$	$f_c/2^7 (1.6\mu s)$	$f_c/2^9 (6.4\mu s)$
		100 (fper iph/32)	$f_c/2^6 (0.8\mu s)$	$f_c/2^8 (3.2\mu s)$	$f_c/2^{10} (12.8\mu s)$
111 (fc/16)	000 (fper iph/2)	—	—	$f_c/2^6 (0.8\mu s)$	
	001 (fper iph/4)	—	—	$f_c/2^7 (1.6\mu s)$	
	010 (fper iph/8)	—	$f_c/2^6 (0.8\mu s)$	$f_c/2^8 (3.2\mu s)$	
	011 (fper iph/16)	—	$f_c/2^7 (1.6\mu s)$	$f_c/2^9 (6.4\mu s)$	
	100 (fper iph/32)	$f_c/2^6 (0.8\mu s)$	$f_c/2^8 (3.2\mu s)$	$f_c/2^{10} (12.8\mu s)$	

- (注1) プリスケアラ出力クロック $\phi Tn$ は、かならず $\phi Tn < f_{sys}/2$ を満足するように ( $\phi Tn$ が  $f_{sys}/2$ よりも遅くなるように) 選択してください。
- (注2) タイマ動作中にクロックギアの切り換えはしないでください。
- (注3) —: 設定禁止

Not Recommended  
for New Design

### 11.3.2 アップカウンタ (UC0), タイマアップカウンタレジスタ (TB0UC)

TB0MOD<TB0CLK1 : 0> で指定された入カクロックによって、カウントアップする 16 ビットのバイナリカウンタです。

UC0 の入カクロックは、3 種類のプリスケアラ出カクロック  $\Phi T1$ 、 $\Phi T4$ 、 $\Phi T16$ 、または、TB0INO 端子の外部クロックのいずれかを選択できます。UC0 は、TB0RUN<TB0RUN> によってカウント/停止&クリアを設定します。UC0 は、タイマレジスタ TB0RG1 と一致すると、クリアイネーブルであれば、ゼロクリアされます。このクリアイネーブル/ディセーブルは、TB0MOD<TB0CLE> で設定します。

クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。TB0UC レジスタを読み出すことにより、UC0 の現在のカウンタ値をキャプチャする事が可能です。

UC0 のオーバーフローが発生した場合、オーバーフロー割り込み INTTBO が発生します。

### 11.3.3 タイマレジスタ (TB0RG0、TB0RG1)

カウンタ値を設定する 16 ビットレジスタで、2 本内蔵されています。このタイマレジスタへの設定値と、アップカウンタ UC0 の値とが一致すると、コンパレータの一致検出信号がアクティブになります。

このタイマレジスタは、ダブルバッファ構成になっており、レジスタバッファとペアになっています。TB0RG0/1 は TB0CR<TB0WBF> によってダブルバッファのイネーブル/ディセーブルを制御します。<TB0WBF> = “0” のときディセーブル、<TB0WBF> = “1” のときイネーブルとなります。ダブルバッファイネーブル時、レジスタバッファ 0 からタイマレジスタ TB0RG0/1 へのデータ転送は、UC0 と TB0RG0/1 との一致時に行われます。

リセット動作により、TB0CR <TB0WBF> = “0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み <TB0WBF> = “1” に設定した後、レジスタバッファへ次のデータを書き込んでください。

TB0RG0/1 とレジスタバッファは、同じアドレス 0xFF00\_4520/0xFF00\_4524 に割り付けられています。<TB0WBF> = “0” のときは、TB0RG0/1 とそれぞれのレジスタバッファに、同じ値が書き込まれ、<TB0WBF> = “1” のときは、それぞれのレジスタバッファにのみ書き込まれます。したがって、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておく必要があります。

### 11.3.4 キャプチャレジスタ (TBOCP0, TBOCP1)

アップカウンタ UC0 の値をラッチする 16 ビットのレジスタです。

### 11.3.5 キャプチャ

アップカウンタ UC0 の値をキャプチャレジスタ TBOCP0、TBOCP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TBOMOD<TBOCPM1 : 0>で設定します。

#### (1) ソフトキャプチャ

ソフトウェアによってもアップカウンタ UC0 の値をキャプチャレジスタへ取り込むことができ、TBOMOD<TBOCP0> に“0”を書き込むたびに、その時点の UC0 の値をキャプチャレジスタ TBOCP0 へキャプチャします。なお、プリスケアラは、RUN 状態 (TBORUN<TBOPRUN> = “1”) にしておく必要があります。

#### (2) リードキャプチャ

本カウンタは TBOUC レジスタをリードしたときのアップカウンタ UC0 の値がキャプチャ出来るリードキャプチャが可能です。

### 11.3.6 コンパレータ (CP0, CP1)

アップカウンタ UC0 と、タイマレジスタ TBORG0、TBORG1 への設定値とを比較し、一致を検出する 16 ビットコンパレータです。一致すると、INTTBO を発生します。

### 11.3.7 タイマフリップフロップ (TBOFF0)

タイマフリップフロップ (TBOFF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TBOFFCR<TBOC1T1, TBOC0T1, TBOE1T1, TBOE0T1>によって設定できます。

リセット後、TBOFF0 の値は不定となります。TBOFFCR<TBOFF0C1:0>に“00”を書き込むことで反転“01”を書き込むことで“1”にセット、“10”を書き込むことで“0”にクリアすることが可能です。

TBOFF0 の値は、タイマ出力端子 TBOOUT 端子 (P54 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート 5 関連レジスタ P5CR、P5FC2 により、設定を行う必要があります。

11.4 レジスタ説明

TMRBn イネーブルレジスタ (n=0~11)

TbNEN (0xFF00_4xx0)	7	6	5	4	3	2	1	0
	bit Symbol	TbNEN						
	Read/Write	R/W						
	リセット後	0						
機能	TMRBn 動作 0: 禁止 1: 許可							
	リードすると“0”が読めます。							
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							

<TbNEN> : TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可（“1”）にしてください。TMRB を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

TMRBn RUN レジスタ (n=0~11)

TbNRUN (0xFF00_4xx4)	7	6	5	4	3	2	1	0	
	bit Symbol					TbNPRUN			TbNRUN
	Read/Write	R				R/W	R	R/W	
	リセット後	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。				Timer Run/Stop Control 0: 停止&クリア 1: カウント ※1bit目は“0”が読めます。				
	15	14	13	12	11	10	9	8	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
	23	22	21	20	19	18	17	16	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
	31	30	29	28	27	26	25	24	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	

<TbNRUN> : TMRB0 のカウント動作を制御します。

<TbNPRUN> : TMRB0 のプリスケアラの動作を制御します。

TMRBn コントロールレジスタ (n=0~11)

	7	6	5	4	3	2	1	0
bit Symbol	TBnWBF		TBnSYNC		I2TBn			
Read/Write	R/W	R/W	R/W	R	R/W	R		
リセット後	0	0	0	0	0	0	0	0
機能	Double Buffer 0: 禁止 1: 許可	“0”をラ イトして ください。	同期モ ード切替 0: 個別動作 1: 同期動作	リードす ると“0” が読めま す。	IDLE 0: 停止 1: 動作	リードすると“0”が読めます。		
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

<I2TBm> : IDLE モード時の動作を制御します。

<TBnSYNC> : 同期モードの切り替えを制御します。  
 “0” : チャンネルごとの個別動作  
 “1” : 同期動作

<TBmWBF> : ダブルバッファの許可／禁止を制御します。

TMRBn モードレジスタ (n=0~11)

TMRBn bit Symbol	7	6	5	4	3	2	1	0
	TBnCP0		TBnCPM1		TBnCPM0		TBnCLE	TBnCLK1
Read/Write	R	R/W	W	R/W				
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めません。	“0”をライトしてください。	ソフトウェアキャプチャ制御 0:ソフトキャプチャ 1:Don't care	キャプチャタイミング 00:ディセーブル 01:TBnIN0 ↑ TBnIN1 ↑ 10:TBnIN0 ↑ TBnIN0 ↓ 11:CAPTRG ↑ CAPTRG ↓	アップカウンタ制御 0:クリアディセーブル 1:クリアイネーブル	ソースクロック選択 00:TBnIN0 端子入力 01:φT1 10:φT4 11:φT16		
bit Symbol	15	14	13	12	11	10	9	8
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
bit Symbol	23	22	21	20	19	18	17	16
Read/Write	R							
リセット後	0							
bit Symbol	31	30	29	28	27	26	25	24
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

<TBnCLK1:0> : TMRBn のタイマカウントクロックを選択します。

<TBnCLE> : TMRBn のアップカウンタのクリア制御をおこないます。

“0” : アップカウンタのクリア禁止

“1” : タイマレジスタ 1 (TBnRG1) との一致でクリア

<TBnCPM1:0> : TMRBn のキャプチャタイミングを設定します。

“00” : キャプチャ禁止

“01” : TBnIN0 端子入力の立ち上がりでキャプチャレジスタ 0 (TBnCP0) にカウント値を取り込み、  
TBnIN1 端子入力の立ち上がりでキャプチャレジスタ 1 (TBnCP1) にカウント値を取り込む

“10” : TBnIN0 端子入力の立ち上がりでキャプチャレジスタ 0 (TBnCP0) にカウント値を取り込み、  
TBnIN0 端子入力の立ち下がり でキャプチャレジスタ 1 (TBnCP1) にカウント値を取り込む

“11” : 16 ビットタイマー一致出力 (TBxOUT) の立ち上がりでキャプチャレジスタ 0 (TBnCP0) にカウント値を取り込み、TBxOUT の立ち下がり でキャプチャレジスタ 1 (TBnCP1) にカウント値を取り込む  
(TMRB1~7 : TB0OUT、TMRB9~F : TB8OUT、TMRB11 : TB10OUT)

<TBnCP0> : ソフトウェアキャプチャし、キャプチャレジスタ 0 (TBnCP0) にカウント値を取り込みます。

(注) TBnMOD のビット 5 は、リードすると “1” が読み出されます。

図 11-2 TMRB 関係のレジスタ

TMRBn フリップフロップコントロールレジスタ (n=0~11)

TnFFCR (0xFF00_4xx0)	bit Symbol			TBnC1T1	TBnC0T1	TBnE1T1	TBnE0T1	TBnFF0C1	TBnFF0C0
	Read/Write	R		R/W				R/W	
	リセット後	1	1	0	0	0	0	1	1
	機能	読み出すと常に“11”になります。		TBnFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル				TBnFF0 の制御 00: Invert 01: Set 10: Clear 11: Don' t care ※ 読み出すと常に“11”になります。	
	15	14	13	12	11	10	9	8	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
	23	22	21	20	19	18	17	16	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
	31	30	29	28	27	26	25	24	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	

<TBnFF0C1:0> : タイマフリップフロップを制御します。

- “00” : TBnFF0 の値を反転 (ソフト反転) します
- “01” : TBnFF0 を “1” にセットします
- “10” : TBnFF0 を “0” にクリアします
- “11” : Don' t care

<TBnE1:0> : アップカウンタとタイマレジスタ 0, 1 (TBnRG0, 1) との一致時にタイマフリップフロップを反転します。

<TBnC1:0> : アップカウンタの値がキャプチャレジスタ 0, 1 (TBnCPO, 1) に取り込まれた時にタイマフリップフロップを反転します。

図 11-3 TMRB 関係のレジスタ

TMRBn ステータスレジスタ (n=0~11)

TBnST  
(0xFF00\_4xx4)

	7	6	5	4	3	2	1	0
bit Symbol						INTTB0Fn	INTTBn1	INTTBn0
Read/Write	R					R		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。					1: アップカウンタのオーバーフローを検出 0: オーバーフロー検出なし	1: タイマレジスタ 1 (TBnRG1) との一致を検出 0: 一致検出なし	1: タイマレジスタ 0 (TBnRG0) との一致を検出 0: 一致検出なし
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

- <INTTBn0> : タイマレジスタ 0 (TBnRG0) との一致検出を示すフラグ
- <INTTBn1> : タイマレジスタ 1 (TBnRG1) との一致検出を示すフラグ
- <INTTB0Fn> : アップカウンタのオーバーフロー検出を示すフラグ

(注 1) TBnST レジスタをリードすると、フラグはクリアされます。

(注 2) いずれかのフラグがセットされると、割り込みマスクレジスタ TBnIM でマスクされていない要因の割り込みが発生し、INTC に通知されます。割り込みマスクレジスタ TBnIM で全ての要因がマスクされている場合、割り込みは発生しません。

TMRBn 割り込みマスクレジスタ (n=0~11)

TBnIM (0xFF00_4xx8)	bit Symbol						TBIMOFn	TBIMn1	TBIMn0
	Read/Write	R					R/W		
	リセット後	0	0	0	0	0	0	0	
	機能	リードすると“0”が読めます。					1: 割り込みをマスクする	1: 割り込みをマスクする	1: 割り込みをマスクする
		15	14	13	12	11	10	9	8
	bit Symbol								
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
		23	22	21	20	19	18	17	16
	bit Symbol								
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
	31	30	29	28	27	26	25	24	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	

- <TBIMn0> : タイマレジスタ 0 (TBnRG0) との一致割り込みをマスクします
- <TBIMn1> : タイマレジスタ 1 (TBnRG1) との一致割り込みをマスクします
- <TBIMOFn> : アップカウンタのオーバーフロー割り込みをマスクします

TMRBn タイマアップカウンタレジスタ (n=0~11)

TBnUC (0xFF00_4xxC)	bit Symbol	UCn7	UCn6	UCn5	UCn4	UCn3	UCn2	UCn1	UCn0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャによるカウンタ読み出しデータ 7-0 ビットデータ							
		15	14	13	12	11	10	9	8
	bit Symbol	UCn15	UCn14	UCn13	UCn12	UCn11	UCn10	UCn9	UCn8
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャによるカウンタ読み出しデータ 15-8 ビットデータ							
		23	22	21	20	19	18	17	16
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
	31	30	29	28	27	26	25	24	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	

TMRBn タイマレジスタ 0 (n=0~11)

TBnRG0  
(0xFF00\_4xx0)

	7	6	5	4	3	2	1	0
bit Symbol	TBnRG07	TBnRG06	TBnRG05	TBnRG04	TBnRG03	TBnRG02	TBnRG01	TBnRG00
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	タイマカウント値 7-0 ビットデータ							
	15	14	13	12	11	10	9	8
bit Symbol	TBnRG015	TBnRG014	TBnRG013	TBnRG012	TBnRG011	TBnRG010	TBnRG009	TBnRG008
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	タイマカウント値 15-8 ビットデータ							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

TMRBn タイマレジスタ 1 (n=0~11)

TBnRG1  
(0xFF00\_4xx4)

	7	6	5	4	3	2	1	0
bit Symbol	TBnRG17	TBnRG16	TBnRG15	TBnRG14	TBnRG13	TBnRG12	TBnRG11	TBnRG10
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	タイマカウント値 7-0 ビットデータ							
	15	14	13	12	11	10	9	8
bit Symbol	TBnRG115	TBnRG114	TBnRG113	TBnRG112	TBnRG111	TBnRG110	TBnRG109	TBnRG108
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	タイマカウント値 15-8 ビットデータ							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

## TMRn0 キャプチャレジスタ (n=0~11)

TBnCP0  
(0xFF00\_4xx8)

	7	6	5	4	3	2	1	0
bit Symbol	TBnCP07	TBnCP06	TBnCP05	TBnCP04	TBnCP03	TBnCP02	TBnCP01	TBnCP00
Read/Write	R							
リセット後	不定							
機能	タイマキャプチャ値 7-0 ビットデータ							
	15	14	13	12	11	10	9	8
bit Symbol	TBnCP015	TBnCP014	TBnCP013	TBnCP012	TBnCP011	TBnCP010	TBnCP009	TBnCP008
Read/Write	R							
リセット後	不定							
機能	タイマキャプチャ値 15-8 ビットデータ							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

## TMRn1 キャプチャレジスタ (n=0~11)

TBnCP1  
(0xFF00\_4xxC)

	7	6	5	4	3	2	1	0
bit Symbol	TBnCP17	TBnCP16	TBnCP15	TBnCP14	TBnCP13	TBnCP12	TBnCP11	TBnCP10
Read/Write	R							
リセット後	不定							
機能	タイマキャプチャ値 7-0 ビットデータ							
	15	14	13	12	11	10	9	8
bit Symbol	TBnCP115	TBnCP114	TBnCP113	TBnCP112	TBnCP111	TBnCP110	TBnCP109	TBnCP108
Read/Write	R							
リセット後	不定							
機能	タイマキャプチャ値 15-8 ビットデータ							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

## 11.5 モード別動作説明

### 11.5.1 16 ビットインタバルタイマモード

一定周期の割り込みを発生させる場合

タイマレジスタ TBORG1 にインタバル時間を設定し、INTTBO 割り込みを発生します。

	7	6	5	4	3	2	1	0	
TBOEN	1	X	X	X	X	X	X	X	TMRBO モジュールを起動します。
TBORUN	←	X	X	X	X	0	X	0	TMRBO を停止します。
IMCOD	←	0	1	1	0	0	1	0	INTTBO をイネーブル、レベル 4 に設定します。 (INTTBO の設定のみ抜き出しておりますが、 32bit レジスタの為、他の割り込みも設定して下さい)
TBOFFCR	←	X	X	0	0	0	0	1	トリガをディセーブルします。
TBOMOD	←	0	0	1	0	0	1	*	入カクロックをプリスケアラ出力クロックにし、 インタバル時間を設定します。 (16 ビット ※レジスタは 32bit)
TBORG1	←	*	*	*	*	*	*	*	
TBORUN	←	X	X	X	X	X	1	X	

X: Don't care -; no change \*: 値を設定してください

### 11.5.2 16 ビットイベントカウンタモード

入カクロックを外部クロック (TB1IN0 端子入力) にすることでイベントカウンタにすることができます。

アップカウンタは TB1IN0 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

	7	6	5	4	3	2	1	0	
TB1EN	←	1	X	X	X	X	X	X	TMRB1 モジュールを起動します。
TB1RUN	←	X	X	X	X	0	X	0	TMRB1 を停止します。
P2CR	←	-	-	-	-	-	-	0	P20 を入力モードに設定します。
P2FC3	←	-	-	-	-	-	-	1	
P2IE	←	-	-	-	-	-	-	1	
TB1FFCR	←	X	X	0	0	0	0	1	トリガディセーブルにします。
TB1MOD	←	0	0	1	0	0	1	0	入カクロックを TB1IN0 端子入力にします。
TB1RUN	←	X	X	X	X	X	1	X	TMRB1 を起動します。
TB1MOD	←	X	X	0	0	0	1	0	ソフトウェアキャプチャを行いません。

X: Don't care -; no change \*: 値を設定してください

イベントカウンタとして使用する場合も、プリスケアラは“RUN”にしてください (TB1RUN<TB1PRUN> = “1”)。

11.5.3 16 ビットPPG（プログラマブル矩形波）出力モード

任意周波数、任意デューティの矩形波（プログラマブル矩形波）を出力することができます。出力パルスは、ローアクティブ、ハイアクティブどちらでも可能です。

アップカウンタ（UC1）とタイマレジスタ（TB1RG0、TB1RG1）への設定値との一致によりタイマフリップフロップ（TB1FF0）の反転トリガをかけることで、プログラマブル矩形波を TB1OUT 端子より出力することができます。ただし、TB1RG0 と TB1RG1 の設定値は次の条件を満たす必要があります。

$$(TB1RG0 \text{ への設定値}) < (TB1RG1 \text{ への設定値})$$

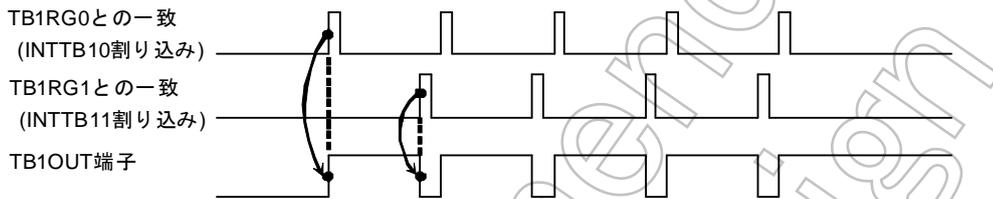


図 11-4 プログラマブル矩形波（PPG）出力波形例

このモードでは、TB1RG0 のダブルバッファをイネーブルにすることにより、TB1RG1 との一致で、レジスタバッファ 0 の値が TB1RG0 へシフトインされます。これにより、小さいデューティへの対応が容易に行えます。

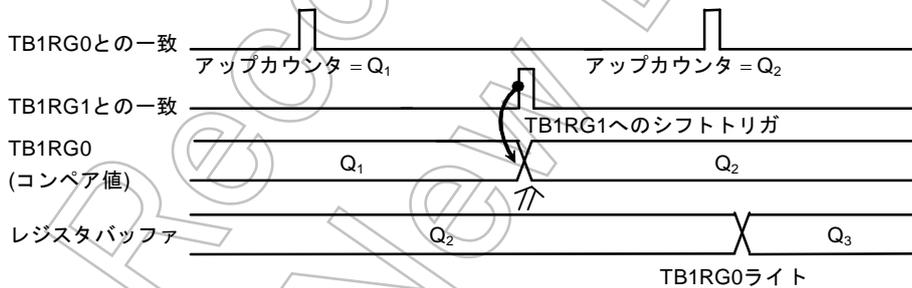


図 11-5 レジスタバッファの動作

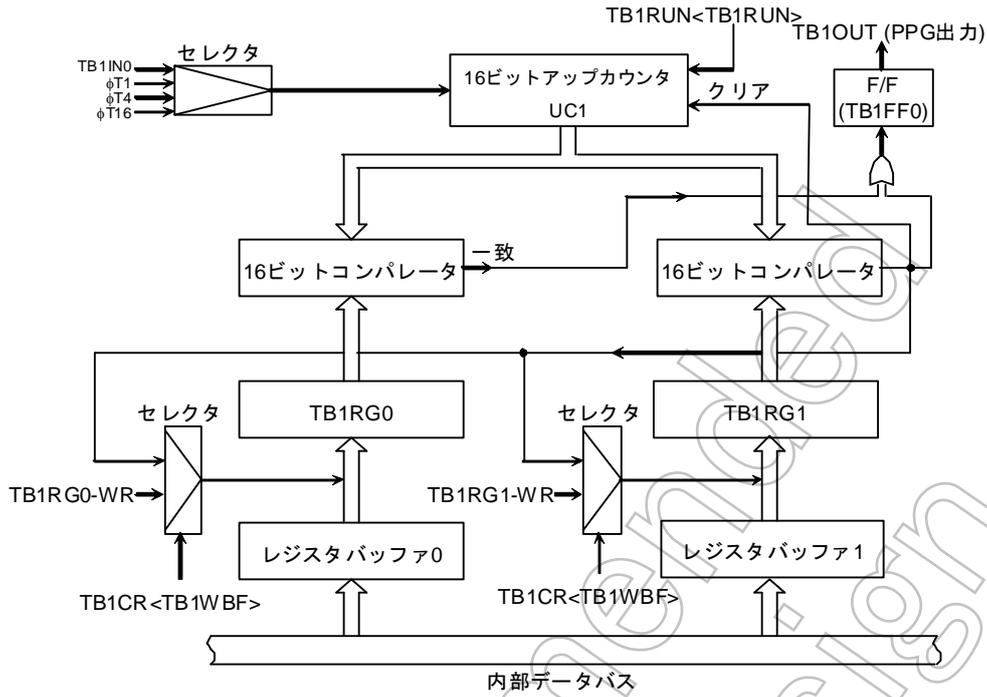


図 11-6 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

	7	6	5	4	3	2	1	0	
TB1EN	← 1	X	X	X	X	X	X	X	TMRB1 モジュールを起動します。
TB1RUN	← X	X	X	X	X	0	X	0	TMRB1 を停止します。
TB1CR	← 0	0	-	X	-	X	X	X	ダブルバッファをディセーブルします。
TB1RG0	← *	*	*	*	*	*	*	*	デューティを設定します。(16 ビット※レジスタは 32 ビット)
TB1RG1	← *	*	*	*	*	*	*	*	周期を設定します。(16 ビット※レジスタは 32 ビット)
TB1CR	← 1	0	-	X	-	X	X	X	ダブルバッファをイネーブルにします。 (INTTB1 割り込みでデューティ/周期の変更)
TB1FFCR	← X	X	0	0	1	1	1	0	TB1FF0 を TB1RG0、TB1RG1 との一致検出で反転する ように設定します。また、TB1FF0 の初期値を“0”にします。
TB1MOD	← 0	0	1	0	0	1	*	*	入カクロックをプリスケラ出カクロックにし、 キャプチャ機能ディセーブルにします。
P5CR	← -	-	1	-	-	-	-	-	} P55 を TB1OUT に割り付けます。
P5FC2	← -	-	1	-	-	-	-	-	
TB1RUN	← X	X	X	X	X	1	X	1	TMRB1 を起動します。

X: Don't care -; no change \*; 値を設定してください

#### 11.5.4 タイマ同期モード

タイマ同期モードを使用する事により、タイマ間のスタートの同期を取る事が可能となります。  
PPG 出力にて同期モードを使用することによりモータ等の駆動に応用が可能です。

TBnCR<TBnSYNC>により、同期モードの切り替えを行います。

<TBnSYNC> = “0” : チャンnelごとの個別動作

<TBnSYNC> = “1” : 同期動作

タイマ同期モードでは、複数チャンネルのTMRBを一組として、1つのチャンネルのスタートに他のチャンネルのスタートを同期させることができます。

以下の通り、TMRB0~3, TMRB4~7, TMRB8~B, TMRBC~F, TMRB10~11の5つの組に分かれています。

	スタートのトリガをかけるチャンネル (マスタチャンネル)	同期して動作するチャンネル (スレーブチャンネル)
1	TMRB0	TMRB1, TMRB2, TMRB3
2	TMRB4	TMRB5, TMRB6, TMRB7
3	TMRB8	TMRB9, TMRBA, TMRBB
4	TMRBC	TMRBD, TMRBE, TMRBF
5	TMRB10	TMRB11

マスタチャンネルの<TBnSYNC>ビットは“0”を設定してください。

スレーブチャンネルの<TBnSYNC>ビットに“1”を設定すると、マスタチャンネルのスタートに同期して動作がスタートします。スレーブチャンネルのTBnRUN<TBnPRUN, TBnRUN>ビットの設定は不要です。

## 11.6 キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより次に示す例をはじめ、多くの応用が可能です。

- ① 外部トリガパルスからのワンショットパルス出力
- ② 周波数測定
- ③ パルス幅測定
- ④ 時間差測定

### ①外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

ここでは TMRB6 を例に説明します。

16 ビットアップカウンタ UC6 をプリスケアラ出力クロックにてフリーランニングでカウントアップさせておきます。TB6IN0 端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ (TB6CP0) に取り込みます。

外部トリガパルスの立ち上がり時、割り込み INT4 が発生するように INTC で設定します。この割り込みで、タイマレジスタ (TB6RG0) には、TB6CP0 の値 (c) とディレイタイム (d) を加算した値 (c + d) を設定します。

タイマレジスタ (TB6RG1) には、TB6RG0 の値とワンショットパルスのパルス幅 (p) を加算した値 (c + d + p) を設定します。

さらに、タイマフリップフロップコントロールレジスタ (TB6FFCR<TB6E1T1, TB6E0T1>) に “11” を設定し、UC6 と TB6RG0 との一致、および、TB6RG1 との一致により、タイマフリップフロップ (TB6FF0) が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTB6 の割り込み処理により、これをディセーブルに戻します。

なお、文中の (c)、(d)、(p) は、「図 11-7 ワンショットパルス出力 (ディレイあり)」の c、d、p と対応しています。

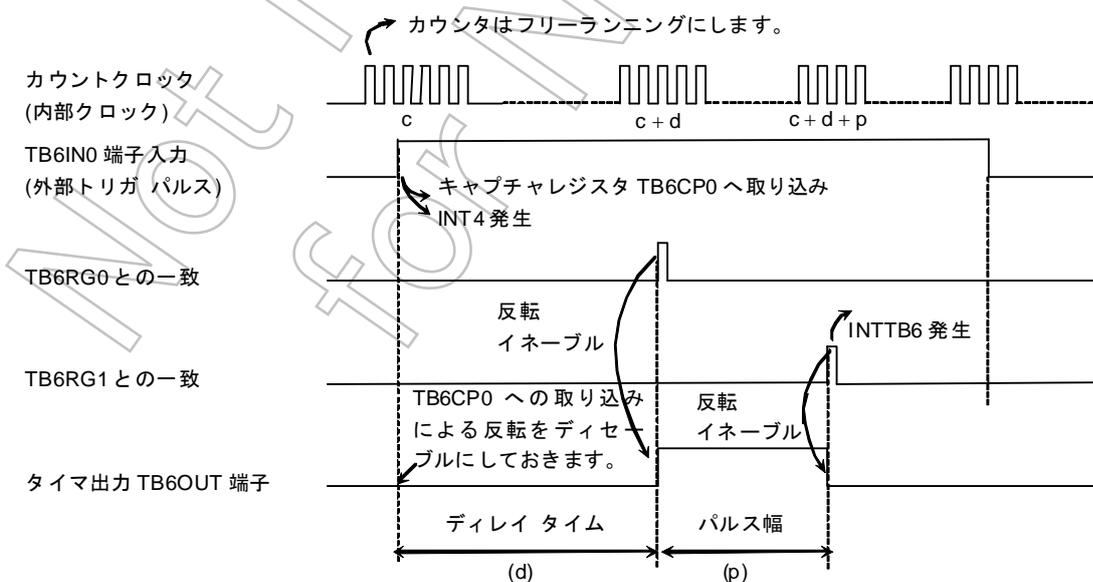


図 11-7 ワンショットパルス出力 (ディレイあり)

設定例： TB6IN0 端子からの外部トリガパルスに対して、3 ms ディレイで 2 ms のワンショットパルス  
 を出力する場合

※クロック条件

- システムクロック : 高速 (fc)
- 高速クロックギア : 1倍 (fc)
- プリスケラクロック : fperiph/8 (fperiph = fsys)

メインでの設定

	7	6	5	4	3	2	1	0	
PACR	-	-	-	0	-	-	-	-	TB6IN0 設定
PAFC2	-	-	-	1	-	-	-	-	
PAIE	-	-	-	1	-	-	-	-	
TB6MOD	←	X	0	1	0	1	0	0	1
TB6FFCR	←	X	X	0	0	0	0	1	0
PBCR	←	-	-	-	-	-	1	-	-
PBFC1	←	-	-	-	-	-	1	-	-
IMCO1	←	X	1	1	0	X	1	0	0
IMCOF	←	X	1	1	0	X	0	0	0
TB6RUN	←	X	X	X	X	X	1	X	1

φT1 でカウントさせます。  
 TB6IN0 入力の立ち上がりで TB6CPO へ取り込みます。  
 TB6FF0 をゼロクリアします。  
 TB6FF0 の反転をディセーブルにします。  
 PB2 端子を TB6OUT に割り付けます。  
 INT4 をイネーブルに、INTTB6 をディセーブルにします。  
 (INT4、INTTB6 の設定のみ抜き出しておりますが、  
 IMCxx は 32bit レジスタの為、他の割り込みも設定して  
 ください)  
 TMRB6 を起動します。

パルス幅設定 (INT4 割り込みハンドラでの設定)

TB6RG0	←	TB6CPO + 3ms/φT1							
TB6RG1	←	TB6RG0 + 2ms/φT1							
TB6FFCR	←	X	X	-	-	1	1	-	-
TB6IM	←	X	X	X	X	X	1	0	1
IMCOF	←	X	1	1	0	X	1	0	0

TB6RG0、1 との一致による TB6FF0 の反転をイネーブルにします。  
 TB6RG1 との一致割り込み以外をマスクします。  
 INTTB6 をイネーブルにします。

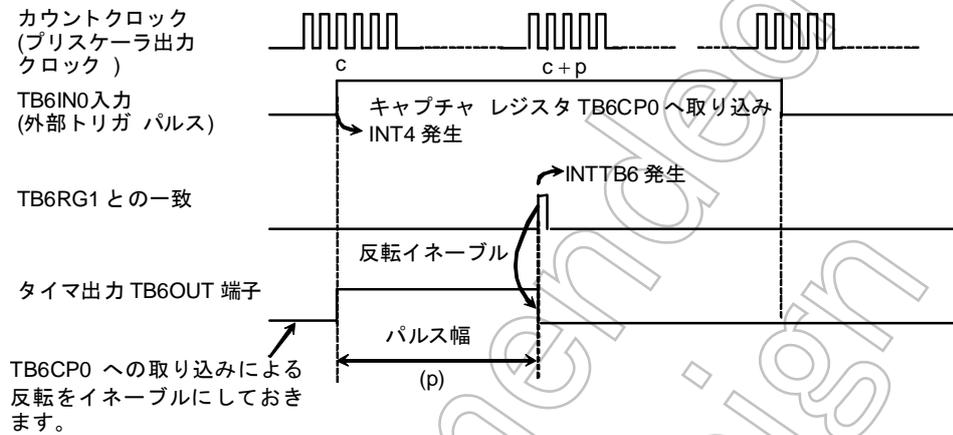
出力ディセーブル設定 (INTTB6 割り込みハンドラでの設定)

TB6FFCR	←	X	X	-	-	0	0	-	-
IMCOF	←	X	1	1	0	X	0	0	0

TB6RG0、1 との一致による TB6FF0 の反転をディセーブルにします。  
 INTTB6 をディセーブルにします。

X: Don't care -: no change \*: 値を設定してください

ディレイが不要な場合、TB6CP0 への取り込みによって TB6FF0 を反転させ、割り込み INT4 で TB6CP0 の値 (c) にワンショットパルスの幅 (p) を加算した値 (c + p) を TB6RG1 に設定します。TB6FF0 は、TB6RG1 と UC6 の一致によって反転するように、反転イネーブルを選択します。また、INTTB6 割り込みでこれをディセーブルに戻します。



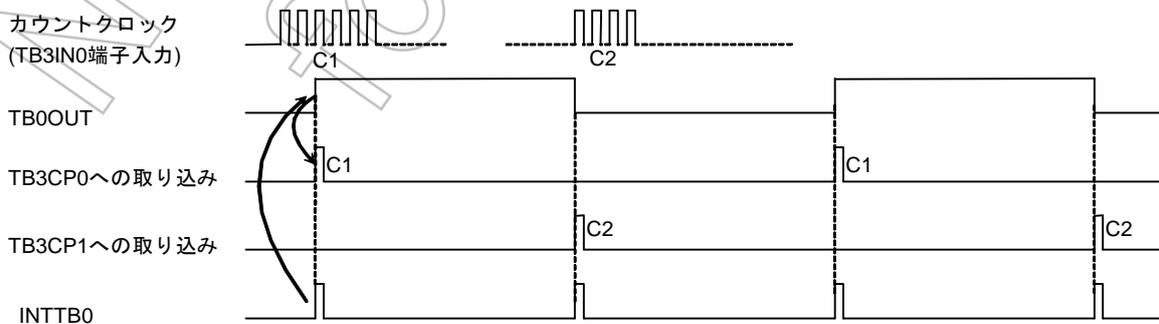
② 周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、16 ビットイベントカウンタモードと他の 16 ビットタイマ (TMRB0) を組み合わせて行います (TMRB0 は、TBOOUT を反転させることで測定時間の設定に用います)。

TMRB3 のカウントクロックは TB3IN0 端子入力を選択し、外部クロック入力によるカウント動作を行います。TB3MOD<TB3CPM1 : 0> には “11” を設定します。この設定により、16 ビットタイマ (TMRB0) のタイマフリップフロップ出力 (TBOOUT) の立ち上がりで、キャプチャレジスタ (TB3CP0) に 16 ビットアップカウンタ UC3 のカウンタ値を取り込み、16 ビットタイマ (TMRB0) の TBOOUT の立ち下がりで、キャプチャレジスタ (TB3CP1) に UC3 のカウンタ値の取り込みを行います。

周波数は、16 ビットタイマの割り込み INTTB0 で測定時間を基準にして TB3CP0、TB3CP1 の差より求めます。



例えば、16ビットタイマによるTB00OUTの“1”レベル幅の設定値が0.5sで、TB3CP0とTB3CP1の差が100であれば、周波数は $100 \div 0.5s = 200Hz$ となります。

### ③ パルス幅測定

キャプチャ機能を用いて、外部パルスの“H”レベル幅を測定することができます。TB6IN0端子より外部パルスを入力し、アップカウンタ(UC6)をプリスケアラ出力クロックにてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ(TB6CP0, TB6CP1)に取り込みます。TB6IN0端子の立ち下がりにより、INT4が発生するようにINTCで設定します。

“H”レベルパルス幅は、TB6CP0とTB6CP1の差を求め、その値に内部クロックの周期をかけることにより、求めることができます。

例えばTB6CP0とTB6CP1の差が100で、プリスケアラ出力クロックの周期が $0.5\mu s$ であれば、パルス幅は、 $100 \times 0.5\mu s = 50\mu s$ となります。

なお、クロックソースにより定まるUC6の最大カウント時間を越えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトウェアによる処理を行ってください。

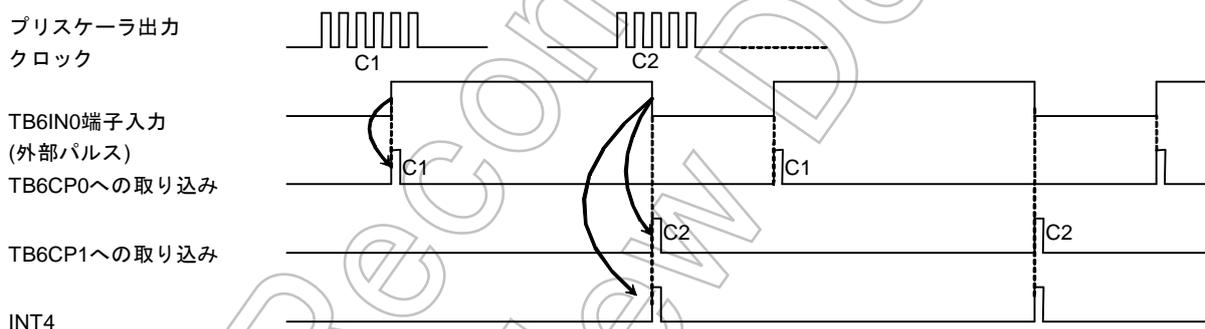


図 11-10 パルス幅測定

また、外部パルスの“L”レベル幅を測定することもできます。

この場合、図 11-11 時間差測定における、2回目のINT4割り込み処理により、1回目のC2と2回目のC1の差に、プリスケアラ出力クロックの周期をかけることにより、求めることができます。

## ④ 時間差測定

キャプチャ機能を用いて、2つの事象の時間差を測定することができます。プリスケアラ出力クロックを用いて、アップカウンタ (UC6) をフリーランニングでカウントアップさせておきます。TB6IN0 端子の入力パルスの立ち上がりエッジで、UC6 の値をキャプチャレジスタ (TB6CP0) に取り込みます。このとき、割り込み INT4 が発生するように INTC で設定します。

TB6IN1 端子の入力パルスの立ち上がりエッジで、UC6 の値をキャプチャレジスタ TB6CP1 に取り込みます。このとき、割り込み INT5 が発生するように INTC で設定します。

時間差は、キャプチャレジスタの値が取り込み終わった時点で、TB6CP1 から TB6CP0 を引いた値に、内部クロックの周期をかけて求めることができます。

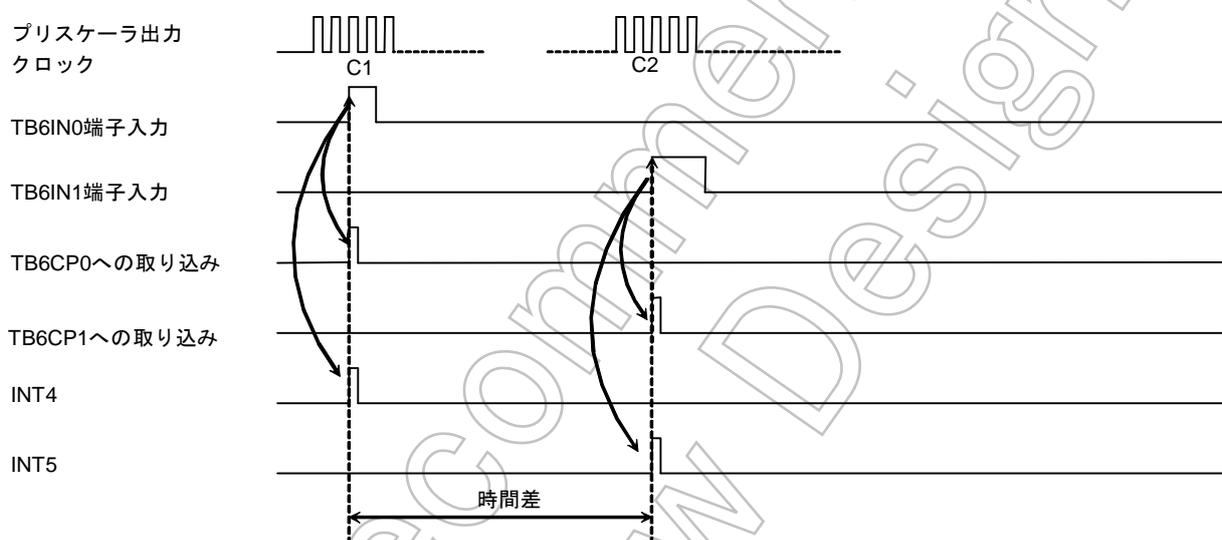


図 11-11 時間差測定

## 12. 32 ビットインプットキャプチャ (TMRC)

32 ビットのタイムベースタイマ (TBT) を 1 チャンネルと 32 ビットインプットキャプチャレジスタを 4 チャンネル (TCCAPO~3)、32 ビットのコンパレレジスタを 8 チャンネル (TCCMPO~7) を内蔵しています。

図 12-1にTMRCのブロック図を示します。

### 12.1 TMRCのブロック図

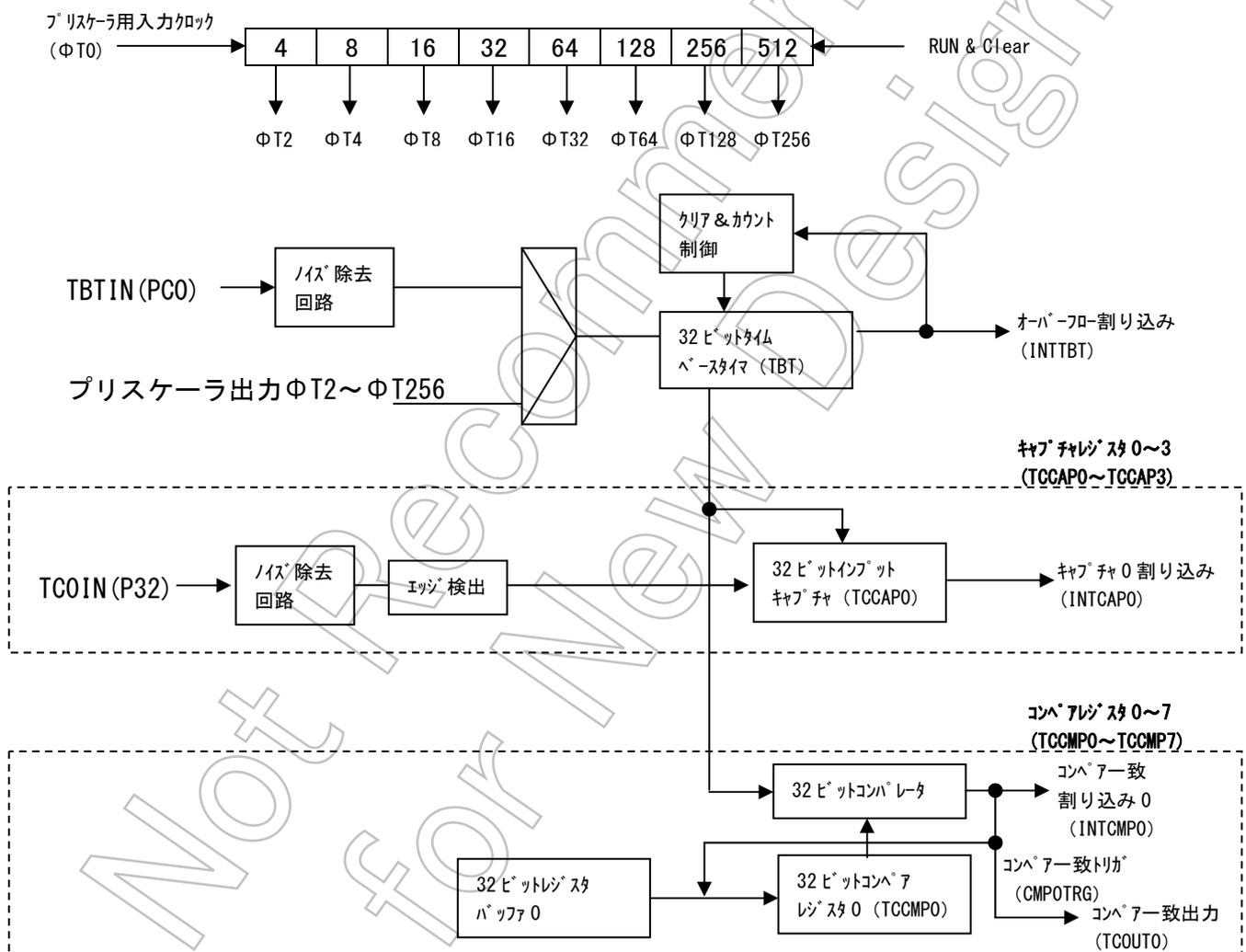


図 12-1 タイマ C のブロック図

## 12.2 回路別の動作説明

### 12.2.1 プリスケーラ

TMRC のクロックソースを得るためのプリスケーラがあります。プリスケーラの入カクロック  $\phi T0$  は、CG 部の SYSCR1<PRCK2 : 0> にて選択した  $f_{periph}/2$ ,  $f_{periph}/4$ ,  $f_{periph}/8$ ,  $f_{periph}/16$ ,  $f_{periph}/32$  のいずれかのクロックです。TMRC のプリスケーラ入カクロックは、 $\phi T0$  を分周した  $\phi T2 \sim \phi T256$  までを TBTCR<TBCLK3:0> にて選択することが可能です。

$f_{periph}$  は CG 部の SYSCR1<FPSEL> で選択されるクロック  $f_{gear}$  またはクロックギアで分周される前のクロック  $f_c$  のいずれかです。

プリスケーラは TBTRUN<TBTPRUN> により動作/停止の設定をします。“1” をライトするとカウント開始し、“0” をライトするとクリアされ停止します。プリスケーラ出カクロックの分解能を図 12-1 に示します。

Not Recommended for New Design

表 12-1 プリスケーラ出力クロック分解能 @fc = 80.0MHz

ペリフェラルクロック 選択<FPSEL>	クロックギア値 <GEAR2:0>	プリスケラクロック 選択<PRCK2:0>	プリスケラ出力クロック分解能			
			ΦT2	ΦT4	ΦT8	ΦT16
0(fgear)	000(fc)	000(fperiph/2)	$fc/2^3(0.10 \mu s)$	$fc/2^4(0.20 \mu s)$	$fc/2^5(0.40 \mu s)$	$fc/2^6(0.80 \mu s)$
		001(fperiph/4)	$fc/2^4(0.20 \mu s)$	$fc/2^5(0.40 \mu s)$	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$
		010(fperiph/8)	$fc/2^5(0.40 \mu s)$	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$
		011(fperiph/16)	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$
		100(fperiph/32)	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$
	100(fc/2)	000(fperiph/2)	$fc/2^4(0.20 \mu s)$	$fc/2^5(0.40 \mu s)$	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$
		001(fperiph/4)	$fc/2^5(0.40 \mu s)$	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$
		010(fperiph/8)	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.32 \mu s)$
		011(fperiph/16)	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.6 \mu s)$
		100(fperiph/32)	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$
	101(fc/4)	000(fperiph/2)	$fc/2^5(0.40 \mu s)$	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$
		001(fperiph/4)	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.32 \mu s)$
		010(fperiph/8)	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.6 \mu s)$
		011(fperiph/16)	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$
		100(fperiph/32)	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$
	110(fc/8)	000(fperiph/2)	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.32 \mu s)$
		001(fperiph/4)	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.6 \mu s)$
		010(fperiph/8)	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$
		011(fperiph/16)	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$
		100(fperiph/32)	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$
111(fc/16)	000(fperiph/2)	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.6 \mu s)$	
	001(fperiph/4)	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	
	010(fperiph/8)	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	
	011(fperiph/16)	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$	
	100(fperiph/32)	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$	$fc/2^{14}(204.8 \mu s)$	
1(fc)	000(fc)	000(fperiph/2)	$fc/2^3(0.10 \mu s)$	$fc/2^4(0.20 \mu s)$	$fc/2^5(0.40 \mu s)$	$fc/2^6(0.80 \mu s)$
		001(fperiph/4)	$fc/2^4(0.20 \mu s)$	$fc/2^5(0.40 \mu s)$	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$
		010(fperiph/8)	$fc/2^5(0.40 \mu s)$	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$
		011(fperiph/16)	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$
		100(fperiph/32)	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$
	100(fc/2)	000(fperiph/2)	$fc/2^3(0.10 \mu s)$	$fc/2^4(0.20 \mu s)$	$fc/2^5(0.40 \mu s)$	$fc/2^6(0.80 \mu s)$
		001(fperiph/4)	$fc/2^4(0.20 \mu s)$	$fc/2^5(0.40 \mu s)$	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$
		010(fperiph/8)	$fc/2^5(0.40 \mu s)$	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$
		011(fperiph/16)	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$
		100(fperiph/32)	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$
	101(fc/4)	000(fperiph/2)	—	$fc/2^4(0.20 \mu s)$	$fc/2^5(0.40 \mu s)$	$fc/2^6(0.80 \mu s)$
		001(fperiph/4)	$fc/2^4(0.20 \mu s)$	$fc/2^5(0.40 \mu s)$	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$
		010(fperiph/8)	$fc/2^5(0.40 \mu s)$	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$
		011(fperiph/16)	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$
		100(fperiph/32)	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$
	110(fc/8)	000(fperiph/2)	—	—	$fc/2^5(0.40 \mu s)$	$fc/2^6(0.80 \mu s)$
		001(fperiph/4)	—	$fc/2^5(0.40 \mu s)$	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$
		010(fperiph/8)	$fc/2^5(0.40 \mu s)$	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$
		011(fperiph/16)	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$
		100(fperiph/32)	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$
	111(fc/16)	000(fperiph/2)	—	—	—	$fc/2^6(0.80 \mu s)$
		001(fperiph/4)	—	—	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$
		010(fperiph/8)	—	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$
		011(fperiph/16)	$fc/2^6(0.80 \mu s)$	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$
		100(fperiph/32)	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$

ペリフェラルクロック 選択<FPSEL>	クロックギア値 <GEAR2:0>	プリスケラクロック <PRCK2:0>	プリスケラ出カクロック分解能			
			ΦT32	ΦT64	ΦT128	ΦT256
0(fgear)	000(fc)	000(fperiph/2)	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.4 \mu s)$	$fc/2^{10}(12.8 \mu s)$
		001(fperiph/4)	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$
		010(fperiph/8)	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$
		011(fperiph/16)	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$
		100(fperiph/32)	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$	$fc/2^{14}(204.8 \mu s)$
	100(fc/2)	000(fperiph/2)	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$
		001(fperiph/4)	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$
		010(fperiph/8)	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$
		011(fperiph/16)	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$	$fc/2^{14}(204.8 \mu s)$
		100(fperiph/32)	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$	$fc/2^{14}(204.8 \mu s)$	$fc/2^{15}(409.6 \mu s)$
	101(fc/4)	000(fperiph/2)	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$
		001(fperiph/4)	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$
		010(fperiph/8)	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$	$fc/2^{14}(204.8 \mu s)$
		011(fperiph/16)	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$	$fc/2^{14}(204.8 \mu s)$	$fc/2^{15}(409.6 \mu s)$
		100(fperiph/32)	$fc/2^{13}(102.4 \mu s)$	$fc/2^{14}(204.8 \mu s)$	$fc/2^{15}(409.6 \mu s)$	$fc/2^{16}(819.2 \mu s)$
	110(fc/8)	000(fperiph/2)	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$
		001(fperiph/4)	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$	$fc/2^{14}(204.8 \mu s)$
		010(fperiph/8)	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$	$fc/2^{14}(204.8 \mu s)$	$fc/2^{15}(409.6 \mu s)$
		011(fperiph/16)	$fc/2^{13}(102.4 \mu s)$	$fc/2^{14}(204.8 \mu s)$	$fc/2^{15}(409.6 \mu s)$	$fc/2^{16}(819.2 \mu s)$
		100(fperiph/32)	$fc/2^{14}(204.8 \mu s)$	$fc/2^{15}(409.6 \mu s)$	$fc/2^{16}(819.2 \mu s)$	$fc/2^{17}(1638.4 \mu s)$
111(fc/16)	000(fperiph/2)	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$	$fc/2^{14}(204.8 \mu s)$	
	001(fperiph/4)	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$	$fc/2^{14}(204.8 \mu s)$	$fc/2^{15}(409.6 \mu s)$	
	010(fperiph/8)	$fc/2^{13}(102.4 \mu s)$	$fc/2^{14}(204.8 \mu s)$	$fc/2^{15}(409.6 \mu s)$	$fc/2^{16}(819.2 \mu s)$	
	011(fperiph/16)	$fc/2^{14}(204.8 \mu s)$	$fc/2^{15}(409.6 \mu s)$	$fc/2^{16}(819.2 \mu s)$	$fc/2^{17}(1638.4 \mu s)$	
	100(fperiph/32)	$fc/2^{15}(409.6 \mu s)$	$fc/2^{16}(819.2 \mu s)$	$fc/2^{17}(1638.4 \mu s)$	$fc/2^{18}(3276.8 \mu s)$	
1(fc)	000(fc)	000(fperiph/2)	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.4 \mu s)$	$fc/2^{10}(12.8 \mu s)$
		001(fperiph/4)	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$
		010(fperiph/8)	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$
		011(fperiph/16)	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$
		100(fperiph/32)	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$	$fc/2^{14}(204.8 \mu s)$
	100(fc/2)	000(fperiph/2)	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.4 \mu s)$	$fc/2^{10}(12.8 \mu s)$
		001(fperiph/4)	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$
		010(fperiph/8)	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$
		011(fperiph/16)	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$
		100(fperiph/32)	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$	$fc/2^{14}(204.8 \mu s)$
	101(fc/4)	000(fperiph/2)	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.4 \mu s)$	$fc/2^{10}(12.8 \mu s)$
		001(fperiph/4)	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$
		010(fperiph/8)	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$
		011(fperiph/16)	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$
		100(fperiph/32)	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$	$fc/2^{14}(204.8 \mu s)$
	110(fc/8)	000(fperiph/2)	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.4 \mu s)$	$fc/2^{10}(12.8 \mu s)$
		001(fperiph/4)	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$
		010(fperiph/8)	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$
		011(fperiph/16)	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$
		100(fperiph/32)	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$	$fc/2^{14}(204.8 \mu s)$
111(fc/16)	000(fperiph/2)	$fc/2^7(1.60 \mu s)$	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.4 \mu s)$	$fc/2^{10}(12.8 \mu s)$	
	001(fperiph/4)	$fc/2^8(3.20 \mu s)$	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	
	010(fperiph/8)	$fc/2^9(6.40 \mu s)$	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	
	011(fperiph/16)	$fc/2^{10}(12.8 \mu s)$	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$	
	100(fperiph/32)	$fc/2^{11}(25.6 \mu s)$	$fc/2^{12}(51.2 \mu s)$	$fc/2^{13}(102.4 \mu s)$	$fc/2^{14}(204.8 \mu s)$	

(注1) タイマ動作中はクロックギアの切り換えは行なわないでください。

(注2) 表中の“－”は設定禁止です。

Not Recommended  
for New Design

### 12.2.2 ノイズ除去回路

タイムベースタイマ (TBT) の外部クロックソース入力 (TBTIN)、キャプチャトリガ入力 (TCnIN) に対してノイズ成分を除去します。ノイズ除去処理を行わない入力信号を出力することも可能です。

### 12.2.3 32 ビットタイムベースタイマ (TBT)

TBT コントロールレジスタ TBTCR で指定された入力クロックの立ち上がりによってカウントアップする 32 ビットのバイナリカウンタです。

入力クロックは、TBTIN 端子からの外部クロックと、8 種類のプリスケアラ出力クロック  $\Phi T2$ ,  $\Phi T4$ ,  $\Phi T8$ ,  $\Phi T16$ ,  $\Phi T32$ ,  $\Phi T64$ ,  $\Phi T128$ ,  $\Phi T256$  から、TBTCR<TBTCCLK3:0> の設定値に応じて選択されます。

アップカウンタは、TBTRUN<TBTRUN>によってカウント/停止&クリアを設定します。リセット時、アップカウンタはクリアされて、タイマは停止しています。カウントスタートするとフリーラン動作し、カウンタオーバーフローになるとオーバーフロー割り込み INTTBT を発生しカウンタ値は“0”にクリアされ再びアップカウンタ動作します。

#### (1) ソフトキャプチャ

ソフトウェアによってもアップカウンタの値をキャプチャレジスタへ取り込むことができ、TBTRUN<TBTCAP> に“1”を書き込むたびに、その時点のカウンタの値をキャプチャレジスタ TBTCAP へキャプチャします。なお、プリスケアラは、RUN 状態 (TBTRUN<TBTPRUN> = “1”) にしておく必要があります。

#### (2) リードキャプチャ

本カウンタは TBTRDCAP レジスタをリードしたときのアップカウンタ値がキャプチャ出来るリードキャプチャが可能です。

### 12.2.4 エッジ検出回路

外部からのキャプチャ入力 (TCnIN) の入力エッジをサンプリング検出します。キャプチャコントロールレジスタ CAPnCR<CPnEG1:0>により、立ち上がり、立下り、両エッジ、キャプチャしない、の選択が可能です。図 12-2 にキャプチャ入力とエッジ検出回路の出力 (キャプチャ要因出力) の関係を示します。

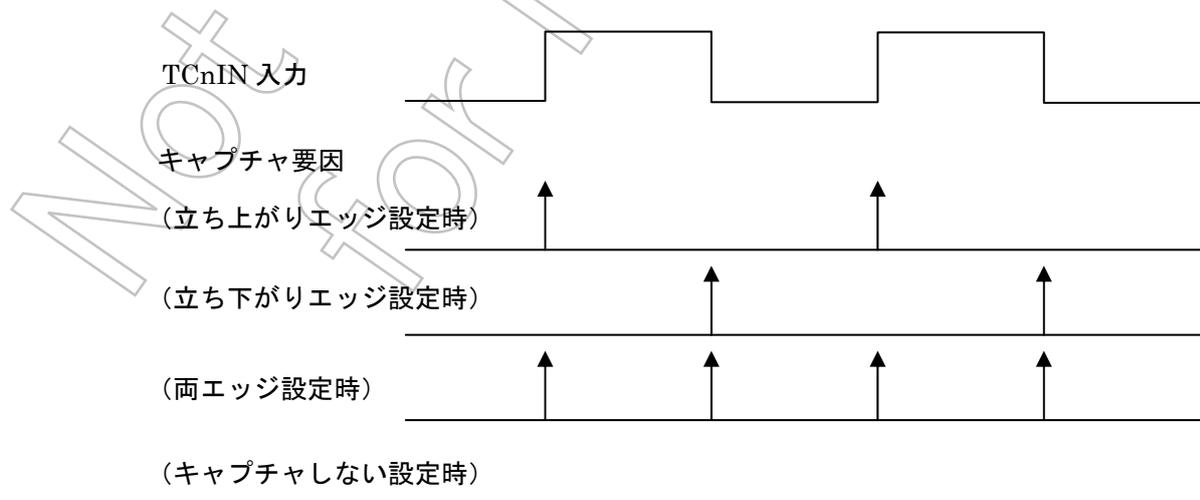


図 12-2 キャプチャ入力とキャプチャ要因出力 (エッジ検出回路出力)

### 12.2.5 32 ビットキャプチャレジスタ

キャプチャ要因をトリガにして TBT のカウント値が取り込まれる 32 ビットのレジスタです。キャプチャ動作が行われるとキャプチャ割り込み INTCAPn が発生します。割り込み要求 INTCAP0 から INTCAP3 が割り込みコントローラに伝えられます。

### 12.2.6 32 ビットコンペアレジスタ

コンペア値を設定する 32 ビットレジスタで、TMRC には TCCMP0~TCCMP7 の 8 本内蔵されています。このコンペアレジスタへの設定値と、タイムベースタイマ TBT の値とが一致すると、コンパレータの一致検出信号がアクティブになります。コンペア制御レジスタ CMPCTL<CMPENn>でコンペアイネーブル/ディセーブルを制御します。

このコンペアレジスタは、ダブルバッファ構成になっており、TCCMPn はレジスタバッファ n とペアになっています。ダブルバッファのイネーブル/ディセーブルはコンペア制御レジスタ CMPCTL <CMPRDEn> によって制御します。<CMPRDEn>=“0” のときディセーブル、<CMPRDEn>=“1” のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファ n からコンペアレジスタ TCCMPn へのデータ転送は、TBT と TCCMPn との一致時に行われます。

リセット時、TCCMPn は不定のためあらかじめデータを書き込む必要があります。リセット動作により、CMPCTL <CMPRDEn>=“0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、コンペアレジスタにデータを書き込み <CMPRDEn>=“1” に設定した後、レジスタバッファへ次のデータを書き込んでください。

TCCMPn とレジスタバッファは、同じアドレスに割り付けられています。<CMPRDEn>=“0” のときは、TCCMPn とそれぞれのレジスタバッファに、同じ値が書き込まれ、<CMPRDEn>=“1” のときは、それぞれのレジスタバッファにのみ書き込まれます。したがって、コンペアレジスタに初期値を書き込むときには、ダブルバッファをディセーブルにしておく必要があります。

## 12.3 レジスタ説明

TMRC イネーブルレジスタ

		7	6	5	4	3	2	1	0
TCEN (0xFF00_4A00)	bit Symbol	TCEN							
	Read/Write	R/W			R				
	リセット後	0	0	0	0	0	0	0	0
	機能	TMRC 動作 0: 禁止 1: 許可  リードすると“0”が読めます。							
		15	14	13	12	11	10	9	8
bit Symbol									
Read/Write		R							
リセット後		0	0	0	0	0	0	0	0
		23	22	21	20	19	18	17	16
bit Symbol									
Read/Write		R							
リセット後		0	0	0	0	0	0	0	0
		31	30	29	28	27	26	25	24
bit Symbol									
Read/Write		R							
リセット後		0	0	0	0	0	0	0	0

&lt;TCEN&gt; :

TMRC の動作を指定します。動作禁止の状態では TMRC モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。TMRC を使用する場合は、TMRC モジュールの各レジスタを設定する前に TMRC 動作許可（“1”）にしてください。TMRC を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

TMRC RUN レジスタ

TBTRUN  
(0xFF00\_4A04)

	7	6	5	4	3	2	1	0
bit Symbol	12TBT					TBTCAP	TBTPRUN	TBTRUN
Read/Write	R	R/W	R		R/W			
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めません。	IDLE 0: 停止 1: 動作	リードすると“0”が読めます。	かならず“0”をライトしてください。		TBTカウンタキャプチャ 0: Don't Care 1: ソフトキャプチャ	TimerRun/Stop Control 0: 停止&クリア 1: カウント	
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

<TBTRUN> : TBT のカウント動作を制御します。

<TBTPRUN> : TBT のプリスケアラの動作を制御します。

<TBTCAP> : “1” を設定すると、その時の TBT のカウンタ値をキャプチャレジスタ TBTCAP に取り込みます。

<12TBT> : IDLE モード時の動作を制御します。

## TMRC コントロールレジスタ

		7	6	5	4	3	2	1	0
TBTCCR (0xFF00_4A08)	bit Symbol	TBTNF				TBTCLK3	TBTCLK2	TBTCLK1	TBTCLK0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	TBTIN 入カノイズ 除去 0:2/fsys 以上 1:6/fsys 以上	必ず“0”をライトしてください。			TBT ソースクロック 0000: φT2    0001: φT4    0010: φT8 0011: φT16   0100: φT32   0101: φT64 0110: φT128   0111: φT256 1111: TBTIN 端子入力			
		15	14	13	12	11	10	9	8
bit Symbol									
Read/Write		0	0	0	0	0	0	0	0
リセット後		R							
		23	22	21	20	19	18	17	16
bit Symbol									
Read/Write		R							
リセット後		0	0	0	0	0	0	0	0
		31	30	29	28	27	26	25	24
bit Symbol									
Read/Write		R							
リセット後		0	0	0	0	0	0	0	0

<TBTCLK3:0> : TBT の入力クロックです。“0000~0111”の時はプリスケアラ出力からの選択に、“1111”の時は TBTIN 端子入力になります。

<TBTNF> : TBTIN 端子入力のノイズ除去を制御します。

“0 (除去なし)”の場合は、TBTIN 端子入力に対して “H” レベル、“L” レベルともに  $2/fsys$  以上 ( $25ns@f_{periph}=f_c=80MHz$ ) で TBT のソースクロックとなります。

“1 (除去あり)”の場合は、TBTIN 端子入力に対して “H” レベル、“L” レベルともに  $6/fsys$  ( $75ns@f_{periph}=f_c=80MHz$ ) に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅が変わります。

## TMRC TBT キャプチャレジスタ

TBTCAP (0xFF00_4A0C)		7	6	5	4	3	2	1	0
	bit Symbol	CAP07	CAP06	CAP05	CAP04	CAP03	CAP02	CAP01	CAP00
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャデータ							
		15	14	13	12	11	10	9	8
	bit Symbol	CAP15	CAP14	CAP13	CAP12	CAP11	CAP10	CAP09	CAP08
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャデータ							
		23	22	21	20	19	18	17	16
	bit Symbol	CAP23	CAP22	CAP21	CAP20	CAP19	CAP18	CAP17	CAP16
	Read/Write	R							
リセット後	0	0	0	0	0	0	0	0	
機能	キャプチャデータ								
	31	30	29	28	27	26	25	24	
bit Symbol	CAP31	CAP30	CAP29	CAP28	CAP27	CAP26	CAP25	CAP24	
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	キャプチャデータ								

## TMRC TBT リードキャプチャレジスタ (TBTRDCAP)

TBTRDCAP (0xFF00_4A10)		7	6	5	4	3	2	1	0
	bit Symbol	RDCAP07	RDCAP06	RDCAP05	RDCAP04	RDCAP03	RDCAP02	RDCAP01	RDCAP00
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャデータ							
		15	14	13	12	11	10	9	8
	bit Symbol	RDCAP15	RDCAP14	RDCAP13	RDCAP12	RDCAP11	RDCAP10	RDCAP09	RDCAP08
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャデータ							
		23	22	21	20	19	18	17	16
	bit Symbol	RDCAP23	RDCAP22	RDCAP21	RDCAP20	RDCAP19	RDCAP18	RDCAP17	RDCAP16
	Read/Write	R							
リセット後	0	0	0	0	0	0	0	0	
機能	キャプチャデータ								
	31	30	29	28	27	26	25	24	
bit Symbol	RDCAP31	RDCAP30	RDCAP29	RDCAP28	RDCAP27	RDCAP26	RDCAP25	RDCAP24	
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	キャプチャデータ								

TMRC キャプチャコントロールレジスタ (n=0~3)

		7	6	5	4	3	2	1	0	
CAPnCR (0xFF00_4Ax0)	bit Symbol	TCnNF						CPnEG1	CPnEG0	
	Read/Write	R/W	R						R/W	
	リセット後	0	0	0	0	0	0	0	0	
	機能	TCnIN 入力ノイズ 除去 0:2/fsys 以上 1:6/fsys 以上	リードすると“0”が読めます。						TCnIN 入力の有効エッジ選 択 00: キャプチャしない 01: 立ち上がり 10: 立ち下がり 11: 両エッジ	
		15	14	13	12	11	10	9	8	
bit Symbol										
Read/Write		R								
リセット後		0	0	0	0	0	0	0	0	
		23	22	21	20	19	18	17	16	
bit Symbol										
Read/Write		R								
リセット後		0	0	0	0	0	0	0	0	
		31	30	29	28	27	26	25	24	
bit Symbol										
Read/Write		R								
リセット後		0	0	0	0	0	0	0	0	

<CPnEG1:0> : キャプチャ n (TCCAPn) のトリガ入力端子 TCnIN の有効エッジを選択します。“00”を設定するとキャプチャ動作を行いません。

<TCnNF> : TCnIN 端子入力のノイズ除去を制御します。  
 “0 (除去なし)” の場合は、TCnIN 端子入力に対して “H” レベル、“L” レベルともに  $2/f_{sys}$  以上 ( $25ns@f_{periph}=f_c=80MHz$ ) で TCCAPn のトリガ入力となります。  
 “1 (除去あり)” の場合は、TCnIN 端子入力に対して “H” レベル、“L” レベルともに  $6/f_{sys}$  ( $75ns@f_{periph}=f_c=80MHz$ ) に満たない入力はノイズとして除去します。  
 クロックギアによりシステムクロックの変化に伴い除去幅が変わります。

TMRC キャプチャレジスタ (n=0~3)

TCCAPn  
(0xFF00\_4Ax4)

	7	6	5	4	3	2	1	0
bit Symbol	CAPn07	CAPn06	CAPn05	CAPn04	CAPn03	CAPn02	CAPn01	CAPn00
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	キャプチャ n データ							
	15	14	13	12	11	10	9	8
bit Symbol	CAPn15	CAPn14	CAPn13	CAPn12	CAPn11	CAPn10	CAPn09	CAPn08
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	キャプチャ n データ							
	23	22	21	20	19	18	17	16
bit Symbol	CAPn23	CAPn22	CAPn21	CAPn20	CAPn19	CAPn18	CAPn17	CAPn16
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	キャプチャ n データ							
	31	30	29	28	27	26	25	24
bit Symbol	CAPn31	CAPn30	CAPn29	CAPn28	CAPn27	CAPn26	CAPn25	CAPn24
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	キャプチャ n データ							

Not Recommended for New Design

TMRC コンペア制御レジスタ (n=0~7)

CMPCTLn (0xFF00_4Ax0)	bit Symbol	TCFFENn		TCFFCn1	TCFFCn0			CMPRDEn	CMPENn
	Read/Write	R	R/W	R/W		R		R/W	
	リセット後	0	0	1	1	0	0	0	0
	機能	リードすると“0”が読めません。	TCFFn 反転 0:禁止 1:許可	TCFF0 の制御 00:反転 01:セット 10:クリア 11:Don't care		リードすると“0”が読めます。		ダブルバッファ 0 0:禁止 1:許可	コンペア 0 イネーブル 0:禁止 1:許可
		15	14	13	12	11	10	9	8
	bit Symbol								
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
		23	22	21	20	19	18	17	16
	bit Symbol								
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
		31	30	29	28	27	26	25	24
	bit Symbol								
	Read/Write	R							
リセット後	0	0	0	0	0	0	0	0	

- <CMPENn> : コンペア一致検出のイネーブル/ディゼーブルを制御します。
- <CMPRDEn> : コンペアレジスタのダブルバッファイネーブル/ディゼーブルを制御します。
- <TCFFCn1:0> : コンペア一致出力 F/F の制御をします。
- <TCFFENn> : コンペア一致出力 F/F の反転イネーブル/ディゼーブルを制御します。

TMRC コンペアレジスタ (n=0~7)

TCCMPn (0xFF00_4Ax4)	bit Symbol	CMPn07	CMPn06	CMPn05	CMPn04	CMPn03	CMPn02	CMPn01	CMPn00
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ n データ							
		15	14	13	12	11	10	9	8
	bit Symbol	CMPn15	CMPn14	CMPn13	CMPn12	CMPn11	CMPn10	CMPn09	CMPn08
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ n データ							
		23	22	21	20	19	18	17	16
	bit Symbol	CMPn23	CMPn22	CMPn21	CMPn20	CMPn19	CMPn18	CMPn17	CMPn16
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ n データ							
		31	30	29	28	27	26	25	24
bit Symbol	CMPn31	CMPn30	CMPn29	CMPn28	CMPn27	CMPn26	CMPn25	CMPn24	
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能	コンペアレジスタ n データ								

## 13 2相パルス入力カウンタ (PHCNT)

2相パルス入力カウンタを6チャンネル (PHCNT0~PHCNT5) 内蔵しています。  
(同様の動作をしますので、PHCNT0について記載します。)

PHC0IN0、PHC0IN1 より入力される位相差ある2相クロックの状態遷移によりカウンタ+1、あるいはカウンタ-1 を実行するモードです。アップダウンカウンタモード中にカウント動作により割り込みを出力します。

カウント動作は2種類存在し、モードの切り替えはレジスタにより制御します。

- 1) 通常動作モード(4カウント目でUP/DOWN)
- 2) 4 通倍モード(全てのカウンタでUP/DOWN)
- 3) カウンタ一致割り込みモード

### 13.1 機能概要

- 1) カウンタ部は16bit アップダウンカウンタです。初期値は0x7fff となります。
- 2) 非同期の2相パルス入力の組合せによりアップまたはダウンのカウント動作を行うカウンタです。
- 3) 2相パルスの入力部にはノイズフィルタを内蔵し、使用の有無を選択できます。
- 4) カウント動作は通常モードと4通倍モードから選択致します。
- 5) 2個のコンペア割り込みと、カウンタ毎の毎回割り込み発生有無を選択できます。
- 6) コントロールレジスタにより割り込み出力は制御可能です。
- 7) ステータスレジスタによりオーバーフロー、アンダーフロー及びコンペア割り込みの判断が可能です。

表 13-1 PHCNT レジスタ一覧

仕様		チャンネル	PHCNT0	PHCNT1	PHCNT2
外部端子	2相パルス入力端子		PHC0IN0 (PA0 と兼用)	PHC1IN0 (PA2 と兼用)	PHC2IN0 (PA6 と兼用)
			PHC0IN1 (PA1 と兼用)	PHC1IN1 (PA3 と兼用)	PHC2IN1 (PA7 と兼用)
レジスタ名 (アドレス)	PHCNT RUN レジスタ		PHC0RUN (0xFF00_1600)	PHC1RUN (0xFF00_1640)	PHC2RUN (0xFF00_1680)
	PHCNT コントロール レジスタ		PHC0CR (0xFF00_1604)	PHC1CR (0xFF00_1644)	PHC2CR (0xFF00_1684)
	PHCNT ライトイネーブル レジスタ		PHC0EN (0xFF00_1608)	PHC1EN (0xFF00_1648)	PHC2EN (0xFF00_1688)
	PHCNT ステータス レジスタ		PHC0FLG (0xFF00_160C)	PHC1FLG (0xFF00_164C)	PHC2FLG (0xFF00_168C)
	PHCNT コンペアレジスタ0		PHC0CMP0 (0xFF00_1610)	PHC1CMP0 (0xFF00_1650)	PHC2CMP0 (0xFF00_1690)
	PHCNT コンペアレジスタ1		PHC0CMP1 (0xFF00_1614)	PHC1CMP1 (0xFF00_1654)	PHC2CMP1 (0xFF00_1694)
	PHCNT カウンタリード レジスタ		PHC0CNT (0xFF00_1618)	PHC1CNT (0xFF00_1658)	PHC2CNT (0xFF00_1698)

仕様		チャンネル	PHCNT3	PHCNT4	PHCNT5
外部端子	2相パルス入力端子		PHC3IN0 (PB0 と兼用)	PHC4IN0 (PI0 と兼用)	PHC5IN0 (PI2 と兼用)
			PHC3IN1 (PB1 と兼用)	PHC4IN1 (PI1 と兼用)	PHC5IN1 (PI3 と兼用)
レジスタ名 (アドレス)	PHCNT RUN レジスタ		PHC3RUN (0xFF00_16C0)	PHC4RUN (0xFF00_1700)	PHC5RUN (0xFF00_1740)
	PHCNT コントロール レジスタ		PHC3CR (0xFF00_16C4)	PHC4CR (0xFF00_1704)	PHC5CR (0xFF00_1744)
	PHCNT ライトイネーブル レジスタ		PHC3EN (0xFF00_16C8)	PHC4EN (0xFF00_1708)	PHC5EN (0xFF00_1748)
	PHCNT ステータス レジスタ		PHC3FLG (0xFF00_16CC)	PHC4FLG (0xFF00_170C)	PHC5FLG (0xFF00_174C)
	PHCNT コンペアレジスタ0		PHC3CMP0 (0xFF00_16D0)	PHC4CMP0 (0xFF00_1710)	PHC5CMP0 (0xFF00_1750)
	PHCNT コンペアレジスタ1		PHC3CMP1 (0xFF00_16D4)	PHC4CMP1 (0xFF00_1714)	PHC5CMP1 (0xFF00_1754)
	PHCNT カウンタリード レジスタ		PHC3CNT (0xFF00_16D8)	PHC4CNT (0xFF00_1718)	PHC5CNT (0xFF00_1758)

13.2 ブロック図 (PHCNT0)

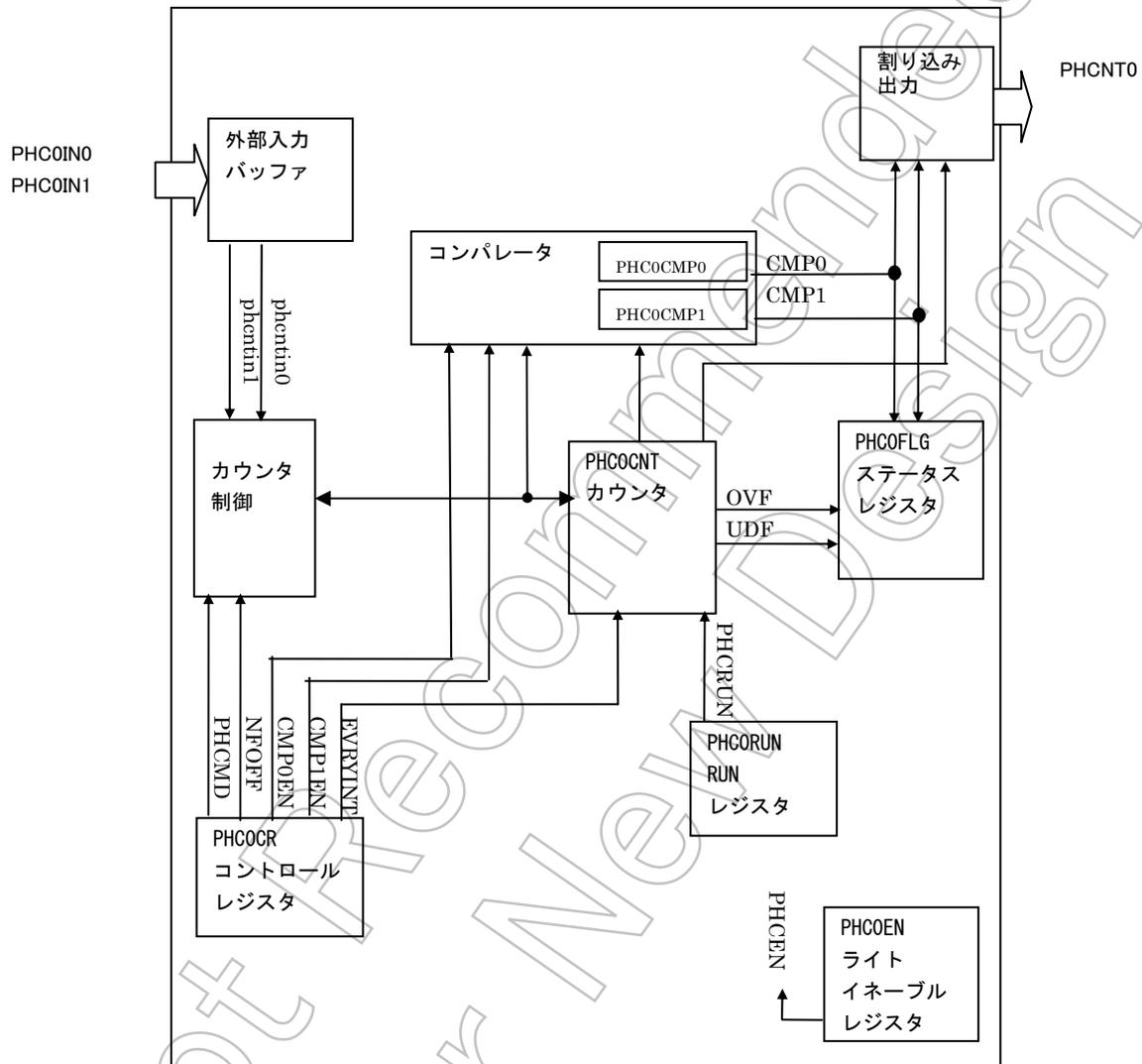


図 13-1 2相入カパルスカウンタ ブロック図

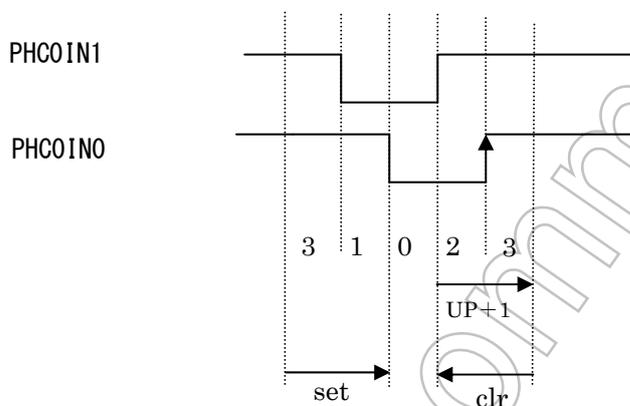
### 13.3 動作モード

カウント動作モードは、コントロールレジスタ (PHCnCR) の PHCMDn ビットにより 4 通りあるいは通常モードを選択します。PHCnINO、PHCnIN1 から入力される非同期の 2 相パルスによりカウント値+1、あるいはカウント値-1 を実行します。また割り込みの出力は、カウンタのコンペア 0,1 一致、またはカウント毎の出力が設定できます。

#### 1) 通常モード

##### ・カウントアップ

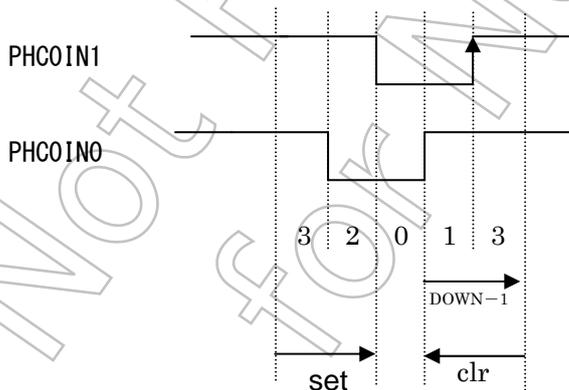
- 1 クロック前の入力が “2” で、現在の状態が “3” の時 +1 されます。
- 1 クロック前の入力が “3” で、現在の状態が “2” の時 clr されます。
- 1 クロック前の入力が “3” で、現在の状態が “1” の時 set されます。



一度 clr (3→2) されると、次に set (3→1) されるまで 2→3 でのカウントアップはしません。

##### ・カウントダウン

- 1 クロック前の入力が “1” で、現在の状態が “3” の時 -1 されます。
- 1 クロック前の入力が “3” で、現在の状態が “1” の時 clr されます。
- 1 クロック前の入力が “3” で、現在の状態が “2” の時 set されます。

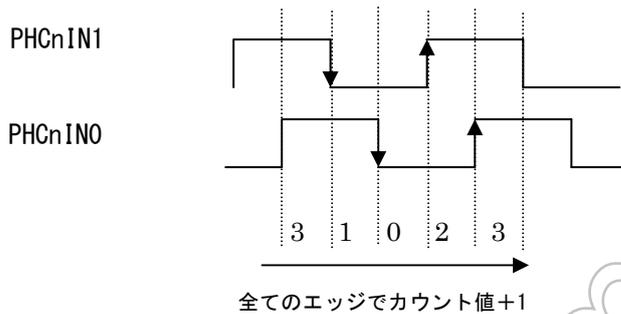


一度 clr (3→1) されると、次に set (3→2) されるまで 1→3 でのカウントダウンはしません。

2) 4 通倍モード

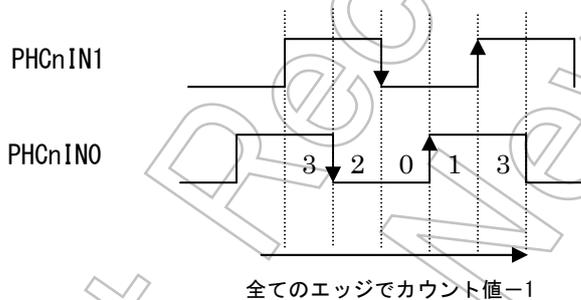
カウントアップ

- 1クロック前の入力が“3”で、現在の状態が“1”の時 +1 されます。
- 1クロック前の入力が“1”で、現在の状態が“0”の時 +1 されます。
- 1クロック前の入力が“0”で、現在の状態が“2”の時 +1 されます。
- 1クロック前の入力が“2”で、現在の状態が“3”の時 +1 されます。



カウントダウン

- 1クロック前の入力が“3”で、現在の状態が“2”の時 -1 されます。
- 1クロック前の入力が“2”で、現在の状態が“0”の時 -1 されます。
- 1クロック前の入力が“0”で、現在の状態が“1”の時 -1 されます。
- 1クロック前の入力が“1”で、現在の状態が“3”の時 -1 されます。



### 13.4 レジスタ詳細

#### 13.4.1 PHCNT RUNレジスタ (n=0~5)

PHCnRUN  
(0xFF00\_1xx0)

	7	6	5	4	3	2	1	0	
bit Symbol									PHCnRUN
Read/Write	R								R/W
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								カウンタ Run/Stop コントロール 0: Stop 1: Run
	15	14	13	12	11	10	9	8	
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								
	23	22	21	20	19	18	17	16	
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								
	31	30	29	28	27	26	25	24	
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								

<PHCnRUN> : PHCNTnのカウンタ動作を制御します。

Not Recommended for New

## 13. 4. 2 PHCNT コントロールレジスタ (n=0~5)

PHCnCR  
(0xFF00\_1xx4)

	7	6	5	4	3	2	1	0
bit Symbol				EVRYINTn	CMP1ENn	CMPOENn	NFOFFn	PHCMDn
Read/Write	R			R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。			毎回割り込み 0:禁止 1:有効	コンペア 割り込み1 0:禁止 1:有効	コンペア 割り込み0 0:禁止 1:有効	ノイズ フィルタ 0:ON 1:OFF	モード切 替え 0:通常 1:4通倍
	15	14	13	12	11	10	9	8
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	23	22	21	20	19	18	17	16
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							

<PHCMDn> : モード切り替えを行います。

- 0 : 通常モード    カウントアップ/ダウン確定で割り込みが発生します。
- 1 : 4通倍モード    毎カウント割り込みが発生します。

<NFOFFn> : ノイズ除去を制御します。

<CMPOENn> : PHCNTコンペアレジスタ0とのコンペア値一致で割り込みを発生します。

<CMP1ENn> : PHCNTコンペアレジスタ1とのコンペア値一致で割り込みを発生します。

<EVRYINTn> : アップ/ダウンのカウント毎に割り込みを発生します。

コンペア値一致割り込み使用時に、カウント毎の割り込み発生を禁止する事ができます。

## 13.4.3 PHCNT ライトイネーブルレジスタ (n=0~5)

PHCnEN  
(0xFF00\_1xx8)

	7	6	5	4	3	2	1	0	
bit Symbol									PHCnEN
Read/Write	R								R/W
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								レジスタ ライト 動作 0:禁止 1:許可
	15	14	13	12	11	10	9	8	
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								
	23	22	21	20	19	18	17	16	
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								
	31	30	29	28	27	26	25	24	
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								

<PHCnEN> : 2相カウンタ (PHCNT) モジュールのレジスタライト動作を指定します。レジスタライト動作禁止の状態ではPHCNTモジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です (他のレジスタへのライトはできません)。PHCNTを使用する場合は、PHCNTモジュールの各レジスタを設定する前にレジスタライト動作許可 (“1”) にしてください。レジスタライト動作禁止に設定していても、PHCNTモジュールの全レジスタはリセットで初期化されます。

## 13.4.4 PHCNT ステータスレジスタ (n=0~5)

PHCnFLG  
(0xFF00\_1xxC)

	7	6	5	4	3	2	1	0
bit Symbol					UDFn	OVFn	CMPn1	CMPn0
Read/Write	R				R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。				アンダー フロー 0:発生無し 1:発生あり	オーバー フロー 0:発生無し 1:発生あり	コンペア1 一致 0:発生無し 1:発生あり	コンペア0 一致 0:発生無し 1:発生あり
	15	14	13	12	11	10	9	8
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	23	22	21	20	19	18	17	16
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							

※ 各ビットに“1”をライトするとフラグはクリアされます。

&lt;CMPn0&gt; : コンペアレジスタ 0 (PHCnCMP0) との一致割り込み

&lt;CMPn1&gt; : コンペアレジスタ 1 (PHCnCMP1) との一致割り込み

&lt;OVFn&gt; : アップダウンカウンタのオーバーフロー発生

&lt;UDFn&gt; : アップダウンカウンタのアンダーフロー発生

読み出してもクリアされません。“1”をライトしてクリアしてください。

## 13.4.5 PHCNT コンペアレジスタ 0 (n=0~5)

PHCnCMP0  
(0xFF00\_1xx0)

	7	6	5	4	3	2	1	0
bit Symbol	PHCnCMP0							
Read/Write	R/W							
リセット後	0x00							
機能	コンペア値を設定							
	15	14	13	12	11	10	9	8
bit Symbol	PHCnCMP0							
Read/Write	R/W							
リセット後	0x00							
機能	コンペア値を設定							
	23	22	21	20	19	18	17	16
Read/Write	R							
リセット後	0							
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
Read/Write	R							
リセット後	0							
機能	リードすると“0”が読めます。							

## 13.4.6 PHCNT コンペアレジスタ 1 (n=0~5)

PHCnCMP1  
(0xFF00\_1xx4)

	7	6	5	4	3	2	1	0
bit Symbol	PHCnCMP1							
Read/Write	R/W							
リセット後	0x00							
機能	コンペア値を設定							
	15	14	13	12	11	10	9	8
bit Symbol	PHCnCMP1							
Read/Write	R/W							
リセット後	0x00							
機能	コンペア値を設定							
	23	22	21	20	19	18	17	16
Read/Write	R							
リセット後	0							
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
Read/Write	R							
リセット後	0							
機能	リードすると“0”が読めます。							

※ コンペア値を2つ設定することが可能です。

## 13.4.7 PHCnCNT カウンタリードレジスタ (n=0~5)

PHCnCNT  
(0xFF00\_1xx8)

	7	6	5	4	3	2	1	0
bit Symbol	PHCnCNT							
Read/Write	R							
リセット後	0xFF							
機能	カウンタ読み出しデータ							
	15	14	13	12	11	10	9	8
bit Symbol	PHCnCNT							
Read/Write	R							
リセット後	0x7F							
機能	カウンタ読み出しデータ							
	23	22	21	20	19	18	17	16
Read/Write	R							
リセット後	0							
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
Read/Write	R							
リセット後	0							
機能	リードすると“0”が読めます。							

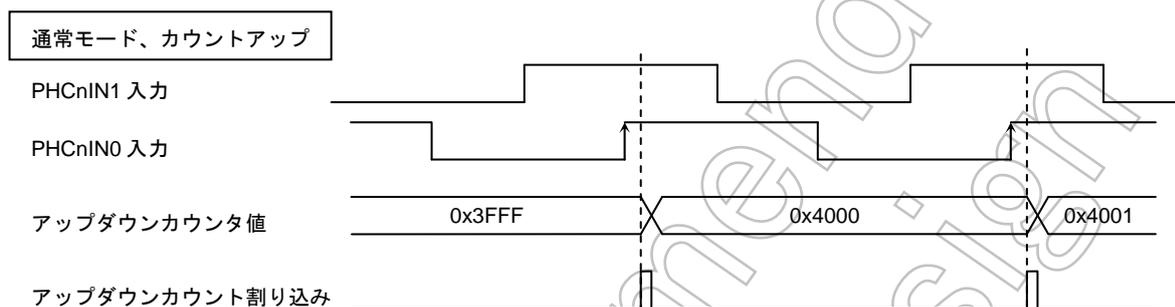
※ 読み出しには2度読みを推奨します。

このレジスタは、RUN レジスタが“0”になった場合にも 0x7FFF に初期化されます。

### 13.5 アップダウンカウンタ

レジスタライト動作を許可 (PHCnEN<PHCnEN>= “1”) にして、コントロールレジスタ PHCnCR、コンペアレジスタ PHCnCMP0、PHCnCMP1 を設定後、2 相パルス入力カウンタをスタート (PHCnRUN<PHCnRUN> = “1”) すると、アップダウンカウンタは初期値 0x7FFF からカウントを受け付ける状態になります。

カウンタがオーバーフローした場合は 0x0000、アンダーフローした場合は 0xFFFF に戻り、続きをカウントします。カウント割込み発生後にカウンタ値 PHCnCNT とステータスレジスタ PHCnFLG をリードすることにより、状態を判別することができます。



(注 1) アップ (ダウン) カウント入力は入力前状態、入力後状態は “H” レベルにしてください。  
 (注 2) カウンタ値の読み出しは PHCnCNT の割り込み処理の中で行ってください。

### 13.6 割り込み

コントロールレジスタ PHCnCR の以下のビットを設定することにより、割り込み発生を制御できます。

PHCnCR<EVRYINTn>

“1” に設定することでアップまたはダウンカウンタ毎に割り込みを発生します。

PHCnCR<CMP1ENn>

“1” に設定することでコンペアレジスタ 1 (PHCnCMP1) との一致で割り込みを発生します。

PHCnCR<CMPOENn>

“1” に設定することでコンペアレジスタ 0 (PHCnCMP0) との一致で割り込みを発生します。

(注) コンペア値の書き換えをカウント動作中に行う場合は、書き込む値と現在のカウンタ値に注意して書き換えを行ってください。

割り込み処理の中でステータスレジスタ PHCnFLG をリードすることにより、同時にアップダウンカウンタのオーバーフロー、アンダーフローが発生しているか、また、コンペアレジスタ 0 との一致が発生しているか、コンペアレジスタ 1 との一致が発生しているかを知ることができます。

PHCnFLG<OVFn> : “1” であればオーバーフローが発生したことを示します

PHCnFLG<UDFn> : “1” であればアンダーフローが発生したことを示します

PHCnFLG<CMPn1> : “1” であればコンペアレジスタ 1 (PHCnCMP1) との一致が発生したことを示します

PHCnFLG<CMPn0> : “1” であればコンペアレジスタ 0 (PHCnCMP0) との一致が発生したことを示します

ステータスレジスタ PHCnFLG の各ビットは “1” を書き込むことでクリアされます。

またオーバーフローが発生するとアップダウンカウンタは 0x0000 になり、アンダーフローが発生すると 0xFFFF になり、続けてカウント動作が行なわれます。なお、オーバーフロー、アンダーフローの発生では割り込みは発生しません。

2 相パルス入力カウンタは SLEEP、STOP、Backup Sleep、Backup Stop モード時も動作します。割り込みはスタンバイ解除要因として使用できます。割り込みを許可にするには、クロックジェネレータ、割り込みコントローラ、CPU の設定が合わせて必要です。

Not Recommended  
for New Design

## 14 シリアル チャネル (SIO)

### 14.1 特長

シリアル入出力を 3 チャネル内蔵 (SIO0~SIO2) しています。

#### 14.1.1 動作モード

各チャネルはモード 0 からモード 3 の 4 つのモードで動作します。

表 14-1 に各モードのデータフォーマットを示します。

表14-1 データフォーマット

モード	種類	送受信 データ長	転送方向	パリティ 付加	送信時 STOP ビット長
モード 0	同期通信モード (I/O インタ フェースモード)	8 ビット	LSB first or MSB first	×	—
モード 1	非同期通信モード (UART モード)	7 ビット	LSB first	○	1 or 2
モード 2		8 ビット		○	
モード 3		9 ビット		×	

モード 0 は同期通信モードで、I/O を拡張するために使用できます。SCLK に同期してデータの送受信を行います。SCLK は入力/出力いずれでも使用できます。

転送方向は、LSB first と MSB first から選択可能です。パリティ付加機能はなく、STOP ビットも使用しません。

モード 1 からモード 3 は非同期通信モードです。転送方向は LSB first 固定です。

モード 1 とモード 2 は、パリティビットの付加が可能で、モード 3 はマスタコントローラがシリアルリンク (マルチコントローラシステム) でスレーブコントローラを起動させるためのウェイクアップ機能を有しています。

送信時の STOP ビットを 1 ビットまたは 2 ビットから選択できます。受信時の STOP ビット長は 1 ビット固定です。

これから、同期通信モードを I/O インタフェースモード、非同期通信モードを UART モード、または送受信データ長を含めた、7 ビット UART モード/8 ビット UART モード/9 ビット UART モードと呼びます。

14.1.2 データフォーマット

図 14-1 にデータフォーマットを示します。

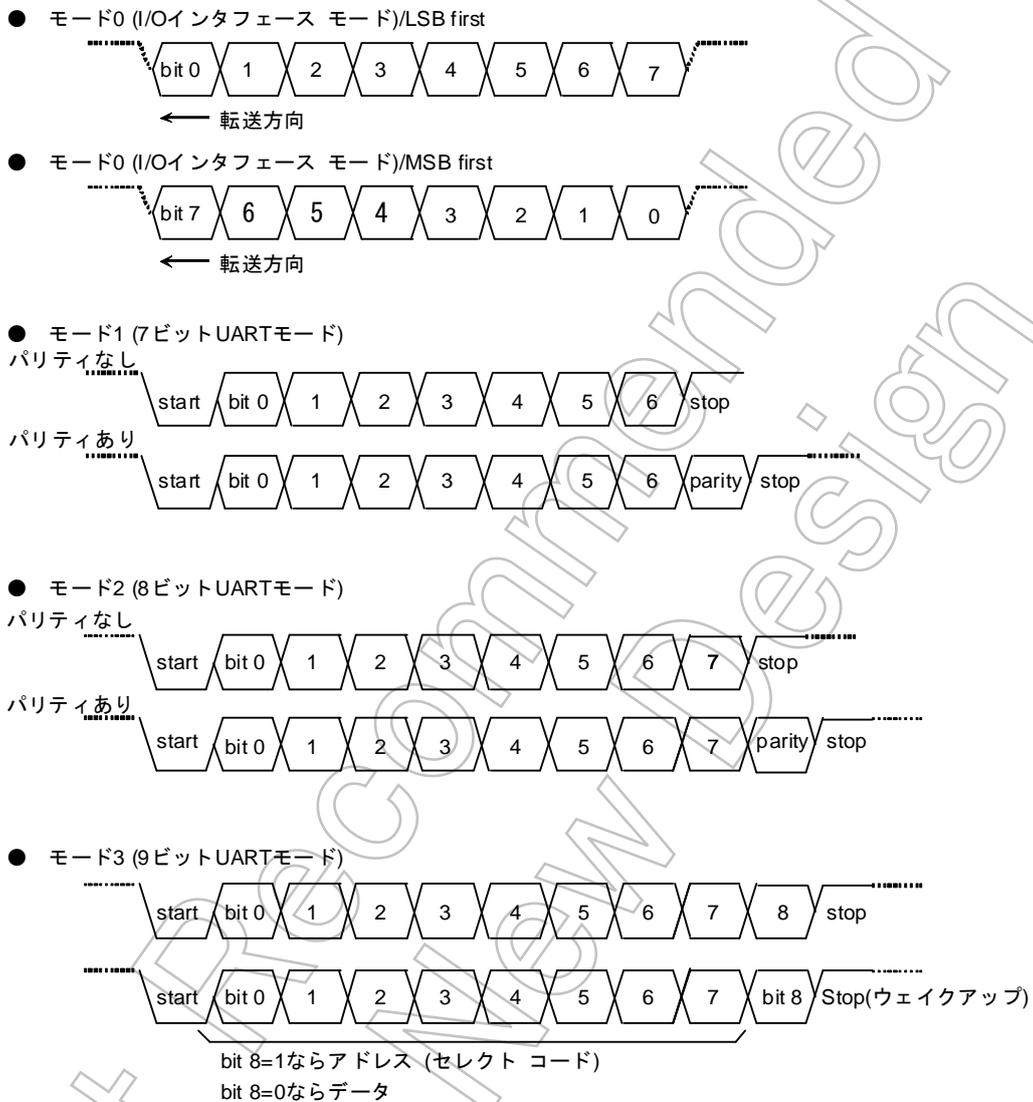


図14-1 データフォーマット

## 14.2 構成

図 14-2 に、SI00 のブロック図を示します。

各チャネルは同一の構成で、主に、プリスケアラ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。

各チャネルは、それぞれ独立に動作します。

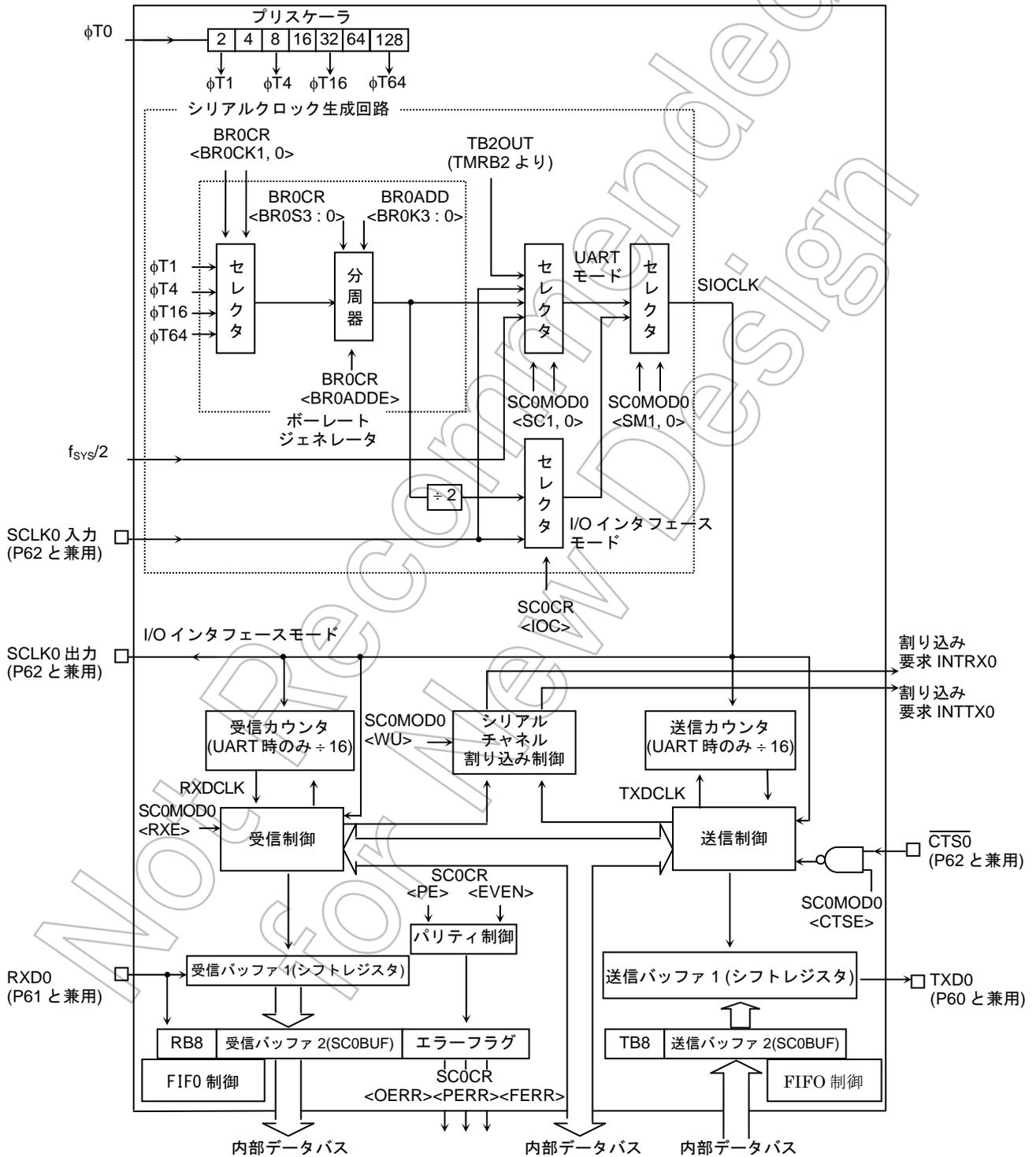


図14-2 SI00 ブロック図

## 14.2.1 ボーレート

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは7ビットプリスケラより、 $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、 $\phi T64$  を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタ BROCR <BROCK1:0> で設定します。

ボーレートジェネレータは、 $1 + N + \frac{m}{16}$  ( $N=2\sim 15$ ,  $m=0\sim 15$ )、16 分周が可能な分周器を内蔵しており、ボーレートジェネレータコントロールレジスタ BROCR <BROADDE> <BROS3:0>、BROADD <BROK3:0> の設定に従い分周を行い、転送速度を決定します。

- UART モードの場合

- 1) BROCR <BROADDE> = 0 の場合

BROADD <BROK3:0> の設定は無視され、BROCR <BROS3:0> に設定された値 “N” に従い N 分周を行います。 ( $N=1, 2, 3 \dots 16$ )

- 2) BROCR <BROADDE> = 1 の場合

$N + (16 - K) / 16$  分周機能がイネーブルになり BROCR <BROS3:0> に設定された値 “N” ( $N = 2, 3 \dots 15$ )、BROADD <BROK3:0> に設定された値 “K” に従い  $N + (16 - K) / 16$  分周を行います。 ( $K=1, 2, 3 \dots 15$ )

(注)  $N=1$  および  $16$  のときは  $N + (16 - K) / 16$  分周機能は禁止となりますのでかならず BROCR <BROADDE> = “0” に設定してください。

- I/O インタフェースモードの場合

I/O インタフェースモード時は  $N + (16 - K) / 16$  分周機能は使用できません。かならず BROCR <BROADDE> = “0” に設定して N 分周を行ってください。

- ボーレートジェネレータを使用した場合のボーレートの算出方法

- 1) UART モード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

ボーレートジェネレータで生成される最高のボーレートは、 $\phi T1$  が 20MHz ( $f_{\text{sys}}=80\text{MHz}$  時) のときの 1.25Mbps です。

またボーレートジェネレータの出力ではない  $f_{\text{sys}}/2$  をシリアルクロックとして使用できます。この場合の最高ボーレートは  $2.5\text{Mbps}@f_{\text{sys}} = 80\text{MHz}$

- 2) I/O インタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

ボーレートジェネレータで生成される最高のボーレートは、 $\phi T1$  が 20MHz のときで、ダブルバッファを使用する場合は、ボーレートジェネレータの分周値 = “1” の設定が可能なので、10Mbps になります (ダブルバッファを使用しない場合は、ボーレートジェネレータの分周値 = “2” のときの、5Mbps が最高になります)。

- ボーレートの設定例

- 1) 整数分周 (N 分周) の場合

fperiph に fgear=39.321 MHz を選択し、φT0 を fperiph/8 に設定したとき、ボーレートジェネレータへの入力クロックを φT1、分周値 “N” (BROCR<BROS3:0>)=4、BROCR<BROADDE>= “0” の場合の UART モードのボーレートは、

※ クロック条件

{	システムクロック	: 高速 (fgear)
	高速クロックギア	: 1/2 (fgear)
	プリスケラクロック	: f <sub>periph</sub> /8

$$\begin{aligned} \text{ボーレート} &= \frac{fc/32}{4} \div 16 \\ &= 39.321 \times 10^6 \div 32 \div 4 \div 16 \doteq 19200 \text{ (bps) となります。} \end{aligned}$$

(注) +(16-K)/16 分周機能は禁止に設定されるため BROADD <BROK3 : 0> の設定は無視されます。

- 2) N + (16-K)/16 分周 (UART モードのみ) の場合

fperiph に fgear=19.2MHz を選択し、φT0 を fperiph/8 に設定したとき、ボーレートジェネレータへの入力クロックを φT1、分周値 “N” (BROCR<BROS3:0>)=7、K” (BROADD<BROK3:0>)=3、BROCR<BROADDE>=1 の場合のボーレートは、

※ クロック条件

{	システムクロック	: 高速 (fgear)
	高速クロックギア	: 1/4 倍 (fgear)
	プリスケラクロック	: f <sub>periph</sub> /4

$$\begin{aligned} \text{ボーレート} &= \frac{fc/32}{7 + \frac{(16-3)}{16}} \div 16 \\ &= 19.2 \times 10^6 \div 32 \div \left( 7 + \frac{13}{16} \right) \div 16 = 4800 \text{ (bps) となります。} \end{aligned}$$

また、外部クロック入力をシリアルクロックに使用することもできます。この場合のボーレートの算出方法を示します。

- 外部クロック入力を使用した場合のボーレートの算出方法

- 1) UART モード

ボーレート = 外部クロック入力 ÷ 16

ただし、(外部クロック入力周期) > 4/fsys を満たす必要があります。

fsys=80MHz のときの最高ボーレートは、 $80 \div 4 \div 16 = 1.25$  (Mbps) 未満にする必要があります。

- 2) I/O インタフェースモード

ボーレート = 外部クロック入力

ダブルバッファを使用するときは、

(外部クロック入力周期) > 12/fsys を満たす必要があります。

従って、fsys=80MHz のときの最高ボーレートは、 $80 \div 12 = 6.67$  (Mbps) 未満にする必要があります。

ダブルバッファを使用しないときは、

(外部クロック入力周期) > 16/fsys を満たす必要があります。

従って、fsys=80MHz のときの最高ボーレートは、 $80 \div 16 = 5$  (Mbps) 未満にする必要があります。

表 14.2～表 14.3 に UART モードのボーレートの例を示します。

表 14.2 UART ボーレートの選択例  
(ボーレートジェネレータ使用、BROCR <BROADDE> = 0 の場合) 単位 (kbps)

f <sub>gear</sub> [MHz]	分周値 N (BROCR<BROS3:0>に設定)	入力クロック φT1 (f <sub>gear</sub> /4)	φT4 (f <sub>gear</sub> /16)	φT16 (f <sub>gear</sub> /64)	φT64 (f <sub>gear</sub> /256)
19.6608	1	307.200	76.800	19.200	4.800
↑	2	153.600	38.400	9.600	2.400
↑	4	76.800	19.200	4.800	1.200
↑	8	38.400	9.600	2.400	0.600
↑	0	19.200	4.800	1.200	0.300

(注) 本表は、システムクロックとして f<sub>gear</sub>、プリスケラ用クロックとして f<sub>periph</sub>/2 を選択した場合の値です。

表 14.3 UART ボーレートの選択例  
(タイマ TMRB2 の出力 (内部 TB2OUT) 使用、タイマプリスケラ出力クロックがφT1 の場合) 単位 (kbps)

f <sub>periph</sub> /4	19.6608 MHz	16 MHz
TB2RG		
2H	153.6	125.0
3H	102.4	83.3
4H	76.8	62.5
5H	61.4	50.0

ボーレートの算出方法 (タイマ TMRB2 を使用した場合)

$$\text{転送レート} = \frac{\text{SYSCRO<PRCK2:0>で選択されたクロック周波数}}{\text{TB2RG} \times 2 \times 2 \times 16}$$

↑ (タイマプリスケラ出力クロックがφT1 の場合)

(注1) I/O インタフェースモードでは、タイマ TMRB2 からの出力信号 (内部) を転送クロックとして使用できません。

(注2) 本表は、システムクロックとして f<sub>c</sub>、クロックギアとして f<sub>c</sub>/1、プリスケラ用クロックとして f<sub>periph</sub>/4 を選択した場合の値です。

## 14.2.2 シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/O インタフェースモードの場合

シリアルコントロールレジスタ  $SCOCR\langle IOC \rangle = "0"$  の SCLK 出力モードのときは、前記ポーレートジェネレータの出力を2分周して、基本クロックをつくります。

$SCOCR\langle IOC \rangle = "1"$  の SCLK 入力モードのときは、 $SCOCR\langle SCLKS \rangle$  の設定に従って立ち上がり/立ち下がリエッジを検出し、基本クロックをつくります。

- 非同期通信 (UART) モードの場合

シリアルモードコントロールレジスタ  $SCOMOD0\langle SC1:0 \rangle$  の設定により、前記ポーレートジェネレータからのクロックか、システムクロック ( $f_{SYS}/2$ ) か、タイマ (TMRB2) の内部出力信号か、または外部クロック (SCLK0 端子) のいずれかを選択し、基本クロック SIOCLK を生成します。

## 14.2.3 受信カウンタ

受信カウンタは、非同期通信 (UART) モードで用いられる4ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ1ビットの受信に SIOCLK が16クロック用いられ7、8、9発目でデータをサンプリングします。3度のデータサンプリングによる多数決論理により受信データを判断しています。

## 14.2.4 受信制御部

- I/O インタフェースモードの場合

$SCOCR\langle IOC \rangle = "0"$  の SCLK 出力モードのときは、SCLK0 端子へ出力されるシフトクロックの立ち上がりで RXD0 端子をサンプリングします。

$SCOCR\langle IOC \rangle = "1"$  の SCLK 入力モードのときは、 $SCOCR\langle SCLKS \rangle$  の設定に従って、SCLK 入力の立ち上がり/立ち下がリエッジでシリアル受信データ RXD0 端子をサンプリングします。

- 非同期通信 (UART) モードの場合

受信制御部は、スタートビット検出回路を持ち、正常なスタートビットを判断して受信動作を開始します。

## 14.2.5 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ1 (シフトレジスタ型) に受信データが1ビットずつ格納され、データがそろそろもう一方の受信バッファ2 (SCOBUF) へ移されます。また、同時に受信バッファの full Flag ( $SCOMOD2\langle RBFL \rangle$ ) が "1" にセットされ、受信バッファ2 に有効データが格納されていることを示します。但し受信 FIFO が有効にされている場合は、受信データは受信 FIFO に移されこの Flag は直ぐにクリアされます。

受信 FIFO が有効にされていない場合 ( $SCOF CNF\langle CNFG \rangle = 0$  で且つ  $SCOMOD1\langle FDPX1:0 \rangle = 01$ ) は同時に割り込み INTRX0 が発生します。受信 FIFO が有効にされている場合 ( $SCOF CNF\langle CNFG \rangle = 1$  で且つ  $SCOMOD1\langle FDPX1:0 \rangle = 01/11$ ) は  $SCORFG\langle RIL1:0 \rangle$  の設定に従い割り込みが発生します。

CPUは受信バッファ2 (SCOBUF) または受信 FIFO (ただし受信バッファに同じ) の方を読み出します。受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full flag <RBFLL>は“0”にクリアされます。CPUが受信バッファ2 (SCOBUF) または受信 FIFO を読み出す前でも、次の受信データは受信バッファ1へ格納することができます。

また、I/O インタフェースモードで SCLK 出力に設定されている場合は、ダブルバッファ制御ビット SCOMOD2<WBUF>の設定により、受信バッファ2 (SCOBUF) を許可または不許可にできます。

受信バッファ2 (ダブルバッファ) を不許可にして、更に受信 FIFO を有効にしない事 (SCOF CNF<CNFG>=0 で且つ<FDPX1:0>=01)) により、通信相手とハンドシェイクを取ることが可能となり、1 フレーム転送後に SCLK 出力を停止します。この設定の場合には、CPUからの読み出し動作は受信バッファ1に対して行われます。読み出し動作が行なわれる事により、SCLK 出力を再開します。

受信バッファ2 (ダブルバッファ) を許可にした場合で、受信 FIFO が有効にされていない場合は最初の受信データが受信バッファ1から2に移され、次に受信データの受信が終了して、受信バッファ2及び1に有効データが存在した状態になると、SCLK 出力を停止します。受信バッファ2の読み出しが行なわれると、受信バッファ1のデータが受信バッファ2に移され、受信割り込み INTRX0が発生すると同時に SCLK 出力を再開します。従って、I/O インタフェースモードの SCLK 出力ではダブルバッファ制御ビット SCOMOD2<WBUF>の設定に関わらずオーバーランエラーは発生しません。

受信バッファ2 (ダブルバッファ) を許可にした場合で受信 FIFO が有効にされている場合 (SCNFCNF<CNFG>=1 で且つ<FDPX1:0>=01/11) は受信 FIFO が FULL (SCOF CNF<RFST>の設定に従う) になり、受信バッファ2及び1に有効データが存在した状態になると SCLK 出力を停止します。またこの状態で SCOF CNF<RXTCNT>=1にしていると SCLK 出力停止と同時に受信制御 BIT : RXE が自動的にクリアされます。“0”の場合は自動クリアが行なわれません。

(注) このモードでは、SCOCR の <OEER> Flag は意味を持ちません。動作定義は不定となります。従って SCLK 出力モードから、他のモードへ切り替える時は事前に SCOCR をリードしてこの Flag を初期化してください。

その他の動作モードでは常に受信バッファ2の動作は有効であり、連続転送時のパフォーマンス向上を可能にしています。受信 FIFO が有効にされていない場合は、受信バッファ1に次のデータが全ビット受信される前に受信バッファ2 (SCOBUF) を読み出さなければオーバーランエラーとなります。オーバーランエラーが発生した場合、受信バッファ2および SCOCR <RB8>の内容は保存されていますが、受信バッファ1の内容は失われます。受信 FIFO が有効にされている場合は受信 FIFO が FULL になり、受信バッファ2に次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバーランが発生して受信 FIFO のオーバーランエラーフラグがセットされます。この場合でも受信 FIFO のデータは保存されます。

8ビット UART のパリティ付加の場合、パリティビット9ビット UART モードの場合の最上位ビットは SCOCR <RB8>に格納されます。

9ビット UART の場合、ウェイクアップ機能 SCOMOD0<WU>を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCOCR<RB8>=“1”のときのみ、割り込み INTRX0が発生します。

### 14.2.6 受信FIFOバッファ

前記ダブルバッファに加えて、受信 FIFO バッファを用いて、データの格納を行う事ができます。SC0FCNF レジスタの<CNFG>及び SCOMOD1 の<FDPX1:0>の設定で最大 4byte の受信バッファを有効にすることが可能で、指定された fill レベルまでのデータが格納できます。受信 FIFO バッファを使用する場合はダブルバッファをイネーブルに設定しておいてください。

また UART モードでパリティビットを含むデータを受信する場合、受信ごとにパリティエラーチェックを行なう必要があります。

### 14.2.7 受信FIFOの動作

① I/O インタフェースモードで SCLK 出力の場合

4Byte のデータを半二重受信する場合を例に説明します。

SIO の転送モードを半二重受信に設定します。

SC0FCNF<4:0>=10111 : fill level 到達後の継続受信自動禁止

受信 FIFO の使用 Byte 数は割り込み発生 fill レベルに同じ

SCORFC<1:0>=00 : 割り込み発生を fill level 4byte に設定

SCORFC<7:6>=11 : 受信 FIFO のクリアと割り込み発生条件の設定

この状態で RXE bit に 1 を書き込むと 4byte のデータ受信を開始します。4Byte 受信後に RXE を自動クリアして受信を終了 (SCLK を STOP) します。

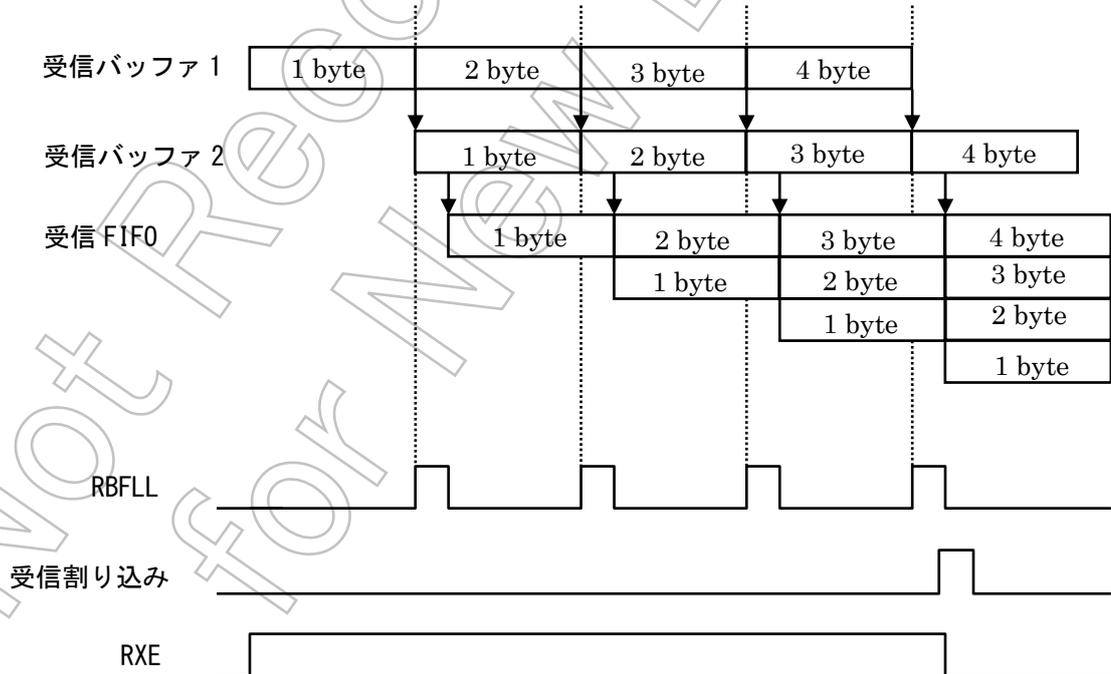


図 14.3 受信 FIFO の動作

- ② I/O インタフェースモードで SCLK 入力の場合  
4Byte のデータを受信する場合を例に説明します。

SIO の転送モードを半二重受信に設定します。

SC0FCNF<4:0>=10101 : fill level 到達後の継続受信自動許可

受信 FIFO の使用 Byte 数は最大構成

SCORFC<1:0>= 00 : 割り込み発生を fill level 4 に設定

SCORFC<7:6>=10 : 受信 FIFO のクリアと割り込み発生条件の設定

この状態で RXE bit に 1 を書き込むと入力クロックに応じて 4byte のデータ受信を開始します。4byte 受信後に受信 FIFO 割り込みを発生します。

また、この設定では次の受信に備えることもできます。FIFO 内のデータを読み出すことで、引き続き入力クロックに応じてデータ受信が可能となります。

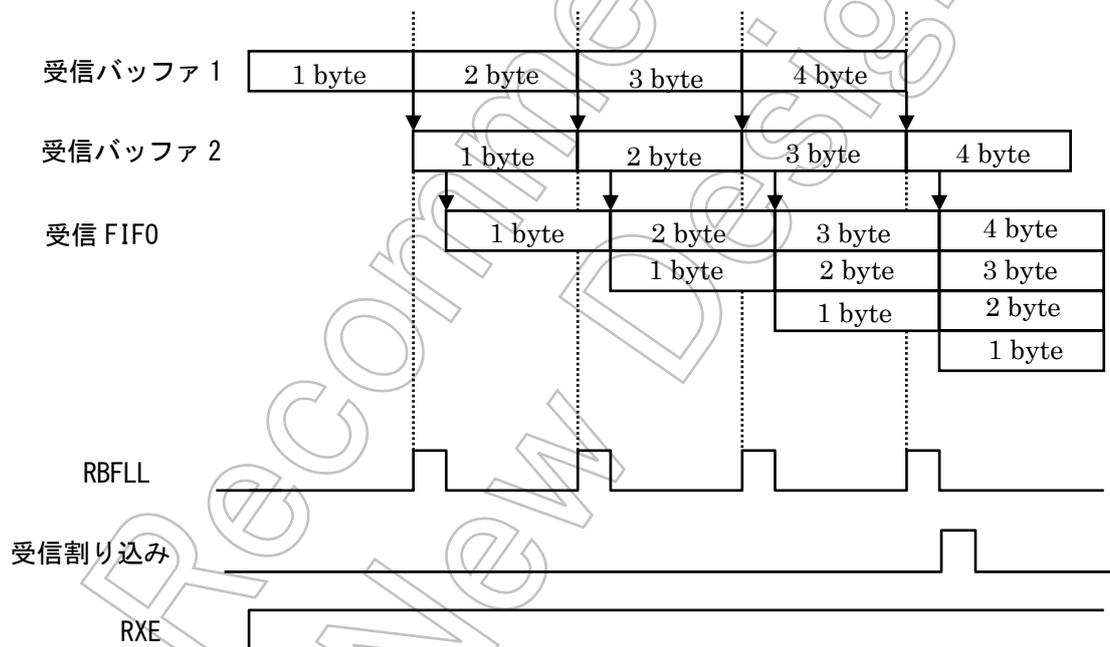


図 14.4 受信 FIFO の動作

### 14.2.8 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタです。

受信カウンタ同様 SIOCLK でカウントされ、16 クロックごとに送信クロック (TXDCLK) を生成します。

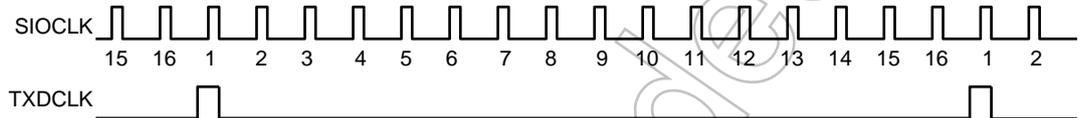


図 14.5 送信クロックの生成

### 14.2.9 送信制御部

- I/O インタフェースモードの場合

SCOCR<IOC>=“0” の SCLK 出力モードのときは、SCLK0 端子より出力されるシフトクロックの立ち上がりで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

SCOCR<IOC>=“1” の SCLK 入力モードのときは、SCOCR<SCLKS>の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ TXD0 端子へ出力します。

- 非同期通信 (UART) モードの場合

送信バッファに CPU から送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック (TXDSFT) を生成します。

- ハンドシェイク機能

$\overline{\text{CTS}}$  端子をもっており、この端子を使用することにより、1 データフォーマット単位での送信が可能となり、オーバランエラーの発生を防ぐことができます。この機能は SCOMODO <CTSE> によってイネーブル/ディセーブルできます。

送信は  $\overline{\text{CTS0}}$  端子が “H” レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{CTS0}}$  端子が “L” レベルに戻るまで送信を停止します。ただし、INTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機します。

なお、 $\overline{\text{RTS}}$  端子はありませんが、受信側にて受信が終了したとき（受信割り込みルーチン内）に  $\overline{\text{RTS}}$  機能に割り当てた任意の 1 ポートを “H” レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。

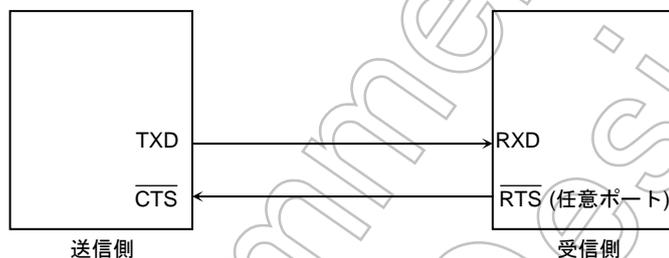


図 14.6 ハンドシェイク機能

送信バッファまたはシフトレジスタへのデータ書き込みタイミング

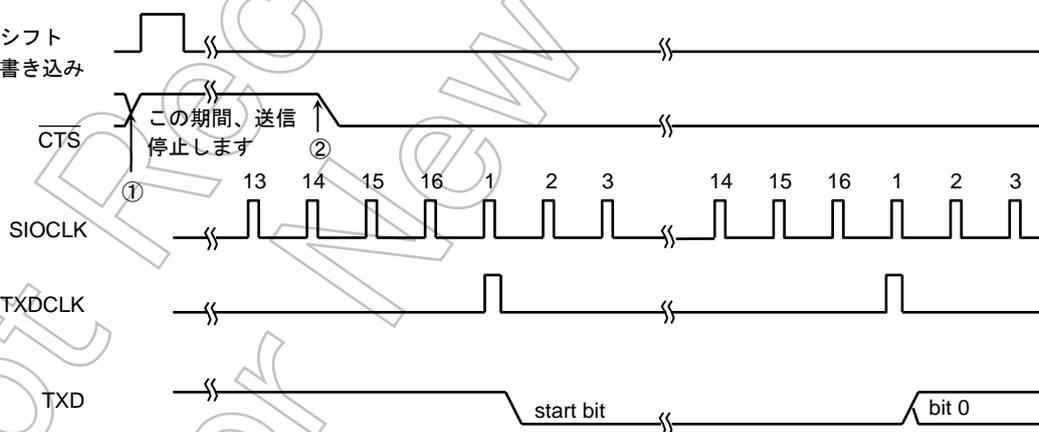


図 14.7  $\overline{\text{CTS}}$  (Clear to send) 信号のタイミング

- (注) ① 送信中に  $\overline{\text{CTS}}$  信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。  
 ②  $\overline{\text{CTS}}$  信号立ち下がり後の最初の TXDCLK クロックから送信を開始します。

## 14.2.10 送信バッファ

送信バッファ (SCOBUF) は2重構造になっています。シリアルモードコントロールレジスタ 2 (SCOMOD2) のダブルバッファ制御ビット<WBUF>の設定により、ダブルバッファの有効/無効を制御できます。

ダブルバッファが有効のときは、送信バッファ 2 (SCOBUF) ヘデータが書き込まれると、そのデータは送信バッファ 1 (シフトレジスタ) へ移されます。送信 FIFO が有効にされていない場合 (SCOFCNF<CNFG>=0 で且つ SCOMOD1<FDPX1:0>=10/11) は同時に送信割り込み INTTX0 が発生して、SCOMOD2 の送信バッファエンプティフラグ<TBEMP>が“1”にセットされます。これは、送信バッファ 2 が空になったことを示し、次の送信データの書き込みが可能になります。次の送信データが送信バッファ 2 に書き込まれると<TBEMP>フラグが“0”にクリアされます。

送信 FIFO が有効にされている場合 (SCNFCNF<CNFG>=1 で且つ<FDPX1:0>=10/11) は送信 FIFO に送信データが存在する場合は直ぐに送信バッファ 2 へ移され、<TBEMP>フラグは直ぐに“0”にクリアされます。CPU は送信バッファ 2 または送信 FIFO ヘデータを書き込みます。

また I/O インタフェースモードの SCLK 入力時に送信 FIFO が有効にされていない場合は、送信バッファ 1 のデータの送信が終了して次のフレームのクロックが入力される前に、送信バッファ 2 ヘデータがセットされないときは、アンダーランエラーになりシリアルコントロールレジスタ (SCOCR) のパリティ/アンダーランフラグ<PERR>がセットされます。

I/O インタフェースモードの SCLK 入力時で送信 FIFO が有効にされている場合は送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に送信 FIFO にデータが存在する場合は送信 FIFO から送信バッファ 2 ヘデータが移されます。

I/O インタフェースモードの SCLK 出力時に送信 FIFO が有効にされていない場合は、送信バッファ 2 のデータが送信バッファ 1 に移されて、そのデータの送信が終了すると SCLK 出力が停止します。従ってアンダーランエラーは発生しません。

I/O インタフェースモードの SCLK 出力時に送信 FIFO が有効にされている場合は送信 FIFO に有効データが無く、最後の送信バッファ 1 のデータ送信が終了すると SCLK 出力を停止します。

**注) I/O インタフェース SCLK 出力モードでは、SCOCR の<PEER/UERR> Flag は意味を持ちません。動作定義は不定となります。従って SCLK 出力モードから、他のモードへ切り替える時は事前に SCOCR をリードしてこの Flag を初期化してください。**

ダブルバッファを無効に設定している場合は、送信データの CPU からの書き込みは送信バッファ 1 に対して行われ、送信が終了すると送信割り込み INTTX0 が発生します。

相手方とハンドシェイクの通信が必要な場合はダブルバッファ制御ビット<WBUF>="0" (不許可) に設定して送信バッファ 2 の機能を無効にして、送信 FIFO の設定は行わないで下さい。

## 14.2.11 送信FIFOバッファ

前記ダブルバッファに加えて、送信 FIFO バッファを用いて、データの格納を行う事ができます。SCOFCNF レジスタの CNFG の設定及び SCOMOD1<FDPX1:0>で 4byte の送信バッファを有効にする事ができます。UART モード及び I/O インタフェースモードにおいて 4byte までのデータが格納できます。

また UART モードでパリティビットを含むデータを送信する場合、受信側は受信ごとにパリティエラーチェックを行なう必要があります。

**注) 送信 FIFO バッファ使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCOFCNF<CNFG>=" 1" )の後、必ず送信 FIFO クリアを実行して下さい。**

## 14.2.12 送信FIFOの動作

- ① I/O インタフェースモードで SCLK 出力の場合 (通常モード)

4Byte のデータを送信する場合を例に説明します。

SIO の転送モードを半二重受信に設定します。

SCOFCNF<4:0>=01011 : fill level 到達後の継続送信の禁止

SCOTFC<1:0>=00 : 割り込み発生時の fill level を 0 に設定

SCOTFC<7:6>=11 : 送信 FIFO のクリアと割り込み発生条件の設定

この状態で送信 FIFO に 4byte 分の送信データを書き込み、<TXE> BIT を 1 に設定する事によりデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了するとクロック出力を停止して送信を終了します。

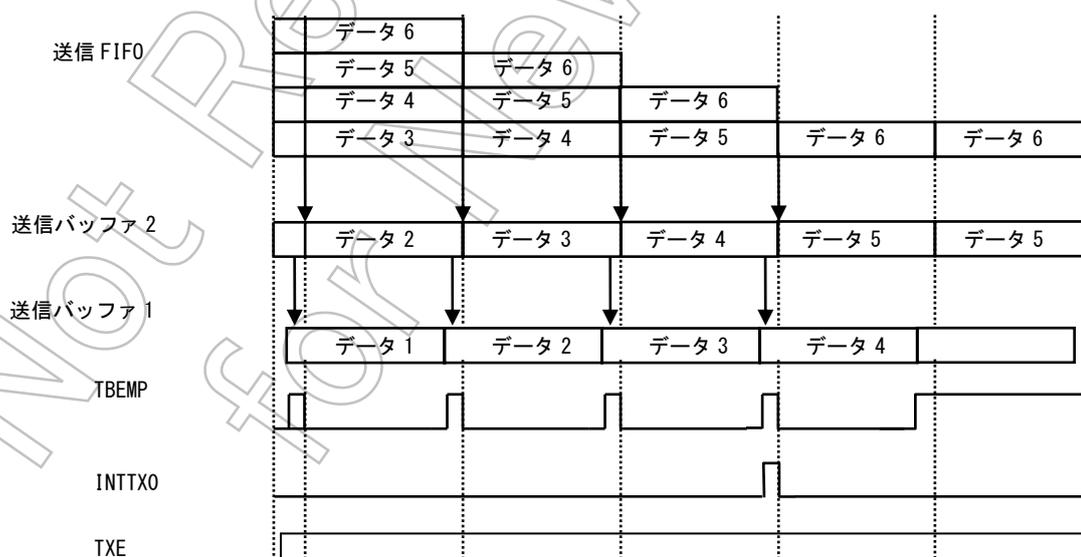


図 14.8 送信 FIFO の動作

- ② I/O インタフェースモードで SCLK 入力の場合（通常モード）  
4Byte のデータを送信する場合を例に説明します。

SIO の転送モードを半二重受信に設定します。

SC0FCNF<4:0>=01001 : fill level 到達後の継続送信の許可

SC0TFC<1:0>=00 : 割り込み発生時の fill level を 0 に設定

SC0TFC<7:6>=11 : 送信 FIFO のクリアと割り込み発生条件の設定

この状態で、送信 FIFO に 4BYTE 分の送信データを書き込み、<TXE>BIT を 1 に設定する事によりクロック入力に応じてデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生します。

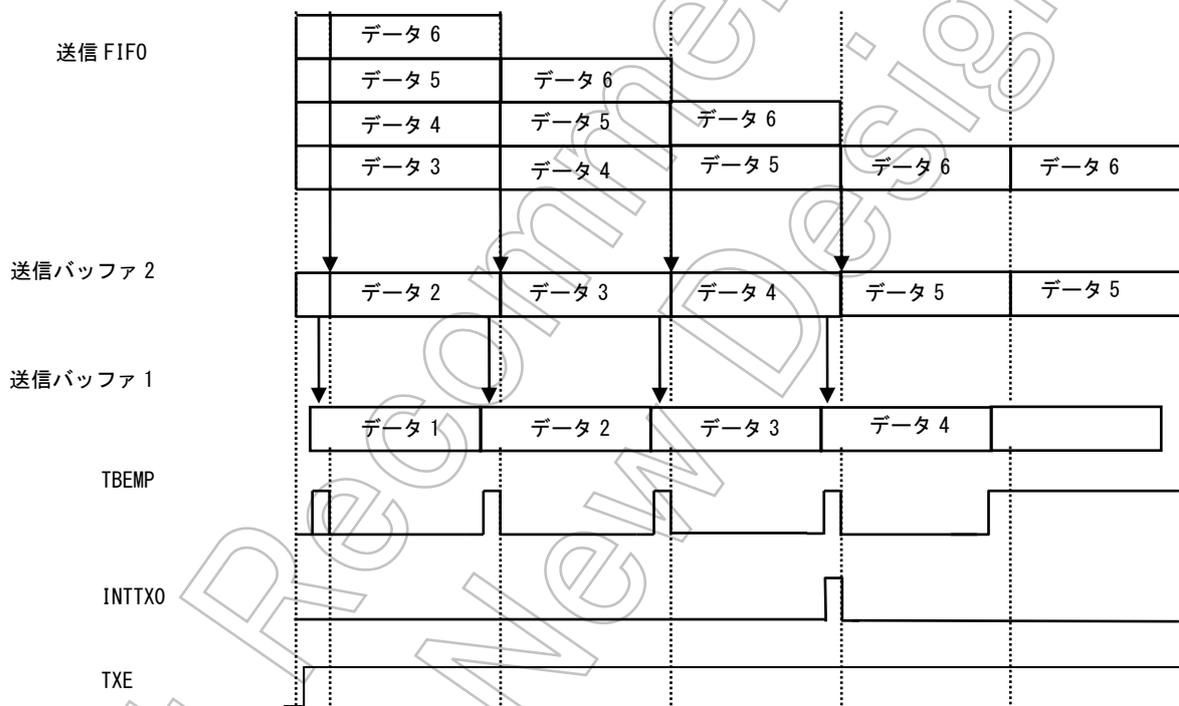


図 14.9 送信 FIFO の動作

### 14.2.13 パリティ制御回路

シリアルコントロールレジスタ (SCOCR) のパリティ付加ビット<PE>を“1”にするとパリティ付きの送信を行います。ただし、7ビット UART または 8ビット UART モードのみパリティ付加が可能です。SCOCR の<EVEN>ビットによって偶数 (奇数) パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ (SCOBUF) に書き込まれたデータにより自動的にパリティを発生し、7ビット UART モードのときは SCOBUF ビット 7<TB7> に、8ビット UART モードのときはシリアルモードコントロールレジスタ SCOMOD のビット 7<TB8> にパリティが格納されます。なお、<PE> と<EVEN> の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信データが受信バッファ 1 にシフトインされ、受信バッファ 2 (SCOBUF) に移されることによりパリティを自動発生します。7ビット UART モードのときは、SCOBUF <RB7> と、8ビット UART モードのときは、SCOCR レジスタのビット 7<RB8> のパリティと比較され、異なっているとパリティエラーが発生し、SCOCR レジスタの<PERR> フラグがセットされます。

I/O インタフェースモードの時は SCOCR<PERR>はパリティフラグではなく、アンダーランエラーフラグの働きになります。

### 14.2.14 エラーフラグ

受信データの信頼性を上げるために 3 つのエラーフラグが用意されています。

#### 1. オーバランエラー <OERR> : シリアルコントロールレジスタ SCOCR のビット 4

UART、I/O インタフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了するとエラーが発生して“1”にセットされます。受信 FIFO を有効にしている場合は、受信 FIFO へデータが自動的に移されるので、受信 FIFO が FULL (使用 BYTE 数) になるまではオーバランエラーは発生しません。また、このフラグは読み出すと“0”にクリアされます。但し、I/O インタフェースモードの SCLK 出力の設定ではオーバランエラーは発生しないために、このフラグは機能せず動作定義は未定です。

#### 2. パリティエラー/アンダーランエラー<PERR> : SCOCR レジスタのビット 3

UART モード時はパリティエラーが発生すると“1”にセットされます。パリティエラーは受信したデータから生成されたパリティと受信したパリティが異なる場合に発生します。このフラグは読み出すと“0”にクリアされます。

I/O インタフェースモード時はアンダーランエラーを示します。このフラグはシリアルモードコントロールレジスタ (SCOMOD2) のダブルバッファ制御ビット<WBUF>が“1”に設定されている状態で、SCLK 入力モード時には、送信シフトレジスタのデータを送信終了し、次回の転送クロックが入力される前に、送信ダブルバッファへデータがセットされない場合に“1”にセットされ、アンダーランエラーが発生したことを示します。送信 FIFO が有効にされている場合は送信 FIFO からデータが移されます。送信 FIFO のデータが空になり、送信ダブルバッファのデータが空になると、アンダーランエラーが発生します。SCLK 出力モード時、アンダーランエラーは発生しないために、このフラグは機能せず動作定義は未定となります。

送信バッファ 2 が無効の場合はアンダーランエラーフラグ<PERR>はセットされません。また、このフラグは読み出すと“0”にクリアされます。

### 3. フレーミングエラー <FERR> : SCOCR レジスタのビット 2

UART モード時にフレーミングエラーが発生すると“1”にセットされます。読み出すと“0”にクリアされます。フレーミングエラーは受信データのストップビットを中央付近でサンプリングし、結果が“0”の場合に発生します。シリアルモードコントロールレジスタ 2(SCOMOD2)の STOP ビット長設定ビット<SBLLEN>の設定に関わらず、受信時の STOP ビットの判定は1ビットのみです。

動作モード	エラーフラグ	機能
UART	OERR	オーバーランエラーフラグ
	PERR	パリティエラーフラグ
	FERR	フレーミングエラーフラグ
IO インタフェース (SCLK 入力)	OERR	オーバーランエラーフラグ
	PERR	アンダーランエラーフラグ (WBUF=1) 0 固定 (WBUF=0)
	FERR	0 固定
IO インタフェース (SCLK 出力)	OERR	動作未定義
	PERR	動作未定義
	FERR	0 固定

#### 14.2.15 データ転送方向

シリアルモードコントロールレジスタ 2(SCOMOD2)の転送方向設定ビット<DRCHG>の設定により、I/O インタフェースモード時に転送方向を MSB ファーストまたは LSB ファーストを切り替えることができます。転送動作中の切り替えは行わないでください。

#### 14.2.16 STOPビットの長さ

SCOMOD2 レジスタのビット 4<SBLLEN>の設定により UART 送信モード時の送信データ中の STOP ビットの長さを1ビットまたは2ビットに設定できます。

#### 14.2.17 ステータスフラグ

SCOMOD2 レジスタのビット 6<RBFLN>はダブルバッファ有効 (SCOMOD2<WBUF>="1") 時の受信バッファ full を示すフラグです。1フレームの受信が終了して、受信データがバッファ1からバッファ2に移されるとバッファ2がfull (データが格納されている状態)であることを示すために“1”にセットされます。CPU/DMACにより受信バッファを読み出すと“0”にクリアされます。<WBUF>="0"のときは意味を持ちませんのでステータスフラグとして使用しないでください。SCOMOD2 レジスタのビット 7<TBEMP>はダブルバッファ有効 (SCOMOD2<WBUF>="1") 時の送信バッファ2が空になったことを示すフラグです。送信バッファ2から送信バッファ1 (シフトレジスタ)へデータが移されると、送信バッファ2が空になったことを示すために“1”がセットされます。CPU/DMACにより送信バッファにデータをセットすると“0”にクリアされます。<WBUF>="0"のときは意味を持ちませんのでステータスフラグとして使用しないでください。

## 14.2.18 送受信バッファの構成

		<WBUF> = 0	<WBUF> = 1
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェース (SCLK 入力)	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェース (SCLK 出力)	送信	シングル	ダブル
	受信	シングル	ダブル

## 14.2.19 ソフトリセット

SCOMOD2 レジスタのビット 1,0<SWRST1:0>を“10” → “01”と続けてのライトすることによりソフトウェアリセットが発生します。これにより、モードレジスタの SCOMOD0<RXE>、SCOMOD1<TXE>、SCOMOD2<TBEMP>、<RBFL>、<TXRUN>、コントロールレジスタの SCOCR<OERR>、<PERR>、<FERR>及び内部回路が初期化されます。その他の状態は保持されます。

## 14. 2. 20 各信号発生タイミング

## ① UART モードの場合

## 受信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング	第1ストップビットの中央付近	第1ストップビットの中央付近	第1ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティエラー発生タイミング	—	最終ビット (パリティビット) の中央付近	最終ビット (パリティビット) の中央付近
オーバランエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近

## 送信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング (<WBUF> = 0)	ストップビット送出の直前	ストップビット送出の直前	ストップビット送出の直前
割り込み発生タイミング (<WBUF> = 1)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)

## ② I/O インタフェースモードの場合

## 受信

割り込み発生タイミング (<WBUF> = 0)	SCLK 出力モード	最終 SCLK の立ち上がり直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (<WBUF> = 1)	SCLK 出力モード	最終 SCLK の立ち上がり直後 (受信バッファ2ヘッダを移した直後) または受信バッファ2からデータを読み出した直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 (受信バッファ2ヘッダを移した直後)
オーバランエラー発生タイミング	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後

## 送信

割り込み発生タイミング (<WBUF> = 0)	SCLK 出力モード	最終 SCLK の立ち上がり直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (<WBUF> = 1)	SCLK 出力モード	最終 SCLK の立ち上がり直後または送信バッファ1ヘッダを移した直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 または送信バッファ1ヘッダを移した直後
アンダーランエラー発生タイミング	SCLK 入力モード	次回 SCLK の立ち下がり直後 (立ち上がりモード)、立ち下がりモードでは立ち上がり直後

注1) 送信、受信 (受信許可の状態) に制御レジスタの変更は行わないでください

注2) 受信動作中に受信動作を停止 (SCOMOD0<RXE>="0") しないでください

注3) 送信動作中に送信動作を停止 (SCOMOD1<TXE>="0") しないでください

## 14.3 レジスタ説明

## 14.3.1 チャネル別レジスタ一覧

各チャネルのレジスタとアドレスを示します。

表14-4 レジスタ一覧

		SI00		SI01		SI02	
レジスタ名 (アドレス)	イネーブルレジスタ	SC0EN	0xFF00_4C00	SC1EN	0xFF00_4C40	SC2EN	0xFF00_4C80
	送受信バッファレジスタ	SC0BUF	0xFF00_4C04	SC1BUF	0xFF00_4C44	SC2BUF	0xFF00_4C84
	コントロールレジスタ	SC0CR	0xFF00_4C08	SC1CR	0xFF00_4C48	SC2CR	0xFF00_4C88
	モードコントロール レジスタ 0	SC0MOD0	0xFF00_4C0C	SC1MOD0	0xFF00_4C4C	SC2MOD0	0xFF00_4C8C
	ポーレートジェネレータ コントロール	BR0CR	0xFF00_4C10	BR1CR	0xFF00_4C50	BR2CR	0xFF00_4C90
	ポーレートジェネレータ コントロール 2	BR0ADD	0xFF00_4C14	BR1ADD	0xFF00_4C54	BR2ADD	0xFF00_4C94
	モードコントロール レジスタ 1	SC0MOD1	0xFF00_4C18	SC1MOD1	0xFF00_4C58	SC2MOD1	0xFF00_4C98
	モードコントロール レジスタ 2	SC0MOD2	0xFF00_4C1C	SC1MOD2	0xFF00_4C5C	SC2MOD2	0xFF00_4C9C
	受信 FIFO コンフィグレジスタ	SC0RFC	0xFF00_4C20	SC1RFC	0xFF00_4C60	SC2RFC	0xFF00_4CA0
	送信 FIFO コンフィグレジスタ	SC0TFC	0xFF00_4C24	SC1TFC	0xFF00_4C64	SC2TFC	0xFF00_4CA4
	受信 FIFO ステータスレジスタ	SC0RST	0xFF00_4C28	SC1RST	0xFF00_4C68	SC2RST	0xFF00_4CA8
	送信 FIFO ステータスレジスタ	SC0TST	0xFF00_4C2C	SC1TST	0xFF00_4C6C	SC2TST	0xFF00_4CAC
	FIFO コンフィグレジスタ	SC0FCNF	0xFF00_4C30	SC1FCNF	0xFF00_4C70	SC2FCNF	0xFF00_4CB0

### 14.3.2 レジスタ詳細

チャンネル0のレジスタについて説明します。他チャンネルについてもレジスタセットは同様です。

#### 14.3.2.1 イネーブルレジスタ

	7	6	5	4	3	2	1	0	
bit Symbol									SIOE
Read/Write	R								R/W
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								SIO動作 0:禁止 1:許可

<SIOE>: SIOの動作を指定します。

SIOを使用する場合は、まずSIO動作許可にしてください。

動作禁止の状態では、イネーブルレジスタを除くSIOのすべてのクロックが停止しますので消費電力の低減が可能です。

SIOを一旦動作させた後に動作禁止にした場合は、SCOTFC[1:0]を除く各レジスタの設定は保持されます。

#### 14.3.2.2 バッファレジスタ

	7	6	5	4	3	2	1	0	
bit Symbol	TB7/RB7	TB6/RB6	TB5/RB5	TB4/RB4	TB3/RB3	TB2/RB2	TB1/RB1	TB0/RB0	
Read/Write	R/W								R/W
リセット後	0	0	0	0	0	0	0	0	
機能	TB7~0: 送信用バッファ/FIFO RB7~0: 受信用バッファ/FIFO								

バッファレジスタ (SCOBUF) は、書き込み時は送信バッファ、読み出し時は受信バッファとして機能します。

<TB7:0> 送信用バッファ。(書き込み時のみ)

<RB7:0> 受信用バッファ。(読み出し時のみ)

## 14.3.2.3 コントロールレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W		R (Read すると“0”クリアされます。)			R/W	
リセット後	0	0	0	0	0	0	0	0
機能	受信データ ビット 8 (UART 用)	パリティ (UART 用) 0: Odd 1: Even	パリティ 付加 (UART 用) 0: 禁止 1: 許可	0: 通常動作 1: エラー			0: SCLK0 [↑]	(I/O インタフェース用) 0: ポーレートジェネレータ 1: SCLK0 端子入力
				オーバーラン	パリティ/アンダーラン	フレーミング	1: SCLK0 [↓]	

<RB8>: 9 ビット UART モード時の 9 ビット目の受信データです。

<EVEN>: パリティの条件を設定します。  
“0” で奇数 (Odd) パリティ、“1” で偶数 (Even) パリティです。  
パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。

<PE>: パリティ許可/禁止を制御するビットです。  
パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。

<OERR>: エラーフラグです。(注)

<PERR>: それぞれ、オーバーランエラー、パリティ/アンダーランエラー、フレーミングエラーを示します。

<SCLKS>: データ送受信で使用する入力クロックエッジを選択します。  
“0” で SCLK0 の立ち上がりエッジでの送受信、“1” で立下りエッジでのデータ送受信です。クロック出力モード時は、“0” で立ち上がりエッジに設定して下さい。

<IOC>: I/O インタフェースモード時のクロックを選択します。  
“0” でポーレートジェネレータ、“1” で SCLK0 端子入力が選択されます。

(注) エラーフラグは読み出されるとすべてクリアされます。

## 14.3.2.4 モードコントロールレジスタ 0

	7	6	5	4	3	2	1	0
bit Symbol	TB8	CTSE	RXE	WU	SM1	SMO	SC1	SC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信データ ビット 8	ハンド シェイク 機能制御 0: CTS ディセー ブル 1: CTS イネーブ ル	受信制御 0: 受信禁止 1: 受信許可	ウェイク アップ機能 0: ディセー ブル 1: イネーブ ル	シリアル転送モード 00: I/O インタフェース モード 01: 7ビット長 UART モード 10: 8ビット長 UART モード 11: 9ビット長 UART モード	シリアル転送クロック (UART 用) 00: タイマ TB20UT 01: ポーレート ジェネレータ 10: 内部クロック $f_{SYS}/2$ 11: 外部クロック (SCLK0 入力)		

<TB8>: 9ビット UART モード時の9ビット目の送信データをセットします。

<CTSE>: ハンドシェイク機能の制御を行います。  
イネーブルにすると CTS 端子を用いたハンドシェイク機能が使用可能になります。

<RXE>: 受信制御を行うビットです。(注)  
このビットは、各モードレジスタ (SCOMODO, SCOMOD1, SCOMOD2) を設定してから許可してください。

<WU>: ウェイクアップ機能の制御を行います。  
9ビット UART モードの場合のみ有効で、その他のモードでは無視されます。

	9ビット UART モード	その他
0	受信すれば割り込み	
1	受信データ9ビット目が“1”の ときのみ割り込み	don't care

<SM1:0>: 転送モードを選択します。

<SC1:0>: UART モード時の転送クロックを選択します。  
I/O インタフェースモード時の転送クロックは、コントロールレジスタ (SCOCR) で選択します。

(注) <RXE>= “0” の状態で各モードレジスタ (SCOMODO、SCOMOD1、SCOMOD2) を設定してから最後に<RXE>= “1” にしてください

## 14.3.2.5 モードコントロールレジスタ 1

	7	6	5	4	3	2	1	0
bit Symbol	I2S0	FDPX1	FDPX0	TXE	SINT2	SINT1	SINT0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	IDLE 0: 停止 1: 動作	転送モード設定 00: 転送禁止 01: 半二重 (受信) 10: 半二重 (送信) 11: 全二重		送信制御 0: 禁止 1: 許可	連続転送時のインターバル時間 (I/O インタフェース用) 000: 無し      100: 8SCLK 001: 1SCLK    101: 16SCLK 010: 2SCLK    110: 32SCLK 011: 4SCLK    111: 64SCLK		"0" をラ イトして ください。	

<I2S0> : IDLE モード時の動作を指定します。

<FDPX1:0> : I/O インタフェースモード時の転送モードを設定します。また FIFO が許可されている場合は FIFO の構成を指定します。UART モードの場合は FIFO 構成の指定のみ行われます。

<TXE> : 全転送モードに有効な送信許可ビットです。(注)  
送信中にこのビットが禁止に設定された場合はそのフレームの転送が終了してから、禁止になります。

<SINT2:0> : I/O インタフェースモードで SCLK0 端子入力でない場合のみ有効なビットです。その他のモードでは意味を持ちません。  
I/O インタフェースモードで、ダブルバッファまたは FIFO が許可されている時に連続転送のインターバル時間を指定します。

(注) <TXE>ビットは、他のビットを設定した後に許可してください。

## 14.3.2.6 モードコントロールレジスタ 2

	7	6	5	4	3	2	1	0
bit Symbol	TBEMP	RBFL	TXRUN	SBLEN	DRCHG	WBUF	SWRST1	SWRST0
Read/Write	R			R/W				
リセット後	1	0	0	0	0	0	0	0
機能	送信 buffer empty flag 0: full 1: Empty	受信 buffer full flag 0: Empty 1: full	送信動作中 flag 0: 停止 1: 動作	STOP ビット (UART 用) 0: 1 ビット 1: 2 ビット	転送方向設定 0: LSB first 1: MSB first	W-buffer の許可 0: 不許可 1: 許可	SOFT RESET “10” → “01” のライトで RESET	

<TBEMP>: ダブルバッファ不許可の場合はこのフラグは意味を持ちません。送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され empty になると “1” になり、送信データが書き込まれると “0” になります。

<RBFL>: ダブルバッファ不許可の場合はこのフラグは意味を持ちません。受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファヘデータが格納されると “1” になり、読み出すと “0” になります。

<TXRUN>: 送信シフト動作中を示すステータスフラグです。  
<TXRUN>と<TBEMP>ビットで以下のような状態を示します。

<TXRUN>	<TBEMP>	状態
1	-	送信動作中
0	1	送信が完全に終了
	0	送信バッファに次のデータがあり送信待ち

<SBLEN>: UART モード時の送信 STOP ビットの長さを指定します。受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。

<DRCHG>: I/O インタフェースモード時の転送方向を指定します。UART モード時は LSB first に設定してください。

<WBUF>: I/O インタフェースモードの送信 (SCLK 出力、入力)、受信 (SCLK 出力)、UART モードの送信時に、送信、受信のダブルバッファの許可/不許可を指定します。I/O インタフェースモード (SCLK 入力) 時の受信バッファ、UART モード時の受信バッファは、設定に関わらずダブルバッファ許可状態となります。

<SWRST1:0>: “10” → “01” の順に書き込むことでソフトウェアリセットが発生します。ソフトウェアリセットにより、以下のビットと内部回路が初期化されます。  
(注 1) (注 2) (注 3)

レジスタ名	ビット
SCOMOD0	RXE
SCOMOD1	TXE
SECMOD2	TBEMP, RBFL, TXRUN,
SCOCR	OERR, PERR, FERR

- (注 1) 転送動作中にソフトリセットを実施する場合は 2 回連続して実行してください。
- (注 2) ソフトウェアリセット動作が完了するのに、命令実行後 2 クロックが必要です。  
ソフトウェアリセット命令実行後、SYNC、NOP 命令を実行することを推奨します。
- (注 3) ソフトウェアリセットを実施した場合、他のビットは初期化されますので、モードレジスタ及びコントロールレジスタの再設定が必要となります。

Not Recommended  
for New Design

14.3.2.7 ポーレートジェネレータコントロールレジスタ

ポーレートジェネレータコントロールレジスタ (BROCR)

	7	6	5	4	3	2	1	0	
bit Symbol		BROADDE	BROCK1	BROCK0	BROS3	BROS2	BROS1	BROS0	
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能	“0” をラ イトして ください。	$N+(16-K)/16$ 分周機能 0: ディセー ブル 1: イネー ブル	ポーレートジェネレー タ入カクロック選択 00: $\phi T1$ 01: $\phi T4$ 10: $\phi T16$ 11: $\phi T64$	分周値 “N” の設定 0000 : 16分周 0001 : 1分周 0010 : 2分周 : 1111 : 15分周					

ポーレートジェネレータコントロールレジスタ 2 (BROADD)

	7	6	5	4	3	2	1	0
bit Symbol					BROK3	BROK2	BROK1	BROK0
Read/Write	R				R/W			
リセット後	0	0	0	0	0	0	0	0
機能	リードすると “0” が読めます。				N + (16 - K) / 16 分周の K 値の設定 0000 : 設定禁止 0001 : K=1 0010 : K=2 : 1111 : K=15			

- <RBOADDE>:  $N+(16-K)/16$  分周機能の設定を行うビットです。  
この機能は、UART モードのときのみ使用可能です。
- <RBOCK1:0>: ポーレートジェネレータ入カクロックを選択するビットです。
- <RBOS3:0>: 分周値 “N” を設定するビットです。
- <RBOK3:0>:  $N+(16-K)/16$  分周の “K” 値を設定するビットです。

ポーレートジェネレータの分周値は、上記の 2 つのレジスタで設定します。  
ポーレートジェネレータ分周値の設定方法を表 14-5 にまとめます。

表 14-5 分周値の設定方法

	BROADDE=0 のとき	BROADDE=1 のとき (注 1) (UART モードのみ使用可能)
BROS の設定	分周値 “N” を設定 (注 2) (注 3)	
BROK の設定	設定不要	“K” 値を設定 (注 4)
分周値	N 分周	$N + \frac{(16-K)}{16}$ 分周

- (注1)  $N+(16-K)/16$  分周機能を使用する場合、必ず BROK に “K” 値を設定後に BROADDE= “1” を設定してください。この機能は、UART モードのときのみ使用可能です。
- (注2) 分周値 “N” に 1 分周 (“0001”) を設定できるのは、以下の場合のみです。  
・ UART モードでは、 $N+(16-K)/16$  分周機能を使用しない場合。  
・ I/O インタフェースモードでは、ダブルバッファを使用する場合。
- (注3)  $N+(16-K)/16$  分周機能を使用する場合、分周値 “N” に 1 分周 (「0001」) と 16 分周 (「0000」) は設定できません。
- (注4) “K” 値に 「0」 を設定することはできません。

Not Recommended  
for New Design

14.3.2.8 FIFOコンフィグレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	Reserved	Reserved	Reserved	RFST	TFIE	RFIE	RXTXCNT	CNFG
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	必ず“000”をライトしてください。			受信FIFO使用Byte数 0:最大 1:受信FIFOのFILLレベルに同じ	送信FIFO使用時の送信割り込み許可 0:禁止 1:許可	受信FIFO使用時の受信割り込み許可 0:禁止 1:許可	RXE/TXEの自動禁止 0:無し 1:自動禁止	FIFOの許可 0:禁止 1:許可

- <RFST>: 受信FIFO使用byte数の設定ビットです。(注)  
“0”の場合、構成されているFIFOの最大のbyte数が使用可能です。  
(<CNFG>ビットの説明を参照してください。)  
“1”の場合、受信FIFOコンフィグレジスタ SCORFC<RIL1:0>で指定されたFILLレベルのbyte数になります。
- <TFIE>: 送信FIFOが有効にされている時の送信割り込みの許可/不許可を切り替えます。
- <RFIE>: 受信FIFOが有効にされている時の受信割り込みの許可/不許可を切り替えます。
- <RXTXCNT>: 送信/受信の自動禁止機能の制御ビットです。  
“1”に設定した場合、設定された通信方式により以下のように動作します。  
(通信方式はモードコントロールレジスタ1 SCOMOD1<FDPX1:0>で設定します。)

半二重受信	受信FIFOに指定された有効byte数分のデータが格納されると自動的に受信許可ビット (SCOMOD0<RXE>) が“0”となり、受信が禁止される。
半二重送信	送信FIFOがEmptyになると自動的に送信許可ビット (SCOMOD1<TXE>) が“0”となり、送信が禁止される。
全二重	上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット、受信許可ビットとも“0”となり、送受信が禁止される。

- <CNFG>: FIFO使用の許可ビットです。  
“1”に設定するとFIFOが使用可能となります。設定された通信方式によりFIFOの構成は以下のようになります。  
(通信方式はモードコントロールレジスタ1 SCOMOD1<FDPX1:0>で設定します。)

半二重受信	受信FIFO 4byte
半二重送信	送信FIFO 4byte
全二重	受信FIFO 2byte+送信FIFO 2byte

(注) 送信FIFOは常に構成されているFIFOの最大BYTE数を使用できます。  
使用BYTE数は送信FIFOに書き込んだBYTE数になります。

14.3.2.9 受信FIFOコンフィグレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	RFCS	RFIS					RIL1	RIL0
Read/Write	W	R/W	R				R/W	
リセット後	0	0	0	0	0	0	0	0
機能	受信 FIFO クリア 1:クリア リードすると常に“0”が読めます。	割り込み発生条件選択 0:fill レベル到達 1:fill レベル到達および新規データ読み出し時に fill レベルを超えている	リードすると“0”が読めます。				受信割り込みが発生する FIFO の fill レベル 00:4byte (全二重の場合は 2Byte) 01:1byte 10:2byte 11:3byte	

<RFCS>: 受信 FIFO クリアビットです。  
“1”を書き込むと受信 FIFO がクリアされます。リードすると“0”が読めます。

<RFIS>: 割り込み発生条件を選択します。  
“0”で fill レベル到達時に割り込み発生、“1”で fill レベル到達時および、新規データ読み出し時に fill レベルを超えている場合に割り込みが発生します。

<RIL1:0>: FIFO の fill レベルを選択します。(注)

	全二重以外	全二重
00	4byte	2byte
01	1byte	1byte
10	2byte	2byte
11	3byte	1byte

**(注) FDPX1:0=11 (全二重) の場合、RIL1 は無視されます**

14.3.2.10 送信FIFOコンフィグレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	TFCS	TFIS					TIL1	TIL0
Read/Write	W	R/W	R				R/W	
リセット後	0	0	0	0	0	0	0	0
機能	送信 FIFO クリア  1:クリア リードすると常に “0”が読 めます。	割り込み 発生条件 選択 0:fill レ ベル到達 1:fill レ ベル到達 および新 規デー タ書き 込み時 に fill レベル に達し てい ない。	リードすると “0” が読めます。				送信割り込みが発生する FIFOの fill レベル  00:Empty 01:1byte 10:2byte 11:3byte 注:FDPX1:0=11 (全二 重)の場合、TIL1は無 視されます。	

<TFCS>: 送信 FIFO クリアビットです。  
“1” を書き込むと送信 FIFO がクリアされます。リードすると “0” が読めます。

<TFIS>: 割り込み発生条件を選択します。  
“0” で fill レベル到達時に割り込み発生、“1” で fill レベル到達時および、新規データ書き込み時に fill レベルに達していない場合に割り込みが発生します。

<TIL1:0>: FIFO の fill レベルを選択します。(注)

	全二重以外	全二重
00	Empty	Empty
01	1byte	1byte
10	2byte	Empty
11	3byte	1byte

- (注 1) FDPX1:0=11 (全二重) の場合、TIL1 は無視されます。  
 (注 2) FIFO 使用時の送信 FIFO クリアは、SIO の転送モードを設定し、FIFO 許可にした後に行ってください。  
 (注 3) SC0EN<0>=0 (SIO 動作禁止※クロック停止)、または SC0MOD1<7>=0 でスタンバイモード (IDLE, SLEEP, STOP, Backup Sleep, Backup Stop) へ移行 (スタンバイモード中の動作停止※クロック停止) した場合は、必ず SC0TFC レジスタの再設定を行ってください。

## 14.3.2.11 受信FIFOステータスレジスタ

	7	6	5	4	3	2	1	0	
bit Symbol	ROR						RLVL2	RLVL1	RLVL0
Read/Write	R	R					R		
リセット後	0	0	0	0	0	0	0	0	
機能	受信 FIFO Overrun 1:発生	リードすると“0”が読めます。					受信 FIFO の fill レベルのステータス 000: Empty 001: 1Byte 010: 2Byte 011: 3Byte 100: 4Byte		

<ROR>: 受信 FIFO のオーバーランフラグです。  
オーバーランが発生すると“1”にセットされます。(注)

<RLVL2:0>: 受信 FIFO の fill レベルを示すビットです。

(注) <ROR>ビットはバッファレジスタ (SCOBUF) を読み出すと“0”にクリアされます。

## 14.3.2.12 送信FIFOステータスレジスタ

	7	6	5	4	3	2	1	0	
bit Symbol	TUR						TLVL2	TLVL1	TLVL0
Read/Write	R	R					R		
リセット後	1	0	0	0	0	0	0	0	
機能	送信 FIFO Under run 1:発生 FIFO ライトでクリア	リードすると“0”が読めます。					送信 FIFO の fill レベルのステータス 000: Empty 001: 1Byte 010: 2Byte 011: 3Byte 100: 4Byte		

<TUR>: 送信 FIFO のアンダーランフラグです。  
アンダーランが発生すると“1”にセットされます。(注)

<TLVL2:0>: 送信 FIFO の fill レベルを示すビットです。

(注) <TUR>ビットはバッファレジスタ (SCOBUF) を読み出すと“0”にクリアされます。

## 14.4 回路別の動作説明

各チャンネルは同一の動作をしますので、チャンネル0を例に説明します。

### 14.4.1 プリスケーラ

S100の動作クロックを生成するために、7ビットプリスケーラがあります。プリスケーラの入力クロック $\phi T0$ は、CG部のSYSCR<PRCK2:0>にて選択したfperiph/2、fperiph/4、fperiph/8、fperiph/16、fperiph/32のいずれかのクロックです。

fperiphはCG部のSYSCR1<FPSEL>で選択されるクロックfgearまたはクロックギアで分周される前のクロックfcのいずれかです。

プリスケーラは、モードコントロールレジスタ0 SCOMODO<SC1:0>で転送クロックとしてポーレートジェネレータを選択した場合のみ動作します。

ポーレートジェネレータへの入力クロック分解能を表14-6に示します。

ポーレートジェネレータではプリスケーラで生成されるクロックのうち、 $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、 $\phi T64$ の4種類のクロックが用いられます。

Not Recommended for New Design

表 14-6 ボーレートジェネレータへの入力クロック分解能 (fsys=80MHz)

ペリフェラル クロック選択 <FPSEL>	クロックギア値 <GEAR2:0>	プリスケアラ クロック選択 <PRCK2:0>	プリスケアラ出カクロック分解能			
			$\phi T1$	$\phi T4$	$\phi T16$	$\phi T64$
0 (fgear)	000 (fc)	000 (fper iph/2)	—	$fc/2^4$ (0. 2 $\mu$ s)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)
		001 (fper iph/4)	$fc/2^3$ (0. 1 $\mu$ s)	$fc/2^5$ (0. 4 $\mu$ s)	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)
		010 (fper iph/8)	$fc/2^4$ (0. 2 $\mu$ s)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)
		011 (fper iph/16)	$fc/2^5$ (0. 4 $\mu$ s)	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)	$fc/2^{11}$ (25. 6 $\mu$ s)
		100 (fper iph/32)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)	$fc/2^{12}$ (51. 2 $\mu$ s)
	100 (fc/2)	000 (fper iph/2)	$fc/2^3$ (0. 1 $\mu$ s)	$fc/2^5$ (0. 4 $\mu$ s)	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)
		001 (fper iph/4)	$fc/2^4$ (0. 2 $\mu$ s)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)
		010 (fper iph/8)	$fc/2^5$ (0. 4 $\mu$ s)	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)	$fc/2^{11}$ (25. 6 $\mu$ s)
		011 (fper iph/16)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)	$fc/2^{12}$ (51. 2 $\mu$ s)
		100 (fper iph/32)	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)	$fc/2^{11}$ (25. 6 $\mu$ s)	$fc/2^{13}$ (102. 4 $\mu$ s)
	101 (fc/4)	000 (fper iph/2)	$fc/2^4$ (0. 2 $\mu$ s)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)
		001 (fper iph/4)	$fc/2^5$ (0. 4 $\mu$ s)	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)	$fc/2^{11}$ (25. 6 $\mu$ s)
		010 (fper iph/8)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)	$fc/2^{12}$ (51. 2 $\mu$ s)
		011 (fper iph/16)	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)	$fc/2^{11}$ (25. 6 $\mu$ s)	$fc/2^{13}$ (102. 4 $\mu$ s)
		100 (fper iph/32)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)	$fc/2^{12}$ (51. 2 $\mu$ s)	$fc/2^{14}$ (204. 8 $\mu$ s)
	110 (fc/8)	000 (fper iph/2)	$fc/2^5$ (0. 4 $\mu$ s)	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)	$fc/2^{11}$ (25. 6 $\mu$ s)
		001 (fper iph/4)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)	$fc/2^{12}$ (51. 2 $\mu$ s)
		010 (fper iph/8)	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)	$fc/2^{11}$ (25. 6 $\mu$ s)	$fc/2^{13}$ (102. 4 $\mu$ s)
		011 (fper iph/16)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)	$fc/2^{12}$ (51. 2 $\mu$ s)	$fc/2^{14}$ (204. 8 $\mu$ s)
		100 (fper iph/32)	$fc/2^9$ (6. 4 $\mu$ s)	$fc/2^{11}$ (25. 6 $\mu$ s)	$fc/2^{13}$ (102. 4 $\mu$ s)	$fc/2^{15}$ (409. 6 $\mu$ s)
111 (fc/16)	000 (fper iph/2)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)	$fc/2^{12}$ (51. 2 $\mu$ s)	
	001 (fper iph/4)	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)	$fc/2^{11}$ (25. 6 $\mu$ s)	$fc/2^{13}$ (102. 4 $\mu$ s)	
	010 (fper iph/8)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)	$fc/2^{12}$ (51. 2 $\mu$ s)	$fc/2^{14}$ (204. 8 $\mu$ s)	
	011 (fper iph/16)	$fc/2^9$ (6. 4 $\mu$ s)	$fc/2^{11}$ (25. 6 $\mu$ s)	$fc/2^{13}$ (102. 4 $\mu$ s)	$fc/2^{15}$ (409. 6 $\mu$ s)	
	100 (fper iph/32)	$fc/2^{10}$ (12. 8 $\mu$ s)	$fc/2^{12}$ (51. 2 $\mu$ s)	$fc/2^{14}$ (204. 8 $\mu$ s)	$fc/2^{16}$ (819. 2 $\mu$ s)	
1 (fc)	000 (fc)	000 (fper iph/2)	—	$fc/2^4$ (0. 2 $\mu$ s)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)
		001 (fper iph/4)	$fc/2^3$ (0. 1 $\mu$ s)	$fc/2^5$ (0. 4 $\mu$ s)	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)
		010 (fper iph/8)	$fc/2^4$ (0. 2 $\mu$ s)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)
		011 (fper iph/16)	$fc/2^5$ (0. 4 $\mu$ s)	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)	$fc/2^{11}$ (25. 6 $\mu$ s)
		100 (fper iph/32)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)	$fc/2^{12}$ (51. 2 $\mu$ s)
	100 (fc/2)	000 (fper iph/2)	—	$fc/2^4$ (0. 2 $\mu$ s)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)
		001 (fper iph/4)	$fc/2^3$ (0. 1 $\mu$ s)	$fc/2^5$ (0. 4 $\mu$ s)	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)
		010 (fper iph/8)	$fc/2^4$ (0. 2 $\mu$ s)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)
		011 (fper iph/16)	$fc/2^5$ (0. 4 $\mu$ s)	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)	$fc/2^{11}$ (25. 6 $\mu$ s)
		100 (fper iph/32)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)	$fc/2^{12}$ (51. 2 $\mu$ s)
	101 (fc/4)	000 (fper iph/2)	—	$fc/2^4$ (0. 2 $\mu$ s)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)
		001 (fper iph/4)	—	$fc/2^5$ (0. 4 $\mu$ s)	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)
		010 (fper iph/8)	$fc/2^4$ (0. 2 $\mu$ s)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)
		011 (fper iph/16)	$fc/2^5$ (0. 4 $\mu$ s)	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)	$fc/2^{11}$ (25. 6 $\mu$ s)
		100 (fper iph/32)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)	$fc/2^{12}$ (51. 2 $\mu$ s)
	110 (fc/8)	000 (fper iph/2)	—	—	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)
		001 (fper iph/4)	—	$fc/2^5$ (0. 4 $\mu$ s)	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)
		010 (fper iph/8)	—	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)
		011 (fper iph/16)	$fc/2^5$ (0. 4 $\mu$ s)	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)	$fc/2^{11}$ (25. 6 $\mu$ s)
		100 (fper iph/32)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)	$fc/2^{12}$ (51. 2 $\mu$ s)
111 (fc/16)	000 (fper iph/2)	—	—	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	
	001 (fper iph/4)	—	—	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)	
	010 (fper iph/8)	—	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)	
	011 (fper iph/16)	—	$fc/2^7$ (1. 6 $\mu$ s)	$fc/2^9$ (6. 4 $\mu$ s)	$fc/2^{11}$ (25. 6 $\mu$ s)	
	100 (fper iph/32)	$fc/2^6$ (0. 8 $\mu$ s)	$fc/2^8$ (3. 2 $\mu$ s)	$fc/2^{10}$ (12. 8 $\mu$ s)	$fc/2^{12}$ (51. 2 $\mu$ s)	

- (注1) プリスケーラ出力クロック $\Phi Tn$ は、かならず $\Phi Tn < f_{sys}/2$ を満足するように ( $\Phi Tn$ が $f_{sys}/2$ よりも遅くなるように) 選択してください。
- (注2) SIO動作中はクロックギアの切り替えは行わないでください。
- (注3) 表中“—”は設定禁止です。

Not Recommended  
for New Design

## 14.4.2 シリアルクロック生成ブロック

送受信の基本クロックを生成するブロックです。

シリアルクロック生成ブロックは、ボーレートジェネレータとモードやレジスタ設定によりクロックを選択する回路で構成されています。

### 14.4.2.1 クロック選択回路

モードとレジスタ設定により、クロックが選択されます。

モードはモードコントロールレジスタ 0 SCOMODO<SM1:0>で指定します。

I/O インタフェースモード時のクロックは、コントロールレジスタ SCOCR で設定します。

UART モード時のクロックは、モードコントロールレジスタ 0 SCOMODO<SC1:0>で設定します。

表 14-7 に I/O インタフェースモードの場合のクロック選択、14-8 に UART モードの場合のクロック選択を示します。

表 14-7 I/O インタフェースモードのクロック選択

モード SCOMODO<SM1:0>	入出力選択 SCOCR<IOC>	クロックエッジ選択 SCOCR<SCLKS>	選択クロック
I/O インタ フェースモード	SCLK 出力	“0” で使用 (立ち上がり固定)	ボーレートジェネレータ出力 の 2 分周
	SCLK 入力	立ち上がり	SCLK 入力立ち上がりエッジ
立ち下がり		SCLK 入力立ち下がりエッジ	

表 14-8 UART モードのクロック選択

モード SCOMODO<SM1:0>	クロック選択 SCOMODO<SC1:0>
UART モード	タイマ出力
	ボーレートジェネレータ
	f <sub>sys</sub> /2
	SCLK 入力

## 14.4.2.2 ポーレートジェネレータ

ポーレートジェネレータはプリスケアラから入力されたクロックを分周し、送受信クロックを生成する回路です。

## (1) 入力クロック

ポーレートジェネレータの入力クロックは、プリスケアラ出力のΦT1、ΦT4、ΦT16、ΦT64 から選択します。入力クロックの選択は、コントロールレジスタ BROCR<BROCK1:0>で行います。

出力クロックの分周値は、ポーレートジェネレータコントロールレジスタ BROCR<BROADDE><BROS3:0>、ポーレートジェネレータコントロールレジスタ 2 BROADD<BROK3:0>で設定します。

## (2) I/O インタフェースモード

表 14-9 I/O インターフェースモードの場合

BROCR<BROADDE>	BROADD<BROK3:0>	BROCR<BROS3:0>
“0”	設定無視	設定有効 分周値“N”設定 (N=1, 2, 3...16) ※N=1は、ダブルバッファ使用時のみ設定可能
“1” ※設定禁止	使用不可	使用不可

## (3) UART モード

表 14-10 UART モードの場合

BROCR<BROADDE>	BROADD<BROK3:0>	BROCR<BROS3:0>
“0”	設定無視	設定有効 分周値“N”設定 (N=1, 2, 3...16)
“1”	設定有効 分周値“K”設定 (K=1, 2, 3...15)	設定有効 分周値“N”設定 (N=2, 3...15)
$N + \frac{(16-K)}{16}$ 分周	設定禁止	N=1, 16 は設定禁止

## 15. シリアル チャネル (HSIO)

### 15.1 特長

シリアル入出力を3チャンネル内蔵 (HSIO0~HSIO2) しています。

#### 15.1.1 動作モード

各チャンネルはモード0からモード3の4つのモードで動作します。

表15-1に各モードのデータフォーマットを示します。

表15-1 データフォーマット

モード	種類	送受信データ長	転送方向	パリティ付加	送信時STOPビット長
モード0	同期通信モード (I/Oインタフェースモード)	8ビット	LSB first or MSB first	×	-
モード1	非同期通信モード (UARTモード)	7ビット	LSB first	○	1 or 2
モード2		8ビット		○	
モード3		9ビット		×	

モード0は同期通信モードで、I/Oを拡張するために使用できます。HSCLKに同期してデータの送受信を行います。HSCLKは入力/出力いずれでも使用できます。

転送方向は、LSB firstとMSB firstから選択可能です。パリティ付加機能はなく、STOPビットも使用しません。

モード1からモード3は非同期通信モードです。転送方向はLSB first固定です。

モード1とモード2は、パリティビットの付加が可能で、モード3はマスタコントローラがシリアルリンク(マルチコントローラシステム)でスレーブコントローラを起動させるためのウェイクアップ機能を有しています。

送信時のSTOPビットを1ビットまたは2ビットから選択できます。受信時のSTOPビット長は1ビット固定です。

これから、同期通信モードをI/Oインタフェースモード、非同期通信モードをUARTモード、または送受信データ長を含めた、7ビットUARTモード/8ビットUARTモード/9ビットUARTモードと呼びます。

15.1.2 データフォーマット

図 15-1 にデータフォーマットを示します。

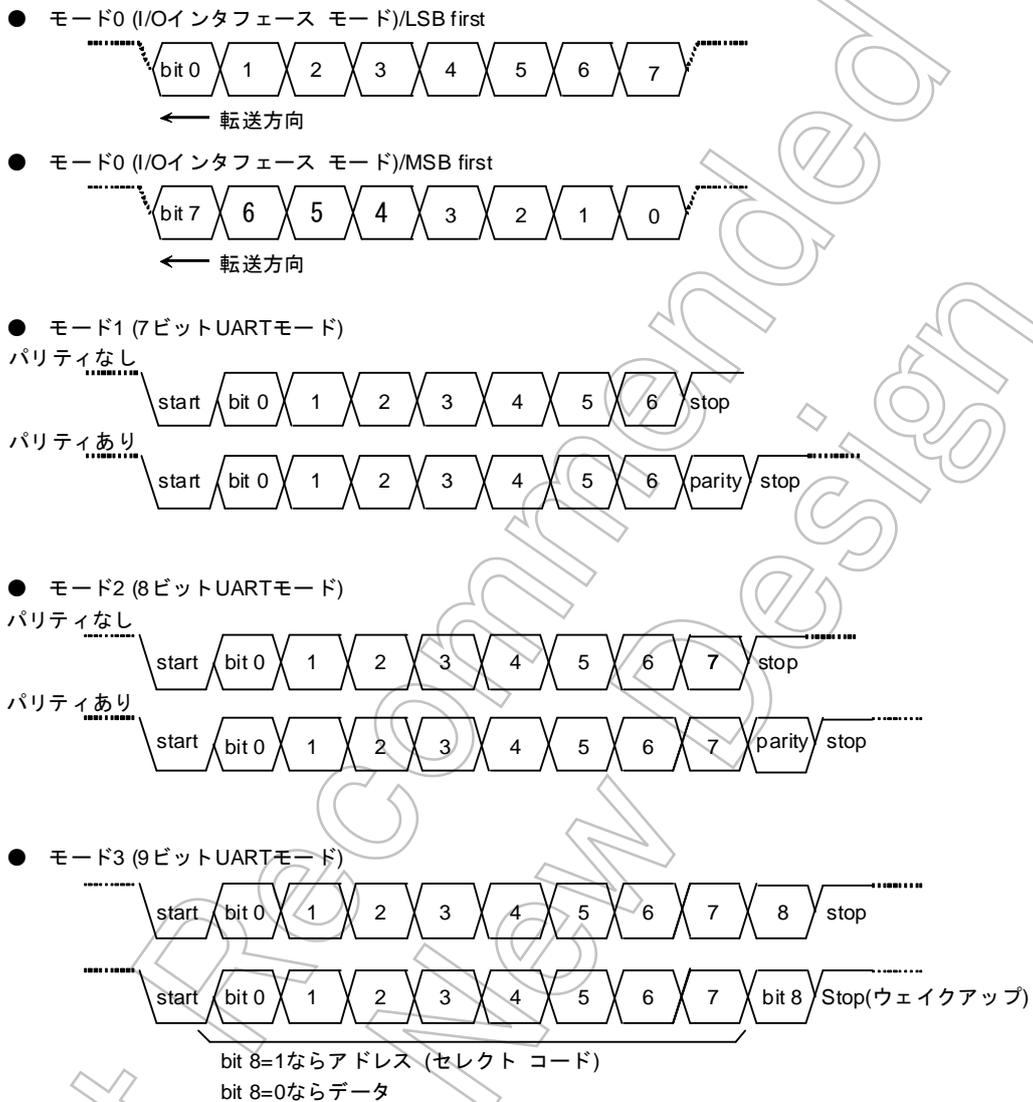


図15-1 データフォーマット

### 15.2 構成

図 15-2 に、HSI00 のブロック図を示します。

各チャネルは同一の構成で、主にシリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。

各チャネルは、それぞれ独立に動作します。

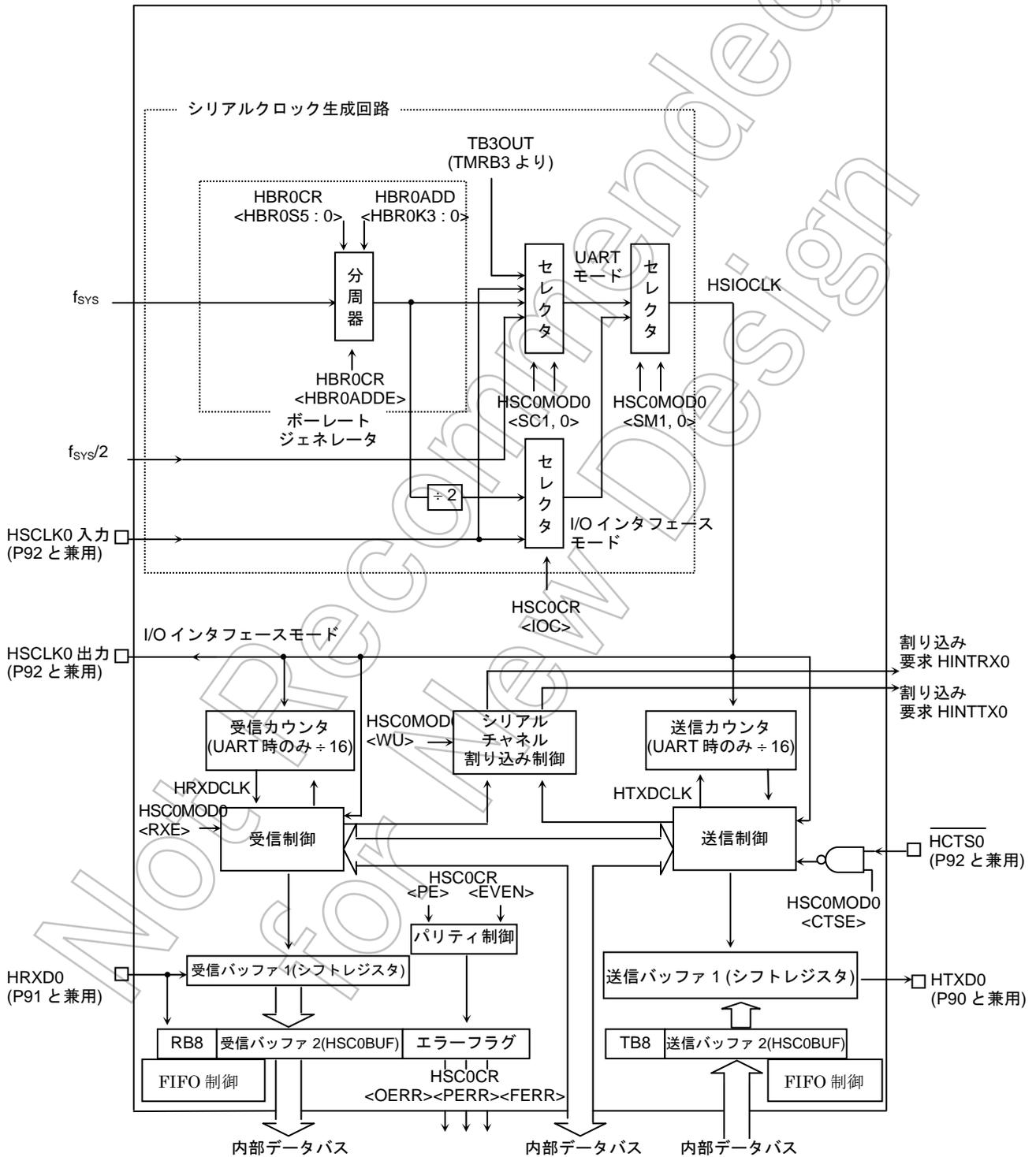


図15-2 HSI00 ブロック図

## 15.3 レジスタ説明

## 15.3.1 チャネル別レジスタ一覧

各チャネルのレジスタとアドレスを示します。

表15-2 レジスタ一覧

		HSIO0		HSIO1		HSIO2	
レジスタ名 (アドレス)	送受信バッファレジスタ	HSC0BUF	0xFF00_1800	HSC1BUF	0xFF00_1810	HSC2BUF	0xFF00_1820
	ポーレートジェネレータ コントロール2	HBROADD	0xFF00_1804	HBR1ADD	0xFF00_1814	HBR2ADD	0xFF00_1824
	モードコントロール レジスタ1	HSCOMOD1	0xFF00_1805	HSC1MOD1	0xFF00_1815	HSC2MOD1	0xFF00_1825
	モードコントロール レジスタ2	HSCOMOD2	0xFF00_1806	HSC1MOD2	0xFF00_1816	HSC2MOD2	0xFF00_1826
	イネーブルレジスタ	HSCOEN	0xFF00_1807	HSC1EN	0xFF00_1817	HSC2EN	0xFF00_1827
	受信 FIFO コンフィグレジスタ	HSCORFC	0xFF00_1808	HSC1RFC	0xFF00_1818	HSC2RFC	0xFF00_1828
	送信 FIFO コンフィグレジスタ	HSCOTFC	0xFF00_1809	HSC1TFC	0xFF00_1819	HSC2TFC	0xFF00_1829
	受信 FIFO ステータスレジスタ	HSCORST	0xFF00_180A	HSC1RST	0xFF00_181A	HSC2RST	0xFF00_182A
	送信 FIFO ステータスレジスタ	HSCOTST	0xFF00_180B	HSC1TST	0xFF00_181B	HSC2TST	0xFF00_182B
	FIFO コンフィグレジスタ	HSC0FCNF	0xFF00_180C	HSC1FCNF	0xFF00_181C	HSC2FCNF	0xFF00_182C
	コントロールレジスタ	HSCOCR	0xFF00_180D	HSC1CR	0xFF00_181D	HSC2CR	0xFF00_182D
	モードコントロール レジスタ0	HSCOMOD0	0xFF00_180E	HSC1MOD0	0xFF00_181E	HSC2MOD0	0xFF00_182E
	ポーレートジェネレータ コントロール	HBROCR	0xFF00_180F	HBR1CR	0xFF00_181F	HBR2CR	0xFF00_182F

## 15.4 回路別の動作説明

各チャンネルは同一の動作をしますので、チャンネル0を例に説明します。

### 15.4.1 ボーレート

ボーレートジェネレータは、シリアルチャンネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは  $f_{sys}$  を用います。

ボーレートジェネレータは、 $1, N + \frac{m}{16}$  ( $N=2\sim 63, m=0\sim 15$ )、64分周が可能な分周器を内蔵しており、ボーレートジェネレータコントロールレジスタ  $HBROCR\langle HBROADDE\rangle\langle HBROS5:0\rangle$ 、 $HBROADD\langle HBROK3:0\rangle$  の設定に従い分周を行い、転送速度を決定します。

- UART モードの場合

- 1)  $HBROCR\langle HBROADDE\rangle=0$  の場合

$HBROADD\langle HBROK3:0\rangle$  の設定は無視され、 $HBROCR\langle HBROS5:0\rangle$  に設定された値 “N” に従い N 分周を行います。 ( $N=1, 2, 3 \dots 64$ )

- 2)  $HBROCR\langle HBROADDE\rangle=1$  の場合

$N + (16 - K) / 16$  分周機能がイネーブルになり  $HBROCR\langle HBROS5:0\rangle$  に設定された値 “N” ( $N=2, 3 \dots 63$ )、 $HBROADD\langle HBROK3:0\rangle$  に設定された値 “K” に従い  $N + (16 - K) / 16$  分周を行います。 ( $K=1, 2, 3 \dots 15$ )

(注)  $N=1$  および  $64$  のときは  $N + (16 - K) / 16$  分周機能は禁止となりますのでかならず  $HBROCR\langle HBROADDE\rangle = “0”$  に設定してください。

- I/O インタフェースモードの場合

I/O インタフェースモード時は  $N + (16 - K) / 16$  分周機能は使用できません。かならず  $HBROCR\langle HBROADDE\rangle = “0”$  に設定して N 分周を行ってください。

- ボーレートジェネレータを使用した場合のボーレートの算出方法

- 1) UART モード

$$\text{ボーレート} = \frac{f_{sys}}{\text{ボーレートジェネレータの分周値}} \div 16$$

ボーレートジェネレータで生成される最高のボーレートは、 $f_{sys}$  が 80 MHz のときの 5 Mbps です。

## 2) I/O インタフェースモード

$$\text{ボーレート} = \frac{f_{\text{sys}}}{\text{ボーレートジェネレータの分周値}} \div 2$$

ボーレートジェネレータで生成される最高のボーレートは、 $f_{\text{sys}}$  が 80 MHz のときで、ダブルバッファを使用する場合は、ボーレートジェネレータの分周値="2" の設定が可能なので、10Mbps になります（ダブルバッファを使用しない場合は、ボーレートジェネレータの分周値="4" のときの、5Mbps が最高になります）。

- ボーレートの設定例

## 1) 整数分周 (N 分周) の場合

ボーレートジェネレータへの入力クロックを  $f_{\text{sys}}$ 、分周値 "N" (HBROCR<HBROS5:0>)=4、HBROCR<HBROADDE>="0" の場合の UART モードのボーレートは、

※ クロック条件

{	システムクロック	: 高速 (fc)
	高速クロックギア	: 1倍 (fc)

$$\begin{aligned} \text{ボーレート} &= \frac{f_{\text{sys}}}{4} \div 16 \\ &= 80 \times 10^6 \div 4 \div 16 = 1250\text{k (bps)} \text{ となります。} \end{aligned}$$

(注) +(16-K)/16 分周機能は禁止に設定されるため HBROADD <HBROK3:0> の設定は無視されます。

## 2) N + (16-K)/16 分周 (UART モードのみ) の場合

ボーレートジェネレータへ  $f_{\text{sys}}$  を、分周値 "N" (HBROCR<HBROS5:0>)=4、"K" (HBROADD<HBROK3:0>)=14、HBROCR<HBROADDE>=1 の場合のボーレートは、

※ クロック条件

{	システムクロック	: 高速 (fc)
	高速クロックギア	: 1倍 (fc)

$$\begin{aligned} \text{ボーレート} &= \frac{f_{\text{sys}}}{4 + \frac{(16-14)}{16}} \div 16 \\ &= 80 \times 10^6 \div \left( 4 + \frac{2}{16} \right) \div 16 = 121.2\text{K (bps)} \text{ となります。} \end{aligned}$$

#### 15.4.2 高速シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/O インターフェースモードの場合

シリアルコントロールレジスタ HSCOCR<IOC>=“0”の HSCLK 出力モードのときは、前記ポーレートジェネレータの出力を2分周して、基本クロックをつくります。

HSCOCR<IOC>=“1”の HSCLK 入力モードのときは、HSCOCR<SCLKS>の設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックを生成します。

- 非同期通信 (UART) モードの場合

シリアルモードコントロールレジスタ HSCOMOD0<SG1:0>の設定により、前記ポーレートジェネレータからのクロックか、システムクロック ( $f_{sys}$ ) か、タイマ (TMRB3) の内部出力信号か、または外部クロック (HSCLK0 端子)のいずれかを選択し、基本クロック HSIOCLK を生成します。

#### 15.4.3 受信カウンタ

受信カウンタは、非同期通信 (UART) モードで用いられる4ビットのバイナリカウンタで、HSIOCLK でカウントアップされます。データ1ビットの受信に HSIOCLK が16クロック用いられ7、8、9発目でデータをサンプリングします。3度のデータサンプリングによる多数決論理により受信データを判断しています。

#### 15.4.4 受信制御部

- I/O インターフェースモードの場合

HSCOCR<IOC>=“0”の HSCLK 出力モードのときは、HSCLK0 端子へ出力されるシフトクロックの立ち上がりで HRXD0 端子をサンプリングします。

HSCOCR<IOC>=“1”の HSCLK 入力モードのときは、HSCOCR<SCLKS>の設定に従って、HSCLK 入力の立ち上がり/立ち下がりエッジでシリアル受信データ HRXD0 端子をサンプリングします。

- 非同期通信 (UART) モードの場合

受信制御部は、スタートビット検出回路を持ち、正常なスタートビットと判断して受信動作を開始します。

#### 15.4.5 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ1 (シフトレジスタ型) に受信データが1ビットずつ格納され、データがそろそろもう一方の受信バッファ2 (HSC0BUF) へ移されます。また、同時に受信バッファの full Flag (HSCOMOD2<RBFLL>) が“1”にセットされ、受信バッファ2に有効データが格納されていることを示します。但し受信FIFOが有効にされている場合、受信データは受信FIFOに移されこのFlagは直ぐにクリアされます。

受信FIFOが有効にされていない場合 (HSC0FCNF<CNFG>=0 且つ HSCOMOD1<FDPX1:0>=01) は同時に割り込み HINTRX0 が発生します。受信FIFOが有効にされている場合 (HSC0FCNF<CNFG>=1 且つ HSCOMOD1<FDPX1:0>=01/11) は HSC0RFC<RIL1:0>の設定に従い割り込みが発生します。

CPUは受信バッファ2 (HSCOBUF) または受信 FIFO (ただし受信バッファに同じ) の方を読み出します。受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full Flag (HSCOMOD2<RBFL>) は“0”にクリアされます。CPUが受信バッファ2 (HSCOBUF) または受信 FIFO を読み出す前でも、次の受信データは受信バッファ1へ格納することができます。

また、IO インターフェースモードで HSCLK 出力に設定されている場合は、ダブルバッファ制御ビット HSCOMOD2<WBUF>の設定により、受信バッファ2 (HSCOBUF) を許可または不許可にできます。

受信バッファ2 (ダブルバッファ) を不許可にして、更に受信 FIFO を有効にしない事 (HSCOF CNF<CNFG>=0 で且つ FDPX1:0=01) により、通信相手とハンドシェイクを取ることが可能となり、1 フレーム転送後に HSCLK 出力を停止します。この設定の場合には、CPUからの読み出し動作は受信バッファ1に対して行われます。読み出し動作が行なわれる事により、HSCLK 出力を再開します。

受信バッファ2 (ダブルバッファ) を許可にした場合で、受信 FIFO が有効にされていない場合は最初の受信データが受信バッファ1から2に移され、次に受信データの受信が終了して、受信バッファ2及び1に有効データが存在した状態になると、HSCLK 出力を停止します。受信バッファ2の読み出しが行なわれると、受信バッファ1のデータが受信バッファ2に移され、受信割り込み HINTRX が発生すると同時に HSCLK 出力を再開します。従って、IO インターフェースモードの HSCLK 出力ではダブルバッファ制御ビット HSCOMOD2<WBUF>の設定に関わらずオーバーランエラーは発生しません。

受信バッファ2 (ダブルバッファ) を許可にした場合で受信 FIFO が有効にされている場合 (HSCOF CNF<CNFG>=1 で且つ HSCOMOD1<FDPX1:0>=01/11) は受信 FIFO が FULL (HSCOF CNF<RFST>の設定に従う) になり、受信バッファ2及び1に有効データが存在した状態になると HSCLK 出力を停止します。またこの状態で HSCOF CNF<RXTXCNT>=1にして

いると HSCLK 出力停止と同時に受信制御 BIT: RXE が自動的にクリアされます。“0”の場合、自動クリアは行なわれません。

**(注) このモードでは、HSCOCR の <OERR> Flag は意味を持ちません。動作定義は不定となります。従って HSCLK 出力モードから、他のモードへ切り替える時は事前に HSCOCR をリードしてこの Flag を初期化してください。**

その他の動作モードでは常に受信バッファ2の動作は有効であり、連続転送時のパフォーマンス向上を可能にしています。受信 FIFO が有効にされていない場合は、受信バッファ1に次のデータが全ビット受信される前に受信バッファ2 (HSCOBUF) を読み出さなければオーバーランエラーとなります。オーバーランエラーが発生した場合、受信バッファ2および HSCOCR <RB8> の内容は保存されていますが、受信バッファ1の内容は失われます。受信 FIFO が有効にされている場合は受信 FIFO が FULL になり、受信バッファ2に次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバーランが発生して受信 FIFO のオーバーランエラーフラグがセットされます。この場合でも受信 FIFO のデータは保存されます。

8 ビット UART パリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは HSCOCR <RB8> に格納されます。

9 ビット UART の場合、ウェイクアップ機能 HSCOMODO<WU> を “1” にすることによって、スレーブコントローラのウェイクアップ動作が可能で、HSCOCR<RB8>= “1” のときのみ、割り込み HINTRX0 が発生します。

#### 15.4.6 受信FIFOバッファ

前記ダブルバッファに加えて、受信 FIFO バッファを用いて、データの格納を行う事ができます。HSCOF CNF レジスタの<CNFG>及び HSCOMOD1 の<FDPX1:0>の設定で最大 32byte の受信バッファを有効にすることが可能で、指定された fill レベルまでのデータが格納できます。受信 FIFO バッファを使用する場合はダブルバッファをイネーブルに設定しておいてください。

また UART モードでパリティビットを含むデータを受信する場合、受信ごとにパリティエラーチェックを行なう必要があります。

#### 15.4.7 受信FIFOの動作

##### ① I/O インターフェースモードで HSCLK 出力の場合

32Byte のデータを半二重受信する場合を例に説明します。

HSIO の転送モードを半二重受信に設定します。

HSCOF CNF <4:0> = 10111 : fill level 到達後の継続受信自動禁止

受信 FIFO の使用 Byte 数は割り込み発生 fill レベルに同じ

HSCORFC <4:0> = 11111 : 割り込み発生を fill level 32 に設定

HSCORFC <7:6> = 01 : 受信 FIFO のクリアと割り込み発生条件の設定

この状態で RXE bit に 1 を書き込むと 32byte のデータ受信を開始します。32Byte 受信後に RXE を自動クリアして受信を終了 (HSCLK を STOP) します。

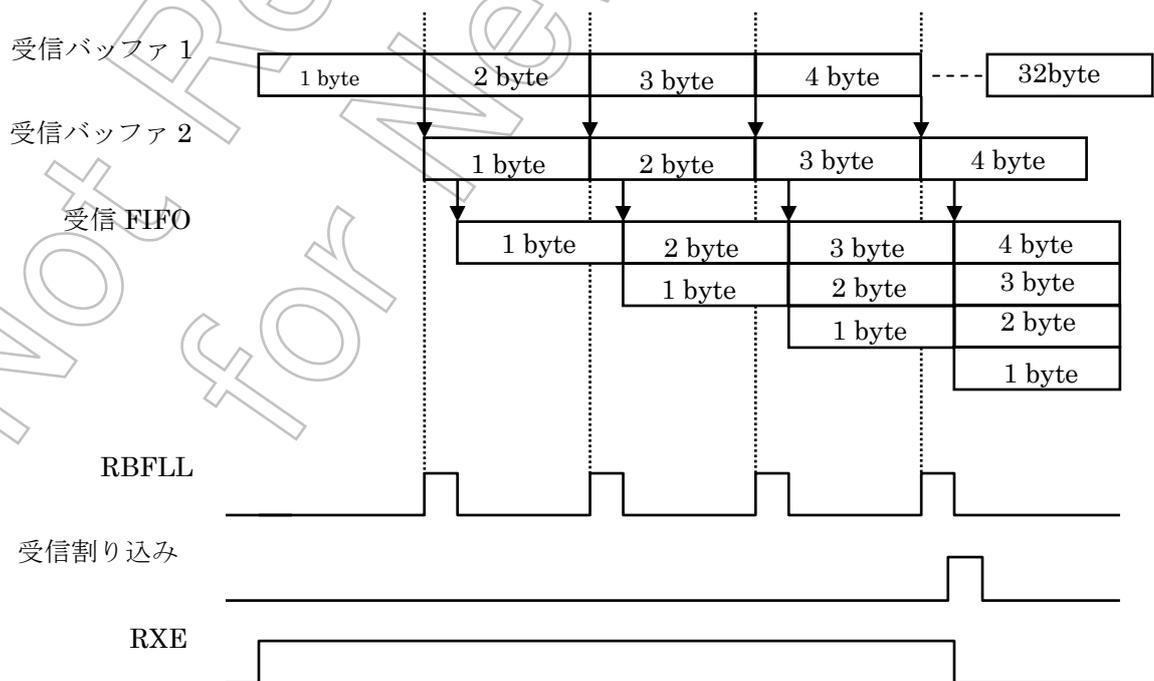


図 15-3 受信 FIFO の動作

- ② I/O インターフェースモードで HSCLK 入力の場合  
32Byte のデータを受信する場合を例に説明します。

HSIO の転送モードを半二重受信に設定します。

HSC0FCNF<4:0> = 10101 : fill level 到達後の継続受信自動許可

受信 FIFO の使用 Byte 数は最大構成

HSCORFC<4:0> = 11111 : 割り込み発生を fill level 32 に設定

HSCORFC<7:6> = 10 : 受信 FIFO のクリアと割り込み発生条件の設定

この状態で RXE bit に 1 を書き込むと入力クロックに応じて 32byte のデータ受信を開始します。32byte 受信後に受信 FIFO 割り込みが発生します。

また、この設定では次の受信に備えることもできます。FIFO 内のデータを読み出すことで、引き続き入力クロックに応じてデータ受信が可能となります。

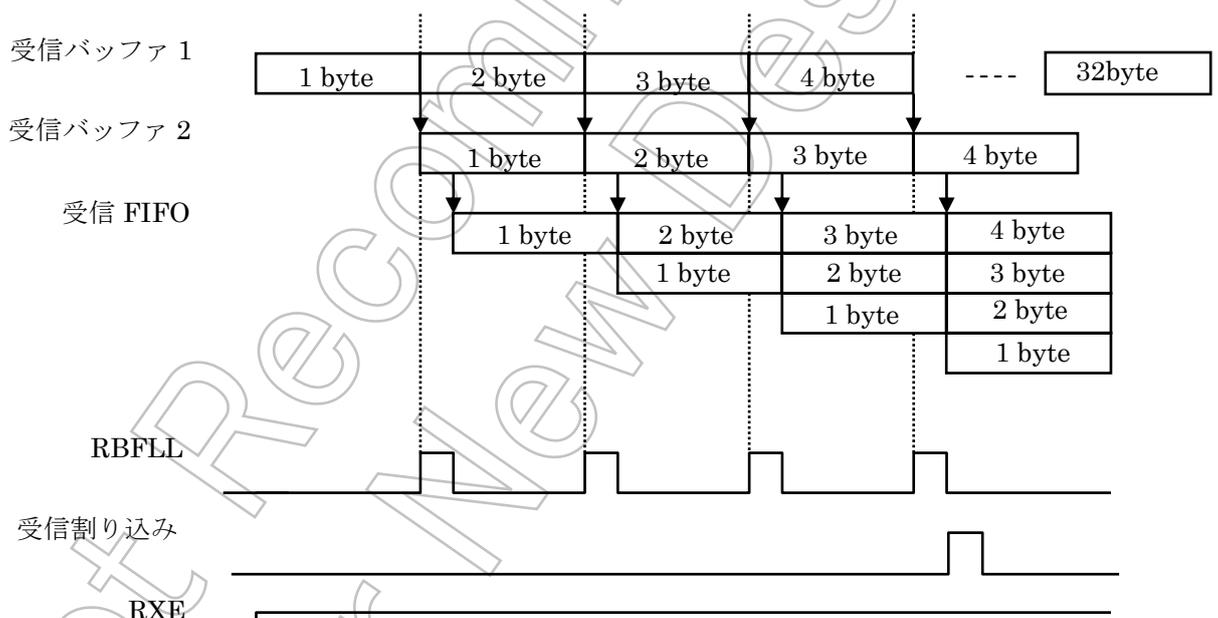


図 15-4 受信 FIFO の動作

#### 15.4.8 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタです。

受信カウンタ同様 HSIOCLK でカウントされ、16 クロックごとに送信クロック (TXDCLK) を生成します。

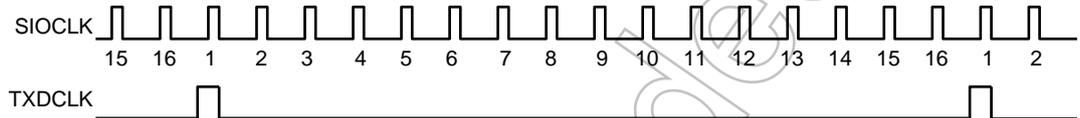


図 15-5 送信クロックの生成

#### 15.4.9 送信制御部

- I/O インターフェースモードの場合

HSCOCR<IOC>= “0” の HSCLK 出力モードのときは、HSCLK0 端子より出力されるシフトクロックの立ち上がりで送信バッファのデータを 1 ビットずつ HTXD0 端子へ出力します。

HSCOCR<IOC>= “1” の HSCLK 入力モードのときは、HSCOCR<SCLKS>の設定に従って HSCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ HTXD0 端子へ出力します。
- 非同期通信 (UART) モードの場合

送信バッファに CPU から送信データが書き込まれると、次の HTXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック (HTXDSFT) をつくります。

ハンドシェイク機能

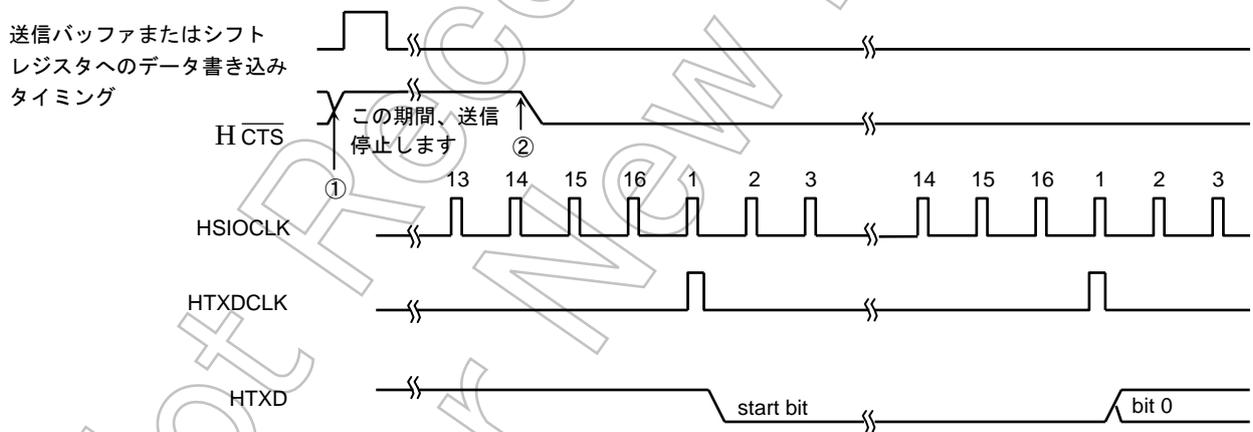
HCTS 端子をもっており、この端子を使用することにより、1 データフォーマット単位での送信が可能となり、オーバーランエラーの発生を防ぐことができます。この機能は HSCOMODO <CTSE> によってイネーブル/ディセーブルできます。

送信は HCTS0 端子が “H” レベルになると、現在送信中のデータを送信完了後、HCTS0 端子が “L” レベルに戻るまで送信を停止します。ただし、HINTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機します。

なお、HRTS 端子はありませんが、受信側にて受信が終了したとき（受信割り込みルーチン内）に HRTS 機能に割り当てた任意の 1 ポートを “H” レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。



図 15-6 ハンドシェイク機能



(注) ① 送信中に HCTS 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。  
 ② HCTS 信号立ち下がり後の最初の HTXDCLK クロックの立ち下がりから送信を開始します。

図 15-7 HCTS (Clear to send) 信号のタイミング

#### 15.4.10 送信バッファ

送信バッファ (HSCOBUF) は 2 重構造になっています。シリアルモードコントロールレジスタ 2 (HSCOMOD2) のダブルバッファ制御ビット<WBUF>の設定により、ダブルバッファの有効/無効を制御できます。ダブルバッファが有効のときは、送信バッファ 2 (HSCOBUF) ヘーデータが書き込まれると、そのデータは送信バッファ 1 (シフトレジスタ) へ移されます。

送信 FIFO が有効にされていない場合 (HSCOFCNF<CNFG>=0 or 1 で且つ<FDPX1:0>=01) は同時に送信割り込み HINTTX0 が発生して、HSCOMOD2 の送信バッファエンピティブラグ<TBEMP>フラグが “1” にセットされます。これは、送信バッファ 2 が空になったことを示し、次の送信データの書き込み可能になります。次の送信データが送信バッファ 2 に書き込まれると<TBEMP>フラグが “0” にクリアされます。

送信 FIFO が有効にされている場合 (HSCNFCNF<CNFG>=1 で且つ<FDPX1:0>=10/11) は送信 FIFO に送信データが存在する場合は直ぐに送信バッファ 2 へ移され、<TBEMP>フラグは直ぐに “0” にクリアされます。CPU は送信 Buffer2 または送信 FIFO ヘーデータを書き込みます。

また I/O インターフェースモードの HSCLK 入力時で送信 FIFO が有効にされていない場合は、送信バッファ 1 のデータの送信が終了して次のフレームのクロックが入力される前に、送信バッファ 2 ヘーデータがセットされないときは、アンダーランエラーになりシリアルコントロールレジスタ (HSCOCR) のパリティ/アンダーランフラグ<PERR>がセットされます。

I/O インターフェースモードの HSCLK 入力時で送信 FIFO が有効にされている場合は 11) は送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に送信 FIFO にデータが存在する場合は送信 FIFO から送信バッファ 2 ヘーデータが移されます。

I/O インターフェースモードの HSCLK 出力時で送信 FIFO が有効にされていない場合は、送信バッファ 2 のデータが送信バッファ 1 に移されて、そのデータの送信が終了すると HSCLK 出力が停止します。従ってアンダーランエラーは発生しません。

I/O インターフェースモードの HSCLK 出力時で送信 FIFO が有効にされている場合は送信 FIFO に有効データが無く、最後の送信バッファ 1 のデータ送信が終了すると HSCLK 出力を停止します。

**注) I/O インタフェース HSCLK 出力モードでは、HSCOCR の<PERR> Flag は意味を持ちません。動作定義は不定となります。従って HSCLK 出力モードから、他のモードへ切り替える時は事前に HSCOCR をリードしてこの Flag を初期化してください。**

ダブルバッファを無効に設定している場合は、送信データの CPU からの書き込みは送信バッファ 1 に対して行われ、送信が終了すると送信割り込み HINTTX0 が発生します。

相手方とハンドシェイクの通信が必要な場合はダブルバッファ制御ビット<WBUF>=” 0” (不許可) に設定して送信バッファ 2 の機能を無効にして、送信 FIFO を構成しないに設定してください。

## 15.4.11 送信FIFOバッファ

前記ダブルバッファに加えて、送信 FIFO バッファを用いて、データの格納を行う事ができます。HSCOF CNF レジスタの HCNFG の設定及び HSCOMOD1<FDPX1:0>で 32byte の送信バッファを有効にする事ができます。UART モード及び I/O インターフェースモードにおいて 32byte までのデータが格納できます。

注) 送信 FIFO バッファ使用時は、HSIO の転送モード設定(半二重/全二重)、FIFO 許可(SCOFCNF<CNFG>="1")の後、必ず送信 FIFO クリアを実行して下さい。

## 15.4.12 送信FIFOの動作

## ① I/O インターフェースモードで HSCLK 出力の場合 (通常モード)

32Byte のデータを送信する場合を例に説明します。

HSIO の転送モードを半二重受信に設定します。

HSCOF CNF<4:0>=01011 : fill level 到達後の継続送信の禁止

HSCOTFC<5:0>=000000 : 割り込み発生時の fill level を 0 に設定

HSCOTFC<7:6>=01 : 送信 FIFO のクリアと割り込み発生条件の設定

この状態で送信 FIFO に 32byte 分の送信データを書き込み、<TXE> BIT を 1 に設定する事によりデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了するとクロック出力を停止して送信を終了します。

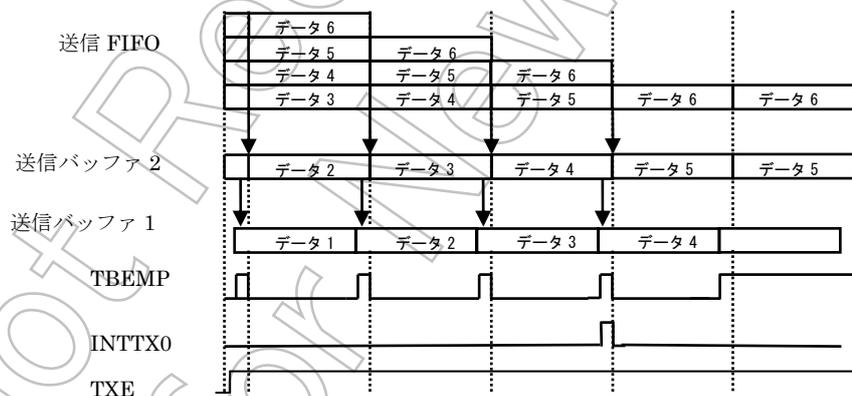


図 15-8 送信 FIFO の動作

- ② I/O インターフェースモードで HSCLK 入力の場合（通常モード）  
32Byte のデータを送信する場合を例に説明します。

HSIO の転送モードを半二重受信に設定します。

HSC0FCNF<4:0>=01001 : fill level 到達後の継続送信の許可

HSC0TFC<5:0>=000000 : 割り込み発生時の fill level を 0 に設定

HSC0TFC<7:6>=11 : 送信 FIFO のクリアと割り込み発生条件の設定

この状態で、送信 FIFO に 32BYTE 分の送信データを書き込み、TXE BIT を 1 に設定する事によりクロック入力に応じてデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生します。

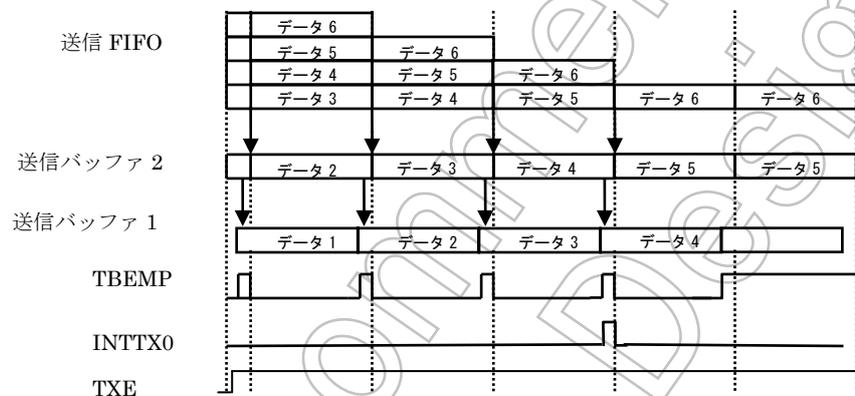


図 15-9 送信 FIFO の動作

#### 15.4.13 パリティ制御回路

シリアルコントロールレジスタ (HSCOCR) のパリティ付加ビット<PE>を“1”にするとパリティ付きの送信を行います。ただし、7ビット UART または 8ビット UART モードのみパリティ付加が可能です。HSCOCR の <EVEN>ビットによって偶数 (奇数) パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ (HSCOBUF) に書き込まれたデータにより自動的にパリティを発生し、7ビット UART モードのときは HSCOBUF ビット 7<TB7> に、8ビット UART モードのときはシリアルモードコントロールレジスタ HSCOMOD0 のビット 7<TB8> にパリティがデータ送信後に格納されます。なお、<PE> と <EVEN> の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信データが受信バッファ 1 にシフトインされ、受信バッファ 2 (HSCOBUF) に移されることによりパリティを自動発生します。7ビット UART モードのときは、HSCOBUF <RB7> と、8ビット UART モードのときは、HSCOCR レジスタのビット 7 <RB8> のパリティと比較され、異なっているとパリティエラーが発生し、HSCOCR レジスタの<PERR> フラグがセットされます。

I/O インターフェースモードの時は HSCOCR<PERR> はパリティフラグではなく、アンダーランエラーフラグの働きになります。

#### 15.4.14 エラーフラグ

受信データの信頼性を上げるために 3 つのエラーフラグが用意されています。

##### 1. オーバランエラー <OERR> : シリアルコントロールレジスタ HSCOCR のビット 4

UART、I/O インターフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了するとエラーが発生して“1”にセットされます。受信 FIFO を有効にしている場合は、受信 FIFO へデータが自動的に移されるので、受信 FIFO が FULL (使用 BYTE 数) になるまではオーバランエラーは発生しません。また、このフラグは読み出すと“0”にクリアされます。但し、I/O インターフェースモードの HSCLK 出力の設定ではオーバランエラーは発生しないために、このフラグは機能せず動作定義は未定です。

##### 2. パリティエラー/アンダーランエラー<PERR> : HSCOCR レジスタのビット 3

UART モード時はパリティエラーが発生すると“1”にセットされます。パリティエラーは受信したデータから生成されたパリティと受信したパリティが異なる場合に発生します。このフラグは読み出すと“0”にクリアされます。

I/O インターフェースモード時はアンダーランエラーを示します。このフラグはシリアルモードコントロールレジスタ (HSCOMOD2) のダブルバッファ制御ビット <WBUF>が“1”に設定されている状態で、HSCLK 入力モード時には、送信シフトレジスタのデータを送信終了し、次回の転送クロックが入力される前に、送信ダブルバッファへデータがセットされない場合に“1”にセットされ、アンダーランエラーが発生したことを示します。送信 FIFO が有効にされている場合は送信 FIFO からデータが移されます。送信 FIFO のデータが空になり、送信ダブルバッファのデータが空になると、アンダーランエラーが発生します。HSCLK 出力モード時は、アンダーランエラーは発生しないために、このフラグは機能せず動作定義は未定となります。送信バッファ 2 が無効の場合はアンダーランエラーフラグ<PERR>はセットされません。また、このフラグは読み出すと“0”にクリアされます。

## 3. フレーミングエラー &lt;FERR&gt; : HSCOCR レジスタのビット 2

UART モード時にフレーミングエラーが発生すると“1”にセットされます。読み出すと“0”にクリアされます。フレーミングエラーは受信データのストップビットを中央付近でサンプリングし、結果が“0”の場合に発生します。シリアルモードコントロールレジスタ 2 (HSCOMOD2) の STOP ビット長設定ビット <SBLLEN> の設定に関わらず、受信時の STOP ビットの判定は 1 ビットのみです。

動作モード	エラーフラグ	機能
UART	OERR	オーバーランエラーフラグ
	PERR	パリティエラーフラグ
	FERR	フレーミングエラーフラグ
IO インタフェース (HSCLK 入力)	OERR	オーバーランエラーフラグ
	PERR	アンダーランエラーフラグ (WBUF=1) 0 固定 (WBUF=0)
	FERR	0 固定
IO インタフェース (HSCLK 出力)	OERR	動作未定義
	PERR	動作未定義
	FERR	0 固定

#### 15.4.15 データ転送方向

シリアルモードコントロールレジスタ 2 (HSCOMOD2) の転送方向設定ビット<DRCHG>の設定により、I/O インターフェースモード時に転送方向を MSB ファースト/LSB ファーストを切り替えることができます。転送動作中の切り替えは行わないでください。

#### 15.4.16 STOP ビットの長さ

HSCOMOD2 レジスタのビット 4<SBLEN>の設定により UART 送信モード時の送信データ中の STOP ビットの長さを 1 ビットまたは 2 ビットに設定できます。

#### 15.4.17 ステータスフラグ

HSCOMOD2 レジスタのビット 6<RBFL>はダブルバッファ有効 (HSCOMOD2<WBUF>="1") 時の受信バッファ full を示すフラグです。1 フレームの受信が終了して、受信データがバッファ 1 からバッファ 2 に移されるとバッファ 2 が full (データが格納されている状態)であることを示すために "1" にセットされます。CPU/DMAC により受信バッファを読み出すと "0" にクリアされます。<WBUF>="0" のときは意味を持ちませんのでステータスフラグとして使用しないでください。HSCOMOD2 レジスタのビット 7<TBEMP>はダブルバッファ有効 (HSCOMOD2<WBUF>="1") 時の送信バッファ 2 が空になったことを示すフラグです。送信バッファ 2 から送信バッファ 1 (シフトレジスタ) へデータが移されると、送信バッファ 2 が空になったことを示すために "1" がセットされます。CPU/DMAC により送信バッファにデータをセットすると "0" にクリアされます。<WBUF>="0" のときは意味を持ちませんのでステータスフラグとして使用しないでください。

#### 15.4.18 送受信バッファの構成

		WBUF = 0	WBUF = 1
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
10 インタフェース (HSCLK 入力)	送信	シングル	ダブル
	受信	ダブル	ダブル
10 インタフェース (HSCLK 出力)	送信	シングル	ダブル
	受信	シングル	ダブル

#### 15.4.19 ソフトリセット

HSCOMOD2 レジスタのビット 1, 0<SWRST1:0>を "10" → "01" と続けてのライトすることによりソフトウェアリセットが発生します。これにより、モードレジスタの HSCOMOD0 <RXE>、HSCOMOD1<TXE>、HSCOMOD2<TBEMP>、<RBFL>、<TXRUN>、コントロールレジスタの HSCOCR<OERR>、<PERR>、<FERR> 及び内部回路が初期化されます。その他の状態は保持されます。

15. 4. 20 各信号発生タイミング

① UART モードの場合

受信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング	第1ストップビットの中央付近	第1ストップビットの中央付近	第1ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティエラー発生タイミング	—	最終ビット (パリティビット) の中央付近	最終ビット (パリティビット) の中央付近
オーバランエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近

送信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング (WBUF = 0)	ストップビット送出の直前	ストップビット送出の直前	ストップビット送出の直前
割り込み発生タイミング (WBUF = 1)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)

② I/O インターフェースモードの場合

受信

割り込み発生タイミング (WBUF = 0)	HSCLK 出力モード	最終 HSCLK の立ち上がり直後
	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (WBUF = 1)	HSCLK 出力モード	最終 HSCLK の立ち上がり直後 (受信バッファ2ヘッダを移した直後) または受信バッファ2からデータを読み出した直後
	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 (受信バッファ2ヘッダを移した直後)
オーバランエラー発生タイミング	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後

送信

割り込み発生タイミング (WBUF = 0)	HSCLK 出力モード	最終 HSCLK の立ち上がり直後
	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (WBUF = 1)	HSCLK 出力モード	最終 HSCLK の立ち上がり直後または送信バッファ1ヘッダを移した直後
	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 または送信バッファ1ヘッダを移した直後
アンダーランエラー発生タイミング	HSCLK 入力モード	次回 HSCLK の立ち下がり直後 (立ち上がりモード)、立ち下がりモードでは立ち上がり直後

注1) 送信、受信 (受信許可の状態) に制御レジスタの変更は行わないでください

注2) 受信動作中に受信動作を停止 (HSCOMOD0<RXE>="0") しないでください

注3) 送信動作中に送信動作を停止 (HSCOMOD1<TXE>="0") しないでください

## 15.5 レジスタ詳細

チャンネル0のレジスタについて説明します。他チャンネルについてもレジスタセットは同様です。

### 15.5.1 イネーブルレジスタ

	7	6	5	4	3	2	1	0	
HSC0EN	bit Symbol								SIOE
	Read/Write								R/W
	リセット後								0
	機能								リードすると“0”が読めます。 HSIO 動作 0:禁止 1:許可

<SIOE>: HSIOの動作を指定します。  
HSIOを使用する場合は、まずHSIO動作許可にしてください。  
動作禁止の状態では、イネーブルレジスタを除くHSIOのすべてのクロックが停止しますので消費電力の低減が可能です。  
HSIOを一旦動作させた後に、動作禁止にした場合は各レジスタの設定は保持されます。

### 15.5.2 バッファレジスタ

	7	6	5	4	3	2	1	0	
HSC0BUF	bit Symbol	TB7/RB7	TB6/RB6	TB5/RB5	TB4/RB4	TB3/RB3	TB2/RB2	TB1/RB1	TB0/RB0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	TB7~0: 送信用バッファ/FIFO RB7~0: 受信用バッファ/FIFO							

バッファレジスタ (HSC0BUF) は、書き込み時は送信バッファ、読み出し時は受信バッファとして機能します。

<TB7:0> 送信用バッファ。(書き込み時のみ)

<RB7:0> 受信用バッファ。(読み出し時のみ)

## 15.5.3 コントロールレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W		R (Readすると“0”クリアされます。)			R/W	
リセット後	0	0	0	0	0	0	0	0
機能	受信データ ビット8 (UART用)	パリティ (UART用) 0: Odd 1: Even	パリティ 付加 (UART用) 0: 禁止 1: 許可	オーバー ラン	パリティ/ アンダー ラン	フレー ミング	0: HSCLK0  1: HSCLK0 	(I/O インタ フェース用) 0: ボーレ ートジェ ネレータ 1: HSCLK0 端子入力

<RB8>: 9ビットUARTモード時の9ビット目の受信データです。

<EVEN>: パリティの条件を設定します。  
“0”で奇数(Odd)パリティ、“1”で偶数(Even)パリティです。  
パリティは、7ビットUARTモード、8ビットUARTモードで使用可能です。

<PE>: パリティ許可/禁止を制御するビットです。  
パリティは、7ビットUARTモード、8ビットUARTモードで使用可能です。

<OERR>: エラーフラグです。(注)

<PERR>: それぞれ、オーバーランエラー、パリティ/アンダーランエラー、フレーミングエラーを示します。

<FERR>:

<SCLKS>: データ送受信で使用する入力クロックエッジを選択します。  
“0”でSCLK0の立ち上がりエッジでの送受信、“1”で立下りエッジでのデータ送受信です。  
クロック出力モード時は、“0”で立ち上がりエッジに設定して下さい。

<IOC>: I/Oインタフェースモード時のクロックを選択します。  
“0”でボーレートジェネレータ、“1”でSCLK0端子入力を選択されます。

**(注) エラーフラグは読み出されるとすべてクリアされます。**

## 15.5.4 モードコントロールレジスタ 0

	7	6	5	4	3	2	1	0
bit Symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
HSCOMOD0 リセット後	0	0	0	0	0	0	0	0
機能	送信データ ビット 8	ハンド シェイク 機能制御 0: CTS ディセー ブル 1: CTS イネー ブル	受信制御 0: 受信禁止 1: 受信許可	ウェイク アップ機能 0: ディセ ーブル 1: イネ ーブル	シリアル転送モード 00: I/O インタフェース モード 01: 7ビット長 UART モード 10: 8ビット長 UART モード 11: 9ビット長 UART モード	シリアル転送クロック (UART 用) 00: タイマ TB30UT 01: ボーレート ジェネレータ 10: 内部クロック $f_{SYS}/2$ 11: 外部クロック (HSCLK0 入力)		

<TB8>: 9ビット UART モード時の9ビット目の送信データをセットします。

<CTSE>: ハンドシェイク機能の制御を行います。  
イネーブルにすると HCTS 端子を用いたハンドシェイク機能が使用可能になります。

<RXE>: 受信制御を行うビットです。(注)  
このビットは、各モードレジスタ (HSCOMOD0, HSCOMOD1, HSCOMOD2) を設定してから許可してください。

<WU>: ウェイクアップ機能の制御を行います。  
9ビット UART モードの場合のみ有効で、その他のモードでは無視されます。

	9ビットUARTモード	その他
0	受信すれば割り込み	
1	受信データ9ビット目が“1”の きのみ割り込み	don't care

<SM1 : 0>: 転送モードを選択します。

<SC1 : 0>: UART モード時の転送クロックを選択します。  
I/O インタフェースモード時の転送クロックは、コントロールレジスタ (HSCOCR) で選択します。

(注) <RXE>= “0” の状態で各モードレジスタ (HSCOMOD0, HSCOMOD1, HSCOMOD2) を設定してから最後に  
<RXE>= “1” にしてください

## 15.5.5 モードコントロールレジスタ 1

	7	6	5	4	3	2	1	0
bit Symbol	I2S0	FDPX1	FDPX0	TXE	SINT2	SINT1	SINT0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	IDLE 0: 停止 1: 動作	転送モード設定 00: 転送禁止 01: 半二重 (受信) 10: 半二重 (送信) 11: 全二重		送信制御 0: 禁止 1: 許可	連続転送時のインターバル時間 (I/O インタフェース用) 000:無し    100:8SCLK 001:1SCLK    101:16SCLK 010:2SCLK    110:32SCLK 011:4SCLK    111:64SCLK		“0”をラ イトして ください	

<I2S0> : IDLE モード時の動作を指定します。

<FDPX1:0> : I/O インタフェースモード時の転送モードを設定します。また FIFO が許可されている場合は FIFO の構成を指定します。  
UART モードの場合は FIFO 構成の指定のみ行われます。

<TXE> : 全転送モードに有効な送信許可ビットです。(注)  
送信中にこのビットが禁止に設定された場合はそのフレームの転送が終了してから、禁止になります。

<SINT2:0> : I/O インタフェースモードで HCLK0 端子入力でない場合のみ有効なビットです。その他のモードでは意味を持ちません。  
I/O インタフェースモードで、ダブルバッファまたは FIFO が許可されている時に連続転送のインターバル時間を指定します。

**(注)** <TXE>ビットは、他のビットを設定した後に許可してください。

15.5.6 モードコントロールレジスタ 2

	7	6	5	4	3	2	1	0
bit Symbol	TBEMP	RBFL	TXRUN	SBLN	DRCHG	WBUF	SWRST1	SWRST0
Read/Write	R				R/W			
HSCOMOD2 リセット後	1	0	0	0	0	0	0	0
機能	送信 buffer empty flag 0: full 1: Empty	受信 Buffer full flag 0: Empty 1: full	送信動作中 flag 0: 停止 1: 動作	STOP ビット (UART 用) 0: 1 ビット 1: 2 ビット	転送方向設定 0: LSB first 1: MSB first	W-buffer の許可 0: 不許可 1: 許可	SOFT RESET “10” → “01” のライトで RESET	

<TBEMP>: ダブルバッファ不許可の場合はこのフラグは意味を持ちません。送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され empty になると “1” になり、送信データが書き込まれると “0” になります。

<RBFL>: ダブルバッファ不許可の場合はこのフラグは意味を持ちません。受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると “1” になり、読み出すと “0” になります。

<TXRUN>: 送信シフト動作中を示すステータスフラグです。  
<TXRUN>と<TBEMP>ビットで以下のような状態を示します。

<TXRUN>	<TBEMP>	状態
1	-	送信動作中
0	1	送信が完全に終了
0	0	送信バッファに次のデータがあり送信待ち

<SBLN>: UART モード時の送信 STOP ビットの長さを指定します。受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。

<DRCHG>: I/O インタフェースモード時の転送方向を指定します。UART モード時は LSB first に設定してください。

<WBUF>: I/O インタフェースモードの送信 (SCLK 出力、入力)、受信 (SCLK 出力)、UART モードの送信時に、送信、受信のダブルバッファの許可/不許可を指定します。  
I/O インタフェースモードの受信 (SCLK 入力) の受信バッファ、UART モードの受信バッファは、設定に関わらずダブルバッファ許可状態となります。

<SWRST1:0>: “10” → “01” の順に書き込むことでソフトウェアリセットが発生します。ソフトウェアリセットにより、以下のビットと内部回路が初期化されます。  
(注 1) (注 2) (注 3)

レジスタ名	ビット
HSCOMOD0	RXE
HSCOMOD1	TXE
HSECOMOD2	TBEMP, RBFL, TXRUN,
HSCOCR	OERR, PERR, FERR

- (注 1) 転送動作中にソフトリセットを実施する場合は 2 回連続して実行してください。
- (注 2) ソフトウェアリセット動作が完了するのに、命令実行後 2 クロックが必要です。ソフトウェアリセット命令実行後、SYNC、NOP 命令を実行することを推奨します。
- (注 3) ソフトウェアリセットを実施した場合、他のビットは初期化されますので、モードレジスタ及びコントロールレジスタの再設定が必要となります。

15.5.7 ポーレートジェネレータコントロールレジスタ

ポーレートジェネレータコントロールレジスタ (HBROCR)

	7	6	5	4	3	2	1	0
bit Symbol		HBROADDE	HBROS5	HBROS4	HBROS3	HBROS2	HBROS1	HBROS0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	“0” をラ イトしてく ださい。	分周値 “N” の設定						
		$N+(16-K)/16$ 分周機能	000000 : N=64					
		0: ディセー ブル	000001 : N=1					
		1: イネー ブル	000010 : N=2					
			111111 : N=63					

ポーレートジェネレータコントロールレジスタ2 (HBROADD)

	7	6	5	4	3	2	1	0
bit Symbol					HBROK3	HBROK2	HBROK1	HBROK0
Read/Write	R				R/W			
リセット後	0	0	0	0	0	0	0	0
機能	リードすると “0” が読めます。				N + (16 - K) / 16 分周の K 値の設定			
					0000 : 設定禁止			
					0001 : K=1			
					0010 : K=2			
					:			
					1111 : K=15			

<HBROADDE>:  $N+(16-K)/16$  分周機能の設定を行うビットです。  
この機能は、UART モードのときのみ使用可能です。

<HBROS5:0>: 分周値 “N” を設定するビットです。

<HBROK3:0>:  $N+(16-K)/16$  分周の “K” 値を設定するビットです。

ポーレートジェネレータの分周値は、上記の2つのレジスタで設定します。  
ポーレートジェネレータ分周値の設定方法を表 15-3 にまとめます。

表 15-3 分周値の設定方法

	HBROADDE=0 のとき	HBROADDE=1 のとき (注1) (UART モードのみ使用可能)
HBROS の設定	分周値 “N” を設定 (注2) (注3)	
HBROK の設定	設定不要	“K” 値を設定 (注4)
分周値	N 分周	$N + \frac{(16-K)}{16}$ 分周

- (注1)  $N+(16-K)/16$ 分周機能を使用する場合、必ずHBROKに “K” 値を設定後にHBROADDE= “1” を設定してください。この機能は、UARTモードのときのみ使用可能です。I/O インタフェースでは、ポーレートジェネレータ分周値の “1” 分周は使用しないで下さい。
- (注2) 分周値 “N” に1分周 (“000001”) を設定できるのは、以下の場合のみです。  
・ UART モードでは、 $N+(16-K)/16$  分周機能を使用しない場合。
- (注3)  $N+(16-K)/16$  分周機能を使用する場合、分周値 “N” に1分周 (“000001”) と 64 分周 (“000000”) は設定できません。
- (注4) “K” 値に “0” を設定することはできません。

## 15.5.8 FIFOコンフィグレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	Reserved	Reserved	Reserved	RFST	TFIE	RFIE	RXTXCNT	CNFG
Read/Write	R/W							
HSC0FCNF リセット後	0	0	0	0	0	0	0	0
機能	必ず “000” をライトしてください			受信 FIFO 使用 Byte 数 0:最大 1:受信 FIFO の FILL レベルに同じ	送信 FIFO 使用時の送信割り込み許可 0:禁止 1:許可	受信 FIFO 使用時の受信割り込み許可 0:禁止 1:許可	RXE/TXE の自動禁止 0:無し 1:自動禁止	FIFO の許可 0:禁止 1:許可

<RFST>: 受信 FIFO 使用 byte 数の設定ビットです。(注)  
 “0” の場合、構成されている FIFO の最大の byte 数が使用可能です。  
 (<CNFG>ビットの説明を参照してください)  
 “1” の場合、受信 FIFO コンフィグレジスタ HSCORFC<RIL1:0>で指定された FILL レベルの byte 数になります。

<TFIE>: 送信 FIFO が有効にされている時の送信割り込みの許可／不許可を切り替えます。

<RFIE>: 受信 FIFO が有効にされている時の受信割り込みの許可／不許可を切り替えます。

<RXTXCNT>: 送信/受信の自動禁止機能の制御ビットです。  
 “1” に設定した場合、設定された通信方式により以下のように動作します。  
 (通信方式はモードコントロールレジスタ 1 HSCOMOD1<FDPX1:0>で設定します。)

半二重受信 受信 FIFO に指定された有効 byte 数分のデータが格納されると自動的に受信許可ビット (HSCOMOD0<RXE>) が “0” となり、受信が禁止される。

半二重送信 送信 FIFO が Empty になると自動的に送信許可ビット (HSCOMOD1<TXE>) が “0” となり、送信が禁止される。

全二重 上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット、受信許可ビットとも “0” となり、送受信が禁止される。

<CNFG>: FIFO 使用の許可ビットです。  
 “1” に設定すると FIFO が使用可能となります。設定された通信方式により FIFO の構成は以下のようになります。  
 (通信方式はモードコントロールレジスタ 1 HSCOMOD1<FDPX1:0>で設定します。)

半二重受信 受信 FIFO 32byte

半二重送信 送信 FIFO 32byte

全二重 受信 FIFO 16byte+送信 FIFO 16byte

(注) 送信 FIFO は常に構成されている FIFO の最大 BYTE 数を使用できます。  
 使用 BYTE 数は送信 FIFO に書き込んだ BYTE 数になります。

15.5.9 受信FIFOコンフィグレジスタ

		7	6	5	4	3	2	1	0
HSCORFC	bit Symbol	RFCS	RFIS		RIL4	RIL3	RIL2	RIL1	RIL0
	Read/Write	W	R/W	R	R/W				
	リセット後	0	0	0	0	0	0	0	0
	機能	受信 FIFO クリア 1:クリア リードすると常に“0”が読めます	割り込み発生条件選択 0:fill レベル到達 1:fill レベル到達および新規データ読み出し時に fill レベルを超えている。	リードすると“0”が読めます。	受信割り込みが発生する FIFO の fill レベル 0_0000:32byte 0_0001:1byte    0_0010:2byte ~ 1_1101:29byte    1_1110:30byte    1_1111:31byte				

- <RFCS>: 受信 FIFO クリアビットです。  
“1”を書き込むと受信 FIFO がクリアされます。リードすると“0”が読めます。
- <RFIS>: 割り込み発生条件を選択します。  
“0”で fill レベル到達時に割り込み発生、“1”で fill レベル到達時および、新規データ読み出し時に fill レベルを超えている場合に割り込みが発生します。
- <RIL4:0>: FIFO の fill レベルを選択します。

Not Recommended for New Design

## 15.5.10 送信FIFOコンフィグレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	TFCS	TFIS	TIL5	TIL4	TIL3	TIL2	TIL1	TIL0
Read/Write	W	R/W	R/W					
リセット後	0	0	0	0	0	0	0	0
機能	送信 FIFO クリア 1:クリア リードすると常に “0”が読めます	割り込み発生条件 選択 0:fill レベル到達 1:fill レベル到達 および新規データ 書き込み時に fill レベルに達してい ない。	送信割り込みが発生する FIFO の fill レベル 00_0000:Empty 00_0001:1byte 00_0010:2byte ~ 01_1101:29byte 0_1110:30byte 01_1111:31byte 10_0000:32byte					

<TFCS>: 送信 FIFO クリアビットです。  
“1”を書き込むと送信 FIFO がクリアされます。リードすると“0”が読めます。

<TFIS>: 割り込み発生条件を選択します。  
“0”で fill レベル到達時に割り込み発生、“1”で fill レベル到達時および、新規データ書き込み時に fill レベルに達していない場合に割り込みが発生します。

<TIL5:0>: FIFO の fill レベルを選択します。(注)

(注) 半二重送信、全二重で FIFO 使用時の送信 FIFO クリアは、SIO の転送モードを設定し、FIFO 許可にした後に行ってください。

## 15.5.11 受信FIFOステータスレジスタ

		7	6	5	4	3	2	1	0
HSCORST	bit Symbol	ROR		RLVL5	RLVL4	RLVL3	RLVL2	RLVL1	RLVL0
	Read/Write	R		R					
	リセット後	0		0	0	0	0	0	0
	機能	受信 FIFO Overrun 1:発生	リードすると“0”が読めません。	受信 FIFO の fill レベルのステータス 00_0000:32byte 00_0001:1byte    00_0010:2byte ~ 01_1101:29byte    01_1110:30byte    01_1111:31byte					

<ROR>: 受信 FIFO のオーバーランフラグです。  
オーバーランが発生すると“1”にセットされます。(注)

<RLVL5:0>: 受信 FIFO の fill レベルを示すビットです。

(注) <ROR>ビットはバッファレジスタ (HSC0BUF) を読み出すと“0”にクリアされます。

## 15.5.12 送信FIFOステータスレジスタ

		7	6	5	4	3	2	1	0
HSC0TST	bit Symbol	TUR		TLVL5	TLVL4	TLVL3	TLVL2	TLVL1	TLVL0
	Read/Write	R		R					
	リセット後	1		0	0	0	0	0	0
	機能	送信 FIFO Under run 1:発生 FIFO ライトでクリア	リードすると“0”が読めません。	送信 FIFO の fill レベルのステータス 00_0000:Empty 00_0001:1byte    00_0010:2byte ~ 01_1101:29byte    01_1110:30byte    01_1111:31byte 10_0000:32byte					

<TUR>: 送信 FIFO のアンダーランフラグです。  
アンダーランが発生すると“1”にセットされます。(注)

<TLVL5:0>: 送信 FIFO の fill レベルを示すビットです。

(注) <TUR>ビットはバッファレジスタ (HSC0BUF) を読み出すと“0”にクリアされます。

## 15.6 モード別動作説明

## モード0 (I/Oインターフェースモード)

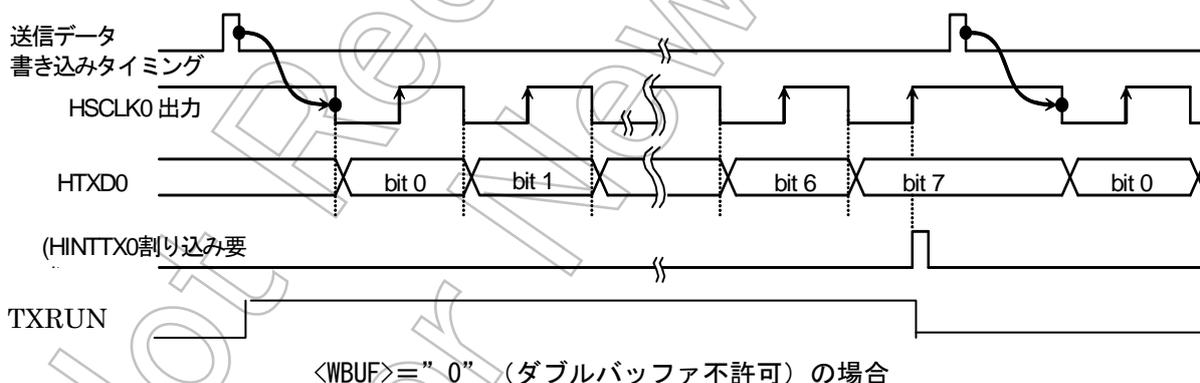
このモードには、同期クロック HSCLK を出力する HSCLK 出力モードと、外部より同期クロック HSCLK を入力する HSCLK 入力モードがあります。以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作及び送信 FIFO 動作の章を参照してください。

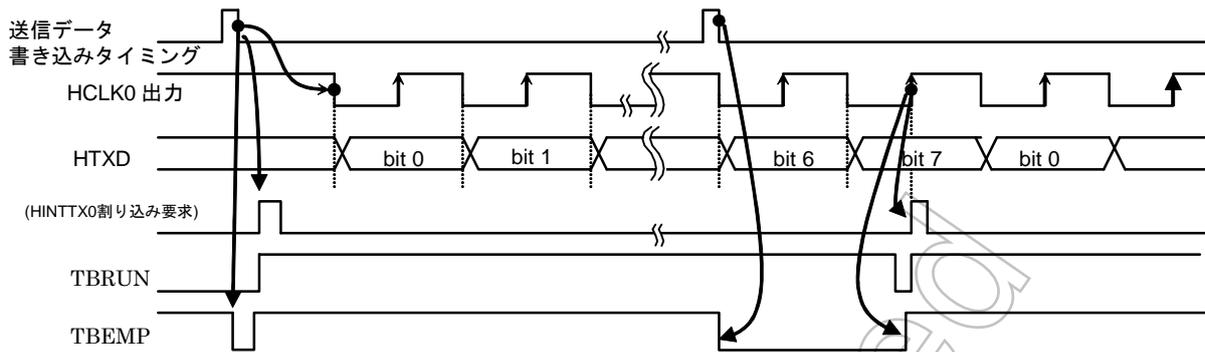
## ① 送信

HSCLK 出力モード

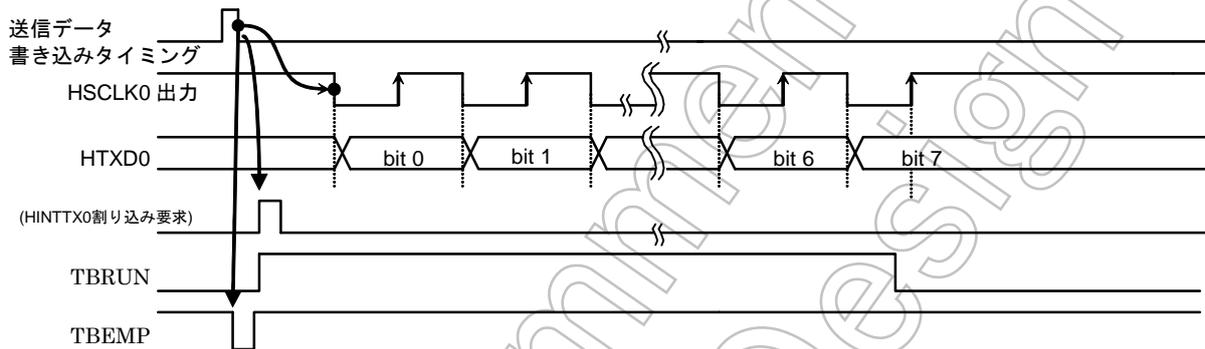
HSCLK 出力モードでは  $\text{HSCOMOD2}\langle\text{WBUF}\rangle = "0"$  で送信ダブルバッファが不許可の場合、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが HXD0 端子、同期クロックが HSCLK0 端子より出力されます。データがすべて出力されると割り込み (HINTTX0) が発生します。

$\text{HSCOMOD2}\langle\text{WBUF}\rangle = "1"$  で送信ダブルバッファが許可されている場合は、送信が停止している状態で CPU が送信バッファ 2 にデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送出が終了したときに送信バッファ 2 より、送信バッファ 1 にデータが移されます。これと同時に送信バッファ empty フラグ  $\text{HSCOMOD2}\langle\text{TBEMP}\rangle$  が "1" にセットされます。同時に、割り込み (HINTTX0) が発生します。このときに送信バッファ 2 に送信バッファ 1 へ移すデータが存在しない場合は、割り込み (HINTTX0) を発生せず、HSCLK0 出力も停止します。





<WBUF>="1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがある場合)



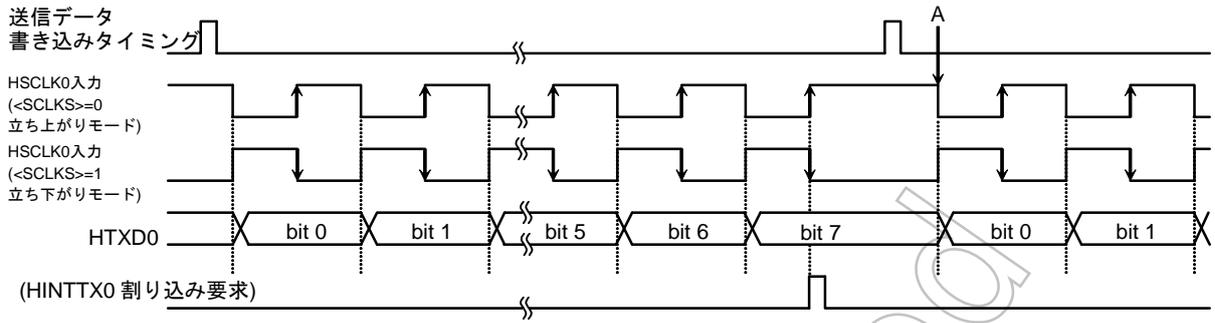
<WBUF>="1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがない場合)

図 15-10 I/O インターフェースモード送信動作 (HSCLK0 出力モード)

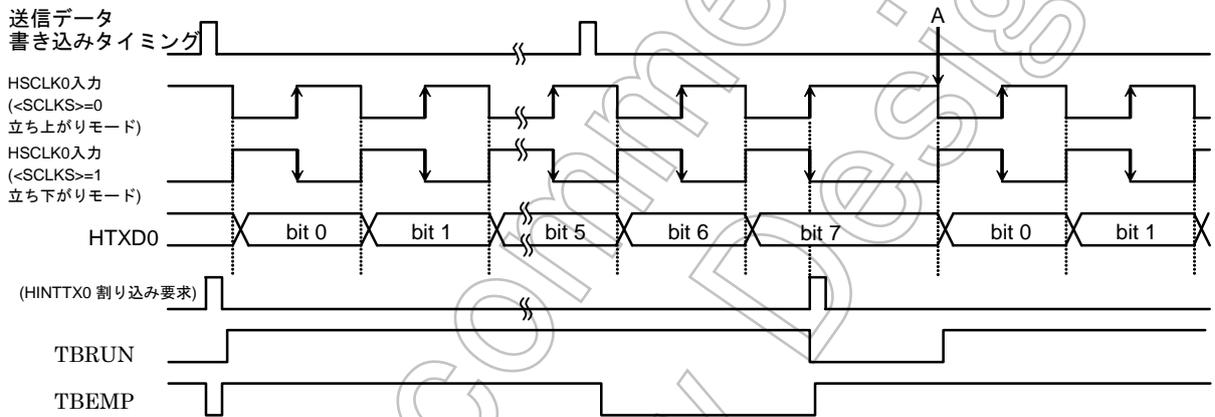
**HSCLK 入力モード**

HSCLK 入力モードでは、HSCOMOD2<WBUF>="0" で送信ダブルバッファが不許可の場合は、送信バッファにデータが書き込まれている状態で HSCLK0 入力アクティブになると、8 ビットのデータが HTXD0 端子より出力されます。データがすべて出力されると割り込み HINTTX0 が発生します。次の送信データは A 点までに書き込んでください

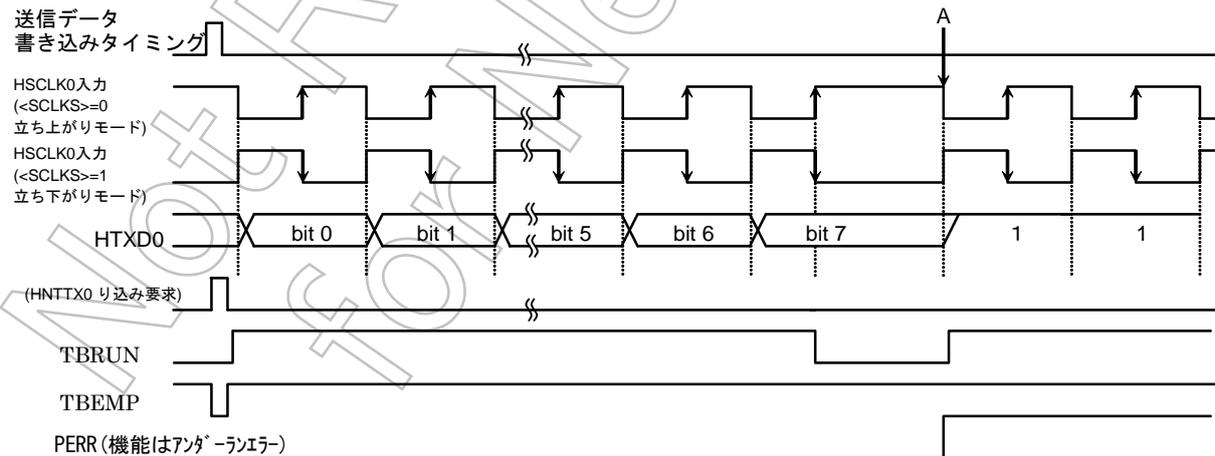
HSCOMOD2<WBUF>="1" で送信ダブルバッファが許可されている場合は、HSCLK0 入力アクティブになる前に送信バッファにデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送出が終了したときに送信バッファ 2 のデータが送信バッファ 1 へ移されます。これと同時に送信バッファ empty フラグ HSCOMOD2<TBEMP>が "1" にセットされ、割り込み (HINTTX0) が発生します。送信バッファ 2 にデータが書き込まれていない状態で、HSCLK0 入力アクティブになった場合は、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、8 ビット分のダミーデータ (FFh) を送出します。



<WBUF>=" 0" (ダブルバッファ不許可) の場合



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがある場合)



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがない場合)

図 15-11 I/O インターフェースモード送信動作 (HCLK0 入力モード)

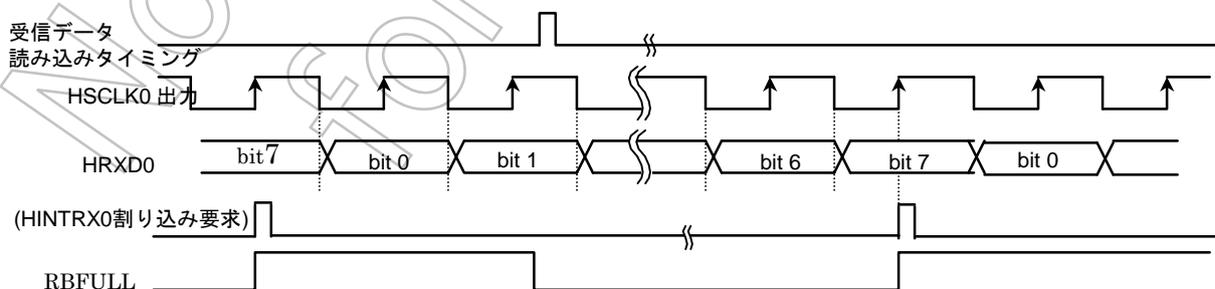
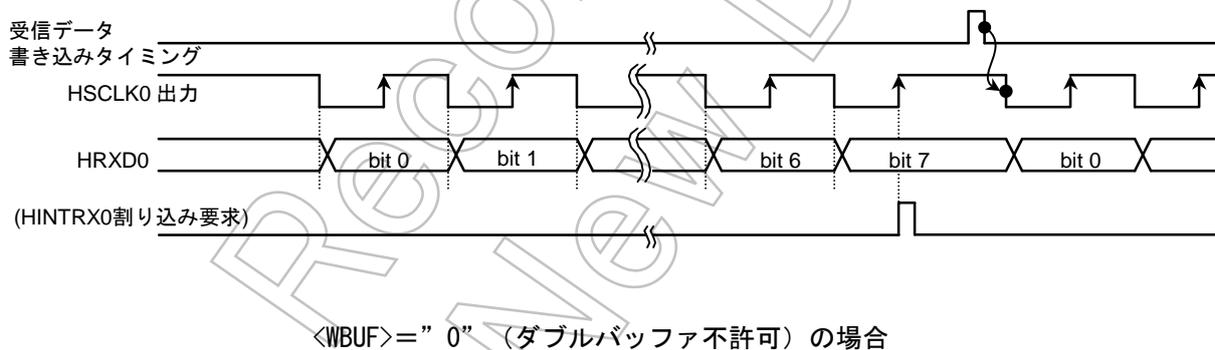
## ② 受信

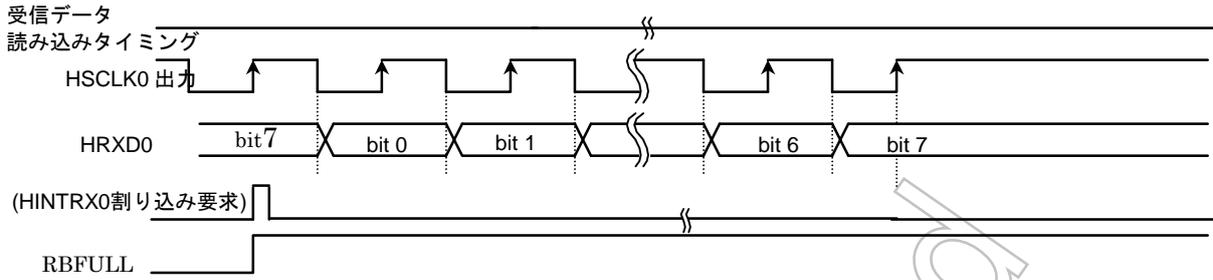
## HSCLK 出力モード

HSCLK 出力モードでは  $HSCOMOD2\langle WBUF \rangle = "0"$  で受信ダブルバッファが不許可の場合は、受信データが CPU に読み取られるたびに、HSCLK0 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、割り込み HINTRX0 が発生します。

最初の HSCLK 出力の開始は、受信許可ビット  $HSCOMOD0\langle RXE \rangle$  を “1” にセットすることで行います。また、 $HSCOMOD2\langle WBUF \rangle = "1"$  で受信ダブルバッファが許可の場合は、最初に受信したフレームは受信バッファ 2 に移され、続けて次のフレームを受信バッファ 1 で受信します。受信バッファ 1 から受信バッファ 2 にデータが移されると、受信バッファ full フラグ  $HSCOMOD2\langle RBFULL \rangle$  が “1” にセットされ、割り込み HINTRX0 が発生します。

受信バッファ 2 にデータが移された状態で 8 ビット分のデータを受信完了する前に、CPU/DMAC で受信バッファ 2 のデータを読み出されない場合は、割り込み HINTRX0 が発生せず、HSCLK0 出力も停止します。この状態で受信バッファ 2 のデータを読み出すと、受信バッファ 1 のデータを受信バッファ 2 に移し、割り込み HINTRX0 を発生して受信を再開します。





<WBUF>="1" (ダブルバッファ許可) の場合 (バッファ 2 のデータを読み出されない場合)

図 15-12 I/O インターフェースモード受信動作 (HSCLK0 出力モード)

**HSCLK 入力モード**

HSCLK 入力モードでは常に受信ダブルバッファが許可されており、受信したフレームは受信バッファ 2 に移され、受信バッファ 1 で連続して次のフレームを受信することができます。

受信データが受信バッファ 2 へ移されるごとに受信割り込み HINTRX0 が発生します。

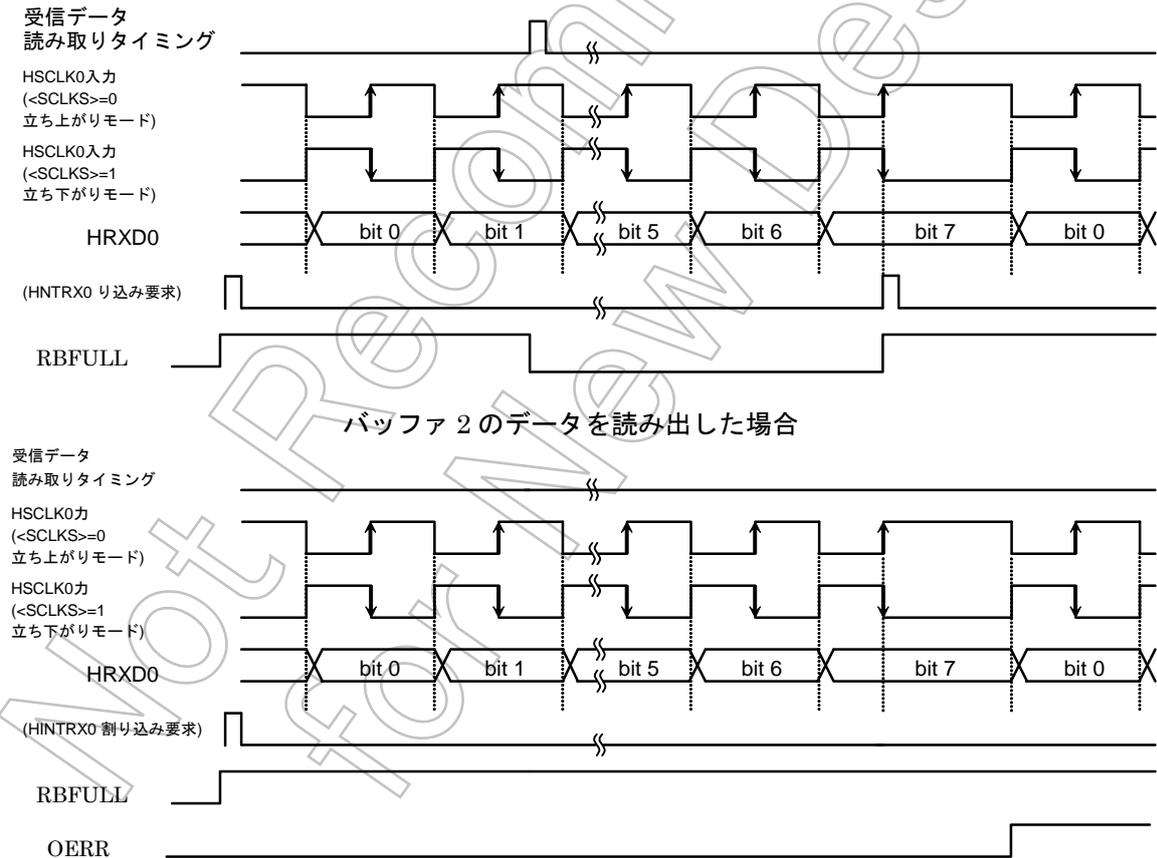


図 15-13 I/O インターフェースモード受信動作 (HSCLK0 入力モード)

(注) 受信動作を行う場合には HSCLK 入/出力のどちらのモードでも、受信イネーブル状態 (HSCOMODO <RXE> = 1) にしておく必要があります。

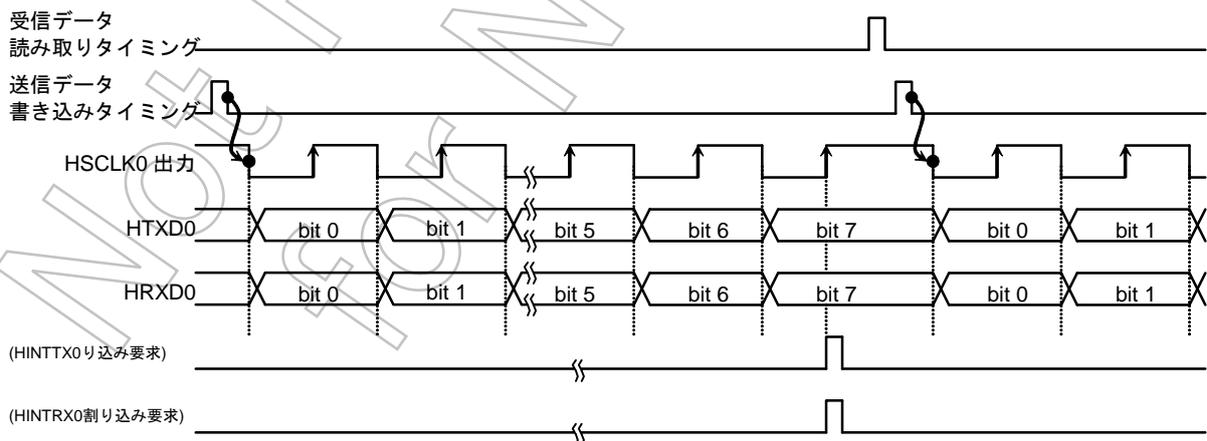
③ 送受信 (全二重)

シリアルモードコントロールレジスタ 1 HSCOMOD1<FDPX0:1>に“11”をセットすることにより全二重モードでの通信が可能になります。

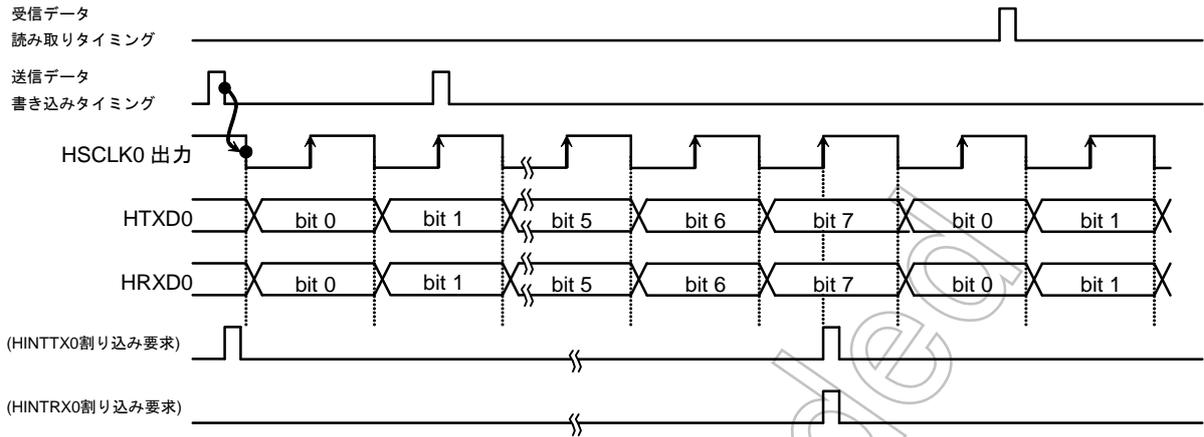
HSCLK 出力モード

HSCLK 出力モードでは HSCOMOD2<WBUF>=” 0” で送受信共にダブルバッファが不許可の場合は、CPU が送信バッファにデータを書き込むと HSCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされ、受信割り込み (HINTRX0) が発生します。それと平行して送信バッファに書き込まれた 8 ビットデータが、HTXD0 端子より出力され、全てのデータが送信されると送信割り込み (HINTTX0) が発生します。この状態で HSCLK の出力は停止します。この状態で CPU が受信バッファを読み出し、送信バッファへデータを書き込むと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

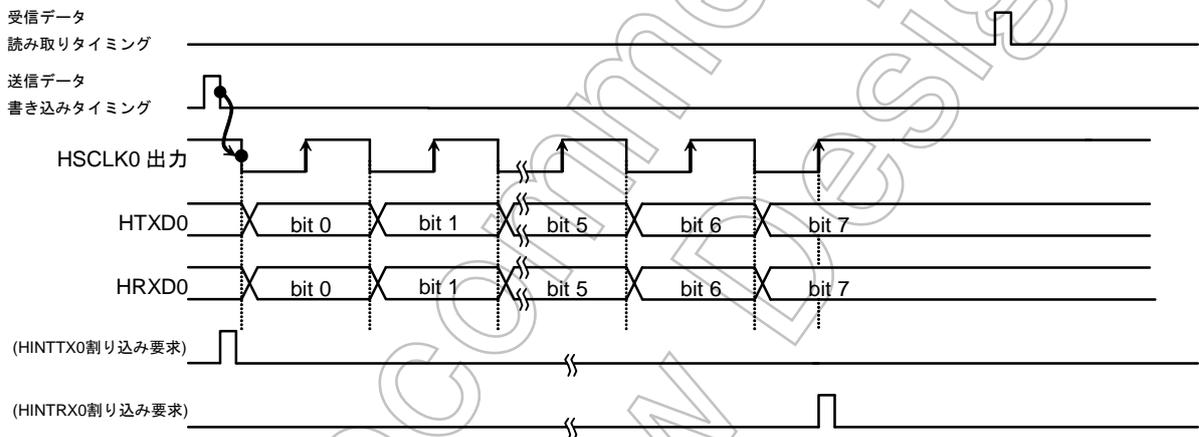
HSCOMOD2<WBUF>=” 1” で送受信共にダブルバッファが許可されている場合は、CPU が送信バッファにデータを書き込むと HSCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされると、データは受信バッファ 2 に移され割り込み (HINTRX0) が発生します。8 ビットデータの受信と平行して 8 ビットデータが HTXD0 端子より出力されます。データがすべて出力されると割り込み (HINTTX0) が発生して次のデータが送信バッファ 2 から送信バッファ 1 移されます。この時に、送信バッファ 2 に移すデータが存在しない (HSCOMOD2<TBEMP>=” 1” ) または受信バッファ 2 にデータが存在している (HSCOMOD2<RBFULL>=” 1” ) 場合は HSCLK 出力が停止します。その後は受信データの読み出しと、送信データ書き込みの両方の条件が成立すると再度 HSCLK の出力が開始されて次の送受信が始まります。



$\langle WBUF \rangle = 0$  (ダブルバッファ不許可) の場合



<WBUF>=" 1" (ダブルバッファ許可) の場合



<WBUF>=" 0" (ダブルバッファ許可) の場合

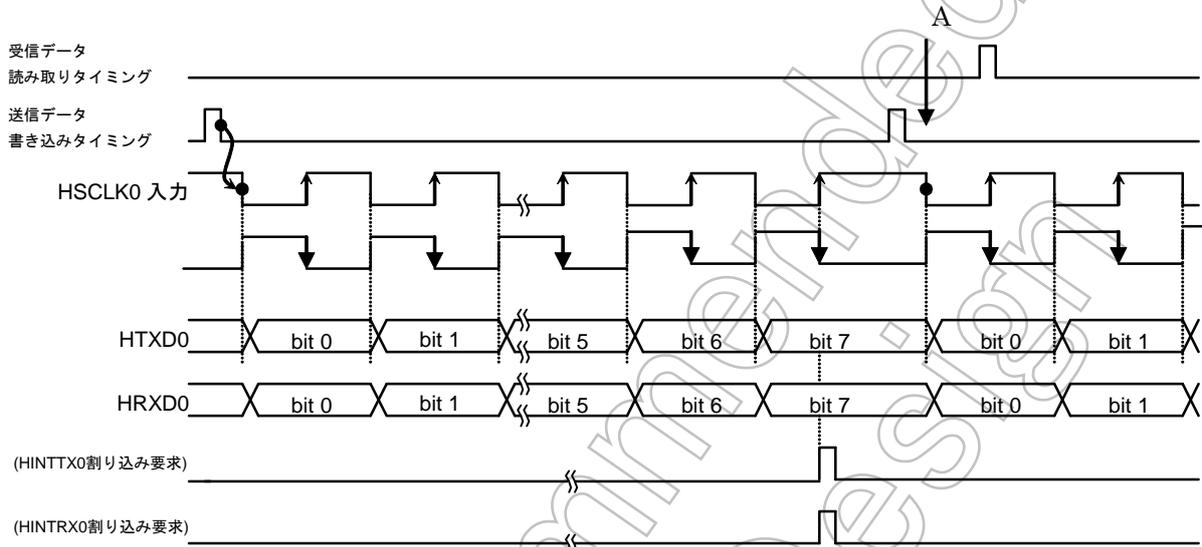
図 15-14 I/Oインターフェースモード送受信動作 (HSCLK0 出力モード)

HSCLK 入力モード

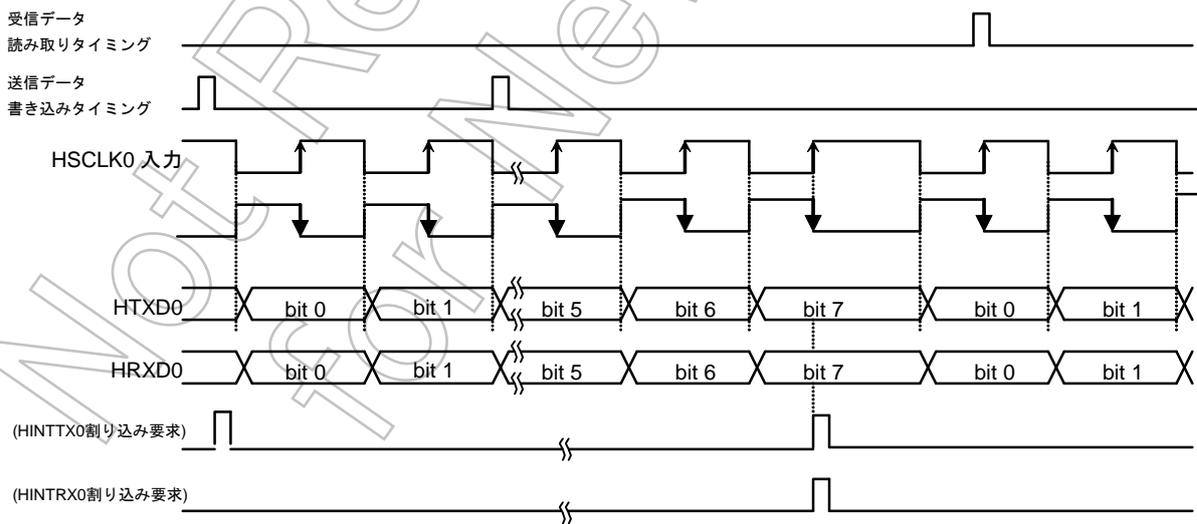
HSCLK 入力モードでは HSCOMOD2<WBUF>=" 0" で送信ダブルバッファが不許可 (受信は設定に関わらずダブルバッファ有効) の場合は、送信バッファにデータが書き込まれている状態で HSCLK 入力が入力されると、8 ビットのデータが HTXD0 より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。データの送信が終了すると割り込み (HINTTX0) が、受信が終了すると受信バッファ 1 から受信バッファ 2 へデータが移されると同時に割り込み (HINTRX0) が発生します。次のフレームの HSCLK が入力される前に送信データを送信バッファへ書き込む様にしてください (A 点までに書き込んでください)。受信データに関してはダブルバッファが有効になっている為に次のフレームの受信が終了する前に読み出してください。

HSCOMOD2<WBUF>=" 1" で送受信共にダブルバッファが許可されている場合は、送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に割り込み (HINTRX0) が発生します。また並行して受信した 8 ビットデータのバッファ 1 へのシフトインが終了すると、そのデータは受信バッファ 2 へ移され、割り込み (HINTRX0) が発生します。続けて次のフレームの HSCLK が入

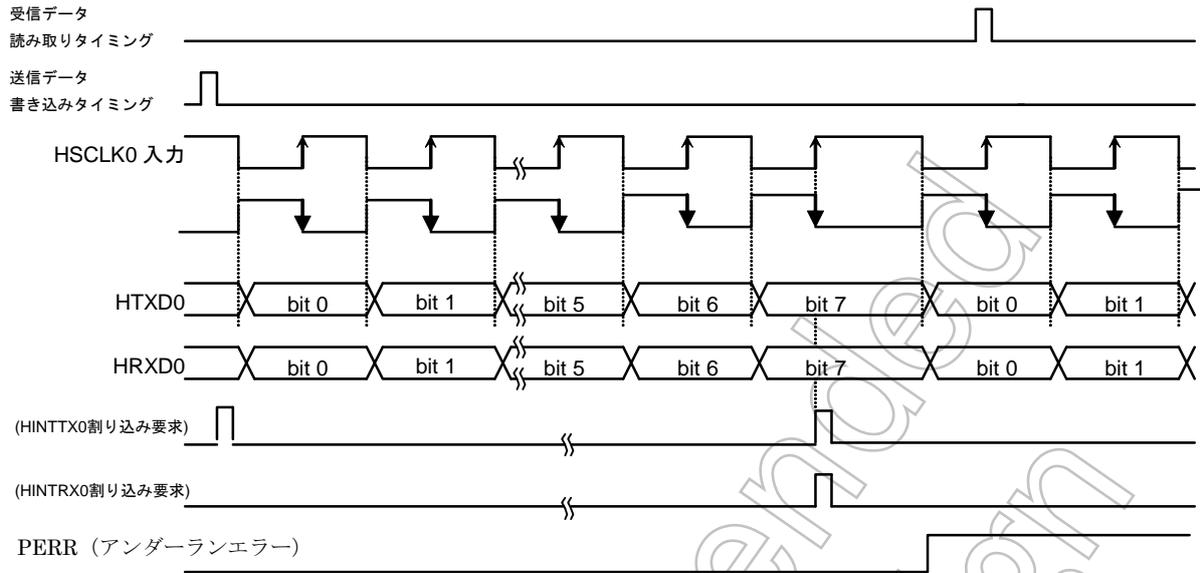
力されると、送信バッファ 2 から送信バッファ 1 へ移されたデータの送信が始まり、平行して受信バッファ 1 でのデータ受信が行なわれます。また、フレームの最終ビットの受信までに受信バッファ 2 のデータが読み出されていない場合はオーバーランエラーが発生します。また、次のフレームの HSCLK 入力までに送信バッファ 2 へ転送データが書き込まれていない場合はアンダーランエラーが発生します。



<WBUF> = " 0" (ダブルバッファ不許可) の場合



<WBUF> = " 1" (ダブルバッファ許可)、の場合 (エラー無し)



<WBUF>="1" (ダブルバッファ許可)、の場合 (エラー発生)

図 15-15 I/O インターフェースモード送受信動作 (HSCLK0 入力モード)

### モード1 (7ビットUARTモード)

シリアルモードコントロールレジスタ (HSCOMODO <SM1, 0>) を 01 にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (HSCOCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。<PE>= “1” (イネーブル) のときは、HSCOCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは HSCOMOD2<SBLEN>で指定することができます。

### モード2 (8ビットUARTモード)

HSCOMODO <SM1 : 0> を 10 にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で HSCOCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = “1” (イネーブル) のとき、HSCOCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

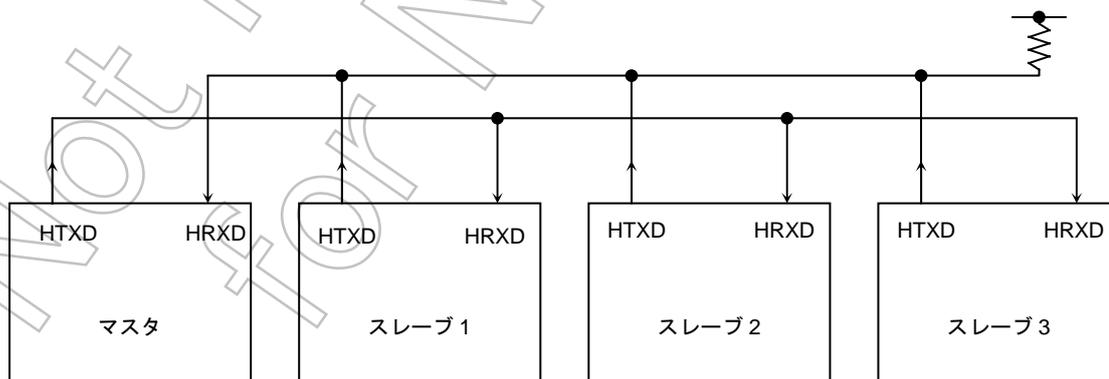
### モード3 (9ビットUART)

HSCOMODO <SM1 : 0> を “11” にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加を禁止 (HSCOCR<PE> = “0”) してください。

最上位ビット (9 ビット目) は、送信の場合シリアルモードコントロールレジスタ 0 (HSCOMODO) の ビット 7<TB8> に書き込み、受信の場合シリアルモードコントロールレジスタ HSCOCR のビット 7 <RB8> に格納されます。また、バッファに対する書き込み、読み出しはかならず最上位ビットの方を先に行い、HSCOBUF の方を後にします。STOP ビットの長さは HSCOMOD2<SBLEN>で指定することができます。

#### ウェイクアップ機能

9 ビット UART モードでは、ウェイクアップ機能制御ビット HSCOMODO<WU>を “1” にすることによって、スレーブ コントローラのウェイク アップ動作が可能で、HSCOCR<RB8>= “1” のときのみ割り込み (HINTRX0) が発生します。



(注) スレーブコントローラの HTXD 端子は、かならず ODE レジスタを設定してオープンドレイン出力モードにしてください。

図 15-16 ウェイクアップ機能によるシリアルリンク

プロトコル

- ① マスタおよびスレーブコントローラは9ビットUARTモードにします。
- ② 各スレーブコントローラはHSCOMODO〈WU〉を“1”にセットし、受信可能状態とします。
- ③ マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8)〈TB8〉は“1”にします。

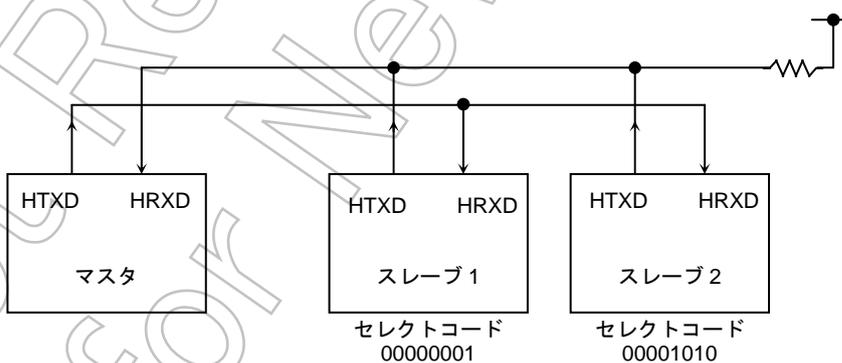


- ④ 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WUビットを“0”にクリアします。
- ⑤ マスタコントローラは指定したスレーブコントローラ(HSCOMODO〈WU〉=“0”にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット8)〈TB8〉は“0”にします。



- ⑥ 〈WU〉=“1”のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の〈RB8〉が“0”であるため、割り込み(HINTRX0)が発生せず、受信データを無視します。また、〈WU〉=“0”になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック  $f_{SYS}$  を転送クロックとして2つのスレーブコントローラとシリアルリンクさせる場合



## 16. シリアルバスインタフェース (SBI)

シリアルバスインタフェース (SBI) を 1 チャンネル内蔵しています。シリアルバスインタフェースは、下記の 2 つの動作モードを持っています。

- I<sup>2</sup>C バスモード (マルチマスタ)
- クロック同期式 8 ビット SIO モード

I<sup>2</sup>C バスモードのときには、PC4 (SDA)、PC5 (SCL) を通して、外部デバイスと接続されます。クロック同期式 8 ビット SIO のときには、PC6 (SCK)、PC4 (SO)、PC5 (SI) を通して外部デバイスと接続されます。

各端子の設定は、下記のとおりとなります。

	ポートオープンドレイン 出力設定	ポートコントロールレジスタ 設定	ポートファンクションレジスタ 設定
I <sup>2</sup> C バスモード	PCODE<6:4> = x11	PCCR<6:4> = x11	PCFC1<6:4> = 011
クロック同期式 SIO モード	PCODE<6:4> = *0*	PCCR<6:4> = 101 (クロック出力) PCCR<6:4> = 001 (クロック入力)	PCFC1<6:4> = 111

x: Don't care (機能端子として使いません)

\*: 使用条件に合わせて設定してください

### 16.1 構成

構成を図 16-1 に示します。

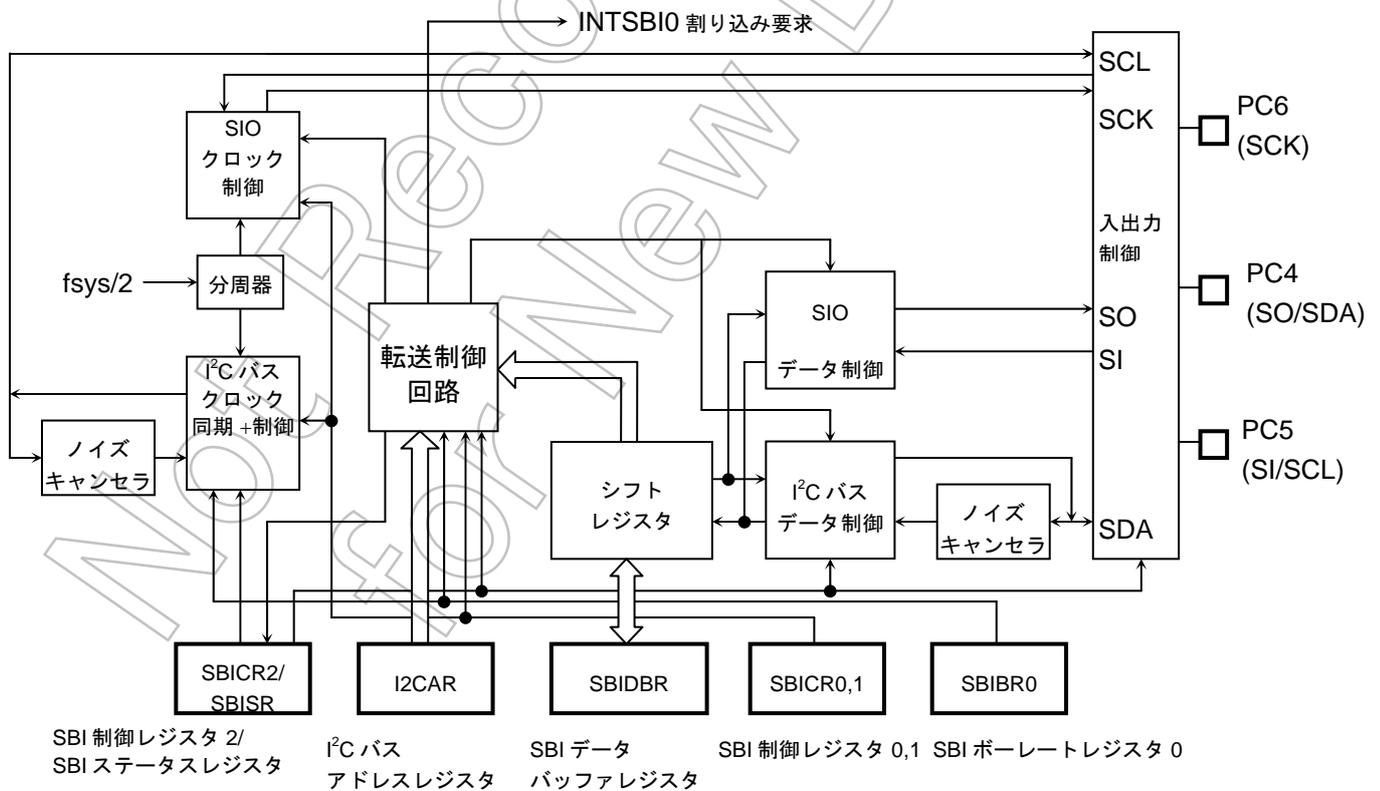


図 16-1 SBI のブロック図

## 16.2 制 御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

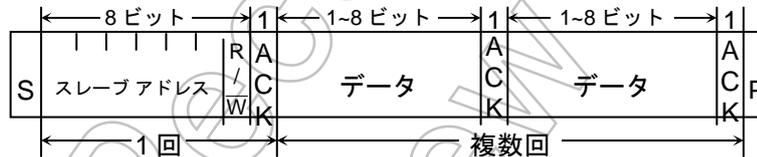
- シリアルバスインタフェース制御レジスタ 0 (SBICR0)
- シリアルバスインタフェース制御レジスタ 1 (SBICR1)
- シリアルバスインタフェース制御レジスタ 2 (SBICR2)
- シリアルバスインタフェースデータバッファレジスタ (SBIDBR)
- I<sup>2</sup>C バスアドレスレジスタ (I2CAR)
- シリアルバスインタフェースステータスレジスタ (SBISR)
- シリアルバスインタフェースポーレートレジスタ 0 (SBIBR0)

上記レジスタは使用するモードによって、機能が異なります。詳細は「16.4 I<sup>2</sup>C バスモード時の制御レジスタ」および「16.7 クロック同期式 8 ビット SIO モード時の制御」を参照してください。

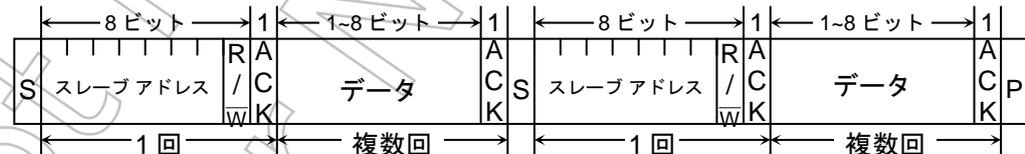
## 16.3 I<sup>2</sup>Cバスモード時のデータフォーマット

I<sup>2</sup>C バスモード時のデータフォーマットを図 16-2 に示します。

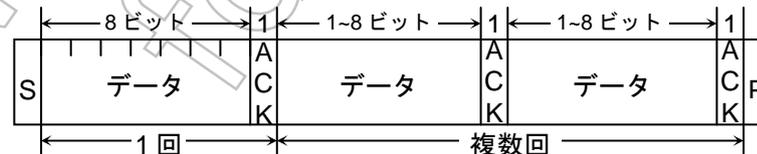
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタート有)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送す)



- 注) S: スタートコンディション  
 R/W: 方向ビット  
 ACK: アクノリッジビット  
 P: ストップコンディション

図 16-2 I<sup>2</sup>C バスモード時のデータフォーマット

16.4 I<sup>2</sup>C バスモード時の制御レジスタ

シリアルバスインタフェース (SBI) を I<sup>2</sup>C バスモードで使用するときの制御、および、動作状態のモニタは以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 0

	7	6	5	4	3	2	1	0
bit Symbol	SBIEN							
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	SBI 動作 0: 禁止 1: 許可 リードすると“0”が読めます。							
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							

<SBIEN> : SBIを使用する場合は、SBIモジュールの各レジスタを設定する前に SBI 動作許可 (“1”) にしてください。

シリアルバスインタフェース制御レジスタ 1

SBICR1  
(0xFF00\_4B04)

	7	6	5	4	3	2	1	0
bit Symbol	BC2	BC1	BC0	ACK		SCK2	SCK1	SCK0/ SWRMON
Read/Write	R/W			R/W	R	R/W		R/W
リセット後	0	0	0	0	1	0	0	1
機能	転送ビット数の選択 (注1)			アックノリツジメントクロック 0: 発生しない 1: 発生する	リードすると“1”が読めます。	内部 SCL 出カクロックの周波数選択 (注2) とリセットモニタ		
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							

<Bit 2:0><SCK2:0> : 内部 SCL 出カクロックの周波数選択。

内部 SCL 出カクロックの周波数選択 <SCK2 : 0> @ライト

000	n=5	384 kHz	システムクロック: fsys (=80 MHz) クロックギア : fc/1 周波数 = $\frac{fsys/2}{2^n + 72}$ [ Hz ]
001	n=6	294 kHz	
010	n=7	200 kHz	
011	n=8	121 kHz	
100	n=9	68 kHz	
101	n=10	36 kHz	
110	n=11	18 kHz	
111		reserved	

<Bit 0>< SWRMON : 0> : リセットモニタ

ソフトウェアリセット状態モニタ <SWRMON> @リード

0	ソフトウェアリセット中
1	ソフトウェアリセット解除中

<Bit 7:5><BC2:0>

転送ビット数の選択

<BC2:0>	<ACK> = 0 のとき		<ACK> = 1 のとき	
	クロック数	データ長	クロック数	データ長
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

- (注1) クロック同期式 8 ビット SIO モードに切り替える前に<BC2:0>を“000”にクリアしてください。
- (注2) SCL ラインクロックの周波数については、「16.5.3 シリアルクロック」を参照してください。
- (注3) <SCK0/SWRMON>ビットは、リセット後“1”が読み出されますが、SBICR2 レジスタにて SIO モードに設定した場合、<SCK0>ビットの初期値は“0”になります。
- (注4) 読み出しの初期値とは関係なく、周波数選択の初期値は<SCK2:0>=000 です。

Not Recommended  
for New Design

シリアルバスインタフェース制御レジスタ 2

SBICR2  
(0xFF00\_4B10)

	7	6	5	4	3	2	1	0
bit Symbol	MST	TRX	BB	PIN	SBIM1	SBIMO	SWRST1	SWRST0
Read/Write	W				W (注 2)		W (注 1)	
リセット後	0	0	0	1	0	0	0	0
機能	マスタ/ スレーブの 選択 0: スレーブ 1: マスタ	送信/受信の 選択 0: 受信 1: 送信	スタート/ ストップ 状態の発生 0: ストップ 状態発生 1: スタート 状態発生	INTSB10 割り込み 要求解除 0: - 1: 割り込み 要求の 解除	シリアルバスインタフェ ースの動作モード選択 (注 2) 00: ポートモード 01: S10 モード 10: I <sup>2</sup> C バスモード 11: (予約)		ソフトウェアリセットの 発生 最初に“10”、次に“01” をライとすると、リセット が発生します。	
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							

- <Bit 1: 0><SWRST1: 0> : 最初に“10”、次に“01”をライトすると、リセットが発生します。
- <Bit 3: 2><SBIM1: 0> : シリアルバスインタフェースの動作モード選択
- <Bit 4><PIN> : INTSB10 割り込み要求解除
- <Bit 5><BB> : 状態発生の選択
- <Bit 6><TRX> : 送受信の選択
- <Bit 7><MST> : マスタスレーブの選択

シリアルバスインタフェースの動作モード選択 (注 2)	
00	ポートモード (シリアルバスインタフェースの出力禁止)
01	クロック同期式 8 ビット S10 モード
10	I <sup>2</sup> C バスモード
11	(予約)

(注 1) このレジスタをリードすると、SBISR レジスタとして機能します。

(注 2) ポートモードへの切り替えは、SBISR<BB>を参照し、バスフリーを確認してから行ってください。また、ポートモードから I<sup>2</sup>C バスモード、クロック同期式 8 ビット S10 への切り替えは、ポートの状態が“H”になっていることを確認してから行ってください。

(注 3) モードの切替えはシリアル転送が終了していることを確認してから行ってください。

表 16-1 ベースクロック 分解能

@fsys = 80 MHz

クロックギア<GEAR2:0>	ベースクロック分解能
000 (fc)	fsys/2 <sup>2</sup> (0.05 μs)
100 (fc/2)	fsys/2 <sup>3</sup> (0.1 μs)
101 (fc/4)	fsys/2 <sup>4</sup> (0.2 μs)
110 (fc/8)	fsys/2 <sup>5</sup> (0.4 μs)
111 (fc/16)	fsys/2 <sup>5</sup> (0.8 μs)

シリアルバスインタフェースステータスレジスタ

SBISR  
(0xFF00\_4B10)

	7	6	5	4	3	2	1	0
bit Symbol	MST	TRX	BB	PIN	AL	AAS	ADO	LRB
Read/Write	R							
リセット後	0	0	0	1	0	0	0	0
機能	マスタ/ スレーブ 選択 モニタ 0:スレーブ 1:マスタ	送信/受信 選択 モニタ 0:受信 1:送信	I <sup>2</sup> Cバス 状態 モニタ 0:バス フリー 1:バス ビジー	INTSB10 割り込み 要求 モニタ 0:割り込み 要求発生 状態 1:割り込み 要求解除 状態	アービト レーション ロスト検出 0: - 1:検出	スレーブ アドレス 一致検出 0: - 1:検出 (ゼネラル コール検 出時もセ ットされ ます)	ゼネラル コール検 出 0: - 1:検出	最終受信 ビット モニタ 0: "0" 1: "1"
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると "0" が読めます。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると "0" が読めます。							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると "0" が読めます。							

**(注) このレジスタをライトすると、SBICR2として機能します。**

シリアルバスインタフェースポーレートレジスタ 0

SBIBR0  
(0xFF00\_4B14)

	7	6	5	4	3	2	1	0
bit Symbol	I2SBI							
Read/Write	R	R/W	R					R/W
リセット後	1	0	1	1	1	1	1	0
機能	リードすると“1”が読めます。	IDLE 0: 停止 1: 動作	リードすると“1”が読めます。					必ず“0”をライトしてください。
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							

シリアルバスインタフェースデータバッファレジスタ

SBIDBR  
(0xFF00\_4B08)

	7	6	5	4	3	2	1	0
bit Symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Read/Write	R (受信)/W (送信)							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							

**(注) 送信データを書き込み時には、データをMSB（ビット7）側につめてライトしてください。**

I<sup>2</sup>C バスアドレスレジスタI2CAR  
(0xFF004B0C)

	7	6	5	4	3	2	1	0
bit Symbol	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スレーブデバイスとして動作するときのスレーブアドレスの設定							アドレス認識モードの指定
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							

<Bit 0><ALS> : アドレス認識モードの指定。

0	スレーブアドレスを認識する。
1	スレーブアドレスを認識しない。

(注) I<sup>2</sup>Cバスアドレスレジスタ I2CARのビット0<ALS>はフリーデータフォーマット使用時以外は必ず“0”に設定してください。  
 “1”に設定した場合にはフリーデータフォーマットとして動作し、マスタ時は送信に、スレーブ時は受信に転送方向が固定されます。

## 16.5 I<sup>2</sup>Cバスモード時の制御

### 16.5.1 アクノリッジメントモードの指定

SBICR1 <ACK> を“1”にセットしておくくとアクノリッジメントモードとして動作します。マスタのときには、アクノリッジ信号のためのクロックを1クロック付加します。トランスマッタモードのときには、このクロックの期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA 端子を“L”レベルに引き、アクノリッジ信号を発生します。

<ACK> を“0”に設定しておくくと、非アクノリッジメントモードとして動作し、マスタのときにアクノリッジ信号のためのクロックを発生しません。

### 16.5.2 転送ビット数の選択

SBICR1 <BC2:0> により、次に送受信するデータのビット数を選択します。

<BC2:0> はスタートコンディションにより“000”にされるため、スレーブアドレス、方向ビットの転送はかならず8ビットで行われます。それ以外のときは<BC2:0> は一度設定された値を保持します。

### 16.5.3 シリアルクロック

#### ① クロックソース

SBICR1 <SCK2:0>で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。

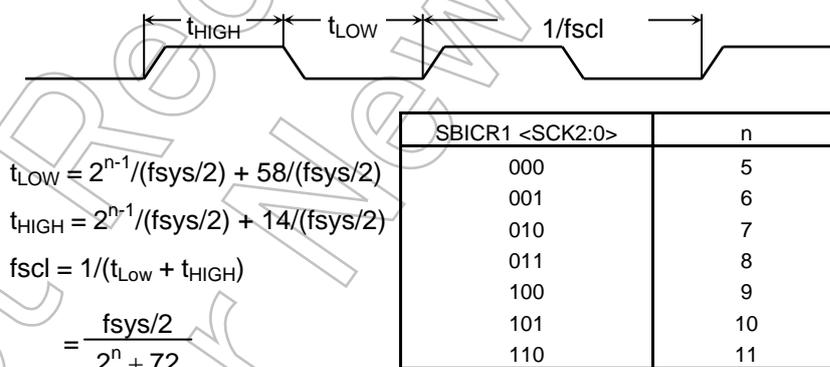


図 16-3 クロックソース

通信規格上、標準モード/高速モードの最高速は 100kHz/400kHz です。内部 SCL クロックの周波数の設定は、使用される  $f_{sys}$  と上記計算式にて設定されますのでご注意ください。

## ② クロック同期化

I<sup>2</sup>C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に“L”レベルに引いたマスタが、“H”レベルを出力しているマスタのクロックを無効にします。このため、“H”レベルを出力しているマスタは、これを検出し対応する必要があります。

クロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に2つのマスタが同時に存在した場合を例に挙げて以下に示します。

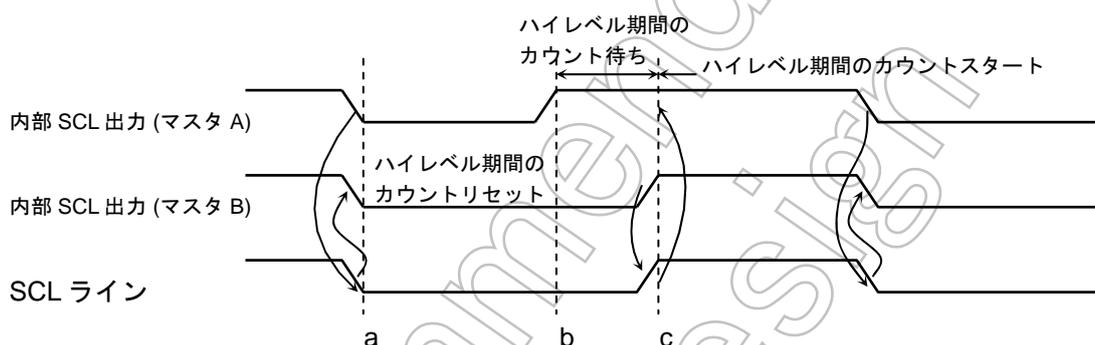


図 16-4 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を“L”レベルに引くことで、バスの SCL ラインは“L”レベルになります。マスタ B はこれを検出し、マスタ B の“H”レベル期間のカウントをリセットし、内部 SCL 出力を“L”レベルに引きます。

b 点でマスタ A は“L”レベル期間のカウントを終わり、内部 SCL 出力を“H”レベルにします。しかし、マスタ B がバスの SCL ラインを“L”レベルに保持し続けているので、マスタ A は“H”レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を“H”レベルにし、バスの SCL ラインが“H”レベルになったことを検出後、“H”レベル期間のカウントを始めます。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い“H”レベル期間をもつマスタと最も長い“L”レベル期間をもつマスタによって決定されます。

### 16.5.4 スレーブアドレスとアドレス認識モードの設定

スレーブデバイスとして動作させるときは、I2CAR にスレーブアドレス〈SA6 : 0〉と〈ALS〉を設定します。〈ALS〉に“0”を設定すると、アドレス認識モードになります。

### 16.5.5 マスタ/スレーブの選択

SBICR2<MST> を“1”に設定すると、マスタデバイスとして動作します。

<MST> を“0”に設定すると、スレーブデバイスとして動作します。<MST> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより“0”にされます。

### 16.5.6 トランスマッタ/レシーバの選択

SBICR2 <TRX> を“1” に設定すると、トランスマッタとして動作し、<TRX> を“0” に設定すると、レシーバとして動作します。

スレーブモード時は

- アドレッシングフォーマットのデータ転送を行うとき、
- 受信したスレーブアドレスが I2CAR にセットした値と同じとき、
- ゼネラルコールを受信したとき、(スタートコンディション後の 8 ビットのデータがすべて “0” )

ハードウェアによりマスタデバイスから送られてくる方向ビット (R/W) が “1” の場合、<TRX> は “1” にセットされ、“0” の場合、<TRX> は “0” にされます。

マスタモード時は、スレーブデバイスからアクリッジが返ってくると、ハードウェアにより、送信した方向ビットが “1” の場合、<TRX> は “0” に、方向ビットが “0” の場合、<TRX> は “1” に変化します。アクリッジが返ってこないときは、以前の状態を保ちます。

<TRX> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより “0” にされます。

### 16.5.7 スタート/ストップコンディションの発生

SBISR<BB> が “0” のときに、SBICR2 <MST, TRX, BB, PIN> に “1” を書き込むと、バス上にスタートコンディションと、8 ビットのデータが出力されます。あらかじめ、<ACK> に “1” を設定してください。

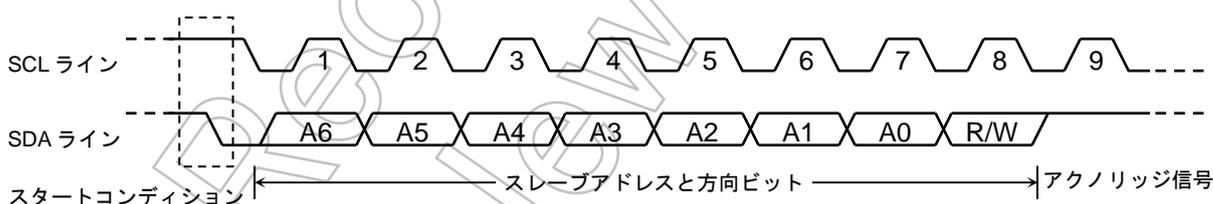


図 16-5 スタートコンディションの発生とスレーブアドレスの発生

<BB> = “1” のときに、<MST, TRX, PIN> に “1”、<BB> に “0” を書き込むと、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えしないでください。

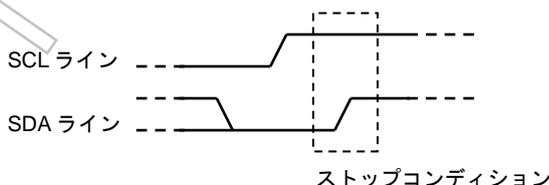


図 16-6 ストップコンディションの発生

また、SBISR<BB> を読み出すことで、バスの状態を知ることができます。<BB> は、バス上のスタートコンディションを検出すると “1” にセットされ (バスビジー状態)、ストップコンディションを検出すると “0” にされます (バスフリー状態)。

### 16.5.8 割り込みサービス要求と解除

シリアルバスインタフェース割り込み要求 (INTSBI0) が発生すると、SBICR2 <PIN> が “0” にされます。<PIN> が “0” の間、SCL ラインを “L” レベルに引きます。

<PIN> は 1 ワードの送信または受信が終了すると “0” にされ、SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと “1” にセットされます。<PIN> が “1” にセットされてから、SCL ラインが開放されるまで、 $t_{LOW}$  の時間がかかります。

アドレス認識モード (<ALS> = “0”) では、受信したスレーブアドレスが I2CAR にセットした値と同じとき、またはゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したときに、<PIN> が “0” にされます。プログラムで SBICR2 <PIN> に “1” を書き込むと “1” にセットされますが、“0” を書き込んでも “0” にクリアされません。

### 16.5.9 シリアルバスインタフェースの動作モード

SBICR2 <SBIM1:0> でシリアルバスインタフェースの動作モードを設定します。I<sup>2</sup>C バスモードで使用するときは、<SBIM1:0> を “10” に設定します。ポートモードへの切り替えは、バスがフリーであることを確認してから行ってください。

### 16.5.10 アービトレーションロスト検出モニタ

I<sup>2</sup>C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

バスビジーの状態のときにスタートコンディションを出力しようとした場合は SCL、SDA ラインには出力されずにアービトレーションロストが発生します。I<sup>2</sup>C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。a 点のビットまでマスタ A、マスタ B と同じデータを出力し、a 点でマスタ A が “L” レベルを出力、マスタ B が “H” レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A によって “L” レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を “アービトレーションロスト” と呼びます、マスタ B は SDA 端子を開放し、他のマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

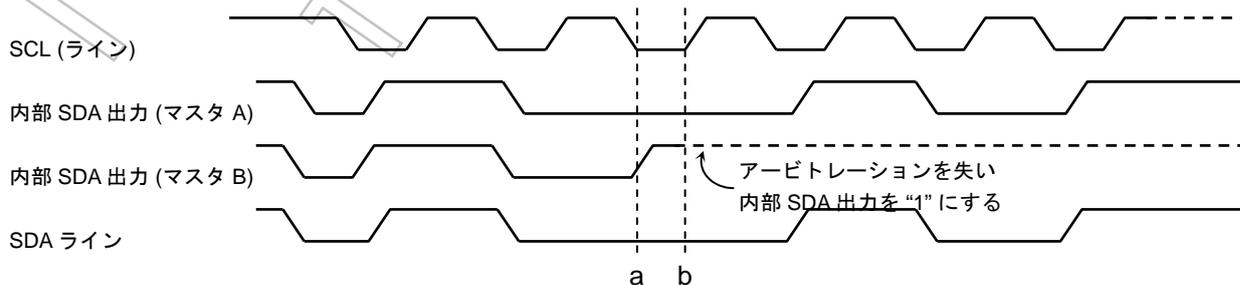


図 16-7 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、SBISR <AL> が“1”にセットされます。

<AL> が“1”にセットされると SBISR <MST, TRX> は“0”にされ、スレーブシーバモードになります。<AL> は、SBIDBR にデータを書き込むか、SBIDBR からデータを読み込む、または SBICR2 にデータを書き込むと“0”にされます。

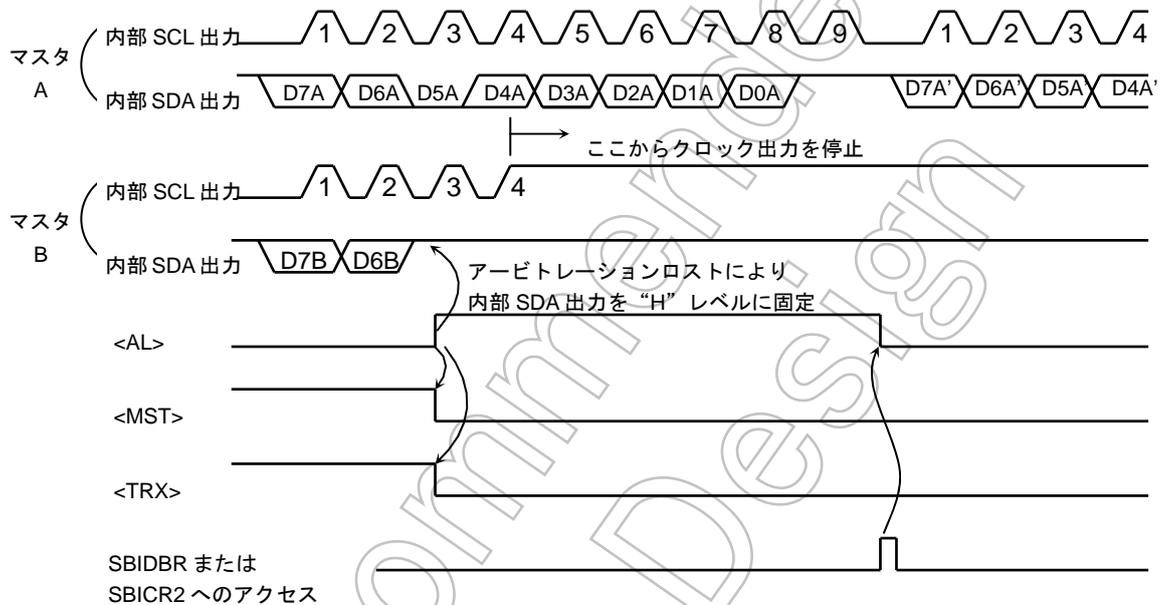


図 16-8 マスタ B の場合の例 (D7A = D7B, D6A = D6B)

#### 16.5.11 スレーブアドレス一致検出モニタ

SBISR <AAS> は、スレーブモード時、アドレス認識モード (I2CAR <ALS> = “0”) のとき、ゼネラルコールまたは I2CAR にセットした値と同じスレーブアドレスを受信すると“1”にセットされます。<ALS> = “1” のときは、最初の 1 ワードが受信されると“1”にセットされます。<AAS> は SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと“0”にされます。

#### 16.5.12 ゼネラルコール検出モニタ

SBISR <ADO> は、スレーブモード時、ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したとき“1”にセットされ、バス上のスタートコンディション、またはストップコンディションが検出されると“0”にされます。

#### 16.5.13 最終受信ビットモニタ

SBISR <LRB> には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。アクノリッジメントモードのとき、INTSBIO 割り込み要求発生直後に SBISR <LRB> を読み出すと、ACK 信号が読み出されます。

#### 16.5.14 ソフトウェアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBICR2 <SWRST1:0> へ、最初に“10”、次に“01”をライトすると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、<SWRST> は、シリアルバスインタフェースを初期化すると、自動的に“0”にクリアされます。

(注) ソフトウェアリセットをかけると動作モード選択もリセットされ、I<sup>2</sup>C モードから PORT モードになります。

#### 16.5.15 シリアルバスインタフェースデータバッファレジスタ (SBIDBR)

SBIDBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコディションを発生します。

#### 16.5.16 I<sup>2</sup>CBUSアドレスレジスタ (I2CAR)

I2CAR<SA6:0> は、スレーブデバイスとして動作する場合の、スレーブアドレスを設定するビットです。また、I2CAR <ALS> = “0” に設定すると、マスタデバイスから出力されるスレーブアドレスを認識し、データフォーマットはアドレッシングフォーマットとなります。<ALS> = “1” に設定すると、スレーブアドレスを認識せず、データフォーマットはフリーデータフォーマットとなります。

#### 16.5.17 IDLE設定レジスタ (SBIBR0)

SBIBR0<I2SBI>は IDLE モードに遷移した際に動作の許可/禁止を設定するレジスタです。スタンバイモードに移る命令を実行する前に、あらかじめ設定してください。

## 16.6 I<sup>2</sup>C バスモード時のデータ転送手順

### 16.6.1 デバイスの初期化

最初に SBICR1<ACK, SCK2:0> を設定します。SBICR1 のビット 7 ~ 5, 3 には、“0” を書き込んでください。

次に I2CAR にスレーブアドレス <SA6:0> と <ALS> (アドレッシングフォーマット時、<ALS> = “0”) を設定します。

それから、SBICR2 <MST, TRX, BB> に “0”、<PIN> に “1”、<SBIM1:0> に “10”、ビット 1, 0 に “0” を書き込み、初期状態をスレーブレシーバモードにします。

	7	6	5	4	3	2	1	0	
SBICR1	←	0	0	0	X	0	X	X	ACK および SCL クロックの設定をします。
I2CAR	←	X	X	X	X	X	X	X	スレーブアドレスおよびアドレス認識モードの設定をします。
SBICR2	←	0	0	0	1	1	0	0	スレーブレシーバモードにします。

(注) X: Don't care

### 16.6.2 スタートコンディション、スレーブアドレスの発生

#### ① マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態 (<BB> = “0”) を確認します。次に、SBICR1 <ACK> に “1” を書き込んで、アクノリッジメントモードに設定します。また、SBIDBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = “0” の状態で、SBICR2 <MST, TRX, BB, PIN> に “1111” を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCL 端子から 9 クロックを出力します。最初の 8 クロックで、SBIDBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTSBIO 割り込み要求が発生し、<PIN> = “0” にされます。マスタモード時は、<PIN> = “0” の間 SCL ラインを “L” レベルにひきます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBIO 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

#### メインルーチンでの設定

	7	6	5	4	3	2	1	0	
Reg.	←	SBISR							バスがフリー状態になるまで確認します。
Reg.	←	Reg. e 0x20							
if Reg.	≠	0x00							
Then									
SBICR1	←	X	X	X	1	0	X	X	アクノリッジメントモードに設定します。
SBIDR1	←	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
SBICR2	←	1	1	1	1	1	0	0	スタートコンディションの発生を行います。

#### INTSBIO 割り込みルーチンでの処理例

INTCLR ← 0xbc	割り込み要求をクリアします。
処理	
割り込み終了	

## ② スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または I2CAR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを“L”レベルにひき、アクノリッジ信号を出力します。

9 クロック目の立ち下がり、INTSBIO 割り込み要求が発生し、 $\langle \text{PIN} \rangle = "0"$  になります。スレーブモード時は、 $\langle \text{PIN} \rangle = "0"$  の間 SCL ラインを“L”レベルにひきます。

(注) DMA 転送を使用する場合は

- ・マスタスレーブが 1 対 1
- ・送信または受信が連続して可能

のときにのみ可能です。



図 16-9 スタートコンディションとスレーブアドレスの発生

## 16.6.3 1ワードのデータ転送

1ワード転送終了のINTSBIO割り込みの処理で $\langle \text{MST} \rangle$ をテストし、マスタモード/スレーブモードの判断をします。

① マスタモードの場合 ( $\langle \text{MST} \rangle = "1"$ )

$\langle \text{TRX} \rangle$ をテストし、トランスミッタ/レシーバの判断をします。

トランスミッタモードの場合 ( $\langle \text{TRX} \rangle = "1"$ )

$\langle \text{LRB} \rangle$ をテストします。 $\langle \text{LRB} \rangle$ が“1”のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理(後記参照)を行ってデータ転送を終了します。

$\langle \text{LRB} \rangle$ が“0”のときレシーバが次のデータを要求しています。次に転送するデータのビット数が8ビットのときSBIDBRに転送データを書き込みます。8ビット以外の場合は $\langle \text{BC2:0} \rangle$ 、 $\langle \text{ACK} \rangle$ を設定し、転送データをSBIDBRに書き込みます。データを書き込むと $\langle \text{PIN} \rangle$ が“1”になりSCL端子から次の1ワードデータ転送用のシリアルクロックが発生され、SDA端子から1ワードのデータが転送されます。転送終了後INTSBIO割り込み要求が発生し、 $\langle \text{PIN} \rangle$ が“0”になりSCL端子を“L”レベルに引きま

す。複数ワードの転送が必要な場合は上記 <LRB> のテストから繰り返します。

INTSBIO 割り込み

```

if MST = 0
Then スレーブモード時の処理へ移行
if TRX = 0
Then レシーバモード時の処理へ移行
if LRB = 0
Then ストップコンディションを発生する処理へ移行
SBICR1 ← X X X X 0 X X X      転送ビット数および ACK を設定します。
SBIDBR ← X X X X X X X X      転送データを書き込みます。
割り込み処理終了
(注) X: Don' t care
    
```

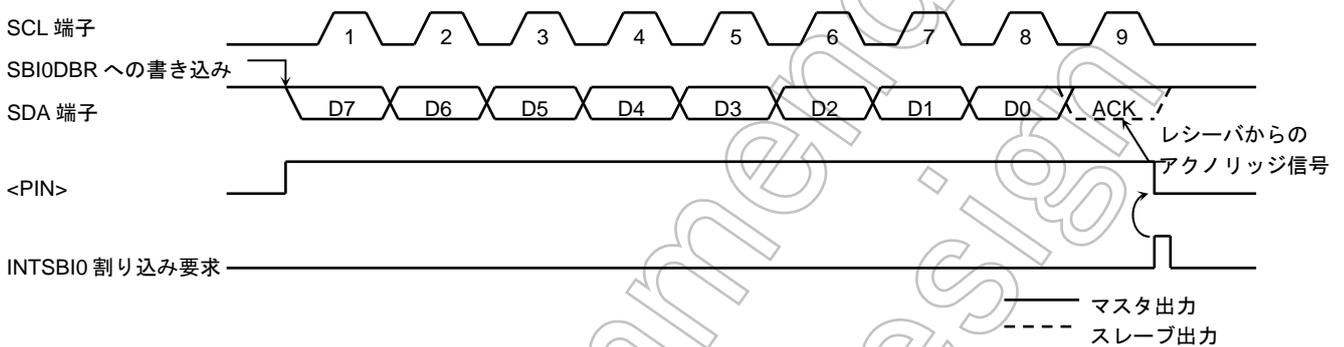


図 16-10 <BC2:0> = “000” , <ACK> = “1” の場合 (トランスミッタモード)

レシーバモードの場合 (<TRX> = “0”)

次に転送するデータのビット数が 8 ビットのときは SBIDBR に転送データを書き込みます。8 ビット以外のときは <BC2:0>、<ACK> を設定し、SCL ラインを解放するために SBIDBR から受信データを読み出します (スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと <PIN> は “1” になり、次の 1 ワードデータ転送用のシリアルクロックを SCL 端子に出力します。最後のビットでアクノリッジ信号の “L” レベルのタイミングで “0” を SDA 端子に出力します。

その後、INTSBIO 割り込み要求が発生し、<PIN> が “0” になり SCL 端子を “L” レベルに引きます。SBIDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

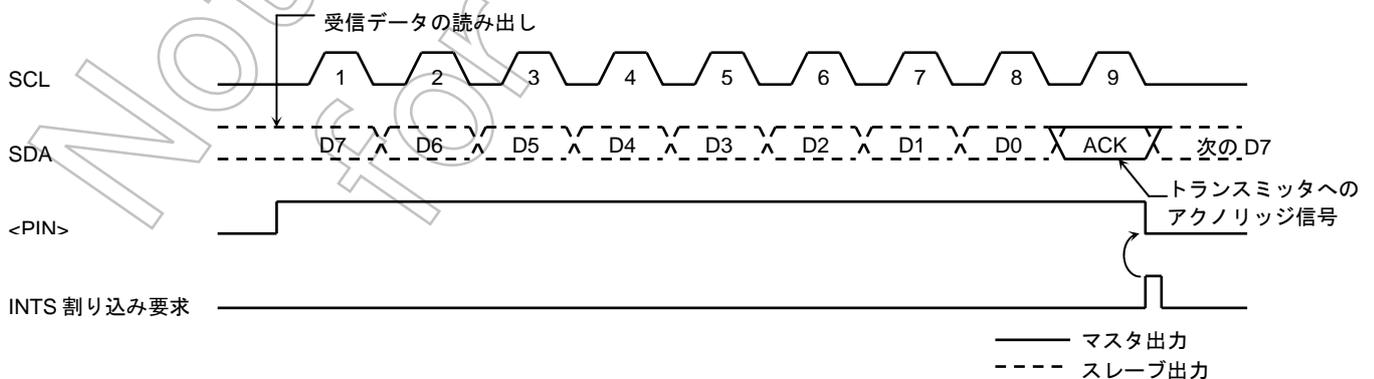


図 16-11 <BC2:0> = “000” , <ACK> = “1” のときの例 (レシーバモード)

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの1ワード手前のデータを読み出す前に <ACK> を“0”にします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC2:0> = “001” に設定し、データを読み出すと、1ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスの SDA ラインは“H”レベルを保ちます。トランスミッタは ACK 信号としてこの“H”レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この1ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

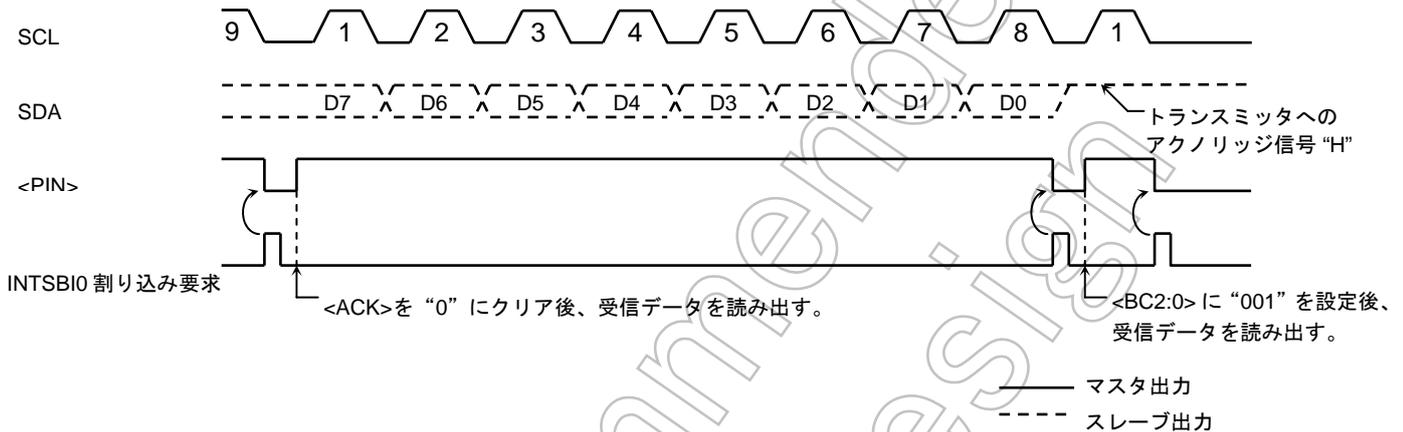


図 16-12 マスタレシーバモード時、データの送信を終了させるときの処理

例：データを N 回受信する場合

INTSB10 割り込み（データ送信後）

```

      7 6 5 4 3 2 1 0
SBICR1 ← X X X X 0 X X X
Reg.    ← SBIDBR
割り込み終了
    
```

受信データのビット数および ACK を設定します。  
ダミーデータを取り込みます。

INTSB10 割り込み（データ受信 1~ (N-2) 回目）

```

      7 6 5 4 3 2 1 0
Reg.    ← SBIDBR
割り込み終了
    
```

1~ (N-2) 回目のデータを取り込みます。

INTSB10 割り込み（データ受信 (N-1) 回目）

```

      7 6 5 4 3 2 1 0
SBICR1 ← X X X 0 0 X X X
Reg.    ← SBIDBR
割り込み終了
    
```

アクノリッジ信号のクロックを発生しないようにします。  
(N-1) 回目のデータを取り込みます。

INTSB10 割り込み（データ受信 N 回目）

```

      7 6 5 4 3 2 1 0
SBICR1 ← 0 0 1 0 0 X X X
Reg.    ← SBIDBR
割り込み終了
    
```

1ビット転送のためのクロックを発生します。  
N 回目のデータを取り込みます。

INTSB10 割り込み（データ受信後）

ストップコンディションを発生する処理  
割り込み終了

データ転送を終了させます。

(注) X: Don't care

## ② スレーブモードの場合（〈MST〉 = “0”）

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールを受信したとき、もしくは、受信したスレーブアドレスが一致した後、またはゼネラルコールを受信した後のデータ転送終了時に INTSBIO 割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSBIO 割り込み要求が発生します。INTSBIO 割り込み要求が発生すると〈PIN〉が“0”にされ、SCL 端子を“L”レベルに引きます。SBIDBR にデータを書き込む、SBIDBR からデータを読み出す、または〈PIN〉に“1”を設定すると SCL 端子が  $t_{LOW}$  後に開放されます。

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

SBISR 〈AL〉、〈TRX〉、〈AAS〉、〈ADO〉 をテストし、場合分けを行います。表 16-2 にスレーブモード時の状態と必要な処理を示します。

例：スレーブマスターモード時スレーブアドレスが一致し、方向ビットが“1”の場合

## INTSBIO 割り込み

```

if TRX = 0
Then その他処理へ移行
if AL = 1
Then その他処理へ移行
if AAS = 0
Then その他処理へ移行
SBICR1 ← X X X 1 0 X X X      送信ビット数を設定します。
SBIDBR ← X X X X 0 X X X      送信データをセットします。

```

(注) X: Don't care

表 16-2 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<ADO>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが“1”のスレーブアドレスを受信	1ワードのビット数を <BC2:0> にセットし、送信するデータを SBIDBR に書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが“1”のスレーブアドレスを受信	
	0	0	0	スレーブトランスミッタモード時、1ワードのデータの送信が終了	LRB をテストし、“1”にセットされていた場合、レシーバが次のデータを要求していないので <PIN> に “1” をセット、<TRX> を “0” にリセットしバスを開放します。<LRB> が “0” にリセットされていた場合、レシーバが次のデータを要求しているため1ワードのビット数を <BC2:0> にセットし、送信するデータを SBIDBR に書き込みます。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	<PIN> を “1” にセットするために SBIDBR を読み出します。(ダミー読み出し) または <PIN> に “1” を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	1ワードのビット数を <BC2:0> にセットし、受信データを SBIDBR から読み出します。
		0	1/0	スレーブレシーバモード時、1ワードのデータの受信が終了	

## 16.6.4 ストップコンディションの発生

SBISR <BB> = “1” のときに、SBICR2 <MST, TRX, PIN> に “1”、<BB> に “0” を書き込むとバス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

なお、バスの SCL ラインが他のデバイスにより引かれていた場合、SCL ラインが開放されるのを待ち、SDA 端子が立ち上がり、ストップコンディションが発生します。

SBICR2      7 6 5 4 3 2 1 0  
 ← 1 1 0 1 1 0 0 0      ストップコンディションを発生させます。

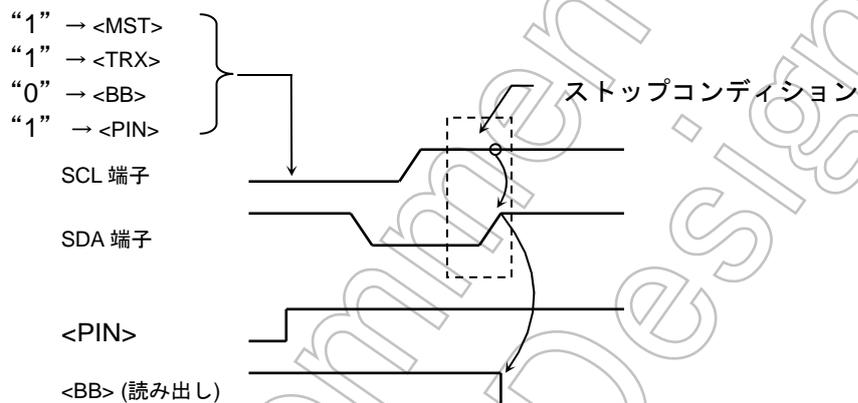


図 16-13 ストップコンディションの発生

### 16. 6. 5 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生する場合の手順を以下に示します。

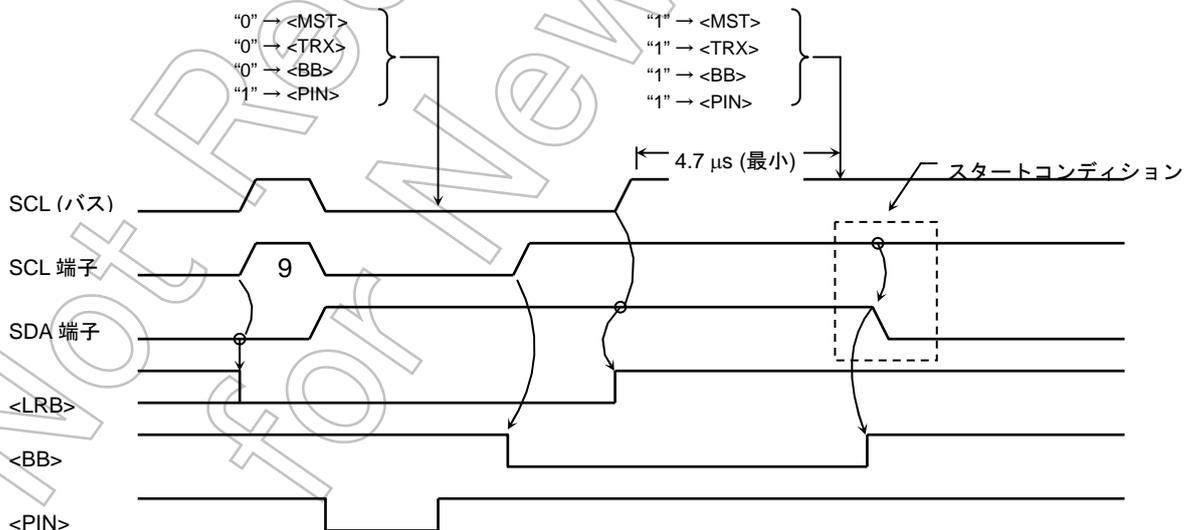
まず、SBICR2 <MST, TRX, BB> に “0”、<PIN> に “1” を書き込み、バスを開放します。このとき SDA 端子は “H” レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、SBISR <BB> をテストして “0” になるまで待ち、SCL 端子が開放されたことを確認します。次に <LRB> をテストして “1” になるまで待ち、他のデバイスがバスの SCL ラインを “L” レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記「16. 6. 2 スタートコンディション、スレーブアドレスの発生」の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7μs（標準モード時）のソフトウェアによる待ち時間が必要です。

```

┌─── 7 6 5 4 3 2 1 0
└── SBICR2 ← 0 0 0 1 1 0 0 0   バスを解放します。
┌── if SBISR<BB> ≠ 0           SCL 端子の解放を確認します。
└── Then
    ┌── if SBISR<LRB> ≠ 1       他のデバイスの SCL 端子 “L” レベルの確認を行います。
    └── Then
        4.7 μs Wait
        SBICR1 ← X X X 1 0 X X X   アクノリッジメントモードに設定します。
        SBIDBR ← X X X X X X X X   目的のスレーブのスレーブアドレスと方向をセットします。
        SBICR2 ← 1 1 1 1 1 0 0 0   スタートコンディションの発生を行います。

(注) X: Don' t care
    
```



(注) <MST>= “0” の状態の時に<MST>= “0” をライトしないでください（再スタートできません）。

図 16-14 再スタートを発生する場合のタイミングチャート

## 16.7 クロック同期式 8 ビット SIO モード時の制御

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用するときの制御、および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 0

SBICR0  
(0xFF00\_4B00)

	7	6	5	4	3	2	1	0
bit Symbol	SBIEN							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	SBI 動作 0: 禁止 1: 許可							
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							

<SBIEN> : SBI を使用する場合は、SBI モジュールの各レジスタを設定する前に SBI 動作許可 (“1”) にしてください。

シリアルバスインタフェース制御レジスタ 1

SBICR1  
(0xFF00\_4B04)

	7	6	5	4	3	2	1	0
bit Symbol	SIOS	SIOINH	SIOM1	SIOMO		SCK2	SCK1	SCK0
Read/Write	W				R	W		R/W
リセット後	0	0	0	0	1	0	0	0
機能	転送の開始/終了 0: 終了 1: 開始	転送の強制停止 0: 転送継続 1: 強制停止	転送モードの選択 00: 送信モード 01: (予約) 10: 送受信モード 11: 受信モード		リードすると“1”が読めます。	シリアルクロック周波数の選択 (注2)		
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							

シリアルクロック周波数の選択 <SCK2:0> @ライト

000	n = 3	2.5 MHz	$\left. \begin{array}{l} \text{システムクロック} : f_{\text{sys}} \\ \text{クロックギア} : f_c/1 \\ \text{周波数} = \frac{f_{\text{sys}}}{2^n} \text{ [ Hz ]} \end{array} \right\}$
001	n = 4	1.25 MHz	
010	n = 5	625 kHz	
011	n = 6	313 kHz	
100	n = 7	156 kHz	
101	n = 8	78 kHz	
110	n = 9	40 kHz	
111	—	外部クロック	

(注1) 転送モード、シリアルクロックの設定時は、<SIOS>= “0”、および、<SIOINH>= “1” に設定してください。

(注2) <SCK0>ビットは、リセット後 “1” が読み出されますが、SBICR2 レジスタにて SIO モードに設定後は “0” が初期値として読み出されます。ここでは初期状態で SIO モードに設定した後の値を「リセット後」欄に示します。

なお、SBICR2 レジスタ、SBISR レジスタでも同様な記載をしています。

シリアルバスインタフェースデータバッファレジスタ

SBIDBR  
(0xFF004B08)

	7	6	5	4	3	2	1	0
bit Symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Read/Write	R (受信)/W (送信)							
リセット後	不定							
機能	リードすると“0”が読めます。							
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							

シリアルバスインタフェース制御レジスタ 2

SBICR2  
(0xFF004B10)

	7	6	5	4	3	2	1	0
bit Symbol					SBIM1	SBIMO		
Read/Write	R				W		R	
リセット後	1	1	1	1	0	0	1	1
機能	リードすると“1”が読めます。  (注)ここではS10モードに設定後の初期値を「リセット後」欄に示します。				シリアルバスインタフェースの動作モード選択 00:ポートモード 01:クロック同期式8bit S10モード 10:I <sup>2</sup> Cバスモード 11:(予約)		リードすると“1”が読めます。  (注)ここではS10モードに設定後の初期値を「リセット後」欄に示します。	
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							

シリアルバスインタフェースレジスタ

SBISR  
(0xFF004B10)

	7	6	5	4	3	2	1	0
bit Symbol					SIOF	SEF		
Read/Write	R				R		R	
リセット後	1	1	1	1	0	0	1	1
機能	リードすると“1”が読めます。 (注)ここではSIOモードに設定後の初期値を「リセット後」欄に示します。				シリアル転送動作状態モニタ 0: 転送終了 1: 転送中	シフト動作状態モニタ 0: シフト動作終了 1: シフト転送中	リードすると“1”が読めます。 (注)ここではSIOモードに設定後の初期値を「リセット後」欄に示します。	
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							

シリアルバスインタフェースボーレートレジスタ 0

SBIBR0  
(0xFF004B14)

	7	6	5	4	3	2	1	0	
bit Symbol	I2SBI								
Read/Write	R	R/W	R						W
リセット後	1	0	1	1	1	1	1	0	
機能	リードすると“1”が読めます。	IDLE 0: 停止 1: 動作	リードすると“1”が読めます。					必ず“0”をライトしてください。	
	15	14	13	12	11	10	9	8	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								
	23	22	21	20	19	18	17	16	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								
	31	30	29	28	27	26	25	24	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								

### 16.7.1 シリアルクロック

#### ① クロックソース

SBICR1 <SCK2:0> により、次の選択ができます。

#### 内部クロック

内部クロックモードでは7種類の周波数が選択できます。シリアルクロックはSCK端子より外部に出力されます。なお、転送開始時SCK端子出力は“H”レベルになります。

プログラムでデータの書き込み（送信時）またはデータの読み出し（受信時）がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

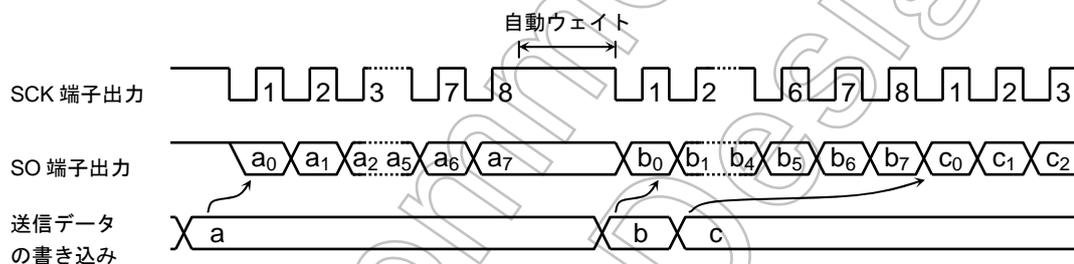


図 16-15 自動ウェイト機能

#### 外部クロック (<SCK2:0> = “111”)

外部からSCK端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実にを行うためには、シリアルクロックの“H”レベル、“L”レベル幅は下記に示すパルス幅が必要です。

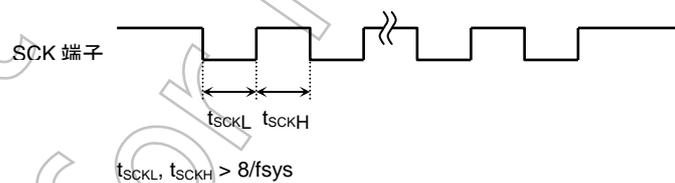


図 16-16 外部クロック入力時の最大転送周波数

② シフトエッジ

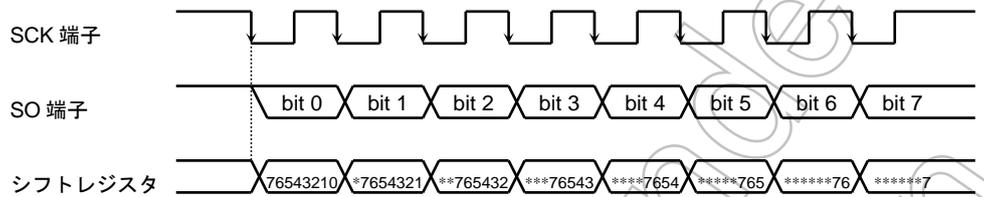
送信は前縁シフト， 受信は後縁シフトになります。

前縁シフト

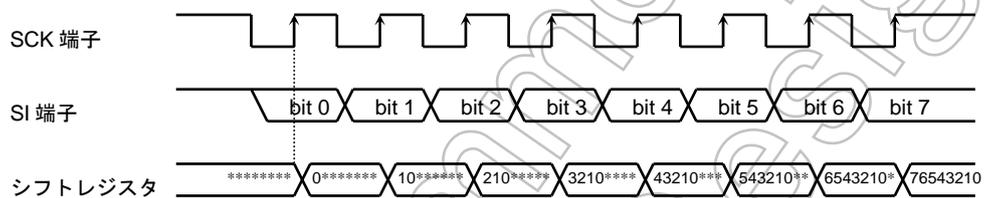
シリアルクロックの前縁 (SCK 端子入出力の立ち下がリエッジ) でデータをシフトします。

後縁シフト

シリアルクロックの後縁 (SCK 端子入出力の立ち上がりエッジ) でデータをシフトします。



(a) 前縁シフト



(b) 後縁シフト

(注) \* ; Don't care

図 16-17 シフトエッジ

## 16.7.2 転送モード

SBICR1 <SIOM1:0> で、送信/受信/送受信モードを選択します。

## ① 8ビット送信モード

制御レジスタに送信モードをセットした後、送信データを SBIDBR に書き込みます。

送信データの書き込み後、SBICR1 <SIOS> = “1” を書き込むことにより送信が開始されます。送信データは、SBIDBR からシフトレジスタに移され、シリアルクロックに同期して最下位ビット (LSB) 側から S0 端子に出力されます。送信データがシフトレジスタに移されると、SBIDBR が空になりますので、次の送信データを要求する INTSBIO (バッファEMPTY) 割り込み要求が発生します。

内部クロック動作の場合、8ビットのデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBIDBR にデータが書き込まれている必要があります。したがって、転送速度は割り込み要求の発生から割り込みサービスプログラムにて、SBIDBR にデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SBISR <SIOF> が “1” となってから SCK の立ち上がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTSBIO 割り込みサービスプログラムで <SIOS> = “0” を書き込むか <SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了の確認は SBISR <SIOF> で行います。<SIOF> は送信の終了で “0” になります。<SIOINH> = “1” を書き込んだ場合はただちに送信を打ち切り、<SIOF> は “0” になります。

外部クロック動作では、次の送信データのシフト動作に入る前に <SIOS> を “0” にする必要があります。もしシフトアウトする前に <SIOS> が “0” にされなかった場合は、ダミーのデータの送信後、停止します。

	7 6 5 4 3 2 1 0	
SBICR1	← 0 1 0 0 0 X X X	送信モードをセットします。
SBIDBR	← X X X X X X X X	送信データを書き込みます。
SBICR1	← 1 0 0 0 0 X X X	送信を開始します。

## INTSBIO 割り込み

SBIDBR	← X X X X X X X X	送信データを書き込みます。
--------	-------------------	---------------

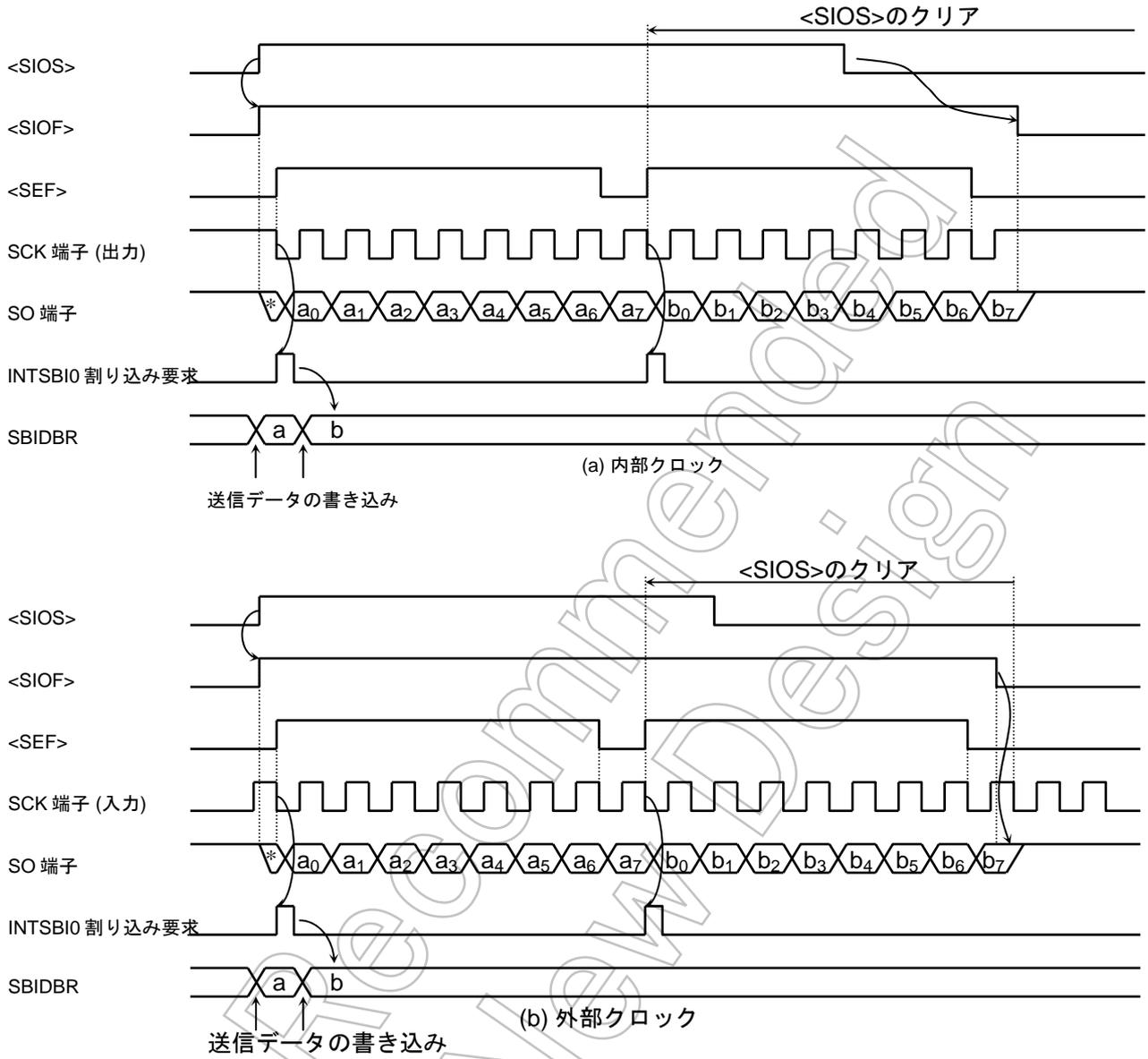


図 16-18 送信モード

例: <SIO> の送信終了指示 (外部クロックの場合) の場合のプログラム例 (MIPS16)

```

STEST1      ADDIU   r3, r0, 0x04
            LB     r2, (SBISR)           ; If SBISR<SEF> = 1 then loop
            AND    r2, r3
            BNEZ   r2, STEST1
            ADDIU  r3, r0, 0x40
STEST2      : LB     r2, (PCREG)         ; If SCK 端子(PC6) = 0 then loop
            AND    r2, r3
            BEQZ   r2, STEST2
            ADDIU  r3, r0, 0y00000111
            SB     r3, (SBICR1)         ; <SIOS> ← 0
    
```

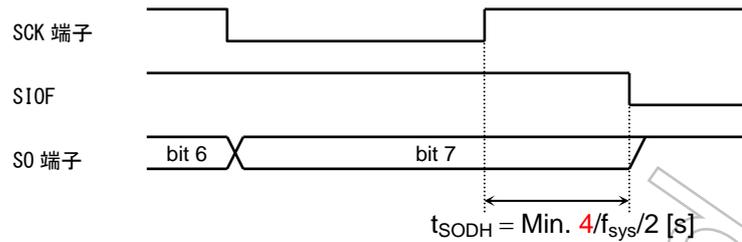


図 16-19 送信終了時の送信データ保持時間

## ② 8ビット受信モード

制御レジスタに受信モードをセットした後、SBICR1 <SIOS> = “1” を書き込むことにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側からシフトレジスタへデータを取り込みます。8ビットのデータが取り込まれるとシフトレジスタから SBIDBR に受信データが書き込まれ、受信データの読み出しを要求する INTSBIO (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにて SBIDBR から読み出します。

内部クロック動作の場合、受信データが SBIDBR から読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期します。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるには INTSBIO 割り込みサービスプログラムで <SIOS> = “0” を書き込むか、<SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、受信データが全ビット揃い、SBIDBR への書き込みが完了した時点で受信が終了します。プログラムで受信の終了の確認は、SBISR <SIOF> で行います。<SIOF> は受信の終了で “0” にされます。受信終了の確認のあと最終受信データを読み出します。<SIOINH> = “1” を書き込んだ場合は、ただちに受信を打ち切り、<SIOF> は “0” になります (受信データは無効になりますので読み出す必要はありません)。

(注) 転送モードを切り替えると SBIDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (<SIOS> = “0” を書き込む) を行い、最終受信データを読み出したあとで切り替えてください。

	7 6 5 4 3 2 1 0										
SBICR1	←	0	1	1	1	0	X	X	X		受信モードをセットします。
SBICR1	←	1	0	1	1	0	X	X	X		受信を開始します。

## INTSBIO 割り込み

Reg.	←	SBIDBR	受信データを取り込みます。
------	---	--------	---------------

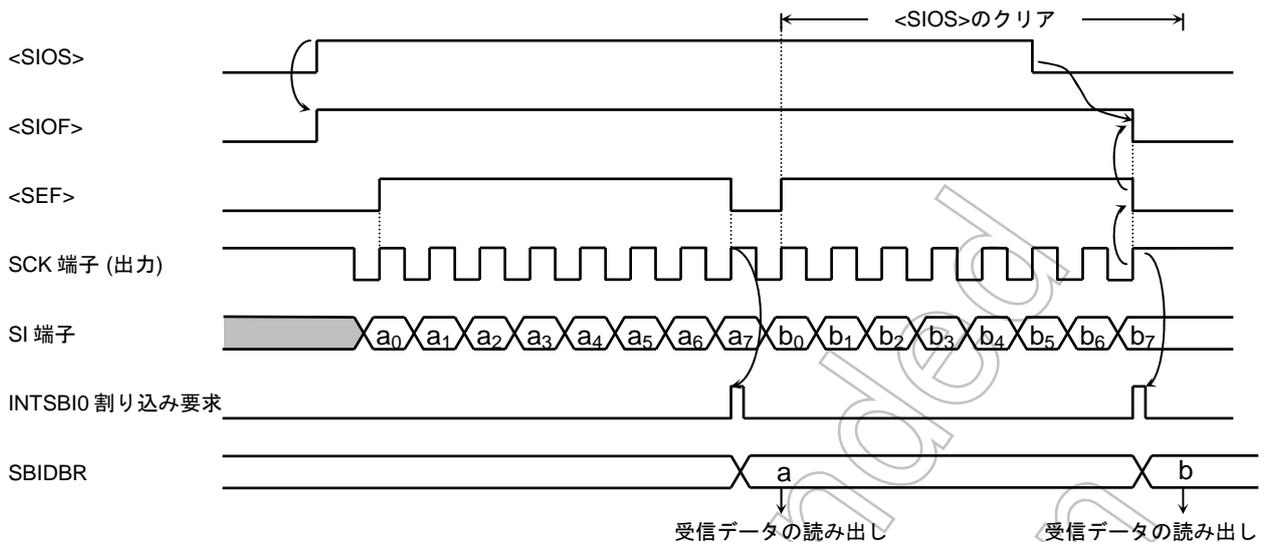


図 16-20 受信モード (例: 内部クロック)

## ③ 8 ビット送受信モード

制御レジスタに送受信モードをセットした後、送信データを SBIDBR に書き込みます。その後、SBICR1 <SIOS> に“1”をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの立ち下がりで送信データが S0 端子から出力され、立ち上がりで受信データが SI 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタから SBIDBR へ受信データが転送され、INTSBI0 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、そのあと送信データを書き込みます。SBIDBR は、送信/受信モードで兼用していますので、送信データは、かならず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合、シフト動作が外部から供給されるシリアルクロックに同期するので、次のシフト動作に入る前に受信データを読み出し、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、<SIOF> が“1”となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSBI0 割り込みサービスプログラムで <SIOS> = “0” を書き込むか SBICR1 <SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、受信データが揃い、SBIDBR への転送が完了した時点で送受信が終了します。プログラムで送受信の終了の確認は、SBISR <SIOF> で行います。<SIOF> は送受信の終了で“0”にされます。<SIOINH> をセットした場合は、ただちに送受信を打ち切り、<SIOF> は“0”にされます。

(注) 転送モードを切り替えると SBIDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示 (<SIOS> = “0” を書き込む) を行い、最終受信データを読み出したあとで切り替えてください。

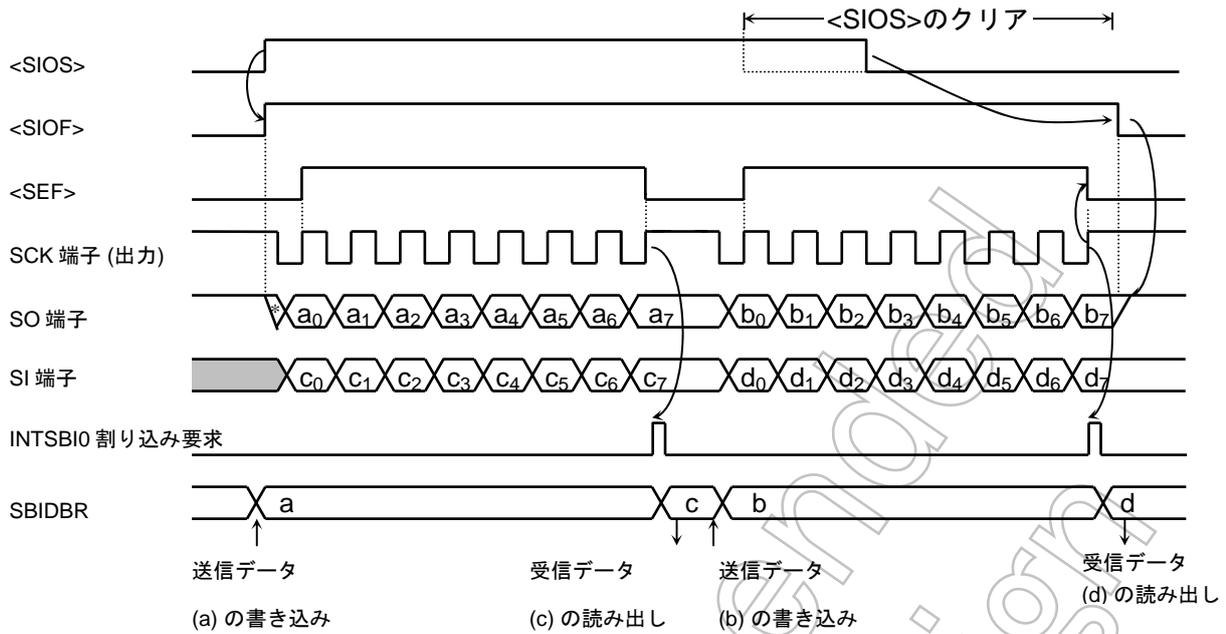


図 16-21 送受信モード (例: 内部クロック)

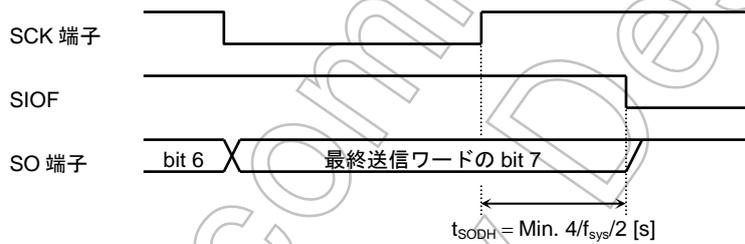


図 16-22 送受信終了時の送信データ保持時間 (送受信モード時)

	7 6 5 4 3 2 1 0	
SBICR1	← 0 1 1 0 0 X X X	送受信モードをセットします。
SBIDBR	← X X X X X X X X	送信データを書き込みます。
SBICR1	← 1 0 1 0 0 X X X	送受信を開始します。

INTSBI0 割り込み

Reg.	← SBIDBR	受信データを取り込みます。
SBIDBR	← X X X X X X X X	送信データを書き込みます。

## 17. アナログ/デジタルコンバータ

TMP19A44 は、16 チャンネルのアナログ入力を持つ、10 ビット逐次変換方式アナログ/デジタルコンバータ (A/D コンバータ) を内蔵しています。4 チャンネル、4 チャンネル、8 チャンネルの 3 つのユニットから構成されています。

図 17-1 に、A/D コンバータのブロック図を示します。

16 チャンネルのアナログ入力端子 (AINA0~AINA3, AINB0~AINB3, AINC0~AINC8) は、入力専用ポートと兼用です。

(注) IDLE、SLEEP、SLOW、STOP、Backup Sleep、Backup Stop モードにより電源電流を低減させる場合、以下の条件で使用される場合には、A/D コンバータの動作を停止して、スタンバイモードに遷移する命令を実行してください。

- 1) ADnMOD1<I2ADn>= "0" で IDLE モードへ遷移する場合
- 2) SLEEP、SLOW、STOP モード、Backup Sleep、Backup Stop へ遷移する場合

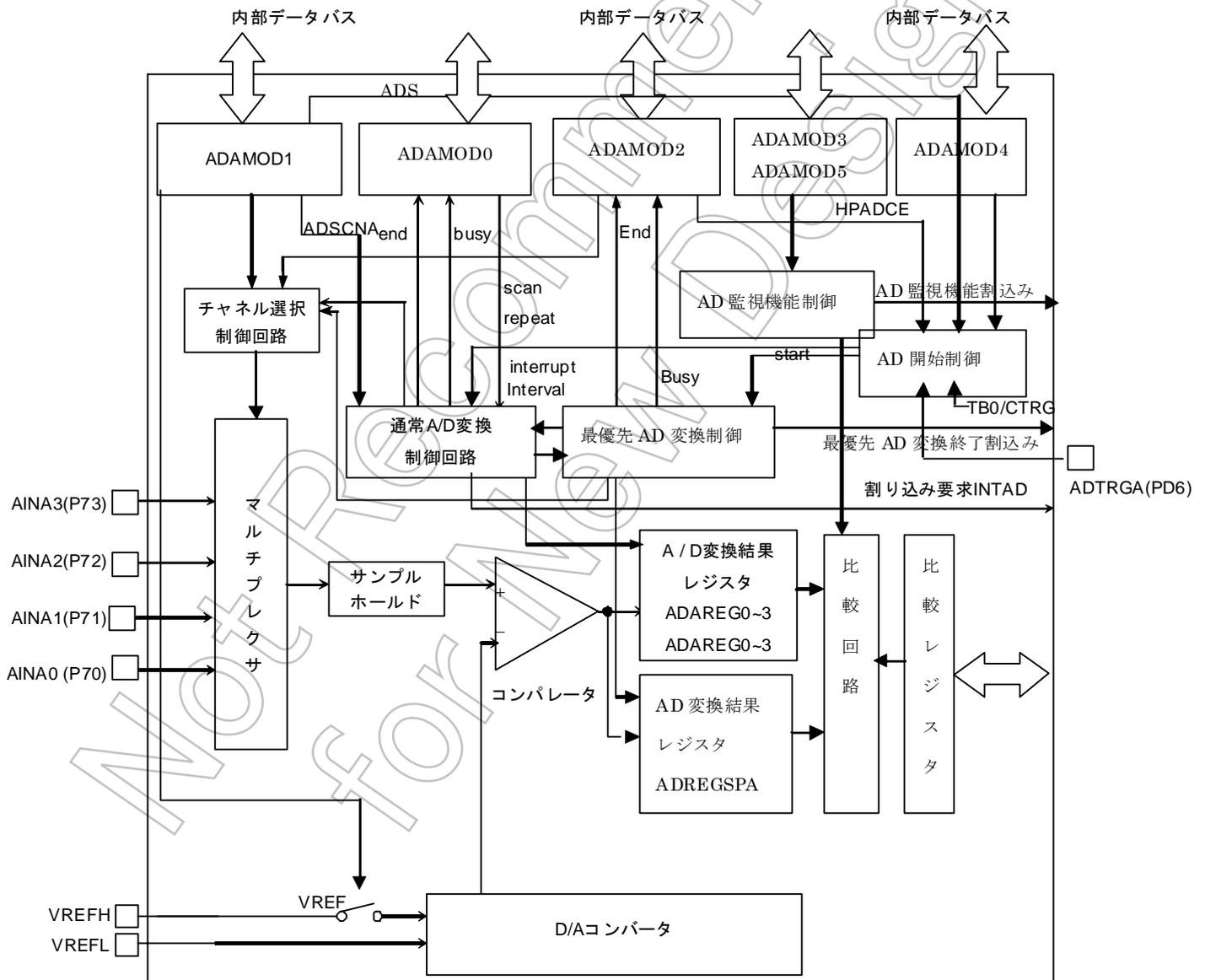


図 17-1 A/D コンバータ ユニット A のブロック図 (ユニット B, C も同様)

## 17.1 コントロールレジスタ

### 17.1.1 ユニットA, ユニットB

A/D コンバータは、A/D モードコントロールレジスタ (ADnMOD0、ADnMOD1、ADnMOD2、ADnMOD3、ADnMOD4 n=A, B) により制御されています。また、A/D 変換結果は、ADAREG0~ADAREG3、ADBREG0~ADBREG3 に格納されます。また、最優先変換結果は ADAREGSP、ADBREGSP に格納されます。

A/D モードコントロールレジスタ 0

	7	6	5	4	3	2	1	0
bit Symbol	EOCFNA	ADBFNA		ITMA1	ITMA0	REPEATA	SCANA	ADSA
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	通常 A/D 変換終了フラグ 0: 変換前または変換中 1: 終了	通常 A/D 変換終了フラグ 0: 変換停止 1: 変換中	リードすると“0”が読めます。	チャンネル固定リピート変換モード時の割り込み指定	チャンネル固定リピート変換モード時の割り込み指定	リピートモード指定 0: シングル変換モード 1: リピート変換モード	スキャンモード指定 0: チャンネル固定モード 1: チャンネルスキャンモード	A/D 変換スタート 0: Don't care 1: 変換開始リードすると常に“0”が読み出されます。

→ チャンネル固定リピート変換モード時の A/D 変換割り込み指定

	チャンネル固定リピート変換モード <SCAN> = “0”, <REPEAT> = “1”
00	1 回変換するごとに割り込み発生
01	4 回変換するごとに割り込み発生
10	設定禁止
11	設定禁止

A/D モードコントロールレジスタ 1

ADAMOD1  
(0xFF00\_4D08)

	7	6	5	4	3	2	1	0
bit Symbol	VREFONA	I2ADA	ADSCNA		ADCHA3	ADCHA2	ADCHA1	ADCHA0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	VREF 印加制御 0:OFF 1:ON	IDLE 0:停止 1:動作	チャンネルスキャン時の動作モード設定 0:4ch スキャン 1:設定禁止	“0”をライトしてください。	アナログ入力チャンネル選択			

アナログ入力チャンネル選択

	<SCAN>	0 チャンネル固定	1 チャンネルスキャン (ADSCN=0)	1 チャンネルスキャン (ADSCN=1)
<ADCHA3.2, 1, 0>				
0000		AINn0	AINn0	AINn0
0001		AINn1	AINn0~AINn1	AINn0~AINn1
0010		AINn2	AINn0~AINn2	AINn0~AINn2
0011		AINn3	AINn0~AINn3	AINn0~AINn3
0100~1111		設定禁止		

(注 1) AD 変換をスタートさせる場合は、かならず<VREFONn>ビットに“1”を書き込んだ後、内部基準電圧が安定するまでの3μs 待つてから、ADnMOD0<ADSn>ビットに“1”を書き込んでください。

(注 2) AD 変換終了後にスタンバイモードへ移行する場合は、<VREFONn>を“0”に設定してください。

A/D モードコントロールレジスタ 2

ADAMOD2  
(0xFF00\_4D0C)

	7	6	5	4	3	2	1	0
bit Symbol	EOCFHPA	ADBFHPA	HPADCEA		HPADCHA3	HPADCHA2	HPADCHA1	HPADCHA0
Read/Write	R			R/W				
リセット後	0	0	0	0	0	0	0	0
機能	最優先 AD 変換終了フラグ 0:変換前または変換中は変換中 1:終了	最優先 AD 変換ビジーフラグ 0:変換停止 1:変換中	最優先変換の起動 0:Don't Care 1:変換開始常に“0”が読み出されます。	“0”をライトしてください。	最優先変換起動時のアナログ入力チャンネル選択			

	最優先変換時のアナログ入力チャンネル
<HPADCHA4,3,2, 1, 0>	
0000	AINA0
0001	AINA1
0010	AINA2
0011	AINA3
0100~1111	設定禁止

A/D モードコントロールレジスタ 3

ADAMOD3  
(0xFF00\_4D10)

	7	6	5	4	3	2	1	0
bit Symbol			ADOBICA	REGSA3	REGSA2	REGSA1	REGSA0	ADOBSVA
Read/Write	R/W		R/W					
リセット後	0	0	0	0	0	0	0	0
機能	“0”をラ イトして ください。	リードす ると“0” が読めま す。	AD 監視機能割 込みの設定 0:比較レジ スタより小 1:比較レジ スタより大	AD 監視機能がイネーブル時に比較レジスタの内 容と比較される AD 変換結果格納レジスタの選択 ビット				AD 監視機能 0:Disable 1:Enable

A/D モードコントロールレジスタ 5

ADAMOD5  
(0xFF00\_4D18)

	7	6	5	4	3	2	1	0
bit Symbol			ADOBICA	REGSA3	REGSA2	REGSA1	REGSA0	ADOBSVA
Read/Write	R/W		R/W					
リセット後	0	0	0	0	0	0	0	0
機能	“0”をラ イトして ください。	リードす ると“0” が読めま す。	AD 監視機能割 込みの設定 0:比較レジ スタより小 1:比較レジ スタより大	AD 監視機能がイネーブル時に比較レジスタの内 容と比較される AD 変換結果格納レジスタの選択 ビット				AD 監視機能 0:Disable 1:Enable

	比較される AD 変換 格納レジスタ
<REGSA3, 2, 1, 0>	
0000	ADAREG0
0001	ADAREG1
0010	ADAREG2
0011	ADAREG3
0100~0111	設定禁止
1XXX	ADAREGSP

A/D モードコントロールレジスタ 4

ADAMOD4  
(0xFF00\_4D14)

	7	6	5	4	3	2	1	0
bit Symbol			ADOBICA	REGSA3			REGSA0	ADOBSVA
Read/Write	R/W			R			W	
リセット後	0	0	0	0	0	0	—	—
機能	最優先 AD 変換 の HW 起動ソー ス 0:外部トリガ 1:TB9RGO 一致	最優先 AD 変換の HW 起動 0:Disable 1:Enable	通常 AD 変換の HW 起動ソース 0:外部トリガ 1:TB1RGO 一致	通常 AD 変 換の HW 起 動	リードすると “0” が読 めます。		10→01 のライトで ADC をソフトウェアリセッ トする。	

(注1) 16ビットタイマの一致トリガ<ADHTGn>、<HADHTGn>に“1”を設定して H/W 起動リソース  
による AD 変換を行う場合、

- ① タイマ停止中に
- ② H/W のソースを選択 <ADHSn>、<HADHSn>
- ③ AD 変換の H/W 起動をイネーブル <ADHTGn>、<HADHTGn>
- ④ タイマ動作

の順に設定することにより、一定間隔での AD 起動が可能となります。

(注2) 最優先 AD 変換、通常 AD 変換設定は同時に行わないで下さい。

(注3) 最優先 AD 変換の HW 起動ソースに外部トリガを使用しているときは、通常 AD 変換  
HW 起動としては外部トリガを設定できません。

17.1.2 ユニットC

A/D コンバータは、A/D モードコントロールレジスタ (ADCMODC0、ADCMODC1、ADCMODC2、ADCMODC3、ADCMODC4) により制御されています。また、A/D 変換結果は、ADCREG0~ADCREG7 に格納されます。また、最優先変換結果は ADCREGSP に格納されます。

A/D モードコントロールレジスタ 0

ADCMOD0  
(0x FF00\_4E04)

	7	6	5	4	3	2	1	0
bit Symbol	EOCFNC	ADBFNC		ITMC1	ITMC0	REPEAT	SCAN	ADS
Read/Write	R			R/W				
リセット後	0	0	0	0	0	0	0	0
機能	通常 A/D 変換終了フラグ 0: 変換中または変換中 1: 終了	通常 A/D 変換 BUSY フラグ 0: 変換停止 1: 変換中	リードすると“0”が読めます。	チャンネル固定リピート変換モード時の割り込み指定	チャンネル固定リピート変換モード時の割り込み指定	リピートモード指定 0: シングル変換モード 1: リピート変換モード	スキャンモード指定 0: チャンネル固定モード 1: チャンネルスキャンモード	A/D 変換スタート 0: Don't care 1: 変換開始 リードすると常に“0”が読み出されます。

チャンネル固定リピート変換モード時の A/D 変換割り込み指定

	チャンネル固定リピート変換モード <SCAN> = “0”, <REPEAT> = “1”
00	1 回変換するごとに割り込み発生
01	4 回変換するごとに割り込み発生
10	8 回変換するごとに割り込み発生
11	設定禁止

A/D モードコントロールレジスタ 1

ADCMOD1  
(0xFF00\_4E08)

	7	6	5	4	3	2	1	0
bit Symbol	VREFON	I2AD	ADSCN		ADCH3	ADCH2	ADCH1	ADCH0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	VREF 印加 0: OFF 1: ON	IDLE 0: 停止 1: 動作	チャンネルスキャン時の動作モード設定 0: 4ch スキャン 1: 8ch スキャン	“0”をライトしてください。	アナログ入力チャンネル選択			

アナログ入力チャンネル選択

<ADCH3. 2, 1, 0>	<SCAN>		
	0 チャンネル固定	1 チャンネルスキャン (ADSCN=0)	1 チャンネルスキャン (ADSCN=1)
0000	AINC0	AINC0	AINC0
0001	AINC1	AINC0~AINC1	AINC0~AINC1
0010	AINC2	AINC0~AINC2	AINC0~AINC2
0011	AINC3	AINC0~AINC3	AINC0~AINC3
0100	AINC4	AINC4	AINC0~AINC4
0101	AINC5	AINC4~AINC5	AINC0~AINC5
0110	AINC6	AINC4~AINC6	AINC0~AINC6
0111	AINC7	AINC4~AINC7	AINC0~AINC7
1000~1111	設定禁止		

(注 1) AD 変換をスタートさせる場合は、かならず<VREFON>ビットに“1”を書き込んだ後、内部基準電圧が安定するまでの 3μs 待ってから、ADMOD0<ADS>ビットに“1”を書き込んでください。

(注 2) AD 変換終了後にスタンバイモードへ移行する場合は、<VREFON>を“0”に設定してください。

A/D モードコントロールレジスタ 2

ADCMOD2  
(0xFF00\_4E0C)

	7	6	5	4	3	2	1	0
bit Symbol	EOCFHP	ADBFHP	HPADCE		HPADCH3	HPADCH2	HPADCH1	HPADCH0
Read/Write	R			R/W				
リセット後	0	0	0	0	0	0	0	0
機能	最優先 AD 変換終了フラグ 0: 変換前または変換中 1: 終了	最優先 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中	最優先変換の起動 0: Don't care 1: 変換開始 読み出しは常に "0" になります。	"0" をライトしてください。	最優先変換起動時のアナログ入力チャネル選択			

<HPADCH3.2, 1, 0>	最優先変換時のアナログ入力チャネル
0000	AINC0
0001	AINC1
0010	AINC2
0011	AINC3
0100	AINC4
0101	AINC5
0110	AINC6
0111	AINC7
1000~1111	設定禁止

A/D モードコントロールレジスタ 3

ADCMOD3  
(0xFF00\_4E40)

	7	6	5	4	3	2	1	0
bit Symbol			ADOBIC	REGS3	REGS2	REGS1	REGS0	ADOBVS
Read/Write	R/W	R	R/W					
リセット後	0	0	0	0	0	0	0	0
機能	"0" をライトしてください。	リードすると "0" が読めます。	AD 監視機能割込みの設定 0: 比較レジスタより小 1: 比較レジスタより大	AD 監視機能が Enable 時に比較レジスタの内容と比較される AD 変換結果格納レジスタの選択ビット			AD 監視機能 0: Disable 1: Enable	

A/D モードコントロールレジスタ 5

ADCMOD5  
(0xFF00\_4E48)

	7	6	5	4	3	2	1	0
bit Symbol			ADOBICC	REGSC3	REGSC2	REGSC1	REGSC0	ADOBVC
Read/Write	R/W	R	R/W					
リセット後	0	0	0	0	0	0	0	0
機能	"0" をライトしてください。	リードすると "0" が読めます。	AD 監視機能割込みの設定 0: 比較レジスタより小 1: 比較レジスタより大	AD 監視機能が Enable 時に比較レジスタの内容と比較される AD 変換結果格納レジスタの選択ビット			AD 監視機能 0: Disable 1: Enable	



A/D 変換結果レジスタ 0 (ユニット A, B, C)

ADAREG0  
(0xFF00\_4D34)

	7	6	5	4	3	2	1	0
bit Symbol	ADR01	ADR00					OVR0	ADR0RF
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果下位 2 ビット格納	リードすると "0" が読めます。					オーバーランフラグ 0:発生無し 1:発生	AD 変換結果格納フラグ 1 変換結果有
	15	14	13	12	11	10	9	8
bit Symbol	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果上位 8 ビット格納							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

A/D 変換結果レジスタ 1 (ユニット A, B, C)

ADAREG1  
(0xFF00\_4D38)

	7	6	5	4	3	2	1	0
bit Symbol	ADR11	ADR10					OVR1	ADR1RF
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果下位 2 ビット格納	リードすると "0" が読めます。					オーバーランフラグ 0:発生無し 1:発生	AD 変換結果格納フラグ 1 変換結果有
	15	14	13	12	11	10	9	8
bit Symbol	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果上位 8 ビット格納							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

A/D 変換結果レジスタ 2 (ユニット A, B, C)

ADAREG2  
(0xFF00\_4D3C)

	7	6	5	4	3	2	1	0
bit Symbol	ADR21	ADR20					OVR2	ADR2RF
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果下位 2 ビット格納	リードすると“0”が読めます。					オーバーランフラグ 0:発生無し 1:発生	AD 変換結果格納フラグ 1 変換結果有
	15	14	13	12	11	10	9	8
bit Symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果上位 8 ビット格納							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

A/D 変換結果レジスタ 3 (ユニット A, B, C)

ADAREG3  
(0xFF00\_4D40)

	7	6	5	4	3	2	1	0
bit Symbol	ADR31	ADR30					OVR3	ADR3RF
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果下位 2 ビット格納	リードすると“0”が読めます。					オーバーランフラグ 0:発生無し 1:発生	AD 変換結果格納フラグ 1 変換結果有
	15	14	13	12	11	10	9	8
bit Symbol	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果上位 8 ビット格納							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

A/D 変換結果レジスタ 4 (ユニット C)

ADCREG4  
(0xFF00\_4E40)

	7	6	5	4	3	2	1	0
bit Symbol	ADR41	ADR40					OVR4	ADR4RF
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果下位 2 ビット格納		リードすると “0” が読めます。				オーバーランフラグ 0: 発生無し 1: 発生	AD 変換結果格納フラグ 1 変換結果有
	15	14	13	12	11	10	9	8
bit Symbol	ADR49	ADR48	ADR47	ADR46	ADR45	ADR44	ADR43	ADR42
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果上位 8 ビット格納							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

A/D 変換結果レジスタ 5 (ユニット C)

ADCREG5  
(0xFF00\_4E44)

	7	6	5	4	3	2	1	0
bit Symbol	ADR51	ADR50					OVR5	ADR5RF
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果下位 2 ビット格納		リードすると “0” が読めます。				オーバーランフラグ 0: 発生無し 1: 発生	AD 変換結果格納フラグ 1 変換結果有
	15	14	13	12	11	10	9	8
bit Symbol	ADR59	ADR58	ADR57	ADR56	ADR55	ADR54	ADR53	ADR52
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果上位 8 ビット格納							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

A/D 変換結果レジスタ 6 (ユニット C)

ADCREG6  
(0xFF00\_4E48)

	7	6	5	4	3	2	1	0
bit Symbol	ADR61	ADR60					OVR6	ADR6RF
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果下位 2 ビット格納		リードすると “0” が読めます。				オーバーランフラグ 0:発生無し 1:発生	AD 変換結果格納フラグ 1 変換結果有
	15	14	13	12	11	10	9	8
bit Symbol	ADR69	ADR68	ADR67	ADR66	ADR65	ADR64	ADR63	ADR62
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果上位 8 ビット格納							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

A/D 変換結果レジスタ 7 (ユニット C)

ADCREG7  
(0xFF00\_4E4C)

	7	6	5	4	3	2	1	0
bit Symbol	ADR71	ADR70					OVR7	ADR7RF
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果下位 2 ビット格納		リードすると “0” が読めます。				オーバーランフラグ 0:発生無し 1:発生	AD 変換結果格納フラグ 1 変換結果有
	15	14	13	12	11	10	9	8
bit Symbol	ADR79	ADR78	ADR77	ADR76	ADR75	ADR74	ADR73	ADR72
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果上位 8 ビット格納							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

A/D 変換結果レジスタ SP (ユニット A, B, C)

ADAREGSP  
(0xFF00\_4D50)

	7	6	5	4	3	2	1	0
bit Symbol	ADRSPA1	ADRSPA0					OVRSPA	ADRSPRFA
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果下位 2 ビット格納		リードすると "0" が読めます。				オーバーランフラグ 0:発生無し 1:発生	AD 変換結果格納フラグ 1 変換結果有
	15	14	13	12	11	10	9	8
bit Symbol	ADRSP9	ADRSP8	ADRSP7	ADRSP6	ADRSP5	ADRSP4	ADRSP3	ADRSP2
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果上位 8 ビット格納							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

A/D 変換結果格納フラグ &lt;ADRxRF&gt; :

A/D 変換値が格納されると、"1" にセットされます。  
レジスタ (ADREGx) をリードすると、"0" にされます。

Over Run flag &lt;OVRx&gt; :

変換結果格納レジスタ (ADREGx) を Read する前に変換結果が  
上書きされると 1 に Set されます。Flag の Read により 0 にクリアされます。

A/D 変換結果比較レジスタ 0 (ユニット A, B, C)

ADACOMREG0  
(0xFF00\_4D54)

	7	6	5	4	3	2	1	0
bit Symbol	ADRSPA1	ADRSPA0						
Read/Write	R/W		R					
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果比較下位 2 ビット格納		リードすると“0”が読めます。					
	15	14	13	12	11	10	9	8
bit Symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果上位 8 ビット格納							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

※ADnMOD3<REGSn3:0>で指定された AD 変換結果格納レジスタと比較されます。

A/D 変換結果比較レジスタ 1 (ユニット A, B, C)

ADACOMREG1  
(0xFF00\_4D58)

	7	6	5	4	3	2	1	0
bit Symbol	ADR21	ADR20						
Read/Write	R/W		R					
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果比較下位 2 ビット格納		リードすると“0”が読めます。					
	15	14	13	12	11	10	9	8
bit Symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果上位 8 ビット格納							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

※ADnMOD5<REGSn3:0>で指定された AD 変換結果格納レジスタと比較されます。

(注) このレジスタへ値を設定する時、または値を変更する時は、AD 監視機能を禁止 (ADnMOD3,5<ADOBVn>= “0”) した状態で行ってください

### 17.2 変換クロック

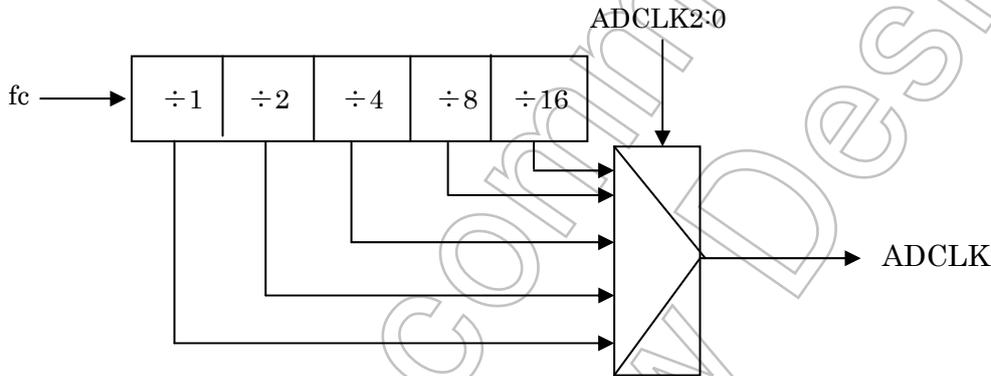
- 最短 46 変換クロックで変換されます。

A/D 変換クロック設定レジスタ

	7	6	5	4	3	2	1	0
bit Symbol	TSH3	tSH2	tSH1	tSH0		ADCLK2	ADCLK1	ADCLK0
Read/Write	R/W				R	R/W		
リセット後	1	0	0	0	0	0	0	0
機能	A/D サンプルホールド時間選択 1000: 8 変換クロック      1001: 16 変換クロック 1010: 24 変換クロック     1011: 32 変換クロック 0011: 64 変換クロック 1100: 128 変換クロック    1101: 512 変換クロック  上記以外の設定: reserved				リードする と“0”が読 めます。	A/D プリスケアラ出力選択 000: fc (※注 1) 001: fc/2 010: fc/4 011: fc/8 100: fc/16 111: reserved		

※注 1 80MHz 動作時は初期値からの設定を変更してください。

注 2 ADCLK<2:0>はソフトウェアリセットでは初期化されません。



(例)  $f_{sys} = f_c = 80\text{MHz}$  の場合

prescalar [ADCLK2:0]	tconv. (変換時間) 40MHz	tconv. (変換時間) 80MHz
1	1.15 $\mu\text{s}$	設定禁止
1/2	2.3 $\mu\text{s}$	1.15 $\mu\text{s}$
1/4	4.6 $\mu\text{s}$	2.3 $\mu\text{s}$

S/H 時間可変

fc=f <sub>sys</sub> → 変換 clock	S/H 時間	tconv. (変換時間)
fc=40MHz → ADCLK=40MHz (Prescalar 1/1 選択)	変換 clk*8 (0.2us)	1.15 $\mu\text{s}$
	変換 clk*16 (0.4us)	1.35 $\mu\text{s}$
	変換 clk*24 (0.6us)	1.55 $\mu\text{s}$
fc=80MHz → ADCLK=40MHz (Prescalar 1/2 選択)	変換 clk*32 (0.8us)	1.75 $\mu\text{s}$
	変換 clk*64 (1.6us)	2.55 $\mu\text{s}$
	変換 clk*128 (3.2us)	4.15 $\mu\text{s}$
	変換 clk*512 (12.8us)	13.75 $\mu\text{s}$

注) 「AD 変換中には、A/D 変換クロック設定を変更しないで下さい」

## 17.3 動作説明

### 17.3.1 アナログ基準電圧

アナログ基準電圧の“H”レベル側を VREFH 端子に、“L”レベル側を VREFL 端子に印加します。ADnMOD1<VREFONn>ビットに“0”を書き込むことにより、VREFH—VREFL 間のスイッチを OFF できます。AD 変換をスタートさせる場合は、かならず<VREFONn>ビットに“1”を書き込んだ後、内部基準電圧が安定するまでの  $3\mu\text{s}$  待ってから、ADnMOD0<ADSn>ビットに“1”を書き込んでください。

### 17.3.2 アナログ入力チャネルの選択

アナログ入力チャネルの選択は、A/D コンバータの動作モードによって異なります。

#### (1) 通常 AD 変換時

- アナログ入力チャネルを固定で使用する場合 (ADnMOD0<SCANn>=“0”)  
ADnMOD1<ADCHn3~0>の設定により、アナログ入力 AINn0 ~ AINn3、または AINC0 ~ AINC7 端子の中から 1 チャネルを選択します。
- アナログ入力チャネルをスキャンで使用する場合 (ADnMOD0<SCANn>=“1”)  
ADnMOD1<ADCHn3~0>の設定および ADSCnN により、スキャンモードを選択します。

#### (2) 最優先 AD 変換時

ADnMOD2<HPADCHn3~0>の設定により、アナログ入力 AINn0 ~ AINn3、または AINC0 ~ AINC7 端子の中から 1 チャネルを選択します。

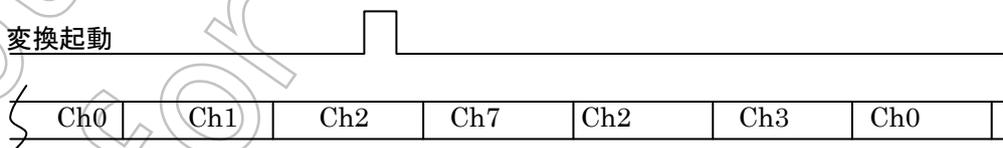
リセット後は ADnMOD0<SCANn> は“0”に ADnMOD1<ADCHn3:0> は“0000”に初期化され、これにより選択が行なわれますので、AINn0 端子のチャネル固定入力を選択されます。なお、アナログ入力チャネルとして使用しない端子は、通常の入力ポートとして使用できます。

通常 AD 変換中に最優先 AD 変換の起動が掛かると、通常 AD 変換は中断し、最優先 AD 変換が実行されて終了後に通常 AD 変換を再開します。

例) ADCMOD0<REPEATn : SCANn>=“11”、ADCMOD1<ADCHn3:0>=0011 でチャネル AINC0~AINC3 までのリピートスキャン変換中に ADCMOD2<HPADCHn3:0>=0111 で AINC7 の最優先 AD 変換が起動された場合。

最優先 AD 変換起動

変換 Ch



### 17.3.3 A/D 変換開始

A/D 変換には、通常 AD 変換と最優先 AD 変換の 2 種類があります。通常 AD 変換は ADnMOD0<ADSn> に“1”を設定することによりソフトで起動が掛かります。また、最優先 AD 変換は ADnMOD2<HPADCEn> に“1”を設定することによりソフトで起動が掛かります。通常 AD 変換は ADnMOD0<2:1>で指定される 4 種類の動作モードから 1 つの動作モードが選択されます。最優先 AD 変換の動作モードはチャンネル固定のシングル変換のみです。また、通常 AD 変換は ADnMOD4<ADHSn>、最優先 AD 変換は ADnMOD4<HADHSn>で選択される HW 起動ソースにより起動を掛けることができます。このビットが“0”の場合は、ADTRGn 端子より立ち下がリエッジの入力により起動が掛かり、このビットが“1”の場合、通常 AD 変換は 16 ビットタイマ 1 からの TB1RG0 の一致で起動が掛かり、最優先 AD 変換の場合は 16 ビットタイマ 9 からの TB9RG0 の一致で起動が掛かります。H/W 起動が許可された場合でもソフトウェア起動は有効です。

(注) 最優先 AD 変換の HW 起動ソースに外部トリガを使用しているときは、通常 AD 変換 HW 起動としては外部トリガを設定できません。

外部トリガはユニット毎に 1 端子 ADTRGA、ADTRGB、ADTRGC あります。ADTRGSNC 端子の入力によりユニット A、ユニット B を同時スタートさせる事が可能です。

外部トリガを使用する際、ADTRGA、ADTRGB 及び ADTRGSNC の両方のポートファンクション設定が必要になります。使用されない外部トリガ端子は、出力専用ポートとしてのみ使用可能です。(外部トリガ設定後、PxIE=0 にして入力を無効にして下さい。)

#### ポートの設定例

##### 1) ADTRGA のみ使用

PDFC1<PD6F>=0      ポートに設定  
 PDFC2<PD6F2>=1      ADTRG A に設定  
 PDIE<PIED6>=1      入力許可  
 PDPUP<PED6>=1      内蔵プルアップ設定(プログラムによります)

PIFC1<PI7F>=1      ADTRGSNC に設定  
 PIIE<PIE17>=0      入力禁止  
 ※PI7 端子は出力ポートとして使用可能

##### 2) ADTRGB のみ使用

PDFC1<PD7F>=1      ADTRG B に設定  
 PDIE<PIED7>=1      入力許可  
 PDPUP<PED7>=1      内蔵プルアップ設定(プログラムによります)

PIFC1<PI7F>=1      ADTRGSNC に設定  
 PIIE<PIE17>=0      入力禁止  
 ※PI7 端子は出力ポートとして使用可能

## 3) ADTRGSNC のみ使用の場合(ユニット A、ユニット B を使用)

PIFC1<PI17F>=1      ADTRGSNC に設定  
PIIE<PIE17>=1      入力許可  
PIPUP<PE17>=1      内蔵プルアップ設定(プログラムによります)

PDFC1<PD6F>=0      Port に設定  
PDFC2<PD6F2>=1      ADTRG A に設定  
PDIE<PIED6>=0      入力禁止  
※PD6 端子は出力ポートとして使用可能

PDFC1<PD7F>=1      ADTRG B に設定  
PDIE<PIED7>=0      入力禁止  
※PD7 端子は出力ポートとして使用可能

## 4) ADTRGSNC のみ使用の場合(ユニット A のみ使用)

PIFC1<PI17F>=1      ADTRGSNC に設定  
PIIE<PIE17>=1      入力許可  
PIPUP<PE17>=1      内蔵プルアップ設定(プログラムによります)

PDFC1<PD6F>=0      Port に設定  
PDFC2<PD6F2>=1      ADTRG A に設定  
PDIE<PIED6>=0      入力禁止  
※PD6 端子は出力ポートとして使用可能

## 5) ADTRGSNC のみ使用の場合(ユニット B のみ使用)

PIFC1<PI17F>=1      ADTRGSNC に設定  
PIIE<PIE17>=1      入力許可  
PIPUP<PE17>=1      内蔵プルアップ設定(プログラムによります)

PDFC1<PD7F>=1      ADTRG B に設定  
PDIE<PIED7>=0      入力禁止  
※PD7 端子は出力ポートとして使用可能

通常 A/D 変換が開始されると、A/D 変換中を示す A/D 変換 Busy フラグ (ADnMOD0<ADBFn>) が“1”にセットされます。また、最優先 AD 変換が開始されると、AD 変換中を示す AD 変換 Busy フラグ (ADnMOD2<ADBFHPn>) が“1”にセットされます。このときに通常 AD 変換用の Busy フラグは、最優先 AD 変換の開始前の値を保持します。また、通常 AD 変換用の変換終了フラグ EOCFn も開始前の値を保持します。

**(注) 最優先 A/D 変換中に通常 AD 変換を再起動させないでください (最優先 A/D 変換終了フラグがセットされません。また、以前の通常 A/D 変換のフラグがクリアされません)。**

通常 A/D 変換を再起動する場合はソフトウェアリセット (ADnMOD4<ADRST1:0>) を行ってから起動してください。HW による通常 A/D 変換の再起動は行わないでください。

通常 AD 変換中に ADnMOD2<HPADCEn>に“1”を設定すると、現在変換中の AD 変換は中断され、最優先 AD 変換が始まり ADnMOD2<3:0>で指定されるチャンネルの AD 変換 (チャンネル固定のシングル変換) が開始されます。この結果を格納レジスタ ADnREGSP へ格納すると、続きから通常 AD 変換を再開します。

通常 AD 変換中に HW による最優先 AD 変換の起動が許可されている場合は、リソースからの起動条件が成立すると現在変換中の AD 変換は中断され、最優先 AD 変換が始まり ADnMOD2<3:0>で指定されるチャンネルの AD 変換 (チャンネル固定のシングル変換) が開始されます。この結果を格納レジスタ ADnREGSP へ格納すると、続きから通常 AD 変換を再開します。

Not Recommended for New

### 17.3.4 A/D 変換モードと A/D 変換終了割り込み

A/D 変換には、次の 4 つの動作モードが用意されています。通常 AD 変換の場合は ADnMOD0<2:1>の設定により選択ができます。最優先 AD 変換の場合は ADnMOD0<2:1>の設定によらず、チャンネル固定のシングル変換のみの動作です。

- チャンネル固定シングル変換モード
- チャンネルスキャンシングル変換モード
- チャンネル固定リピート変換モード
- チャンネルスキャンリピート変換モード

#### (1) 通常 A/D 変換

動作モードの選択は、ADnMOD0<REPEATn, SCANn>で行います。A/D 変換が開始されると ADnMOD0<ADBFn>が“1”にセットされます。指定された AD 変換が終了すると、A/D 変換終了割り込み (INTADn) が発生し、A/D 変換終了を示す ADnMOD0<EOCFNn> が“1”にセットされます。<ADBFn>は<REPEATn>=“0”の時は EOCFNn のセットと同時に“0”に戻りますが、<REPEATn>=“1”の時は“1”の状態を保持して変換を続けます。

#### ① チャンネル固定シングル変換モード

ADnMOD0 <REPEATn, SCANn> に“00”を設定すると、チャンネル固定シングル変換モードになります。

このモードでは、選択した 1 チャンネルの変換を 1 回だけ行います。変換が終了した後、ADnMOD0<EOCFNn>が“1”にセット、ADnMOD0<ADBFn>が“0”にされ、INTADn の割り込み要求が発生します。<EOCFNn>は読み出す事により 0 にクリアされます。

#### ② チャンネルスキャンシングル変換モード

ADnMOD0 <REPETn, SCANn> に“01”を設定すると、チャンネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャンネルの変換をそれぞれ 1 回だけ行います。スキャン変換が終了した後、ADnMOD0<EOCFNn>が“1”にセット、ADnMOD0<ADBFn>が“0”にされ、INTADn の割り込み要求が発生します。<EOCFNn>は読み出す事で“0”にクリアされます。

#### ③ チャンネル固定リピート変換モード

ADnMOD0<REPEATn, SCANn>に“10”を設定するとチャンネル固定リピート変換モードになります。

このモードでは、選択した 1 チャンネルの変換を繰り返し行います。変換が終了した後、ADnMOD0 <EOCFNn> が“1”にセットされます。ADnMOD0 <ADBFn> は“0”にされず“1”を保持します。INTADn の割り込み要求発生タイミングは ADnMOD0 <ITMn1:0> の設定により選択できます。<EOCFNn>がセットされるタイミングも割り込みのタイミングに連動します。

<EOCFNn>は読み出す事により“0”にクリアされます。

<ITMn1:0> を“00”に設定すると A/D 変換が 1 回終了するごとに割り込み要求が発生します。この場合、変換結果は常に格納レジスタの ADnREG0 に格納されます。格納時点で EOCFNn は“1”になります。

<ITMn1:0> を“01”に設定すると A/D 変換が 4 回終了するごとに割り込み要求が発生します。この場合、変換結果は格納レジスタの ADnREG0~ADnREG3 に順次格納されます。ADnREG3 に格納後<EOCFNn>は“1”にセットされ、再び ADnREG0 から格納を始めま

す。<EOCFNn>は読み出す事により“0”にクリアされます。

<ITMn1:0>を“10”に設定すると（ユニットCのみ設定可能）A/D変換が8回終了するごとに割り込み要求が発生します。この場合、変換結果は格納レジスタのADCREG0～ADCREG7に順次格納されます。ADCREG7格納後<EOCFNn>は“1”にセットされ、再びADCREG0から格納を始めます。

<EOCFNn>は読み出す事によりクリアされます。

#### ④ チャネルスキャンリピート変換モード

ADnMOD0 <REPEATn, SCANn>に“11”を設定するとチャネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャンネルの変換を繰り返し行います。1回のスキャン変換が終了するごとにADnMOD0 <EOCFNn>が“1”にセットされ、INTADn割り込み要求が発生します。ADnMOD0 <ADBFn>は“0”にされず“1”を保持します。<EOCFNn>は読み出す事により“0”にクリアされます。

リピート変換モード（③、④のモード）の動作を停止させたい場合は、ADnMOD0 <REPEATn>に“0”を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADnMOD0 <ADBFn>は“0”にされます。

IDLE、STOP、バックアップモード等のスタンバイ状態へ移行する場合は、スタンバイ状態へ移行する前にA/D変換を停止していることを確認してから（または、停止させてから）移行してください。

#### (2) 最優先 A/D 変換

動作モードはチャンネル固定のシングル変換のみです。ADnMOD0<REPEATn, SCANn>の設定は関係ありません。起動条件が成立すると、ADnMOD2<HPADCHn3:0>で指定されるチャンネルの変換を一度だけ行います。変換が終了すると、最優先AD変換終了割り込みが発生して、ADnMOD2<EOCFNHPn>は“1”にセットされ、<ADBFHPn>は“0”に戻ります。EOCFNHP フラグは読み出すとクリアされます。

表 17-1 変換モードと割り込み発生タイミング、フラグ動作の関係

変換モード	割り込み発生 タイミング	EOCFNn セットタイミング (注)	ADBFn (割り込み 発生後)	ADnMOD0		
				ITMn1:0	REPEATn	SCANn
チャンネル固定 シングル変換	変換終了後	変換終了後	0	—	0	0
チャンネル固定 リピート変換	1回変換毎	変換が1回終了後	1	00	1	0
	4回変換毎	変換が4回終了後	1	01		
	8回変換毎 (ユニットCの み)	変換が8回終了後	1	10		
チャンネルスキャン シングル変換	スキャン変換 終了後	スキャン変換終了後	0	—	0	1
チャンネルスキャン リピート変換	1回のスキャン 変換終了毎	1回のスキャン変換 終了後	1	—	1	1

(注) EOCFNn はリードするとクリアされます。

### 17.3.5 最優先変換モード

通常 AD 変換に割り込んで、最優先 AD 変換を行う事ができます。最優先 AD 変換は ADnMOD2<HPADCEn>に“1”を設定するソフトによる起動と、ADnMOD4<7:6>の設定により HW リソースを用いた起動ができます。通常 AD 変換中に最優先 AD 変換が起動されると、現在変換中の AD 変換は中断され、ADnMOD2<3:0>で指定されるチャンネルのシングル変換を行います。変換結果は ADnREGSP へ格納され、最優先 AD 変換割り込みが発生します。その後通常 AD 変換が続きから再開されます。また、最優先 AD 変換中の最優先 AD 変換の起動は無視されます。

例えば チャンネル AINC0~AINC7 までのチャンネルリポート変換が起動されており、AINC3 の変換中に<HPADCEn>に“1”がセットされた場合は AINC3 の変換が中断され、<HPADCEn3:0>で指定されたチャンネルの変換を行い、結果を ADCREGSP へ格納後に AINC3 からのチャンネルリポート変換を再開します。

### 17.3.6 AD 監視機能

指定された変換結果格納レジスタの内容が比較レジスタの値より大または小となった場合に、AD 監視機能割り込みを発生させることが可能です。比較動作は該当変換結果格納レジスタへ結果が格納されるごとに行われ、条件が成立すると割り込みが発生します。

本機能は、ユニット毎に 2 つの値と比較可能としております。ADnMOD3 と ADnMOD5 のどちらかの条件が成立した場合、ADC 監視割り込みが発生します。このため、割込ハンドラ内で ADnMOD3 と ADnCOMREG0、ADnMOD5 と ADnCOMREG1 をそれぞれ比較し、どちらの条件で割り込みが発生したのかを判別する必要があります。

ADnMOD3<ADOBSVn>、ADnMOD5<ADOBSVn>に“1”を設定すると AD 監視機能が有効になり、REGSn<3:0>で指定された変換結果格納レジスタの内容が比較レジスタの値より大または小 (ADOBIC で大か小は指定) になると AD 監視機能割り込みが発生します。

比較されるレジスタは下記のように固定されています。

**ADnMOD3<REGSn 3:0>は ADnCOMREG0、**

**ADnMOD5<REGSn 3:0>は ADnCOMREG1 と比較します。**

### 17.3.7 A/D 変換結果の格納と読み出し

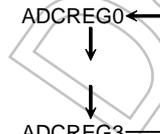
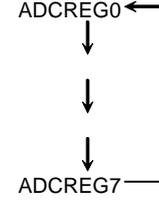
A/D 変換結果は、通常 AD 変換の A/D 変換結果レジスタ (ADAREG0~ ADAREG3, ADBREG0~ ADBREG3, ADCREG0~ ADCREG7) に格納されます。

チャンネル固定リポート変換モードでは、A/D 変換結果は、ADnREG0 から ADnREG3, 7 へと順次格納されます。ただし、割り込み発生を<ITMn1:0>で 1 回ごとに指定した場合は ADnREG0 のみに格納され、<ITMn1:0>で 4 回ごとに指定した場合は ADnREG0~ ADnREG3 へと順次格納されます。

表 17-2 にアナログ入力チャンネルと A/D 変換結果レジスタの対応を示します。

表 17-2 アナログ入力チャンネルと A/D 変換結果レジスタの対応

アナログ入力 チャンネル (ポート 7)	A/D 変換結果レジスタ			
	右記以外の変 換モード	チャンネル固定リピート 変換モード (1 回)	チャンネル固定リピート 変換モード (4 回ごと)	チャンネル固定リピート 変換モード (8 回ごと)
AINA0/AINB0	ADAREG0/ ADBREG0	ADAREG0 固定/ ADBREG0 固定		設定禁止
AINA1/AINB1	ADAREG1/ ADBREG1			
AINA2/AINB2	ADAREG2/ ADBREG2			
AINA3/AINB3	ADAREG3/ ADBREG3			

アナログ入力 チャンネル (ポート 8)	A/D 変換結果レジスタ			
	右記以外の変 換モード	チャンネル固定リピート 変換モード (1 回)	チャンネル固定リピート 変換モード (4 回ごと)	チャンネル固定リピート 変換モード (8 回ごと)
AINC0	ADCREG0	ADCREG0 固定		
AINC1	ADCREG1			
AINC2	ADCREG2			
AINC3	ADCREG3			
AINC4	ADCREG4			
AINC5	ADCREG5			
AINC6	ADCREG6			
AINC7	ADCREG7			

### 17.3.8 データポーリング

割り込みを使用せずにデータポーリングで AD 変換結果を処理する場合は ADnMOD0<EOCFn>のポーリングをしてください。このフラグがセットされた場合は、所定の AD 変換結果格納レジスタに変換結果が格納されていますので、セットを確認後に AD 変換格納レジスタを読み出して下さい。この際に Over RUN を検出する為に、変換結果格納レジスタの上位を先に読み出し、次に下位を読み出して下さい。この結果、下位に存在する OVRn=0、ADRnRF=1 であれば、正しい変換結果を得た事になります。

## 18. ウォッチドッグタイマ（暴走検出用タイマ）

暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ（WDT）は、ノイズなどの原因により CPU が誤動作（暴走）を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスカブル割り込みを発生し CPU に知らせます。

また、このウォッチドッグタイマアウトをリセット（チップ内部）へ接続することにより、強制的にリセット動作を行うことができます。

### 18.1 構成

図 18-1にウォッチドッグタイマのブロック図を示します。

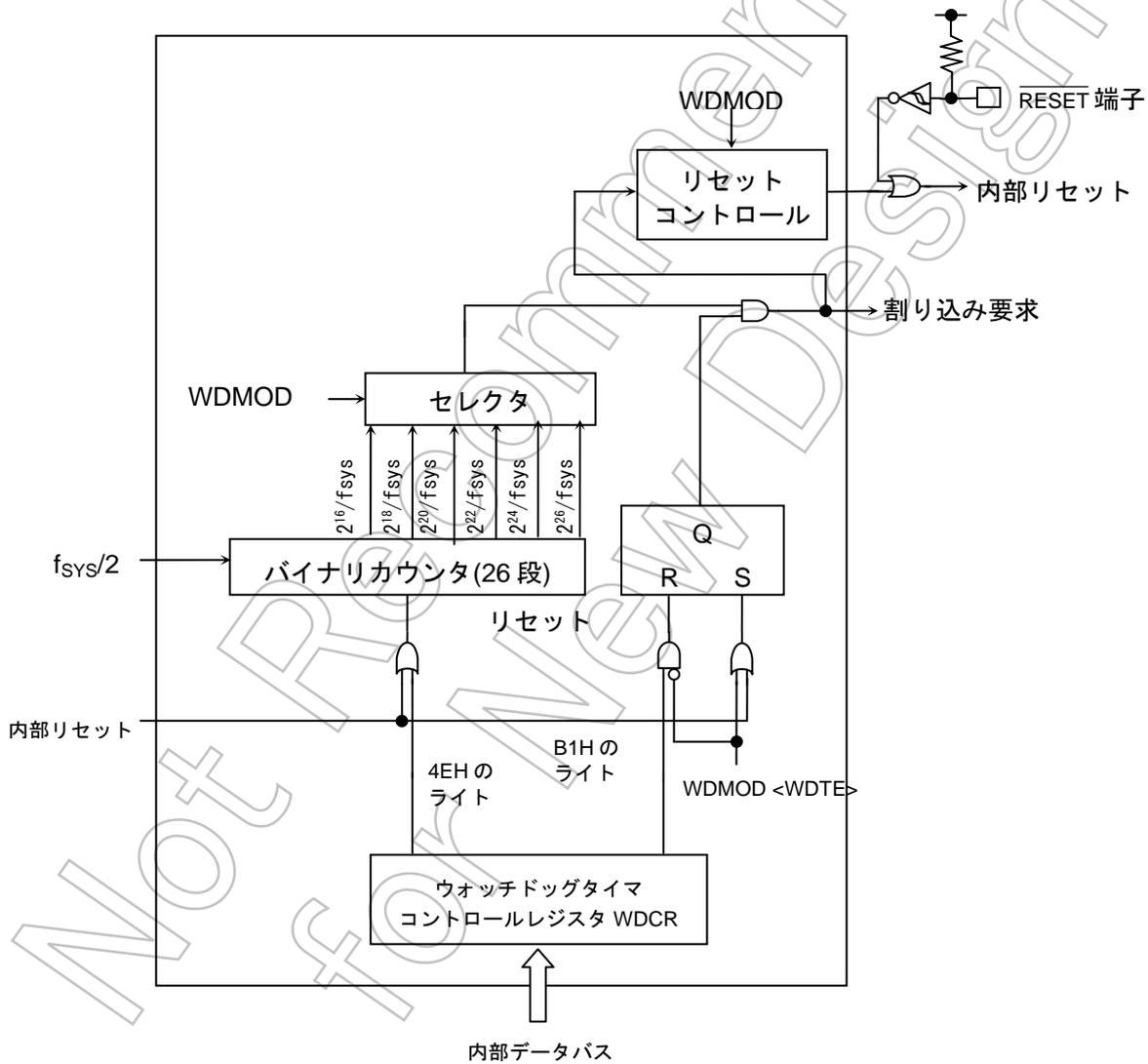


図 18-1 ウォッチドッグタイマのブロック図

## 18.2 レジスタ一覧

ウォッチドッグタイマの制御レジスタとアドレスは以下の通りです。

レジスタ名		アドレス
ウォッチドッグタイマモードレジスタ	WDMOD	0xFF00_4F00
ウォッチドッグタイマコントロールレジスタ	WDCR	0xFF00_4F04

### 18.2.1 ウォッチドッグタイマ モードレジスタ (WDMOD)

	7	6	5	4	3	2	1	0
bit Symbol	WDTE	WDTP2	WDTP1	WDTP0		I2WDT	RESCLR	
Read/Write	R/W	R/W			R		R/W	R/W
リセット後	1	0	0	0		0	1	0
機能	WDT 制御 1: 許可	WDT 検出時間の選択 000: $2^{16}/f_{SYS}$ 001: $2^{18}/f_{SYS}$ 010: $2^{20}/f_{SYS}$ 011: $2^{22}/f_{SYS}$ 100: $2^{24}/f_{SYS}$ 101: $2^{26}/f_{SYS}$ 110: 設定禁止 111: 設定禁止			リードすると“0”が読めます。	IDLE 0: 停止 1: 動作	0: NMI 割り込み発生 1: WDTOUT をリセットへ接続	“0”をライトしてください。

ウォッチドッグタイマアウトコントロール

0	NMI 割り込みが発生します
1	WDTOUT をリセットへ接続

ウォッチドッグタイマの検出時間

@  $f_c = 80 \text{ MHz}$

SYSCLR1 ビット値 <GEAR2:0>	Watch Dog Timer の検出時間					
	WDMOD<WDTP2:0>					
	000	001	010	011	100	101
000 ( $f_c$ )	0.82 ms	3.28 ms	13.11 ms	52.43 ms	209.72 ms	0.84 s
100 ( $f_c/2$ )	1.64 ms	6.55 ms	26.21 ms	104.86 ms	419.43 ms	1.68 s
101 ( $f_c/4$ )	3.28 ms	13.11 ms	52.43 ms	209.72 ms	838.86 ms	3.36 s
110 ( $f_c/8$ )	6.55 ms	26.21 ms	104.86 ms	419.43 ms	1.68 s	6.71 s
111 ( $f_c/16$ )	13.11 ms	52.43 ms	209.72 ms	838.86 ms	3.36 s	13.42 s

ウォッチドッグタイマの禁止/許可制御

0	停止
1	許可

## 18.2.2 ウォッチドッグタイマ コントロールレジスタ (WDCR)

	7	6	5	4	3	2	1	0
bit Symbol								
Read/Write	W							
リセット後	-							
機能	B1H : WDT ディセーブルコード 4EH : WDT クリアコード							

→ WDT のディセーブル&クリア

B1H	ディセーブルコード
4EH	クリアコード
上記以外	-

## 18.3 動作説明

ウォッチドッグタイマは、WDMOD<WDTP2 : 0> レジスタで設定された検出時間後に割り込み (INTWDT) を発生させるタイマです。ソフトウェア (命令) でウォッチドッグタイマ用のバイナリカウンタを INTWDT 割り込みが発生する前にゼロクリアすることが必要です。もし、CPU がノイズなどの原因で誤動作 (暴走) しバイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWDT 割り込みが発生します。CPU は INTWDT 割り込みにより誤動作 (暴走) が発生したことを知り、誤動作 (暴走) 対策プログラムにより正常な状態に戻すことができます。

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。

また、STOP モード中のウォッチドッグタイマはリセットされ停止しています。バス解放中 (BUSAK = "L") は、カウントを続けます。IDLE モードでは、WDMOD <I2WDT> の設定に依存します。必要に応じて、IDLE モードに入る前に WDMOD <I2WDT> を設定してください。

**注: 高周波発振子が止まっている状態では使用しないで下さい。**

**ウォッチドッグタイマにより、システムリセットが動作しても、高周波発振子の発振が安定していない為に、正常に動作いたしません。**

### 18.4 ウォッチドッグタイマ割り込み

ウォッチドッグタイマは、システムクロック  $f_{SYS}/2$  を入力クロックとする、26 段のバイナリカウンタで構成されています。バイナリカウンタの出力には  $2^{16}$ 、 $2^{18}$ 、 $2^{20}$ 、 $2^{22}$ 、 $2^{24}$  および  $2^{26}$  があります。このうちの 1 出力を WDMOD <WDTP2 : 0> で選択することにより、そのオーバフロー時に、図 18-2 で示すように、ウォッチドッグタイマ割り込みが発生します。

また、ウォッチドッグタイマ割り込みはノンマスカブル割り込み要因であり、ウォッチドッグタイマ割り込みが発生するとクロックジェネレータの NMIFLG レジスタ NMIFLG<NMIFLG0> ビットがセットされます。割り込みハンドラで NMIFLG レジスタを読み出すことにより、ノンマスカブル割り込みの要因を識別できます。

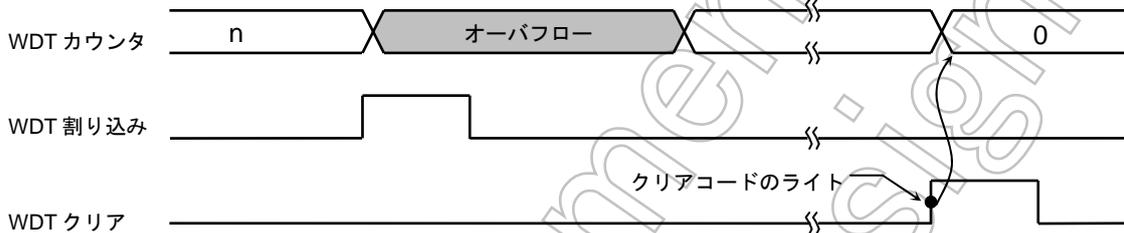


図 18-2 通常モード

また、オーバフロー時にチップ自身をリセットすることも選択可能です。この場合、図 18-3 で示すように 32 ステートの期間、リセットを行います。なお、この場合（リセットされた場合）、入力クロック  $f_{SYS}/2$  と高速発振器のクロック  $f_{OSC}$  の関係は、 $f_{SYS}/2 = f_{OSC}/2$  となります。

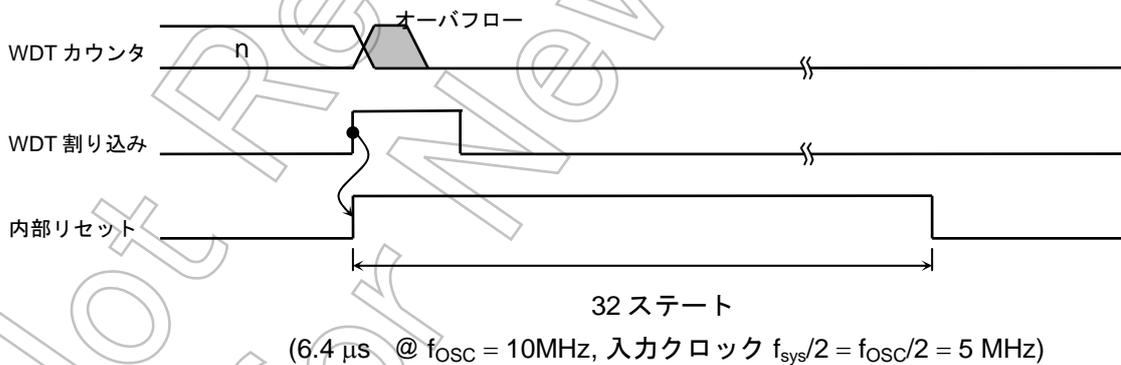


図 18-3 リセットモード

## 18.5 コントロールレジスタ

ウォッチドッグタイマ (WDT) は、2つのコントロールレジスタ (WDMOD、WDCR) によって制御されています。

### 18.5.1 ウォッチドッグタイマ モードレジスタ (WDMOD)

① ウォッチドッグタイマ検出時間の設定 <WDTP2:0>

暴走検出のためのウォッチドッグタイマ割り込み時間を設定する 3 ビットのレジスタです。リセット時 WDMOD <WDTP2:0> = “000” にイニシャライズされます。

② ウォッチドッグ タイマのイネーブル/ディセーブル制御 <WDTE>

リセット時 WDMOD <WDTE> = “1” にイニシャライズされますので、ウォッチドッグタイマはイネーブルになっています。

ディセーブルにするには、このビットを “0” にするとともに WDCR レジスタにディセーブルコード (B1H) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグタイマのディセーブルが発生し難くなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE> ビットを “1” にセットするだけでイネーブルとなります。

③ ウォッチドッグタイマアウトのリセット接続 <RESCR>

暴走検出により自分自身をリセットするかどうかを設定するビットです。リセット時 WDMOD <RESCR> = “1” に初期化されますので、ウォッチドッグタイマアウト出力によるリセットが行われます。

### 18.5.2 ウォッチドッグタイマ コントロールレジスタ (WDCR)

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

- ディセーブル制御

WDMOD <WDTE> を “0” にしたあと、この WDCR レジスタにディセーブルコード (B1H) を書き込むとウォッチドッグタイマをディセーブルにすることができます。

WDMOD	← 0 - - - - -	WDTE を “0” クリアします。
WDCR	← 1 0 1 1 0 0 0 1	ディセーブルコード (B1H) を書き込みます。

- イネーブル制御

WDMOD <WDTE> を “1” にする。

- ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード (4EH) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

WDCR	← 0 1 0 0 1 1 1 0	クリアコード (4EH) を書き込みます。
------	-------------------	-----------------------

**(注) ディセーブルコード (B1H) を書き込むとバイナリカウンタはクリアされます。**

## 19. リアルタイムクロック (RTC)

### 19.1 RTCの機能概略

- 1) 時計機能 (時間、分、秒)
- 2) カレンダー機能 (月日、週、うるう年)
- 3) 24 時間計と 12 時間計 (AM/PM) のいずれかを選択可能
- 4) +/-30 秒補正機能 (ソフトウェアによる補正)
- 5) アラーム割り込み発生  
(カレンダーによる指定、または 1sec/500msec/250msec/125msec/62.5msec 選択可能)

### 19.2 ブロック図

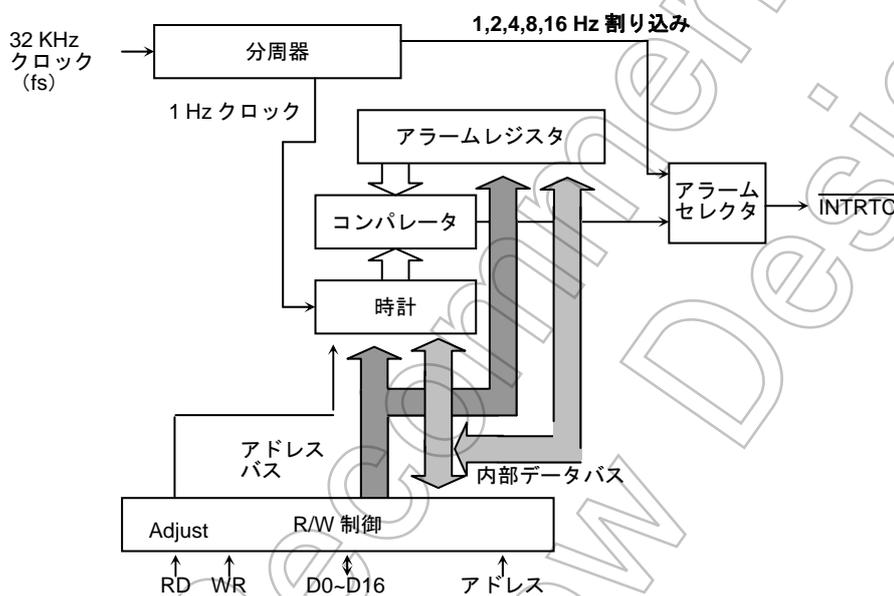


図 19-1 RTC ブロック図

注 1) 西暦年桁について

本製品は、年桁を下 2 桁しか持っていません。そのため 99 年の翌年は 00 年として動作します。使用するシステムにおいて、西暦で年桁を取り扱う場合にはシステム側にて上 2 桁を管理してください。

注 2) うるう年について

うるう年は、4 で割り切れる年ですが例外があり 100 で割り切れる年はうるう年ではありません。ただし、400 で割り切れる年はうるう年です。しかし、本製品は上記例外に対応していません。4 で割り切れる年のみをうるう年としていますのでこの点が問題であればシステム側にてあらかじめ対策してください。

## 19.3 レジスタ

## 19.3.1 コントロールレジスタ

表 19-1 PAGE0 (時計機能) レジスタ

Symbol	アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容	Read/Write
SECR	0xFF00_1500 (0xFF00_1503)		40 秒	20 秒	10 秒	8 秒	4 秒	2 秒	1 秒	秒桁	R/W
MINR	0xFF00_1501 (0xFF00_1502)		40 分	20 分	10 分	8 分	4 分	2 分	1 分	分桁	R/W
HOURLR	0xFF00_1502 (0xFF00_1500)			20 時 /PM/AM	10 時	8 時	4 時	2 時	1 時	時間桁	R/W
DAYR	0xFF00_1504 (0xFF00_1507)						W2	W1	W0	曜日桁	R/W
DATER	0xFF00_1505 (0xFF00_1506)			20 日	10 日	8 日	4 日	2 日	1 日	日桁	R/W
MONTHR	0xFF00_1506 (0xFF00_1505)				10 月	8 月	4 月	2 月	1 月	月桁	R/W
YEARR	0xFF00_1507 (0xFF00_1504)	80 年	40 年	20 年	10 年	8 年	4 年	2 年	1 年	年桁 (西暦下 2 桁)	R/W
PAGER	0xFF00_1508	割り込み 許可			秒補正 設定	時計 許可	アラーム 許可		PAGE 設定	PAGE レジスタ	W, R/W
RESTR	0xFF00_150C	1Hz 許可	16Hz 許可	時計 リセット	アラーム リセット		2Hz 許可	4Hz 許可	8Hz 許可	リセットレジスタ	W のみ

注) PAGE0 の SECR, MINR, HOURLR, DAYR, MONTHR, YEARR はリードすると現在の状態がリードされます。

() 内アドレスはビッグエンディアン

表 19-2 PAGE1 (アラーム機能) レジスタ

Symbol	アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容	Read/Write
SECR	0xFF00_1500 (0xFF00_1503)										
MINR	0xFF00_1501 (0xFF00_1502)		40 分	20 分	10 分	8 分	4 分	2 分	1 分	アラーム分桁	R/W
HOURLR	0xFF00_1502 (0xFF00_1500)			20 時 /PM/AM	10 時	8 時	4 時	2 時	1 時	アラーム時間桁	R/W
DAYR	0xFF00_1504 (0xFF00_1507)						W2	W1	W0	アラーム週桁	R/W
DATER	0xFF00_1505 (0xFF00_1506)			20 日	10 日	8 日	4 日	2 日	1 日	アラーム日桁	R/W
MONTHR	0xFF00_1506 (0xFF00_1505)								24/12	24 時間クロック モード	R/W
YEARR	0xFF00_1507 (0xFF00_1504)								うるう年設定	うるう年モード	R/W
PAGER	0xFF00_1508	割り込み 許可			秒補正 設定	時計 許可	アラーム 許可		PAGE 設定	PAGE レジスタ	W,R/W
RESTR	0xFF00_150C	1Hz 許可	16Hz 許可	時計 リセット	アラーム リセット		2Hz 許可	4Hz 許可	8Hz 許可	リセットレジスタ	W のみ

(注 1) PAGE1 の MINR, HOURLR, DAYR, MONTHR, YEARR はリードすると現在の状態がリードされます。

(注 2) PAGE0 の SEC, MIN, HOUR, DAY, DATE, MONTH, YEAR レジスタ、および PAGE1 の YEAR (うるう年) レジスタのリード動作は 2 回行い、比較処理を行ってください。

() 内アドレスはビッグエンディアン

19.3.2 コントロールレジスタの説明

RTCはシステムリセットによる初期化はされません。従って、RTCは各レジスタに秒/分/時/日/曜日/月/年/うるう年を設定後、動作を開始します。

(1) 秒桁レジスタの設定 (PAGE0のみ)

SECR

	7	6	5	4	3	2	1	0
Bit symbol		SE6	SE5	SE4	SE3	SE2	SE1	SE0
Read/Write		R/W						
リセット後		不定						
機能	“0” がリロードされます。	40 秒桁	20 秒桁	10 秒桁	8 秒桁	4 秒桁	2 秒桁	1 秒桁

設定例を下記に示します。

0	0	0	0	0	0	0	0 秒
0	0	0	0	0	0	1	1 秒
0	0	0	0	0	1	0	2 秒
0	0	0	0	0	1	1	3 秒
0	0	0	0	1	0	0	4 秒
0	0	0	0	1	0	1	5 秒
0	0	0	0	1	1	0	6 秒
0	0	0	0	1	1	1	7 秒
0	0	0	1	0	0	0	8 秒
0	0	0	1	0	0	1	9 秒
0	0	1	0	0	0	0	10 秒
:							
0	0	1	1	0	0	1	19 秒
0	1	0	0	0	0	0	20 秒
:							
0	1	0	1	0	0	1	29 秒
0	1	1	0	0	0	0	30 秒
:							
0	1	1	1	0	0	1	39 秒
1	0	0	0	0	0	0	40 秒
:							
1	0	0	1	0	0	1	49 秒
1	0	1	0	0	0	0	50 秒
:							
1	0	1	1	0	0	1	59 秒

注) 上記以外の設定はしないでください。

(2) 分析レジスタの設定 (PAGE0/1)

	7	6	5	4	3	2	1	0
MINR		MI6	MI5	MI4	MI3	MI2	MI1	MI0
Bit symbol								
Read/Write		R/W						
リセット後		不定						
機能	“0” がリロードされます。	40分	20分	10分	8分	4分	2分	1分

設定例を下記に示します。

0	0	0	0	0	0	0	0分
0	0	0	0	0	0	1	1分
0	0	0	0	0	1	0	2分
0	0	0	0	0	1	1	3分
0	0	0	0	1	0	0	4分
0	0	0	0	1	0	1	5分
0	0	0	0	1	1	0	6分
0	0	0	0	1	1	1	7分
0	0	0	1	0	0	0	8分
0	0	0	1	0	0	1	9分
0	0	1	0	0	0	0	10分
:							
0	0	1	1	0	0	1	19分
0	1	0	0	0	0	0	20分
:							
0	1	0	1	0	0	1	29分
1	0	0	0	0	0	0	30分
:							
1	0	0	1	0	0	1	49分
1	0	1	0	0	0	0	50分
:							
1	0	1	1	0	0	1	59分

注) 上記以外の設定はしないでください。

アラーム don't care 設定

1	1	1	1	1	1	1	don't care
---	---	---	---	---	---	---	------------

(3) 時間桁レジスタの設定 (PAGE0/1)

1. 24時間クロックモード (MONTHR<M00> = “1”) の場合

	7	6	5	4	3	2	1	0
HOURR			H05	H04	H03	H02	H01	H00
Bit symbol			R/W					
Read/Write			不定					
リセット後			不定					
機能	“0” がリードされます。		20時	10時	8時	4時	2時	1時

設定例を下記に示します。

0	0	0	0	0	0	0	0時
0	0	0	0	0	0	1	1時
0	0	0	0	0	1	0	2時
:							
0	0	1	0	0	0	0	8時
0	0	1	0	0	0	1	9時
0	1	0	0	0	0	0	10時
:							
0	1	1	0	0	1	1	19時
1	0	0	0	0	0	0	20時
:							
1	0	0	0	1	1	1	23時

注) 上記以外の設定はしないでください。

アラーム don't care 設定

1	1	1	1	1	1	1	don't care
---	---	---	---	---	---	---	------------

2. 12時間クロックモード (MONTHR<M00> = “0”) の場合

	7	6	5	4	3	2	1	0
HOURR			H05	H04	H03	H02	H01	H00
Bit symbol			R/W					
Read/Write			不定					
リセット後			不定					
機能	“0” がリードされます。		PM/AM	10時	8時	4時	2時	1時

設定例を下記に示します。

0	0	0	0	0	0	0	0時 (AM)
0	0	0	0	0	0	1	1時
0	0	0	0	0	1	0	2時
:							
0	0	1	0	0	0	1	9時
0	1	0	0	0	0	0	10時
0	1	0	0	0	0	1	11時
1	0	0	0	0	0	0	0時 (PM)
1	0	0	0	0	0	1	1時

注) 上記以外の設定はしないでください。

アラーム don't care 設定

1	1	1	1	1	1	1	don't care
---	---	---	---	---	---	---	------------

(4) 週桁レジスタの設定 (PAGE0/1)

	7	6	5	4	3	2	1	0
DAYR						WE2	WE1	WE0
Bit symbol						R/W		
Read/Write						不定		
リセット後						W2	W1	W0
機能	"0" がリードされます。							

設定例を下記に示します。

0	0	0	日曜日
0	0	1	月曜日
0	1	0	火曜日
0	1	1	水曜日
1	0	0	木曜日
1	0	1	金曜日
1	1	0	土曜日

注) 上記以外の設定はしないでください。

アラーム don't care 設定

1	1	1	don't care
---	---	---	------------

(5) 日桁レジスタ (PAGE0/1)

	7	6	5	4	3	2	1	0
DATER			DA5	DA4	DA3	DA2	DA1	DA0
Bit symbol			R/W					
Read/Write			不定					
リセット後								
機能	"0" がリードされます。		20日	10日	8日	4日	2日	1日

設定例を下記に示します。

0	0	0	0	0	0	0	0日
0	0	0	0	0	0	1	1日
0	0	0	0	0	1	0	2日
0	0	0	0	0	1	1	3日
0	0	0	1	0	0	0	4日
:							
0	0	1	0	0	1	0	9日
0	1	0	0	0	0	0	10日
0	1	0	0	0	0	1	11日
:							
0	1	1	0	0	1	0	19日
1	0	0	0	0	0	0	20日
:							
1	0	1	0	0	1	0	29日
1	1	0	0	0	0	0	30日
1	1	0	0	0	1	0	31日

注1) 上記以外の設定はしないでください。

注2) 2月30日など、存在しない日は設定しないでください。

アラーム don't care 設定

1	1	1	1	1	1	1	don't care
---	---	---	---	---	---	---	------------

(6) 月桁レジスタの設定 (PAGE0 のみ)

	7	6	5	4	3	2	1	0
MONTHR	Bit symbol			M04	M04	M02	M01	M00
	Read/Write			R/W				
	リセット後			不定				
	機能			10月	8月	4月	2月	1月

設定例を下記に示します。

0	0	0	0	1	1月
0	0	0	1	0	2月
0	0	0	1	1	3月
0	0	1	0	0	4月
0	0	1	0	1	5月
0	0	1	1	0	6月
0	0	1	1	1	7月
0	1	0	0	0	8月
0	1	0	0	1	9月
1	0	0	0	0	10月
1	0	0	0	1	11月
1	0	0	1	0	12月

注) 上記以外の設定はしないでください。

(7) 24 時間時計、12 時間時計の選択 (PAGE1 のみ)

	7	6	5	4	3	2	1	0
MONTHR	Bit symbol							M00
	Read/Write							R/W
	リセット後							不定
	機能							1: 24 時間 0: 12 時間

(注) RTC 動作時 (PAGER<ENATMR>= "1") には、MONTHR<M00>ビットを操作しないでください。

## (8) 年桁レジスタの設定 (PAGE0 のみ)

	7	6	5	4	3	2	1	0
Bit symbol	YE7	YE6	YE5	YE4	YE3	YE2	YE1	YE0
Read/Write	R/W							
リセット後	不定							
機能	80年	40年	20年	10年	8年	4年	2年	1年

設定例を下記に示します。

0	0	0	0	0	0	0	0	00年
0	0	0	0	0	0	0	1	01年
0	0	0	0	0	0	1	0	02年
0	0	0	0	0	0	1	1	03年
0	0	0	0	0	1	0	0	04年
0	0	0	0	0	1	0	1	05年
:								
1	0	0	1	1	0	0	1	99年

注) 上記以外の設定はしないでください。

## (9) うるう年レジスタの設定 (PAGE1 のみ)

	7	6	5	4	3	2	1	0
Bit symbol							LEAP1	LEAP0
Read/Write							R/W	
リセット後							不定	
機能	"0" がリードされます。						00: うるう年 01: うるう年から1年目 10: うるう年から2年目 11: うるう年から3年目	

設定例を下記に示します。

0	0	現在の年(今年)がうるう年
0	1	現在がうるう年から1年目
1	0	現在がうるう年から2年目
1	1	現在がうるう年から3年目

(10) PAGE レジスタの設定 (PAGE0/1)

		7	6	5	4	3	2	1	0
PAGER	Bit symbol	INTENA			ADJUST	ENATMR	ENAALM		
	Read/Write	R/W			R/W	R/W			
	リセット後	0			0	不定	不定		
リードモディ ファイライト できません	機能	INTRTC 0: 禁止 1: 許可	"0" がリードされます。		0: Don't care 1: 補正	時計 0: 禁止 1: 許可	ALARM 0: 禁止 1: 許可	"0" がリ ードされま す。	PAGE 設定

注) <ENATMR>および<ENAALM>の各々の割り込み許可ビットと、INTENA の割り込み許可ビットは下記の設定順番を守り、同時に設定しないようにしてください。  
(時計/アラーム許可と割り込み許可の設定間に時間差を設ける。)

(例) 現時刻、アラーム設定

Id (pager), 0ch : 時計、アラーム許可  
Id (pager), 8ch : 割り込み許可

PAGE	0	Page0 が選択されます
	1	Page1 が選択されます

ADJUST	0	Don't care
	1	秒を補正します。秒が0~29秒のときにこのビットを"1"にすると、秒は"0"になります。また、30~59秒のときは分を桁上げて秒を"0"にします。"1"を書き込み後、次の1秒カウント時にADJUSTが実行され、"0"にクリアされます。(PAGE0のみ)

(11) リセットレジスタの設定 (PAGE0/1)

		7	6	5	4	3	2	1	0	
RESTR (0xFF00_150C)	Bit symbol	DIS1HZ	DIS16HZ	RSTTMR	RSTALM			DIS2HZ	DIS4HZ	DIS8HZ
	Read/Write	R/W			W	R	R/W			
	リセット後	1	1	0	0	0	1	1	1	
リードモディ ファイライト できません	機能	1Hz (1s) 0: 許可 1: 禁止	16Hz (62.5ms) 0: 許可 1: 禁止	1: 時計 リセット	1: アラーム リセット リードする と"0"	リードする と"0"が読 めます。	2Hz (500ms) 0: 許可 1: 禁止	4Hz (250ms) 0: 許可 1: 禁止	8Hz (125ms) 0: 許可 1: 禁止	

RSTALM	0	未使用
	1	アラームレジスタをリセットします。
RSTTMR	0	未使用
	1	1sカウンタをリセットします。"1"を書き込み後、次のFSにて1秒カウンタがリセットされ、"0"にクリアされます。

<DIS1HZ> <DIS2HZ> <DIS4HZ> <DIS8HZ> <DIS16HZ>	0	割り込み許可
	1	割り込み禁止

注) 1Hz, 2Hz, 4Hz, 8Hz, 16Hz, アラーム割り込みを二つ以上同時に許可すると割り込みは発生しません。

## 19.4 動作説明

注) 時計レジスタの変更/ADJUST 実行/RSTTMR 実行後に、スタンバイモード (SLEEP/STOP/BACKUP SLEEP/BACKUP STOP) に移行する場合には、設定変更反映確認後の移行が必要です。

設定変更反映を確認する方法は、下記のいずれかとなります。

- (1) 操作後、次の 1Hz 割り込みの発生を待つ。(設定は、1s カウントにて反映されます)
- (2) 操作後、時計レジスタ値/ADJUST フラグ/RSTTMR フラグの値を読み出し、反映を確認。

### 19.4.1 時計動作

#### (1) 時計データをリードする場合

##### 1. 1Hz 割り込みを利用する

1Hz の割り込みと内部データのカウンタアップは同期しています。1Hz 割り込み発生後、次の 1s カウンタアップまでにデータをリードすれば、正常にデータリードできます。

##### 2. 2度読みを利用する

時計データのリード動作の途中で内部カウンタの桁上げが起こると誤ったデータをリードする場合があります。従って、データを正しく読み込むために、下記の方法で 2 度以上リードしてください。

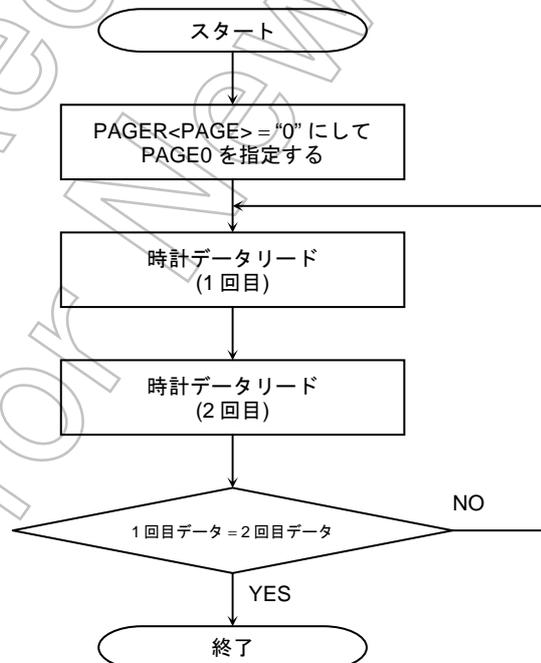


図 19-2 時計データのリードフロー

## (2) 時計データをライトする場合

一連のデータライト動作の途中で桁上げ信号が入ってくると、期待するデータはライトできません。従って、データを正しくライトするためには次の方法があります。

## 1. 1Hz 割り込みを利用する

1Hz の割り込みと内部データのカウンタアップは同期しています。1Hz 割り込み発生後、次の 1s カウンタアップまでにデータをライトすれば、正常にデータライトできます。

## 2. カウンタをリセットする

RTC 内部の 1Hz 生成カウンタ (32.768KHz の信号から 1Hz を発生する 15 段のカウンタ) をクリアし、次の 1s カウンタアップまでにデータをライトすれば、正常にデータライトできます。

1Hz 生成カウンタのクリアは、RESTR<RSTTMR>に "1" をライトすることでクリアのリクエストをセットし、次の FS にて完了します。(完了は、RESTR<RSTTMR>が "0" となったことで確認できます。)

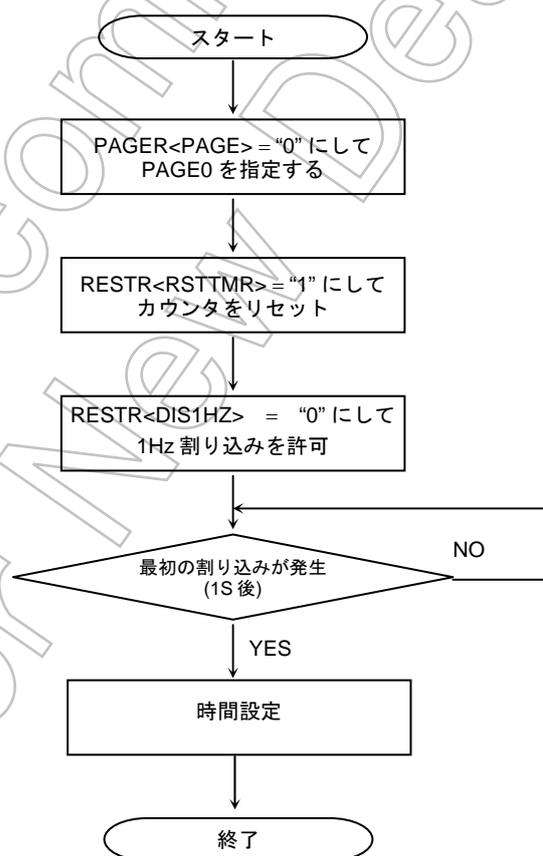


図 19-3 データライトのフロー

## 3. 時計を禁止する場合

PAGER<ENATMR>に“0”をライトすると、時計は禁止となって桁上げは禁止されます。この状態でも、1Hz 生成カウンタはカウントを継続しています。禁止から再度許可するまでの間に時計データをライトする場合には、1Hz 割り込み発生により時計を停止し、次の 1s カウントアップまでにデータをライトすれば、正常にデータライトできます。

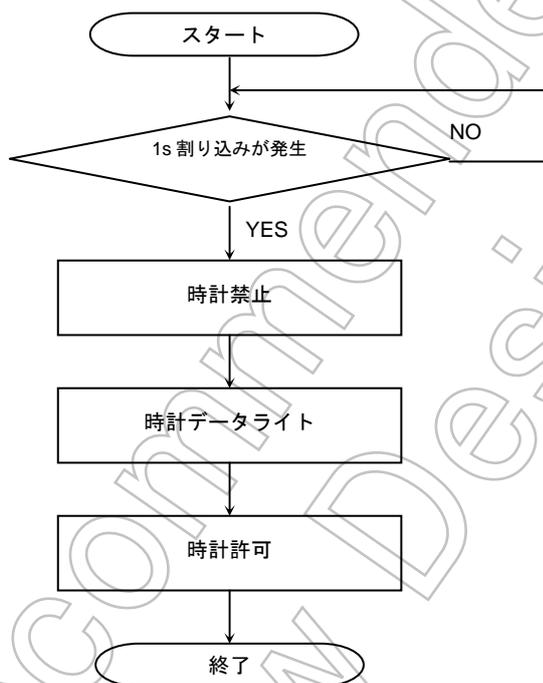


図 19-4 時計を禁止・許可するフローチャート

## 19.4.2 アラーム動作

PAGER<PAGE>に“1”をライトすることにより、PAGE1 のレジスタ群でアラーム機能が使用できます。

INTRTC はいずれの場合も立ち下がりエッジが有効な1ショットのパルスを出力します。

なお、RTC はリセットにより初期化されませんので、時計、アラームの設定時に CG, INTC にある割り込み要求フラグをクリアしてから使用してください。

- (1) アラームレジスタと時計の一致時、INTRTC 割り込み発生
- (2) 1, 2, 4, 8, 16Hz の周期で INTRTC 割り込み発生

### (1) アラームの使用方法

アラーム分析、アラーム時桁、アラーム日桁、アラーム曜日桁の設定は、PAGE1 の各レジスタにデータをライトすることにより行われます。設定レジスタの有効 bit を全て“1”に設定した場合は、その項目は Don't care 状態となり常に一致しているものとみなされます。

すべての項目が一致したときに PAGER<ENAALM>、PAGER<INTENA>が“1”であれば INTRTC 割り込みを要求します。

#### アラームの初期化

RESTR<RSTALM>に“1”をライト後、MINR、HOURR、DAYR、DATER レジスタに 0xFF を設定することにより、アラーム分析、アラーム時桁、アラーム日桁、アラーム曜日桁は Don't care になります。

例えば、毎日正午 (AM12:00) にアラームを出力させる場合のプログラムを下記に示します。

PAGER	←	0x09	アラーム禁止、PAGE1 設定
RESTR	←	0xD7	アラーム初期化
DAYR	←	0xFF	アラーム Don't care 設定
DATAR	←	0xFF	アラーム Don't care 設定
HOURR	←	0xFF	アラーム Don't care 設定
MINR	←	0xFF	アラーム Don't care 設定
HOURR	←	0x12	12 時を設定
MINR	←	0x00	00 分を設定
※待ち時間			セットアップ時間 31μs (注)
PAGER	←	0x0C	アラーム許可
PAGER	←	0x8C	割り込み許可

アラーム設定は、低周波クロックに同期して動作していますので、CPU が高周波で動作している場合、レジスタ設定してから有効になるまでに最大 32kHz の1クロック分 (約 30μs) のズレを生じることがあります。上記例の場合、時間設定しアラーム許可までの間に 31μs のセットアップ時間が必要です。

### (2) 1, 2, 4, 8, 16Hz のクロックの割り込みを使用する場合

PAGER<ENAALM> = “0” と設定

RESTR<DIS1HZ>, <DIS16HZ>, <DIS2HZ>, <DIS4HZ>, <DIS8HZ> の bit の中で、必要なクロック割り込みのみを“0”、他は“1”と設定。(2 つ以上を有効にすることは禁止します。)

PRGER<INTENA> = “1” と設定

により、設定された周期毎に INTRTC 割り込みを出力します。

注) 1, 2, 4, 8, 16Hz 割り込み使用の場合、PAGER<INTENA>=“1” (割り込み許可) までのセットアップ時間は不要です。

## 20. KEY ON Wake up回路

### 20.1 概要

- 32本の入力 KEY00～31があり、スタンバイ解除または外部割り込みとして使用可能です。ただし、32本の入力に対して割り込み要因は1要因として割り込み処理を行います(CGブロック内で設定)。また、個別にKEY入力の使用/未使用は設定可能です KWUPSTn<KEYnEN>。
- 立ち上がりエッジ/立ち下がりエッジ/両エッジ/Highレベル/Lowレベルは各入力個別に設定可能です KWUPSTn<KEYn>。
- 割り込み処理でKEY割り込み要求クリアレジスタ KWUPCLRを設定することにより割り込み要求をクリアします。
- KEY入力端子はプルアップ付きで KWUPSTn<DPEn>のビットによりスタティックプルアップ、ダイナミックプルアップを切り替えることが可能です。これらの設定は32入力個別の設定になります。

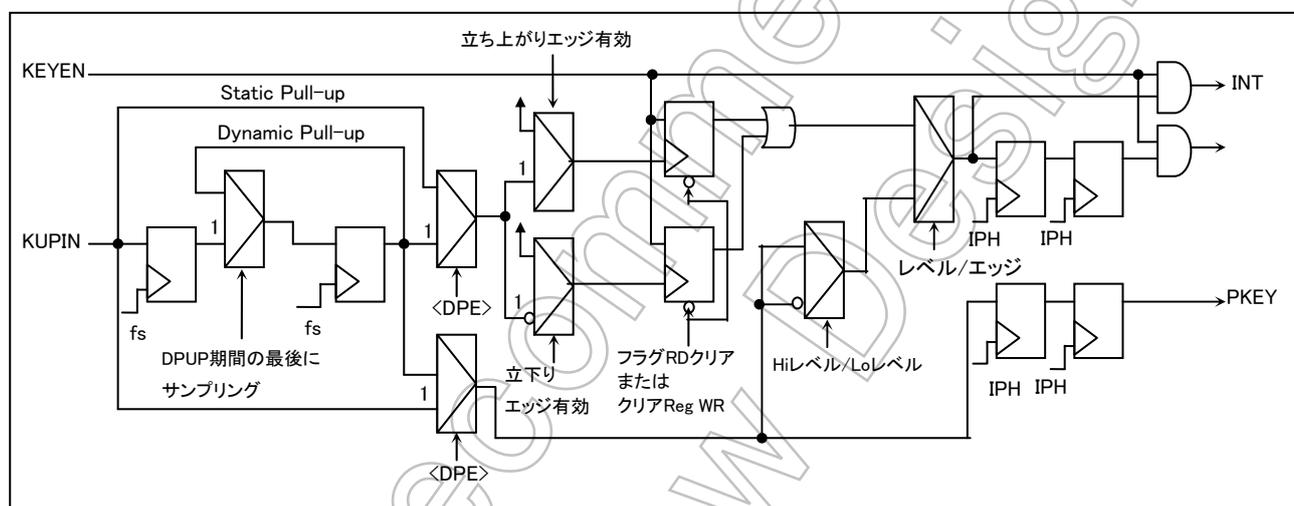


図 20-1 KEY ON Wake up回路ブロック図

## 20.2 KEY ON WAKE UP動作

TMP19A44 は 32 本の KEY 入力端子 (KEY00~31) をもっています。KEY 入力を IDLE 以外のスタンバイ解除に使用するか、IDLE 解除または通常割り込みに使用するかは CG のレジスタ IMCGD<KWUPEN>で設定します。

<KWUPEN>= “1” に設定することにより、KEY00~31 はすべて IDLE 以外のスタンバイ解除割り込みになります。KEY 入力ごとに割り込み入力許可/禁止を KWUPSTn<KEYnEN>で設定すると同時に、使用する KEY 入力ごとにアクティブ状態を KWUPSTn<KEYn2:0>で設定してください。

KEY 入力の検出はこの KWUP ブロックで行われ、検出結果はアクティブ状態 “H” レベルとして CG 部の IMCGD レジスタへ通知されます。したがって、IMCGD<EMCGD2:0>で検出レベルを “H” レベル (“001”) に設定してください。

また、CG 部での検出結果もアクティブ “H” レベルとして割り込みコントローラ INTC へ通知されるために、INTC でも該当割り込みを “H” レベル (“01”) に設定してください。

IMCGD<KWUPEN>を 0 に設定する (デフォルト) ことにより KEY00~31 はすべて通常割り込みになります。この場合は CG での設定は不要で INTC での検出レベルを “H” レベルに設定してください。各 KEY 入力の許可/禁止、アクティブ状態は KWUPSTn で同様に設定します。割り込み処理の中で、KWUPCLR に “1010” をライトすることによりすべての KEY 割り込み要求がクリアされます。

(注)複数のKEY入力が発生した場合、割り込み要求のクリアにて全てのKEY入力要求もクリアされます。

### 20.3 プルアップ機能

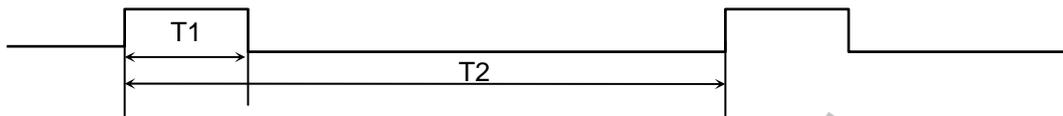
各 KEY 入力にはプルアップ機能があります。ポート内のレジスタ設定により端子ごとに設定することが出来ます。  
 スタティックプルアップ設定時は、KWUPSTn<KEYnEN>によらずプルアップは使用可能です  
 (各 PORT の PxPUP<PExx>ビットで制御致します)

- 注1) プルアップの完了を待って、KWUPCLR により割り込み要求をクリアして下さい。  
 注2) KEY 入力のアクティブ状態変更は、必ず KEYxxEN=" 0" の状態で行って下さい。

KEY ON WAKE UP コントロール

KWUPCNT (0xFF00_1A84)	Bit Symbol			T2S1	T2S0	T1S1	T1S0		
	Read/Write	R/W	R	R/W				R	
	リセット後	0	0	0	0	0	0	0	0
	機能	“0” を必ずライトしてください。	リードすると“0”が読めます。	ダイナミックプルアップ周期 00: 256/fs 10: 1024/fs 01: 512/fs 11: 2048/fs		ダイナミックプルアップ期間 00: 2/fs 10: 8/fs 01: 4/fs 11: 16/fs		リードすると“0”が読めます。	
		15	14	13	12	11	10	9	8
	Bit Symbol								
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると“0”が読めます。							
		23	22	21	20	19	18	17	16
Bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								
	31	30	29	28	27	26	25	24	
Bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。								

ダイナミックプルアップの動作は下図の通りです。



<T1S1:0>で決まる T1 の期間のみ プルアップが行われ、残りの期間は、プルアップは行われません。

- 00:  $2/f_s$  ( $62.5 \mu\text{s}$  @  $f_s = 32 \text{ kHz}$ )
- 01:  $4/f_s$  ( $125 \mu\text{s}$  @  $f_s = 32 \text{ kHz}$ )
- 10:  $8/f_s$  ( $250 \mu\text{s}$  @  $f_s = 32 \text{ kHz}$ )
- 11:  $16/f_s$  ( $500 \mu\text{s}$  @  $f_s = 32 \text{ kHz}$ )

<T2S1:0>で決まる T2 の周期でダイナミックプルアップ動作を繰り返します。

- 00:  $256/f_s$  ( $8 \text{ ms}$  @  $f_s = 32 \text{ kHz}$ )
- 01:  $512/f_s$  ( $16 \text{ ms}$  @  $f_s = 32 \text{ kHz}$ )
- 10:  $1024/f_s$  ( $32 \text{ ms}$  @  $f_s = 32 \text{ kHz}$ )
- 11:  $2048/f_s$  ( $64 \text{ ms}$  @  $f_s = 32 \text{ kHz}$ )

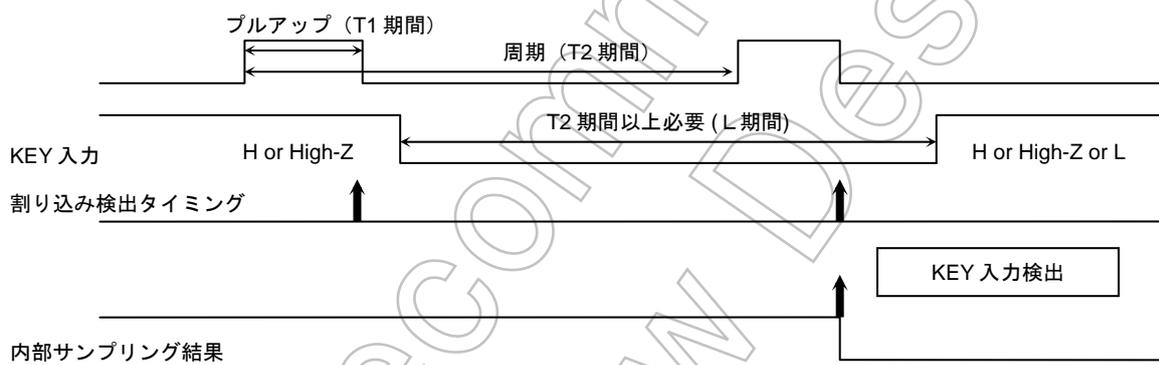
- ・ダイナミックプルアップ使用時は  $f_s$  を動作させてください。
- ・ダイナミックプルアップ切り替え後、T1 期間を 1 回待ってからキー入力してください。

Not Recommended for New Design

## 20.4 KEY入力の検出と検出タイミング

注) KEY 入力のアクティブ状態変更は、必ず KEYxxEN="0" の状態で行って下さい。

- 1) PnPUP<PEn> = "1"、KWUPSTn<DPEn> = "0" で常時プルアップの場合  
各 KEY 入力のアクティブ状態は KWUPSTn<KEYn2:0>で H/L レベル/エッジの指定ができます。KEY 入力のアクティブ状態の検出は常に行われています。
- 2) PnPUP<PEn> = "1"、KWUPSTn<DPEn> = "1" でダイナミックプルアップの場合  
各 KEY 入力のアクティブ状態の検出（割り込みの検出）は T1 期間終了の fs で 1 クロック手前のエッジ検出のみ行われます。したがって、KEY 入力は、T2 期間以上必要となります。また、検出までに最大 T2 時間分の遅れを持ちます。下図はアクティブ状態が立ち下がりエッジの場合。



ポート値については、PKEYn<PKEYn>レジスタを参照することにより、ダイナミックプルアップ動作中においても、外部の状態をモニタ可能になります。  
ダイナミックプルアップ周期にてサンプリングを行います。

PKEY0  
(0xFF00\_1A80)

	7	6	5	4	3	2	1	0
Bit Symbol	PKEY07	PKEY06	PKEY05	PKEY04	PKEY03	PKEY02	PKEY01	PKEY00
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	PORT 状態 0: "L" 1: "H"							
	15	14	13	12	11	10	9	8
Bit Symbol	PKEY15	PKEY14	PKEY13	PKEY12	PKEY11	PKEY10	PKEY09	PKEY08
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	PORT 状態 0: "L" 1: "H"							
	23	22	21	20	19	18	17	16
Bit Symbol	PKEY23	PKEY22	PKEY21	PKEY20	PKEY19	PKEY18	PKEY17	PKEY16
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	PORT 状態 0: "L" 1: "H"							
	31	30	29	28	27	26	25	24
Bit Symbol	PKEY31	PKEY30	PKEY29	PKEY28	PKEY27	PKEY26	PKEY25	PKEY24
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	PORT 状態 0: "L" 1: "H"							

KWUPST00  
(0xFF00\_1A00)

	7	6	5	4	3	2	1	0
Bit Symbol	DPE00	KEY002	KEY001	KEY000				KEY00EN
Read/Write	R							
リセット後	0	0	1	0	0	0	0	0
機能	プルアップ 0: スタティック 1: ダイナミック	KEY00 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			リードすると “0” が読めます。			KEY00 割り込み 入力  0: 禁止 1: 許可
	15	14	13	12	11	10	9	8
Bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると “0” が読めます。							
	23	22	21	20	19	18	17	16
Bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると “0” が読めます。							
	31	30	29	28	27	26	25	24
Bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると “0” が読めます。							

~

KWUPST31  
(0xFF00\_1A7C)

	7	6	5	4	3	2	1	0
Bit Symbol	DPE31	KEY312	KEY311	KEY310				KEY31EN
Read/Write	R							
リセット後	0	0	1	0	0	0	0	0
機能	プルアップ 0: スタティック 1: ダイナミック	KEY31 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			リードすると “0” が読めます。			KEY31 割り込み 入力  0: 禁止 1: 許可
	15	14	13	12	11	10	9	8
Bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると “0” が読めます。							
	23	22	21	20	19	18	17	16
Bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると “0” が読めます。							
	31	30	29	28	27	26	25	24
Bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると “0” が読めます。							

## 20.5 KEY入力割り込みの検出と要求のクリア

KEYnEN = 1 のときに KEYn にアクティブな信号が入力されると、KWUPINTn の該当チャネル KEYINTn に割り込みが入ったことを示す“1”が設定されます。KWUPINTn は読み出し専用レジスタで、本レジスタをリードすることにより、“1”にセットされた該当 bit 及び割り込み要求はクリアされます。KWUPCLR による一括クリアも可能です。

アクティブ状態をレベルに設定した場合は、外部入力を取り下げない限り、KWUPINTn レジスタの該当 bit はリードした場合でもクリアされず“1”のままです。

KWUPINT (0xFF00_1A8C)	Bit Symbol	7	6	5	4	3	2	1	0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	割り込み 0:無し 1:有り							
	Bit Symbol	15	14	13	12	11	10	9	8
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	割り込み 0:無し 1:有り							
	Bit Symbol	23	22	21	20	19	18	17	16
	Read/Write	R							
リセット後	0	0	0	0	0	0	0	0	
機能	割り込み 0:無し 1:有り								
Bit Symbol	31	30	29	28	27	26	25	24	
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	割り込み 0:無し 1:有り								

KWUPCLR  
(0xFF00\_1A88)

	7	6	5	4	3	2	1	0
Bit Symbol					KEYCLR3	KEYCLR2	KEYCLR1	KEYCLR0
Read/Write	R				W			
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。				“1010”をライトすることによりKeyの全要因クリアリードすると“0”が読めます。			
	15	14	13	12	11	10	9	8
Bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	23	22	21	20	19	18	17	16
Bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							
	31	30	29	28	27	26	25	24
Bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます。							

Not Recommended for New Design

## 20.6 設定例

(プルアップイネーブルで KEY 入力を使用する場合の設定例)

- A) 電源投入後最初に設定する場合 (例: ポート E0, 両エッジ割り込みの場合)
- 1) ポート側の設定を行う
    - PECR<PEOC> = “0” 入力端子設定
    - PEFC1<PEOF> = “1” ファンクションを KEY に設定
    - PEPUP<PEE0> = “1” プルアップ ON 制御
    - PEIE<PIEE0> = “1” 入力許可
  - 2) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = “0” (ディセーブル設定)
  - 3) 使用する KEY 入力に該当する KWUPST08<KEY082:KEY080>で  
アクティブ状態の設定 = “100” (両エッジ設定)
  - 4) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = “1” (イネーブル設定)
  - 5) プルアップが完了する時間を待つ
  - 6) KWUPCLR = “1010” で割り込み要求のクリア (1010: 全要因クリア)
  - 7) CG の設定、INTC の設定 IMCGD<EMCGC2:0> = “001” (H レベル設定)  
IMCGD<KWUPEN> = “1” (KWUP CG イネーブル設定)
- (設定の仕方は 6 章の割り込み設定参照)

- B) 動作途中で KEY 入力のアクティブ状態を変更する場合
- 1) INTC で KEY 割り込みの禁止 IMC04<IL122:120> = “000”
  - 2) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = “0” (ディセーブル設定)
  - 3) 変更する KEY 入力に該当する KWUPST08<KEY082:080> = “000” で  
アクティブ状態変更 (例は L レベル割り込み)
  - 4) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = “1” (イネーブル設定)
  - 5) KWUPCLR = “1010” で割り込み要求のクリア
  - 6) INTC で KEY 割り込みの許可 IMC04<IL122:120> = “xxx” を所定のレベルに設定
- C) 動作途中で KEY 入力を許可する場合
- 1) INTC で KEY 割り込みの禁止 (IMC04<IL122:120> = “000”)
  - 2) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = “0” (ディセーブル設定)
  - 3) 使用する KEY 入力に該当する KWUPST08 でアクティブ状態の設定
  - 4) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = “1” (イネーブル設定)
  - 5) KWUPCLR で割り込み要求のクリア
  - 6) INTC で KEY 割り込みの許可 (IMC04<IL122:120> を所定のレベルに設定)

(プルアップディセーブルで KEY 入力を使用する場合の設定例)

- A) 電源投入後最初に設定する場合
- 1) ポート側の設定を行う
    - PECR<PEOC> = “0” 入力端子設定
    - PEFC1<PEOF> = “1” ファンクションを KEY に設定
    - PEPUP<PEE0> = “0” プルアップ OFF 制御
    - PEIE<PIEE0> = “1” 入力許可
  - 2) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = “0” (ディセーブル設定)
  - 3) 使用する KEY 入力に該当する KWUPST08<KEY082:080> = “000” で  
アクティブ状態の設定
  - 4) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = “1” (イネーブル設定)

- 5) KWUPCLR = “1010” で割り込み要求のクリア
  - 6) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = “1” (イネーブル設定)
  - 7) CG の設定、INTC の設定 (設定の仕方は 6 章の割り込み設定参照)
- B) 動作途中で KEY 入力のアクティブ状態を変更する場合
- 1) INTC で KEY 割り込みの禁止 (IMC04<IL122:120> = “000”)
  - 2) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = “0” (ディセーブル設定)
  - 3) 変更する KEY 入力に該当する KWUPSTn でアクティブ状態変更
  - 4) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = “1” (イネーブル設定)
  - 5) KWUPCLR で割り込み要求のクリア
  - 6) INTC で KEY 割り込みの許可 (IMC04<IL122:120> を所定のレベルに設定)
- C) 動作途中で KEY 入力を許可する場合
- 1) INTC で KEY 割り込みの禁止 (IMC04<IL122:120> = “000”)
  - 2) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = “0” (ディセーブル設定)
  - 3) 使用する KEY 入力に該当する KWUPSTn でアクティブ状態の設定
  - 4) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = “1” (イネーブル設定)
  - 5) KWUPCLR で割り込み要求のクリア
  - 6) 使用する KEY 入力に該当する KWUPSTn<KEYnEN> = “1” (イネーブル設定)
  - 7) INTC で KEY 割り込みの許可 (IMC04<IL122:120> を所定のレベルに設定)

Not Recommended for New Design

## 21. ROM correction機能

本章では TMP19A44 に内蔵されている ROM correction 機能について説明します。

### 21.1. 特長

- 1 箇所当たり 8 ワードのデータを 12 箇所置き替えることができます。
- アドレスレジスタに書き込まれたアドレス（下位 5 ビットは Don't care）と PC、または DMAC が生成するアドレスが一致すると、前記アドレスレジスタに対応した RAM 上に置かれた ROM correction データレジスタからのデータが ROM データに置き換わります。
- ROM correction の許可は各アドレスレジスタにアドレスをセットすることにより自動的に行われます。
- プログラムの変更など 8 ワードで訂正ができない場合は、RAM 上のデータレジスタへ RAM へのジャンプ命令を置き、RAM 上で訂正することができます。

### 21.2. 動作

アドレスレジスタ ADDRREGn に訂正したい ROM エリアの物理アドレス（含む投影エリア）をセットすることにより、ADDRREGn に対応した RAM 上のデータレジスタからのデータを ROM データと置き換えることができます。この ADDRREGn にアドレスをセットすることにより、自動的にこの ROM correction 機能は有効になり、無効にすることは出来ません。リセット後は全ての ROM correction 機能が禁止されています。したがって、リセット解除後の初期設定にて ROM correction を行う場合は、必要な ADDRREG にアドレスをセットしてください。アドレスがセットされた ADDRREG は ROM correction 機能が有効になり、CPU がバス権利を所有しているときは PC の値、DMAC がバス権利を所有しているときは DMAC が発行するソースまたはデスティネーションアドレスと一致すると ROM データと置き換えがされます。例えば、ADDRREG0、ADDRREG3 にアドレスをセットすると、このエリアの ROM correction 機能が有効になり、このアドレスレジスタに対して常に一致検出が行われ、一致すれば置き換えを行います。ADDRREG1、ADDRREG2、ADDRREG4~7 に対しては行われません。また、アドレスレジスタのビットは <31:5> が存在しますが、アドレスの一致検出は回路簡略の為に <19:5> に対して行われます。内部的には ROM エリアを示す ROMCS 信号と ROM コレクション回路の一致検出の論理積が取られて置き換えが行なわれます。

8 ワードデータを置き換える場合の ROM correction のアドレスは 8 ワード単位の境界にのみ設定できません。従って、32 バイト単位での置き換えになりますので、その中の一部のみを置き換えるときは、置き換えの必要のないアドレスには置き換え前と同じデータを書いてください。

ADDREGn と RAM エリアの対応は以下のようになっています。

レジスタ	アドレス	RAM エリアの対応	ワード数
ADDREG0	0xFF00_0000	0xFFFF_FE80 - 0xFFFF_FE9F	8
ADDREG1	0xFF00_0004	0xFFFF_FEA0 - 0xFFFF_FEBF	8
ADDREG2	0xFF00_0008	0xFFFF_FEC0 - 0xFFFF_FEDF	8
ADDREG3	0xFF00_000C	0xFFFF_FEE0 - 0xFFFF_FEFF	8
ADDREG4	0xFF00_0010	0xFFFF_FF00 - 0xFFFF_FF1F	8
ADDREG5	0xFF00_0014	0xFFFF_FF20 - 0xFFFF_FF3F	8
ADDREG6	0xFF00_0018	0xFFFF_FF40 - 0xFFFF_FF5F	8
ADDREG7	0xFF00_001C	0xFFFF_FF60 - 0xFFFF_FF7F	8
ADDREG8	0xFF00_0020	0xFFFF_FF80 - 0xFFFF_FF9F	8
ADDREG9	0xFF00_0024	0xFFFF_FFA0 - 0xFFFF_FFBF	8
ADDREGA	0xFF00_0028	0xFFFF_FFC0 - 0xFFFF_FFDF	8
ADDREGB	0xFF00_002C	0xFFFF_FFE0 - 0xFFFF_FFFF	8

注1：ROM プロテクト状態で、ROM correction される命令はRAM で動作する命令になります。従って、ROM Correction データによる命令では、ROM リード、DMAC の設定は行えません。全ての命令を実行可能にするには、あらかじめROM プロテクトを解除しておく必要があります。

注2：ROM 領域に対しての、ROM Correction では、アドレスレジスタで設定した上位アドレスは無視され、アドレス[19 : 5]がデコードされます

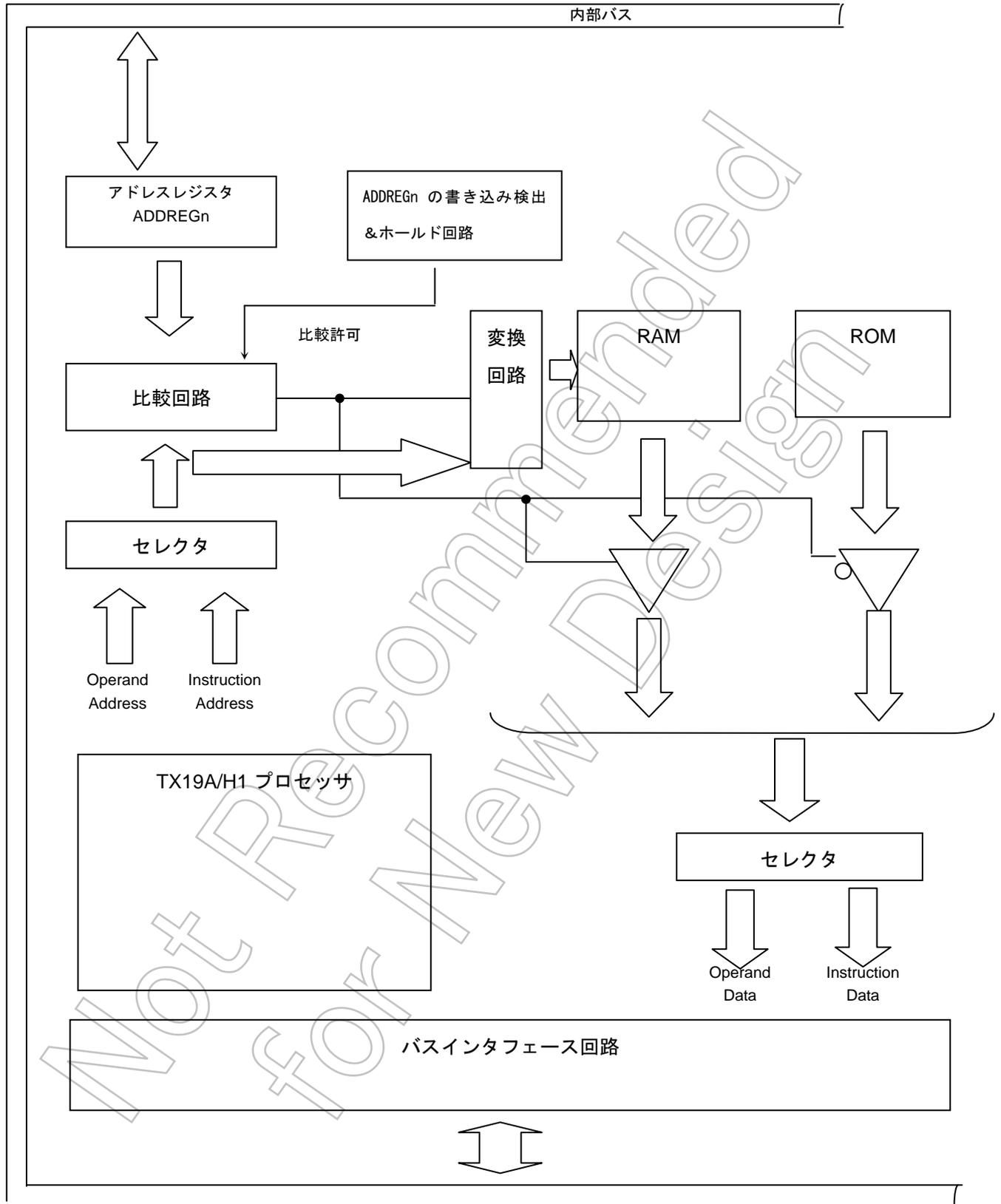


図 21-1 ROM correction システム図

21.3. レジスタ

(1) アドレスレジスタ

ADDREG0  
(0xFF00\_0000)

	7	6	5	4	3	2	1	0
bit Symbol	ADD07	ADD06	ADD05					ADD00
Read/Write	R/W			R				R
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します			リードすると“0”が読めます。				0:ディゼーブル 1:イネーブル
	15	14	13	12	11	10	9	8
bit Symbol	ADD015	ADD014	ADD013	ADD012	ADD011	ADD010	ADD09	ADD08
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。							
	23	22	21	20	19	18	17	16
bit Symbol				ADD019		ADD018	ADD017	ADD016
Read/Write	R				R/W			
リセット後	1	1	0	0	0	0	0	0
機能	リードすると“1”が読めます。	リードすると“0”が読めます。		訂正したいROMエリアの物理アドレスを設定します。				
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	1	1	1	1	1
機能	リードすると“0”が読めます。			リードすると“1”が読めます。				

ADDREG1  
(0xFF00\_0004)

	7	6	5	4	3	2	1	0
bit Symbol	ADD17	ADD16	ADD15					ADD10
Read/Write	R/W			R				
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。			リードすると“0”が読めます。				0:ディゼーブル 1:イネーブル
	15	14	13	12	11	10	9	8
bit Symbol	ADD115	ADD114	ADD113	ADD112	ADD111	ADD110	ADD19	ADD18
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。							
	23	22	21	20	19	18	17	16
bit Symbol				ADD119		ADD118	ADD117	ADD116
Read/Write	R				R/W			
リセット後	1	1	0	0	0	0	0	0
機能	リードすると“1”が読めます。	リードすると“0”が読めます。		訂正したいROMエリアの物理アドレスを設定します。				
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	1	1	1	1	1
機能	リードすると“0”が読めます。			リードすると“1”が読めます。				

ADDREG2  
(0xFF00\_0008)

	7	6	5	4	3	2	1	0
bit Symbol	ADD27	ADD26	ADD25					ADD20
Read/Write	R/W			R				
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。			リードすると“0”が読めます。				0: ディゼーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol	ADD215	ADD214	ADD213	ADD212	ADD211	ADD210	ADD29	ADD28
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。							
	23	22	21	20	19	18	17	16
bit Symbol					ADD219	ADD218	ADD217	ADD216
Read/Write	R				R/W			
リセット後	1	1	0	0	0	0	0	0
機能	リードすると“1”が読めます。		リードすると“0”が読めます。		訂正したいROMエリアの物理アドレスを設定します。			
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	1	1	1	1	1
機能	リードすると“0”が読めます。				リードすると“1”が読めます。			

ADDREG3  
(0xFF00\_000C)

	7	6	5	4	3	2	1	0
bit Symbol	ADD37	ADD36	ADD35					ADD30
Read/Write	R/W			R				
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。			リードすると“0”が読めます。				0: ディゼーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol	ADD315	ADD314	ADD313	ADD312	ADD311	ADD310	ADD39	ADD38
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。							
	23	22	21	20	19	18	17	16
bit Symbol					ADD319	ADD318	ADD317	ADD316
Read/Write	R				R/W			
リセット後	1	1	0	0	0	0	0	0
機能	リードすると“1”が読めます。		リードすると“0”が読めます。		訂正したいROMエリアの物理アドレスを設定します。			
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	1	1	1	1	1
機能	リードすると“0”が読めます。				リードすると“1”が読めます。			

ADDREG4  
(0xFF00\_0010)

	7	6	5	4	3	2	1	0
bit Symbol	ADD47	ADD46	ADD45					ADD40
Read/Write	R/W			R				
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。			リードすると“0”が読めます。				0: ディゼーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol	ADD415	ADD414	ADD413	ADD412	ADD411	ADD410	ADD49	ADD48
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。							
	23	22	21	20	19	18	17	16
bit Symbol					ADD419	ADD418	ADD417	ADD416
Read/Write	R				R/W			
リセット後	1	1	0	0	0	0	0	0
機能	リードすると“1”が読めます。		リードすると“0”が読めます。		訂正したいROMエリアの物理アドレスを設定します。			
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	1	1	1	1	1
機能	リードすると“0”が読めます。			リードすると“1”が読めます。				

ADDREG5  
(0xFF00\_0014)

	7	6	5	4	3	2	1	0
bit Symbol	ADD57	ADD56	ADD55					ADD50
Read/Write	R/W			R				
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。			リードすると“0”が読めます。				0: ディゼーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol	ADD515	ADD514	ADD513	ADD512	ADD511	ADD510	ADD59	ADD58
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。							
	23	22	21	20	19	18	17	16
bit Symbol					ADD519	ADD518	ADD517	ADD516
Read/Write	R				R/W			
リセット後	1	1	0	0	0	0	0	0
機能	リードすると“1”が読めます。		リードすると“0”が読めます。		訂正したいROMエリアの物理アドレスを設定します。			
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	1	1	1	1	1
機能	リードすると“0”が読めます。			リードすると“1”が読めます。				

ADDRE66  
(0xFF00\_0018)

	7	6	5	4	3	2	1	0
bit Symbol	ADD67	ADD66	ADD65					ADD60
Read/Write	R/W			R				
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。			リードすると“0”が読めます。				0: デイゼーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol	ADD615	ADD614	ADD613	ADD612	ADD611	ADD610	ADD69	ADD68
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。							
	23	22	21	20	19	18	17	16
bit Symbol					ADD619	ADD618	ADD617	ADD616
Read/Write	R				R/W			
リセット後	1	1	0	0	0	0	0	0
機能	リードすると“1”が読めます。		リードすると“0”が読めます。		訂正したいROMエリアの物理アドレスを設定します。			
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	1	1	1	1	1
機能	リードすると“0”が読めます。				リードすると“1”が読めます。			

ADDRE67  
(0xFF00\_001C)

	7	6	5	4	3	2	1	0
bit Symbol	ADD77	ADD76	ADD75					ADD70
Read/Write	R/W			R				
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。			リードすると“0”が読めます。				0: デイゼーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol	ADD715	ADD714	ADD713	ADD712	ADD711	ADD710	ADD79	ADD78
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。							
	23	22	21	20	19	18	17	16
bit Symbol					ADD719	ADD718	ADD717	ADD716
Read/Write	R				R/W			
リセット後	1	1	0	0	0	0	0	0
機能	リードすると“1”が読めます。		リードすると“0”が読めます。		訂正したいROMエリアの物理アドレスを設定します。			
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	1	1	1	1	1
機能	リードすると“0”が読めます。				リードすると“1”が読めます。			

ADDR68  
(0xFF00\_0020)

	7	6	5	4	3	2	1	0
bit Symbol	ADD87	ADD86	ADD85					ADD80
Read/Write	R/W			R				
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。			リードすると“0”が読めます。				0: ディゼーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol	ADD815	ADD814	ADD813	ADD812	ADD811	ADD810	ADD89	ADD88
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。							
	23	22	21	20	19	18	17	16
bit Symbol					ADD819	ADD818	ADD817	ADD816
Read/Write	R				R/W			
リセット後	1	1	0	0	0	0	0	0
機能	リードすると“1”が読めます。		リードすると“0”が読めます。		訂正したいROMエリアの物理アドレスを設定します。			
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	1	1	1	1	1
機能	リードすると“0”が読めます。				リードすると“1”が読めます。			

ADDR68  
(0xFF00\_0020)

	7	6	5	4	3	2	1	0
bit Symbol	ADD97	ADD96	ADD95					ADD90
Read/Write	R/W			R				
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。			リードすると“0”が読めます。				0: ディゼーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol	ADD915	ADD914	ADD913	ADD912	ADD911	ADD910	ADD99	ADD98
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。							
	23	22	21	20	19	18	17	16
bit Symbol					ADD919	ADD918	ADD917	ADD916
Read/Write	R				R/W			
リセット後	1	1	0	0	0	0	0	0
機能	リードすると“1”が読めます。		リードすると“0”が読めます。		訂正したいROMエリアの物理アドレスを設定します。			
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	1	1	1	1	1
機能	リードすると“0”が読めます。				リードすると“1”が読めます。			

ADDREGA  
(0xFF00\_0028)

	7	6	5	4	3	2	1	0
bit Symbol	ADDA7	ADDA6	ADDA5					ADDA0
Read/Write	R/W			R				
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。			リードすると“0”が読めます。				0: デイゼーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol	ADDA15	ADDA14	ADDA13	ADDA12	ADDA11	ADDA10	ADDA9	ADDA8
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。							
	23	22	21	20	19	18	17	16
bit Symbol					ADDA19	ADDA18	ADDA17	ADDA16
Read/Write	R				R/W			
リセット後	1	1	0	0	0	0	0	0
機能	リードすると“1”が読めます。		リードすると“0”が読めます。		訂正したいROMエリアの物理アドレスを設定します。			
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	1	1	1	1	1
機能	リードすると“0”が読めます。				リードすると“1”が読めます。			

ADDREGB  
(0xFF00\_002C)

	7	6	5	4	3	2	1	0
bit Symbol	ADDB7	ADDB6	ADDB5					ADDB0
Read/Write	R/W			R				
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。			リードすると“0”が読めます。				0: デイゼーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol	ADDB15	ADDB14	ADDB13	ADDB12	ADDB11	ADDB10	ADDB9	ADDB8
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	訂正したいROMエリアの物理アドレスを設定します。							
	23	22	21	20	19	18	17	16
bit Symbol					ADDB19	ADDB18	ADDB17	ADDB16
Read/Write	R				R/W			
リセット後	1	1	0	0	0	0	0	0
機能	リードすると“1”が読めます。		リードすると“0”が読めます。		訂正したいROMエリアの物理アドレスを設定します。			
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	1	1	1	1	1
機能	リードすると“0”が読めます。				リードすると“1”が読めます。			

- (注1) アドレスレジスタへのDMA転送はできません。RAM上に配置される置き換えのためのデータ領域のDMA転送は可能です。  
またROMコレクションの置き換え機能はCPUアクセス時、DMAアクセス時いずれの場合も有効です。
- (注2) 初期値“0x00”を書き戻すとリセットアドレスに対して置き換えを行います。

## 22. 特殊機能レジスタ一覧表

- [1] ROM コレクション
- [2] FLASH 制御
- [3] プロテクト制御
- [4] 割り込みコントローラ
- [5] DMA コントローラ
- [6] チップセレクト/ウェイトコントローラ
- [7] RTC 関連
- [8] PHCNT 関連
- [9] 高速シリアル関連
- [10] クロックジェネレータ
- [11] キーオンウェイクアップ
- [12] ポート関連
- [13] 16 ビットタイマ
- [14] 32 ビットタイマ関連
- [15] I<sup>2</sup>CBUS/シリアル チャネル
- [16] UART/シリアル チャネル
- [17] 10 ビット A/D コンバータ
- [18] ウォッチドッグタイマ

Not Recommended for New Design

Little

## [1] ROM コレ関連

ADR	レジスタ名
FF00000H	ADDREG0
1H	"
2H	"
3H	"
4H	ADDREG1
5H	"
6H	"
7H	"
8H	ADDREG2
9H	"
AH	"
BH	"
CH	ADDREG3
DH	"
EH	"
FH	"

ADR	レジスタ名
FF00010H	ADDREG4
1H	"
2H	"
3H	"
4H	ADDREG5
5H	"
6H	"
7H	"
8H	ADDREG6
9H	"
AH	"
BH	"
CH	ADDREG7
DH	"
EH	"
FH	"

ADR	レジスタ名
FF00020H	ADDREG8
1H	"
2H	"
3H	"
4H	ADDREG9
5H	"
6H	"
7H	"
8H	ADDREGA
9H	"
AH	"
BH	"
CH	ADDREGB
DH	"
EH	"
FH	"

ADR	レジスタ名
FF00030H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## [2] FLASH 関連

ADR	レジスタ名
FF000100H	FLCS
1H	"
2H	"
3H	"
4H	Reserved
5H	"
6H	"
7H	"
8H	Reserved
9H	"
AH	"
BH	"
CH	Reserved
DH	"
EH	"
FH	"

## [3] プロテクト関連

ADR	レジスタ名
FF000200H	SECBIT
1H	"
2H	"
3H	"
4H	DSUSECBIT
5H	"
6H	"
7H	"
8H	SECCODE
9H	"
AH	"
BH	"
CH	DSUSECCODE
DH	"
EH	"
FH	"

ADR	レジスタ名
FF000210H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF000220H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## [4] INTC 関連

ADR	レジスタ名
FF001000H	IMC0
1H	"
2H	"
3H	"
4H	IMC1
5H	"
6H	"
7H	"
8H	IMC2
9H	"
AH	"
BH	"
CH	IMC3
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001010H	IMC4
1H	"
2H	"
3H	"
4H	IMC5
5H	"
6H	"
7H	"
8H	IMC6
9H	"
AH	"
BH	"
CH	IMC7
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001020H	IMC8
1H	"
2H	"
3H	"
4H	IMC9
5H	"
6H	"
7H	"
8H	IMCA
9H	"
AH	"
BH	"
CH	IMCB
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001030H	IMCC
1H	"
2H	"
3H	"
4H	IMCD
5H	"
6H	"
7H	"
8H	IMCE
9H	"
AH	"
BH	"
CH	IMCF
DH	"
EH	"
FH	"

## Little

ADR	レジスタ名
FF001040H	IMC10
1H	"
2H	"
3H	"
4H	IMC11
5H	"
6H	"
7H	"
8H	IMC12
9H	"
AH	"
BH	"
CH	IMC13
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001050H	IMC14
1H	"
2H	"
3H	"
4H	IMC15
5H	"
6H	"
7H	"
8H	IMC16
9H	"
AH	"
BH	"
CH	IMC17
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001060H	IMC18
1H	"
2H	"
3H	"
4H	IMC19
5H	"
6H	"
7H	"
8H	Reserved
9H	"
AH	"
BH	"
CH	Reserved
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001070H	Reserved
1H	"
2H	"
3H	"
4H	Reserved
5H	"
6H	"
7H	"
8H	Reserved
9H	"
AH	"
BH	"
CH	Reserved
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001080H	1VR
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001090H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0010A0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0010B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0010C0H	INTCLR
1H	"
2H	"
3H	"
4H	DREQFLG
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0010D0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0010E0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0010F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## Little

ADR	レジスタ名
FF001100H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	I LEV
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001110H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001120H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001130H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## [5] DMAC 関連

ADR	レジスタ名
FF001200H	CCRO
1H	"
2H	"
3H	"
4H	CSRO
5H	"
6H	"
7H	"
8H	SARO
9H	"
AH	"
BH	"
CH	DARO
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001210H	BCRO
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCRO
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001220H	CCR1
1H	"
2H	"
3H	"
4H	CSR1
5H	"
6H	"
7H	"
8H	SAR1
9H	"
AH	"
BH	"
CH	DAR1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001230H	BCR1
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001240H	CCR2
1H	"
2H	"
3H	"
4H	CSR2
5H	"
6H	"
7H	"
8H	SAR2
9H	"
AH	"
BH	"
CH	DAR2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001250H	BCR2
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR2
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001260H	CCR3
1H	"
2H	"
3H	"
4H	CSR3
5H	"
6H	"
7H	"
8H	SAR3
9H	"
AH	"
BH	"
CH	DAR3
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001270H	BCR3
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR3
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

## Little

ADR	レジスタ名
FF001280H	CCR4
1H	"
2H	"
3H	"
4H	CSR4
5H	"
6H	"
7H	"
8H	SAR4
9H	"
AH	"
BH	"
CH	DAR4
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001290H	BCR4
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR4
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0012A0H	CCR5
1H	"
2H	"
3H	"
4H	CSR5
5H	"
6H	"
7H	"
8H	SAR5
9H	"
AH	"
BH	"
CH	DAR5
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0012B0H	BCR5
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR5
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0012C0H	CCR6
1H	"
2H	"
3H	"
4H	CSR6
5H	"
6H	"
7H	"
8H	SAR6
9H	"
AH	"
BH	"
CH	DAR6
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0012D0H	BCR6
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR6
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0012E0H	CCR7
1H	"
2H	"
3H	"
4H	CSR7
5H	"
6H	"
7H	"
8H	SAR7
9H	"
AH	"
BH	"
CH	DAR7
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0012F0H	BCR7
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR7
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

## [6] CS/WAIT 関連

ADR	レジスタ名
FF001300H	DCR
1H	"
2H	"
3H	"
4H	RSR
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	DHR
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001400H	BMA0
1H	"
2H	"
3H	"
4H	BMA1
5H	"
6H	"
7H	"
8H	BMA2
9H	"
AH	"
BH	"
CH	BMA3
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001410H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001420H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Little

## [7] RTC 関連

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FF001480H	B01CS	FF001500H	SECR	FF001510H		FF001520H	
1H	"	1H	MINR	1H		1H	
2H	"	2H	HOURL	2H		2H	
3H	"	3H	"	3H		3H	
4H	B23CS	4H	DAYR	4H		4H	
5H	"	5H	DATER	5H		5H	
6H	"	6H	MONTHR	6H		6H	
7H	"	7H	YEARR	7H		7H	
8H	BEXCS	8H	PAGER	8H		8H	
9H	"	9H	"	9H		9H	
AH	"	AH	"	AH		AH	
BH	"	BH	"	BH		BH	
FF0014C0H	BUSCR	CH	RESTR	CH		CH	
1H		DH	"	DH		DH	
2H		EH	"	EH		EH	
3H		FH	"	FH		FH	

## [8] PHCNT 関連

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FF001600H	PHCORUN	FF001610H	PHCOCMP0	FF001620H	Reserved	FF001630H	
1H	"	1H	"	1H	"	1H	
2H	"	2H	"	2H	"	2H	
3H	"	3H	"	3H	"	3H	
4H	PHCOCR	4H	PHCOCMP1	4H		4H	
5H	"	5H	"	5H		5H	
6H	"	6H	"	6H		6H	
7H	"	7H	"	7H		7H	
8H	PHCOEN	8H	PHCOCNT	8H		8H	
9H	"	9H	"	9H		9H	
AH	"	AH	"	AH		AH	
BH	"	BH	"	BH		BH	
CH	PHCOFLG	CH	Reserved	CH		CH	
DH	"	DH	"	DH		DH	
EH	"	EH	"	EH		EH	
FH	"	FH	"	FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FF001640H	PHC1RUN	FF001650H	PHC1CMP0	FF001660H	Reserved	FF001670H	
1H	"	1H	"	1H	"	1H	
2H	"	2H	"	2H	"	2H	
3H	"	3H	"	3H	"	3H	
4H	PHC1CR	4H	PHC1CMP1	4H		4H	
5H	"	5H	"	5H		5H	
6H	"	6H	"	6H		6H	
7H	"	7H	"	7H		7H	
8H	PHC1EN	8H	PHC1CNT	8H		8H	
9H	"	9H	"	9H		9H	
AH	"	AH	"	AH		AH	
BH	"	BH	"	BH		BH	
CH	PHC1FLG	CH	Reserved	CH		CH	
DH	"	DH	"	DH		DH	
EH	"	EH	"	EH		EH	
FH	"	FH	"	FH		FH	

## Little

ADR	レジスタ名
FF001680H	PHC2RUN
1H	"
2H	"
3H	"
4H	PHC2CR
5H	"
6H	"
7H	"
8H	PHC2EN
9H	"
AH	"
BH	"
CH	PHC2FLG
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001690H	PHC2CMP0
1H	"
2H	"
3H	"
4H	PHC2CMP1
5H	"
6H	"
7H	"
8H	PHC2CNT
9H	"
AH	"
BH	"
CH	Reserved
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0016A0H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0016B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0016C0H	PHC3RUN
1H	"
2H	"
3H	"
4H	PHC3CR
5H	"
6H	"
7H	"
8H	PHC3EN
9H	"
AH	"
BH	"
CH	PHC3FLG
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0016D0H	PHC3CMP0
1H	"
2H	"
3H	"
4H	PHC3CMP1
5H	"
6H	"
7H	"
8H	PHC3CNT
9H	"
AH	"
BH	"
CH	Reserved
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0016E0H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0016F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001700H	PHC4RUN
1H	"
2H	"
3H	"
4H	PHC4CR
5H	"
6H	"
7H	"
8H	PHC4EN
9H	"
AH	"
BH	"
CH	PHC4FLG
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001710H	PHC4CMP0
1H	"
2H	"
3H	"
4H	PHC4CMP1
5H	"
6H	"
7H	"
8H	PHC4CNT
9H	"
AH	"
BH	"
CH	Reserved
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001720H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001730H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## Little

ADR	レジスタ名
FF001740H	PHC5RUN
1H	"
2H	"
3H	"
4H	PHC5CR
5H	"
6H	"
7H	"
8H	PHC5EN
9H	"
AH	"
BH	"
CH	PHC5FLG
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001750H	PHC5CMP0
1H	"
2H	"
3H	"
4H	PHC5CMP1
5H	"
6H	"
7H	"
8H	PHC5CNT
9H	"
AH	"
BH	"
CH	Reserved
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001760H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001770H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## [9] HSIO 関連

ADR	レジスタ名
FF001800H	HSC0BUF
1H	
2H	
3H	
4H	HBROADD
5H	HSCOMOD1
6H	HSCOMOD2
7H	HSCOEN
8H	HSCORFC
9H	HSCOTFC
AH	HSCORST
BH	HSCOTST
CH	HSCOFCNF
DH	HSCOCR
EH	HSCOMODO
FH	HBROCR

ADR	レジスタ名
FF001810H	HSC1BUF
1H	
2H	
3H	
4H	HBR1ADD
5H	HSC1MOD1
6H	HSC1MOD2
7H	HSC1EN
8H	HSC1RFC
9H	HSC1TFC
AH	HSC1RST
BH	HSC1TST
CH	HSC1FCNF
DH	HSC1CR
EH	HSC1MOD0
FH	HBR1CR

ADR	レジスタ名
FF001820H	HSC2BUF
1H	
2H	
3H	
4H	HBR2ADD
5H	HSC2MOD1
6H	HSC2MOD2
7H	HSC2EN
8H	HSC2RFC
9H	HSC2TFC
AH	HSC2RST
BH	HSC2TST
CH	HSC2FCNF
DH	HSC2CR
EH	HSC2MOD0
FH	HBR2CR

ADR	レジスタ名
FF001830H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## [10] CG 関連

ADR	レジスタ名
FF001900H	SYSCR
1H	"
2H	"
3H	"
4H	OSSCR
5H	"
6H	"
7H	"
8H	STBYCR
9H	"
AH	"
BH	"
CH	PLLSEL
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001910H	SCKSEL
1H	"
2H	"
3H	"
4H	ICRCG
5H	"
6H	"
7H	"
8H	NMIFLG
9H	"
AH	"
BH	"
CH	RSTFLG
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001920H	IMCGA
1H	"
2H	"
3H	"
4H	IMCGB
5H	"
6H	"
7H	"
8H	IMCGC
9H	"
AH	"
BH	"
CH	IMCGD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001930H	IMCGE
1H	"
2H	"
3H	"
4H	IMCGF
5H	"
6H	"
7H	"
8H	IMCG10
9H	"
AH	"
BH	"
CH	IMCG11
DH	"
EH	"
FH	"

Little

[11]KWUP 関連

ADR	レジスタ名
FF001A00H	KWUPST00
1H	"
2H	"
3H	"
4H	KWUPST01
5H	"
6H	"
7H	"
8H	KWUPST02
9H	"
AH	"
BH	"
CH	KWUPST03
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001A10H	KWUPST04
1H	"
2H	"
3H	"
4H	KWUPST05
5H	"
6H	"
7H	"
8H	KWUPST06
9H	"
AH	"
BH	"
CH	KWUPST07
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001A20H	KWUPST08
1H	"
2H	"
3H	"
4H	KWUPST09
5H	"
6H	"
7H	"
8H	KWUPST10
9H	"
AH	"
BH	"
CH	KWUPST11
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001A30H	KWUPST12
1H	"
2H	"
3H	"
4H	KWUPST13
5H	"
6H	"
7H	"
8H	KWUPST14
9H	"
AH	"
BH	"
CH	KWUPST15
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001A40H	KWUPST 16
1H	"
2H	"
3H	"
4H	KWUPST 17
5H	"
6H	"
7H	"
8H	KWUPST 18
9H	"
AH	"
BH	"
CH	KWUPST 19
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001A50H	KWUPST 20
1H	"
2H	"
3H	"
4H	KWUPST 21
5H	"
6H	"
7H	"
8H	KWUPST 22
9H	"
AH	"
BH	"
CH	KWUPST 23
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001A60H	KWUPST 24
1H	"
2H	"
3H	"
4H	KWUPST 25
5H	"
6H	"
7H	"
8H	KWUPST 26
9H	"
AH	"
BH	"
CH	KWUPST 27
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001A70H	KWUPST 28
1H	"
2H	"
3H	"
4H	KWUPST 29
5H	"
6H	"
7H	"
8H	KWUPST 30
9H	"
AH	"
BH	"
CH	KWUPST 31
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001A80H	PKEY
1H	"
2H	"
3H	"
4H	KWUPCNT
5H	"
6H	"
7H	"
8H	KWUPCLR
9H	"
AH	"
BH	"
CH	KWUPINT
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001A90H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001AA0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001AB0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Little

[12] PORT 関連

ADR	レジスタ名
FF004000H	P0
1H	"
2H	"
3H	"
4H	POCR
5H	"
6H	"
7H	"
8H	POFC1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004010H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004020H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	POPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004030H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004040H	P1
1H	"
2H	"
3H	"
4H	P1CR
5H	"
6H	"
7H	"
8H	P1FC1
9H	"
AH	"
BH	"
CH	P1FC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004050H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004060H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	P1PUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004070H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004080H	P2
1H	"
2H	"
3H	"
4H	P2CR
5H	"
6H	"
7H	"
8H	P2FC1
9H	"
AH	"
BH	"
CH	P2FC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004090H	P2FC3
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0040A0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	P2PUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0040B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P2IE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

## Little

ADR	レジスタ名
FF0040C0H	P3
1H	"
2H	"
3H	"
4H	P3CR
5H	"
6H	"
7H	"
8H	P3FC1
9H	"
AH	"
BH	"
CH	P3FC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0040D0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0040E0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	P3PUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0040F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P31E
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004100H	P4
1H	"
2H	"
3H	"
4H	P4CR
5H	"
6H	"
7H	"
8H	P4FC1
9H	"
AH	"
BH	"
CH	P4FC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004110H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004120H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	P4PUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004130H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P41E
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004140H	P5
1H	"
2H	"
3H	"
4H	P5CR
5H	"
6H	"
7H	"
8H	P5FC1
9H	"
AH	"
BH	"
CH	P5FC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004150H	P5FC3
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004160H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	P5PUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004170H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P51E
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

## Little

ADR	レジスタ名
FF004180H	P6
1H	"
2H	"
3H	"
4H	P6CR
5H	"
6H	"
7H	"
8H	P6FC1
9H	"
AH	"
BH	"
CH	P6FC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004190H	P6FC3
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0041A0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P60DE
9H	"
AH	"
BH	"
CH	P6PUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0041B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P61E
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0041C0H	P7
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	P7FC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0041D0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0041E0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	P7PUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0041F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P71E
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004200H	P8
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	P8FC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004210H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004220H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	P8PUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004230H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P81E
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

## Little

ADR	レジスタ名
FF004240H	P9
1H	"
2H	"
3H	"
4H	P9CR
5H	"
6H	"
7H	"
8H	P9FC1
9H	"
AH	"
BH	"
CH	P9FC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004250H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004260H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P9ODE
9H	"
AH	"
BH	"
CH	P9PUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004270H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P9IE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004280H	PA
1H	"
2H	"
3H	"
4H	PACR
5H	"
6H	"
7H	"
8H	PAFC1
9H	"
AH	"
BH	"
CH	PAFC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004290H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0042A0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	PAPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0042B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PAIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0042C0H	PB
1H	"
2H	"
3H	"
4H	PBCR
5H	"
6H	"
7H	"
8H	PBFC1
9H	"
AH	"
BH	"
CH	PBFC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0042D0H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0042E0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PBODE
9H	"
AH	"
BH	"
CH	PBPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0042F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PBIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

## Little

ADR	レジスタ名
FF004300H	PC
1H	"
2H	"
3H	"
4H	PCCR
5H	"
6H	"
7H	"
8H	PCFC1
9H	"
AH	"
BH	"
CH	PCFC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004310H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004320H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PCODE
9H	"
AH	"
BH	"
CH	PCPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004330H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PCIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004340H	PD
1H	"
2H	"
3H	"
4H	PDCR
5H	"
6H	"
7H	"
8H	PDFC1
9H	"
AH	"
BH	"
CH	PDFC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004350H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004360H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PDODE
9H	"
AH	"
BH	"
CH	PDPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004370H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PDIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004380H	PE
1H	"
2H	"
3H	"
4H	PECR
5H	"
6H	"
7H	"
8H	PEFC1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004390H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0043A0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	PEPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0043B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PEIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

## Little

ADR	レジスタ名
FF0043C0H	PF
1H	"
2H	"
3H	"
4H	PFCR
5H	"
6H	"
7H	"
8H	PFFC1
9H	"
AH	"
BH	"
CH	PFFC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0043D0H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0043E0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	PFPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0043F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PFIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004400H	PG
1H	"
2H	"
3H	"
4H	PGCR
5H	"
6H	"
7H	"
8H	PGFC1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004410H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004420H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	PGPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004430H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PGIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004440H	PH
1H	"
2H	"
3H	"
4H	PHCR
5H	"
6H	"
7H	"
8H	PHFC1
9H	"
AH	"
BH	"
CH	PHFC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004450H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004460H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	PHPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004470H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PHIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

## Little

ADR	レジスタ名
FF004480H	PI
1H	"
2H	"
3H	"
4H	PICR
5H	"
6H	"
7H	"
8H	PIFC1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004490H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0044A0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	PIPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0044B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PIIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0044C0H	PJ
1H	"
2H	"
3H	"
4H	PJCR
5H	"
6H	"
7H	"
8H	PJFC1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0044D0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0044E0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	PJPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0044F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PJIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

## [13] 16ビットタイマ関連

ADR	レジスタ名
FF004500H	TBOEN
1H	"
2H	"
3H	"
4H	TBORUN
5H	"
6H	"
7H	"
8H	TBOCR
9H	"
AH	"
BH	"
CH	TBOMOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004510H	TBOFFCR
1H	"
2H	"
3H	"
4H	TBOST
5H	"
6H	"
7H	"
8H	TBOIM
9H	"
AH	"
BH	"
CH	TMOUC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004520H	TBORG0
1H	"
2H	"
3H	"
4H	TBORG1
5H	"
6H	"
7H	"
8H	TBOCP0
9H	"
AH	"
BH	"
CH	TBOCP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004530H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## Little

ADR	レジスタ名
FF004540H	TB1EN
1H	"
2H	"
3H	"
4H	TB1RUN
5H	"
6H	"
7H	"
8H	TB1CR
9H	"
AH	"
BH	"
CH	TB1MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004550H	TB1FFCR
1H	"
2H	"
3H	"
4H	TB1ST
5H	"
6H	"
7H	"
8H	TB1IM
9H	"
AH	"
BH	"
CH	TM1UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004560H	TB1RG0
1H	"
2H	"
3H	"
4H	TB1RG1
5H	"
6H	"
7H	"
8H	TB1CP0
9H	"
AH	"
BH	"
CH	TB1CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004570H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004580H	TB2EN
1H	"
2H	"
3H	"
4H	TB2RUN
5H	"
6H	"
7H	"
8H	TB2CR
9H	"
AH	"
BH	"
CH	TB2MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004590H	TB2FFCR
1H	"
2H	"
3H	"
4H	TB2ST
5H	"
6H	"
7H	"
8H	TB2IM
9H	"
AH	"
BH	"
CH	TM2UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0045A0H	TB2RG0
1H	"
2H	"
3H	"
4H	TB2RG1
5H	"
6H	"
7H	"
8H	TB2CP0
9H	"
AH	"
BH	"
CH	TB2CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0045B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0045C0H	TB3EN
1H	"
2H	"
3H	"
4H	TB3RUN
5H	"
6H	"
7H	"
8H	TB3CR
9H	"
AH	"
BH	"
CH	TB3MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0045D0H	TB3FFCR
1H	"
2H	"
3H	"
4H	TB3ST
5H	"
6H	"
7H	"
8H	TB3IM
9H	"
AH	"
BH	"
CH	TM3UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0045E0H	TB3RG0
1H	"
2H	"
3H	"
4H	TB3RG1
5H	"
6H	"
7H	"
8H	TB3CP0
9H	"
AH	"
BH	"
CH	TB3CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0045F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## Little

ADR	レジスタ名
FF004600H	TB4EN
1H	"
2H	"
3H	"
4H	TB4RUN
5H	"
6H	"
7H	"
8H	TB4CR
9H	"
AH	"
BH	"
CH	TB4MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004610H	TB4FFCR
1H	"
2H	"
3H	"
4H	TB4ST
5H	"
6H	"
7H	"
8H	TB4IM
9H	"
AH	"
BH	"
CH	TM4UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004620H	TB4RG0
1H	"
2H	"
3H	"
4H	TB4RG1
5H	"
6H	"
7H	"
8H	TB4CP0
9H	"
AH	"
BH	"
CH	TB4CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004630H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004640H	TB5EN
1H	"
2H	"
3H	"
4H	TB5RUN
5H	"
6H	"
7H	"
8H	TB5CR
9H	"
AH	"
BH	"
CH	TB5MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004650H	TB5FFCR
1H	"
2H	"
3H	"
4H	TB5ST
5H	"
6H	"
7H	"
8H	TB5IM
9H	"
AH	"
BH	"
CH	TM5UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004660H	TB5RG0
1H	"
2H	"
3H	"
4H	TB5RG1
5H	"
6H	"
7H	"
8H	TB5CP0
9H	"
AH	"
BH	"
CH	TB5CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004670H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004680H	TB6EN
1H	"
2H	"
3H	"
4H	TB6RUN
5H	"
6H	"
7H	"
8H	TB6CR
9H	"
AH	"
BH	"
CH	TB6MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004690H	TB6FFCR
1H	"
2H	"
3H	"
4H	TB6ST
5H	"
6H	"
7H	"
8H	TB6IM
9H	"
AH	"
BH	"
CH	TM6UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0046A0H	TB6RG0
1H	"
2H	"
3H	"
4H	TB6RG1
5H	"
6H	"
7H	"
8H	TB6CP0
9H	"
AH	"
BH	"
CH	TB6CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0046B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## Little

ADR	レジスタ名
FF0046C0H	TB7EN
1H	"
2H	"
3H	"
4H	TB7RUN
5H	"
6H	"
7H	"
8H	TB7CR
9H	"
AH	"
BH	"
CH	TB7MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0046D0H	TB7FFCR
1H	"
2H	"
3H	"
4H	TB7ST
5H	"
6H	"
7H	"
8H	TB7IM
9H	"
AH	"
BH	"
CH	TM7UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0046E0H	TB7RG0
1H	"
2H	"
3H	"
4H	TB7RG1
5H	"
6H	"
7H	"
8H	TB7CP0
9H	"
AH	"
BH	"
CH	TB7CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0046F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004700H	TB8EN
1H	"
2H	"
3H	"
4H	TB8RUN
5H	"
6H	"
7H	"
8H	TB8CR
9H	"
AH	"
BH	"
CH	TB8MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004710H	TB8FFCR
1H	"
2H	"
3H	"
4H	TB8ST
5H	"
6H	"
7H	"
8H	TB8IM
9H	"
AH	"
BH	"
CH	TM8UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004720H	TB8RG0
1H	"
2H	"
3H	"
4H	TB8RG1
5H	"
6H	"
7H	"
8H	TB8CP0
9H	"
AH	"
BH	"
CH	TB8CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004730H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004740H	TB9EN
1H	"
2H	"
3H	"
4H	TB9RUN
5H	"
6H	"
7H	"
8H	TB9CR
9H	"
AH	"
BH	"
CH	TB9MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF00475H	TB9FFCR
1H	"
2H	"
3H	"
4H	TB9ST
5H	"
6H	"
7H	"
8H	TB9IM
9H	"
AH	"
BH	"
CH	TM9UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004760H	TB9RG0
1H	"
2H	"
3H	"
4H	TB9RG1
5H	"
6H	"
7H	"
8H	TB9CP0
9H	"
AH	"
BH	"
CH	TB9CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004770H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## Little

ADR	レジスタ名
FF004780H	TBAEN
1H	"
2H	"
3H	"
4H	TBARUN
5H	"
6H	"
7H	"
8H	TBACR
9H	"
AH	"
BH	"
CH	TBAMOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004790H	TBAFFCR
1H	"
2H	"
3H	"
4H	TBAST
5H	"
6H	"
7H	"
8H	TBAIM
9H	"
AH	"
BH	"
CH	TMAUC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0047A0H	TBARG0
1H	"
2H	"
3H	"
4H	TBARG1
5H	"
6H	"
7H	"
8H	TBACPO
9H	"
AH	"
BH	"
CH	TBACP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0047B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0047C0H	TBBEN
1H	"
2H	"
3H	"
4H	TBBRUN
5H	"
6H	"
7H	"
8H	TBBCR
9H	"
AH	"
BH	"
CH	TBBMOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0047D0H	TBBFFCR
1H	"
2H	"
3H	"
4H	TBBST
5H	"
6H	"
7H	"
8H	TBBIM
9H	"
AH	"
BH	"
CH	TMBUC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0047E0H	TBBRG0
1H	"
2H	"
3H	"
4H	TBBRG1
5H	"
6H	"
7H	"
8H	TBBCPO
9H	"
AH	"
BH	"
CH	TBBCP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0047F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004800H	TBCEN
1H	"
2H	"
3H	"
4H	TBCRUN
5H	"
6H	"
7H	"
8H	TBCCR
9H	"
AH	"
BH	"
CH	TBCMOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004810H	TBCFFCR
1H	"
2H	"
3H	"
4H	TBCST
5H	"
6H	"
7H	"
8H	TBCIM
9H	"
AH	"
BH	"
CH	TMCUC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004820H	TBCRG0
1H	"
2H	"
3H	"
4H	TBCRG1
5H	"
6H	"
7H	"
8H	TBCCPO
9H	"
AH	"
BH	"
CH	TBCCP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004830H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## Little

ADR	レジスタ名
FF004840H	TBDEN
1H	"
2H	"
3H	"
4H	TBDRUN
5H	"
6H	"
7H	"
8H	TBDCR
9H	"
AH	"
BH	"
CH	TBDMOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004850H	TBDFFCR
1H	"
2H	"
3H	"
4H	TBDST
5H	"
6H	"
7H	"
8H	TBDIM
9H	"
AH	"
BH	"
CH	TMDUC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004860H	TBDRG0
1H	"
2H	"
3H	"
4H	TBDRG1
5H	"
6H	"
7H	"
8H	TBDCP0
9H	"
AH	"
BH	"
CH	TBDCP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004870H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004880H	TBEEN
1H	"
2H	"
3H	"
4H	TBERUN
5H	"
6H	"
7H	"
8H	TBEER
9H	"
AH	"
BH	"
CH	TBEMOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004890H	TBEFFCR
1H	"
2H	"
3H	"
4H	TBEST
5H	"
6H	"
7H	"
8H	TBEIM
9H	"
AH	"
BH	"
CH	TMEUC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0048A0H	TBERGO
1H	"
2H	"
3H	"
4H	TBERG1
5H	"
6H	"
7H	"
8H	TBECPO
9H	"
AH	"
BH	"
CH	TBECP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0048B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0048C0H	TBFEN
1H	"
2H	"
3H	"
4H	TBFRUN
5H	"
6H	"
7H	"
8H	TBFCCR
9H	"
AH	"
BH	"
CH	TBFMOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0048D0H	TBFFFCR
1H	"
2H	"
3H	"
4H	TBFST
5H	"
6H	"
7H	"
8H	TBFIM
9H	"
AH	"
BH	"
CH	TMFUC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0048E0H	TBFRG0
1H	"
2H	"
3H	"
4H	TBFRG1
5H	"
6H	"
7H	"
8H	TBFCPO
9H	"
AH	"
BH	"
CH	TBFCP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0048F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## Little

ADR	レジスタ名
FF004900H	TB10EN
1H	"
2H	"
3H	"
4H	TB10RUN
5H	"
6H	"
7H	"
8H	TB10CR
9H	"
AH	"
BH	"
CH	TB10MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004910H	TB10FFCR
1H	"
2H	"
3H	"
4H	TB10ST
5H	"
6H	"
7H	"
8H	TB10IM
9H	"
AH	"
BH	"
CH	TM10UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004920H	TB10RGO
1H	"
2H	"
3H	"
4H	TB10RG1
5H	"
6H	"
7H	"
8H	TB10CPO
9H	"
AH	"
BH	"
CH	TB10CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004930H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004940H	TB11EN
1H	"
2H	"
3H	"
4H	TB11RUN
5H	"
6H	"
7H	"
8H	TB11CR
9H	"
AH	"
BH	"
CH	TB11MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004950H	TB11FFCR
1H	"
2H	"
3H	"
4H	TB11ST
5H	"
6H	"
7H	"
8H	TB11IM
9H	"
AH	"
BH	"
CH	TM11UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004960H	TB11RGO
1H	"
2H	"
3H	"
4H	TB11RG1
5H	"
6H	"
7H	"
8H	TB11CPO
9H	"
AH	"
BH	"
CH	TB11CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004970H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## [14] 32ビットタイマ関連

ADR	レジスタ名
FF004A00H	TCEN
1H	"
2H	"
3H	"
4H	TBTRUN
5H	"
6H	"
7H	"
8H	TBTCR
9H	"
AH	"
BH	"
CH	TBTCAP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004A10H	TBTRDCAP
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004A20H	CMPCTLO
1H	"
2H	"
3H	"
4H	TCCMPO
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004A30H	CMPCTL1
1H	"
2H	"
3H	"
4H	TCCMP1
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## Little

ADR	レジスタ名
FF004A40H	CMPCTL2
1H	"
2H	"
3H	"
4H	TCCMP2
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004A50H	CMPCTL3
1H	"
2H	"
3H	"
4H	TCCMP3
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004A60H	CMPCTL4
1H	"
2H	"
3H	"
4H	TCCMP4
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004A70H	CMPCTL5
1H	"
2H	"
3H	"
4H	TCCMP5
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004A80H	CMPCTL6
1H	"
2H	"
3H	"
4H	TCCMP6
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004A90H	CMPCTL7
1H	"
2H	"
3H	"
4H	TCCMP7
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004AA0H	CAPCR0
1H	"
2H	"
3H	"
4H	TCCAP0
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004AB0H	CAPCR1
1H	"
2H	"
3H	"
4H	TCCAP1
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004AC0H	CAPCR2
1H	"
2H	"
3H	"
4H	TCCAP2
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004AD0H	CAPCR3
1H	"
2H	"
3H	"
4H	TCCAP3
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004AE0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004AF0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Little

## [15] SBI 関連

ADR	レジスタ名
FF004B00H	SBICR0
1H	"
2H	"
3H	"
4H	SBICR1
5H	"
6H	"
7H	"
8H	SBIDBR
9H	"
AH	"
BH	"
CH	I2CAR
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004B10H	SBICR2/SBISR
1H	"
2H	"
3H	"
4H	SBIBR
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004B20H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004B30H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## [16] SIO/UART 関連

ADR	レジスタ名
FF004C00H	SCOEN
1H	"
2H	"
3H	"
4H	SC0BUF
5H	"
6H	"
7H	"
8H	SCOCR
9H	"
AH	"
BH	"
CH	SCOMODO
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004C10H	BROCR
1H	"
2H	"
3H	"
4H	BROADD
5H	"
6H	"
7H	"
8H	SCOMOD1
9H	"
AH	"
BH	"
CH	SCOMOD2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004C20H	SCORFC
1H	"
2H	"
3H	"
4H	SCOTFC
5H	"
6H	"
7H	"
8H	SCORST
9H	"
AH	"
BH	"
CH	SCOTST
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004C30H	SC0FCNF
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004C40H	SC1EN
1H	"
2H	"
3H	"
4H	SC1BUF
5H	"
6H	"
7H	"
8H	SC1CR
9H	"
AH	"
BH	"
CH	SC1MODO
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004C50H	BR1CR
1H	"
2H	"
3H	"
4H	BR1ADD
5H	"
6H	"
7H	"
8H	SC1MOD1
9H	"
AH	"
BH	"
CH	SC1MOD2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004C60H	SC1RFC
1H	"
2H	"
3H	"
4H	SC1TFC
5H	"
6H	"
7H	"
8H	SC1RST
9H	"
AH	"
BH	"
CH	SC1TST
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004C70H	SC1FCNF
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## Little

ADR	レジスタ名
FF004C80H	SC2EN
1H	"
2H	"
3H	"
4H	SC2BUF
5H	"
6H	"
7H	"
8H	SC2CR
9H	"
AH	"
BH	"
CH	SC2MOD0
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004C90H	BR2CR
1H	"
2H	"
3H	"
4H	BR2ADD
5H	"
6H	"
7H	"
8H	SC2MOD1
9H	"
AH	"
BH	"
CH	SC2MOD2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004CA0H	SC2RFC
1H	"
2H	"
3H	"
4H	SC2TFC
5H	"
6H	"
7H	"
8H	SC2RST
9H	"
AH	"
BH	"
CH	SC2TST
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004CB0H	SC2FCNF
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## [17] ADC 関連

ADR	レジスタ名
FF004D00H	ADACLK
1H	"
2H	"
3H	"
4H	ADAMOD0
5H	"
6H	"
7H	"
8H	ADAMOD1
9H	"
AH	"
BH	"
CH	ADAMOD2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004D10H	ADAMOD3
1H	"
2H	"
3H	"
4H	ADAMOD4
5H	"
6H	"
7H	"
8H	ADAMOD5
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004D20H	reserved
1H	"
2H	"
3H	"
4H	reserved
5H	"
6H	"
7H	"
8H	reserved
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004D30H	ADAREGO
1H	"
2H	"
3H	"
4H	ADAREG1
5H	"
6H	"
7H	"
8H	ADAREG2
9H	"
AH	"
BH	"
CH	ADAREG3
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004D40H	reserved
1H	"
2H	"
3H	"
4H	reserved
5H	"
6H	"
7H	"
8H	reserved
9H	"
AH	"
BH	"
CH	reserved
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004D50H	ADAREGSP
1H	"
2H	"
3H	"
4H	ADACOMREG0
5H	"
6H	"
7H	"
8H	ADACOMREG1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004D60H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004D70H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## Little

ADR	レジスタ名
FF004D80H	ADBCLK
1H	"
2H	"
3H	"
4H	ADBMOD0
5H	"
6H	"
7H	"
8H	ADBMOD1
9H	"
AH	"
BH	"
CH	ADBMOD2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004D90H	ADBMOD3
1H	"
2H	"
3H	"
4H	ADBMOD4
5H	"
6H	"
7H	"
8H	ADBMOD5
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004DA0H	reserved
1H	"
2H	"
3H	"
4H	reserved
5H	"
6H	"
7H	"
8H	reserved
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004DB0H	ADBREG0
1H	"
2H	"
3H	"
4H	ADBREG1
5H	"
6H	"
7H	"
8H	ADBREG2
9H	"
AH	"
BH	"
CH	ADBREG3
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004DC0H	reserved
1H	"
2H	"
3H	"
4H	reserved
5H	"
6H	"
7H	"
8H	reserved
9H	"
AH	"
BH	"
CH	reserved
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004DD0H	ADBREGSP
1H	"
2H	"
3H	"
4H	ADBCOMREG0
5H	"
6H	"
7H	"
8H	ADBCOMREG1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004DE0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004DF0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004E00H	ADGCLK
1H	"
2H	"
3H	"
4H	ADCMOD0
5H	"
6H	"
7H	"
8H	ADCMOD1
9H	"
AH	"
BH	"
CH	ADCMOD2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004E10H	ADCMOD3
1H	"
2H	"
3H	"
4H	ADCMOD4
5H	"
6H	"
7H	"
8H	ADCMOD5
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004E20H	reserved
1H	"
2H	"
3H	"
4H	reserved
5H	"
6H	"
7H	"
8H	reserved
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004E30H	ADCREG0
1H	"
2H	"
3H	"
4H	ADCREG1
5H	"
6H	"
7H	"
8H	ADCREG2
9H	"
AH	"
BH	"
CH	ADCREG3
DH	"
EH	"
FH	"

## Little

ADR	レジスタ名
FF004E40H	ADCREG4
1H	"
2H	"
3H	"
4H	ADCREG5
5H	"
6H	"
7H	"
8H	ADCREG6
9H	"
AH	"
BH	"
CH	ADCREG7
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004E50H	ADREGSP
1H	"
2H	"
3H	"
4H	ADCOMREG0
5H	"
6H	"
7H	"
8H	ADCOMREG1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004E60H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004E70H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## [18] WDT 関連

ADR	レジスタ名
FF004F00H	WDMOD
1H	"
2H	"
3H	"
4H	WDCR
5H	"
6H	"
7H	"
8H	reserved
9H	"
AH	"
BH	"
CH	reserved
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004F10H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004F20H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004F30H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Big

## [1] ROM コレ関連

ADR	レジスタ名
FF00000H	ADDREG0
1H	"
2H	"
3H	"
4H	ADDREG1
5H	"
6H	"
7H	"
8H	ADDREG2
9H	"
AH	"
BH	"
CH	ADDREG3
DH	"
EH	"
FH	"

ADR	レジスタ名
FF00010H	ADDREG4
1H	"
2H	"
3H	"
4H	ADDREG5
5H	"
6H	"
7H	"
8H	ADDREG6
9H	"
AH	"
BH	"
CH	ADDREG7
DH	"
EH	"
FH	"

ADR	レジスタ名
FF00020H	ADDREG8
1H	"
2H	"
3H	"
4H	ADDREG9
5H	"
6H	"
7H	"
8H	ADDREGA
9H	"
AH	"
BH	"
CH	ADDREGB
DH	"
EH	"
FH	"

ADR	レジスタ名
FF00030H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## [2] FLASH 関連

ADR	レジスタ名
FF000100H	FLCS
1H	"
2H	"
3H	"
4H	Reserved
5H	"
6H	"
7H	"
8H	Reserved
9H	"
AH	"
BH	"
CH	Reserved
DH	"
EH	"
FH	"

## [3] プロテクト関連

ADR	レジスタ名
FF000200H	SECBIT
1H	"
2H	"
3H	"
4H	DSUSECBIT
5H	"
6H	"
7H	"
8H	SECCODE
9H	"
AH	"
BH	"
CH	DSUSECCODE
DH	"
EH	"
FH	"

ADR	レジスタ名
FF000210H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF000220H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## [4] INTC 関連

ADR	レジスタ名
FF001000H	IMC0
1H	"
2H	"
3H	"
4H	IMC1
5H	"
6H	"
7H	"
8H	IMC2
9H	"
AH	"
BH	"
CH	IMC3
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001010H	IMC4
1H	"
2H	"
3H	"
4H	IMC5
5H	"
6H	"
7H	"
8H	IMC6
9H	"
AH	"
BH	"
CH	IMC7
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001020H	IMC8
1H	"
2H	"
3H	"
4H	IMC9
5H	"
6H	"
7H	"
8H	IMCA
9H	"
AH	"
BH	"
CH	IMCB
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001030H	IMCC
1H	"
2H	"
3H	"
4H	IMCD
5H	"
6H	"
7H	"
8H	IMCE
9H	"
AH	"
BH	"
CH	IMCF
DH	"
EH	"
FH	"

Big

ADR	レジスタ名
FF001040H	IMC10
1H	"
2H	"
3H	"
4H	IMC11
5H	"
6H	"
7H	"
8H	IMC12
9H	"
AH	"
BH	"
CH	IMC13
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001050H	IMC14
1H	"
2H	"
3H	"
4H	IMC15
5H	"
6H	"
7H	"
8H	IMC16
9H	"
AH	"
BH	"
CH	IMC17
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001060H	IMC18
1H	"
2H	"
3H	"
4H	IMC19
5H	"
6H	"
7H	"
8H	Reserved
9H	"
AH	"
BH	"
CH	Reserved
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001070H	Reserved
1H	"
2H	"
3H	"
4H	Reserved
5H	"
6H	"
7H	"
8H	Reserved
9H	"
AH	"
BH	"
CH	Reserved
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001080H	1VR
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001090H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0010A0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0010B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0010C0H	INTCLR
1H	"
2H	"
3H	"
4H	DREQFLG
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0010D0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0010E0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0010F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Big

ADR	レジスタ名
FF001100H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	I LEV
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001110H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001120H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001130H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## [5] DMAC 関連

ADR	レジスタ名
FF001200H	CCRO
1H	"
2H	"
3H	"
4H	CSRO
5H	"
6H	"
7H	"
8H	SARO
9H	"
AH	"
BH	"
CH	DARO
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001210H	BCRO
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCRO
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001220H	CCR1
1H	"
2H	"
3H	"
4H	CSR1
5H	"
6H	"
7H	"
8H	SAR1
9H	"
AH	"
BH	"
CH	DAR1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001230H	BCR1
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001240H	CCR2
1H	"
2H	"
3H	"
4H	CSR2
5H	"
6H	"
7H	"
8H	SAR2
9H	"
AH	"
BH	"
CH	DAR2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001250H	BCR2
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR2
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001260H	CCR3
1H	"
2H	"
3H	"
4H	CSR3
5H	"
6H	"
7H	"
8H	SAR3
9H	"
AH	"
BH	"
CH	DAR3
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001270H	BCR3
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR3
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

Big

ADR	レジスタ名
FF001280H	CCR4
1H	"
2H	"
3H	"
4H	CSR4
5H	"
6H	"
7H	"
8H	SAR4
9H	"
AH	"
BH	"
CH	DAR4
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001290H	BCR4
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR4
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0012A0H	CCR5
1H	"
2H	"
3H	"
4H	CSR5
5H	"
6H	"
7H	"
8H	SAR5
9H	"
AH	"
BH	"
CH	DAR5
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0012B0H	BCR5
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR5
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0012C0H	CCR6
1H	"
2H	"
3H	"
4H	CSR6
5H	"
6H	"
7H	"
8H	SAR6
9H	"
AH	"
BH	"
CH	DAR6
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0012D0H	BCR6
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR6
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0012E0H	CCR7
1H	"
2H	"
3H	"
4H	CSR7
5H	"
6H	"
7H	"
8H	SAR7
9H	"
AH	"
BH	"
CH	DAR7
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0012F0H	BCR7
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR7
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

[6] CS/WAIT 関連

ADR	レジスタ名
FF001300H	DCR
1H	"
2H	"
3H	"
4H	RSR
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	DHR
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001400H	BMA0
1H	"
2H	"
3H	"
4H	BMA1
5H	"
6H	"
7H	"
8H	BMA2
9H	"
AH	"
BH	"
CH	BMA3
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001410H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001420H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Big

## [7] RTC 関連

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FF001480H	B01CS	FF001500H	HOURL	FF001510H		FF001520H	
1H	"	1H	"	1H		1H	
2H	"	2H	MINR	2H		2H	
3H	"	3H	SECR	3H		3H	
4H	B23CS	4H	YEARR	4H		4H	
5H	"	5H	MONTHR	5H		5H	
6H	"	6H	DATER	6H		6H	
7H	"	7H	DAYR	7H		7H	
8H	BEXCS	8H	PAGER	8H		8H	
9H	"	9H	"	9H		9H	
AH	"	AH	"	AH		AH	
BH	"	BH	"	BH		BH	
FO014C0H	BUSCR	CH	RESTR	CH		CH	
1H		DH	"	DH		DH	
2H		EH	"	EH		EH	
3H		FH	"	FH		FH	

## [8] PHCNT 関連

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FF001600H	PHCORUN	FF001610H	PHCOCMP0	FF001620H	Reserved	FF001630H	
1H	"	1H	"	1H	"	1H	
2H	"	2H	"	2H	"	2H	
3H	"	3H	"	3H	"	3H	
4H	PHCOCR	4H	PHCOCMP1	4H		4H	
5H	"	5H	"	5H		5H	
6H	"	6H	"	6H		6H	
7H	"	7H	"	7H		7H	
8H	PHCOEN	8H	PHCOCNT	8H		8H	
9H	"	9H	"	9H		9H	
AH	"	AH	"	AH		AH	
BH	"	BH	"	BH		BH	
CH	PHCOFLG	CH	Reserved	CH		CH	
DH	"	DH	"	DH		DH	
EH	"	EH	"	EH		EH	
FH	"	FH	"	FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FF001640H	PHC1RUN	FF001650H	PHC1CMP0	FF001660H	Reserved	FF001670H	
1H	"	1H	"	1H	"	1H	
2H	"	2H	"	2H	"	2H	
3H	"	3H	"	3H	"	3H	
4H	PHC1CR	4H	PHC1CMP1	4H		4H	
5H	"	5H	"	5H		5H	
6H	"	6H	"	6H		6H	
7H	"	7H	"	7H		7H	
8H	PHC1EN	8H	PHC1CNT	8H		8H	
9H	"	9H	"	9H		9H	
AH	"	AH	"	AH		AH	
BH	"	BH	"	BH		BH	
CH	PHC1FLG	CH	Reserved	CH		CH	
DH	"	DH	"	DH		DH	
EH	"	EH	"	EH		EH	
FH	"	FH	"	FH		FH	

Big

ADR	レジスタ名
FF001680H	PHC2RUN
1H	"
2H	"
3H	"
4H	PHC2CR
5H	"
6H	"
7H	"
8H	PHC2EN
9H	"
AH	"
BH	"
CH	PHC2FLG
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001690H	PHC2CMP0
1H	"
2H	"
3H	"
4H	PHC2CMP1
5H	"
6H	"
7H	"
8H	PHC2CNT
9H	"
AH	"
BH	"
CH	Reserved
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0016A0H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0016B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0016C0H	PHC3RUN
1H	"
2H	"
3H	"
4H	PHC3CR
5H	"
6H	"
7H	"
8H	PHC3EN
9H	"
AH	"
BH	"
CH	PHC3FLG
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0016D0H	PHC3CMP0
1H	"
2H	"
3H	"
4H	PHC3CMP1
5H	"
6H	"
7H	"
8H	PHC3CNT
9H	"
AH	"
BH	"
CH	Reserved
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0016E0H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0016F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001700H	PHC4RUN
1H	"
2H	"
3H	"
4H	PHC4CR
5H	"
6H	"
7H	"
8H	PHC4EN
9H	"
AH	"
BH	"
CH	PHC4FLG
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001710H	PHC4CMP0
1H	"
2H	"
3H	"
4H	PHC4CMP1
5H	"
6H	"
7H	"
8H	PHC4CNT
9H	"
AH	"
BH	"
CH	Reserved
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001720H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001730H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## Big

ADR	レジスタ名
FF001740H	PHC5RUN
1H	"
2H	"
3H	"
4H	PHC5CR
5H	"
6H	"
7H	"
8H	PHC5EN
9H	"
AH	"
BH	"
CH	PHC5FLG
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001750H	PHC5CMP0
1H	"
2H	"
3H	"
4H	PHC5CMP1
5H	"
6H	"
7H	"
8H	PHC5CNT
9H	"
AH	"
BH	"
CH	Reserved
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001760H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001770H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## [9] HSIO 関連

ADR	レジスタ名
FF001800H	
1H	
2H	
3H	HSC0BUF
4H	HSC0EN
5H	HSC0MOD2
6H	HSC0MOD1
7H	HBROADD
8H	HSC0TST
9H	HSC0RST
AH	HSC0TFC
BH	HSC0RFC
CH	HBROCR
DH	HSC0MOD0
EH	HSC0CR
FH	HSC0FCNF

ADR	レジスタ名
FF001810H	
1H	
2H	
3H	HSC1BUF
4H	HSC1EN
5H	HSC1MOD2
6H	HSC1MOD1
7H	HBR1ADD
8H	HSC1TST
9H	HSC1RST
AH	HSC1TFC
BH	HSC1RFC
CH	HBR1CR
DH	HSC1MOD0
EH	HSC1CR
FH	HSC1FCNF

ADR	レジスタ名
FF001820H	
1H	
2H	
3H	HSC2BUF
4H	HSC3EN
5H	HSC3MOD2
6H	HSC3MOD1
7H	HBR3ADD
8H	HSC3TST
9H	HSC3RST
AH	HSC3TFC
BH	HSC3RFC
CH	HBR3CR
DH	HSC3MOD0
EH	HSC3CR
FH	HSC3FCNF

ADR	レジスタ名
FF001830H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## [10] CG 関連

ADR	レジスタ名
FF001900H	SYSCR
1H	"
2H	"
3H	"
4H	OSSCR
5H	"
6H	"
7H	"
8H	STBYCR
9H	"
AH	"
BH	"
CH	PLLSEL
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001910H	SCKSEL
1H	"
2H	"
3H	"
4H	ICRCG
5H	"
6H	"
7H	"
8H	NMIFLG
9H	"
AH	"
BH	"
CH	RSTFLG
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001920H	IMCGA
1H	"
2H	"
3H	"
4H	IMCGB
5H	"
6H	"
7H	"
8H	IMCGC
9H	"
AH	"
BH	"
CH	IMCGD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001930H	IMCGE
1H	"
2H	"
3H	"
4H	IMCGF
5H	"
6H	"
7H	"
8H	IMCG10
9H	"
AH	"
BH	"
CH	IMCG11
DH	"
EH	"
FH	"

Big

[11]KWUP 関連

ADR	レジスタ名
FF001A00H	KWUPST00
1H	"
2H	"
3H	"
4H	KWUPST01
5H	"
6H	"
7H	"
8H	KWUPST02
9H	"
AH	"
BH	"
CH	KWUPST03
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001A10H	KWUPST04
1H	"
2H	"
3H	"
4H	KWUPST05
5H	"
6H	"
7H	"
8H	KWUPST06
9H	"
AH	"
BH	"
CH	KWUPST07
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001A20H	KWUPST08
1H	"
2H	"
3H	"
4H	KWUPST09
5H	"
6H	"
7H	"
8H	KWUPST10
9H	"
AH	"
BH	"
CH	KWUPST11
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001A30H	KWUPST12
1H	"
2H	"
3H	"
4H	KWUPST13
5H	"
6H	"
7H	"
8H	KWUPST14
9H	"
AH	"
BH	"
CH	KWUPST15
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001A40H	KWUPST 16
1H	"
2H	"
3H	"
4H	KWUPST 17
5H	"
6H	"
7H	"
8H	KWUPST 18
9H	"
AH	"
BH	"
CH	KWUPST 19
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001A50H	KWUPST 20
1H	"
2H	"
3H	"
4H	KWUPST 21
5H	"
6H	"
7H	"
8H	KWUPST 22
9H	"
AH	"
BH	"
CH	KWUPST 23
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001A60H	KWUPST 24
1H	"
2H	"
3H	"
4H	KWUPST 25
5H	"
6H	"
7H	"
8H	KWUPST 26
9H	"
AH	"
BH	"
CH	KWUPST 27
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001A70H	KWUPST 28
1H	"
2H	"
3H	"
4H	KWUPST 29
5H	"
6H	"
7H	"
8H	KWUPST 30
9H	"
AH	"
BH	"
CH	KWUPST 31
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001A80H	PKEY
1H	"
2H	"
3H	"
4H	KWUPCNT
5H	"
6H	"
7H	"
8H	KWUPCLR
9H	"
AH	"
BH	"
CH	KWUPINT
DH	"
EH	"
FH	"

ADR	レジスタ名
FF001A90H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001AA0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF001AB0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Big

[12] PORT 関連

ADR	レジスタ名
FF004000H	P0
1H	"
2H	"
3H	"
4H	POCR
5H	"
6H	"
7H	"
8H	POFC1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004010H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004020H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	POPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004030H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004040H	P1
1H	"
2H	"
3H	"
4H	P1CR
5H	"
6H	"
7H	"
8H	P1FC1
9H	"
AH	"
BH	"
CH	P1FC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004050H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004060H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	P1PUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004070H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004080H	P2
1H	"
2H	"
3H	"
4H	P2CR
5H	"
6H	"
7H	"
8H	P2FC1
9H	"
AH	"
BH	"
CH	P2FC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004090H	P2FC3
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0040A0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	P2PUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0040B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P2IE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

Big

ADR	レジスタ名
FF0040C0H	P3
1H	"
2H	"
3H	"
4H	P3CR
5H	"
6H	"
7H	"
8H	P3FC1
9H	"
AH	"
BH	"
CH	P3FC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0040D0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0040E0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	P3PUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0040F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P31E
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004100H	P4
1H	"
2H	"
3H	"
4H	P4CR
5H	"
6H	"
7H	"
8H	P4FC1
9H	"
AH	"
BH	"
CH	P4FC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004110H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004120H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	P4PUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004130H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P41E
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004140H	P5
1H	"
2H	"
3H	"
4H	P5CR
5H	"
6H	"
7H	"
8H	P5FC1
9H	"
AH	"
BH	"
CH	P5FC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004150H	P5FC3
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004160H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	P5PUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004170H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P51E
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

Big

ADR	レジスタ名
FF004180H	P6
1H	"
2H	"
3H	"
4H	P6CR
5H	"
6H	"
7H	"
8H	P6FC1
9H	"
AH	"
BH	"
CH	P6FC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004190H	P6FC3
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0041A0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P60DE
9H	"
AH	"
BH	"
CH	P6PUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0041B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P61E
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0041C0H	P7
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	P7FC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0041D0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0041E0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	P7PUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0041F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P71E
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004200H	P8
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	P8FC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004210H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004220H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	P8PUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004230H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P81E
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

Big

ADR	レジスタ名
FF004240H	P9
1H	"
2H	"
3H	"
4H	P9CR
5H	"
6H	"
7H	"
8H	P9FC1
9H	"
AH	"
BH	"
CH	P9FC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004250H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004260H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P9ODE
9H	"
AH	"
BH	"
CH	P9PUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004270H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	P9IE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004280H	PA
1H	"
2H	"
3H	"
4H	PACR
5H	"
6H	"
7H	"
8H	PAFC1
9H	"
AH	"
BH	"
CH	PAFC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004290H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0042A0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	PAPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0042B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PAIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0042C0H	PB
1H	"
2H	"
3H	"
4H	PBCR
5H	"
6H	"
7H	"
8H	PBFC1
9H	"
AH	"
BH	"
CH	PBFC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0042D0H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0042E0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PBODE
9H	"
AH	"
BH	"
CH	PBPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0042F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PBIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

Big

ADR	レジスタ名
FF004300H	PC
1H	"
2H	"
3H	"
4H	PCCR
5H	"
6H	"
7H	"
8H	PCFC1
9H	"
AH	"
BH	"
CH	PCFC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004310H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004320H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PCODE
9H	"
AH	"
BH	"
CH	PCPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004330H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PCIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004340H	PD
1H	"
2H	"
3H	"
4H	PDCR
5H	"
6H	"
7H	"
8H	PDFC1
9H	"
AH	"
BH	"
CH	PDFC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004350H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004360H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PDODE
9H	"
AH	"
BH	"
CH	PDPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004370H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PDIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004380H	PE
1H	"
2H	"
3H	"
4H	PECR
5H	"
6H	"
7H	"
8H	PEFC1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004390H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0043A0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	PEPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0043B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PEIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

Big

ADR	レジスタ名
FF0043C0H	PF
1H	"
2H	"
3H	"
4H	PFCR
5H	"
6H	"
7H	"
8H	PFFC1
9H	"
AH	"
BH	"
CH	PFFC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0043D0H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0043E0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	PFPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0043F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PFIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004400H	PG
1H	"
2H	"
3H	"
4H	PGCR
5H	"
6H	"
7H	"
8H	PGFC1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004410H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004420H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	PGPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004430H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PGIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004440H	PH
1H	"
2H	"
3H	"
4H	PHCR
5H	"
6H	"
7H	"
8H	PHFC1
9H	"
AH	"
BH	"
CH	PHFC2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004450H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004460H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	PHPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004470H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PHIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

Big

ADR	レジスタ名
FF004480H	PI
1H	"
2H	"
3H	"
4H	PICR
5H	"
6H	"
7H	"
8H	PIFC1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004490H	Reserved
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0044A0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	PIPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0044B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PIIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0044C0H	PJ
1H	"
2H	"
3H	"
4H	PJCR
5H	"
6H	"
7H	"
8H	PJFC1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0044D0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0044E0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	PJPUP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0044F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	PJIE
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

[13] 16ビットタイマ関連

ADR	レジスタ名
FF004500H	TBOEN
1H	"
2H	"
3H	"
4H	TBORUN
5H	"
6H	"
7H	"
8H	TBOCR
9H	"
AH	"
BH	"
CH	TBOMOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004510H	TBOFFCR
1H	"
2H	"
3H	"
4H	TBOST
5H	"
6H	"
7H	"
8H	TBOIM
9H	"
AH	"
BH	"
CH	TMOUC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004520H	TBORG0
1H	"
2H	"
3H	"
4H	TBORG1
5H	"
6H	"
7H	"
8H	TBOCP0
9H	"
AH	"
BH	"
CH	TBOCP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004530H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Big

ADR	レジスタ名
FF004540H	TB1EN
1H	"
2H	"
3H	"
4H	TB1RUN
5H	"
6H	"
7H	"
8H	TB1CR
9H	"
AH	"
BH	"
CH	TB1MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004550H	TB1FFCR
1H	"
2H	"
3H	"
4H	TB1ST
5H	"
6H	"
7H	"
8H	TB1IM
9H	"
AH	"
BH	"
CH	TM1UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004560H	TB1RG0
1H	"
2H	"
3H	"
4H	TB1RG1
5H	"
6H	"
7H	"
8H	TB1CP0
9H	"
AH	"
BH	"
CH	TB1CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004570H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004580H	TB2EN
1H	"
2H	"
3H	"
4H	TB2RUN
5H	"
6H	"
7H	"
8H	TB2CR
9H	"
AH	"
BH	"
CH	TB2MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004590H	TB2FFCR
1H	"
2H	"
3H	"
4H	TB2ST
5H	"
6H	"
7H	"
8H	TB2IM
9H	"
AH	"
BH	"
CH	TM2UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0045A0H	TB2RG0
1H	"
2H	"
3H	"
4H	TB2RG1
5H	"
6H	"
7H	"
8H	TB2CP0
9H	"
AH	"
BH	"
CH	TB2CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0045B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0045C0H	TB3EN
1H	"
2H	"
3H	"
4H	TB3RUN
5H	"
6H	"
7H	"
8H	TB3CR
9H	"
AH	"
BH	"
CH	TB3MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0045D0H	TB3FFCR
1H	"
2H	"
3H	"
4H	TB3ST
5H	"
6H	"
7H	"
8H	TB3IM
9H	"
AH	"
BH	"
CH	TM3UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0045E0H	TB3RG0
1H	"
2H	"
3H	"
4H	TB3RG1
5H	"
6H	"
7H	"
8H	TB3CP0
9H	"
AH	"
BH	"
CH	TB3CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0045F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Big

ADR	レジスタ名
FF004600H	TB4EN
1H	"
2H	"
3H	"
4H	TB4RUN
5H	"
6H	"
7H	"
8H	TB4CR
9H	"
AH	"
BH	"
CH	TB4MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004610H	TB4FFCR
1H	"
2H	"
3H	"
4H	TB4ST
5H	"
6H	"
7H	"
8H	TB4IM
9H	"
AH	"
BH	"
CH	TM4UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004620H	TB4RG0
1H	"
2H	"
3H	"
4H	TB4RG1
5H	"
6H	"
7H	"
8H	TB4CP0
9H	"
AH	"
BH	"
CH	TB4CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004630H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004640H	TB5EN
1H	"
2H	"
3H	"
4H	TB5RUN
5H	"
6H	"
7H	"
8H	TB5CR
9H	"
AH	"
BH	"
CH	TB5MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004650H	TB5FFCR
1H	"
2H	"
3H	"
4H	TB5ST
5H	"
6H	"
7H	"
8H	TB5IM
9H	"
AH	"
BH	"
CH	TM5UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004660H	TB5RG0
1H	"
2H	"
3H	"
4H	TB5RG1
5H	"
6H	"
7H	"
8H	TB5CP0
9H	"
AH	"
BH	"
CH	TB5CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004670H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004680H	TB6EN
1H	"
2H	"
3H	"
4H	TB6RUN
5H	"
6H	"
7H	"
8H	TB6CR
9H	"
AH	"
BH	"
CH	TB6MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004690H	TB6FFCR
1H	"
2H	"
3H	"
4H	TB6ST
5H	"
6H	"
7H	"
8H	TB6IM
9H	"
AH	"
BH	"
CH	TM6UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0046A0H	TB6RG0
1H	"
2H	"
3H	"
4H	TB6RG1
5H	"
6H	"
7H	"
8H	TB6CP0
9H	"
AH	"
BH	"
CH	TB6CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0046B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Big

ADR	レジスタ名
FF0046C0H	TB7EN
1H	"
2H	"
3H	"
4H	TB7RUN
5H	"
6H	"
7H	"
8H	TB7CR
9H	"
AH	"
BH	"
CH	TB7MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0046D0H	TB7FFCR
1H	"
2H	"
3H	"
4H	TB7ST
5H	"
6H	"
7H	"
8H	TB7IM
9H	"
AH	"
BH	"
CH	TM7UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0046E0H	TB7RG0
1H	"
2H	"
3H	"
4H	TB7RG1
5H	"
6H	"
7H	"
8H	TB7CP0
9H	"
AH	"
BH	"
CH	TB7CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0046F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004700H	TB8EN
1H	"
2H	"
3H	"
4H	TB8RUN
5H	"
6H	"
7H	"
8H	TB8CR
9H	"
AH	"
BH	"
CH	TB8MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004710H	TB8FFCR
1H	"
2H	"
3H	"
4H	TB8ST
5H	"
6H	"
7H	"
8H	TB8IM
9H	"
AH	"
BH	"
CH	TM8UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004720H	TB8RG0
1H	"
2H	"
3H	"
4H	TB8RG1
5H	"
6H	"
7H	"
8H	TB8CP0
9H	"
AH	"
BH	"
CH	TB8CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004730H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004740H	TB9EN
1H	"
2H	"
3H	"
4H	TB9RUN
5H	"
6H	"
7H	"
8H	TB9CR
9H	"
AH	"
BH	"
CH	TB9MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF00475H	TB9FFCR
1H	"
2H	"
3H	"
4H	TB9ST
5H	"
6H	"
7H	"
8H	TB9IM
9H	"
AH	"
BH	"
CH	TM9UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004760H	TB9RG0
1H	"
2H	"
3H	"
4H	TB9RG1
5H	"
6H	"
7H	"
8H	TB9CP0
9H	"
AH	"
BH	"
CH	TB9CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004770H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Big

ADR	レジスタ名
FF004780H	TBAEN
1H	"
2H	"
3H	"
4H	TBARUN
5H	"
6H	"
7H	"
8H	TBACR
9H	"
AH	"
BH	"
CH	TBAMOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004790H	TBAFFCR
1H	"
2H	"
3H	"
4H	TBAST
5H	"
6H	"
7H	"
8H	TBAIM
9H	"
AH	"
BH	"
CH	TMAUC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0047A0H	TBARG0
1H	"
2H	"
3H	"
4H	TBARG1
5H	"
6H	"
7H	"
8H	TBACPO
9H	"
AH	"
BH	"
CH	TBACP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0047B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0047C0H	TBBEN
1H	"
2H	"
3H	"
4H	TBBRUN
5H	"
6H	"
7H	"
8H	TBBCR
9H	"
AH	"
BH	"
CH	TBBMOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0047D0H	TBBFFCR
1H	"
2H	"
3H	"
4H	TBBST
5H	"
6H	"
7H	"
8H	TBBIM
9H	"
AH	"
BH	"
CH	TMBUC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0047E0H	TBBRG0
1H	"
2H	"
3H	"
4H	TBBRG1
5H	"
6H	"
7H	"
8H	TBBCPO
9H	"
AH	"
BH	"
CH	TBBCP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0047F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004800H	TBCEN
1H	"
2H	"
3H	"
4H	TBCRUN
5H	"
6H	"
7H	"
8H	TBCCR
9H	"
AH	"
BH	"
CH	TBCMOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004810H	TBCFFCR
1H	"
2H	"
3H	"
4H	TBCST
5H	"
6H	"
7H	"
8H	TBCIM
9H	"
AH	"
BH	"
CH	TMCUC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004820H	TBCRG0
1H	"
2H	"
3H	"
4H	TBCRG1
5H	"
6H	"
7H	"
8H	TBCCPO
9H	"
AH	"
BH	"
CH	TBCCP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004830H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Big

ADR	レジスタ名
FF004840H	TBDEN
1H	"
2H	"
3H	"
4H	TBDRUN
5H	"
6H	"
7H	"
8H	TBDCR
9H	"
AH	"
BH	"
CH	TBDMOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004850H	TBDFFCR
1H	"
2H	"
3H	"
4H	TBDST
5H	"
6H	"
7H	"
8H	TBDIM
9H	"
AH	"
BH	"
CH	TMDUC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004860H	TBDRG0
1H	"
2H	"
3H	"
4H	TBDRG1
5H	"
6H	"
7H	"
8H	TBDCP0
9H	"
AH	"
BH	"
CH	TBDCP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004870H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004880H	TBEEN
1H	"
2H	"
3H	"
4H	TBERUN
5H	"
6H	"
7H	"
8H	TBEER
9H	"
AH	"
BH	"
CH	TBEMOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004890H	TBEFFCR
1H	"
2H	"
3H	"
4H	TBEST
5H	"
6H	"
7H	"
8H	TBEIM
9H	"
AH	"
BH	"
CH	TMEUC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0048A0H	TBERGO
1H	"
2H	"
3H	"
4H	TBERG1
5H	"
6H	"
7H	"
8H	TBECPO
9H	"
AH	"
BH	"
CH	TBECP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0048B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF0048C0H	TBFEN
1H	"
2H	"
3H	"
4H	TBFRUN
5H	"
6H	"
7H	"
8H	TBFRCR
9H	"
AH	"
BH	"
CH	TBFMOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0048D0H	TBFFFCR
1H	"
2H	"
3H	"
4H	TBFST
5H	"
6H	"
7H	"
8H	TBFIM
9H	"
AH	"
BH	"
CH	TMFUC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0048E0H	TBFRGO
1H	"
2H	"
3H	"
4H	TBFRG1
5H	"
6H	"
7H	"
8H	TBFPCPO
9H	"
AH	"
BH	"
CH	TBFPCP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF0048F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Big

ADR	レジスタ名
FF004900H	TB10EN
1H	"
2H	"
3H	"
4H	TB10RUN
5H	"
6H	"
7H	"
8H	TB10CR
9H	"
AH	"
BH	"
CH	TB10MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004910H	TB10FFCR
1H	"
2H	"
3H	"
4H	TB10ST
5H	"
6H	"
7H	"
8H	TB10IM
9H	"
AH	"
BH	"
CH	TM10UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004920H	TB10RGO
1H	"
2H	"
3H	"
4H	TB10RG1
5H	"
6H	"
7H	"
8H	TB10CPO
9H	"
AH	"
BH	"
CH	TB10CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004930H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004940H	TB11EN
1H	"
2H	"
3H	"
4H	TB11RUN
5H	"
6H	"
7H	"
8H	TB11CR
9H	"
AH	"
BH	"
CH	TB11MOD
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004950H	TB11FFCR
1H	"
2H	"
3H	"
4H	TB11ST
5H	"
6H	"
7H	"
8H	TB11IM
9H	"
AH	"
BH	"
CH	TM11UC
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004960H	TB11RGO
1H	"
2H	"
3H	"
4H	TB11RG1
5H	"
6H	"
7H	"
8H	TB11CPO
9H	"
AH	"
BH	"
CH	TB11CP1
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004970H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[14] 32ビットタイマ関連

ADR	レジスタ名
FF004A00H	TCEN
1H	"
2H	"
3H	"
4H	TBTRUN
5H	"
6H	"
7H	"
8H	TBTCR
9H	"
AH	"
BH	"
CH	TBTCAP
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004A10H	TBTRDCAP
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004A20H	CMPCTLO
1H	"
2H	"
3H	"
4H	TCCMPO
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004A30H	CMPCTL1
1H	"
2H	"
3H	"
4H	TCCMP1
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Big

ADR	レジスタ名
FF004A40H	CMPCTL2
1H	"
2H	"
3H	"
4H	TCCMP2
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004A50H	CMPCTL3
1H	"
2H	"
3H	"
4H	TCCMP3
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004A60H	CMPCTL4
1H	"
2H	"
3H	"
4H	TCCMP4
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004A70H	CMPCTL5
1H	"
2H	"
3H	"
4H	TCCMP5
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004A80H	CMPCTL6
1H	"
2H	"
3H	"
4H	TCCMP6
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004A90H	CMPCTL7
1H	"
2H	"
3H	"
4H	TCCMP7
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004AA0H	CAPCR0
1H	"
2H	"
3H	"
4H	TCCAP0
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004AB0H	CAPCR1
1H	"
2H	"
3H	"
4H	TCCAP1
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004AC0H	CAPCR2
1H	"
2H	"
3H	"
4H	TCCAP2
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004AD0H	CAPCR3
1H	"
2H	"
3H	"
4H	TCCAP3
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004AE0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004AF0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Big

## [15] SBI 関連

ADR	レジスタ名
FF004B00H	SBICR0
1H	"
2H	"
3H	"
4H	SBICR1
5H	"
6H	"
7H	"
8H	SBIDBR
9H	"
AH	"
BH	"
CH	I2CAR
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004B10H	SBICR2/SBISR
1H	"
2H	"
3H	"
4H	SBIBR
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004B20H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004B30H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## [16] SIO/UART 関連

ADR	レジスタ名
FF004C00H	SCOEN
1H	"
2H	"
3H	"
4H	SCOBUF
5H	"
6H	"
7H	"
8H	SCOCR
9H	"
AH	"
BH	"
CH	SCOMODO
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004C10H	BROCR
1H	"
2H	"
3H	"
4H	BROADD
5H	"
6H	"
7H	"
8H	SCOMOD1
9H	"
AH	"
BH	"
CH	SCOMOD2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004C20H	SCORFC
1H	"
2H	"
3H	"
4H	SCOTFC
5H	"
6H	"
7H	"
8H	SCORST
9H	"
AH	"
BH	"
CH	SCOTST
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004C30H	SC0FCNF
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004C40H	SC1EN
1H	"
2H	"
3H	"
4H	SC1BUF
5H	"
6H	"
7H	"
8H	SC1CR
9H	"
AH	"
BH	"
CH	SC1MODO
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004C50H	BR1CR
1H	"
2H	"
3H	"
4H	BR1ADD
5H	"
6H	"
7H	"
8H	SC1MOD1
9H	"
AH	"
BH	"
CH	SC1MOD2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004C60H	SC1RFC
1H	"
2H	"
3H	"
4H	SC1TFC
5H	"
6H	"
7H	"
8H	SC1RST
9H	"
AH	"
BH	"
CH	SC1TST
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004C70H	SC1FCNF
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Big

ADR	レジスタ名
FF004C80H	SC2EN
1H	"
2H	"
3H	"
4H	SC2BUF
5H	"
6H	"
7H	"
8H	SC2CR
9H	"
AH	"
BH	"
CH	SC2MOD0
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004C90H	BR2CR
1H	"
2H	"
3H	"
4H	BR2ADD
5H	"
6H	"
7H	"
8H	SC2MOD1
9H	"
AH	"
BH	"
CH	SC2MOD2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004CA0H	SC2RFC
1H	"
2H	"
3H	"
4H	SC2TFC
5H	"
6H	"
7H	"
8H	SC2RST
9H	"
AH	"
BH	"
CH	SC2TST
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004CB0H	SC2FCNF
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## [17] ADC 関連

ADR	レジスタ名
FF004D00H	ADACLK
1H	"
2H	"
3H	"
4H	ADAMOD0
5H	"
6H	"
7H	"
8H	ADAMOD1
9H	"
AH	"
BH	"
CH	ADAMOD2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004D10H	ADAMOD3
1H	"
2H	"
3H	"
4H	ADAMOD4
5H	"
6H	"
7H	"
8H	ADAMOD5
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004D20H	reserved
1H	"
2H	"
3H	"
4H	reserved
5H	"
6H	"
7H	"
8H	reserved
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004D30H	ADAREGO
1H	"
2H	"
3H	"
4H	ADAREG1
5H	"
6H	"
7H	"
8H	ADAREG2
9H	"
AH	"
BH	"
CH	ADAREG3
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004D40H	reserved
1H	"
2H	"
3H	"
4H	reserved
5H	"
6H	"
7H	"
8H	reserved
9H	"
AH	"
BH	"
CH	reserved
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004D50H	ADAREGSP
1H	"
2H	"
3H	"
4H	ADACOMREG0
5H	"
6H	"
7H	"
8H	ADACOMREG1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004D60H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004D70H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Big

ADR	レジスタ名
FF004D80H	ADBCLK
1H	"
2H	"
3H	"
4H	ADBMOD0
5H	"
6H	"
7H	"
8H	ADBMOD1
9H	"
AH	"
BH	"
CH	ADBMOD2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004D90H	ADBMOD3
1H	"
2H	"
3H	"
4H	ADBMOD4
5H	"
6H	"
7H	"
8H	ADBMOD5
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004DA0H	reserved
1H	"
2H	"
3H	"
4H	reserved
5H	"
6H	"
7H	"
8H	reserved
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004DB0H	ADBREG0
1H	"
2H	"
3H	"
4H	ADBREG1
5H	"
6H	"
7H	"
8H	ADBREG2
9H	"
AH	"
BH	"
CH	ADBREG3
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004DC0H	reserved
1H	"
2H	"
3H	"
4H	reserved
5H	"
6H	"
7H	"
8H	reserved
9H	"
AH	"
BH	"
CH	reserved
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004DD0H	ADBREGSP
1H	"
2H	"
3H	"
4H	ADBCOMREG0
5H	"
6H	"
7H	"
8H	ADBCOMREG1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004DE0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004DF0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004E00H	ADGCLK
1H	"
2H	"
3H	"
4H	ADCMOD0
5H	"
6H	"
7H	"
8H	ADCMOD1
9H	"
AH	"
BH	"
CH	ADCMOD2
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004E10H	ADCMOD3
1H	"
2H	"
3H	"
4H	ADCMOD4
5H	"
6H	"
7H	"
8H	ADCMOD5
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004E20H	reserved
1H	"
2H	"
3H	"
4H	reserved
5H	"
6H	"
7H	"
8H	reserved
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004E30H	ADCREG0
1H	"
2H	"
3H	"
4H	ADCREG1
5H	"
6H	"
7H	"
8H	ADCREG2
9H	"
AH	"
BH	"
CH	ADCREG3
DH	"
EH	"
FH	"

Big

ADR	レジスタ名
FF004E40H	ADCREG4
1H	"
2H	"
3H	"
4H	ADCREG5
5H	"
6H	"
7H	"
8H	ADCREG6
9H	"
AH	"
BH	"
CH	ADCREG7
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004E50H	ADREGSP
1H	"
2H	"
3H	"
4H	ADCOMREG0
5H	"
6H	"
7H	"
8H	ADCOMREG1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004E60H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004E70H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[18] WDT 関連

ADR	レジスタ名
FF004F00H	WDMOD
1H	"
2H	"
3H	"
4H	WDCR
5H	"
6H	"
7H	"
8H	reserved
9H	"
AH	"
BH	"
CH	reserved
DH	"
EH	"
FH	"

ADR	レジスタ名
FF004F10H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004F20H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FF004F30H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

## 23. JTAGインタフェース

TMP19A44 には、Joint Test Action Group (JTAG) 規格に適合するバウンダリスキャンインタフェースが用意されています。このインタフェースには業界標準の JTAG プロトコル (IEEE 規格 1149.1/D6) が使われています。本章では、バウンダリスキャン、インタフェースで使われるピンと信号、およびテストアクセスポート (TAP) に触れながら、このインタフェースについて説明しています。

### 23.1 バウンダリスキャンの概要

絶えず高密度化していく集積回路 (IC)、表面実装デバイス、プリント回路基板 (PCB) に両面実装されるコンポーネント、および埋め込み穴の発達によって、内部基板とチップの接続という物理的接触に依存する内部回路テストはしだいに使いにくくなってきました。IC が高度に複雑化してきたため、こうしたチップをすみずみまで実行するテストは大規模化し、作成が難しくなってきました。

この難しさに対する解決策の 1 つとして開発されたのが、「バウンダリスキャン」回路です。バウンダリスキャン回路とは、各ピンとピンに接続されている IC の内部回路との間に設けられる一連のシフトレジスタのことで (図 23-1 を参照)。通常、それらのバウンダリスキャンセルはバイパスされますが、IC がテストモードになると、テストプログラムの指示に従ってスキャンセルからシフトレジスタパスに沿ってデータが送られ、各種の診断テストが実行されます。テストのときには TDI、TDO、TMS、TCK および TRST という 5 種類の信号が使われます。これらの信号については次の節で説明します。

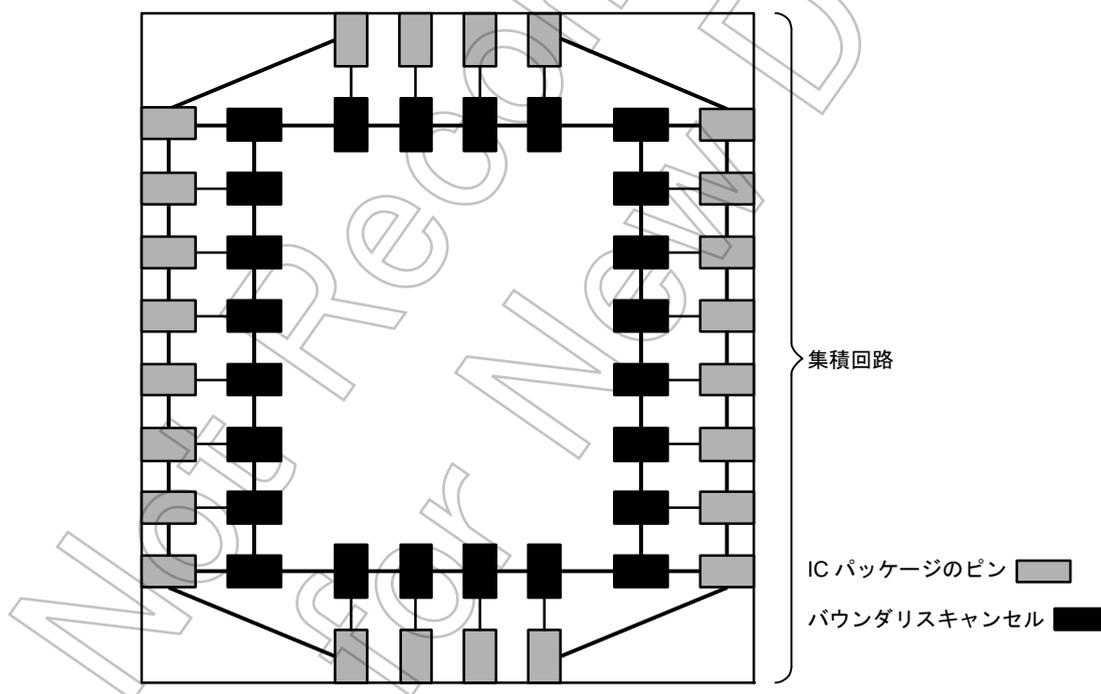


図 23-1 JTAG バウンダリスキャンセル

注) 下記標準オプション命令は実装しておりません。  
(IDCODE, USERCODE, INTEST, RUNBIST)

## 23.2 信号の要約

JTAGインタフェース信号は次のとおりです（図 23-2参照）。

- TDI JTAG シリアルデータ入力
- TDO JTAG シリアルデータ出力
- TMS JTAG テストモード選択
- TCK JTAG シリアルクロック入力
- $\overline{\text{TRST}}$  JTAG テストリセット入力

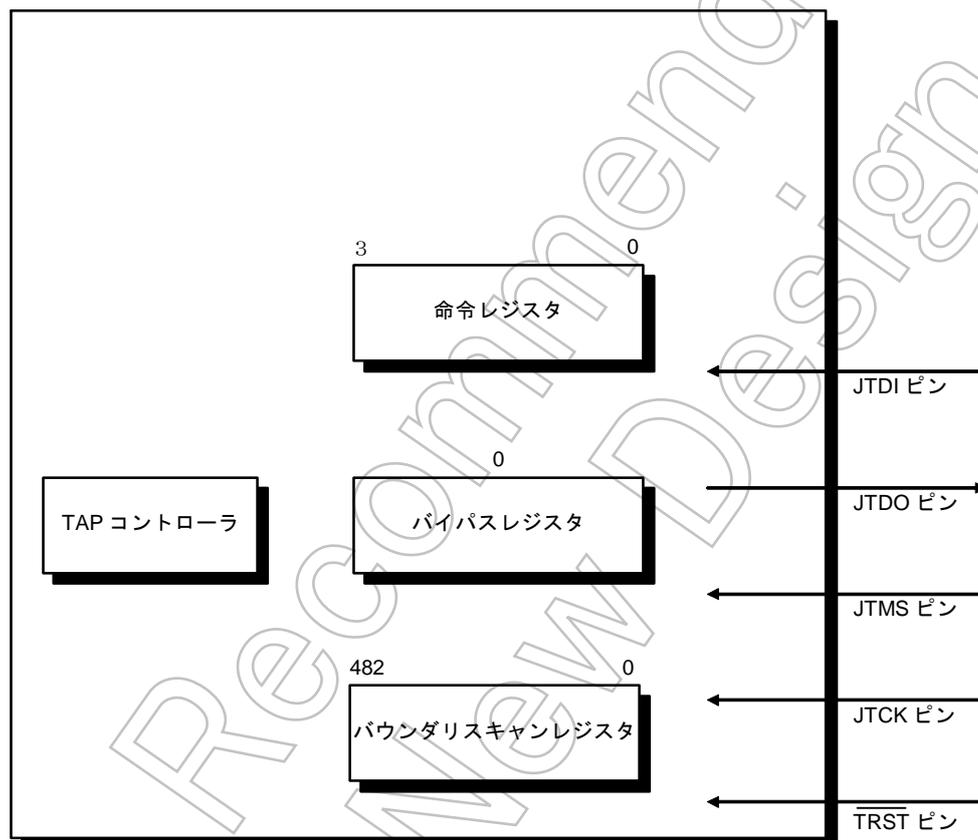


図 23-2 JTAG インタフェース信号とレジスタ

JTAG バウンダリスキャンメカニズム（本章では「JTAG メカニズム」と呼びます）により、プロセッサ、プロセッサが接続されているプリント回路基板、および回路基板上の他のコンポーネントの間の接続をテストできます。

JTAG メカニズムには、プロセッサ自体をテストする機能はありません。

### 23.3 JTAGコントローラとレジスタ

プロセッサには、次の JTAG コントローラとレジスタが内蔵されています。

- 命令レジスタ
- バウンダリスキャンレジスタ
- バイパスレジスタ
- デバイス識別レジスタ
- テストアクセスポート (TAP) コントローラ

JTAGの基本動作は、TAPコントローラステートマシンがJTMS入力信号をモニタすることです。実行が開始されると、TAPコントローラは実行されるテスト機能を決定します。これは、表 23-1に示すように、JTAG命令レジスタ (IR) のローディングとデータレジスタ (DR) を介してのシリアルデータスキャンの開始からなります。データがスキャンされる時、JTMSピンの状態はそれぞれの新しいデータワードを示し、データの流れの最後を示します。選択されたデータレジスタは命令レジスタの内容で決められます。

#### 23.3.1 命令レジスタ

JTAGの命令レジスタには、シフトレジスタを基本とする4個のセルが含まれています。このレジスタは、実施対象のテストとアクセスされるテストデータレジスタの両方またはその一方を選択するために使います。表 23-1の組み合わせに従って、バウンダリスキャンレジスタかバイパスレジスタが選択されます。

表 23-1 JTAG の命令レジスタのビット構成

命令コード 最上位→最下位	命令	選択されるデータレジスタ
0000	EXTEST	バウンダリスキャンレジスタ
0001	SAMPLE/PRELOAD	バウンダリスキャンレジスタ
0010~1110	予約	予約
1111	BYPASS	バイパスレジスタ

命令レジスタのフォーマットは図 23-3のとおりです。



図 23-3 命令レジスタ

命令コードは、最下位ビットから命令レジスタにシフトされます。



図 23-4 命令レジスタのシフト方向

### 23.3.2 バイパスレジスタ

バイパスレジスタは1ビット幅です。TAP コントローラが Shift-DR (バイパス) 状態のとき、TDI ピンのデータはバイパスレジスタにシフトインされ、バイパスレジスタの出力は TDO 出力ピンにシフトアウトされます。

バイパスレジスタとは、簡単に言えば、特定のテストに必要でない基板レベルの直列バウンダリスキャンチェーン内のデバイスをバイパスできるようにする、迂回のための回路です。バウンダリスキャンチェーン内のバイパスレジスタの論理的な位置は、図 23-5のとおりです。

バイパスレジスタを使用すれば、基板レベルテストのデータパス内でアクティブのままである IC 内のバウンダリスキャンレジスタへのアクセスが速くなります。

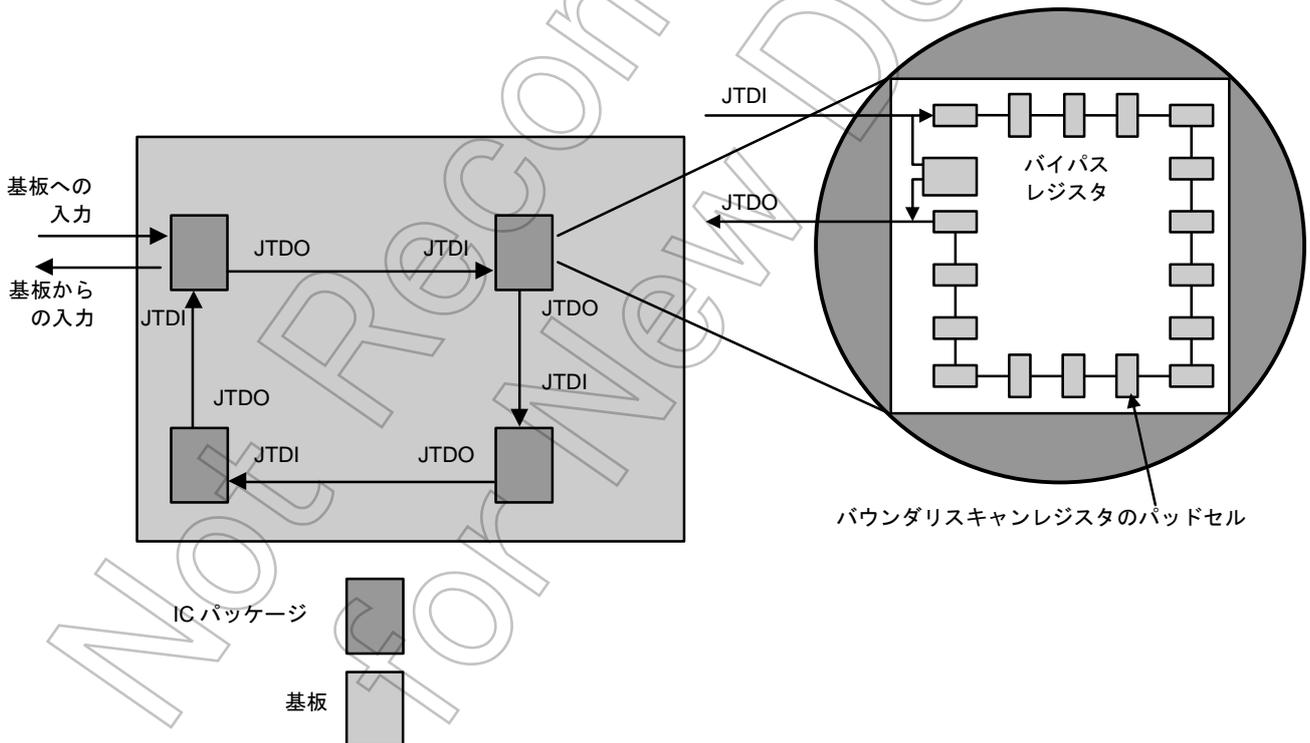


図 23-5 バイパスレジスタの機能

### 23.3.3 バウンダリスキャンレジスタ

バウンダリスキャンレジスタには、何本かのアナログ出力信号、制御信号を除くすべての TMP19A44 の入出力があります。TMP19A44 のピンは Shift-DR 状態からバウンダリスキャンレジスタの中へスキャンすることによって任意のパターンをドライブすることができます。プロセッサに入るデータは、バウンダリスキャンレジスタを許可して Capture-DR 状態のときにシフトすることにより検査されます。

バウンダリスキャンレジスタは、483 ビット幅のシフトレジスタを基本とするパスです。このパス内のセルは、TMP19A44 のすべての入力パッドと出力パッドに接続されています。

TDI 入力はバウンダリスキャンレジスタの最下位ビット (LSB) に取り込まれ、バウンダリスキャンレジスタの最上位ビット (MSB) は TDO 出力から取り出されます。

### 23.3.4 テストアクセスポート (TAP)

テストアクセスポート (TAP) は、5 個の信号ピン  $\overline{TRST}$ 、TDI、TDO、TMS、および TCK で構成されます。直列のテストデータ、命令、および実施するテストの制御は、この 5 個の信号ピンを通じて送受信されます。

図 23-6 のように、データは 3 本のレジスタ (命令レジスタ、バイパスレジスタ、バウンダリスキャンレジスタ) のうちの 1 本に TDI ピンから直列にスキャンインされるか、またはその 3 本のレジスタの 1 本から TDO ピンにスキャンアウトされます。

TMS 入力は、主 TAP コントローラステートマシンの状態遷移を制御するものです。TCK 入力は直列 JTAG データが同期してシフトされるようにする専用のテストクロックであり、チップ固有クロックやシステムクロックには依存していません。

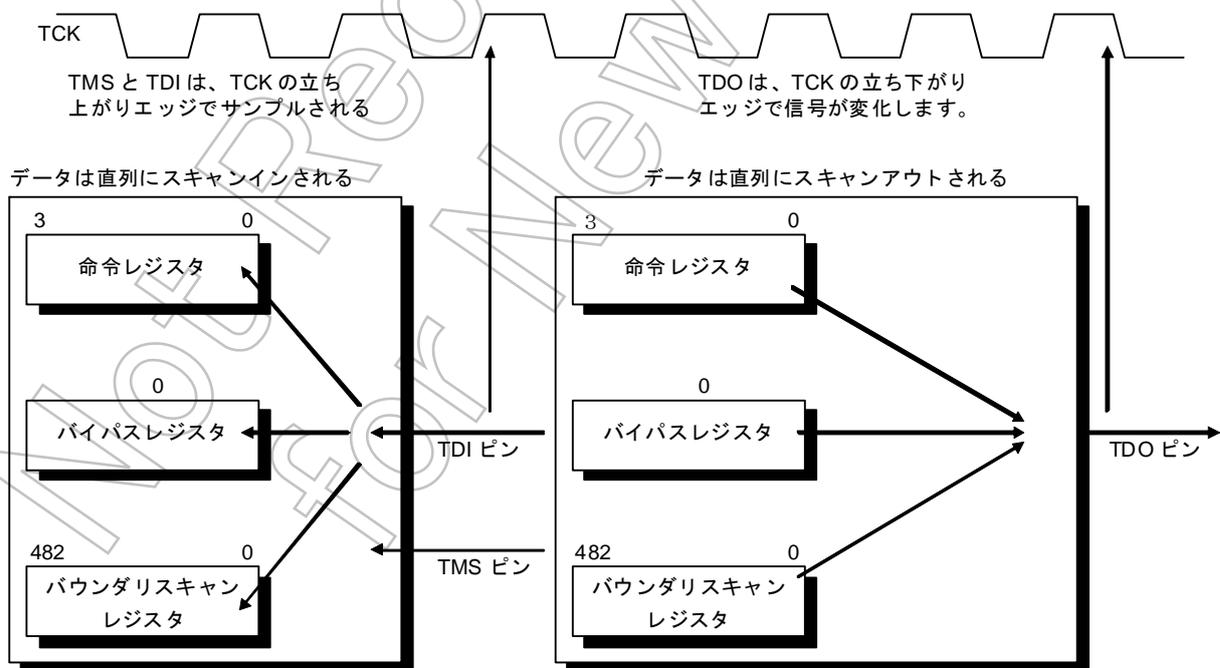


図 23-6 JTAG テストアクセスポート

TDI ピンと TMS ピンのデータは、入力クロック信号 TCK の立ち上がりエッジでサンプルされます。TDO ピンのデータは、クロック信号 TCK の立ち下がりエッジで変化します。

### 23.3.5 TAPコントローラ

プロセッサには、IEEE JTAG 規格に規定されている 16 ステートの TAP コントローラが実現されています。

### 23.3.6 コントローラのリセット

TAP コントローラのステートマシンは、次の方法によりリセット状態になります。

- $\overline{\text{TRST}}$  信号入力のアサート “L” により、TAP コントローラはリセットされる。
- プロセッサのリセット解除後 TCK 入力の立ち上がりエッジを連続5個使用して入力信号 TMS をアサートし続ける。

TMS をアサート状態に保てば、リセット状態が保たれます。

Not Recommended  
for New Design

23.3.7 コントローラの状態

図 23-7にTAPコントローラの状態遷移図を示します。TCKの立ち上がりエッジで、TMSが“0”か“1”のどちらの値を取るかによってTAPコントローラの状態が変化します。状態の遷移を示す矢印のわきにTMSの取る値を示します。

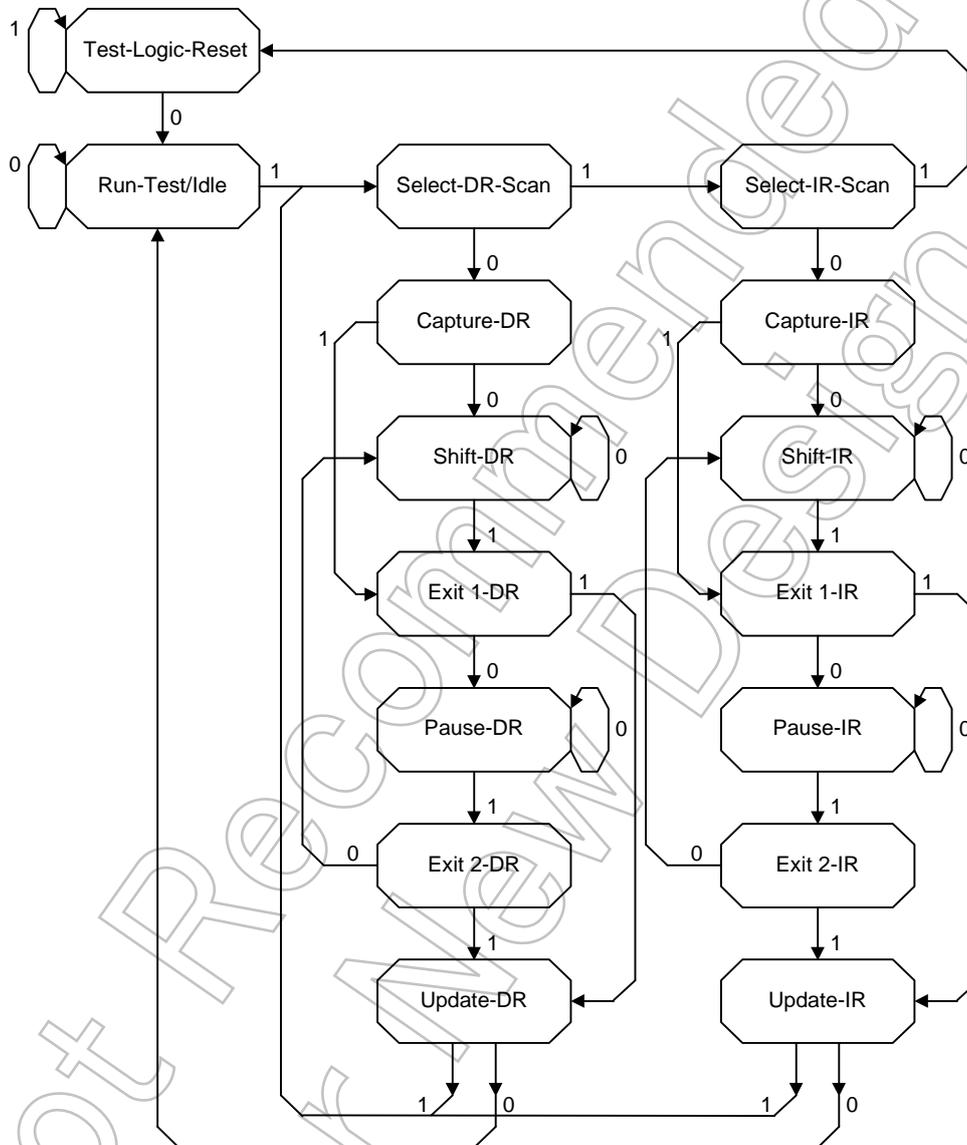


図 23-7 TAP コントローラの状態遷移図

以下コントローラの各状態について説明します。図 23-7の左側のカラムはデータカラムで右側のカラムは命令カラムです。データカラムと命令カラムはそれぞれデータレジスタ (DR)、命令レジスタ (IR) を表します。

- **Test-Logic-Reset**  
TAP コントローラが Reset 状態の場合は、デフォルトとしてデバイス識別レジスタが選択されます。バウンダリスキャンレジスタの最上位 1 ビットは“0”にクリアされ、出力はディセーブルされます。  
TMS が“H”の期間は、TAP コントローラは Test-Logic-Reset 状態を保持します。Test-Logic-Reset 状態のとき TMS に“L”を入力すると、TAP コントローラは Run-Test/Idle 状態に遷移します。
- **Run-Test/Idle**  
Run-Test/Idle 状態では、組み込み自己テスト (BIST) 命令など特定の命令が設定されているときのみ、IC はテストモードになります。Run-Test/Idle 状態で実行されない命令に対しては、現在の命令により選択されているテストデータレジスタは前の状態を保持します。  
TMS が“H”の期間は、TAP コントローラは Run-Test/Idle 状態を保持します。TMS に“L”を入力すると、TAP コントローラは Select-DR-Scan 状態に遷移します。
- **Select-DR-Scan**  
Select-DR-Scan 状態は TAP コントローラの一時的な状態です。ここでは、IC が特別な動作をすることはありません。  
TAP コントローラが Select-DR-Scan 状態のとき TMS に“L”を入力すると Capture-DR 状態に遷移します。TMS に“H”を入力すると命令カラムの Select-IR-Scan 状態に遷移します。
- **Select-IR-Scan**  
Select-IR-Scan 状態は TAP コントローラの一時的な状態です。ここでは IC が特別な動作をすることはありません。  
TAP コントローラが Select-IR-Scan 状態のとき、TMS に“L”を入力すると Capture-IR 状態に遷移します。TMS に“H”を入力すると TAP コントローラは Test-Logic-Reset 状態に戻ります。
- **Capture-DR**  
TAP コントローラが Capture-DR 状態のとき、命令レジスタによって選択されたデータレジスタが、パラレル入力をもっている場合、データがデータレジスタにパラレルにロードされます。データレジスタにパラレル入力がない場合、あるいは選択されたテストデータレジスタにデータをロードする必要がない場合は、データレジスタは前の状態を保持します。  
TAP コントローラが Capture-DR 状態のとき TMS に“L”を入力すると、Shift-DR 状態に遷移します。TMS に“H”を入力すると TAP コントローラは Exit 1-DR 状態に遷移します。

- Shift-DR  
TAP コントローラが Shift-DR 状態のとき、TDI-TDO 間に接続されたデータレジスタはシリアルにデータをシフトアウトします。  
TAP コントローラが Shift-DR 状態のとき、TMS が “L” のあいだ Shift-DR 状態を保持します。TMS に “H” を入力すると TAP コントローラは Exit 1-DR 状態に遷移します。
- Exit 1-DR  
Exit 1-DR 状態は TAP コントローラの一時的な状態です。  
TAP コントローラが Exit 1-DR 状態のとき、TMS に “L” を入力すると Pause-DR 状態に遷移します。TMS に “H” を入力すると Update-DR 状態に遷移します。
- Pause-DR  
Pause-DR 状態は命令レジスタによって選択されたデータレジスタのシフト動作を一時的に停止します。命令レジスタ、データレジスタは現在の状態を保持します。  
TAP コントローラが Pause-DR 状態のとき、TMS が “L” のあいだ、この状態を保持します。TMS に “H” を入力すると Exit 2-DR 状態に遷移します。
- Exit 2-DR  
Exit 2-DR 状態は TAP コントローラの一時的な状態です。  
TAP コントローラが Exit 2-DR 状態のとき、TMS に “L” を入力すると、Shift-DR 状態に戻ります。TMS に “H” を入力すると Update-DR 状態に遷移します。
- Update-DR  
Update-DR 状態では、TCK の立ち上がりエッジに同期してパラレル出力をもっているレジスタからデータをパラレルに出力します。パラレル出力ラッチをもっているデータレジスタはシフト中にデータを出力することなく、この状態でのみデータを出力します。  
TAP コントローラが Update-DR 状態のとき TMS に “L” を入力すると Run-Test/Idle 状態に遷移します。TMS に “H” を入力すると Select-DR-Scan 状態に遷移します。
- Capture-IR  
Capture-IR 状態ではデータは命令レジスタにパラレルにロードされます。ロードされるデータは “0001” です。Capture-IR 状態は命令レジスタのテストに使用します。命令レジスタの故障はロードされたデータをシフトアウトすることにより検出できます。  
TAP コントローラが Capture-IR 状態のとき TMS に “L” を入力すると Shift-IR 状態に遷移します。TMS に “H” を入力すると Exit 1-IR 状態に遷移します。
- Shift-IR  
Shift-IR 状態では、命令レジスタが TDI-TDO 間に接続され、TCK の立ち上がりエッジに同期してロードされたデータをシリアルにシフトアウトします。  
TAP コントローラが Shift-IR 状態のとき TMS が “L” のあいだ、この状態を保持します。TMS に “H” を入力すると、Exit 1-IR 状態に遷移します。
- Exit 1-IR  
Exit 1-IR 状態は TAP コントローラの一時的な状態です。  
  
TAP コントローラが Exit 1-IR 状態のとき TMS に “L” を入力すると、Pause-IR 状態に遷移します。TMS に “H” を入力すると Update-IR 状態に遷移します。

- **Pause-IR**  
Pause-IR 状態は命令レジスタのシフト動作を一時的に停止する状態です。命令レジスタとデータレジスタはそのままの状態を保持します。  
  
TAP コントローラが Pause-IR 状態のとき、TMS が “L” のあいだ、この状態を保持します。TMS に “H” を入力すると Exit 2-IR 状態に遷移します。
- **Exit 2-IR**  
Exit 2-IR 状態は TAP コントローラの一時的な状態です。  
  
TAP コントローラが Exit 2-IR 状態のとき、TMS に “L” を入力すると、Shift-IR 状態に遷移します。TMS に “H” を入力すると Update-IR 状態に遷移します。
- **Update-IR**  
Update-IR 状態は命令レジスタにシフトされた命令を TCK の立ち上がりエッジに同期してパラレルに出力し、命令を更新します。  
  
TAP コントローラが Update-IR 状態のとき、TMS に “L” を入力すると、Run-Test/Idle 状態に遷移します。TMS に “H” を入力すると、Select-DR-Scan 状態に遷移します。

プロセッサ信号に対するバウンダリスキャン順序は、表 23-2のとおりです。

表 23-2 TMP19A44 プロセッサのピンに対する JTAG スキャン可能端子一覧

1: P86	2: P87	3: P70	4: P71	5: P72	6: P73	7: P74
8: P75	9: P76	10: P77	11: P92	12: P90	13: P91	14: P93
15: P96	16: P94	17: P95	18: P97	19: PB3	20: PB1	21: PB2
22: PB4	23: PB6	24: PB5	25: PB7	26: PB0	27: PC1	28: PC2
29: PC0	30: PC3	31: PC4	32: PC5	33: P31	34: PC6	35: P30
36: P32	37: P33	38: PC7	39: P34	40: P35	41: P36	42: P02
43: P37	44: P01	45: P05	46: P00	47: P04	48: P03	49: P10
50: P07	51: P11	52: P06	53: P13	54: P12	55: P14	56: P15
57: P21	58: P17	59: P20	60: P16	61: P22	62: P24	63: P25
64: P23	65: P27	66: P40	67: P26	68: P42	69: B00T	70: P41
71: P43	72: P44	73: P45	74: P46	75: P47	76: P50	77: P51
78: P52	79: P54	80: P56	81: P53	82: P55	83: PJ0	84: P57
85: P61	86: P64	87: P60	88: P63	89: P62	90: P67	91: P66
92: PJ3	93: PJ4	94: P65	95: PJ1	96: PJ2	97: PJ6	98: PJ7
99: PJ5	100: PG0	101: PG2	102: PG1	103: PG4	104: PG3	105: PG6
106: PG7	107: PG5	108: P11	109: P10	110: P14	111: P13	112: DINT
113: P12	114: P16	115: P17	116: P15	117: PH2	118: PH0	119: PH1
120: BW0	121: PH5	122: PH4	123: PH3	124: PH6	125: PA0	126: PH7
127: PA3	128: PA2	129: PA1	130: PA7	131: PA5	132: PD3	133: PA6
134: PA4	135: PD7	136: PD0	137: PD1	138: PD2	139: PD6	140: PD4
141: PD5	142: PE0	143: PE3	144: PE4	145: PE5	146: PE2	147: PF1
148: PF0	149: PE1	150: PF2	151: PF5	152: PE6	153: PE7	154: PF4
155: PF6	156: PF7	157: PF3	158: P80	159: P81	160: P82	161: P83
162: P84	163: P85					

注：JTAG スキャン可能な端子を表記しております。

## 23.4 JTAGコントローラセルでサポートしている命令

この項では、TMP19A44 の JTAG コントローラセルでサポートしている命令について説明します。

### 23.4.1 EXTEST 命令

EXTEST 命令は外部接続テストに使用します。EXTEST 命令では、出力端子の BSR セルは Update-DR 時にテストパターンを出力し、入力端子の BSR セルは Capture-DR 時にテスト結果を取り込みます。

通常、EXTEST 命令を選択するまえに SAMPLE/PRELOAD 命令を使ってバウンダリスキャンレジスタを初期化します。バウンダリスキャンレジスタを初期化しておかないと、Update-DR 状態において不確定なデータが伝送され、IC 間でバスのコンフリクトが起こる可能性があります。EXTEST 命令が選択されているあいだのデータの流を 図 23-8 に示します。

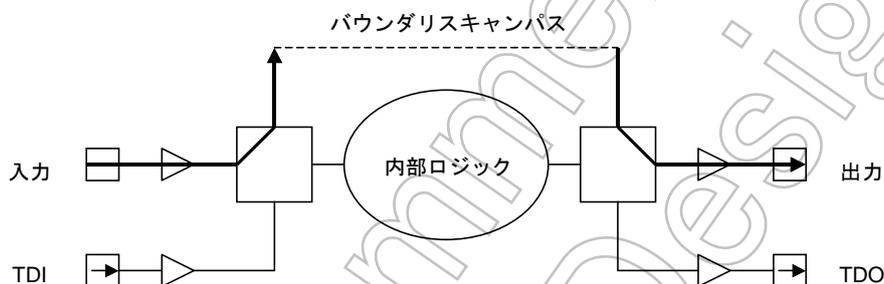


図 23-8 EXTEST 命令が選択されているときのテストデータの流れ

次に外部接続テストの基本的なテスト手順を示します。

1. TAP コントローラを初期化して、Test-Logic-Reset 状態にします。
2. 命令レジスタに SAMPLE/PRELOAD 命令をロードします。これによりバウンダリスキャンレジスタが TDI-TDO 間に接続されます。
3. 確定したデータをシフトインすることにより、バウンダリスキャンレジスタを初期化します。
4. 最初のテストデータをバウンダリスキャンレジスタにロードします。
5. 命令レジスタに EXTEST 命令をロードします。
6. 入力端子に印加されているデータを入力用バウンダリスキャンレジスタに取り込みます。
7. 取り込んだデータをシフトアウトすると同時に、次のテストパターンをシフトインします。
8. 出力用バウンダリスキャンレジスタにシフトインされたテストパターンを出力端子に出力します。

6 から 8 をテストパターンごとに繰り返します。

「EXTEST 命令を使用する場合は、CPU が動作状態となっていますので端子入力に注意して下さい」  
 「EXTEST 命令を使用する場合は、システムリセット解除後にテストを行って下さい」

## 23. 4. 2 SAMPLE/PRELOAD命令

この命令は TDI-TDO 間をバウンダリスキャンレジスタで接続します。名前が示すとおり、SAMPLE/PRELOAD 命令には次の 2 つの機能があります。

- SAMPLEはICのI/Oパッドを観測するのに使います。SAMPLEがI/Oパッドを観測しているあいだ、内部ロジックはICのI/O端子から切り離されません。SAMPLEはCapture-DR状態で実行します。通常動作中、TCKの立ち上がりエッジにおいてICのI/O端子の値を読み取ることがSAMPLEの主な用途です。図 23-9にSAMPLE/PRELOAD命令のSAMPLEを実行しているあいだのデータの流れを示します。

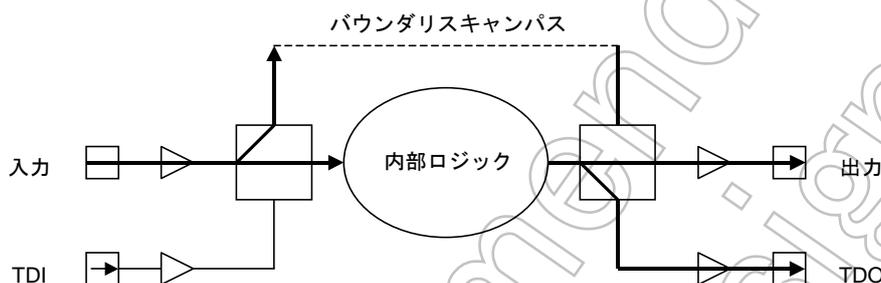


図 23-9 SAMPLE が選択されているときのテストデータの流れ

- PRELOADは他の命令を選択するまえに、バウンダリスキャンレジスタを初期化するのに使います。例えば、前に述べたようにEXTEST命令を選択するまえにPRELOADを用いてバウンダリスキャンレジスタを初期化します。PRELOADはシステムロジックの通常動作に影響を与えずに、バウンダリスキャンレジスタにデータをシフトします。図 23-10にSAMPLE/PRELOAD命令のPRELOADを実行しているあいだのデータの流れを示します。

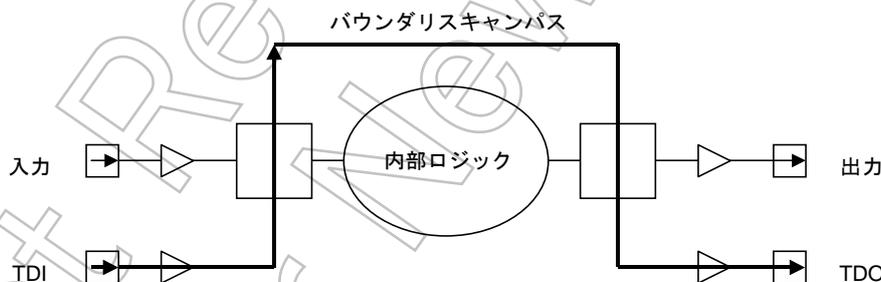


図 23-10 PRELOAD が選択されているときのテストデータの流れ

「SAMPLE命令を使用する場合は、システムリセット中に命令のUpdateを完了して下さい。  
またリセット解除後に、TAPの命令切り替えを行わないで下さい。」

### 23. 4. 3 BYPASS命令

BYPASS命令はICを制御、観測する必要がないテストの場合に、バイパスレジスタをJTDI-JTDO間に接続することによりICをバイパスする最短のシリアルパスを構成します。BYPASS命令はチップ上のシステムロジックの通常動作には影響を与えません。図 23-11に示すようにBYPASS命令が選択されているあいだ、データはバイパスレジスタを通ります。

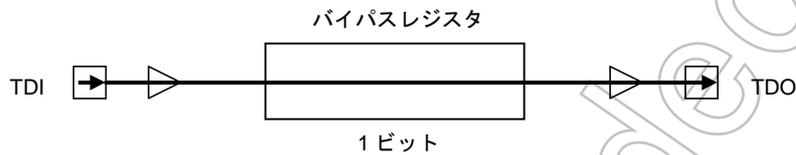


図 23-11 バイパスレジスタが選択されているときのテストデータの流れ

### 23. 5 注意事項

本節では、当プロセッサで採用している JTAG バウンダリスキャン処理の注意点について説明します。

- X2, X1 信号パッドは、JTAG をサポートしていません。
- JTAG 回路のリセット解除手順（どちらか一方を選択）
  - ①  $\overline{\text{TRST}}$  をアサートして JTAG 回路を初期化後デアサート。
  - ② TMS 端子 = “H” の状態で、TCK に 5 クロック以上供給

## 24. Flash 動作説明

Flash 機能について、ハードウェアの構成およびその動作を説明します。

### 24.1 フラッシュメモリ

#### 24.1.1 特長

##### 1) メモリ容量

- ・ TMP19A44F10XBG フラッシュメモリ 8M ビット (1024K バイト) を搭載しています。  
構成は 10 ブロック (128K バイト × 7、64K バイト、32K バイト × 2) になっており、各ブロック個別に書き込みをおこなうことができます。CPU から内蔵フラッシュメモリをアクセスする場合、データバス幅は 32 ビットとなります。
- ・ TMP19A44FEXBG はフラッシュメモリ 6M ビット (768K バイト) を搭載し、構成は 8 ブロック (128K バイト × 5、64K バイト、32K バイト × 2) になっております。
- ・ TMP19A44FDXBG はフラッシュメモリ 4M ビット (512K バイト) を搭載し、構成は 6 ブロック (128K バイト × 3、64K バイト、32K バイト × 2) になっております。
- ・ フラッシュメモリアクセス  
本デバイスではインタリーブアクセスです。

##### 2) 書き込み/消去時間

書き込み時間: 0.5sec/128Kbyte (Typ.)

TMP19A44F10XBG : 4sec (Typ) / TMP19A44FDXBG : 2 sec (Typ)

消去: 100msec/1 ブロック (Typ.)

TMP19A44F10XBG : 1sec (Typ) / TMP19A44FDXBG : 0.6 sec (Typ)

(注) 上記値は理論時間を表しており、データ転送時間などは含まれていません。  
チップ当たりの時間はユーザーの書き替え方法により異なります。

##### 3) プログラミング方法

ユーザーのボード上で書き替えが可能なオンボードプログラミングモードがあります。

- ・ オンボードプログラミングモード

###### 4-1) ユーザーブートモード

ユーザー独自の書き替え方法をサポート

###### 4-2) シングルブートモード

シリアル転送 (当社オリジナル) での書き替え方法をサポート

#### 書き替え方式

本デバイス内蔵のフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠していません。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本 LSI への移行が容易です。また、フラッシュメモリ内に書き込み、チップ消去など自動で行う回路を内蔵していますので、書き込み、消去動作自身に係わる複雑なフローをユーザーがプログラムで組む必要がありません。

本デバイスでは、ライターでのフラッシュデータの読み出しを禁止する、プロテクト機能を追加しています。一方、書き替え禁止を設定するプロテクトは、コマンド (ソフトウェア) による対応のみで 12 V 電圧を印加して設定する方式 (ハードウェア) には対応できません。前記プロテクト機能はエリア毎に有効に出来ます。内蔵フラッシュメモリ以外からプロテクトの解除を行うと内部データが自動的に消去され、その後全てのプロテクトが解除されます。

JEDEC 準拠の機能	変更、追加、削除した機能
<ul style="list-style-type: none"> <li>自動プログラム</li> <li>自動チップ消去</li> <li>自動ブロック消去</li> <li>データポーリング/トグルビット</li> </ul>	<p>〈変更〉 ブロックプロテクト (ソフトウェアプロテクトのみサポート)</p> <p>〈削除〉 消去レジューム/サスペンド機能</p> <p>自動マルチブロック消去 (チップ単位までサポート)</p>

24.1.2 フラッシュ部ブロック図

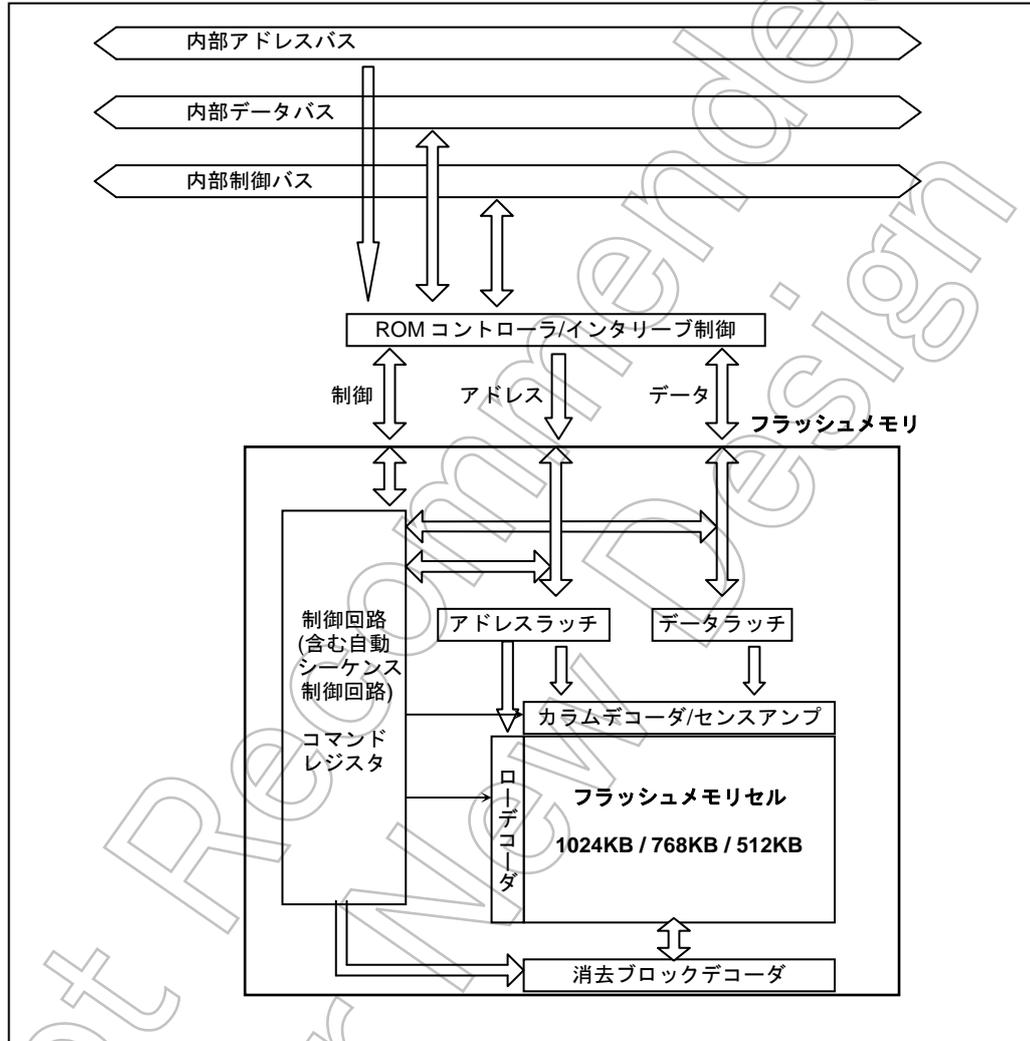


図 24-1 フラッシュ部ブロック図

## 24.2 動作モード

本デバイスは内蔵フラッシュメモリを使用しない場合を含めて、3通りの動作状態（モード）が存在します。

表 24-1 動作モード説明

動作モード名	動作の内容
シングルチップモード	リセット解除後、内蔵のフラッシュメモリから起動します。
ノーマルモード	本動作モードの中で、ユーザーのアプリケーションプログラムを実行するモードと、ユーザーのセット上でフラッシュメモリの書き替えを実行するモードとに分けて定義します。前者を「ノーマルモード」、後者を「ユーザーブートモード」と呼びます。
ユーザーブートモード	
シングルブートモード	この両者の切り替えはユーザーが独自に設定できます。例えばポート00が“1”のときノーマルモード、“0”のときにユーザーブートモードというように自由に設計することが可能です。ユーザーはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。
シングルブートモード	リセット解除後、内蔵する Boot ROM (Mask ROM) から起動します。Boot ROM には、本デバイスのシリアルポートを経由してユーザーのセット上で書き替えを行うことができるアルゴリズムがプログラムされています。シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことで内蔵フラッシュの書き替えが実行できます。

上記表でプログラムが可能なフラッシュメモリの動作モードは ユーザーブートモード、シングルブートモードの2つです。ユーザーのセット上で内蔵フラッシュメモリの書き替えが可能なモードは、ユーザーブートモードとシングルブートモードで、この2つをオンボードプログラミングモードと定義します。

シングルチップ、シングルブートの各動作モードは、リセット状態で入力端子  $\overline{BOOT}$  のレベルを外部で設定することにより決定されます。

CPU は状態設定後リセットを解除することにより各動作モードで動作を開始します。 $\overline{BOOT}$  端子については、それぞれモード設定後は動作中にレベルの変更がないようにしてください。以下に動作モードの設定方法とモード遷移図を示します。

表 24-2 動作モード設定表

動作モード	入力端子	
	$\overline{RESET}$	$\overline{BOOT}$
シングルチップモード	0 → 1	1
シングルブートモード	0 → 1	0

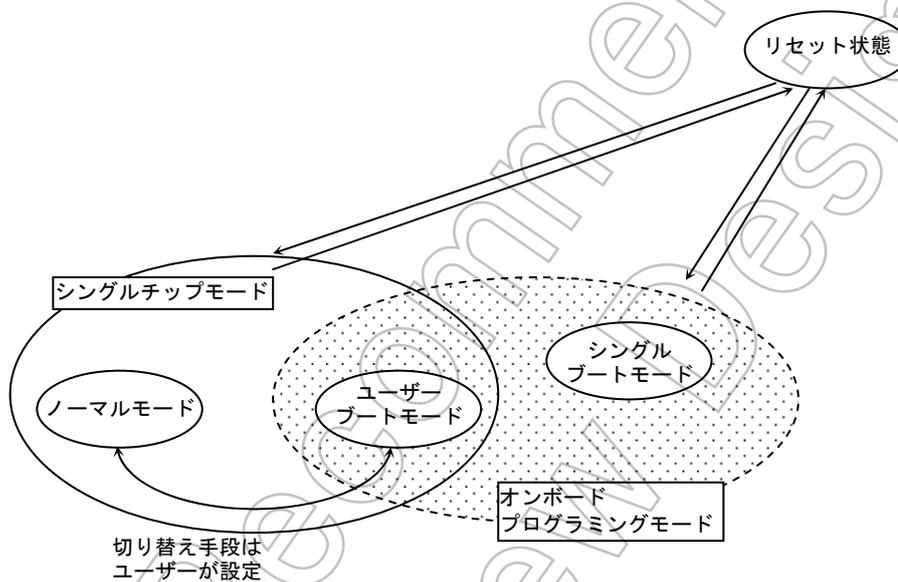


図 24-2 モード遷移図

### 24.2.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作電圧範囲内で、かつ内部発振器の発振が安定した状態で、少なくとも 12 システムクロック間（発振子 10MHz 動作で 1.2 $\mu$ s） $\overline{RESET}$  入力を“0”にしてください。

- (注 1) 電源投入後は、電源電圧および発振が安定した状態から 500 $\mu$ s 以上経過してからリセット解除させてください。
- (注 2) 内蔵フラッシュの消去、プログラム中は、システムクロックによらず 0.5 $\mu$ s 以上のリセット期間が必要となります。

### 24.2.2 ユーザーブートモード（シングルチップモード）

ユーザーブートモードは、ユーザー独自のフラッシュメモリ書き替えルーチンを使う方法です。ユーザーアプリケーション上で用意されているフラッシュメモリ書き替え用のプログラムで用いる、データ転送バスがシリアル I/O と異なる場合に使用します。動作はシングルチップモード上で行います。このため、シングルチップモードにおいて通常のユーザーアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザーブートモードに移行する必要があります。

このモード切り替えの条件設定は、本デバイスの I/O を使用してユーザーのシステムセット条件に合わせて独自に構築してください。また、ユーザーブートモード移行後に使用するユーザー独自のフラッシュメモリ書き替えルーチンも同様にユーザーアプリケーションの中にあらかじめ組み込んでおき、ユーザーブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。なお、内蔵フラッシュメモリは消去／書き込み動作モード中はフラッシュのデータを読み出せません。このため、書き替えルーチンはフラッシュメモリアリア外に格納して実行させる必要があります。また、シングルチップモード（通常動作モード）中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにライト/消去プロテクトをかけておくことを推奨します。あわせて、ユーザーブートモード中は、ノンマスカブルを含めたすべての割り込み発生を禁止してください。

書き替えルーチンを内蔵フラッシュメモリに置く場合と、外部から転送する場合の2ケースを例に、以下 (1-A)、(1-B) にその手順を説明します。フラッシュメモリへの書き込み/消去方法の詳細は、「オンボードプログラミングでのフラッシュメモリ書き込み/消去」を参照してください。

Not Recommended for New

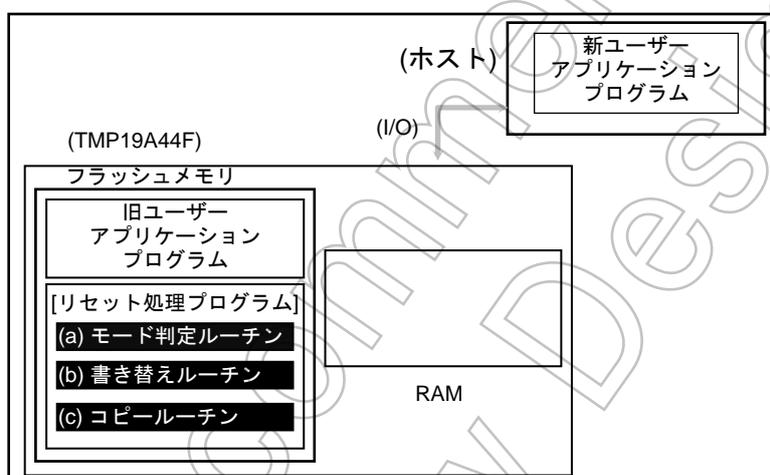
## ユーザーブートモード

(1-A) 書き換えルーチンをフラッシュメモリに内蔵する場合の手順例

(Step-1)

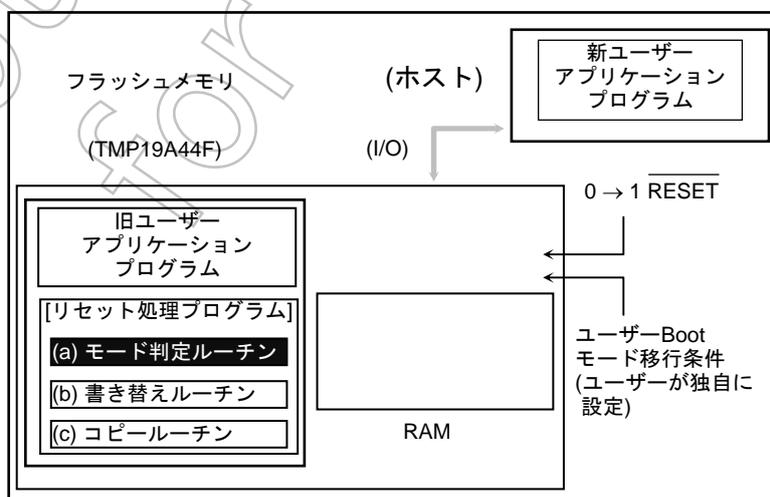
ユーザーは、あらかじめどのような条件（例えば端子状態）に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 3 つのプログラムを書き込んでおきます。

- |                    |   |
|--------------------|---|
| (a) モード判定ルーチン:     | 書き換え動作に移るためのプログラム                       |
| (b) フラッシュ書き換えルーチン: | 書き換えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム |
| (c) コピールーチン:       | 上記 (b) を内蔵 RAM または外部メモリにコピーするためのプログラム   |



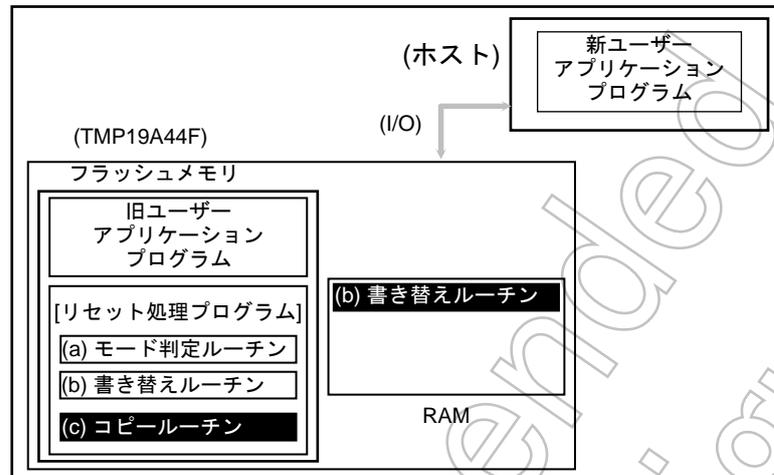
(Step-2)

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き換えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)



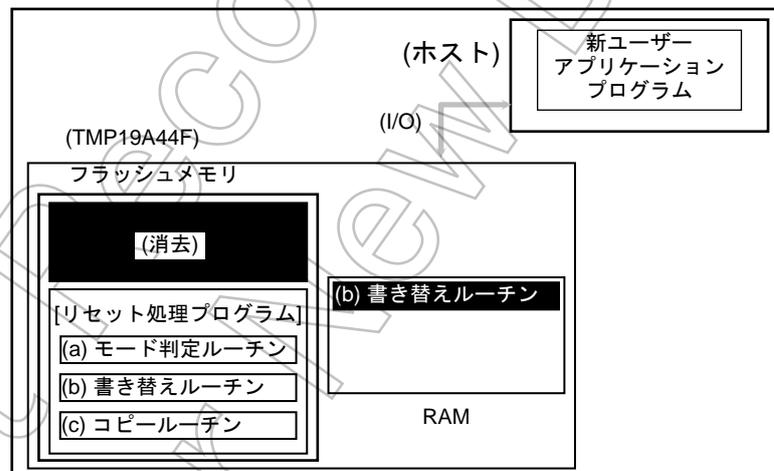
## (Step-3)

ユーザーブートモードに移ると、(c) コピールーチンを使用して、(b) 書き替えルーチンを内部 RAM にコピーします。



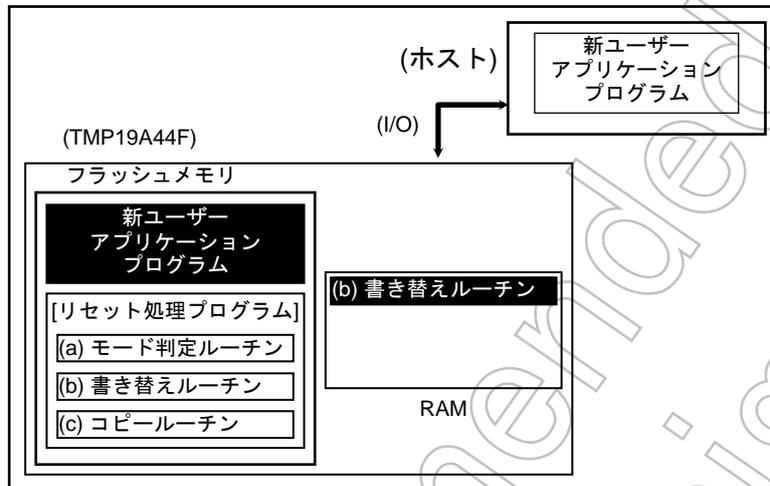
## (Step-4)

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去（ブロック単位）を行います。



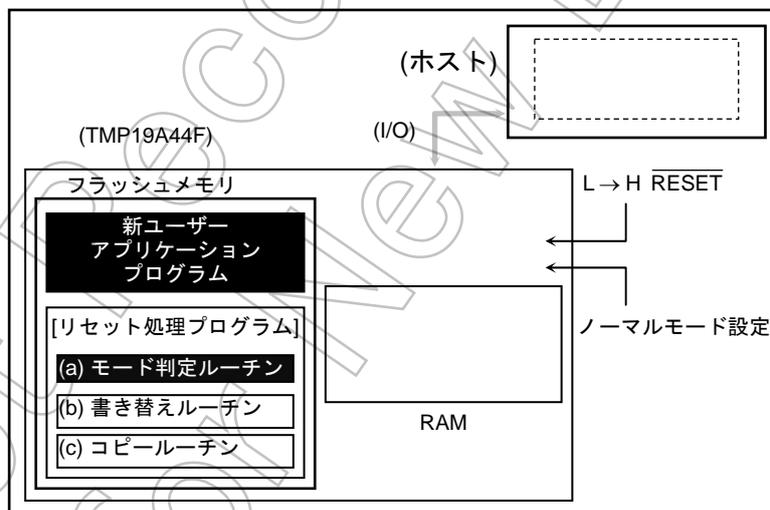
(Step-5)

さらに、RAM 上の書き替えルーチンを実行して、転送元（ホスト）より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



(Step-6)

RESET入力端子を“L”にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



(1-B) 書き替えルーチンを外部から転送する手順例

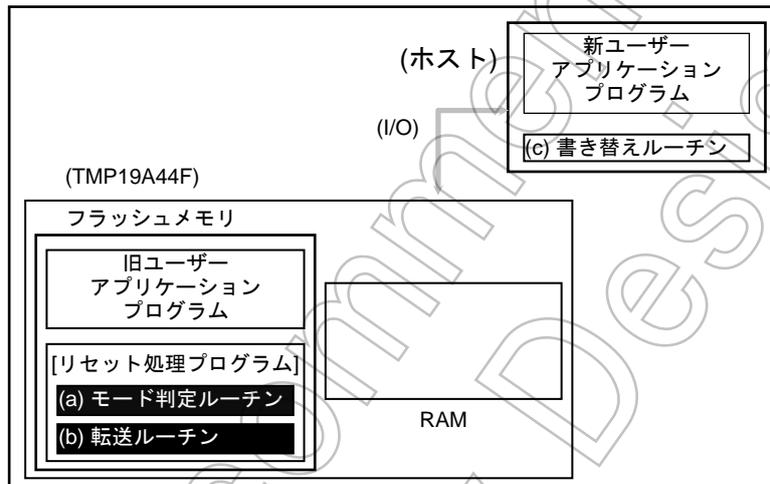
(Step-1)

ユーザーは、あらかじめどのような条件（例えば端子状態）に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 2 つのプログラムを書き込んでおきます。

- (a) モード判定ルーチン： 書き替え動作に移るためのプログラム
- (b) 転送ルーチン： 書き替えプログラムを外部から取り込むためのプログラム

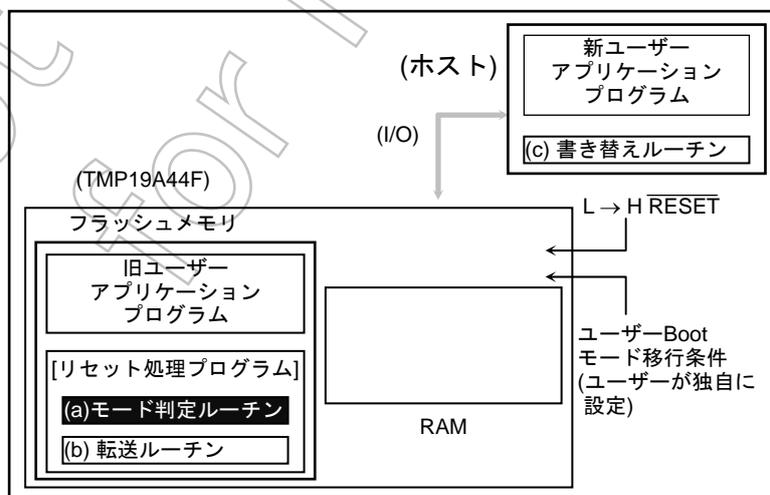
また、下記に示すプログラムはホスト上に用意します。

- (c) 書き替えルーチン： 書き替えを行うためのプログラム



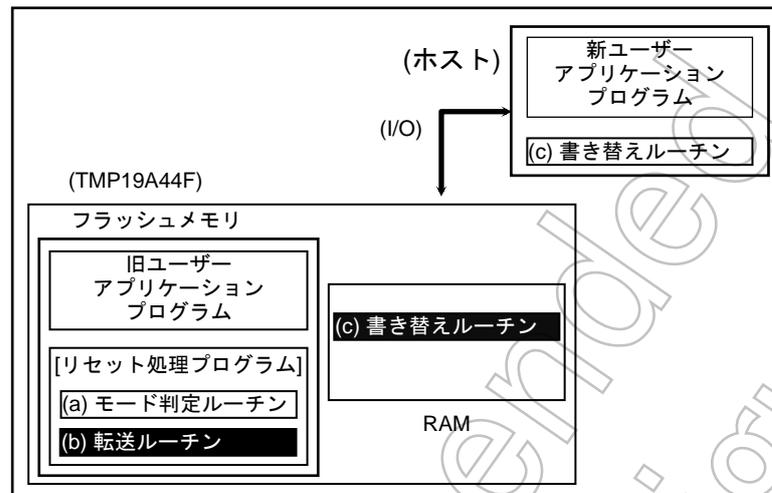
(Step-2)

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)



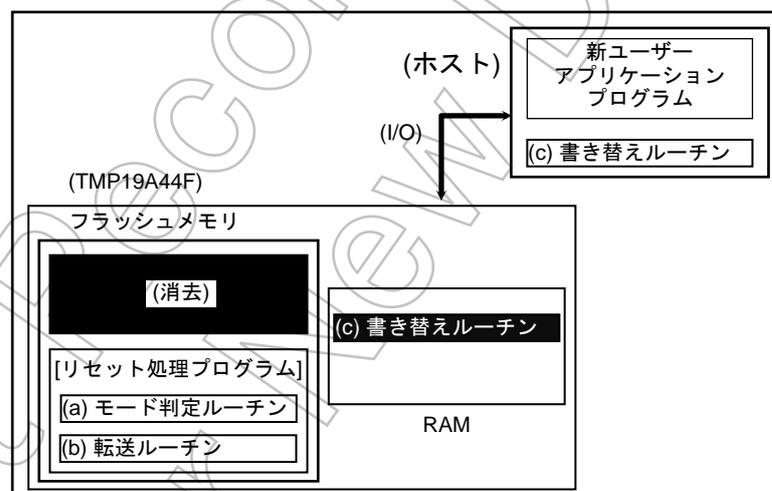
## (Step-3)

ユーザーブートモードに移ると、(b) 転送ルーチンを使用して、転送元（ホスト）より (c) 書き替えルーチンを内部 RAM にロードします。



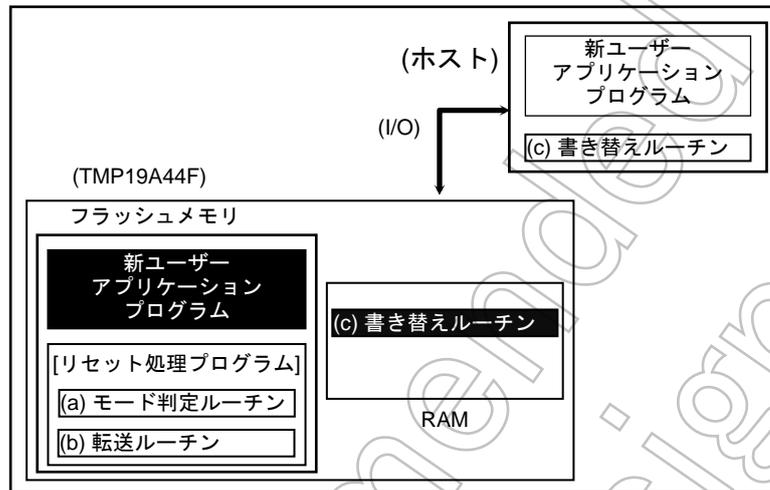
## (Step-4)

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去（ブロック単位）を行います。



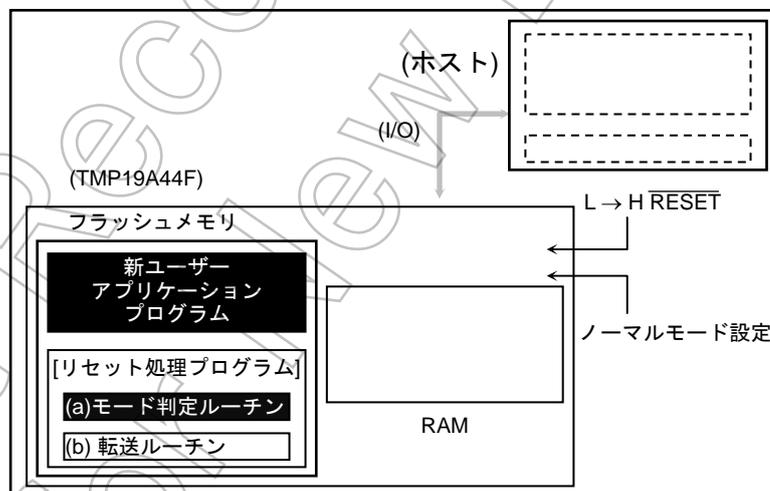
(Step-5)

さらに、RAM上の(c)書き替えルーチンを実行して、転送元(ホスト)より新ユーザーアプリケーションプログラムのデータをロードし、消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



(Step-6)

RESET入力端子を“L”にしてリセットを行い、設定条件をノーマルモードに設定します。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



### 24.2.3 シングルブートモード

内蔵ブート ROM (マスク ROM) を起動して、ブート ROM のプログラムを利用してフラッシュメモリを書き替える方法です。このモードでは、内蔵ブート ROM が割り込みベクタテーブルを含む領域にマッピングされ、ブート ROM プログラムが実行されます。また、フラッシュメモリはブート ROM 領域とは別のアドレス空間にマッピングされます。

ブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリの書き替えを行います。本デバイスの SIO (S100) と外部ホストを接続し、外部ホスト側から本デバイスの内蔵 RAM に書き替えプログラムをコピーし、RAM 上の書き替えルーチンを実行してフラッシュメモリの書き替えを行います。書き替えルーチンは、ホスト側からコマンドおよび書き替えデータを送出することにより実行します。ホスト側との通信の詳細は後述のプロトコルに従ってください。RAM へのプログラム転送は、ユーザーの ROM データ、セキュリティ確保のため、実行に先立ちユーザーパスワードの照合を行います。パスワードが一致しない場合は、RAM 転送そのものが実行されません。なお、シングルブートモードでもユーザーブートモードと同様、割り込み禁止状態で行います。シングルブートモード時、ブート ROM プログラムは NORMAL モードで動作します。

シングルチップモード (通常動作モード) 中に誤ってフラッシュメモリの内容を書き替えないように、書き替え処理が完了したら必要なブロックにライト/消去プロテクトをかけておくことを推奨します。

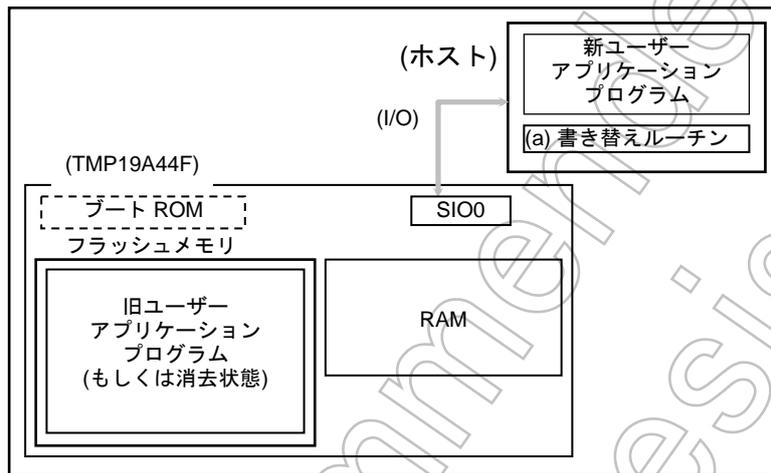
Not Recommended for New Design

シングルブートモード

(2-A) 内蔵ブート ROM の書き替えアルゴリズムを利用する場合

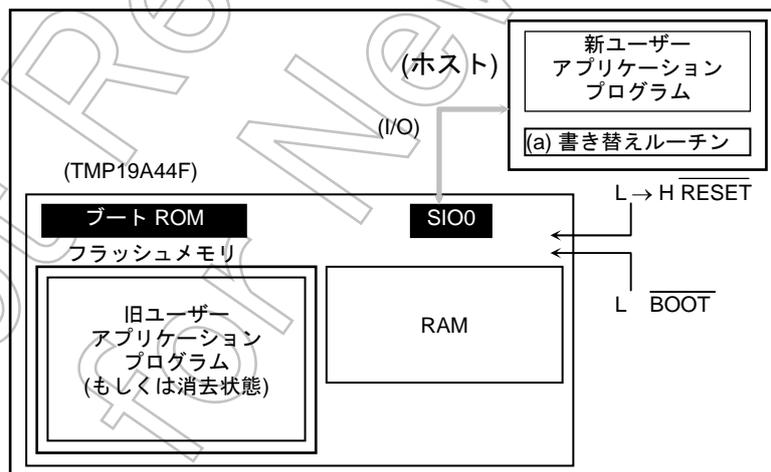
(Step-1)

フラッシュメモリの状態は旧バージョンのユーザープログラムが書かれた状態でも、消去されている状態でも構いません。書き替えルーチン、書き替えデータなどの転送は SIO (SIO0) を経由して行いますので、ボード上で本デバイスの SIO (SIO0) と外部ホストとをつなげます。書き替えを行うための (a) 書き替えルーチンはホスト上に用意します。



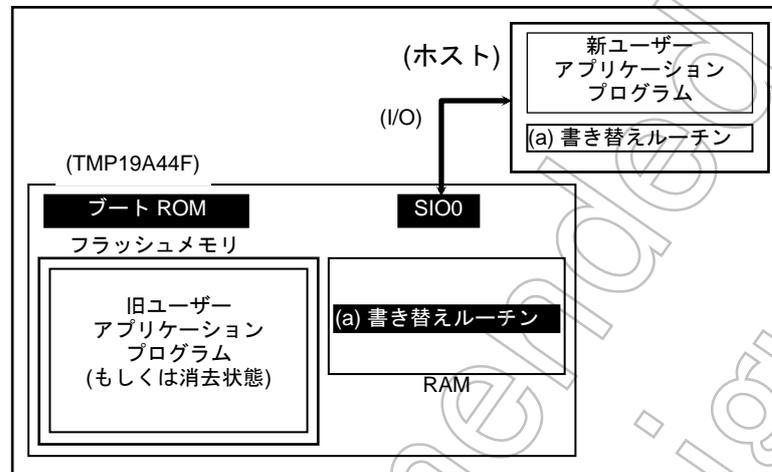
(Step-2)

ブートモードの端子条件設定でリセットを解除し、ブート ROM で起動します。ブートモードの手順に従い、SIO0 を経由して転送元 (ホスト) より (a) 書き替えルーチンの転送を行います。最初にユーザーアプリケーションプログラム上に記録されているパスワードとの照合を行います。(フラッシュメモリが消去されている状態でも、消去データ (FFH) をパスワードとして照合を行います。)



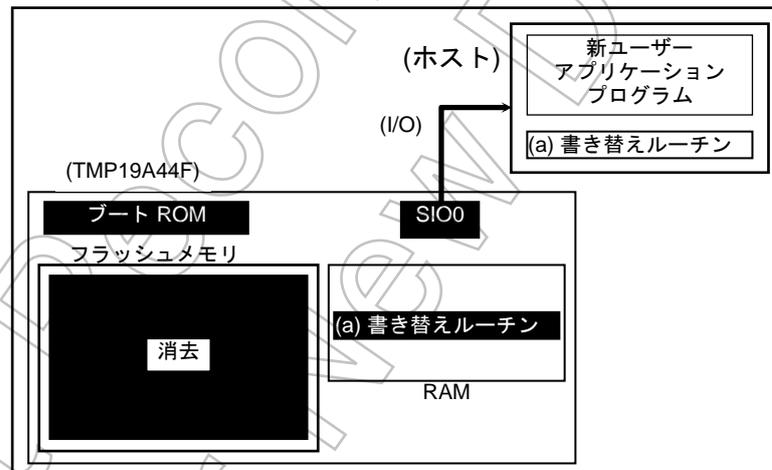
## (Step-3)

パスワードの照合が終了すると、転送元（ホスト）から (a) 書き替えルーチンを転送します。ブート ROM はそのルーチンを内部 RAM にロードします。ただし、RAM 上のアドレス 0xFFFF\_A400~0xFFFF\_FFFF の範囲に格納してください。



## (Step-4)

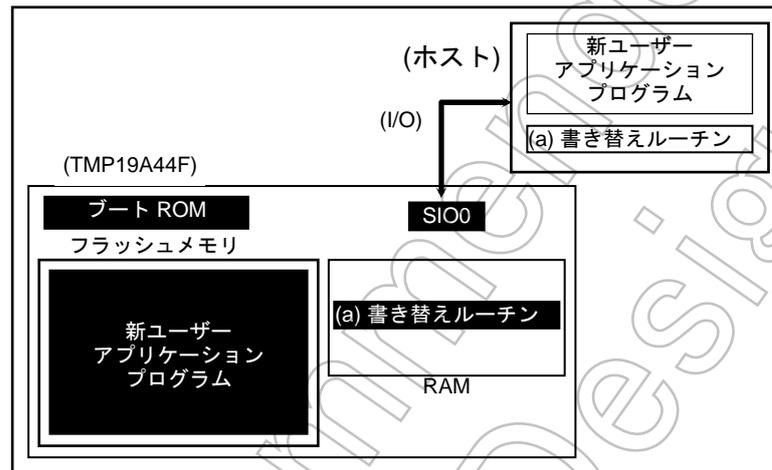
RAM 上の (a) 書き替えルーチンへジャンプし、旧ユーザーアプリケーションプログラムエリアの消去を行います。(ブロック単位もしくは一括)



## (Step-5)

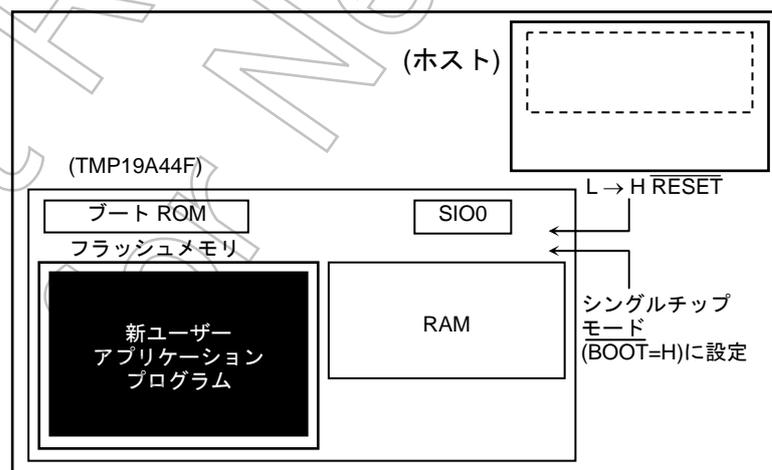
さらに、RAM 上の (a) 書き替えルーチンを実行して、転送元（ホスト）より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。

下の例の場合、書き替えルーチンを転送したときと同じホストおよび SIO0 経由で書き替えデータも転送されていますが、RAM 上で動作を開始した以降では、ユーザー独自にデータバスおよび転送元を設定することもできます。方法に応じて、ボードのハードおよび書き替えルーチンを組み立ててください。



## (Step-6)

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。この後、再度電源を入れ直し、シングルチップモード（ノーマルモード）起動し、新しいユーザーアプリケーションプログラムを実行します。



(1) モード設定

オンボードプログラミングを実行するためには、本デバイスをシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

$$\overline{\text{BOOT}} = \text{“L”}$$

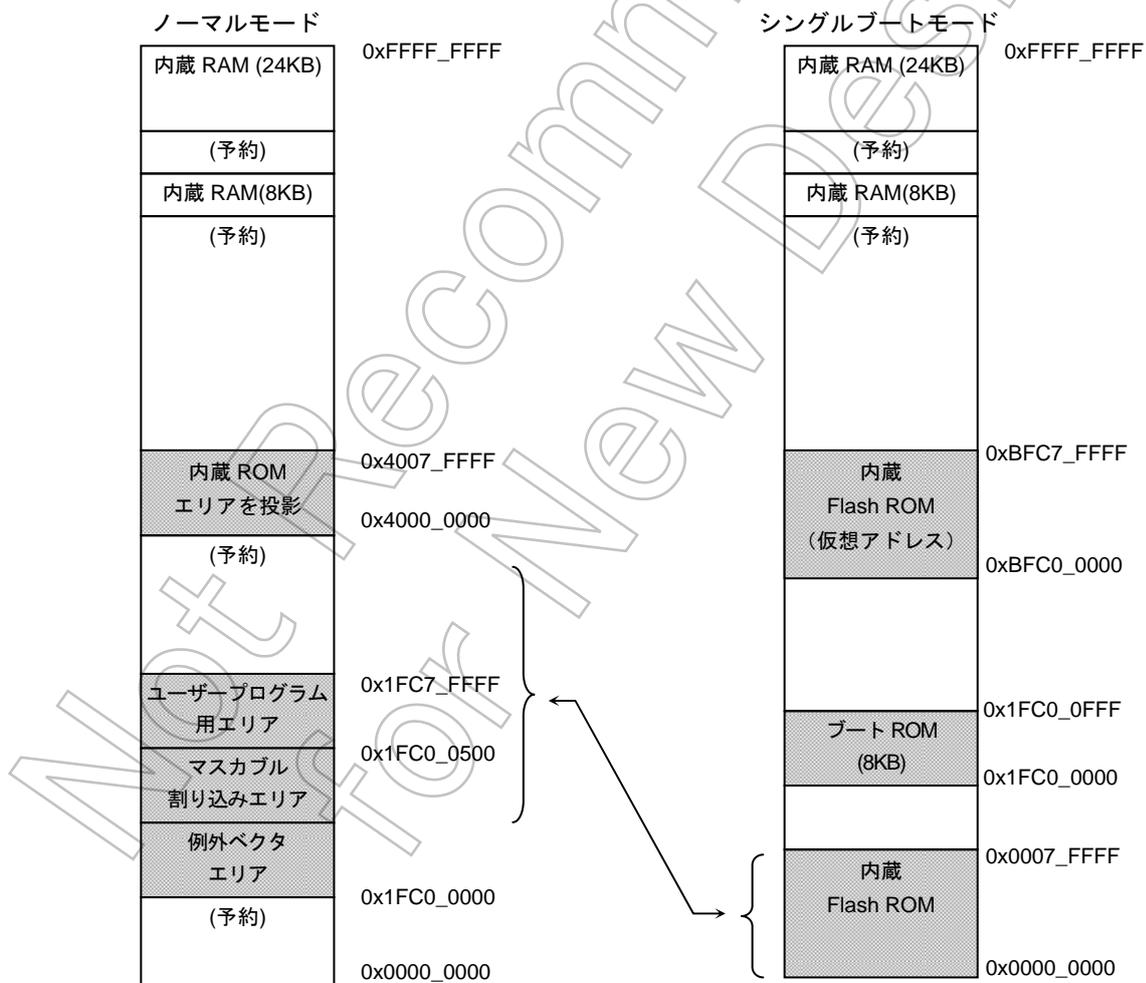
$$\overline{\text{RESET}} = \text{“L”} \rightarrow \text{“H”}$$

$\overline{\text{RESET}}$  入力端子を“L”の状態にして、 $\overline{\text{BOOT}}$  端子をあらかじめ上記条件に設定します。その後 RESET 解除を行うとシングルブートモードで起動します。

(2) メモリマップ

図 24-3 にシングルチップモードとシングルブートモードのメモリマップの比較を示します。図のように、シングルブートモードでは、内蔵フラッシュメモリは物理アドレス (0x0000\_0000~0x0007\_FFFF 番地)、仮想アドレス (0xBFC0\_0000~0xBFC7\_FFFF 番地) にマッピングされます。また、0x1FC0\_0000 番地から 0x1FC0\_0FFF 番地にはブート ROM (マスク ROM) がマッピングされます。

図 24-3 メモリマップの比較 (19A44FDAXBG の場合)



## (3) インタフェース仕様

シングルブートモードでの SIO 通信フォーマットを以下に示します。シリアル動作のモードは、UART（非同期通信）と I/O インタフェースモード両方に対応しています。オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

- UART で通信する場合

通信チャンネル	: SIO チャンネル 0
シリアル転送モード	: UART（非同期通信）モード、半二重通信、LSB ファスト
データ長	: 8 ビット
パリティビット	: なし
STOP ビット	: 1 ビット
ボーレート	: 任意のボーレート

- I/O インタフェースモードで通信する場合

通信チャンネル	: SIO チャンネル 0
シリアル転送モード	: I/O インタフェースモード、全二重通信、LSB ファスト
同期信号 (SCLK0)	: 入力モード
ハンドシェイク端子	: 出力モード P63
ボーレート	: 任意のボーレート

表 24-3 端子の接続

端子		インタフェース	
		UART	I/O インタフェースモード
電源系端子	DVCC3	○	○
	DVSS	○	○
モード設定端子	$\overline{\text{BOOT}}$	○	○
リセット端子	$\overline{\text{RESET}}$	○	○
通信端子	TXD0 (P60)	○	○
	RXD0 (P61)	○	○
	SCLK0 (P62)	×	○ (入力モード)
	P63	×	○ (出力モード)

## (4) データ転送フォーマット

動作コマンド、および各動作モード時のデータ転送フォーマットをそれぞれ表 24-4、表 24-6に示します。後述の「ブートプログラム動作説明」とあわせてお読みください。

表 24-4 動作コマンドデータ

動作コマンドデータ	動作モード
10H	RAM 転送

## (5) メモリの制約について

シングルブートモードでは、内蔵RAM、内蔵FlashROMに対して表 24-5のように制約が付きます。

表 24-5 シングルブート時のメモリの制約

製品名	制約内容
内蔵 RAM	0xFFFF_A000~0xFFFF_A3FF 番地は BOOT_ROM のワークエリアになります。 RAM 転送のプログラムは 0xFFFF_A400~0xFFFF_FFFF 番地に格納して下さい。
内蔵 ROM	0x0000_0470~0x0000_047F 番地はソフトなどの ID 情報や password の格納エリアとなりますので、なるべくプログラムエリアとしての使用はさけて下さい。

Not Recommended  
for New Design

表 24-6 シングルブートプログラムの転送フォーマット [RAM 転送]

	転送バイト数	コントローラ→本デバイスへの 転送データ	ボーレート	本デバイス→コントローラへの 転送データ
ブート ROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合 86H I/O インタフェースの場合 30H	指定された ボーレート *1	—
	2 バイト目	—		シリアル動作モードに対する ACK 応答 UART の場合 正常 (設定可能) の場合 86H (ボーレートの設定が不可能と判断した場 合は動作停止) I/O インタフェースの場合 正常の場合 30H
	3 バイト目	動作コマンドデータ (10H)		—
	4 バイト目	—		動作コマンドに対する ACK 応答 *2 正常の場合 10H 異常の場合 × 1H 通信異常の場合 × 8H
	5 バイト目 ~ 16 バイト目	PASS WORD データ (12 バイト) (0x0000_0474~0x0000_047F)		—
	17 バイト目	5 ~ 16 バイト目の CHECK SUM 値		—
	18 バイト目	—		CHECK SUM 値に対する ACK 応答 *2 正常の場合 10H 異常の場合 ×1H 通信異常の場合 ×8H
	19 バイト目	RAM 格納開始アドレス 31 ~ 24		—
	20 バイト目	RAM 格納開始アドレス 23 ~ 16		—
	21 バイト目	RAM 格納開始アドレス 15 ~ 8		—
	22 バイト目	RAM 格納開始アドレス 7 ~ 0		—
	23 バイト目	RAM 格納バイト数 15 ~ 8		—
	24 バイト目	RAM 格納バイト数 7 ~ 0		—
	25 バイト目	19 ~ 24 バイト目の CHECK SUM 値		—
	26 バイト目	—		CHECK SUM 値に対する ACK 応答 *2 正常の場合 10H 異常の場合 ×1H 通信異常の場合 ×8H
	27 バイト目 ~ m バイト目	RAM 格納データ		—
	m + 1 バイト目	27 ~ m バイト目の CHECK SUM 値		—
m + 2 バイト目	—	CHECK SUM 値に対する ACK 応答 *2 正常の場合 10H 異常の場合 ×1H 通信異常の場合 ×8H		
RAM	m + 3 バイト目	—	JUMP RAM 格納開始アドレス	

\*1: I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。

\*2: 異常応答後は、動作コマンド (3 バイト目) 待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。

\*3: 19 バイト目~25 バイト目のデータは、RAM 上のアドレス 0xFFFF\_A400~0xFFFF\_FFFF の領域内に納まるようにプログラムしてください。

## (6) ブートプログラム 動作説明

シングルブートモードで立ち上げるとブートプログラムが起動します。  
以下、特にことわりのない限りアドレスは仮想アドレスで表記します。

### ・ RAM 転送コマンド

RAM 転送は、コントローラから送られてくるデータを内蔵 RAM へ格納します。転送が正常に終了するとユーザープログラムの実行を開始します。ユーザープログラムのサイズは、最大 24K バイト、実行開始アドレスは、RAM 格納開始アドレスになります。

この RAM 転送機能により、ユーザー独自のオンボードプログラミング制御を行うことができます。ユーザープログラムでオンボードプログラミングを実行するためには、24.3 章で説明するフラッシュメモリコマンドシーケンスを使う必要があります。RAM 転送コマンドは、実行に先立ちパスワードの照合結果をチェックします。パスワードが一致していない場合、実行されません。

#### 1) RAM転送コマンド (表 24-6参照)

- 1 バイト目のデータは、シリアル動作モードを判定するデータになります。シリアルの動作モードを認める方法は、後述の「シリアル動作モード判定」を参照してください。シリアルの動作モードで UART と判定した場合は、ボーレートの設定が可能かどうかを判定します。1 バイト目のデータは、受信を禁止した状態 (SCOMODO<RXE> = 0) にしています。

#### UART で通信を行いたい場合

コントローラからターゲットボードへは、UART の設定で、所望のボーレートでデータを 86H にして送信してください。シリアルの動作モードの判定で UART と判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。ボーレートの設定が可能かどうかを判定する方法については、後述の「ボーレートの設定方法」を参照してください。

#### I/O インタフェースで通信を行いたい場合

コントローラからターゲットボードへは、同期式の設定で、所望のボーレート ÷ 16 でデータを 30H にして送信してください。2 バイト目も同様に、所望のボーレート ÷ 16 にしてください。所望のボーレートで転送するのは、3 バイト目 (動作コマンドデータ) からにしてください。

I/O インタフェースの場合、CPU が受信端子を入力ポートとして見ており、その入力ポートのレベルの変化をモニタしています。したがって、ボーレートが早い場合や動作周波数が多い場合は、CPU はレベルの変化を判別できないことがあります。これを防ぐために I/O インタフェースの場合、ボーレートは所望のボーレート ÷ 16 で指定します。I/O インタフェースと判定した場合、SCLK 入力モードになります。コントローラは、AC タイミングを満足するボーレートで送信を行ってください。I/O インタフェースの場合、受信エラーフラグのチェックは行いません。したがって、ACK 応答データの通信異常 ACK (bit 3) (x8H) はありません。

2. 2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。1 バイト目のデータが、UART と判定されボーレートの設定が可能な場合 86H を、I/O インタフェースと判定された場合 30H を送信します。

#### UART と判定された場合

ボーレートの設定が可能かどうかを判定します。設定が可能と判定した場合、SCOBRCR の値を書き替え、86H を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間（5 秒）を設けます。タイムアウト時間内に、データ（86H）を正常受信できなければ、通信不能と判断してください。受信を許可（SCOMODO<RXE> = 1）するタイミングは、送信バッファにデータ（86H）を書き込む前に行っています。

#### I/O インタフェースと判定された場合

I/O インタフェースの設定になるように SCOMODO、SCOCR の値を書き替え、SCOBUF に 30H を書き込み、SCLK0 クロックを待ちます。コントローラは、1 バイト目のデータ送信が終了した後、アイドル時間（数m秒）後、SCLK クロックを出力してください。このときのボーレートは、所望のボーレート ÷ 16 で行い、受信データが 30H なら、通信可能と判断してください。3 バイト目からは所望のボーレートで行ってください。受信を許可（SCOMODO<RXE>= 1）するタイミングは、送信バッファにデータ（30H）を書き込む前に行っています。

3. 3 バイト目の受信データは、動作コマンドデータになります。この場合は、RAM 転送コマンドデータ（10H）になります。
4. 4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。最初に、3 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ（bit 3）x8H を送信して、次の動作コマンド（3 バイト目）データ待ちになります。送信データの上位 4 ビットは、不定値になります。（直前の動作コマンドデータの上位 4 ビットになります。）なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、3 バイト目の受信データが、表 24-4 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信（正常 ACK 応答データ）します。この場合、10H をエコーバック送信して RAM 転送処理ルーチンに分岐します。このルーチンに分岐後、パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は、後述の「パスワードについて」を参照してください。該当しない場合は、動作コマンドエラーの ACK 応答データ（bit 0）x1H を送信して、次の動作コマンド（3 バイト目）データ待ちになります。送信データの上位 4 ビットは、不定値になります。（直前の動作コマンドデータの上位 4 ビットになります。）

5. 5 バイト目 ~ 16 バイト目の受信データは、パスワードデータ（12 バイト）になります。5 バイト目の受信データはフラッシュメモリの 0x0000\_0474 番地のデータと照合し、6 バイト目の受信データはフラッシュメモリの 0x000\_0475 番地のデータと照合します。同様に 16 バイト目の受信データはフラッシュメモリの 0x0000\_047F 番地のデータと照合します。一致していない場合、パスワードエラーフラグをセットします。
6. 17 バイト目の受信データは、CHECK SUM データになります。5 バイト目から 16 バイト目の送信データを符号なしの 8 ビット加算（オーバーフローを無視）して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。

7. 18 バイト目の送信データは、5 バイト目 ~ 17 バイト目のデータに対する ACK 応答データ (CHECK SUM 値に対する ACK 応答) になります。最初に、5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 18H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので、“1” になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、17 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、5 バイト目 ~ 16 バイト目までの受信データを符号なし 8 ビット加算 (オーバーフローを無視) して得られた値の下位 8 ビットが、00H かどうかをチェックしています。00H 以外の場合、CHECK SUM エラーの ACK 応答データ (bit 0) 11H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。

最後に、パスワードの照合結果をチェックします。次の場合、パスワードエラーの ACK 応答データ (bit 0) 11H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。

- 5 バイト目 ~ 16 バイト目のパスワードデータの照合結果に関わらず、パスワードエリアの 12 バイトのデータが、FFH 以外の同一データの場合。
- 5 バイト目 ~ 16 バイト目のパスワードデータの照合がすべて一致しない場合。

上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 10H を送信します。

8. 19 バイト目 ~ 22 バイト目までの受信データは、ブロック転送における格納先の RAM の開始アドレスを表します。19 バイト目がアドレスの 31 ビット ~ 24 ビットに対応し、22 バイト目が 7 ビット ~ 0 ビットに対応します。
9. 23 バイト目、24 バイト目の受信データは、ブロック転送するバイト数を表します。23 バイト目が転送バイト数の 15 ビット ~ 8 ビット目に対応し、24 バイト目が 7 ビット ~ 0 ビット目に対応します。
10. 25 バイト目の受信データは、CHECK SUM データになります。19 バイト目から 24 バイト目の送信データを符号なし 8 ビット加算 (オーバーフローを無視) して得られた下位 8 ビット値の 2 の補数値をコントローラから送信してください。CHECK SUM データ計算法は、後述の「CHECK SUM の計算法」を参照してください。
11. 26 バイト目の送信データは、19 バイト目 ~ 25 バイト目のデータに対する ACK 応答データ (CHECK SUM 値に対する ACK 応答) になります。最初に、19 バイト目 ~ 25 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 18H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので“1” になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、25 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、19 バイト目 ~ 24 バイト目までの受信データを符号なし 8 ビット加算（オーバーフローを無視）して得られた値の下位 8 ビットが、00H かどうかをチェックしています。00H 以外の場合、CHECK SUM エラーの ACK 応答データ (bit 0) 11H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。

- 19 バイト目 ~ 25 バイト目のデータは RAM 上のアドレス 0xFFFF\_A400~0xFFFF\_FFFF の領域に納まるようにプログラムしてください。

上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 10H を送信します。

- 27 バイト目 ~ m バイト目の受信データは、RAM へ格納するデータになります。RAM に格納するデータを、19 バイト目から 22 バイト目で指定されたアドレスから書き込み、23 バイト目から 24 バイト目に指定されたバイト数分だけ書き込みます。
- m + 1 バイト目の受信データは、CHECK SUM データになります。27 バイト目 ~ m バイト目の送信データを符号なし 8 ビット加算（オーバーフローを無視）して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。
- m + 2 バイト目の送信データは、27 バイト目 ~ m + 1 バイト目のデータに対する ACK 応答データ (CHECK SUM に対する ACK 応答) になります。最初に 27 バイト目 ~ m + 1 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 18H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので“1”になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、m + 1 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、27 バイト目 ~ m バイト目までの受信データを符号なし 8 ビット加算（オーバーフローを無視）して得られた値の下位 8 ビットが、00H かどうかをチェックしています。00H 以外の場合、CHECK SUM エラーの ACK 応答データ (bit 0) 11H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 10H を送信します。

- m + 2 バイト目の ACK 応答データが正常 ACK 応答データの場合、正常 ACK 応答データ 10H を送信後、19 バイト目 ~ 22 バイト目で指定されたアドレスに分岐します。

## (7) ACK 応答データ

ブートプログラムは処理状況を各種コードによってコントローラに送信します。表 24-7に各受信データに対するACK応答データを示します。ACK応答データの上位 4 ビットは、動作コマンドデータの上位 4 ビットになります。また 3 ビット目は受信エラーを表し、0 ビット目は動作コマンドエラー、CHECK SUMエラー、パスワードエラーの状態を表します。1 ビット目と 2 ビット目は常に 0 になります。なお、I/Oインタフェースの場合、受信エラーのチェックは行いません。

表 24-7 シリアル動作判定データに対する ACK 応答データ

送信データ	送信データの意味
0x86	UART での通信が可能と判定した。(注 1)
0x30	I/O インタフェースでの通信が可能と判定した。

(注 1) : UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を停止します。

表 24-8 動作コマンドデータに対する ACK 応答データ

送信データ	送信データの意味
0x?8 (注 1)	動作コマンドデータに受信エラーが発生した。
0x?1 (注 1)	未定義の動作コマンドデータを正常受信した。
0x10	RAM 転送コマンドと判定した。

(注 1) : 上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになります。

## (8) シリアル動作モード判定

コントローラは、UARTで通信したい場合、所望のボーレートで1バイト目を86Hにし、I/Oインタフェースで通信したい場合、所望のボーレート ÷ 16 で1バイト目を30Hにして送信してください。図24-4にそれぞれの場合の波形を示します。

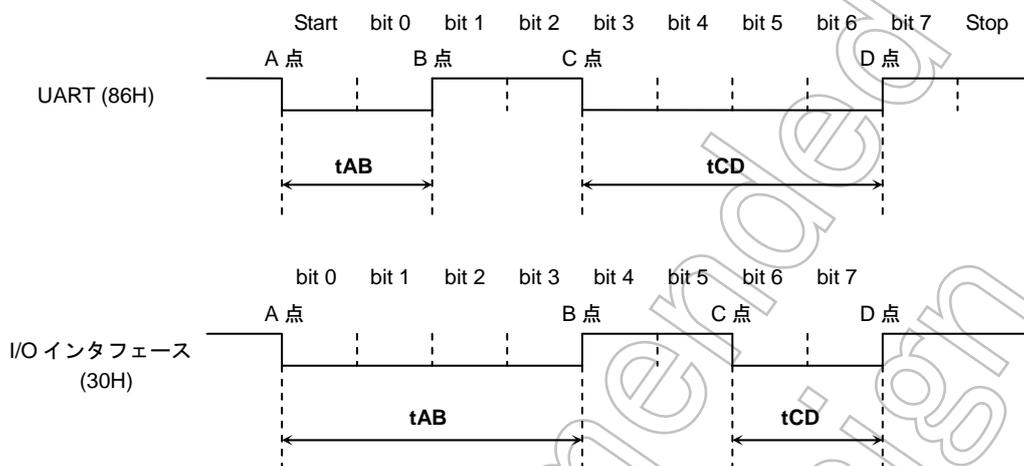


図 24-4 シリアル動作モード判定データ

ブードプログラムは、リセット解除後の1バイト目のシリアル動作モード判定データ(86H、30H)を受信禁止状態にして、図24-5に示すフローチャートで、図24-4の $t_{AB}$ 、 $t_{AC}$ と、 $t_{AD}$ の時間を求めています。図24-5のフローチャートに示すように、CPUが受信端子のレベルをモニタしてレベルの変化があると、そのときのタイマ値を取り込みます。このため、 $t_{AB}$ 、 $t_{AC}$ と、 $t_{AD}$ のタイマ値には誤差が生じます。また、ボーレートが速いときには、CPUは受信端子のレベルの変化を判断できない場合がありますので注意してください。特に、I/OインタフェースはUARTに比べボーレートが速いため、このような場合が発生しやすくなります。このようなことが起こらないようにするために、I/Oインタフェースの場合、コントローラのボーレートは所望ボーレート ÷ 16 にして送信してください。

図24-5のフローチャートに示すように、シリアル動作モードの判定は、受信端子が“L”レベルのときの時間幅の大小関係で判定しています。 $t_{AB} \leq t_{CD}$ の場合UARTと判定し、ボーレートの自動設定が可能かどうかを $t_{AD}$ の時間から判定します。 $t_{AB} > t_{CD}$ の場合、I/Oインタフェースと判定します。なお、先に述べたように、 $t_{AB}$ 、 $t_{AC}$ 、 $t_{AD}$ のタイマ値には誤差が生じているため、ボーレートが速く、動作周波数が低い場合、各タイマ値が小さくなり、意図しない判断を行うことがありますので注意してください(書き換えルーチン内でUARTの再設定を行ってください)。

例えば、コントローラはUARTで通信したいのに、I/Oインタフェースと判定してしまうことがあります。このようなことを考慮して、コントローラはUARTで通信したい場合、1バイト目のデータを送信後、タイムアウト時間内にデータ86Hを正常受信できなければ通信不可能と判断してください。I/Oインタフェースで通信したい場合は1バイト目のデータを送信後、アイドル時間後にSCLKクロックを出力してデータを受信し、受信データが30Hでなければ通信不可能と判断してください。

I/Oインタフェースで通信したい場合は上記のとおり、 $t_{AB} > t_{CD}$ であれば1バイト目のデータは0x30でなくても構いません。A点とC点の立ち下がり、B点とD点の立ち上がりを判定できるように0xB1、0xA1あるいは0xB1を1バイト目のデータとして送信できます。 $t_{AB} > t_{CD}$ が成立しており、動作モード判定結果SIOが選択された場合、(1バイト目の送信データが0x30でない場合でも)2バイト目のデータは0x30となります(以下、I/Oインタフェース判定用の1バイト目のデータは0x30を表記しています)。

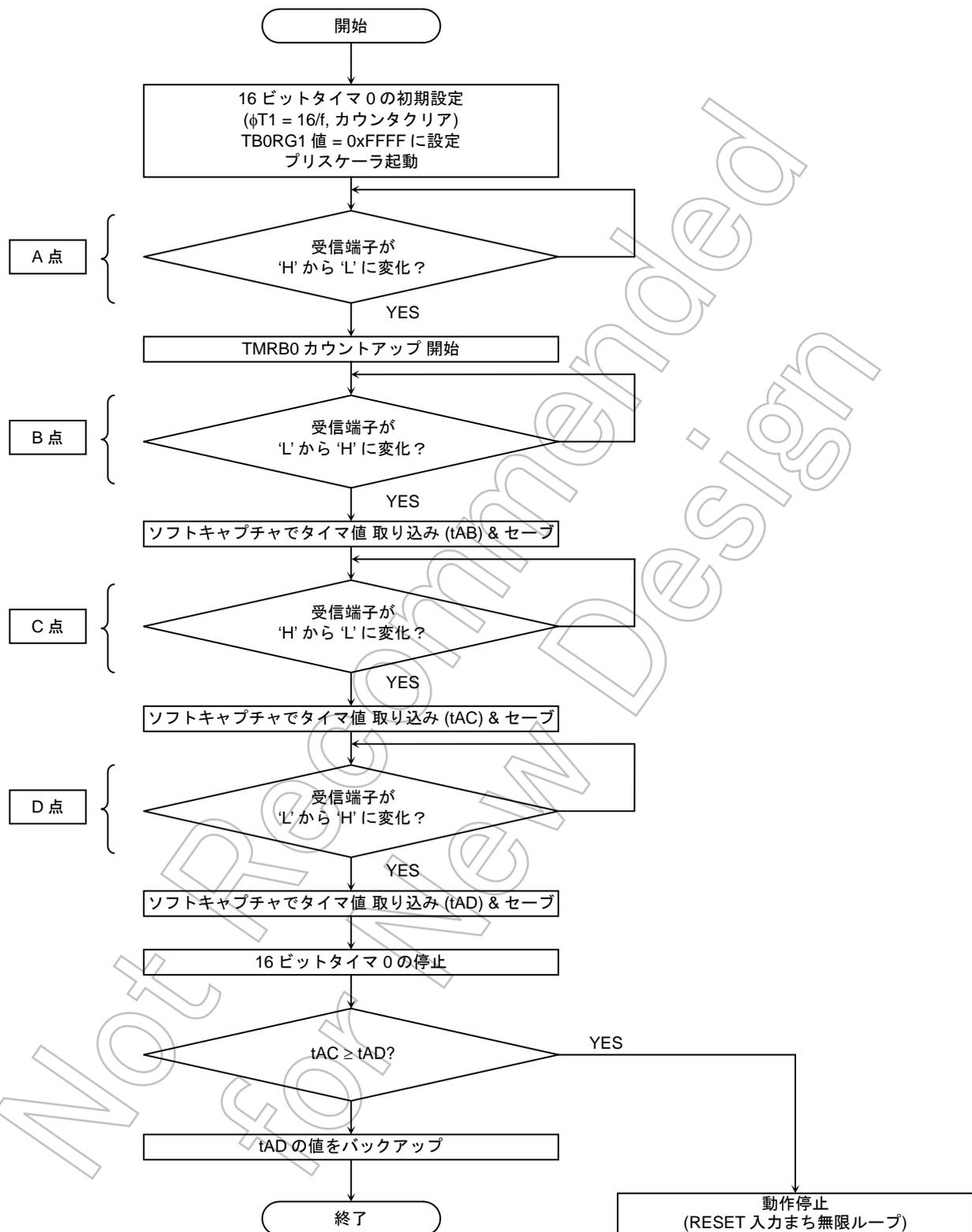


図 24-5 シリアル動作モード受信フローチャート

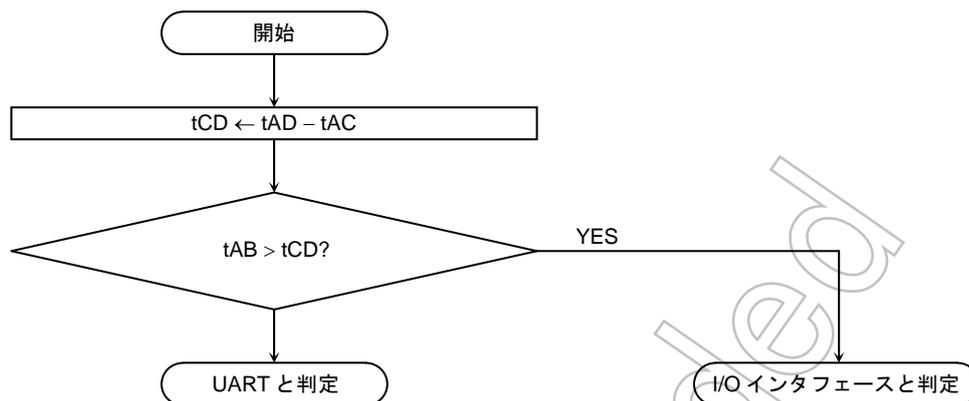


図 24-6 シリアル動作モード判定フローチャート

## (9) パスワードについて

動作コマンドデータが RAM 転送コマンド (10H) の場合、パスワードのチェックを行います。まず、動作コマンドデータをエコーバック送信 (10H) 後、パスワードエリア (0x0000\_0474 番地~0x0000\_047F 番地) のデータ (12 バイト) をチェックします。

図 24-7に示すようにパスワードエリアのデータが、FFH以外の同一データになっていた場合、パスワードエリア エラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目のCHECK SUM値に対するACK対応は 11Hを送信します。

次に、5 バイト目 ~ 16 バイト目の受信データ (パスワードデータ) の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。

セキュリティ機能が有効な状態でもパスワードの参照は行います。

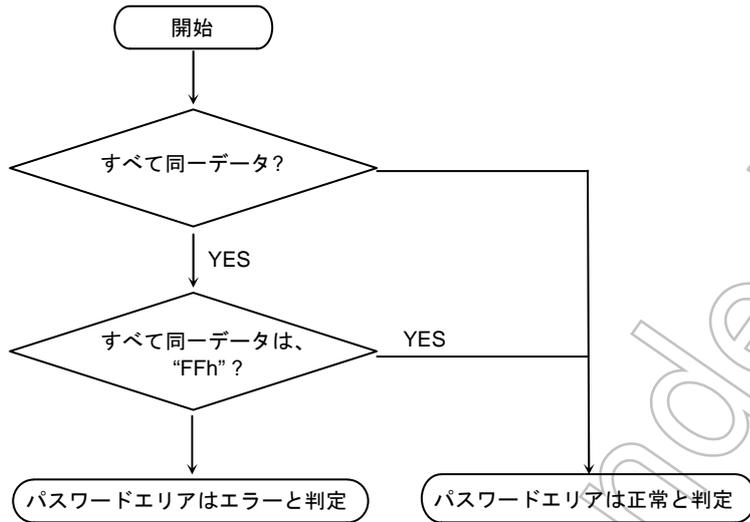


図 24-7 パスワードエリアチェックフローチャート

(10) ブートプログラム全体フローチャート

ブートプログラム全体フローチャートを示します。

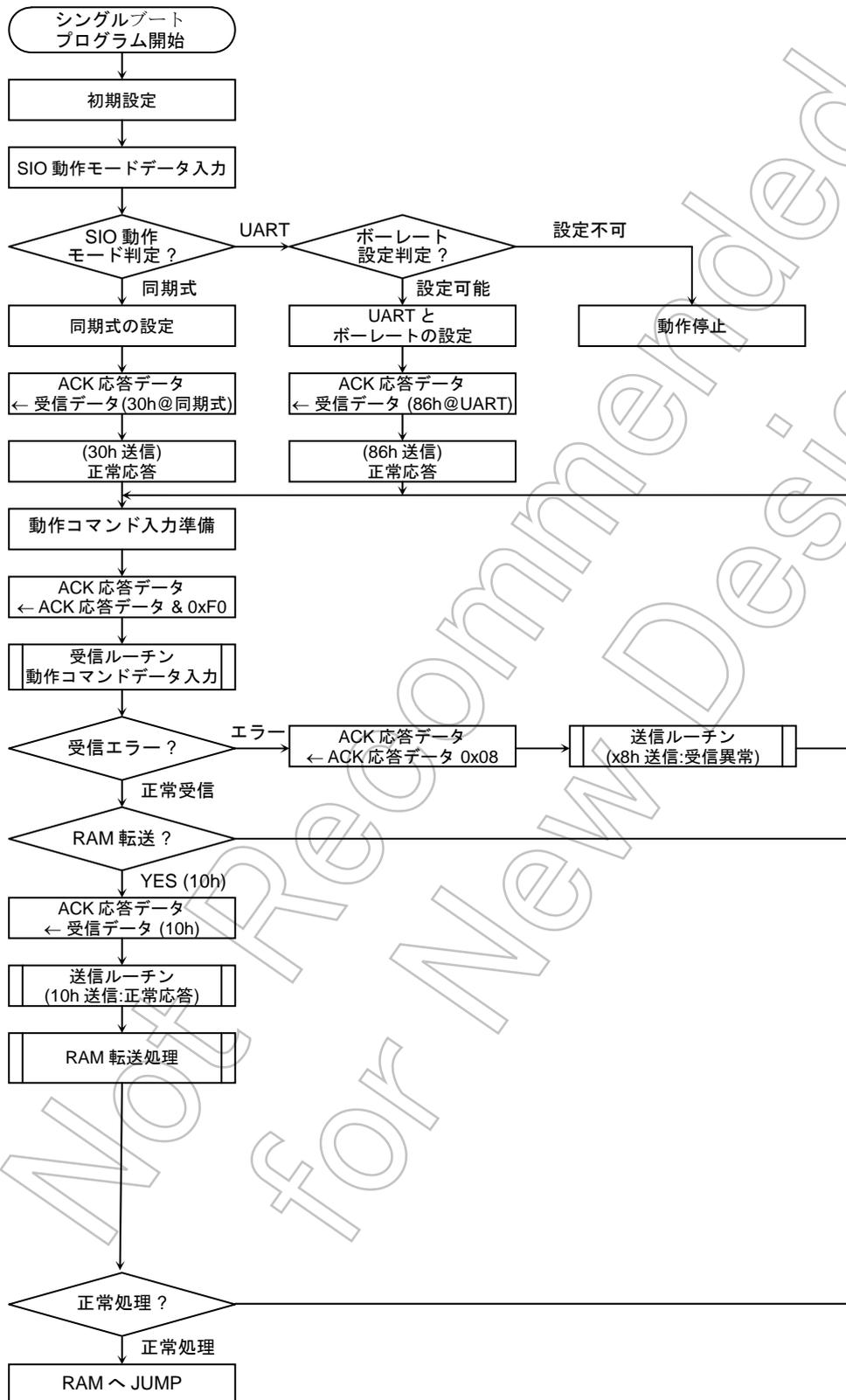


図 24-8 ブートプログラム全体フローチャート

## 24.3 オンボードプログラミングでのフラッシュメモリ書き込み/消去

オンボードプログラミングでは、CPUによりソフトウェア的にコマンドを実行することで、フラッシュの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザーがあらかじめ用意しておきます。フラッシュメモリの書き込み/消去を行っている間は、フラッシュメモリ自身の読み出しはできませんので、ユーザーブートモードに移行後、書き込み/消去制御プログラムは内蔵 RAM もしくは外部メモリ上で実行してください。この章では特に断りの無い限り、フラッシュメモリを仮想アドレスで表記します。

### 24.3.1 フラッシュメモリ

一部の機能を除き、フラッシュメモリの書き込みおよび消去などは JEDEC 標準コマンドに準拠しています。書き込み、消去を行う場合、CPUの SW 命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。

表 24-9 フラッシュメモリの機能

主な機能	説明
自動ページプログラム	データ書き込みを自動で行います。
自動チップ消去	フラッシュメモリ全エリアの一括消去を自動で行います。
自動ブロック消去	ブロック単位での消去を自動で行います。
ライトプロテクト	ブロック単位ごとに書き込みおよび消去を禁止することができます。全ブロックにプロテクトを掛けると自動的にプロテクト機能が有効になります。
プロテクト機能	4 ビットのプロテクトビット書き込みによってエリアごとに書き込みおよび消去を禁止することができます。

CPU とのインタフェースの関係上、動作コマンドのアドレス指定が標準コマンドとは異なります。また、特に断りのない限りフラッシュメモリの書き込みは 32 ビット単位で行います。フラッシュメモリへの書き込みは、32 ビット（ワード）のデータ転送命令を用いてください。

#### (1) ブロック構成

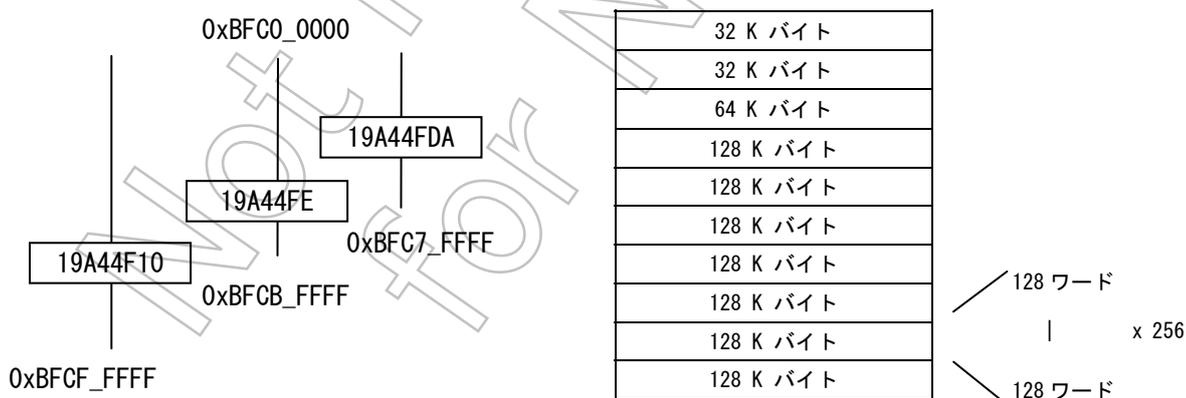


図 24-9 フラッシュメモリのブロック構成

## (2) 基本動作

このフラッシュメモリには、大きく分けて以下の2種類の動作モードがあります。

- ・メモリデータを読み出すモード（リードモード）
- ・メモリデータを自動的に消去/書き替えるモード（自動動作）

リードモード中にコマンドシーケンスを実行することで、自動動作に移ることができます。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。自動動作中はハードウェアリセットを除いて割り込みや例外が発生した場合、リードモードに移りません。自動動作中はDSU-PROBE 接続時のデバッグ例外とリセットを除いて、全ての例外を発生させないでください。ハードウェアリセットを除いて割り込みや例外が発生した場合、リードモードに移りません。

### 1) リード

データを読み出す場合、フラッシュメモリをリードモードにします。電源投入直後、CPUリセット解除後および自動動作の正常終了時に、フラッシュメモリはリードモードになります。自動動作の異常終了時や、他のモードからリードモードに復帰させるには、後述するRead/リセットコマンド（ソフトウェアリセット）もしくはハードウェアリセットを用います。フラッシュメモリに書かれた命令を実行する場合もリードモードでなければなりません。

- ・Read/リセットコマンド 及び Read コマンド（ソフトウェアリセット）

自動動作が異常終了した場合、フラッシュメモリは自動ではリードモードに復帰しません（FLCS<FlashBusy>=“0”となっている状態では、フラッシュメモリの読み出し値は不定）。この場合、Read/リセットコマンドでフラッシュメモリをリードモードに復帰させます。また、途中までコマンドライトしたコマンドをキャンセルする場合も、Read/リセットコマンドでリードモードに復帰させる必要があります。Read コマンドは、フラッシュメモリの任意のアドレスに0x0000\_00F0 データをSW命令実行してリードモードに復帰するコマンドです。

- ・Read/リセットコマンドは第3バスライトサイクル終了後にリードモードになります。

### 2) コマンドライト

このフラッシュメモリは、コマンドコントロール方式を用いています。コマンド実行は、フラッシュメモリに対してコマンドシーケンスを実行することで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します（コマンドシーケンス参照）。

コマンドシーケンスの途中でコマンドライトをキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、Read/リセットコマンドを実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。

各コマンドはいくつかのバスサイクルで構成されており、フラッシュメモリに対してSW命令を実行するものを“バスライトサイクル”と呼びます。各バスライトサイクルには順番があり、フラッシュメモリはバスライトサイクルのアドレスとデータが規定の順番でコマンドライトされた時は自動動作を実施します。規定の順番でコマンドライトされなかったバスライトサイクルがあった場合にフラッシュメモリはコマンドの実行を中止してリードモードになります。各バスライトサイクルのアドレス[31:20]は、コマンドを実施する仮想アドレス[31:20]をコマンドライトします。アドレスの[19:8]に関しては後で説明します。

- (注意1) 各コマンドシーケンスは、フラッシュメモリ外のエリアから実施します。
- (注意2) 本デバイスへのバスライトサイクル間隔は 15 システムクロック以上にしてください。フラッシュメモリのコマンドシーケンサがバスライトサイクルを認識するのに必要な時間があり、この時間内に複数のバスライトサイクルが実施されたときは、正常に動作しません。使用される動作周波数でのソフトウェアタイマ等によるバスライトサイクル間隔の調整は 10) ID-Read を使用して確認してください。
- (注意3) 各バスライトサイクルの間に、フラッシュメモリに対するロード命令 (LW, LH, LB 命令等) およびフラッシュエリアをソースアドレスに指定してDMA転送を実施しないでください。また、フラッシュメモリへのJUMP命令を実行しないでください。各コマンドシーケンスの実行中にマスカブル割り込みなど、全ての割り込み (DSU-PROBE 接続時は、デバッグ例外を除く) を発生させないでください。
- これらの動作により、フラッシュメモリに対して予期せぬリードアクセスが生じることになり、コマンドシーケンサがコマンドを正常に認識できない恐れがあります。各コマンドシーケンスは正常終了しない恐れがあると同時に、誤ったコマンドライトとして認識してしまう可能性が有ります。
- (注意4) 各バスライトサイクルのSW命令直後にSYNC命令を実行してください。
- (注意5) コマンドシーケンサがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第1バスライトサイクル前にFLCS<FlashBusy> = "1"であることを確認してください。続いてReadコマンドを実行することを推奨します。
- (注意6) コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずシステムリセットもしくは、リセットコマンドを発行して、一度リードモードに戻して下さい。

### 3) リセット

#### ハードウェアリセット

本フラッシュメモリはメモリブロックとしてリセット入力を持ち、この入力はCPUのリセット信号とつながっています。このため、本デバイスのRESET入力端子が $V_{IL}$ となるか、ウォッチドッグタイマのオーバーフローなどによりCPUのリセットがかかると、フラッシュメモリは自動動作の実行中であってもその動作を中止し、リードモードに戻ります。また、自動動作が異常終了したときや、コマンドを用いてセットしたモードを解除するときもCPUのリセットによりリードモードへ復帰します。なお、自動動作の実行中にハードウェアリセットが入った場合は、データの書き替えが正常に行えませんが注意が必要です。再度、書き替えを行う処置をしてください。

CPUのリセット動作については、「24.2.1リセット動作」を参照してください。所定のリセット入力後、CPUはフラッシュメモリよりリセットベクタデータをリードし、リセット解除後の動作を開始します。

### 4) 自動ページプログラム

フラッシュメモリへの書き込みは、“1”データセルを“0”データにすることです。“0”データセルを“1”データにすることはできません。“0”データセルを“1”データにするには消去動作を行う必要があります。

本デバイスの自動ページプログラムは、128ワードごとの書き込みとなります。この128ワードはアドレス[31:9]が同じで、先頭アドレス[8:0] = 0、最後のアドレス[8:0] = 0x1FFのグループです。以降はページプログラムの単位をページと呼びます。

データセルへの書き込みは、内部シーケンサで自動的に行われ、CPUによる外部からの制御を必要としません。自動ページプログラムの状態(書き込み動作中であるか)はレジスタFLCS<FlashBusy>にて確認できます。

また、自動ページプログラム中は、新たにコマンドシーケンスを受け付けません。自動ページプログラム動作を中止したい場合は、ハードウェアリセットを用います。これにより動作を中止させた場合、該当のページに対するデータの書き込みは正常に行われていないため、消去動作後に改めて自動ページプログラムを実行する必要があります。

自動ページプログラムは消去後のページに対して1回のみ可能で、“1”データセルであっても“0”データセルであってもページに対して2回以上の実行はできません。一度書き込み動作を行ったページに対して再度書き込みを行う場合は、自動ブロック消去または自動チップ消去コマンドを行った後に自動ページプログラムを実行しなおす必要がありますのでご注意ください。消去動作を伴わない同一ページへの2回以上ページプログラム実施はデバイス破損の可能性が有ります。

本デバイス内部で自動的なベリファイ動作は行いません。正常に書き込みができたか、実行後に読み出しをして確認してください。

自動ページプログラムは、コマンドサイクルの第4バスライトサイクル終了から開始します。第5バスライトサイクル以降は、第4バスライトサイクルで指定した次のアドレス(第4バスライトサイクルではページの先頭アドレスをコマンドライトします)から順番に書き込みを行います(データ入力は32ビット単位で行います)。第4バスライトサイクル以降のコマンドライトは必ずSW命令を使用してください。このときSW命令はワード境界をまたいだ位置へ実施しないでください。第5バスライトサイクル以降は同一ページエリアに対してデータをコマンドライトします。また、ページの一部に書き込みをしたい場合でもページ単位で自動ページプログラムする必要があります。この場合も第4バスライトサイクルのアドレス入力はページ先頭アドレスにしてください。この時“0”データセルにしたくない箇所は入力データを“1”にしてコマンドライトします。例えば、あるページの先頭アドレスの書き込みをしない場合、第4バスライトサイクルのデータ入力を0xFFFFFFFFとしてコマンドライトします。

第4バスライトサイクルを実行すると自動プログラム動作中となります。このことはレジスタFLCS<FlashBusy>をモニタすることで確認できます。自動プログラム動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止させた場合は、データの書き込みは正常に行えませんので注意してください。1ページのデータをコマンドライト後、ページ自動書き込みが正常終了した時にFLCS<FlashBusy> = “1”となり、リードモードに復帰します。

複数のページに対してデータの書き込みを行うときは、ページ毎にページプログラムコマンドを実行する必要があります(1回の自動ページプログラムコマンドで書き込めるサイズは1ページです)。ページを跨ったデータ入力の自動ページプログラムは出来ません。

プロテクトされたエリアへの書き込みはできません。自動プログラムが正常終了すると、自動的にリードモードに復帰します。このことはFLCS<FlashBusy>をモニタすることで確認できます。自動プログラム動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。リード状態に復帰させるにはリセットコマンドかハードウェアリセットでフラッシュメモリまたはデバイスをリセットする必要があります。この場合、このアドレスへの書き込みが不良になっていますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

注：自動ページプログラム第4バスライトサイクル以降のバスライトサイクルでは、ソフトウェアリセットが無効になります。

#### 5) 自動チップ消去

自動チップ消去動作は、コマンドサイクルの第6バスライトサイクル終了から開始します。

FLCS<FlashBusy>をモニタすることで確認できます。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動チップ消去動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止した場合、データの消去は正常に行えないので、再度自動チップ消去を行う必要があります。

また、プロテクトされているエリアがある場合、そのエリアの該当ブロックの消去は行いません。すべてのエリアがプロテクトされている場合は、自動チップ消去を実行せず、コマンドシーケンスの第6バスライトサイクルの完了後にリードモードになります。自動チップ消去が正常終了すると、自動的にリードモードに復帰します。自動チップ消去動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。

リードモードに復帰させるにはリセットコマンドかハードウェアリセットでフラッシュメモリもしくはデバイスをリセットする必要があります。この場合は、不良が発生したブロックの検知はできません。デバイスの使用を停止するか、ブロック消去機能を利用して不良ブロックを特定し、以降不良ブロックを使用しないことを推奨します。

#### 6) 自動ブロック消去(ブロック単位)

自動ブロック消去は、コマンドサイクルの第6バスライトサイクル終了から開始します。

自動ブロック消去動作の状態は、FLCS<FlashBusy>をモニタすることで確認できます。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動ブロック消去中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、データの消去は正常に行えませんが、再度自動ブロック消去を行う必要があります。

また、プロテクトされているエリアがある場合、そのエリアのブロックの消去を行いません。自動ブロック消去動作が不良になった場合、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。リセットコマンドかハードウェアリセットを用いてフラッシュメモリまたは、デバイスをリセットしてください。

#### 7) 自動プロテクトビットプログラム

本デバイスは4ビットのプロテクトビットを内蔵しています。自動プロテクトビットプログラムは1ビット単位で実行できます。ビットの指定は第7バスライトサイクルで行います。自動プロテクトビットプログラムにより、エリア単位で書き込みと消去の動作を禁止(プロテクト)することができます。各エリアのプロテクトの状態は後で説明するFLCS<PROTECT 3:0>で確認できます。自動プロテクトビットプログラム動作の状態は、FLCS<FLASHBUSY>をモニタすることで確認できます。自動プロテクトビットプログラム動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、プロテクトの設定は正常に行えない可能性がありますので、再度ブロックプロテクトの動作をやり直す必要があります。全てのプロテクトビットをプログラムした後は、内蔵RAM等のフラッシュメモリ以外のエリアからフラッシュメモリの読み出しを行うことはできません。

注：自動プロテクトビットプログラム第7バスライトサイクルでは、ソフトウェアリセットが無効になります。FLCS<FLASHBUSY>は、第7バスライトサイクル入力後から、FLCS<FLASHBUSY> = "0" となります。

## 8) 自動プロテクトビット消去

・自動プロテクトビット消去により、プロテクトの状態を解除することができます。フラッシュメモリ上からコマンドライトすると、プロテクトビットが一括消去されます。ビットの指定は第7バスライトサイクルで行い、コマンド終了後はビット消去状態となります。各エリアのプロテクトの状態は後で説明する FLCS<PROTECT 3:0>で確認できます。自動プロテクトビットプログラム動作の状態は、FLCS<FLASHBUSY>をモニタすることで確認できます。

フラッシュメモリ以外の領域から、自動プロテクトビット消去コマンドをコマンドライトすると、自動的に本デバイス内部でフラッシュメモリの初期化を行います。第7バスライトサイクル終了後、フラッシュメモリ全エリアのデータセルの消去を行い、引き続いてプロテクトビットの消去を行います。この動作に関してはFLCS<FLASHBUSY>をモニタすることで確認できます。本デバイス内部で自動的にベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。第7バスサイクル以降の自動動作中にリードモードに復帰させるにはハードウェアリセットでフラッシュメモリもしくはデバイスをリセットする必要があります。この場合リードモードに復帰後、FLCS<PROTECT 3:0>にてプロテクトビットの状態を確認して、必要に応じて再度自動プロテクトビット消去または、自動チップ消去或いは自動ブロック消去を実行する必要があります。

いずれの場合も、自動プロテクトビット消去動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合はハードウェアリセットを用います。自動プロテクトビット消去動作が正常に終了した場合はリードモードに復帰します。

FLCS<FLASHBUSY> ビットは自動動作中“0”、自動動作終了後“1”になります。
---

- 9) フラッシュコントロール/ステータスレジスタ  
フラッシュメモリのステータスマニタと、エリアのプロテクト状態を示すレジスタです。

表 24-10 FLCS フラッシュコントロールレジスタ

FLCS (0xFF00_0100)		7	6	5	4	3	2	1	0	
	bit Symbol									FlashBusy
	Read/Write	R								
	リセット後	0	0	0	0	0	0	0	0	1
機能	リードすると“0”が読めます。								0: BUSY 中 1: READY 中	
		15	14	13	12	11	10	9	8	
bit Symbol										
Read/Write	R									
リセット後	0	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。									
		23	22	21	20	19	18	17	16	
bit Symbol					PROTECT3	PROTECT2	PROTECT1	PROTECT0		
Read/Write	R									
リセット後	0	0	0	0	0	0	0	0	0	
機能	PROTECT 状態が確認できます									
		31	30	29	28	27	26	25	24	
bit Symbol										
Read/Write	R									
リセット後	0	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます。									

#### ビット0: FlashBusy フラグビット

自動動作の状態を認識する方法として、FLASHBUSY 出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は“0”を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり“1”を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは“0”出力を継続します。ハードウェアリセットにより“1”に復帰します。

(注) コマンド発行は、必ずレディ状態であることを確認してから発行して下さい。  
ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力出来なくなる可能性があります。その際は、システムリセットまたはリセットコマンドで復帰して下さい。

#### ビット[19 : 16]: プロテクトビット状態ビット

プロテクトビット(4 ビット)値は各エリアのプロテクト状態に対応します。該当ビットが“1”の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。

## 10) ID-Read

ID-Read コマンドを使用すると、本デバイスに内蔵しているフラッシュメモリのタイプ等の情報を知ることが出来ます。第4バスライトサイクル以降でのアドレス[15:14]の値によりロードされるデータが異なります(データ入力値は0xF以外の任意のデータ)。第4バスライトサイクル以降でのフラッシュへのSW命令後のLW命令(任意のフラッシュメモリエリアを読み出します)で、IDの値がロードされます(LW命令直後にSYNC命令を実施してください)。ID-Readコマンド第4バスライトサイクル以降は自動的にリードモードに復帰しません。第4バスライトサイクルとLW+SYNC命令を繰り返し実行できます。リードモードへの復帰はシステムリセットもしくは、ReadコマンドまたはRead/リセットコマンドで行います。

(重要)各コマンドシーケンスの“バスライトサイクル間隔”は、使用している動作周波数によらず15システムクロック以上にする必要があります。本デバイスは、フラッシュメモリへの複数のSW命令実行に関して、バスライトサイクル間隔を自動調整する機能を有しません。従ってバスライトサイクル間隔が適正でない場合は所望のフラッシュメモリ書き換えが実行できません。オンボードプログラミングモード実行に先立ち、アプリケーションの動作周波数で、ソフトウェアタイマ等を使用してバスライト間隔を調整し、ID-Readコマンドの正常動作を確認してください。オンボードプログラミングモードでは、ID-Readコマンドが正常に実施できるバスライトサイクル間隔にてコマンドシーケンスを実行し、フラッシュメモリの書き換えをしてください。

Not Recommended for New Designs

## (3) コマンドシーケンス一覧

表 24-11 内部 CPU によるフラッシュメモリアクセス

コマンド シーケンス	第1バス サイクル	第2バス サイクル	第3バス サイクル	第4バス サイクル	第5バス サイクル	第6バス サイクル	第7バス サイクル
	Addr.						
	Data						
Read	0xXX	RA					
	0xF0	RD					
Read/リセット	0x55XX	0xAAXX	0x55XX	RA			
	0xAA	0x55	0xF0	RD			
ID-Read	0x55XX	0xAAXX	0x55XX	IA	0xXX	—	
	0xAA	0x55	0x90	0x00	ID	—	
Auto ページ プログラム (注)	0x55XX	0xAAXX	0x55XX	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
Auto チップ消去	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	0x55XX	—
	0xAA	0x55	0x80	0xAA	0x55	0x10	—
Auto ブロック消去 (注)	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	BA	—
	0xAA	0x55	0x80	0xAA	0x55	0x30	—
プロテクトビット プログラム	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	0x55XX	PBA
	0xAA	0x55	0x9A	0xAA	0x55	0x9A	0x9A
プロテクトビット 消去	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	0x55XX	PBA
	0xAA	0x55	0x6A	0xAA	0x55	0x6A	0x6A

## (4) 補足説明

- RA: リードアドレス
- RD: リードデータ
- IA: ID アドレス
- ID: ID データ
- PA: プログラム ページアドレス
- PD: プログラムデータ (32 ビットデータ)

第4バスサイクル以降 1 ページ分をアドレス順にデータ入力

- BA: ブロックアドレス
- PBA: プロテクトビットアドレス

(注1) 全バスサイクル、アドレスビット[1:0]へは常に“0”を設定して下さい。(ビット[7:2]への設定値は未定義)  
 (注2) Read コマンドの第2バスサイクル、Read/リセットコマンドの第4バスサイクル、ID-Read コマンドの第5バスサイクル以外は全て“バスライトサイクル”です。バスライトサイクルは SW 命令で実施します。SW 命令のストアデータには表の“Data”を用います。各バスライトサイクルのアドレス[31:16]はコマンドシーケンス実施対象のフラッシュメモリのアドレス[31:16]を用います。アドレス[15:0]は表の“Addr.”を用います。  
 (注3) 各バスライトサイクルの間隔を 15 システムクロック 以上あげて実行してください。  
 (注4) 各バスライトサイクル終了直後に“SYNC 命令”を実行してください。  
 (注5) ID-Read コマンド第4バスライトサイクル後の“LW 命令”直後に“SYNC 命令”を実施してください。

## (5) バスライトサイクル時のアドレスビット構成

表 24-12 バスライトサイクル時のアドレスビット構成

アドレス	Addr [31:20]	Addr [19]	Addr [18:17]	Addr [16]	Addr [15]	Addr [14]	Addr [13]	Addr [12:9]	Addr [8]	Addr [7:0]	
通常 コマンド	通常のバスライトサイクルアドレス設定										
	フラッシュ領域	“0” 推奨			コマンド [15:8]				Addr [1:0]=“0” 固定、他ビットは“0” 推奨		
	0xbfc0							0x00			

BA: ブロックアドレス (ブロック消去の第6バスライトサイクルアドレス設定)	
フラッシュ領域	ブロック選択 Addr [19:15] Addr [1:0]=“0” 固定、他ビットは“0” 推奨
ブロック 消去	ブロック 0 : 0xbfc00000    ブロック 1 : 0xbfc08000 ブロック 2 : 0xbfc10000    ブロック 3 : 0xbfc20000 ブロック 4 : 0xbfc40000    ブロック 5 : 0xbfc60000 ブロック 6 : 0xbfc80000    ブロック 7 : 0xbfca0000 ブロック 8 : 0xbfcc0000    ブロック 9 : 0xbfce0000

PA: プログラムページアドレス (ページプログラムの第4バスライトサイクルアドレス設定)	
Auto ページプ ログラム	フラッシュ領域    ブロック選択 [19:15]    ページ選択 [14:9]    Addr [1:0]=“0” 固定、他ビットは“0” 推奨

IA: ID アドレス (ID-READの第4バスライトサイクルアドレス設定)	
ID-READ	フラッシュ領域    “0” 推奨    ID アドレス [15:14]    Addr [1:0]=“0” 固定、他ビットは“0” 推奨
	0xbfc0

PBA: プロテクトビットアドレス (プロテクトビットプログラムの第7バスライトサイクルアドレス設定)	
プロテクト ビット プログラ ム	フラッシュ領域    “0” 推奨    プロテクトビットライト [18:9] [18:11]=00100000 固定 [10:9]エリア 0 : 00    エリア 1 : 01    エリア 2 : 10    エリア 3 : 11
	エリア 0 : 0xbfc10000    エリア 1 : 0xbfc10200 エリア 2 : 0xbfc10400    エリア 3 : 0xbfc10600

PBA: プロテクトビットアドレス (プロテクトビット消去の第7バスライトサイクルアドレス設定)	
プロテクト ビット 消去	フラッシュ領域    “0” 推奨    プロテクト消去 [18:17] 00    Addr [1:0]=“0” 固定、他ビットは“0” 推奨
	0xbfc00000    プロテクトビットは一括消去されます

(注) 表 24-11 内部 CPU によるフラッシュメモリアクセス 「内部 CPU によるフラッシュメモリアクセス」と併せてご使用願います。

(注) 第 1 バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行なって下さい。

(注) 「“0” 推奨」は適宜変更可能です。

表 24-13 ブロック消去アドレス表

対応製品	BA	アドレス範囲		サイズ	
		フラッシュメモリ アドレス	投影エリアに対して 実施する場合		
TMP19A44F10XBG	TMP19A44FDXBG	ブロック 0	BFC0_0000 - BFC0_7FFF	0x0000_0000~0x0000_7FFF	32 Kバイト
		ブロック 1	BFC0_8000 - BFC0_FFFF	0x0000_8000~0x0000_FFFF	32 Kバイト
		ブロック 2	BFC1_0000 - BFC1_FFFF	0x0001_0000~0x0001_FFFF	64 Kバイト
		ブロック 3	BFC2_0000 - BFC3_FFFF	0x0002_0000~0x0003_FFFF	128 Kバイト
		ブロック 4	BFC4_0000 - BFC5_FFFF	0x0004_0000~0x0005_FFFF	128 Kバイト
	ブロック 5	BFC6_0000 - BFC7_FFFF	0x0006_0000~0x0007_FFFF	128 Kバイト	
	-	ブロック 6	BFC8_0000 - BFC9_FFFF	0x0008_0000~0x0009_FFFF	128 Kバイト
		ブロック 7	BFCA_0000 - BFCB_FFFF	0x000A_0000~0x000B_FFFF	128 Kバイト
		ブロック 8	BFCC_0000 - BFCD_FFFF	0x000C_0000~0x000D_FFFF	128 Kバイト
		ブロック 9	BFCE_0000 - BFCF_FFFF	0x000E_0000~0x000F_FFFF	128 Kバイト

例：ブロック 0 を選択する場合、0xBFC0\_0000~0xBFC0\_7FFF で任意の 1 アドレスを入力します。

第 1 バスサイクルから第 6 バスサイクルまで上位側のアドレスは消去するブロックのアドレスを指定してください。

表 24-14 プロテクトビットプログラム/消去アドレス表

		書き込み選択 (アドレス)										消去選択 (アドレス)	
		18	17	16	15	14	13	12	11	10	9	18	17
プロテクトビット	bit0	0	0	1	0	0	0	0	0	0	0	0	0
	bit1	0	0	1	0	0	0	0	0	0	1		
	bit2	0	0	1	0	0	0	0	0	1	0		
	bit3	0	0	1	0	0	0	0	0	1	1		

表 24-15 ID-Read コマンド第 4 バスライトサイクルの ID アドレス ( IA ) とその後の LW 命令で読み出せるデータ ( ID )

IA [15:14]	ID [7: 0]	Code
00b	0x98	メーカーコード
01b	0x5A	デバイスコード
10b	Reserved	---
11b	0x10 : FE/F10 0x12 : FD	マクロコード

## 25. 各種プロテクト機能

### 25.1 概要

本製品は次のプロテクト機能を3つもっています。

- 1) フラッシュプロテクト
- 2) ROM データセキュリティ
- 3) DSU セキュリティ

### 25.2 特長

- フラッシュプロテクト  
フラッシュ内データの保護、誤書き換えを防止します。誤消去を対象としており、プロテクトビットがセットされているエリアが保護対象となります。
- ROM データセキュリティ  
フラッシュ内データの不正なオペランド読み出しを防止します。  
プロテクトビット、SECBIT レジスタにてエリアの属性を指定します。  
※プロテクトビット消去、SECBIT レジスタのクリア、DSUSECBIT レジスタのクリアも、プロテクト対象です。
- DSU セキュリティ  
DSU を使用した、不正なプログラム解析を防止します。

### 25.3 プロテクト機構

#### フラッシュプロテクト機能

内蔵フラッシュは、プロテクトエリアごとに書き込みと消去の動作を禁止することができます。この機能をフラッシュプロテクトと呼びます。

フラッシュプロテクト機能を有効にするためには、プロテクトをかけたいエリアに対応するプロテクトビットを“1”にします。プロテクトビットを“0”にすることによりフラッシュプロテクトを解除することができます。

(プログラム方法については、Flash 動作説明の章をご覧ください。)

プロテクトビットは、FLCS レジスタでモニタすることができます。

- a) 動作モード : シングルモード、シングルブートモード時に有効になります。
- b) ROM 分割 : 全 ROM 領域を4分割し、1 エリア単位でプロテクト有効の有無を指定可能です。
- d) エリアの属性 : プロテクトエリア、通常エリア(プロテクト無しエリア)を定義します。

項目	プロテクトビット	SECBIT レジスタ	DSUSECBIT レジスタ	提供される機能
フラッシュプロテクト	使用	-	-	- Flash の操作 (Chip/Block 消去、ページ書込み) の禁止制御
ROM データセキュリティ	使用 消去時に、 制約あり	使用 クリア時に、制 約あり	クリア時に、制 約あり	- ROM の読み出し禁止制御 - プロテクトビット消去時の、データ消去制御 - ROM データプロテクト レジスタのクリア禁止制御 - DSU セキュリティ レジスタのクリア禁止制御 - 違反フラグのクリア禁止制御
DSU セキュリティ	使用	-	使用	- ブレークの禁止制御 - トレース(メモリ格納含む)の禁止制御

表 25-1 フラッシュプロテクト / ROM データセキュリティ / DSU セキュリティ

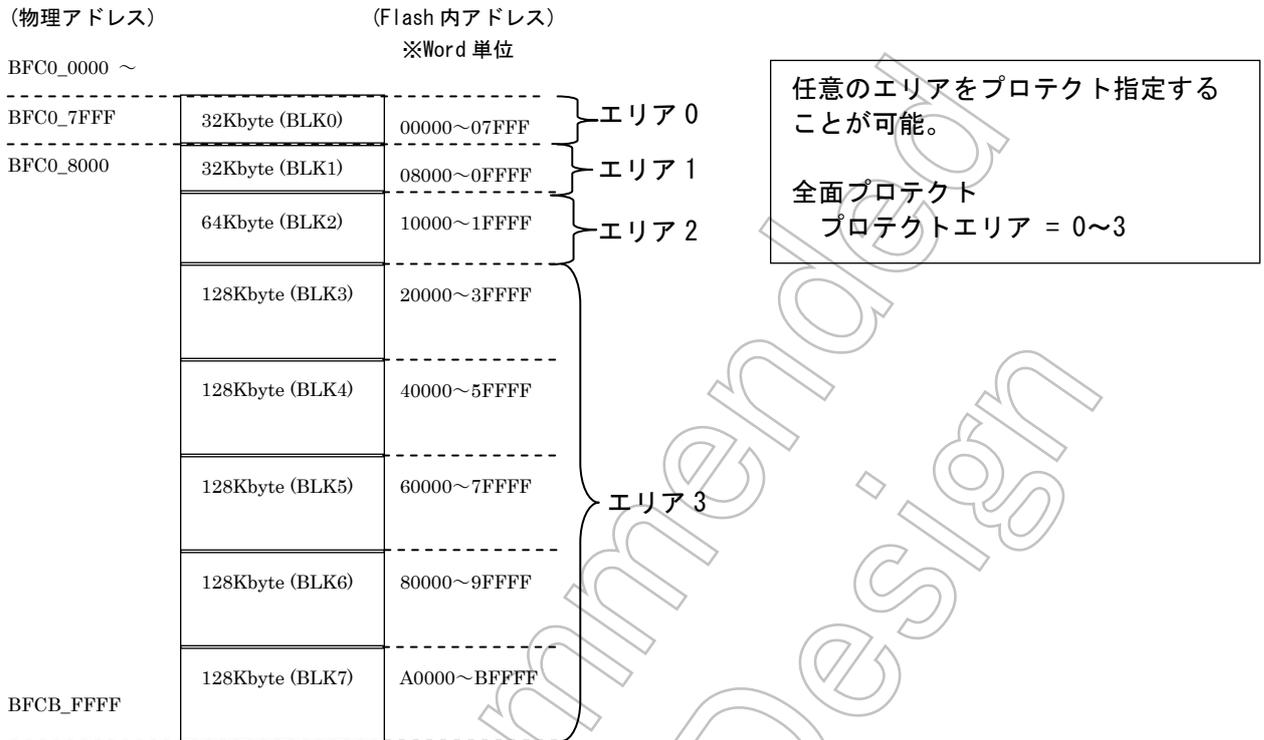
●TMP19A44F10XBG (1024KB)

(物理アドレス)		(Flash 内アドレス)	
BFC0_0000 ~		※Word 単位	
BFC0_7FFF	32Kbyte (BLK0)	00000~07FFF	エリア 0
BFC0_8000	32Kbyte (BLK1)	08000~0FFFF	エリア 1
	64Kbyte (BLK2)	10000~1FFFF	エリア 2
	128Kbyte (BLK3)	20000~3FFFF	エリア 3
	128Kbyte (BLK4)	40000~5FFFF	
	128Kbyte (BLK5)	60000~7FFFF	
	128Kbyte (BLK6)	80000~9FFFF	
	128Kbyte (BLK7)	A0000~BFFFF	
	128Kbyte (BLK8)	C0000~DFFFF	
BFCF_FFFF	128Kbyte (BLK9)	E0000~FFFFF	

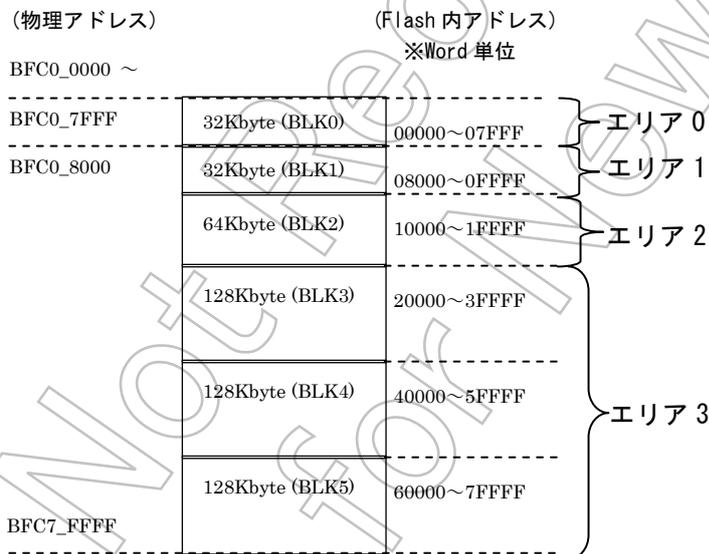
任意のエリアをプロテクト指定することが可能。  
 全面プロテクト  
 プロテクトエリア = 0~3

Not Recommended for New Design

●TMP19A44FEXBG (768KB)



●TMP19A44FDAXBG (512KB)



## ROMデータセキュリティ

内蔵 FLASH に対してデータの読み出しを制限する機能です

※内蔵 FLASH 領域以外とは以下の場合です。

- 内蔵 ROM で、属性の異なるエリア（例：セキュリティエリアに対する、通常エリア）
- 内蔵 ROM で、ROM コレクションで置き換えられた領域（内蔵 RAM とみなします）
- 内蔵 RAM、内蔵 Boot-ROM、外部メモリ、DSU(デバッグ領域)
- 内蔵 DMAC によるオペランドアクセス
- Flash ライタによるアクセス

### ・ セキュリティを有効とする手段

SECBIT レジスタにて、エリアに該当する SECBIT を許可する。（Power ON 後は、全 bit “1”）

### ・ プロテクト検出について

- a) プロテクト検出の条件 : プロテクトエリア外でプロテクトビットの消去コマンドを発行
- b) プロテクト検出時の動作 : プロテクトエリアのデータを消去し、データ消去後 オプションビットも消去します。

### ・ SECBIT のプロテクト

- a) プロテクト検出の条件 : プロテクトエリア外から該当 SECBIT を書き込み
- b) プロテクト検出時の動作 : 値の更新はしません。

### ・ ROM データセキュリティ

- a) セキュリティ検出の条件 : セキュリティエリア外からのセキュリティエリアへの読み込み
- b) セキュリティ検出時の動作 : “0x0098” が読めます。

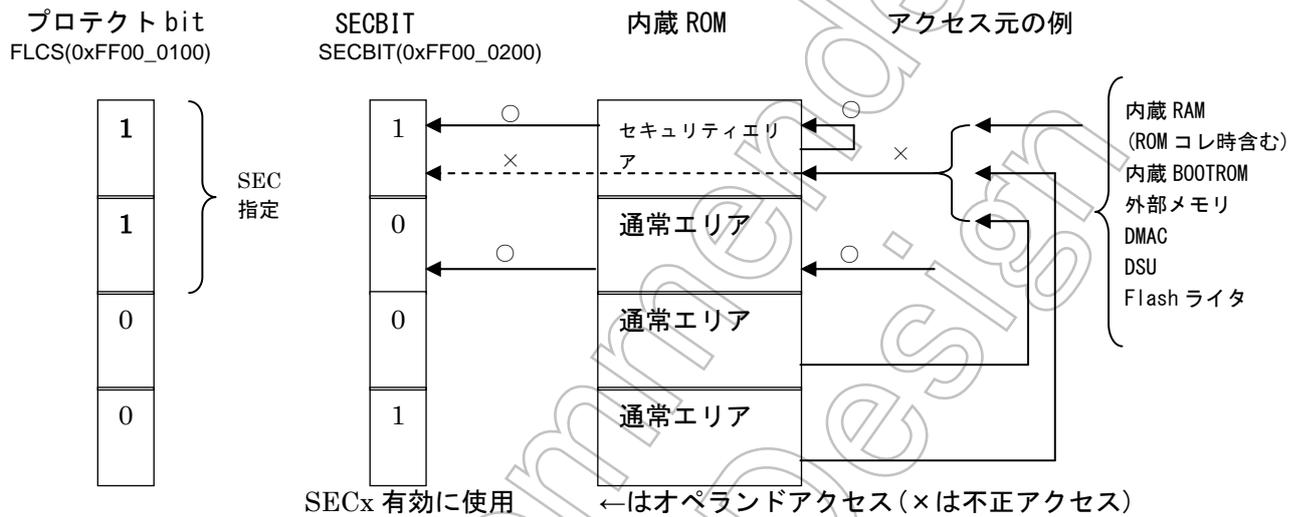
### ・ DSU セキュリティ

- a) セキュリティ検出の条件 : 下記のいずれかです。
  - プロテクトエリアの命令実行中（ブレーク、イベント/PC トレース抑止に使用）
  - プロテクトエリアの命令によるオペランドバスサイクル中（データトレース抑止に使用）
- b) セキュリティ検出時の動作
  - ブレークの抑止（EJTAGBOOT、ステップ実行）
  - トレースの抑止（トレースメモリへの格納含む）

### 25.4 動作/用語の定義

- プロテクトエリア有効 : 該当 SECBIT が、「1」(許可)状態となっている状態
- ROM データセキュリティ検出 : オペランドマスク等、SECBIT による制御が動作している状態
- DSU セキュリティ検出 : ブレーク/トレース抑止等、DSUSECBIT による制御が動作している状態

●SECBIT<SECx>有効、プロテクト検出 (プロテクトエリアに対する不正アクセス) の例



## 25.5 レジスタ

## FLCS フラッシュコントロールレジスタ

FLCS  
(0xFF00\_0100)

	7	6	5	4	3	2	1	0	
bit Symbol	FlashBus								
Read/Write	R								
リセット後	0	0	0	0	0	0	0	1	
機能	リードすると '0' が読めます。							0 : BUSY 中 1 : READY 中	
	15	14	13	12	11	10	9	8	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると '0' が読めます。								
	23	22	21	20	19	18	17	16	
bit Symbol					PROTECT3	PROTECT2	PROTECT1	PROTECT0	
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	PROTECT 状態を確認できます。								
	31	30	29	28	27	26	25	24	
bit Symbol									
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると '0' が読めます。								

FlashBusy : FLASH の READY/BUSY 信号  
 0 : BUSY  
 1 : READY

PROTECT3:0 : PROTECT 状態

SECBIT : ROMデータセキュリティ許可ビット

	7	6	5	4	3	2	1	0
SECBIT (0xFF00_0200)	SECBIT3				SECBIT2	SECBIT1		SECBIT0
bit Symbol	R				R/W			
Read/Write	R				R/W			
リセット後	0	0	0	0	1	1	1	1
機能	リードすると '0' が読めます。				xxx1 : エリア0設定 xx1x : エリア1設定 x1xx : エリア2設定 1xxx : エリア3設定			
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると '0' が読めます。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると '0' が読めます。							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると '0' が読めます。							

Not Recommended for New

## ROM セキュリティロックレジスタ

	7	6	5	4	3	2	1	0
SECCODE (0xFF00_0208)	Bit Symbol							
	Read/Write W							
	リセット後 不定							
	機能 “0x0000_003D” をライトしてください。							
	15	14	13	12	11	10	9	8
	Bit Symbol							
	Read/Write W							
	リセット後 不定							
	機能 “0x0000_003D” をライトしてください。							
	23	22	21	20	19	18	17	16
	Bit Symbol							
	Read/Write W							
	リセット後 不定							
	機能 “0x0000_003D” をライトしてください。							
	31	30	29	28	27	26	25	24
	Bit Symbol							
	Read/Write W							
	リセット後 不定							
	機能 “0x0000_003D” をライトしてください。							

(注) 本レジスタは 32 ビットアクセスを行なって下さい。

(注) 本レジスタは書き込み専用レジスタです。読み出した場合の値は不定になります。

## 設定手順

SECCODE レジスタに 0x0000\_003d を設定すると、SECBIT レジスタが書き込み許可されます。

## DSU プロテクト許可ビット

DSUSECBIT (0xFF00_0204)		7	6	5	4	3	2	1	0
	Bit Symbol					DSUSECBIT3	DSUSECBIT2	DSUSECBIT1	DSUSECBIT0
	Read/Write	R				R/W			
	リセット後	0	0	0	0	1	1	1	1
	機能	リードすると“0”が読めます。				xxx1 : エリア0 設定 xx1x : エリア1 設定 x1xx : エリア2 設定 1xxx : エリア3 設定			
		15	14	13	12	11	10	9	8
	Bit Symbol								
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると“0”が読めます。							
		23	22	21	20	19	18	17	16
	Bit Symbol								
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると“0”が読めます。							
		31	30	29	28	27	26	25	24
	Bit Symbol								
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると“0”が読めます。							

## DSU プロテクト有効レジスタ

1: プロテクト許可

0: プロテクト解除

xxx1 : エリア0 設定

xx1x : エリア1 設定

x1xx : エリア2 設定

1xxx : エリア3 設定

該当エリアの設定が可能です。

PowerOn リセットで初期値は全ビット 1 に設定されます。

## DSU プロテクト制御レジスタ

	7	6	5	4	3	2	1	0
DSUSECCODE (0xFF00_020C)	Bit Symbol							
	Read/Write							
	リセット後							
	機能							
	15	14	13	12	11	10	9	8
	Bit Symbol							
	Read/Write							
	リセット後							
	機能							
	23	22	21	20	19	18	17	16
	Bit Symbol							
	Read/Write							
	リセット後							
	機能							
	31	30	29	28	27	26	25	24
	Bit Symbol							
	Read/Write							
	リセット後							
	機能							

- (注) 本レジスタは32ビットアクセスを行なって下さい。  
(注) 本レジスタは書き込み専用レジスタです。読み出した場合の値は不定になります。

## 設定手順

SUSECCODE レジスタに 0x0000\_00c5 設定すると、DSUSECBIT レジスタの書き込みが許可されます。

- (例) エリア0 がプロテクトエリアとなっている場合、プロテクトエリアからの命令のみレジスタへの書き込みが可能です。  
それ以外の場所からの命令は“0”で書き込み禁止、“1”で書き込み可能です。

## 26. バックアップモード

### 26.1 特長

システムの動作モードの一つとして低消費電力動作を行うことが可能な、バックアップモードがあります。

バックアップモードを使用し、バックアップ中に停止するブロック (CPU、他の周辺 I/P など) に対して全ての電源供給を遮断させることにより、消費電流を大幅に削減することが可能となります。

### 26.2 バックアップモード概要

STOP/SLEEP モードよりも低消費電力動作が可能です。

バックアップモード	スタンバイ解除可能条件
Backup Stop	2相カウンタ、INT、KWUP (スタティック)、リセット
Backup Sleep	2相カウンタ、INT、KWUP (ダイナミック/スタティック)、RTC、リセット

表 26-1 バックアップモードと解除条件

### 26.3 バックアップモード中の動作について

- ・ DSU 使用に関して  
DSU 接続中にバックアップモードに入る事ができます。  
データのみ保持し動作は致しません。この時 DSU の電源は切れません。
- ・ 2相カウンタ (PHCNT)  
Backup Stop/ Backup Sleep 時にも、高速カウントが可能です。
- ・ PORT に関して  
出力/Pull-up は PORTKEEP レジスタに設定した時の状態を保持します。  
入力は、Disable (ただし、2相、KWUP、INT 入力はそのままの状態)  
KWUP はダイナミックプルアップ (入カインーブル) にも対応します。

26.4 ブロック概略図

図 26-1 にブロック図を示します。

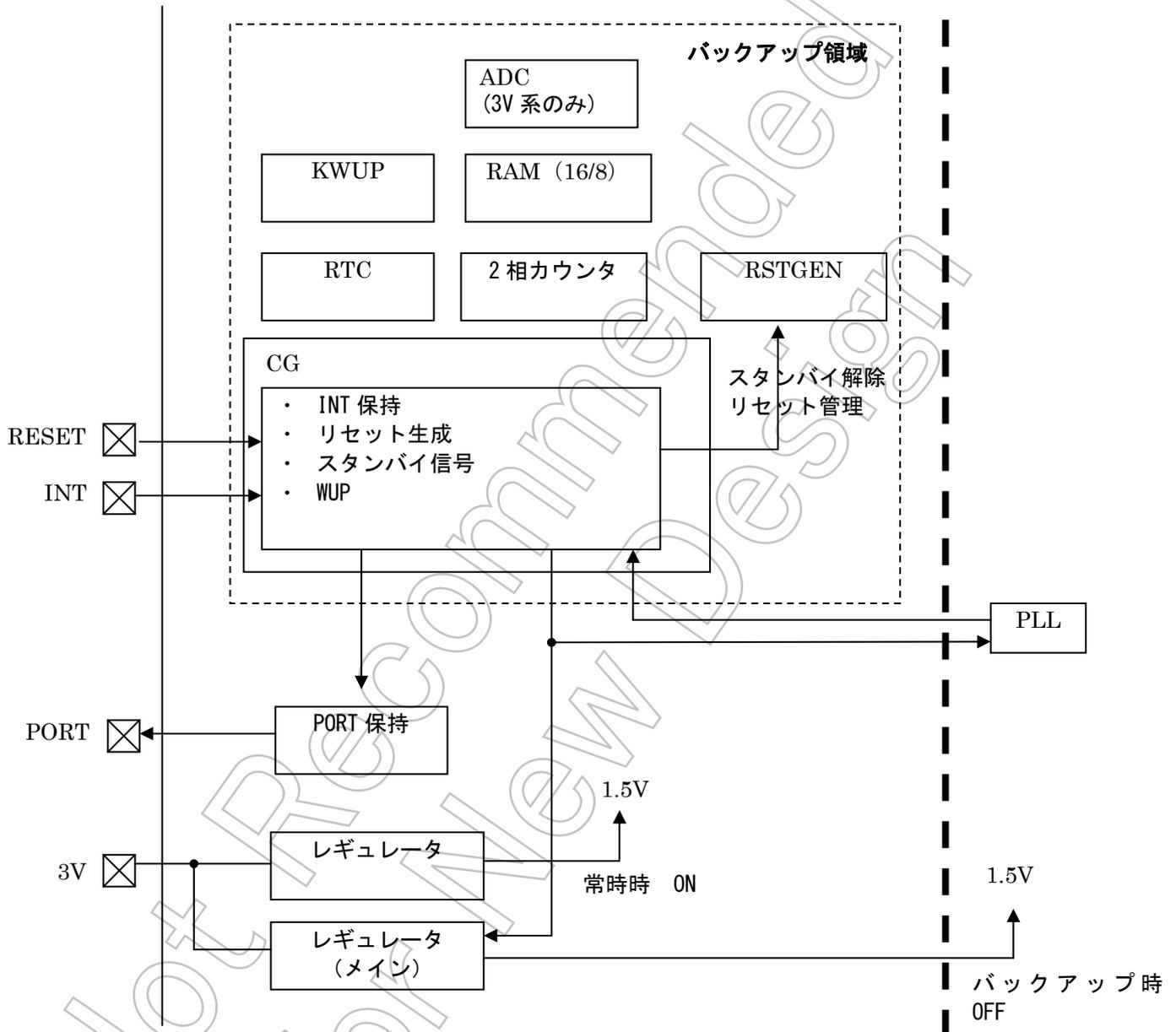


図 26-1 ブロック図



## 26.5.2 リセットフラグレジスタ

		7	6	5	4	3	2	1	0
RSTFLG (0xFF00_191C)	bit Symbol				PrRSTF	BUPRSTF	WDTRSTF	PINRSTF	PONRSTF
	Read/Write	R			R/W				
	パワーオン リセット後	0	0	0	0	0	0	0	1
	機能	リードすると“0”が読めます。			Pr リセッ トフラグ  0: “0”をラ イト 1: PrRSTに よるリセ ットフラ グ	バックアッ プリセット フラグ  0: “0”をラ イト 1: バックア ップリセ ットによ るリセッ トフラグ	WDTリセッ トフラグ  0: “0”をラ イト 1: WDTリセ ットによ るリセッ トフラグ	RESET 端子 フラグ  0: “0”をラ イト 1: RESET 端 子による リセット フラグ	Power On Reset フラ グ  0: “0”をラ イト 1: PowerOn Reset に よるリセ ットフラ グ
		15	14	13	12	11	10	9	8
bit Symbol									
Read/Write		R							
リセット後		0	0	0	0	0	0	0	0
機能		リードすると“0”が読めます。							
		23	22	21	20	19	18	17	16
bit Symbol									
Read/Write		R							
リセット後		0	0	0	0	0	0	0	0
機能		リードすると“0”が読めます。							
		31	30	29	28	27	26	25	24
bit Symbol									
Read/Write		R							
リセット後		0	0	0	0	0	0	0	0
機能		リードすると“0”が読めます。							

<Bit 0><PONRSTF> : パワーオンリセットによるリセット動作により“1”にセットされます。

<Bit 1><PINRSTF> : RESET 端子からのリセット動作により“1”にセットされます。

<Bit 2><WDTRSTF> : ウォッチドックタイマによるリセット動作により“1”にセットされます。

<Bit 3><BUPRSTF> : バックアップモードからの復帰により“1”にセットされます。

<Bit 4><PrRSTF> : ツールによるリセット動作により“1”にセットされます。

“0”をライトする事でフラグをクリアすることが出来ます。

注) このレジスタは、電源投入時のみに初期化されます。通常のリセットでは初期化されません。

## 26.6 バックアップモード復帰回路

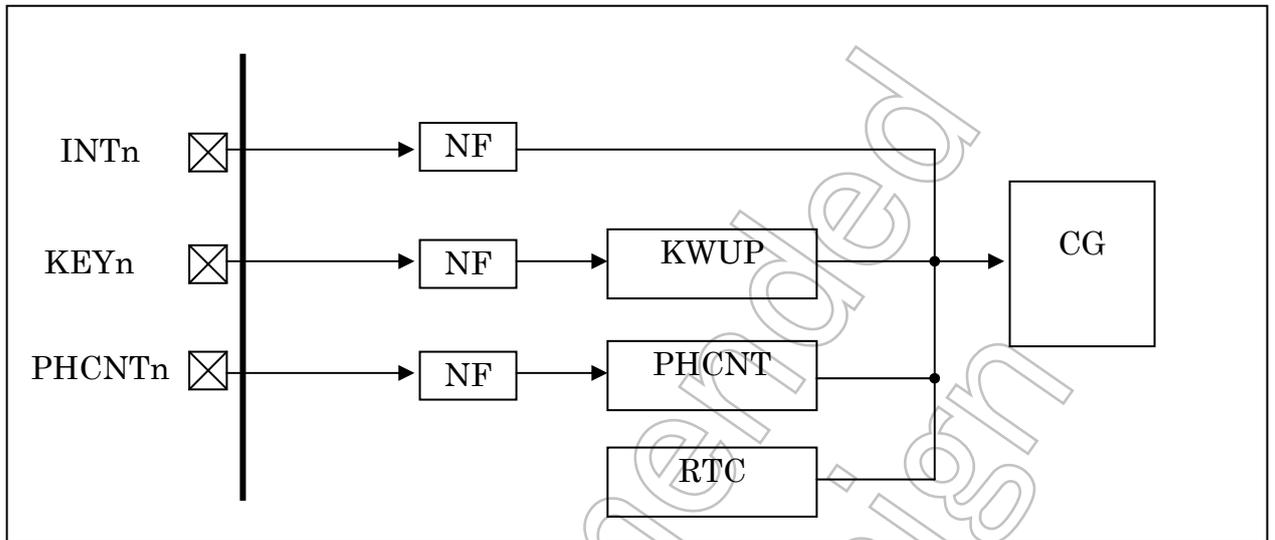


図 26-2 バックアップモード復帰回路

バックアップモード中、外部要因または、RTCの復帰信号で内部CGに信号が伝達します。

割り込み要因は、CG内に保持され、メインレギュレータの電源がONします。

プログラムは、リセット動作と同じく先頭番地から命令を実行します。

フラグを参照することで、パワーオンによる復帰、リセット端子、ウォッチドックタイマオーバーフローによる復帰、バックアップモード中の割り込み復帰が判断できます。

26.7 状態遷移フロー

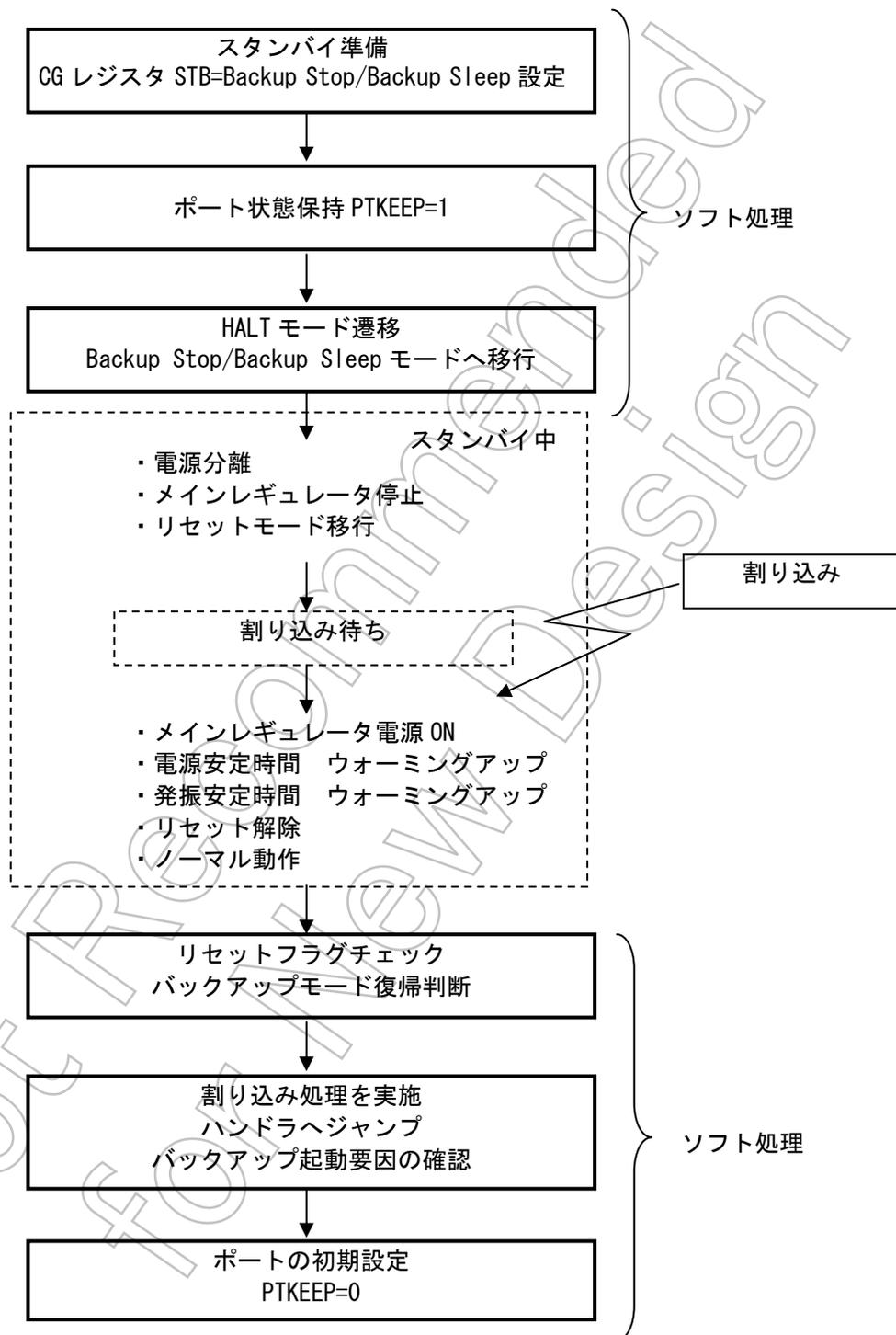


図 26-3 状態遷移フローチャート

## 27 電気的特性

### 27.1 絶対最大定格

計算式に使用している“X”は、SCKSEL<SYSCK>で選択されたクロック  $f_{sys}$  の周期を示しますのでクロックギアや低速発振器を選択すると“X”の値が異なります。なお、例としての計算値はシステムクロックは高速 ( $f_c$ ) (SCKSEL<SYSCK> = “0”)、ギア選択が1/1 (SYSCR1 <GEAR (2:0)> = “000”) のときの値です。

項目		記号	定格	単位
電源電圧		AVCC3n (A/D)	-0.3~3.9	
		DVCC3 (I/O)	-0.3~3.9	
入力電圧		$V_{IN}$	$-0.3-V_{CC}+0.3$	V
低レベル 出力電流	1 端子	$I_{OL}$	5	mA
	合計	$\Sigma I_{OL}$	50	
高レベル 出力電流	1 端子	$I_{OH}$	-5	
	合計	$\Sigma I_{OH}$	-50	
消費電力( $T_a = 85^\circ\text{C}$ )		PD	600	mW
はんだ付け温度(10s)		$T_{SOLDER}$	260	$^\circ\text{C}$
保存温度		$T_{STG}$	-40~125	$^\circ\text{C}$
動作温度	Flash W/E 時を除く	$T_{OPR}$	-20 ~ 85	$^\circ\text{C}$
	Flash W/E 時		0 ~ 70	
書き替え回数		NEW	100	cycle

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格(電流、電圧、消費電力、温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。したがってかならず絶対最大定格を超えないように、応用機器の設計を行ってください。

## 27.2 DC電気的特性 (1/3)

 $T_a = -20 \sim 85^\circ\text{C}$ 

項目		記号	条件	Min.	Typ. (注)	Max.	単位
電源電圧	AVCC3n= DVCC3 = 3.3V CVSS=DVSS= AVSS =0V	DVCC3	fosc = 8~10MHz fs = 30kHz~34kHz fsys = 30kHz~34kHz 4MHz~80MHz	2.7		3.6	V
低レベル入力電圧	P7~P8	$V_{IL1}$	$2.7V \leq AVCC3n \leq 3.6V$	-0.3		0.3 AVCCn3	V
	ノーマルポート	$V_{IL2}$	$2.7V \leq DVCC3 \leq 3.6V$			0.3 DVCC3	
	シュミット入力	$V_{IL3}$	$2.7V \leq DVCC3 \leq 3.6V$			0.2 DVCC3	
	XT1	$V_{IL5}$	$2.7V \leq DVCC3 \leq 3.6V$			0.1 DVCC3	

(注) Typ 値は特に指定のない限り  $T_a = 25^\circ\text{C}$ , DVCC3=AVCC3n=3.3V の値です。 $T_a = -20 \sim 85^\circ\text{C}$ 

項目		記号	条件	Min.	Typ. (注)	Max.	単位
高レベル入力電圧	P7~P8	$V_{IH1}$	$2.7V \leq AVCC3n \leq 3.6V$	0.7 AVCC3n		DVCC3 + 0.3	V
	ノーマルポート	$V_{IH2}$	$2.7V \leq DVCC3 \leq 3.6V$	0.7 DVCC3			
	シュミット入力	$V_{IH3}$	$2.7V \leq DVCC3 \leq 3.6V$	0.8 DVCC3			
	XT1	$V_{IH5}$	$2.7V \leq DVCC3 \leq 3.6V$	0.9 DVCC3			
低レベル出力電圧		$V_{OL}$	$I_{OL} = 2\text{mA}$ DVCC3 $\geq 2.7V$			0.4	V
高レベル出力電圧		$V_{OH}$	$I_{OH} = -2\text{mA}$ DVCC3 $\geq 2.7V$	2.4 (DVCC3-0.3)			

(注) Typ 値は特に指定のない限り  $T_a = 25^\circ\text{C}$ , DVCC3 = AVCC3n = 3.3V の値です。

## 27.3 DC電気的特性 (2/3)

Ta = -20~85°C

項目	記号	条件	Min.	Typ. (注)	Max.	単位
入力リーク電流	I <sub>LI</sub>	0.0 ≤ V <sub>IN</sub> ≤ DVCC3 0.0 ≤ V <sub>IN</sub> ≤ AVCC3n		0.02	± 5	μA
出力リーク電流	I <sub>LO</sub>	0.2 ≤ V <sub>IN</sub> ≤ DVCC3 - 0.2 0.2 ≤ V <sub>IN</sub> ≤ AVCC3n - 0.2		0.05	± 10	
リセットプルアップ抵抗	RRST	DVCC3 = 2.7V~3.6V	20	50	150	kΩ
シュミット入力 (ヒステリシス幅)	VTH	2.7V ≤ DVCC3 ≤ 3.6V	0.3	0.6		V
プログラマブルプルアップ 、固定プルアップ/ダウン抵抗	PKH	DVCC3 = 2.7V ~3.6V	20	50	150	kΩ
Pin 容量 (電源端子を除く)	C <sub>IO</sub>	fc = 1MHz			10	pF

(注) Typ 値は特に指定のない限り Ta = 25°C, DVCC3 = AVCC3n = 3.3V の値です。

## 27.4 DC電気的特性 (3/3)

DVCC3 = AVCC3n = 2.7V~3.6V

Ta = -20~85°C

TMP19A44FDXBG

項目	記号	条件	Min.	Typ. (注 1)	Max.	単位
NORMAL(注 2) ギア比 1/1	コア	f <sub>sys</sub> = 80 MHz (f <sub>osc</sub> = 10 MHz)		45	55	mA
	周辺			30	40	
IDLE(Doze) (注 3)	I <sub>CC</sub>			25	40	
IDLE(Halt) (注 3)				23	35	
SLOW (注 4)			3	10	mA	
SLEEP (注 4)	I <sub>CC</sub>	fs = 32.768kHz		250	3000	μA
Backup SLEEP(注 5)				25	145	μA
STOP				200	2800	μA
Backup STOP(注 5)	I <sub>CC</sub>			22	140	μA

I<sub>CC</sub> には DVCC3、AVCC3n に流れる電流が含まれます。

(注1) Typ 値は、特に指定のない限り Ta = 25 °C, DVCC3=AVCC3n= 3.3 V の値です。

(注2) I<sub>CC</sub> NORMAL の測定条件：

CPU ドライストン実行(DSU を除く), RAM, FLASH

A/D を除く内蔵周辺機能は全て動作

(注3) I<sub>CC</sub> IDLE の測定条件：

周辺機能は全て停止

(注4) I<sub>CC</sub> SLOW, SLEEP, Backup SLEEP の測定条件：

時計用タイマ動作

(注5) EJE=1(DSU 未使用時) の消費電流です。

DVCC3=AVCC3n=2.7V~3.6V

Ta = -20~85°C

TMP19A44FEXBG/F10XBG

項目	記号	条件	Min.	Typ. (注 1)	Max.	単位
NORMAL(注 2)	コア	$f_{\text{sys}}=80\text{ MHz}$ ( $f_{\text{osc}}=10\text{ MHz}$ )		50	60	mA
ギア比 1/1	周辺			30	40	
IDLE(Doze) (注 3)				27	45	
IDLE(Halt) (注 3)				24	40	
SLOW (注 4)		$f_s = 32.768\text{ kHz}$		5	16	mA
SLEEP (注 4)				340	6200	$\mu\text{A}$
Backup SLEEP(注 5)				33	710	$\mu\text{A}$
STOP				290	6000	$\mu\text{A}$
Backup STOP(注 5)				30	700	$\mu\text{A}$

$I_{\text{CC}}$  には DVCC3、AVCC3n に流れる電流が含まれます。

(注6) Typ 値は、特に指定のない限り Ta = 25 °C, DVCC3=AVCC3n= 3.3 V の値です。

(注7)  $I_{\text{CC}}$  NORMAL の測定条件：

CPU ドライストン実行(DSU を除く), RAM, FLASH

A/D を除く内蔵周辺機能は全て動作

(注8)  $I_{\text{CC}}$  IDLE の測定条件：

周辺機能は全て停止

(注9)  $I_{\text{CC}}$  SLOW, SLEEP, Backup SLEEP の測定条件：

時計用タイマ動作

(注10) EJE=1(DSU 未使用時) の消費電流です。

## 27.5 10ビット A/D 変換特性

DVCC3=AVCC3n=VREFH=2.7V~3.6V, AVSSn = DVSS= VREFLn=0, Ta = -20~85°C  
 AVCC3n 負荷容量 $\geq 3.3 \mu\text{F}$ , VREFHn 負荷容量 $\geq 3.3 \mu\text{F}$

項目	記号	条件	Min	Typ	Max	単位
アナログ基準電圧(+)	VREFHn		2.7	3.3	3.6	V
アナログ基準電圧(-)	VREFLn		AVSSn	AVSSn	AVSSn	V
アナログ入力電圧	VAIN		VREFLn		VREFHn	V
アナログ基準電圧電源電流	IREF ※3	A/D 変換時		2	5	mA
		A/D 非変換時		0.02	5	$\mu\text{A}$
消費電流※3	—	IREF を除く		7	10	mA
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 1.3\text{k}\Omega$ AIN 負荷容量 $\geq 0.1 \mu\text{F}$ 変換時間 $\geq 1.15 \mu\text{s}$			$\pm 3$	LSB
微分直線性誤差					$\pm 2$	
オフセット誤差					$\pm 4$	
フルスケール誤差					$\pm 4$	

(注1)  $1\text{LSB} = (\text{VREFH} - \text{VREFL}) / 1024[\text{V}]$

(注2) 複数チャンネル を同時に動作させた時の相対精度は保証していません。

## 27.6 AC電気的特性

## 27.6.1 セパレートバスモード

DVCC3=AVCC3n= 2.7V~3.6V, Ta =-20~85°C

BUSCR<ALESEL> = "01" (ALE = 1 サイクル)  
 BxxCS<BxW> = "0\_1010" (WAIT = 10 サイクル)  
 BxxCS<BxGSCV> = "001" (チップセレクトリカバリ = 1 サイクル挿入)  
 BxxCS<BxRCV> = "01" (リードリカバリ = 1 サイクル挿入)  
 BxxCS<BxWCV> = "01" (ライトリカバリ = 1 サイクル挿入)

No.	項目	記号	計算式		80 MHz (f <sub>sys</sub> )(注)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t <sub>sys</sub>	x		12.5		ns
2	A0-23 有効→ $\overline{\text{RD}}$ / $\overline{\text{WRLL}}$ / $\overline{\text{WRLH}}$ 立ち下がり	t <sub>AC</sub>	x (1 + ALE) - 19		6		ns
3	$\overline{\text{RD}}$ / $\overline{\text{WRLL}}$ / $\overline{\text{WRLH}}$ 立ち上がり → A0 - 23 保持	t <sub>CAR</sub>	x (1 + CSR) - 19		6		ns
4	A0 - 23 有効→ D0 - 15 入力	t <sub>AD</sub>		x (2 + ALE + W) - 46		116.5	ns
5	$\overline{\text{RD}}$ 立ち下がり→ D0 - 15 入力	t <sub>RD</sub>		x (1 + W) - 46		91.5	ns
6	$\overline{\text{RD}}$ Low パルス幅	t <sub>RR</sub>	x (1 + W) - 13		124.5		ns
7	$\overline{\text{RD}}$ 立ち上がり→ D0 - 15 保持	t <sub>HR</sub>	0		0		ns
8	$\overline{\text{RD}}$ 立ち上がり→ A0 - 23 出力	t <sub>RAE</sub>	x (1 + CSR + RWR) - 19		18.5		ns
9	$\overline{\text{WRLL}}$ / $\overline{\text{WRLH}}$ Low パルス幅	t <sub>WW</sub>	x (1 + W) - 13		124.5		ns
10	$\overline{\text{WRLL}}$ / $\overline{\text{WRLH}}$ 立ち下がり→D0-15 有効	t <sub>DO</sub>		19		19	ns
11	D0-15 有効→ $\overline{\text{WRLL}}$ / $\overline{\text{WRLH}}$ 立ち上がり	t <sub>DW</sub>	x (1 + W) - 19		118.5		ns
12	$\overline{\text{WRLL}}$ / $\overline{\text{WRLH}}$ 立ち上がり→ D0 - 15 保持	t <sub>WD</sub>	x (1 + CSR) - 19		6		ns
13	A0 - 23 有効→ WAIT 入力	t <sub>AW</sub>		x (1 + ALE + W - 2) - 46		79	ns
14	$\overline{\text{RD}}$ / $\overline{\text{WRLL}}$ / $\overline{\text{WRLH}}$ → WAIT 保持	t <sub>CW</sub>	x (W - 2) - 10	x (W - 2 + N) - 46	90	104	ns

(注)

ALE: ALE サイクル数

W : WAIT 数

N : 外部 WAIT 数 (2N/4N)

N は BUSCR レジスタにて、2N/4N を選択可能。上記tcw 計算式では N=2 (2N=2×2=4) を適用。

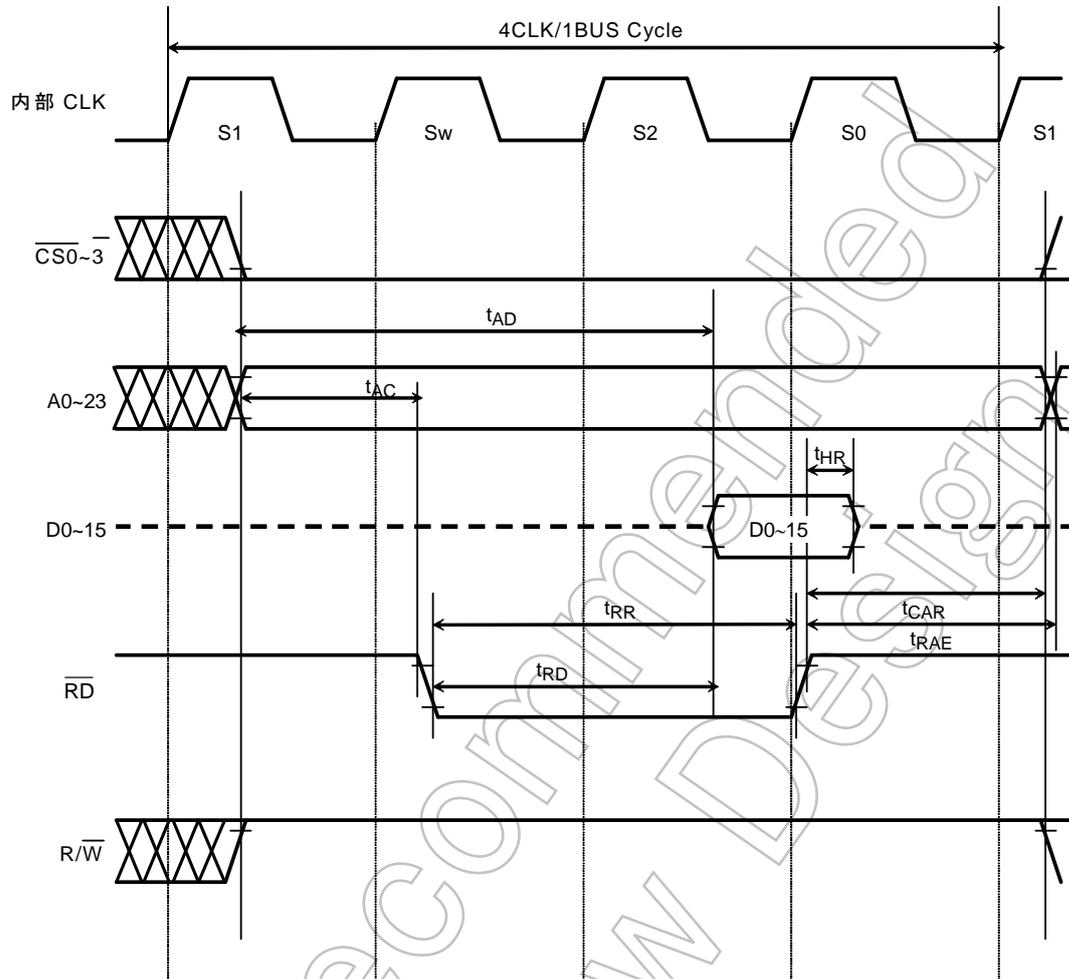
RWR:リード/ライトリカバリサイクル数

CSR :チップセレクトリカバリサイクル数

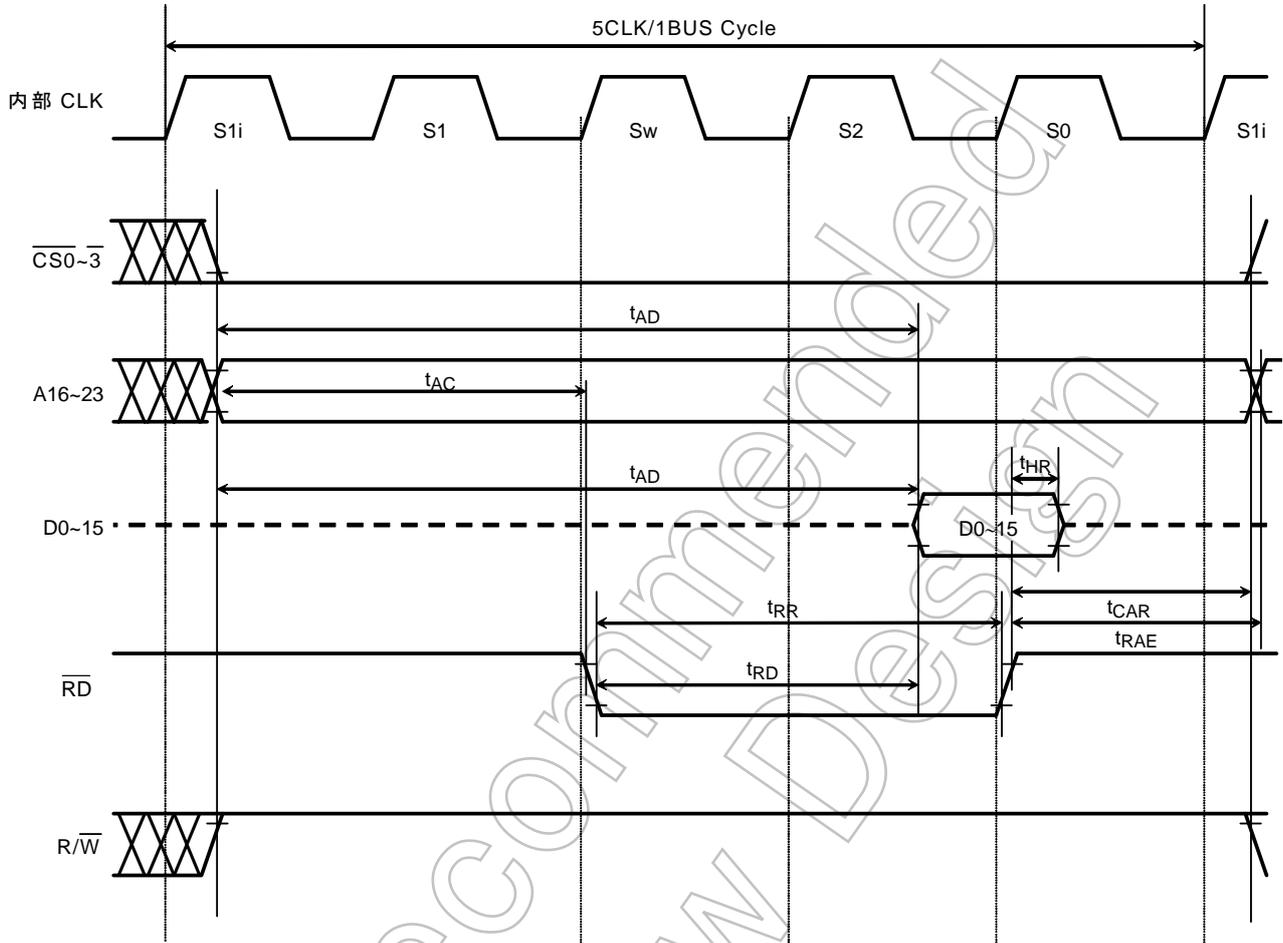
AC 測定条件 ・出力レベル: High 0.8DVCC3 V/Low 0.2DVCC3V, CL=30 pF

・入力レベル: High 0.7DVCC3 V/Low 0.3DVCC3V

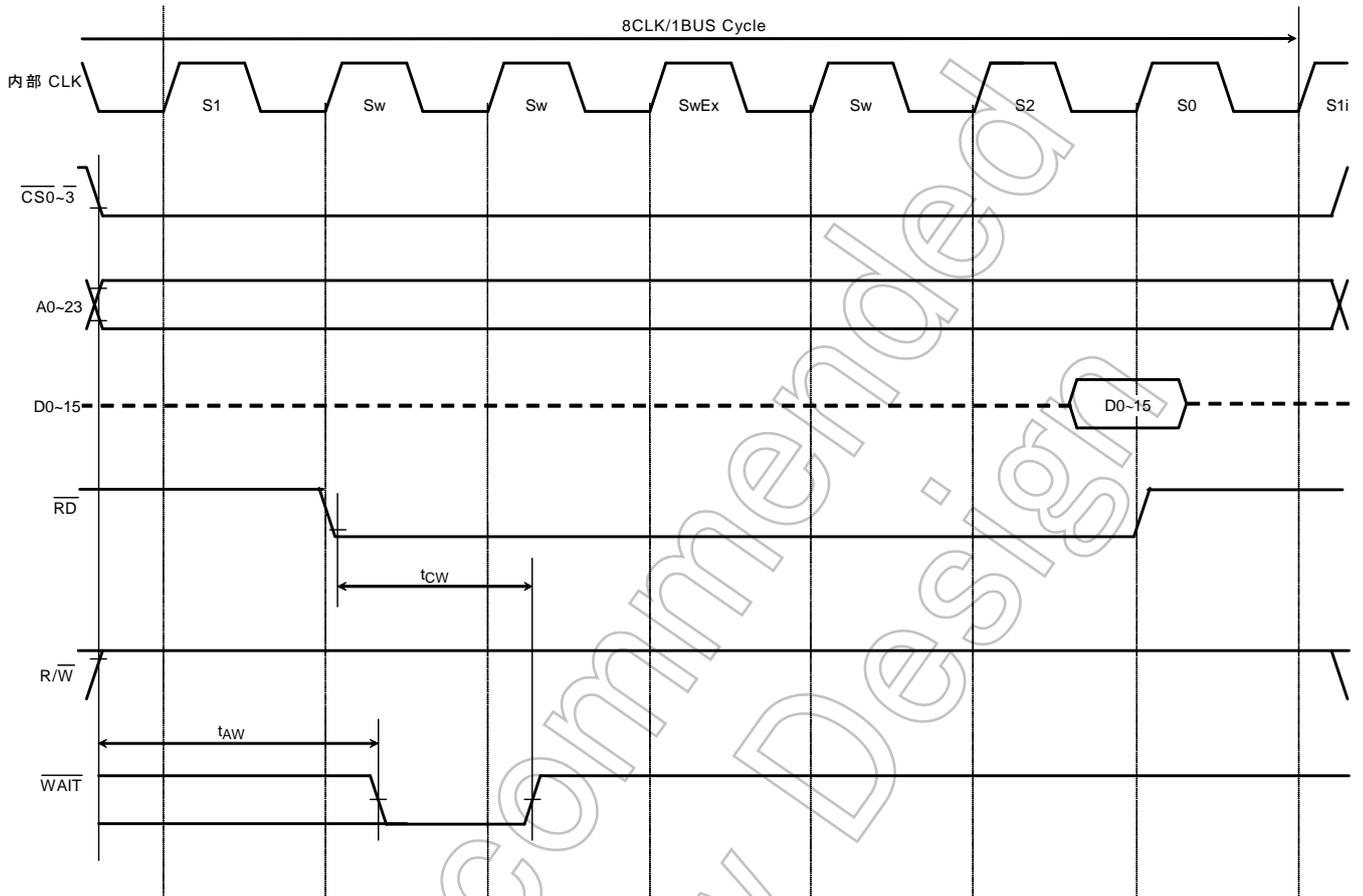
(1) リードタイミング (BUSCR <ALESEL> = “0”、1 ウェイト (内部ウェイト))



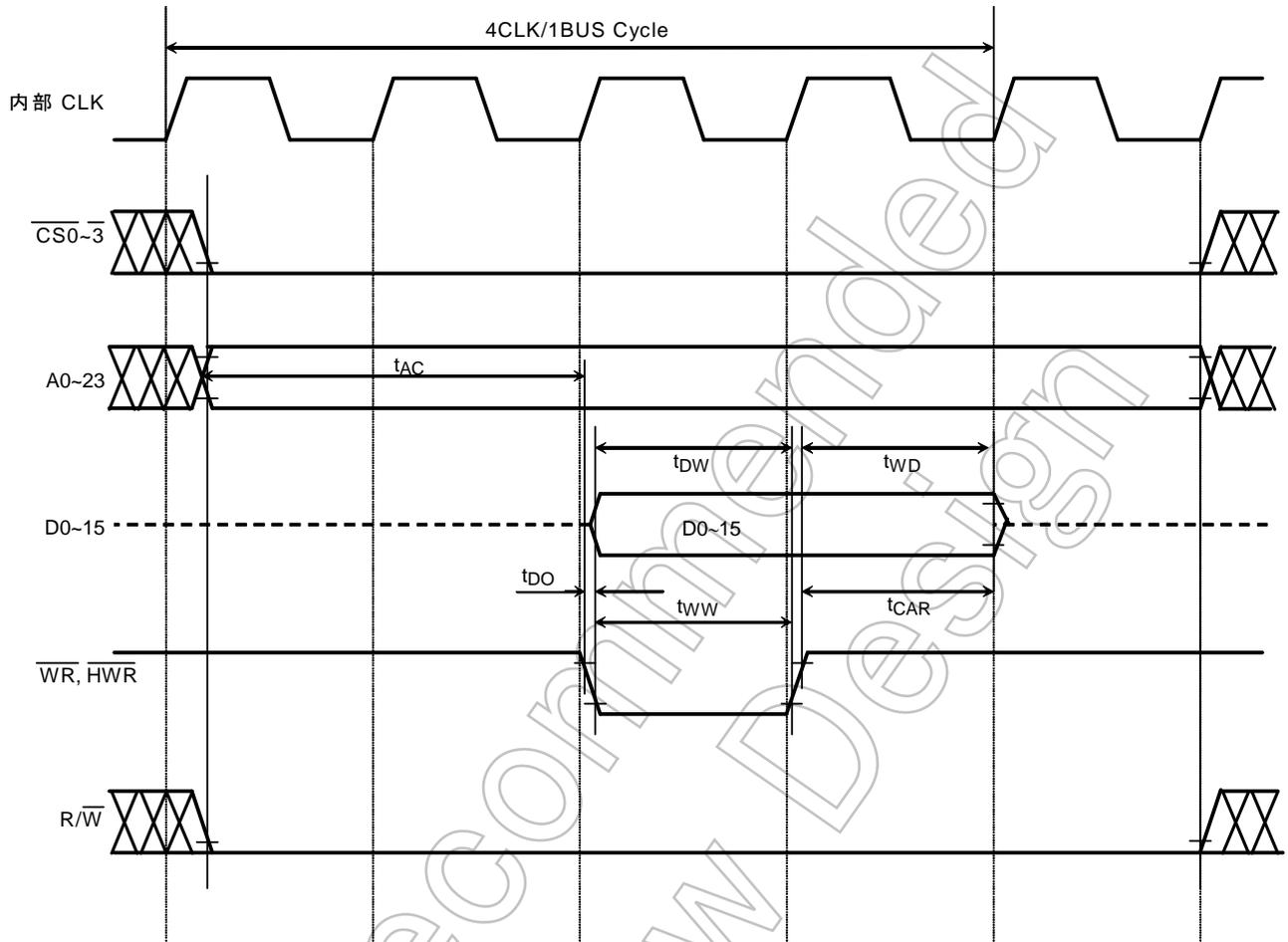
(2) リードタイミング (BUSCR <ALESEL> = “1”、1 ウェイト (内部ウェイト))



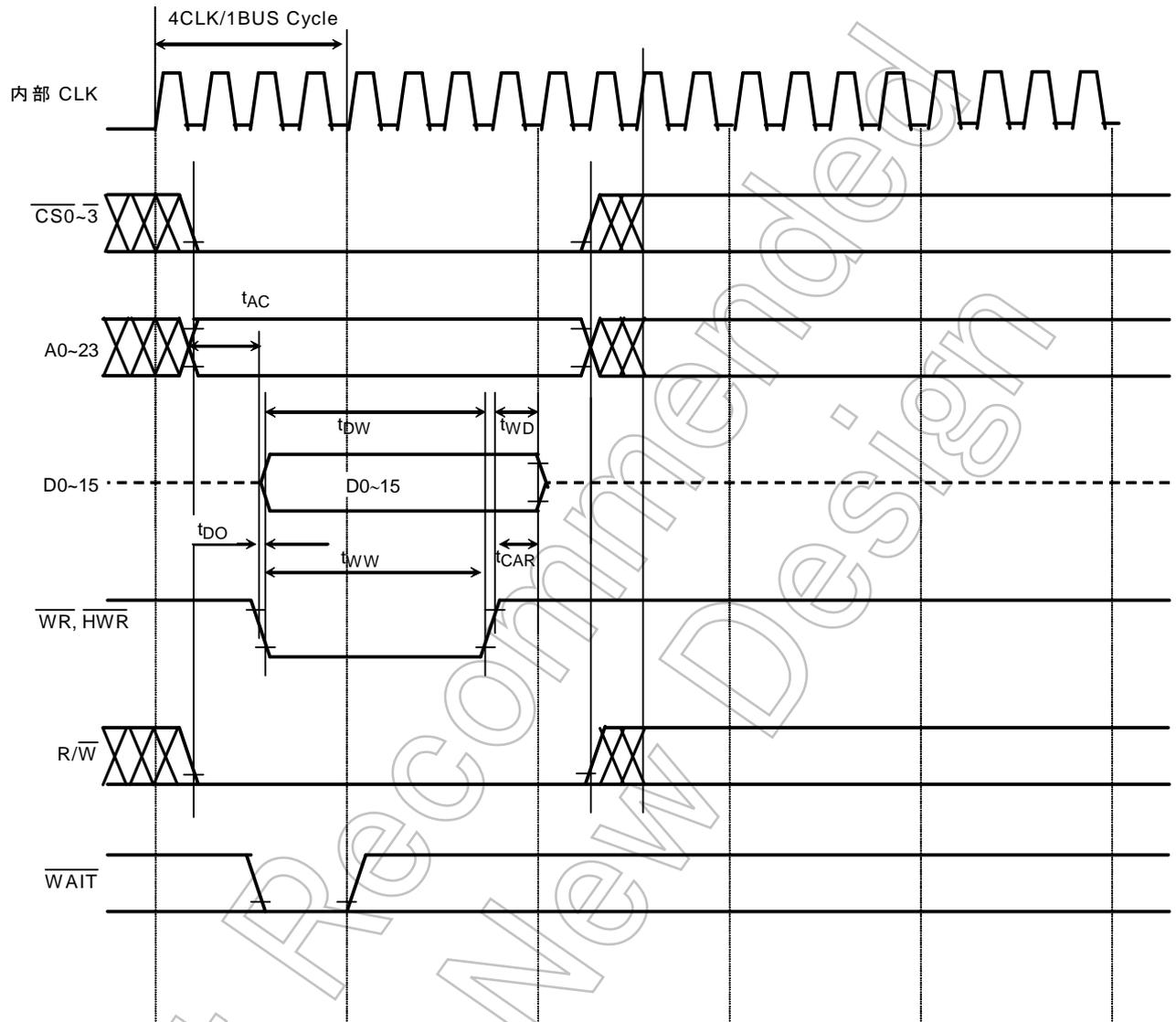
(3) リードタイミング (BUSCR <ALESEL> = "1"、4 ウェイト (外部 2+2N ウェイト、N = 1) )



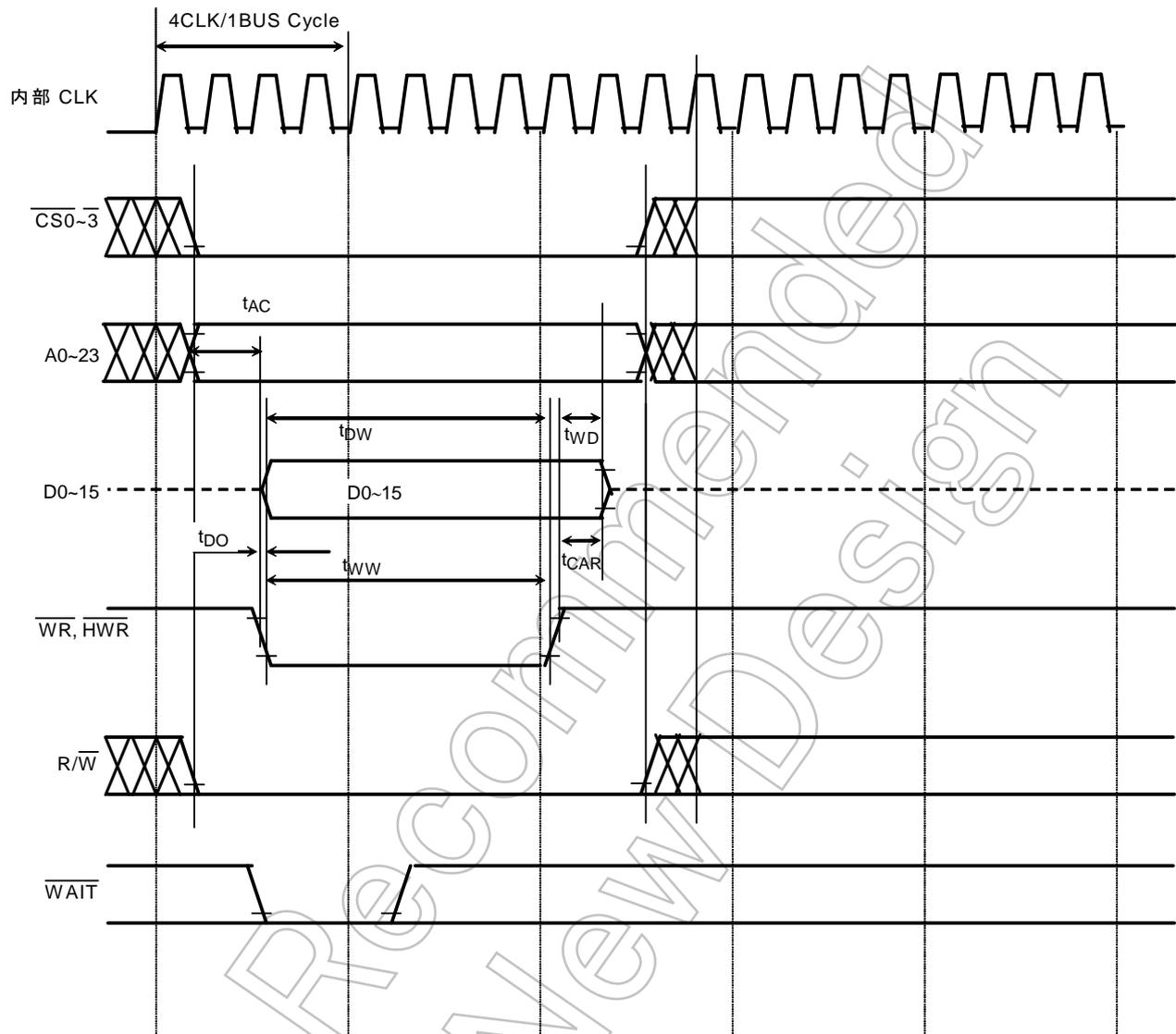
(4) ライトタイミング (BUSCR <ALESEL> = “1”、0 ウェイト)



(5) ライトタイミング (BUSCR <ALESEL> = “1”、自動2ウェイト+2N (N=1))



(6) ライトタイミング (BUSCR <ALESEL> = “1”、自動3ウェイト+2N (N=1))



## 27.6.2 マルチプレクスバスモード

DVCC3=AVCC3n= 2.7V~3.6V, Ta = -20~85°C

BUSCR&lt;ALESEL&gt; = "01" (ALE = 2 サイクル)

BxxCS&lt;BxW&gt; = "0\_1010" (WAIT = 10 サイクル)

BxxCS&lt;BxGSCV&gt; = "001" (チップセレクトリカバリ = 1 サイクル挿入)

BxxCS&lt;BxRCV&gt; = "01" (リードリカバリ = 1 サイクル挿入)

BxxCS&lt;BxWCV&gt; = "01" (ライトリカバリ = 1 サイクル挿入)

No.	項目	記号	計算式		80MHz (fsys)(注)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t <sub>sys</sub>	x		12.5		ns
2	A0-15 有効→ALE 立ち下がり	t <sub>AL</sub>	x(1 + ALE) - 19		18.5		ns
3	ALE 立ち下がり→A0-15 保持	t <sub>LA</sub>	x - 12		0.5		ns
4	ALE High パルス幅	t <sub>LL</sub>	x(1 + ALE) - 6		31.5		ns
5	ALE 立ち下がり →RD / WRLL / WRLH 立ち下がり	t <sub>LC</sub>	x - 12		0.5		ns
6	RD / WRLL / WRLH 立ち上がり →ALE 立ち上がり	t <sub>CL</sub>	x(1 + CSR + RWR) - 19		18.5		ns
7	A0-15 有効 →RD / WRLL / WRLH 立ち下がり	t <sub>ACL</sub>	x(1 + ALE) - 19		18.5		ns
8	A16-23 有効 →RD / WRLL / WRLH 立ち下がり	t <sub>ACH</sub>	x(1 + ALE) - 19		18.5		ns
9	RD / WRLL / WRLH 立ち上がり →A16-23 保持	t <sub>CAR</sub>	x(1 + CSR) - 19		6		ns
10	A0-15 有効→D0-15 入力	t <sub>ADL</sub>		x(2 + ALE + W) - 46		129	ns
11	A16-23 有効→D0-15 入力	t <sub>ADH</sub>		x(2 + ALE + W) - 46		129	ns
12	RD 立ち下がり→D0-15 入力	t <sub>RD</sub>		x(1 + W) - 46		91.5	ns
13	RD Low パルス幅	t <sub>RR</sub>	x(1 + W) - 13		124.5		ns
14	RD 立ち上がり→D0-15 保持	t <sub>HR</sub>	0		0		ns
15	RD 立ち上がり→A0-15 出力	t <sub>RAE</sub>	x(1 + CSR + RWR) - 19		18.5		ns
16	WRLL / WRLH Low パルス幅	t <sub>WW</sub>	x(1 + W) - 13		124.5		ns
17	D0-15 有効→WRLL / WRLH 立ち上がり	t <sub>DW</sub>	x(1 + W) - 19		118.5		ns
18	WRLL / WRLH 立ち上がり→D0-15 保持	t <sub>WD</sub>	x(1 + CSR) - 19		6		ns
19	A16-23 有効→WAIT 入力	t <sub>AWH</sub>		x(1 + ALE + W - 2) - 46		91.5	ns
20	A0-15 有効→WAIT 入力	t <sub>AWL</sub>		x(1 + ALE + W - 2) - 46		91.5	ns
21	RD / WRLL / WRLH → WAIT 保持	t <sub>CW</sub>	x(W - 2) - 10	x(W - 2 + N) - 46	90	104	ns

(注) ALE: ALE サイクル数

W : WAIT 数

N : 外部 WAIT 数 (2N/4N)

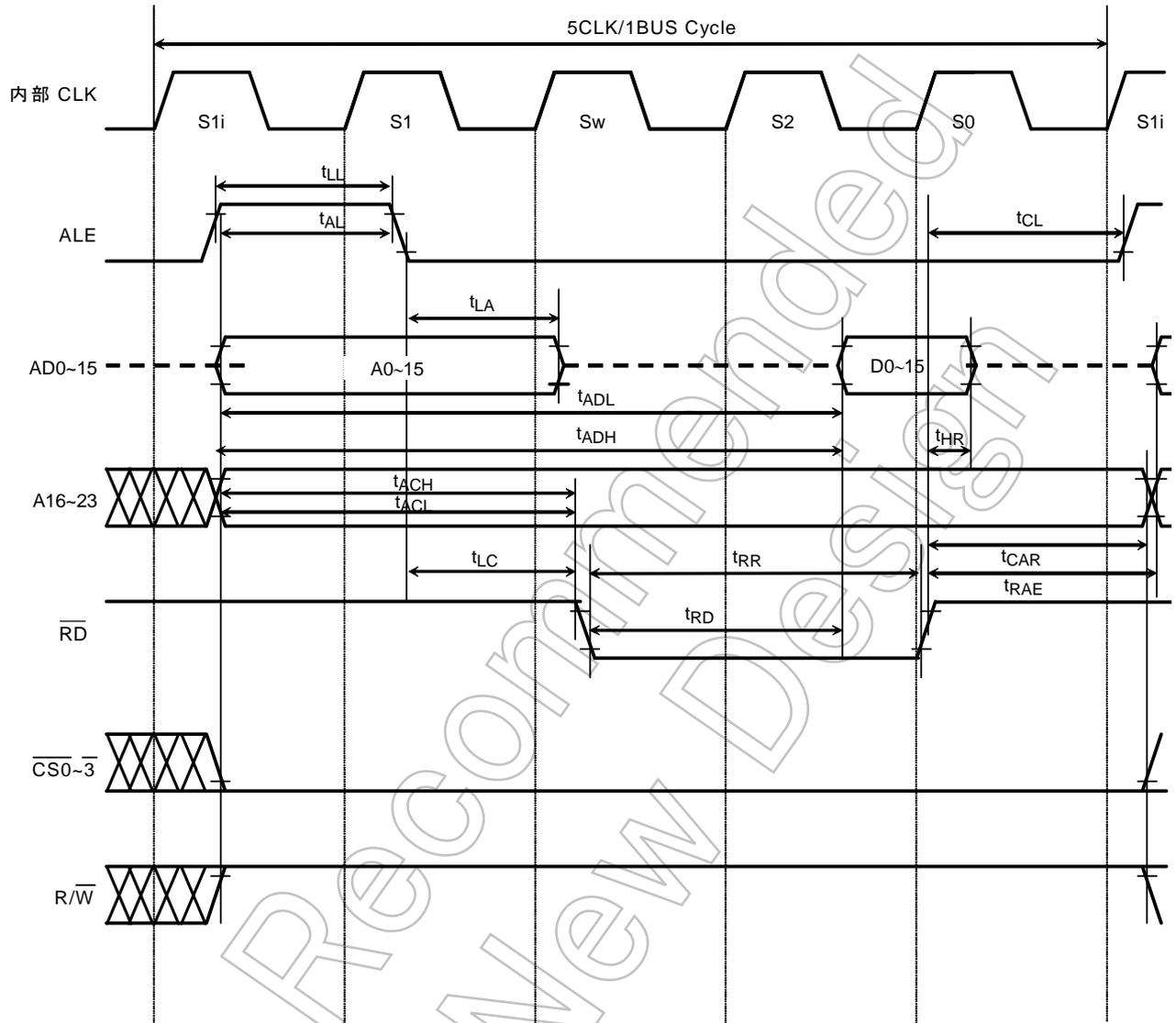
N は BUSCR レジスタにて、2N/4N を選択可能。上記tcw 計算式では N=2(2N=2×2=4)を適用。

RWR:リード/ライトリカバリサイクル数

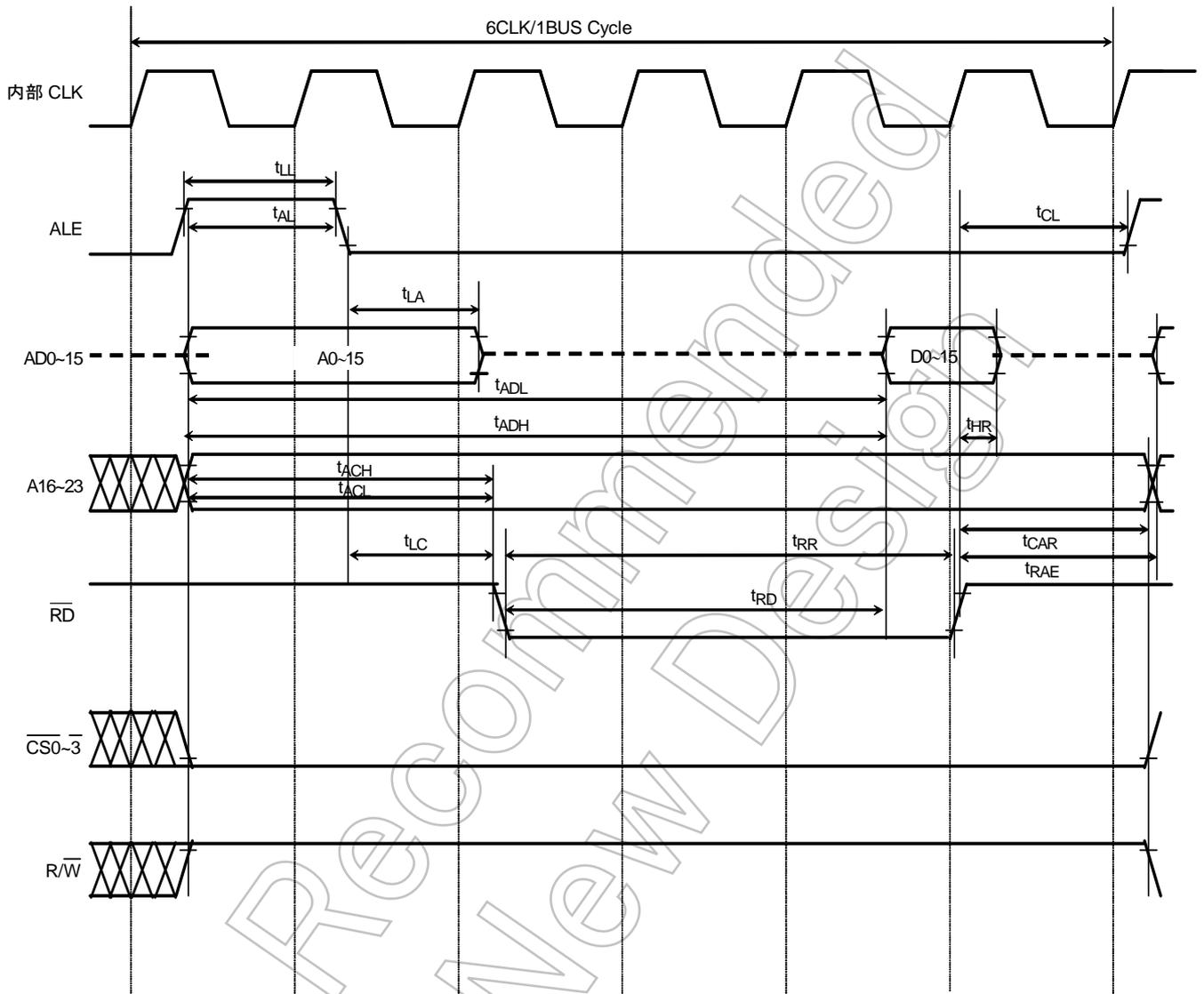
CSR :チップセレクトリカバリサイクル数

AC 測定条件 ・ 出力レベル: High 0.8DVCC3 V/Low 0.2DVCC3V, CL=30 pF  
 ・ 入力レベル: High 0.7DVCC3 V/Low 0.3DVCC3V

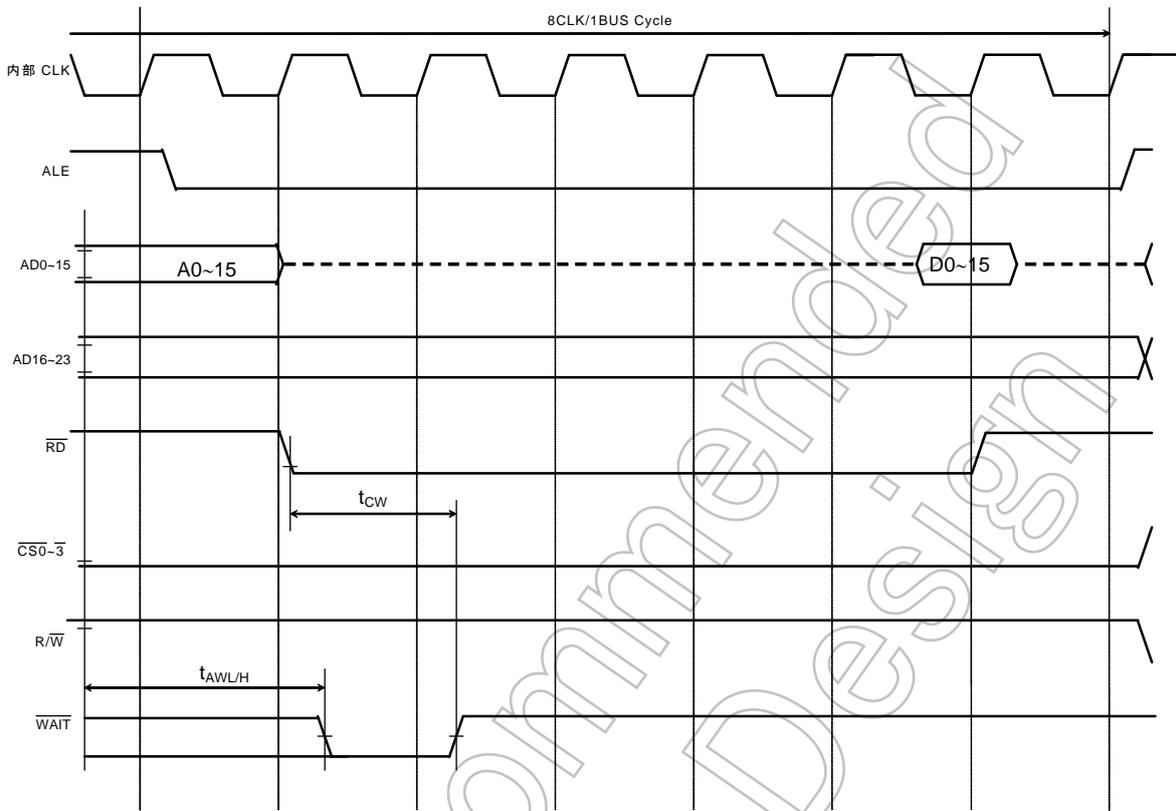
(1) リードタイミング (ALE = 1 クロック、1 ウェイト (内部ウェイト))



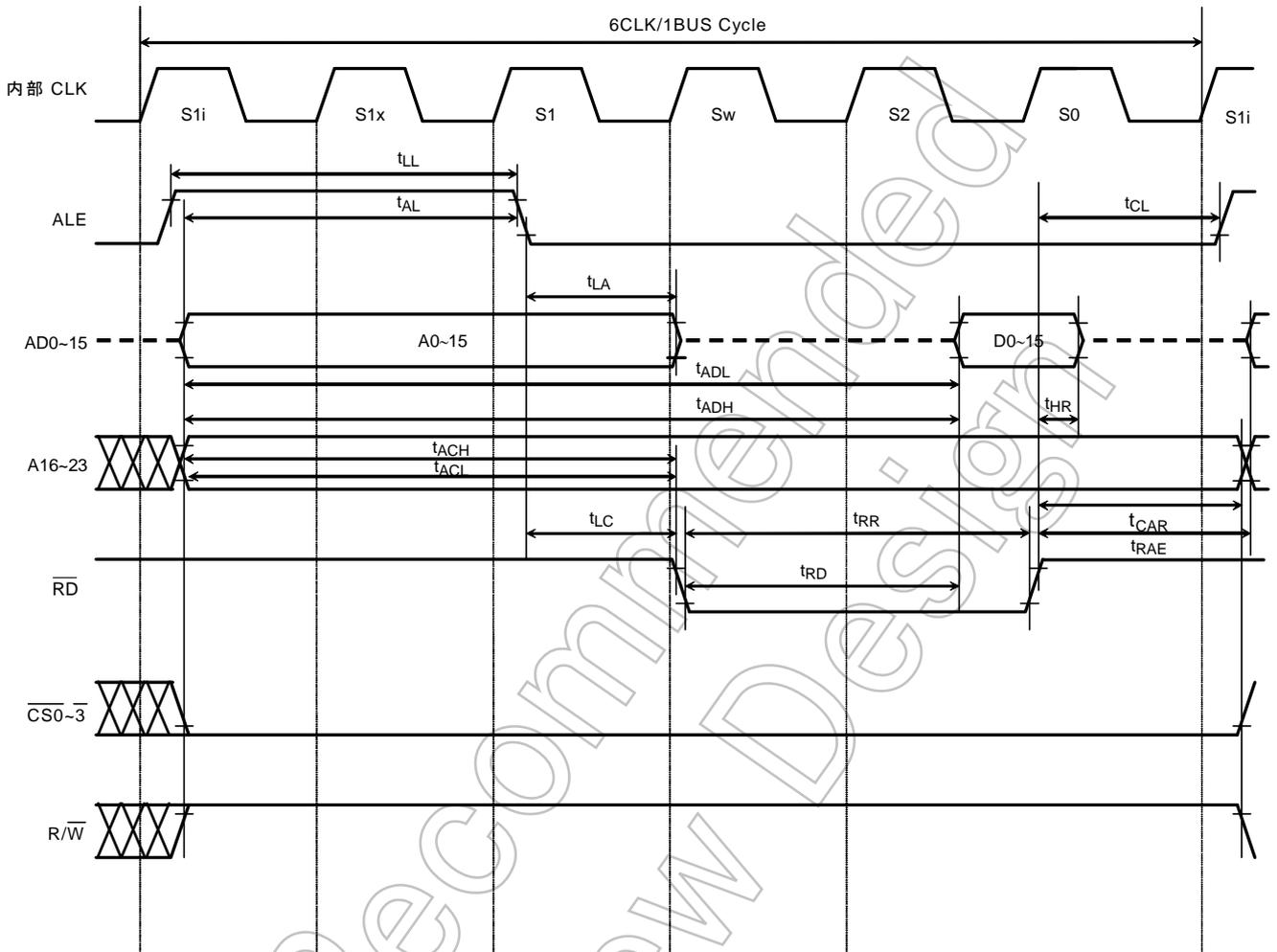
(2) リードタイミング (ALE = 1 クロック、自動 2 ウェイト (内部ウェイト))



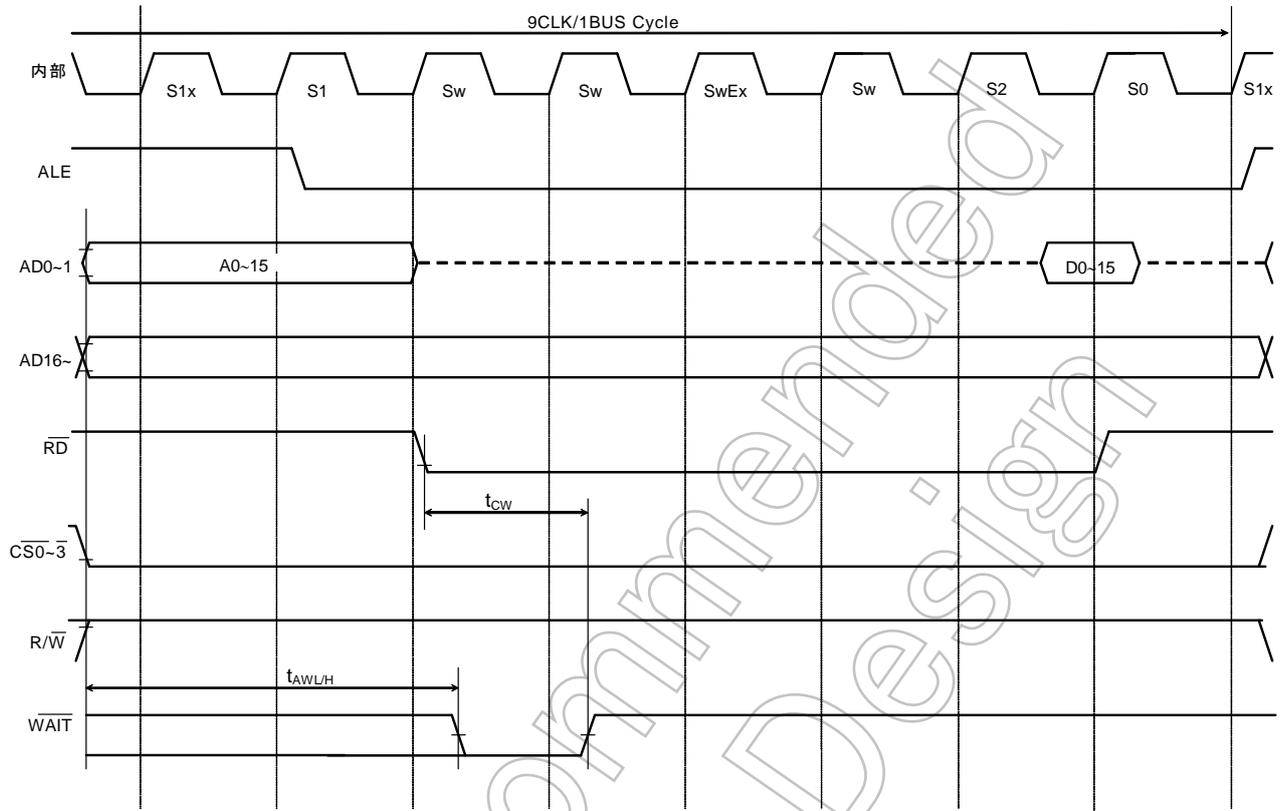
(3) リードタイミング (ALE = 1 クロック、4 ウェイト (外部 2+2N ウェイト、N = 1))



(4) リードタイミング (ALE = 2 クロック、1 ウェイト (内部ウェイト))

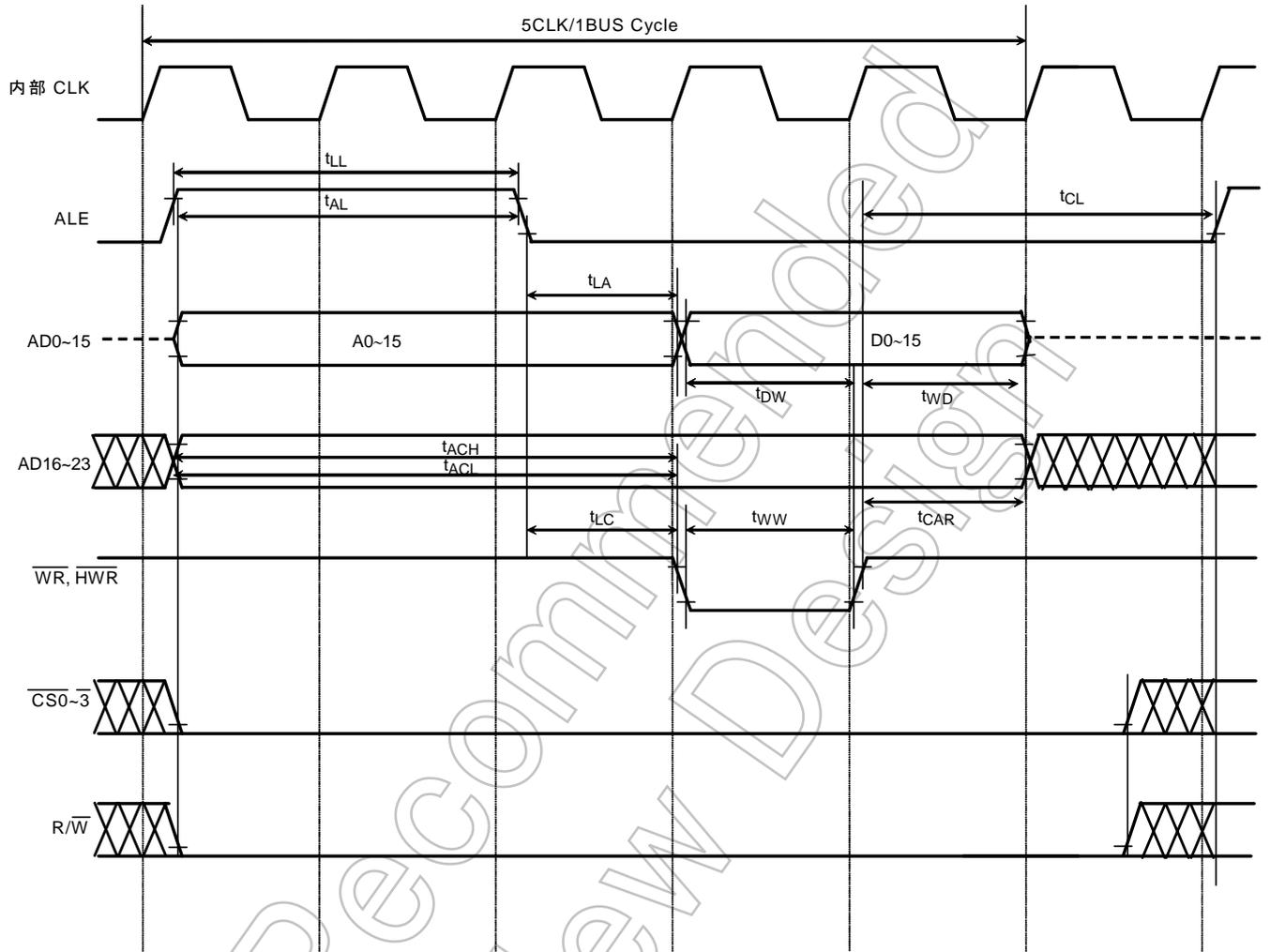


(5) リードタイミング (ALE = 2 クロック、4 ウェイト (外部 2+2N ウェイト、N = 1))

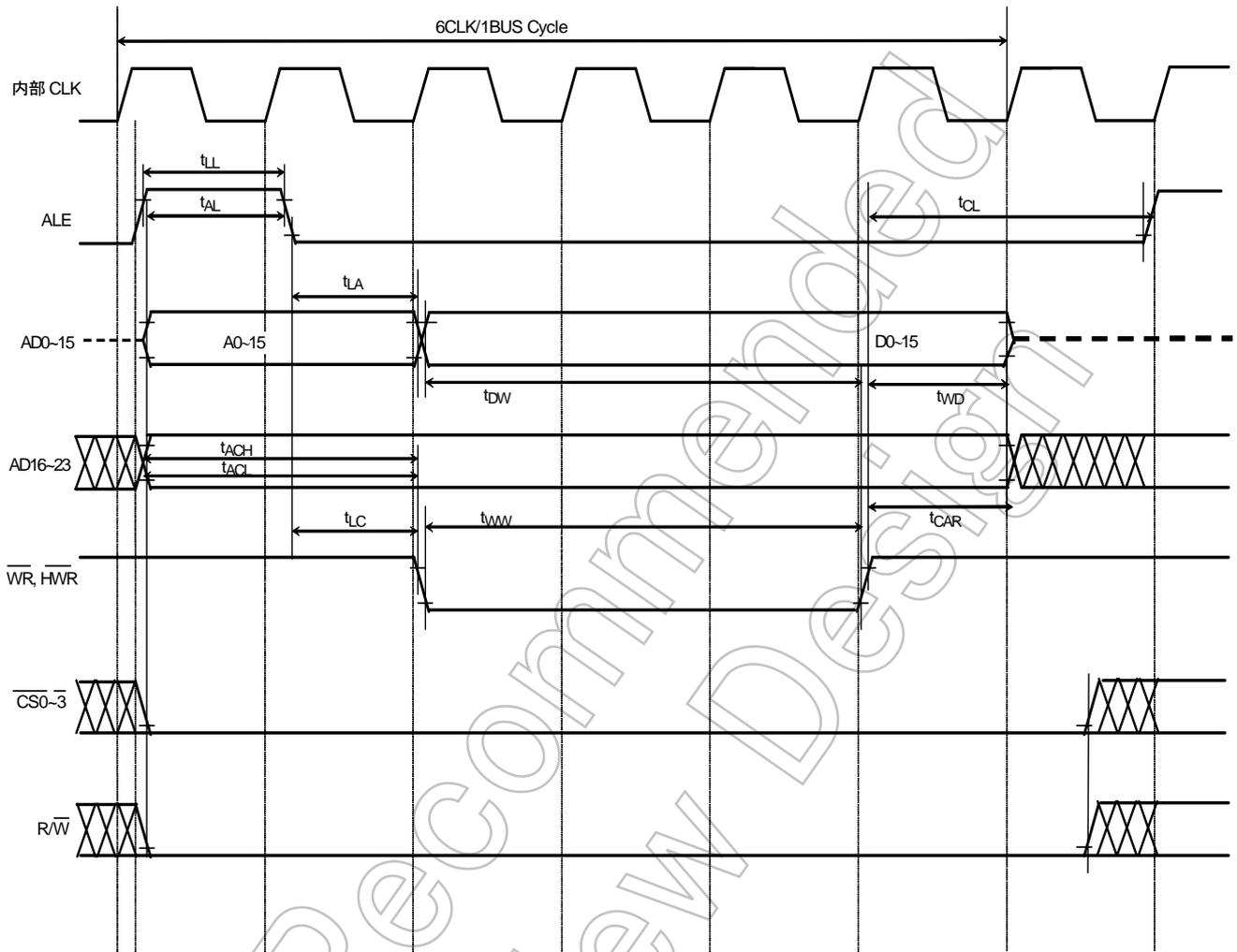


Not Recommended for New Design

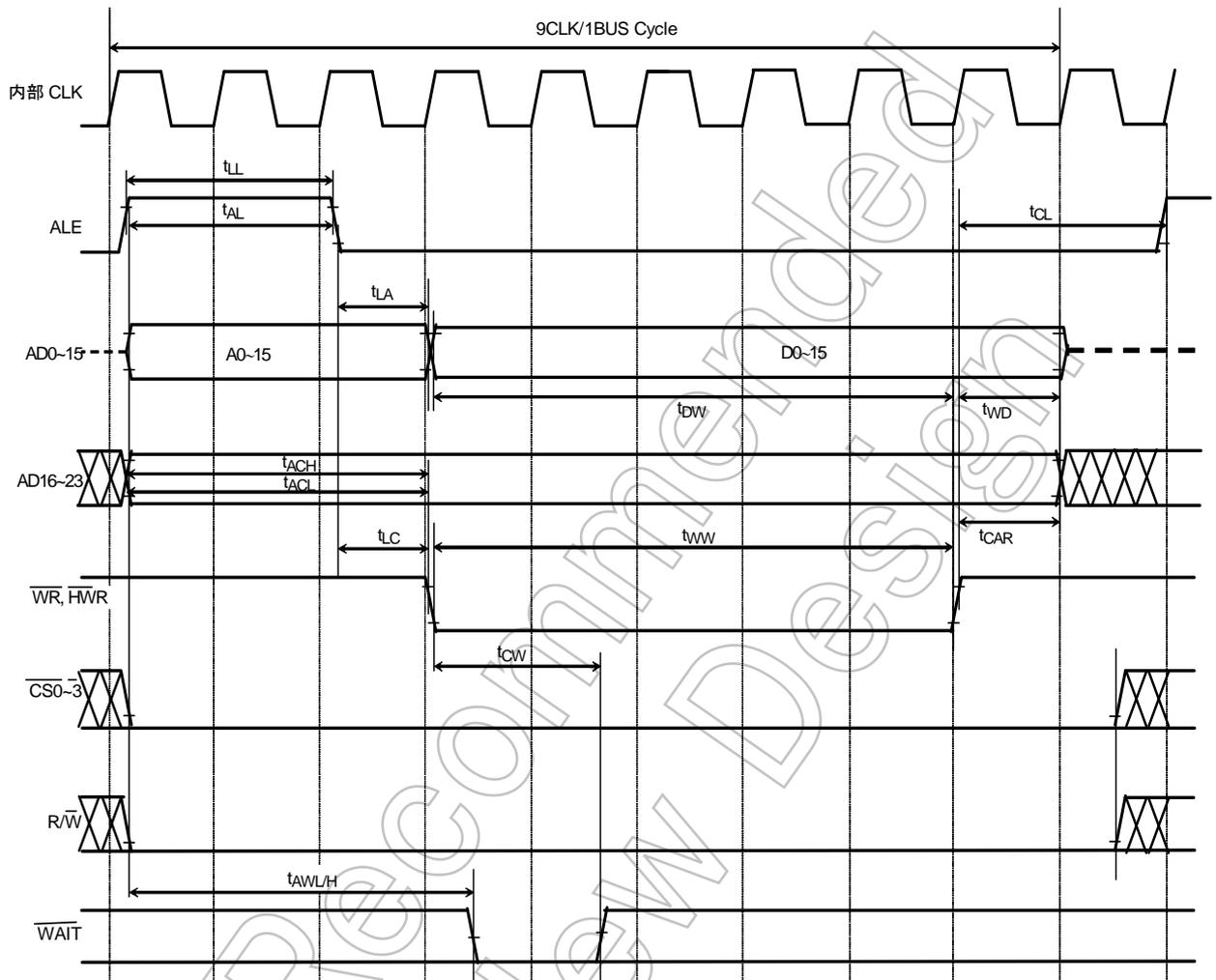
(6) ライトタイミング (ALE = 2 クロック、0 ウェイト)



(7) ライトタイミング (ALE = 1 クロック、自動 2 ウェイト (内部ウェイト))



(8) ライトタイミング (ALE = 2 クロック、4 ウェイト(外部 2+2N ウェイト、N = 1))

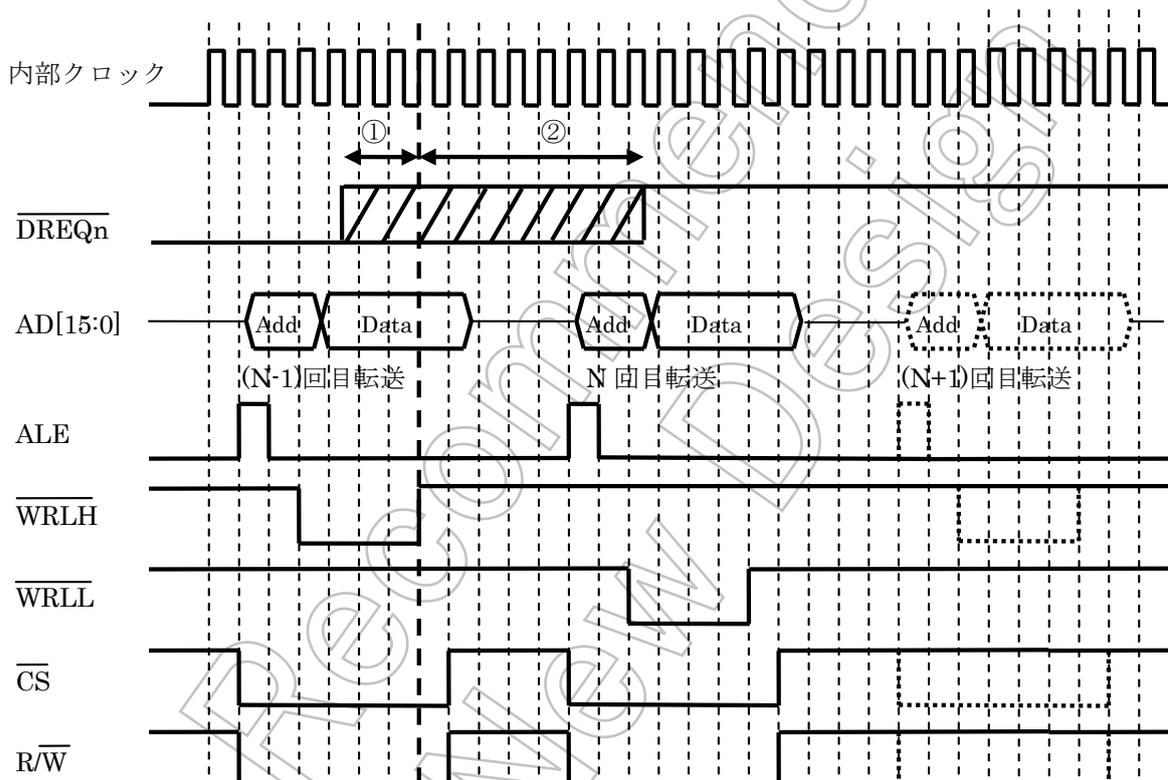


### 27.7 DMAリクエストを使用した転送

マルチプレクスバスモードで、内蔵RAMと外部デバイスとの転送例を示します。

- ・ 16ビットバス幅、リカバリタイムなし
- ・ DMA転送モードはレベルモード
- ・ 転送単位 (TrSiz) 16bit、デバイスポートサイズ (DPS) 16bit
- ・ ソース/ディスティネーション : 内蔵RAM/外部デバイス

内蔵RAM to 外部デバイス (ライト時) (Mem to Mem転送) のタイミングを図に示します。



- ① N回目の転送が確実に実行されるための条件
- ② N+1回目の転送が行われないための条件

BUSCR<ALESEL> = "00" (ALE = 1 サイクル)

BxxCS<BxW> = "0\_0001" (WAIT = 1 サイクル)

項目	記号	計算式		80MHz (fsys)		単位
		①Min	②Max	Min	Max	
RD 立ち下がり→DREQn の デアサート(外部デバイス to 内蔵RAM)	tDREQ_r	$(W + 1)x$	$(2W + ALE + 8)x - 51$	25	86.5	ns
WRLL / WRLH 立ち上がり→DREQn の デアサート(内蔵RAM to 外部デバイス)	tDREQ_w	$-(W + 2)x$	$(W + 5)x - 51.8$	-37.5	23.2	ns

DVCC3 = 2.7V~3.6V, Ta = -20~85°C

## 27.8 シリアルチャネルタイミング (SIO)

## (1) I/O インタフェースモード (DVCC3 = 2.7V~3.6V)

表中の  $x$  はシステムクロック  $f_{sys}$  を 2 分周したクロック  $f_{sys}/2$  の周期を表します。この周期は、クロックギアの設定に依存します。

## ① SCLK 入力モード (SI00~SI02)

項目	記号	計算式		f <sub>sys</sub> = 80 MHz		単位
		Min	Max	Min	Max	
HSCLK 周期	t <sub>SCY</sub>	6x		150		ns
SCLK クロック High 幅(入力)	t <sub>SCH</sub>	t <sub>SCY</sub> / 2		75		
SCLK クロック Low 幅(入力)	t <sub>SCL</sub>	t <sub>SCY</sub> / 2		75		
Output Data ← SCLK 立ち上がり/立ち下がり (注 1) (注 2)	t <sub>OSS</sub>	t <sub>SCY</sub> / 2 - 2x - 45		-20		
SCLK 立ち上がり → Output Data 保持/立ち下がり (注 2)	t <sub>OHS</sub>	t <sub>SCY</sub> / 2		75		
有効 Data 入力 ← SCLK 立ち上がり/立ち下がり (注 2)	t <sub>SRD</sub>	30		30		
SCLK 立ち上がり → Input Data 保持/立ち下がり (注 2)	t <sub>HSR</sub>	x + 30		55		

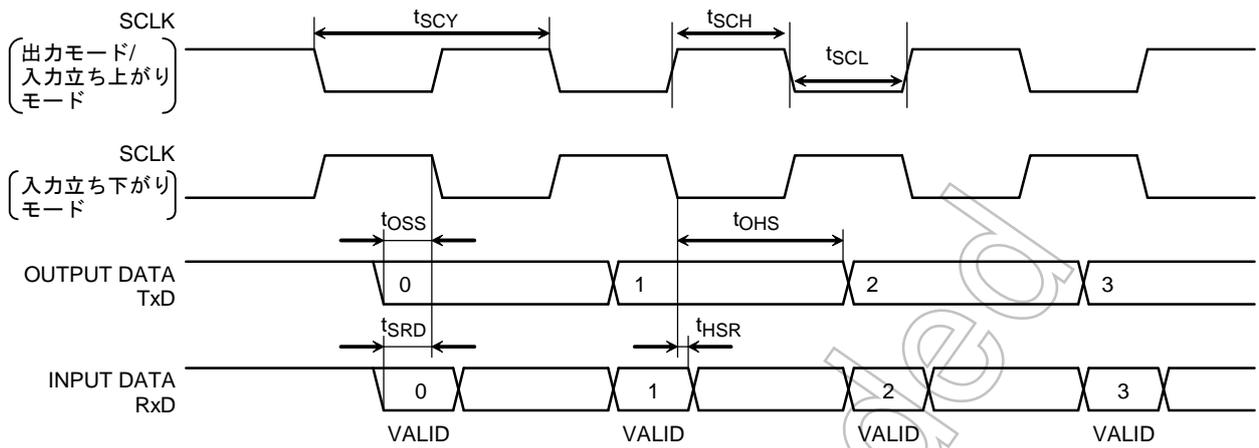
(注 1) f<sub>sys</sub> の値によりマイナスとなる場合には、入力クロック周波数/出力クロックレートの調整により t<sub>SCY</sub> を調整してください。

(注 2) SCLK 立ち上がり/立ち下がりとは、CLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

## ② SCLK 出力モード (SI00~SI02)

項目	記号	計算式		f <sub>sys</sub> = 80 MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t <sub>SCY</sub>	4x		100		ns
Output Data ← SCLK 立ち上がり	t <sub>OSS</sub>	t <sub>SCY</sub> / 2 - 20		45		
SCLK 立ち上がり → Output Data 保持	t <sub>OHS</sub>	t <sub>SCY</sub> / 2 - 20		45		
有効 Data 入力 ← SCLK 立ち上がり	t <sub>SRD</sub>	45		45		
SCLK 立ち上がり → Input put Data 保持	t <sub>HSR</sub>	0		0		

(注 1) "x" は、SIO の動作クロック (IPH=f<sub>sys</sub>/2) を示します。f<sub>sys</sub> の値によりマイナスとなる場合には、入力クロック周波数/出力クロックレートの調整により、t<sub>SCY</sub> を調整してください。



Not Recommended for New Design

## 27.9 高速シリアルチャネルタイミング (HSIO)

## (1) I/O インタフェースモード (DVCC3 = 2.7V~3.6V)

表中の x はシステムクロック  $f_{sys}$  の周期を表します。この周期は、クロックギアの設定に依存します。

## ① HSCLK 入力モード (HSIO0~2)

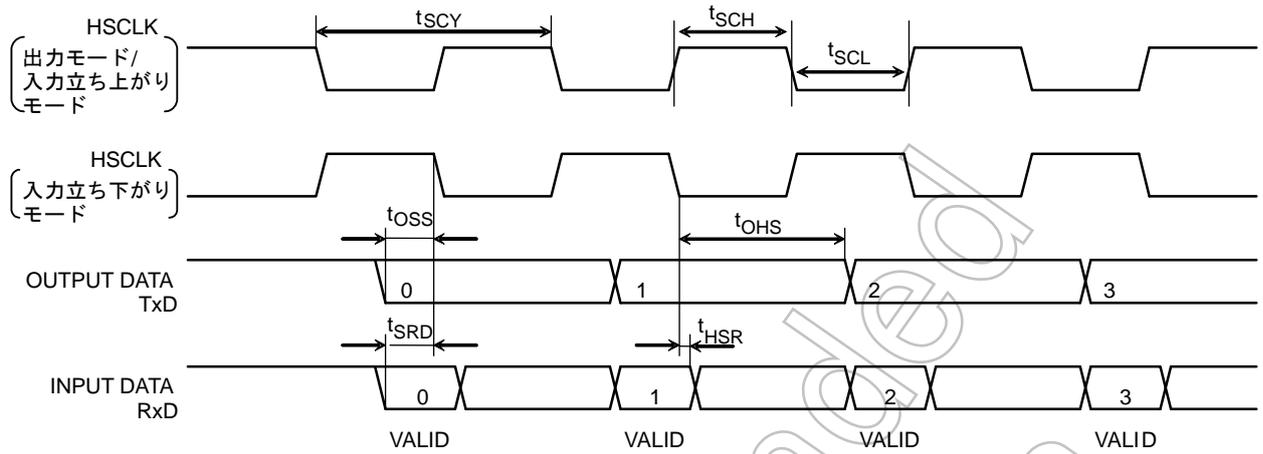
項目	記号	計算式		80MHz		単位
		Min	Max	Min	Max	
HSCLK 周期	$t_{SCY}$	8x		100		ns
HSCLK クロック High 幅(入力)	$t_{SCH}$	$t_{SCY} / 2$		50		
HSCLK クロック Low 幅(入力)	$t_{SCL}$	$t_{SCY} / 2$		50		
Output Data ← HSCLK 立ち上がり / 立ち下がり (注1)(注2)	$t_{OSS}$	負荷容量 50pF 以下	$t_{SCY} / 2 - 3x - 45$	-32.5		
		負荷容量 30pF 以下	$t_{SCY} / 2 - 3x - 36$	-23.5		
HSCLK 立ち上がり → Output Data 保持 / 立ち下がり (注1)	$t_{OHS}$	$t_{SCY} / 2$		50		
有効 Data 入力 ← HSCLK 立ち上がり / 立ち下がり (注1)	$t_{SRD}$	30		30		
HSCLK 立ち上がり → Input Data 保持 / 立ち下がり (注1)	$t_{HSR}$	$x / 2 + 30$		36.25		

(注1) SCLK 立ち上がり / 立ち下がりとは、SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

(注2) 計算式によりマイナス値となる場合は、シリアルクロックを落として使用してください。

## ② HSCLK 出力モード (HSIO0~2)

項目	記号	計算式		80MHz		単位
		Min	Max	Min	Max	
HSCLK 周期 (プログラマブル)	$t_{SCY}$	4x		50		ns
Output Data ← HSCLK 立ち上がり	$t_{OSS}$	$t_{SCY} / 2 - 20$		5		
HSCLK 立ち上がり → Output Data 保持	$t_{OHS}$	$t_{SCY} / 2 - 20$		5		
有効 Data 入力 ← HSCLK 立ち上がり	$t_{SRD}$	負荷容量 50pF 以下	$x + 45$	57.5		
		負荷容量 30pF 以下	$x + 36$	48.5		
HSCLK 立ち上がり → Input put Data 保持	$t_{HSR}$	0		0		



Not Recommended for New Design

## 27.10 シリアルバスインターフェース (I2C)

## (1) I2C モード

n は SBIInCR レジスタの SCK フィールドで指定した SCL 出力クロックの周波数選択値です。

項目	記号	計算式		標準モード		ファーストモード		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	$t_{SCL}$	0		0	100	0	400	kHz
スタートコンディション保持	$t_{HD:STA}$			4.0		0.6		$\mu$ s
SCL クロック Low 幅 (入力) (注1)	$t_{LOW}$			4.7		1.3		$\mu$ s
SCL クロック High 幅 (入力) (注2)	$t_{HIGH}$			4.0		0.6		$\mu$ s
再スタートコンディション セットアップ時間	$t_{SU:STA}$	ソフト (注5)		4.7		0.6		$\mu$ s
データ保持時間(入力) (注3,4)	$t_{HD:DAT}$			0.0		0.0		$\mu$ s
データセットアップ時間	$t_{SU:DAT}$			250		100		ns
ストップコンディション セットアップ時間	$t_{SU:STO}$			4.0		0.6		$\mu$ s
ストップコンディションとスタートコンディ ション間のバスマージン時間	$t_{BUF}$	ソフト (注5)		4.7		1.3		$\mu$ s

(注1) SCL クロック LOW 幅(出力) :  $(2^{n-1} + 58) / (f_{sys}/2)$

(注2) SCL クロック HIGH 幅(出力) :  $(2^{n-1} + 12) / (f_{sys}/2)$

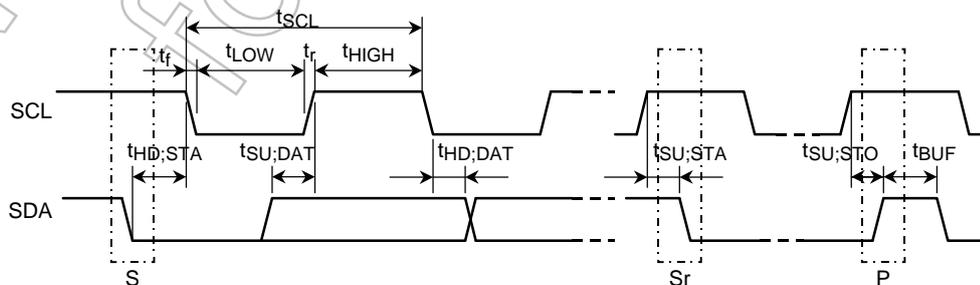
通信規格上、標準モード/高速モードの最高速は 100kHz/400kHz です。内部 SCL クロックの周波数の設定は、使用される  $f_{sys}$  と上記計算式にて設定されますのでご注意願います。

(注3) データ保持時間 (出力) は内部 SCL から 12X の時間です。

(注4) フィリップス仕様では内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立下り時の不安定状態を回避する事になっていますが、本 DEVICE では対応していません。また SCL のエッジスロープコントロール機能をもっていません。従って、SCL/SDA の  $t_r/t_f$  を含めて BUS 上で上表のデータ保持時間 (入力) を守る様に設計してください。

(注5) ソフトウェアに依存します。

(注6) フィリップス仕様では、ファーストモードデバイスへの電源供給が切れた場合、バスラインを妨げることがないように SDA および SCL 信号の I/O ピンと電源との接続が外れるようにする必要がありますが、本デバイスでは対応していません。



S: スタートコンディション  
Sr: 再スタートコンディション  
P: ストップコンディション

## (2) クロック同期式 8 ビット SIO モード

表中の  $x$  はシステムクロック  $f_{sys}$  を 2 分周したクロック  $f_{sys}/2$  の周期を表します。

$n$  は SBI0CR レジスタの SCK フィールドで指定した SCL 出力クロックの周波数選択値です。

## SCK デューティ 50% の場合

## ① SCK 入力モード

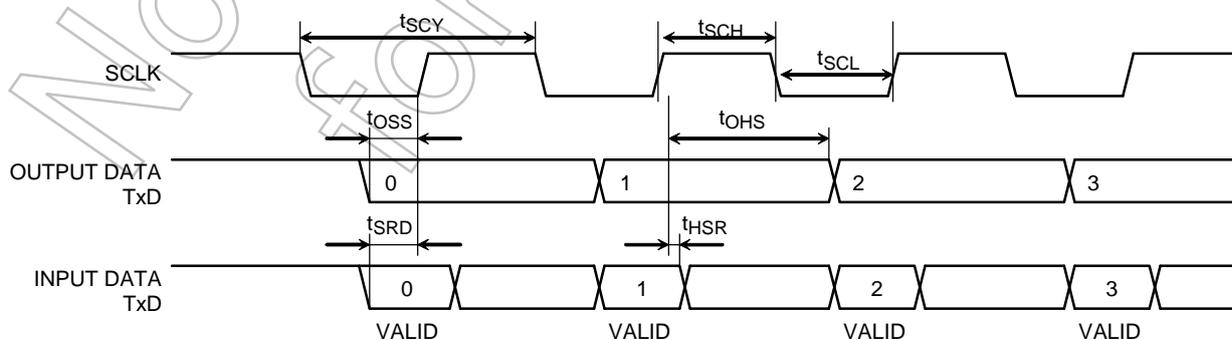
項目	記号	計算式		80MHz		単位
		Min	Max	Min	Max	
SCK 周期	$t_{SCY}$	$16x$		200		ns
SCK クロック High 幅(入力)	$t_{SCH}$	$t_{SCY}/2$		100		ns
SCK クロック Low 幅(入力)	$t_{SCL}$	$t_{SCY}/2$		100		ns
Output Data ← SCK 立ち上がり	$t_{OSS}$	$t_{SCY}/2 - 3x - 45$		17.5		ns
SCK 立ち上がり → Output Data 保持	$t_{OHS}$	$t_{SCY}/2 + x$		112.5		ns
有効 Data 入力 ← SCK 立ち上がり	$t_{SRD}$	$30 - x$		17.5		ns
SCK 立ち上がり → Input Data 保持	$t_{HSR}$	$2x + 30$		30		ns

## ② SCK 出力モード

項目	記号	計算式		80MHz		単位
		Min	Max	Min	Max	
SCK 周期(プログラマブル)	$t_{SCY}$	$16x$ (注 1)		200		ns
Output Data ← SCK 立ち上がり	$t_{OSS}$	$(t_{SCY}/2) - 20$ (注 2)		80		ns
SCK 立ち上がり → Output Data 保持	$t_{OHS}$	$(t_{SCY}/2) - 20$		80		ns
有効 Data 入力 ← SCK 立ち上がり	$t_{SRD}$	$X + 45$		45		ns
SCK 立ち上がり → Input Data 保持	$t_{HSR}$	0		0		ns

(注 1) 自動 wait 後の SCK 周期が  $14x$  になります。

(注 2) 自動 wait 後の S0 データ出力が、 $t_{sys}/2 - x - 20$  になる場合があります。



## 27.11 イベントカウンタ

表中の x はシステムクロック  $f_{sys}$  の周期を表します。

項目	記号	計算式		80 MHz		単位
		Min	Max	Min	Max	
クロック低レベルパルス幅	$t_{VCKL}$	$2X + 100$		125		ns
クロック高レベルパルス幅	$t_{VCKH}$	$2X + 100$		125		ns

## 27.12 キャプチャ

表中の x はシステムクロック  $f_{sys}$  の周期を表します。

項目	記号	計算式		80 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	$t_{CPL}$	$2X + 100$		125		ns
高レベルパルス幅	$t_{CPH}$	$2X + 100$		125		ns

## 27.13 割り込み (INTC)

表中の x はシステムクロック  $f_{sys}$  の周期を表します。

項目	記号	計算式		80 MHz		単位
		Min	Max	Min	Max	
INT0~F 低レベルパルス幅	$t_{INTAL}$	$X + 100$		112.5		ns
INT0~F 高レベルパルス幅	$t_{INTAH}$	$X + 100$		112.5		ns

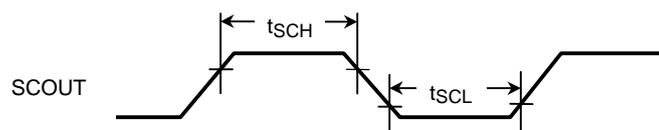
## 27.14 割り込み (STOP/SLEEP/SLOW解除割り込み)

項目	記号	計算式		80 MHz		単位
		Min	Max	Min	Max	
NMI, INT0~4 低レベルパルス幅	$t_{INTBL}$	100		100		ns
INT0~4 高レベルパルス幅	$t_{INTBH}$	100		100		ns

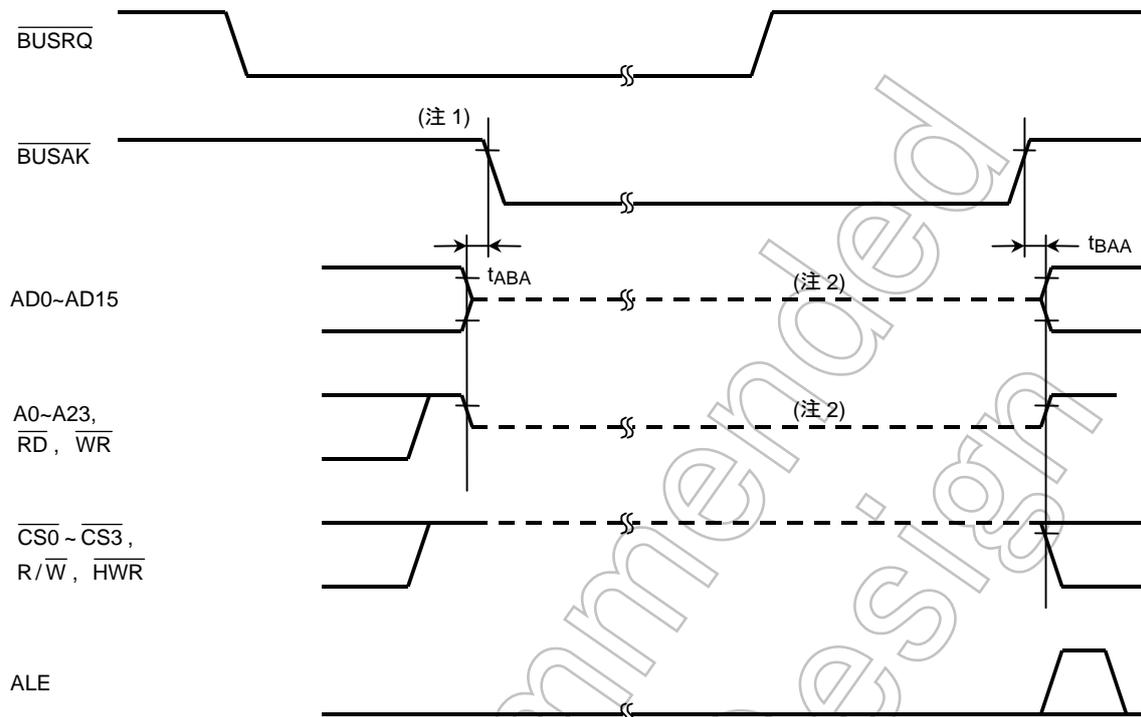
## 27.15 SCOUT端子 AC特性

項目	記号	計算式		80 MHz		単位
		Min	Max	Min	Max	
高レベルパルス幅	$t_{SCH}$	$0.5T - 5$		1.25		ns
低レベルパルス幅	$t_{SCL}$	$0.5T - 5$		1.25		ns

(注) 表中の「T」は、SCOUT 出力波形の周期を示します。



## 27.16 バスリクエスト/バスアクノリッジ



項目	記号	計算式		80 MHz		単位
		Min	Max	Min	Max	
BUSAK 立ち下がりまでのフローティング時間	t <sub>ABA</sub>	0	80	0	80	ns
BUSAK 立ち上がりからのフローティング時間	t <sub>BAA</sub>	0	80	0	80	ns

(注1)  $\overline{\text{BUSRQ}}$  を “L” にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまでバスは解放されません。

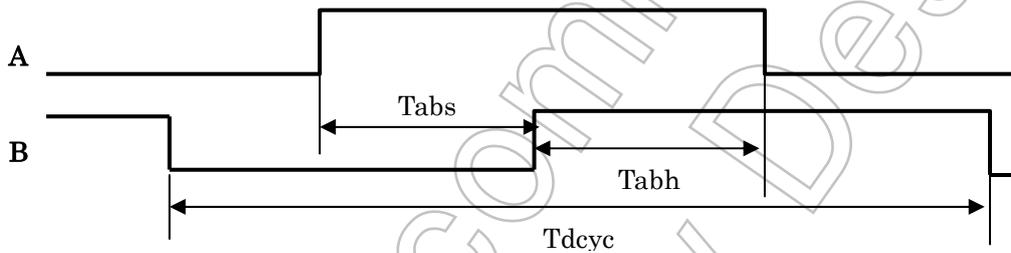
(注2) この破線は出力バッファが OFF になっていることだけを示しています。信号レベルが中間電位になることを示すものではありません。バス解放直後は、外部の負荷容量により、バス解放直前の信号レベルをダイナミックに保持しています。そのため、外付け抵抗などでバス解放中の信号レベルを確定させるときは、バス解放直後、外部の負荷容量により、信号レベルの確定が遅れ (CR の時定数) ますので、そのことを考慮した設計が必要です。内蔵のプログラマブルプルアップ/プルダウン抵抗は、内部信号の状態に応じて、働き続けています。

## 27.17 KWUP入力

項目	記号	計算式		80 MHz		単位
		Min	Max	Min	Max	
KEY00~31 低レベルパルス幅	tkyTBL	100		100		ns

## 27.18 2相パルス入力

項目	記号			単位
		Min	Max	
2相入力パルス周期	Tdcyc	2		$\mu$ s
2相入力セットアップ	TabS	1		$\mu$ s
2相入力ホールド	Tabh	1		$\mu$ s

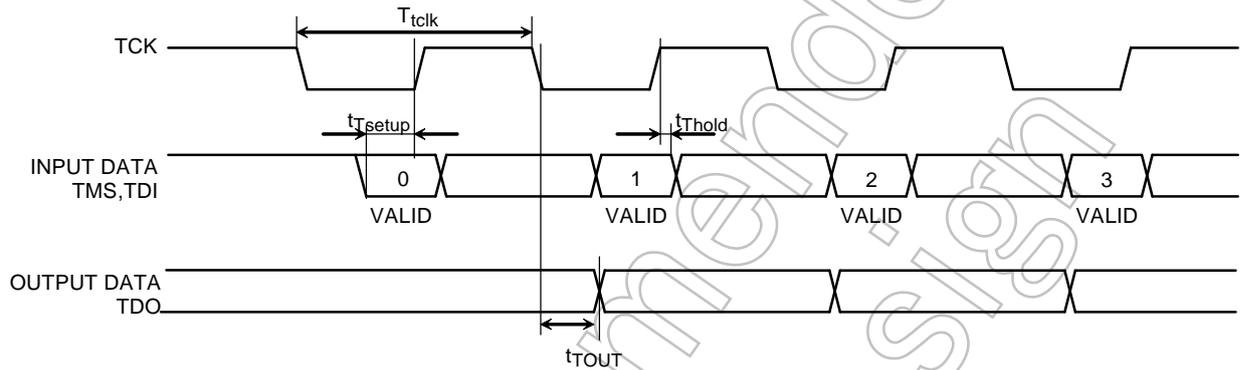


## 27.19 ADTRGn/ADTRGSNC入力

項目	記号	計算式		80 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	tadL	$f_{\text{sysy}}/2+20$		26.25		ns
高レベルパルス間隔	Tadh	$f_{\text{sysy}}/2+20$		26.25		ns

27.20 EJTAG

項目	記号			単位
		Min	Max	
TMS/TDI 入力←TCK 立ち上がり	Ttsetup	40		ns
TCK 立ち上がり→TMS/TDI 保持	Tthold	50		ns
TCK 立下り→TDO 保持	Ttout		10	ns



Not Recommended for New Designs

## 27.21 発振回路

発振子の接続回路例を下記に示します。

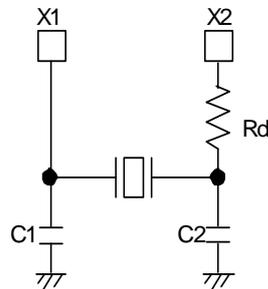


図 27-1 高周波発振器の接続図

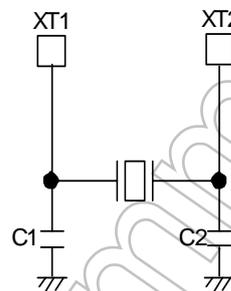


図 27-2 低周波発振器の接続図

(注) 発振端子の負荷容量は、接続する負荷容量 C1, C2 と実装基板上の浮遊容量の和になります。C1, C2 の定数を使用した場合でも実装基板により負荷容量が異なり発振器が誤動作する可能性があります。従って、基板設計の際には発振回路周辺のパターンが最短距離になるようにしてください。最終的に実装基板での発振子評価を推奨いたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

## セラミック発振子

本製品は、(株)村田製作所製セラミック発振子を用いて評価しています。

(株)村田製作所製の製品詳細につきましては、下記 URL の同社ホームページを参照してください。

<http://www.murata.co.jp>

## 水晶発振子

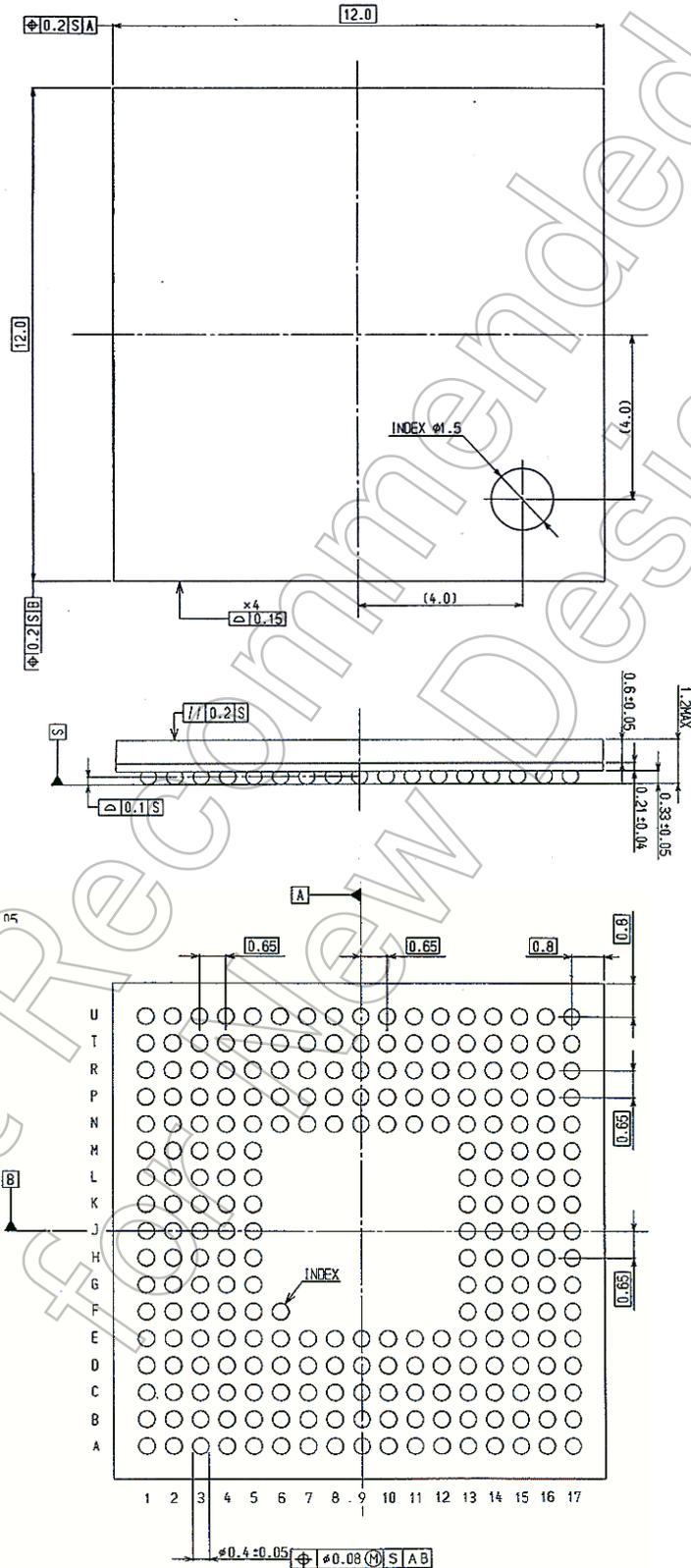
本製品は、京セラクリスタルデバイス(株)製水晶発振子を用いて評価しています。

京セラクリスタルデバイス(株)の製品詳細につきましては、下記 URL の同社ホームページを参照してください。

<http://www.kinseki.co.jp>

28. PKG

P-TFBGA241-1212-0.65A5



## 製品取り扱い上のお願い

- 本資料に掲載されているハードウェア、ソフトウェアおよびシステム（以下、本製品という）に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適可不可を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事情報の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続きを行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。