TOSHIBA

32 ビット RISC マイクロコントローラ
TX04 シリーズ

TMPM461F15/F10FG

東芝デバイス＆ストレージ株式会社

TOSHIBA

お客様各位

2021-9-1

東芝デバイス&ストレージ株式会社
東芝デバイスソリューション株式会社

〒212-8520 神奈川県川崎市幸区堀川町 580-1
Tel: 044-548-2200
Fax: 044-548-8965

非同期シリアル通信機能に関する誤記について

平素より東芝マイクロコントローラーをご使用頂き、誠にありがとうございます。

弊社マイコンに内蔵されております非同期シリアル通信機能(UART、または FUART)、50%デューティーモード付き非同期シリアル通信回路(UART)の送信割り込み発生タイミングで、データシート、リファレンスマニュアルの記載に誤記が発見されました。

大変ご迷惑をおかけ致しますが、本文章をご確認頂きますようお願い申し上げます。

本件のご不明な点につきましては、弊社営業担当までお問い合わせいただきますようお願い申し上げます。

－記－

1. 対象製品

TMPM342FYXBG	TMPM440FEXBG	TMPA900CMXBG
TMPM343F10XBG	TMPM440F10XBG	TMPA901CMXBG
TMPM343FDXBG	TMPM461F10FG	TMPA910CRAXBG
TMPM366F20AFG	TMPM461F15FG	TMPA910CRBXBG
TMPM366FWFG	TMPM462F10FG	TMPA911CRXBG
TMPM366FYFG	TMPM462F15FG	TMPA912CMXBG
TMPM366FDFG	TMPM46BF10FG	TMPA913CHXBG
TMPM366FWXBG	TMPM4G6FDFG	
TMPM366FYXBG	TMPM4G6FEFG	
TMPM366FDXBG	TMPM4G6F10FG	
TMPM367FDFG	TMPM4G7FDFG	
TMPM367FDXBG	TMPM4G7FEFG	
TMPM368FDFG	TMPM4G7F10FG	
TMPM368FDXBG	TMPM4G8FDFG	
TMPM369FDFG	TMPM4G8FDXBG	
TMPM369FDXBG	TMPM4G8FEFG	
TMPM36BF10FG	TMPM4G8FEXBG	
TMPM36BFYFG	TMPM4G8F10FG	
TMPM381FWDFG	TMPM4G8F10XBG	
TMPM381FWFG	TMPM4G8F15FG	
TMPM383FSEFG	TMPM4G8F15XBG	
TMPM383FSUG	TMPM4G9FDFG	
TMPM383FWEFG	TMPM4G9FDXBG	
TMPM383FWUG	TMPM4G9FEFG	
TMPM3V4FSEFG	TMPM4G9FEXBG	
TMPM3V4FSUG	TMPM4G9F10FG	
TMPM3V4FWEFG	TMPM4G9F10XBG	
TMPM3V4FWUG	TMPM4G9F15FG	
TMPM3V6FWDFG	TMPM4G9F15XBG	
TMPM3V6FWFG		

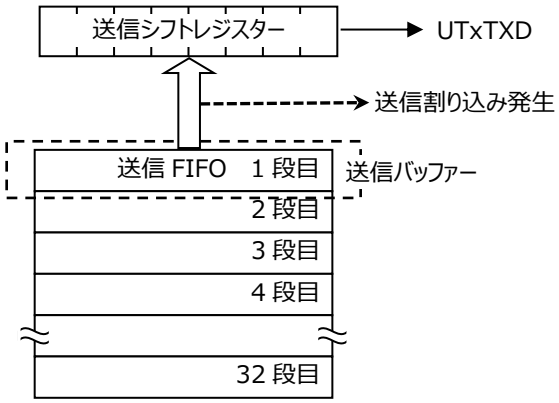
2. 詳細

送信割り込みの発生タイミングは以下となります。

なお、送信割り込み発生タイミング誤記につきましては"送信 FIFO 未使用時"に限られ、"送信 FIFO 使用時"ではデータシートの記載のとおりとなります。

2.1. 送信 FIFO 未使用時

送信バッファー(送信 FIFO 1 段目)から送信シフトレジスターにデータが転送されたときに(送信バッファーに空きができたとき)送信割り込みが発生します。



2.1.1. 送信割り込み発生タイミング

送信 FIFO 未使用時の送信割り込みは、次データに対する送信バッファーへの書き込みタイミングを通知するため、送信バッファーが空になったタイミングで発生します。送信割り込みは送信バッファーに次のデータが書き込まれると自動的にクリアされるため、連続的にデータを送信し続ける場合はソフトウェアによる送信割り込みのクリアは必要ありません(UARTxICR<TXIC> = "1"設定)。

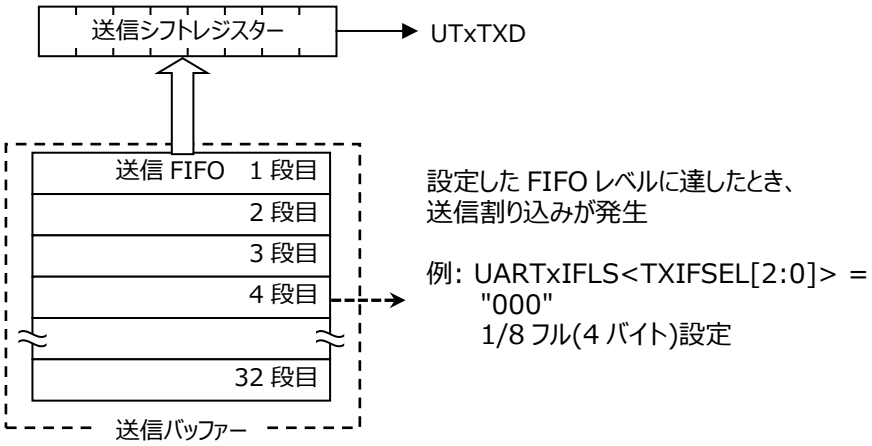
また、送信を終了する場合は、最終送信データがシフトレジスターに転送され、送信バッファーが空になった際に最後の送信割り込みが発生します。送信バッファーに次のデータを書き込まない場合は、割り込みハンドラー内でソフトウェアによる割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行することで送信割り込みを意図的にクリアすることができます。

なお、データ送信中にソフトウェアで送信割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行した場合、送信完了時の STOP ビット発生と同時のタイミングで送信バッファーにデータの書き込みを行うと、送信割り込みは発生しません。確実に送信割り込みを発生させる場合は、データ送信中にソフトウェアで送信割り込みをクリアしないで送信バッファーにデータを書き込むか、送信が停止している状態(UARTxFR<BUSY> = "0"のとき)で送信バッファーにデータを書き込んでください。

連続してデータを送信する場合は、次項の送信 FIFO を利用したデータ転送を推奨致します。

2.2. 送信 FIFO 使用時

送信動作により送信 FIFO の格納段数が UARTxIFLS<TXIFSEL[2:0]>であらかじめ設定した FIFO レベルに達すると送信割り込みが発生します。



2.2.1. 送信割り込み発生タイミング

送信 FIFO 使用時は、設定した FIFO レベルに達したときに送信割り込み発生します。

例えば、UARTxIFLS<TXIFSEL[2:0]> = "000" (1/8 フル 4 バイト設定)の場合、送信 FIFO に格納されたデータが 4 段目に達したときに送信割り込みが発生します。

送信割り込みは設定した FIFO レベルを超えるデータが送信 FIFO に格納されるとクリアされ、設定した FIFO レベルに達すると再度発生します。

3. 誤記内容

製品により送信割り込み発生タイミングの記載内容が異なり、各製品に対する誤記掲載箇所の章番号を以下表に示します。なお、送信割り込み発生タイミング誤記につきましては"送信 FIFO 未使用時"に限られ、"送信 FIFO 使用時"ではデータシートの記載のとおりとなります。

誤記に対する修正、追記内容は、以降の「4. 誤記修正・追記内容」で説明し、全ての対象製品で共通の記載内容となります。

3.1. 記載タイプ A

3.1.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM342FYXBG	16.4.7
TMPM366F20AFG(注)	15.4.7
TMPM366FWFG、TMPM366FYFG、TMPM366FDFG、TMPM366FWXBG、TMPM366FYXBG、TMPM366FDXBG	16.4.7
TMPM367FDFG、TMPM367FDXBG、TMPM368FDFG、TMPM368FDXBG、TMPM369FDFG、TMPM369FDXBG	13.4.7
TMPM36BFYFG、TMPM36BF10FG	13.4.7
TMPA900CMXBG、TMPA901CMXBG、TMPA910CRAXBG、TMPA910CRBXBG、TMPA911CRXBG、TMPA912CMXBG、TMPA913CHXBG	3.13.1.1 (7)

注) 非同期シリアル通信機能(UART)章です。

タイプ A

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバーランエラー発生	過剰データの STOP ビット受信後
ブレークエラー 割り込み	STOP ビット受信後
パリティエラー 発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	最終 DATA (MSB データ)を送信した後
受信割り込み	STOP ビット受信後

3.2. 記載タイプ B(1)

3.2.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM461F10FG、TMPM461F15FG、TMPM462F10FG、TMPM462F15FG	14.4.6.2

タイプ B(1)

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング	
オーバランエラー割り込み	FIFO がフルになったときの STOP ビット受信後	
ブレークエラー割り込み	STOP ビット受信後	
パリティエラー割り込み	パリティデータ受信後	
フレーミングエラー割り込み	フレームオーバとなる Bit データを受信した後	
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後	
送信割り込み	FIFO 未使用時：	送信許可後、1 バイト目は START ビット送信開始時と STOP ビット送信開始時、2 バイト目以降は、STOP ビット送信開始時 (それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時：	STOP ビット送信開始時(MSB データ転送後）に FIFO 内が設定された FIFO レベルのデータ数となったとき
受信割り込み	FIFO 未使用時：	STOP ビット受信後
	FIFO 使用時：	設定した FIFO がフルとなるでーたの STOP ビット受信後

3.3. 記載タイプ B(2)

3.3.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM343FDXBG、TMPM343F10XBG、TMPM366F20AFG(注)	16.4.6.2
TMPM381FWFG、TMPM381FWDFG、 TMPM383FSUG、TMPM383FSEFG、TMPM383FWUG、TMPM383FWEFG、 TMPM3V4FSUG、TMPM3V4FSEFG、TMPM3V4FWUG、TMPM3V4FWEFG、 TMPM3V6FWFG、TMPM3V6FWDFG	11.4.6.2
TMPM440FEXBG、TMPM440F10XBG	26.4.6.2

注) 50%デューティーモード付き非同期シリアル通信回路(UART)章です。

タイプ B(2)

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング	
オーバランエラー発生	FIFO がフルになった時の STOP ビット受信後	
ブレークエラー 割り込み	STOP ビット受信後	
パリティエラー 発生	パリティデータ受信後	
フレーミングエラー発生	フレームオーバとなる Bit データを受信した後	
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後	
送信割り込み	FIFO 未使用時:	送信許可設定後、1 バイト目は START ビット送信開始時と STOP ビット送信開始時、2 バイト目以降は、STOP ビット送信開始時 (それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時:	STOP ビット送信開始時(MSB データ転送後)に FIFO 内が設定された FIFO レベルのデータ数となった時
受信割り込み	FIFO 未使用時:	STOP ビット受信後
	FIFO 使用時:	設定した FIFO レベルがフルとなるデータの STOP ビット受信後

3.4. 記載タイプ B(3)

3.4.1. 対象製品と対象箇所の章番号

製品名	記載箇所章番号
TMPM4G6FDFG、TMPM4G6FEFG、TMPM4G6F10FG、TMPM4G7FDFG、TMPM4G7FEFG、TMPM4G7F10FG、TMPM4G8FDFG、TMPM4G8FDXBG、TMPM4G8FEFG、TMPM4G8FEXBG、TMPM4G8F10FG、TMPM4G8F10XBG、TMPM4G8F15FG、TMPM4G8F15XBG、TMPM4G9FDFG、TMPM4G9FDXBG、TMPM4G9FEFG、TMPM4G9FEXBG、TMPM4G9F10FG、TMPM4G9F10XBG、TMPM4G9F15FG、TMPM4G9F15XB	リファレンスマニュアル(注) 高精度非同期シリアル通信回路(FUART-B) 3.8.2

注）本文章の UARTxIFLS を ***[FURTxIFLS]***に、UARTxICR を ***[FURTxICR]***に、UARTxFR を ***[FURTxFR]***に読み替えてください。

タイプ B(3)

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバランエラー発生	FIFO がフルになったときの STOP ビット受信後
ブレークエラー割り込み	STOP ビット受信後
パリティエラー発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、転送クロックの 511 クロック後
送信割り込み	1 バイト保持レジスタ時(FIFO 未使用時) 送信許可設定後、1 バイト目は START ビット送信開始時と STOP ビ ット送信開始時、2 バイト目以降は、STOP ビット送信開始時(それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時 STOP ビット送信開始時(MSB データ転送後)に FIFO 内が設定された FIFO レベルのデータ数となったとき
受信割り込み	1 バイト保持レジスタ時(FIFO 未使用時) STOP ビット受信後
	FIFO 使用時 設定した FIFO レベルがフルとなるデータの STOP ビット受信後

3.5. 記載タイプ C

3.5.1. 対象製品と対象箇所の章番号

製品名	TD 記載箇所章番号
TMPM46BF10FG	19.4.6.2

タイプ C

修正が必要な記載箇所(赤枠)

割り込み種類	割り込み発生タイミング
オーバーランエラー割り込み	FIFO がフルになった時の STOP ビット受信後
ブレークエラー割り込み	STOP ビット受信後
パリティエラー割り込み	パリティデータ受信後
フレーミングエラー割り込み	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後
送信割り込み	最終 DATA の MSB データを送信した後
受信割り込み	STOP ビット受信後

4. 誤記修正・追記内容

製品により送信割り込みの割り込み発生タイミングの記載が異なりますが、共通して正しい記載内容は以下となります。

4.1. 送信割り込み発生タイミング

送信 FIFO 未使用時の送信割り込みは、次データに対する送信バッファーへの書き込みタイミングを通知するため、送信バッファーが空になったタイミングで発生します。送信割り込みは送信バッファーに次のデータが書き込まれると自動的にクリアされるため、連続的にデータを送信し続ける場合はソフトウェアによる送信割り込みのクリアは必要ありません(UARTxICR<TXIC> = "1"設定)。

また、送信を終了する場合は、最終送信データがシフトレジスターに転送され、送信バッファーが空になった際に最後の送信割り込みが発生します。送信バッファーに次のデータを書き込まない場合は、割り込みハンドラー内でソフトウェアによる割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行することで送信割り込みを意図的にクリアすることができます。

なお、データ送信中にソフトウェアで送信割り込みクリア(UARTxICR<TXIC> = "1"設定)を実行した場合、送信完了時の STOP ビット発生と同時のタイミングで送信バッファーにデータの書き込みを行うと、送信割り込みは発生しません。確実に送信割り込みを発生させる場合は、データ送信中にソフトウェアで送信割り込みをクリアしないで送信バッファーにデータを書き込むか、送信が停止している状態(UARTxFR<BUSY> = "0"のとき)で送信バッファーにデータを書き込んでください。

以上

© 2013-2023
Toshiba Electronic Devices & Storage Corporation

****
Arm, Cortex および Thumb はArm Limited(またはその子会社）のUSまたはその他の国における
登録商標です。All rights reserved.
****

製品ご使用上の注意点について

本資料に掲載されている製品について、使用上の注意点を説明します。

なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

1. 電源投入時の動作について

   電源投入時、本資料に掲載されている製品の内部は不定状態となります。

   このため、リセットが有効となるまで、端子の状態は不定となります。

   外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有効になるまでの間、端子の状態は不定となります。

   また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。

2. 未使用端子の処置について

   本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。

   未使用端子については、1 本ずつ、抵抗を通して電源端子または GND 端子に固定することを推奨します。

3. クロック発振の安定について

   リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。

はじめに(本仕様書での SFR 表記に関する注意点)

各周辺機能回路(IP)には、SFR(Special Function Register)と呼ばれる制御レジスタが準備されています。

メモリマップの章に各 IP の SFR アドレス一覧を記載しており、各 IP の章では SFR の詳細を説明しています。

本仕様書では、SFR に関して以下のルールに従って表現しています。

a. IP 別 SFR の一覧表(一例)
   - 各 IP の章における SFR の一覧表では、レジスタ名称、アドレス、簡単な説明が表現されています。
   - 全てのレジスタには、32bit で表現されるユニークなアドレスが割り振られており、各レジスタのアドレスは「Base Address + (固有)アドレス」で表現されています。(一部例外有)

Base Address = 0x0000_0000

レジスタ名		Address(Base+)
コントロールレジスタ	SAMCR	0x0004
		0x000C

注) SAMCR レジスタのアドレスは 0x0000_0004 番地「Base Address(0x00000000 番地)+固有アドレス(0x0004 番地)」から 32 ビット分となります。

注) 本レジスタは記述説明用のサンプルです。本マイコンには存在しません。

b. 各 SFR(レジスタ)の説明

- 各レジスタは、基本的に全て 32bit のレジスタで構成されています(一部例外有)。
- 各レジスタの説明では、対象ビット、ビットシンボル、タイプ、リセット後の初期値、機能説明が表現されています。

1.2.2 SAMCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	MODE	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MODE	TDATA						
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	−	R	リードすると"0"が読めます。
9-7	MODE[2:0]	R/W	動作モード設定 000 : サンプルモード 0 に設定 001 : サンプルモード 1 に設定 010 :サンプルモード 2 に設定 011 :サンプルモード 3 に設定 上記以外 : Reserved
6-0	TDATA[6:0]	W	送信データ

注) **Type は基本的に下記 3 種類となります。**

R / W :	READ WRITE	読み出し/書き込み可能
R :	READ	読み出しのみ可能
W :	WRITE	書き込みのみ可能

c. データ表記について

SFR の説明で使用しているシンボルには以下のようなものがあります。

- x:チャネル番号/ポート
- n,m:ビット番号

d. レジスタの表現

説明文でレジスタを以下のように表現しています。

- レジスタ名<Bit Symbol>

  例: SAMCR<MODE>="000"(or 000)または SAMCR<MODE[2:0]>="000"(or 000)

  <MODE[2:0]>はビットシンボル MODE(3 ビット幅)の 2～0 ビット目を意味します。
- レジスタ名[Bit]

  例: SAMCR[9:7]="000"(or 000)

  レジスタ SAMCR(32 ビット幅)の 9～7 ビット目を意味します。

改訂履歴

日付	版	改訂理由
2013/06/21	Tentative 1	First Release
2013/10/24	Tentative 2	First Release
2014/06/13	1	First Release
2014/11/05	2	Contents Revised
2018/10/15	3	Contents Revised
2022/05/27	4	Contents Revised
2022/09/30	5	Contents Revised
2023/07/14	6	Contents Revised
2023/07/31	7	Contents Revised

CMOS 32 ビット マイクロコントローラ

TMPM461F15/F10FG

TMPM461F15/F10FG は、Arm®社 Cortex®-M4(FPU 機能搭載）コアを内蔵した 32 ビット RISC マイクロプロセッサです。

機能概要と特長は次のとおりです。

1.1 機能概要

1. Arm 社製 Cortex-M4(FPU 機能搭載）コアを使用
   a. Thumb®-2 命令で、コード効率の向上を実現
      ・プログラムフロー改善のための新しい 16 ビット命令
      ・性能とコードサイズ向上のための新しい 32 ビット命令
      ・32 ビット/16 ビット混在の命令セットでコード効率を向上
   b. 高性能化と低消費電力化を同時に実現
      【高性能化】
      ・32 ビット乗算(32 × 32 = 32 ビット)、積和演算(32 + 32 × 32 = 32 ビット)を 1 クロックで実行
      ・SIMD(Single Instruction Multiple Data)演算を 1 クロックで実行
      ・除算を 2~12 クロックで実行
      【低消費電力化】
      ・低消費電力ライブラリを使用した最適化設計
      ・プロセッサコアの動作を停止させるスタンバイ機能
   c. リアルタイム制御に向いた高速割り込み応答
      ・実行時間の長い命令は割り込みで中断可能
      ・スタックへの PUSH をハードウエアで自動的に実行

2. 単精度浮動小数点演算(FPU)
   ・ IEEE754 標準に準拠
   ・ 加算/減算/乗算は 1 クロックで実行、積和は 3 クロックで実行
   ・ CPU とは別に専用データレジスタによる並列処理が可能

3. 内蔵プログラムメモリ/データメモリ
   ・ 内蔵 RAM : 193 Kbyte
     バックアップ RAM 1 Kbyte を含みます。
   ・ 内蔵 Flash ROM :
     TMPM461F15FG : 1536 Kbyte
     TMPM461F10FG : 1024Kbyte

4. 外部バスインタフェース(EBIF)
   ・ 16MB(プログラム/データ共通)まで拡張可能
   ・ 外部データバス(セパレートバス/マルチプレクスバス) : 8/16 ビット幅

- チップセレクトコントローラ : 4 チャネル
- 外部ウェイト機能(High アクティブ/Low アクティブ選択可能)

5. μDMA コントローラ(μDMAC) : 32 チャネル/ 3 ユニット
   - 転送対象:内蔵メモリ、周辺機能および外部メモリ

6. クロック制御(CG)
   - 外部よりクロックを入力/外部発振(8MHz ~ 16MHz)
   - PLL を内蔵 (4 逓倍、5 逓倍、6 逓倍、8 逓倍、10 逓倍、12 逓倍)
   - クロックギア機能: 高速クロックを 1/1, 1/2, 1/4, 1/8, 1/16 に分周可能

7. 低消費電力機能
   - IDLE, STOP1, STOP2

8. 外部割り込み機能
   - 外部割り込み端子 16 本: 7 レベルの優先順位設定可能
   - マスク不能割り込み端子 ($\overline{\text{NMI}}$) 1 本

9. 入出力ポート(PORT) : 端子

   入出力端子 : 111 本 (5V トレラント端子 5 本、 CEC 用端子 1 本を含む)

10. 16 ビットタイマ(TMRB) : 16 チャネル
    - 16 ビットインタバルタイマモード
    - 16 ビットイベントカウンタモード
    - 16 ビット PPG 出力(4 相同期出力可能)
    - インプットキャプチャ機能

11. リアルタイムクロック(RTC) : 1 チャネル
    - 時計機能(時間, 分, 秒)
    - カレンダ機能(月日, 週, うるう年)
    - クロック補正機能
    - +/-30 秒補正機能
    - アラーム出力機能
    - 1Hz クロック出力機能

12. 多目的タイマ(MPT) : 2 チャネル
    - IGBT 制御
    - 16 ビットタイマ

13. ウォッチドッグタイマ(WDT) : 1 チャネル

    リセットまたはマスク不能割り込み(NMI)発生

14. シリアルチャネル(SIO/UART) : 6 チャネル
    - UART / 同期式モード選択可能
    - 送信 FIFO : 8 ビット幅 4 段、受信 FIFO : 8 ビット幅 4 段

15. 非同期式シリアル通信インタフェース(UART) : 2 チャネル
    - 5,6,7,8 ビットデータ長
    - 送信 FIFO : 8 ビット幅 32 段、受信 FIFO : 12 ビット幅 32 段

16. I2C バスインタフェース (I2C) : 5 チャネル
    - 通信速度 100kbps / 400kbps

17. 同期式シリアルバスインタフェース(SSP) : 3 チャネル
    - SPI/SSI/Microwire の各種フォーマットに対応
    - 通信速度

      チャネル 0/1 : マスタモード時 Max 10MHz @ fsys=120MHz

      スレーブモード時 Max 3.3MHz @ fsys=120MHz

      チャネル 2 : マスタモード時 Max 20MHz @ fsys=120MHz

      スレーブモード時 Max 6.6MHz @ fsys=120MHz

18. 12 ビット AD コンバータ(ADC) : 1 ユニット(20 チャネル)
    - チャネル固定/スキャンモード
    - シングル/リピートモード
    - 外部トリガスタート、内部タイマトリガによるスタート可能
    - リピート変換可能
    - AD 監視機能
    - 最小変換時間 1 μs (15 チャネル、ADC 変換クロック 40 MHz 時)

      1.5 μs (5 チャネル、ADC 変換クロック 40 MHz 時)

19. CEC : 1 チャネル
    - 1byte ごと受信

20. リモコン判定機能 : 1 チャネル
    - 72bit まで一括受信

21. LVD 機能 : 1 ユニット

22. 周波数検知回路 (OFD) : 1 ユニット

23. 最大動作周波数 : 120MHz

24. エンディアン
    - リトルエンディアン

25. デバッグインタフェース
    - JTAG/SWD/SWV/DATA TRACE(Data 4bit)に対応

26. 動作電圧範囲
    - 2.7 ~ 3.6V

27. 温度範囲

・ −40°C ~ 85°C

28. パッケージ

LQFP144 (20mm x 20mm, 0.5mm ピッチ)

1.2 ブロック図

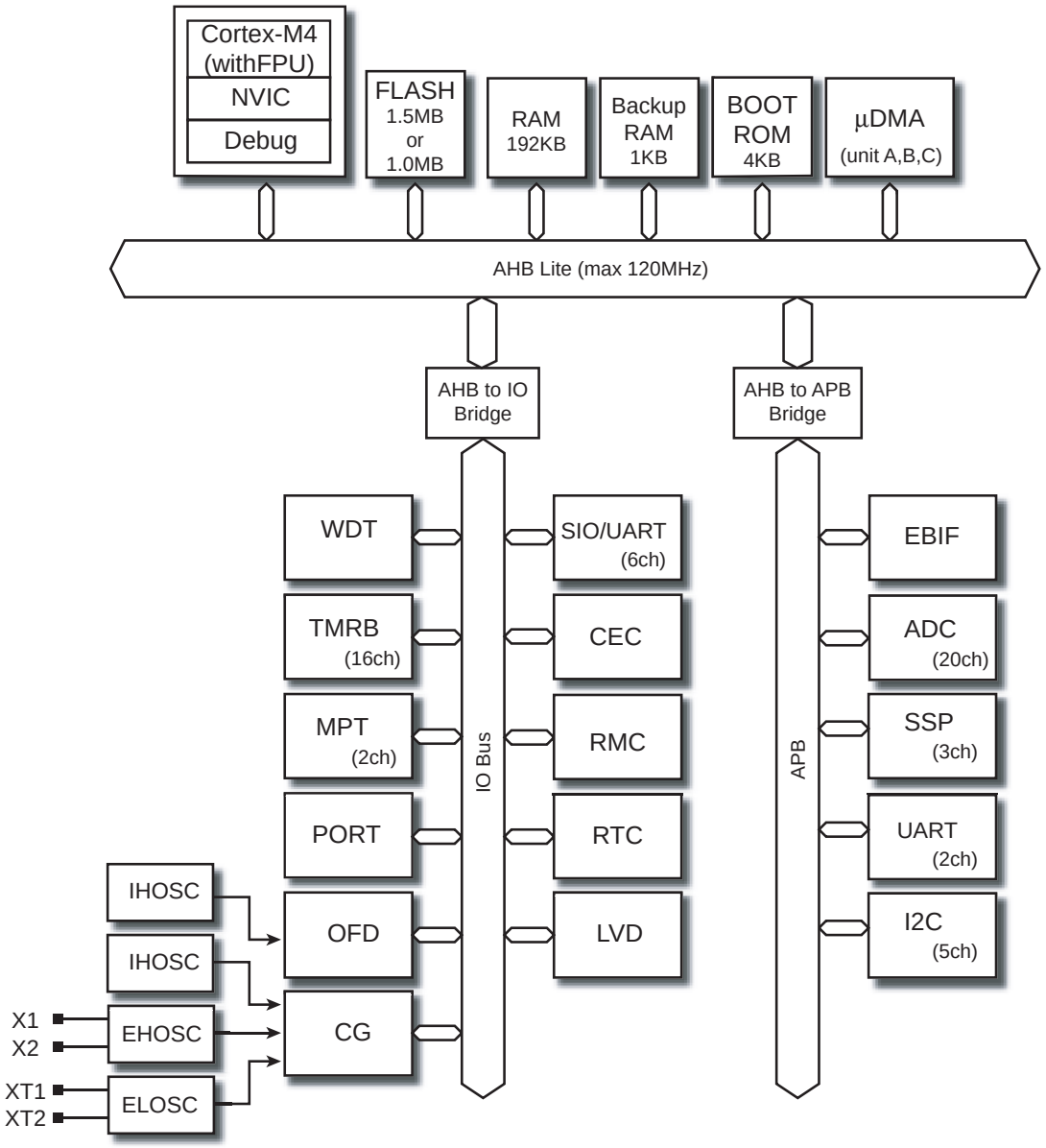


図 1-1 ブロック図

1.3 ピン配置図(Top view)

TMPM461F15/F10FG のピン配置図は、下記のとおりです。

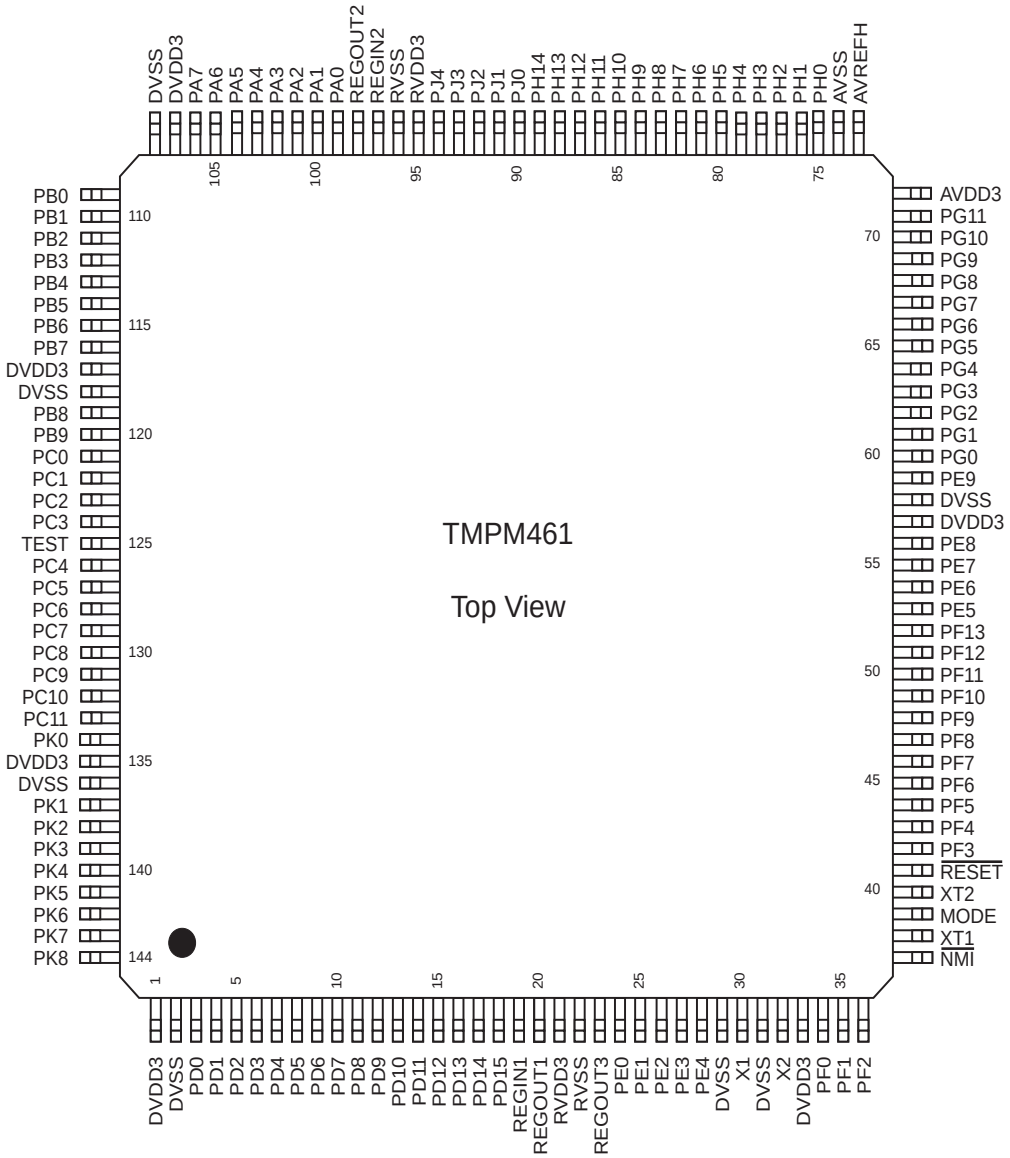


図 1-2 ピン配置図(LQFP144 TOP VIEW)

1.4 ピン名称と機能

1.4.1 機能端子名称と機能

1.4.1.1 周辺機能端子名称

表 1-1 各周辺機能と端子名称と機能

周辺機能	端子名称	Input or Output	機能
クロック/モード制御	SCOUT	Output	システムクロックの出力端子
外部割り込み	INTx	Input	外部割り込み入力端子 x 外部割り込み入力端子 x はノイズフィルタ(フィルタ幅 typ. 30ns)をもちます。
	$\overline{\text{NMI}}$	Input	マスク不能割り込み入力端子 マスク不能割り込み入力端子 x はノイズフィルタ(フィルタ幅 typ. 30ns)をもちます。
μDMA	$\overline{\text{DMAREQx}}$	Input	DMA リクエスト入力端子 x
外部バスインタフェース	An	output	アドレスバス出力端子
	Dn	I/O	データバス入出力端子
	ADn	I/O	アドレス、データバス入出力端子
	$\overline{\text{RD}}$	Output	リードストローブ出力端子
	$\overline{\text{WR}}$	Output	ライトストローブ出力端子
	ALE	Output	アドレスラッチイネーブル出力端子
	$\overline{\text{BELL}}$	Output	バイトイネーブル出力端子
	$\overline{\text{BELH}}$	Output	バイトイネーブル出力端子
	$\overline{\text{CSn}}$	Output	チップセレクト出力端子
	WAIT	Input	ウェイト入力端子
16 ビットタイマ/イベントカウンタ	TBxIN0	Input	インプットキャプチャ入力端子 0
	TBxIN1	Input	インプットキャプチャ入力端子 1
	TBxOUT	Output	出力端子
16 ビット多目的タイマ	MTxTBIN	Input	タイマモード入力端子
	MTxTBOUT	Output	タイマモード出力端子
	MTxIN	Input	IGBT モード入力端子
	$\overline{\text{GEMGx}}$	Input	IGBT モード緊急出力停止端子
	MTxOUT0	Output	IGBT モード出力端子 0
	MTxOUT1	Output	IGBT モード出力端子 1
SIO/UART	SCxTXD	Output	データ出力端子
	SCxRXD	Input	データ入力端子
	SCxSCLK	I/O	クロック入出力端子
	$\overline{\text{SCxCTS}}$	Input	ハンドシェーク入力端子
UART	UTxTXD	Output	データ出力端子
	UTxIROUT	Output	IrDA 1.0 データ出力端子
	UTxRXD	Input	データ入力端子
	UTxIRIN	Input	IrDA 1.0 データ入力端子
	UTxDCD	Input	モデムステータス(DCD)入力端子
	UTxDSR	Input	モデムステータス(DSR)入力端子
	UTxRIN	Input	モデムステータス(RIN)入力端子
	$\overline{\text{UTxCTS}}$	Input	送信可能入力端子
	UTxDTR	Output	モデム制御(DTR)出力端子
	$\overline{\text{UTxRTS}}$	Output	送信要求出力端子

表 1-1 各周辺機能と端子名称と機能

周辺機能	端子名称	Input or Output	機能
I2C	I2CxSDA	I/O	データ入出力端子
	I2xCSCL	I/O	クロック入出力端子
SSP	SPxDO	Output	データ出力端子
	SPxDI	Input	データ入力端子
	SPxCLK	I/O	クロック入出力端子
	SPxFSS	I/O	フレーム/スレーブ選択入出力端子
CEC	CECx	I/O	データ入出力端子
リモコン判定機能	RXINx	Input	データ入力端子
アナログデジタルコンバータ	AINx	Input	アナログ入力端子
	$\overline{\text{ADTRG}}$	Input	外部トリガ入力端子
リアルタイムクロック	$\overline{\text{ALARM}}$	Output	アラーム出力端子
	RTCOUT	Output	1Hz クロック出力端子

1.4.1.2 デバッグ端子名称

表 1-2 デバッグ端子名称と機能

デバッグ端子名称	Input or Output	機能
TMS	Input	JTAG テストモード選択入力端子
TCK	Input	JTAG シリアルクロック入力端子
TDO	Output	JTAG シリアルデータ出力端子
TDI	Input	JTAG シリアルデータ入力端子
$\overline{\text{TRST}}$	Input	JTAG テストリセット入力端子
SWDIO	I/O	シリアルワイヤデータ入出力端子
SWCLK	Input	シリアルワイヤクロック入力端子
SWV	Output	シリアルワイヤビューワ出力端子
TRACECLK	Output	トレースクロック出力端子
TRACEDATA0	Output	トレースデータ出力端子 0
TRACEDATA1	Output	トレースデータ出力端子 1
TRACEDATA2	Output	トレースデータ出力端子 2
TRACEDATA3	Output	トレースデータ出力端子 3

1.4.1.3 制御端子名称

表 1-3 制御端子名称と機能

制御 端子名称	Input or Output	機能
X1	Input	高速発振子接続端子
X2	Output	高速発振子接続端子
XT1	Input	低速発振子接続端子
XT2	Output	低速発振子接続端子
MODE	Input	モード端子 必ず"Low"レベルに固定してください。
TEST	Input	テスト用端子 必ず開放にしてください。
$\overline{\text{RESET}}$	Input	リセット信号入力端子
$\overline{\text{BOOT}}$	Input	BOOT モード制御用端子 リセット信号入力の立ち上がりで BOOT モード制御用端子がサンプリングされます。 BOOT モード制御用端子のレベルが"Low"の場合、シングルブートモードになります。"High"の場合、シングルチップモードになります。 詳細については、"フラッシュメモリ"章を参照してください。

1.4.1.4 電源端子名称

表 1-4 電源端子名称と機能

電源 端子名称	機能
REGIN1	レギュレータ用コンデンサ (1.0μF)接続端子
REGOUT1	レギュレータ用コンデンサ (1.0μF)接続端子
REGIN2	レギュレータ用コンデンサ (1.0μF)接続端子
REGOUT2	レギュレータ用コンデンサ (1.0μF)接続端子
REGOUT3	レギュレータ用コンデンサ (1.0μF)接続端子
RVDD3	レギュレータ用電源端子
RVSS	レギュレータ用 GND 端子
DVDD3	デジタル用電源端子 DVDD3 は下記の端子に電源を供給しています。 PA~PG, PK~PN, X1, X2, XT1, XT2, MODE, TEST, $\overline{\text{RESET}}$, $\overline{\text{BOOT}}$
DVSS	デジタル用 GND 端子
AVDD3	ADC 用電源端子 AVDD3 は下記の端子に電源を供給しています。 PH, PJ
AVSS	ADC 用 GND 端子
AVREFH	ADC 用基準電源端子

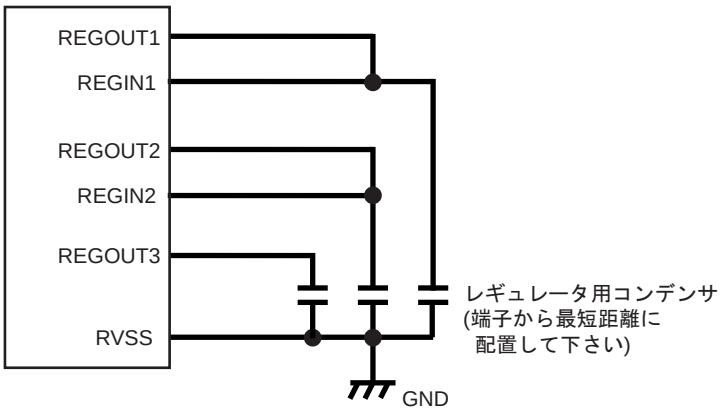


図 1-3 レギュレータ用コンデンサ接続図

1.4.2 ピン名称と機能

1.4.2.1 表の見方

表中の記号の意味は下記のとおりです。

1. 機能 A

   ファンクションレジスタ設定なしにポートに割り当てられる兼用機能が記載されています。

2. 機能 B

   ファンクションレジスタ設定によりポートに割り当てられる兼用機能が記載されています。機能 B の番号はファンクションレジスタの番号と対応しています。

3. 端子仕様

   記号の意味は下記のとおりです。

   - SMT/CMOS : 入力ゲート

     SMT : Schmitt 入力

     CMOS : CMOS 入力

   - 5V_T : 5V トレラント対応

     Yes : 対応

     N/A : 非対応

   - OD : プログラマブル Open Drain 出力対応

     Yes : 対応

     N/A : 非対応

   - PU/PD:プログラマブル Pull-Up/Pull-Down 対応

     PU : プログラマブル Pull-Up 選択可能

     PD : プログラマブル Pull-Down 選択可能

1.4.2.2 PORT / デバッグ端子

表 1-5 ピン番号と端子名称<PORT 順>

Pin No.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/PD	OD	5V_T	SMT/ CMOS
PORTA											
99	PA0		A0	SP0FSS				PU	Yes	N/A	SMT
100	PA1		A1	SP0DO				PU	Yes	N/A	SMT
101	PA2		A2	SP0DI				PU	Yes	N/A	SMT
102	PA3		A3	SP0CLK				PU	Yes	N/A	SMT
103	PA4		A4	SP1FSS				PU	Yes	N/A	SMT
104	PA5		A5	SP1DO				PU	Yes	N/A	SMT
105	PA6		A6	SP1DI				PU	Yes	N/A	SMT
106	PA7		A7	SP1CLK				PU	Yes	N/A	SMT

Pin No.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/ PD	OD	5V_T	SMT/ CMOS
PORTB											
109	PB0		A8	TB8OUT				PU	Yes	N/A	SMT
110	PB1		A9	TB9OUT				PU	Yes	N/A	SMT
111	PB2		A10	UT1DCD				PU	Yes	N/A	SMT
112	PB3		A11	UT1DSR				PU	Yes	N/A	SMT
113	PB4		A12	UT1DTR				PU	Yes	N/A	SMT
114	PB5		A13	UT1RIN				PU	Yes	N/A	SMT
115	PB6		A14	$\overline{\text{UT1CTS}}$				PU	Yes	N/A	SMT
116	PB7		A15	$\overline{\text{UT1RTS}}$				PU	Yes	N/A	SMT
119	PB8			UT1TXD	UT1IROUT			PU	Yes	N/A	SMT
120	PB9			UT1RXD	UT1IRIN			PU	Yes	N/A	SMT

Pin No.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/ PD	OD	5V_T	SMT/ CMOS
PORTC											
121	PC0		A0	A16	TB4IN0			PU	Yes	N/A	SMT
122	PC1		A1	A17	TB4IN1			PU	Yes	N/A	SMT
123	PC2		A2	A18	TB5IN0			PU	Yes	N/A	SMT
124	PC3		A3	A19	TB5IN1			PU	Yes	N/A	SMT
126	PC4		A4	A20	$\overline{\text{GEMG1}}$			PU	Yes	N/A	SMT
127	PC5		A5	A21	MT1IN			PU	Yes	N/A	SMT
128	PC6		A6	A22	MT1OUT0	MT1TBOUT		PU	Yes	N/A	SMT
129	PC7		A7	A23	MT1OUT1	MT1TBIN		PU	Yes	N/A	SMT
130	PC8	INTB	ALE					PU	Yes	N/A	SMT
131	PC9		$\overline{\text{CS0}}$		TBAOUT			PU	Yes	N/A	SMT
132	PC10		$\overline{\text{CS1}}$		TB6IN6			PU	Yes	N/A	SMT
133	PC11		$\overline{\text{CS2}}$		TB6IN1			PU	Yes	N/A	SMT

Pin No.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/PD	OD	5V_T	SMT/CMOS
PORTD											
3	PD0		D0/AD0	SC3TXD	I2C2SDA			PU	Yes	N/A	SMT
4	PD1		D1/AD1	SC3RXD	I2C2SCL			PU	Yes	N/A	SMT
5	PD2		D2/AD2	SC3SCK	$\overline{\text{SC3CTS}}$			PU	Yes	N/A	SMT
6	PD3		D3/AD3	SC4TXD	I2C3SDA	TB0OUT		PU	Yes	N/A	SMT
7	PD4		D4/AD4	SC4RXD	I2C3SCL	TB1OUT		PU	Yes	N/A	SMT
8	PD5		D5/AD5	SC4SCK	$\overline{\text{SC4CTS}}$	TB2OUT		PU	Yes	N/A	SMT
9	PD6		D6/AD6			TB3OUT		PU	Yes	N/A	SMT
10	PD7		D7/AD7			TB4OUT		PU	Yes	N/A	SMT
11	PD8	INT0	D8/AD8					PU	Yes	N/A	SMT
12	PD9	INT1	D9/AD9					PU	Yes	N/A	SMT
13	PD10	INT2	D10/AD10					PU	Yes	N/A	SMT
14	PD11	INT3	D11/AD11					PU	Yes	N/A	SMT
15	PD12	INT4	D12/AD12			$\overline{\text{GEMG0}}$		PU	Yes	N/A	SMT
16	PD13	INT5	D13/AD13	SC5TXD	I2C4SDA	MT0IN		PU	Yes	N/A	SMT
17	PD14	INT6	D14/AD14	SC5RXD	I2C4SCL	MT0OUT0	MT0TBOUT	PU	Yes	N/A	SMT
18	PD15	INT7	D15/AD15	SC5SCK	$\overline{\text{SC5CTS}}$	MT0OUT1	MT0TBIN	PU	Yes	N/A	SMT

Pin No.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/PD	OD	5V_T	SMT/CMOS
PORTE											
24	PE0		$\overline{\text{TRST}}$	$\overline{\text{CS3}}$	TBBOUT			PU	Yes	N/A	SMT
25	PE1		TDI		TB7IN0			PU	Yes	N/A	SMT
26	PE2		TDO/SWV		TB7IN1			PU	Yes	N/A	SMT
27	PE3		TMS/SWDIO		TB8IN0			PU	Yes	N/A	SMT
28	PE4		TCK/SWCLK		TB8IN1			PD	Yes	N/A	SMT
53	PE5		TRACEDATA 0					PU	Yes	N/A	SMT
54	PE6		TRACEDATA 1					PU	Yes	N/A	SMT
55	PE7		TRACEDATA 2					PU	Yes	N/A	SMT
56	PE8	INT9	TRACEDATA 3		$\overline{\text{ADTRG}}$			PU	Yes	N/A	SMT
59	PE9	INTA	TRACECLK		SCOUT			PU	Yes	N/A	SMT

Pin No.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/ PD	OD	5V_T	SMT/ CMOS
PORTF											
34	PF0					TB5OUT		PU	Yes	N/A	SMT
35	PF1				RTCOUT	TB6OUT		PU	Yes	N/A	SMT
36	PF2				ALARM	TB7OUT		PU	Yes	N/A	SMT
42	PF3		SC0TXD					PU	Yes	N/A	SMT
43	PF4		SC0RXD			TB9IN1			Yes	Yes	SMT
44	PF5		SC0SCK	$\overline{\text{SC0CTS}}$	$\overline{\text{DMAREQA}}$	TB9IN0			Yes	Yes	SMT
45	PF6		SC1TXD					PU	Yes	N/A	SMT
46	PF7		SC1RXD			TBAIN1			Yes	Yes	SMT
47	PF8		SC1SCK	$\overline{\text{SC1CTS}}$	$\overline{\text{DMAREQB}}$	TBAIN0			Yes	Yes	SMT
48	PF9		SC2TXD					PU	Yes	N/A	SMT
49	PF10		SC2RXD			TBBIN1		PU	Yes	N/A	SMT
50	PF11		SC2SCK	$\overline{\text{SC2CTS}}$	$\overline{\text{DMAREQC}}$	TBBIN0		PU	Yes	N/A	SMT
51	PF12	INT8	RXIN0					PU	Yes	N/A	SMT
52	PF13		CEC						Yes	Yes	SMT

Pin No.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/ PD	OD	5V_T	SMT/ CMOS
PORTG											
60	PG0		SP2FSS					PU	Yes	N/A	SMT
61	PG1		SP2DO					PU	Yes	N/A	SMT
62	PG2		SP2DI					PU	Yes	N/A	SMT
63	PG3		SP2CLK					PU	Yes	N/A	SMT
64	PG4		I2C0SDA	SP2FSS				PU	Yes	N/A	SMT
65	PG5		I2C0SCL	SP2FSS				PU	Yes	N/A	SMT
66	PG6		I2C1SDA					PU	Yes	N/A	SMT
67	PG7		I2C1SCL					PU	Yes	N/A	SMT
68	PG8		TB0IN0					PU	Yes	N/A	SMT
69	PG9		TB1IN0					PU	Yes	N/A	SMT
70	PG10		TB2IN0					PU	Yes	N/A	SMT
71	PG11		TB3IN0					PU	Yes	N/A	SMT

Pin No.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/ PD	OD	5V_T	SMT/ CMOS
PORTH											
75	PH0	AIN0						PU	N/A	N/A	SMT
76	PH1	AIN1						PU	N/A	N/A	SMT
77	PH2	AIN2						PU	N/A	N/A	SMT
78	PH3	AIN3						PU	N/A	N/A	SMT
79	PH4	AIN4						PU	N/A	N/A	SMT
80	PH5	AIN5						PU	N/A	N/A	SMT
81	PH6	AIN6						PU	N/A	N/A	SMT
82	PH7	AIN7						PU	N/A	N/A	SMT
83	PH8	AIN8						PU	N/A	N/A	SMT
84	PH9	AIN9						PU	N/A	N/A	SMT
85	PH10	AIN10						PU	N/A	N/A	SMT
86	PH11	AIN11						PU	N/A	N/A	SMT
87	PH12	AIN12						PU	N/A	N/A	SMT
88	PH13	AIN13						PU	N/A	N/A	SMT
89	PH14	AIN14						PU	N/A	N/A	SMT

Pin No.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/ PD	OD	5V_T	SMT/ CMOS
PORTJ											
90	PJ0	AIN15						PU	N/A	N/A	SMT
91	PJ1	AIN16	TBCIN0					PU	N/A	N/A	SMT
92	PJ2	AIN17 INTD	TBCIN1					PU	N/A	N/A	SMT
93	PJ3	AIN18 INTE	TBDIN0					PU	N/A	N/A	SMT
94	PJ4	AIN19 INTF	TBDIN1					PU	N/A	N/A	SMT

Pin No.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/ PD	OD	5V_T	SMT/ CMOS
PORTK											
134	PK0			UT0TXD	UT0IROUT			PU	Yes	N/A	SMT
137	PK1			UT0RXD	UT0IRIN			PU	Yes	N/A	SMT
138	PK2		$\overline{\text{BELL}}$	UT0DCD				PU	Yes	N/A	SMT
139	PK3		$\overline{\text{BELH}}$	UT0DSR				PU	Yes	N/A	SMT
140	PK4		$\overline{\text{WR}}$	UT0DTR				PU	Yes	N/A	SMT
141	PK5		$\overline{\text{RD}}$	UT0RIN				PU	Yes	N/A	SMT
142	PK6		WAIT	$\overline{\text{UT0CTS}}$				PU	Yes	N/A	SMT
143	PK7			$\overline{\text{UT0RTS}}$				PU	Yes	N/A	SMT
144	PK8	INTC $\overline{\text{BOOT}}$						PU	Yes	N/A	SMT

1.4.2.3 制御端子

表 1-6 ピン番号と端子名称

Pin No.	制御 端子名称	Pin No.	制御 端子名称
30	X1	39	MODE
32	X2	125	TEST
38	XT1	41	$\overline{\text{RESET}}$
40	XT2	144	$\overline{\text{BOOT}}$

1.4.2.4 電源端子

表 1-7 ピン番号と端子名称

Pin No.	電源 端子名称
19	REGIN1
20	REGOUT1
97	REGIN2
98	REGOUT2
23	REGOUT3
21, 95	RVDD3
22, 96	RVSS
1, 33, 57, 107, 117, 135	DVDD3
2, 29, 31, 58, 118, 136	DVSS
72	AVDD3
73	AVREFH
74	AVSS

第 2 章　製品情報

この章では、周辺機能に関し、チャネルまたはユニット数、端子情報、その他の製品固有機能の情報についてまとめます。周辺機能の章と合わせてご使用ください。

- 「2.1.1 DMA コントローラ(DMAC)」
- 「2.1.2 外部バスインタフェース(EBIF)」
- 「2.1.3 16 ビットタイマ/イベントカウンタ(TMRB)」
- 「2.1.4 16 ビット多目的タイマ(MPT)」
- 「2.1.5 シリアルチャネル(SIO/UART)」
- 「2.1.6 非同期シリアル通信回路(UART)」
- 「2.1.7 I2C バス(I2C)」
- 「2.1.8 同期式シリアルインタフェース (SSP)」
- 「2.1.9 CEC 機能 (CEC)」
- 「2.1.10 リモコン判定機能 (RMC)」
- 「2.1.11 アナログ/デジタルコンバータ(ADC)」
- 「2.1.12 デバッグインタフェース」

2.1　各周辺機能の情報

2.1.1　DMA コントローラ(DMAC)

TMPM461F15/F10FG では DMA コントローラを 3 ユニット内蔵しています。

表 2-1 端子仕様

ユニット	DMAREQx
DMAA	PF5
DMAB	PF8
DMAC	PF11

注)　DMAC を使用するにあたっては、”バスマトリクス”や"μ ＤＭＡコントローラ”　などを参照してください

表 2-2 DMA 要求一覧

チャネル	Unit A		Unit B		Unit C	
	バースト	シングル	バースト	シングル	バースト	シングル
0	ADC 変換終了	−	SIO/UART0 受信	−	SIO/UART3 受信	−
1	SSP0 受信	SSP0 受信	SIO/UART0 送信	−	SIO/UART3 送信	−
2	SSP0 送信	SSP0 送信	SIO/UART1 受信	−	SIO/UART4 受信	−
3	SSP1 受信	SSP1 受信	SIO/UART1 送信	−	SIO/UART4 送信	−
4	SSP1 送信	SSP1 送信	SIO/UART2 受信	−	SIO/UART5 受信	−
5	SSP2 受信	SSP2 受信	SIO/UART2 送信	−	SIO/UART5 送信	−
6	SSP2 送信	SSP2 送信	−	−	−	−
7	UART0 受信	UART0 受信	−	−	−	−
8	UART0 送信	UART0 送信	−	−	−	−
9	UART1 受信	UART1 受信	−	−	−	−
10	UART1 送信	UART1 送信	TMRB0 コンペアー致(注 1)	−	TMRB8 コンペアー致(注 1)	−
11	I2C0 送受信	−	TMRB1 コンペアー致(注 1)	−	TMRB9 コンペアー致(注 1)	−
12	I2C1 送受信	−	TMRB2 コンペアー致(注 1)	−	TMRBA コンペアー致(注 1)	−
13	I2C2 送受信	−	TMRB3 コンペアー致(注 1)	−	TMRBB コンペアー致(注 1)	−
14	I2C3 送受信	−	TMRB4 コンペアー致(注 1)	−	TMRBC コンペアー致(注 1)	−
15	I2C4 送受信	−	TMRB5 コンペアー致(注 1)	−	TMRBD コンペアー致(注 1)	−
16	−	−	TMRB6 コンペアー致(注 1)	−	TMRBE コンペアー致(注 1)	−
17	−	−	TMRB7 コンペアー致(注 1)	−	TMRB7 コンペアー致(注 1)	−
18	−	−	TMRBF コンペアー致(注 1)	−	TMRBF コンペアー致(注 1)	−
19	−	−	TMRB0 インプットキャプチャ 0	−	TMRB8 インプットキャプチャ 0	−
20	−	−	TMRB0 インプットキャプチャ 1	−	TMRB8 インプットキャプチャ 1	−
21	−	−	TMRB1 インプットキャプチャ 0	−	TMRB9 インプットキャプチャ 0	−
22	−	−	TMRB1 インプットキャプチャ 1	−	TMRB9 インプットキャプチャ 1	−
23	−	−	TMRB2 インプットキャプチャ 0	−	TMRBA インプットキャプチャ 0	−
24	−	−	TMRB2 インプットキャプチャ 1	−	TMRBA インプットキャプチャ 1	−
25	−	−	TMRB3 インプットキャプチャ 0	−	TMRBB インプットキャプチャ 0	−
26	−	−	TMRB3 インプットキャプチャ 1	−	TMRBB インプットキャプチャ 1	−
27	−	−	TMRB4 インプットキャプチャ 0	−	TMRBC インプットキャプチャ 0	−
28	−	−	TMRB4 インプットキャプチャ 1	−	TMRBC インプットキャプチャ 1	−
29	−	−	TMRB5 インプットキャプチャ 0	−	TMRBD インプットキャプチャ 0	−
30	−	−	TMRB5 インプットキャプチャ 1	−	TMRBD インプットキャプチャ 1	−

表 2-2 DMA 要求一覧

31	$\overline{\text{DMAREQA}}$	–	$\overline{\text{DMAREQB}}$	–	$\overline{\text{DMAREQC}}$	–

注 1) TMRB の DMA 転送要求は、TMRB 割り込みと同じ条件で発生します。TMRB 割り込みは、タイマレジスタ 0/1 との 一致およびオーバフローで発生しますので、必要に応じ不要な要因を割り込みマスクレジスタ TBxIM でマスクしてください。

2.1.2　外部バスインタフェース(EBIF)

TMPM461F15/F10FG は、外部バスインタフェース機能を内蔵しており、セパレートバスまたはマルチプレクスバスでの使用が可能です。

表 2-3 端子仕様

セパレートバス	マルチプレクスバス	ポート
A0 ~ A7	-	PA0 ~ PA7
A8 ~ A15	-	PB0 ~ PB7
A16 ~ A23 A0 ~ A7	A16 ~ A23	PC0 ~ PC7
D0 ~ D15	AD0 ~ AD15	PD0 ~ PD15
-	ALE	PC8
$\overline{RD}$		$\overline{PK5}$
$\overline{WR}$		PK4
$\overline{BELL}$,		PK2
$\overline{BELH}$		PK3
$\overline{CS0}$		PC9
$\overline{CS1}$		PC10
$\overline{CS2}$		PC11
$\overline{CS3}$		PE0
WAIT		PK6

2.1.3 16 ビットタイマ/イベントカウンタ(TMRB)

TMPM461F15/F10FG では 16 チャネルの TMRB を内蔵しています。

表 2-4 端子仕様

チャネル	TBxOUT	TBxIN0	TBxIN1
TMRB0	PD3	PG8	-
TMRB1	PD4	PG9	-
TMRB2	PD5	PG10	-
TMRB3	PD6	PG11	-
TMRB4	PD7	PC0	PC1
TMRB5	PF0	PC4	PC5
TMRB6	PF1	PC10	PC11
TMRB7	PF2	PE1	PE2
TMRB8	PB0	PE3	PE4
TMRB9	PB1	PF5	PF4
TMRBA	PC9	PF8	PF7
TMRBB	PE0	PF11	PF10
TMRBC	-	PJ1	PJ2
TMRBD	-	PJ3	PJ4
TMRBE	-	-	-
TMRBF	-	-	-

表 2-5 同期スタート仕様

マスタチャネル	スレーブチャネル
TMRB0	TMRB1, TMRB2, TMRB3
TMRB4	TMRB5, TMRB6, TMRB7
TMRB8	TMRB9, TMRBA, TMRBB

表 2-6 キャプチャトリガ仕様

トリガ入力チャネル	トリガ出力
TMRB0 TMRB1 TMRB2 TMRB3	TBCOUT
TMRB4 TMRB5 TMRB6 TMRB7	TBDOUT
TMRB8 TMRB9 TMRBA TMRBB	TBEOUT

2.1.4 16 ビット多目的タイマ(MPT)

TMPM461F15/F10FG では 2 チャネルの MPT を内蔵しています。

表 2-7 端子仕様

チャネル	MTxTBIN	MTxTBOUT	MTx0N	$\overline{\text{GEMGx}}$	MTxOUT0	MTxOUT1
MPT0	PD15	PD14	PD13	PD12	PD14	PD15
MPT1	PC7	PC6	PD5	PD4	PD6	PD7

表 2-8 同期スタート/クリア仕様

マスタチャネル	スレーブチャネル
MPT0	MPT1

2.1.5　シリアルチャネル(SIO/UART)

TMPM461F15/F10FG では 6 チャネルの SIO を内蔵しています。

表 2-9 端子仕様

チャネル	SCxTXD	SCxRXD	SCxSCLK	$\overline{\text{SCxCTS}}$
SC0	PF3	PF4	PF5	PF5
SC1	PF6	PF7	PF8	PF8
SC2	PF9	PF10	PG11	PF11
SC3	PD0	PD1	PD2	PD2
SC4	PD3	PD4	PD5	PD5
SC5	PD13	PD14	PD15	PD15

表 2-10 転送クロック仕様

クロック入力チャネル	クロック出力
SC0 SC1 SC2	TBCOUT
SC3 SC4 SC5	TBDOUT

2.1.6　非同期シリアル通信回路(UART)

TMPM461F15/F10FG では 2 チャネルの UART を内蔵しています。

表 2-11 端子仕様

チャネル	UTxTXD UTxIROUT	UTxRXD UTxIRIN	UTxDCD	UTxDSR	UTxDTR	UTxRIN	$\overline{\text{UTxCTS}}$	$\overline{\text{UTxRTS}}$
UART0	PK0	PK1	PK2	PK3	PK4	PK5	PK6	PK7
UART1	PB9	PB8	PB2	PB3	PB4	PB5	PB6	PB7

2.1.7 I2C バス(I2C)

TMPM461F15/F10FG では 5 チャネルの I2C を内蔵しています。

表 2-12 端子仕様

チャネル	I2CxSDA	I2CxSCL
I2C0	PG4	PG5
I2C1	PG6	PG7
I2C2	PD0	PD1
I2C3	PD3	PD4
I2C4	PD13	PD14

2.1.8 同期式シリアルインタフェース (SSP)

TMPM461F15/F10FG では 3 チャネルの SSP を内蔵しています。

表 2-13 端子仕様

チャネル	SPxCLK	SPxDI	SPxDO	SPxFSS
SSP0	PA3	PA2	PA1	PA0
SSP1	PA7	PA6	PA5	PA4
SSP2	PG3	PG2	PG1	PG0 PG4 PG5 (注)

注) いずれか 1 つを選択して使用してください。

表 2-14 SPxCLK 周期

チャネル	マスタ(min)	スレーブ(min)
SSP0 SSP1	100ns	300ns
SSP2	50ns	150ns

2.1.9 CEC 機能 (CEC)

TMPM461F15/F10FG では 1 チャネルの CEC を内蔵しています。

表 2-15 端子仕様

チャネル	CEC
CEC0	PF13

表 2-16 転送クロック仕様

クロック入力チャネル	クロック出力
CEC0	TBFOUT

2.1.10　リモコン判定機能 (RMC)

TMPM461F15/F10FG では 1 チャネルの RMC を内蔵しています。

表 2-17 端子仕様

チャネル	RXINx
RMC0	PF12

表 2-18 転送クロック仕様

クロック入力チャネル	クロック出力
RMC0	TBFOUT

2.1.11　アナログ/デジタルコンバータ(ADC)

TMPM461F15/F10FG では 1 ユニットの ADC を内蔵しています。

表 2-19 端子仕様

ユニット	AIN0~14	AIN15~19	$\overline{\text{ADTRG}}$
ADC	PH0~15	PI0~4	PE8

表 2-20 内部起動トリガ選択(ADILVTRGSEL)

種類	Bit Symbol	内部トリガ
最優先 AD 変換起動トリガ	HPTRGSEL[3:0]	0000 : $\overline{\text{TRG0}}$ (TMRB ch8 の TB8RG 一致) 0001 : $\overline{\text{TRG1}}$　(TMRB ch9 の TB9RG 一致) 0010 : $\overline{\text{TRG2}}$　(TMRB chA の TBARG 一致) 00 11: $\overline{\text{TRG3}}$　(TMRB chB の TBBRG 一致) 0100 : $\overline{\text{TRG4}}$　(TMRB chC の TBCRG 一致) 0101 : $\overline{\text{TRG5}}$　(TMRB chD の TBDRG 一致) 0110 : $\overline{\text{TRG6}}$　(TMRB chE の TBERG 一致) 0111 : $\overline{\text{TRG7}}$　(TMRB chF の TBFRG 一致) 1000 : $\overline{\text{TRG8}}$　(MPT(IGBT) ch0 の MT0IGTRG 一致) 1001 : $\overline{\text{TRG9}}$　(MPT(IGBT) ch1 の MT1IGTRG 一致) 1010 - 1111: Reserved
通常 AD 変換起動トリガ	TRGSEL[3:0]	0000 : $\overline{\text{TRG0}}$ (TMRB ch8 の TB8RG 一致) 0001 : $\overline{\text{TRG1}}$　(TMRB ch9 の TB9RG 一致) 0010 : $\overline{\text{TRG2}}$　(TMRB chA の TBARG 一致) 00 11: $\overline{\text{TRG3}}$　(TMRB chB の TBBRG 一致) 0100 : $\overline{\text{TRG4}}$　(TMRB chC の TBCRG 一致) 0101 : $\overline{\text{TRG5}}$　(TMRB chD の TBDRG 一致) 0110 : $\overline{\text{TRG6}}$　(TMRB chE の TBERG 一致) 0111 : $\overline{\text{TRG7}}$　(TMRB chF の TBFRG 一致) 1000 : $\overline{\text{TRG8}}$　(MPT(IGBT) ch0 の MT0IGTRG 一致) 1001 : $\overline{\text{TRG9}}$　(MPT(IGBT) ch1 の MT1IGTRG 一致) 1010 - 1111: Reserved

2.1.12 デバッグインタフェース

TMPM461F15/F10FG はシリアルワイヤデバッグポート、JTAG デバッグポートおよびトレース出力をサポートしています。

なお、"デバッグインタフェース"章にある、"JTAG ＋ SW(TRST なし)"の使用法には非対応です。

表 2-21 端子仕様

	TMS SWDIO	TCK SWCLK	TDO SWV	TDI	$\overline{\text{TRST}}$
JTAG シリアルワイヤ	PE3	PE4	PE2	PE1	PE0

	TRACECLK	TRACEDATA0	TRACEDATA1	TRACEDATA2	TRACEDATA3
トレース出力	PE9	PE5	PE6	PE7	PE8

2.2　TMPM461F15/F10FG 使用上の注意

1.DMAC を使用されない場合の注意

全てのユニットに

DMAxCfg = 0x00000001,DMAxChnlReqMaskSet = 0xFFFFFFFF,

DMAxChnlEnableSet = 0xFFFFFFFF を設定してください。

(x = A、B、C)

第 3 章　プロセッサコア

TX04 シリーズには、高性能 32 ビットプロセッサコア(Arm 社 Cortex-M4(FPU 機能搭載)コア)が内蔵されています。プロセッサコアの動作については、Arm 社からリリースされるドキュメンテーションセットを参照してください。ここでは、製品固有の情報について説明します。

3.1　コアに関する情報

TMPM461F15/F10FG で使用している Cortex-M4(FPU 機能搭載)コアのリビジョンは以下のとおりです。

CPU コア部、アーキテクチャなどの詳細は、下記 URL より Arm 社の"Cortex-M4 プロセッサ用ドキュメンテーションセット"を参照してください。

http://infocenter.arm.com/help/index.jsp

製品名	コアリビジョン
TMPM461F15/F10FG	r0p1

3.2　構成可能なオプション

Cortex-M4(FPU 機能搭載)コアは、一部のブロックについて実装するかどうかを選択することができます。

TMPM461F15/F10FG での構成は以下のとおりです。

Configurable options	Implementation
MPU (Memory Protection Unit)	Absent
FPB (Flash Patch and Breakpoint)	Two literal comparators Six instruction comparators
DWT (Data Watchpoint and Trace)	Four comparators
ITM (Instrumentation Trace Macrocell)	Present
ETM (Embedded Trace Macrocell)	Present
AHB-AP (AHB Access Port)	Present
HTM Interface (AHB Trace Macrocell Interface)	Absent
TPIU (Trace Port Interface Unit)	Present
WIC (Wake-up Interrupt Controller)	Absent
Debug Port (Serial-Wire or JTAG Debug Port)	Present
FPU (Floating Point Unit)	Present
Bit banding	Present
Constant AHB control	Disable

3.3　例外/割り込み

例外/割り込みに関連する製品固有の情報をまとめます。

3.3.1　割り込み本数

Cortex-M4(FPU 機能搭載)コアは割り込み本数を 1～240 本の間で任意に構成することができます。

TMPM461F15/F10FG の割り込み本数は 111 本です。割り込み本数は NVIC レジスタの割り込みコントローラタイプレジスタの<INTLINESNUM[3:0]>ビットに反映され、本製品では"0x03"が読み出されます。

3.3.2　割り込み優先度ビット数

Cortex-M4(FPU 機能搭載)コアは割り込み優先度ビット数を 3～8 ビットの間で任意に構成することができます。

TMPM461F15/F10FG の割り込み優先度は 3 ビットです。このビット数は割り込み優先度レジスタとシステムハンドラ優先度レジスタのビット構成に反映されます。

3.3.3　SysTick

Cortex-M4(FPU 機能搭載)コアには SysTick と呼ばれるシステムタイマがあり、SysTick 例外を発生させることができます。

SysTick 例外の詳細については、例外の「SysTick」の章および、「NVIC レジスタ」の SysTick 関連レジスタの章を参照してください。

3.3.4　SYSRESETREQ

Cortex-M4(FPU 機能搭載)コアは、アプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>ビットがセットされると SYSRESETREQ 信号を出力します。

TMPM461F15/F10FG では SYSRESETREQ 信号が出力されるとウォームリセットと同様の動作になります。

3.3.5　LOCKUP

回復不能な例外が発生すると Cortex-M4(FPU 機能搭載)コアは LOCKUP 信号を出力し、ソフトウエアに重大な誤りのあることを示します。

TMPM461F15/F10FG ではこの信号は未使用です。LOCKUP 状態から復帰する際にはマスク不能割り込み(NMI)またはリセットを使用する必要があります。

3.3.6　補助フォールトステータスレジスタ

Cortex-M4(FPU 機能搭載)コアにはソフトウエアに対して追加のシステムフォールト情報を提供するための補助フォールトステータスレジスタが準備されています。

TMPM461F15/F10FG ではこのレジスタに対して機能を定義していません。リードすると常に"0x0000_0000"が読み出されます。

3.4 イベント

Cortex-M4(FPU 機能搭載)コアにはイベント出力信号とイベント入力信号があります。イベント出力信号は、SEV 命令実行により出力されます。また、イベントが入力されると WFE 命令による低電力状態から復帰します。

TMPM461F15/F10FG では、イベント出力信号、イベント入力信号とも未使用です。SEV 命令、WFE 命令は使用しないでください。

3.5 電力管理

Cortex-M4(FPU 機能搭載)コアには電力管理のための信号として SLEEPING および SLEEPDEEP があります。SLEEPDEEP は、システム制御レジスタの<SLEEPDEEP>ビットがセットされている場合に出力されます。

これらの信号は、割り込み待ち(WFI)命令の実行、イベント待ち(WFE)命令の実行または、システム制御レジスタの<SLEEPONEXIT>ビットがセットされている場合の割り込みサービスルーチン(ISR)からの退出時に出力されます。

TMPM461F15/F10FG では、SLEEPDEEP 信号は使用していません。<SLEEPDEEP>ビットはセットしないでください。また、イベント信号も未使用のため、WFE 命令は使用しないでください。

電力管理については、「クロック／モード制御」の章を参照してください。

3.6 排他アクセス

Cortex-M4(FPU 機能搭載)コアの DCode バスおよびシステムバスは排他アクセスをサポートしていますが、TMPM461F15/F10FG ではこの機能を使用していません。

3.7 浮動小数点演算装置(FPU)

本製品は、Armv7-M 浮動小数点拡張(FPv4-SP)の派生仕様の演算装置(FPU)を実装しており、IEEE 標準(ANSI/IEEE Std 754-2008)に準拠した単精度浮動小数点演算が可能です。

この FPU は、アドレスバスとデータバスを Cortex-M4(FPU 機能搭載)コアと共有し、協調して動作します。加算/減算/乗算を 1 クロックで、積和を 3 クロックで実行します。また、CPU とは別に専用データレジスタによる並列処理が可能です。

なお、この FPU は、Arm アーキテクチャリファレンスマニュアルに掲載された、全ての単精度データ演算命令とデータタイプをサポートします。

第 4 章　メモリマップ

4.1　メモリマップ

TMPM461F15/F10FG のメモリマップは、Arm Cortex-M4(FPU 機能搭載）コアのメモリマップに沿って作られており、内蔵 ROM 領域は Cortex-M4(FPU 機能搭載）コアメモリマップの Code 領域、内蔵 RAM 領域は SRAM 領域、特殊機能レジスタ(SFR)領域は Peripheral 領域に割り付けられています。特殊機能レジスタ(SFR：Special function register)とは、入出力ポートおよび周辺機能のコントロールレジスタを示します。

CPU 内レジスタ領域はコア内部のレジスタ領域です。

各領域の詳細については、"Arm ドキュメンテーションセット Cortex-M4 編"を参照してください。

"Fault"と記載された領域では、アクセスするとメモリフォールトが有効な場合にはメモリフォールト、無効な場合にはハードフォールトが発生します。また、ベンダ固有領域にはアクセスしないでください。

TMPM461F15/F10FG のメモリマップを以下に示します。

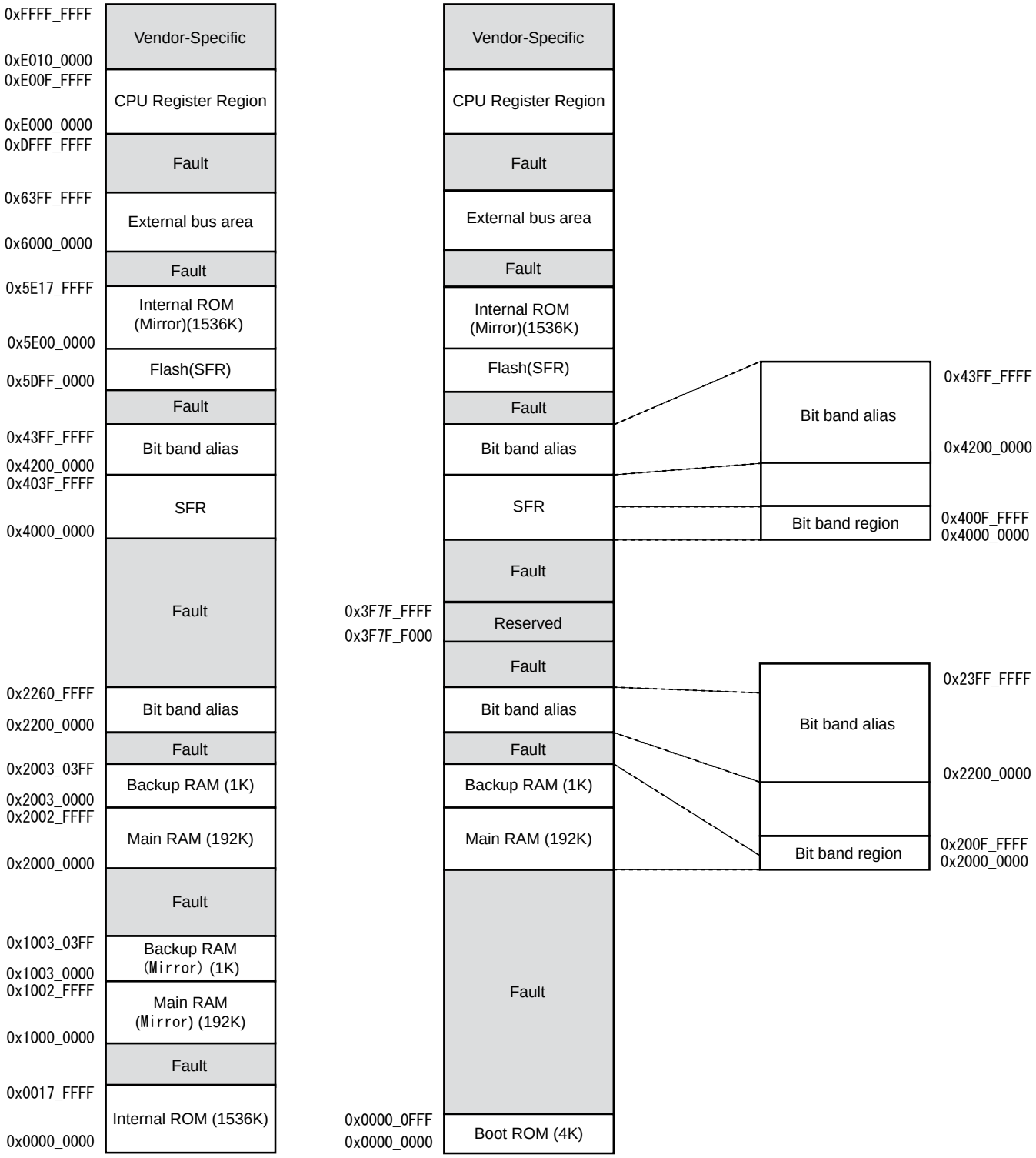


図 4-1 メモリマップ(1536KB 製品)

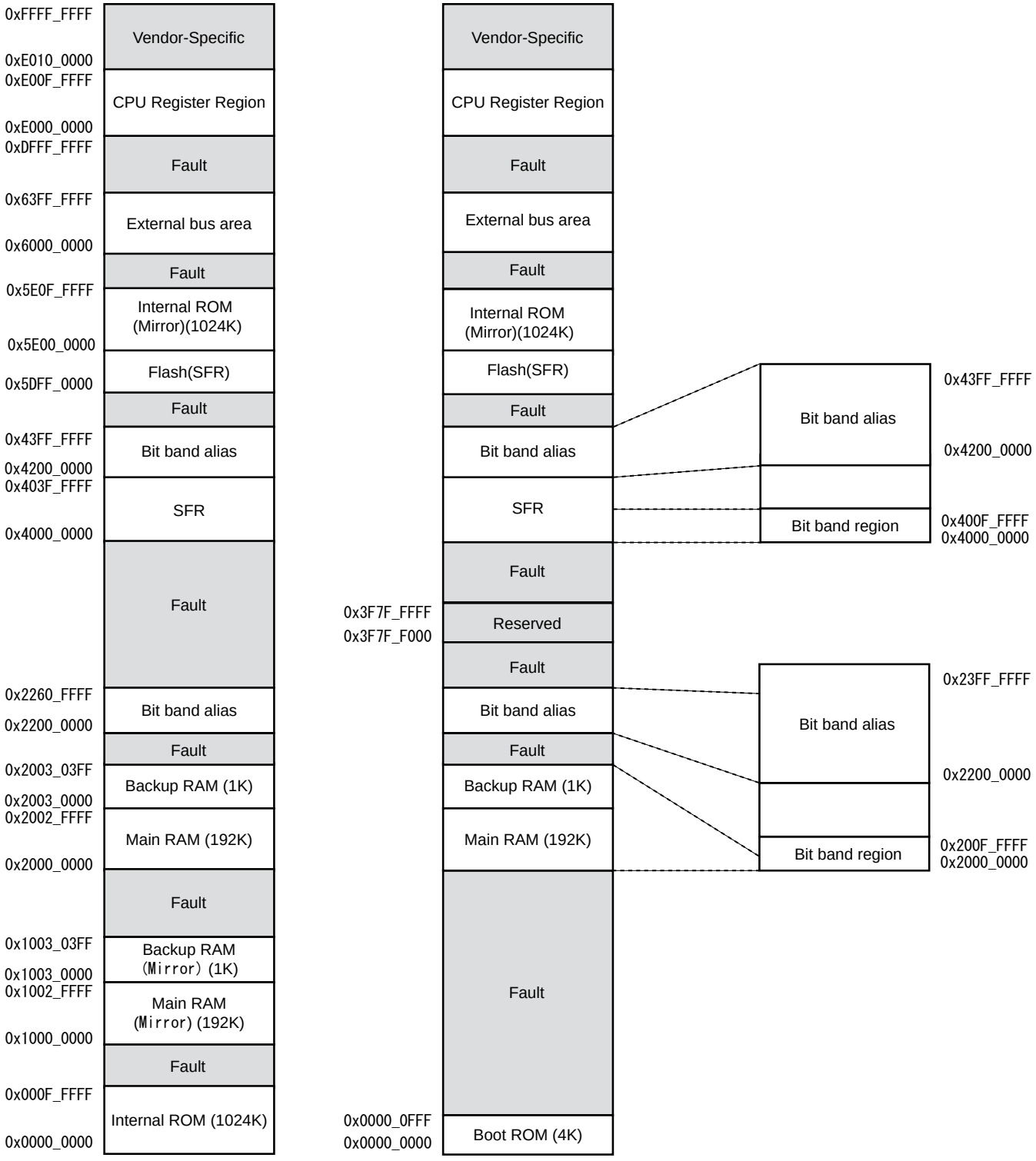


図 4-2 メモリマップ(1024KB 製品)

4.2　バスマトリクス

このマイコンでは、CPU コア、μDMA コントローラ 2 種類のバスマスタが搭載されています。

バスマスタは、バスマトリクスのスレーブポート(S0~S5)に接続され、バスマトリクス内で、接続を示す記号(○,●)を経由して、マスタポート(M0~M15)から、周辺機能に接続されます。●は、ミラー領域への接続を示します。

バスマトリクス内の同一マスタライン上に、複数のスレーブが接続されている場合で、同一タイミングで複数のスレーブにアクセスが発生した場合は、スレーブ番号の小さいマスタのアクセスが優先されます。

4.2.1 構成

4.2.1.1 シングルチップモード

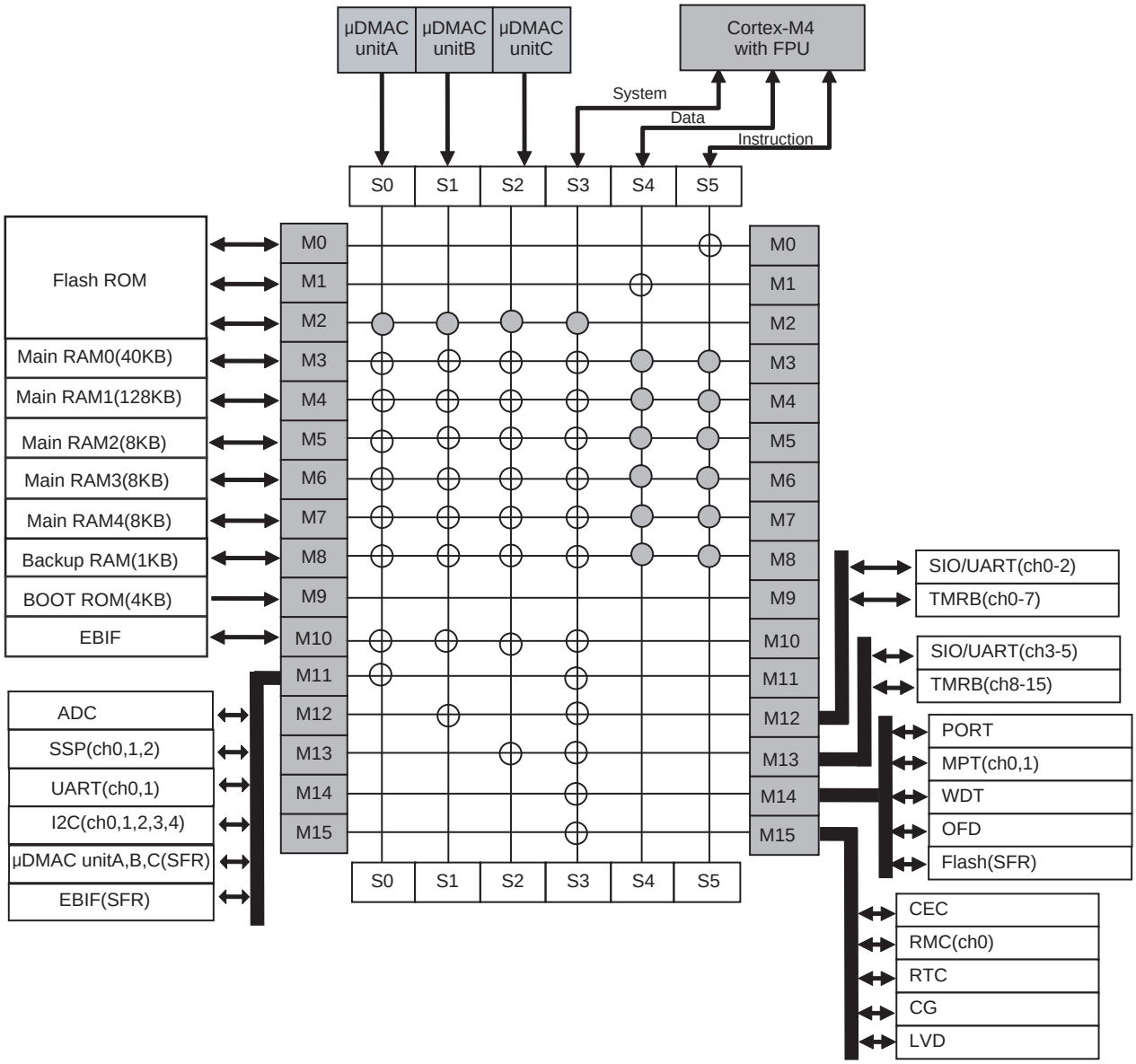


図 4-3 TMPM461F15/F10FG のバス構成

4.2.1.2　シングルブートモード

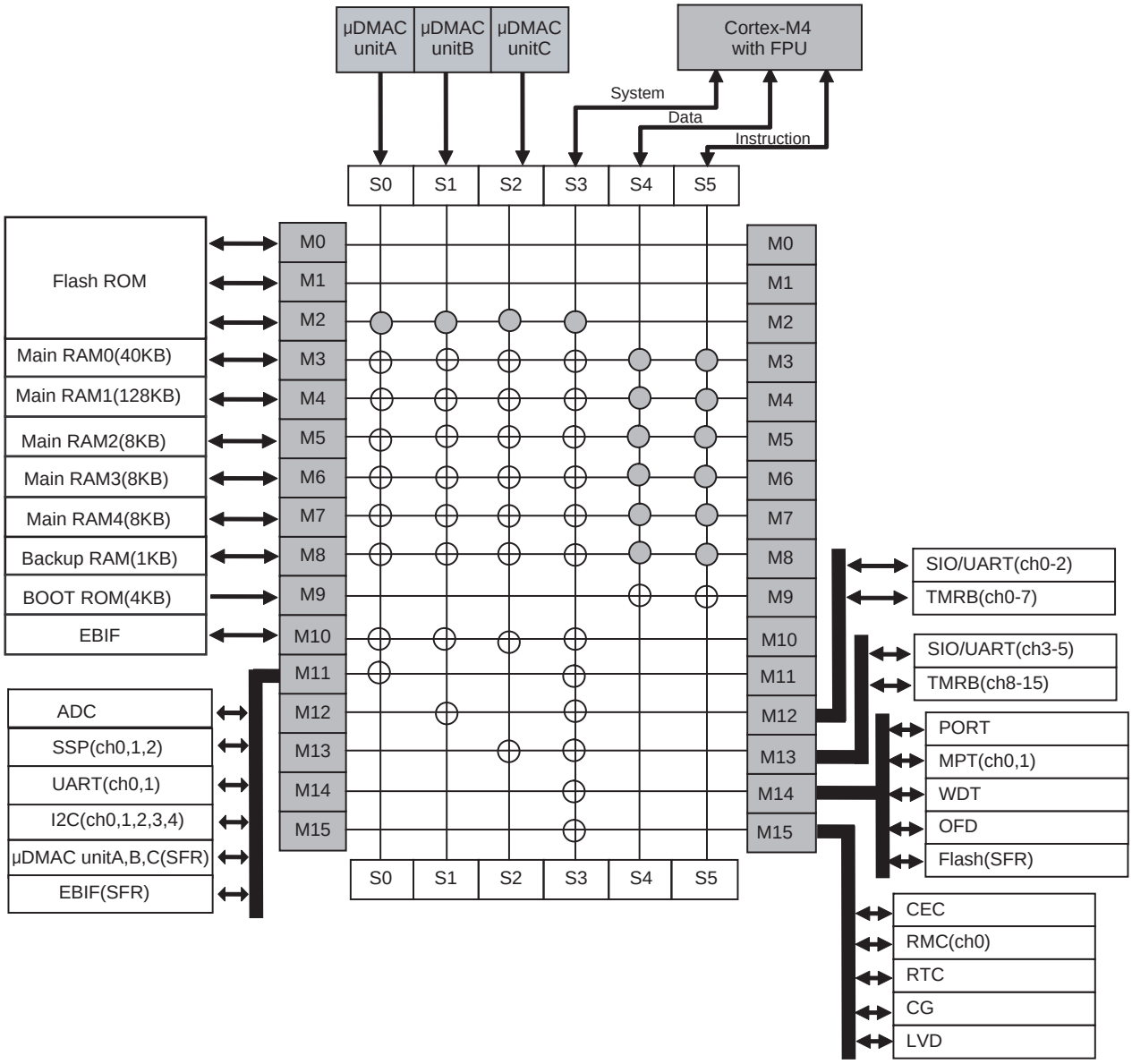


図 4-4 TMPM461F15/F10FG のバス構成

4.2.2 接続表

4.2.2.1 Code 領域/ SRAM 領域

(1) シングルチップモード

Start Address	スレーブ	マスタ	µDMAC unitA	µDMAC unitB	µDMAC unitC	Core S-Bus	Core D-Bus	Core I-Bus
			S0	S1	S2	S3	S4	S5
0x0000_0000	Flash ROM	M0 M1	Fault	Fault	Fault	Fault	o	o
0x0010_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x1000_0000	Main RAM0 (mirror)	M3	Fault	Fault	Fault	Fault	o	o
0x1000_A000	Main RAM1 (mirror)	M4	Fault	Fault	Fault	Fault	o	o
0x1002_A000	Main RAM2 (mirror)	M5	Fault	Fault	Fault	Fault	o	o
0x1002_C000	Main RAM3(mirror)	M6	Fault	Fault	Fault	Fault	o	o
0x1002_E000	Main RAM4(mirror)	M7	Fault	Fault	Fault	Fault	o	o
0x1003_0000	Backup RAM (mirror)	M8	Fault	Fault	Fault	Fault	o	o
0x1003_0400	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x2000_0000	Main RAM0	M3	o	o	o	o	Fault	Fault
0x2000_A000	Main RAM1	M4	o	o	o	o	Fault	Fault
0x2002_A000	Main RAM2	M5	o	o	o	o	Fault	Fault
0x2002_C000	Main RAM3	M6	o	o	o	o	Fault	Fault
0x2002_E000	Main RAM4	M7	o	o	o	o	Fault	Fault
0x2003_0000	Backup RAM	M8	o	o	o	o	Fault	Fault
0x2003_0400	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x2200_0000	Bit band alias	-	Fault	Fault	Fault	o	Fault	Fault
0x2260_8000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault

(2)　シングルブートモード

Start Address	スレーブ	マスタ	µDMAC unitA	µDMAC unitB	µDMAC unitC	Core S-Bus	Core D-Bus	Core I-Bus
			S0	S1	S2	S3	S4	S5
0x0000_0000	Boot ROM	M9	Fault	Fault	Fault	Fault	o	o
0x0000_1000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x1000_0000	Main RAM0 (mirror)	M3	Fault	Fault	Fault	Fault	o	o
0x1000_A000	Main RAM1 (mirror)	M4	Fault	Fault	Fault	Fault	o	o
0x1002_A000	Main RAM2 (mirror)	M5	Fault	Fault	Fault	Fault	o	o
0x1002_C000	Main RAM3(mirror)	M6	Fault	Fault	Fault	Fault	o	o
0x1002_E000	Main RAM4(mirror)	M7	Fault	Fault	Fault	Fault	o	o
0x1003_0000	Backup RAM (mirror)	M8	Fault	Fault	Fault	Fault	o	o
0x1003_0400	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x2000_0000	Main RAM0	M3	o	o	o	o	Fault	Fault
0x2000_A000	Main RAM1	M4	o	o	o	o	Fault	Fault
0x2002_A000	Main RAM2	M5	o	o	o	o	Fault	Fault
0x2002_C000	Main RAM3	M6	o	o	o	o	Fault	Fault
0x2002_E000	Main RAM4	M7	o	o	o	o	Fault	Fault
0x2003_0000	Backup RAM	M8	o	o	o	o	Fault	Fault
0x2003_0400	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x2200_0000	Bit band alias	-	Fault	Fault	Fault	o	Fault	Fault
0x2260_8000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x3F7F_F000	Reserved	-	Fault	Fault	Fault	Reserved	Fault	Fault
0x3F80_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault

注)　Reserved 記載のアドレス範囲にはアクセスしないでください。

4.2.2.2 Peripheral 領域/ 外部バス領域

Start Address	スレーブ	マスタ	µDMAC unitA S0	µDMAC unitB S1	µDMAC unitC S2	Core S-Bus S3	Core D-Bus S4	Core I-Bus S5
0x4000_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x4004_0000	SSP	M11	o	-	-	o	Fault	Fault
0x4004_8000	UART		o	-	-	o	Fault	Fault
0x4004_C000	µDMAC unitA(SFR)		o	-	-	o	Fault	Fault
0x4004_D000	µDMAC unitB(SFR)		o	-	-	o	Fault	Fault
0x4004_E000	µDMAC unitC(SFR)		o	-	-	o	Fault	Fault
0x4005_0000	ADC		o	-	-	o	Fault	Fault
0x4005_C000	EBIF(SFR)		o	-	-	o	Fault	Fault
0x4005_F000	DMAIF		o	-	-	o	Fault	Fault
0x4006_6000	ADCILV		o	-	-	o	Fault	Fault
0x400A_0000	I2C		o	-	-	o	Fault	Fault
0x400C_0000	Reserved	-	-	-	-	o	Fault	Fault
0x400C_4000	TMRB(ch0-7)	M12	-	o	-	o	Fault	Fault
0x400E_1000	SIO/UART (ch0-2)		-	o	-	o	Fault	Fault
0x4010_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x401C_4800	TMRB(ch8-F)	M13	-	-	o	o	Fault	Fault
0x401E_1300	SIO/UART (ch3-5)		-	-	o	o	Fault	Fault
0x4020_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x402C_0000	PORT	M14	-	-	-	o	Fault	Fault
0x402C_7000	MPT		-	-	-	o	Fault	Fault
0x402F_1000	OFD		-	-	-	o	Fault	Fault
0x402F_2000	WDT		-	-	-	o	Fault	Fault
0x4030_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x403C_C000	RTC	M15	-	-	-	o	Fault	Fault
0x403E_6000	CEC		-	-	-	o	Fault	Fault
0x403E_7000	RMC		-	-	-	o	Fault	Fault
0x403F_3000	CG		-	-	-	o	Fault	Fault
0x403F_4000	LVD		-	-	-	o	Fault	Fault
0x4040_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x4200_0000	Bit band alias	-	Fault	Fault	Fault	o	Fault	Fault
0x4400_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x5DFF_0000	Flash(SFR)	M14	-	-	-	o	Fault	Fault
0x5E00_0000	Flash(Mirror)	M2	o	o	o	o	Fault	Fault
0x5E18_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault
0x6000_0000	EBIF	M10	o	o	o	o	Fault	Fault
0x6400_0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault

4.2.3　周辺機能ベースアドレス一覧

Peripheral 領域のうち、制御レジスタ以外のアドレスにはアクセスしないでください。制御レジスタの詳細は、各周辺機能の章を参照してください。

周辺機能		ベースアドレス
同期式シリアルインタフェース(SSP)	ch0	0x4004_0000
	ch1	0x4004_1000
	ch2	0x4004_2000
非同期シリアル通信回路(UART)	ch0	0x4004_8000
	ch1	0x4004_9000
μDMA コントローラ(μDMAC)	unitA	0x4004_C000
	unitB	0x4004_D000
	unitC	0x4004_E000
	DMAIF	0x4005_F000
アナログ/デジタルコンバータ(ADC)	AD	0x4005_0000
	ADCILV	0x4006_6000
外部バスインタフェース(EBIF)		0x4005_C000
I2C バスインタフェース(I2C)	ch0	0x400A_0000
	ch1	0x400A_1000
	ch2	0x400A_2000
	ch3	0x400A_3000
	ch4	0x400A_4000
16 ビットタイマ/イベントカウンタ(TMRB)	ch0	0x400C_4000
	ch1	0x400C_4100
	ch2	0x400C_4200
	ch3	0x400C_4300
	ch4	0x400C_4400
	ch5	0x400C_4500
	ch6	0x400C_4600
	ch7	0x400C_4700
	ch8	0x401C_4800
	ch9	0x401C_4900
	chA	0x401C_4A00
	chB	0x401C_4B00
	chC	0x401C_4C00
	chD	0x401C_4D00
	chE	0x401C_4E00
	chF	0x401C_4F00
シリアルチャネル(SIO/UART)	ch0	0x400E_1000
	ch1	0x400E_1100
	ch2	0x400E_1200
	ch3	0x401E_1300
	ch4	0x401E_1400
	ch5	0x401E_1500

周辺機能		ベースアドレス
入出力ポート	Port A	0x402C_0000
	Port B	0x402C_0100
	Port C	0x402C_0200
	Port D	0x402C_0300
	Port E	0x402C_0400
	Port F	0x402C_0500
	Port G	0x402C_0600
	Port H	0x402C_0700
	Port J	0x402C_0800
	Port K	0x402C_0900
16 ビット多目的タイマ (MPT)	MPT0	0x402C_7000
	MPT1	0x402C_7100
周波数検知回路(OFD)		0x402F_1000
ウォッチドッグタイマ(WDT)		0x402F_2000
リアルタイムクロック(RTC)		0x403C_C000
CEC 機能(CEC)		0x403E_6000
リモコン判定機能(RMC)	ch0	0x403E_7000
クロック/モード制御(CG)		0x403F_3000
電圧検出回路(LVD)		0x403F_4000
フラッシュ制御(Flash SFR)		0x5DFF_0000

第 5 章　リセット動作

リセットの種類として以下のものがあります。

- リセット端子($\overline{\text{RESET}}$)
- STOP2 モード解除
- 電圧検出回路(LVD)
- 周波数検知回路(OFD)
- ウォッチドッグタイマ(WDT)
- アプリケーションおよびリセット制御レジスタ<SYSRESETREQ> (CPU)

リセットの要因を確認するためには、クロックジェネレータレジスタの CGRSTFLG を参照してください。CGRSTFLG にはリセットごとに要因に対応するビットがセットされます。詳細は例外の章を参照してください。

STOP2 モード解除によるリセットについては「クロック/モード制御」の章を参照してください。

電圧検出回路によるリセットについては「電圧検出回路(LVD)」の章を参照してください。

周波数検知回路によるリセットについては「周波数検知回路(OFD)」の章を参照してください。

ウォッチドッグタイマによるリセットについては「ウォッチドッグタイマ(WDT)」の章を参照してください。

<SYSRESETREQ>によるリセットについては"Cortex-M4 テクニカルリファレンスマニュアル"を参照してください。

注 1)　リセット動作を行うと内蔵 RAM のデータは保証されません。

5.1　コールドリセット

電源投入は $\overline{\text{RESET}}$ 端子を"Low"にした状態で行ってください。

電源投入の際には、内蔵レギュレータの安定のための時間を考慮する必要があります。本製品では、内蔵レギュレータ安定のための時間として約 2ms 必要です。内蔵レギュレータが安定するための十分な時間 $\overline{\text{RESET}}$ 端子に"Low"を入力する必要があります。内部リセット信号が解除されるのは、$\overline{\text{RESET}}$ 端子が"High"になってから約 0.251ms 後です。

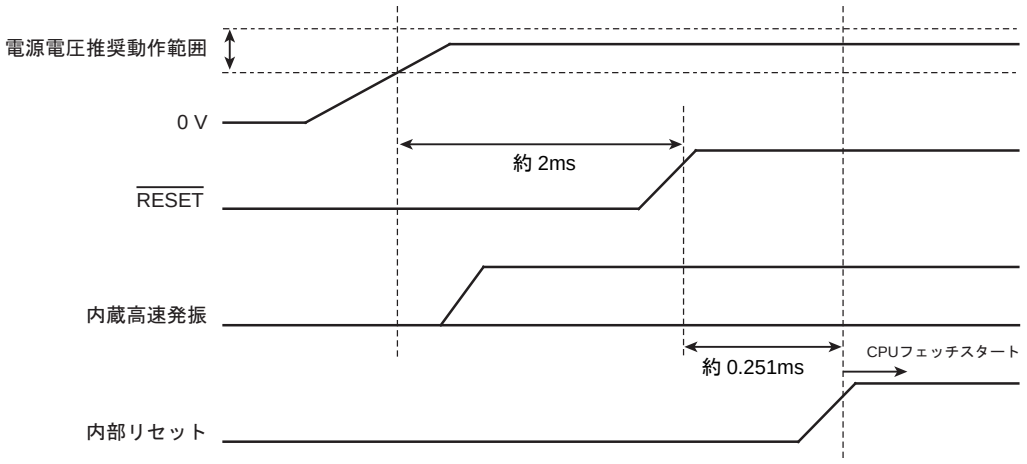


図 5-1 コールドリセットシーケンス

注)　再電源投入時は、必ず上記シーケンスで行ってください。

5.2　ウォームリセット

TMPM461F15/F10FG にリセットをかけるには、電源電圧が推奨動作範囲内で $\overline{\text{RESET}}$ 端子を少なくとも 2ms 間"Low"にしてください。$\overline{\text{RESET}}$ 端子が"High"になってから約 0.251ms 後に内部リセットが解除されます。

WDT および<SYSRESETREQ>によるリセットでは、内部高周波発振約 30 クロックで内部リセットが解除されます。

5.3　リセット解除後

リセットにより、コアおよび周辺機能の全ての制御レジスタが初期化されます。

リセット解除後、内蔵高速発振器のクロックで動作を開始します。必要に応じて外部クロック、PLL 逓倍回路の設定を行ってください。

第 6 章　クロック/モード制御

6.1　概要

クロック/モード制御では、クロックギアやプリスケーラクロックの選択、PLL(逓倍回路)や発振器のウォーミングアップなどを設定することが可能です。

また、低消費電力モードがあり、モード遷移を行うことで電力の消費を抑えることが可能です。

この章では、クロックの制御および動作モードとモード遷移について説明します。

6.2　レジスタ説明

6.2.1　レジスター覧

クロック/モード制御のレジスタとアドレスを以下に示します。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照してください。

レジスタ名		Address(Base+)
システムコントロールレジスタ	CGSYSCR	0x0000
発振コントロールレジスタ	CGOSCCR	0x0004
スタンバイコントロールレジスタ	CGSTBYCR	0x0008
PLL セレクトレジスタ	CGPLLSEL	0x000C
周辺機能クロック停止レジスタ A	CGFSYSMSKA	0x0020
周辺機能クロック停止レジスタ B	CGFSYSMSKB	0x0024
プロテクトレジスタ	CGPROTECT	0x003C

6.2.2 CGSYSCR(システムコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	FCSTOP	-	-	-	SCOSEL
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	FPSEL	-	PRCK		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	GEAR		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-21	–	R	リードすると"0"が読めます。
20	FCSTOP	R/W	ADC クロック選択 0: 動作 1: 停止 ADC 用クロックの供給を停止させることが可能です。 リセット後は ADC クロックは供給されています。 "1"(停止)に設定する場合は、必ず AD 変換が停止または終了していることを確認してから設定してください。
19-17	–	R	リードすると"0"が読めます。
16	SCOSEL	R/W	SCOUT 出力選択 0: fsys 1: fs
15-13	–	R	リードすると"0"が読めます。
12	FPSEL	R/W	fperiph 選択 0: fgear 1: fc fperiph のソースクロックを選択します。 fc を選択した場合、クロックギアの切り替えに関係なく、fperiph を固定することが可能です。
11	–	R	リードすると"0"が読めます。
10-8	PRCK[2:0]	R/W	プリスケーラクロック選択 000: fperiph　100: fperiph/16 001: fperiph/2　101: fperiph/32 010: fperiph/4　110: Reserved 011: fperiph/8　111: Reserved 周辺機能に供給するプリスケーラクロックを選択します。
7-3	–	R	リードすると"0"が読めます。
2-0	GEAR[2:0]	R/W	高速クロック(fc)のギア選択 000: fc　100: fc/2 001: Reserved　101: fc/4 010: Reserved　110: fc/8 011: Reserved　111: fc/16

6.2.3　CGOSCCR(発振コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	WUPT							
リセット後	1	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	WUPT				WUPTL		WUPSEL2	WUPSEL1
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	WUEF	WUEON	-	-	-	HOSCON	OSCF	OSCSEL
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DRVOSCL	-	-	-	XTEN	XEN3	XEN2	XEN1
リセット後	0	0	0	0	1	1	1	0

Bit	Bit Symbol	Type	機能
31-20	WUPT[11:0]	R/W	ウォーミングアップカウンタ設定値 ウォーミングアップタイマの、上位 12 ビットのカウント値を設定します。
19-18	WUPTL[1:0]	R/W	ウォーミングアップカウンタ設定値 ウォーミングアップタイマの、下位 2 ビットのカウント値を設定します。低速クロックのときのみ使用します。
17	WUPSEL2	R/W	高速ウォームアップクロック選択 0: 内蔵高速発振 1: 外部高速発振 ウォーミングアップさせたい発振器のクロックを選択します。選択されたクロックでウォーミングアップタイマのカウントを行います。
16	WUPSEL1	R/W	ウォームアップカウンタ選択 0: 高速 1: 低速
15	WUEF	R	ウォーミングアップタイマステータス 0: ウォーミングアップ終了 1: ウォーミングアップ中 ウォーミングアップタイマの状態を確認できます。
14	WUEON	W	ウォーミングアップタイマ制御 0: don't care 1: ウォーミングアップスタート このビットをセットすることでウォーミングアップタイマがスタートします。 リードすると"0"が読めます。
13-11	−	R	リードすると"0"が読めます。
10	HOSCON	R/W	外部発振選択 0: 外部クロック入力 1: 発振子
9	OSCF	R	高速発振選択ステータス 0: 内蔵 1: 外部
8	OSCSEL	R/W	高速発振選択(注 6) 0: 内蔵 1: 外部
7	DRVOSCL	R/W	低速発振器電流制御　(注 7)(注 8) 0: 電流大 1: 電流小
6-4	−	R	リードすると"0"が読めます。
3	XTEN	R/W	外部低速発振器の動作選択 0: 停止 1: 発振

Bit	Bit Symbol	Type	機能
2	XEN3	R/W	内蔵高速発振器(OFD 用) 0: 停止 1: 発振
1	XEN2	R/W	内蔵高速発振器の動作選択(SYS 用)(注 9) 0: 停止 1: 発振
0	XEN1	R/W	外部高速発振（注 10） 0: 未使用 1: 使用

注 1) ウォーミングアップ時間の設定については 6.6.8.1 を参照してください。

注 2) 外部クロックを入力するとき、<HOSCON>でクロックを選択後、<OSCSEL>を選択してください。(<OSCSEL>の設定変更と同時に<HOSCON>の設定変更を行わないでください。)

注 3) PLL の設定については、「6.3.5 クロック逓倍回路(PLL)」を参照してください。

注 4) STOP1/2 モードから復帰する際、内蔵高速発振器起動のため関係ビット CGOSCCR<WUPSEL2>, <WUPSEL1>,<OSCSEL>, <XEN2>, <XEN1>, および CGPLLSEL<PLLON>,<PLLSEL>は初期化され、内蔵高速発振で起動します。

注 5) 内蔵高速発振器(IHOSC)を使用する場合、発振精度を要求するシステムクロックとしては使用しないでください。

注 6) <OSCSEL>の設定を変更した場合、<OSCF>が選択したクロックに切り替わっていることを確認してから次の操作を行ってください。

注 7) リセットにより"0"に初期化されますが、発振安定時は必ず、"1"に設定して使用してください。

注 8) STOP1/2 モードへ遷移しなかった場合も、CGOSCCR<DRVOSCL>が初期化される場合があります。

注 9) STOP2 モードからノーマルモードへ遷移後に内蔵高速発振器の停止を行う場合は、CGRSTFLG<OSCFLG>が"1"であることを確認してください。

注 10) 外部高速クロック(発振子接続/クロック入力）を使用する場合は必ず”1”を設定してください。

6.2.4　CGSTBYCR(スタンバイコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	PTKEEP	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	STBY		
リセット後	0	0	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-18	–	R	リードすると"0"が読めます。
17	PTKEEP	R/W	STOP2 モード中の I/O 制御信号を保持 0:Port による制御 1: 0->1 設定時の状態を保持(STOP2 モード遷移時前に設定が必要です)
16-3	–	R	リードすると"0"が読めます。
2-0	STBY[2:0]	R/W	低消費電力モード選択 000: Reserved 001: STOP1 010: Reserved 011: IDLE 100: Reserved 101: STOP2 110: Reserved 111: Reserved

注)　Reserved は設定禁止です。

6.2.5 CGPLLSEL(PLL セレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	PLLST	PLLSEL	PLLON
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PLLSET							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PLLSET							-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	–	R	リードすると"0"が読めます。
18	PLLST	R	PLL 選択ステータス 0:fosc 1:fpll
17	PLLSEL	R/W	PLL 選択 0:fosc 1:fpll
16	PLLON	R/W	PLL 動作 0:停止 1:発振
15-1	PLLSET	R/W	PLL 逓倍値設定(下記以外は設定禁止) 0x6A0F:入力クロック 8MHz, 出力クロック 32MHz (4 逓倍) 0x6917:入力クロック 8MHz, 出力クロック 48MHz (6 逓倍) 0x691F:入力クロック 8MHz, 出力クロック 64MHz (8 逓倍) 0x6A26:入力クロック 8MHz, 出力クロック 80MHz (10 逓倍) 0x692E:入力クロック 8MHz, 出力クロック 96MHz (12 逓倍) 0x6A0F:入力クロック 10MHz, 出力クロック 40MHz (4 逓倍) 0x6A13:入力クロック 10MHz, 出力クロック 50MHz (5 逓倍) 0x6917:入力クロック 10MHz, 出力クロック 60MHz (6 逓倍) 0x6A26:入力クロック 10MHz, 出力クロック 100MHz (10 逓倍) 0x692E:入力クロック 10MHz, 出力クロック 120MHz (12 逓倍) 0x6A0F:入力クロック 12MHz, 出力クロック 48MHz (4 逓倍) 0x6A26:入力クロック 12MHz, 出力クロック 120MHz (10 逓倍) 0x6A0F:入力クロック 16MHz, 出力クロック 64MHz (4 逓倍) 0x6A16:入力クロック 16MHz, 出力クロック 96MHz (6 逓倍)
0	–	R	リードすると"0"が読めます。

注 1) PLL 逓倍数は表 6-2 の設定範囲で使用してください。

注 2) PLL の設定については、「6.3.5 クロック逓倍回路(PLL)」を参照してください。

注 3) STOP1/2 モードから復帰する際、CGOSCCR<WUPSEL2>, <WUPSEL1>,<OSCSEL>, <XEN2>, <XEN1>, および CGPLLSEL<PLLON>,<PLLSEL>は初期化され、内蔵高速発振で起動します。

注 4) <PLLSEL>の設定を変更した場合、書き込んだ値が反映されていることを確認してから次の操作を行ってください。

6.2.6　CGFSYSMSKA(周辺機能クロック供給停止レジスタ A)

	31	30	29	28	27	26	25	24
bit symbol	TRACECLK	MPT1	MPT0	TMRB15	TMRB14	TMRB13	TMRB12	TMRB11
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TMRB10	TMRB9	TMRB8	TMRB7	TMRB6	TMRB5	TMRB4	TMRB3
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TMRB2	TMRB1	TMRB0	-	-	-	PORTK	PORTJ
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PORTH	PORTG	PORTF	PORTE	PORTD	PORTC	PORTB	PORTA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	TRACECLK	R/W	TRACE 用クロック供給選択 0: 供給 1: 停止
30	MPT1	R/W	MPT1 用クロック供給選択 0: 供給 1: 停止
29	MPT0	R/W	MPT0 用クロック供給選択 0: 供給 1: 停止
28	TMRB15	R/W	TMRB15 用クロック供給選択 0: 供給 1: 停止
27	TMRB14	R/W	TMRB14 用クロック供給選択 0: 供給 1: 停止
26	TMRB13	R/W	TMRB13 用クロック供給選択 0: 供給 1: 停止
25	TMRB12	R/W	TMRB12 用クロック供給選択 0: 供給 1: 停止
24	TMRB11	R/W	TMRB11 用クロック供給選択 0: 供給 1: 停止
23	TMRB10	R/W	TMRB10 用クロック供給選択 0: 供給 1: 停止
22	TMRB9	R/W	TMRB9 用クロック供給選択 0: 供給 1: 停止
21	TMRB8	R/W	TMRB8 用クロック供給選択 0: 供給 1: 停止
20	TMRB7	R/W	TMRB7 用クロック供給選択 0: 供給 1: 停止

Bit	Bit Symbol	Type	機能
19	TMRB6	R/W	TMRB6 用クロック供給選択 0: 供給 1: 停止
18	TMRB5	R/W	TMRB5 用クロック供給選択 0: 供給 1: 停止
17	TMRB4	R/W	TMRB4 用クロック供給選択 0: 供給 1: 停止
16	TMRB3	R/W	TMRB3 用クロック供給選択 0: 供給 1: 停止
15	TMRB2	R/W	TMRB2 用クロック供給選択 0: 供給 1: 停止
14	TMRB1	R/W	TMRB1 用クロック供給選択 0: 供給 1: 停止
13	TMRB0	R/W	TMRB0 用クロック供給選択 0: 供給 1: 停止
12	-	R/W	"1"を書いてください。
11	-	R/W	"1"を書いてください。
10	-	R/W	"1"を書いてください。
9	PORTK	R/W	PORTK 用クロック供給選択 0: 供給 1: 停止
8	PORTJ	R/W	PORTJ 用クロック供給選択 0: 供給 1: 停止
7	PORTH	R/W	PORTH 用クロック供給選択 0: 供給 1: 停止
6	PORTG	R/W	PORTG 用クロック供給選択 0: 供給 1: 停止
5	PORTF	R/W	PORTF 用クロック供給選択 0: 供給 1: 停止
4	PORTE	R/W	PORTE 用クロック供給選択 0: 供給 1: 停止
3	PORTD	R/W	PORTD 用クロック供給選択 0: 供給 1: 停止
2	PORTC	R/W	PORTC 用クロック供給選択 0: 供給 1: 停止
1	PORTB	R/W	PORTB 用クロック供給選択 0: 供給 1: 停止
0	PORTA	R/W	PORTA 用クロック供給選択 0: 供給 1: 停止

注)　周辺機能が停止している状態で"1"に設定してください。"1"設定後は"0"設定は禁止です。。

6.2.7 CGFSYSMSKB(周辺機能クロック供給停止レジスタ B)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	OFD	WDT	ADC	DMAIF
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	DMAC	DMAB	DMAA	EBIF	SSP2	SSP1	SSP0	I2C4
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	I2C3	I2C2	I2C1	I2C0	UART1	UART0	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	SIO5	SIO4	SIO3	SIO2	SIO1	SIO0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-28	–	R	リードすると"0"が読めます。
27	OFD	R/W	OFD 用クロック供給選択 0: 供給 1: 停止
26	WDT	R/W	WDT 用クロック供給選択 0: 供給 1: 停止
25	ADC	R/W	ADC 用クロック供給選択 0: 供給 1: 停止
24	DMAIF	R/W	DMAIF 用クロック供給選択 0: 供給 1: 停止
23	DMAC	R/W	DMAC 用クロック供給選択 0: 供給 1: 停止
22	DMAB	R/W	DMAB 用クロック供給選択 0: 供給 1: 停止
21	DMAA	R/W	DMAA 用クロック供給選択 0: 供給 1: 停止
20	EBIF	R/W	EBIF 用クロック供給選択 0: 供給 1: 停止
19	SSP2	R/W	SSP2 用クロック供給選択 0: 供給 1: 停止
18	SSP1	R/W	SSP1 用クロック供給選択 0: 供給 1: 停止
17	SSP0	R/W	SSP0 用クロック供給選択 0: 供給 1: 停止
16	I2C4	R/W	I2C4 用クロック供給選択 0: 供給 1: 停止

Bit	Bit Symbol	Type	機能
15	I2C3	R/W	I2C3 用クロック供給選択 0: 供給 1: 停止
14	I2C2	R/W	I2C2 用クロック供給選択 0: 供給 1: 停止
13	I2C1	R/W	I2C1 用クロック供給選択 0: 供給 1: 停止
12	I2C0	R/W	I2C0 用クロック供給選択 0: 供給 1: 停止
11	UART1	R/W	UART1 用クロック供給選択 0: 供給 1: 停止
10	UART0	R/W	UART0 用クロック供給選択 0: 供給 1: 停止
9	-	R/W	"1"を書いてください。
8	-	R/W	"1"を書いてください。
7	-	R/W	"1"を書いてください。
6	-	R/W	"1"を書いてください。
5	SIO5	R/W	SIO5 用クロック供給選択 0: 供給 1: 停止
4	SIO4	R/W	SIO4 用クロック供給選択 0: 供給 1: 停止
3	SIO3	R/W	SIO3 用クロック供給選択 0: 供給 1: 停止
2	SIO2	R/W	SIO2 用クロック供給選択 0: 供給 1: 停止
1	SIO1	R/W	SIO1 用クロック供給選択 0: 供給 1: 停止
0	SIO0	R/W	SIO0 用クロック供給選択 0: 供給 1: 停止

注)　周辺機能が停止している状態で"1"に設定してください。"1"設定後は"0"設定は禁止です。

6.2.8 CGPROTECT(プロテクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CGPROTECT							
リセット後	1	1	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	CGPROTECT	R/W	レジスタ書き込み制御 0xC1 : 許可 0xC1 以外 : 禁止 初期状態は"0xC1"で書き込み許可となっています。"0xC1"以外の値を設定することで CG 関連レジスタのうち CGPROTECT 以外のレジスタへの書き込みができなくなります。

6.3　クロック制御

6.3.1　クロックの種類

クロックの一覧を以下に示します。

EHCLKIN	: X1 端子より入力されるクロック
EHOSC	: 外部高速発振器から出力されるクロック
ELOSC	: 外部低速発振器から出力されるクロック
IHOSC	: 内蔵高速発振器から出力されるクロック(SYS 用)
IHOSC2	: 内蔵高速発振器から出力されるクロック(OFD 基準クロック用)
FOSCHI	: OSCCR<HOSCON>で選択したクロック
fosc	: CGOSCCR<OSCSEL>選択したクロック
fpll	: PLL により逓倍されたクロック
fc	: CGPLLSEL<PLLSEL>で選択されたクロック(高速クロック)
fgear	: CGSYSCR<GEAR[2:0]>で選択されたクロック
fsys	: fgear と同一のクロック(システムクロック)
fperiph	: CGSYSCR<FPSEL[2:0]>で選択されたクロック
φT0	: CGSYSCR<PRCK[2:0]>で選択されたクロック (プリスケーラクロック)

高速クロック fc、プリスケーラクロック φT0 は以下のように分周することが可能です。

高速クロック	: fc, fc/2, fc/4, fc/8, fc/16
プリスケーラクロック	: fperiph, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32

6.3.2　リセット動作による初期値

リセット動作により、クロックの設定は下記のような状態に初期化されます。

内蔵高速発振器	: 発振(ON)
外部高速発振器	: 停止(OFF)
外部低速発振器	: 発振(ON)
PLL (逓倍回路)	: 停止(OFF)
高速クロックギア	: fc (分周なし)
OFD 専用内蔵発振器	: 発振(ON)

リセット動作により全てのクロックの設定が fosc と同じになります。

例えばリセット解除後、内蔵発振が動作すると、システムクロック fsys は内蔵発振と同じ周波数になります。

fc = fosc
fsys = fosc
φT0 = fosc

6.3.3 クロック系統図

クロック系統図を図 6-1 に示します。

セレクタに入力されるクロックのうち、矢印つきのものがリセット後の初期状態として選択されます。

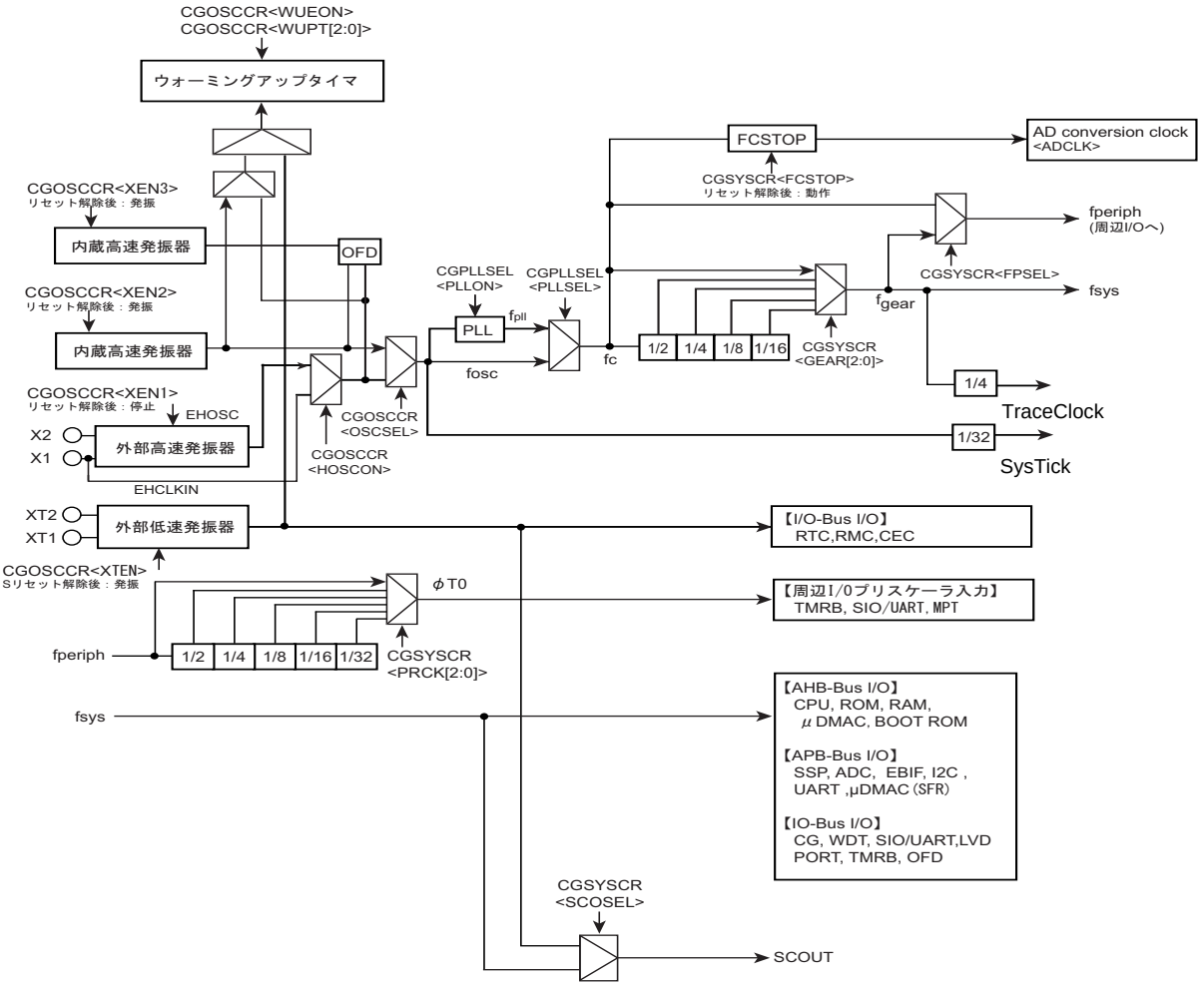


図 6-1 クロック系統図

6.3.4　ウォーミングアップ機能

ウォーミングアップ機能は、fs の発振安定時間、STOP1 および STOP2 モード解除時にウォーミングアップタイマを用いて発振子の発振安定時間や、PLL の安定時間を確保するための機能です。詳細機能については「6.6.7 ウォーミングアップ」で説明します。

注)　ウォーミングアップタイマ動作中に低消費電力モードに遷移しないでください。

ウォーミングアップ機能の使用方法を説明します。

1. クロックの選択

   ウォーミングアップカウンタのカウントアップクロックを CGOSCCR<WUPSEL2>、<WUPSEL1>で選択します。

2. ウォーミングアップカウンタ設定値の算出

   ウォーミングアップ時間は CGOSCCR<WUPT[11:0]><WUPTL[1:0]>により任意の値が設定可能です。CGOSCCR<WUPT[11:0]><WUPTL[1:0]>の設定値は、以下の計算式から算出し、下位 4 ビットを切り捨てて、高速クロックのウォーミングアップの場合は<WUPT[11:0]>に、低速クロックのウォーミングアップの場合は<WUPT[11:0]><WUPTL[1:0]>に設定します。

   注)　低消費電力モードへ遷移する場合、カウント値が CGOSCCR<WUPT[11:0]>に反映されているのを確認してから WFI 命令を実行してください。

$$\text{ウォーミングアップサイクル数} = \frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}}$$

   注)　ウォーミングアップタイマは発振クロックで動作しているため、発振周波数に揺らぎがある場合は誤差を含みます。したがって概略時間として捉える必要があります。

   高速発振子 8MHz 使用時、ウォーミングアップ時間 5ms を設定する場合は以下のようになります。

$$\frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}} = \frac{5\text{ms}}{1/8\text{MHz}} = 40{,}000\text{サイクル} = 0\text{x}9\text{C}40$$

   下位 4 ビットを切り捨て、0x9C4 を CGOSCCR<WUPT[11:0]>に設定します。

3. ウォーミングアップの開始および終了確認

   ソフトウエア (命令) によりウォーミングアップの開始および終了確認を行う場合、CGOSCCR<WUEON>に"1"を設定することでウォーミングアップを開始します。また、終了の確認は<WUEF>で行います。<WUEF>が"1"でウォーミングアップ中、"0"で終了を示します。

以下に、ウォーミングアップ機能の設定例を示します。

表 6-1 ウォーミングアップ機能設定例

	CGOSCCR<WUPT[11:0]> = "0x9C4"	:ウォーミングアップ時間設定
↻	CGOSCCR<WUPT[11:0]> リード	: ウォーミングアップ時間の反映確認 "0x9C4"がリードできるまで繰り返し。
	CGOSCCR<XEN2> = "1"	: 内蔵高速発振(fosc)イネーブル
	CGOSCCR<WUEON> = "1"	: ウォーミングアップタイマ(WUP)スタート
↻	CGOSCCR<WUEF>リード	: "0" (WUP 終了)になるまでウェイト

注 1) 発振が安定している外部クロックなどを使用する場合はウォーミングアップを行う必要はありません。

注 2) ウォーミングアップタイマは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

注 3) CGOSCCR<WUPT[11:0]><WUPTL[1:0]>にウォーミングアップカウント値を設定後、カウント値が反映されているのを待ってから WFI 命令を実行してスタンバイモードへ遷移してください。

注 4) STOP1/STOP2 モードから復帰する際、内蔵高速発振起動のため関係ビット CGPLLSEL<PLLSEL>、<PLLON>および CGOSCCR<WUPSEL2>、<WUPSEL1>、<OSCSEL>、<XEN2>、<XEN1>は初期化され、内蔵高速発振で起動します。

6.3.5　クロック逓倍回路(PLL)

高速発振器の出力クロック fosc の周波数(8MHz ~ 16MHz)に最適な条件で逓倍(4, 5,6, 8, 10,12 逓倍)した fpll クロック(最大 120MHz)を出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

6.3.5.1　使用方法

PLL はリセット解除後、ディセーブル状態です。PLL を使用するためには、CGPLLSEL<PLLON>が"0"の状態で CGPLLSEL<PLLSET>の逓倍値の設定を行った後、<PLLON>を"1"に設定し、CGPLLSEL<PLLSEL>で"1"を選択することにより、fosc を逓倍した fpll クロックを出力することができます。

6.3.5.2　安定時間

PLL 動作開始および、逓倍値の変更の際にはウォーミングアップ機能などを用いて安定時間を確保する必要があります。

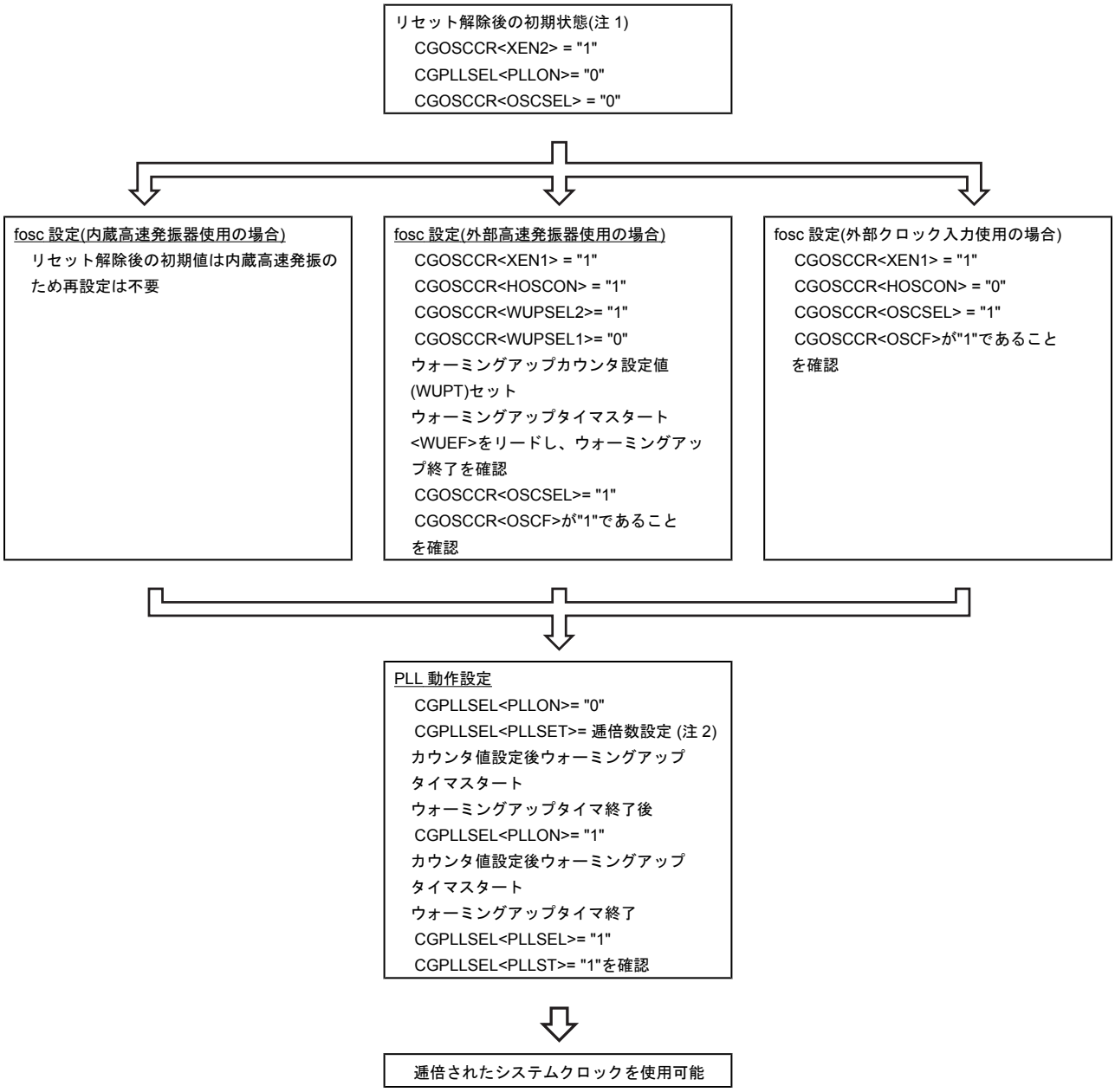
動作を開始するときはロックアップ時間として約 100μs 必要です。

逓倍数の変更を行う場合、まず CGPLLSEL<PLLSEL> = "0"として逓倍クロックを使用しない設定に切り替えた上で<PLLON> を"0"として PLL を停止します。<PLLSET>の逓倍値を変更し、PLL の初期化時間として約 100μs 経過後に<PLLON>を"1"として PLL の動作を開始します。その後、ロックアップ時間を確保してください。

6.3.5.3 PLL 設定シーケンス

以下にリセット解除後の PLL 設定シーケンスを示します。

クロック設定手順



注 1) 内蔵高速発振器、電源電圧の安定が必要です。

注 2) PLL 逓倍数を変更した場合、PLL 初期化安定時間として 100μs 以上、CGPLLSEL<PLLON>= "0"(PLL 停止)を保持する必要があります。

6.3.6　システムクロック

システムクロックの原振として、内蔵高速発振クロック、外部高速発振クロック(発振子接続またはクロック入力)が使用可能です。

原振		周波数	PLL 使用
内蔵高速発振(f_{IHOSC})		10MHz	未使用,4,5,6, 8,10 または 12 逓倍(注)
外部高速発振	発振子(f_{EHOSC})	8 ~ 16MHz	
	クロック入力($f_{EHCLKIN}$)	8 ~ 16MHz	

注)　fc が 120MHz を超えないよう、源振の誤差を考慮して PLL を使用してください。

システムクロックは CGSYSCR<GEAR>で分周が可能です。設定は動作中に変更可能ですが、実際にクロックが切り替わるまでに若干の時間を要します。

PLL、クロックギアの設定による動作周波数例を表 6-2 に示します。

表 6-2 PLL 逓倍使用時の高周波数設定範囲例(単位は MHz、"-"は設定禁止)

外部発振子	外部クロック入力	PLL 逓倍数	最大動作周波数 (fc)	ADC 最大動作周波数 (fc,fc/2, fc/4)	クロックギア(CG) PLL = ON 時					クロックギア(CG) PLL = OFF 時				
					1/1	1/2	1/4	1/8	1/16	1/1	1/2	1/4	1/8	1/16
8	8	12 逓倍	96	24	96	48	24	12	6	8	4	2	1	-
8	8	10 逓倍	80	40	80	40	20	10	5					
8	8	8 逓倍	64	32	64	32	16	8	4					
8	8	6 逓倍	48	24	48	24	12	6	3					
8	8	4 逓倍	32	32	32	16	8	4	2					
10	10	12 逓倍	120	30	120	60	30	15	7.5	10	5	2.5	1.25	-
10	10	10 逓倍	100	25	100	50	25	12.5	6.25					
10	10	6 逓倍	60	30	60	30	15	7.5	3.75					
10	10	5 逓倍	50	25	50	25	12.5	6.25	3.13					
10	10	4 逓倍	40	40	40	20	10	5	2.5					
12	12	10 逓倍	120	30	120	60	30	15	7.5	12	6	3	1.5	-
12	12	4 逓倍	48	24	48	24	12	6	3					
16	16	6 逓倍	96	24	96	48	24	12	6	16	8	4	2	1
16	16	4 逓倍	64	32	64	32	16	8	4					

↑リセット後の初期値

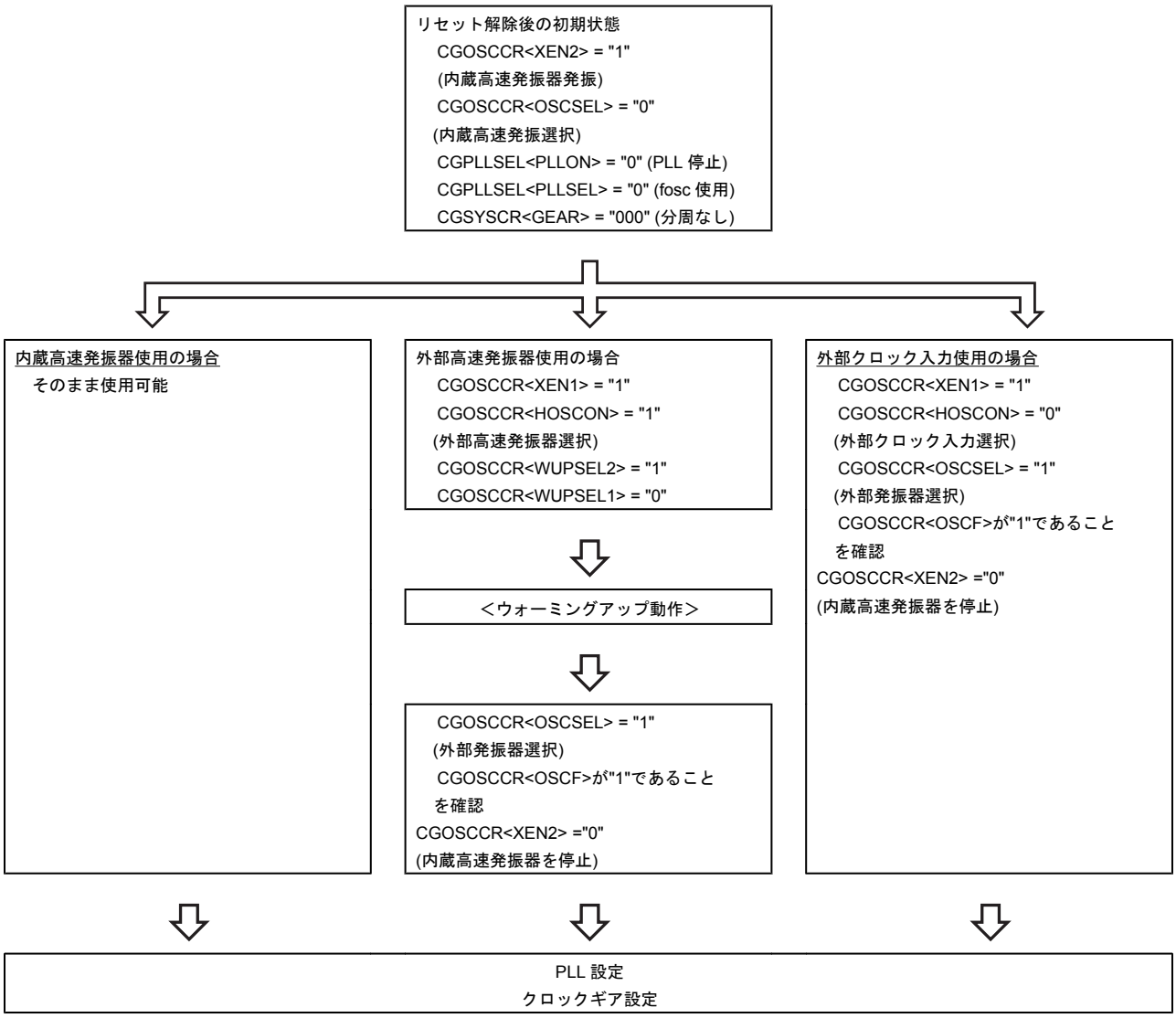
注)　SysTick 使用時は 1/16 は使用しないでください。

6.3.6.1 システムクロックの設定方法

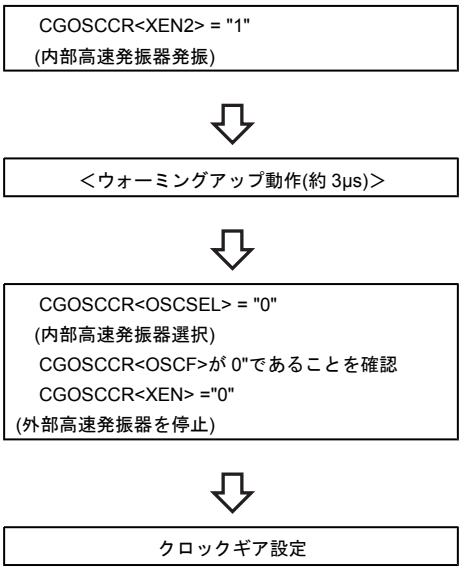
システムクロックの選択は CGOSCCR で行います。クロック選択後、必要に応じて PLL 設定を CGPLLSEL, CGOSCCR で、クロックギアの設定を CGSYSCR で行います。

以下にクロックの設定手順を示します

クロック設定手順(初期設定)



クロック設定手順(外部発振から内部発振への切り替え)



6.3.7　プリスケーラクロック

周辺機能には、それぞれにクロックを分周するプリスケーラがあります。これらのプリスケーラへ入力するクロック φT0 は、CGSYSCR<FPSEL>から選択されたクロック fperiph をさらに CGSYSCR<PRCK[2:0]>で分周することが可能です。リセット後の φT0 は fperiph/1 が選択されます。

注)　クロックギアを使用する場合、周辺機能の各ブロックのプリスケーラ出力 φTn は、φTn ≤ fsys/2 を満足するように時間設定(φTn が fsys よりも遅くなるように)してください。また、タイマカウンタなどの周辺機能の動作中にクロックギアを切り替えないようにしてください。

6.3.8　クロックの端子出力機能

本製品には、クロックの端子出力機能があります。出力可能なクロックとして、低速クロック fs、システムクロックの fsys を SCOUT 端子から出力できます。

注 1)　SCOUT から出力されるシステムクロックは、内蔵クロックとの位相差 (AC タイミング) は保証できません。

注 2)　SCOUT に fsys を選択しているときにクロックギアを切り替えると、切り替えた直後、fsys の波形が乱れます。波形の乱れがシステム上問題となる場合は、クロックギア切り替え時に SCOUT 出力をディセーブルにするなど対策を施してください。

ポートを SCOUT 端子として使用するときの設定は、"入出力ポート"を参照してください。

出力クロックの選択は CGSYSCR<SCOSEL>によって設定します。

表 6-3 に SCOUT 端子を SCOUT 出力に設定した場合のモード別端子状態を示します。

表 6-3 モード別 SCOUT 出力状態

モード / SCOUT 選択 CGSYSCR	NORMAL	低消費電力モード	
		IDLE	STOP1/STOP2
<SCOSEL> = "0"	fsys クロックを出力します		
<SCOSEL> = "1"	fs クロックを出力します		

6.4 動作モードとモード遷移

6.4.1 動作モード状態遷移

動作モードとして、システムクロックに高速クロックを使用する NORMAL モードがあります。

また、プロセッサコアの動作、一部周辺機能を停止して電力の消費を抑える低消費電力モードとして、IDLE モード, STOP1 モードがあります。

また、TMPM461F15/F10FG には、一部機能を保持してメイン電源を遮断することによって、大幅に電力の消費を抑える STOP2 モードがあります。

図 6-2 にモード状態遷移図を示します。

Sleep-on-exit については、"Arm ドキュメンテーションセット"を参照してください。

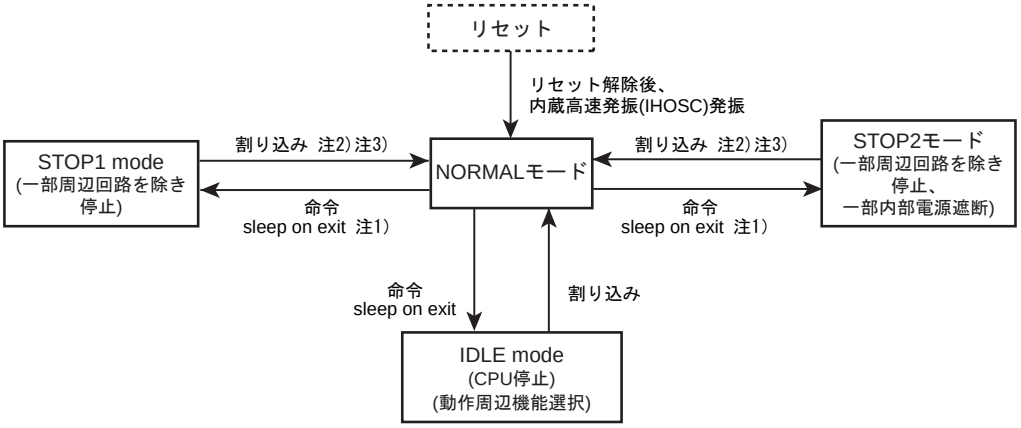


図 6-2 モード状態遷移図

注 1) 復帰時にウォーミングアップが必要となります。ウォーミングアップ時間の設定は STOP1、STOP2 モードに入る前のモード（NORMAL モード)で設定する必要があります。ウォーミングアップ時間については「6.6.8 モード遷移によるクロック動作」を参照してください。

注 2) STOP1/2 モードから復帰する際、内蔵高速発振器起動のため関係ビット<WUPSEL2>,<WUPSEL1>, <OSCSEL>, <XEN2>, <XEN1>および CGPLLSEL<PLLSEL>,<PLLON>は初期化され、内蔵高速発振で起動します。

注 3) STOP2 モードからの復帰時はリセットの割り込み処理ルーチンに分岐し、STOP1 モードからの復帰時は割り込み起動要因の処理ルーチンに分岐します。

6.5　動作モード

6.5.1　NORMAL モード

CPU コアおよび周辺回路を高速クロックで動作させるモードです。リセット解除後は、NORMAL モードになります。

6.6　低消費電力モード

低消費電力モードには、IDLE, STOP1/2 モードがあります。低消費電力モードに移行するには、システムコントロールレジスタ CGSTBYCR<STBY[2:0]>でモードを選択し、WFI(Wait For Interrupt)命令を実行します。WFI 命令によって低消費電力モードへ移行した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細は「例外」の章の「割り込み」を参照してください。

注 1)　本製品ではイベントによる復帰はサポートしていないため、WFE (Wait For Event)による低消費電力モードへの移行は行わないでください。
注 2)　本製品は、Cortex-M4 コアの SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスタの<SLEEPDEEP>ビットは設定しないでください。
注 3)　ウォーミングアップタイマ動作中に低消費電力モードへ遷移しないでください。

IDLE, STOP1, STOP2 モードの特長は次のとおりです。

6.6.1　IDLE モード

CPU が停止するモードです。周辺回路の一部は、各モジュールの中のレジスタに IDLE モード時の動作/停止設定レジスタを 1 ビット持ち、IDLE モードでの動作設定が可能です。IDLE モード時に動作停止に設定された周辺回路は、IDLE モードへ遷移したときの状態で停止します。

IDLE モードでの周辺回路の動作については、「表 6-6 各動作モードにおける動作状態」を参照してください。設定方法は、各周辺回路の章を参照してください。

6.6.2　STOP1 モード

一部の回路を除き、内蔵発振器も含めて全ての内部回路が停止するモードです。STOP1 モードが解除されると内蔵発振器が発振を開始し、NORMAL モードへ復帰します。

STOP1 モード中は、ポートレジスタの設定により端子の状態を保持することができます。STOP1 モード時の端子状態を表 6-4 に示します。

6.6.3　STOP2 モード

一部の機能を保持して内部電源を遮断するモードです。STOP1 モードより大幅に電力の消費を抑えることができます。

STOP2 モードに移行する前に CGSTBYCR<PTKEEP>="0"→"1"の設定を必ず行い、ポートの状態を保持してください。内部電源が遮断されても外部 IC とのインタフェースを保持し、STOP2 解除要因割り込みを使用することができます。信号が固定されるため、外部 IC に影響のないよう<PTKEEP>設定のタイミングにご注意ください。

STOP2 モードへの遷移は割り込み許可状態で、WFI 命令を実行してください。

STOP2 モードへ遷移する WFI 命令実行のタイミングで解除割り込みが発生した場合、解除応答が優先され STOP2 モードへは遷移しません。そのため、下記の処理が必要です。

1. 割り込み処理が実行されます。割り込み処理ルーチンの記述が必要です。
2. 割り込み処理ルーチンの処理が終わると、WFI 命令以降の命令が実行されます。STOP2 に遷移できなかったときの処理の記述が必要です。

STOP2 モードが解除されると、遮断された内部電源に対して電源を投入し、内蔵高速発振器が発振を開始して NORMAL モードへ復帰し、リセット割り込み処理ルーチンに分岐します。リセットの要因を確認するためには、クロックジェネレータレジスタの CGRSTFLG を参照してください。

注) STOP2 モードは内部電源遮断を行うため、モード遷移から解除まで 45μs 以上の期間を確保してください。期間内に解除を行うと内部電源管理が正常に動作することができません。

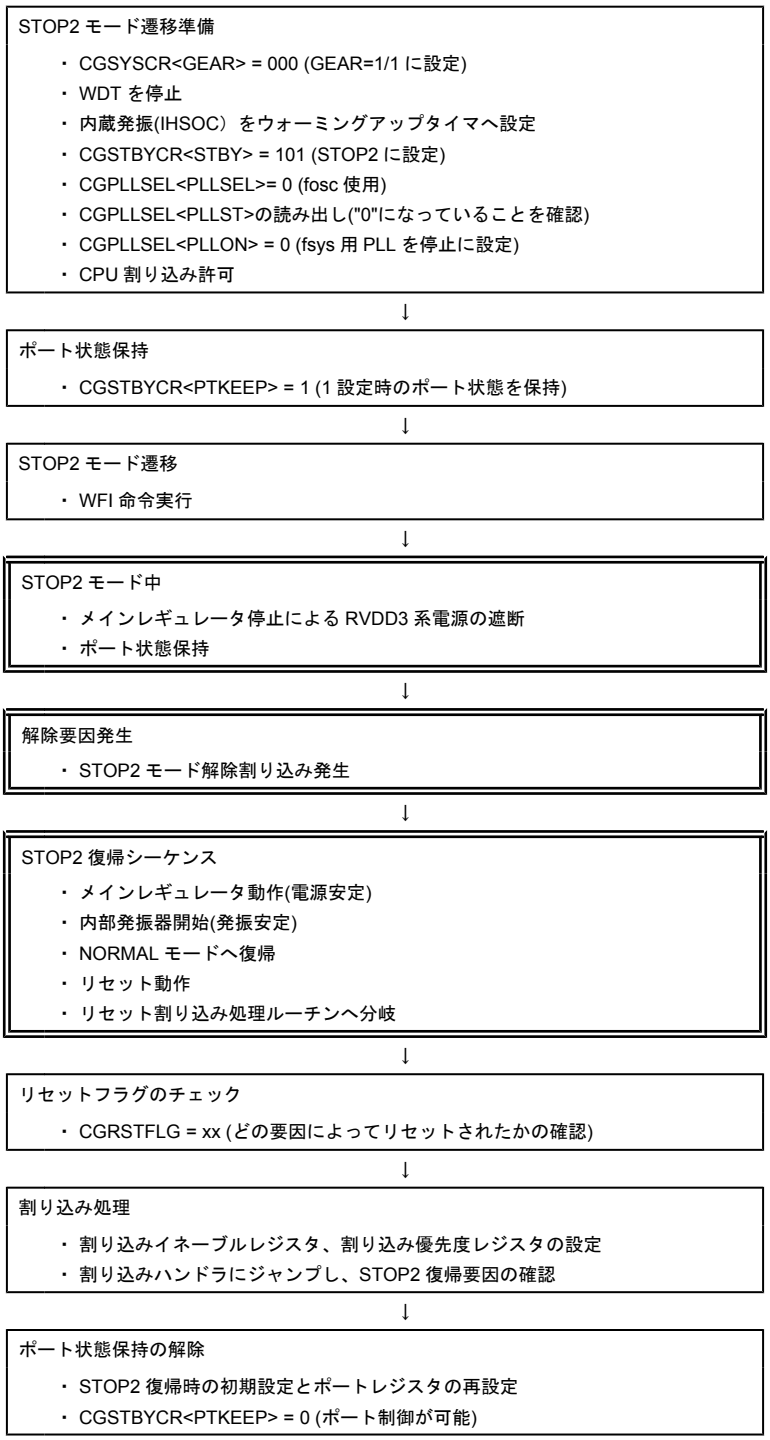
STOP2 モード時の端子状態を表 6-4 に示します。

表 6-4 STOP1/2 モード時の端子状態

機能設定	機能名	入出力	STOP1 モード時(注 1)	STOP2 モード時(注 2) <PTKEEP> = 1
ポート	PAx ~ PKx	入力	PxIE[m]設定による	状態保持
		出力	PxCR[m]設定による	状態保持
デバッグ機能	$\overline{\text{TRST}}$, TCK, TMS, TDI, SWCLK, SWDIO	入力	PxIE[m]設定による	状態保持
	TDO, SWDIO, SWV, TRACECLK, TRACEDATA0/1/2/3	出力	PxCR[m]設定かつデータ有効なときにイネーブル	状態保持
割り込み機能	INT0 ~ F	入力	PxIE[m]設定による	状態保持
SSP	SPxCLK, SPxFSS, SPxDO	出力	PxCR[m]設定かつデータ有効なときにイネーブル	状態保持
MPT	MTxOUT0,MTxOUT1	出力	PxCR[m]設定かつデータ有効なときにイネーブル	状態保持
上記以外の機能	上記以外の機能	入力	PxIE[m]設定による	状態保持
	上記以外の機能	出力	PxCR[m]設定による	状態保持

注 1) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。
注 2) STOP2 モード遷移時は、必ず<PTKEEP>=1 を設定してください。

STOP2 モードへの遷移フローを以下に示します。
[　　]はソフトウエアによる処理を、 [　　]はハードウエアによる処理を示しています。



6.6.4 低消費電力モードの選択

低消費電力モード選択は、CGSTBYCR<STBY[2:0]>の設定で選択されます。

表 6-5 に<STBY[2:0]>の設定より選択されるモードを示します。

表 6-5 低消費電力モードと設定

モード	CGSTBYCR <STBY[2:0]>
STOP1	001
IDLE	011
STOP2	101

注) 上記の設定以外は行わないでください。

6.6.5 各モードにおける動作状態

各モードにおける動作状態を表 6-6 に示します。

表 6-6 各動作モードにおける動作状態

Block	NORMAL 内蔵高速 発振器使用 (IHOSC)	IDLE 内蔵高速 発振器使用 (IHOSC)	STOP1	STOP2
Processor core	o	−	−	×
DMAC	o	o	−	×
I/O port	o	o	−(注 1)	−(注 2)
EBIF	o	o	−	−
ADC	o	o	-(注 3)	×(注 3)
SSP	o	o	-	×
SIO/UART	o	o	-	×
UART	o	o	-	×
I2C	o	o	-	×
WDT	o	o(注 4)	Δ−(注 8)	Δ×(注 8)
TMRB	o	o	-	×
MPT	o	o	-	×
RTC	o	o	o	o(注 5)(注 7)
RMC	o	o	o(注 5)	o(注 5)
CEC	o	o	o(注 5)	o(注 5)(注 6)
LVD	o	o	Δ	Δ−
PLL	o	o	−	Δ×
OFD	o	o	−	Δ×
外部高速発振器 (EHOSC)	o	o	−	Δ−
外部低速発振器(ELOSC)	o	o	o	o
内蔵高速発振器 1(IHOSC)	o	o	−	−
内蔵高速発振器 2(OFD)	o	o	−	Δ×

o : 対象のモード中に動作が可能

− : 対象のモードに移行すると自動的に周辺回路へのクロックが停止

Δ : 対象のモードに移行する前にソフトウエアで周辺回路を停止する必要があり

× : 対象のモードに移行すると自動的に周辺回路への供給電源が遮断

表 6-6 各動作モードにおける動作状態

Block	NORMAL 内蔵高速 発振器使用 (IHOSC)	IDLE 内蔵高速 発振器使用 (IHOSC)	STOP1	STOP2
バックアップ RAM	アクセス可	アクセス可	データ保持	データ保持
メイン RAM				×
Flash ROM				×

o : 対象のモード中に動作が可能
− : 対象のモードに移行すると自動的に周辺回路へのクロックが停止
Δ : 対象のモードに移行する前にソフトウエアで周辺回路を停止する必要があり
× : 対象のモードに移行すると自動的に周辺回路への供給電源が遮断

注 1)　ポートレジスタの設定による。
注 2)　CGSTBYCR<PTKEEP>ビットを必ず"1"に設定してください。
注 3)　AD コンバータのリファレンス電源を OFF にすることによりリーク電流を抑えることができます。
注 4)　IDLE モード中は CPU によるウォッチドッククリアができませんので注意してください。
注 5)　低速発振使用時のみ。
注 6)　CEC 送信はできません。
注 7)　RTCOUT、ALARM 出力は固定されます。
注 8)　STOP1/STOP2 モードへ遷移する前に停止してください。

6.6.6 低消費電力モードの解除

低消費電力モードからの解除は、割り込み, マスク不能割り込み(NMI), リセットによって行うことができます。使用できる低消費電力モード解除ソースは、低消費電力モードにより決まります。詳細を表 6-7 に示します。

表 6-7 解除ソースと解除可能なモード

低消費電力モード			IDLE	STOP1	STOP2
解除ソース	割り込み	INT0~F (注 5)	o	o	o (注 4)
		INTSSP0~2	o	×	×
		INTI2C0~4	o	×	×
		INTRX0~5, INTTX0~5	o	×	×
		INTUART0~1	o	×	×
		INTRTC, INTRMCRX0,INTCECRX,	o	o	o
		INTCEXTX	o	o	×
		INTTB0~7, INTCAP00~71	o	×	×
		INTMTTB00~11, INTMTCAP00~11, INTMTEMG0~1	o	×	×
		INTAD, INTADHP, INTADM0~1	o	×	×
		INTDMAAERR, INTDMABERR,INTDMACERR, INTDMAA,INTDMAB,INTDMAC	o	×	×
		INTFLRDY	o	×	×
	SysTick 割り込み		o	×	×
	マスク不能割り込み (INTWDT)		o	×	×
	マスク不能割り込み ($\overline{\text{NMI}}$ 端子)		o	×	×
	マスク不能割り込み (INTLVD)		o	×	×
	リセット(WDT)		o	×	×
	リセット(LVD)		o	o	o
	リセット(OFD)		o	×	×
	リセット ($\overline{\text{RESET}}$ 端子)		o	o	o

o： 解除後、割り込み処理を開始します。($\overline{\text{RESET}}$ は本製品を初期化します))

×： 解除に使用できません

注 1) 各モードからの復帰に必要なウォーミングアップについては、「6.6.7 ウォーミングアップ」を参照してください。

注 2) STOP2 モード解除後は内部電源遮断周辺回路(表 6-6 を参照してください)に対してリセット動作が行われます。ただし、バックアップモジュールに対しては初期化はされません。

注 3) 低消費電力モードへ移行する場合は、復帰要因以外の割り込みを禁止してください。禁止しない場合、復帰要因以外の割り込みで低消費電力モードの解除が行われる場合があります。

注 4) IDLE,STOP1/2 モードからレベルモードの割り込みによる解除を行う場合、割り込み処理が開始されるまでレベルを保持してください。それ以前でレベルを変化させた場合は、正しい割り込み処理を開始できません。

・　割り込み要求による解除

　割り込みによって低消費電力モードを解除する場合、低消費電力モードに移行する前に割り込みが検出されるよう設定しておく必要があります。

　STOP1, STOP2 モードの解除に使用する割り込みの設定については、「例外」の章の「割り込み」を参照してください。

・　マスク不能割り込み(NMI)による解除

　NMI の要因には WDT 割り込み(INTWDT)、LVD 割り込み(INTLVD)と $\overline{\text{NMI}}$ 端子があります。

　IDLE モードでのみ使用可能です。

・　リセットによる解除

　$\overline{\text{RESET}}$ 端子、LVD によるリセットで全ての低消費電力モードからの解除を行うことができます。

　WDT、OFD によるリセットでは、IDLE モードからの解除を行うことができます。

　リセットで解除した場合には通常のリセット動作と同様になり、解除後は NORMAL モードで全てのレジスタが初期化された状態になります。

・　SysTick 割り込みによる解除

　SysTick 割り込みは IDLE モードでのみ使用可能です。

割り込みの詳細に関しては、「例外」の章の「割り込み」をご参照ください。

6.6.7 ウォーミングアップ

モード遷移時、発振器の安定のためウォーミングアップが必要な場合があります。

STOP1/2 モードから NORMAL モードへの遷移では、自動的に内蔵高速発振が許可され、ウォーミングアップ用カウンタのソースクロックに内蔵高速発振が選択され、ウォーミングアップカウンタが自動で起動されます。

ウォーミングアップ時間経過後にシステムクロックの出力が開始されます。このため、STOP1、STOP2 モードに移行する命令を実行する前に、CGOSCCR <WUPT>[11:0]でウォーミングアップ時間の設定を行ってください。ウォーミングアップ時間については、「6.6.8 モード遷移によるクロック動作」を参照してください。

注) STOP1/STOP2 モードからの復帰する際、内蔵高速発振起動のため関係ビット CGPLLSEL<PLLSEL>,<PLLON>および CGOSCCR<WUPSEL2>、<WUPSEL1>,<OSCSEL>、<XEN2>、<XEN1>は初期化され、内蔵高速発振で起動します。

各動作モード遷移時におけるウォーミングアップの有無を表 6-8 に示します。

表 6-8 各動作モード遷移時のウォーミングアップ設定

動作モード遷移	ウォーミングアップ設定
NORMAL → IDLE	不要
NORMAL → STOP1	不要
NORMAL → STOP2	不要
IDLE → NORMAL	不要
STOP1 → NORMAL	自動ウォーミングアップ
STOP2 → NORMAL	自動ウォーミングアップ

注) リセットで解除する場合には自動ウォーミングアップを行いません。発振器が安定するまでリセットを入力してください。

6.6.8　モード遷移によるクロック動作

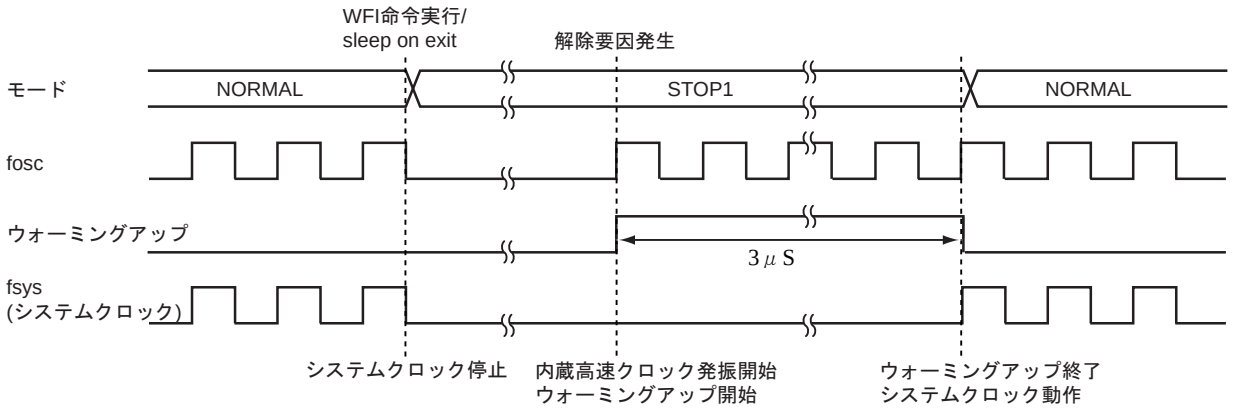
モード遷移の際の、クロック動作について以下に示します。

6.6.8.1　NORMAL → STOP1 → NORMAL 動作モード遷移

STOP1 モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。

リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われません。コールドリセット時と同じリセットを入力してください。

注)　ウォーミングアップ時間は、"3μs"を設定してください。



6.6.8.2 NORMAL → STOP2 → NORMAL 動作モード遷移

STOP2 モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。

STOP2 モード解除後は内部電源遮断周辺回路に対してリセット動作が行われます。ただし、電源が遮断されない周辺回路に対してリセットが行われません。

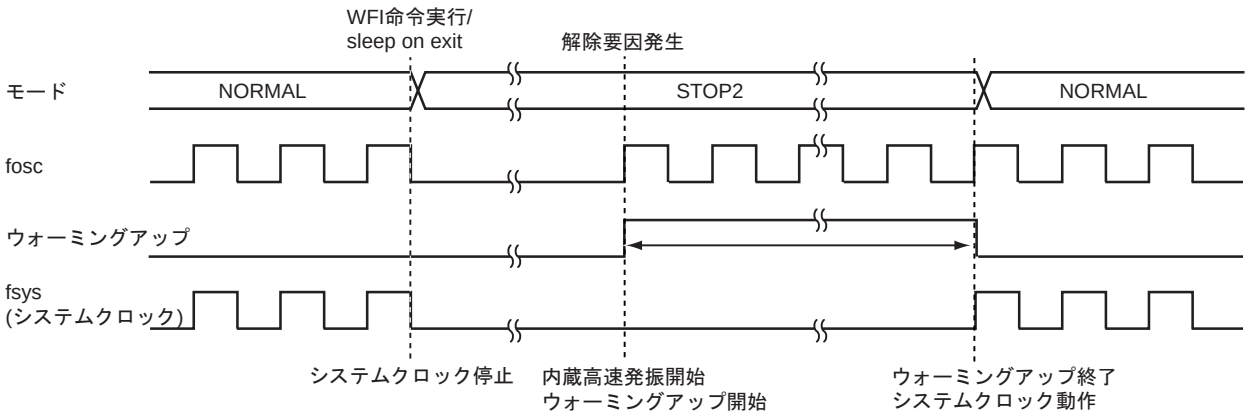
リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われません。コールドリセットと同じリセットを入力してください。

リセット以外で NORMAL モードへ復帰する場合でもリセットの割り込み処理ルーチンへ分岐します。

注 1) 外部割り込み端子をレベル解除で使用し、STOP2 モードを解除するときには、解除レベルを 500μs 以上保持してください。

注 2) 外部割り込み端子で STOP2 モードを解除するときには、STOP2 モードへ遷移する前に<PTKEEP>を "1"に設定してください。

注 3) STOP2 遷移前に、割り込み許可状態にしてから WFI 命令を実行してください。



6.6.9　低消費電力モード遷移時の注意事項

1.IDLE、STOP1 モードへ遷移する場合

1. IDLE または STOP1 モードへ遷移する WFI 命令実行のタイミングで解除割り込み要求が発生した場合、解除要求が優先され IDLE/STOP1 モードへ遷移しません。そのため、割り込み禁止、許可の状態に応じて下記の処理をしてください。
   a. 割り込み禁止状態(PRIMASK のみでマスクされる状態）

      WFI 命令の直後に NOP 命令を 8 つ以上記述し、その後本来実行する命令を記述してください。
   b. 割り込み許可状態

      割り込み処理ルーチンへ分岐しますので、割り込み処理の記述をしてください。

2. STOP1 モードへ遷移する前に、fosc とウォーミングアップカウンタのソースクロックが同じとなるよう CGOSCCR<OSCSEL> で選択したクロックを CGOSCCR<WUPSEL2>、<WUPSEL1>へ設定してください。

3. IDLE モードのみマスク不能割り込みによる解除が可能です。

4. STOP1 モードの解除要因としてマスク不能割り込みは使用しないでください。

   STOP1 モードへ遷移する前にマスク不能割り込みが入らないようにしてください。

   (NMI 端子入力を"1"に固定、ウォッチドッグタイマ停止、LVD 停止）

2.STOP2 モードへ遷移する場合

1. STOP2 モードへ遷移する場合、割り込み許可状態で WFI 命令を実行してください。

2. STOP2 モードへ遷移する WFI 命令実行のタイミングで解除割り込みが発生した場合、解除応答が優先され STOP2 モードへ遷移しません。そのため下記の処理記述をしてください。
   a. 割り込み処理ルーチンの記述をしてください。
   b. 割り込み処理ルーチンの処理が終わると WFI 命令以降の命令が実行されますので、STOP2 へ遷移できなかったときの処理を WFI 命令以降に記述してください。

3. STOP2 モードへ遷移しなかった場合、CGOSCCR<WUPSEL2>、<WUPSEL1>、<OSCSEL>、<XEN2>、<XEN1>および CGPLLSEL<PLLSEL>、<PLLON>は初期化されずにモード遷移前の状態が保持されます。

4. STOP2 へ遷移する前に、内蔵高速発振(IHOSC）がシステムクロックのソースクロックとなるよう CGOSCCR<OSCSEL>=0、CGPLLSEL<PLLSEL>=0、CGSYSCR<GEAR[2:0]>=000 と設定してください。

5. STOP2 へ遷移する前に、fosc とウォーミングアップカウンタのソースクロックが同じとなるよう CGOSCCR<OSCSEL> で選択した同じクロックを CGOSCCR<WUPSEL2>、<WUPSEL1>に設定してください。

6. STOP2 モードの解除要因としてマスク不能割り込みは使用しないでください。

   STOP2 モードへ遷移する前にマスク不能割り込みが入らないようにしてください。

   (NMI 端子入力を"1"に固定、ウォッチドッグタイマ停止、LVD 停止）

第 7 章　例外

この章では、例外の特長, 種類, 処理について概略を説明します。

例外は CPU のアーキテクチャと深くかかわる部分ですので、必要に応じて"Arm ドキュメンテーションセット"もご覧ください。

7.1　概要

例外は CPU に対し現在実行中の処理を中断して別の処理に移ることを要求するものです。

例外には、何らかの異常な状態が起こったときや例外を発生する命令を実行したときに発生するものと、外部端子や周辺機能からの割り込み要求信号といった、ハードウエアによる要因で発生する割り込みがあります。

全ての例外は優先度に従って CPU 内にあるネスト型ベクタ割り込みコントローラ(NVIC)によって処理されます。例外が発生すると、CPU はそのときの状態をスタックに退避し、割り込み処理ルーチンへ分岐します。割り込み処理ルーチンの実行後、スタックに退避した情報は自動的に復帰されます。

7.1.1　種類

例外には以下のようなものがあります。

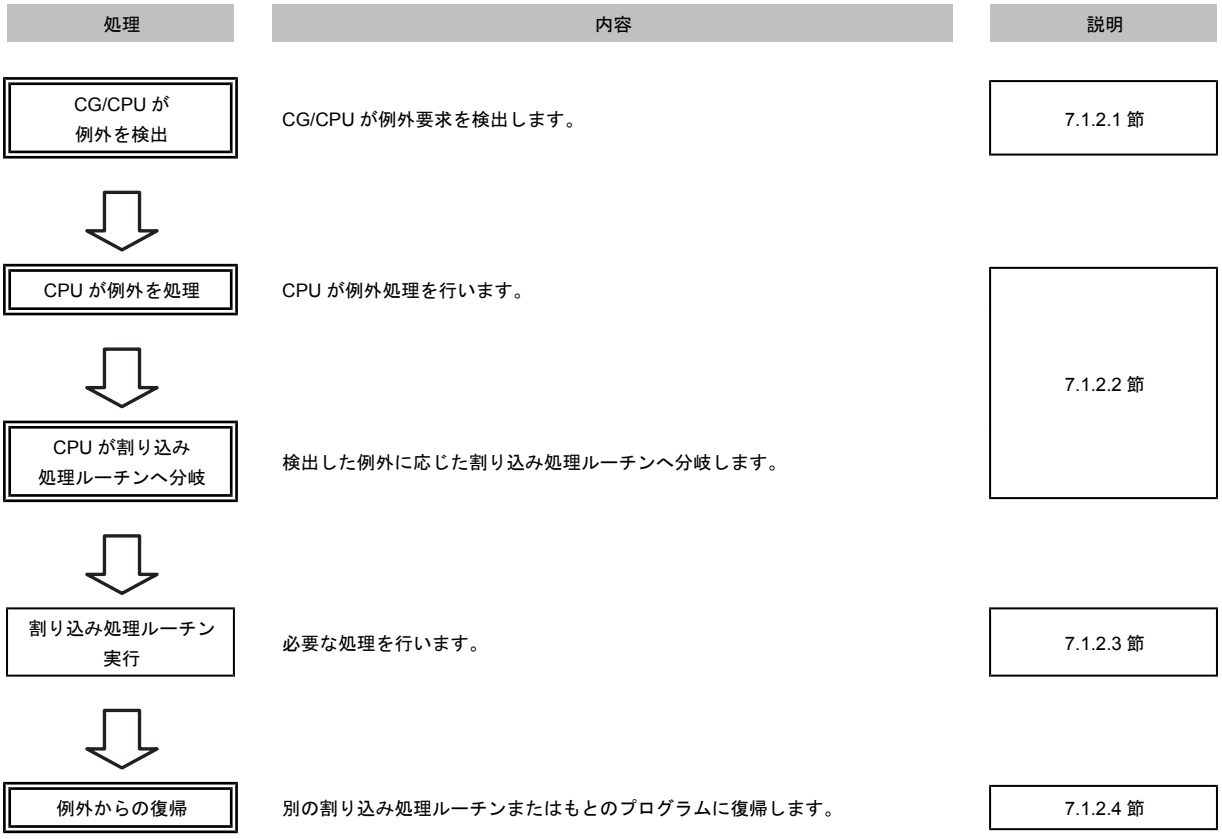
それぞれの例外の詳細な内容は、"Arm ドキュメンテーションセット"をご覧ください。

- リセット
- マスク不能割り込み(NMI)
- ハードフォールト
- メモリ管理
- バスフォールト
- 用法フォールト
- SVCall (スーパバイザコール)
- デバッグモニタ
- PendSV
- SysTick
- 外部割り込み

7.1.2　処理の流れ

例外／割り込みの処理の流れの概略を以下に示します。以下の説明で、 はハードウエアによる処理を、 はソフトウエアによる処理を示しています。

それぞれの処理の内容について、後続の節で説明します。



7.1.2.1 例外要求と検出

(1) 例外要求の発生

例外は、CPU の命令実行, メモリアクセス, 外部割り込み端子や周辺機能からの割り込み要求などにより発生します。

CPU の命令実行による例外の要求は、例外を発生する命令の実行や、命令実行中の異常が要因で発生します。

メモリアクセスによる例外の要求は、実行不可領域からの命令フェッチや、フォールト領域へのアクセスにより発生します。

割り込みの要求は、外部割り込み端子からの信号入力や周辺機能から発生します。低消費電力モード解除に使用する割り込みの場合、クロックジェネレータの設定も必要になります。詳細は「7.5 割り込み」の節で説明します。

(2) 例外の検出

複数の例外が同時に検出された場合には、CPU は優先度に従って最も優先度の高い例外を選択します。

各例外の優先度は以下のとおりです。"構成可能"と記載された例外は、優先度を設定することができます。また、メモリ管理、 バスフォールト、 用法フォールトは許可/禁止を選択することができます。

禁止された例外が発生した場合にはハードフォールトとして扱われます。

表 7-1 例外の種類と優先度

番号	例外	優先度	要因
1	リセット	-3 (最高)	リセット端子, WDT, STOP2, LVD, OFD, SYSRESETREQ
2	マスク不能割り込み	-2	$\overline{\text{NMI}}$ 端子,LVD,WDT
3	ハードフォールト	-1	より優先度の高いフォールトの処理中、または禁止されているために発生できないフォールト
4	メモリ管理	構成可能	MPU (メモリ保護ユニット)からの例外(注 1) 実行不可(XN) (Execute Never)領域からの命令フェッチ
5	バスフォールト	構成可能	メモリマップのハードフォールト領域に対するアクセス
6	用法フォールト	構成可能	未定義命令の実行や、命令実行によって発生するその他のエラー
7~10	予約	-	
11	SVCall	構成可能	SVC 命令によるシステムサービスの呼び出し
12	デバッグモニタ	構成可能	CPU がフォールト中でないときのデバッグモニタ
13	予約	-	
14	PendSV	構成可能	保留可能なシステムサービスへの要求
15	SysTick	構成可能	システムタイマからの通知
16~	外部割り込み	構成可能	外部割り込み端子や周辺機能(注 2)

注 1) 本製品は MPU を搭載していません。

注 2) 外部割り込みは、製品により要因と番号が異なります。具体的な要因と番号については、「7.5.2 要因一覧」を参照してください。

(3)　優先度の設定

・　優先度レベル

外部割り込みの優先度は、割り込み優先度レジスタで、それ以外の例外はシステムハンドラ優先度レジスタで該当する<PRI_n>に設定します。

<PRI_n>は、構成を変更することが可能になっており、優先度設定のためのビット数は製品により 3 ビット~ 8 ビットのいずれかになります。このため、設定できる優先度の範囲も製品により異なります。

TMPM461F15/F10FG では、<PRI_n>は 3 ビット構成になっています。

8 ビットの構成の場合、優先度は 0 ~ 255 のレベルを設定できます。最も高い優先度は"0"です。複数の要因を同じ優先度に設定した場合、番号の小さい例外の優先度が高くなります。

・　優先度のグループ化

優先度をグループ化することもできます。アプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>を設定することで、<PRI_n>を横取り優先度とサブ優先度に分割することができます。

優先度はまず横取り優先度で判定され、横取り優先度が同じ場合サブ優先度で判定されます。サブ優先度も同じ場合は例外番号の小さいほうが優先度が高くなります。

表 7-2 に優先度のグループ化の設定についてまとめます。表中の横取り優先度数、サブ優先度数は、<PRI_n>が 8 ビット構成の場合の数です。

表 7-2 優先度のグループ化設定

<PRIGROUP[2:0]> の設定	<PRI_n[7:0]>		横取り優先度数	サブ優先度数
	横取り フィールド	サブ優先度 フィールド		
000	[7:1]	[0]	128	2
001	[7:2]	[1:0]	64	4
010	[7:3]	[2:0]	32	8
011	[7:4]	[3:0]	16	16
100	[7:5]	[4:0]	8	32
101	[7:6]	[5:0]	4	64
110	[7]	[6:0]	2	128
111	なし	[7:0]	1	256

注)　<PRI_n>の構成が 8 ビットより小さい場合、下位ビットは"0"となります。
例えば、3 ビット構成の場合、<PRI_n[7:5]>で優先度が設定され、<PRI_n[4:0]>は"00000"になります。

7.1.2.2 例外の処理と割り込み処理ルーチンへの分岐(横取り)

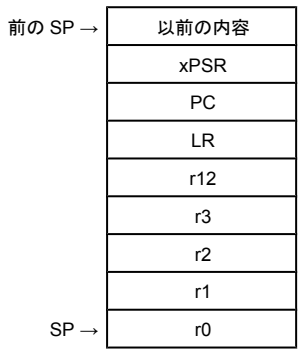
例外により、実行中の処理を中断して割り込み処理ルーチンへ分岐する動作を"横取り"と呼びます。

(1) レジスタの退避

例外を検出すると、CPU は 8 つのレジスタの内容を退避します。退避するレジスタと退避の順序は以下のとおりです。

1. プログラムステータスレジスタ(xPSR)
2. プログラムカウンタ(PC)
3. リンクレジスタ(LR)
4. r12
5. r3 ~ r0

レジスタの退避が終了すると、SP は 8 ワード分減らされます。レジスタ退避終了後のスタックの状態は以下のようになっています。



(2) 割り込み処理ルーチンのフェッチ

レジスタの退避と同時に CPU は割り込み処理ルーチンの命令フェッチを行います。

各例外の割り込み処理ルーチンの先頭番地をベクタテーブルに準備しておきます。ベクタテーブルはリセット後、コード領域の 0x0000_0000 番地に置かれます。ベクタテーブルは、ベクタテーブルオフセットレジスタを設定することでコード空間または SRAM 空間の任意のアドレスに置くことができます。

また、ベクタテーブルにはメインスタックの初期値を設定します。

(3) 後着

割り込み処理ルーチンの実行前に、検出した例外よりも優先度の高い例外を検出した場合、CPU は優先度の高い例外の処理に移行します。これを後着と呼びます。

後着の場合、CPU は新たに検出された例外の割り込み処理ルーチンのフェッチをあらためて行い、分岐しますが、再度レジスタの内容を退避することはありません。

(4)　ベクタテーブルの構成

ベクタテーブルの構成は以下のとおりです。

最初の 4 ワード(スタックの初期値、リセット、マスク不能割り込み、ハードフォールトの割り込み処理ルーチンアドレス)は必ず設定する必要があります。

その他の例外については、割り込み処理ルーチンのアドレスを必要に応じて準備します。

オフセット	例外	内容	備考
0x00	リセット	メインスタックの初期値	必須
0x04	リセット	割り込み処理ルーチンアドレス	必須
0x08	マスク不能割り込み	割り込み処理ルーチンアドレス	必須
0x0C	ハードフォールト	割り込み処理ルーチンアドレス	必須
0x10	メモリ管理	割り込み処理ルーチンアドレス	任意
0x14	バスフォールト	割り込み処理ルーチンアドレス	任意
0x18	用法フォールト	割り込み処理ルーチンアドレス	任意
0x1C ~ 0x28	予約		
0x2C	SVCall	割り込み処理ルーチンアドレス	任意
0x30	デバッグモニタ	割り込み処理ルーチンアドレス	任意
0x34	予約		
0x38	PendSV	割り込み処理ルーチンアドレス	任意
0x3C	SysTick	割り込み処理ルーチンアドレス	任意
0x40	外部割り込み	割り込み処理ルーチンアドレス	任意

7.1.2.3　割り込み処理ルーチンの発行

割り込み処理ルーチンでは、発生した例外に応じて必要な処理を行います。割り込み処理ルーチンはユーザが準備します。

割り込み処理ルーチンでは、通常の処理プログラムに戻ったときに再度同じ割り込みが発生しないよう、割り込み要求の取り下げなどの処理が必要になる場合があります。

割り込みについての詳細は「7.5 割り込み」の節で説明します。

割り込み処理ルーチンの実行中に現在処理中の例外よりも優先度の高い例外を検出した場合、CPU は現在実行中の割り込み処理ルーチンを中断し新たに検出された例外の処理を行います。

7.1.2.4 例外からの復帰

(1) 割り込み処理ルーチンからの復帰先

割り込み処理ルーチン終了時の状態により復帰先が決まります。

- テールチェイン

  保留中の例外が存在し、中断されている例外処理がないかまたは中断されているどの例外よりも優先度が高い場合、保留中の例外の割り込み処理ルーチンへ復帰します。

  このとき、スタックの退避と復帰は省略されます。この動作をテールチェインと呼びます。

- 処理が中断されている割り込み処理ルーチンへ復帰

  保留中の例外がない場合、または存在しても処理が中断されている例外の優先度が高い場合、中断されている例外の割り込み処理ルーチンへ復帰します。

- 元のプログラムへ復帰

  保留中の例外も処理が中断されている例外もない場合、元のプログラムへ復帰します。

(2) 復帰処理

CPU は、割り込み処理ルーチンから復帰する際に以下の処理を行います。

- レジスタの復帰

  退避していた 8 つのレジスタ(xPSR, PC, LR, r12, r3～r0)を復帰し SP を調整します。

- 割り込み番号のロード

  退避していた xPSR から現在有効な割り込み番号をロードします。この割り込み番号によって CPU はどの割り込みに復帰するかを制御します。

- SP の選択

  例外(ハンドラモード)へ復帰する場合、SP は SP_main です。スレッドモードへ復帰する場合、SP は SP_main または SP_process です。

7.2　リセット例外

リセット例外には、以下の要因があります。

リセットの要因を確認するためには、クロックジェネレータレジスタの CGRSTFLG を参照してください。

- 外部リセット端子によるリセット例外

  外部リセット端子を"Low"にしたのち、"High"にすることによりリセット例外が発生します。

- WDT によるリセット例外

  WDT にリセット例外を発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

- STOP2 解除によるリセット例外

  STOP2 モード解除によりリセット例外が発生します。詳細は「クロック/モード制御」の章をご覧ください。

- <SYSRESETREQ>によるリセット例外

  NVIC レジスタの、アプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>をセットすることで、リセット例外を発生させることができます。

- OFD によるリセット例外

  OFD にリセット例外を発生する機能があります。詳細は「周波数検知回路」の章をご覧ください。

- LVD によるリセット例外

  LVD にリセット例外を発生する機能があります。詳細は「電圧検出回路」の章をご覧ください。

7.3 マスク不能割り込み(NMI)

マスク不能割り込みには、以下の要因があります。

マスク不能割り込みの要因を確認するためには、クロックジェネレータレジスタの CGNMIFLG を参照してください。

- 外部 NMI 端子

  外部 $\overline{\text{NMI}}$ 端子を"High"から"Low"にすることによりマスク不能割り込みが発生します。

- WDT によるマスク不能割り込み

  WDT にマスク不能割り込みを発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

- LVD によるマスク不能割り込み

  LVD にマスク不能割り込みを発生する機能があります。詳細は「電圧検出回路」の章をご覧ください。

注) STOP1/STOP2 へのモード遷移中、マスク不能割り込み(NMI)が発生しないようにしてください。

7.4 SysTick

SysTick は、CPU の持つシステムタイマを使用した割り込み機能です。

SysTick リロード値レジスタに値を設定し、SysTick 制御およびステータスレジスタで機能をイネーブルにすると、リロード値レジスタに設定された値がカウンタへリロードされカウントダウンを開始します。カウンタが"0"になると SysTick 例外を発生します。また、例外を保留しフラグでタイマが"0"になったことを確認することもできます。

注) 本製品では、外部参照クロックとして fosc(CGOSCCR<OSCSEL><EOSCON>で選択されるクロック)を 32 分周したクロックが使用されます。

7.5　割り込み

この節では、割り込み要求の伝わる経路、要因、 必要な設定について説明します。

割り込みは、割り込み要因ごとに割り込み要求信号により CPU へ通知されます。CPU は、優先順位付けを行い、最も優先度の高い割り込みを発生します。

低消費電力モード解除に使用する割り込み要求は、クロックジェネレータに入力され低消費電力モード解除ロジックを経由して CPU に要因が伝わります。低消費電力モード解除に使用する要因ごとに、低消費電力モード解除ロジックの設定が必要です。

7.5.1　割り込み要求

7.5.1.1　経路

割り込み要求の経路を図 7-1 に示します。

周辺機能からの割り込み要求のうち、低消費電力モード解除に使用されないものは直接 CPU に入力されます。(経路 ①)

周辺機能からの割り込み要求(経路 ②)のうち、低消費電力モード解除に使用されるものはクロックジェネレータの低消費電力モード解除のロジックに入力されます。それぞれの要因ごとに、低消費電力モード解除のアクティブレベルが検出されると、低消費電力解除ロジックにより、あらたな割り込み要求信号に変換され、CPU に入力されます(経路 ⑥⑦⑧)。

外部割り込み端子からの割り込み要求(経路 ③)は<INTxEN>により、低消費電力モード解除に使用する、しないを選択できます。

低消費電力モード解除に使用されるものは、クロックジェネレータの低消費電力モード解除のロジックに入力されます。あらかじめ設定されたアクティブレベルが検出されると、、低消費電力解除ロジックにより、あらたな割り込み要求信号に変換され、CPU に入力されます(経路 ②④⑤)。

低消費電力モード解除に使用されないものは、直接 CPU に入力されます(経路 ②③⑤)。

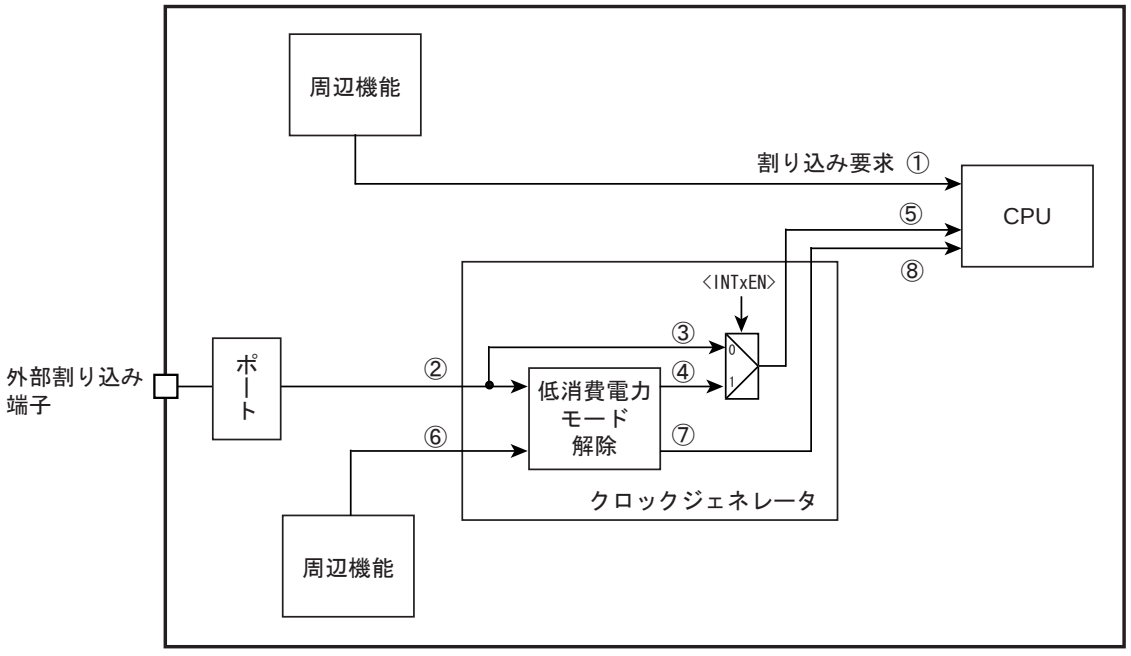


図 7-1 割り込み要求の経路

7.5.1.2 割り込み要求の発生

割り込み要求は、割り込み要因に割り当てられた外部割り込み端子、周辺機能、NVIC レジスタの割り込み保留セットレジスタの設定により発生します。

- 外部割り込み端子からの割り込み

  外部割り込み端子を使用する場合、ポートの制御レジスタで端子を割り込み機能に設定します。
- 周辺機能の割り込み

  周辺機能の割り込みを使用する場合、使用する周辺機能で割り込み要求が発生されるよう設定する必要があります。

  設定の詳細については各章を参照ください。
- 割り込み要求の強制的な発生

  NVIC の割り込み保留セットレジスタの該当するビットをセットすることで、割り込み要求を強制的に発生させることができます。

CPU は、割り込み要求の"High"レベルを割り込みとして認識します。

7.5.1.3 低消費電力モード解除の設定

割り込み要求のうち、いくつかは低消費電力モード解除に使用することができます。

割り込み要求を低消費電力モード解除に使用するには、クロックジェネレータの<INTxEN>を"1"に設定し、<EMCGx[2:0]>で解除のためのアクティブレベルを設定します。

外部割り込み端子に<EMCGx[2:0]>で設定したアクティブレベルが入力されると、低消費電力モード状態は解除され、"High"レベルの割り込み要求が発生します。

<EMCGx[2:0]>が"100"のときには、低消費電力モードが解除されるまでに検出されたアクティブレベルを EMSTx[1:0]から読み出すことができます。

割り込み要求の取り下げは、CGICRCG<ICRCG>で行います。CGICRCG<ICRCG>で割り込み要求が取り下げられると、EMSTx[1:0]は"00"に初期化されます。

7.5.2　要因一覧

割り込みの要因一覧を表 7-3 に示します。

表 7-3 割り込み要因一覧

番号	要因		低消費電力モード解除と割り込みのアクティブレベル					CG 割り込みモードコントロールレジスタ
			"Low" レベル	"High" レベル	立ち上がりエッジ	立ち下がりエッジ	両エッジ	
0	INT0	外部割り込み端子 0	o	o	o	o	o	CGIMCGA
1	INT1	外部割り込み端子 1	o	o	o	o	o	
2	INT2	外部割り込み端子 2	o	o	o	o	o	
3	INT3	外部割り込み端子 3	o	o	o	o	o	
4	INT4	外部割り込み端子 4	o	o	o	o	o	CGIMCGB
5	INT5	外部割り込み端子 5	o	o	o	o	o	
6	INT6	外部割り込み端子 6	o	o	o	o	o	
7	INT7	外部割り込み端子 7	o	o	o	o	o	
8	INT8	外部割り込み端子 8	o	o	o	o	o	CGIMCGC
9	INT9	外部割り込み端子 9	o	o	o	o	o	
10	INTA	外部割り込み端子 A	o	o	o	o	o	
11	INTB	外部割り込み端子 B	o	o	o	o	o	
12	INTC	外部割り込み端子 C	o	o	o	o	o	CGIMCGD
13	INTD	外部割り込み端子 D	o	o	o	o	o	
14	INTE	外部割り込み端子 E	o	o	o	o	o	
15	INTF	外部割り込み端子 F	o	o	o	o	o	
16	INTRX0	シリアルチャネル 0 受信割り込み						
17	INTTX0	シリアルチャネル 0 送信割り込み						
18	INTRX1	シリアルチャネル 1 受信割り込み						
19	INTTX1	シリアルチャネル 1 送信割り込み						
20	INTRX2	シリアルチャネル 2 受信割り込み						
21	INTTX2	シリアルチャネル 2 送信割り込み						
22	INTRX3	シリアルチャネル 3 受信割り込み						
23	INTTX3	シリアルチャネル 3 送信割り込み						
24	INTRX4	シリアルチャネル 4 受信割り込み						
25	INTTX4	シリアルチャネル 4 送信割り込み						
26	INTRX5	シリアルチャネル 5 受信割り込み						
27	INTTX5	シリアルチャネル 5 送信割り込み						
28	INTUART0	UART0 送受信割り込み						
29	INTUART1	UART1 送受信割り込み						
30	INTI2C0	I2C0 送受信割り込み						
31	INTI2C1	I2C1 送受信割り込み						
32	INTI2C2	I2C2 送受信割り込み						
33	INTI2C3	I2C3 送受信割り込み						
34	INTI2C4	I2C4 送受信割り込み						
35	INTSSP0	同期式シリアルインタフェース 0 割り込み						
36	INTSSP1	同期式シリアルインタフェース 1 割り込み						
37	INTSSP2	同期式シリアルインタフェース 2 割り込み						
38	INTCECRX	CEC 受信割り込み	×	×	o	×	×	CGIMCGE
39	INTCECTX	CEC 送信割り込み	×	×	o	×	×	
40	INTRMCRX0	リモコン 0 受信割り込み	×	×	o	×	×	
41	INTADHP	ADC 最優先変換終了割り込み						

表 7-3 割り込み要因一覧

番号	要因		低消費電力モード解除と割り込みのアクティブレベル					CG 割り込みモードコントロールレジスタ
			"Low" レベル	"High" レベル	立ち上がりエッジ	立ち下がりエッジ	両エッジ	
42	INTADM0	ADC 監視割り込み 0						
43	INTADM1	ADC 監視割り込み 1						
44	INTAD	ADC 変換終了割り込み						
45	INTRTC	リアルタイムクロック割り込み	×	×	×	o	×	CGIMCGE
46	INTMTEMG0	多目的タイマ 0 EMG 割り込み						
47	INTMTPTB00	多目的タイマ 0 MTP（IGBT 周期）+TMRB コンペアー致 0 割り込み						
48	INTMTTTB01	多目的タイマ 0 MTT（IGBT トリガ）+TMRB コンペアー致 1 割り込み						
49	INTMTCAP00	多目的タイマ 0 TMRB インプットキャプチャ 0 割り込み						
50	INTMTCAP01	多目的タイマ 0 TMRB インプットキャプチャ 1 割り込み						
51	INTMTEMG1	多目的タイマ 1 EMG 割り込み						
52	INTMTPTB10	多目的タイマ 1 MTP（IGBT 周期）+TMRB コンペアー致 0 割り込み						
53	INTMTTTB11	多目的タイマ 1 MTT（IGBT トリガ）+TMRB コンペアー致 1 割り込み						
54	INTMTCAP10	多目的タイマ 1 TMRB インプットキャプチャ 0 割り込み						
55	INTMTCAP11	多目的タイマ 1 TMRB インプットキャプチャ 1 割り込み						
56	INTTB0	16 ビットタイマ/イベントカウンタ 0 コンペアー致 0/1/オーバフロー割り込み						
57	INTTB1	16 ビットタイマ/イベントカウンタ 1 コンペアー致 0/1/オーバフロー割り込み						
58	INTTB2	16 ビットタイマ/イベントカウンタ 2 コンペアー致 0/1/オーバフロー割り込み						
59	INTTB3	16 ビットタイマ/イベントカウンタ 3 コンペアー致 0/1/オーバフロー割り込み						
60	INTTB4	16 ビットタイマ/イベントカウンタ 4 コンペアー致 0/1/オーバフロー割り込み						
61	INTTB5	16 ビットタイマ/イベントカウンタ 5 コンペアー致 0/1/オーバフロー割り込み						
62	INTTB6	16 ビットタイマ/イベントカウンタ 6 コンペアー致 0/1/オーバフロー割り込み						
63	INTTB7	16 ビットタイマ/イベントカウンタ 7 コンペアー致 0/1/オーバフロー割り込み						
64	INTTB8	16 ビットタイマ/イベントカウンタ 8 コンペアー致 0/1/オーバフロー割り込み						
65	INTTB9	16 ビットタイマ/イベントカウンタ 9 コンペアー致 0/1/オーバフロー割り込み						
66	INTTBA	16 ビットタイマ/イベントカウンタ A コンペアー致 0/1/オーバフロー割り込み						
67	INTTBB	16 ビットタイマ/イベントカウンタ B コンペアー致 0/1/オーバフロー割り込み						
68	INTTBC	16 ビットタイマ/イベントカウンタ C コンペアー致 0/1/オーバフロー割り込み						
69	INTTBD	16 ビットタイマ/イベントカウンタ D コンペアー致 0/1/オーバフロー割り込み						
70	INTTBE	16 ビットタイマ/イベントカウンタ E コンペアー致 0/1/オーバフロー割り込み						
71	INTTBF	16 ビットタイマ/イベントカウンタ F コンペアー致 0/1/オーバフロー割り込み						

表 7-3 割り込み要因一覧

番号	要因		低消費電力モード解除と割り込みのアクティブレベル					CG 割り込みモード コントロールレジスタ
			"Low" レベル	"High" レベル	立ち上がりエッジ	立ち下がりエッジ	両エッジ	
72	INTCAP00	16 ビットタイマ/イベントカウンタ 0 インプットキャプチャ 0 割り込み						
73	INTCAP01	16 ビットタイマ/イベントカウンタ 0 インプットキャプチャ 1 割り込み						
74	INTCAP10	16 ビットタイマ/イベントカウンタ 1 インプットキャプチャ 0 割り込み						
75	INTCAP11	16 ビットタイマ/イベントカウンタ 1 インプットキャプチャ 1 割り込み						
76	INTCAP20	16 ビットタイマ/イベントカウンタ 2 インプットキャプチャ 0 割り込み						
77	INTCAP21	16 ビットタイマ/イベントカウンタ 2 インプットキャプチャ 1 割り込み						
78	INTCAP30	16 ビットタイマ/イベントカウンタ 3 インプットキャプチャ 0 割り込み						
79	INTCAP31	16 ビットタイマ/イベントカウンタ 3 インプットキャプチャ 1 割り込み						
80	INTCAP40	16 ビットタイマ/イベントカウンタ 4 インプットキャプチャ 0 割り込み						
81	INTCAP41	16 ビットタイマ/イベントカウンタ 4 インプットキャプチャ 1 割り込み						
82	INTCAP50	16 ビットタイマ/イベントカウンタ 5 インプットキャプチャ 0 割り込み						
83	INTCAP51	16 ビットタイマ/イベントカウンタ 5 インプットキャプチャ 1 割り込み						
84	INTCAP60	16 ビットタイマ/イベントカウンタ 6 インプットキャプチャ 0 割り込み						
85	INTCAP61	16 ビットタイマ/イベントカウンタ 6 インプットキャプチャ 1 割り込み						
86	INTCAP70	16 ビットタイマ/イベントカウンタ 7 インプットキャプチャ 0 割り込み						
87	INTCAP71	16 ビットタイマ/イベントカウンタ 7 インプットキャプチャ 1 割り込み						
88	INTCAP80	16 ビットタイマ/イベントカウンタ 8 インプットキャプチャ 0 割り込み						
89	INTCAP81	16 ビットタイマ/イベントカウンタ 8 インプットキャプチャ 1 割り込み						
90	INTCAP90	16 ビットタイマ/イベントカウンタ 9 インプットキャプチャ 0 割り込み						
91	INTCAP91	16 ビットタイマ/イベントカウンタ 9 インプットキャプチャ 1 割り込み						
92	INTCAPA0	16 ビットタイマ/イベントカウンタ A インプットキャプチャ 0 割り込み						
93	INTCAPA1	16 ビットタイマ/イベントカウンタ A インプットキャプチャ 1 割り込み						
94	INTCAPB0	16 ビットタイマ/イベントカウンタ B インプットキャプチャ 0 割り込み						
95	INTCAPB1	16 ビットタイマ/イベントカウンタ B インプットキャプチャ 1 割り込み						
96	INTCAPC0	16 ビットタイマ/イベントカウンタ C インプットキャプチャ 0 割り込み						
97	INTCAPC1	16 ビットタイマ/イベントカウンタ C インプットキャプチャ 1 割り込み						
98	INTCAPD0	16 ビットタイマ/イベントカウンタ D インプットキャプチャ 0 割り込み						
99	INTCAPD1	16 ビットタイマ/イベントカウンタ D インプットキャプチャ 1 割り込み						

表 7-3 割り込み要因一覧

番号	要因		低消費電力モード解除と割り込みのアクティブレベル					CG 割り込みモードコントロールレジスタ
			"Low" レベル	"High" レベル	立ち上がりエッジ	立ち下がりエッジ	両エッジ	
100	INTCAPE0	16 ビットタイマ/イベントカウンタ E インプットキャプチャ 0 割り込み						
101	INTCAPE1	16 ビットタイマ/イベントカウンタ E インプットキャプチャ 1 割り込み						
102	INTCAPF0	16 ビットタイマ/イベントカウンタ F インプットキャプチャ 0 割り込み						
103	INTCAPF1	16 ビットタイマ/イベントカウンタ F インプットキャプチャ 1 割り込み						
104	INTDMAA	DMA ユニット A 転送終了割り込み						
105	INTDMAB	DMA ユニット B 転換終了割り込み						
106	INTDMAC	DMA ユニット C 転換終了割り込み						
107	INTDMAAERR	DMA ユニット A 転送エラー割り込み						
108	INTDMABERR	DMA ユニット B 転送エラー割り込み						
109	INTDMACERR	DMA ユニット C 転送エラー割り込み						
110	INTFLRDY	FLASH Ready 割り込み						
111	Reserved	-						
112	Reserved	-						
113	Reserved	-						
114	Reserved	-						
115	Reserved	-						
116	Reserved	-						
117	Reserved	-						
118	Reserved	-						
119	Reserved	-						

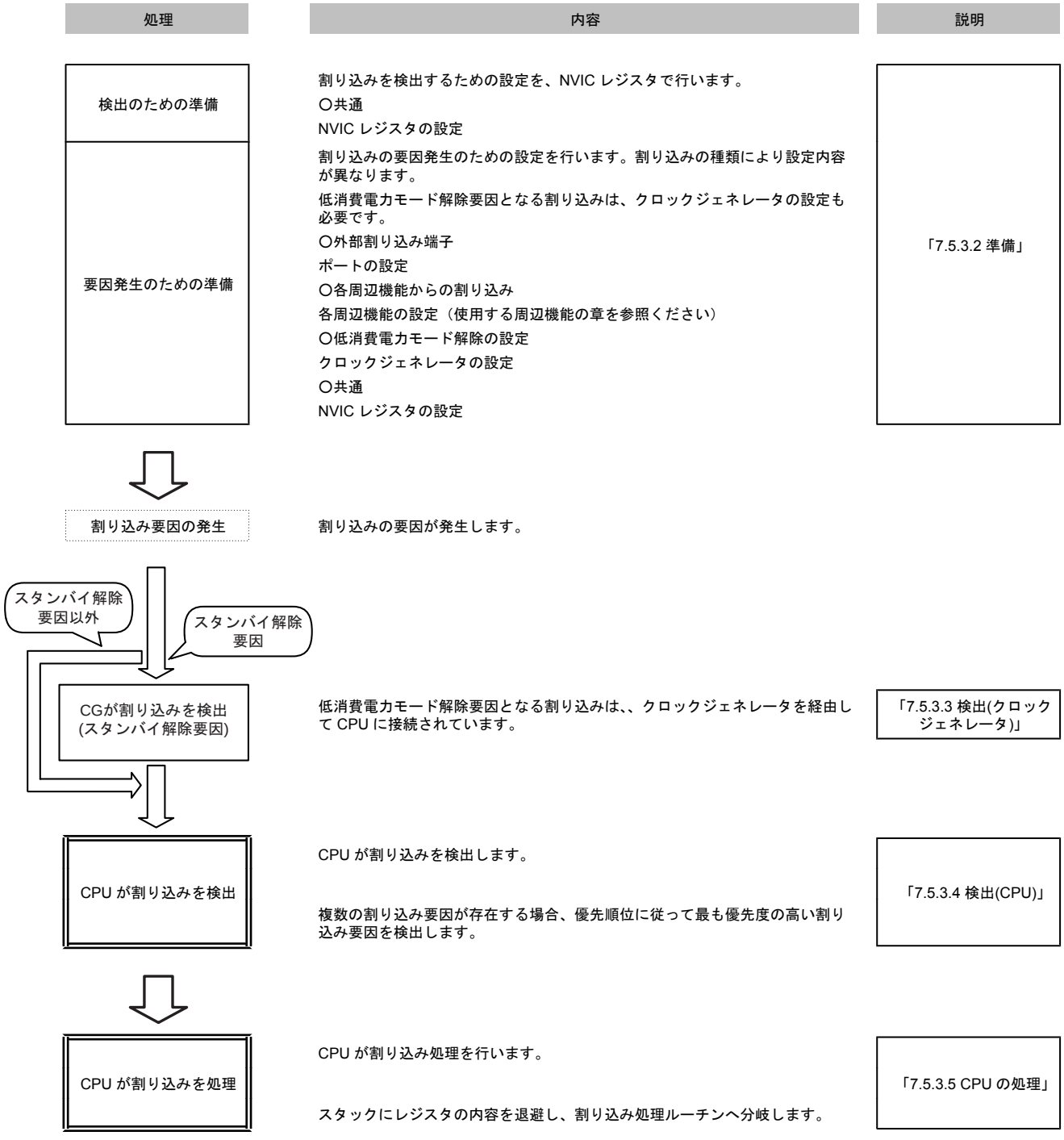
注) 低消費電力モード解除のアクティブレベルは"o"のついたものが選択できます。"×"のついたものは選択できません。

7.5.3　処理詳細

7.5.3.1　処理の流れ

割り込みの処理の流れを以下に示します。

以下の説明で、 はハードウエアによる処理を、 はソフトウエアによる処理を示しています。



処理	内容	説明
割り込み サービスルーチン実行	必要な処理をプログラミングしてください。 必要に応じて割り込み要因の取り下げを行ってください。	「7.5.3.6 割り込み処理ルーチンでの処理(要因の取り下げ)」
元のプログラムへ復帰	割り込み処理ルーチンから通常の処理プログラムに復帰します。	

7.5.3.2　準備

割り込みの準備を行うときには、設定途中で不要な割り込みの発生を防ぐために設定の順番に注意が必要です。

割り込みの使用開始、または設定変更のときの基本的な順序は、まず、CPU で割り込みを禁止し、次に割り込み経路で CPU から遠いところから設定を行い、最後に CPU で割り込みを許可します。

クロックジェネレータの設定を行うときには、条件の設定を行った後、不要な割り込みが発生しないよう、クロックジェネレータ内部の割り込み情報をクリアしてから割り込み許可の設定を行います。

以下に設定の手順と、手順ごとの具体的な設定方法を示します。

1. CPU 割り込み禁止
2. CPU 割り込み設定
3. 要因の準備(1) (外部割り込み端子)
4. 要因の準備(2) (周辺機能からの割り込み)
5. 要因の準備(3) (割り込み保留セットレジスタ)
6. クロックジェネレータの設定
7. CPU 割り込み許可

(1)　CPU 割り込み禁止

CPU を割り込み禁止状態にするには、PRIMASK レジスタに"1"をセットします。これにより、マスク不能割り込みとハードフォールト例外以外の全ての割り込みと例外がマスクされます。

このレジスタをセットするためには"MSR"命令を使用します。

割り込みマスクレジスタ		
PRIMASK	←	"1"(割り込み禁止)

注 1)　PRIMASK レジスタは、ユーザ・アクセス・レベルではセットできません。
注 2)　PRIMASK レジスタに"1"がセットされているとき、フォールトが発生するとハードフォールトとして扱われます。

(2)　CPU 割り込み設定

NVIC レジスタの割り込み優先度 レジスタで<PRI_n>に優先度の設定を行います。

このレジスタは、8 ビットごとに各割り込み要因に割り当てられていますが、製品ごとに構成するビット数が異なります。8 ビットの構成の場合「0」から「255」までの優先度を設定することができます。最も高い優先度は「0」です。複数の要因を同じ優先度に設定した場合、番号の小さい割り込みの優先度が高くなります。

グループ優先度を設定する場合にはアプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>も設定します。

NVIC レジスタ		
<PRI_n>	←	「優先度」
<PRIGROUP>	←	「グループ優先度」(必要に応じて設定してください)

注) 「n」は該当する例外/割り込みの番号を示します。
本製品では割り込み優先度レジスタの優先度設定領域は 3 ビットの構成になっています。

(3) 要因の準備(1) (外部割り込み端子)

外部割り込み端子を使用する場合、該当する端子のポートの設定を行います。ポートを入力として使用するために PxIE[m]を"1"に設定します。

ポートレジスタ		
PxIE<PxmIE>	←	"1"

注) 「x」は該当ポート番号、「m」は該当ビットを示します。
PxIE で入力イネーブル設定であれば割り込みの入力が有効になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。

(4) 要因の準備(2) (周辺機能からの割り込み)

周辺機能からの割り込みを使用する場合、設定方法は周辺機能によって異なります。各周辺機能の章をご覧ください。

(5) 要因の準備(3) (割り込み保留セットレジスタ)

割り込み保留セットレジスタで割り込みを発生する場合、該当するビットに"1"をセットします。

NVIC レジスタ		
<SETPEND[m]>	←	"1"

注) 「m」は該当ビットを示します。

(6) クロックジェネレータの設定

低消費電力モード解除要因となる割り込みは、クロックジェネレータの CGIMCG レジスタでアクティブレベルと割り込み許可の設定を行います。CGIMCG レジスタは要因ごとの設定レジスタです。要因ごとのアクティブレベルの設定については、「表 7-3 割り込み要因一覧」を参照してください。

割り込み許可の前に、不要な割り込み発生を防止するため割り込み要求のクリアを CGICRCG レジスタで行います。CGICRCG レジスタは、要因に対応した値を書き込むことで保持されていた割り込み要求をクリアすることができます。具体的な値は、「7.6.3.2 CGICRCG(CG 割り込み要求クリアレジスタ)」を参照してください。

外部割り込み端子からの割り込み要求を低消費電力モード解除要因として使用しない場合、クロックジェネレータの設定を行わずに使用することもできます。ただし、CPU が割り込み要因として検出するためには、"High"パルスまたは"High"レベルの信号を入力する必要があります。

クロックジェネレータレジスタ		
CGIMCGn<EMCGm>	←	アクティブレベル
CGICRCG<ICRCG>	←	使用する要因に対応する値
CGIMCGn<INTmEN>	←	"1"(割り込み許可)

注) 「n」はレジスタ番号、「m」は割り込み要因固有の番号を示します。

(7)　CPU 割り込み許可

CPU の割り込み許可の設定をします。

割り込み保留クリアレジスタで保留状態の割り込みをクリアし、割り込みイネーブルセットレジスタで割り込みを許可します。これらのレジスタは 1 ビットずつ各割り込み要因に割り当てられています。

割り込み保留クリアレジスタの該当する割り込みのビットに"1"を書くことで保留されている要因をクリアすることができ、割り込みイネーブルセットレジスタの該当する割り込みのビットに"1"を書くことで割り込みを許可することができます。

ただし、割り込み保留セットレジスタの設定で割り込みを発生する場合、割り込み保留クリアを行うと割り込み要因そのものが失われるため、この操作は不要です。

最後に、PRIMASK レジスタを"0"にクリアします。

NVIC レジスタ		
<CLRPEND[m]>	←	"1"
<SETENA[m]>	←	"1"
割り込みマスクレジスタ		
PRIMASK	←	"0"

注 1) 「m」は該当ビットを示します。
注 2) PRIMASK レジスタは、ユーザ・アクセス・レベルではセットできません。

7.5.3.3　検出(クロックジェネレータ)

低消費電力モード解除要因となる割り込みは、クロックジェネレータに設定されたアクティブレベルに従って検出され CPU に伝えられます。

アクティブレベルが立ち上がりまたは立ち下がりエッジの割り込み要因は、検出された後、クロックジェネレータで要因が保持されますが、"High"レベルまたは"Low"レベル設定の割り込み要因は、アクティブレベルから変化すると割り込み要因がなくなったとみなされるため、割り込み検出までレベルを保つ必要があります。

クロックジェネレータは割り込みを検出すると CG 割り込み要求クリアレジスタ(CGICRCG)で解除されるまで"High"レベルの割り込み信号を CPU に出力します。解除を行わずに復帰すると再度同じ割り込みが検出されますので、割り込み処理ルーチン内で割り込みの解除を行ってください。

7.5.3.4　検出(CPU)

CPU は優先順位に従って最も優先度の高い割り込み要因を検出します。

7.5.3.5 CPU の処理

割り込みが検出されると、CPU はスタックへ xPSR、PC、LR、R12、r3～r0 を退避し、検出した割り込みの割り込み処理ルーチンへ分岐します。

7.5.3.6 割り込み処理ルーチンでの処理(要因の取り下げ)

割り込み処理ルーチンではアプリケーションにより必要な内容をプログラミングしますが、ここでは推奨する処理と要因の取り下げについて説明します。

(1) 割り込み処理ルーチンでの処理

通常、割り込み処理ルーチンでは必要なレジスタの退避と割り込み処理を行います。Cortex-M4(FPU 機能搭載）コアは自動的に xPSR、PC、LR、R12、r3～r0 をスタックへ退避するため、これらのレジスタをユーザプログラムで退避する必要はありません。

その他のレジスタについては必要に応じて退避します。

割り込み処理ルーチン実行中でも、より高い優先度の割り込みや NMI などの例外は受け付けられます。そのため書き換わる可能性のある、汎用レジスタを退避することを推奨します。

(2) 割り込み要因の取り下げ

低消費電力モード解除要因となる割り込みについては、CGICRCG レジスタで割り込み要求を解除する必要があります。

アクティブレベルがレベル検出の割り込みの場合、要因そのものを取り下げない限り割り込み要求は存在し続けるため、まず要因を取り下げる必要があります。レベル検出の場合は、要因が取り下げられるとクロックジェネレータからの割り込み要求信号は自動的に取り下げられます。

エッジ検出の場合は CGICRCG レジスタに該当する割り込みの値を設定することで要因は取り下げられ、再度有効なエッジが発生したときに改めて要因として認識されます。

注) 割り込みフラグをクリアした後は、クリアしたフラグを必ずリードしてください。

7.6　例外/割り込み関連レジスタ

7.6.1　レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」のクロック/モード制御(CG)を参照ください。

NVIC レジスタ　　Base Address = 0xE000_E000

レジスタ名	Address
SysTick 制御およびステータスレジスタ	0x0010
SysTick リロード値レジスタ	0x0014
SysTick 現在値レジスタ	0x0018
SysTick 較正値レジスタ	0x001C
割り込みイネーブルセットレジスタ 1	0x0100
割り込みイネーブルセットレジスタ 2	0x0104
割り込みイネーブルセットレジスタ 3	0x0108
割り込みイネーブルセットレジスタ 4	0x010C
割り込みイネーブルクリアレジスタ 1	0x0180
割り込みイネーブルクリアレジスタ 2	0x0184
割り込みイネーブルクリアレジスタ 3	0x0188
割り込みイネーブルクリアレジスタ 4	0x018C
割り込み保留セットレジスタ 1	0x0200
割り込み保留セットレジスタ 2	0x0204
割り込み保留セットレジスタ 3	0x0208
割り込み保留セットレジスタ 4	0x020C
割り込み保留クリアレジスタ 1	0x0280
割り込み保留クリアレジスタ 2	0x0284
割り込み保留クリアレジスタ 3	0x0288
割り込み保留クリアレジスタ 4	0x028C
割り込み優先度レジスタ	0x0400 ~ 0x047F
ベクタテーブルオフセットレジスタ	0x0D08
アプリケーション割り込みおよびリセット制御レジスタ	0x0D0C
システムハンドラ優先度レジスタ	0x0D18, 0x0D1C, 0x0D20
システムハンドラ制御および状態レジスタ	0x0D24

周辺機能名：CG

レジスタ名		Address
CG 割り込みモードコントロールレジスタ A	CGIMCGA	0x0040
CG 割り込みモードコントロールレジスタ B	CGIMCGB	0x0044
CG 割り込みモードコントロールレジスタ C	CGIMCGC	0x0048
CG 割り込みモードコントロールレジスタ D	CGIMCGD	0x004C
CG 割り込みモードコントロールレジスタ E	CGIMCGE	0x0050
CG 割り込み要求クリアレジスタ	CGICRCG	0x0060
リセットフラグレジスタ	CGRSTFLG	0x0064
NMI フラグレジスタ	CGNMIFLG	0x0068

7.6.2 NVIC レジスタ

7.6.2.1 SysTick 制御およびステータスレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	COUNTFLAG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	CLKSOURCE	TICKINT	ENABLE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-17	–	R	リードすると"0"が読めます。
16	COUNTFLAG	R/W	0: タイマは 0 になっていない 1: タイマが 0 になった "1"の場合、最後の読み出しの後にタイマが"0"になったことを示します。 このレジスタのいずれかの部分を読み出すとこのビットはクリアされます。
15-3	–	R	リードすると"0"が読めます。
2	CLKSOURCE	R/W	0: 外部参照クロック(fosc/32) (注) 1: CPU クロック(fsys)
1	TICKINT	R/W	0: SysTick を保留しない 1: SysTick を保留する
0	ENABLE	R/W	0: ディセーブル 1: イネーブル "1"をセットするとリロード値レジスタの値をカウンタにロードし、動作を開始します。

注) 本製品では外部参照クロックとして fosc(CGOSCCR<OSCSEL><HOSCON>で選択されるクロック)を 32 分周したクロックが使用されます。

7.6.2.2　SysTick リロード値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RELOAD							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	RELOAD							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	RELOAD							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	−	R	リードすると"0"が読めます。
23-0	RELOAD	R/W	リロード値 タイマが"0"になったときに SysTick 現在値レジスタにロードする値を設定します。

7.6.2.3　SysTick 現在値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CURRENT							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	CURRENT							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CURRENT							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	−	R	リードすると"0"が読めます。
23-0	CURRENT	R/W	[リード] SysTick タイマ現在値 [ライト] クリア 任意の値を書き込むとタイマカウントがクリアされます。 このレジスタをクリアすることで、SysTick 制御およびステータスレジスタの<COUNTFLAG>もクリアされます。

7.6.2.4 SysTick 較正値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	NOREF	SKEW	-	-	-	-	-	-
リセット後	0	1	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	NOREF	R	0: 参照クロックあり 1: 参照クロックなし
30	SKEW	R	0: 較正値は 10 ms 1: 較正値は 10 ms でない
29-24	–	R	リードすると"0"が読めます。
23-0	TENMS	R	較正値(注)

注) 本製品では較正用の値は準備していません。

7.6.2.5　割り込み制御用レジスタ

それぞれの割り込み要因について、割り込みイネーブルセットレジスタ、割り込みイネーブルクリアレジスタ、割り込み保留セットレジスタ、割り込みクリアレジスタがあります。

各ビットが指定された割り込みに対応しています。

(1)　割り込みイネーブルセットレジスタ

割り込みを許可したり、割り込みの許可/禁止状態が確認できます。

"1"をライトすることで該当する割り込みを許可します。

"0"の書き込みは意味を持ちません。

リードすると該当する割り込みの許可/禁止状態が確認できます。

このレジスタのビットをクリアするには、割り込みイネーブルクリアレジスタの対応するビットに"1"をセットします。

Bit symbol	Type	機能
SETENA	R/W	割り込み番号[119:0] [ライト] 1: 割り込みを許可状態にする [リード] 0: 割り込みが禁止状態 1: 割り込みが許可状態

(a)　割り込みイネーブルセットレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 31)	SETENA (割り込み 30)	SETENA (割り込み 29)	SETENA (割り込み 28)	SETENA (割り込み 27)	SETENA (割り込み 26)	SETENA (割り込み 25)	SETENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 23)	SETENA (割り込み 22)	SETENA (割り込み 21)	SETENA (割り込み 20)	SETENA (割り込み 19)	SETENA (割り込み 18)	SETENA (割り込み 17)	SETENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 15)	SETENA (割り込み 14)	SETENA (割り込み 13)	SETENA (割り込み 12)	SETENA (割り込み 11)	SETENA (割り込み 10)	SETENA (割り込み 9)	SETENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 7)	SETENA (割り込 6)	SETENA (割り込み 5)	SETENA (割り込み 4)	SETENA (割り込み 3)	SETENA (割り込み 2)	SETENA (割り込み 1)	SETENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

(b) 割り込みイネーブルセットレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 63)	SETENA (割り込み 62)	SETENA (割り込み 61)	SETENA (割り込み 60)	SETENA (割り込み 59)	SETENA (割り込み 58)	SETENA (割り込み 57)	SETENA (割り込み 56)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 55)	SETENA (割り込み 54)	SETENA (割り込み 53)	SETENA (割り込み 52)	SETENA (割り込み 51)	SETENA (割り込み 50)	SETENA (割り込み 49)	SETENA (割り込み 48)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 47)	SETENA (割り込み 46)	SETENA (割り込み 45)	SETENA (割り込み 44)	SETENA (割り込み 43)	SETENA (割り込み 42)	SETENA (割り込み 41)	SETENA (割り込み 40)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 39)	SETENA (割り込み 38)	SETENA (割り込み 37)	SETENA (割り込み 36)	SETENA (割り込み 35)	SETENA (割り込み 34)	SETENA (割り込み 33)	SETENA (割り込み 32)
リセット後	0	0	0	0	0	0	0	0

(c) 割り込みイネーブルセットレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 95)	SETENA (割り込み 94)	SETENA (割り込み 93)	SETENA (割り込み 92)	SETENA (割り込み 91)	SETENA (割り込み 90)	SETENA (割り込み 89)	SETENA (割り込み 88)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 87)	SETENA (割り込み 86)	SETENA (割り込み 85)	SETENA (割り込み 84)	SETENA (割り込み 83)	SETENA (割り込み 82)	SETENA (割り込み 81)	SETENA (割り込み 80)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 79)	SETENA (割り込み 78)	SETENA (割り込み 77)	SETENA (割り込み 76)	SETENA (割り込み 75)	SETENA (割り込み 74)	SETENA (割り込み 73)	SETENA (割り込み 72)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 71)	SETENA (割り込み 70)	SETENA (割り込み 69)	SETENA (割り込み 68)	SETENA (割り込み 67)	SETENA (割り込み 66)	SETENA (割り込み 65)	SETENA (割り込み 64)
リセット後	0	0	0	0	0	0	0	0

(d)　割り込みイネーブルセットレジスタ 4

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	SETENA (割り込み 110)	SETENA (割り込み 109)	SETENA (割り込み 108)	SETENA (割り込み 107)	SETENA (割り込み 106)	SETENA (割り込み 105)	SETENA (割り込み 104)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 103)	SETENA (割り込み 102)	SETENA (割り込み 101)	SETENA (割り込み 100)	SETENA (割り込み 99)	SETENA (割り込み 98)	SETENA (割り込み 97)	SETENA (割り込み 96)
リセット後	0	0	0	0	0	0	0	0

(2) 割り込みイネーブルクリアレジスタ

割り込みを禁止したり、割り込みの許可/禁止状態が確認できます。

"1"をライトすることで該当する割り込みを禁止します。

"0"の書き込みは意味を持ちません。

リードすると該当する割り込みの許可/禁止状態が確認できます。

Bit symbol	Type	機能
CLRENA	R/W	割り込み番号[119:0] [ライト] 1: 割り込みを禁止状態にする [リード] 0: 割り込みが禁止状態 1: 割り込みが許可状態

(a) 割り込みイネーブルクリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 31)	CLRENA (割り込み 30)	CLRENA (割り込み 29)	CLRENA (割り込み 28)	CLRENA (割り込み 27)	CLRENA (割り込み 26)	CLRENA (割り込み 25)	CLRENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 23)	CLRENA (割り込み 22)	CLRENA (割り込み 21)	CLRENA (割り込み 20)	CLRENA (割り込み 19)	CLRENA (割り込み 18)	CLRENA (割り込み 17)	CLRENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 15)	CLRENA (割り込み 14)	CLRENA (割り込み 13)	CLRENA (割り込み 12)	CLRENA (割り込み 11)	CLRENA (割り込み 10)	CLRENA (割り込み 9)	CLRENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 7)	CLRENA (割り込 6)	CLRENA (割り込み 5)	CLRENA (割り込み 4)	CLRENA (割り込み 3)	CLRENA (割り込み 2)	CLRENA (割り込み 1)	CLRENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

(b)　割り込みイネーブルクリアレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 63)	CLRENA (割り込み 62)	CLRENA (割り込み 61)	CLRENA (割り込み 60)	CLRENA (割り込み 59)	CLRENA (割り込み 58)	CLRENA (割り込み 57)	CLRENA (割り込み 56)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 55)	CLRENA (割り込み 54)	CLRENA (割り込み 53)	CLRENA (割り込み 52)	CLRENA (割り込み 51)	CLRENA (割り込み 50)	CLRENA (割り込み 49)	CLRENA (割り込み 48)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 47)	CLRENA (割り込み 46)	CLRENA (割り込み 45)	CLRENA (割り込み 44)	CLRENA (割り込み 43)	CLRENA (割り込み 42)	CLRENA (割り込み 41)	CLRENA (割り込み 40)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 39)	CLRENA (割り込み 38)	CLRENA (割り込み 37)	CLRENA (割り込み 36)	CLRENA (割り込み 35)	CLRENA (割り込み 34)	CLRENA (割り込み 33)	CLRENA (割り込み 32)
リセット後	0	0	0	0	0	0	0	0

(c)　割り込みイネーブルクリアレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 95)	CLRENA (割り込み 94)	CLRENA (割り込み 93)	CLRENA (割り込み 92)	CLRENA (割り込み 91)	CLRENA (割り込み 90)	CLRENA (割り込み 89)	CLRENA (割り込み 88)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 87)	CLRENA (割り込み 86)	CLRENA (割り込み 85)	CLRENA (割り込み 84)	CLRENA (割り込み 83)	CLRENA (割り込み 82)	CLRENA (割り込み 81)	CLRENA (割り込み 80)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 79)	CLRENA (割り込み 78)	CLRENA (割り込み 77)	CLRENA (割り込み 76)	CLRENA (割り込み 75)	CLRENA (割り込み 74)	CLRENA (割り込み 73)	CLRENA (割り込み 72)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 71)	CLRENA (割り込み 70)	CLRENA (割り込み 69)	CLRENA (割り込み 68)	CLRENA (割り込み 67)	CLRENA (割り込み 66)	CLRENA (割り込み 65)	CLRENA (割り込み 64)
リセット後	0	0	0	0	0	0	0	0

(d) 割り込みイネーブルクリアレジスタ 4

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	CLRENA (割り込み 110)	CLRENA (割り込み 109)	CLRENA (割り込み 108)	CLRENA (割り込み 107)	CLRENA (割り込み 106)	CLRENA (割り込み 105)	CLRENA (割り込み 104)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 103)	CLRENA (割り込み 102)	CLRENA (割り込み 101)	CLRENA (割り込み 100)	CLRENA (割り込み 99)	CLRENA (割り込み 98)	CLRENA (割り込み 97)	CLRENA (割り込み 96)
リセット後	0	0	0	0	0	0	0	0

(3)　割り込み保留セットレジスタ

割り込みを強制的に保留したり、保留されているかどうかを確認できます。

"1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。

"0"の書き込みは意味を持ちません。

リードの場合、該当する割り込みが保留されているかどうかを示します。

このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。

Bit symbol	Type	機能
SETPEND	R/W	割り込み番号[119:0] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり

(a)　割り込み保留セットレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 31)	SETPEND (割り込み 30)	SETPEND (割り込み 29)	SETPEND (割り込み 28)	SETPEND (割り込み 27)	SETPEND (割り込み 26)	SETPEND (割り込み 25)	SETPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 23)	SETPEND (割り込み 22)	SETPEND (割り込み 21)	SETPEND (割り込み 20)	SETPEND (割り込み 19)	SETPEND (割り込み 18)	SETPEND (割り込み 17)	SETPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 15)	SETPEND (割り込み 14)	SETPEND (割り込み 13)	SETPEND (割り込み 12)	SETPEND (割り込み 11)	SETPEND (割り込み 10)	SETPEND (割り込み 9)	SETPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 7)	SETPEND (割り込 6)	SETPEND (割り込み 5)	SETPEND (割り込み 4)	SETPEND (割り込み 3)	SETPEND (割り込み 2)	SETPEND (割り込み 1)	SETPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

(b) 割り込み保留セットレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 63)	SETPEND (割り込み 62)	SETPEND (割り込み 61)	SETPEND (割り込み 60)	SETPEND (割り込み 59)	SETPEND (割り込み 58)	SETPEND (割り込み 57)	SETPEND (割り込み 56)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 55)	SETPEND (割り込み 54)	SETPEND (割り込み 53)	SETPEND (割り込み 52)	SETPEND (割り込み 51)	SETPEND (割り込み 50)	SETPEND (割り込み 49)	SETPEND (割り込み 48)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 47)	SETPEND (割り込み 46)	SETPEND (割り込み 45)	SETPEND (割り込み 44)	SETPEND (割り込み 43)	SETPEND (割り込み 42)	SETPEND (割り込み 41)	SETPEND (割り込み 40)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 39)	SETPEND (割り込み 38)	SETPEND (割り込み 37)	SETPEND (割り込み 36)	SETPEND (割り込み 35)	SETPEND (割り込み 34)	SETPEND (割り込み 33)	SETPEND (割り込み 32)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

(c) 割り込み保留セットレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 95)	SETPEND (割り込み 94)	SETPEND (割り込み 93)	SETPEND (割り込み 92)	SETPEND (割り込み 91)	SETPEND (割り込み 90)	SETPEND (割り込み 89)	SETPEND (割り込み 88)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 87)	SETPEND (割り込み 86)	SETPEND (割り込み 85)	SETPEND (割り込み 84)	SETPEND (割り込み 83)	SETPEND (割り込み 82)	SETPEND (割り込み 81)	SETPEND (割り込み 80)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 79)	SETPEND (割り込み 78)	SETPEND (割り込み 77)	SETPEND (割り込み 76)	SETPEND (割り込み 75)	SETPEND (割り込み 74)	SETPEND (割り込み 73)	SETPEND (割り込み 72)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 71)	SETPEND (割り込み 70)	SETPEND (割り込み 69)	SETPEND (割り込み 68)	SETPEND (割り込み 67)	SETPEND (割り込み 66)	SETPEND (割り込み 65)	SETPEND (割り込み 64)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

(d)　割り込み保留セットレジスタ 4

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	SETPEND (割り込み 110)	SETPEND (割り込み 109)	SETPEND (割り込み 108)	SETPEND (割り込み 107)	SETPEND (割り込み 106)	SETPEND (割り込み 105)	SETPEND (割り込み 104)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 103)	SETPEND (割り込み 102)	SETPEND (割り込み 101)	SETPEND (割り込み 100)	SETPEND (割り込み 99)	SETPEND (割り込み 98)	SETPEND (割り込み 97)	SETPEND (割り込み 96)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

(4) 割り込み保留クリアレジスタ

保留された割り込みをクリアしたり、保留されているかどうかを確認できます。

"1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。

"0"の書き込みは意味を持ちません。

リードの場合、該当する割り込みが保留されているかどうかを示します。

Bit symbol	Type	機能
CLRPEND	R/W	割り込み番号[119:0] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり

(a) 割り込み保留クリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 31)	CLRPEND (割り込み 30)	CLRPEND (割り込み 29)	CLRPEND (割り込み 28)	CLRPEND (割り込み 27)	CLRPEND (割り込み 26)	CLRPEND (割り込み 25)	CLRPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 23)	CLRPEND (割り込み 22)	CLRPEND (割り込み 21)	CLRPEND (割り込み 20)	CLRPEND (割り込み 19)	CLRPEND (割り込み 18)	CLRPEND (割り込み 17)	CLRPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 15)	CLRPEND (割り込み 14)	CLRPEND (割り込み 13)	CLRPEND (割り込み 12)	CLRPEND (割り込み 11)	CLRPEND (割り込み 10)	CLRPEND (割り込み 9)	CLRPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 7)	CLRPEND (割り込 6)	CLRPEND (割り込み 5)	CLRPEND (割り込み 4)	CLRPEND (割り込み 3)	CLRPEND (割り込み 2)	CLRPEND (割り込み 1)	CLRPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

(b)　割り込み保留クリアレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 63)	CLRPEND (割り込み 62)	CLRPEND (割り込み 61)	CLRPEND (割り込み 60)	CLRPEND (割り込み 59)	CLRPEND (割り込み 58)	CLRPEND (割り込み 57)	CLRPEND (割り込み 56)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 55)	CLRPEND (割り込み 54)	CLRPEND (割り込み 53)	CLRPEND (割り込み 52)	CLRPEND (割り込み 51)	CLRPEND (割り込み 50)	CLRPEND (割り込み 49)	CLRPEND (割り込み 48)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 47)	CLRPEND (割り込み 46)	CLRPEND (割り込み 45)	CLRPEND (割り込み 44)	CLRPEND (割り込み 43)	CLRPEND (割り込み 42)	CLRPEND (割り込み 41)	CLRPEND (割り込み 40)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 39)	CLRPEND (割り込み 38)	-CLRPEND (割り込み 37)	CLRPEND (割り込み 36)	CLRPEND (割り込み 35)	CLRPEND (割り込み 34)	CLRPEND (割り込み 33)	CLRPEND (割り込み 32)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

(c)　割り込み保留クリアレジスタ 3

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 95)	CLRPEND (割り込み 94)	CLRPEND (割り込み 93)	CLRPEND (割り込み 92)	CLRPEND (割り込み 91)	CLRPEND (割り込み 90)	CLRPEND (割り込み 89)	CLRPEND (割り込み 88)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 87)	CLRPEND (割り込み 86)	CLRPEND (割り込み 85)	CLRPEND (割り込み 84)	CLRPEND (割り込み 83)	CLRPEND (割り込み 82)	CLRPEND (割り込み 81)	CLRPEND (割り込み 80)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 79)	CLRPEND (割り込み 78)	CLRPEND (割り込み 77)	CLRPEND (割り込み 76)	CLRPEND (割り込み 75)	CLRPEND (割り込み 74)	CLRPEND (割り込み 73)	CLRPEND (割り込み 72)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 71)	CLRPEND (割り込み 70)	CLRPEND (割り込み 69)	CLRPEND (割り込み 68)	CLRPEND (割り込み 67)	CLRPEND (割り込み 66)	CLRPEND (割り込み 65)	CLRPEND (割り込み 64)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

(d) 割り込み保留クリアレジスタ 4

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	CLRPEND (割り込み 110)	CLRPEND (割り込み 109)	CLRPEND (割り込み 108)	CLRPEND (割り込み 107)	CLRPEND (割り込み 106)	CLRPEND (割り込み 105)	CLRPEND (割り込み 104)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 103)	CLRPEND (割り込み 102)	CLRPEND (割り込み 101)	CLRPEND (割り込み 100)	CLRPEND (割り込み 99)	CLRPEND (割り込み 98)	CLRPEND (割り込み 97)	CLRPEND (割り込み 96)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

7.6.2.6　割り込み優先度レジスタ

割り込み優先度レジスタは、各割り込みに対し 8 ビットごとの構成になっています。

割り込み番号と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31 24	23 16	15 8	7 0
0xE000_E400	PRI_3	PRI_2	PRI_1	PRI_0
0xE000_E404	PRI_7	PRI_6	PRI_5	PRI_4
0xE000_E408	PRI_11	PRI_10	PRI_9	PRI_8
0xE000_E40C	PRI_15	PRI_14	PRI_13	PRI_12
0xE000_E410	PRI_19	PRI_18	PRI_17	PRI_16
0xE000_E414	PRI_23	PRI_22	PRI_21	PRI_20
0xE000_E418	PRI_27	PRI_26	PRI_25	PRI_24
0xE000_E41C	PRI_31	PRI_30	PRI_29	PRI_28
0xE000_E420	PRI_35	PRI_34	PRI_33	PRI_32
0xE000_E424	PRI_39	PRI_38	PRI_37	PRI_36
0xE000_E428	PRI_43	PRI_42	PRI_41	PRI_40
0xE000_E42C	PRI_47	PRI_46	PRI_45	PRI_44
0xE000_E430	PRI_51	PRI_50	PRI_49	PRI_48
0xE000_E434	PRI_55	PRI_54	PRI_53	PRI_52
0xE000_E438	PRI_59	PRI_58	PRI_57	PRI_56
0xE000_E43C	PRI_63	PRI_62	PRI_61	PRI_60
0xE000_E440	PRI_67	PRI_66	PRI_65	PRI_64
0xE000_E444	PRI_71	PRI_70	PRI_69	PRI_68
0xE000_E448	PRI_75	PRI_74	PRI_73	PRI_72
0xE000_E44C	PRI_79	PRI_78	PRI_77	PRI_76
0xE000_E450	PRI_83	PRI_82	PRI_81	PRI_80
0xE000_E454	PRI_87	PRI_86	PRI_85	PRI_84
0xE000_E458	PRI_91	PRI_90	PRI_89	PRI_88
0xE000_E45C	PRI_95	PRI_94	PRI_93	PRI_92
0xE000_E460	PRI_99	PRI_98	PRI_97	PRI_96
0xE000_E464	PRI_103	PRI_102	PRI_101	PRI_100
0xE000_E468	PRI_107	PRI_106	PRI_105	PRI_104
0xE000_E46C	-	PRI_110	PRI_109	PRI_108

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 0~3 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_3			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_2			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_1			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_0			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_3	R/W	割り込み番号 3 優先度
28-24	–	R	リードすると"0"が読めます。
23-21	PRI_2	R/W	割り込み番号 2 優先度
20-16	–	R	リードすると"0"が読めます。
15-13	PRI_1	R/W	割り込み番号 1 優先度
12-8	–	R	リードすると"0"が読めます。
7-5	PRI_0	R/W	割り込み番号 0 優先度
4-0	–	R	リードすると"0"が読めます。

7.6.2.7　ベクタテーブルオフセットレジスタ

	31	30	29	28	27	26	25	24
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBLOFF	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	TBLOFF	R/W	オフセット値 アドレス 0x0000_0000 からのオフセット値を設定します。 オフセットはテーブルにある例外の数に基づいてアラインされる必要があります。16 個までの割り込みが使える、最小のアライメントは 32 ワードになります。割り込みの数がより多い場合は、次の 2 のべき乗まで切り上げて、アライメントを調整する必要があります。
6-0	−	R	リードすると"0"が読めます。

7.6.2.8 アプリケーション割り込みおよびリセット制御レジスタ

	31	30	29	28	27	26	25	24
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENDIANESS	-	-	-	-	PRIGROUP		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	SYSRESET REQ	VECTCLR ACTIVE	VECTRESET
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	VECTKEY (ライト)/ VECTKEYSTAT (リード)	R/W	レジスタキー [ライト]このレジスタへ書き込みを行うには、<VECTKEY>に"0x05FA"を書き込む必要があります。 [リード]リードすると"0xFA05"が読めます。
15	ENDIANESS	R/W	エンディアン形式ビット(注 1) 1: ビッグエンディアン 0: リトルエンディアン
14-11	−	R	リードすると"0"が読めます。
10-8	PRIGROUP	R/W	割り込み優先度グループ分け 000: 横取り優先度 7bit、サブ優先度 1bit 001: 横取り優先度 6bit、サブ優先度 2bit 010: 横取り優先度 5bit、サブ優先度 3bit 011: 横取り優先度 4bit、サブ優先度 4bit 100: 横取り優先度 3bit、サブ優先度 5bit 101: 横取り優先度 2bit、サブ優先度 6bit 110: 横取り優先度 1bit、サブ優先度 7bit 111: 横取り優先度 0bit、サブ優先度 8bit 割り込み優先度レジスタ<PRI_n>を、横取り優先度とサブ優先度分けする際のビット構成を設定します。
7-3	−	R	リードすると"0"が読めます。
2	SYSRESET REQ	R/W	システムリセットリクエスト "1"をセットすると CPU が SYSRESETREQ 信号を出力します。(注 2)
1	VECTCLR ACTIVE	R/W	アクティブなベクタのクリア 1: アクティブな NMI、フォールト、割り込みの全ての状態の情報をクリアします。 0: クリアしません。 このビットは自身の動作によりクリアされます。 スタックの再初期化はアプリケーションで行う必要があります。
0	VECTRESET	R/W	システムリセット 1: システムをリセットします。 0: システムをリセットしません。 "1"をセットするとデバッグコンポーネント(FPB,DWT,ITM)以外の CPU 内部をリセットし、本ビットもクリアされます。

注 1) 本製品はリトルエンディアンがデフォルトで選択されます。

注 2) 本製品では、SYSRESETREQ が出力されるとウォームリセットが発生します。ウォームリセットにより<SYSRESETREQ>はクリアされます。

7.6.2.9　システムハンドラ優先度レジスタ

システムハンドラ優先度レジスタは、各例外に対し 8 ビットごとの構成になっています。

例外と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31 24	23 16	15 8	7 0
0xE000_ED18	PRI_7	PRI_6 (用法フォールト)	PRI_5 (バスフォールト)	PRI_4 (メモリ管理)
0xE000_ED1C	PRI_11 (SVCall)	PRI_10	PRI_9	PRI_8
0xE000_ED20	PRI_15 (SysTick)	PRI_14 (PendSV)	PRI_13	PRI_12 (デバッグモニタ)

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 4~7 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_7			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_6			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_5			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_4			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_7	R/W	予約
28-24	−	R	リードすると"0"が読めます。
23-21	PRI_6	R/W	用法フォールト 優先度
20-16	−	R	リードすると"0"が読めます。
15-13	PRI_5	R/W	バスフォールト 優先度
12-8	−	R	リードすると"0"が読めます。
7-5	PRI_4	R/W	メモリ管理 優先度
4-0	−	R	リードすると"0"が読めます。

7.6.2.10 システムハンドラ制御および状態レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	USGFAULT ENA	BUSFAULT ENA	MEMFAULT ENA
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SVCALL PENDED	BUSFAULT PENDED	MEMFAULT PENDED	USGFAULT PENDED	SYSTICKACT	PENDSVACT	-	MONITOR ACT
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SVCALLACT	-	-	-	USGFAULT ACT	-	BUSFAULT ACT	MEMFAULT ACT
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	–	R	リードすると"0"が読めます。
18	USGFAULT ENA	R/W	用法フォールト 0: 禁止 1: 許可
17	BUSFAUL TENA	R/W	バスフォールト 0: 禁止 1: 許可
16	MEMFAULT ENA	R/W	メモリ管理 0: 禁止 1: 許可
15	SVCALL PENDED	R/W	SVCall 0: 保留されていない 1: 保留されている
14	BUSFAULT PENDED	R/W	バスフォールト 0: 保留されていない 1: 保留されている
13	MEMFAULT PENDED	R/W	メモリ管理 0: 保留されていない 1: 保留されている
12	USGFAULT PENDED	R/W	用法フォールト 0: 保留されていない 1: 保留されている
11	SYSTICKACT	R/W	SysTick 0: アクティブでない 1: アクティブ
10	PENDSVACT	R/W	PendSV 0: アクティブでない 1: アクティブ
9	–	R	リードすると"0"が読めます。
8	MONITORACT	R/W	デバッグモニタ 0: アクティブでない 1: アクティブ

Bit	Bit Symbol	Type	機能
7	SVCALLACT	R/W	SVCall 0: アクティブでない 1: アクティブ
6-4	−	R	リードすると"0"が読めます。
3	USGFAULT ACT	R/W	用法フォールト 0: アクティブでない 1: アクティブ
2	−	R	リードすると"0"が読めます。
1	BUSFAULT ACT	R/W	バスフォールト 0: アクティブでない 1: アクティブ
0	MEMFAULT ACT	R/W	メモリ管理 0: アクティブでない 1: アクティブ

注)　アクティブビットの書き換えは、スタックの内容の更新など行いませんので注意して行ってください。

7.6.3 クロックジェネレータレジスタ

7.6.3.1 CG 割り込みモードコントロールレジスタ

CG 割り込みモードコントロールレジスタは低消費電力モード解除に使用する割り込み要因のアクティブレベル設定、検出されたアクティブレベル、低消費電力モード解除の許可/禁止をおこないます。

Bit symbol	Type	機能
EMCGx[2:0]	R/W	低消費電力モード解除のアクティブレベルを設定 (下記のアクティブレベルのうち表 7-4 のアクティブレベルに記載されている解除要因から選択する) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ 上記以外:設定禁止
EMSTx[1:0]	R	検出されたアクティブレベル(EMCGx[2:0]="100"の場合のみ有効) 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
INTxEN	R/W	低消費電力モード解除 0:禁止 1: 許可

表 7-4 低消費電力モード解除のアクティブレベル設定

要因		アクティブレベル設定レジスタ	低消費電力モード解除のアクティブレベル				
			"Low" レベル	"HIGH" レベル	立ち上がりエッジ	立ち下がりエッジ	両エッジ
INT0	外部割り込み端子 0	CGIMCGA <EMCG00[1:0]>	o	o	o	o	o
INT1	外部割り込み端子 1	CGIMCGA <EMCG01[1:0]>	o	o	o	o	o
INT2	外部割り込み端子 2	CGIMCGA <EMCG02[1:0]>	o	o	o	o	o
INT3	外部割り込み端子 3	CGIMCGA <EMCG03[1:0]>	o	o	o	o	o
INT4	外部割り込み端子 4	CGIMCGB <EMCG04[1:0]>	o	o	o	o	o
INT5	外部割り込み端子 5	CGIMCGB <EMCG05[1:0]>	o	o	o	o	o
INT6	外部割り込み端子 6	CGIMCGB <EMCG06[1:0]>	o	o	o	o	o
INT7	外部割り込み端子 7	CGIMCGB <EMCG07[1:0]>	o	o	o	o	o
INT8	外部割り込み端子 8	CGIMCGC <EMCG08[1:0]>	o	o	o	o	o
INT9	外部割り込み端子 9	CGIMCGC <EMCG09[1:0]>	o	o	o	o	o
INTA	外部割り込み端子 A	CGIMCGC <EMCG0A[1:0]>	o	o	o	o	o
INTB	外部割り込み端子 B	CGIMCGC <EMCG0B[1:0]>	o	o	o	o	o
INTC	外部割り込み端子 C	CGIMCGD <EMCG0C[1:0]>	o	o	o	o	o
INTD	外部割り込み端子 D	CGIMCGD <EMCG0D[1:0]>	o	o	o	o	o
INTE	外部割り込み端子 E	CGIMCGD <EMCG0E[1:0]>	o	o	o	o	o
INTF	外部割り込み端子 F	CGIMCGD <EMCG0F[1:0]>	o	o	o	o	o
INTCECRX	CEC 受信割り込み	CGIMCGE <EMCG10[1:0]>	×	×	o	×	×
INTCECTX	CEC 送信割り込み	CGIMCGE <EMCG11[1:0]>	×	×	o	×	×
INTRMCRX0	リモコン 0 受信割り込み	CGIMCGE <EMCG12[1:0]>	×	×	o	×	×
INTRTC	時計用タイマ割り込み	CGIMCGE <EMCG13[1:0]>	×	×	×	o	×

注)　低消費電力モード解除のアクティブレベルは"o"のついたものが選択できます。"×"のついたものは選択できません。

(1) CGIMCGA(CG 割り込みモードコントロールレジスタ A)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG03			EMST03		-	INT03EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG02			EMST02		-	INT02EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG01			EMST01		-	INT01EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG00			EMST00		-	INT00EN
リセット後	0	0	1	0	0	0	不定	0

注 1) <EMCGx[2:0]>に設定できるアクティブレベルは要因ごとにことなります。表 7-4 を参照の上、設定してください。

注 2) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。それ以外のときは、不定となります。<EMSTx>を参照することにより、低消費電力モード解除を解除したアクティブレベルを確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 3) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

注 4) ビット 31、23、15、7 は"0"が読み出されます。

注 5) ビット 25、17、9、1 は不定が読み出されます。

(2) CGIMCGB(CG 割り込みモードコントロールレジスタ B)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG07			EMST07		-	INT07EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG06			EMST06		-	INT06EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG05			EMST05		-	INT05EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG04			EMST04		-	INT04EN
リセット後	0	0	1	0	0	0	不定	0

注 1) <EMCGx[2:0]>に設定できるアクティブレベルは要因ごとにことなります。表 7-4 を参照の上、設定してください。

注 2) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。それ以外のときは、不定となります。<EMSTx>を参照することにより、低消費電力モード解除を解除したアクティブレベルを確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 3) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

注 4) ビット 31、23、15、7 は"0"が読み出されます。

注 5) ビット 25、17、9、1 は不定が読み出されます。

(3)　CGIMCGC(CG 割り込みモードコントロールレジスタ C)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG0B			EMST0B		-	INT0BEN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG0A			EMST0A		-	INT0AEN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG09			EMST09		-	INT09EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG08			EMST08		-	INT08EN
リセット後	0	0	1	0	0	0	不定	0

注 1)　<EMCGx[2:0]>に設定できるアクティブレベルは要因ごとにことなります。表 7-4 を参照の上、設定してください。

注 2)　<EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。それ以外のときは、不定となります。<EMSTx>を参照することにより、低消費電力モード解除を解除したアクティブレベルを確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 3)　エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

注 4)　ビット 31、23、15、7 は"0"が読み出されます。

注 5)　ビット 25、17、9、1 は不定が読み出されます。

(4)　CGIMCGD(CG 割り込みモードコントロールレジスタ D)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG0F			EMST0F		-	INT0FEN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG0E			EMST0E		-	INT0EEN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG0D			EMST0D		-	INT0DEN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG0C			EMST0C		-	INT0CEN
リセット後	0	0	1	0	0	0	不定	0

注 1)　<EMCGx[2:0]>に設定できるアクティブレベルは要因ごとにことなります。表 7-4 を参照の上、設定してください。

注 2)　<EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。それ以外のときは、不定となります。<EMSTx>を参照することにより、低消費電力モード解除を解除したアクティブレベルを確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 3)　エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

注 4)　ビット 31、23、15、7 は"0"が読み出されます。

注 5)　ビット 25、17、9、1 は不定が読み出されます。

(5) CGIMCGE(CG 割り込みモードコントロールレジスタ E)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG13			EMST13		-	INT13EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG12			EMST12		-	INT12EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG11			EMST11		-	INT11EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG10			EMST10		-	INT10EN
リセット後	0	0	1	0	0	0	不定	0

注 1) <EMCGx[2:0]>に設定できるアクティブレベルは要因ごとにことなります。表 7-4 を参照の上、設定してください。

注 2) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。それ以外のときは、不定となります。<EMSTx>を参照することにより、低消費電力モード解除を解除したアクティブレベルを確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 3) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

注 4) ビット 31、23、15、7 は"0"が読み出されます。

注 5) ビット 25、17、9、1 は不定が読み出されます。

7.6.3.2　CGICRCG(CG 割り込み要求クリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	ICRCG				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	–	R	リードすると"0"が読めます。
4-0	ICRCG[4:0]	W	割り込み要求をクリア 0_0000: INT0　0_1000: INT8　1_0000: INTCECRX 0_0001: INT1　0_1001: INT9　1_0001: INTCECTX 0_0010: INT2　0_1010: INTA　1_0010: INTRMCRX0 0_0011: INT3　0_1011: INTB　1_0011: INTRTC 0_0100: INT4　0_1100 : INTC 0_0101: INT5　0_1101 : INTD 0_0110: INT6　0_1110 : INTE 0_ 0111: INT7　0_1111 : INTF 1_0100 to 1_1111: 設定禁止 リードすると"0"が読めます

7.6.3.3 CGNMIFLG(NMI フラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	NMIFLG2	NMIFLG1	NMIFLG0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	NMIFLG2	R	NMI 起動要因フラグ 0: 要因なし 1 : LVD で電源電圧が設定電圧より下がった場合に NMI が発生
1	NMIFLG1	R	NMI 起動要因フラグ 0: 要因なし 1: $\overline{\text{NMI}}$ 端子による NMI 発生
0	NMIFLG0	R	NMI 起動要因フラグ 0: 要因なし 1 : WDT による NMI 発生

7.6.3.4　CGRSTFLG(リセットフラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
端子 リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
端子 リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
端子 リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	LVDRSTF	OFDRSTF	SYSRSTF	BUPRSTF	WDTRSTF	OSCFLF	PINRSTF
端子 リセット後	0	0	0	0	0	0	不定	1

Bit	Bit Symbol	Type	機能
31-7	−	R	リードすると"0"が読めます。
6	LVDRSTF	R/W	LVD リセットフラグ [Read] 0: - 1: LVD によるリセットフラグ [Write] 0 : クリア(注 2) 1 : don’t care
5	OFDRSTF	R/W	OFD リセットフラグ [Read] 0: - 1: OFD によるリセットフラグ [Write] 0 : クリア(注 2) 1 : don’t care
4	SYSRSTF	R/W	<SYSRESETREQ>リセットフラグ [Read] 0: - 1: <SYSRESETREQ>によるリセットフラグ [Write] 0 : クリア(注 2) 1 : don’t care
3	BUPRSTF	R/W	STOP2 リセットフラグ [Read] 0: - 1: STOP2 モード解除によるリセットフラグ [Write] 0 : クリア(注 2) 1 : don’t care

Bit	Bit Symbol	Type	機能
2	WDTRSTF	R/W	WDT リセットフラグ [Read] 0: - 1: WDT によるリセットフラグ [Write] 0 : クリア(注 2) 1 : don't care
1	OSCFLF	R	内部高速発振器停止/FLASH ライト可能フラグ 0: 内部高速発振器の停止禁止、FLASH ライト禁止 1: 内部高速発振器の停止可能、FLASH ライト可能
0	PINRSTF	R/W	RESET 端子フラグ [Read] 0: - 1: $\overline{\text{RESET}}$ 端子によるリセットフラグ [Write] 0 : クリア(注 2) 1 : don't care

注 1) CPU の NVIC 内にあるアプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>のセットにより発生したリセットであることを示します。

注 2) 自動的にクリアされません。"0"を書いてクリアしてください。

第 8 章　μDMA コントローラ（μDMAC）

8.1　概要

8.1.1　機能一覧

1 ユニットあたりの主な機能を以下に説明します。

周辺機能による起動トリガの情報については、「製品情報」章を参照してください。

表 8-1 μDMA 概要(1 ユニットあたり)

項目	機能		
チャネル数	32ch		
DMA 起動トリガ	ハードウエアでスタート		周辺機能の DMA 要求で起動
	ソフトウエアでスタート		DMAxChnlSwRequest レジスタで設定
プライオリティ	チャネル間	ch0(高優先度) > … > ch31(高優先度) > ch0(通常優先度) > … > ch31(通常優先度)	DMAxChnlPrioritySet レジスタで高優先度設定が可能
転送データサイズ	8/16/32bit		
転送回数	1~1024 回		
アドレス	転送元アドレス	インクリメント/固定	転送元と転送先のアドレスは、固定かインクリメントするかを選択できます。
	転送先アドレス	インクリメント/固定	
エンディアン	リトルエンディアン		
割り込み機能	転送終了割り込み		ユニットごとに出力
	エラー割り込み		
動作モード	基本モード 自動要求モード ピンポンモード メモリスキャッターギャザーモード 周辺スキャッターギャザーモード		

8.2　ブロック図

μDMA コントローラは以下の機能ブロックを内蔵しています。

- APB ブロック

  制御レジスタへのアクセスを制御します。
- AHB ブロック

  DMA 転送のバスサイクルを制御します。
- DMA 制御ブロック

  DMA 動作全体の制御を行います。
- 割り込み制御ブロック

  割り込み信号をまとめ、フラグレジスタを設定します。

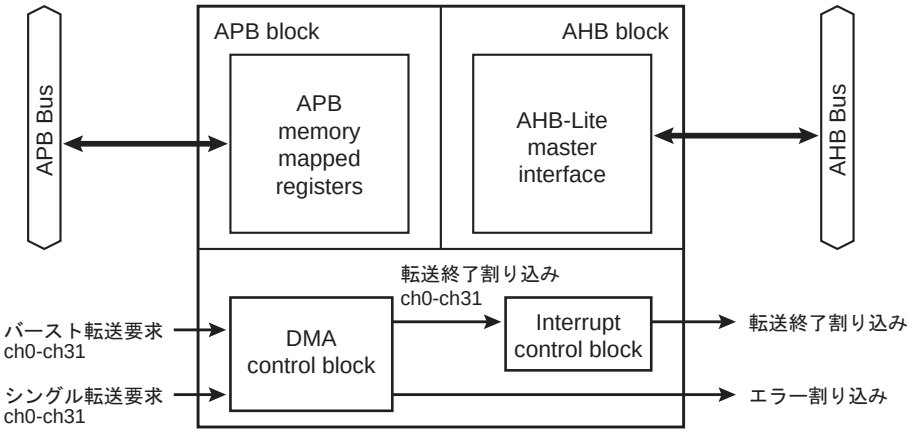


図 8-1 μDMA ブロック図(ユニット共通)

8.3 レジスタ説明

8.3.1 レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照してください。

周辺機能名:DMA

レジスタ名		Address(Base+)
DMA status Register	DMAxStatus	0x0000
DMA configuration Register	DMAxCfg	0x0004
channel control data base pointer Register	DMAxCtrlBasePtr	0x0008
channel alternate control data base pointer Register	DMAxAltCtlBasePtr	0x000C
channel software request ststus Register	DMAxChnlSwRequest	0x0014
channel useburst set Register	DMAxChnlUseburstSet	0x0018
channel useburst clear Register	DMAxChnlUseburstClr	0x001C
channel request mask set Register	DMAxChnlReqMaskSet	0x0020
channel request mask clear Register	DMAxChnlReqMaskClr	0x0024
channel enable set Register	DMAxChnlEnableSet	0x0028
channel enable clear Register	DMAxChnlEnableClr	0x002C
channel primary-alternate set Register	DMAxChnlPriAltSet	0x0030
channel primary-alternate clear Register	DMAxChnlPriAltClr	0x0034
channel priority set Register	DMAxChnlPrioritySet	0x0038
channel priority clear Register	DMAxChnlPriorityClr	0x003C
Bus error clear Register	DMAxErrClr	0x004C

周辺機能名:DMAIF

レジスタ名		Address(Base+)
Flag Register A	DMAIFFLGA	0x0000
Flag Register B	DMAIFFLGB	0x0004
Flag Register C	DMAIFFLGC	0x0008

注) レジスタは必ずワード（32bit）アクセスしてください。

8.3.2　DMAxStatus (DMAC Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	1	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	master_ enable
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	-	R	"0"が読めます。
28	-	R	"1"が読めます。
27-21	-	R	"0"が読めます。
20-16	-	R	"1"が読めます。
15-8	-	R	"0"が読めます。
7-4	-	R	不定値が読めます。
3-1	-	R	"0"が読めます。
0	master_enable	R	DMA 動作 0: 禁止 1: 許可

8.3.3 DMAxCfg (DMAC Configuration Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	master_ enable
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-1	-	W	"0"をライトしてください。
0	master_enable	W	DMA 動作 0：禁止 1：許可

注) 全てのユニットに DMAxCfg = 0x00000001, DMAxChnlReqMaskSet = 0xFFFFFFFF, DMAxChnlEnableSet = 0xFFFFFFFF を設定した後、使用するユニットのチャネルをマスク解除(DMAxChnlReqMaskClr の該当ビットを"1"）に設定してください。ただし、同一要因を各ユニットで同時に解除しないでください。

8.3.4　DMAxCtrlBasePtr (Channel control data base pointer Register)

	31	30	29	28	27	26	25	24
bit symbol	ctrl_base_ptr							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ctrl_base_ptr							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ctrl_base_ptr						-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	ctrl_base_ptr	R/W	1 次データベースポインタ 1 次データのベースアドレスを指定します。
9-0	-	R	"0"が読めます。

8.3.5　DMAxAltCtrlBasePtr (Channel alternate control data base pointer Register)

	31	30	29	28	27	26	25	24
bit symbol	alt_ctrl_base_pt							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	alt_ctrl_base_pt							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	alt_ctrl_base_pt							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	alt_ctrl_base_pt							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	alt_ctrl_base_pt	R	代替データベースポインタ 代替データのベースアドレスが読めます。

8.3.6 DMAxChnlSwRequest(Channel software request Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_sw_request (ch31)	chnl_sw_request (ch30)	chnl_sw_request (ch29)	chnl_sw_request (ch28)	chnl_sw_request (ch27)	chnl_sw_request (ch26)	chnl_sw_request (ch25)	chnl_sw_request (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_sw_request (ch23)	chnl_sw_request (ch22)	chnl_sw_request (ch21)	chnl_sw_request (ch20)	chnl_sw_request (ch19)	chnl_sw_request (ch18)	chnl_sw_request (ch17)	chnl_sw_request (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_sw_request (ch15)	chnl_sw_request (ch14)	chnl_sw_request (ch13)	chnl_sw_request (ch12q)	chnl_sw_request (ch11)	chnl_sw_request (ch10)	chnl_sw_request (ch9)	chnl_sw_request (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_sw_request (ch7)	chnl_sw_request (ch6)	chnl_sw_request (ch5)	chnl_sw_request (ch4)	chnl_sw_request (ch3)	chnl_sw_request (ch2)	chnl_sw_request (ch1)	chnl_sw_request (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_sw_request	W	DMA 要求 0: 転送要求しない 1: 転送要求する 各チャネルに対する転送要求を設定します。

8.3.7　DMAxChnlUseburstSet(Channel useburst set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_useburst_set (ch31)	chnl_useburst_set (ch30)	chnl_useburst_set (ch29)	chnl_useburst_set (ch28)	chnl_useburst_set (ch27)	chnl_useburst_set (ch26)	chnl_useburst_set (ch25)	chnl_useburst_set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_useburst_set (ch23)	chnl_useburst_set (ch22)	chnl_useburst_set (ch21)	chnl_useburst_set (ch20)	chnl_useburst_set (ch19)	chnl_useburst_set (ch18)	chnl_useburst_set (ch17)	chnl_useburst_set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_useburst_set (ch15)	chnl_useburst_set (ch14)	chnl_useburst_set (ch13)	chnl_useburst_set (ch12)	chnl_useburst_set (ch11)	chnl_useburst_set (ch10)	chnl_useburst_set (ch9)	chnl_useburst_set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_useburst_set (ch7)	chnl_useburst_set (ch6)	chnl_useburst_set (ch5)	chnl_useburst_set (ch4)	chnl_useburst_set (ch3)	chnl_useburst_set (ch2)	chnl_useburst_set (ch1)	chnl_useburst_set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_useburst_set	R/W	シングル転送禁止 [ライト] 1: シングル転送を禁止する [リード] 0: シングル転送許可 1: シングル転送禁止 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルのシングル転送が禁止され、バースト転送要求のみが有効になります。"0"の書き込みは意味を持ちません。シングル転送禁止を解除する際は、DMAxChnlUseburstClr レジスタで行います。 リードの場合、該当するチャネルのシングル転送の許可/禁止状態が確認できます。 以下の場合、自動的にビットが操作されます。 ・最後から 2 番目の 2^R 回転送("R"は制御データの channel_cfg<R_power>で設定)終了時に残りの転送回数が 2^R 回未満の場合、このビットは"0"にクリアされます。 ・周辺スキャッターギャザーモードで、制御データの channel_cfg<next_useburst>が"1"に設定されている場合、代替データによる DMA 転送終了後にこのビットに"1"が設定されます。

注)　転送回数が 2^R 回未満の設定で、バースト転送要求を使用しない場合はこのビットに"1"を設定しないでください。

8.3.8 DMAxChnlUseburstClr(Channel useburst clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_useburst_clr (ch31)	chnl_useburst_clr (ch30)	chnl_useburst_clr (ch29)	chnl_useburst_clr (ch28)	chnl_useburst_clr (ch27)	chnl_useburst_clr (ch26)	chnl_useburst_clr (ch25)	chnl_useburst_clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_useburst_clr (ch23)	chnl_useburst_clr (ch22)	chnl_useburst_clr (ch21)	chnl_useburst_clr (ch20)	chnl_useburst_clr (ch19)	chnl_useburst_clr (ch18)	chnl_useburst_clr (ch17)	chnl_useburst_clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_useburst_clr (ch15)	chnl_useburst_clr (ch14)	chnl_useburst_clr (ch13)	chnl_useburst_clr (ch12)	chnl_useburst_clr (ch11)	chnl_useburst_clr (ch10)	chnl_useburst_clr (ch9)	chnl_useburst_clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_useburst_clr (ch7)	chnl_useburst_clr (ch6)	chnl_useburst_clr (ch5)	chnl_useburst_clr (ch4)	chnl_useburst_clr (ch3)	chnl_useburst_clr (ch2)	chnl_useburst_clr (ch1)	chnl_useburst_clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_useburst_clr	W	シングル転送許可 1: シングル転送を許可する 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルのシングル転送を許可します。"0"の書き込みは意味を持ちません。 シングル転送の禁止および設定の確認は、DMAxChnlUseburstSet レジスタで行います。

8.3.9　DMAxChnlReqMaskSet(Channel request mask set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_req_mask_set (ch31)	chnl_req_mask_set (ch30)	chnl_req_mask_set (ch29)	chnl_req_mask_set (ch28)	chnl_req_mask_set (ch27)	chnl_req_mask_set (ch26)	chnl_req_mask_set (ch25)	chnl_req_mask_set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_req_mask_set (ch23)	chnl_req_mask_set (ch22)	chnl_req_mask_set (ch21)	chnl_req_mask_set (ch20)	chnl_req_mask_set (ch19)	chnl_req_mask_set (ch18)	chnl_req_mask_set (ch17)	chnl_req_mask_set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_req_mask_set (ch15)	chnl_req_mask_set (ch14)	chnl_req_mask_set (ch13)	chnl_req_mask_set (ch12)	chnl_req_mask_set (ch11)	chnl_req_mask_set (ch10)	chnl_req_mask_set (ch9)	chnl_req_mask_set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_req_mask_set (ch7)	chnl_req_mask_set (ch6)	chnl_req_mask_set (ch5)	chnl_req_mask_set (ch4)	chnl_req_mask_set (ch3)	chnl_req_mask_set (ch2)	chnl_req_mask_set (ch1)	chnl_req_mask_set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_req_mask_set	R/W	DMA 要求マスク [ライト] 1: 周辺回路からの DMA 要求をマスクする [リード] 0: DMA 外部要求は有効 1: DMA 外部要求は無効 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルに対する転送要求を無効にします。"0"の書き込みは意味を持ちません。マスクを無効にする際は、DMAxChnlReqMaskClr レジスタで行います。 リードの場合、該当するチャネルの DMA 外部要求マスク有効/無効の状態が確認できます。

8.3.10 DMAxChnlReqMaskClr(Channel request mask clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_req_mask_clr (ch31)	chnl_req_mask_clr (ch30)	chnl_req_mask_clr (ch29)	chnl_req_mask_clr (ch28)	chnl_req_mask_clr (ch27)	chnl_req_mask_clr (ch26)	chnl_req_mask_clr (ch25)	chnl_req_mask_clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_req_mask_clr (ch23)	chnl_req_mask_clr (ch22)	chnl_req_mask_clr (ch21)	chnl_req_mask_clr (ch20)	chnl_req_mask_clr (ch19)	chnl_req_mask_clr (ch18)	chnl_req_mask_clr (ch17)	chnl_req_mask_clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_req_mask_clr (ch15)	chnl_req_mask_clr (ch14)	chnl_req_mask_clr (ch13)	chnl_req_mask_clr (ch12)	chnl_req_mask_clr (ch11)	chnl_req_mask_clr (ch10)	chnl_req_mask_clr (ch9)	chnl_req_mask_clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_req_mask_clr (ch7)	chnl_req_mask_clr (ch6)	chnl_req_mask_clr (ch5)	chnl_req_mask_clr (ch4)	chnl_req_mask_clr (ch3)	chnl_req_mask_clr (ch2)	chnl_req_mask_clr (ch1)	chnl_req_mask_clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_req_mask_clr	W	DMA 要求マスクの解除 1: 該当するチャネルの DMA 要求マスクを解除する 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルの DMA 要求マスクを無効にします。"0"の書き込みは意味を持ちません。 有効の設定および設定の確認は、DMAxChnlReqMaskSet レジスタで行います。

8.3.11　DMAxChnlEnableSet(Channel enable set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_enable_set (ch31)	chnl_enable_set (ch30)	chnl_enable_set (ch29)	chnl_enable_set (ch28)	chnl_enable_set (ch27)	chnl_enable_set (ch26)	chnl_enable_set (ch25)	chnl_enable_set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_enable_set (ch23)	chnl_enable_set (ch22)	chnl_enable_set (ch21)	chnl_enable_set (ch20)	chnl_enable_set (ch19)	chnl_enable_set (ch18)	chnl_enable_set (ch17)	chnl_enable_set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_enable_set (ch15)	chnl_enable_set (ch14)	chnl_enable_set (ch13)	chnl_enable_set (ch12)	chnl_enable_set (ch11)	chnl_enable_set (ch10)	chnl_enable_set (ch9)	chnl_enable_set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_enable_set (ch7)	chnl_enable_set (ch6)	chnl_enable_set (ch5)	chnl_enable_set (ch4)	chnl_enable_set (ch3)	chnl_enable_set (ch2)	chnl_enable_set (ch1)	chnl_enable_set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_enable_set	R/W	DMA 動作 [ライト] 1: 該当チャネルを有効にする [リード] 0: 該当チャネルは無効 1: 該当チャネルは有効 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルを有効にします。"0"の書き込みは意味を持ちません。無効にする際は、DMAxChnlEnableClr レジスタで行います。 リードの場合、該当するチャネルの有効/無効の状態が確認できます。 また、以下の場合に自動的に無効になります。 ・DMA サイクル終了 ・channel_cfg<cycle_ctrl>が"000"の制御データをリードしたとき ・バスエラーが発生したとき

8.3.12 DMAxChnlEnableClr(Channel enable clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_enable_clr (ch31)	chnl_enable_clr (ch30)	chnl_enable_clr (ch29)	chnl_enable_clr (ch28)	chnl_enable_clr (ch27)	chnl_enable_clr (ch26)	chnl_enable_clr (ch25)	chnl_enable_clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_enable_clr (ch23)	chnl_enable_clr (ch22)	chnl_enable_clr (ch21)	chnl_enable_clr (ch20)	chnl_enable_clr (ch19)	chnl_enable_clr (ch18)	chnl_enable_clr (ch17)	chnl_enable_clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_enable_clr (ch15)	chnl_enable_clr (ch14)	chnl_enable_clr (ch13)	chnl_enable_clr (ch12)	chnl_enable_clr (ch11)	chnl_enable_clr (ch10)	chnl_enable_clr (ch9)	chnl_enable_clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_enable_clr (ch7)	chnl_enable_clr (ch6)	chnl_enable_clr (ch5)	chnl_enable_clr (ch4)	chnl_enable_clr (ch3)	chnl_enable_clr (ch2)	chnl_enable_clr (ch1)	chnl_enable_clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_enable_clr	W	DMA 無効 1: 該当するチャネルを無効にする 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルを無効にします。"0"の書き込みは意味を持ちません。 有効の設定および設定の確認は、DMAxChnlEnableSet レジスタで行います。 また、以下の場合に自動的に無効になります。 ・DMA サイクル終了 ・channel_cfg<cycle_ctrl>が"000"の制御データをリードしたとき ・バスエラーが発生したとき

8.3.13　DMAxChnlPriAltSet(Channel primary-alternate set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_pri_alt_set (ch31)	chnl_pri_alt_set (ch30)	chnl_pri_alt_set (ch29)	chnl_pri_alt_set (ch28)	chnl_pri_alt_set (ch27)	chnl_pri_alt_set (ch26)	chnl_pri_alt_set (ch25)	chnl_pri_alt_set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_pri_alt_set (ch23)	chnl_pri_alt_set (ch22)	chnl_pri_alt_set (ch21)	chnl_pri_alt_set (ch20)	chnl_pri_alt_set (ch19)	chnl_pri_alt_set (ch18)	chnl_pri_alt_set (ch17)	chnl_pri_alt_set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_pri_alt_set (ch15)	chnl_pri_alt_set (ch14)	chnl_pri_alt_set (ch13)	chnl_pri_alt_set (ch12)	chnl_pri_alt_set (ch11)	chnl_pri_alt_set (ch10)	chnl_pri_alt_set (ch9)	chnl_pri_alt_set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_pri_alt_set (ch7)	chnl_pri_alt_set (ch6)	chnl_pri_alt_set (ch5)	chnl_pri_alt_set (ch4)	chnl_pri_alt_set (ch3)	chnl_pri_alt_set (ch2)	chnl_pri_alt_set (ch1)	chnl_pri_alt_set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_pri_alt_set	R/W	1 次データ/代替データ選択 [ライト] 1: 代替データを使用する [リード] 0: 1 次データ 1: 代替データ 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルで最初に使用するデータを代替に設定します。"0"の書き込みは意味を持ちません。無効にする際は、DMAxChnlEnableClr レジスタで行います。最初のデータとして代替を指定できるのは、基本モード、自動要求モード、ピンポンモードです。 リードの場合、該当するチャネルのデータが 1 次か代替かを確認できます。 また、以下の場合に自動的に設定が切り替わります。 ・ピンポンモード、メモリスキャッターギャザーモードまたは周辺スキャッターギャザーモードで 1 次データによるデータ転送が終了したとき ・ピンポンモード、メモリスキャッターギャザーモードまたは周辺スキャッターギャザーモードで代替データによるデータ転送が終了したとき

8.3.14 DMAxChnlPriAltClr(Channel primary-alternate clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chn_pri_alt_clr (ch31)	chn_pri_alt_clr (ch30)	chn_pri_alt_clr (ch29)	chn_pri_alt_clr (ch28)	chn_pri_alt_clr (ch27)	chn_pri_alt_clr (ch26)	chn_pri_alt_clr (ch25)	chn_pri_alt_clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chn_pri_alt_clr (ch23)	chn_pri_alt_clr (ch22)	chn_pri_alt_clr (ch21)	chn_pri_alt_clr (ch20)	chn_pri_alt_clr (ch19)	chn_pri_alt_clr (ch18)	chn_pri_alt_clr (ch17)	chn_pri_alt_clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chn_pri_alt_clr (ch15)	chn_pri_alt_clr (ch14)	chn_pri_alt_clr (ch13)	chn_pri_alt_clr (ch12)	chn_pri_alt_clr (ch11)	chn_pri_alt_clr (ch10)	chn_pri_alt_clr (ch9)	chn_pri_alt_clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chn_pri_alt_clr (ch7)	chn_pri_alt_clr (ch6)	chn_pri_alt_clr (ch5)	chn_pri_alt_clr (ch4)	chn_pri_alt_clr (ch3)	chn_pri_alt_clr (ch2)	chn_pri_alt_clr (ch1)	chn_pri_alt_clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_pri_alt_clr	W	代替データ設定の解除 1: 1 次データを使用する 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルのデータを 1 次に設定します。"0"の書き込みは意味を持ちません。代替の設定および設定の確認は、DMAxChnlPriAltSet レジスタで行います。 また、以下の場合に自動的に設定が切り替わります。 ・メモリスキャッターギャザーモードまたは周辺スキャッターギャザーモードで 1 次データによるデータ転送が終了したとき ・ピンポンモードで 1 次データによるデータ転送が終了したとき ・ピンポンモード、メモリスキャッターギャザーモード、周辺スキャッターギャザーモードで代替データによるデータ転送が終了したとき

8.3.15　DMAxChnlPrioritySet(Channel priority set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_priority_set (ch31)	chnl_priority_set (ch30)	chnl_priority_set (ch29)	chnl_priority_set (ch28)	chnl_priority_set (ch27)	chnl_priority_set (ch26)	chnl_priority_set (ch25)	chnl_priority_set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_priority_set (ch23)	chnl_priority_set (ch22)	chnl_priority_set (ch21)	chnl_priority_set (ch20)	chnl_priority_set (ch19)	chnl_priority_set (ch18)	chnl_priority_set (ch17)	chnl_priority_set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_priority_set (ch15)	chnl_priority_set (ch14)	chnl_priority_set (ch13)	chnl_priority_set (ch12)	chnl_priority_set (ch11)	chnl_priority_set (ch10)	chnl_priority_set (ch9)	chnl_priority_set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_priority_set (ch7)	chnl_priority_set (ch6)	chnl_priority_set (ch5)	chnl_priority_set (ch4)	chnl_priority_set (ch3)	chnl_priority_set (ch2)	chnl_priority_set (ch1)	chnl_priority_set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_priority_set	R/W	優先度設定 [ライト] 1: 高優先度に設定する [リード] 0: 通常優先度 1: 高優先度 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルの優先度を高優先度に設定します。"0"の書き込みは意味を持ちません。通常優先度に戻す際は、DMAxChnlPriorityClr レジスタで行います。 リードの場合、該当するチャネルが高優先度か通常優先度かを確認できます。

8.3.16 DMAxChnlPriorityClr(Channel priority clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_priority_clr (ch31)	chnl_priority_clr (ch30)	chnl_priority_clr (ch29)	chnl_priority_clr (ch28)	chnl_priority_clr (ch27)	chnl_priority_clr (ch26)	chnl_priority_clr (ch25)	chnl_priority_clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_priority_clr (ch23)	chnl_priority_clr (ch22)	chnl_priority_clr (ch21)	chnl_priority_clr (ch20)	chnl_priority_clr (ch19)	chnl_priority_clr (ch18)	chnl_priority_clr (ch17)	chnl_priority_clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_priority_clr (ch15)	chnl_priority_clr (ch14)	chnl_priority_clr (ch13)	chnl_priority_clr (ch12)	chnl_priority_clr (ch11)	chnl_priority_clr (ch10)	chnl_priority_clr (ch9)	chnl_priority_clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_priority_clr (ch7)	chnl_priority_clr (ch6)	chnl_priority_clr (ch5)	chnl_priority_clr (ch4)	chnl_priority_clr (ch3)	chnl_priority_clr (ch2)	chnl_priority_clr (ch1)	chnl_priority_clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_priority_clr	W	高優先度設定の解除 [ライト] 1: 通常優先度に設定する 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルの優先度を通常に戻します。"0"の書き込みは意味を持ちません。高優先度の設定および設定の確認は、DMAxChnlPrioritySet レジスタで行います。

8.3.17　DMAxErrClr(Bus error clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	err_clr
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	"0"が読めます。
0	err_clr	R/W	バスエラー [ライト] 1: バスエラー解除 [リード] 0: バスエラーなし 1: バスエラー状態 リードするとバスエラーが発生しているかどうかを確認できます。 "1"をライトすることでバスエラーを解除することができます。"0"の書き込みは意味を持ちません。

8.3.18 DMAIFFLGx(DMA Flag Register)

	31	30	29	28	27	26	25	24
bit symbol	FLG31	FLG30	FLG29	FLG28	FLG27	FLG26	FLG25	FLG24
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	FLG23	FLG22	FLG21	FLG20	FLG19	FLG18	FLG17	FLG16
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	FLG15	FLG14	FLG13	FLG12	FLG11	FLG10	FLG9	FLG8
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FLG7	FLG6	FLG5	FLG4	FLG3	FLG2	FLG1	FLG0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	FLG31 - FLG0	R	DMA 要因フラグ 0:終了割り込みは発生していない 1:終了割り込みが発生 ビット番号は DMA のチャネル番号に対応します。転送終了割り込みが発生すると、該当するビットが"1"にセットされます。 レジスタをリードすると"0"にクリアされます。

注) DMA 転送終了割り込みを許可する前に本レジスタをリードしてフラグをクリアしてください。

8.4　動作説明

本 DMA は、チャネル制御データによって制御されます。チャネル制御データはメモリ上に置かれたデータで、1 チャネルにつき 4 ワードのデータをチャネル数分連続した空間に配置します。

チャネル制御データには、1 次データと代替データがあります。動作モードによってどちらかを設定レジスタで選択して使用する場合と、両方を使用する場合があります。

8.4.1　チャネル制御データメモリマップ

図 8-2 にチャネル制御データのメモリマップ例を示します。

チャネル制御データとして 1KB の領域を使用します。チャネル制御データのスタートアドレスは、アドレス[9:0]が 0x00 となるように配置します。

1 次データ用のスタートアドレスを DMAxCtrlBasePtr に、代替データ用のスタートアドレスを DMAxAltCtrlBasePtr に設定します。

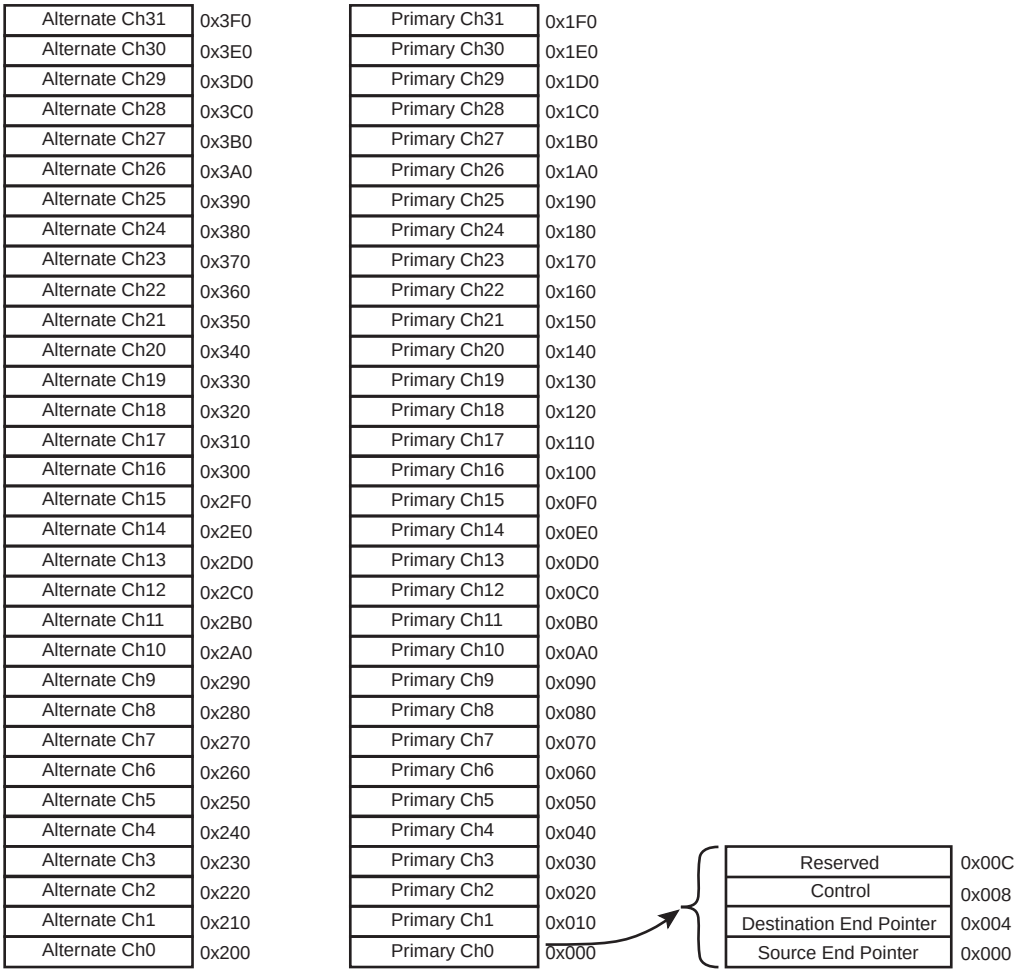


図 8-2 制御データのメモリマップ

図 8-2 は、32 チャネル全てが使用できる場合のメモリマップです。使用できるチャネル数により必要となる領域は異なります。チャネル数とアドレスの関係を表 8-2 に示します。

表 8-2 チャネル制御データのアドレスビット設定

チャネル	アドレス							設定可能な ベースアドレス
	[9]	[8]	[7]	[6]	[5]	[4]	[3:0]	
0	-	-	-	-	-	A	チャネル制御 データ指定	0xXXXX_XX00, 0xXXXX_XX20, 0xXXXX_XX40, 0xXXXX_XX60, 0xXXXX_XX80, 0xXXXX_XXA0, 0xXXXX_XXC0, 0xXXXX_XXE0
0 ~ 1	-	-	-	-	A	C[0]		0xXXXX_XX00, 0xXXXX_XX40, 0xXXXX_XX80, 0xXXXX_XXC0
0 ~ 3	-	-	-	A	C[1:0]			0xXXXX_XX00, 0xXXXX_XX80
0 ~ 7	-	-	A	C[2:0]				0xXXXX_X000, 0xXXXX_X100, 0xXXXX_X200, 0xXXXX_X300, 0xXXXX_X400, 0xXXXX_X500, 0xXXXX_X600, 0xXXXX_X700, 0xXXXX_X800, 0xXXXX_X900, 0xXXXX_XA00, 0xXXXX_XB00, 0xXXXX_XC00, 0xXXXX_XD00, 0xXXXX_XE00, 0xXXXX_XF00
0 ~ 15	-	A	C[3:0]					0xXXXX_X000, 0xXXXX_X200, 0xXXXX_X400, 0xXXXX_X600, 0xXXXX_X800, 0xXXXX_XA00, 0xXXXX_XC00, 0xXXXX_XE00
0 ~ 31	A	C[4:0]						0xXXXX_X000, 0xXXXX_X400, 0xXXXX_X800, 0xXXXX_XC00

A : 1 次/代替指定(0 : 1 次、1 : 代替)
C[x:0] : チャネル番号の指定

8.4.2 チャネル制御データの構造

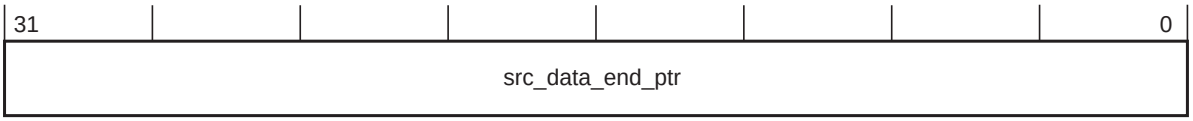
チャネル制御データは以下の 3 つのデータを含みます。

- 転送元データの最終アドレス
- 転送先の最終アドレス
- 制御データ

それぞれの内容について以下に説明します。

8.4.2.1 転送データ最終アドレス

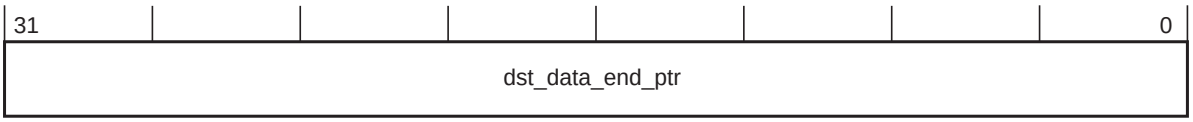
転送するデータの最終アドレスを設定します。アドレスのアライメントは、転送データサイズに合わせてください。このアドレスを元に DMA が転送元のスタートアドレスを計算します。



bit	bitsymbol	機能
[31:0]	src_data_end_ptr	転送元データの最終アドレス

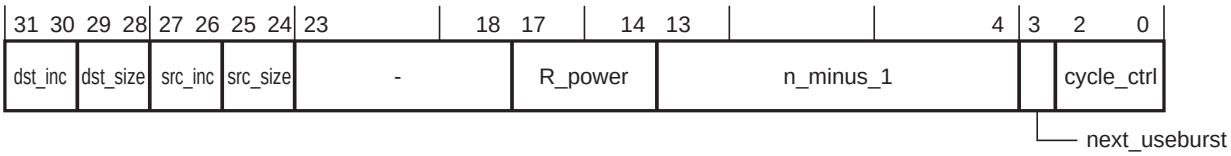
8.4.2.2　転送先の最終アドレス

転送先の最終アドレスを設定します。アドレスのアライメントは、転送データサイズに合わせてください。このアドレスを元に DMA が転送先のスタートアドレスを計算します。



bit	bitsymbol	機能
[31:0]	dst_data_end_ptr	転送先の最終アドレス

8.4.2.3　制御データ設定



bit	bit symbol	機能
[31:30]	dst_inc	転送先アドレスのインクリメント 注 2) 00: 1byte 01: 2byte 10: 4byte 11: インクリメントなし
[29:28]	dst_size	転送先データサイズ(注 1) 00: 1byte 01: 2byte 10: 4byte 11: Reserved
[27:26]	src_inc	転送元アドレスのインクリメント 注 2) 00: 1byte 01: 2byte 10: 4byte 11: インクリメントなし
[25:24]	src_size	転送元データサイズ(注 1) 00: 1byte 01: 2byte 10: 4byte 11: Reserved
[23:18]	-	"000000"を設定してください

bit	bit symbol	機能
[17:14]	R_power	アービトレーション 0000: 1 回転送後 0001: 2 回転送後 0010: 4 回転送後 0011: 8 回転送後 0100: 16 回転送後 0101: 32 回転送後 0110: 64 回転送後 0111: 128 回転送後 1000: 256 回転送後 1001: 512 回転送後 1010 - 1111: アービトレーションしない 設定した回数の転送後ごとに、アービトレーションをします。
[13:4]	n_minus_1	転送回数 0x000: 1 回 0x001: 2 回 0x002: 3 回 : 0x3FF: 1024 回
[3]	next_useburst	シングル転送設定変更 0: <chnl_useburst_set>の値を変更しない 1: <chnl_useburst_set>に"1"を設定する 周辺スキャッターギャザーモードで代替データを用いた DMA 転送終了時に<chnl_useburst_set>ビットに"1"を設定するかどうかを指定します。 注)最後から 2 番目の 2^R 回転送("R"は<R_power>で設定)終了時に残りの転送回数が 2^R 回未満の場合、<chnl_useburst_set>は自動的に"0"にクリアされますが、このビットを"1"とすることで、<chnl_userburst_set>を"1"に設定できます。
[2:0]	cycle_ctrl	動作モード 000: 無効。DMA は動作を停止します。 001: 基本モード 010: 自動要求モード 011: ピンポンモード 100: メモリスキャッターギャザーモード(1 次データ) 101: メモリスキャッターギャザーモード(代替データ) 110: 周辺スキャッターギャザーモード(1 次データ) 111: 周辺スキャッターギャザーモード(代替データ)

注 1)　<dst_size>は<src_size>と同じ値を設定してください。

注 2)　<dst_size>と<src_size>の設定により、<dst_inc>と<src_inc>の設定は以下のように制限されます。

<src_inc>/<dst_inc>	<src_size>/<dst_size>		
	00 (1byte)	01 (2byte)	10 (4byte)
00(1byte)	o	-	-
01(2byte)	o	o	-
10(4byte)	o	o	o
インクリメントなし	o	o	o

8.4.3　動作モード

チャネル制御データの channel_cfg<cycle_ctrl>で設定する動作モードについて説明します。

8.4.3.1　無効

転送終了後に DMA は動作モードを無効に設定します。これにより、再度同じ転送が行われることを防ぎます。また、ピンポンモード、メモリスキャッターギャザーモード、周辺スキャッターギャザーモードの際に、無効設定のデータを読み込むと処理を終了します。

8.4.3.2　基本モード

基本モードでは、1 次または代替のどちらのデータ構造を使用するか設定が可能です。

転送要求により転送を開始します。

<R_power>設定の転送ごとにアービトレーションを行い、より高い優先度の要求があればチャネルを切り替えます。動作中のチャネルの転送要求があると、転送を継続します。

<n_minus_1>に設定された回数の転送を行った後、転送終了割り込みを発生します。

8.4.3.3　自動要求モード

このモードでは 1 回の転送要求で転送を終了させることができます。1 次または代替のどちらのデータ構造を使用するか設定が可能です。

転送要求により転送を開始します。

<R_power>設定の転送ごとに、より高い優先度の要求があればチャネルを切り替えます。なければ転送を継続します。

<n_minus_1>に設定された回数の転送を行った後、転送終了割り込みを発生します。

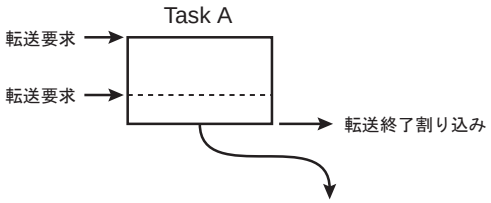
8.4.3.4　ピンポンモード

ピンポンモードでは、1 次データと代替データを交互に使用しながら連続した DMA 転送を行います。<cycle_ctrl>に無効("000")が設定されたデータを読み込むか、チャネルが無効に設定されると転送を終了します。1 次データおよび代替データによる転送が終了するごとに転送終了割り込みを発生します。

準備：

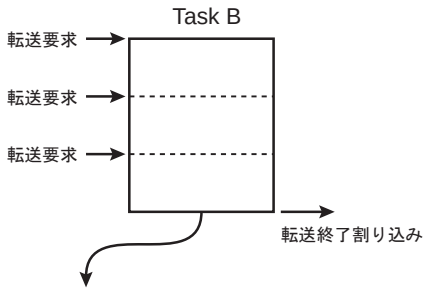
1 次データと代替データを準備し、DMAxCfg<master_enable>および DMAxChnlEnableSet の該当チャネルのビットに"1"を設定します。

Task A: 1 次データ
<cycle_ctrl[2:0]> = "011"
(ピンポンモード)
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0> = "0x005"
(6 回)



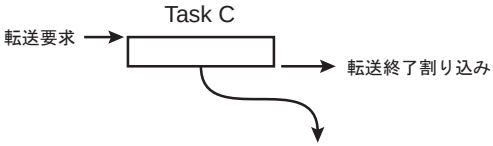
転送要求を受け、DMA は 4 回の転送を実施します。
アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャネルへの転送要求により残りの 2 回の転送を実施します。
転送終了割り込み要求を発生し、アービトレーションを実施します。
Task A 終了後、Task C 用の 1 次データ設定が可能になります。

Task B: 代替データ
<cycle_ctrl[2:0]> = "011"
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> = "0x00B"
(12 回)



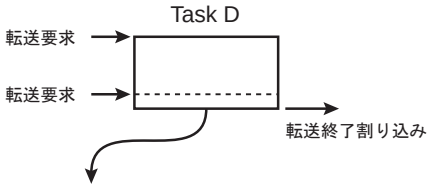
転送要求を受け、DMA は 4 回の転送を実施します。
アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャネルへの転送要求により 4 回の転送を実施します。
アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャネルへの転送要求により 4 回の転送を実施します。
転送終了割り込み要求を発生し、アービトレーションを実施します。
Task B 終了後、Task D 用の代替データ設定が可能になります。

Task C: 1 次データ
<cycle_ctrl[2:0]> = "011"
<R_power[3:0]> = "0001"
(2 回)
<n_minus_1[9:0]> = "0x001"
(2 回)



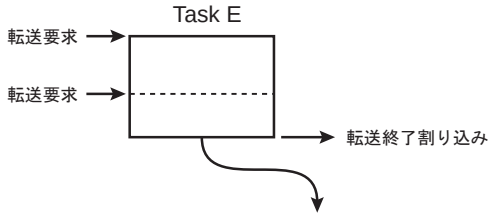
転送要求を受け、DMA は 2 回の転送を実施します。
転送終了割り込み要求を発生し、アービトレーションを実施します。
Task C 終了後、Task E 用の代替データ設定が可能になります。

Task D: 代替データ
<cycle_ctrl[2:0]> = "011"
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> = "0x004"
(5 回)



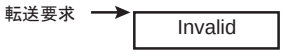
転送要求を受け、DMA は 4 回の転送を実施します。
アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャネルへの転送要求により 1 回の転送を実施します。
転送終了割り込み要求を発生し、アービトレーションを実施します。

TaskE: 1 次データ
<cycle_ctrl[2:0]> = "011"
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> = "0x006"
(7 回)



転送要求を受け、DMA は 4 回の転送を実施します。
アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャネルへの転送要求により 3 回の転送を実施します。
転送終了割り込み要求を発生し、アービトレーションを実施します。

最終: 代替データ
<cycle_ctrl[2:0]> = "000"
(無効)



転送要求を受けますが、<cycle_ctrl>に無効が設定されているため、処理が終了します。
(Task E の<cycle_ctrl[2:0]>を"001"の通常モードに設定することによって処理を終了させることもできます。)

8.4.3.5　メモリスキャッターギャザーモード

メモリスキャッターギャザーモードでは、1 次データは代替データ用のデータを転送するために使用します。

転送要求を受けると、1 次データを用いて代替データの 4 つのデータを転送し、新たな転送要求なしに続けて代替データによるデータ転送を行います。その後、1 次データによる代替データの転送と代替データによる転送を、<cycle_ctrl[2:0]>に無効("000")または基本モード("001)が設定されたデータを読み込むまで行います。この間、新たな転送要求必要ありません。転送終了後、割り込みを発生します。

このモードでは、1 次データの channel_cfg の設定を以下のように設定する必要があります。

表 8-3 メモリスキャッターギャザーモード(1 次データ)設定値

bit	bit symbol	設定値	説明
[31:30]	dst_inc	10	転送先アドレスのインクリメントとして 4byte を指定
[29:28]	dst_size	10	転送先サイズとして 4byte を指定
[27:26]	src_inc	10	転送元アドレスのインクリメントとして 4byte を指定
[25:24]	src_size	10	転送元サイズとして 4byte を指定
[17:14]	R_power	0010	アービトレーションサイクルとして 4 を指定
[13:4]	n_minus_1	N	準備する代替タスク数×4 を指定
[3]	next_useburst	0	メモリスキャッターギャザーモードでは"0"を指定
[2:0]	cycle_ctrl	100	メモリスキャッターギャザーモード(1 次データ)を指定 注)

注)　<n_minus_1>に設定された回数の転送が終了すると、自動的に"000"の無効が設定されます。

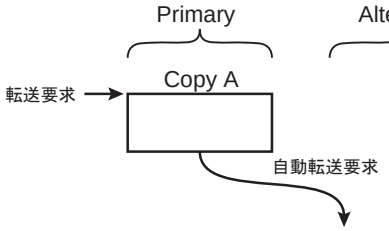
準備：

1 次データを準備します。<cycle_ctrl>に"100"を設定し、転送回数<n_minus_1>には、4 つのタスク分の 4 × 4 = 16 を設定します。

タスク A,B,C,D 用の代替データを<src_data_end_ptr>に設定されたメモリ位置に準備します。

DMAxCfg<master_enable>および DMAxChnlEnableSet の該当チャネルのビットに"1"を設定します。

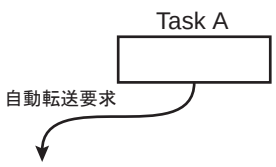
Copy A: 1 次データ
<cycle_ctrl[2:0]> = "100"
(メモリスキャッターギャザー)
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> = "0x00F"
(16 回)



転送要求を受け、DMA は Task A の代替データ用の 4 回の転送を実施します。

転送終了後、自動的に転送要求が発生しアービトレーションを行います。

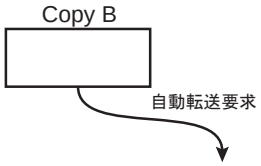
Task A: 代替データ
<cycle_ctrl[2:0]> = "100"
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> = "0x002"
(3 回)



DMA はタスク A を実行します。

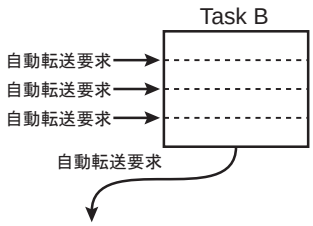
転送終了後、自動的に転送要求が発生しアービトレーションを行います。

Copy B: 1 次データ



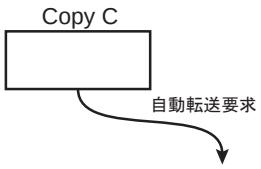
DMA は Task B の代替データ用の 4 回の転送を実施します。
転送終了後、自動的に転送要求が発生しアービトレーションを行います。

Task B: 代替データ
<cycle_ctrl[2:0]> = "100"
<R_power[3:0]> = "0001"
(2 回)
<n_minus_1[9:0]> = "0x007"
(8 回)



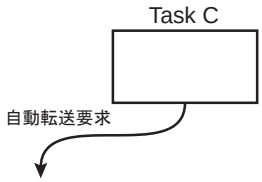
DMA はタスク B を実行します。
転送終了後、自動的に転送要求が発生しアービトレーションを行います。

Copy C: 1 次データ



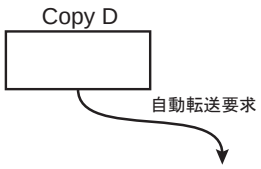
DMA は Task C の代替データ用の 4 回の転送を実施します。
転送終了後、自動的に転送要求が発生しアービトレーションを行います。

Task C: 代替データ
<cycle_ctrl[2:0]> = "100"
<R_power[3:0]> = "0011"
(8 回)
<n_minus_1[9:0]> = "0x004"
(5 回)



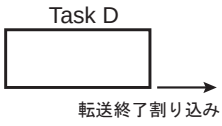
DMA はタスク C を実行します。
転送終了後、自動的に転送要求が発生しアービトレーションを行います。

Copy D: 1 次データ



DMA は Task D の代替データ用の 4 回の転送を実施します。また、1 次データの<cycle_ctrl[2:0]>に"000"を設定し次の 1 次データを無効とします。
自動的に転送要求が発生しアービトレーションを行います。

Task D: 代替データ
<cycle_ctrl[2:0]> = "001"
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> = "0x003"
(4 回)



DMA はタスク D を実行します。
<cycle_ctrl[2:0]>が"001"の基本モードに設定されているため、転送終了後に転送終了割り込み要求を発生し処理を終了します。

8.4.3.6 周辺スキャッターギャザーモード

周辺スキャッターギャザーモードでは、1 次データは代替データ用のデータを転送するために使用します。

転送要求を受けると、1 次データを用いて代替データの 4 つのデータを転送し、続けて代替データによるデータ転送を行います。

その後、転送要求が発生すると 1 次データによる代替データの転送と代替データによる転送を、<cycle_ctrl[2:0]>に無効("000")または基本モード("001)が設定されたデータを読み込むまで行います。この間、新たな転送要求必要ありません。転送終了後、割り込みを発生します。

このモードでは、channel_cfg の設定を以下のようにする必要があります。

表 8-4 周辺スキャッターギャザーモード(1 次データ)固定値

bit	bit symbol	設定値	説明
[31:30]	dst_inc	10	転送先アドレスのインクリメントとして 4byte を指定
[29:28]	dst_size	10	転送先サイズとして 4byte を指定
[27:26]	src_inc	10	転送元アドレスのインクリメントとして 4byte を指定
[25:24]	src_size	10	転送元サイズとして 4byte を指定
[17:14]	R_power	0010	アービトレーションサイクルとして 4 を指定
[13:4]	n_minus_1	N	準備する代替タスク数×4 を指定
[2:0]	cycle_ctrl	110	周辺スキャッターギャザーモード(1 次データ)を指定

注)　<n_minus_1>に設定された回数の転送が終了すると、自動的に"000"の無効が設定されます。

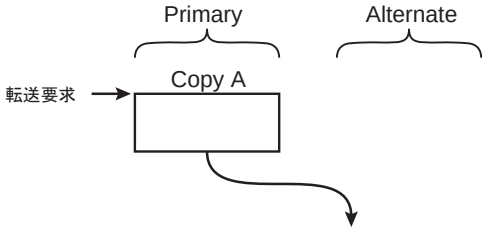
準備：

1 次データを準備します。<cycle_ctrl>に"110"を設定し、転送回数<n_minus_1>には、4 つのタスク分の 4 × 4 = 16 を設定します。

タスク A,B,C,D 用の代替データを<src_data_end_ptr>に設定されたメモリ位置に準備します。

DMAxCfg<master_enable>および DMAxChnlEnableSet の該当チャネルのビットに"1"を設定します。

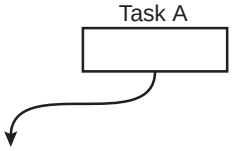
Copy A: 1 次データ
<cycle_ctrl[2:0]> = "110"
(周辺スキャッターギャザー)
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> = "0x00F"
(16 回)



転送要求を受け、DMA は Task A の代替データ用の 4 回の転送を実施します。

転送終了後、自動的にタスク A の処理に移行します。

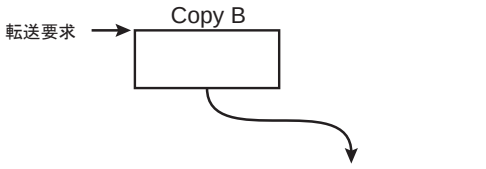
Task A: 代替データ
<cycle_ctrl[2:0]> = "111"
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> = "0x002"
(3 回)



DMA はタスク A を実行します。

転送終了後、周辺機能からの転送要求があり、最高優先度の場合次の処理を開始します。

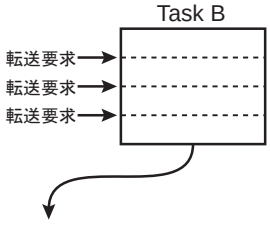
Copy B: 1 次データ



DMA は Task B の代替データ用の 4 回の転送を実施します。

転送終了後、自動的にタスク B の処理に移行します。

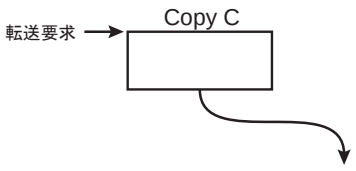
Task B: 代替データ
<cycle_ctrl[2:0]> = "111"
<R_power[3:0]> = "0001"
(2 回)
<n_minus_1[9:0]> = "0x007"
(8 回)



DMA はタスク B を実行します。2^R 回転送ごとにアービトレーションが発生するため、タスク B が終了するためには少なくとも 3 回の転送要求が必要です。

転送終了後、周辺機能からの転送要求があり、最高優先度の場合次の処理を開始します。

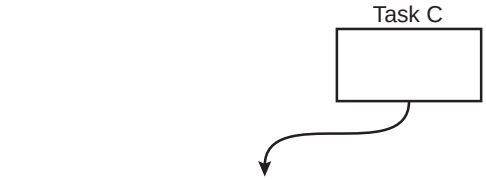
Copy C: 1 次データ



DMA は Task C の代替データ用の 4 回の転送を実施します。

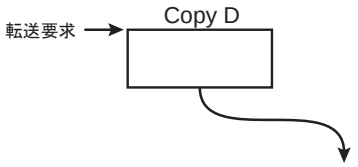
転送終了後、自動的にタスク C の処理に移行します。

Task C: 代替データ
<cycle_ctrl[2:0]> = "111"
<R_power[3:0]> = "0011"
(8 回)
<n_minus_1[9:0]> = "0x004"
(5 回)



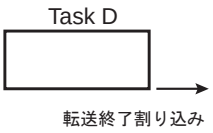
DMA はタスク C を実行します。
転送終了後、周辺機能からの転送要求があり、最高優先度の場合次の処理を開始します。

Copy D: 1 次データ



DMA は Task D の代替データ用の 4 回の転送を実施します。また、1 次データの<cycle_ctrl[2:0]>に"000"を設定し次の 1 次データを無効とします。
自動的にタスク D の処理に移行します。

Task D: 代替データ
<cycle_ctrl[2:0]> = "001"
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> = "0x003"
(4 回)



DMA はタスク D を実行します。
<cycle_ctrl[2:0]>が"001"の基本モードに設定されているため、転送終了後に転送終了割り込み要求を発生し処理を終了します。

8.5　使用上の注意

下記の周辺機能の DMA 転送要求を使用して転送を行う場合、使い方に注意が必要です。

- 同期式シリアルインタフェース(SSP)
- 非同期シリアル通信回路(UART)
- 4 バイト FIFO 付きシリアルチャネル(SIO/UART)
- 16 ビットタイマ/イベントカウンタ(TMRB)
- アナログ/デジタルコンバータ(ADC)

8.5.1　SSP、UART を使用する場合

FIFO のウォータマークレベルと転送回数を考慮して使用する必要があります。

送信、受信それぞれ以下の方法で転送を行ってください。

- 送信

  転送モードは基本モードを推奨します。

  シングル転送は禁止してください。

  転送回数により以下の 2 つの方法があります。

  a. アービトレーション設定を"1 回転送後"として使用する

     全ての場合に使用できる方法です。

     制御データのアービトレーション<R_power>設定を"0000"としてください。

  b. アービトレーションとウォータマークレベルをあわせて使用する

     転送回数が FIFO のウォータマークレベルの倍数で、ウォータマークレベルとアービトレーションの転送回数が同じ場合に使用できる方法です。

     制御データのアービトレーション<R_power>設定を、FIFO のウォータマークレベルとあわせてください。

- 受信

  転送回数により以下の方法で使用してください。

  a. ウォータマークレベル未満

     シングル転送要求のみ発生します。

     転送モードは基本モードを推奨します。

     制御データのアービトレーション<R_power>設定を"0000"としてください。

  b. ウォータマークレベルの倍数

     シングル転送は禁止してください。

     転送モードは基本モードを推奨します。

     制御データのアービトレーション<R_power>設定を、FIFO のウォータマークレベルとあわせてください。

  c. 上記以外

     転送モードは周辺スキャッタギャザーモードを使用してください。

     2 つのタスクを準備します。

     1 つ目のタスクは<b.>と同じ設定にします。シングル転送を禁止し、<R_power>設定を FIFO のウォータマークレベルとあわせ、ウォータマークレベルの倍数分の転送を行います。

2 つ目のタスクは<a.>と同じ設定にします。シングル転送で、<R_power>設定を"0000"とし、残りのデータを転送します。

8.5.2 SIO/UART、TMRB、ADC を使用する場合

以下の点に注意して使用してください。

- 転送モードは基本モードを推奨します。
- アービトレーションは"1 回転送後"にしてください。

  制御データのアービトレーション<R_power>設定を"0000"としてください。
- SIO/UART の FIFO は使用しないでください。

  SIO/UART は、シングルバッファまたはダブルバッファの設定で使用してください。

転送開始が待たされて新たな要求が同一チャネルで発生した場合、転送は 1 回しか行われません。確実に転送が行われるよう、プログラム設計の際に考慮してください。

転送開始が待たされる状況として、以下のような場合が考えられます。

- 同一ユニット内の優先度の高い転送要求が発生した場合
- 他の優先度の高いバスマスタとアクセス対象が同じ場合

この µDMA コントローラは、前処理/後処理に約 11 クロック、周辺機能と内蔵 RAM 間の 1 データの転送に約 5 クロックかかります。転送の待ち時間の目安としてください。

第 9 章　入出力ポート

この章では、ポート関連のレジスタとその設定および回路について説明します。

9.1　レジスタ説明

ポートを使用する際には以下のレジスタを設定する必要があります。

レジスタは全て 32 ビットですが、ポートのビット数、機能の割り当てにより構成が異なります。

以下の説明では"x"はポート名、"n"はファンクション番号を示します。

レジスタ名		設定値	
PxDATA	データレジスタ	0 または 1	ポートのデータ読み込み、データ書き込みを行います。
PxCR	出力コントロールレジスタ	0 : 出力禁止 1 : 出力許可	出力の制御を行います。
PxFRn	ファンクションレジスタ n	0 : PORT 1 : 機能	機能設定を行ないます。 "1" をセットすることにより割り当てられている機能を使用できるようになります。ファンクションレジスタはポートに割り当てられている機能ごとに存在します。複数の機能が割り当てられている場合、1 つの機能のみ有効になるように設定してください。
PxOD	オープンドレインコントロールレジスタ	0 : CMOS 1 : オープンドレイン	プログラマブルオープンドレインの制御を行います。 プログラマブルオープンドレインは、PxOD の設定により、出力データが"1" の場合に出力バッファをディセーブルにし、擬似的にオープンドレインを実現する機能です。
PxPUP	プルアップコントロールレジスタ	0 : プルアップ禁止 1 : プルアップ許可	プログラマブルプルアップを制御します。
PxPDN	プルダウンコントロールレジスタ	0 : プルダウン禁止 1 : プルダウン許可	プログラマブルプルダウンを制御します。
PxIE	入力コントロールレジスタ	0 : 入力禁止 1 : 入力許可	入力の制御を行ないます。 PxIE をイネーブルにしてから外部データが PxDATA に反映されるまで若干の時間が必要です。

9.1.1　レジスター覧

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

機能の存在しないビットをリードすると"0"が読めます。ライトは意味を持ちません。

レジスタ名	Address (Base+)	ポート A	ポート B	ポート C	ポート D	ポート E
データ レジスタ	0x0000	PADATA	PBDATA	PCDATA	PDDATA	PEDATA
出力コントロールレジスタ	0x0004	PACR	PBCR	PCCR	PDCR	PECR
ファンクションレジスタ 1	0x0008	PAFR1	PBFR1	PCFR1	PDFR1	PEFR1
ファンクションレジスタ 2	0x000C	PAFR2	PBFR2	PCFR2	PDFR2	PEFR2
ファンクションレジスタ 3	0x0010	–	PBFR3	PCFR3	PDFR3	PEFR3
ファンクションレジスタ 4	0x0014	–	–	PCFR4	PDFR4	–
ファンクションレジスタ 5	0x0018	–	–	–	PDFR5	–
ファンクションレジスタ 6	0x001C	–	–	–	–	–
オープンドレインコントロールレジスタ	0x0028	PAOD	PBOD	PCOD	PDOD	PEOD
プルアップコントロールレジスタ	0x002C	PAPUP	PBPUP	PCPUP	PDPUP	PEPUP
プルダウンコントロールレジスタ	0x0030	–	–	–	–	PEPDN
入力コントロールレジスタ	0x0038	PAIE	PBIE	PCIE	PDIE	PEIE

レジスタ名	Address (Base+)	ポート F	ポート G	ポート H	ポート J	ポート K
データ レジスタ	0x0000	PFDATA	PGDATA	PHDATA	PJDATA	PKDATA
出力コントロールレジスタ	0x0004	PFCR	PGCR	PHCR	PJCR	PKCR
ファンクションレジスタ 1	0x0008	PFFR1	PGFR1	–	PJFR1	PKFR1
ファンクションレジスタ 2	0x000C	PFFR2	PGFR2	–	–	PKFR2
ファンクションレジスタ 3	0x0010	PFFR3	–	–	–	PKFR3
ファンクションレジスタ 4	0x0014	PFFR4	–	–	–	–
オープンドレインコントロールレジスタ	0x0028	PFOD	PGOD	–	–	PKOD
プルアップコントロールレジスタ	0x002C	PFPUP	PGPUP	PHPUP	PJPUP	PKPUP
プルダウンコントロールレジスタ	0x0030	–	–	–	–	–
入力コントロールレジスタ	0x0038	PFIE	PGIE	PHIE	PJIE	PKIE

注)　"–"表記のアドレスにはアクセスしないでください。

9.1.2　ポート機能と設定一覧

以下に各ポートの機能とレジスタ設定についての一覧を示します。

- 「表 9-1 ポート A レジスタ設定」
- 「表 9-2 ポート B レジスタ設定」
- 「表 9-3 ポート C レジスタ設定」
- 「表 9-4 ポート D レジスタ設定」
- 「表 9-5 ポート E レジスタ設定」
- 「表 9-6 ポート F レジスタ設定」
- 「表 9-7 ポート G レジスタ設定」
- 「表 9-8 ポート H レジスタ設定」
- 「表 9-9 ポート J レジスタ設定」
- 「表 9-10 ポート K レジスタ設定」

PxFRn の欄は、設定の必要なファンクションレジスタを示します。このレジスタを"1"に設定するとその機能が有効となります。(x はポート名、n はファンクション番号)

表中の網掛けのビットはリードすると"0" が読め、ライトは意味を持ちません。

表中の"0"、"1"は設定値を示し、"0/1"は任意に設定可能であることを示します。

TMPM461F15/F10FG では異なるポートに同一機能が割り振られている機能端子があります。同一機能の兼用機能端子はそれぞれのポートのファンクションレジスタの設定により、いずれか 1 つの端子で使用するよう排他的に切り替えを行ってください。

Function	Ch No.	Pin Name	PORT		
SSP	2	SP2FSS	PG0	PG4	PG5

9.1.2.1　PORT A

表 9-1 ポート A レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PADATA	PACR	PAFRn	PAOD	PAPUP	PAPDN	PAIE
PA0	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A0	Output	FT1	0/1	1	PAFR1	0/1	0/1		0
	SP0FSS	Input	FT2	0/1	0	PAFR2	0/1	0/1		1
		Output		0/1	1	PAFR2	0/1	0/1		0
PA1	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A1	Output	FT1	0/1	1	PAFR1	0/1	0/1		0
	SP0DO	Output	FT2	0/1	1	PAFR2	0/1	0/1		0
PA2	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A2	Output	FT1	0/1	1	PAFR1	0/1	0/1		0
	SP0DI	Input	FT2	0/1	0	PAFR2	0/1	0/1		1
PA3	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A3	Output	FT1	0/1	1	PAFR1	0/1	0/1		0
	SP0CLK	Input	FT2	0/1	0	PAFR2	0/1	0/1		1
		Output		0/1	1	PAFR2	0/1	0/1		0
PA4	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A4	Output	FT1	0/1	1	PAFR1	0/1	0/1		0
	SP1FSS	Input	FT2	0/1	0	PAFR2	0/1	0/1		1
		Output		0/1	1	PAFR2	0/1	0/1		0
PA5	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A5	Output	FT1	0/1	1	PAFR1	0/1	0/1		0
	SP1DO	Output	FT2	0/1	1	PAFR2	0/1	0/1		0
PA6	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A6	Output	FT1	0/1	1	PAFR1	0/1	0/1		0
	SP1DI	Input	FT2	0/1	0	PAFR2	0/1	0/1		1
PA7	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A7	Output	FT1	0/1	1	PAFR1	0/1	0/1		0

表 9-1 ポート A レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PADATA	PACR	PAFRn	PAOD	PAPUP	PAPDN	PAIE
	SP1CLK	Input	FT2	0/1	0	PAFR2	0/1	0/1		1
		Output		0/1	1	PAFR2	0/1	0/1		0

9.1.2.2　PORT B

表 9-2 ポート B レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PBDATA	PBCR	PBFRn	PBOD	PBPUP	PBPDN	PBIE
PB0	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A8	Output	FT1	0/1	1	PBFR1	0/1	0/1		0
	TB8OUT	Output	FT1	0/1	1	PBFR2	0/1	0/1		0
PB1	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A9	Output	FT1	0/1	1	PBFR1	0/1	0/1		0
	TB9OUT	Output	FT1	0/1	1	PBFR2	0/1	0/1		0
PB2	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A10	Output	FT1	0/1	1	PBFR1	0/1	0/1		0
	UT1DCD	Input	FT1	0/1	0	PBFR2	0/1	0/1		1
PB3	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A11	Output	FT1	0/1	1	PBFR1	0/1	0/1		0
	UT1DSR	Input	FT1	0/1	0	PBFR2	0/1	0/1		1
PB4	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A12	Output	FT1	0/1	1	PBFR1	0/1	0/1		0
	UT1DTR	Output	FT1	0/1	1	PBFR2	0/1	0/1		0
PB5	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A13	Output	FT1	0/1	1	PBFR1	0/1	0/1		0
	UT1RIN	Input	FT1	0/1	0	PBFR2	0/1	0/1		1
PB6	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A14	Output	FT1	0/1	1	PBFR1	0/1	0/1		0
	$\overline{\text{UT1CTS}}$	Input	FT1	0/1	0	PBFR2	0/1	0/1		1
PB7	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A15	Output	FT1	0/1	1	PBFR1	0/1	0/1		0
	$\overline{\text{UT1RTS}}$	Output	FT1	0/1	1	PBFR2	0/1	0/1		0
PB8	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	UT1TXD	Output	FT1	0/1	1	PBFR2	0/1	0/1		0
	UT1IROUT	Output	FT1	0/1	1	PBFR3	0/1	0/1		0
PB9	リセット後			0	0	0	0	0		0

表 9-2 ポート B レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PBDATA	PBCR	PBFRn	PBOD	PBPUP	PBPDN	PBIE
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	UT1RXD	Input	FT1	0/1	0	PBFR2	0/1	0/1		1
	UT1IRIN	Input	FT1	0/1	0	PBFR3	0/1	0/1		1

9.1.2.3　PORT C

表 9-3 ポート C レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PCDATA	PCCR	PCFRn	PCOD	PCPUP	PCPDN	PCIE
PC0	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A0	Output	FT1	0/1	1	PCFR1	0/1	0/1		0
	A16	Output	FT1	0/1	1	PCFR2	0/1	0/1		0
	TB4IN0	Input	FT1	0/1	0	PCFR3	0/1	0/1		1
PC1	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A1	Output	FT1	0/1	1	PCFR1	0/1	0/1		0
	A17	Output	FT1	0/1	1	PCFR2	0/1	0/1		0
	TB4IN1	Input	FT1	0/1	0	PCFR3	0/1	0/1		1
PC2	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A2	Output	FT1	0/1	1	PCFR1	0/1	0/1		0
	A18	Output	FT1	0/1	1	PCFR2	0/1	0/1		0
	TB5IN0	Input	FT1	0/1	0	PCFR3	0/1	0/1		1
PC3	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A3	Output	FT1	0/1	1	PCFR1	0/1	0/1		0
	A19	Output	FT1	0/1	1	PCFR2	0/1	0/1		0
	TB5IN1	Input	FT1	0/1	0	PCFR3	0/1	0/1		1
PC4	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A4	Output	FT1	0/1	1	PCFR1	0/1	0/1		0
	A20	Output	FT1	0/1	1	PCFR2	0/1	0/1		0
	$\overline{\text{GEMG1}}$	Input	FT1	0/1	0	PCFR3	0/1	0/1		1
PC5	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A5	Output	FT1	0/1	1	PCFR1	0/1	0/1		0
	A21	Output	FT1	0/1	1	PCFR2	0/1	0/1		0
	MT1IN	Input	FT1	0/1	0	PCFR3	0/1	0/1		1
PC6	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	A6	Output	FT1	0/1	1	PCFR1	0/1	0/1		0
	A22	Output	FT1	0/1	1	PCFR2	0/1	0/1		0
	MT1OUT0	Output	FT2	0/1	1	PCFR3	0/1	0/1		0
	MT1TBOUT	Output	FT1	0/1	1	PCFR4	0/1	0/1		0
PC7	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0

表 9-3 ポート C レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PCDATA	PCCR	PCFRn	PCOD	PCPUP	PCPDN	PCIE
	A7	Output	FT1	0/1	1	PCFR1	0/1	0/1		0
	A23	Output	FT1	0/1	1	PCFR2	0/1	0/1		0
	MT1OUT1	Output	FT2	0/1	1	PCFR3	0/1	0/1		0
	MT1TBIN	Input	FT1	0/1	0	PCFR4	0/1	0/1		1
PC8	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	ALE	Output	FT1	0/1	1	PCFR1	0/1	0/1		0
	INTB	Input	FT4	0/1	0	0	0/1	0/1		1
PC9	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	$\overline{CS0}$	Output	FT1	0/1	1	PCFR1	0/1	0/1		0
	TBAOUT	Output	FT1	0/1	1	PCFR3	0/1	0/1		0
PC10	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	$\overline{CS1}$	Output	FT1	0/1	1	PCFR1	0/1	0/1		0
	TB6IN0	Input	FT1	0/1	0	PCFR3	0/1	0/1		1
PC11	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	$\overline{CS2}$	Output	FT1	0/1	1	PCFR1	0/1	0/1		0
	TB6IN1	Input	FT1	0/1	0	PCFR3	0/1	0/1		1

9.1.2.4　PORT D

表 9-4 ポート D レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PDDATA	PDCR	PDFRn	PDOD	PDPUP	PDPDN	PDIE
PD0	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	D0	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	AD0	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	SC3TXD	Output	FT1	0/1	1	PDFR2	0/1	0/1		0
	I2C2SDA	I/O	FT1	0/1	1	PDFR3	1	0/1		1
PD1	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	D1	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	AD1	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	SC3RXD	Input	FT1	0/1	0	PDFR2	0/1	0/1		1
	I2C2SCL	I/O	FT1	0/1	1	PDFR3	1	0/1		1
PD2	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	D2	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	AD2	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	SC3SCK	Input	FT1	0/1	1	PDFR2	0/1	0/1		1
		Output		0/1	1	PDFR2	0/1	0/1		0
	$\overline{\text{SC3CTS}}$	Input	FT1	0/1	0	PDFR3	0/1	0/1		1
PD3	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	D3	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	AD3	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	SC4TXD	Output	FT1	0/1	1	PDFR2	0/1	0/1		0
	I2C3SDA	I/O	FT1	0/1	1	PDFR3	1	0/1		1
	TB0OUT	Output	FT1	0/1	1	PDFR4	0/1	0/1		0
PD4	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	D4	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	AD4	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	SC4RXD	Input	FT1	0/1	0	PDFR2	0/1	0/1		1
	I2C3SCL	I/O	FT1	0/1	1	PDFR3	1	0/1		1
	TB1OUT	Output	FT1	0/1	1	PDFR4	0/1	0/1		0
PD5	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	D5	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	AD5	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	SC4SCK	Input	FT1	0/1	0	PDFR2	0/1	0/1		1
		Output		0/1	1	PDFR2	0/1	0/1		0
	$\overline{\text{SC4CTS}}$	Input	FT1	0/1	0	PDFR3	0/1	0/1		1

表 9-4 ポート D レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PDDATA	PDCR	PDFRn	PDOD	PDPUP	PDPDN	PDIE
	TB2OUT	Output	FT1	0/1	1	PDFR4	0/1	0/1		0
PD6	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	D6	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	AD6	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	TB3OUT	Output	FT1	0/1	1	PDFR4	0/1	0/1		0
PD7	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	D7	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	AD7	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	TB4OUT	Output	FT1	0/1	1	PDFR4	0/1	0/1		0
PD8	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	D8	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	AD8	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	INT0	Input	FT4	0/1	0	0	0/1	0/1		1
PD9	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	D9	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	AD9	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	INT1	Input	FT4	0/1	0	0	0/1	0/1		1
PD10	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	D10	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	AD10	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	INT2	Input	FT4	0/1	0	0	0/1	0/1		1
PD11	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	D11	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	AD11	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	INT3	Input	FT4	0/1	0	0	0/1	0/1		1
PD12	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	D12	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	AD12	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	$\overline{\text{GEMG0}}$	Input	FT1	0/1	0	PDFR4	0/1	0/1		1
	INT4	Input	FT4	0/1	0	0	0/1	0/1		1
PD13	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0

表 9-4 ポート D レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PDDATA	PDCR	PDFRn	PDOD	PDPUP	PDPDN	PDIE
	D13	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	AD13	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	SC5TXD	Output	FT1	0/1	1	PDFR2	0/1	0/1		0
	I2C4SDA	I/O	FT1	0/1	1	PDFR3	1	0/1		1
	MT0IN	Input	FT1	0/1	0	PDFR4	0/1	0/1		1
	INT5	Input	FT4	0/1	0	0	0/1	0/1		1
PD14	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	D14	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	AD14	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	SC5RXD	Input	FT1	0/1	0	PDFR2	0/1	0/1		1
	I2C4SCL	I/O	FT1	0/1	1	PDFR3	1	0/1		1
	MT0OUT0	Output	FT2	0/1	1	PDFR4	0/1	0/1		0
	MT0TBOUT	Output	FT1	0/1	1	PDFR5	0/1	0/1		0
	INT6	Input	FT4	0/1	0	0	0/1	0/1		1
PD15	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	D15	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	AD15	I/O	FT7	0/1	1	PDFR1	0/1	0/1		1
	SC5SCK	Input	FT1	0/1	0	PDFR2	0/1	0/1		1
		Output		0/1	1	PDFR2	0/1	0/1		0
	$\overline{\text{SC5CTS}}$	Input	FT1	0/1	0	PDFR3	0/1	0/1		1
	MT0OUT1	Output	FT2	0/1	1	PDFR4	0/1	0/1		0
	MT0TBIN	Input	FT1	0/1	0	PDFR5	0/1	0/1		1
	INT7	Input	FT4	0/1	0	0	0/1	0/1		1

9.1.2.5 PORT E

表 9-5 ポート E レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PEDATA	PECR	PEFRn	PEOD	PEPUP	PEPDN	PEIE
PE0	リセット後($\overline{TRST}$)			0	0	PEFR1	0	1		1
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	$\overline{TRST}$	Input	FT3	0/1	0	PEFR1	0/1	0/1		1
	$\overline{CS3}$	Output	FT1	0/1	1	PEFR2	0/1	0/1		0
	TBBOUT	Output	FT1	0/1	1	PEFR3	0/1	0/1		0
PE1	リセット後(TDI)			0	0	PEFR1	0	1		1
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	TDI	Input	FT3	0/1	0	PEFR1	0/1	0/1		1
	TB7IN0	Input	FT1	0/1	0	PEFR3	0/1	0/1		1
PE2	リセット後(TDO/SWV)			0	1	PEFR1	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	TDO	Output	FT3	0/1	1	PEFR1	0/1	0/1		0
	SWV	Output	FT3	0/1	1	PEFR1	0/1	0/1		0
	TB7IN1	Input	FT1	0/1	0	PEFR3	0/1	0/1		1
PE3	リセット後(TMS/SWDIO)			0	1	PEFR1	0	1		1
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	TMS	Input	FT3	0/1	0	PEFR1	0/1	0/1		1
	SWDIO	I/O	FT3	0/1	1	PEFR1	0/1	0/1		1
	TB8IN0	Input	FT1	0/1	0	PEFR3	0/1	0/1		1
PE4	リセット後(TCK/SWCL)			0	0	PEFR1	0		1	1
	Input Port	Input		0/1	0	0	0/1		0/1	1
	Output Port	Output		0/1	1	0	0/1		0/1	0
	TCK	Input	FT3	0/1	0	PEFR1	0/1		0/1	1
	SWCLK	Input	FT3	0/1	0	PEFR1	0/1		0/1	1
	TB8IN1	Input	FT1	0/1	0	PEFR3	0/1		0/1	1
PE5	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	TRACEDATA0	Output	FT1	0/1	1	PEFR1	0/1	0/1		0
PE6	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	TRACEDATA1	Output	FT1	0/1	1	PEFR1	0/1	0/1		0
PE7	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	TRACEDATA2	Output	FT1	0/1	1	PEFR1	0/1	0/1		0
PE8	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0

表 9-5 ポート E レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PEDATA	PECR	PEFRn	PEOD	PEPUP	PEPDN	PEIE
	TRACEDATA3	Output	FT1	0/1	1	PEFR1	0/1	0/1		0
	$\overline{\text{ADTRG}}$	Input	FT1	0/1	0	PEFR3	0/1	0/1		1
	INT9	Input	FT4	0/1	0	0	0/1	0/1		1
PE9	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	TRACECLK	Output	FT1	0/1	1	PEFR1	0/1	0/1		0
	SCOUT	Output	FT1	0/1	1	PEFR3	0/1	0/1		0
	INTA	Input	FT4	0/1	0	0	0/1	0/1		1

9.1.2.6 PORT F

表 9-6 ポート F レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PFDATA	PFCR	PFFRn	PFOD	PFPUP	PFPDN	PFIE
PF0	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	TB5OUT	Output	FT1	0/1	1	PFFR4	0/1	0/1		0
PF1	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	RTCOUT	Output	FT1	0/1	1	PFFR3	0/1	0/1		0
	TB6OUT	Output	FT1	0/1	1	PFFR4	0/1	0/1		0
PF2	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	ALARM	Output	FT1	0/1	1	PFFR3	0/1	0/1		0
	TB7OUT	Output	FT1	0/1	1	PFFR4	0/1	0/1		0
PF3	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	SC0TXD	Output	FT1	0/1	1	PFFR1	0/1	0/1		0
PF4	リセット後			0	0	0	0			0
	Input Port	Input		0/1	0	0	0/1			1
	Output Port	Output		0/1	1	0	0/1			0
	SC0RXD	Input	FT1	0/1	0	PFFR1	0/1			1
	TB9IN1	Input	FT1	0/1	0	PFFR4	0/1			1
PF5	リセット後			0	0	0	0			0
	Input Port	Input		0/1	0	0	0/1			1
	Output Port	Output		0/1	1	0	0/1			0
	SC0SCK	Input	FT1	0/1	0	PFFR1	0/1			1
		Output		0/1	1	PFFR1	0/1			0
	$\overline{\text{SC0CTS}}$	Input	FT1	0/1	0	PFFR2	0/1			1
	$\overline{\text{DMAREQ0}}$	Input	FT1	0/1	0	PFFR3	0/1			1
	TB9IN0	Input	FT1	0/1	0	PFFR4	0/1			1
PF6	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	SC1TXD	Output	FT1	0/1	1	PFFR1	0/1	0/1		0
PF7	リセット後			0	0	0	0			0
	Input Port	Input		0/1	0	0	0/1			1
	Output Port	Output		0/1	1	0	0/1			0
	SC1RXD	Input	FT1	0/1	0	PFFR1	0/1			1
	TBAIN1	Input	FT1	0/1	0	PFFR4	0/1			1
PF8	リセット後			0	0	0	0			0
	Input Port	Input		0/1	0	0	0/1			1
	Output Port	Output		0/1	1	0	0/1			0
	SC1SCK	Input	FT1	0/1	0	PFFR1	0/1			1
		Output		0/1	1	PFFR1	0/1			0
	$\overline{\text{SC1CTS}}$	Input	FT1	0/1	0	PFFR2	0/1			1

表 9-6 ポート F レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PFDATA	PFCR	PFFRn	PFOD	PFPUP	PFPDN	PFIE
	$\overline{\text{DMAREQ1}}$	Input	FT1	0/1	0	PFFR3	0/1			1
	TBAIN0	Input	FT1	0/1	0	PFFR4	0/1			1
PF9	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	SC2TXD	Output	FT1	0/1	1	PFFR1	0/1	0/1		0
PF10	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	SC2RXD	Input	FT1	0/1	0	PFFR1	0/1	0/1		1
	TBBIN1	Input	FT1	0/1	0	PFFR4	0/1	0/1		1
PF11	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	SC2SCK	Input	FT1	0/1	0	PFFR1	0/1	0/1		1
		Output		0/1	1	PFFR1	0/1	0/1		0
	$\overline{\text{SC2CTS}}$	Input	FT1	0/1	0	PFFR2	0/1	0/1		1
	$\overline{\text{DMAREQ2}}$	Input	FT1	0/1	0	PFFR3	0/1	0/1		1
	TBBIN0	Input	FT1	0/1	0	PFFR4	0/1	0/1		1
PF12	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	RXIN0	Input	FT4	0/1	0	0	0/1	0/1		1
	INT8	Input	FT4	0/1	0	0	0/1	0/1		1
PF13	リセット後			0	0	0	0			0
	Input Port	Input		0/1	0	0	0/1			1
	Output Port	Output		0/1	1	0	0/1			0
	CEC	Input	FT4	0/1	0	0	0/1			1

注)　RXIN0、CEC は PortType　FT4 ですが、ノイズフィルタはありません。

9.1.2.7 PORT G

表 9-7 ポート G レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PGDATA	PGCR	PGFRn	PGOD	PGPUP	PGPDN	PGIE
PG0	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	SP2FSS	Input	FT2	0/1	0	PGFR1	0/1	0/1		1
		Output		0/1	1	PGFR1	0/1	0/1		0
PG1	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	SP2DO	Output	FT2	0/1	1	PGFR1	0/1	0/1		0
PG2	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	SP2DI	Input	FT2	0/1	0	PGFR1	0/1	0/1		1
PG3	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	SP2CLK	Input	FT2	0/1	0	PGFR1	0/1	0/1		1
		Output		0/1	1	PGFR1	0/1	0/1		0
PG4	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	I2C0SDA	I/O	FT1	0/1	1	PGFR1	1	0/1		1
	SP2FSS	Input	FT2	0/1	0	PGFR2	0/1	0/1		1
		Output		0/1	1	PGFR2	0/1	0/1		0
PG5	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	I2C0SCL	I/O	FT1	0/1	1	PGFR1	1	0/1		1
	SP2FSS	Input	FT2	0/1	0	PGFR2	0/1	0/1		1
		Output		0/1	1	PGFR2	0/1	0/1		0
PG6	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	I2C1SDA	I/O	FT1	0/1	1	PGFR1	1	0/1		1
PG7	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	I2C1SCL	I/O	FT1	0/1	1	PGFR1	1	0/1		1
PG8	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	TB0IN0	Input	FT1	0/1	0	PGFR1	0/1	0/1		1
PG9	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	TB1IN0	Input	FT1	0/1	0	PGFR1	0/1	0/1		1

表 9-7 ポート G レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PGDATA	PGCR	PGFRn	PGOD	PGPUP	PGPDN	PGIE
PG10	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	TB2IN0	Input	FT1	0/1	0	PGFR1	0/1	0/1		1
PG11	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	TB3IN0	Input	FT1	0/1	0	PGFR1	0/1	0/1		1

9.1.2.8 PORT H

表 9-8 ポート H レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PHDATA	PHCR	PHFRn	PHOD	PHPUP	PHPDN	PHIE
PH0	リセット後			0	0			0		0
	Input Port	Input		0	0			0/1		1
	Output Port	Output		0	1			0/1		0
	AIN0	Input	FT5	0/1	0			0		0
PH1	リセット後			0	0			0		0
	Input Port	Input		0	0			0/1		1
	Output Port	Output		0	1			0/1		0
	AIN1	Input	FT5	0/1	0			0		0
PH2	リセット後			0	0			0		0
	Input Port	Input		0	0			0/1		1
	Output Port	Output		0	1			0/1		0
	AIN2	Input	FT5	0/1	0			0		0
PH3	リセット後			0	0			0		0
	Input Port	Input		0	0			0/1		1
	Output Port	Output		0	1			0/1		0
	AIN3	Input	FT5	0/1	0			0		0
PH4	リセット後			0	0			0		0
	Input Port	Input		0	0			0/1		1
	Output Port	Output		0	1			0/1		0
	AIN4	Input	FT5	0/1	0			0		0
PH5	リセット後			0	0			0		0
	Input Port	Input		0	0			0/1		1
	Output Port	Output		0	1			0/1		0
	AIN5	Input	FT5	0/1	0			0		0
PH6	リセット後			0	0			0		0
	Input Port	Input		0	0			0/1		1
	Output Port	Output		0	1			0/1		0
	AIN6	Input	FT5	0/1	0			0		0
PH7	リセット後			0	0			0		0
	Input Port	Input		0	0			0/1		1
	Output Port	Output		0	1			0/1		0
	AIN7	Input	FT5	0/1	0			0		0
PH8	リセット後			0	0			0		0
	Input Port	Input		0	0			0/1		1
	Output Port	Output		0	1			0/1		0
	AIN8	Input	FT5	0/1	0			0		0
PH9	リセット後			0	0			0		0
	Input Port	Input		0	0			0/1		1
	Output Port	Output		0	1			0/1		0
	AIN9	Input	FT5	0/1	0			0		0
PH10	リセット後			0	0			0		0
	Input Port	Input		0	0			0/1		1
	Output Port	Output		0	1			0/1		0
	AIN10	Input	FT5	0/1	0			0		0
PH11	リセット後			0	0			0		0
	Input Port	Input		0	0			0/1		1

表 9-8 ポート H レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PHDATA	PHCR	PHFRn	PHOD	PHPUP	PHPDN	PHIE
	Output Port	Output		0	1			0/1		0
	AIN11	Input	FT5	0/1	0			0		0
PH12	リセット後			0	0			0		0
	Input Port	Input		0	0			0/1		1
	Output Port	Output		0	1			0/1		0
	AIN12	Input	FT5	0/1	0			0		0
PH13	リセット後			0	0			0		0
	Input Port	Input		0	0			0/1		1
	Output Port	Output		0	1			0/1		0
	AIN13	Input	FT5	0/1	0			0		0
PH14	リセット後			0	0			0		0
	Input Port	Input		0	0			0/1		1
	Output Port	Output		0	1			0/1		0
	AIN14	Input	FT5	0/1	0			0		0

注)　アナログ入力として使用する場合、PHIE は入力禁止"0"、PHPUP はプルアップ禁止"0"にしてください。

9.1.2.9 PORT J

表 9-9 ポート J レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PJDATA	PJCR	PJFRn	PJOD	PJPUP	PJPDN	PJIE
PJ0	リセット後			0	0			0		0
	Input Port	Input		0	0			0/1		1
	Output Port	Output		0	1			0/1		0
	AIN15	Input	FT5	0/1	0			0		0
PJ1	リセット後			0	0	0		0		0
	Input Port	Input		0	0	0		0/1		1
	Output Port	Output		0	1	0		0/1		0
	AIN16	Input	FT5	0/1	0			0		0
	TBCIN0	Input	FT1	0/1	0	PJFR1		0/1		1
PJ2	リセット後			0	0	0		0		0
	Input Port	Input		0	0	0		0/1		1
	Output Port	Output		0	1	0		0/1		0
	AIN17	Input	FT5	0/1	0			0		0
	TBCIN1	Input	FT1	0/1	0	PJFR1		0/1		1
	INTD	Input	FT4	0/1	0	0		0/1		1
PJ3	リセット後			0	0	0		0		0
	Input Port	Input		0	0	0		0/1		1
	Output Port	Output		0	1	0		0/1		0
	AIN18	Input	FT5	0/1	0			0		0
	TBDIN0	Input	FT1	0/1	0	PJFR1		0/1		1
	INTE	Input	FT4	0/1	0	0		0/1		1
PJ4	リセット後			0	0	0		0		0
	Input Port	Input		0	0	0		0/1		1
	Output Port	Output		0	1	0		0/1		0
	AIN19	Input	FT5	0/1	0			0		0
	TBDIN1	Input	FT1	0/1	0	PJFR1		0/1		1
	INTF	Input	FT4	0/1	0	0		0/1		1

注) アナログ入力として使用する場合、PJIE は入力禁止"0"、PJPUP はプルアップ禁止"0"にしてください。

9.1.2.10　PORT K

表 9-10 ポート K レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PKDATA	PKCR	PKFRn	PKOD	PKPUP	PKPDN	PKIE
PK0	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	UT0TXD	Output	FT1	0/1	1	PKFR2	0/1	0/1		0
	UT0IROUT	Output	FT1	0/1	1	PKFR3	0/1	0/1		0
PK1	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	UT0RXD	Input	FT1	0/1	0	PKFR2	0/1	0/1		1
	UT0IRIN	Input	FT1	0/1	0	PKFR3	0/1	0/1		1
PK2	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	$\overline{\text{BELL}}$	Output	FT1	0/1	1	PKFR1	0/1	0/1		0
	UT0DCD	Output	FT1	0/1	1	PKFR2	0/1	0/1		0
PK3	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	$\overline{\text{BELH}}$	Output	FT1	0/1	1	PKFR1	0/1	0/1		0
	UT0DSR	Output	FT1	0/1	1	PKFR2	0/1	0/1		0
PK4	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	$\overline{\text{WR}}$	Output	FT1	0/1	1	PKFR1	0/1	0/1		0
	UT0DTR	Output	FT1	0/1	1	PKFR2	0/1	0/1		0
PK5	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	$\overline{\text{RD}}$	Output	FT1	0/1	1	PKFR1	0/1	0/1		0
	UT0RIN	Input	FT1	0/1	0	PKFR2	0/1	0/1		1
PK6	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	WAIT	Output	FT1	0/1	1	PKFR1	0/1	0/1		0
	$\overline{\text{UT0CTS}}$	Input	FT1	0/1	0	PKFR2	0/1	0/1		1
PK7	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	$\overline{\text{UT0RTS}}$	Output	FT1	0/1	1	PKFR2	0/1	0/1		0
PK8	リセット後			0	0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1	0/1		1
	Output Port	Output		0/1	1	0	0/1	0/1		0
	INTC	Input	FT4	0/1	0		0/1	0/1		1

注) PK8 はリセット信号 が"Low" の間 Pull-up と入力が許可になっており、$\overline{\text{BOOT}}$ 端子入力として機能します。 リセット信号の立ち上がりで PK8 が"1"の場合はシングルチップモード(内蔵フラッシュ)、 PK8 が"0"の場合はシングル BOOT モード（内蔵 BOOT ROM)となります。

9.2　ポート回路図

ポートには、以下のタイプがあります。それぞれの回路図を次ページから示します。図中の点線は「ポート部等価回路図」で記されている等価回路の範囲を示します。

回路図内の"ダイレクトリセット"は、コールドリセットまたは端子リセットによる STOP2 モード解除時に有効になります。

9.2.1　タイプ FT1

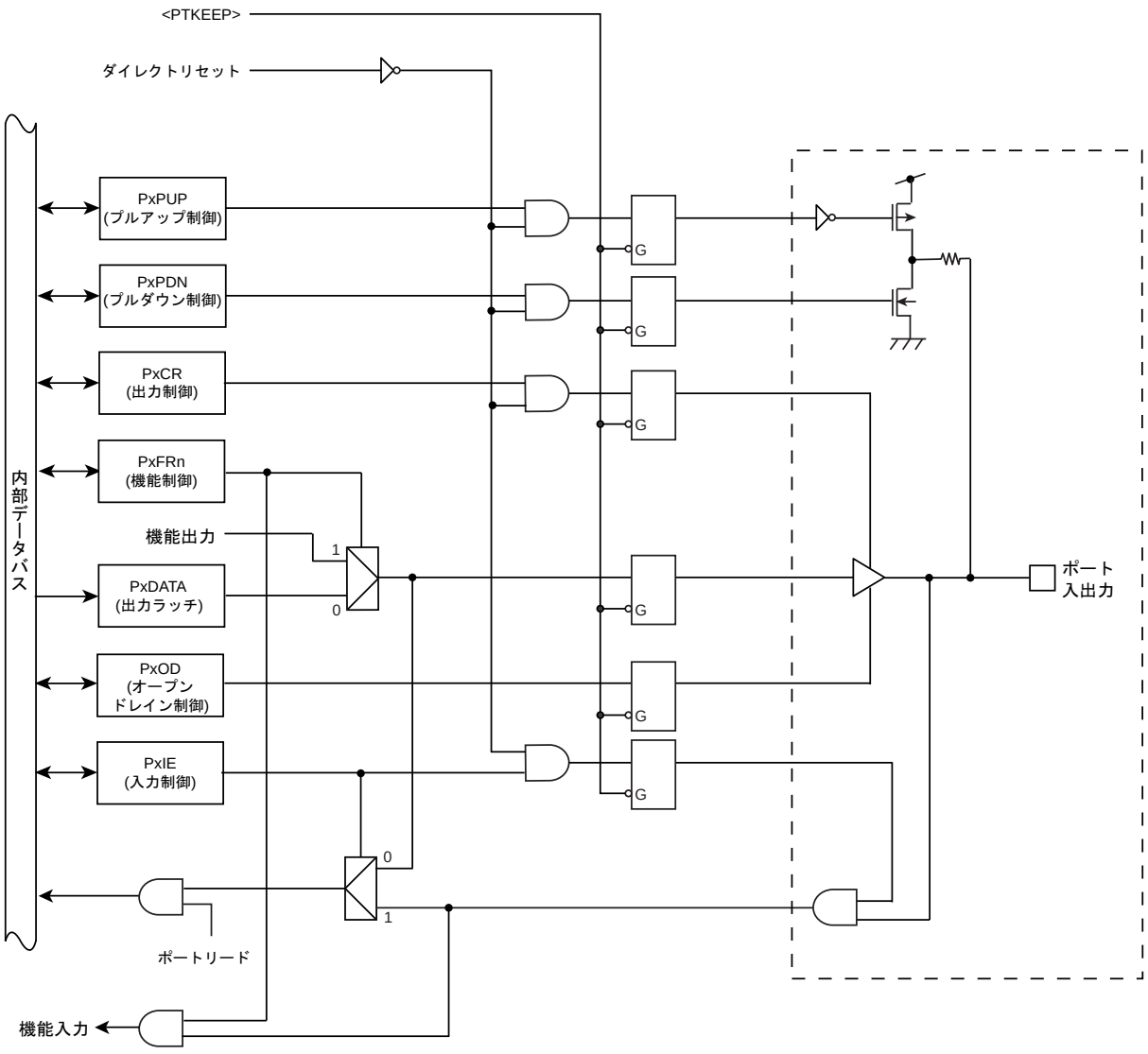


図 9-1 Port Type FT1

9.2.2 タイプ FT2

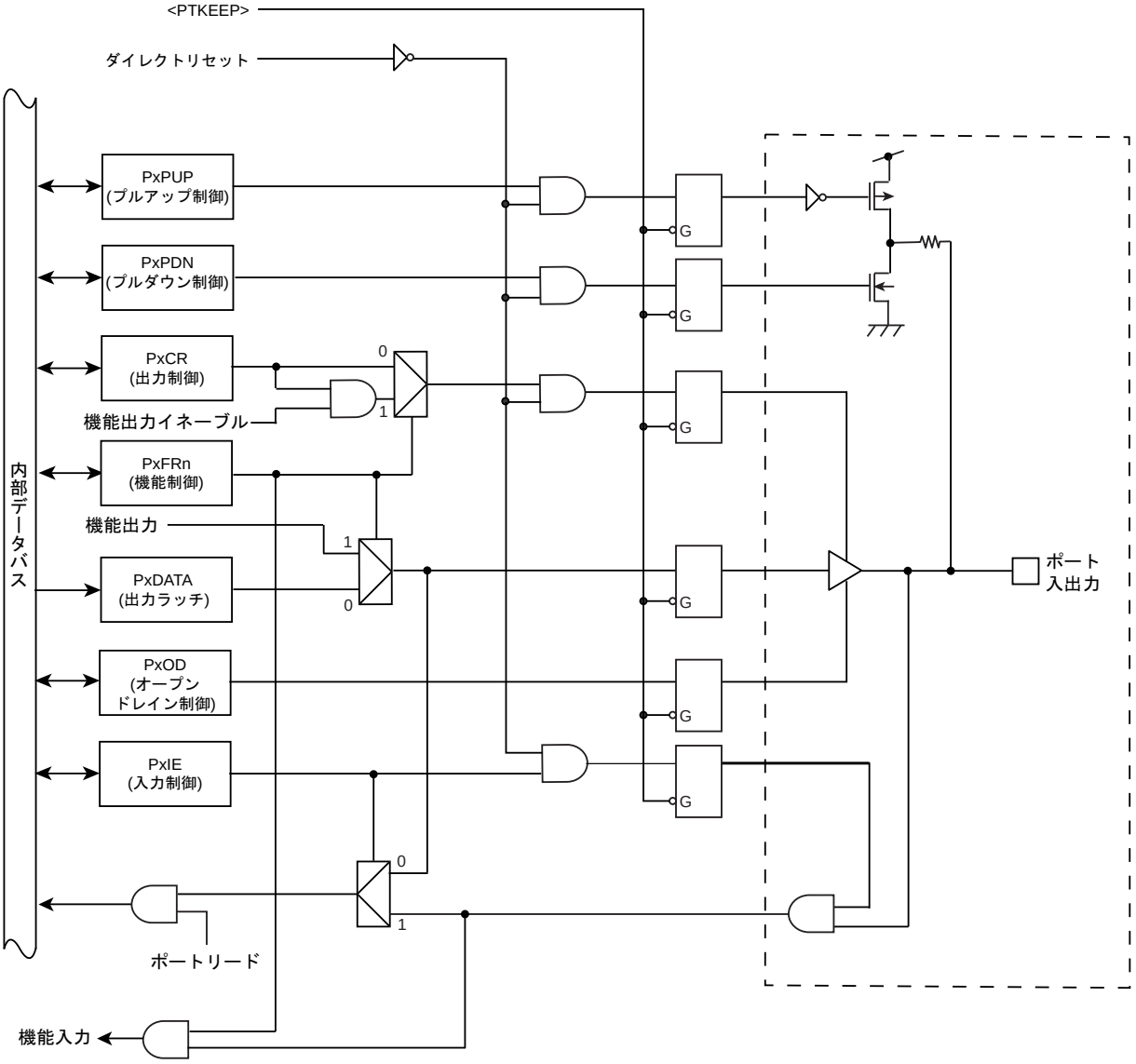


図 9-2 Port Type FT2

9.2.3　タイプ FT3

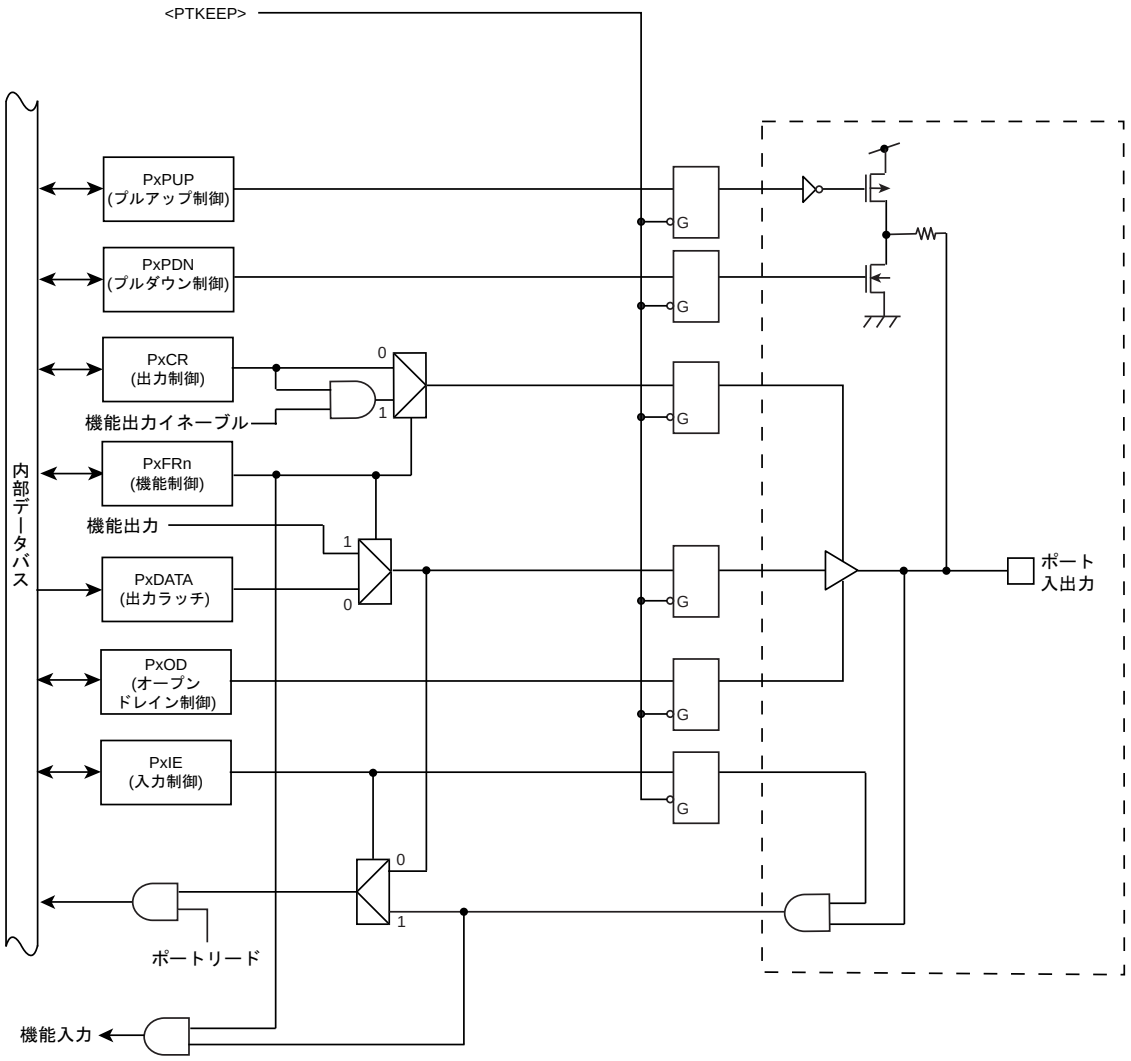


図 9-3 Port Type FT3

9.2.4 タイプ FT4

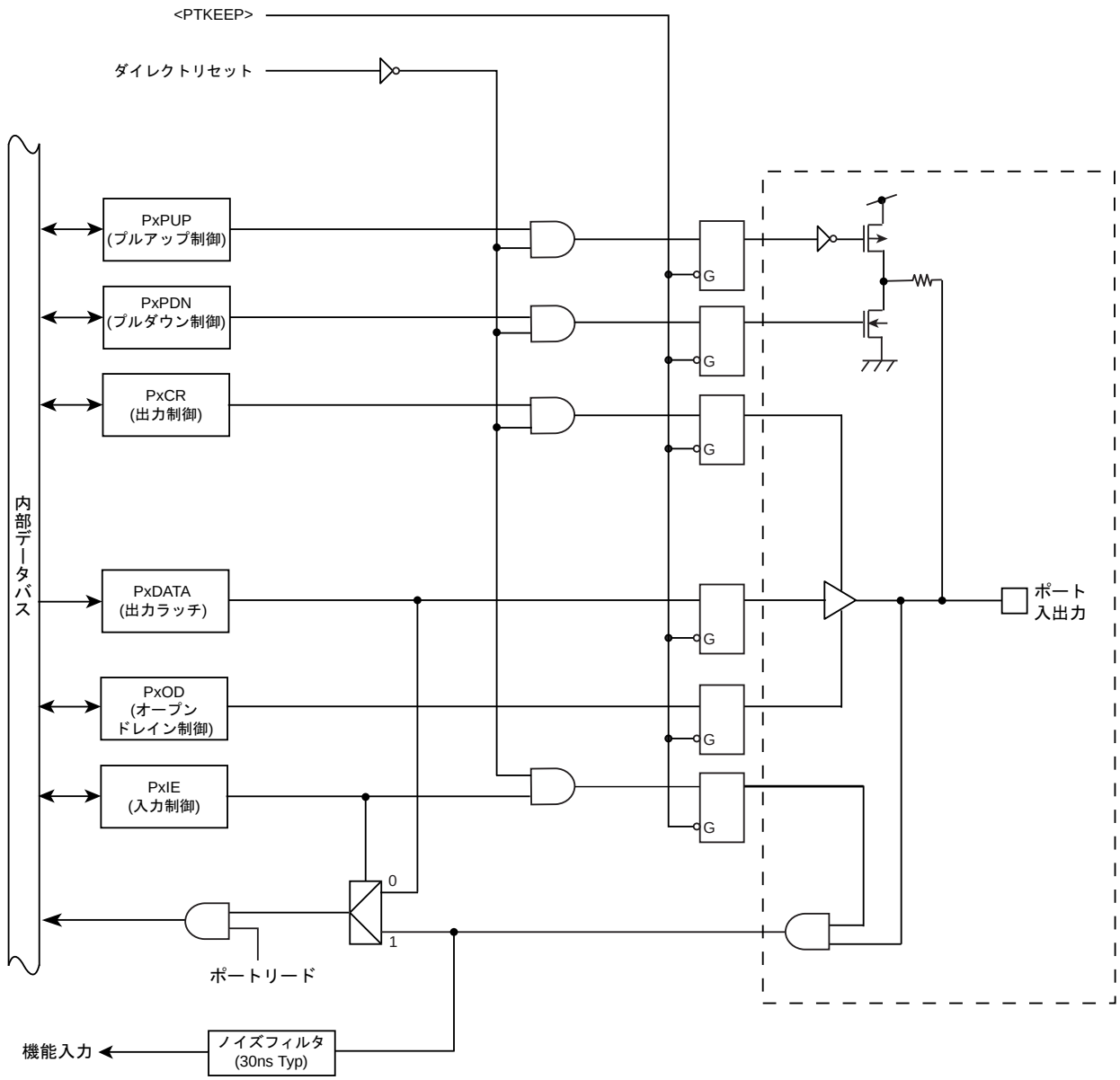


図 9-4 Port Type FT4

9.2.5　タイプ FT5

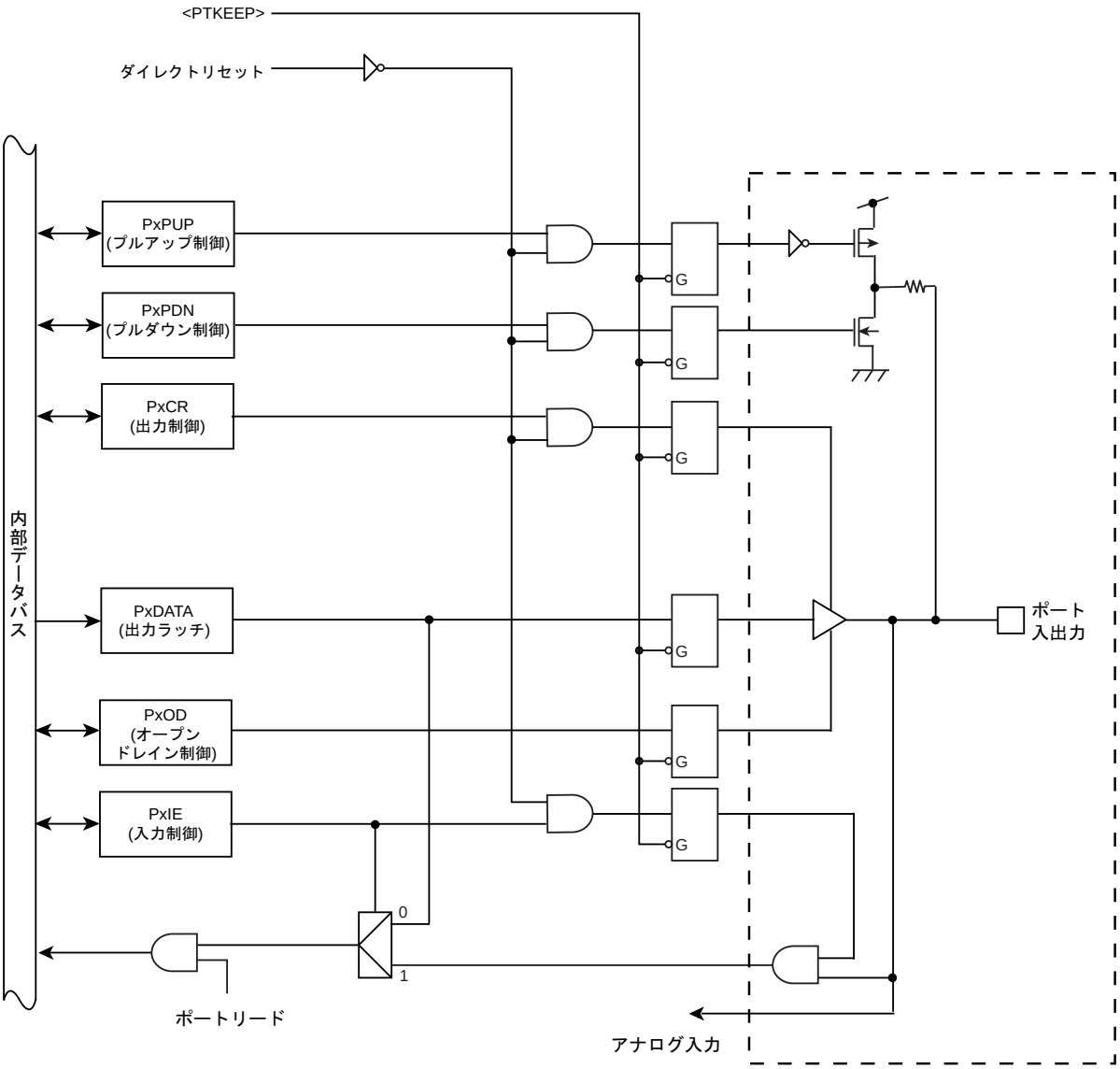


図 9-5 Port Type FT5

9.2.6 タイプ FT6

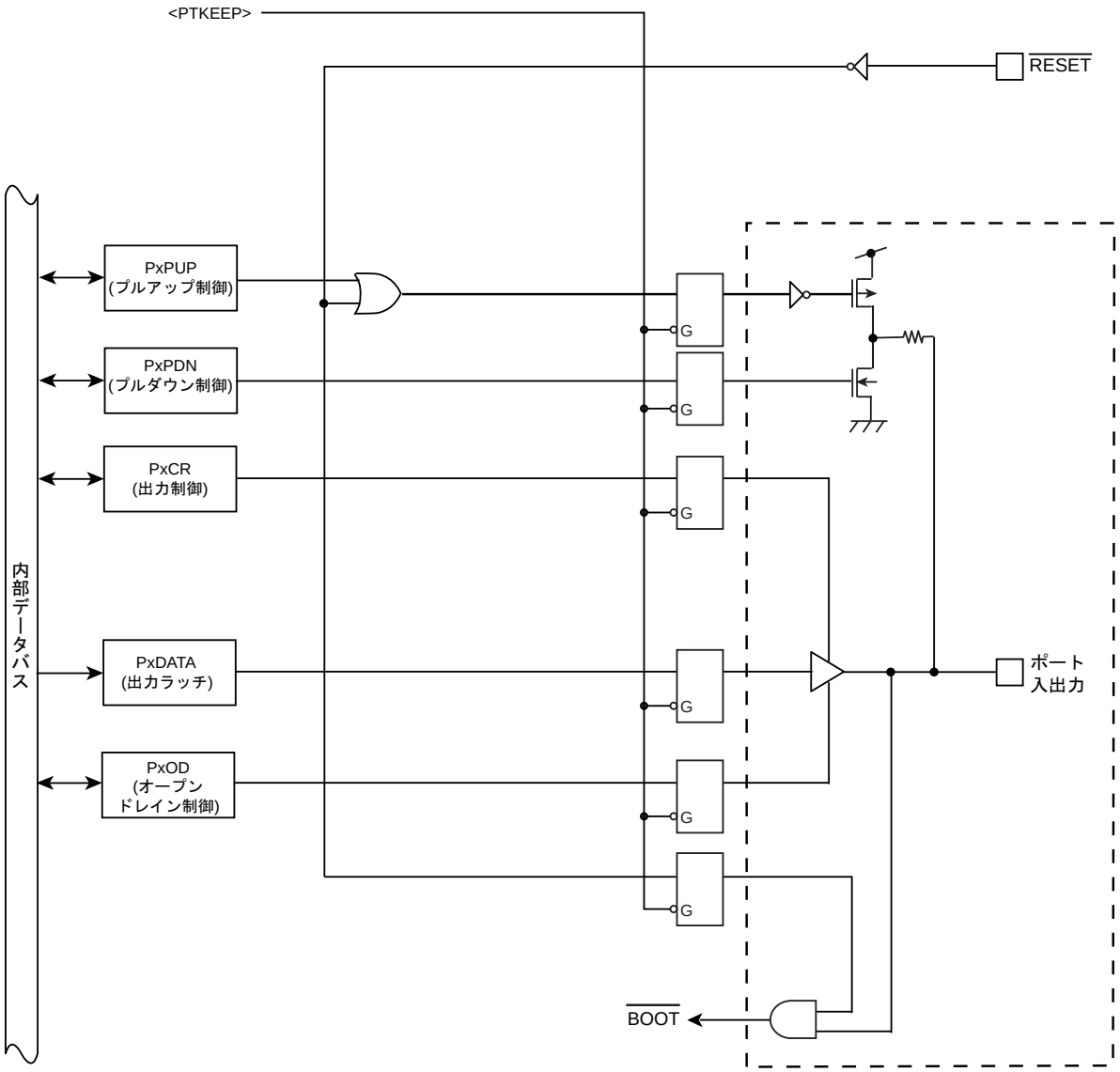


図 9-6 Port Type FT6

9.2.7　タイプ FT7

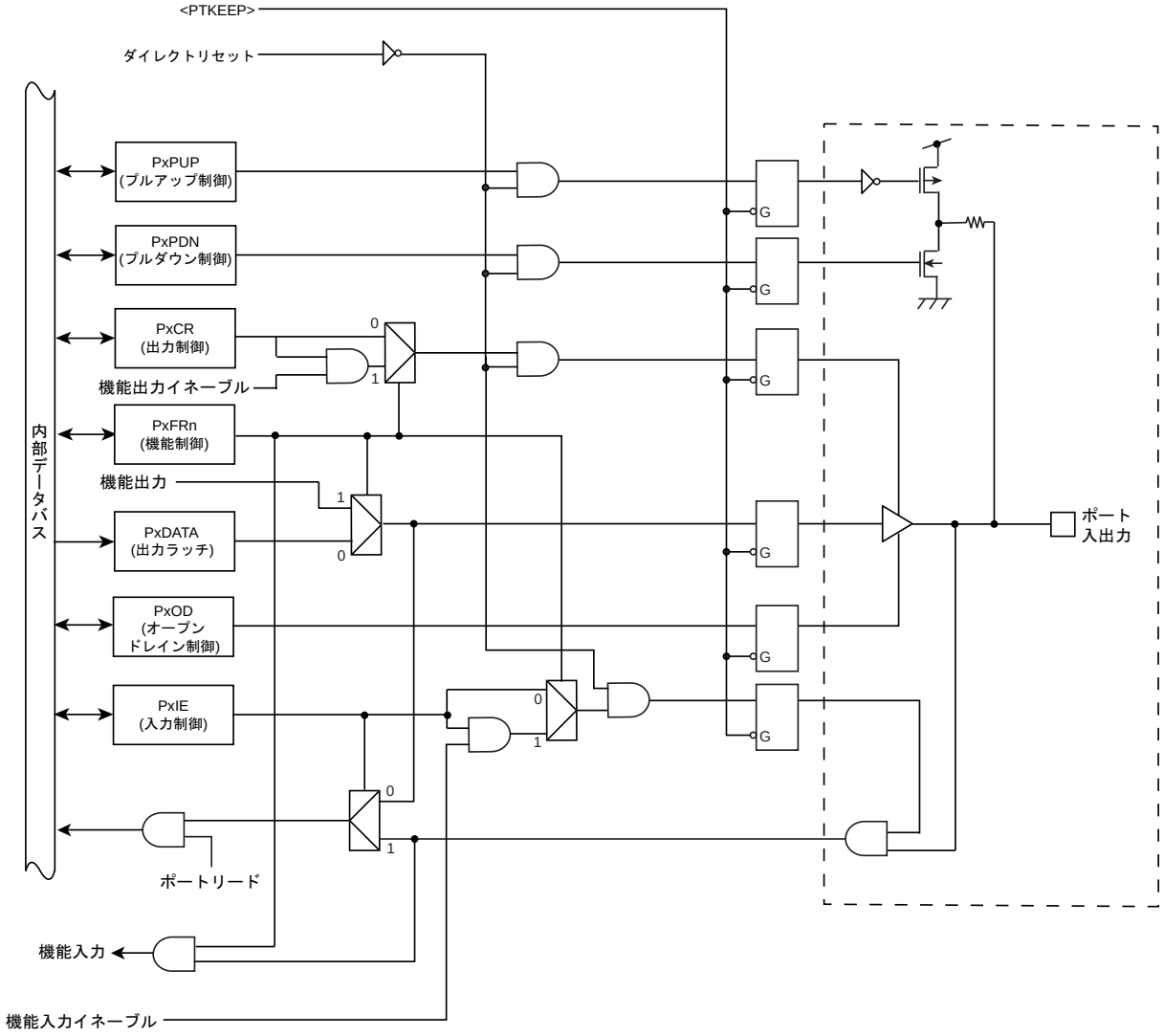


図 9-7 Port Type FT7

9.2.8 タイプ FT8

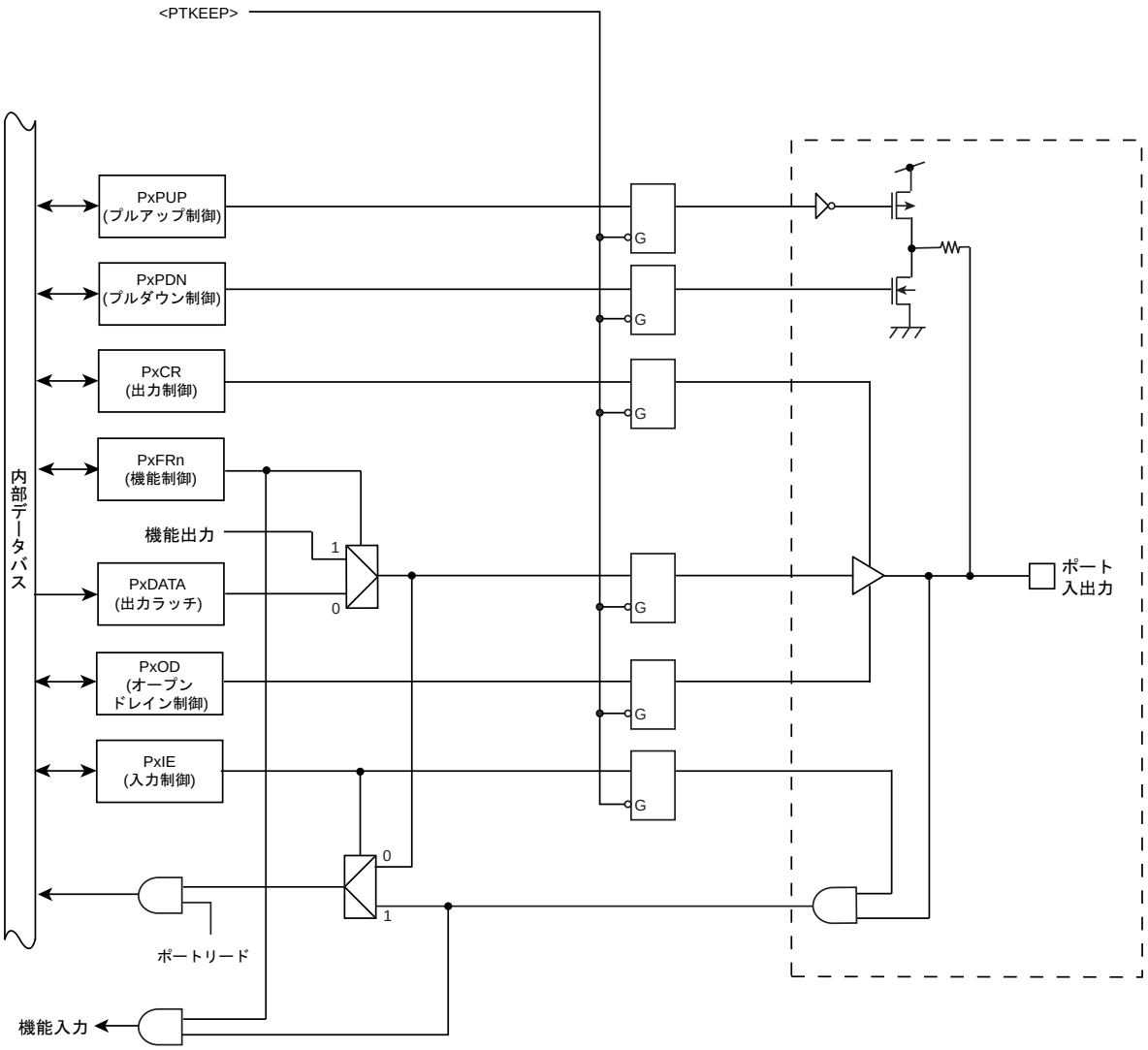


図 9-8 Port Type FT8

第 10 章　外部バスインタフェース(EBIF)

10.1　機能概要

TMPM461F15/F10FG は、外部にメモリや I/O などを接続するための外部バスインタフェース機能を内蔵しています。特長は以下のとおりです。

表 10-1 外部バスインタフェースの特長

特長	
サポートメモリ	NOR フラッシュメモリ、SRAM、周辺 I/O など セパレートバス、マルチプレクスバスに対応
データバス幅	チャネルごとに 8 ビットまたは 16 ビット幅の設定が可能
チップセレクト	4 チャネル ($\overline{CS0}$, $\overline{CS1}$,$\overline{CS2}$,$\overline{CS3}$)
クロック出力	バスサイクルに同期したクロック出力が可能
アクセス空間	最大 64MB のアクセス空間をサポート 0x6000_0000 ~ 0x63FF_FFFF (各 CS ごとに最大 16MB 設定可能)
内部ウェイト機能	チャネルごとに最大 15 サイクルまで挿入可能
外部ウェイト機能	内部ウエイト機能に加え、ウエイト端子(WAIT)によるウエイトサイクルの延長が可能 "Low"アクティブまたは"High"アクティブの選択が可能
ALE アサート時間	チャネルごとにアサート時間を 1、2、3、5 サイクルから選択可能
セットアップ サイクル挿入機能	チャネルごとに $\overline{RD}$、$\overline{WR}$ セットアップサイクル挿入可能 (tAC サイクル期間延長)
リカバリ(ホールド) サイクル挿入機能	外部バスサイクルが連続するときに最大 8 クロックまでのダミーサイクルを挿入可能 (チャネルごとに設定可能) $\overline{CS}$, $\overline{RD}$, $\overline{WR}$ におけるアドレス/データホールドサイクル挿入機能 (tCAR, tRAE サイクル期間延長)
バス拡張機能	内部ウェイト、ALE アサート時間、セットアップサイクル、リカバリサイクルの設定値を 2 倍、4 倍に拡張することが可能 (チャネル共通)
制御端子	セパレートバスモード: D[15:0], A[23:0], $\overline{RD}$, $\overline{WR}$, $\overline{BELL}$, $\overline{BELH}$, $\overline{CS0}$, $\overline{CS1}$, $\overline{CS2}$, $\overline{CS3}$, WAIT マルチプレクスバスモード: AD[15:0], A[23:16], $\overline{RD}$, $\overline{WR}$, $\overline{BELL}$, $\overline{BELH}$, $\overline{CS0}$, $\overline{CS1}$, $\overline{CS2}$, $\overline{CS3}$, WAIT, ALE

10.2　アドレス、データ端子の設定

バスモードにはセパレートバスモードとマルチプレクスバスモードがあります。TMPM461F15/F10FG はセパレートバスまたはマルチプレクスバスの設定が可能です。

設定は EXBMOD レジスタで行ないます。EXBMOD<EXBSEL>ビットに"1"を設定することでセパレートバスモードになります。EXBMOD<EXBSEL>ビットに"0"を設定することでマルチプレクスバスモードになります。

表 10-2 に、各モードで使用するアドレス、データ端子を示します。外部デバイス接続のために使用するポートについての情報は、「製品情報」の章を参照してください。

表 10-2 バスモードとアドレス、データ端子

セパレートバス EXBMOD<EXBSEL> = 1	マルチプレクスバス EXBMOD<EXBSEL> = 0
A0 ~ A7	-
A8 ~ A15	-
A16 ~ A23 A0 ~ A7	A16 ~ A23
D0 ~ D15	AD0 ~ AD15

外部領域アクセスから内蔵領域アクセスへ遷移した場合、アドレスバスは直前の外部領域のアドレス出力を保持し変化しません。また、データバスはハイインピーダンスになります。

10.3 レジスタ説明

10.3.1 レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
外部バスモードコントロールレジスタ	EXBMOD	0x0000
外部バス空間エリア/スタートアドレス設定レジスタ 0	EXBAS0	0x0010
外部バス空間エリア/スタートアドレス設定レジスタ 1	EXBAS1	0x0014
外部バス空間エリア/スタートアドレス設定レジスタ 2	EXBAS2	0x0018
外部バス空間エリア/スタートアドレス設定レジスタ 3	EXBAS3	0x001C
外部バスチップセレクトコントロールレジスタ 0	EXBCS0	0x0040
外部バスチップセレクトコントロールレジスタ 1	EXBCS1	0x0044
外部バスチップセレクトコントロールレジスタ 2	EXBCS2	0x0048
外部バスチップセレクトコントロールレジスタ 3	EXBCS3	0x004C

注) レジスタのリード/ライトはワード(32 ビット)アクセスのみとなります。

10.3.2　EXBMOD (外部バスモードコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	EXBWAIT		EXBSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2-1	EXBWAIT[1:0]	R/W	バスサイクルウェイト拡張 00: 拡張なし 01: 2 倍 10: 4 倍 11: 設定禁止 バスサイクルのセットアップ、ウエイト、リカバリサイクル機能を 2 倍、4 倍に設定するビットです。例えば、<EXBWAIT>=00 (拡張なし)設定でリードセットアップサイクルを 2 サイクルに設定していた場合、<EXBWAIT>=01 (2 倍)に設定変更すると、4 サイクルに拡張されます。同様に<EXBWAIT>=10 (4 倍)に設定変更すると、8 サイクルに拡張されます。なお、拡張サイクルは、EXBCSx レジスタで設定されるリード/ライトセットアップ、チップセレクト/リード/ライトリカバリ、ALE/内部ウエイトサイクルと、<EXBWAIT>の設定（2 倍/4 倍）によってサイクル数が拡張されます。
0	EXBSEL	R/W	セパレートバスモード/マルチプレクスバスを選択するビットです。 0: マルチプレクスバスモード 1: セパレートバスモード

注)　マルチプレクス/セパレートモードの設定は、外部バス動作中に変更しないでください。

10.3.3 EXBAS0 ~ 3 (外部バス空間エリア/スタートアドレス設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	SA31	SA30	SA29	SA28	SA27	SA26	SA25	SA24
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	EXAR							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	SA31-SA16	R/W	スタートアドレスを設定します。 アドレス A[31:16]のスタートアドレスを設定します。
15-8	–	R	リードすると"0"が読めます。
7-0	EXAR[7:0]	R/W	チップセレクト($\overline{CSx}$)空間サイズを設定します。 アドレス空間サイズは最大 16M バイトから最小 64K バイトまでの 9 種類の設定が可能です。 0000_0000 : 16 Mbyte　0000_0011 : 2 Mbyte　0000_0110 : 256 Kbyte 0000_0001 : 8 Mbyte　0000_0100 : 1 Mbyte　0000_0111 : 128 Kbyte 0000_0010 : 4 Mbyte　0000_0101 : 512 Kbyte　0000_1000 : 64 Kbyte 上記以外:設定禁止

注) 外部バスアドレス空間にアクセスする際、アクセスするアドレスエリアが複数の CSx 空間にマッピングされている場合は $\overline{CS0}$ > $\overline{CS1}$ > $\overline{CS2}$ > $\overline{CS3}$ の優先順位に従って、チップセレクト信号をアクティブにします。

空間サイズおよびスタートアドレス設定

チップセレクト空間サイズ	SA																-	EXAR							
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15-8	7	6	5	4	3	2	1	0
16Mbyte	0	1	1	0	0	0	x	x	0	0	0	0	0	0	0	0	-	0	0	0	0	0	0	0	0
8Mbyte	0	1	1	0	0	0	x	x	x	0	0	0	0	0	0	0	-	0	0	0	0	0	0	0	1
4Mbyte	0	1	1	0	0	0	x	x	x	x	0	0	0	0	0	0	-	0	0	0	0	0	0	1	0
2Mbyte	0	1	1	0	0	0	x	x	x	x	x	0	0	0	0	0	-	0	0	0	0	0	0	1	1
1Mbyte	0	1	1	0	0	0	x	x	x	x	x	x	0	0	0	0	-	0	0	0	0	0	1	0	0
512Kbyte	0	1	1	0	0	0	x	x	x	x	x	x	x	0	0	0	-	0	0	0	0	0	1	0	1
256Kbyte	0	1	1	0	0	0	x	x	x	x	x	x	x	x	0	0	-	0	0	0	0	0	1	1	0
128Kbyte	0	1	1	0	0	0	x	x	x	x	x	x	x	x	x	0	-	0	0	0	0	0	1	1	1
64Kbyte	0	1	1	0	0	0	x	x	x	x	x	x	x	x	x	x	-	0	0	0	0	1	0	0	0

x : 任意

10.3.4　EXBCS0 ~ 3 (外部バスチップセレクトコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	CSR		WRR			RDR		
After reset	0	1	0	0	1	0	0	1
	23	22	21	20	19	18	17	16
bit symbol	-	-	ALEW		WRS		RDS	
After reset	0	0	0	1	0	1	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	WSEL	WAIT	CSIW			
After reset	0	0	0	0	0	0	1	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	CSW		CSW0
After reset	0	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31-30	CSR[1:0]	R/W	チップセレクト($\overline{CSx}$)リカバリサイクル 00 : サイクル無し　01 : 1 サイクル　10 : 2 サイクル　11 : 4 サイクル
29-27	WRR[2:0]	R/W	ライト($\overline{WR}$)リカバリサイクル 000 : サイクル無し　001 : 1 サイクル　010 : 2 サイクル　011 : 3 サイクル 100 : 4 サイクル　101 : 5 サイクル　110 : 6 サイクル　111 : 8 サイクル
26-24	RDR[2:0]	R/W	リード($\overline{RD}$)リカバリサイクル 000 : サイクル無し　001 : 1 サイクル　010 : 2 サイクル　011 : 3 サイクル 100 : 4 サイクル　101 : 5 サイクル　110 : 6 サイクル　111 : 8 サイクル
23-22	−	R	リードすると"0"が読めます。
21-20	ALEW[1:0]	R/W	ALE アサート時間(マルチプレクスバスモード時) 00 : 1 サイクル　01 : 2 サイクル　10 : 3 サイクル　11 : 5 サイクル
19-18	WRS[1:0]	R/W	ライト($\overline{WR}$)セットアップサイクル 00 : 無し　01 : 1 サイクル　10 : 2 サイクル　11 : 4 サイクル
17-16	RDS[1:0]	R/W	リード($\overline{RD}$)セットアップサイクル 00 : 無し　01 : 1 サイクル　10 : 2 サイクル　11 : 4 サイクル
15-14	−	R	リードすると"0"が読めます。
13	WSEL	R/W	ウエイト信号選択 0: "Low"アクティブ 1: "High"アクティブ
12	WAIT	R/W	ウエイト機能選択 0: 内部ウエイト 1: 外部ウエイト
11-8	CSIW[3:0]	R/W	ウェイト数選択 0000 : 0 ウェイト　0001 : 1 ウェイト　0010 : 2 ウェイト　0011 : 3 ウェイト 0100 : 4 ウェイト　0101 : 5 ウェイト　0110 : 6 ウェイト　0111 : 7 ウェイト 1000 : 8 ウェイト　1001 : 9 ウェイト　1010 : 10 ウェイト　1011 : 11 ウェイト 1100 : 12 ウェイト　1101 : 13 ウェイト　1110 : 14 ウェイト　1111 : 15 ウェイト <WAIT>が"0"の場合、固定のウエイト数を指定します。 <WAIT>が"1"の場合は外部ウエイト機能の内部ウエイト数の指定になります。外部ウエイトで使用する場合は 3 ウエイト以上を指定してください
7-3	−	R	リードすると"0"が読めます。
2-1	CSW[2:1]	R/W	データバス幅設定 "00" : 8-bit　"01" : 16-bit

Bit	Bit Symbol	Type	機能
			上記以外：設定禁止
0	CSW0	R/W	CS イネーブル "0": 禁止 "1": 許可

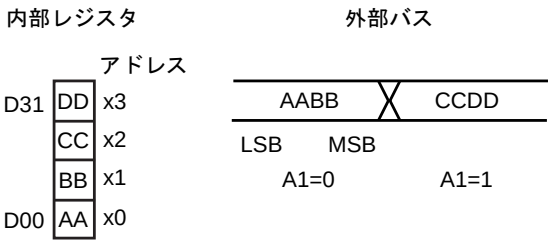
10.4　データ・フォーマット

TMPM461F15/F10FG の内部レジスタと外部バスインタフェースとの関係を説明します。

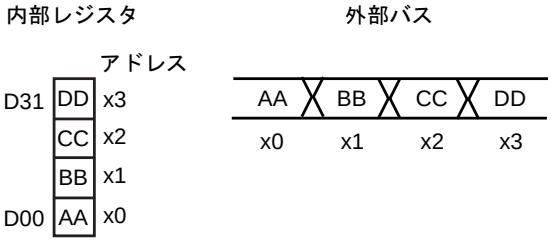
10.4.1　リトルエンディアンモード

10.4.1.1　ワードアクセス

・　16 ビットバス幅

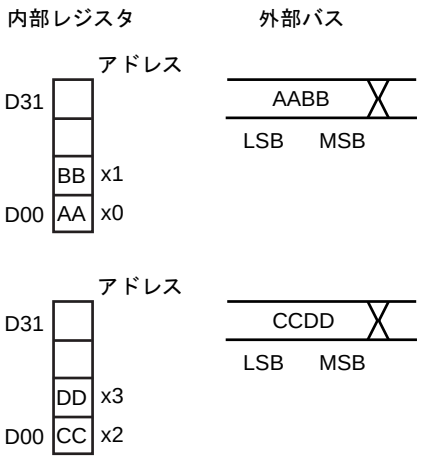


・　8 ビットバス幅

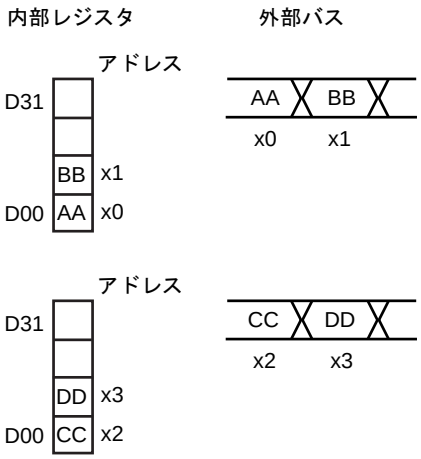


10.4.1.2 ハーフワードアクセス

・ 16 ビットバス幅

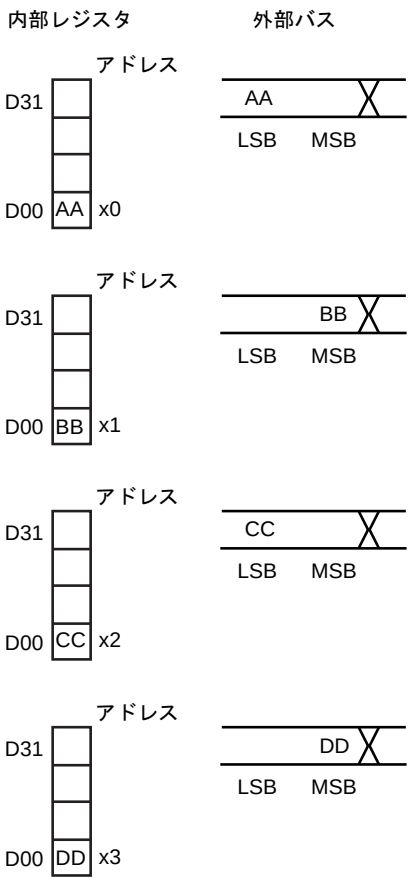


・ 8 ビットバス

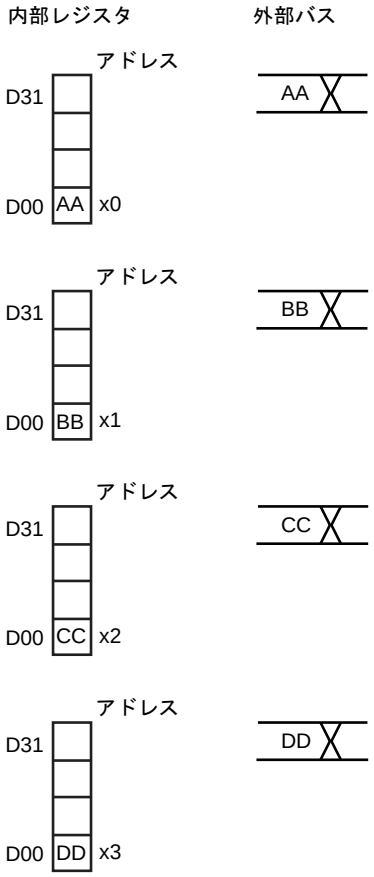


10.4.1.3　バイトアクセス

・　16 ビットバス幅



・ 8 ビットバス幅



10.5　バスクロック

外部バス動作はバスクロックに同期します。バスクロックは、システムクロック fsys になります。

10.6 外部バスオペレーション（セパレートバスモード）

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、データバスとして A23～A0，D15～D0 を設定したときのものを示しています。バスサイクル周期 tsys は、fsys 1 周期になります。

10.6.1 基本バスオペレーション

TMPM461F15/F10FG の外部バスサイクルは基本 3 クロックです。図 10-1 にリードバスタイミングを、図 10-2 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化しません。またデータバスはハイインピーダンスになり $\overline{RD}$、$\overline{WR}$ 端子などの制御信号もアクティブになりません。

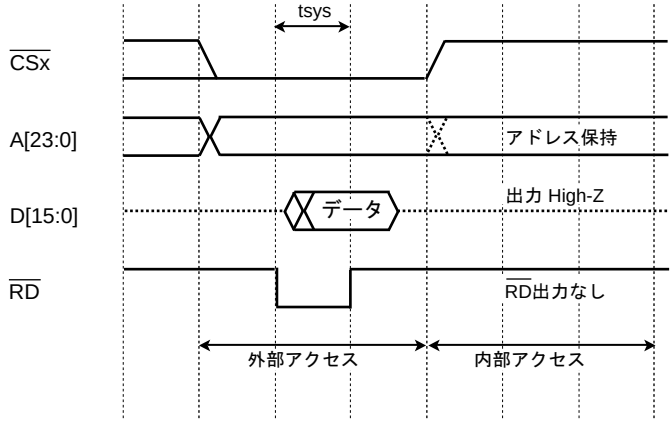


図 10-1 リードオペレーションタイミング

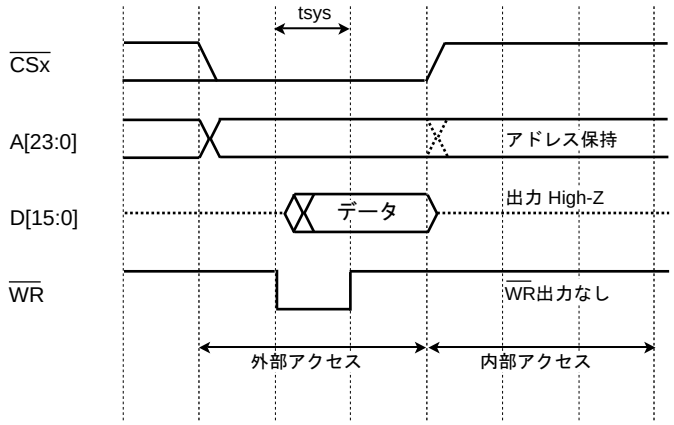


図 10-2 ライトオペレーションタイミング

10.6.2　ウェイト挿入

内蔵ウェイトコントローラにより、チャネルごとにウェイトサイクルを挿入することができます。挿入できるウェイトは以下のとおりです。

- 最大 15 クロックまでの内部ウェイト(自動挿入)
- WAIT 信号による外部ウエイト

10.6.2.1　内部ウエイト

外部バスチップセレクトコントロールレジスタ EXBCSx<EXWAIT>を"0"に設定すると内部ウエイト機能となります。内部ウェイト数の設定は、EXBCSx<CSIW>で設定します。

図 10-3、図 10-4 に内部ウェイトを挿入したタイミング図を示します。

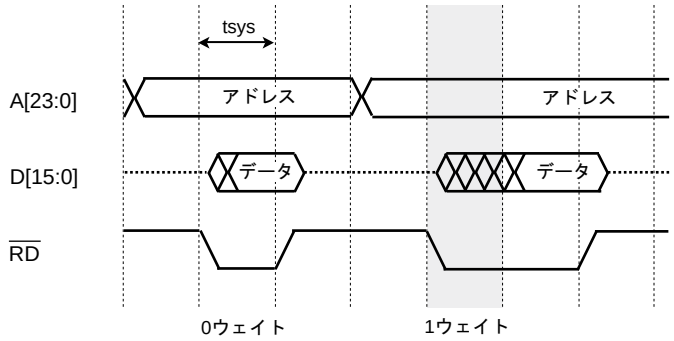


図 10-3 リードオペレーションタイミング (0 ウェイトおよび内部 1 ウェイト)

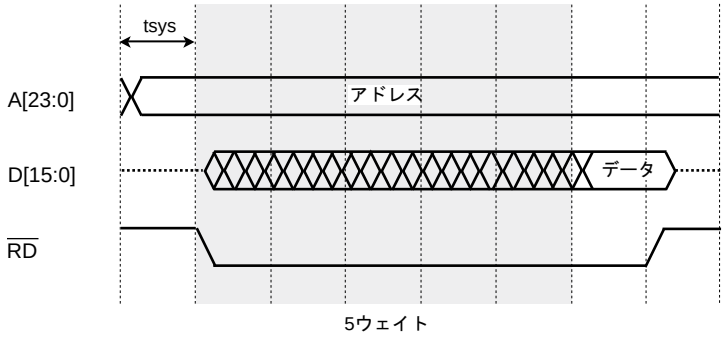


図 10-4 リードオペレーションタイミング (内部 5 ウェイト)

図 10-5、図 10-6 にセパレートバス時の 0 ウェイト、内部 2 ウェイトを挿入した場合のリード、ライトオペレーションタイミングを示します。

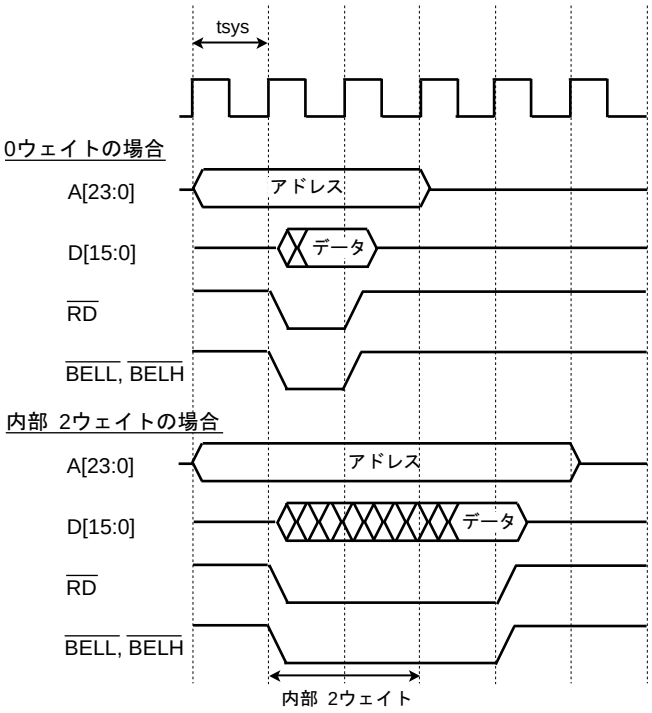


図 10-5 リードオペレーションタイミング(内部ウエイト)

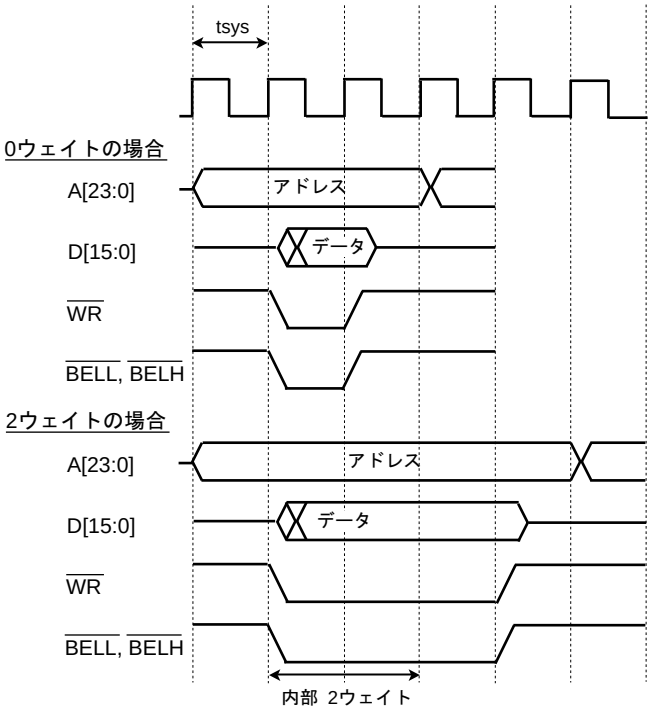


図 10-6 ライトオペレーションタイミング(内部ウエイト)

10.6.2.2　外部ウエイト

EXBCSx<EXWAIT>を"1"に設定すると外部ウエイト機能となります。外部ウエイトは、内部ウエイトと WAIT 信号の組み合わせで使用します。

外部ウエイト設定時は、EXBCSx <CSIW>で設定した内部ウェイト経過後にバスサイクルクロックで WAIT 信号のサンプリング行い、信号が有効な間ウエイトサイクルを挿入します。外部ウエイトを使用する場合、内部ウエイトは 3 ウエイト以上を設定してください。

WAIT を、"Low"アクティブで使うか"High"アクティブで使うかは、EXBCSx<WRSEL>で設定します。WAIT 信号は、サンプリングタイミングの 2 サイクル以上前から入力してください。

図 10-7、図 10-8 に外部ウェイトを挿入したタイミング図を示します。WAIT 信号は"Low"アクティブの場合を示しています。

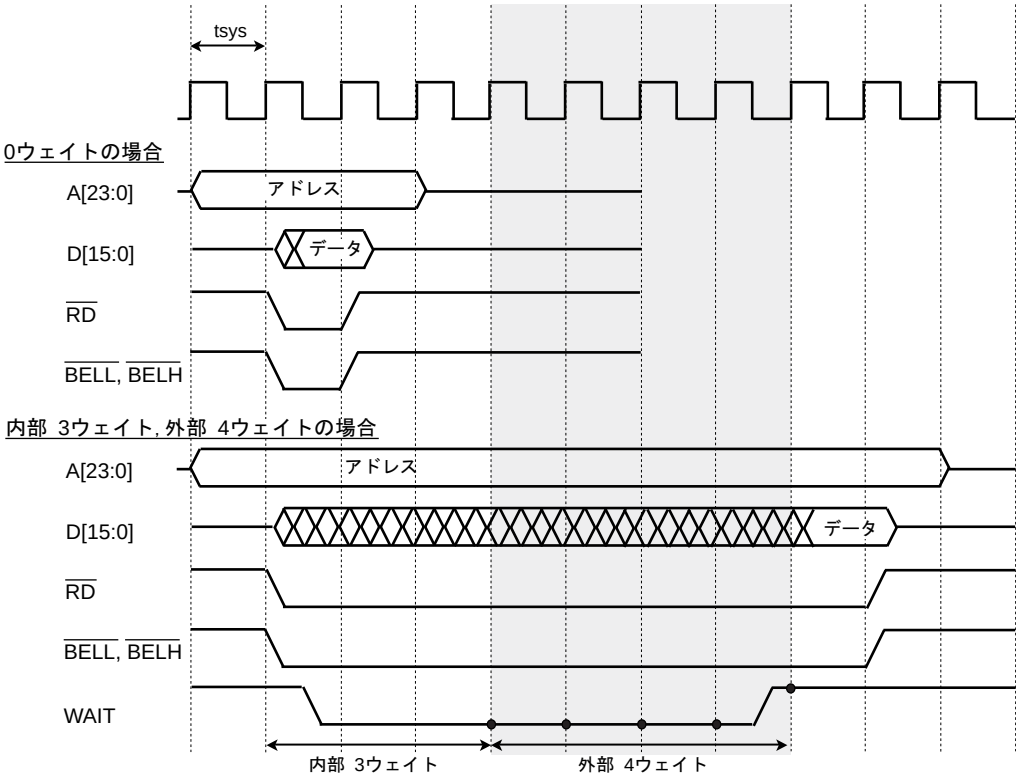


図 10-7 リードオペレーションタイミング(外部ウエイト)

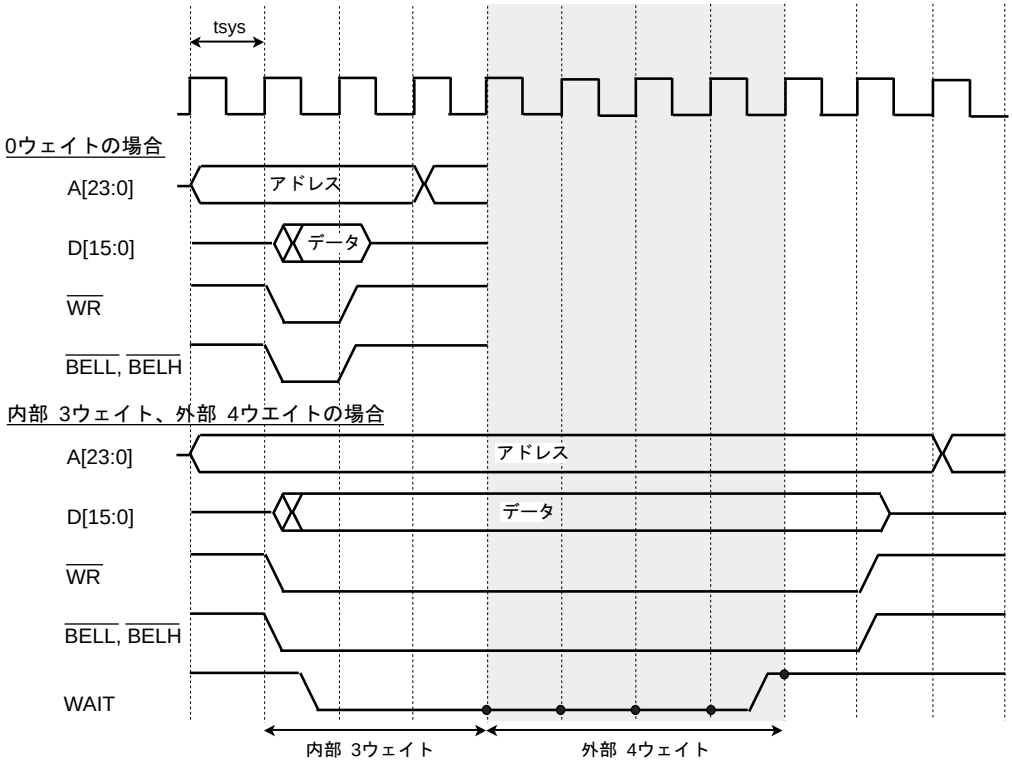


図 10-8 ライトオペレーションタイミング(外部ウエイト)

10.6.3　リード/ライトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入については EXBCSx<WRR[2:0]>（ライト・リカバリサイクル）、<RDR[2:0]>（リード・リカバリサイクル）で設定します。ダミーサイクル数はチャネルごとにダミーサイクル無し、1～6、および 8 システムクロック（内部）を指定できます。図 10-9 にリカバリタイム挿入時のタイミング図を示します。

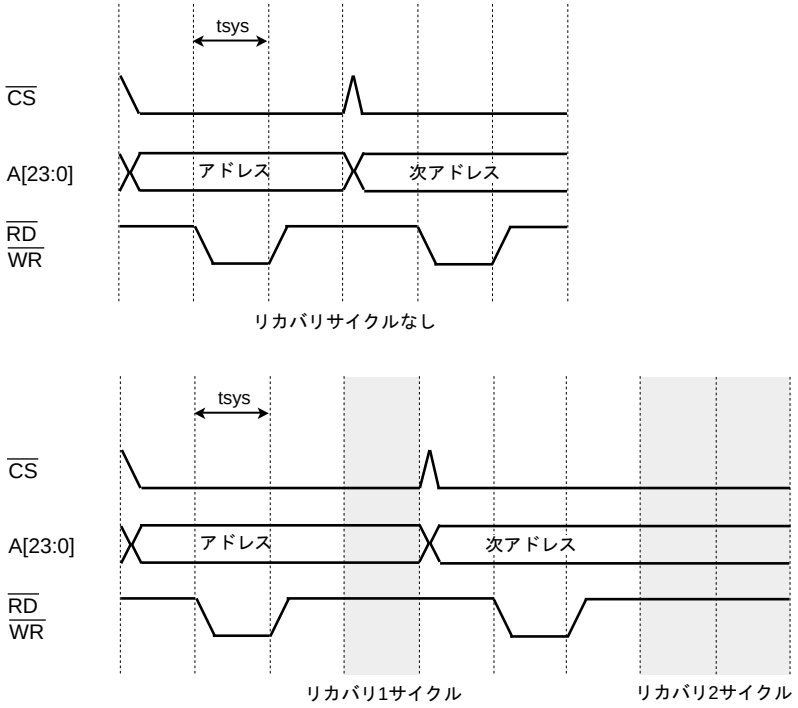


図 10-9 セパレートバスにおけるリカバリタイム挿入時のタイミング

10.6.4 チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入については外部バスチップセレクトコントロールレジスタ EXBCSx<CSR[1:0]>で設定します。ダミーサイクル数はチャネルごとに、ダミーサイクル無し、1、2 および 4 システムクロック（内部）を指定することができます。図 10-10 にリカバリタイム挿入時のタイミング図を示します。

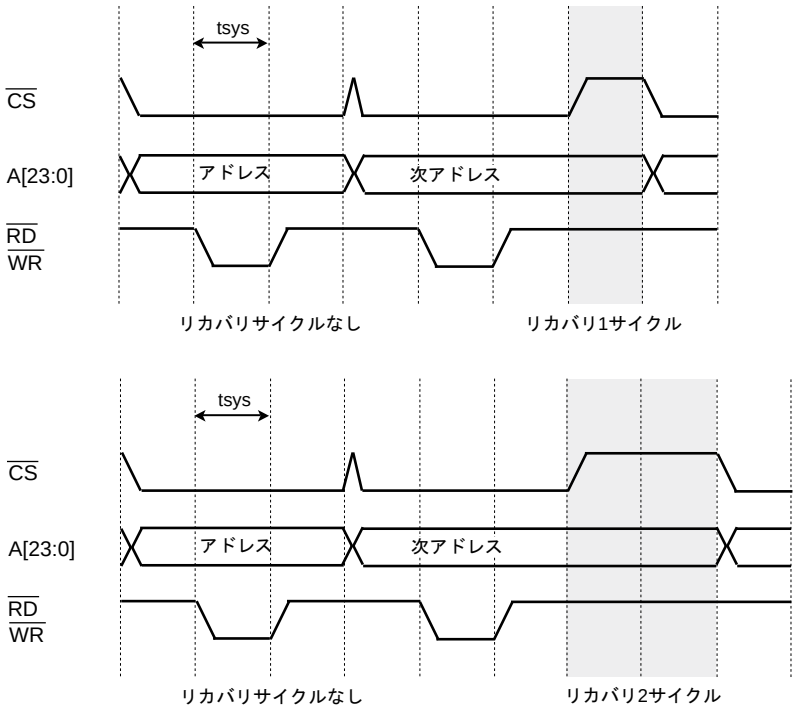


図 10-10 チップセレクトリカバリタイム挿入時のタイミング

10.6.5　リード、ライトセットアップサイクル

内部セットアップコントローラによりチャネルごとにセットアップサイクルを挿入することができます。挿入できるサイクルは以下となります。

・　最大 4 クロックまでの内部リード、ライトセットアップサイクル(自動挿入)

セットアップサイクル数の設定は、外部バスチップセレクトコントロールレジスタ EXBCSx の<WRS[1:0]>および<RDS[1:0]>で設定します。図 10-11 にセットアップサイクル挿入時のタイミング図を示します。

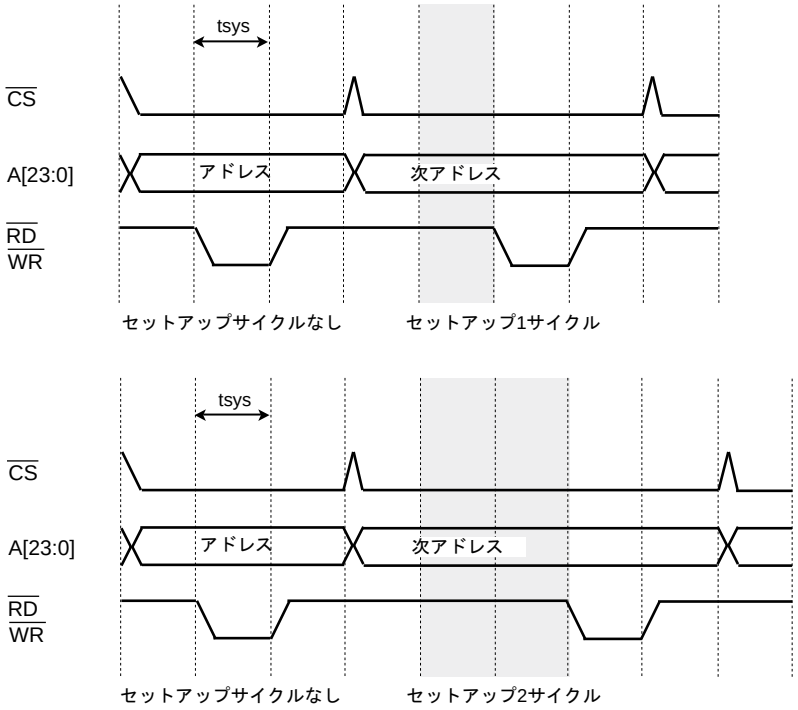


図 10-11 リード、ライトセットアップ挿入時のタイミング

10.7 外部バスオペレーション（マルチプレクスバスモード）

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、アドレス/データバスとして A23 ~ A16，AD15 ~ AD0 を設定したときのものを示しています。バスサイクル周期 tsys は、fsys 1 周期になります。

10.7.1 基本バスオペレーション

TMPM461F15/F10FG の外部バスサイクルは基本 4 クロックです。

図 10-12 にリードバスタイミングを、図 10-13 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化せず、ALE もラッチパルスを出力しません。またアドレス/データバスはハイインピーダンスになり RD、WR などの制御信号もアクティブになりません。

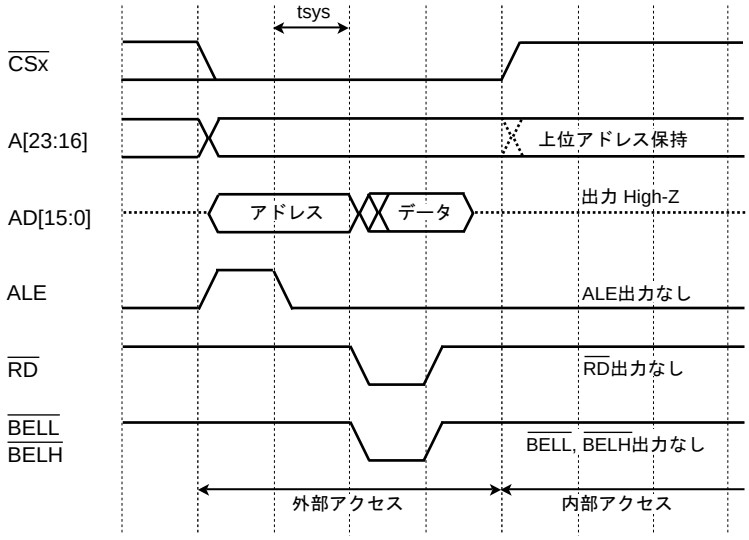


図 10-12 リードオペレーションタイミング

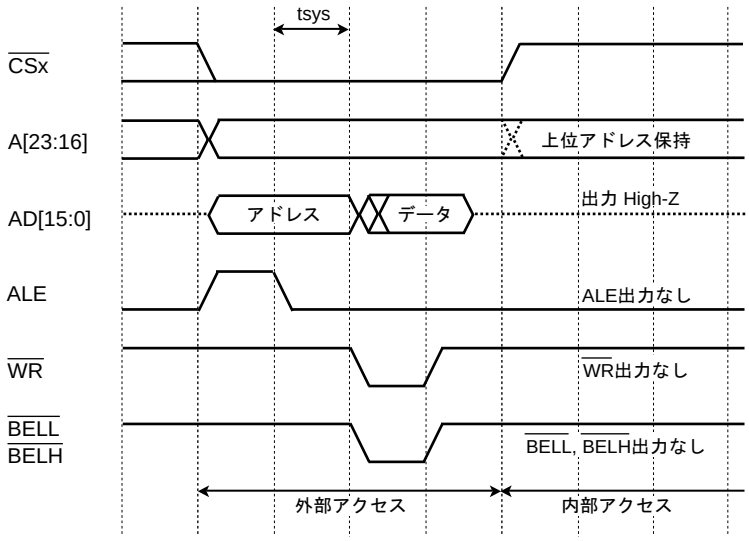


図 10-13 ライトオペレーションタイミング

10.7.2　ウェイト挿入

内部ウェイトコントローラによりチャネルごとにウェイトサイクルを挿入することができます。挿入できるウェイトは以下のとおりです。

- 最大 15 クロックまでの内部ウェイト(自動挿入)
- WAIT 信号による外部ウエイト

10.7.2.1　内部ウエイト

外部バスチップセレクトコントロールレジスタ EXBCSx<EXWAIT>を"0"に設定すると内部ウエイト機能となります。内部ウェイト数の設定は、EXBCSx の<CSIW>で設定します。

図 10-14、図 10-15 にマルチプレスクバス時の 0 ウェイト、内部 2 ウェイトを挿入した場合のリード、ライトタイミングを示します。

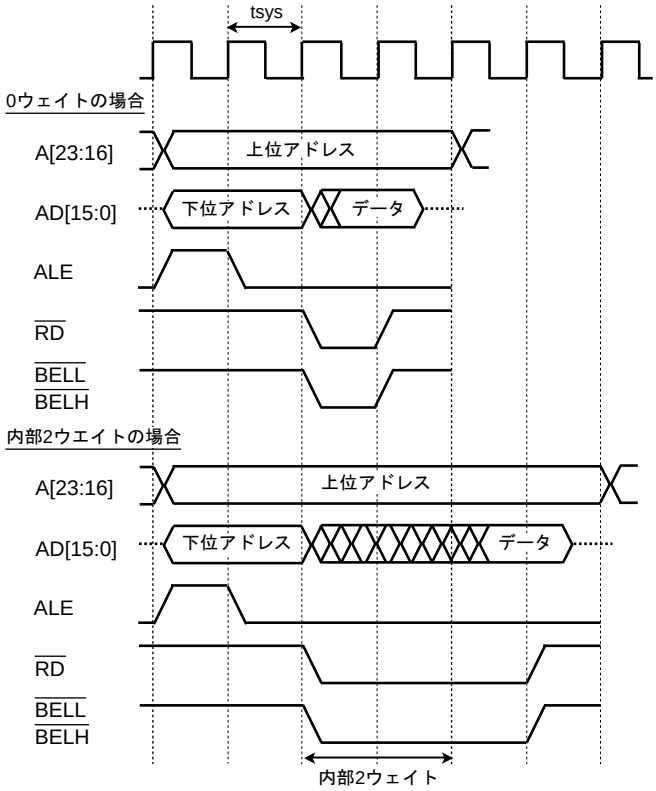


図 10-14 リードオペレーションタイミング

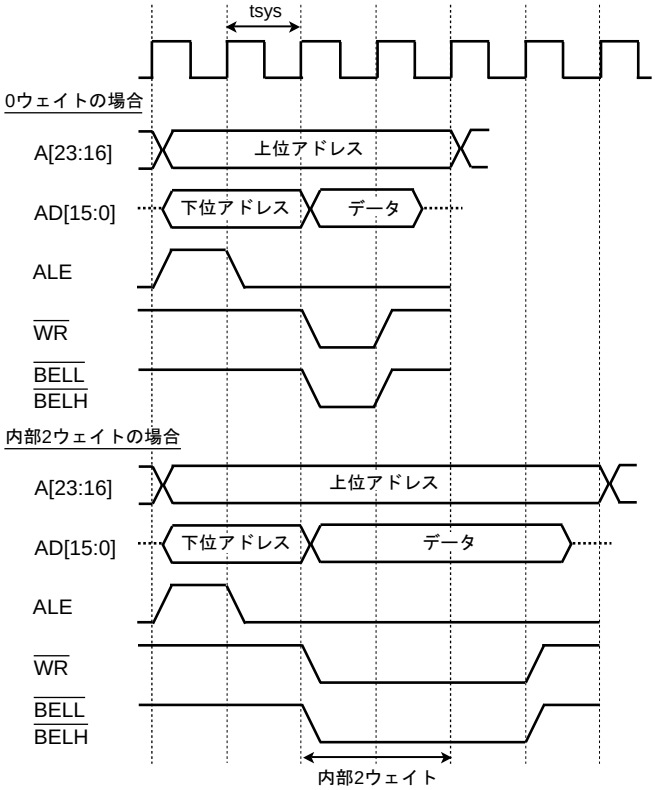


図 10-15 ライトオペレーションタイミング

10.7.2.2 外部ウエイト

EXBCSx<EXWAIT>を"1"に設定すると外部ウエイト機能となります。外部ウエイトは、内部ウエイトと WAIT 信号の組み合わせで使用します。

外部ウエイト設定時は、EXBCSx <CSIW>で設定した内部ウェイト経過後にバスサイクルクロックで WAIT 信号のサンプリング行い、信号が有効な間ウエイトサイクルを挿入します。外部ウエイトを使用する場合、内部ウエイトは 3 ウエイト以上を設定してください。

WAIT を、"Low"アクティブで使うか"High"アクティブで使うかは、EXBCSx<WRSEL>で設定します。WAIT 信号は、サンプリングタイミングの 2 サイクル以上前から入力してください。

図 10-16、図 10-17 に外部ウェイトを挿入したタイミング図を示します。WAIT 信号は、"Low"アクティブの場合を示しています。

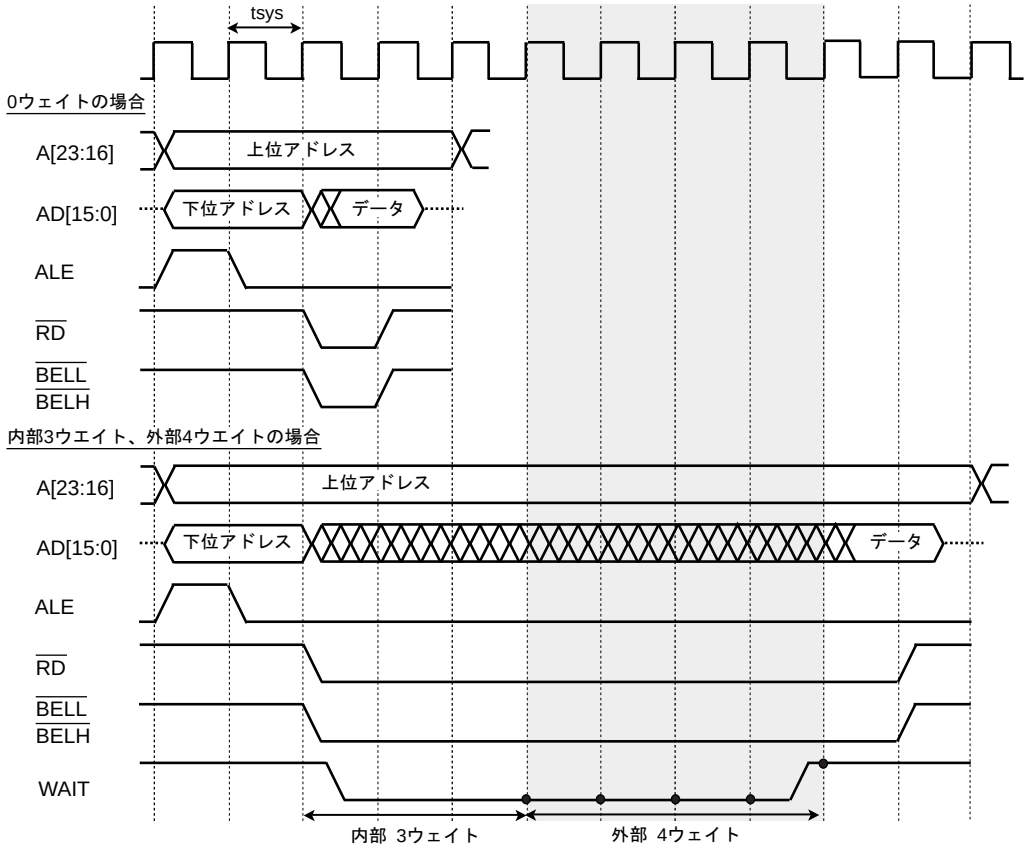


図 10-16 リードオペレーションタイミング(外部ウエイト)

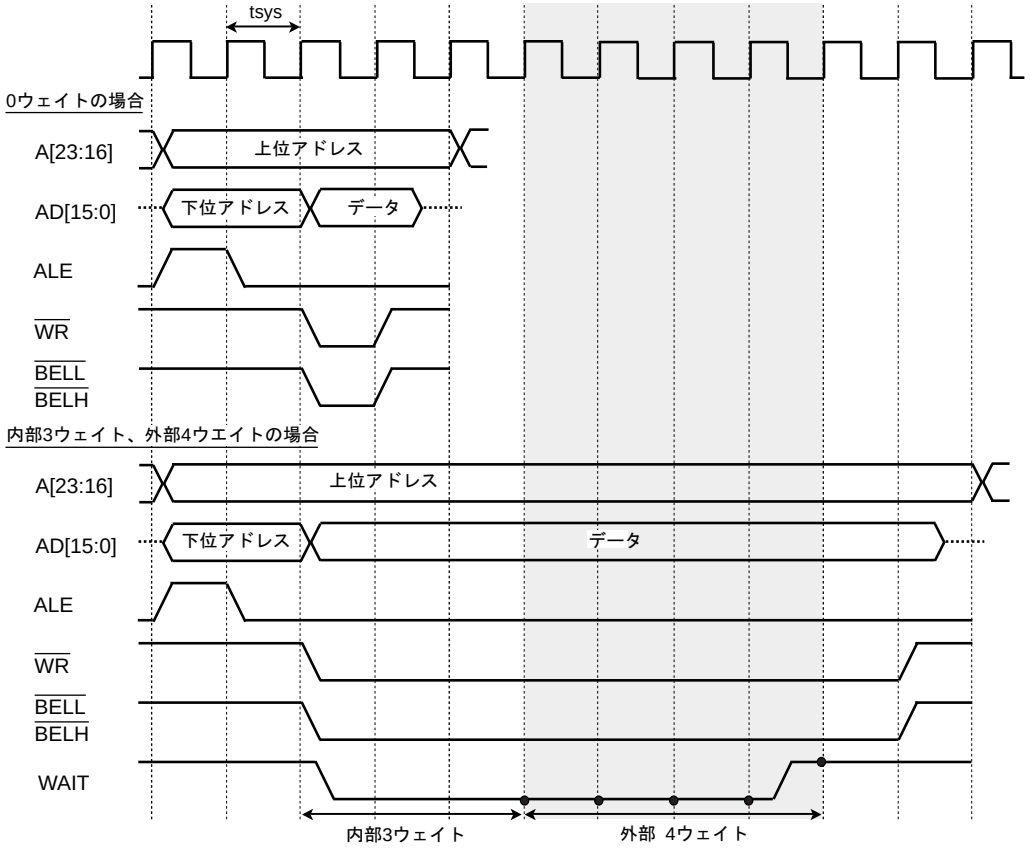


図 10-17 ライトオペレーションタイミング(外部ウエイト)

10.7.3　ALE アサート時間

ALE アサート時間は、1,2,3,5 システムクロックの中から選択できます。設定用のビットは外部バスチップセレクトコントロールレジスタ EXBCSx<ALEW>にあります。初期設定ではアドレス成立から 2 システムクロック（内部）後に $\overline{RD}$ または $\overline{WR}$ 信号がアサートされます。

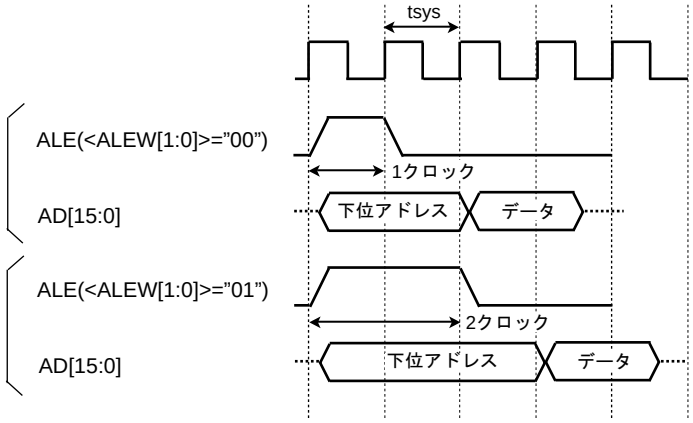


図 10-18 ALE のアサート時間

図 10-19 に ALE が 1 クロックのときと 2 クロックのときのタイミングを示します。

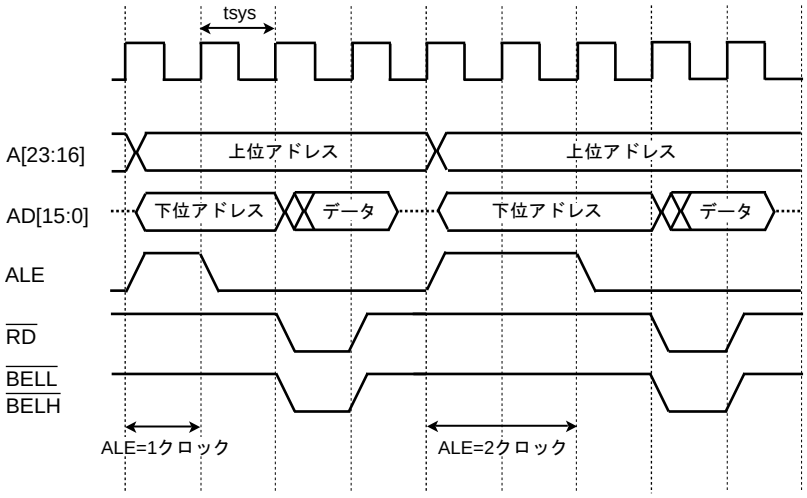


図 10-19 リードオペレーションタイミング (ALE1 クロックおよび 2 クロック)

10.7.4 リード、ライトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入については外部バスチップセレクトコントロールレジスタ EXBCSx<WRR[2:0]>（ライト・リカバリサイクル）、<RDR[2:0]>（リード・リカバリサイクル）で設定します。ダミーサイクル数はチャネルごとに、ダミーサイクル無し、1～6 システムクロック、および 8 システムクロックを指定することができます。図 10-20 にリカバリタイム挿入時のタイミング図を示します。

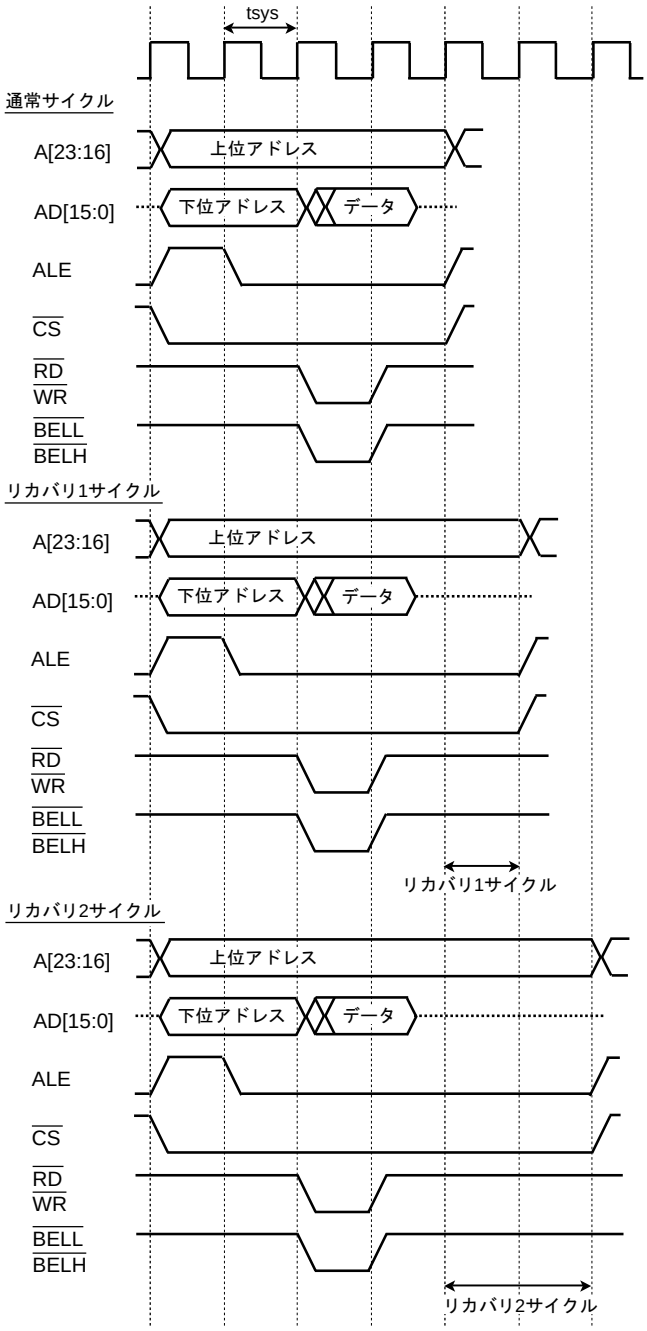


図 10-20 リカバリタイム挿入時のタイミング

10.7.5　チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入については外部バスチップセレクトコントロールレジスタ EXBCSx<CSR[1:0]>で設定します。ダミーサイクル数はチャネルごとに、ダミーサイクル無し、1、2 および 4 システムクロック（内部）を指定することができます。図 10-21 にリカバリタイム挿入時のタイミング図を示します。

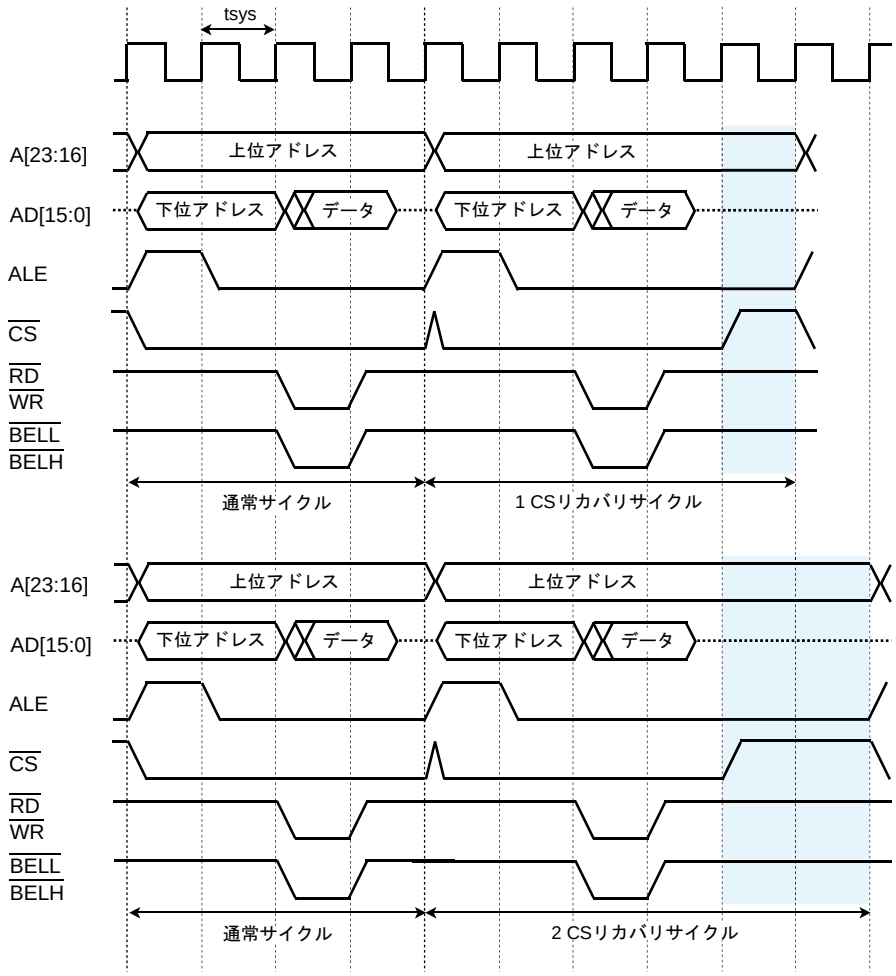


図 10-21 リカバリタイム挿入時のタイミング(ALE 幅:1 クロック)

10.7.6 リード、ライトセットアップサイクル

内部セットアップコントローラによりチャネルごとにセットアップサイクルを挿入することができます。挿入できるサイクルは以下となります。

- 最大 4 クロックまでの内部リード、ライトセットアップサイクル(自動挿入)

セットアップサイクル数の設定は、外部バスチップセレクトコントロールレジスタ EXBCSx の <WRS[1:0]>および<RDS[1:0]>で設定します。

図 10-22 にリード、ライトセットアップサイクル挿入時のタイミング図を示します。

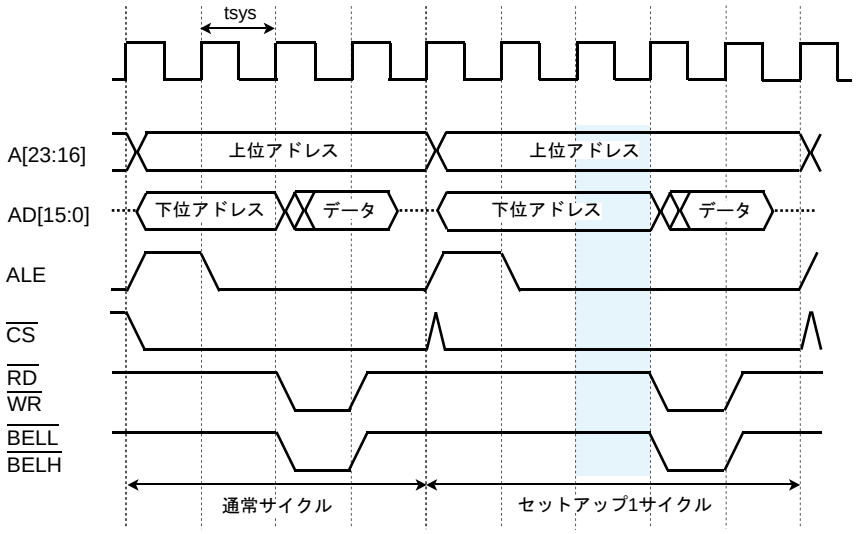


図 10-22 リード、ライトセットアップ挿入時のタイミング

10.8　外部メモリ接続例

10.8.1　非同期セパレートモードでの 16 ビット SRAM、NOR-Flash との接続例

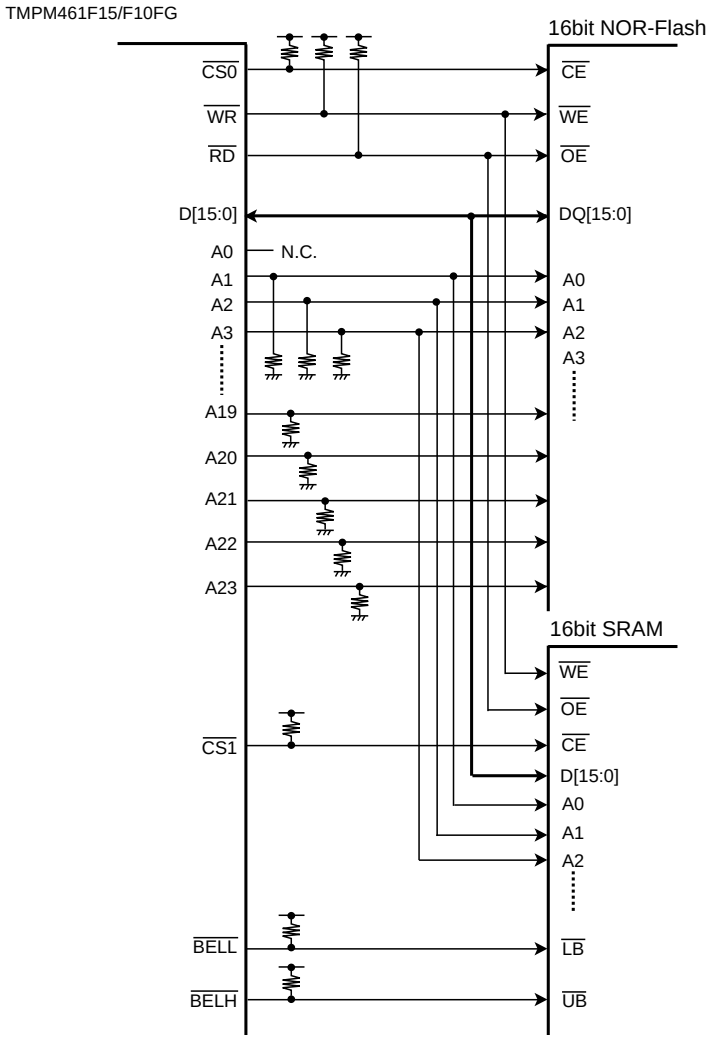


図 10-23 外部 16 ビット SRAM、NOR-Flash 接続例(非同期セパレートバス)

第 11 章　16 ビットタイマ/イベントカウンタ(TMRB)

11.1　概要

TMRB は、次の動作モードをもっています。

- インタバルタイマモード
- イベントカウンタモード
- プログラマブル矩形波出力 (PPG) モード
- プログラマブル矩形波出力 (PPG) 外部トリガ出力モード

また、キャプチャ機能を利用することで、次のような用途に使用することができます。

- 周波数測定
- パルス幅測定
- 時間差測定

11.2　構成

TMRB は、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (ダブルバッファ構造)、16 ビットのキャプチャレジスタ、コンパレータ、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

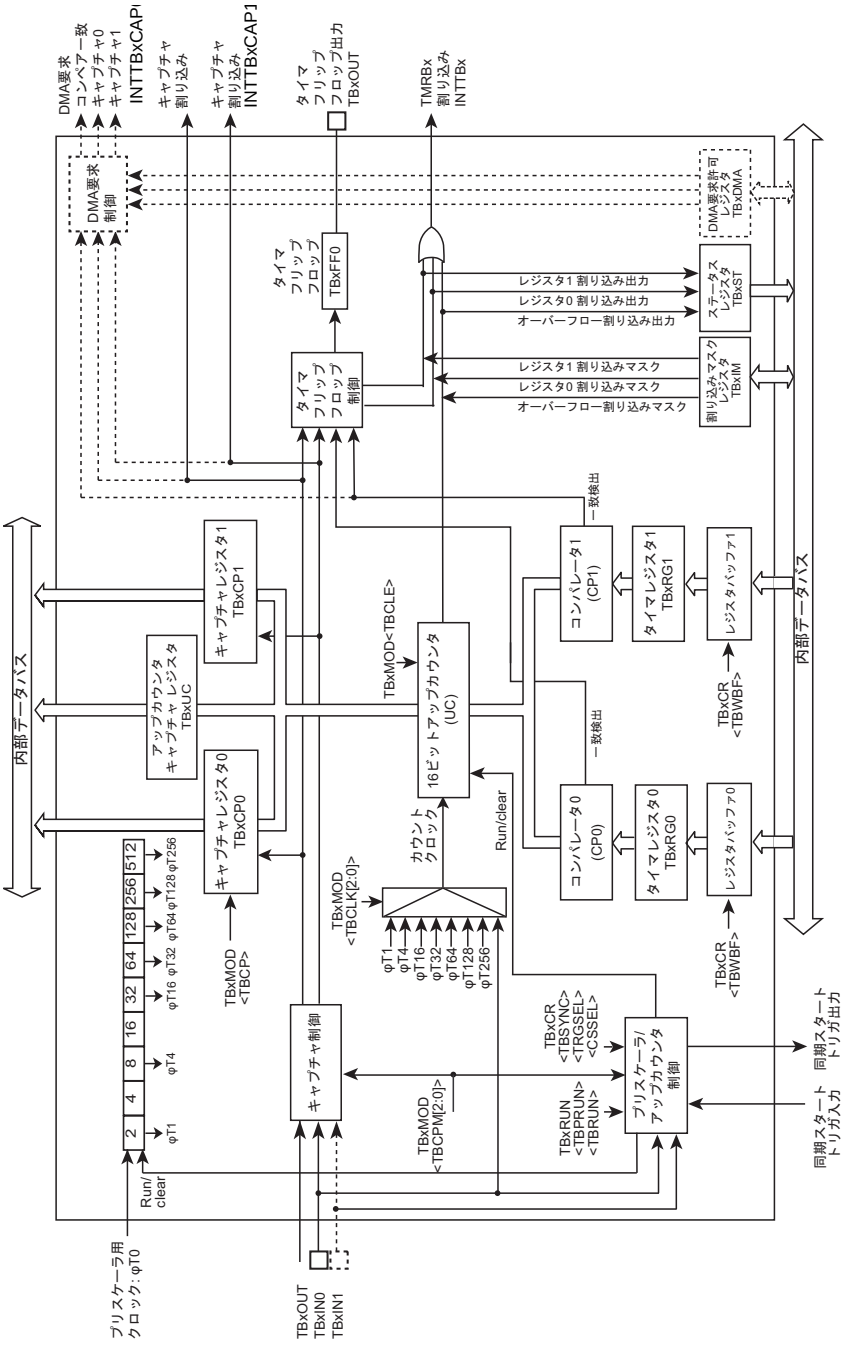


図 11-1 TMRB ブロック図

11.3 レジスタ説明

11.3.1 レジスター一覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
イネーブルレジスタ	TBxEN	0x0000
RUN レジスタ	TBxRUN	0x0004
コントロールレジスタ	TBxCR	0x0008
モードレジスタ	TBxMOD	0x000C
フリップフロップコントロールレジスタ	TBxFFCR	0x0010
ステータスレジスタ	TBxST	0x0014
割り込みマスクレジスタ	TBxIM	0x0018
アップカウンタキャプチャレジスタ	TBxUC	0x001C
タイマレジスタ 0	TBxRG0	0x0020
タイマレジスタ 1	TBxRG1	0x0024
キャプチャレジスタ 0	TBxCP0	0x0028
キャプチャレジスタ 1	TBxCP1	0x002C

注) タイマ動作中に、タイマコントロールレジスタ、タイマモードレジスタ、タイマフリップフロップコントロールレジスタの変更はできません。タイマを停止後に、上記レジスタの変更を実施してください。

11.3.2　TBxEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEN	TBHALT	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TBEN	R/W	TMRBx 動作 0: 禁止 1: 許可 TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です(この状態では、TBxEN レジスタ以外のレジスタへのリード、ライトはできません)。 TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可("1")にしてください。TMRB をいったん動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。
6	TBHALT	R/W	デバッグ HALT 中のクロック動作 0: 動作 1: 停止 デバッグツール使用時に HALT モードに遷移した場合、TMRB クロック動作/停止の設定を行います。
5-0	–	R	リードすると"0"が読めます。

11.3.3 TBxRUN(RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBPRUN	-	TBRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	TBPRUN	R/W	プリスケーラ動作 0: 停止&クリア 1: カウント
1	−	R	リードすると"0"が読めます。
0	TBRUN	R/W	カウンタ動作 0: 停止&クリア 1: カウント

11.3.4　TBxCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBWBF	-	TBSYNC	-	I2TB	-	TRGSEL	CSSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TBWBF	R/W	ダブルバッファ 0: 禁止 1: 許可
6	−	R/W	"0"をライトしてください。
5	TBSYNC	R/W	同期モード切替 0: 個別動作(チャネルごと) 1: 同期動作
4	−	R	リードすると"0"が読めます。
3	I2TB	R/W	IDLE 時の動作 0: 停止 1:動作
2	−	R/W	"0"を書いてください。
1	TRGSEL	R/W	外部トリガエッジ選択 0: 立ち上がり 1:立ち下がり 外部トリガ(TBxIN0)でのカウントスタート選択時のカウントスタートのエッジを選択します。
0	CSSEL	R/W	カウントスタート選択 0: ソフトスタート 1:外部トリガ

11.3.5 TBxMOD(モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	TBCPM		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	TBCP	-	-	TBCLE	TBCLK		
リセット後	0	1	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-11	−	R	リードすると"0"が読めます。
10-8	TBCPM[2:0]	R/W	TBxIN0 / 1 によるキャプチャタイミングとアップカウンタクリアタイミング設定 000: ディセーブル 001: TBxIN0↑ TBxIN1↑ TBxIN0 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、 TBxIN1 端子入力の立ち上がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込む 010: TBxIN0↑ TBxIN0↓ TBxIN0 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、 TBxIN0 端子入力の立ち下がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込む 011: TBxFF0↑ TBxFF0↓ TBxFF0 の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、TBxFF0 の立ち下がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込みます。 100:TBxIN1↑でアップカウンタクリア 101:TBxIN0↑でキャプチャレジスタ 0(TBxCP0)にカウント値を取り込み、TBxIN1↑でアップカウンタをクリアします。キャプチャタイミングとアップカウンタのクリアタイミングが同時だった場合、キャプチャが実行された後にアップカウンタのクリアが実行されます。 110 to 111:Reserved
7	−	R/W	"0"をライトしてください。
6	TBCP	W	ソフトウエアキャプチャ制御 0: ソフトキャプチャ 1: Don't care "0"を書き込むとキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込みます。 リードすると"1"が読めます。
5-4	−	R	リードすると"0"が読めます。
3	TBCLE	R/W	アップカウンタ制御 0: クリアディセーブル 1: クリアイネーブル アップカウンタのクリア制御を行います。 "0"でクリア禁止、"1"でタイマレジスタ 1 (TBxRG1)との一致時にクリアします。
2-0	TBCLK[2:0]	R/W	TMRBx のソースクロック選択 000: TBxIN0 端子入力 001: φT1 010: φT4 011: φT16 100: φT32 101: φT64 110: φT128 111: φT256

注)　TMRBx が動作中に、TBxMOD レジスタの設定変更を行わないでください。

11.3.6 TBxFFCR(フリップフロップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	TBC1T1	TBC0T1	TBE1T1	TBE0T1	TBFF0C	
リセット後	1	1	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-6	–	R	リードすると"1"が読めます。
5	TBC1T1	R/W	TBxCP1 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 1 (TBxCP1)に取り込まれたときにタイマフリップフロップを反転します。
4	TBC0T1	R/W	TBxCP0 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 0 (TBxCP0)に取り込まれたときにタイマフリップフロップを反転します。
3	TBE1T1	R/W	アップカウンタと TBxRG1 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 1 (TBxRG1)との一致時にタイマフリップフロップを反転します。
2	TBE0T1	R/W	アップカウンタと TBxRG0 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 0 (TBxRG0)との一致時にタイマフリップフロップを反転します。
1-0	TBFF0C[1:0]	R/W	TBxFF0 の制御 00: Invert TBxFF0 の値を反転(ソフト反転)します。 01: Set TBxFF0 を"1"にセットします。 10: Clear TBxFF0 を"0"にクリアします。 11: Don't care リードすると"11" が読めます。

11.3.7　TBxST(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	INTTBOF	INTTB1	INTTB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	INTTBOF	R	オーバフロー割り込み要求フラグ 0: オーバフローは発生していない 1: オーバフローが発生 アップカウンタのオーバフローが発生すると"1"がセットされます。
1	INTTB1	R	一致(TBxRG1)割り込み要求フラグ 0: 一致検出していない 1: TBxRG1 との一致を検出した タイマレジスタ 1 (TBxRG1)との一致を検出すると"1"がセットされます。
0	INTTB0	R	一致(TBxRG0)割り込み要求フラグ 0: 一致検出していない 1: TBxRG0 との一致を検出した タイマレジスタ 0 (TBxRG0)との一致を検出すると"1"がセットされます。

注 1)　TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。
注 2)　TBxIM でマスク設定されていない要因のみ、CPU に対し割り込み要求が出力されます。
注 3)　フラグをクリアするためには TBxST をリードしてしてください。

11.3.8 TBxIM(割り込みマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBIMOF	TBIM1	TBIM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	TBIMOF	R/W	オーバフロー割り込み要求マスク 0:割り込み要求をマスクしない 1:割り込み要求をマスクする アップカウンタのオーバフロー割り込みをマスクする／しないを設定します。
1	TBIM1	R/W	一致(TBxRG1)割り込み要求マスク 0:割り込み要求をマスクしない 1:割り込み要求をマスクする TBxRG1 との一致割り込み要求をマスクする／しないを設定します。
0	TBIM0	R/W	一致(TBxRG0)割り込み要求マスク 0:割り込み要求をマスクしない 1:割り込み要求をマスクする TBxRG0 との一致割り込み要求をマスクする／しないを設定します。

注) TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。

11.3.9　TBxUC(アップカウンタキャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBUC[15:0]	R	アップカウンタ値をキャプチャした値 カウンタ動作中に TBxUC をリードすると、アップカウンタの値をキャプチャします。

11.3.10 TBxRG0(タイマレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	TBRG0[15:0]	R/W	アップカウンタと比較する値を設定します。

11.3.11 TBxRG1(タイマレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	TBRG1[15:0]	R/W	アップカウンタと比較する値を設定します。

11.3.12　TBxCP0(キャプチャレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP0							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	TBCP0							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBCP0[15:0]	R	アップカウンタをキャプチャした値が読めます。

11.3.13　TBxCP1(キャプチャレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP1							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	TBCP1							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBCP1[15:0]	R	アップカウンタをキャプチャした値が読めます。

11.4 動作説明

11.4.1 プリスケーラ

アップカウンタのソースクロックを生成する 4 ビットのプリスケーラです。

プリスケーラへの入力クロック φT0 は CG 部の CGSYSCR<PRCK[2:0]> で選択した fperiph/1, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG 部の CGSYSCR<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは TBxRUN<TBPRUN> により動作/停止の設定をします。"1" をライトするとカウント開始し "0" をライトするとクリアされ停止します。

11.4.2 アップカウンタ(UC)

16 ビットのバイナリカウンタです。

11.4.2.1 ソースクロック

ソースクロックは TBxMOD<TBCLK[2:0]>で設定することができます。

プリスケーラ出力クロック φT1, φT4, φT16, φT32, φT64, φT128, φT256 または、TBxIN0 入力のいずれかを選択できます。

11.4.2.2 動作開始と停止

カウンタのスタート方法には、ソフトスタート、外部トリガスタート、同期スタートがあります。

1. ソフトスタート

   <TBRUN> に "1"を設定することでカウントを開始します。"0"でカウント停止と同時にアップカウンタのクリアを行います。

2. 外部トリガスタート

   外部トリガカウントスタートモードでは、外部信号でタイマのカウントスタートが可能となります。

   TBxCR<CSSEL>に"1"を設定することで外部トリガスタートモードとなります。この状態で、<TBRUN>に"1"を設定するとトリガ待ち状態となり、TBxIN0 の立ちあがりまたは立ち下がりでカウントを開始します。

   TBxCR<TRGSEL>ビットの設定により、外部トリガのエッジ切り替えを行います。

   - <TRGSEL> = "0"：TBxIN0 の立ち上がりエッジが選択されます。
   - <TRGSEL> = "1"：TBxIN0 の立ち下がりエッジが選択されます。

   <TBRUN> に "0"を設定することでカウント停止と同時にアップカウンタのクリアを行います。

3. 同期スタート

   タイマ同期モードでは、タイマ間のスタートの同期を取ることが可能となります。PPG 出力モードでタイマ同期モードを使用することによりモータなどの駆動に応用が可能です。

製品によってマスタとなるチャネルとスレーブとなるチャネルの組み合わせは決まっています。本製品でのマスタとスレーブの組み合わせは「製品情報」の章を参照ください。

TBxCR<TBSYNC>ビットの設定により、同期モードの切り替えを行います。スレーブチャネルの<TBSYNC>ビットに "1"を設定するとマスタチャネルのソフトウエアまたは外部トリガによるスタートに同期してカウント開始および停止します。スレーブチャネルの TBxRUN <TBPRUN, TBRUN>ビットの設定は不要です。マスタチャネルの<TBSYNC>ビットは"0"を設定してください。

なお、外部トリガカウントモードとタイマ同期モードが同時に設定されている場合は、タイマ同期モードが優先されます。

11.4.2.3　カウンタのクリア

アップカウンタは以下のタイミングでクリアされます。

1. TBxRG1 との一致時

   TBxMOD<TBCLE> = "1"に設定することで、アップカウンタと TBxRG1 との一致でカウンタをクリアをすることができます。TBxMOD<TBCLE> = "0"に設定するとカウンタはフリーランニングカウンタとして動作します。

2. アップカウンタ停止時

   TBxRUN<TBRUN> = "0"に設定すると、アップカウンタが停止するとともにクリアされます。

3. TBxIN1 の立ち上がり

   TBxMOD<TBCPM[2:0]>が"100"または"101"のとき、TBxIN1 の立ち上がりでアップカウンタがクリアされます。

11.4.2.4　オーバフロー

アップカウンタがオーバフローすると、オーバフロー割り込み INTTBx が発生します。

11.4.3　タイマレジスタ(TBxRG0, TBxRG1)

アップカウンタと比較する値を設定するレジスタで、2 本内蔵されています。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致するとコンパレータが一致検出信号を出力します。

TBxRG0/1 はダブルバッファ構成になっており、タイマレジスタはレジスタバッファとペアになっています。初期状態では、ダブルバッファはディセーブルです。

ダブルバッファのイネーブル/ディセーブル制御は TBxCR<TBWBF> によって行います。<TBWBF> = "0" のときディセーブル、 <TBWBF> = "1" のときイネーブルとなります。ダブルバッファイネーブル時、アップカウンタと TBxRG1 との一致時にレジスタバッファ 0/1 からタイマレジスタ TBxRG0/1 へデータ転送が行われます。また、 ダブルバッファがイネーブルでもカウンタが停止しているときはシングルバッファ動作となり、TBxRG0/1 に直接値が書き込まれます。

11.4.4　キャプチャ制御

アップカウンタの値をキャプチャレジスタ TBxCP0、TBxCP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TBxMOD<TBCPM[2:0]>で設定します。

また、ソフトウエアによってもアップカウンタの値をキャプチャレジスタへ取り込むことができます。TBxMOD<TBCP> に "0" を書き込むたびに、その時点のアップカウンタの値をキャプチャレジスタ TBxCP0 へキャプチャします。

11.4.5 キャプチャレジスタ(TBxCP0, TBxCP1)

アップカウンタの値をキャプチャするレジスタです。

11.4.6 アップカウンタキャプチャレジスタ(TBxUC)

カウンタ動作中に TBxUC レジスタをリードすると、アップカウンタの現在のカウント値がキャプチャされその値が読みだされます。カウント停止中は最後にキャプチャした値が保持されます。

11.4.7 コンパレータ(CP0, CP1)

アップカウンタと、タイマレジスタ TBxRG0, TBxRG1 への設定値とを比較し、一致を検出します。一致すると、INTTBx を発生します。

11.4.8 タイマフリップフロップ(TBxFF0)

タイマフリップフロップ (TBxFF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TBxFFCR<TBC1T1, TBC0T1, TBE1T1, TBE0T1> によって設定できます。

リセット後、TBxFF0 の値は不定となります。TBxFFCR<TBFF0C[1:0]>に "00" を書き込むことで反転、"01" を書き込むことで "1" にセット、"10" を書き込むことで "0" にクリアされます。

TBxFF0 の値は、タイマ出力端子 TBxOUT 端子へ出力することができます。タイマ出力を行う場合、あらかじめ該当するポートの設定を行ってください。

11.4.9 キャプチャ割り込み(INTTBxCAP0, INTTBxCAP1)

キャプチャレジスタ TBxCP0, TBxCP1 にアップカウンタの値をラッチするタイミングで割り込み INTTBxCAP0, INTTBxCAP1 をそれぞれ発生します。

11.5　モード別動作説明

11.5.1　インタバルタイマモード

一定周期の割り込みを発生させる場合、タイマレジスタ TBxRG1 にインタバル時間を設定することで INTTBx 割り込みを発生します。

TBxEN<TBEN> = "1"	TMRBx を起動します。
TBxRUN<TBPRUN><TBRUN> = "00"	プリスケーラとカウンタ動作を停止します。
INTTBx 割り込み許可	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxFFCR<TBC1T1><TBC0T1><TBE1T1><TBE0T1> = "0000"	TBxFF0 を TBxRG0, TBxRG1 との一致検出と TBxCP0, TBxCP1 の取り込みで反転しないように設定します。
TBxMOD<TBCPM[2:0]> = "000" TBxMOD<TBCP> = "1" TBxMOD<TBCLE> = "0" TBxMOD<TBCLK[2:0]> = "***" (*** = "001" ~ "111")	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能ディセーブルにします。
TBxRG1 = 0x****	インタバル時間を設定します。
TBxRUN<TBPRUN><TBRUN> = "11"	プリスケーラとカウンタ動作を起動します。

注)　*; 任意の値

11.5.2　イベントカウンタモード

入力クロックを外部クロック(TBxIN0 端子入力)にすることでイベントカウンタにすることができます。

アップカウンタは TBxIN0 端子入力の立ち上がりエッジでカウントアップします。ソフトウエアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

TBxEN<TBEN> = "1"	TMRBx を起動します。
TBxRUN<TBPRUN><TBRUN> = "00"	プリスケーラとカウンタ動作を停止します。
該当ポートを TBxIN0 に割り付けます。	
TBxFFCR<TBC1T1><TBC0T1><TBE1T1><TBE0T1> = "0000"	TBxFF0 を TBxRG0, TBxRG1 との一致検出と TBxCP0, TBxCP1 の取り込みで反転しないように設定します。
TBxMOD<TBCPM[2:0]> = "000" TBxMOD<TBCP> = "1" TBxMOD<TBCLE> = "0" TBxMOD<TBCLK[2:0]> = "000"	入力クロックを TBxIN0 にします。。
TBxRUN<TBPRUN><TBRUN> = "11"	プリスケーラとカウンタ動作を起動します。
TBxMOD<TBCP> = "0"	ソフトウエアキャプチャを行います。

注)　*; 任意の値

11.5.3 PPG (プログラマブル矩形波)出力モード

任意周波数、任意デューティの矩形波を出力することができます。出力パルスは、ローアクティブ、ハイアクティブどちらでも可能です。

アップカウンタ とタイマレジスタ (TBxRG0, TBxRG1) への設定値との一致によりタイマフリップフロップ (TBxFF0) に反転トリガをかけることで、プログラマブル矩形波を TBxOUT 端子より出力することができます。

ただし、TBxRG0 と TBxRG1 の設定値は次の条件を満たす必要があります。

TBxRG0 設定値 < TBxRG1 設定値

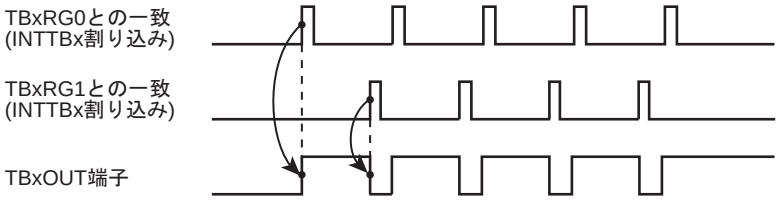


図 11-2 プログラマブル矩形波(PPG)出力波形例

16 ビット PPG モードでは、ダブルバッファをイネーブルにすることにより、アップカウンタと TBxRG1 との一致で、レジスタバッファ 0/1 の値が TBxRG0/1 へ転送されます。

これにより、TBxRG0/1 の更新タイミングを意識しないで、周波数、デューティを変更することができます。

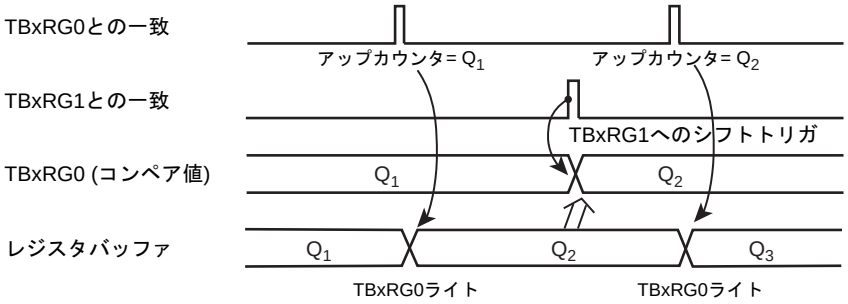


図 11-3 レジスタバッファの動作

このモードのブロック図を示します。

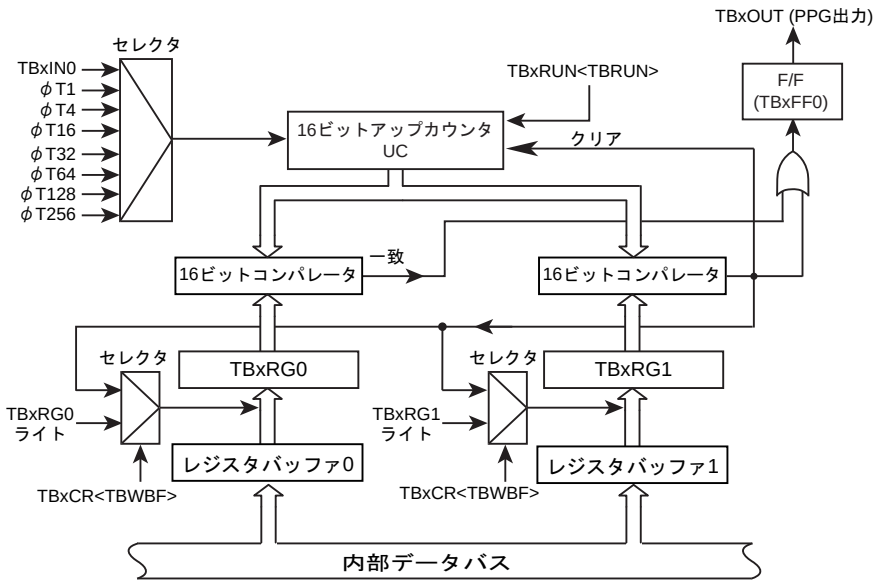


図 11-4 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

TBxEN<TBEN> = "1"	TMRBx を起動します。
TBxRUN<TBPRUN><TBRUN> = "00"	プリスケーラとカウンタ動作を停止します。
TBxCR<TBWBF> = "1"	ダブルバッファをイネーブルします。
TBxRG0 = 0x****	デューティを設定します。
TBxRG1 = 0x****	周期を設定します。
TBxFFCR<TBC1T1><TBC0T1><TBE1T1><TBE0T1> = "0011" TBxFFCR<TBFF0C[1:0]> = "10"	TBxFF0 を TBxRG0, TBxRG1 との一致検出で反転するように設定します。TBxFF0 を TBxCP0, TBxCP1 の取り込みで反転しないように設定します。また、TBxFF0 の初期値を "0" にします。
TBxMOD<TBCPM[2:0]> = "000" TBxMOD<TBCP> = "1" TBxMOD<TBCLE> = "1" TBxMOD<TBCLK[2:0]> = "***" (*** = "001" ~ "111")	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能ディセーブルにします。
該当ポートを TBxOUT に割り付けます。	
TBxRUN<TBPRUN><TBRUN> = "11"	プリスケーラとカウンタ動作を起動します。

注)　*; 任意の値

11.5.4 プログラマブル矩形波(PPG)外部トリガ出力モード

PPG(プログラマブル矩形波)出力モードを外部トリガカウントスタートモードで動作させることで、ソフトウエアでは処理が間に合わない短いディレイタイムの PPG 波形を出力することができます。

外部トリガカウントスタートを使用したワンショットパルス出力(ディレイあり）の例を以下に示します。

16 ビットアップカウンタが停止している状態で、TBxIN0 端子の立ち上がりでカウントアップするように TBxCR<CSSEL>を"1"に TBxCR<TRGSEL>を"0"に設定しておきます。

TBxRG0 には、外部トリガからのディレイタイム(d)を設定します。TBxRG1 にはディレイタイム(d)とワンショットパルスの幅(p)を加算した値(d)+(p)を設定します。

TBxFF0 をアップカウンタと TBxRG0/1 との一致で反転するように TBxFFCR<TBE1T1>、<TBE0T1>を"1"にセットします。

TBxRUN<TBPRUN>、<TBRUN>を"1"にセットし、アップカウンタをスタートできる状態にします。

この状態で、TBxIN0 に外部トリガパルスが入力されると、外部トリガパルスの立ち上がりで、アップカウンタがスタートします。アップカウンタの値が(d)になると TBxRG0 と一致し、TBxFF0 が反転、"High"レベルになります。アップカウンタの値が(d)+(p)になると TBxRG1 と一致し、TBxFF0 が反転、"Low"レベルになります。

アップカウンタの値が TBxRG1 と一致したときに発生する INTTBx で TBxFF0 が変化しないように TBxFFCR<TBE1T1>、<TBE0T1>を"0"にクリアするか、TBxRUN<TBPRUN><TBRUN>でアップカウンタの動作を停止します。

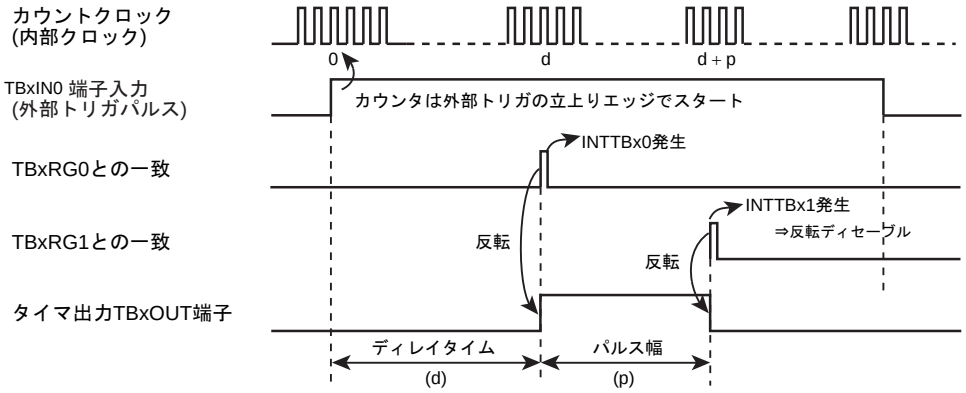


図 11-5 外部トリガカウントスタートを使用したワンショットパルス出力(ディレイあり)

TBxIN0 端子の立ち上がりをトリガとして、3ms 後に 2ms 幅のワンショットパルスを出力する場合の設定例を以下に示します。ここではソースクロックに φT1 を使用しています。

[メイン処理]	
該当ポートを TBxIN0 に割り付けます。	
TBxEN<TBEN> = "1"	TMRBx を起動します。
TBxRUN<TBPRUN><TBRUN> = "00"	プリスケーラとカウンタ動作を停止します。
TBxRG0 = 0x****	カウンタ値を設定します。(3ms/ϕT1
TBxRG1 = 0x****	周期を設定します。((3+2)ms/ϕT1)
TBxFFCR<TBC1T1><TBC0T1><TBE1T1><TBE0T1> = "0011" TBxFFCR<TBFF0C[1:0]> = "10"	TBxFF0 を TBxRG0, TBxRG1 との一致検出で反転するように設定します。TBxFF0 を TBxCP0, TBxCP1 の取り込みで反転しないように設定します。また、TBxFF0 の初期値を "0" にします。
TBxMOD<TBCPM[2:0]> = "000" TBxMOD<TBCP> = "1" TBxMOD<TBCLE> = "1" TBxMOD<TBCLK[2:0]> = "001"	ソースクロックを ϕT1 にします。キャプチャ機能ディセーブルにします。
該当ポートを TBxOUT に割り付けます。	
TBxIM<TBIMOF><TBIM1><TBIM0> = "101"	TBxRG1 との一致割り込み以外をマスクします。
割り込みイネーブルセットレジスタ = 0x********	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN<TBPRUN><TBRUN> = "11"	プリスケーラとカウンタ動作を起動します。
[INTTBx 割り込みサービスルーチンでの処理]	
TBxFFCR<TBE1T1><TBE0T1> = "00"	TBxFF0 反転トリガ設定をディセーブルにします。
TBxRUN<TBPRUN><TBRUN> = "00"	プリスケーラとカウンタ動作を停止します。

注)　*; 任意の値

11.6 キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより、多くの応用が可能です。

以下にキャプチャを利用した応用例を示します。

1. 周波数測定
2. パルス幅測定
3. 時間差測定

11.6.1 周波数測定

外部から入力されるクロックの周波数測定を行う例を示します。

ここでは TMRBm を 16 ビットインタバルタイマで、TMRBn を 16 ビットイベントカウンタモードで使用します。

TMRBn の 16 ビットアップカウンタを外部から入力されるクロックでフリーランニングでカウントアップさせておくため、TBnMOD<TBCLK>を"000"に、TBnRUN<TBPRUN>、<TBRUN>を"1"に設定します。

TBmFF0 が TBmRG0/1 と一致したときに反転するように TBmFFCR<TBE1T1>、<TBE0T1>を"1"に設定します。

TBmFF0 の立ち上がりで TBnCP0 にアップカウンタの値を取り込み、TBmFF0 の立ち下がりで TBnCP1 でアップカウンタの値を取り込むように TBnMOD<TBCPM[2:0]>を"011"に設定します。

TBmRG0 と TBmRG1 に外部クロック数をカウントする測定時間を設定し、TMRBm を動作させます。

TMRBm のアップカウンタが TBmRG0 と一致すると TBmFF0 が立ち上がり、TBnCP0 に TMRBn のアップカウンタの値が取り込まれます。また、TMRBm のアップカウンタが TBmRG1 と一致すると TBmFF0 が立ち下がり、TBnCP1 に TMRBn のアップカウンタの値が取り込まれます。

周波数は INTTBm で、(TBnCP1-TBnCP0)を TBmRG1 と TBmRG0 の時間差で割ることで求めます。

例えば、TBmRG1 と TBmRG0 の時間差が 0.5 s で、TBnCP0 と TBnCP1 の差が 100 であれば、周波数は 100 ÷ 0.5 s = 200 Hz となります。

TBmFF0 の変化タイミングにより、TBnCP1-TBnCP0 がマイナスになることがあります。TBnCP1-TBnCP0 の値に合わせて補正を行ってください。

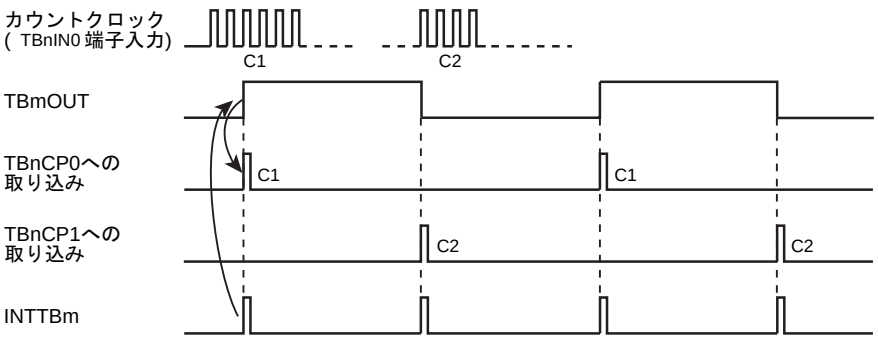


図 11-6 周波数測定

TBnIN0 端子に周波数測定を行うパルスを入力した場合の設定例を以下に示します。ここではソースクロックに φT1 を使用しています。

[メイン処理] TBmFF0 でのキャプチャ設定	
該当ポートを TBnIN0 に割り付けます。	
TBmEN<TBEN> = "1"	TMRBm モジュールを起動します。
TBmRUN<TBPRUN><TBRUN> = "00"	プリスケーラとカウンタ動作を停止します。
TBnEN<TBEN> = "1"	TMRBn モジュールを起動します。
TBnRUN<TBPRUN><TBRUN> = "00"	プリスケーラとカウンタ動作を停止します。
TBmCR<TBWBF> = "1"	ダブルバッファをイネーブルします。
TBmRG0 = 0x****	外部クロック測定時間 1 を設定します。
TBmRG1 = 0x****	外部クロック測定時間 2 を設定します。
TBmFFCR<TBC1T1><TBC0T1><TBE1T1><TBE0T1> = "0011" TBmFFCR<TBFF0C[1:0]> = "10"	TBmFF0 を TBmRG0, TBmRG1 との一致検出で反転するように設定します。TBmFF0 を TBmCP0, TBmCP1 の取り込みで反転しないように設定します。また、TBmFF0 の初期値を "0" にします。
TBnMOD<TBCPM[2:0]> = "011" TBnMOD<TBCP> = "1" TBnMOD<TBCLE> = "0" TBnMOD<TBCLK[2:0]> = "000"	TBmFF0 の立ち上がり/立ち下がりでアップカウンタの内容を取り込み、アップカウンタのクリアディセーブル、入力クロックを TBnIN0 にします。
TBmIM<TBIMOF><TBIM1><TBIM0> = "101"	TBmRG1 との一致割り込み以外をマスクします。
割り込みイネーブルセットレジスタ = 0x********	INTTBm 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBmRUN<TBPRUN><TBRUN> = "11"	プリスケーラとカウンタ動作を起動します。
TBnRUN<TBPRUN><TBRUN> = "11"	プリスケーラとカウンタ動作を起動します。
[INTTBm 割り込みサービスルーチンでの処理]	
TBmFFCR<TBE1T1><TBE0T1> = "00"	TBmFF0 反転トリガ設定をディセーブルにします。
割り込みイネーブルクリアレジスタ = 0x********	INTTBm 割り込みに対応するビットを"1"にし、割り込みを禁止します。
TBnCP0/1 を読み出し、周波数を計算します。	

注)　m, n; 任意のチャネル番号、*; 任意の値

11.6.2 パルス幅測定

外部から入力されるパルスの"High"レベル幅測定を行う例を示します。

TBxIN0 端子の立ち上がりでアップカウンタの値を TBxCP0 に、立ち下がりで TBxCP1 に取り込むように TBxMOD<TBCPM[2:0]>を"010"に設定します。

割り込み INTTBxCAP1 を許可しておきます。

TMRBx を動作させます。

TBxIN0 端子に外部パルスの立ち上がりが入力されると、TBxCP0 にアップカウンタの値が取り込まれます。TBxIN0 端子に外部パルスの立ち下がりが入力されると TBxCP1 にアップカウンタの値が取り込まれるとともに割り込み INTTBxCAP1 が発生します。

割り込みサービスルーチンの中で TBxCP1 と TBxCP0 の差を求め、プリスケーラ出力クロックの周期をかけることで、外部パルスの"High"レベル幅を求めることができます。

例えば TBxCP0 と TBxCP1 の差が 100 で、プリスケーラ出力クロックの周期が 0.5 μs であれば、パルス幅は、100 × 0.5 μs = 50 μs となります。

なお、アップカウンタの最大カウント時間を越えるパルス幅の測定を行う場合は、補正を行ってください。

また、外部パルスの"Low"レベル幅を測定することもできます。この場合、割り込み INTTBxCAP0 も許可し、「図 11-7 パルス幅測定」における、2 回目の INTTBxCAP0 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケーラ出力クロックの周期をかけることにより、求めることができます。

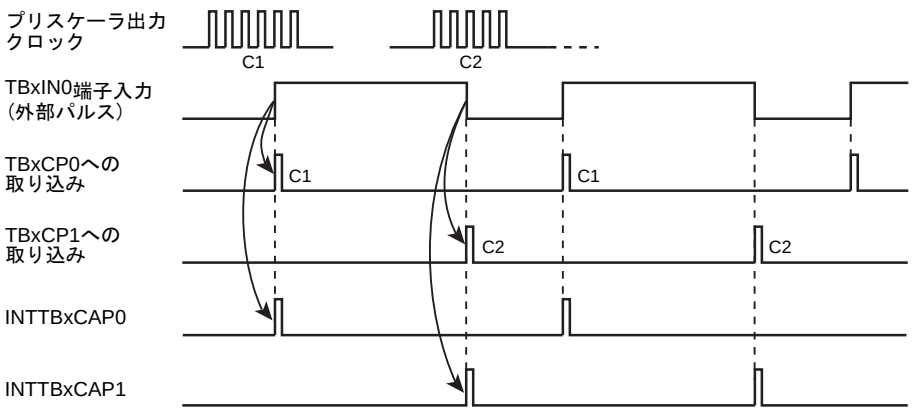


図 11-7 パルス幅測定

TBxIN0 端子に入力される外部パルスの"High"レベル幅を測定する例を以下に示します。ここではソースクロックに φT1 を使用しています。

[メイン処理] TBxIN0 でのキャプチャ設定	
該当ポートを TBxIN0 に割り付けます。	
TBxEN<TBEN> = "1"	TMRBx を起動します。
TBxRUN<TBPRUN><TBRUN> = "00"	プリスケーラとカウンタ動作を停止します。
TBxFFCR<TBC1T1><TBC0T1><TBE1T1><TBE0T1> = "0000" TBxFFCR<TBFF0C[1:0]> = "10"	TBxFF0 を TBxRG0, TBxRG1 との一致検出と TBxCP0, TBxCP1 の取り込みで反転しないように設定します。また、TBxFF0 の初期値を "0" にします。
TBxMOD<TBCPM[2:0]> = "010" TBxMOD<TBCP> = "1" TBxMOD<TBCLE> = "0" TBxMOD<TBCLK[2:0]> = "001"	ソースクロックを φT1 にし、TBxIN0 端子への立ち上がりで TBxCP0 へ、TBxIN0 端子への立ち下がりで TBxCP1 へアップカウンタ値を取り込みます。
割り込みイネーブルセットレジスタ = 0x********	INTTBxCAP1 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN<TBPRUN><TBRUN> = "11"	プリスケーラとカウンタ動作を起動します。
[INTTBxCAP1 割り込みサービスルーチンでの処理]　"High"レベル幅を計算する	
TBxFFCR<TBE1T1><TBE0T1> = "00"	TBxFF0 反転トリガ設定をディセーブルにします。
割り込みイネーブルクリアレジスタ = 0x********	INTTBxCAP1 割り込みに対応するビットを"1"にし、割り込みを禁止します。
TBxRG0/1 の値を読み出し、"High"レベル幅を計算します。	

注)　*; 任意の値

11.6.3　時間差測定

外部から入力される 2 つのパルスの時間差を測定する例を示します。

TBxIN0 端子の立ち上がりでアップカウンタの値を TBxCP0 に取り込み、TBxIN1 の端子の立ち上がりでアップカウンタの値を TBxCP1 に取り込むように、TBxMOD<TBCPM[2:0]>を"001"に設定します。

また、TBxCP1 への取り込みタイミングで割り込み INTTBxCAP1 を発生するように設定します。

TMRBx を動作させます。

時間差は、INTTBxCAP1 のサービスルーチンで、TBxCP1 から TBxCP0 を引いた値に、プリスケーラ出力クロックの周期をかけて求めることができます。TBxIN0 端子、TBxIN1 端子に入力されるパルスのタイミングによっては、TBxCP1-TBxCP0 がマイナスになることがあります。TBxCP1-TBxCP0 の値に合わせて補正を行ってください。

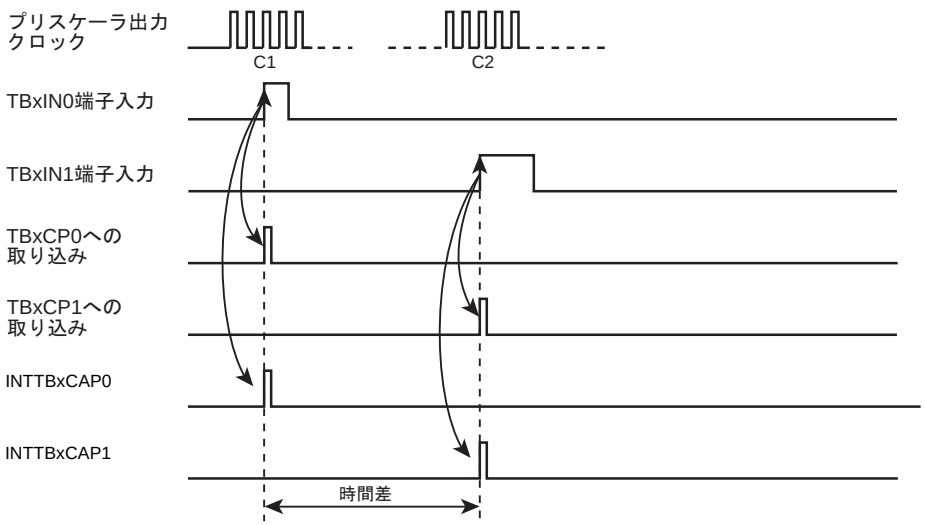


図 11-8 時間差測定

TBxIN0 端子と TBxIN1 に入力される外部パルスの時間差を測定する例を以下に示します。ここではソースクロックに φT1 を使用しています。

[メイン処理] TBxIN0 でのキャプチャ設定	
該当ポートを TBxIN0 に割り付けます。	
TBxEN<TBEN> = "1"	TMRBx を起動します。
TBxRUN<TBPRUN><TBRUN> = "00"	プリスケーラとカウンタ動作を停止します。
TBxFFCR<TBC1T1><TBC0T1><TBE1T1><TBE0T1> = "0000" TBxFFCR<TBFF0C[1:0]> = "10"	TBxFF0 を TBxRG0, TBxRG1 との一致検出と TBxCP0, TBxCP1 の取り込みで反転しないように設定します。また、TBxFF0 の初期値を "0" にします。
TBxMOD<TBCPM[2:0]> = "001" TBxMOD<TBCP> = "1" TBxMOD<TBCLE> = "0" TBxMOD<TBCLK[2:0]> = "001"	ソースクロックを φT1 にし、TBxIN0 端子への立ち上がりで TBxCP0 へ、TBxIN1 端子への立ち上がりで TBxCP1 へアップカウンタ値を取り込みます。
割り込みイネーブルセットレジスタ = 0x********	INTTBCAPx1 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN<TBPRUN><TBRUN> = "11"	プリスケーラとカウンタ動作を起動します。
[INTCAPx1 割り込みサービスルーチンでの処理]　パルスの時間差を計算する。	
TBxFFCR<TBE1T1><TBE0T1> = "00"	TBxFF0 反転トリガ設定をディセーブルにします。
割り込みイネーブルクリアレジスタ = 0x********	INTTBCAPx1 割り込みに対応するビットを"1"にし、割り込みを禁止します。
TBxRG0/1 の値を読み出し、パルスの時間差を計算します。	

注)　*; 任意の値

第 12 章　16 ビット多目的タイマ(MPT)

12.1　概要

MPT は、下記の動作モードをもっています。

1. タイマモード
   - 16 ビットインタバルタイマモード
   - 16 ビットイベントカウンタモード
   - 16 ビットプログラマブル矩形波出力 (PPG、1 出力) モード
   - パルス幅測定(キャプチャ)

2. IGBT モード
   - 16 ビットプログラマブル矩形波出力 (PPG、2 出力) モード
   - 外部トリガスタート
   - 周期一致検出
   - 緊急停止機能
   - 同期スタートモード

12.2　構成

MPT はタイマ、IGBT のモジュールで構成されています。

各モジュールはレジスタによって切り替えて使用されます。

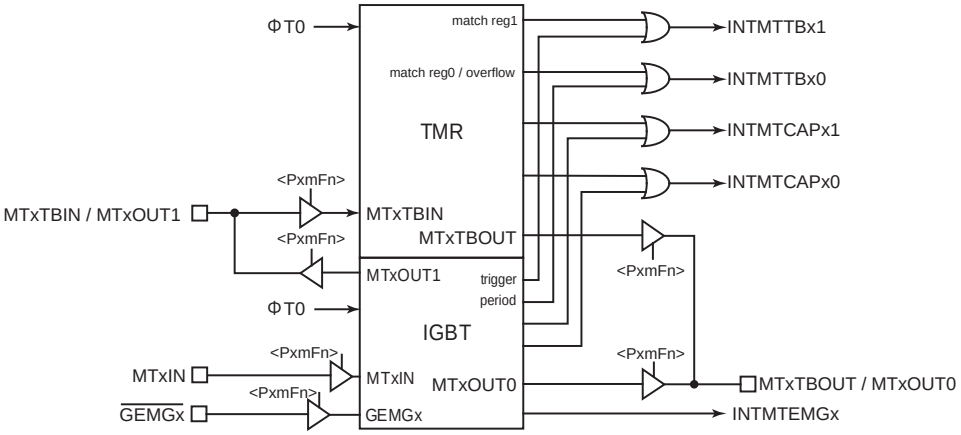


図 12-1 MPTx ブロック図

12.3 タイマモードの動作説明

12.3.1 構成

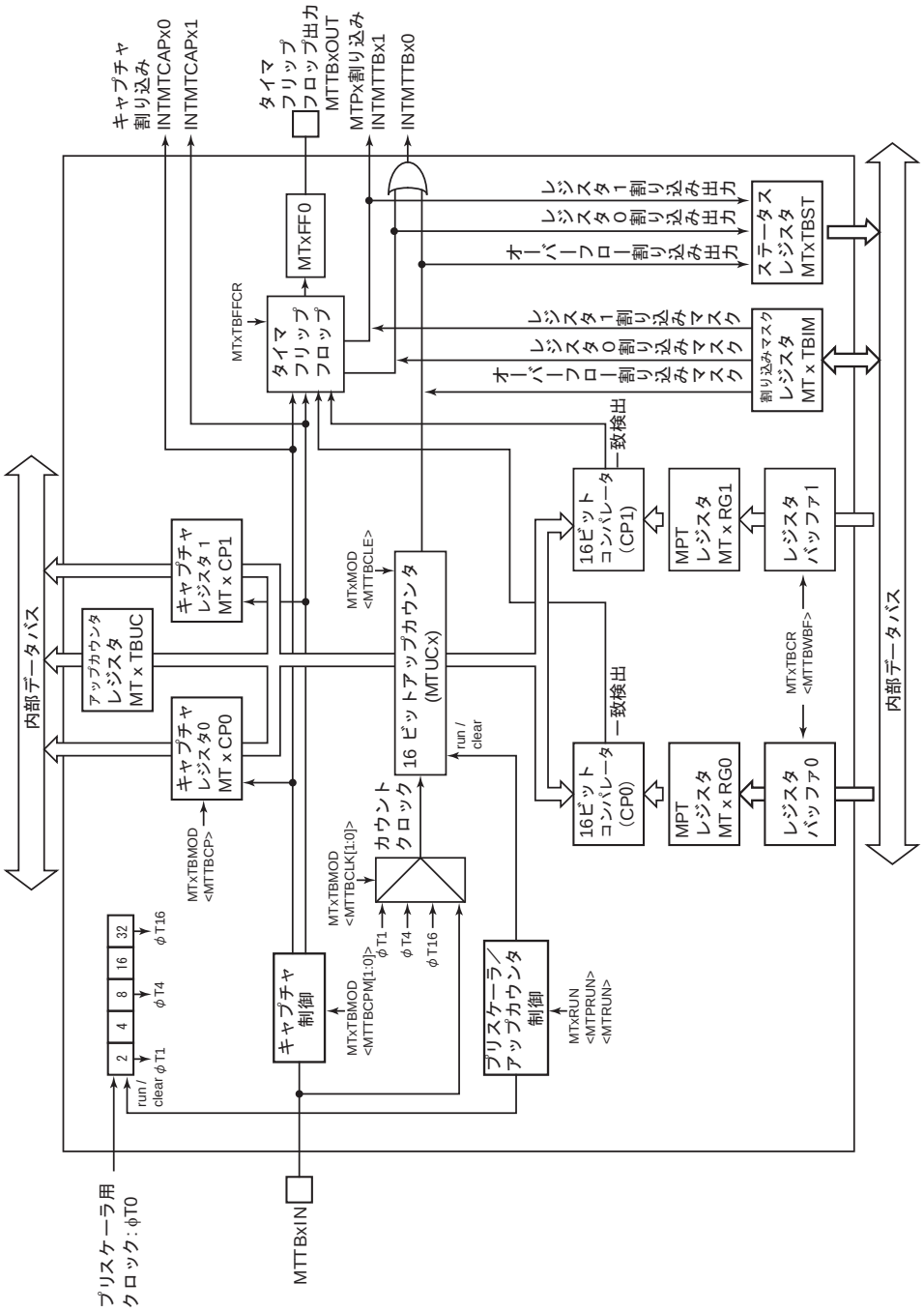


図 12-2 タイマモードブロック図

12.3.2　タイマモードレジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
MPT イネーブルレジスタ	MTxEN	0x0000
MPT RUN レジスタ	MTxRUN	0x0004
MPT コントロールレジスタ	MTxTBCR	0x0008
MPT モードレジスタ	MTxTBMOD	0x000C
MPT フリップフロップ コントロールレジスタ	MTxTBFFCR	0x0010
MPT ステータスレジスタ	MTxTBST	0x0014
MPT 割り込みマスクレジスタ	MTxTBIM	0x0018
MPT アップカウンタレジスタ	MTxTBUC	0x001C
MPT タイマレジスタ 0	MTxRG0	0x0020
MPT タイマレジスタ 1	MTxRG1	0x0024
MPT キャプチャレジスタ 0	MTxCP0	0x0028
MPT キャプチャレジスタ 1	MTxCP1	0x002C

12.3.3 MTxEN (MPT イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTEN	MTHALT	-	-	-	-	-	MTMODE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MTEN	R/W	MPT の動作を指定します。 0: 禁止 1: 許可 動作禁止の状態では MPT モジュールの他のレジスタへクロックが供給されませんので 消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。
6	MTHALT	R/W	コア Halt(デバッグブレーク)時の動作を指定します。 [TMR モード] 0:コア Halt 中のクロック停止動作は行いません。 1: コア Halt 中はクロックの動作が停止します。 [IGBT モード] 0: クロック停止動作および MTxOUT0/MTxOUT1 出力の制御を行いません。 1: コア Halt 中はクロックの動作が停止します。 また、MTxIGEMGCR<IGEMGOC>の設定に従い、MTxOUT0/MTxOUT1 出力の制御を行います。
5-1	-	R	リードすると"0"が読めます
0	MTMODE	R/W	動作モードを指定します。 0: タイマモード 1: IGBT モード

注) **MPT を使用する場合は、MPT モジュールの各レジスタを設定する前に MPT 動作許可（<MTEN>="1"）にしてください。MPT をいったん動作させた後に、動作禁止した場合は各レジスタの設定は保持されます**

12.3.4　MTxRUN (MPT RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	MTPRUN	-	MTRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます
2	MTPRUN	R/W	MPT のプリスケーラ動作を制御します。 0: プリスケーラの動作を停止します。プリスケーラは"0"にクリアされます。 1:プリスケーラの動作を開始します。
1	-	R	リードすると"0"が読めます
0	MTRUN	R/W	MPT のカウント動作を制御します。 0: カウント動作を停止します。カウンタは"0"にクリアされます 1: カウントを開始します。

12.3.5 MTxTBCR (MPT コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTTBWBF	-	-	-	MTI2TB	-	MTTB TRGSEL	MTTBCSSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます
7	MTTBWBF	R/W	ダブルバッファの許可/禁止をします。(IGBT モードをのぞく) 0：禁止 1：許可
6-5	-	R/W	"0"をライトしてください。
4	-	R	リードすると"0"が読めます
3	MTI2TB	R/W	IDLE モード時のクロックの動作/停止を制御します。 0：停止 1：動作
2	-	R	リードすると"0"が読めます
1	MTTBTRGSEL	R/W	外部トリガのエッジ選択をします。 0：立ち上がりエッジ 1：立ち下がりエッジ
0	MTTBCSSEL	R/W	カウンタスタートの方法を選択します。 0：ソフトスタート 1：外部トリガ

注) MTxTBCR はタイマ動作中（MTxRUN<MTRUN>="1"）に設定変更を行ってはいけません。

12.3.6　MTxTBMOD (MPT モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	MTTBRSWR	MTTBCP	MTTBCPM		MTTBCLE	MTTBCLK	
リセット後	0	0	1	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます
6	MTTBRSWR	R/W	ダブルバッファ使用時のタイマレジスタ 0,1 への書き込みタイミングの制御を行います。 0: タイマレジスタ 0、タイマレジスタ 1 への書き込み準備が片側のみしかできていない場合でも、 片方ずつタイマレジスタに書き込みを行うことができます。 1: タイマレジスタ 0、タイマレジスタ 1 への書き込み準備が両方ともできていない場合は、 タイマレジスタに書き込みを行うことができません)
5	MTTBCP	W	ソフトウエアキャプチャの制御を行います。 0: カウント値をキャプチャレジスタ 0(MTxCP0)に取り込みます。 1: Don't care
4-3	MTTBCPM[1:0]	R/W	キャプチャタイミングの設定をします。 00: キャプチャ禁止 01: MTxTBIN 端子入力の立ち上がりでキャプチャレジスタ 0（MTxCP0）にカウント値を取り込みます 10: MTxTBIN 端子入力の立ち上がりでキャプチャレジスタ 0（MTxCP0）にカウント値を取り込み、 MTxTBIN 端子入力の立ち下がりでキャプチャレジスタ 1（MTxCP1）にカウント値を取り込みます。 11: キャプチャ禁止
2	MTTBCLE	R/W	MPT のアップカウンタのクリア制御を行います。 0: アップカウンタのクリア禁止 1: タイマレジスタ 1（MTxRG1）との一致でクリア
1-0	MTTBCLK[1:0]	R/W	MPT のタイマカウントクロックを選択します。 00: MTxTBIN 端子入力 01: ϕT1 10: ϕT4 11: ϕT16

注 1)　**MTxTBMOD<MTTBCP>は、リードすると"1"が読み出されます。**

注 2)　**MTxTBMOD はタイマ動作中（MTxRUN<MTRUN>="1"）に設定変更を行ってはいけません。**

12.3.7 MTxTBFFCR (MPT フリップフロップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	MTTBC1T1	MTTBC0T1	MTTBE1T1	MTTBE0T1	MTTBFF0C	
リセット後	1	1	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます
7-6	-	R	リードすると"11"が読めます
5	MTTBC1T1	R/W	アップカウンタの値がキャプチャレジスタ 1(MTxCP1)に取り込まれたときのタイマフリップフロップの反転を制御します。 0: MTxFF0 は反転しません。 1: MTxFF0 は反転します。
4	MTTBC0T1	R/W	アップカウンタの値がキャプチャレジスタ 1(MTxCP0)に取り込まれたときのタイマフリップフロップの反転を制御します。 0: MTxFF0 は反転しません。 1: MTxFF0 は反転します。
3	MTTBE1T1	R/W	アップカウンタとタイマレジスタ 1(MTxRG1)との一致したときのタイマフリップフロップの反転を制御します。 0: MTxFF0 は反転しません。 1: MTxFF0 は反転します。
2	MTTBE0T1	R/W	アップカウンタとタイマレジスタ 1(MTxRG0)との一致したときのタイマフリップフロップの反転を制御します。 0: MTxFF0 は反転しません。 1: MTxFF0 は反転します。
1-0	MTTBFF0C	R/W	タイマフリップフロップを制御します。 00: MTxFF0 の値を反転します。 01: MTxFF0 を"1"にセットします。 10: MTxFF0 を"0"にクリアします。 11: Don't care リードすると"11"が読めます。

注) **MTxTBFFCR はタイマ動作中（MTxRUN<MTRUN>="1"）に設定変更を行ってはいけません**

12.3.8　MTxTBST (MPT ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	MTTBINT TBOF	MTTBINTTB1	MTTBINTTB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます
2	MTTBINTTBOF	R	アップカウンタのオーバフロー割り込み発生のステータス 0: 割り込みは発生していない。 1: 割り込みが発生している。
1	MTTBINTTB1	R	タイマレジスタ 1（MTxRG1）との一致割り込み発生のステータス 0: 割り込みは発生していない。 1: 割り込みが発生している。
0	MTTBINTTB0	R	タイマレジスタ 0（MTxRG0）との一致割り込み発生のステータス 0: 割り込みは発生していない。 1: 割り込みが発生している。

注) **いずれかの割り込みが発生すると、MTxTBST に該当割り込みのフラグがセットされます。MTxTBST レジスタをリードすると、フラグは"0"にクリアされます。**

12.3.9 MTxTBIM (MPT 割り込みマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	MTTBIMOF	MTTBIM1	MTTBIM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます
2	MTTBIMOF	R/W	アップカウンタのオーバフロー割り込みをマスクする制御をします。 0: 割り込みをマスクしません。 1: 割り込みをマスクします。
1	MTTBIM1	R/W	タイマレジスタ 1（MTxRG1）とアップカウンタの一致割り込みをマスクする制御をします。 0: 割り込みをマスクしません。 1: 割り込みをマスクします。
0	MTTBIM0	R/W	タイマレジスタ 0（MTxRG0）とアップカウンタの一致割り込みをマスクする制御をします。 0: 割り込みをマスクしません。 1: 割り込みをマスクします。

注) **MTxTBIM で各要因がマスクされていても MTxTBST は変化します。**

12.3.10　MTxTBUC (MPT リードキャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTUC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTUC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTUC[15:0]	R	アップカウンタ値をキャプチャした値 カウンタ動作中に MTxTBUC をリードすると、アップカウンタの値をキャプチャします。

12.3.11 MTxRG0/MTxRG1 (MPT タイマレジスタ)

MTxRG0

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTRG0[15:0]	R/W	タイマカウント値 アップカウンタと MTRG0[15:0]が一致すると、一致検出割り込み(INTMTTBx0)が発生します。 また、一致時に MTxTBOUT の反転させることもできます。

注 1) **ハーフワードまたはワードアクセスしてください。**

注 2) **0x0000<MTxRG0 < MTxRG1≤0xFFFF となるように設定してください。**

MTxRG1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTRG1[15:0]	R/W	タイマカウント値 アップカウンタと MTRG1[15:0]が一致すると、一致検出割り込み(INTMTTBx1)が発生します。 また、一致時に MTxTBOUT の反転させることもできます。

注 1)　**ハーフワードまたはワードアクセスしてください。**

注 2)　**0x0000<MTxRG0 < MTxRG1≤0xFFFF となるように設定してください。**

12.3.12 MTxCP0 /MTxCP1 (MPT キャプチャレジスタ)

MTxCP0

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTCP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTCP0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTCP0[15:0]	R	アップカウンタをキャプチャした値が読めます。

注) **タイマ停止状態でタイマカウンタ(MTUCx)の値をキャプチャすることはできません。停止状態では以前にキャプチャした値が保持されており、それを読み出すことは可能です。**

MTxCP1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTCP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTCP1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTCP1[15:0]	R	アップカウンタをキャプチャした値が読めます。

注) **タイマ停止状態でタイマカウンタ(MTUCx)の値をキャプチャすることはできません。停止状態では以前にキャプチャした値が保持されており、それを読み出すことは可能です。**

12.3.13　回路別の動作説明

12.3.13.1　プリスケーラ

アップカウンタ MTUCx のソースクロックを生成する 4 ビットのプリスケーラです。

プリスケーラへの入力クロック φT0 は CGSYSCR<PRCK[2:0]> で選択した fperiph/1, fperiph/2,fperiph/4、fperiph/8、fperiph/16、fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG SYSCR<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは MTxRUN<MTPRUN> により動作/停止の設定をします。"1" をライトするとカウント開始し "0" をライトするとクリアされ停止します。

12.3.13.2　アップカウンタ(MTUC0)

16 ビットのバイナリカウンタです。

- ソースクロック

  ソースクロックは MTxTBMOD<MTTBCLK[1:0]>で設定することができます。

  プリスケーラ出力クロック φT1、φT4、φT16、または、MTxTBIN 端子の外部クロックのいずれかを選択できます。

- カウンタ動作の開始と停止

  カウンタ動作は MTxRUN<MTRUN>で行います。<MTRUN>="1"でカウントを開始し、"0"でカウント停止と同時にカウンタのクリアを行います。

  アップカウンタ MTUCx と、タイマレジスタ MTxRG0、MTxRG1 への設定値とを比較し、一致を検出すると、INTMTTB0x，INTMTTB1x を発生します。

- カウンタクリアのタイミング

  1. コンペア一致時

     MTxTBMOD<MTTBCLE>="1"に設定することで、MTxRG1 とのコンペア一致とともにカウンタのクリアをすることができます。

     MTxTBMOD<MTTBCLE>="0"に設定するとカウンタはフリーランニングカウンタとして動作します。

  2. カウンタ停止時

     MTxRUN<MTRUN>="0"に設定すると、カウンタが停止するとともにクリアされます。

- カウンタのオーバフロー

  MTUCx がオーバフローすると、オーバフロー割り込み INTMTTB0x が発生します。

12.3.13.3 タイマレジスタ (MTxRG0、MTxRG1)

アップカウンタ MTUCx と比較する値を設定するレジスタです。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致すると一致検出信号が出力されます。

- 構成

  タイマレジスタのうち、MTxRG0/1 はダブルバッファ構成になっており、レジスタバッファとペアになっています。

  ダブルバッファのイネーブル/ディセーブルを制御は MTxTBCR<MTTBWBF> によって行います。<MTTBWBF>="0" のときディセーブル、 <MTTBWBF>="1" のときイネーブルとなります。

  ダブルバッファイネーブル時、MTUCx と MTxRG1 との一致時にレジスタバッファ 0 からタイマレジスタ MTxRG0/1 へデータ転送が行われます。

- 初期状態

  リセット動作により、MTxRG0、MTxRG1 は不定で、ダブルバッファはディセーブルになっています。

- 設定方法

  1. ダブルバッファを使用しない場合

     ハーフワードまたはワードアクセスしてください。

  2. ダブルバッファを使用する場合

     MTxRG0/1 とレジスタバッファ 0/1 は、それぞれ同じアドレスに割り付けられています。

     <MTTBWBF> "0" のときは、MTxRG0/1 とそれぞれのレジスタバッファに、同じ値が書き込まれ、<MTTBWBF> "1" のときは、それぞれのレジスタバッファにのみ書き込まれます。したがって、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておき、タイマレジスタにデータを書き込んだ後、<MTTBWBF> "1" に設定し、レジスタバッファへ次のデータを書き込んでください。

12.3.13.4 キャプチャ制御

アップカウンタ MTUCx の値をキャプチャレジスタ MTxCP0、MTxCP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、MTxTBMOD<MTTBCPM[1:0]>で設定します。

また、ソフトウエアによってもアップカウンタ MTUCx の値をキャプチャレジスタへ取り込むことができ、MTxTBMOD<MTTBCP> に "0" を書き込むたびに、その時点の MTUCx の値をキャプチャレジスタ MTxCP0 へキャプチャします。なお、プリスケーラは、RUN 状態 (MTxRUN<MTPRUN> "1") にしておく必要があります。

12.3.13.5 キャプチャレジスタ(MTxCAP0、MTxCAP1)

アップカウンタ MTUCx の値をキャプチャするレジスタです。

12.3.13.6 アップカウンタキャプチャレジスタ(MTxTBUC)

カウンタ動作中に MTxTBUC レジスタをリードすると、アップカウンタの現在のカウント値がキャプチャされその値が読みだされます。カウント停止中は最後にキャプチャした値が保持されます。

12.3.13.7　コンパレータ(CP0、CP1)

アップカウンタ(MTUCx)と、タイマレジスタ MTxRG0、MTxRG1 への設定値と比較し、一致を検

出します。一致すると INTMTTBx0、INTMTTBx1 を発生します。

12.3.13.8　タイマフリップフロップ (MTxFF0)

タイマフリップフロップ (MTxFF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、MTxTBFFCR<MTTBC1T1,MTTBC0T1, MTTBE1T1, MTTBE0T1> によって設定できます。

リセット後、MTxFF0 の値は不定となります。MTxTBFFCR<MTTBFF0C[1:0]>に "00" を書き込むことで反転、"01" を書き込むことで "1" にセット、"10" を書き込むことで "0" にクリアすることが可能です。

MTxFF0 の値は、タイマ出力端子 MTxTBOUT 端子 へ出力することができます。タイマ出力を行う場合、あらかじめポート関連レジスタ PxCR、PxFRx により、設定を行う必要があります。

12.3.13.9　キャプチャ割り込み(INTMTCAPx0、INTMTCAPx1)

キャプチャレジスタ MTxCP0、MTxCP1 にラッチするタイミングで割り込み INTMTCAPx0、INTMTCAPx1 をそれぞれ発生します。

12.4 IGBT モードの動作説明

12.4.1 構成

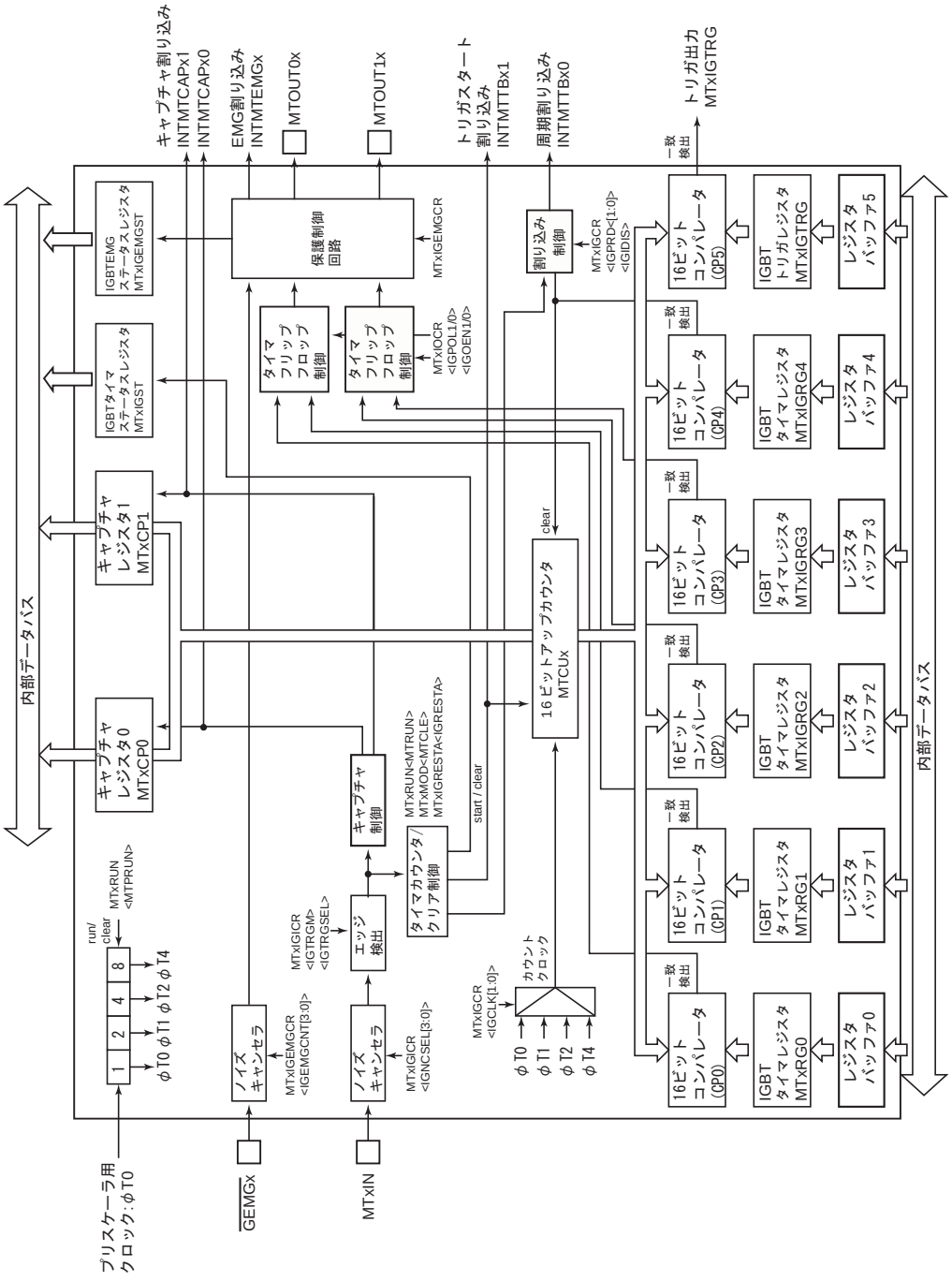


図 12-3 IGBT モードブロック図

12.4.2　IGBT モードレジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
MPT イネーブルレジスタ	MTxEN	0x0000
MPT RUN レジスタ	MTxRUN	0x0004
MPT タイマレジスタ 0	MTxRG0	0x0020
MPT タイマレジスタ 1	MTxRG1	0x0024
MPT キャプチャレジスタ 0	MTxCP0	0x0028
MPT キャプチャレジスタ 1	MTxCP1	0x002C
IGBT コントロールレジスタ	MTxIGCR	0x0030
IGBT タイマリスタートレジスタ	MTxIGRESTA	0x0034
IGBT タイマステータスレジスタ	MTxIGST	0x0038
IGBT 入力コントロールレジスタ	MTxIGICR	0x003C
IGBT 出力コントロールレジスタ	MTxIGOCR	0x0040
IGBT タイマレジスタ 2	MTxIGRG2	0x0044
IGBT タイマレジスタ 3	MTxIGRG3	0x0048
IGBT タイマレジスタ 4	MTxIGRG4	0x004C
IGBT EMG コントロールレジスタ	MTxIGEMGCR	0x0050
IGBT EMG ステータスレジスタ	MTxIGEMGST	0x0054
IGBT トリガレジスタ	MTxIGTRG	0x0058

12.4.3 MTxEN (MPT イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTEN	MTHALT	-	-	-	-	-	MTMODE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MTEN	R/W	MPT の動作を指定します。 0: 禁止 1: 許可 動作禁止の状態では MPT モジュールの他のレジスタへクロックが供給されませんので 消費電力の低減が可能です（他のレジスタへのリード、ライトはできません)。
6	MTHALT	R/W	コア Halt(デバッグブレーク)時の動作を指定します。 [TMR 機能] 0:コア Halt 中のクロック停止動作は行いません。 1: コア Halt 中はクロックの動作が停止します。 [IGBT 機能] 0: クロック停止動作および MTxOUT0/MTxOUT1 出力の制御を行いません。 1: コア Halt 中はクロックの動作が停止します。 また、MTxIGEMGCR<IGEMGOC>の設定に従い、MTxOUT0/MTxOUT1 出力の制御を行います。
5-1	-	R	リードすると"0"が読めます
0	MTMODE	R/W	動作モードを指定します。 0: タイマモード 1: IGBT モード

注) **MPT を使用する場合は、MPT モジュールの各レジスタを設定する前に MPT 動作許可（<MTEN>="1"）にしてください。MPT をいったん動作させた後に、動作禁止した場合は各レジスタの設定は保持されます**

12.4.4　MTxRUN (MPT RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	MTPRUN	-	MTRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます
2	MTPRUN	R/W	MPT のプリスケーラ動作を制御します。 0: プリスケーラの動作を停止します。プリスケーラは"0"にクリアされます。 1:プリスケーラの動作を開始します。
1	-	R	リードすると"0"が読めます
0	MTRUN	R/W	MPT のカウント動作を制御します。 0: カウント動作を停止します。カウンタは"0"にクリアされます 1: カウントを開始します。

12.4.5 MTxRG0/MTxRG1 (MPT タイマレジスタ)

MTxRG0

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTRG0[15:0]	R/W	タイマカウント値 アップカウンタと MTRG0[15:0]が一致すると、MTxOUT0 をアクティブレベルに変化させます。

注 1) **ハーフワードまたはワードアクセスしてください。**

注 2) **0x0000<MTxRG0 < MTxRG1≤MTxIGRG4≤0xFFFF となるように設定してください。**

MTxRG1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTRG1[15:0]	R/W	タイマカウント値 アップカウンタと MTRG1[15:0]が一致すると、MTxOUT0 をインアクティブレベルに変化させます。

注 1)　**ハーフワードまたはワードアクセスしてください。**

注 2)　**0x0000<MTxRG0 < MTxRG1≤MTxIGRG4≤0xFFFF となるように設定してください。**

12.4.6 MTxCP0 /MTxCP1 (MPT キャプチャレジスタ)

MTxCP0

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTCP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTCP0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTCP0[15:0]	R	アップカウンタをキャプチャした値が読めます。

注) **タイマ停止状態でタイマカウンタ(MTUCx)の値をキャプチャすることはできません。停止状態では以前にキャプチャした値が保持されており、それを読み出すことは可能です。**

MTxCP1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MTCP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MTCP1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	MTCP1[15:0]	R	アップカウンタをキャプチャした値が読めます。

注) **タイマ停止状態でタイマカウンタ(MTUCx)の値をキャプチャすることはできません。停止状態では以前にキャプチャした値が保持されており、それを読み出すことは可能です。**

12.4.7　MTxIGCR (IGBT コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	IGIDIS	IGPRD	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IGCLSYNC	IGSNGL	IGSTP		IGSTA		IGCLK	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-11	-	R	リードすると"0"が読めます
10	IGIDIS	R/W	コマンドスタート時の割り込みを制御します。 0: 許可 1: 禁止
9-8	IGPRD[1:0]	R/W	割り込み周期を選択します。 00: 1 周期毎 01: 2 周期毎 10: 4 周期毎 11: Reserved
7	IGCLSYNC	R/W	アップカウンタクリア 0: 個別動作(チャネルごと) 1:同期動作
6	IGSNGL	R/W	IGBT の動作を選択します。 0: 連続動作 1: 単発動作
5-4	IGSTP[1:0]	R/W	停止時の状態を選択します。 [マスタチャネル]　[スレーブチャネル] 00: 出力初期状態でカウント即時停止およびクリア　00: 出力初期状態で停止 01: 出力保持状態でカウント即時停止およびクリア　01: 出力保持状態で停止 10: 周期時間経過後カウント停止およびクリア　10: Reserved 11: Reserved　11: Reserved
3-2	IGSTA[1:0]	R/W	スタートモードを選択します 00:コマンドスタートおよびトリガキャプチャ 01: コマンドスタートおよびトリガスタート 10:トリガスタート 11: 同期スタート(スレーブチャネルのみ設定)
1-0	IGCLK[1:0]	R/W	IGBT のソースクロックを選択します。 00: φT0 01: φT1 10: φT2 11: φT4

注 1)　**MTxIGCR はタイマ動作中(MTxRUN<MTRUN>="1")に設定変更を行ってはいけません。**

注 2)　**周期時間経過後カウント停止およびクリア(MTxIGCR<IGSTP>="10")で MTxRUN<MTRUN>のクリアによるカウンタの停止操作を行った場合、周期割り込みの発生でタイマが停止したことを確認してから、設定の変更、再スタートを行ってください。**

12.4.8 MTxIGRESTA (IGBT タイマ リスタートレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	IGRESTA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます
0	IGRESTA	W	カウントリスタートを制御します。 0: Don't care 1: リスタート リードすると"0"が読めます。

注) **タイマ動作中に MTxIGRESTA<IGRESTA>に"1"を書き込むことで、タイマカウンタのクリア&リスタートを行うことができます。出力波形の端子状態を確認した上で設定変更を行ってください。**

12.4.9 MTxIGST (IGBT タイマ ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	IGST
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます
0	IGST	R	カウンタ動作状態 0: 停止 1: 動作

12.4.10　MTxIGICR (IGBT 入力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IGTRGM	IGTRGSEL	-	-	IGNCSEL			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます
7	IGTRGM	R/W	トリガエッジ受け付けモードを制御します。 0: 常時受け付け 1: アクティブレベル出力中受け付け禁止
6	IGTRGSEL	R/W	トリガスタートエッジ/アクティブレベルを選択します。 0: 立ち上がりエッジスタート/"High"レベルアクティブ 1: 立ち下がりエッジスタート/"Low"レベルアクティブ
5-4	-	R	リードすると"0"が読めます
3-0	IGNCSEL[3:0]	R/W	トリガ入力ノイズ除去時間選択 ノイズ除去時間は次の計算式で表されます。 IGNCSEL[3:0] × 16 / fsys 0000: ノイズフィルタを経由しません 0001: ノイズ除去時間 16 / fsys[s] 0010: ノイズ除去時間 32 / fsys[s] 0011: ノイズ除去時間 48 / fsys[s] 0100: ノイズ除去時間 64 / fsys[s] 0101: ノイズ除去時間 80 / fsys[s] 0110: ノイズ除去時間 96 / fsys[s] 0111: ノイズ除去時間 112 / fsys[s] 1000: ノイズ除去時間 128 / fsys[s] 1001: ノイズ除去時間 144 / fsys[s] 1010: ノイズ除去時間 160 / fsys[s] 1011: ノイズ除去時間 176 / fsys[s] 1100: ノイズ除去時間 192 / fsys[s] 1101: ノイズ除去時間 208 / fsys[s] 1110: ノイズ除去時間 224 / fsys[s] 1111: ノイズ除去時間 240 / fsys[s]

注 1)　**MTxIGCR はタイマ動作中（MTxRUN<MTRUN>="1"）に設定変更を行ってはいけません**

注 2)　**MTxIGCR<IGNCSEL[3:0]>は EMG 保護回路禁止の状態(MTxIGEMGCR<IGEMGEN>="0")で行ってください。**

注 3)　**MTxIGCR<IGNCSEL[3:0]>を変更した後、変更したノイズ除去時間に対して十分な時間をとってからタイマをスタート(MTxRUN<MTRUN>="1")してください。**

注 4)　**MTxIGICR<IGTRGM><IGTRGSEL>は同期スタート設定時(MTxIGCR<IGSTA[1:0]>="11")、スレーブチャネルでは無効になります。**

12.4.11 MTxIGOCR (IGBT 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	IGPOL1	IGPOL0	-	-	IGOEN1	IGOEN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると"0"が読めます
5	IGPOL1	R/W	MTxOUT1 の初期状態を設定します。 0: Low 1: High
4	IGPOL0	R/W	MTxOUT0 の初期状態を設定します。 0: Low 1: High
3-2	-	R	リードすると"0"が読めます
1	IGOEN1	R/W	MTxOUT1 の出力を制御します。 0: 禁止 1: 許可
0	IGOEN0	R/W	MTxOUT0 の出力を制御します。 0: 禁止 1: 許可

注) **MTxOUT0/MTxOUT1 出力端子はタイマが動作中/停止中によらず、IGBT 出力コントロールレジスタ (MTxIGOCR)の内容に応じて変化します。**

12.4.12　MTxIGRG2 (IGBT タイマレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	IGRG2							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IGRG2							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	IGRG2[15:0]	R/W	タイマカウント値 アップカウンタと IGRG2[15:0]が一致すると、MTxOUT1 をアクティブレベルに変化させます。

注 1)　**ハーフワードまたはワードアクセスしてください。**
注 2)　**設定値は 0x0000<MTxIGRG2<MTxIGRG3≤MTxIGRG4≤0xFFFF となるように設定してください。**

12.4.13　MTxIGRG3 (IGBT タイマレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	IGRG3							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IGRG3							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	IGRG3[15:0]	R/W	タイマカウント値 アップカウンタと IGRG3[15:0]が一致すると、MTxOUT1 をインアクティブレベルに変化させます

注 1)　**ハーフワードまたはワードアクセスしてください。**
注 2)　**設定値は 0x0000<MTxIGRG2<MTxIGRG3≤MTxIGRG4≤0xFFFF となるように設定してください。**

12.4.14 MTxIGRG4 (IGBT タイマレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	IGRG4							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IGRG4							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	IGRG4[15:0]	R/W	タイマカウント値 IGBT モードの周期を設定します

注 1) **ハーフワードまたはワードアクセスしてください。**
注 2) **設定値は 0x0000<MTxRG0<MTxRG1≤MTxIGRG4≤0xFFFF となるように設定してください。**
注 3) **設定値は 0x0000<MTxIGRG2<MTxIGRG3≤MTxIGRG4≤0xFFFF となるように設定してください。**

12.4.15　MTxIGEMGCR (IGBT EMG コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IGEMGCNT				-	IGEMGRS	IGEMGOC	IGEMGEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます
7-4	IGEMGCNT[3:0]	R/W	$\overline{\text{GEMG}}$ 端子入力ノイズ除去時間選択 ノイズ除去時間は以下の計算式であらわされます IGEMGCNT[3:0]×16 / fsys 0000: ノイズフィルタを経由しません 0001: 入力ノイズ除去時間 16 / fsys[s] 0010: 入力ノイズ除去時間 32 / fsys[s] 0011: 入力ノイズ除去時間 48 / fsys[s] 0100: 入力ノイズ除去時間 64 / fsys[s] 0101: 入力ノイズ除去時間 80 / fsys[s] 0110: 入力ノイズ除去時間 96 / fsys[s] 0111: 入力ノイズ除去時間 112 / fsys[s] 1000: 入力ノイズ除去時間 128 / fsys[s] 1001: 入力ノイズ除去時間 144 / fsys[s] 1010: 入力ノイズ除去時間 160 / fsys[s] 1011: 入力ノイズ除去時間 176 / fsys[s] 1100: 入力ノイズ除去時間 192 / fsys[s] 1101: 入力ノイズ除去時間 208 / fsys[s] 1110: 入力ノイズ除去時間 224 / fsys[s] 1111: 入力ノイズ除去時間 240 / fsys[s]
3	-	R	リードすると"0"が読めます
2	IGEMGRS	W	EMG 保護状態から復帰します。 0: Don't care 1:復帰 （自動的に"0"にクリアされます） （リードすると"0"が読めます）
1	IGEMGOC	R/W	EMG 保護時の MTxOUT0/MTxOUT1 極性を設定します。 0: インアクティブレベル 1: ハイ・インピーダンス
0	IGEMGEN	R/W	EMG 保護回路の動作を制御します。 0: 禁止 1: 許可

注)　**MTxIGEMGCR はタイマ動作中（MTxRUN<MTRUN>="1"）に設定変更を行ってはいけません**

12.4.16 MTxIGEMGST (IGBT EMG ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IGEMGIN	IGEMGST
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます
1	IGEMGIN	R	ノイズ除去後の $\overline{\text{GEMG}}$ 端子状態 0: Low 1: High
0	IGEMGST	R	緊急出力停止状態モニタ 0: 通常動作中 1: 緊急出力停止中 リードすることにより、緊急出力停止の状態を知ることができます。

12.4.17　MTxIGTRG (IGBT トリガレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	IGTRG							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IGTRG							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます
15-0	IGTRG[15:0]	R/W	タイマカウント値 アップカウンタと IGTRG[15:0]が一致すると、トリガ(MTxIGTRG)を出力します。

注 1)　**ハーフワードまたはワードアクセスしてください。**
注 2)　**設定値は 0x0000<MTxIGTRG≤MTxIGRG4≤0xFFFF となるように設定してください。**

12.4.18　回路別の動作説明

12.4.18.1　プリスケーラ

アップカウンタ MTUCx のソースクロックを生成する 4 ビットのプリスケーラです。

プリスケーラへの入力クロック　φT0 は CGSYSCR<PRCK[2:0]> で選択した fperiph/1, fperiph/2,fperiph/4、fperiph/8、fperiph/16、fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CGSYSCR<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは MTxRUN<MTPRUN> により動作/停止の設定をします。"1" をライトするとカウント開始し 、"0" をライトするとクリアされ停止します。

12.4.18.2 アップカウンタ(MTUCx)

16 ビットのバイナリカウンタです。

- ソースクロック

  ソースクロックは MTxIGCR<IGCLK[1:0]>で設定することができます。

  プリスケーラ出力クロック φT0、φT1、φT2、φT4、のいずれかを選択できます。

- カウンタ動作の開始と停止

  カウンタ動作は MTxRUN<MTRUN>で行います。<MTRUN>="1"でカウントを開始し、"0"でカウント停止と同時にカウンタのクリアを行います。

  また MTxIGRESTA<IGRESTA>="1"に設定することで、カウンタのクリアを行い 0 からカウントアップを始めます。

- カウンタクリアのタイミング

  1. コンペア一致時

     アップカウンタ（MTUCx）の値と MTxIGRG4 とのコンペア一致とともにカウンタのクリアをすることができます。

  2. カウンタ停止時

     Mx0RUN<MTRUN>="0"に設定すると、カウンタが停止するとともにクリアされます。

  3. カウンタリスタート時

     MTxIGRESTA<IGRESTA>="1"に設定すると、カウンタのクリアを行い 0 からカウントアップを始めます。

  4. トリガスタートモード時

     トリガスタートモード時、MTxIN の端子が設定されたクリア停止レベルであるときカウンタはクリア停止します。

- カウントアップ&クリア動作

  ソースクロックに φT0 を選択した場合とそれ以外（φT1、φT2、φT4）を選択した場合の、カウント&クリア動作および設定周期はそれぞれ以下のようになります。

  1. ソースクロック φT0 を選択時

     ソースクロックに φT0 を選択した場合、一致カウントとクリアカウントでソースクロック 2 クロック分が必要となります。そのため設定周期は M+1 となります。

  2. ソースクロック φT0 以外選択時

     ソースクロックに φT1、φT2、φT4 を選択した場合、一致カウントとクリアカウントでソースクロック 1 クロック分が必要となります。そのため設定周期は M となります。

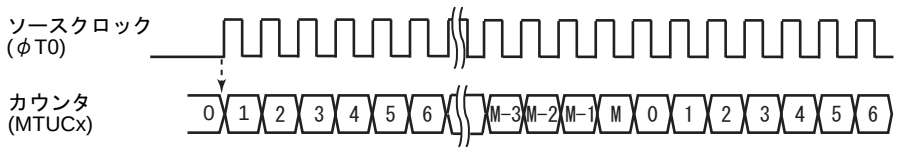


図 12-4 ソースクロック φT0 を選択時のカウントアップ/クリア動作

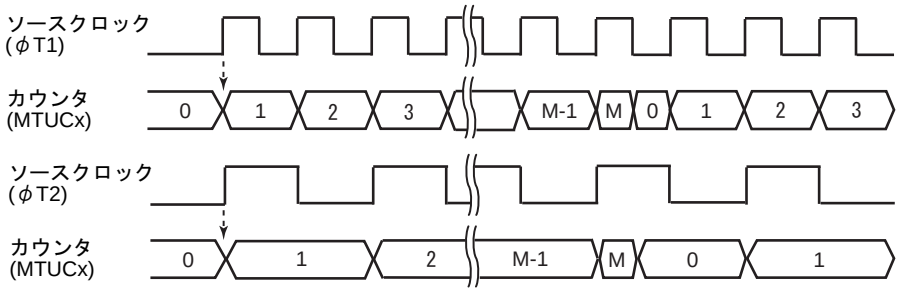


図 12-5 ソースクロック φT1, φT2, φT4 を選択時のカウントアップ/クリア動作

12.4.18.3　周期設定レジスタ (MTxIGRG4)

PPG 出力の周期を設定するレジスタです。ダブルバッファ構成になっており、データ更新タイミングは MTxIGRG4 とアップカウンタ MTUCx が一致しカウンタがクリアされた次の周期になります。このときレジスタバッファ 4 からタイマレジスタ MTxIGRG4 へデータ転送が行われます。

12.4.18.4　タイマレジスタ(MTxRG0, MTxRG1, MTxIGRG2, MTxIGRG3, MTxIGRG4)、トリガレジスタ (MTxIGTRG)

アップカウンタ MTUCx と比較する値を設定するレジスタです。タイマレジスタ、トリガレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致すると一致検出信号が出力されます。タイマレジスタ MTxRG0/1、MTxIGRG2/3、トリガレジスタ MTxIGTRG はダブルバッファ構成になっており、レジスタバッファとペアになっています。MTxIGRG4 とアップカウンタ MTUCx が一致しカウンタがクリアされたのと同時にデータ更新されます。このときレジスタバッファ 2/3/5 からタイマレジスタ MTxIGRG2/3、トリガレジスタ MTxIGTRG へデータ転送が行われます。

IGBT モード時は、MTxRG0/1 は常にダブルバッファ構成になっています。

- タイマレジスタ(MTxRG0、MTxRG1、MTxIGRG2、MTxIGRG3)、トリガレジスタ (MTxIGTRG)、周期レジスタ(MTxIGRG4)の WR/RD 動作

  1. WR 時

     タイマ停止時は、上記レジスタに直接書き込むことができます。タイマ動作中はおのおののレジスタバッファに一度ラッチされ、MTxIGRG4 とアップカウンタ MTUCx の一致でカウンタがクリアされたのと同時にデータが更新されます。

  2. RD 時

     現時点での 16bit コンパレータと比較対象となっているレジスタの値を読み出します。レジスタバッファの値を読みだすことはできません。

注)　**ハーフワードまたはワードアクセスしてください。**

12.4.18.5　キャプチャ制御

コマンドスタートおよびトリガキャプチャモードに設定すると MTxIN 端子の立ち上がりエッジと立ち下がりエッジでアップカウンタ値(MTUCx)をそれぞれキャプチャレジスタ MTxCP0、MTxCP1 にキャプチャします。

12.4.18.6 キャプチャレジスタ(MTxCAP0, MTxCAP1)

アップカウンタ MTUCx の値をキャプチャするレジスタです。

12.4.18.7 コンパレータ(CP0, CP1, CP2, CP3, CP4, CP5)

アップカウンタ(MTUCx)と、タイマレジスタ MTxRG0、MTxRG1、MTxIGRG2、MTxIGRG3、MTxIGRG4、トリガレジスタ MTxIGTRG への設定値とを比較し、一致を検出します。

12.4.18.8 MTxOUT0, MTxOUT1 出力制御

アップカウンタとタイマレジスタの一致信号で MTxOUT0、MTxOUT1 出力を制御します。

出力端子の初期状態の設定は MTxIGOCR<IGPOL0,1>で行います。リセット後の初期状態は Low となっており、MTxIGOCR<IGPOL0,1>=0 で初期状態 Low、1 で初期状態 High から出力します。出力制御は MTxIGOCR<IGOEN0,1>で行います。リセット後は禁止状態であり、使用する場合に MTxIGOCR<IGOEN0,1>=1 に設定してください。

12.4.18.9 トリガ出力

アップカウンタとトリガレジスタが一致すると、トリガ(MTxIGTRG)を出力します。

12.4.18.10 キャプチャ割り込み(INTMTCAPx0,INTMTCAPx1)

キャプチャレジスタ MTxCP0、MTxCP1 にラッチするタイミングで割り込み INTMTCAPx0、INTMTCAPx1 をそれぞれ発生します。割り込みの設定は CPU で行います。

12.4.18.11 トリガスタート割り込み(INTMTTBx1)

コマンドスタート＆トリガスタートモードまたはトリガスタートモードのスタート方式を選択したとき、MTxIGCR<IGTRGSEL>で指定されたエッジが入力され、カウントがスタートしたときにトリガ割り込みが発生します。なお、トリガキャプチャモード時のトリガエッジでは INTMTTBx1 割り込みは発生しません。また緊急出力停止中もスタートトリガで割り込みが発生します。

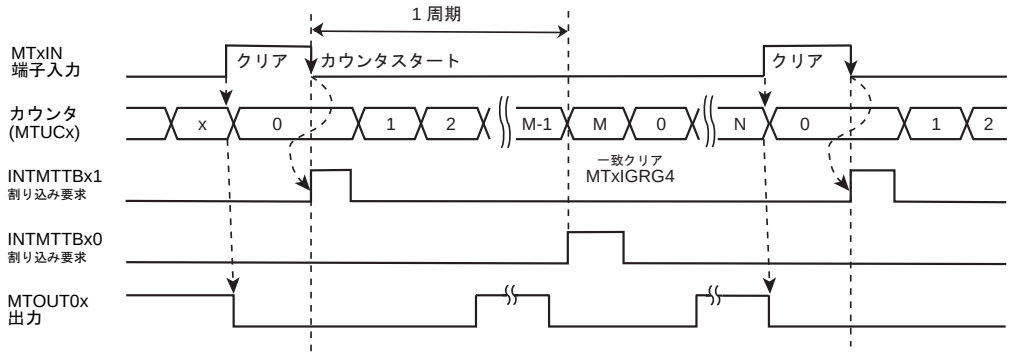


図 12-6 トリガスタート割り込み動作

12.4.18.12 周期割り込み(INTMTTBx0)

コマンドスタート＆トリガキャプチャモードまたはコマンドスタート＆トリガスタートモードのスタート方式を選択したとき、コマンドスタートでカウント開始時点、およびカウンタ周期設

定値 (MTxIGREG4) までカウントが進みカウンタが一致された時点 (周期設定値と一致し周期終了) で発生します。また、緊急出力停止中も周期との一致で割り込みが発生します。また割り込みの周期の選択は、MTxIGCR<IGPRD[1:0]>で 1 周期毎、2 周期毎、4 周期ごとに設定できます。

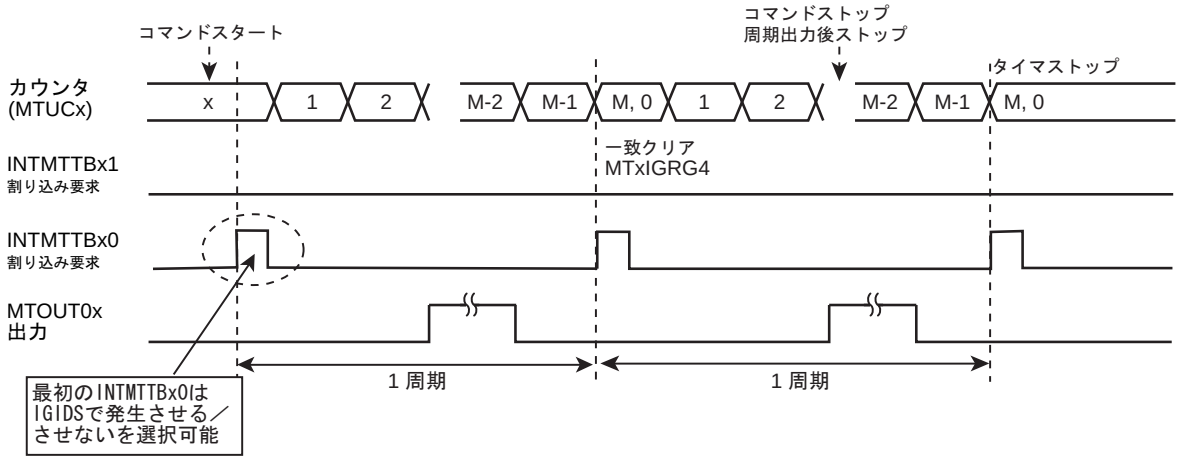


図 12-7 周期割り込み動作

コマンドスタートでカウント開始時点に発生する割り込みについては、コマンドスタート割り込み制御レジスタ MTxIGCR<IGIDIS>で許可/禁止をおこないます。なお、コマンドスタート時 (MTxRUN<MTRUN>に "1"を書き込み時) 、MTxIN 端子が停止レベルだった場合、カウントはスタートせず (INTMTTBx0 も発生しない)、トリガスタートエッジで初めてカウントがスタートし INTMTTBx1 が発生します。

12.4.18.13 基本動作

MTxOUT0 端子、MTxOUT1 端子からそれぞれ PPG を出力します。

タイマレジスタ (MTxRG0/1, MTxIGRG2/3/4) で設定されたデータと 16 ビットアップカウンタとの比較により波形を制御します。

トリガレジスタ (MTxIGTRG) で設定されたデータと 16 ビットアップカウンタとの一致でトリガを出力します。

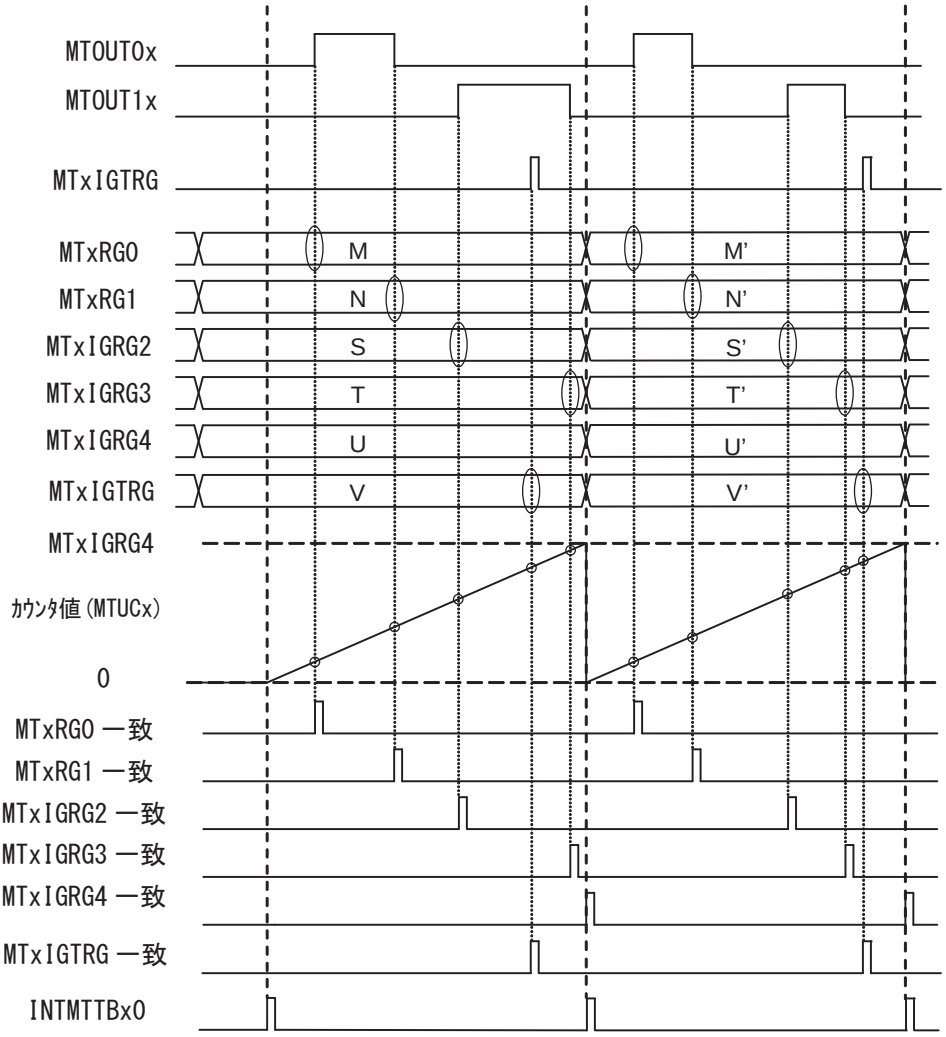


図 12-8 IGBT モード基本タイミング

12.4.18.14　スタート方式

IGBT モードでは、4 つのスタートモードを選択できます。

(1)　コマンドスタート＆トリガキャプチャモード

MTxRUN<MTRUN> に "1" を書き込むことによりカウントアップをスタートします。そしてカウンタが設定された周期に達するとカウンタはクリアされます。このとき MTxIGCR<IGSNGL>で連続モードが設定されていると再びカウントアップを始め、単発モードが設定されているとそこでカウントを停止します。

周期に達する前に MTxIGRESTA<IGRESTA>に"1" を書き込むとそこでカウンタはクリアされカウントアップを継続します。

また、MTxIN 端子への入力の立ち上がり、立ち下がり時のカウント値をキャプチャレジスタに格納することができます。

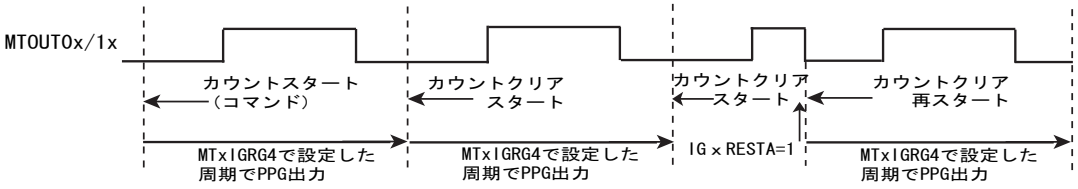


図 12-9 コマンドスタート時の連続モード

コマンドスタート＆トリガキャプチャモードでカウントをスタートすると MTxIN 端子入力の立ち上がりエッジと立ち下がりエッジでのカウンタ値をそれぞれキャプチャレジスタ MTxCAP0、MTxCAP1 にキャプチャします。キャプチャ動作が行われたときにそれぞれ INTMTCAPx0、INTMTCAPx1 が発生します。

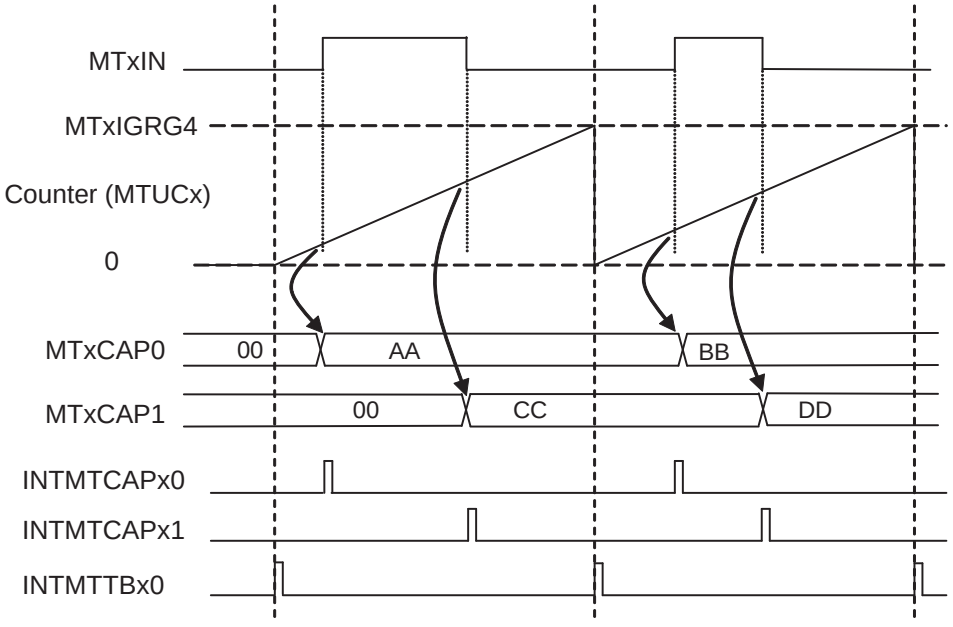


図 12-10 キャプチャ動作

(2) コマンドスタート＆トリガスタートモード

MTxRUN<MTRUN> に "1" を書き込むことでカウントアップをスタートします。そして MTxIN 端子入力にトリガ入力がない場合は前記コマンドスタート&キャプチャモードと同様な動きをしますが、MTxIN 端子に MTxIGICR<IGTRGSEL>で選択されたエッジ入力があるとタイマのカウントを開始し、設定されたクリア停止レベルが入力されている間、カウンタはクリア停止しています。なお、コマンドスタート時 (MTxRUN<MTRUN>に"1" を書き込み時) MTxIN 端子が停止レベルだった場合、カウントはスタートせず (INTMTTBx1 も発生しない)、トリガスタートエッジで初めてカウントがスタートし INTMTTBx1 が発生します(コマンドスタートよりもトリガ入力のほうが優先されます)。

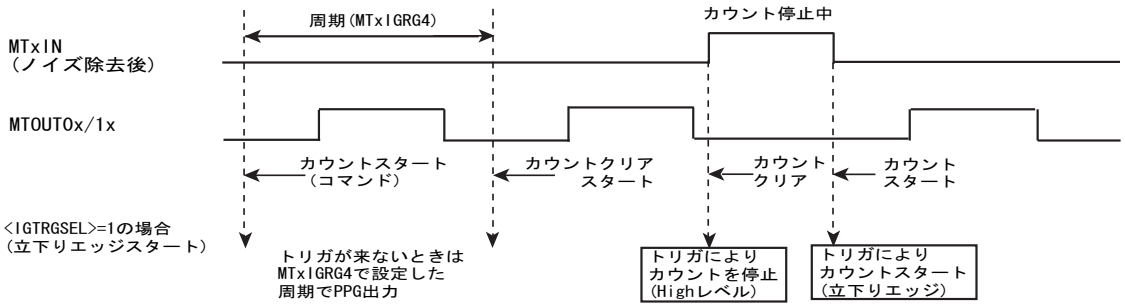


図 12-11 コマンドスタートとトリガスタート

(3) トリガスタートモード

MTxIGICR<IGTRGSEL> で選択されたエッジ入力があるとタイマのカウントを開始し、設定されたクリア停止レベルが入力されている間、カウンタはクリア停止しています。

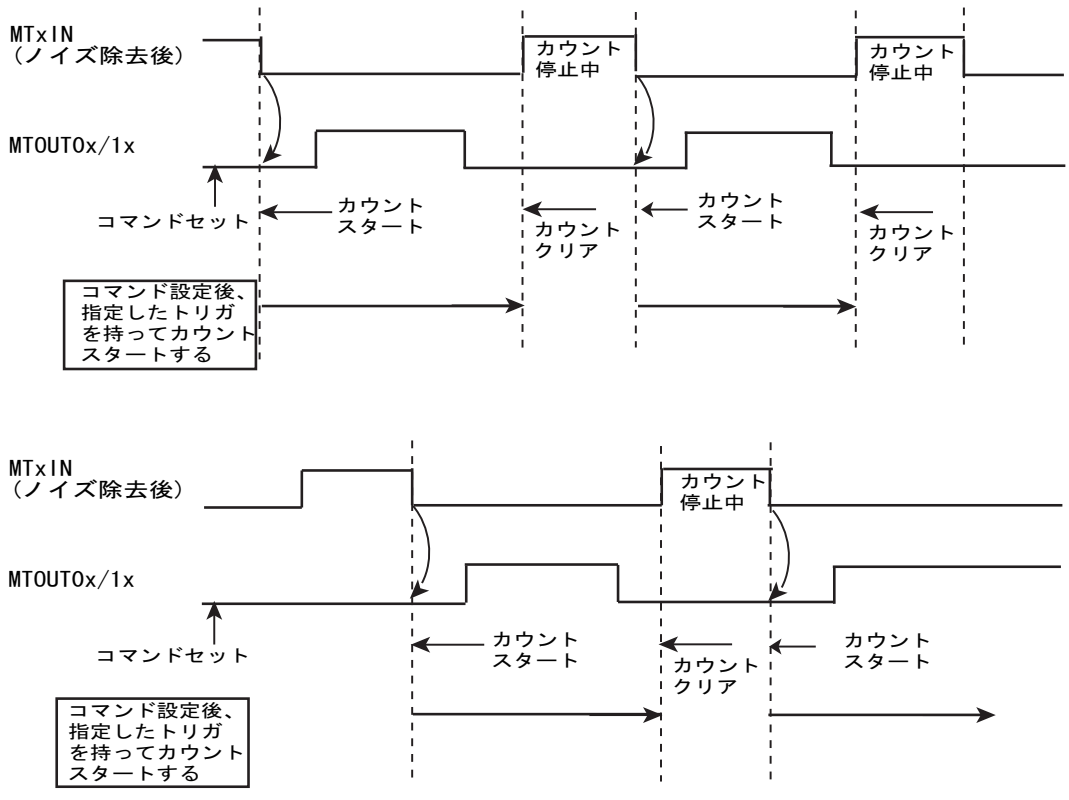


図 12-12 トリガスタート

(4)　同期スタートモード

同期スタートモードを使用すると、タイマ間のカウンタ動作の同期を取ることが可能となります。また、同期カウンタクリアを使用すると、タイマ間のアップカウントのクリアの同期を取ることが可能となります。

4 チャネルの MPT が組になっており、4 チャネルのうちの 1 チャネルのカウンタ動作に他の 3 チャネルを同期させることができます。TMPM461F15/F10FG では以下の組み合わせで使用可能です。

スタートのトリガをかけるチャネル (マスタチャネル)	同期して動作するチャネル (スレーブチャネル)
MPT0	MPT1, MPT2, MPT3

(a)　同期スタート

同期スタートモードを使用するには、スレーブチャネルの MTxIGCR<IGSTA[1:0]>に”11”を設定します。マスタチャネルは”11”以外のモードを指定します。カウンタの開始および停止に関するレジスタの設定はマスタチャネルのみ有効となり、スレーブチャネルの以下の設定は無効となります。

- MTxRUN<MTRUN><MTPRUN>
- MTxIGCR<IGSNGL>
- MTxIGICR<IGTRGSEL><IGTRGM>

コマンドスタート&キャプチャモードの場合、マスタ、スレーブチャネルとも MTxIN によるキャプチャが可能です。

MTxOUT0、MTxOUT1 出力、MTxIGTRG 出力に関する以下のレジスタの設定は、マスタ/スレーブにかかわらずチャネルごとに設定可能です。したがって、チャネルごとに所望の矩形波、トリガ出力を使用できます。

- MTxIGCR<IGSTP[1:0]>
- MTxIGOCR<IGOEN[1:0]><IGPOL[1:0]>
- MTxRG0,MTxRG1,MTxIGRG2,MTxIGRG3,MTxIGRG4
- MTxIGTRG

MTxOUT0、MTxOUT1 の停止時の状態を指定する MTxIGCR<IGSTP[1:0]>は、スレーブチャネルでは"00" (出力初期状態で停止)または"01" (出力保持で停止)を選択してください。

割り込みについては、周期割り込みは各チャネルごとに MTxIGCR<IGPRD[1:0]>で設定できます。コマンドスタート割り込みは、マスタチャネルのみ発生します。したがって、MTxIGCR<IGIDIS>の設定はマスタチャネルのみ有効です。

同期スタートモードのマスタチャネルとスレーブチャネルのカウンタ動作例を図 12-13 に示します。マスタチャネルのカウントスタートと同時にスレーブチャネルのカウントもスタートし、それぞれの周期でカウンタは動作します。マスタチャネルのカウント停止と同時にスレーブチャネルのカウントも停止します。

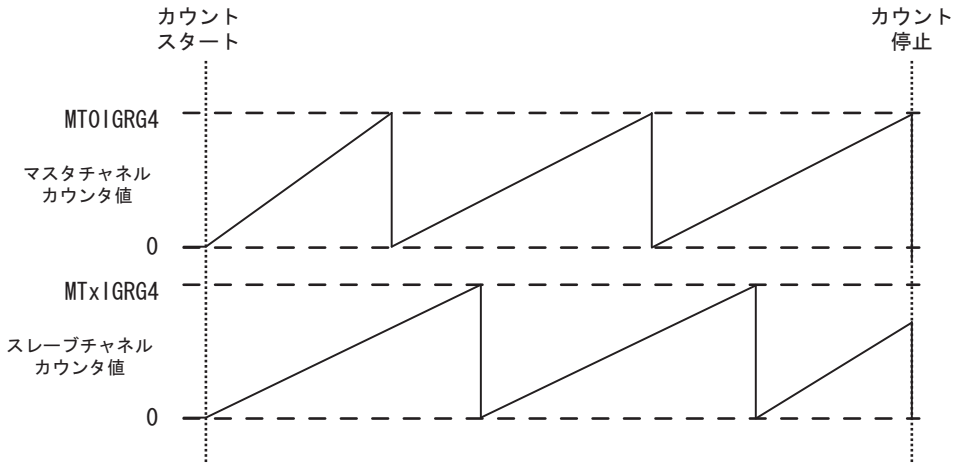


図 12-13 同期スタート動作

(b) 同期クリア

マスタチャネルのカウンタクリアのタイミングに、スレーブチャネルのカウンタクリアを同期させることができます。

同期カウンタクリアを使用するには、スレーブチャネルの MTxIGCR<IGCLSYNC>を"1"に設定します。同期クリアの設定は MTxIGCR<IGSTA[1:0]>の設定に関係なく有効になります。また、スレーブチャネルのリスタートはチャネルごとに有効です。

同期スタートモードで同期クリア設定にした場合のマスタチャネルとスレーブチャネルのカウンタ動作例を図 12-14 に示します。スレーブチャネルのカウンタはマスタチャネルのスタートに同期してスタートします。マスタチャネルの周期一致のタイミングでスレーブチャネルのカウンタもクリアされます。

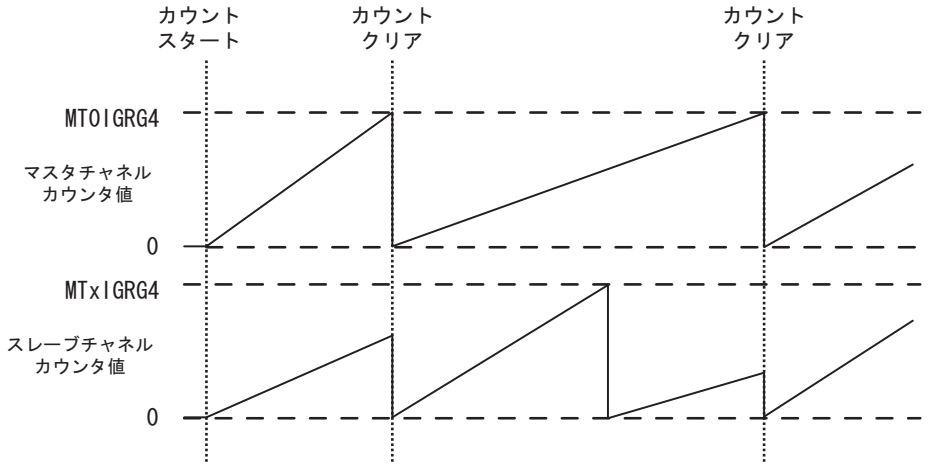


図 12-14 同期クリア動作

12.4.18.15　単発/連続出力モード

IGBT 出力端子を連続で出力するか単発で出力するかを設定することができます。

(1)　連続出力モード

タイマスタート時(MTxRUN<MTRUN>="1")に MTxIGCR<IGSNGL>="0"にすると連続出力モードになります。連続出力モードは連続して設定された波形を出力するモードです。

(2)　単発出力モード

タイマスタート時(MTxRUN<MTRUN>="1")に MTxIGCR<IGSNGL>="1"にすると単発出力モードになります。単発出力モードは 1 周期を出力後にカウントを停止します。

トリガスタートの場合はトリガが入力されるまでカウントは停止し、指定されたトリガの入力でカウントがスタートします。1 周期の出力後、またはトリガ入力にストップレベルを受け付け後、再びトリガ待ち状態になります。

12.4.18.16　停止方式

MTxRUN<MTRUN>を"0"にすると MTxIGCR<IGSTP[1:0]>の設定に従って、出力状態の選択、タイマの停止を行います。

(1)　出力初期状態でカウント停止

MTxIGCR<IGSTP[1:0]>が"00" の場合、カウントは即停止し、MTxOUT0/1x の出力は、MTxIGOCR<IGPOL[1:0]> で設定した初期値になります。

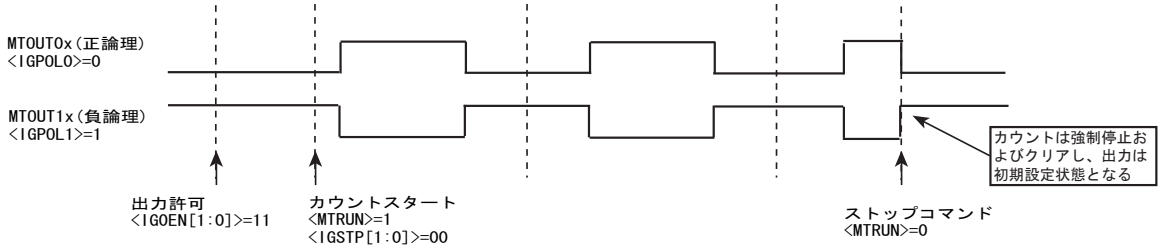


図 12-15 出力初期状態でカウント停止

(2)　出力保持状態でカウント停止

<IGSTP[1:0]>が "01" の場合、カウントは即停止し、MTxOUT0/1x の出力はそのときの状態を保持します。

再スタートする場合は MTxRUN<MTRUN>="1" に設定し再スタートします。このとき出力は初期値 (<IGPOL0>、<IGPOL1>の設定値) になってから再スタートします。

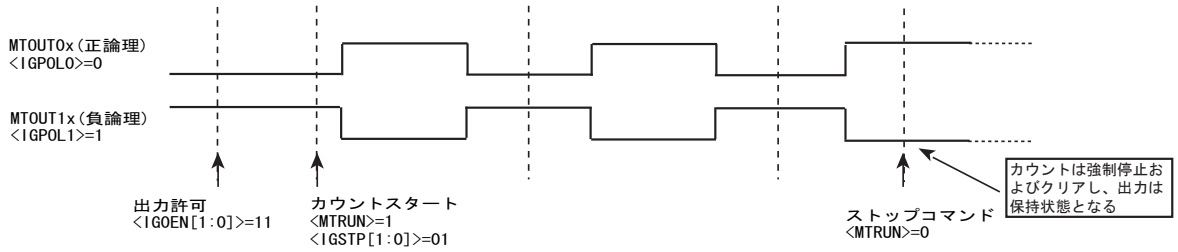


図 12-16 出力保持状態でカウント停止

(3) 周期終了後に初期状態でカウント停止

<IGSTP[1:0]> が "10" の場合、カウントは出力されている周期の出力が完了するまでカウント動作し、周期終了後、カウンタは停止します。 ただし、周期終了までの間にトリガ入力にストップレベルが入力されると、そこでカウンタは停止します。

タイマの再設定するときは、周期終了後にカウントが停止したことを確認してから、タイマの再設定を行ってください。

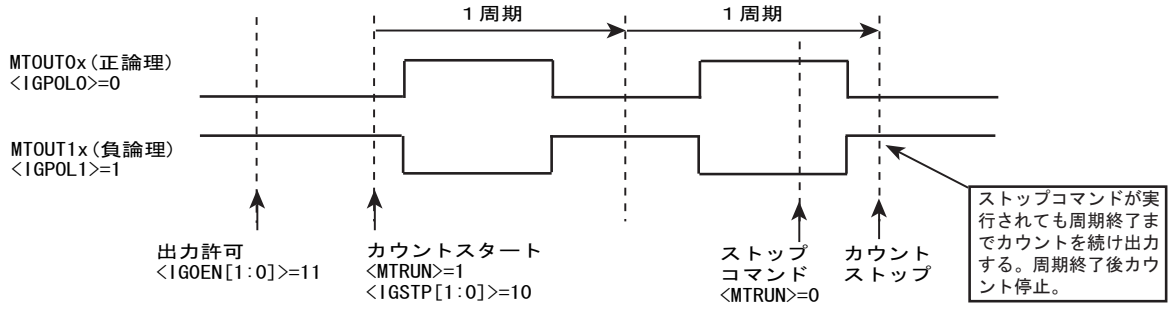


図 12-17 周期終了後に初期状態でカウント停止

12.4.18.17 トリガ入力

(1) トリガ入力の論理

MTxIN 入力が有効になる条件を、MTxIGICR<IGTRGSEL>で選択します。

- <IGTRGSEL>=0 ：立ち上がりエッジ検出でカウントスタート
  "High"レベル中カウントアップ、"Low"レベル中カウント停止
- <IGTRGSEL>=1 ：立ち下がりエッジ検出でカウントスタート
  "Low"レベル中カウントアップ、" High"レベル中カウント停止

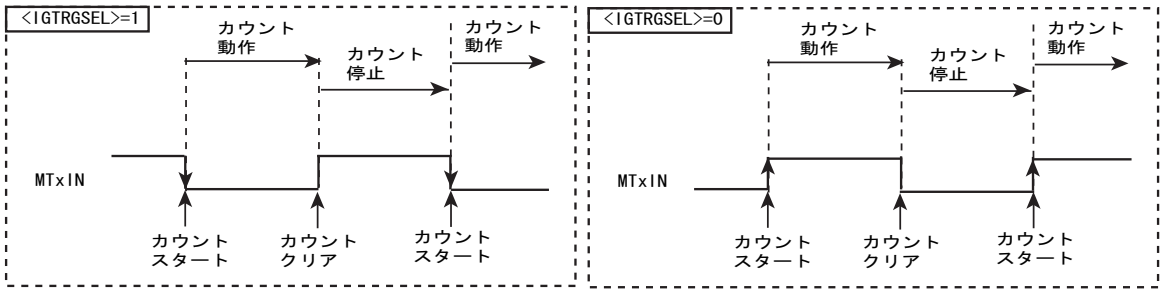


図 12-18 トリガ入力の論理

周期ストップモード中はトリガによるストップは受け付けますが、スタートは受け付けません(周期中にストップトリガを受け付けるとその時点で出力は初期値となりカウンタは停止します)。

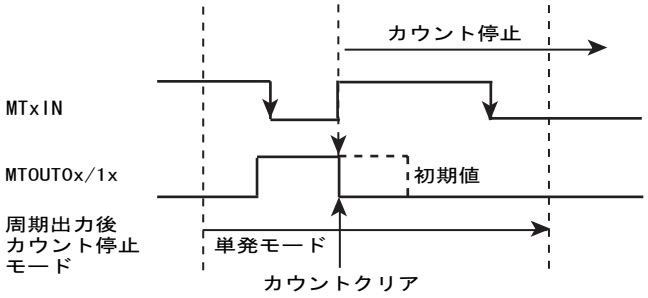


図 12-19 周期ストップモード中のトリガ受け付け

(2)　トリガ常時受け付け/アクティブ中受付禁止

PPG 出力中に常時 MTxIN 端子からのトリガを受け付けるか、PPG 出力がアクティブ中はトリガ受付を禁止するかを MTxIGICR<IGTRGM> により選択できます。設定は、MTxIGOCR <IGOEN[1:0]>で出力許可に設定してある端子のみに有効です。

<IGTRGM>="0"の場合、MTxOUT0/1x のアクティブ/ ノンアクティブの出力状態にかかわらず MTxIN 端子からのトリガ入力を常時受け付け、タイマのスタート/ クリア停止を行うとともに、MTxOUT0/1x の出力がノンアクティブ状態となります。

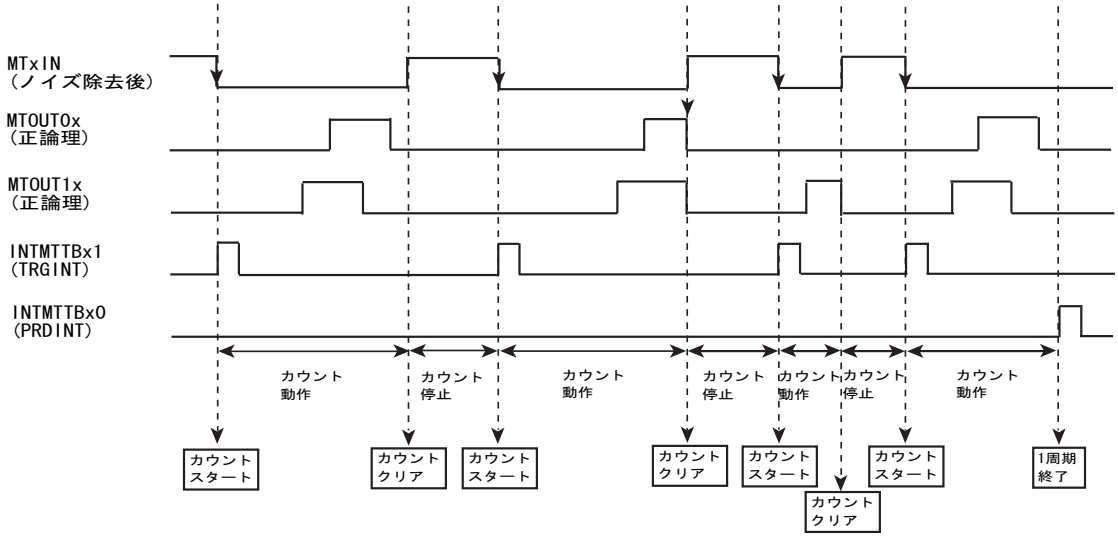


図 12-20 トリガ常時受け付け

<IGTRGM>="1"の場合、MTxOUT0/1x 出力が非アクティブ状態の時に入力されたエッジは受け付けられ、カウントクリア、停止します。

MTxOUT0/1x 出力がアクティブ状態で入力された場合、カウントはすぐに停止せず、出力が非アクティブ状態になるまでカウント継続します。非アクティブ状態になったときにトリガ信号のレベルが動作しないレベルであればカウントクリア停止し、次のスタートトリガを待ちます。

MTxOUT0/1x の両方出力許可で動作させる場合は両方の出力が非アクティブ状態でなければトリガは受け付けられません。

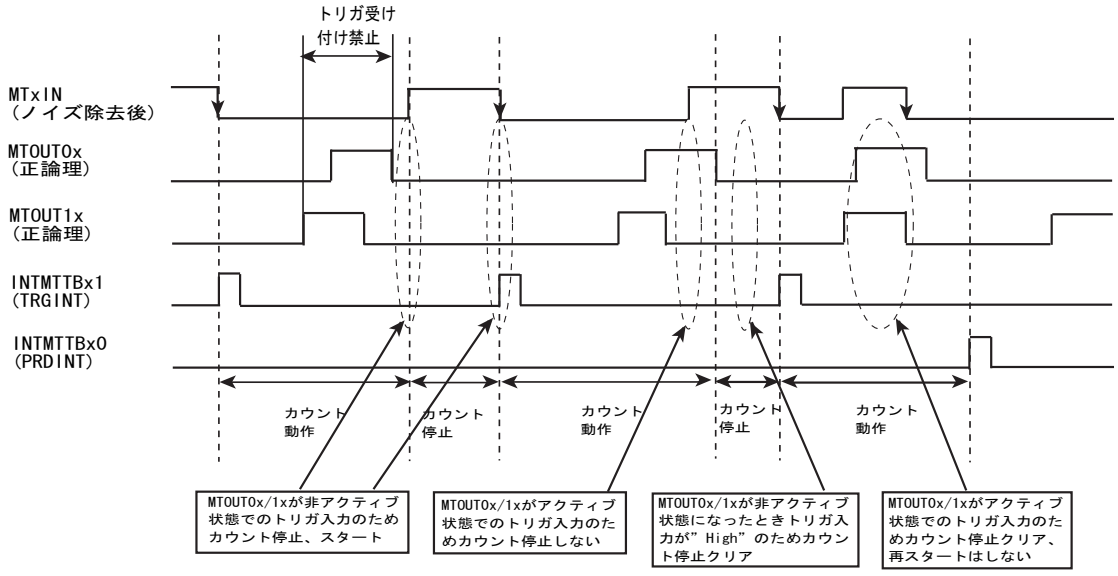


図 12-21 アクティブ中トリガ受付禁止

12.4.18.18　緊急停止機能

(1)　動作説明

MTxIGEMGCR<IGEMGEN>="1"にすることで、緊急停止機能が許可（$\overline{\text{GEMGx}}$ 端子の入力の許可）されます。

$\overline{\text{GEMGx}}$ 端子に Low レベル入力が検知されると、MTxIGEMGCR<IGEMGOC>の設定に従い、 MTxOUT0/ MTxOUT1 波形を初期状態(IGPOL0、IGPOL1 の設定)またはハイ・インピーダンスにし、GEMGx 割り込みを発生します。

なおこの機能は MTxOUT0/ MTxOUT1 出力を禁止するだけでカウントは停止しませんので、GEMG 割り込み処理ルーチン内でタイマ停止の処理を行ってください。

(2)　緊急停止モニタ

緊急出力停止状態になると MTxIGEMGST<IGEMGST>が"1"にセットされます。IGEMGST をリードしたとき、"1"の場合は緊急出力停止中であることを示します。

(3)　GEMG 割り込み

緊急出力停止入力が受け付けられると GEMG 割り込み(INTMTEMGx)を発生します。処理を割り込みによって行うときは事前に INTMTEMGx 割り込みを許可しておいてください。

また $\overline{\text{GEMGx}}$ 端子の状態が"Low"の状態で緊急出力停止状態を解除しても再び割り込みが発生し緊急出力停止状態になります。

(4)　緊急出力停止状態の解除

緊急出力停止状態を解除するときは $\overline{\text{GEMGx}}$ 端子の入力が High の状態を確認し、MTxRUN<MTRUN>を"0"にし、タイマ動作が停止したことを確認(MTxIGST<IGST>=0)した後で、MTxIGEMGCR<IGEMGRS>="1"を書き込むことにより、緊急停止状態が解除されます。

停止時の状態選択レジスタで MTxIGCR<IGSTP[1:0]>="01"または、"10"に設定している場合、MTxIGEMGCR<IGEMGRS>="1"を書き込む前に、MTxIGOCR<IGPOL[1:0]>で初期状態設定を行ってください。

12.4.18.19　ノイズキャンセラ

外部入力端子である MTxIN、$\overline{\text{GEMGx}}$ 端子へ入力される信号はデジタルノイズキャンセラによりノイズが除去されます。

デジタルノイズキャンセラはそれぞれ MTxIGICR<IGNCSEL[3:0]>、MTxIGEMGCR <IGEMGCNT[3:0]> の設定によりノイズ除去時間を選択できます。

第 13 章　4 バイト FIFO 付きシリアルチャネル(SIO/UART)

13.1　概要

シリアルチャネル(SIO/UART)は次の動作モードを持っています。

- 同期通信モード(I/O インタフェースモード)
- 非同期通信モード(UART モード)

特長は以下のとおりです。

- 転送クロック
  - プリスケーラでペリフェラルクロック(φT0)を 1/1、1/2、1/4、1/8、1/16、1/32、1/64、1/128 分周
  - プリスケーラ出力クロックに対し、1~16 分周が可能
  - プリスケーラ出力クロックに対し、N + m/16 (N = 2~15, m = 1~15)分周が可能

    (UART モードのみ)
  - システムクロック(fsys)を使用可能(UART モードのみ)
- バッファ
  - ダブルバッファ構成で使用可能
  - 送信バッファのクリアが可能
- FIFO

  送受信合わせて 4 バイトの FIFO を使用可能
- I/O インタフェースモード
  - 転送モード：半２重(受信/送信)、全２重
  - クロック：出力(立ち上がりエッジ固定) / 入力(立ち上がり/立ち下がりエッジ選択)
  - 連続転送時のインタバル時間設定が可能
  - 最終ビット出力後の SCxTXD 端子の状態を下記から選択可能

    "High"保持/"Low"保持/最終ビット保持
  - クロック入力モード時、アンダランエラーが発生したときの SCxTXD 端子の状態を下記から選択可能

    "High"保持/"Low"保持
  - クロック入力モード時、SCxTXD 端子の最終ビットホールド時間を設定可能
- UART モード
  - データ長：7，8，9 ビット
  - パリティ付加(9 ビット長では不可)
  - シリアルリンクでのウエイクアップ機能
  - $\overline{\text{SCxCTS}}$ 端子を用いたハンドシェーク機能
  - SCxRXD 端子へのノイズキャンセラ付加

以下の説明中、"x"はチャネル番号をあらわします。

13.2　構成

下記にシリアルチャネルとシリアルクロック生成回路のブロック図を示します。

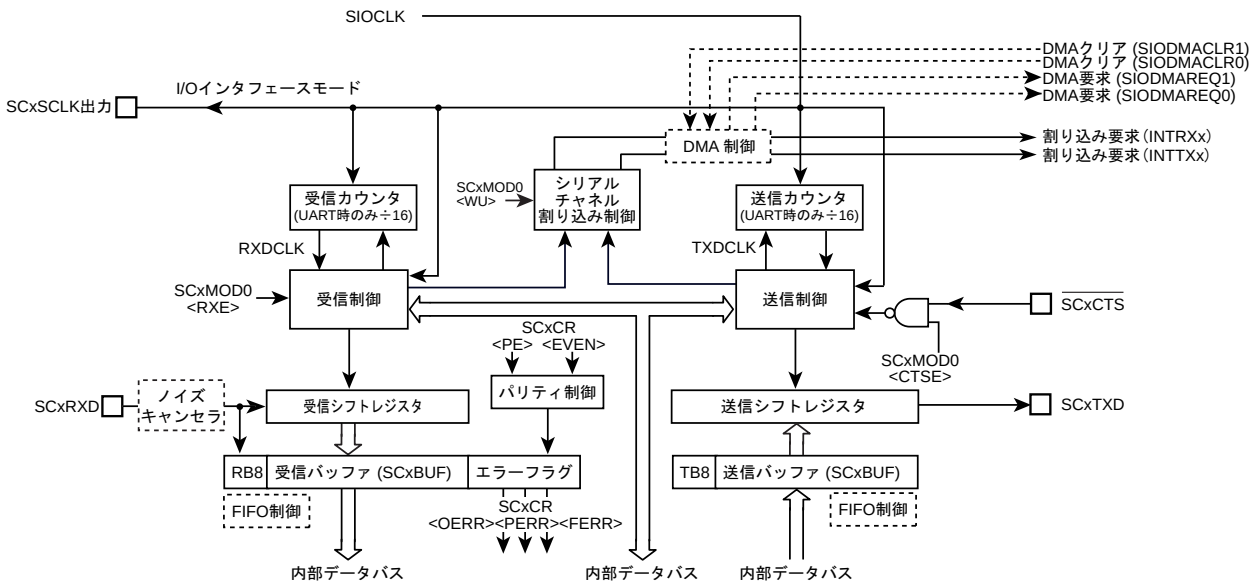


図 13-1 シリアルチャネルブロック図

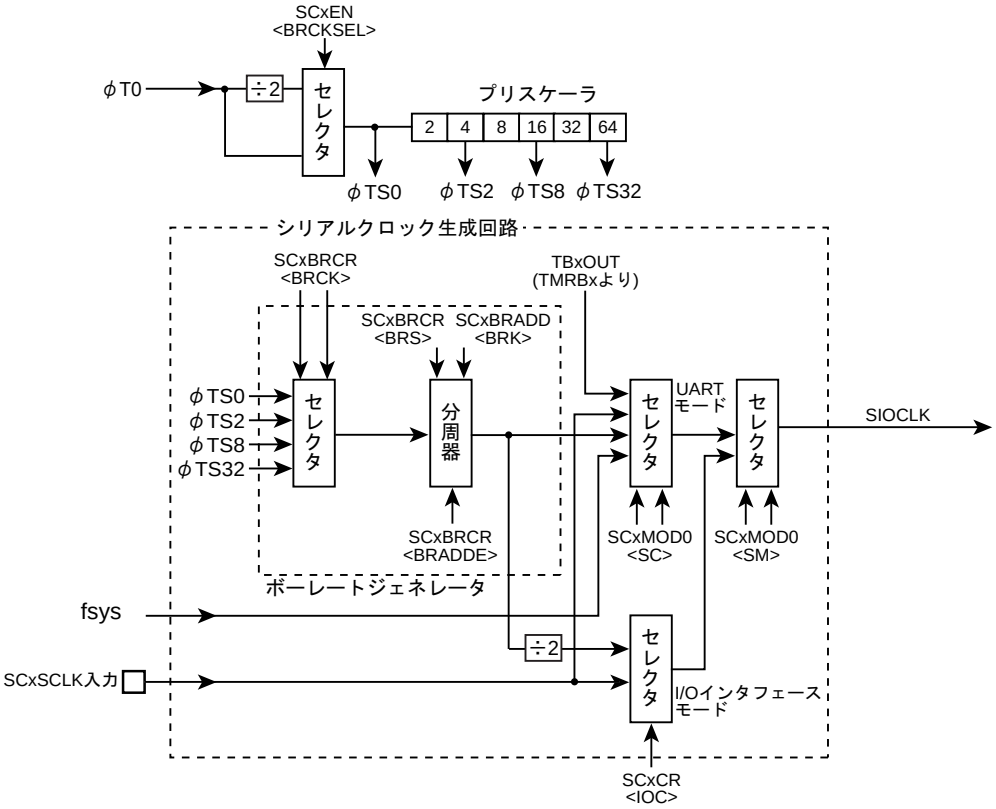


図 13-2 シリアルクロック生成回路ブロック図

13.3 レジスタ説明

13.3.1 レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
イネーブルレジスタ	SCxEN	0x0000
送受信バッファレジスタ	SCxBUF	0x0004
コントロールレジスタ	SCxCR	0x0008
モードコントロールレジスタ 0	SCxMOD0	0x000C
ボーレートジェネレータコントロールレジスタ	SCxBRCR	0x0010
ボーレートジェネレータコントロールレジスタ 2	SCxBRADD	0x0014
モードコントロールレジスタ 1	SCxMOD1	0x0018
モードコントロールレジスタ 2	SCxMOD2	0x001C
受信 FIFO コンフィグレジスタ	SCxRFC	0x0020
送信 FIFO コンフィグレジスタ	SCxTFC	0x0024
受信 FIFO ステータスレジスタ	SCxRST	0x0028
送信 FIFO ステータスレジスタ	SCxTST	0x002C
FIFO コンフィグレジスタ	SCxFCNF	0x0030

注) 送信、受信中(受信許可の状態）に制御レジスタの変更を行わないでください。

13.3.2　SCxEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	BRCKSEL	SIOE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	BRCKSEL	R/W	プリスケーラの入力クロックを選択します。 0: φT0/2 1: φT0
0	SIOE	R/W	シリアルチャネル動作 0: 禁止 1: 動作 シリアルチャネルの動作を指定します。シリアルチャネルを使用する場合は、まず<SIOE>に"1"をセットしてください。 動作禁止の状態では、イネーブルレジスタを除くシリアルチャネルの全てのクロックが停止しますので消費電力の低減が可能です。 シリアルチャネルをいったん動作させた後に動作禁止にした場合は、レジスタの設定は保持されます。

13.3.3 SCxBUF (バッファレジスタ)

SCxBUF は、書き込みするときは送信バッファまたは FIFO、読み出しするときは受信バッファまたは FIFO として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB / RB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	TB[7:0] / RB [7:0]	R/W	[ライト] TB：送信用バッファまたは FIFO [リード] RB：受信用バッファまたは FIFO

13.3.4　SCxCR (コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	EHOLD			-	TXDEMP	TIDLE	
リセット後	0	0	0	0	0	1	1	0
	7	6	5	4	3	2	1	0
bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-15	−	R	リードすると"0"が読めます。
14-12	EHOLD[2:0]	R/W	クロック入力モードの SCxTXD 端子の最終ビットホールド時間の設定(I/O インタフェースモードのみ有効) 最終ビットのホールド時間 ≤ SCLK 周期/2 となるように、最終ビットのホールド時間、SCLK 周期を設定してください。 000: 2/fsys　100: 32/fsys 001: 4/fsys　101: 64/fsys 010: 8/fsys　110: 128/fsys 011: 16/fsys　111: Reserved
11	−	R	リードすると"0"が読めます。
10	TXDEMP	R/W	クロック入力モード時、アンダランエラーが発生したときの SCxTXD 端子の状態選択(I/O インタフェースモードのみ有効) 0: "Low"出力 1: "High"出力
9-8	TIDLE[1:0]	R/W	最終ビット出力後の SCxTXD 端子の状態選択(I/O インタフェースモードのみ有効) <TIDLE[1:0]>="10"を設定したときには、<EHOLD[2:0]>="000"を設定してください。 00: "Low"出力保持 01: "High"出力保持 10: 最終ビット保持 11: Reserved
7	RB8	R	受信データビット 8 (UART モードのみ有効) 9 ビット UART モード時の 9 ビット目の受信データです。
6	EVEN	R/W	パリティ(UART モードのみ有効) パリティの条件を設定します。パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。 0: Odd 1: Even
5	PE	R/W	パリティ付加(UART モードのみ有効) 0: 禁止 1: 許可 パリティ許可/禁止を制御するビットです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
4	OERR	R	オーバランエラー (注) 0: エラーではない 1: エラー
3	PERR	R	パリティ/アンダランエラー (注) 0: エラーではない 1: エラー

Bit	Bit Symbol	Type	機能
2	FERR	R	フレーミングエラー (注) 0: エラーではない 1: エラー
1	SCLKS	R/W	入力クロックエッジ選択(I/O インタフェース用) クロック出力モードのときは"0"を設定してください。 0: SCxSCLK 端子の立ち下がりエッジで送信バッファのデータを 1bit ずつ SCxTXD 端子へ出力します。 SCxSCLK 端子の立ち上がりエッジで SCxRXD 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCxSCLK 端子は High レベルからスタートします(立ち上がりモード)。 1: SCxSCLK 端子の立ち上がりエッジで送信バッファのデータを 1bit ずつ SCxTXD 端子へ出力します。 SCxSCLK 端子の立ち下がりエッジで SCxRXD 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCxSCLK 端子は Low レベルからスタートします。(立ち下がりモード)
0	IOC	R/W	クロック選択(I/O インタフェースモード用) 0: クロック出力モード (転送クロックは SCxSCLK 端子から出力されます) 1: クロック入力モード (転送クロックは SCxSCLK 端子から入力されます)

注) <OERR>, <PERR>, <FERR>は読み出すとクリアされます。

13.3.5　SCxMOD0 (モードコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB8	CTSE	RXE	WU	SM		SC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TB8	R/W	送信データビット 8 (UART モードのみ) 9 ビット UART モード時の 9 ビット目の送信データをセットします。
6	CTSE	R/W	ハンドシェーク機能制御 (UART モードのみ) 0: CTS ディセーブル 1: CTS イネーブル ハンドシェーク機能の制御を行います。 "1"を設定すると $\overline{\text{SCxCTS}}$ 端子を用いたハンドシェーク機能が使用可能になります。
5	RXE	R/W	受信制御(注 1)(注 2) 0: 禁止 1: 許可
4	WU	R/W	ウェイクアップ機能 (UART モードのみ) 0: ディセーブル 1: イネーブル 9 ビット UART モードの場合のみ有効で、その他のモードでは無視されます。 イネーブルの場合、受信データ 9 ビット目が"1"のときのみ割り込みが発生します。
3-2	SM[1:0]	R/W	シリアル転送モード 00: I/O インタフェースモード 01: 7 ビット UART モード 10: 8 ビット UART モード 11: 9 ビット UART モード
1-0	SC[1:0]	R/W	シリアル転送クロック(UART モードのみ) 00: TMRB 出力 01: ボーレートジェネレータ 10: システムクロック(fsys) 11: 外部クロック(SCxSCLK 端子入力) (I/O インタフェースモード時の転送クロックは、SCxCR<IOC>で選択します。)

注 1)　<RXE>は、全ての設定が終わった後に許可してください。
注 2)　受信中に動作を停止(SCxMOD0<RXE>を"0"にクリア)しないでください。

13.3.6 SCxMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	I2SC	FDPX		TXE	SINT			-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	I2SC	R/W	IDLE モード時の動作 0: 停止 1: 動作 IDLE モード時の動作を指定します。
6-5	FDPX[1:0]	R/W	転送モード設定 00: 転送禁止 01: 半２重(受信) 10: 半２重(送信) 11: 全２重 I/O インタフェースモード時の転送モードを設定します。 また FIFO が許可されている場合は、FIFO 構成を指定します。UART モードの場合は、FIFO 構成の指定のみ行われます。
4	TXE	R/W	送信制御(注 1) (注 2) 0: 禁止 1: 許可 全転送モードに有効な送信許可ビットです。
3-1	SINT[2:0]	R/W	連続転送時のインタバル時間(I/O インタフェースモード用) 000: なし 001: 1 x SCLK 周期 010: 2 x SCLK 周期 011: 4 x SCLK 周期 100: 8 x SCLK 周期 101: 16 x SCLK 周期 110: 32 x SCLK 周期 111: 64 x SCLK 周期 I/O インタフェースモードでクロック出力モードの場合に有効なビットです。その他のモードでは意味を持ちません。 I/O インタフェースモードで、ダブルバッファまたは FIFO が許可されているときに連続転送のインタバル時間を指定 します。
0	–	R/W	"0"をライトしてください。

注 1) <TXE>ビットは、全ての設定を行った後に許可してください。
注 2) 送信中に動作を停止(SCxMOD1<TXE>を"0"にクリア)しないでください。

13.3.7　SCxMOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEMP	RBFLL	TXRUN	SBLEN	DRCHG	WBUF	SWRST	
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TBEMP	R	送信バッファエンプティフラグ 0: Full 1: Empty ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され empty になると"1"になり、送信データが書き込まれると"0"になります。
6	RBFLL	R	受信バッファ full フラグ 0: Empty 1: Full ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると"1"になり、受信バッファを読み出すと"0"になります。
5	TXRUN	R	送信動作中フラグ 0: 停止 1: 動作 送信シフト動作中を示すステータスフラグです。 <TXRUN>と<TBEMP>ビットで以下のような状態を示します。

<TXRUN>	<TBEMP>	状態
1	–	送信動作中
0	1	送信が完全に終了
	0	送信バッファに次のデータがあり送信待ち

4	SBLEN	R/W	送信 STOP ビット長(UART モード用) 0: 1 ビット 1: 2 ビット UART モード時の送信 STOP ビットの長さを指定します。 受信の場合は設定に関わらず STOP ビット長は 1 ビットであるとして動作します。
3	DRCHG	R/W	転送方向設定 0: LSB first 1: MSB first 転送方向を指定します。 UART モード時は LSB first に設定してください。
2	WBUF	R/W	ダブルバッファの許可 0: 不許可 1: 許可 I/O インタフェースモードの送信(クロック出力/入力モード), 受信(クロック出力モード), UART モードの送信時に、送信、 受信のダブルバッファの許可/不許可を指定します。 I/O インタフェースモードの受信(クロック入力モード), UART モードの受信時は設定に関わらず、常にダブルバッファは許可されます。

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>1-0</td><td>SWRST[1:0]</td><td>R/W</td><td>ソフトウエアリセット
"10"→"01" の順に書き込むことでソフトウエアリセットが発生します。
ソフトウエアリセットにより、以下のビットが初期化されます。また、送受信回路と FIFO は初期状態に なります。(注 1) (注 2)
<table>
<tr><th>レジスタ名</th><th>ビット</th></tr>
<tr><td>SCxMOD0</td><td><RXE></td></tr>
<tr><td>SCxMOD1</td><td><TXE></td></tr>
<tr><td>SCxMOD2</td><td><TBEMP>, <RBFLL>, <TXRUN></td></tr>
<tr><td>SCxCR</td><td><OERR>, <PERR>, <FERR></td></tr>
</table>
</td></tr>
</table>

注 1)　転送動作中にソフトウエアリセットを実施する場合は 2 回連続して実行してください。

注 2)　ソフトウエアリセット動作が完了するのに、命令実行後 2 クロック必要です。

13.3.8　SCxBRCR (ボーレートジェネレータコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	BRADDE	BRCK		BRS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	−	R/W	"0"をライトしてください。
6	BRADDE	R/W	N + (16 − K)/16 分周機能(UART モードのときのみ) 0: ディセーブル 1: イネーブル
5-4	BRCK[1:0]	R/W	ボーレートジェネレータ入力クロック選択 00: φTS0 01: φTS2 10: φTS8 11: φTS32
3-0	BRS[3:0]	R/W	分周値"N"の設定 0000 : N = 16 0001 : N = 1 0010 : N = 2 : 1111 : N = 15

注 1)　UART モードで N + (16 − K)/16 分周機能を使用する場合、分周値"N"に 1 分周("0001")と 16 分周("0000")は設定できません。

注 2)　I/O インタフェースモードの場合、分周値"N"に 1 分周("0001")を設定できるのはダブルバッファを使用する場合のみです。

13.3.9 SCxBRADD (ボーレートジェネレータコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BRK			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	R	リードすると"0"が読めます。
3-0	BRK[3:0]	R/W	N + (16 − K)/16 分周の K 値の設定(UART モード用) 0000: 設定禁止 0001: K = 1 0010: K = 2 : 1111: K = 15

ボーレートジェネレータ分周値の設定方法を表 13-1 にまとめます。

表 13-1 分周値の設定方法

	<BRADDE> = "0"のとき	<BRADDE> = "1"のとき (注 1) (UART モードのみ使用可能)
<BRS>の設定	分周値"N"を設定	
<BRK>の設定	設定不要	"K"値を設定 (注 2)
分周値	N 分周	$N + \frac{(16 - K)}{16}$ 分周

注 1) N + (16 − K)/16 分周機能を使用する場合、必ず<BRK>に"K"値を設定後に<BRADDE> = "1"を設定してください。この機能は、UART モードのときのみ使用可能です。

注 2) "K"値に"0"を設定することはできません。

13.3.10　SCxFCNF (FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	RFST	TFIE	RFIE	RXTXCNT	CNFG
リセット後	0	0	0	0	0	0	0	0

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>31-8</td><td>-</td><td>R</td><td>リードすると"0"が読めます。</td></tr>
<tr><td>7-5</td><td>-</td><td>R/W</td><td>必ず"000"を書き込んでください。</td></tr>
<tr><td>4</td><td>RFST</td><td>R/W</td><td>受信 FIFO 使用バイト数
0: 最大
1: 受信 FIFO の FILL レベルに同じ
受信 FIFO 使用バイト数の設定ビットです。(注 1)
"0"の場合、構成されている FIFO の最大のバイト数(<CNFG>ビットの説明を参照。)が使用可能です。
"1"の場合、SCxRFC<RIL[1:0]>で指定された FILL レベルのバイト数になります。</td></tr>
<tr><td>3</td><td>TFIE</td><td>R/W</td><td>送信 FIFO 使用時の送信割り込み許可
0: 禁止
1:許可
送信 FIFO が有効にされているときの送信割り込みの禁止/許可を切り替えます。</td></tr>
<tr><td>2</td><td>RFIE</td><td>R/W</td><td>受信 FIFO 使用時の受信割り込み許可
0: 禁止
1:許可
受信 FIFO が有効にされているときの受信割り込みの禁止/許可を切り替えます。</td></tr>
<tr><td>1</td><td>RXTXCNT</td><td>R/W</td><td>RXE/TXE の自動禁止
0: なし
1: 自動禁止
送信/受信の自動禁止機能の制御ビットです。
"1"に設定した場合、設定された通信方式により以下のように動作します。
<table>
<tr><td>半２重受信</td><td>受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 <RXE>)が"0"となり、受信が禁止される。</td></tr>
<tr><td>半２重送信</td><td>送信 FIFO、送信バッファおよび送信シフトレジスタの全てのデータ送信が終了すると自動的に送信許可ビット(<TXE>)が"0"となり、送信が禁止される。</td></tr>
<tr><td>全２重</td><td>上記の半２重受信または半２重送信のどちらかの条件が成立すると自動的に送信許可ビット, 受信許可ビットとも"0"となり、送受信が禁止される。</td></tr>
</table></td></tr>
<tr><td>0</td><td>CNFG</td><td>R/W</td><td>FIFO の許可
0: 禁止
1: 許可
FIFO 使用の許可ビットです。(注 2)
"1"に設定すると FIFO が使用可能となります。設定された通信方式により FIFO の構成は以下のようになります。
<table>
<tr><td>半２重受信</td><td>受信 FIFO 4 バイト</td></tr>
<tr><td>半２重送信</td><td>送信 FIFO 4 バイト</td></tr>
<tr><td>全２重</td><td>受信 FIFO 2 バイト + 送信 FIFO 2 バイト</td></tr>
</table></td></tr>
</table>

注 1)　送信 FIFO は常に構成されている FIFO の最大バイト数(<CNFG>の説明を参照)を使用できます。

注 2)　9 ビット UART モードでは FIFO は使用できません。

13.3.11　SCxRFC (受信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RFCS	RFIS	-	-	-	-	RIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	RFCS	W	受信 FIFO クリア(注 1) 1: クリア "1"を書き込むと受信 FIFO がクリアされ、SCxRST<RLVL>="000"となります。また、リードポインタも初期化されます。 リードすると"0"が読めます。
6	RFIS	R/W	割り込み発生条件選択 0: FIFO fill レベル(SCxRST<RLVL[2:0]>) = 割り込み発生 fill レベル(<RIL[1:0]>) のとき 1: FIFO fill レベル(SCxRST<RLVL[2:0]>) ≥ 割り込み発生 fill レベル(<RIL[1:0]>) のとき 割り込み発生タイミングの詳細については、13.13.1.2 を参照してください。
5-2	−	R	リードすると"0"が読めます。
1-0	RIL[1:0]	R/W	受信割り込みが発生する受信 FIFO の fill レベル

	半２重	全２重
00	4 バイト	2 バイト
01	1 バイト	1 バイト
10	2 バイト	2 バイト
11	3 バイト	1 バイト

注)　送信/受信 FIFO 使用時は、SIO の転送モード設定(半２重/全２重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

13.3.12 SCxTFC (送信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	TBCLR
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TFCS	TFIS	-	-	-	-	TIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	–	R	リードすると"0"が読めます。
8	TBCLR	W	送信バッファクリア 0: Don't care 1: クリア "1"を書き込むと送信バッファがクリアされます。 リードすると"0"が読めます。
7	TFCS	W	送信 FIFO クリア(注 1) 0: Don't care 1: クリア "1"を書き込むと送信 FIFO がクリアされ、SCxTST<TLVL>="000"となります。また、ライトポインタも初期化されます。 リードすると"0"が読めます。
6	TFIS	R/W	割り込み発生条件選択 0: FIFO fill レベル(SCxTST<TLVL[2:0]>) = 割り込み発生 fill レベル(<TIL[1:0]>) のとき 1: FIFO fill レベル(SCxTST<TLVL[2:0]>) ≤ 割り込み発生 fill レベル(<TIL[1:0]>) のとき 割り込み発生タイミングの詳細については、13.13.2.2 を参照してください。
5-2	–	R	リードすると"0"が読めます。
1-0	TIL[1:0]	R/W	送信割り込みが発生する FIFO の fill レベル

	半２重	全２重
00	Empty	Empty
01	1 バイト	1 バイト
10	2 バイト	Empty
11	3 バイト	1 バイト

注 1) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半２重/全２重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

注 2) SCxEN<SIOE>=0(SIO/UART 動作禁止)、または SCxMOD1<I2SC>=0 で IDLE モードへの移行(IDLE モード中の動作停止) した場合は、必ず SCxTFC の再設定を行ってください。

13.3.13　SCxRST (受信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ROR	-	-	-	-	RLVL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	ROR	R	受信 FIFO オーバラン(注) 0: オーバランは発生していない 1: オーバラン発生
6-3	−	R	リードすると"0"が読めます。
2-0	RLVL[2:0]	R	受信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注)　<ROR>はバッファレジスタ(SCxBUF)を読み出すと"0"にクリアされます。

13.3.14 SCxTST (送信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TUR	-	-	-	-	TLVL		
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TUR	R	送信 FIFO アンダラン(注) 0: アンダランは発生していない 1: アンダラン発生
6-3	−	R	リードすると"0"が読めます。
2-0	TLVL[2:0]	R	送信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注) <TUR>はバッファレジスタ(SCxBUF)に書き込みを行うと"0"にクリアされます。

13.4　動作モード

表 13-2 にモードをまとめます。

表 13-2 モードとデータフォーマット

モード	種類	データ長	転送方向	パリティ付加	STOP ビット長(送信)
モード 0	同期通信モード (I/O インタフェースモード)	8 ビット	LSB first/MSB first	-	-
モード 1	非同期通信モード (UART モード)	7 ビット	LSB first	○	1 ビットまたは 2 ビット
モード 2		8 ビット		○	
モード 3		9 ビット		×	

モード 0 は同期通信モードで、I/O を拡張するために使用できます。SCLK クロックに同期してデータの送受信を行います。SCLK クロックはクロック入力/出力モードのいずれでも使用できます。転送方向は、LSB first と MSB first から選択可能です。パリティ付加機能はなく、STOP ビットも使用しません。

モード 1 からモード 3 は非同期通信モードです。転送方向は LSB first のみ選択できます。

モード 1 とモード 2 はパリティビットの付加が可能です。モード 3 は、マスタコントローラが、シリアルリンク(マルチコントローラシステム)でスレーブコントローラを起動させるためのウエイクアップ機能を持っています。送信時の STOP ビットを 1 ビットまたは 2 ビットから選択できます。受信時の STOP ビット長は 1 ビット固定です。

13.5 データフォーマット

13.5.1 データフォーマット一覧

図 13-3 にデータフォーマットを示します。

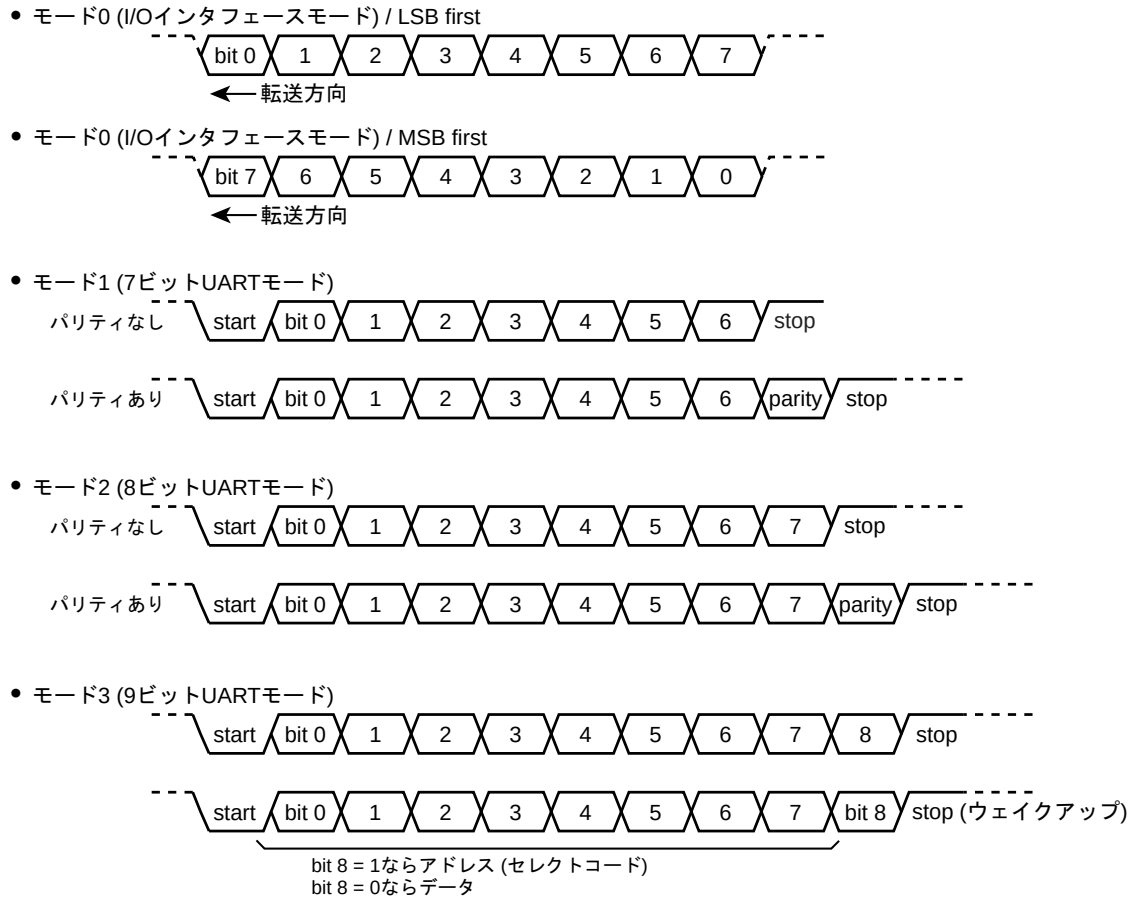


図 13-3 データフォーマット

13.5.2　パリティ制御

7 ビット UART モードまたは 8 ビット UART モードでは送信データにパリティビットを付加することができます。また、受信データに付加されているパリティビットを生成されたパリティビットと比較することができます。

SCxCR<PE>に"1"を設定するとパリティが有効になります。SCxCR<EVEN>で偶数/奇数パリティを選択することができます。

13.5.2.1　送信

送信時、パリティ制御回路は送信バッファのデータに対して自動的にパリティを発生し、7 ビット UART モードのときは SCxBUF<TB7>に、8 ビット UART モードのときは SCxMOD0<TB8>にパリティが格納されます。

なお<PE>と<EVEN>の設定は、送信データをバッファレジスタに書き込む前に行ってください。

13.5.2.2　受信

受信データが受信シフトレジスタから受信バッファに移されるとパリティを自動発生し、7 ビット UART モードのときは SCxBUF<RB7>と、8 ビット UART モードのときは SCxCR<RB8>と生成したパリティを比較します。異なっているとパリティエラーが発生し、SCxCR<PERR>がセットされます。

FIFO を使用する場合、<PERR>は受信したいずれかのデータでパリティエラーが発生したことを示します。

13.5.3　STOP ビット長

SCxMOD2<SBLEN>で、UART 送信モードの STOP ビット長を 1 ビットまたは 2 ビットに設定できます。受信の場合にはこのビットの設定にかかわらず 1 ビットの STOP ビット長として認識します。

13.6 クロック制御

13.6.1 プリスケーラ

7 ビットのプリスケーラを実装しており、φT0 の 1 / 2/ 4 / 8 / 16 / 32/ 64 / 128 分周のクロックを生成します。

プリスケーラの入力クロックは、クロック/モード制御部の CGSYSCR と SCxEN<BRCKSEL>で選択します。

プリスケーラは、SCxMOD0<SC[1:0]>="01"でボーレートジェネレータを転送クロックとして選択した場合に動作します。

13.6.2 シリアルクロック生成回路

送受信クロック(SIOCLK)を生成するブロックで、ボーレートジェネレータとモードによりクロックを選択する回路で構成されています。

13.6.2.1 ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

(1) ボーレートジェネレータ入力クロック

ボーレートジェネレータの入力クロックは、プリスケーラ出力の 1 / 4 / 16 / 64 分周から選択します。入力クロックの選択は SCxEN<BRCKSEL>と SCxBRCR<BRCK>で行います。

SCxEN<BRCKSEL>	SCxBRCR<BRCK>	ボーレートジェネレータ入力 φTx
0	00	φT0/2
0	01	φT0/8
0	10	φT0/32
0	11	φT0/128
1	00	φT0
1	01	φT0/4
1	10	φT0/16
1	11	φT0/64

(2) ボーレートジェネレータ出力クロック

ボーレートジェネレータの出力クロック分周値は、SCxBRCR、 SCxBRADD で設定します。

I/O インタフェースモードでは N 分周、UART モードでは N 分周または N + (16-K)/16 分周が使用できます。

以下に設定可能な分周値をまとめます。

モード	分周機能設定 SCxBRCR<BRADDE>	N 分周値 SCxBRCR<BRS[3:0]>	K 値 SCxBRADD<BRK[3:0]>
I/O インタフェース	N 分周	1 ~ 16 (注)	-
UART	N 分周	1 ~ 16	-
	N + (16-K)/16 分周	2 ~ 15	1 ~ 15

注)　1 分周は、ダブルバッファ許可時のみ使用できます。

ボーレートジェネレータ分周機へのクロック入力を φTx としたとき、N 分周の場合と N+ (16-K)/16 分周の場合のボーレートジェネレータ出力クロックは以下の計算式であらわされます。

・　N 分周

$$\text{ボーレートジェネレータ出力クロック} = \frac{\phi Tx}{N}$$

・　N + (16-K)/16 分周

$$\text{ボーレートジェネレータ出力クロック} = \frac{\phi Tx}{N + \frac{(16 - K)}{16}}$$

13.6.2.2 クロック選択回路

モードとレジスタ設定により、クロックが選択されます。

モードは SCxMOD0<SM[1:0]>で指定します。

I/O インタフェースモード時のクロックは、SCxCR<IOC><SCLKS>で設定します。

UART モード時のクロックは、SCxMOD0<SC[1:0]>で設定します。

(1) I/O インタフェースモードの転送クロック

表 13-3 に I/O インタフェースモードで可能なクロックを示します。

表 13-3 I/O インタフェースモードのクロック選択

モード SCxMOD0<SM[1:0]>	入出力選択 SCxCR<IOC>	クロックエッジ選択 SCxCR<SCLKS>	使用クロック
"00" (I/O インタフェース モード)	"0" (クロック出力 モード)	"0" (送信: 立ち下がり、 受信 : 立ち上がり)	ボーレートジェネレータ出力の 2 分周
	"1" (クロック入力 モード)	"0" (送信: 立ち下がり、 受信 : 立ち上がり)	SCxSCLK 端子入力
		"1" (送信: 立ち上がり、 受信 : 立ち下がり)	SCxSCLK 端子入力

SCxSCLK 端子入力を使用する場合、以下の条件を満足する必要があります。

- ダブルバッファ使用の場合

  SCLK 周期 > 6/fsys

- ダブルバッファ未使用の場合

  SCLK 周期 > 8/fsys

(2)　UART モードの転送クロック

表 13-4 に UART モードの場合のクロック選択を示します。UART モードでは、選択されたクロックを受信/送信カウンタでさらに 16 分周して使用します。

表 13-4 UART モードのクロック選択

モード SCxMOD0<SM[1:0]>	クロック選択 SCxMOD0<SC[1:0]>
UART モード ("01", "10", "11")	"00" : タイマ出力
	"01" : ボーレートジェネレータ
	"10" : fsys
	"11" : SCxSCLK 端子入力

SCxSCLK 端子入力を使用する場合、以下の条件を満足する必要があります。

- SCLK 周期 > 2/fsys

タイマの出力を使用する場合、カウンタと TBxRG1 の一致でタイマフリップフロップ出力を反転させる設定とします。SIOCLK クロック周期は「TBxRG1 設定値 × 2」となります。

ボーレートは以下の計算式で求められます。

ボーレートの算出方法

$$\text{転送レート} = \frac{\text{CGSYSCR<PRCK[1:0]>で選択されたクロック周波数}}{(\text{TBxRG1} \times 2) \times 2 \times 16}$$

(タイマプリスケーラクロックϕT1(2分周)を選択した場合)

(タイマフリップフロップ反転2回で1クロック周期となる)

13.7 送信/受信バッファと FIFO

13.7.1 構成

送信/受信バッファと FIFO の構成を図 13-4 に示します。

バッファと FIFO を使用するには設定が必要です。また、モードによっては構成が決まっている場合があります。



図 13-4 バッファと FIFO の構成

13.7.2 送信/受信バッファ

送信および受信バッファはダブルバッファ構造となっています。バッファ構成の設定は、SCxMOD2<WBUF>で行います。

受信の場合、I/O インタフェースモードでクロック入力モードの場合と UART モードでは、<WBUF>の設定によらずダブルバッファ構成になります。

その他のモードでは<WBUF>の設定に従います。

表 13-5 にモードとバッファ構成の関係をまとめます。

表 13-5 モードとバッファ構成

モード		SCxMOD2<WBUF>	
		"0"	"1"
UART モード	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェースモード (クロック入力モード)	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェースモード (クロック出力モード)	送信	シングル	ダブル
	受信	シングル	ダブル

13.7.3　送信バッファの初期化

送信バッファにデータが残っている状態で送信を中断した場合、送信バッファに新たにデータを書き込む前に送信バッファの初期化を行う必要があります。

送信バッファの初期化は、送信動作が停止している状態で行ってください。SCxMOD2<TXRUN>を読み出すことで、送信動作が停止しているかを判断できます。送信動作が停止していることが確認できたら、SCxTFC<TBCLR>に"1"を設定し、送信バッファの初期化を行います。

送信 FIFO が有効な場合、送信 FIFO の状態で動作が変わります。送信 FIFO にデータがある場合、送信 FIFO から送信バッファにデータが転送されます。送信 FIFO が空なら、SCxMOD2<TBEMP>が"1"にセットされます。

注)　I/O インタフェースモードのクロック入力モードではクロックが非同期に入力されます。送信動作が停止しているときにクロックを入力しないようにしてください。

13.7.4　FIFO

ダブルバッファに加えて、4byte の FIFO を使用することができます。

FIFO を有効にするには SCxMOD2<WBUF>を"1"としてダブルバッファをイネーブルにし、SCxFCNF<CNFG>に"1"をセットします。FIFO バッファの構成は SCxMOD1<FDPX>で設定します。

注)　送信/受信 FIFO 使用するときは、SIO の転送モード設定(半２重/全２重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

表 13-6 にモードと FIFO 構成の関係をまとめます。

表 13-6 モードと FIFO 構成

	SCxMOD1<FDPX[1:0]>	受信 FIFO	送信 FIFO
半２重受信	"01"	4byte	-
半２重送信	"10"	-	4byte
全２重	"11"	2byte	2byte

13.8 ステータスフラグ

SCxMOD2 に 2 種類のステータスフラグが準備されています。これらのフラグはダブルバッファ許可の時のみ意味を持ちます。

<RBFLL>は、受信バッファ full を示すフラグです。1 データの受信が終了し、データが受信シフトレジスタから受信バッファに移されると"1"にセットされます。受信バッファを読み出すと"0"にクリアされます。

<TBEMP>は、送信バッファ empty を示すフラグです。送信バッファから送信シフトレジスタ へデータが移されると、"1"がセットされます。送信バッファにデータをセットすると"0"にクリアされます。

13.9 エラーフラグ

SCxCR に 3 種類のエラーフラグが準備されています。フラグによってはモードにより意味が変わります。以下にモードごとのフラグの意味をまとめます。

これらのフラグは、SCxCR を読み出すと"0"にクリアされます。

<table>
<tr><th rowspan="2">モード</th><th colspan="3">フラグ</th></tr>
<tr><th><OERR></th><th><PERR></th><th><FERR></th></tr>
<tr><td>UART モード</td><td>オーバランエラー</td><td>パリティエラー</td><td>フレーミングエラー</td></tr>
<tr><td rowspan="2">I/O インタフェース
モード
(クロック入力モード)</td><td rowspan="2">オーバランエラー</td><td>アンダランエラー
(ダブルバッファまたは FIFO 使用時)</td><td rowspan="2">"0"固定</td></tr>
<tr><td>"0"固定
(ダブルバッファおよび FIFO 未使用時)</td></tr>
<tr><td>I/O インタフェース
モード
(クロック出力モード)</td><td>不定</td><td>不定</td><td>"0"固定</td></tr>
</table>

13.9.1 OERR フラグ

UART モード、I/O インタフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了すると"1"にセットされます。

受信 FIFO を有効にしている場合は、受信 FIFO へデータが自動的に移されるので、受信 FIFO が Full(使用バイト数)になるまではフラグはセットされません。

I/O インタフェースモードのクロック出力モードの設定では、フラグのセットとともにクロック出力が停止します。

注) I/O インタフェースモードのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、オーバランフラグをクリアしてください。

13.9.2　PERR フラグ

UART モードではパリティエラーを、I/O インタフェースモードではアンダランエラーまたは送信終了を示します。

パリティエラーは UART モードで受信したデータから生成されたパリティと受信したパリティビットが異なる場合に"1"にセットされます。

アンダランエラーは、I/O インタフェースモードでダブルバッファが有効な場合に以下の条件で"1"にセットされます。

クロック入力モードの場合、送信シフトレジスタのデータを送信終了後、送信バッファにデータがない状態で次の転送クロックが入力されるとセットされます。

クロック出力モードの場合、全てのデータ送信が終了するとセットされクロック出力を停止します。

注)　I/O インタフェースモードのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、アンダランフラグをクリアしてください。

13.9.3　FERR フラグ

フレーミングエラーは UART モードの受信データのストップビットを中央付近でサンプリングし、結果が"0"の場合に発生します。SCxMOD2<SBLEN>でのストップビット長設定に関わらず、判定は第 1 ストップビットで行われます。

I/O インタフェースモードではこのビットは"0"固定です。

13.10 受信

13.10.1 受信カウンタ

受信カウンタは 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。

UART モードでは、データ 1 ビットの受信に SIOCLK が 16 クロック用いられ、8 クロック目でデータをサンプリングします。

13.10.2 受信制御部

13.10.2.1 I/O インタフェースモードの場合

SCxCR<IOC>="0"のクロック出力モードのときは、SCxSCLK 端子へ出力されるクロックの立ち上がりで SCxRXD 端子をサンプリングします。

SCxCR <IOC>="1"のクロック入力モードのときは、SCxCR<SCLKS>の設定に従って、SCxSCLK 端子の立ち上がり/立ち下がりエッジでシリアル受信データ SCxRXD 端子をサンプリングします。

13.10.2.2 UART モードの場合

受信制御部はスタートビット検出回路を持ち、正常なスタートビットを判断して受信動作を開始します。

13.10.3 受信動作

13.10.3.1 受信バッファの動作

受信シフトレジスタに受信データが 1 ビットずつ格納され、データがそろうと割り込み INTRXx が発生します

ダブルバッファ設定の場合は、データは受信バッファ(SCxBUF) へ移され受信バッファの full フラグ(SCxMOD2<RBFLL>) が"1"にセットされます。受信バッファ full フラグは、受信バッファを読み出すと"0"にクリアされます。シングルバッファの場合、受信バッファ full フラグは意味を持ちません。

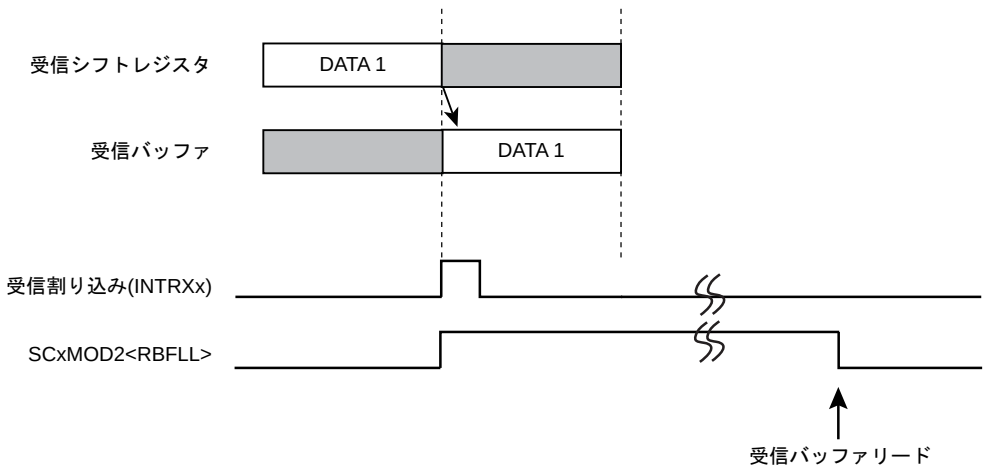


図 13-5 受信バッファの動作

13.10.3.2　受信 FIFO の動作

FIFO が許可されている場合、受信データは受信バッファから受信 FIFO に移され、受信バッファ full フラグは直ちにクリアされます。割り込みは SCxRFC<RIL[1:0]>の設定に従って発生します。

注)　UART モードで、FIFO 使用時にパリティビット付きのデータ受信する場合、パリティエラーフラグは受信したいずれかのデータで発生したことを示します。

以下に、半２重受信の設定と動作を示します。

SCxMOD1<FDPX[1:0]> = "01"	: 転送モードを半２重受信に設定
SCxFCNF<RFST><TFIE><RFIE>	: fill レベル到達後の継続受信自動禁止
<RXTCNT><CNFG> = "10111"	受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxRFC<RIL[1:0]> = "00"	: 受信割り込みが発生する FIFO の fill レベルを 4 バイトに設定
SCxRFC<RFCS><RFIS> = "11"	: 受信 FIFO のクリアと割り込み発生条件の設定

上記の FIFO 構成の設定後、SCxMOD0<RXE> に 1 を書き込むとデータ受信を開始します。受信シフトレジスタ、受信バッファ、受信 FIFO 全てにデータが格納されると<RXE>を自動クリアして受信を終了します。

上記の設定で、fill レベル到達後の継続受信を許可にしておくと、FIFO のデータを読み出すことにより継続して受信動作を行うことができます。

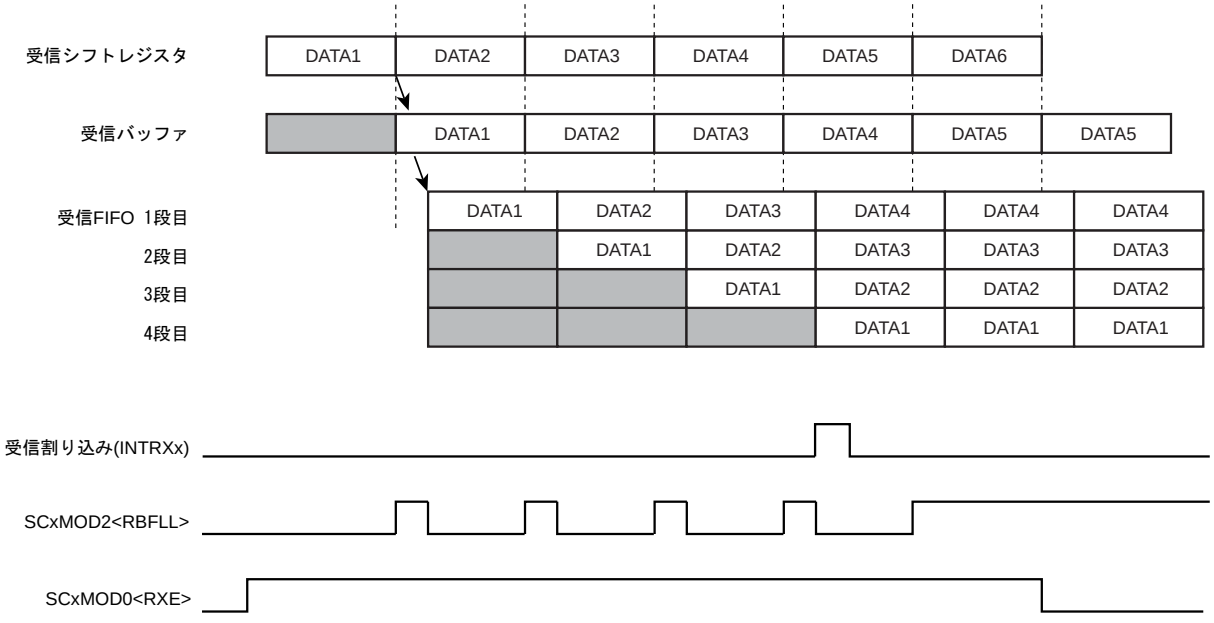


図 13-6 受信 FIFO の動作

13.10.3.3 I/O インタフェースモード、クロック出力モードでの受信

I/O インタフェースモードでクロック出力モード設定の場合、使用可能な受信バッファ/FIFO に全てデータが格納されるとクロック出力が停止されます。このため、このモードではオーバランエラーフラグは意味を持ちません。

クロック出力の停止/再開のタイミングはバッファ/FIFO の使用状況によって変わります。

(1) シングルバッファの場合

1 データ受信後にクロック出力を停止します。このため、通信相手と 1 データごとのハンドシェークが可能です。バッファからデータが読み出されるとクロック出力を再開します。

(2) ダブルバッファの場合

受信シフトレジスタ、受信バッファともにデータが格納されると、クロック出力を停止します。1 データが読み出されるとクロック出力を再開します。

(3) FIFO の場合

受信シフトレジスタ、受信バッファ、FIFO 全てにデータが格納されるとクロック出力を停止します。

1 データが読み出されると受信バッファから FIFO へ、受信シフトレジスタから受信バッファへデータが転送され、クロック出力を再開します。

また、SCxFNCF<RXTXCNT>がセットされているとクロック出力停止とともに SCxMOD0<RXE>がクリアされ受信動作を停止します。

13.10.3.4　受信データの読み出し

FIFO の有効/無効にかかわらず、受信バッファ (SCxBUF) からデータを読み出します。

受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full フラグ SCxMOD2<RBFLL>は"0"にクリアされます。受信バッファを読み出す前でも、次の受信データは受信シフトレジスタに格納することができます。8 ビット UART モードでパリティ付加の場合と 9 ビット UART モードの場合、最上位ビットは SCxCR <RB8> に格納されます。

受信 FIFO が有効な場合、FIFO に格納できるデータは最大 8 ビットですので、9 ビット UART モードは使用できません。8 ビット UART モードでパリティ付加の場合、パリディビットは失われますがエラー判定は行われ、結果が SCxCR<PERR>に格納されます。

13.10.3.5　ウエイクアップ機能

9 ビット UART モードの場合、ウェイクアップ機能 SCxMOD0<WU> を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ、割り込み INTRXx を発生させることができます。

13.10.3.6　オーバランエラー

受信 FIFO が有効にされていない場合は、受信シフトレジスタに次のデータが全ビット受信される前に受信バッファ(SCxBUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファおよび SCxCR <RB8> の内容は保存されていますが、受信シフトレジスタの内容は失われます。

受信 FIFO が有効にされている場合は、受信 FIFO が full になり、受信バッファに次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバランが発生してオーバランフラグがセットされます。この場合でも、受信 FIFO のデータは保存されます。

I/O インタフェースモードのクロック出力モードの設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注)　I/O インタフェースのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、オーバランフラグをクリアしてください。

13.11 送信

13.11.1 送信カウンタ

送信カウンタは 4 ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされます。

UART モードでは、16 クロックごとに送信クロック (TXDCLK) を生成します。

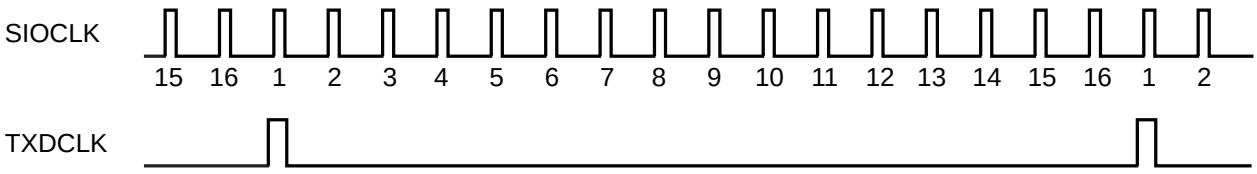


図 13-7 UART モード送信クロックの生成

13.11.2 送信制御部

13.11.2.1 I/O インタフェースモードの場合

SCxCR<IOC> = "0"のクロック出力モードのときは、SCxSCLK 端子より出力されるクロックの立ち下がりで送信バッファのデータを 1 ビットずつ SCxTXD 端子へ出力します。

SCxCR<IOC> = "1"のクロック入力モードのときは、SCxCR<SCLKS>の設定に従って SCxSCLK 端子の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ SCxTXD 端子へ出力します。

13.11.2.2 UART モードの場合

送信バッファに送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック を生成します。

13.11.3　送信動作

13.11.3.1　送信バッファの動作

ダブルバッファ無効の場合、送信データの書き込みは送信シフトレジスタに対して行われ、送信が終了すると送信割り込み INTTXx が発生します。

ダブルバッファ有効の場合(送信 FIFO が有効な場合も含む)、送信バッファへ書き込まれたデータは SCxMOD1<TXE>に"1"がセットされると送信シフトレジスタに転送されます。同時に送信割り込み INTTXx が発生し、送信バッファエンプティフラグ(SCxMOD2<TBEMP>)がセットされ、次のデータが書き込み可能であることを示します。次のデータを送信バッファに書き込むと<TBEMP>は"0"にクリアされます。

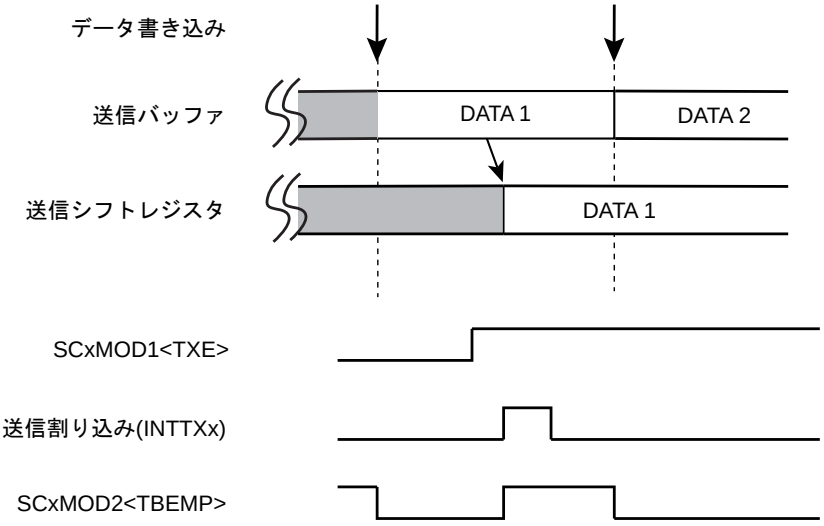


図 13-8 送信バッファの動作(ダブルバッファ有効時)

13.11.3.2 送信 FIFO の動作

FIFO が許可されている場合、送信バッファと FIFO で最大 5 バイトのデータを格納することができます。送信を許可すると、送信バッファから送信シフトレジスタにデータが転送されて送信を開始するとともに、FIFO にデータが存在する場合は直ちに送信バッファへ移され、<TBEMP> フラグは"0"にクリアされます。

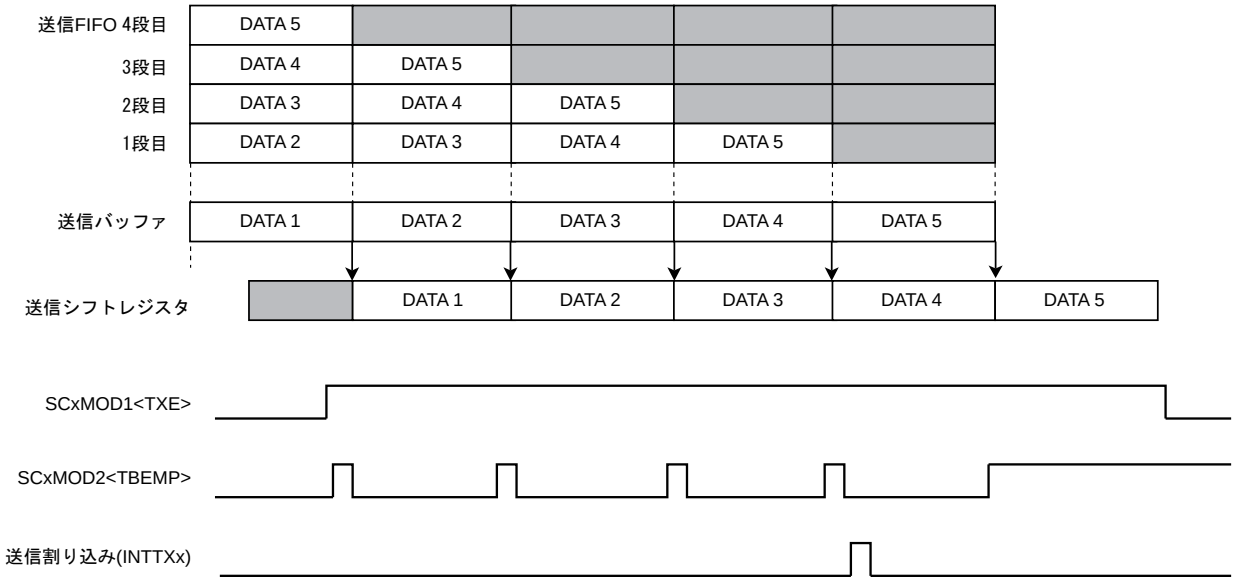
注) 送信 FIFO バッファ使用するときは、SIO の転送モード設定(半２重/全２重)、FIFO 許可(SCxFCNF <CNFG>="1")の後、必ず送信 FIFO クリアを実行してください。

以下に、5 バイトのデータを半２重送信する場合の設定と動作を示します。

SCxMOD1<FDPX[1:0]> = "10"	: 転送モードを半２重送信に設定
SCxFCNF<RFST><TFIE><RFIE> <RXTXCNT><CNFG> = "11011"	: FIFO が空になると送信を自動的に禁止 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxTFC<TIL[1:0]> = "00"	: 割り込み発生の fill レベル を 0 に設定
SCxTFC<TFCS><TFIS> = "11"	: 送信 FIFO のクリアと割り込み発生条件の設定
SCxFCNF<CNFG> = "1"	: FIFO の許可

上記の設定後、送信バッファ/FIFO に 5 バイト分の送信データを書き込み、SCxMOD1<TXE> ビットを 1 に設定することによりデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了すると送信を終了します。

上記の設定で、送信の自動禁止としなければ送信データを書き込むことにより継続して送信を行うことができます。



13.11.3.3　I/O インタフェースモード、クロック出力モードでの送信

I/O インタフェースモードでクロック出力モードの場合、設定されたデータが全て送信されるとクロック出力は自動的に停止します。このため、このモードではアンダランエラーは発生しません。

バッファ/FIFO 使用状況によってクロック出力の停止/再開のタイミングが変わります。

(1)　シングルバッファの場合

1 データ送信後にクロック出力を停止します。このため、通信相手と 1 データごとのハンドシェークが可能です。バッファに次のデータが書き込まれるとクロック出力を再開します。

(2)　ダブルバッファの場合

送信シフトレジスタと送信バッファのデータが全て送信されるとクロック出力を停止します。バッファに次のデータが書き込まれるとクロック出力を再開します。

(3)　FIFO の場合

送信シフトレジスタ、送信バッファ、FIFO 全てのデータ送信が終了するとクロック出力を停止します。次のデータが書き込まれるとクロック出力を再開します。

また、SCxFCNF<RXTXCNT>がセットされていると、クロック出力停止とともに SCxMOD0<TXE>がクリアされ、送信動作を停止します。

13.11.3.4　I/O インタフェースモード時の最終ビット出力後の SCxTXD 端子の状態

最終ビットを出力し、データのホールド時間が終了した後の SCxTXD 端子の状態を、SCxCR<TIDLE>で指定することができます。

SCxCR<TIDLE>="00"の場合、SCxTXD 端子は"Low"出力を保持します。SCxCR<TIDLE>="01"の場合、SCxTXD 端子は"High"出力を保持します。SCxCR<TIDLE>="10"の場合、SCxTXD 端子は最終ビットを保持します。

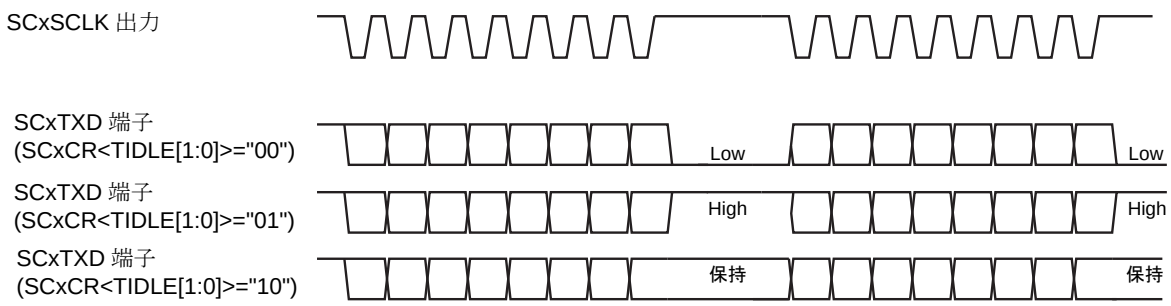


図 13-9 最終ビット出力後の SCxTXD 端子の状態

13.11.3.5 アンダランエラー

I/O インタフェースモードのクロック入力モード時、送信 FIFO が空で、送信シフトレジスタのデータの送信が終了し、次の転送クロックが入力される前に送信バッファへデータがセットされないときはアンダランエラーになり、SCxCR<PERR>に"1"がセットされます。

アンダランエラーが発生したときの SCxTXD 端子の状態を SCxCR<TXDEMP>で指定することができます。SCxCR<TXDEMP>が"0"の場合、SCxTXD 端子はデータ出力期間の間、"Low"出力を保持します。SCxCR<TXDEMP>が"1"の場合、SCxTXD 端子はデータ出力期間の間、"High"出力を保持します。

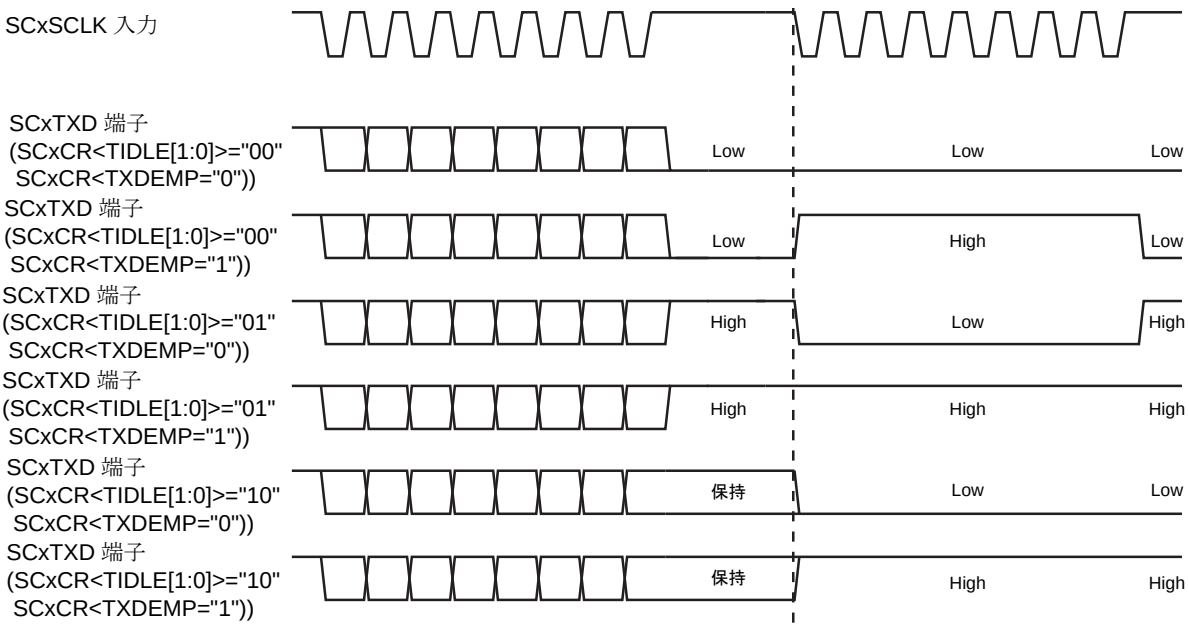


図 13-10 アンダランが発生したときの SCxTXD 出力

I/O インタフェースモードのクロック出力モードの設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) I/O インタフェースのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、アンダランフラグをクリアしてください。

13.11.3.6 I/O インタフェースモード、クロック入力モードでのデータのホールド時間

I/O インタフェースモードでクロック入力モードの場合、SCxCR<EHOLD[2:0]>で最終ビットのホールド時間を設定できます。

最終ビットのホールド時間≤SCLK 周期/2 を満たすように、最終ビットのホールド時間、SCLK 周期を設定してください。

13.12　ハンドシェーク機能

ハンドシェーク機能は $\overline{\text{SCxCTS}}$ (Clear to send)端子を用いて 1 データ単位での送信を行う機能で、この機能を使うことでオーバランエラーの発生を防ぐことができます。ハンドシェーク機能は SCxMOD0 <CTSE> によってイネーブル/ディセーブルを設定できます。

$\overline{\text{SCxCTS}}$ 端子が "High" レベルになると、現在送信中のデータを送信完了後、$\overline{\text{SCxCTS}}$ 端子が "Low" レベルに戻るまで送信を停止します。ただし、INTTXx 割り込みは通常のタイミングで発生しますので、次の送信データを送信バッファに書き込み、送信待機状態にすることができます。

注 1)　送信中に $\overline{\text{SCxCTS}}$ 信号を立ち上げた場合、送信終了後に停止します。
注 2)　$\overline{\text{SCxCTS}}$ 信号立ち下がり後の最初の TXDCLK クロックから送信を開始します。

なお、$\overline{\text{RTS}}$ 端子はありませんが、任意のポートの 1 ビットを $\overline{\text{RTS}}$ 機能に割り当て、受信終了時に (受信割り込みルーチン内で)このポートを "High" レベルにし、 送信側に送信の一時停止を要求することで容易にハンドシェーク機能を構築できます。

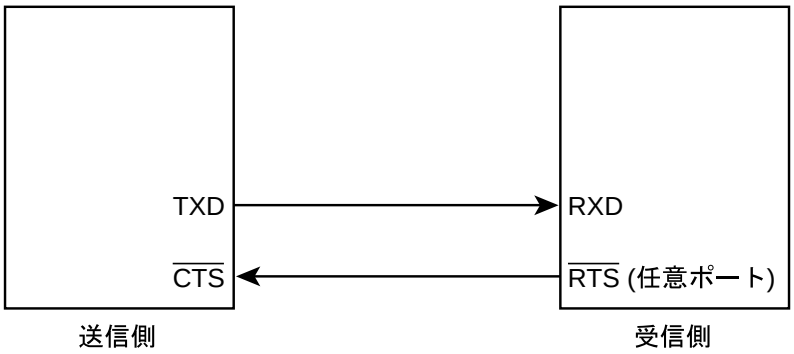


図 13-11 ハンドシェーク機能接続

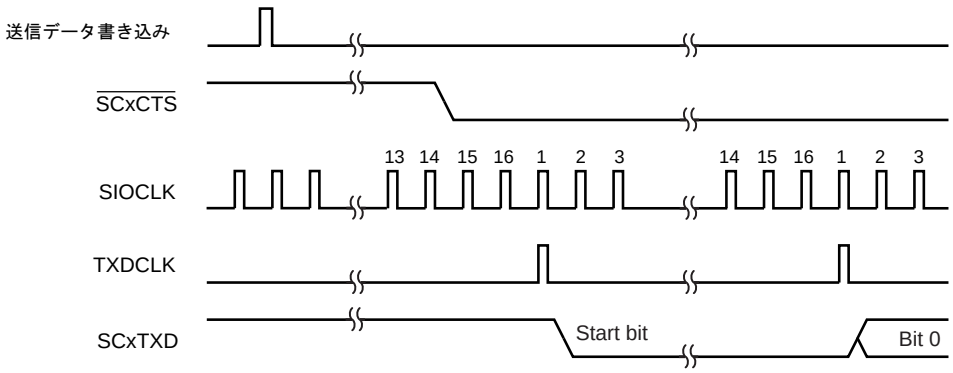


図 13-12 $\overline{\text{SCxCTS}}$ 信号のタイミング

13.13 割り込み/エラー発生タイミング

13.13.1 受信割り込み

受信動作のデータの流れと読み出しの経路を図 13-13 に示します。

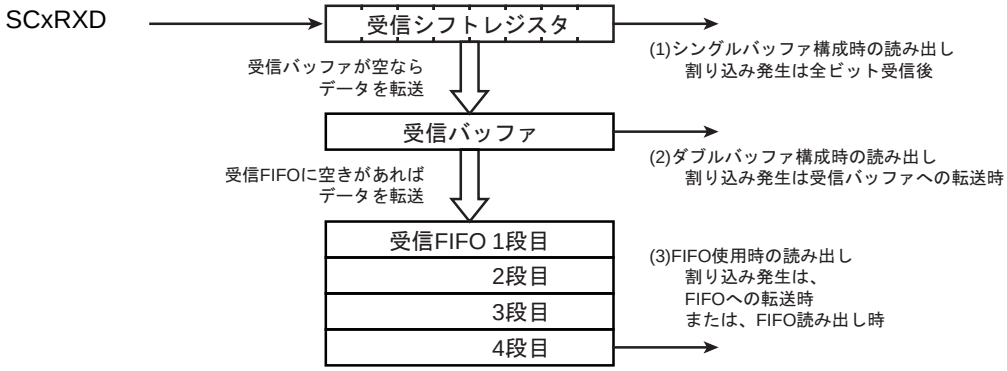


図 13-13 受信バッファ/FIFO 構成図

13.13.1.1 シングルバッファ/ダブルバッファ構成の場合

受信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

表 13-7 シングルバッファ/ダブルバッファ構成の場合の受信割り込み発生条件

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	–	・最終ビットの SCxSCLK 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	受信シフトレジスタから受信バッファへ、データの移動が発生するとき。具体的には以下のタイミング。 ・受信バッファにデータがない場合、第 1 ストップビットの中央付近 ・受信シフトレジスタと受信バッファの両方にデータがある場合、バッファのリード時	受信シフトレジスタから受信バッファへ、データの移動が発生するとき。具体的には以下のタイミング。 ・受信バッファにデータがない場合、最終ビットの SCxSCLK 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による) ・受信シフトレジスタと受信バッファの両方にデータがある場合、バッファのリード時

注) オーバランエラー成立するとき、割り込みは発生しません。

13.13.1.2 FIFO 使用の場合

FIFO 使用の場合の受信割り込みは、表 13-8 の割り込み発生タイミングに記載の動作が発生したときに、SCxRFC<RFIS>の設定で決まる条件を満たしていると発生します。

表 13-8 FIFO 使用時の受信割り込み発生条件

SCxRFC<RFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxRST<RLVL[2:0]>) = 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・受信バッファから受信FIFOへ受信データの転送が行われるとき
"1"	FIFO fill レベル(SCxRST<RLVL[2:0]>) ≥ 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・受信FIFOから受信データをリードしたとき ・受信バッファから受信FIFOへ受信データの転送が行われるとき

13.13.2　送信割り込み

送信動作のデータの流れと書き込みの経路を図 13-14 に示します。

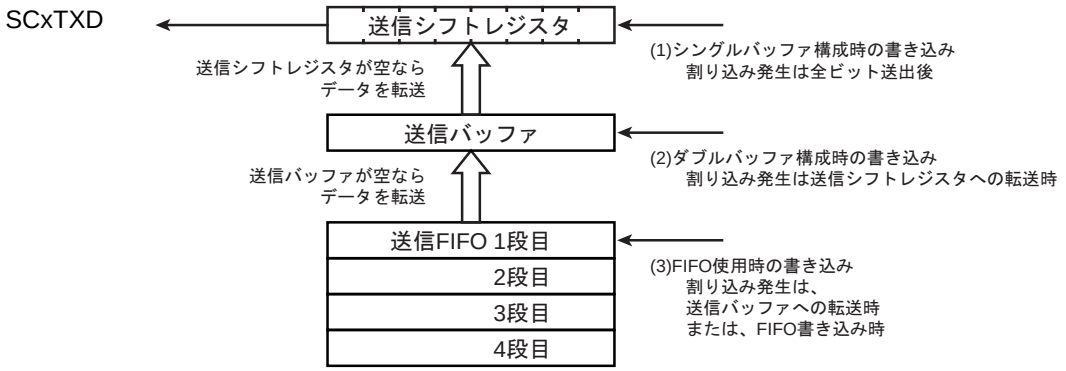


図 13-14 送信バッファ/FIFO 構成図

13.13.2.1　シングルバッファ/ダブルバッファ構成の場合

送信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

表 13-9 シングルバッファ/ ダブルバッファ構成の場合の送信割り込み発生条件

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	ストップビット送出の直前	最終ビットの SCxSCLK 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	送信バッファから送信シフトレジスタへのデータ転送時に送信割り込みが発生します。 なお、SCxMOD1<TXE> ="1"で送信シフトレジスタが空の場合、送信バッファにデータを書いた直後に送信バッファから送信シフトレジスタにデータが転送されるため、送信割り込みが発生します。	

13.13.2.2 FIFO 使用の場合

FIFO 使用の場合の送信割り込みは、表 13-10 の割り込み発生タイミングに記載の動作が発生したときに、SCxTFC<TFIS>の設定で決まる条件を満たした場合に発生します。

表 13-10 FIFO 使用時の送信割り込み発生条件

SCxTFC<TFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxTST<TLVL[2:0]>) = 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信FIFOから送信バッファへ送信データの転送が行われたとき
"1"	FIFO fill レベル(SCxTST<TLVL[2:0]>) ≤ 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信FIFOへ送信データをライトしたとき ・送信FIFOから送信バッファへ送信データの転送が行われたとき

13.13.3 エラー発生

13.13.3.1 UART モード

モード	9 ビット	7 ビット 8 ビット 7 ビット + パリティ 8 ビット + パリティ
フレーミングエラー オーバランエラー	ストップビットの中央付近	
パリティエラー	−	判定：パリティビットの中央付近 フラグ変化：ストップビットの中央付近

13.13.3.2 I/O インタフェースモード

オーバランエラー	最終ビットの SCxSCLK 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
アンダランエラー	次回の SCxSCLK 端子の立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)

注) クロック出力モードではオーバランエラー、アンダランエラーフラグは意味を持ちません。

13.14　DMA 要求

UART/SIO 割り込み(INTRXx,INTTXx)発生のタイミングで DMAC に対して DMA 要求を発行します。

本製品で DMA 要求に使用できるチャネルについては、「製品情報」の章を参照してください。

注 1)　SIO/UART の送信/受信割り込みを使用して DMA 転送を行う場合、SCxMOD<SWRST>でソフトウエアリセットを実施した後、DMAC の動作を許可させ、送信/受信の設定を行ってください。

注 2)　DMA 転送を使用する場合、FIFO は使用できません。

13.15 ソフトウエアリセット

SCxMOD2<SWRST[1:0]>に"10" → "01"の順でライトすることによりソフトウエアリセットが発生します。

これにより、SCxMOD0<RXE>、SCxMOD1<TXE>、SCxMOD2<TBEMP><RBFLL><TXRUN>、SCxCR<OERR> <PERR> <FERR>が初期化され、送受信回路は初期状態になります。

その他の状態は保持されます。

13.16　モード別動作説明

13.16.1　モード 0 (I/O インタフェースモード)

SCxMOD0 <SM[1: 0]>を"00"にセットすると I/O インタフェースモードになります。

このモードには、同期クロック SCLK を出力するクロック出力モードと、外部より同期クロック SCLK を入力するクロック入力モードがあります。

以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作および送信 FIFO 動作の項を参照してください。

13.16.1.1　送信

(1)　クロック出力モード

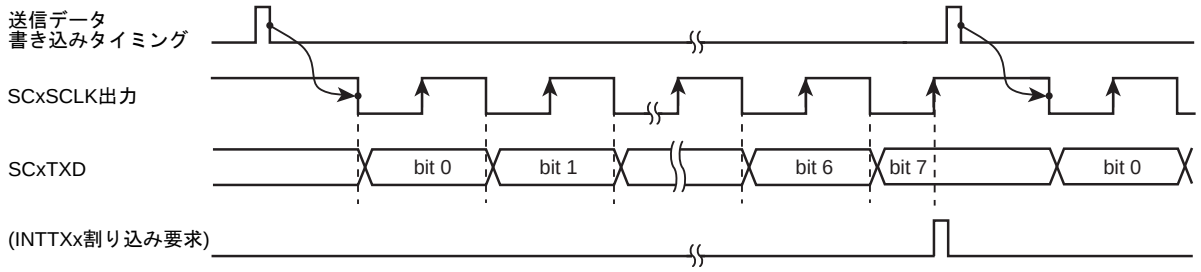
- ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

  送信バッファにデータを書き込むたびに、データが SCxTXD 端子から、クロックが SCxSCLK 端子より出力されます。データが全て出力されると割り込み(INTTXx)が発生します。

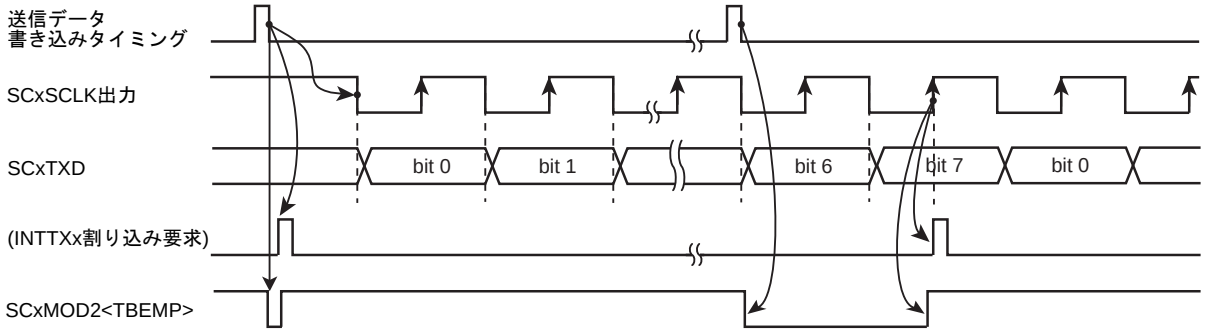
- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

  シフトレジスタが空の状態で送信バッファにデータを書き込んだとき、またはシフトレジスタのデータ送出が終了したときに送信バッファよりシフトレジスタにデータが移されます。これと同時に送信バッファ empty フラグ SCxMOD2 <TBEMP>が"1"にセットされ割り込み(INTTXx)が発生します。

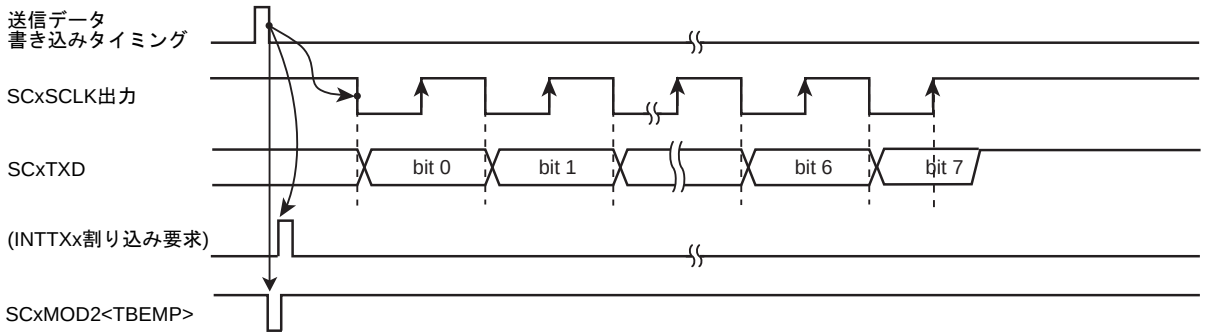
  シフトレジスタのデータ送出終了時に送信バッファにデータが存在しない場合は、割り込み(INTTXx)を発生せず、クロック出力も停止します。



<WBUF> = "0" (ダブルバッファ不許可)の場合 (SCxCR<TIDLE>="10")



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファデータがある場合)



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファにデータがない場合) (SCxCR<TIDLE>="01")

図 13-15 I/O インタフェースモード送信動作(クロック出力モード)

(2)　クロック入力モード

・　ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータが書き込まれている状態でクロックが入力されると、8 ビットのデータが SCxTXD 端子より出力されます。データが全て出力されると割り込み INTTXx が発生します。次の送信データは図 13-16 に示す A 点までに書き込んでください。

・　ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

クロックが入力される前に送信バッファにデータを書き込んだとき、または送信シフトレジスタのデータ送出が終了したときに送信バッファのデータがシフトレジスタへ移されます。これと同時に送信バッファ empty フラグ SCxMOD2<TBEMP> が"1"にセットされ、割り込み(INTTXx)が発生します。

送信バッファにデータが書き込まれていない状態で、クロックが入力された場合、内部ビット数カウンタはカウントを開始しますが、アンダランエラーがセットされ、SCxCR<TXDEMP>で設定したレベルが SCxTXD 端子に出力されます。

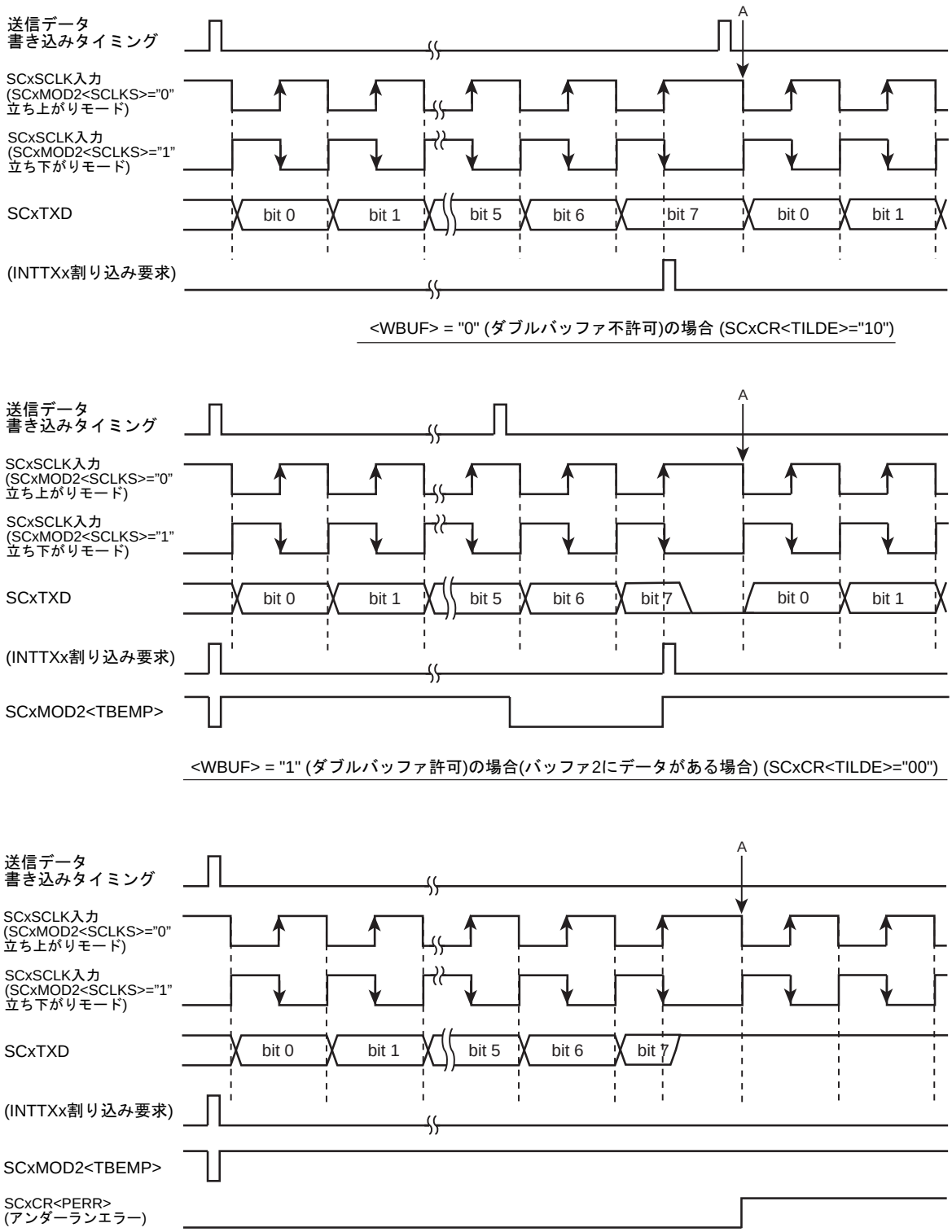


図 13-16 I/O インタフェースモード送信動作(クロック入力モード)

13.16.1.2　受信

(1)　クロック出力モード

受信許可ビット SCxMOD0<RXE>を"1"にセットすることでクロック出力が開始されます。

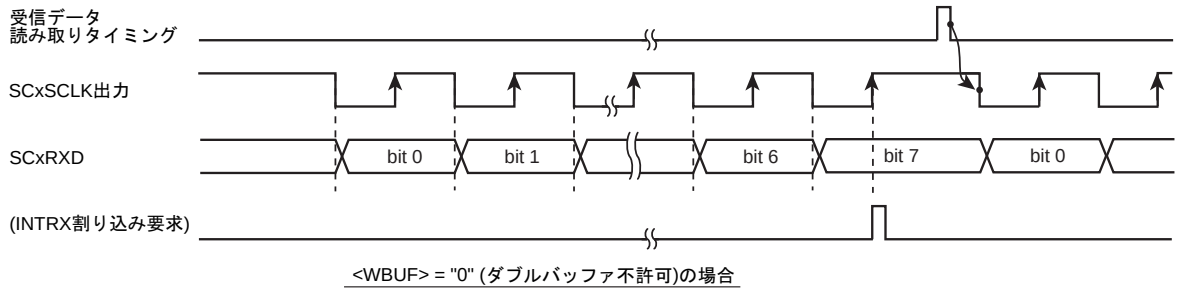
- ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

  受信データが読み出されるごとに、SCxSCLK 端子よりクロックが出力され次のデータがシフトレジスタに格納されます。8 ビットデータが受信されると、割り込み INTRXx が発生します。

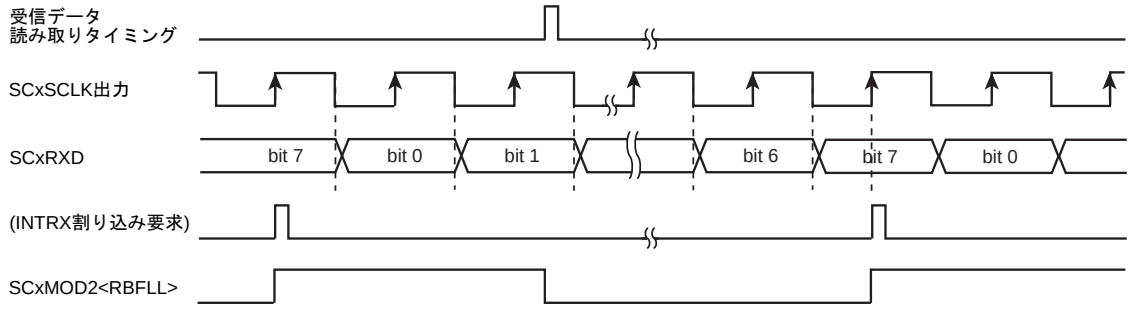
- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

  シフトレジスタに格納されたデータは受信バッファに移され、続けて次のフレームを受信することができます。シフトレジスタから受信バッファにデータが移されると、受信バッファ full フラグ SCxMOD2<RBFLL>が"1"にセットされ、割り込み INTRXx が発生します。

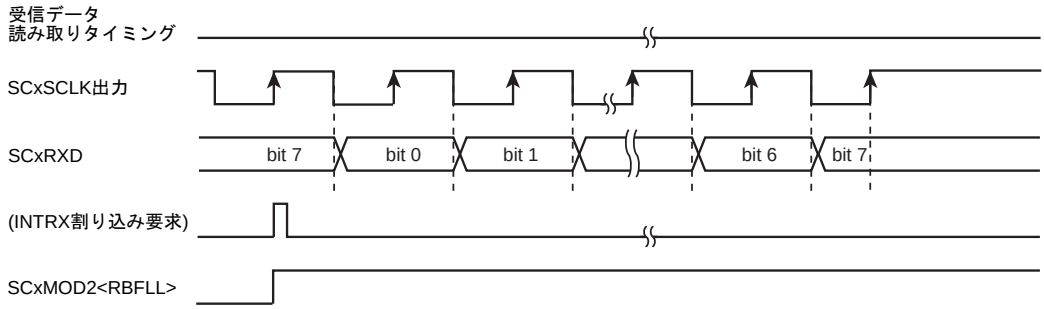
  受信バッファにデータが存在する状態で、次の 8 ビット分のデータを受信完了する前に受信バッファのデータが読み出されない場合、割り込み INTRXx は発生せず、クロック出力は停止します。この状態で受信バッファのデータを読み出すと、シフトレジスタのデータを受信バッファに移し、割り込み INTRXx を発生して受信を再開します。



<WBUF> = "0" (ダブルバッファ不許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファのデータを読み出した場合)



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファのデータが読み出されない場合)

図 13-17 I/O インタフェースモード受信動作(クロック出力モード)

(2)　クロック入力モード

クロック入力モードでは常に受信ダブルバッファが許可されており、受信したデータはシフトレジスタから受信バッファに移され、連続して次のデータを受信することができます。

受信データが受信バッファへ移されるごとに受信割り込み INTRXx が発生します。

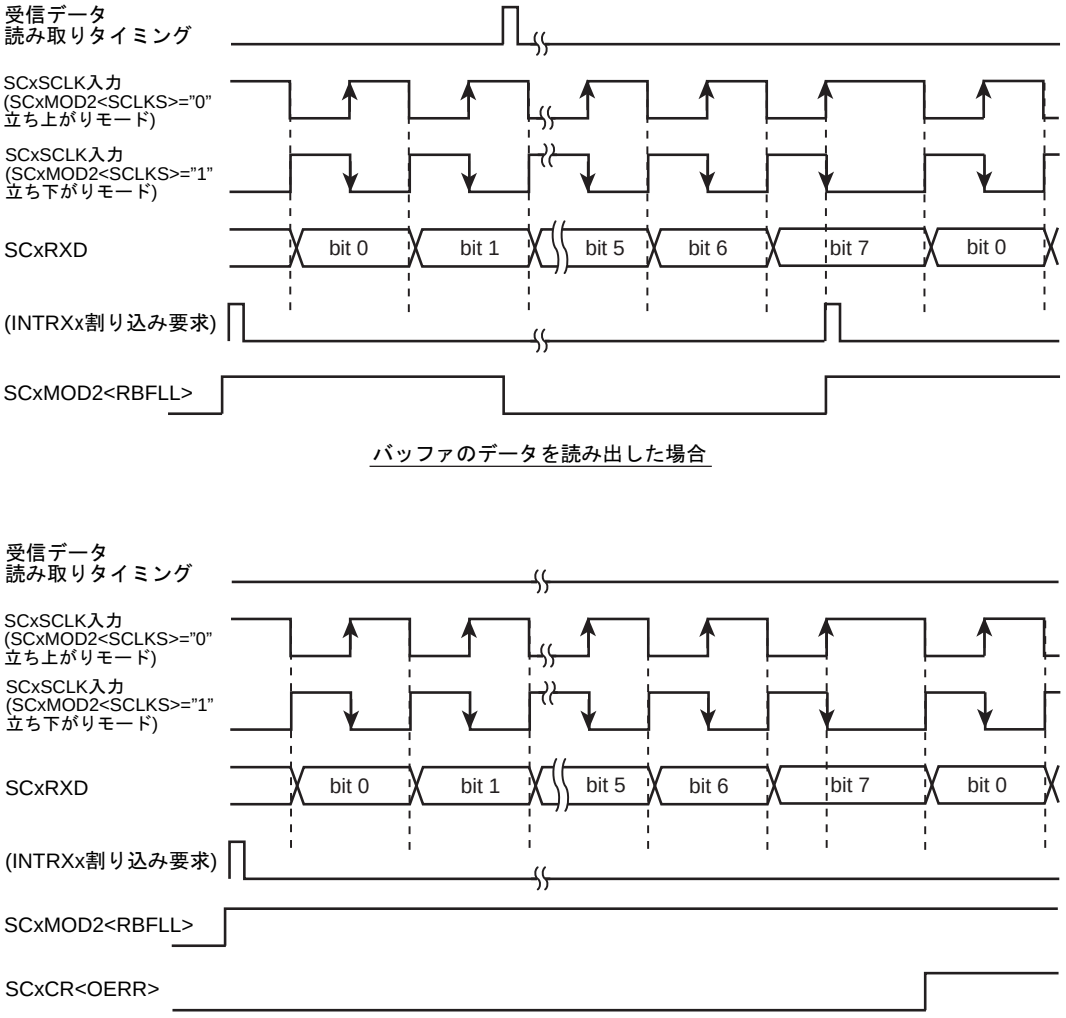


図 13-18 I/O インタフェースモード受信動作(クロック入力モード)

13.16.1.3 送受信(全２重)

(1) クロック出力モード

・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータを書き込むとクロック出力を開始します。

クロック出力によりデータが受信シフトレジスタにシフトインされ、受信割り込み(INTRXx)が発生します。それと並行して送信バッファに書き込まれたデータが、SCxTXD 端子より出力され、全てのデータが送信されると送信割り込み(INTTXx)が発生します。この状態でクロック出力は停止します。

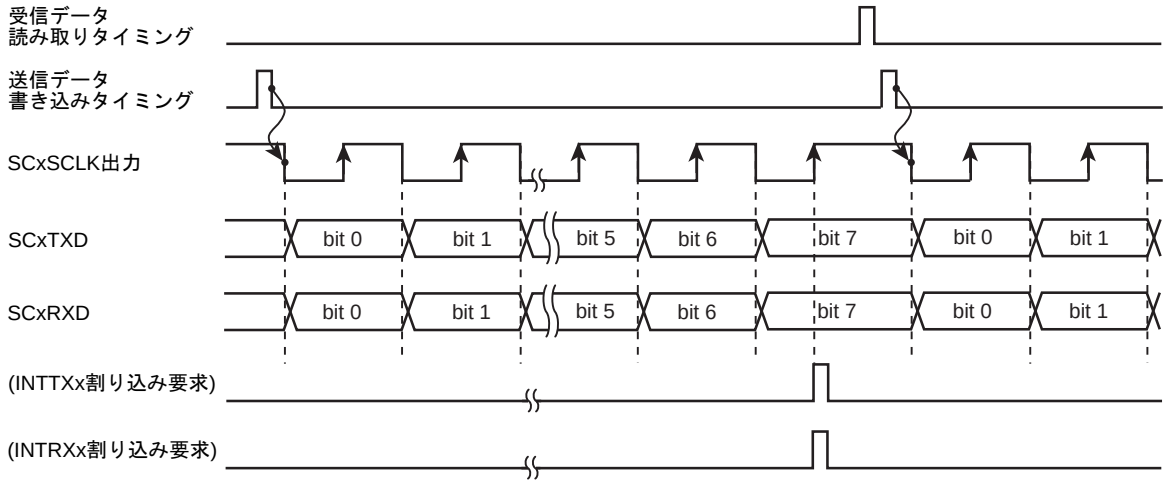
受信バッファの読み出しと送信バッファへのデータ書き込みを行うと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

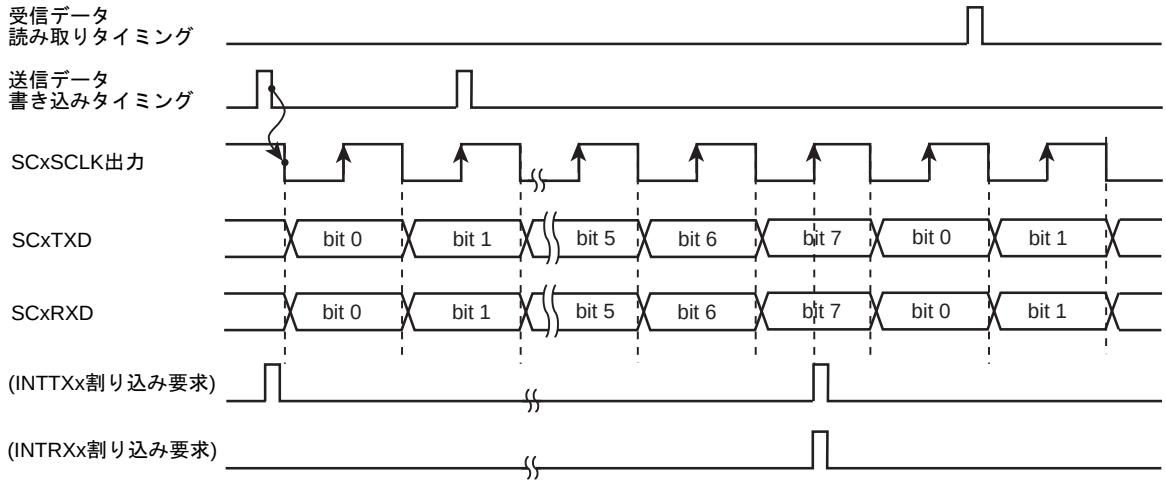
送信バッファにデータを書き込むとクロック出力を開始します。

データが受信シフトレジスタにシフトインされるとデータは受信バッファ に移され、割り込み(INTRXx)が発生します。受信と並行してデータが SCxTXD 端子より出力され、データが全て出力されると割り込み(INTTXx)が発生して次のデータが送信バッファから送信シフトレジスタに移されます。

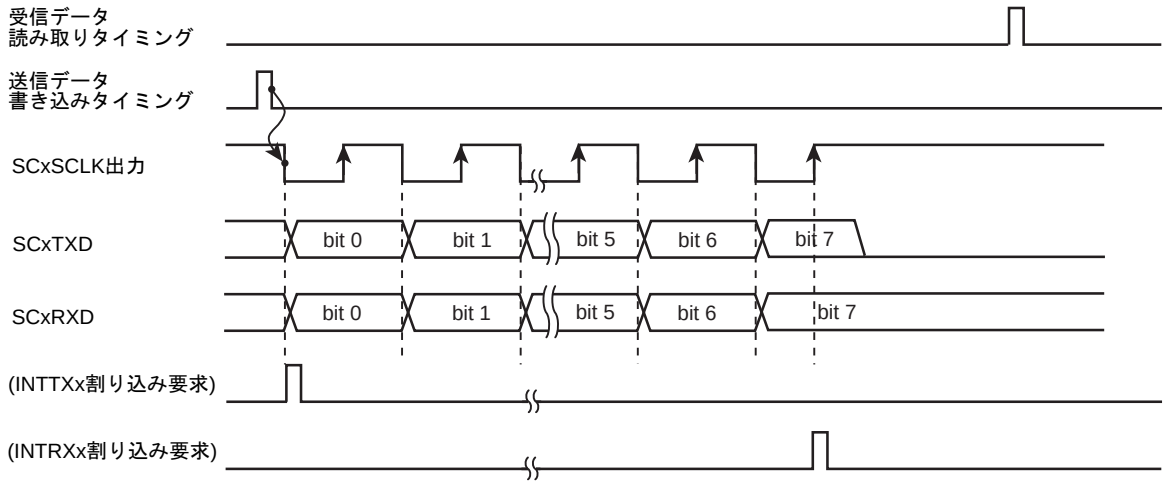
この時、送信バッファに移すデータが存在しない(SCxMOD2 <TBEMP> = "1")または受信バッファにデータが存在している(SCxMOD2 <RBFLL> = "1") 場合はクロック出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると、クロック出力が再開されて次の送受信が始まります。



<WBUF> = "0" (ダブルバッファ不許可)の場合 (SCxCR<TIDLE>="10")



<WBUF> = "1" (ダブルバッファ許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合 (SCxCR<TIDLE>="00")

図 13-19 I/O インタフェースモード送受信動作(クロック出力モード)

(2) クロック入力モード

・ 送信ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

受信は SCxMOD2<WBUF>の設定に関わらずダブルバッファが有効になります。

送信バッファにデータが書き込まれている状態でクロックが入力されると、8 ビットのデータが SCxTXD 端子より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。送信が終了すると割り込み(INTTXx)が発生し、受信が終了すると受信シフトレジスタから受信バッファへデータが移されると同時に割り込み(INTRXx)が発生します。

次のフレームのクロックが入力される前にデータを送信バッファへ書き込むようにしてください。(図 13-20 に示す A 点までに書き込んでください)。受信データは、次のデータの受信が終了する前に読み出してください。

・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信シフトレジスタのデータの送信が終了すると、送信バッファのデータが送信シフトレジスタへ移されると同時に割り込み(INTTXx)が発生します。平行して受信が行われ、シフトレジスタにデータが揃うと受信バッファへ移され、割り込み(INTRXx)が発生します。

次のデータのためのクロックが入力される前に送信データを送信バッファへ書き込むようにしてください。(図 13-20 に示す A 点までに書き込んでください)。受信データは、次のデータの受信が終了する前に読み出してください。

続けて次のデータのためのクロックが入力されると、送信バッファから送信シフトレジスタにデータを移して送信が始まり、並行して受信シフトレジスタでのデータ受信が行われます。

データの最終ビットの受信までに受信バッファのデータが読み出されていない場合はオーバランエラーが発生します。

また、次のデータのためのクロック入力までに送信バッファへ転送データが書き込まれていない場合は、アンダランエラーがセットされ、SCxCR<TXDEMP>で設定したレベルが SCxTXD 端子に出力されます。

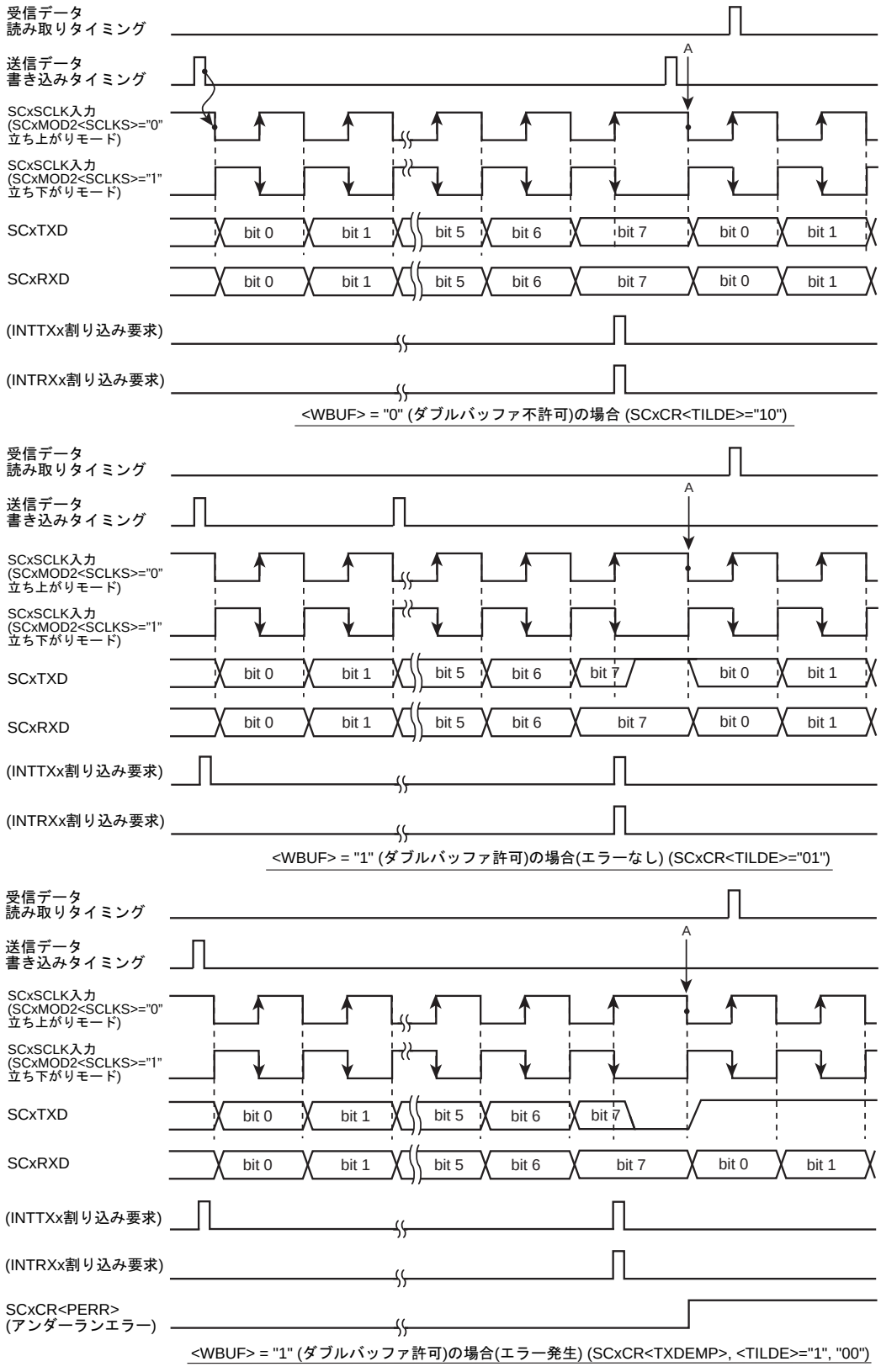


図 13-20 I/O インタフェースモード送受信動作(クロック入力モード)

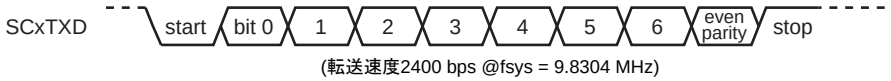
13.16.2 モード 1 (7 ビット UART モード)

SCxMOD0 <SM[1: 0]>を"01"にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SCxCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。

<PE> = "1" (イネーブル)のときは、SCxCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



(転送速度2400 bps @fsys = 9.8304 MHz)

クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	fperiph/2 (fperiph = fsys)

		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	-	0	0	1	0	1	7 ビット UART モードに設定
SCxCR	←	x	1	1	x	x	x	0	0	偶数パリティイネーブルに設定
SCxBRCR	←	0	0	1	0	0	1	0	0	2400bps に設定
SCxBUF	←	*	*	*	*	*	*	*	*	送信データを設定

x : don't care - : no change

13.16.3 モード 2 (8 ビット UART モード)

SCxMOD0 <SM[1:0]> を"10"にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SCxCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = "1" (イネーブル)のとき、SCxCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



(転送速度9600 bps @fsys = 9.8304 MHz)

クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	fperiph/2 (fperiph = fsys)

		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	0	0	1	0	0	1	8 ビット UART モードに設定
SCxCR	←	x	0	1	x	x	x	0	0	奇数パリティイネーブルに設定
SCxBRCR	←	0	0	0	1	0	1	0	0	9600bps に設定
SCxMOD0	←	-	-	1	-	-	-	-	-	受信許可

x : don’t care - : no change

13.16.4　モード 3 (9 ビット UART モード)

SCxMOD0 <SM[1:0]> を "11" にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加を禁止(SCxCR<PE> = "0")してください。

最上位ビット(9 ビット目)は、送信の場合 SCxMOD0 <TB8> に書き込みます。受信の場合 SCxCR<RB8> に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SCxBUF の方を後にします。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

13.16.4.1　ウェイクアップ機能

9 ビット UART モードでは、ウェイクアップ機能制御ビット SCxMOD0 <WU>を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ割り込み (INTRXx) が発生します。

注)　スレーブコントローラの SCxTXD 端子は、必ず PxOD を設定してオープンドレイン出力モードにしてください。

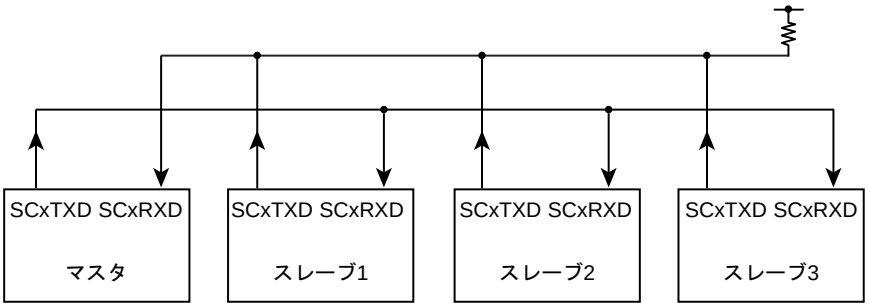
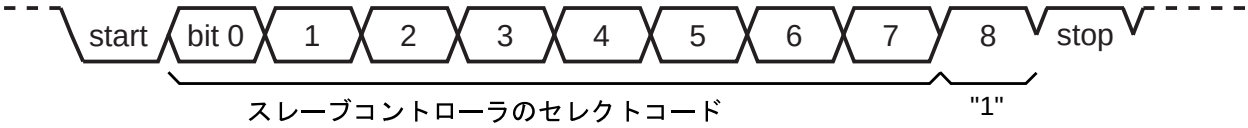


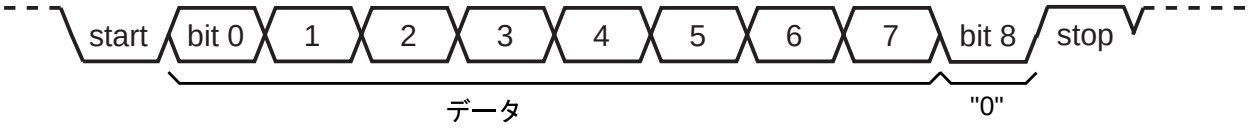
図 13-21 ウェイクアップ機能によるシリアルリンク

13.16.4.2 プロトコル

1. マスタおよびスレーブコントローラは 9 ビット UART モードにします。
2. 各スレーブコントローラは SCxMOD0<WU>を"1"にセットし、受信可能状態とします。
3. マスタコントローラは、スレーブコントローラのセレクトコード(8 ビット)を含む 1 フレームを送信します。このとき最上位ビット(ビット 8) <TB8>は"1"にします。



4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、<WU>を"0"にクリアします。
5. マスタコントローラは指定したスレーブコントローラ(<WU> = "0"にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット 8) <TB8>は"0"にします。



6. <WU> = "1"のままのスレーブコントローラは、受信データの最上位ビット(ビット 8)の<RB8>が"0"であるため、割り込み(INTRXx)が発生せず、受信データを無視します。また、<WU> = "0"になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

第 14 章　非同期シリアル通信回路 (UART)

14.1　概要

非同期シリアル通信回路は、以下の特徴を持っています。

- 送信 /受信 データフォーマット
  - DATA 長: 5、6、7、8 bits 選択.
  - PARITY 付加: 有り /無し
  - STOP bit 長 : 1bit / 2 bits 選択
  - 最大ボーレート：3750kbps
- FIFO
  - 送信:8-bit 幅/ 32 段、受信:12-bit 幅/ 32 段
  - 許可/不許可指定可能
- 割り込み機能
  - 複数要因の割り込みを出力
  - 各割り込み要因の許可が指定可能
- ボーレートジェネレータ

  送信、受信用共通のクロックを生成可能
- DMA サポート
- IrDA 1.0 機能
  - 最大データレート : 115.2 kbps (半２重)
  - 低消費電力モード有り
  - IrDA 制御端子

    下記の制御端子に対応

    UTxTXD(UTxIROUT)

    UTxRXD(UTxIRIN)
- モデム制御端子

  下記の制御端子に対応

  - $\overline{\text{UTxCTS}}$
  - UTxRIN
  - $\overline{\text{UTxRTS}}$
  - UTxDCD
  - UTxDSR
  - UTxDTR
- RTS、CTS によるハードウエアフロー制御が可能

14.2　構成

図 14-1 に UART のブロック図を示します。

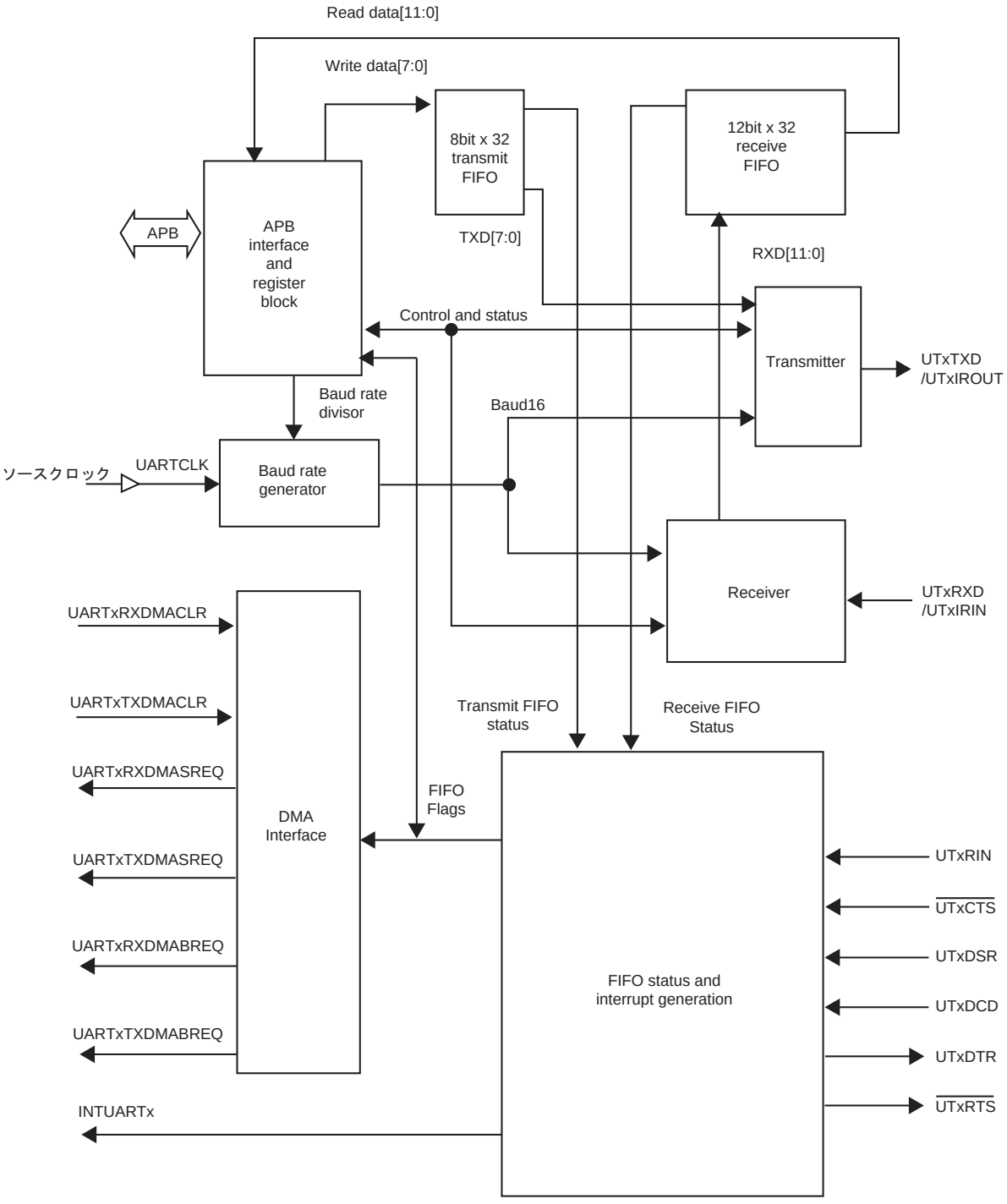


図 14-1 UART ブロック図

14.3 レジスタ説明

14.3.1 レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
UART Data register	UARTxDR	0x0000
UART Receive status register	UARTxRSR	0x0004
UART Error clear register	UARTxECR	0x0004
UART Flag register	UARTxFR	0x0018
UART IrDA low-power counter register	UARTxILPR	0x0020
UART Integer baud-rate register	UARTxIBRD	0x0024
UART Fractional baud rate register	UARTxFBRD	0x0028
UART Line control register	UARTxLCR_H	0x002C
UART Control register	UARTxCR	0x0030
UART Interrupt FIFO level selection register	UARTxIFLS	0x0034
UART Interrupt mask disable/enable register	UARTxIMSC	0x0038
UART Raw interrupt status register	UARTxRIS	0x003C
UART Masked interrupt status register	UARTxMIS	0x0040
UART Interrupt clear register	UARTxICR	0x0044
UART DMA control register	UARTxDMACR	0x0048

注 1) レジスタは必ずワード(32bit）アクセスしてください。

注 2) 制御レジスタを再設定するときは、UART を動作禁止にしてください。送信または受信の動作途中で動作禁止にすると、動作中の転送が完了しだい、停止状態となります。

14.3.2　UARTxDR (UART Data Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	OE	BE	PE	FE
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DATA							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	−	R	読み出すと"0"が読めます。
11	OE	R	オーバランエラー 0 : エラーではない 1 : エラー データ受信時に FIFO がすでに full の場合には、このビットに"1" がセットされます。 FIFO が空き、新しいデータを書き込めるようになると、このビットは"0" にクリアされます。
10	BE	R	ブレークエラー 0 : エラーではない 1 : エラー ブレーク状態(UTxRXD 入力がスタートビット、データビット、パリティビット、ストップビット、全ての合計の送信時間よりも長く"Low" で保持される）が検出されると、このビットに"1"がセットされます。 FIFO が許可されているときは、このエラーは FIFO の最上位の段に入ります。ブレークエラーが発生すると、FIFO のデータとして"0"が入ります。 次のデータ受信は、UTxRXD 入力が"1"（マーキング状態）になり、スタートビットが受信された後に許可されます。
9	PE	R	パリティエラー 0 : エラーではない 1 : エラー このビットに"1"がセットされた場合は、受信されたデータのパリティが UARTxLCR_H<EPS>、<SPS>で設定されたパリティと一致しないことを示しています。 FIFO が許可されているときには、このエラーは FIFO の最上位の段に入ります。
8	FE	R	フレーミングエラー 0 : エラーではない 1 : エラー このビットに" 1 "がセットされた場合には、受信したデータに有効なストップビット(有効なストップビット長は"1"です)が含まれなかったことを示しています。 FIFO が許可されているときには、このエラーは FIFO の最上位の段に入ります。
7-0	DATA[7:0] (注 1)	R	受信データ
		W	送信データ

注 1)　DATA レジスタへは、ビット操作などのリードモディファイライト命令は使用できません。

注)　エラーステータスは UARTxRSR を読み出すことでも知ることができます。

14.3.3 UARTxRSR (UART Receive Status Register)

UARTxRSR と UARTxECR レジスタは同じアドレスにマッピングされています。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	OE	BE	PE	FE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	R	読み出すと"0"が読めます。
3	OE	R	オーバランエラー 0 : エラーではない 1 : エラー データ受信時に FIFO がすでに full の場合には、このビットに"1" がセットされます。 このビットは、UARTxECR への書き込みにより、"0"にクリアされます。 FIFO が full になっている場合は、それ以上データが書き込まれないため、FIFO の内容は有効であり、シフトレジスタの内容だけが上書きされます。CPU は FIFO を空にするためにデータを読み出さなければいけません。
2	BE	R	ブレークエラー 0 : エラーではない 1 : エラー ブレーク状態(UTxRXD 入力がスタートビット、データビット、パリティビット、ストップビット、全ての合計の送信時間よりも長く"Low" で保持される）が検出されると、このビットに"1"がセットされます。 このビットは、UARTxECR への書き込みにより、"0"にクリアされます。 FIFO が許可されているときは、このエラーは FIFO の最後の段に入ります。ブレークエラーが発生すると、FIFO のデータとして"0"が入ります。 次のデータ受信は、UTxRXD 入力が"1"（マーキング状態）になり、スタートビットが受信された後に許可されます。
1	PE	R	パリティエラー 0 : エラーではない 1 : エラー このビットに"1"がセットされた場合は、受信されたデータのパリティが UARTxLCR_H<EPS>、<SPS>で設定されたパリティと一致しないことを示しています。 このビットは、UARTxECR への書き込みにより、"0"にクリアされます。 FIFO が許可されているときには、このエラーは FIFO の最上位の段に入ります。
0	FE	R	フレーミングエラー 0 : エラーではない 1 : エラー このビットに" 1 "がセットされた場合には、受信したデータに有効なストップビット(有効なストップビット長は"1"です)が含まれなかったことを示しています。 このビットは、UARTxECR への書き込みにより、"0"にクリアされます。 FIFO が許可されているときには、このエラーは FIFO の最上位の段に入ります。

注 1) オーバランエラーは、エラーが発生するとすぐにセットされます。

注 2) UARTxRSR は、UARTxDR からデータを読み出したときに更新されます。したがって、UARTxRSR からエラーステータスを読み出す前に、UARTxDR から受信データを読み出す必要があります。この読み出しシーケンスを逆にすることはできません。なお、エラーステータスは、UARTxDR を読み出すことでも知ることができます。

14.3.4　UARTxECR (UART Error Clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	OE	BE	PE	FE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	読み出すと"0"が読めます。
3	OE	W	UARTxECR への書き込みが行われると、フレーミング、パリティ、ブレーク、オーバランの各エラーがクリアされます。データ値には関係なくクリアを実行します。 このレジスタのアドレスは、UARTxRSR レジスタと同じです。.
2	BE	W	
1	PE	W	
0	FE	W	

14.3.5 UARTxFR (UART Flag Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	RI
リセット後	0	0	0	0	0	0	0	不定
	7	6	5	4	3	2	1	0
bit symbol	TXFE	RXFF	TXFF	RXFE	BUSY	DCD	DSR	CTS
リセット後	0	0	0	0	0	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-9	−	R	読み出すと不定値が読み出されます。
8	RI	R	リングインジケータ 0 : Modem ステータスが"1" 1 : Modem ステータスが"0"
7	TXFE	R	UARTxLCR_H<FEN>="1"の時
			0 : 送信 FIFO が empty でない 1 : 送信 FIFO が empty
			UARTxLCR_H<FEN>="0"の時 0 : 送信保持レジスタが empty でない 1 : 送信保持レジスタが empty
6	RXFF	R	UARTxLCR_H<FEN>="1"の時 0 : 受信 FIFO が full でない 1 : 受信 FIFO が full
			UARTxLCR_H<FEN>="0"の時 0 : 受信保持レジスタが full でない 1 : 受信保持レジスタが full
5	TXFF	R	UARTxLCR_H<FEN>="1"の時 0 : 送信 FIFO が full でない 1 : 送信 FIFO が full
			UARTxLCR_H<FEN>="0"の時 0 : 送信保持レジスタが full でない 1 : 送信保持レジスタが full
4	RXFE	R	UARTxLCR_H<FEN>="1"の時 0 : 受信 FIFO が empty でない 1 : 受信 FIFO が empty
			UARTxLCR_H<FEN>="0"の時 0 : 受信保持レジスタが empty でない 1 : 受信保持レジスタが empty
3	BUSY	R	UART ビジー 0 : UART 送信が停止している 1 : UART 送信している このビットは、UART 動作が許可されているかに関係なく、送信 FIFO が empty でなくなると"1"にセットされます。
2	DCD	R	Data carrier detect 0 : UTxDCD 端子が"High" 1 : UTxDCD 端子が"Low"

Bit	Bit Symbol	Type	機能
1	DSR	R	Data set ready 0 : UTxDSR 端子が"High" 1 : UTxDSR 端子が"Low"
0	CTS	R	Clear to send 0 : $\overline{\text{UTxCTS}}$ 端子が"High" 1 : $\overline{\text{UTxCTS}}$ 端子が"Low" $\overline{\text{UTxCTS}}$ 端子の反転状態を読み出すことができます。

注)　<TXFE>はシフトレジスタの状態は示しません。

14.3.6 UARTxILPR (UART IrDA low-power counter Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	RI
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ILPDVSR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	Read as 0.
7-0	ILPDVSR[7:0]	R/W	IrDA 低電力除数 (<ILPDVSR>) = (fUARTCLK / fIrLPBaud16) UARTxILPR レジスタは、IrDA 低電力カウンタレジスタです。この 8 ビット読み出し/ 書き込みレジスタは、 UARTCLK の除算による、IrLPBaud16 信号生成に用いられる低電力カウンタ除数値が格納されます。 リセット時には、全てのビットが 0 にクリアされます。

注 1) UARTxCR<SIRLP> を 1 にセットする前に、セットしてください。

注 2) 0x00 を設定することができません。0x00 をプログラムすると、IrLPBaud16 信号は生成させません。

14.3.7　UARTxIBRD (UART Integer Baud-rate Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	BAUDDIVINT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BAUDDIVINT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	読み出すと不定値が読み出されます。
15-0	BAUDDIVINT [15:0]	R/W	整数ボーレート除数 (0x0002 ~ 0xFFFF) ボーレート除数値の整数部です。

注 1)　UARTxIBRD のアップデータは、UARTxLCR_H が書き込み実行されたときに行われます。詳細については、UARTxLCR_H の内容を参照してください。

注 2)　UARTxCR<UARTEN> を"1"にする前に設定してください。

注 3)　0x0000, 0x0001 を設定することはできません。

注 4)　ボーレート除数の値は、送信側と受信側とのボーレートのずれ（総合誤差）によって設定値のワーストケース（データ 8bit ＋ Parity/　データ 9bit の場合）が下表のようになります 。

総合誤差	BAUDIVINT(下限値)
2.0%以下	0x0002
2.8%以下	0x0003
3.3%以下	0x0004

14.3.8 UARTxFBRD (UART Fractional Baud-rate Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	BAUDDIVFRAC					
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6		R	読み出すと"0"が読めます。
5 -0	BAUD DIVFRAC [5:0]	R/W	小数ボーレート除数 (0x01 ~ 0x3F) ボーレート除数値の小数部です。

注 1) UARTxFBRD のアップデータは、UARTxLCR_H が書き込み実行されたときに行われます。詳細については、UARTxLCR_H の内容を参照してください。

注 2) UARTxCR<UARTEN> を"1"にする前に設定してください。

注 3) ボーレート除数に設定できる最小値は 1 です。最大値は 65535 です。そのため、ボーレート除数の整数部に 0 を設定することはできません。また、ボーレート除数の整数部に 65535 を設定したときには、小数部は 0 を設定してください。

14.3.9　UARTxLCR_H (UART Line Control Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SPS	WLEN		FEN	STP2	EPS	PEN	BRK
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	読み出すと"0"が読めます。
7	SPS	R/W	スティックパリティ選択 0 : スティックパリティ禁止 1 : <EPS> = "0"のとき、パリティビットとして、"1"を送信または受信 <EPS> = "1"のとき、パリティビットとして、"0"を送信または受信 <SPS>は、<PEN>が"0"に設定され、パリティチェックと生成が禁止されている場合には、意味をもちません。 <SPS>、<EPS>や<PEN>ビットの真理値表については、表 14-1 を参照してください。
6-5	WLEN[1:0]	R/W	ワード長 00 : 5bit 01 : 6bit 10 : 7bit 11 : 8bit これらのビットは、フレームで送信または受信されたデータビットの数を示します。
4	FEN	R/W	FIFO の許可選択 0 : FIFO 禁止(FIFO は 1 段の保持レジスタとなります) 1 : FIFO 許可
3	STP2	R/W	送信ストップビット長選択 0: 1bit 1: 2 bit 受信のときは、2bit 長のストップビットをチェックしません。
2	EPS	R/W	偶数パリティ選択 0: 奇数パリティ 1: 偶数パリティ 送信、受信時のパリティビットの選択を制御します。 <PEN>が"0"に設定され、パリティチェックと生成が禁止されている場合は、意味を持ちません。
1	PEN	R/W	パリティイネーブル 0 : 禁止 (パリティは禁止され、パリティビットの付加はされません) 1 : 許可 (パリティチェックと生成が許可されます)
0	BRK	R/W	ブレーク送信選択 0: ブレーク送信しない 1: ブレーク送信する <BRK>が"1"に設定されると、現在送信しているフレームの送信が終わると、UTxTXD 出力に"Low"レベルが出力され続けます。ブレーク条件が生成するためには、少なくとも 2 フレームの送信時間、<BRK>を"1"にする必要があります。ブレーク条件が生成されても、送信 FIFO の内容は影響を受けません。 ブレークを送信しない場合には、<BRK>を"0"に設定する必要があります。

注)　UARTxIBRD または UARTxFBRD の内容を更新するには、 UARTxLCR_H の書き込みを常に最後に実行する必要があります。

表 14-1 真理値表 UARTxLCR_H <SPS>, <EPS>, <PEN>

パリティイネーブル <PEN>	偶数パリティ選択 <EPS>	スティックパリティ選択<SPS>	パリティ選択(送信またはチェック)
0	×	×	パリティの送信およびチェックなし
1	1	0	偶数パリティ送信または偶数パリティチェック
1	0	0	奇数パリティ送信または奇数パリティチェック
1	0	1	パリティビットとして"1" を送信、またはチェック
1	1	1	パリティビットとして"0"を送信、またはチェック

14.3.10　UARTxCR (UART Control Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CTSEN	RTSEN	-	-	RTS	DTR	RXE	TXE
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	SIRLP	SIREN	UARTEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	読み出すと不定値が読み出されます。
15	CTSEN	R/W	CTS ハードウエアフロー制御イネーブル 0 : 禁止 1 : 許可 <CTSEN>が"1"に設定されると CTS ハードウエアフロー制御が許可されます。データは $\overline{\text{UTxCTS}}$ 端子が"Low"になったときにだけ送信されます。
14	RTSEN	R/W	RTS ハードウエアフロー制御イネーブル 0 : 禁止 1 : 許可 <RTSEN>が"1"に設定されると RTS ハードウエアフロー制御がイネーブルされます。データは、受信 FIFO に空きがある場合にのみ要求されます。
13-12	-	R	読み出すと不定値が読み出されます。
11	RTS	R/W	送信要求(RTS) 0 : モデムステータス出力を"1" にします 1 : モデムステータス出力を"0" にします このビットは送信要求(RTS）出力の補数です。このビットに" 1 "がセットされていると、$\overline{\text{UTxRTS}}$ 端子は"Low" になります。
10	DTR	R/W	データ送信準備完了 (DTR) 0 : モデムステータス出力を 1 にします 1 : モデムステータス出力を 0 にします このビットはデータ送信準備完了(DTS）出力の補数です。このビットに 1 がセットされていると、UTxDTR 端子は"Low" になります。.
9	RXE	R/W	受信許可設定 0 : 禁止 1 : 許可 <RXE>が"1"に設定されると受信が許可されます。<SIREN>の値に応じて、UART 機能または SIR 機能によってデータが受信されます。受信の途中で受信が禁止されると、現在のデータ受信終了後に停止します。
8	TXE	R/W	送信許可設定 0 : 禁止 1 : 許可 <TXE>が"1"に設定されると送信が許可されます。<SIREN>の値に応じて、UART 機能または SIR 機能によってデータが送信されます。送信の途中で送信が禁止されると、現在のデータ送信終了後に停止します。
7	-	R/W	"0"を書いてください。
6-3	-	R	読み出すと不定値が読み出されます。

Bit	Bit Symbol	Type	機能
2	SIRLP	R/W	IrDA　SIR 低電力モード 0 : ノーマルモード 1 : 低電力モード このビットが"0" にクリアされると、下位ビットがビット周期の 3/16 の幅を持つ HIGH アクティブパルスとして送信されます。 このビットに" 1 "がセットされると、選択されたビットレートに関係なく、下位ビットは、IrLPBaud16 入力シグナル周期の 3 倍のパルス幅を使用して送信されます。 このビットをセットすると消費電力を軽減できますが、送信距離が短くなる可能性があります。
1	SIREN	R/W	SIR イネーブル 0 : 禁止 1 : 許可 このビットが" 1 "にセットされると、IrDA 回路が許可されます。<UARTEN> に"0" がセットされることによって UART が禁止されている場合には、このビットの効果はありません。 IrDA 回路 が許可されている場合、データは UTxIROUT および UTxIRIN で送信または受信されます。UTxTXD はマーキング状態で保持されます。UTxRXD またはモデムステータス入力におけるシグナル遷移は無効です。 IrDA 回路が禁止されると、UTxIROUT は 0 にクリアされたまま保持され(光パルスが生成されない)、UTxIRIN におけるシグナル遷移が無効となります。
0	UARTEN	R/W	UART 許可設定 0 : 禁止 1 : 許可 <UARTEN>が"0"に設定されると UART が禁止されます。送信または受信の途中で禁止にされた場合、送信または受信中のデータの転送が完了した後に停止します。 <UARTEN>が"1"に設定されると<SIREN>の値に応じて、UART 機能または SIR 機能によって、データの送信と受信が行われます。

14.3.11　UARTxIFLS (UART Interrupt FIFO Level Selection Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	RXIFLSEL			TXIFLSEL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	−	R	読み出すと不定値が読み出されます。
5-3	RXIFLSEL[2:0]	R/W	受信割り込み FIFO レベル選択 000: 受信 FIFO ≥ 1/8 フル 001: 受信 FIFO ≥ 1/4 フル 010: 受信 FIFO ≥ 1/2 フル 011:受信 FIFO ≥ 3/4 フル 100: 受信 FIFO ≥ 7/8 フル 上記以外 : Reserved 受信 FIFO の割り込み FIFO レベルの選択を行います。 割り込みは FIFO レベルにより発生するのではなく、そのレベルを経由する遷移が発生すると発生します。 例えば、FIFO レベルに 1/8 フル(4 バイト)が設定されていた場合、5 バイト目のデータが受信 FIFO に格納されたときに割り込みが発生します。
2-0	TXIFSEL[2:0]	R/W	送信割り込み FIFO レベル選択 000: 送信 FIFO ≤ 1/8 フル 001: 送信 FIFO ≤ 1/4 フル 010: 送信 FIFO ≤ 1/2 フル 011: 送信 FIFO ≤ 3/4 フル 100: 送信 FIFO ≤ 7/8 フル 上記以外 : Reserved 送信 FIFO の割り込み FIFO レベルの選択を行います。 割り込みは FIFO レベルにより発生するのではなく、そのレベルを経由する遷移が発生すると発生します。 例えば、FIFO レベルに 1/8 フル(4 バイト)が設定されていた場合、4 バイト目のデータが送信 FIFO から読み出されたときに割り込みが発生します。

14.3.12 UARTxIMSC (UART Interrupt Disable/Enable Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OEIM	BEIM	PEIM
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FEIM	RTIM	TXIM	RXIM	DSRMIM	DCDMIM	CTSMIM	RIMIM
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-11	–	R	読み出すと不定値が読み出されます。
10	OEIM	R/W	オーバランエラー割り込みマスク 0: 禁止 1: 許可
9	BEIM	R/W	ブレークエラー割り込みマスク 0: 禁止 1: 許可
8	PEIM	R/W	パリティエラー割り込みマスク 0: 禁止 1: 許可
7	FEIM	R/W	フレーミングエラー割り込みマスク 0: 禁止 1: 許可
6	RTIM	R/W	受信タイムアウト割り込みマスク 0: 禁止 1: 許可
5	TXIM	R/W	送信割り込みマスク 0: 禁止 1: 許可
4	RXIM	R/W	受信割り込みマスク 0: 禁止 1: 許可
3	DSRMIM	R/W	DSR モデム割り込みマスク 0: 禁止 1: 許可
2	DCDMIM	R/W	DCD モデム割り込みマスク 0: 禁止 1: 許可
1	CTSMIM	R/W	CTS モデム割り込みマスク 0: 禁止 1: 許可
0	RIMIM	R/W	RIN モデム割り込みマスク 0: 禁止 1: 許可

14.3.13　UARTxRIS (UART Raw Interrupt Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OERIS	BERIS	PERIS
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FERIS	RTRIS	TXRIS	RXRIS	DSRRMIS	DCDRMIS	CTSRMIS	RIRMIS
リセット後	0	0	0	0	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-11	−	R	読み出すと不定値が読み出されます。
10	OERIS	R	オーバランエラー割り込みステータス 0: 割り込み要求なし 1: 割り込み要求.
9	BERIS	R	ブレークエラー割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
8	PERIS	R	パリティエラー割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
7	FERIS	R	フレーミングエラー割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
6	RTRIS	R	受信タイムアウト割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
5	TXRIS	R	送信割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
4	RXRIS	R	受信割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
3	DSRRMIS	R	DSR モデム割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
2	DCDRMIS	R	DCD モデム割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
1	CTSRMIS	R	CTS モデム割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
0	RIRMIS	R	RIN モデム割り込みステータス 0: 割り込み要求なし 1: 割り込み要求

注) モデムの状態の割り込みビット(3 ~ 0) を除き、全てのビットは、リセット時 0 にクリアされます。なおリセット後のモデム割り込みステータスは不定です。

14.3.14　UARTxMIS (UART Masked Interrupt Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OEMIS	BEMIS	PEMIS
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FEMIS	RTMIS	TXMIS	RXMIS	DSRMMIS	DCDMMIS	CTSMMIS	RIMMIS
リセット後	0	0	0	0	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-11	−	R	読み出すと不定値が読み出されます。
10	OEMIS	R	オーバランエラーマスク割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
9	BEMIS	R	ブレークエラーマスク割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
8	PEMIS	R	パリティエラーマスク割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
7	FEMIS	R	フレーミングエラーマスク割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
6	RTMIS	R	受信タイムアウトマスク割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
5	TXMIS	R	送信マスク割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
4	RXMIS	R	受信マスク割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
3	DSRMMIS	R	DSR モデムマスク割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
2	DCDMMIS	R	DCD モデムマスク割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
1	CTSMMIS	R	CTS モデムマスク割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
0	RIMMIS	R	RIN モデムマスク割り込みステータス 0: 割り込み要求なし 1: 割り込み要求

注)　モデムステータスの割り込みビット(3~0）を除き、全てのビットは、リセット時 0 にクリアされます。なおリセット後のモデムマスク割り込みステータスは不定です。

14.3.15 UARTxICR (UART Interrupt Clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	OEIC	BEIC	PEIC
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FEIC	RTIC	TXIC	RXIC	DSRMIC	DCDMIC	CTSMIC	RIMIC
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-11	–	W	"0"をライトしてください。
10	OEIC	W	オーバランエラー割り込みクリア 0: 無効 1: クリア
9	BEIC	W	ブレークエラー割り込みクリア 0: 無効 1: クリア
8	PEIC	W	パリティエラー割り込みクリア 0: 無効 1: クリア
7	FEIC	W	フレーミングエラー割り込みクリア 0: 無効 1: クリア
6	RTIC	W	受信タイムアウト割り込みクリア 0: 無効 1: クリア
5	TXIC	W	送信割り込みクリア 0: 無効 1: クリア
4	RXIC	W	受信割り込みクリア 0: 無効 1: クリア
3	DSRMIC	W	DSR モデム割り込みクリア 0: 無効 1: クリア
2	DCDMIC	W	DCD モデム割り込みクリア 0: 無効 1: クリア
1	CTSMIC	W	CTS モデム割り込みクリア 0: 無効 1: クリア
0	RIMIC	W	RIN モデム割り込みクリア 0: 無効 1: クリア

注) UARTxICR レジスタは、書き込みオンリーの割り込みクリアレジスタです。 このレジスタのビットが 1 にセットされると、対応する割り込みがクリアされます。"0"の書き込みは無効です。

14.3.16　UARTxDMACR (UART DMA Control Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	DMAONERR	TXDMAE	RXDMAE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	読み出すと不定値が読み出されます。
2	DMAONERR	R/W	DMA オンエラー 0: あり 1: なし このビットが"1"に設定されると、データ受信中にエラーが発生したときに DMA 受信要求と UARTxRXDMASREQ (UART recieve DMA single request)または UARTxRXDMABREQ (UART receive DMA burst request)が禁止されます。
1	TXDMAE	R/W	送信 DMA 許可選択 0: 禁止 1:許可
0	RXDMAE	R/W	受信 DMA 許可選択 0: 禁止 1: 許可

注)　DMAC を用いた送信/受信 FIFO のデータ転送の場合、バス幅は 8bit にする必要があります。

14.4 動作説明

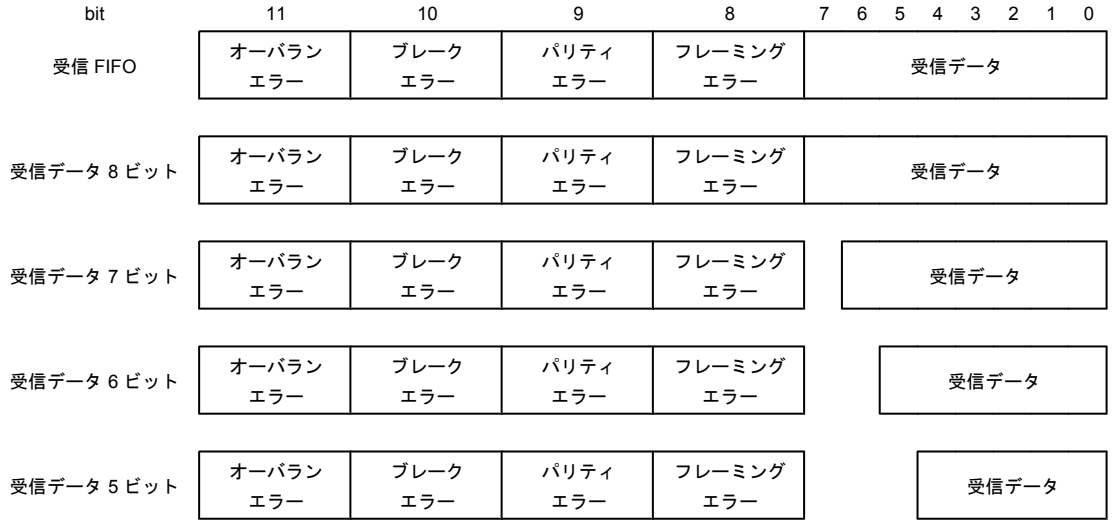
14.4.1 送信 FIFO と受信 FIFO

14.4.1.1 送信 FIFO

送信 FIFO は、8-bit 幅、32 段の FIFO メモリバッファです。 APB インタフェース経由で書き込まれたデータは、送信ロジックによって読みだされるまで、この FIFO に積まれます。送信 FIFO は禁止することによって、 1 バイト保持レジスタのように動作させることができます。

14.4.1.2 受信 FIFO

受信 FIFO は、12-bit 幅、 32 段の FIFO メモリバッファです。 受信データと対応するエラービットは、APB インタフェース経由で読みだされるまで、受信ロジックによって受信 FIFO に積まれます。受信 FIFO は、ディセーブルすることによって 1 バイト保持レジスタのように動作させることができます。



注) 受信データの空きビットは不定となります。

14.4.2 送信データと受信データ

UARTxDR に書き込まれたデータは、FIFO が許可されているときには送信 FIFO に積まれます。

FIFO が禁止されているときには送信保持レジスタに転送されます。

データを書き込むことで転送が開始されます。データにはスタートビットとストップビットが、パリティが許可されているときにはパリティビットが付加され、送信されます。

受信されたデータは 4 ビットのステータス(ブレークエラー、フレーミングエラー、パリティエラー、オーバランエラー)とあわせ、12 ビット幅で受信 FIFO に積まれます。FIFO が禁止されているときには、受信されたデータとステータスは受信保持レジスタに転送されます。

14.4.3　ボーレートジェネレータ

ボーレートジェネレータは、UART 送信/ 受信制御のタイミングを生成する内部クロック(Baud16)と、低電力モード時に IrDA エンコード送信ビットストリームのパルス幅を生成する内部クロック(IrLPBaud16)を出力します。

ボーレートは UART に入力される $f_{UARTCLK}$ とボーレート除数から下記のように設定されます。

ボーレート = ($f_{UARTCLK}$) / (16 x ボーレート除数)

14.4.3.1　ボーレート除数の求め方

ボーレート除数は、以下のように求めることができます。

ボーレート除数 BAUDDIV = ($f_{UARTCLK}$) / (16 x baud rate)

ここで、 $f_{UARTCLK}$ は UART クロックの周波数です。

BAUDDIV は整数部(BAUDDIVINT)と小数部(BAUDDIVFRAC)から構成されます。

例: 除数値の計算

要求されるボーレートが 230400 で、$f_{UARTCLK}$ = 4 MHz の場合:

ボーレート除数 = $(4 \times 10^6)/ (16 \times 230400) = 1.085$

したがって、ボーレート除数の整数部(BAUDDIVINT) = 1 、ボーレート除数の小数部 = 0.085 となります。

上記から、BAUDDIVFRAC は、

BAUDDIVFRAC = ((0.085 × 64) + 0.5) = 5.94 = 5 (小数点以下切り捨て)

となります。

この整数部と小数部から生成されるボーレート除数は

BAUDDIV = 1 + 5/64 = 1.078

です。このとき生成されるボーレートは、

生成されるボーレート = $(4 \times 10^6)/ (16 \times 1.078) = 231911$

誤差 = (231911 - 230400)/ 230400 × 100 = 0.656 %

なお、UARTxFBRD レジスタを使用したときの最大誤差は、 = 1/64 × 100 = 1.56 %で、この誤差は、UARTxFBRD = 1 の時に発生します。

14.4.4　送信ロジック

送信ロジックは送信 FIFO から読み出されたデータのパラレル/シリアル変換を行います。制御ロジックは、制御レジスタに設定された設定に従い、スタートビット、LSB から始まるデータ、パリティビット、ストップビットから構成される信号を出力します。

14.4.5　受信ロジック

受信ロジックは、スタートビット検出後に受信されたビットストリームのシリアル/パラレル変換を行います。オーバランエラー、パリティエラー、フレーミングエラーの各エラーチェックとラインブレークの検出も行われ、オーバランエラー、パリティエラー、フレーミングエラー、ブレークエラーのエラービットに関連するデータが受信 FIFO に書き込まれます。

14.4.6 割り込み生成ロジック

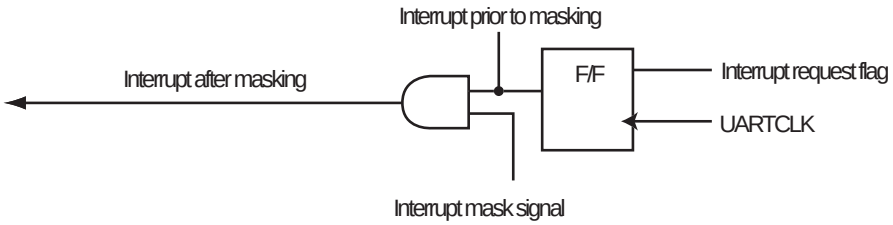
UART は、割り込み要因別にマスク可能な割り込みを出力します 。

14.4.6.1 UART 割り込み発生回路

(1) 割り込み要求フラグ発生回路

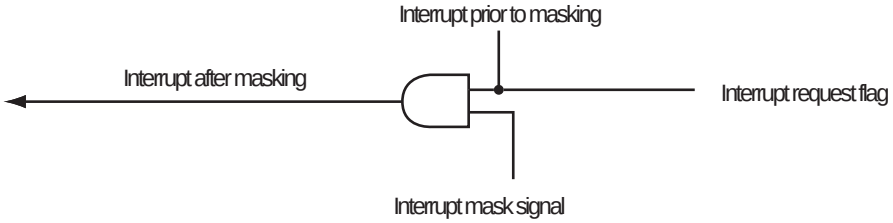
1. ブレークエラー,パリティエラー、フレーミングエラー フラグの発生回路

   割り込み要求フラグはリアルタイムに変化し、F/F に連動します。各フラグは、対応する割り込みクリアレジスタに書き込みがあった場合にクリアされます。



2. オーバランエラーフラグの発生回路.

   オーバランエラーにより割り込み要求フラグは、リアルタイムに変化し、状態は保持されません。 オーバラン フラグは、受信 FIFO をリードするとクリアされます。



(2) UART 割り込み

各割り込み要因ごとにマスクされた割り込みステータスが OR され、INTUARTx として UART から出力されます。

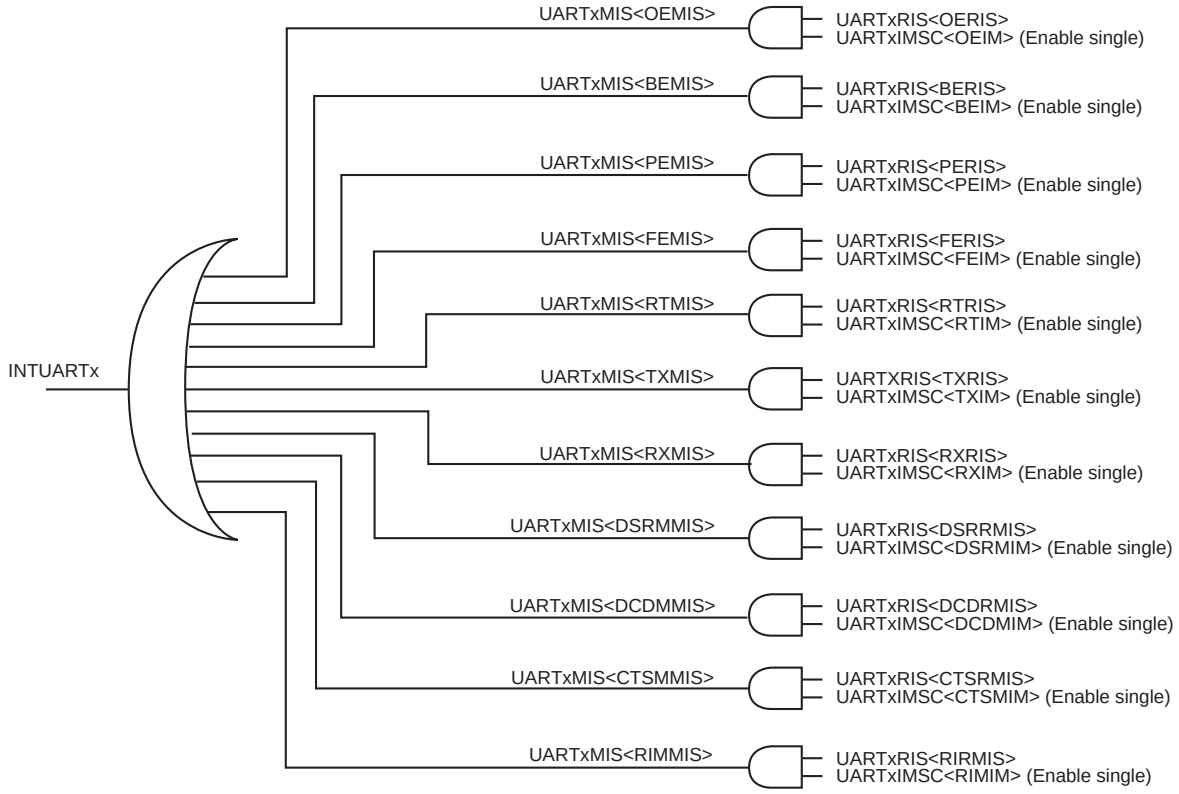


図 14-2 UART 割り込みブロック

14.4.6.2　割り込み発生タイミング

割り込み種類	割り込み発生タイミング	
オーバランエラー割り込み	FIFO がフルになったときの STOP ビット受信後	
ブレークエラー割り込み	STOP ビット受信後	
パリティエラー割り込み	パリティデータ受信後	
フレーミングエラー割り込み	フレームオーバとなる Bit データを受信した後	
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、Baud16 の 511 クロック後	
送信割り込み	FIFO 未使用時：	送信許可後、1 バイト目は START ビット送信開始時と STOP ビット送信開始時、2 バイト目以降は、STOP ビット送信開始時 (それぞれの割り込み発生でデータ書き込みを行い割り込みクリアした場合)
	FIFO 使用時：	STOP ビット送信開始時(MSB データ転送後）に FIFO 内が設定された FIFO レベルのデータ数となったとき
受信割り込み	FIFO 未使用時：	STOP ビット受信後
	FIFO 使用時：	設定した FIFO がフルとなるで一たの STOP ビット受信後

注)　STOP ビットは最終 STOP ビットのことを意味します。(UARTxLCR_H<STP2>で STOP ビット長を選択できます。)

14.4.7 DMA インタフェース

UART は、 DMA をサポートしています。

14.4.7.1 DMA インタフェースの信号

DMA インタフェースの信号として以下のものがあります。

a. UARTxRXDMASREQ

UART によって有効になるシングル DMA 転送要求信号です。受信 FIFO に 1 ワード以上のデータが積まれていれば、この信号が有効になります。

b. UARTxRXDMABREQ

UART によって有効になるバースト DMA 転送要求信号です。UARTxIFLS <RXIFSEL [2:0]>で設定されたウォータマーク レベル以上のデータが受信 FIFO に積まれていると有効になります。

c. UARTxRXDMACLR

受信要求信号をクリアするために DMA コントローラが有効にする DMA 要求クリア信号です。DMA バースト転送が要求されると、バーストの最後のデータ転送中に、この信号が有効となります。

d. UARTxTXDMASREQ

UART によって有効になるシングル DMA 転送要求信号です。送信 FIFO に 1 ワード以上の空きがあれば、この信号が有効になります。

e. UARTxRXDMABREQ

UART によって有効になるバースト DMA 転送要求信号です。送信 FIFO に積まれているデータが、UARTxIFLS<TXIFSEL[2:0]>で設定されたウォータマーク レベルに満たないときに有効になります。

f. UARTxRXDMACLR

送信要求信号をクリアするために DMA コントローラが有効にする DMA 要求クリア信号です。DMA バースト転送が要求されると、バーストの最後のデータ転送中に、この信号が有効となります。

バースト DMA 転送要求信号とシングル DMA 要求信号は同時に有効になることがあります。例えば、受信 FIFO 内にウォータマーク レベル以上のデータが格納されているときです。受信 FIFO 内のデータがウォータマーク レベルに満たなくなるとシングル DMA 要求のみが有効となります。

例えば、19 文字を受信する必要があるときに、ウォータマーク レベルが 4 になるようにプログラムされている場合には、DMA コントローラは 4 文字のバーストを 4 回転送し、3 回のシングル転送を行って転送を完了させます。

14.4.8　IrDA 回路解説

IrDA は以下の回路から構成されています。:

・ IrDA SIR 送信エンコーダ

・ IrDA SIR 受信デコーダ

注)　送信エンコーダの出力 (UTxIROUT)は、受信デコーダの入力 (UTxIRIN)と逆の極性を持ちます。 図 14-4 を参照してください。

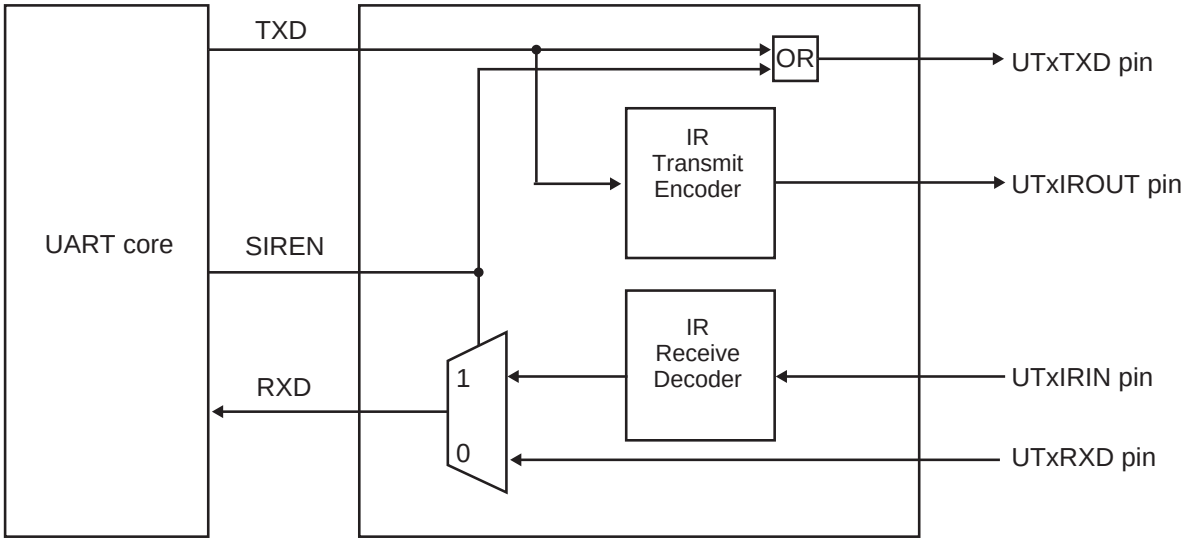


図 14-3 IrDA 回路のブロックダイヤグラム

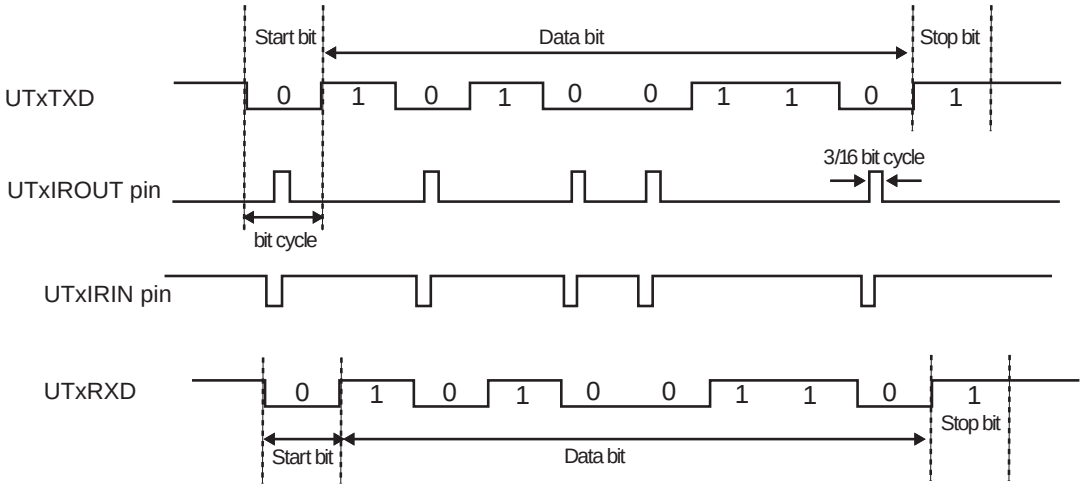


図 14-4 IrDA データ変調の波形

14.4.8.1　IrDA　SIR 送信エンコーダ

SIR 送信エンコーダは、UART から出力非ゼロ復帰(NRZ)送信ビットストリームを変調します。

ノーマルモードで送信されるパルス幅は、内部　×16 クロック(Baud16)の周期を 3 倍した値、つまり 1 ビット周期の 3/16 を指定します。

低電力モードにおける送信パルス幅には、115.2kbps ビット周期の 3/16 を指定します。この値は、UARTCLK クロックの除算から求められた基準 1.8442MHz クロック(IrLPBaud16)周期の 3 倍と実装します。IrLPBaud16 の周波数は、UARTxILPR に適切な除数を書き込むことによって設定

します。通常、マーキング状態(光パルスなし）における Low アクティブエンコーダの出力は Low です。エンコーダが High パルスを出力することによって、ロジック 0 またはスペーシング状態を表す赤外線パルスが生成されます。

14.4.8.2 IrDA SIR 受信エンコーダ

SIR 受信デコーダは、製外線デコータからのゼロ復帰ビットストリームを復調し、受信した NRZ シリアルビットストリームを UART 受信データ入力に出力します。通常、アイドル状態におけるデコータ入力は High(マーキング状態)に設定されます。送信エンコーダの出力は、受信デコーダの入力と逆の極性を持ちます。

スタートビットは、デコーダ入力が Low の時に検出されます。

ノーマルモードまたは低電力モードのどちらにあるかに関係なく、この Low が最初に検出されてから 1IrLPBaud16 周期が経過してもデコーダが Low であれば、スタートビットは有効とみなされます。これにより、ノーマルモードの UART は低電力モードの UART からのデータを受信することができます。低電力モード UART は、1.4μs ほど小さなパルスでも送信することができます。

14.4.9　ハードウエアフロー制御

$\overline{\text{UTxRTS}}$ 端子と $\overline{\text{UTxCTS}}$ 端子を用いてシリアルデータフローを制御することができます。

図 14-5 に、2 つのデバイスの接続を示します。

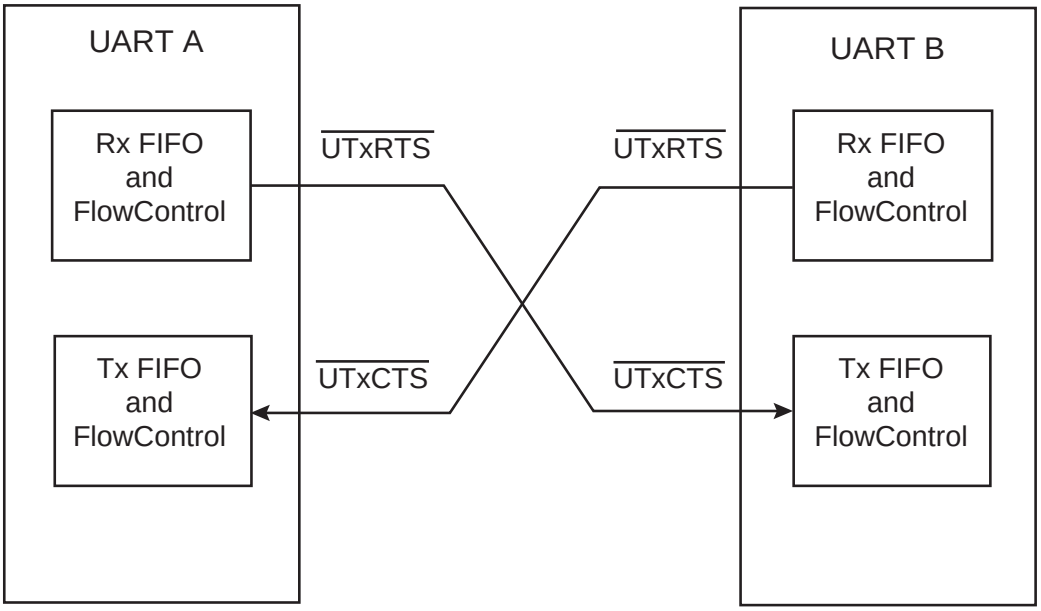


図 14-5 ハードウエアフロー制御

1. RTS ハードウエアフロー制御

   RTS ハードウエアフロー制御ロジックの動作は、UARTxIFLS<RXIFSEL[2:0]>で設定された受信 FIFO のウォータマークレベルと関係します。

   RTS ハードウエアフロー制御が許可されている場合は、受信 FIFO がウォータマークレベルに満たない場合、$\overline{\text{UTxRTS}}$ 端子が有効になります。受信 FIFO がウォータマークレベル以上になると、$\overline{\text{UTxRTS}}$ 端子が無効になり、受信 FIFO にデータを積むための空き場所がないことを示します。

   受信 FIFO からデータが読み出され、ウォータマークレベル未満になると、$\overline{\text{UTxRTS}}$ 端子が再度、有効になります。

   RTS ハードウエア フロー制御が禁止の状態でも通信は可能です。

2. CTS ハードウエアフロー制御

   CTS ハードウエアフロー制御が許可されている場合、送信する前に $\overline{\text{UTxCTS}}$ 端子をチェックします。$\overline{\text{UTxCTS}}$ 端子が有効であればデータを送信しますが、有効でなければ送信しません。

   $\overline{\text{UTxCTS}}$ 端子が有効で、かつ送信 FIFO が空でない間はデータが送信され続けます。送信 FIFO が空であれば、$\overline{\text{UTxCTS}}$ 端子が有効であってもデータは送信されません。

   CTS ハードウエアフロー制御が許可されているときに $\overline{\text{UTxCTS}}$ 端子が無効になった場合、現在送信中のデータ送信が完了してから停止します。

   CTS ハードウエアフロー制御が禁止の状態でも通信は可能です。

表 14-2 ハードウエアフローのイネーブル/ディセーブル

UARTxCR		説明
<CTSEN>	<RTSEN>	
1	1	RTS および CTS のハードウエアフロー制御がイネーブルされます。
1	0	CTS ハードウエアフロー制御のみがイネーブルされます。
0	1	RTS ハードウエアフロー制御のみがイネーブルされます。
0	0	RTS および CTS の両方のハードウエアフローが制御がディセーブルされます。

第 15 章　I2C バス

TMPM461F15/F10FG には、標準的な I2C バス規格に準拠した、I2C バスを搭載しています。

主な機能は以下のとおりです。

- マスタ/スレーブ送受信選択可能
- 送信/受信選択可能
- マルチマスタ対応(アービトレーションあり、クロック同期認識)
- 通信速度(STANDARD モード/FAST モード対応)
- アドレッシングフォーマット 7bit のみサポート
- 転送データサイズ 1 ～8 ビット
- 転送(送信 or 受信)完了割り込み(レベル)1 本
- 割り込みの許可/禁止設定可能

また独自フォーマットのフリーデータフォーマットに対応しています。

表 15-1 I2C バス使用時の規格対応項目

I2C バス規格項目	I2C バス規格	TMPM461F15/F10FG
STANDARD モード対応(~ 100kHz)	必要	対応
FAST モード対応(~ 400kHz)	必要	対応
Hs (High speed) モード対応(~ 3.4Mbps)	必要	非対応
7 ビットアドレッシング対応	必要	対応
10 ビットアドレッシング対応	必要	非対応
START バイト	必要	非対応
ノイズキャンセラ対応	必要	対応(デジタル)
スロープ制御対応	必要	非対応
電源 OFF 時の I/O 対応	必要	非対応
シュミット (VIH/VIL)	VDD × 0.3 / VDD × 0.7	対応
出力電流 VOL = 0.4V, VDD > 2V	3mA	非対応

15.1　構成

構成を図 15-1 に示します。

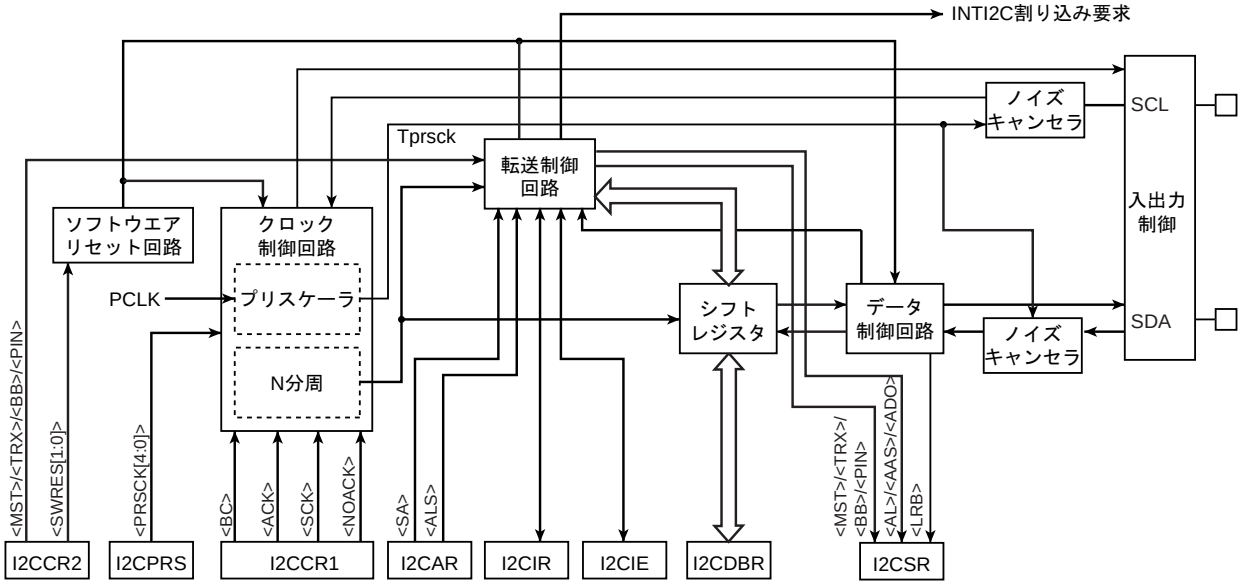


図 15-1 I2C バスブロック図

15.2 I2C バスモード

I2C バスは SDA と SCL を通して、デバイスがバスに接続されるバスで、複数のデバイスと通信が可能です。

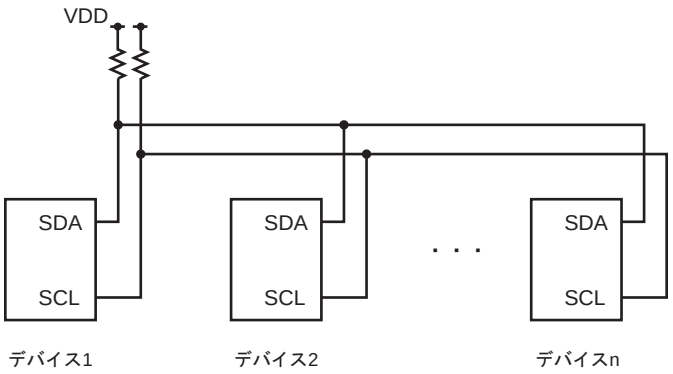


図 15-2 デバイスの接続

I2C バス上のマスタ/スレーブデバイスとして動作します。マスタデバイスは、バス上のシリアルクロックライン(SCL)のドライブ、8bit アドレス送信、1～8bit のデータ送信/受信を行います。スレーブデバイスは、バス上のシリアルクロックに同期して、8bit アドレスの受信、1~8bit のシリアルデータの送信/受信を行います。

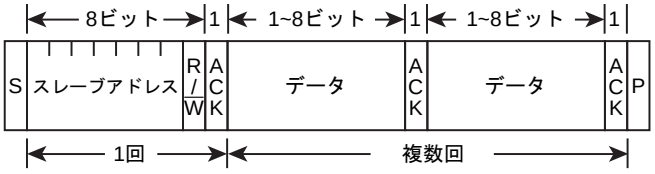
マスタ/スレーブに関わらず、受信動作をしたデバイスはシリアルデータ受信後アクノリッジ信号を出力することができ、送信動作をしたデバイスはそのアクノリッジを受けることができます。マスタはそのアクノリッジのためのクロックを出力することができます。

また、同一バス上に複数のマスタのあるマルチマスタ時、シリアルクロック同期化、およびシリアルデータの整合性を保つためのアービトレーションロストをサポートしています。

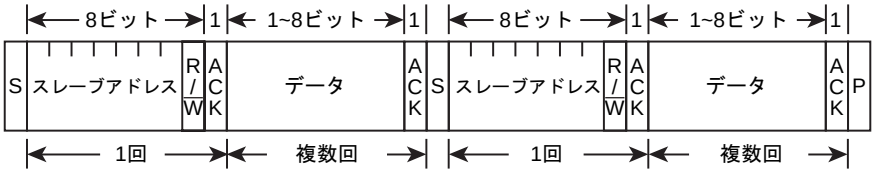
15.2.1 I2C バスモード時のデータフォーマット

I2C バスモード時のデータフォーマットを図 15-3 に示します。

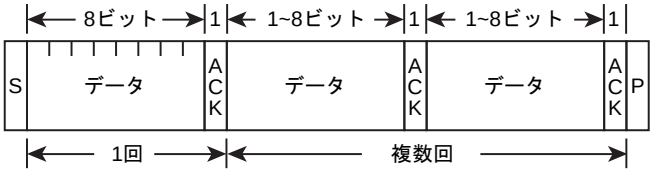
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



注)　S : スタートコンディション
　　R/$\overline{W}$: 方向ビット
　　ACK : アクノリッジビット
　　P : ストップコンディション

図 15-3 I2C バスモード時のデータフォーマット

15.3 レジスタ説明

15.3.1 チャネル別レジスター覧

I2C 機能のレジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
コントロールレジスタ 1	I2CxCR1	0x0000
データバッファレジスタ	I2CxDBR	0x0004
I2C バスアドレスレジスタ	I2CxAR	0x0008
コントロールレジスタ 2	I2CxCR2(ライト時)	0x000C
ステータスレジスタ	I2CxSR(リード時)	
プリスケーラクロック設定レジスタ	I2CxPRS	0x0010
割り込み許可レジスタ	I2CxIE	0x0014
割り込みレジスタ	I2CxIR	0x0018

注) これらのレジスタは、ワードアクセスしてください。

15.3.2 I2CxCR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BC			ACK	NOACK	SCK		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-5	BC[2:0]	R/W	転送ビット数の選択(注 1)

<BC>	<ACK> = 0 のとき		<ACK> = 1 のとき	
	クロック数	データ長	クロック数	データ長
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th colspan="6">機能</th></tr>
<tr><td></td><td></td><td></td><td></td><td>111</td><td>7</td><td>7</td><td>8</td><td>7</td></tr>
<tr><td>4</td><td>ACK</td><td>R/W</td><td colspan="6">マスタモード
0: アクノリッジのためのクロックを発生しない
1: アクノリッジのためのクロックを発生する

スレーブモード
0:アクノリッジのためのクロックをカウントしない
1:アクノリッジのためのクロックをカウントする</td></tr>
<tr><td>3</td><td>NOACK</td><td>R/W</td><td colspan="6">スレーブアドレス一致検出およびジェネラルコール検出選択
0: スレーブ動作時、スレーブアドレス一致およびジェネラルコールを検出する
1: スレーブ動作時、スレーブアドレス一致およびジェネラルコールを検出しない

I2CAR<ALS>が 1 のときは、このビットは意味を持ちません。</td></tr>
<tr><td>2-0</td><td>SCK[2:0]</td><td>R/W</td><td colspan="6">内部 SCL 出力クロックの周波数選択(注 2)
<table><tr><td>000 :</td><td>n = 0</td><td>100 :</td><td>n = 4</td></tr><tr><td>001 :</td><td>n = 1</td><td>101 :</td><td>n = 5</td></tr><tr><td>010 :</td><td>n = 2</td><td>110 :</td><td>n = 6</td></tr><tr><td>011 :</td><td>n = 3</td><td>111 :</td><td>n = 7</td></tr></table></td></tr>
</table>

注 1)　本レジスタに対する書き込みは、スタートコンディション発生前およびストップコンディション発生後、またはアドレスまたはデータ転送後の割り込み発生から、内部割り込み解除までの間に行ってください。アドレスおよびデータ転送中の書き込みはしないでください。

注 2)　I2CxCR1<SCK[2:0]>による分周設定は「15.3.7 I2CxPRS(プリスケーラクロック設定レジスタ)」および「15.4.1 シリアルクロック」を参照してください。

注 3)　読み出しの初期値とは関係なく、周波数選択の初期値は<SCK[2:0]>=000 です。

15.3.3 I2CxDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	DB[7:0]	R	受信データ 受信データは LSB 側に格納されます。
		W	送信データ 送信データ書き込み時は、データを MSB(ビット 7)側につめてライトしてください。

マスタからのアドレス送信時は、転送のターゲットとなるデバイスのアドレスを I2CxDBR<DB[7:1]>に書き込み、I2CxDBR<DB[0]>には、転送の方向ビットとして

<DB[0]> = 0 : マスタ送信 → スレーブ受信

<DB[0]> = 1 : マスタ受信 ← スレーブ送信

を書き込みます。また、I2CxDBR レジスタの全てのビットに"0"を書き込むと、バスにジェネラルコールを送信することができます。

送信/受信時、I2CxDBR に対しての書き込み/読み込み動作によって、転送後の内部割り込みが解除され、次の転送が開始されます。

I2CxDBR は書き込み用のバッファと読み出し用のバッファを兼用していますが、送信時は送信専用、受信時は受信専用として使用してください。また、1 回の転送ごとにレジスタをアクセスするようにしてください。

注 1) 初期化されるのはハードウエアリセット後のみです。ソフトウエアリセット後は初期化されません。(最終データを保持します)

15.3.4　I2CxAR(I2C バスアドレスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SA							ALS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-1	SA[6:0]	R/W	スレーブデバイスとして動作するときのスレーブアドレスの設定
0	ALS	R/W	アドレス認識モードの指定 0:スレーブアドレスを認識する 1:スレーブアドレスを認識しない(フリーデータフォーマット)

注 1)　<ALS>はフリーデータフォーマット使用時以外は必ず"0"に設定してください。"1"に設定した場合にはフリーデータフォーマットとして動作し、マスタ時は送信に、スレーブ時は受信に転送方向が固定されます。

注 2)　スレーブモード時 I2CxAR を"0x00"に設定しないでください。("0x00"に設定した場合、スレーブモードで I2C バス規格の START バイト("0x01")を受信したときにスレーブアドレスが一致したと判断します。)

15.3.5 I2CxCR2(コントロールレジスタ 2)

このレジスタをライトすると、I2CxSR として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	I2CM	-	SWRES	
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	W	マスタモード/スレーブモードの選択 0: スレーブモード 1: マスタモード
6	TRX	W	送信/受信の選択 0: 受信 1: 送信
5	BB	W	スタート/ストップ状態の発生 0: ストップ状態発生 1: スタート状態発生
4	PIN	W	INTI2C 割り込み要求解除 0: – 1: 割り込み要求の解除
3	I2CM	W	I2C 動作制御 0: 禁止 1: 許可
2	-	R	リードすると"0"が読めます。
1-0	SWRES[1:0]	W	ソフトウエアリセットの発生 最初に"10"、次に"01"をライトすると、ソフトウエアリセットが発生します。 詳細は「15.4.11 ソフトウエアリセット」を参照願います。

注) 通信中はモードを切り替えないでください。 ポートモードへの切り替えはバスフリーを確認してから行ってください。 また、ポートモードから I2C バスモードへの切り替えは、ポートの状態が"HIGH"になっていることを確認してから行ってください。

注) I2CxCR2<I2CM>が"0"のとき、<I2CM>以外の I2CxCR2 に値を書き込むことはできません。I2CxCR2 に値を設定する前に<I2CM>に"1"を書き込んで I2C バスモードにしてください。

注) <SWRES[1:0]>を除き、スタートコンディション発生中、ストップコンディション発生中、データ転送中にレジスタの内容を書き替えないでください。レジスタの書き替えは、スタートコンディション発生前、またはデータ転送終了の割り込み要求発生から解除までの間に行ってください。

15.3.6　I2CxSR(ステータスレジスタ)

このレジスタをライトすると、I2CxCR2 として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	AL	AAS	AD0	LRB
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	R	マスタ/スレーブ選択状態モニタ 0: スレーブモード 1: マスタモード
6	TRX	R	トランスミッタ/レシーバ選択状態モニタ 0: レシーバ 1: トランスミッタ
5	BB	R	I2C バス状態モニタ 0: バスフリー 1: バスビジー
4	PIN	R	INTI2C 割り込み要求状態モニタ 0: 割り込みサービス要求中 1: 割り込みサービス要求解除中
3	AL	R	アービトレーションロスト検出モニタ 0: − 1: 検出
2	AAS	R	スレーブアドレス一致検出モニタ 0: − 1: 検出 (ジェネラルコール検出時もセットされます。)
1	AD0	R	ジェネラルコール検出モニタ 0: − 1: 検出
0	LRB	R	最終受信ビットモニタ 0:最終受信ビット "0" 1:最終受信ビット "1"

15.3.7 I2CxPRS(プリスケーラクロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PRSCK				
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4-0	PRSCK[4:0]	R/W	シリアルクロック生成用プリスケーラクロック周波数の選択 00000 : P=32 分周 00001 : P=1 分周 11111 : P=31 分周

注) 「15.3.2 I2CxCR1(コントロールレジスタ 1)」、「15.4.1 シリアルクロック」を参照してください。

15.3.8　I2CxIE(割り込み許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	IE	R/W	I2C 割り込み出力の許可/禁止設定 0:禁止 1:許可

15.3.9　I2CxIR(割り込みレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	ISIC
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	ISIC	R	I2C 割り込み状態 0:割り込みなし 1:割り込み発生 I2CxIE<IE>によるマスク前の I2C 割り込みステータスです。
		W	I2C 割り込みをクリア 0:無効 1:割り込みクリア "1"を書き込むと、I2C 割り込み出力(INTI2C)をクリアします。"0"を書き込んでも何も起こりません。

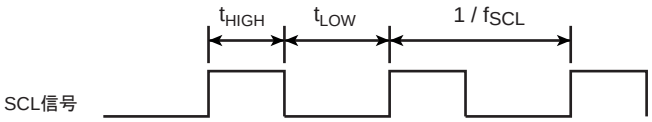
15.4 I2C バスモード時の制御

15.4.1 シリアルクロック

15.4.1.1 クロックソース

I2CxCR1 <SCK[2:0]>で、マスタモード時に SCL 端子から出力されるシリアルクロックの HIGH 時間、LOW 時間を設定します。

<SCK[2:0]>	t_{HIGH} (i x T_{prsck})	t_{LOW} (j x T_{prsck})
	i	j
000	8	12
001	10	14
010	14	18
011	22	26
100	38	42
101	70	74
110	134	138
111	262	266



t_{LOW} = i x Tprsck
t_{HIGH} = j x Tprsck
fSCL = 1 / (t_{LOW} + t_{HIGH})

図 15-4 クロックソース

注) バスの負荷容量と Pull-Up 抵抗との組み合わせにより、立ち上がりが鈍り、設定した t_{HIGH} とならないことがあります。また、他のデバイスの出力するシリアルクロックと同期をとる機能（クロック同期化機能）が働いた場合、設定値と異なるクロックとなる場合があります。

マスタ時、スタートコンディション発生時のホールドタイムと、ストップコンディション発生時のセットアップタイムは t_{HIGH}[s] となります。

スレーブ時の I2CxCR2<PIN>を"1" にセットしたとき、SCL 解放までの時間は t_{LOW}[s] となります。

なお、マスタモード/ スレーブモードともに I2CxCR1<SCK[2:0]>と関係なく、外部から入力されるシリアルクロックは、 "HIGH" レベルは 4/Tprsck[s] 以上、“LOW” レベルは 5/Tprsck[s] 以上必要です。

I2CxCR1<SCK[2:0]>, I2CxPRS<PRSCK[4:0]>により、マスタ時に出力するシリアルクロックの速度を設定します。シリアルクロック生成の基準クロックには、I2CxPRS<PRSCK[4:0]>に従って分周されたプリスケーラクロックを使用します。

プリスケーラクロックは I2CxCR1<SCK[2:0]>に従ってさらに分周し、シリアルクロックとして使用します。プリスケーラクロックのデフォルト設定は 1 分周(fsys)です。

・　シリアル転送レートについて

シリアルクロックレート(f_{scl})は、動作周波数(f_{sys})をもとに、プリスケーラクロック(p)とシリアルクロック(n)の組み合わせにより以下のように決定されます。

$$\text{シリアルクロックレート:}f_{scl}\ (\text{kHz}) = \frac{\text{fsys(MHz)}}{p\times(2^{n+2}+16)} \times 1000$$

p :　プリスケーラ設定　　I2CxPRS<PRSCK[4:0]>,　　1~32
n :　シリアルクロック設定　I2CxCR1<SCK[2:0]>,　　0~7

設定範囲は動作周波数(fsys)により変わります。以下の条件を満たすように、プリスケーラ設定"p"の設定可能範囲を決定してください。

FAST モード時	50ns	<	プリスケーラクロック幅:Tprsck(ns)	≤	150ns
STANDARD モード時	50ns	<	プリスケーラクロック幅:Tprsck(ns)	≤	150ns
	200ns	<	プリスケーラクロック幅:Tprsck(ns)	≤	500ns

注)　マスタ/スレーブに関わらず、この範囲外はプリスケーラ設定禁止です。

また、他のデバイスの出力するシリアルクロックと同期をとる機能があるため、シリアルクロックの速度は一定でなくなることもあります。

下記に fsys=40MHz、FAST モード時の設定可能な例と周波数を示します。(条件：tr=tf=0(ns))

単位:kHz

fsys=40.0MHz		SCK[2:0]>							
PRSCK[4:0]	Tprsck(ns)	000	001	010	011	100	101	110	111
00011	75.00	-	-	-	277.78	166.67	92.59	49.02	25.25
00100	100.00	-	-	312.50	208.33	125.00	69.44	36.76	18.94
00101	125.00	-	333.33	250.00	166.67	100.00	55.56	29.41	15.15
00110	150.00	333.33	277.78	208.33	138.89	83.33	46.30	24.51	12.63

・　プリスケーラクロック幅(ノイズキャンセル幅)について

プリスケーラクロック幅(Tprsck) (ノイズキャンセル幅)は、動作周波数(fsys)をもとに、プリスケーラ設定"p"(I2CxPRS<PRSCK[4:0]>、1～32)により、以下のように決定されます。

$$\text{プリスケーラクロック幅:Tprsck (ns)} = \frac{1}{\text{fsys(MHz)}} \times 1000 \times p$$
(ノイズキャンセル幅)

15.4.1.2 クロック同期化

I2C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に"LOW"レベルに引いたマスタが、"HIGH"レベルを出力しているマスタのクロックを無効にします。このため、"HIGH"レベルを出力しているマスタは、これを検出し対応する必要があります。

I2C はクロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

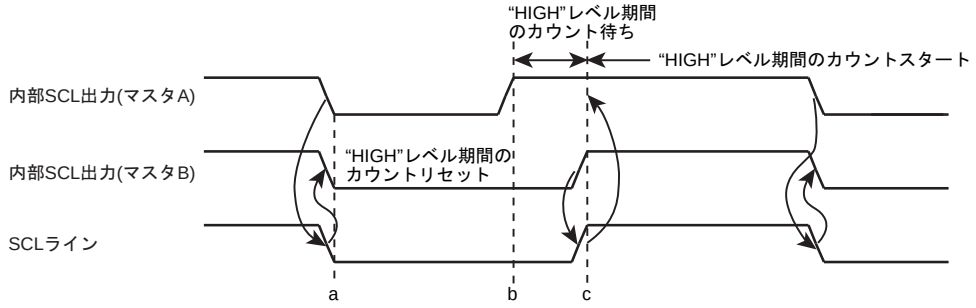


図 15-5 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を"LOW"レベルに引くことで、バスの SCL ラインは"LOW"レベルになります。マスタ B はこれを検出し、マスタ B の"HIGH"レベル期間のカウントをリセットし、内部 SCL 出力を"LOW"レベルに引きます。

b 点でマスタ A は"LOW"レベル期間のカウントを終わり、内部 SCL 出力を"HIGH"レベルにします。しかし、マスタ B がバスの SCL ラインを"LOW"レベルに保持し続けているので、マスタ A は"HIGH"レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を"HIGH"レベルにし、バスの SCL ラインが"HIGH"レベルになったことを検出後、"HIGH"レベル期間のカウントを始めます。その後,"HIGH"レベル期間のカウントを終了したマスタ A が SCL 端子を"LOW"に引くことでバスの SCL ラインは"LOW"レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い"HIGH"レベル期間をもつマスタと最も長い"LOW"レベル期間をもつマスタによって決定されます。

15.4.2 スレーブアドレス一致検出、ジェネラルコール検出の選択

スレーブデバイスがスレーブアドレスの一致検出、ジェネラルコール検出をする際に、I2CxCR1<NOACK>で、スレーブモードのスレーブアドレス一致および、ジェネラルコールを検出する/しないの設定を行います。

<NOACK>= 0 の時、スレーブアドレスの一致検出およびジェネラルコールの検出をおこない、スレーブアドレスの一致検出時またはジェネラルコール検出時、マスタの出力する 9 クロック目(アクノリッジクロック)の間 SDA ラインを "LOW"に引き、アクノリッジを返します。

<NOACK>= 1 の時、スレーブアドレスの一致検出およびジェネラルコールの検出を行わず、スレーブアドレスの一致時、またはジェネラルコール検出時、マスタの出力するアクノリッジクロック(9 クロック目)の間 SDA ラインを解放(HIGH 状態)し、アクノリッジを返しません。

このとき、マスタから送られてくるスレーブアドレス、ジェネラルコールを無視し、INTI2C 割り込み要求も発生しません。

マスタモード時、I2CxCR1<NOACK>は無視され、動作に影響を与えません。

注)　スレーブモードでデータを転送中に I2CxCR1<NOACK>を"0"にクリアしても"1"の状態が保持され、データ転送時のアクノリッジを返します。

15.4.3　アクノリッジメントモードの指定

I2CxCR1<ACK>を"1"に設定するとアクノリッジメントモードとして動作します。マスタモードのときには、アクノリッジ信号のためのクロックを 1 クロック付加します。スレーブモードのときはアクノリッジ信号のためのクロックをカウントします。トランスミッタモードのときには、アクノリッジのためのクロック期間中 SDAx 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときはクロック期間中 SDAx 端子を"LOW"レベルに引き、さらに、スレーブモードのときにジェネラルコールアドレスを受信した場合にもアクノリッジのためのクロック期間中、SDAx 端子を"LOW"レベルに引き、アクノリッジ信号を発生します。

なおジェネラルコールのセカンドバイトは内容によりアクノリッジ信号の発生有無を制御する必要がありますので、ソフトウエアによりアクノリッジ信号の制御を行ってください。

<ACK>を"0"に設定すると、非アクノリッジメントモードとして動作し、マスタモードのときにアクノリッジ信号のためのクロックを発生しません。スレーブモードのときはアクノリッジ信号のためのクロックをカウントしません。

15.4.4　転送ビット数の選択

I2CxCR1<BC[2:0]>により、次に送受信するデータのビット数を選択します。

<BC[2:0]>はスタートコンディションにより"000"にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは<BC[2:0]>は一度設定された値を保持します。

注)　スレーブアドレスの送信、受信は I2CCR1<ACK>をセットした状態で実施してください。I2CxCR1<ACK>がクリアされた状態ではスレーブアドレスの一致、方向ビットの検出が正常に行われません。

15.4.5　スレーブアドレスとアドレス認識モードの設定

スレーブアドレスを認識するアドレッシングフォーマットで動作させるときは、I2CxAR<ALS>に"0"を設定し、I2CxAR <SA[6:0]>にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用するときには<ALS>を"1"に設定します。なお、フリーデータフォーマットで使用した場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

15.4.6 マスタ/スレーブの選択

I2CxCR2<MST>を"1"に設定すると、マスタデバイスとして動作します。

<MST>を"0"に設定すると、スレーブデバイスとして動作します。<MST>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウエアにより"0"にクリアされます。

15.4.7 トランスミッタ/レシーバの選択

I2CxCR2<TRX> を"1"に設定すると、トランスミッタとして動作し、<TRX>を"0"に設定すると、レシーバとして動作します。

スレーブモード時は、

- アドレッシングフォーマットのデータ転送を行うとき
- 受信したスレーブアドレスが I2CxAR にセットした値と同じとき
- ジェネラルコール(スタートコンディション後の 8 ビットのデータが全て"0")を受信したとき

ハードウエアによりマスタデバイスから送られてくる方向ビット(R/$\overline{W}$)が"1"の場合、<TRX>は"1"にセットされ、"0"の場合、<TRX>は"0"にクリアされます。

マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウエアにより、送信した方向ビットが"1"の場合、<TRX>は"0"に、方向ビットが"0"の場合、<TRX>は"1"に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

<TRX>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウエアにより"0"にクリアされます。

表 15-2 に各モードでの I2CSR<TRX>の変化条件と変化後の<TRX>の値を示します。

注) I2CxCR1<NOACK>が"1" のとき、スレーブアドレス一致の検出、ジェネラルコールの検出が禁止されているため、I2CxSR<TRX>は変化しません。

表 15-2 各モードでの I2CxSR<TRX>の動作

モード	方向ビット	変化条件	変化後の<TRX>
スレーブモード	0	受信したスレーブアドレスが I2CAR<SA>に設定された値と同じとき	0
	1		1
マスタモード	0	ACK 信号が返ってきたとき	1
	1		0

フリーデータフォーマットで使用する場合、、スレーブアドレス, 方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。そのため、<TRX>はハードウエアによって変化することはありません。

15.4.8　スタート/ストップコンディションの発生

I2CxSR<BB>が"0"のときに、I2CxCR2<MST, TRX, BB, PIN>に"1"を書き込むと、バス上にスタートコンディション、あらかじめデータバッファレジスタに書き込んだスレーブアドレスと方向ビットが出力されます。あらかじめ、<ACK>に"1"を設定しておいてください。

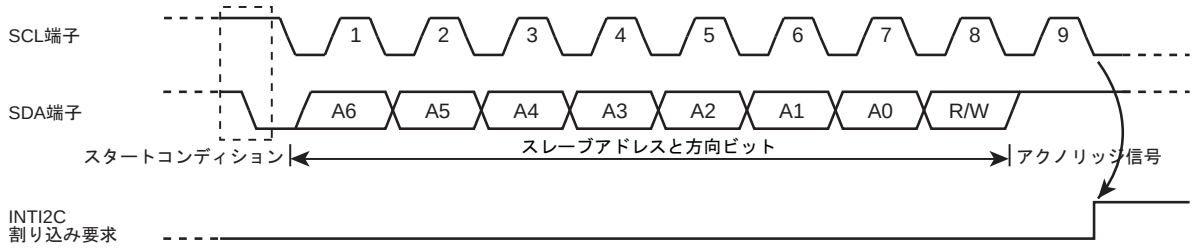
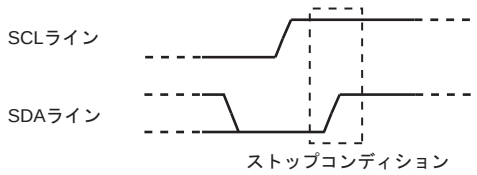


図 15-6 スタートコンディションの発生とスレーブアドレスの発生

<BB> = 1 のときに、<MST, TRX, PIN>に"1"、<BB>に"0"を書き込むと、バス上にストップコンディション出力のシーケンスが開始されます。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

ストップコンディション発生時にバスの SCL ラインがほかのデバイスにより"LOW"に引かれていた場合、SCL ラインが開放された後にストップコンディションが発生します。



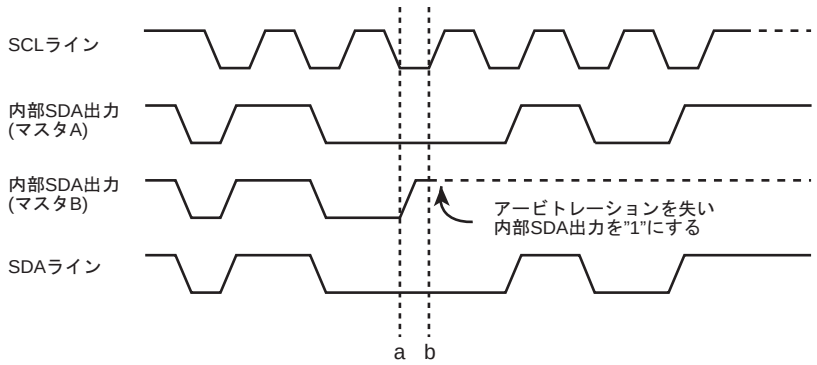


図 15-7 ストップコンディションの発生

また、I2CxSR<BB>を読み出すことで、バスの状態を知ることができます。<BB>は、バス上のスタートコンディションを検出すると"1"にセットされ(バスビジー状態)、ストップコンディションを検出すると"0"にクリアされます(バスフリー状態)。

一般的な動作として、I2CxSR の状態と、その際の設定例を示します。

I2CxCR2<MST>,<TRX>,<BB>,<PIN>のビットは本来独立した機能を持っていますが、I2CxSR の状態に応じて次のような定型的な組み合わせで使用します。

I2CxSR			I2CxCR2				動作
<MST>	<BB>	<PIN>	<MST>	<TRX>	<BB>	<PIN>	
0	0	1	0	0	0	0	スレーブとしてスタートコンディション待ち
			1	1	1	1	スタートコンディション発生
1	1	0	1	1	0	1	ストップコンディション発生
			0	0	0	1	再スタートのため内部割り込み解除

注) このビット(群)に対する書き込みの際に、誤って I2CxCR2<I2CM>を変更しないようにしてください。

15.4.8.1 STOP コンディションの認識と SDA の立ち上がり(tr)について

この製品は、マスタモード時の STOP コンディションの認識期間が以下の式の(a)の範囲内である必要があります。お使いの製品では以下の条件を守るようお願いします。

(I2C の SDA の立ち上がり時間規定(最大)：1000ns(STANDARD Mode),300ns(FAST Mode))

(a) = Tprsck x 6 - 1/fsys

例 : fsys = 80MHz, Tprsck = 150 (ns)

(a) = 150 x 6 - 12.5 = 900 - 12.5 = 877.5 (ns)

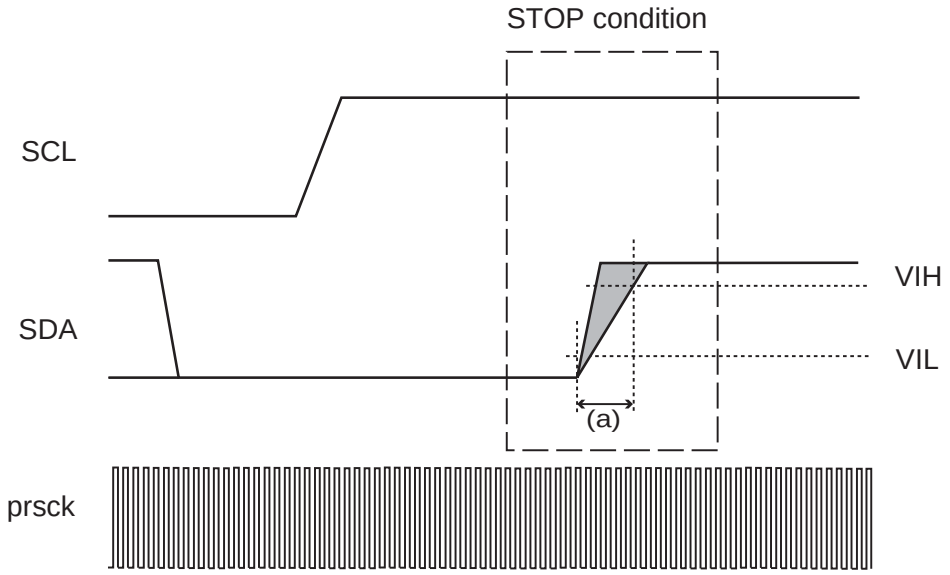


図 15-8 STOP コンディションの認識(tr の条件)

15.4.9　割り込みサービス要求と解除

マスタモードの時、I2CxCR1<BC>と<ACK>によって設定されたクロック数の転送が終了すると、I2C 割り込み要求(INTI2C)が発生します。

スレーブモードで I2CxAR<ALS>が"0"の場合は、以下のときに INTI2C が発生します。

- I2CxCR1<NOACK>が"0"のとき、受信したスレーブアドレスが I2CxAR<SA[6:0]>に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- I2CxCR1<NOACK>が"0"のとき、ジェネラルコールを受信したときのアクノリッジ信号出力後
- スレーブアドレス一致、またはジェネラルコール受信後におけるデータ転送終了時

割り込み要求(INTI2Cx)が発生すると、I2CxCR2<PIN>が"0"にクリアされます。<PIN>が"0"の間、SCL ラインを"LOW"レベルに引きます。

<PIN>は I2CxDBR にデータを書き込むか、I2CxDBR からデータを読み出すと"1"にセットされます。<PIN>が"1"にセットされてから、SCL ラインが開放されるまで、t_{LOW} の時間がかかります。プログラムで<PIN>に"1"を書き込むと"1"にセットされますが、"0"を書き込んでも"0"にクリアされません。

注)　マスタモードでスレーブアドレスと方向ビット転送中にアービトレーションロストが発生したとき、スレーブアドレスが一致した場合、または、しなかった場合とも,<PIN>は"0"にクリアされ。INTI2Cx が発生します。)

15.4.10　I2C バスモード

I2CxCR2<I2CM>を"1"にセットすると I2C バスモードになります。I2C バスモードで使用するときは、端子の状態が"HIGH"になっていることを確認後、<I2CM>を"1"に設定してください。また、初期状態への切り替えはバスフリーを確認後、<I2CM>を"0"にしてください。

注)　I2CxCR2<I2CM>が"0"のとき、<I2CM>以外の I2CxCR2 に値を書き込むことはできません。I2CxCR2 に値を設定する前に<I2CM>に"1"を書き込んで I2C バスモードにしてください。

15.4.11　ソフトウエアリセット

I2C バスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウエアリセット機能を使い、I2C バスインタフェース回路を初期化することができます。

I2CxCR2<SWRES[1:0]>へ、最初に"10"、次に"01"をライトすると、I2C バスインタフェース回路にリセット信号が入力され、回路が初期化されます。このとき、I2CxCR2<I2CM>と I2CxDBR レジスタを除く、全てのコントロールレジスタとステータスフラグはリセット直後の値となります。また、<SWRES>は、I2C バスインタフェースを初期化すると、自動的に"0"にクリアされます。

注)　ソフトウエアリセットをかけると動作モード選択もリセットされ、I2C モードから PORT モードになります。

15.4.12　アービトレーションロスト検出モニタ

I2C バスではマルチマスタ(1 つのバス上で同時に 2 つ以上のマスタが存在する)が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

I2C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

a 点のビットまでマスタ A, マスタ B とも同じデータを出力し、a 点でマスタ A が"LOW"レベルを出力、マスタ B が"HIGH"レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるために SDA ラインはマスタ A によって"LOW"レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を"アービトレーションロスト"と呼び、アービトレーションを失ったマスタ B は SDA、SCL 端子を開放し、アービトレーションを失っていないマスタ A の出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目で全く等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

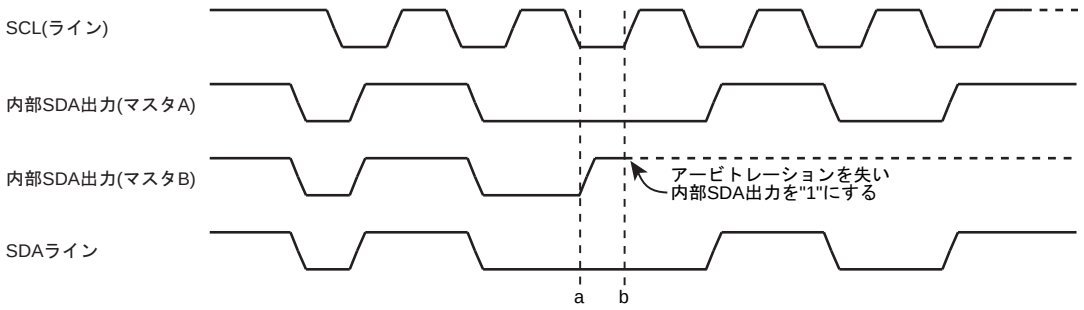


図 15-9 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、I2CxSR<AL> が"1"にセットされます。

<AL> が"1"にセットされると I2CxSR<MST, TRX>は"0"にクリアされ、スレーブレシーバモードになります。そのため、<AL>が"1"にセットされた後のデータ転送では I2C バスインタフェース回路はクロック出力を停止します。

<AL>は、I2CxDBR にデータを書き込むか、I2CxDBR からデータを読み込む、または I2CxCR2 にデータを書き込むと"0"にクリアされます。

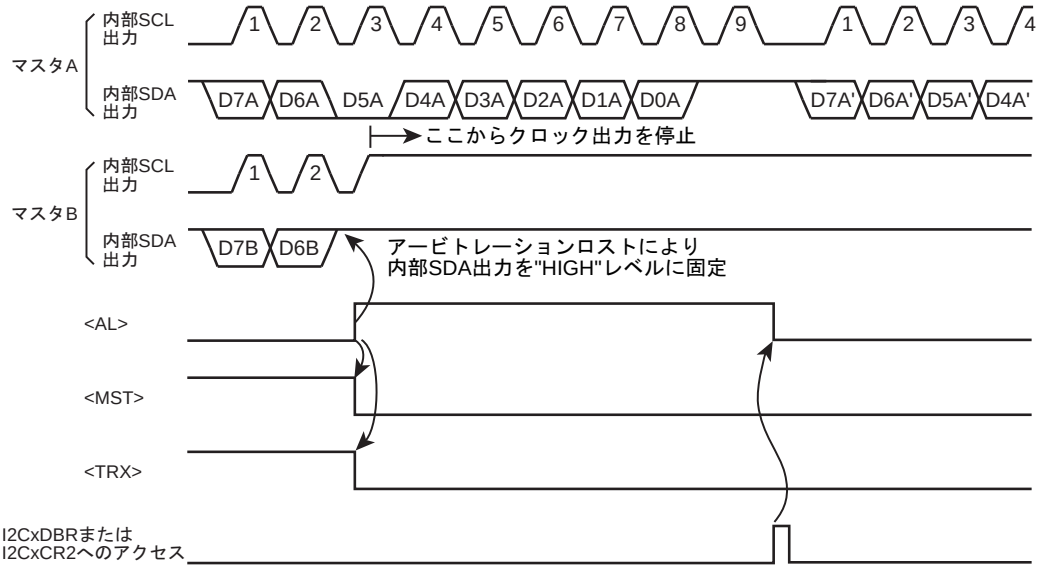


図 15-10 マスタ B の場合の例(D7A=D7B,D6A=D6B)

15.4.13　スレーブアドレス一致検出モニタ

I2CxSR<AAS>は、スレーブモード時、アドレス認識モード(I2CxAR<ALS> = 0)の場合にスレーブアドレスの一致検出ができます。

I2CxCR1<NOACK>を"0"にクリアすると、アドレス一致検出を許可し、ジェネラルコールまたは、I2CxAR<SA>にセットした値と同じスレーブアドレスを受信することで、I2CxSR<AAS>は、"1" にセットされます。

I2CxCR1<NOACK>を"1"にセットすると、アドレス一致検出を禁止し、ジェネラルコールまたは、I2CxAR<SA>にセットした値と同じスレーブアドレスを受信しても、I2CxSR<AAS>は、"1" にセットされません。

フリーデータフォーマット(<ALS> = 1)のときは、最初の 1 ワードが受信されると"1"にセットされます。<AAS> は I2CxDBR にデータを書き込むか、I2CxDBR からデータを読み出すと"0"にクリアされます。

15.4.14　ジェネラルコール検出モニタ

I2CxSR<AD0>は、スレーブモード時、ジェネラルコール(スタートコンディション後の 8 ビットのデータが全て"0")を受信したとき"1"にセットされます。また、バス上のスタートコンディション、またはストップコンディションが検出されると"0"にクリアされます。

15.4.15　最終受信ビットモニタ

I2CxSR<LRB>には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。アクノリッジメントモードのとき、INTI2Cx 割り込み要求発生直後に I2CxSR<LRB> を読み出すと、ACK 信号が読み出されます。

15.4.16 データバッファレジスタ(I2CxDBR)

I2CxDBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。また、マスタモード時で、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコンディションを発生します。

15.5　I2C バスモード時のデータ転送手順

15.5.1　デバイスの初期化

SDA と SCL 端子の状態が"HIGH"(バスフリー) になっていることを確認し、I2CxCR2<I2CM>に"1" を設定し、I2C をイネーブルに設定します。

次に、I2CxCR1<ACK>に"1"を 、I2CxCR1<NOACK>に"0" を、I2CxCR1<BC[2:0]>に"000" をそれぞれ書き込み、アクノリッジのためのクロック数を“カウントする”、 スレーブアドレス一致検出およびジェネラルコール検出を” 許可”に、 データ長を“8 ビット”にそれぞれ設定します。

また、I2CxCR1<SCK>で t_{HIGH}、t_{LOW} を設定します。

それから I2CxAR<SA>にスレーブアドレスを設定し、I2CAR<ALS>を 0 に設定してアドレッシングフォーマットを設定します。

最後に、I2CxCR2<MST>、 I2CxCR2<TRX>、 I2CxCR2<BB>に"0" を、I2CxCR2<PIN>に"1" を、I2CxCR2<SWRES[1:0]>に"00" を設定し、初期状態をスレーブレシーバモードにします。

注)　I2C の初期化は、バスに接続されている全てのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了させてください。この制約が守られない場合、I2C の初期化が終了する前にほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

		7	6	5	4	3	2	1	0	
I2CxCR2	←	0	0	0	1	1	0	0	0	I2C を許可
I2CxCR1	←	0	0	0	1	0	1	1	0	アクノリッジメントモード、I2CCR1<SCK>= 110 に設定
I2CxAR	←	1	0	1	0	0	0	0	0	スレーブアドレスを"1010000" に、アドレッシングフォーマットに設定
I2CxCR2	←	0	0	0	1	1	0	0	0	スレーブレシーバモードに設定

注)　X; Don’t care

15.5.2　スタートコンディション, スレーブアドレスの発生

15.5.2.1　マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態(<BB> = 0)を確認します。次に、I2CxCR1<ACK>に"1"を書き込んで、アクノリッジメントモードに設定します。また、I2CxDBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> =0 の状態で、I2CxCR2<MST, TRX, BB, PIN>に"1111"を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCLx 端子から 9 クロックを出力します。最初の 8 クロックで、I2CxDBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTI2C 割り込み要求が発生し、<PIN> = 0 にされます。マスタモード時は、<PIN> = 0 の間 SCL ラインを"LOW"レベルにひきます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTI2C 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

注 1) スレーブアドレスを出力するために I2CxDBR に書き込む時は事前にソフトウエアによってバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のバス上のデータが破壊されることがあります。

注 2) スレーブアドレスを書き込んでからスタートコンディションを発生させるまでの間に、ほかのマスタによる転送が行われる場合があります。そのため、出力するスレーブアドレスの書き込みから 98.0μs (STANDARD モード I2C バス規格による最短の転送時間)、または 23.7μs (FAST モード I2C バス規格による最短の転送時間) 以内に、再度ソフトウエアによるバスフリーの確認を行い、バスフリーが確認できたときのみスタートコンディションを発生させてください。

メインルーチンでの設定

		7	6	5	4	3	2	1	0	
Reg.	←	I2CxSR								
Reg.	←	Reg. AND 0x20								
if Reg.	≠	0x00								バスがフリー状態になるまで確認します。
Then										
I2CxCR1	←	X	X	X	1	0	X	X	X	アクノリッジメントモードに設定します。
I2CxDBR	←	X	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
I2CxCR2	←	1	1	1	1	1	0	0	0	スタートコンディションの発生を行います。

INTI2Cx 割り込みルーチンでの処理例

割り込み要求クリア

処理

割り込み終了

15.5.2.2 スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ジェネラルコール、または I2CxAR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを"LOW"レベルに引き、アクノリッジ信号を出力します。

9 クロック目の立ち下がりで、INTI2Cx 割り込み要求が発生し、<PIN> = 0 にされます。スレーブモード時は、<PIN> = 0 の間 SCL ラインを"LOW"レベルに引きます。

注) DMA 転送を使用する場合は
・マスタスレーブが 1 対 1
・送信または受信が連続して可能
のときにのみ可能です。

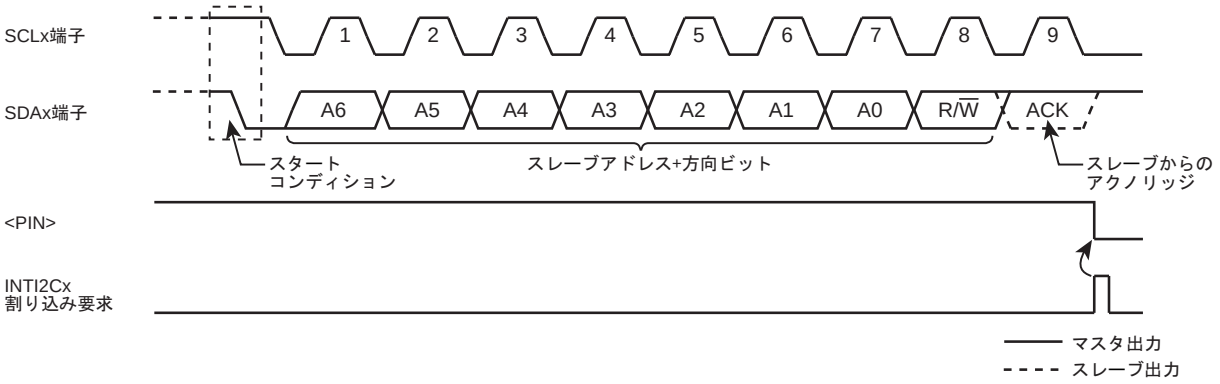


図 15-11 スタートコンディションとスレーブアドレスの発生

15.5.3 1 ワードのデータ転送

1 ワード転送終了の割り込みの処理で I2CxSR<MST>をテストし、マスタモード/スレーブモードの判断をします。

15.5.3.1 マスタモードの場合(<MST> = 1)

I2CxSR<TRX>をテストし、トランスミッタ/レシーバの判断をします。

(1) トランスミッタモードの場合(<TRX> = 1)

<LRB>をテストします。<LRB> =1 のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理(後記参照)を行ってデータ転送を終了します。

<LRB> = 0 のときレシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットのとき I2CxDBR に転送データを書き込みます。8 ビット以外のときは<BC[2:0]>, <ACK>を設定し、転送データを I2CxDBR に書き込みます。データを書き込むと<PIN>が"1"になり SCL 端子から次の 1 ワードデータ転送用のシリアルクロックが発生され、SDA 端子から 1 ワードのデータが転送されます。転送終了後 INTI2C 割り込み要求が発生し、<PIN>が"0"になり SCL 端子を"LOW"レベルに引きます。複数ワードの転送が必要な場合は上記<LRB>のテストから繰り返します。

INTI2Cx 割り込み

if MST = 0
Then スレーブモード時の処理へ移行
if TRX = 0
Then レシーバモード時の処理へ移行
if LRB = 0
Then ストップコンディションを発生する処理へ移行

I2CxCR1	←	X	X	X	X	0	X	X	X	転送ビット数および ACK を設定します。
I2CxDBR	←	X	X	X	X	X	X	X	X	転送データを書き込みます。

割り込み処理終了

注) X; Don't care

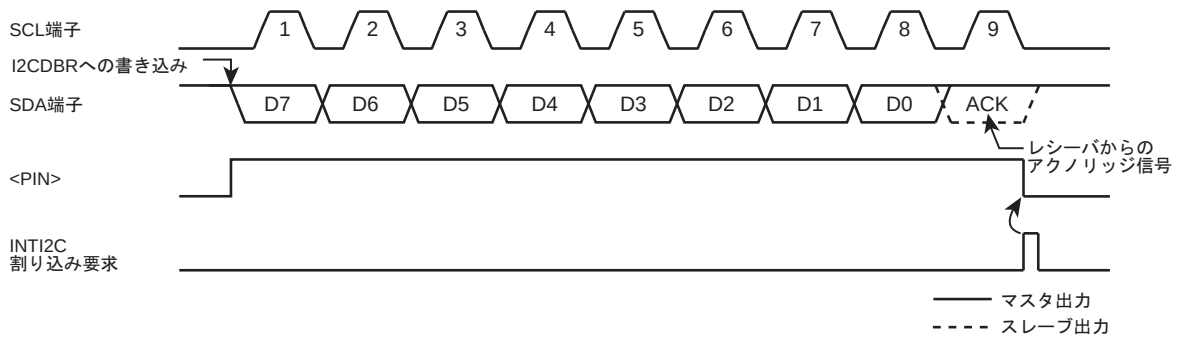


図 15-12 <BC[2:0]>=000,<ACK>=1 の場合（トランスミッタモード）

(2)　レシーバモードの場合(<TRX> = 0)

次に転送するデータのビット数が 8 ビットのときは I2CxDBR に転送データを書き込みます。8 ビット以外のときは<BC[2:0]>, <ACK>を設定し、SCL ラインを解放するために I2CxDBR から受信データを読み出します(スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと<PIN>は"1"になり、次の 1 ワードデータ転送用のシリアルクロックを SCLx 端子に出力します。最後のビットでアクノリッジ信号の"LOW"レベルのタイミングで"0"を SDAx 端子に出力します。

その後、INTI2Cx 割り込み要求が発生し、<PIN>が"0"になり SCLx 端子を"LOW"レベルに引きます。I2CxDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

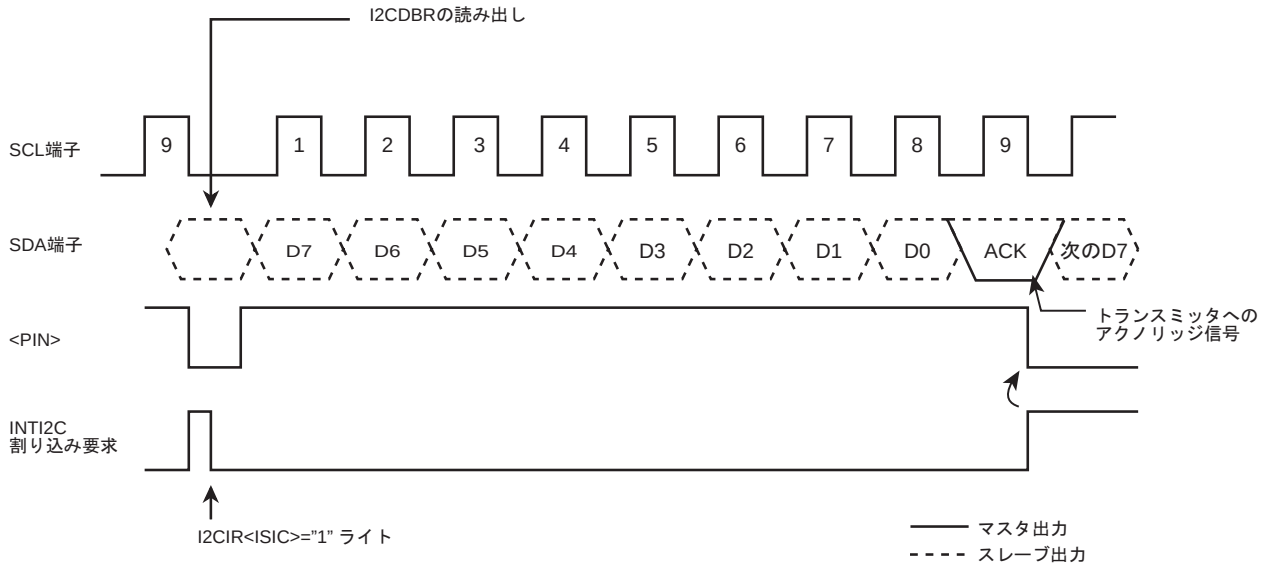


図 15-13 <BC[2:0]>=000,<ACK>=1 のときの例（レーシーバモード）

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に<ACK>を"0"にします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC[2:0]> = 001 に設定し、データを読み出すと、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスの SDA ラインは"HIGH"レベルを保ちます。トランスミッタは ACK 信号としてこの"HIGH"レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

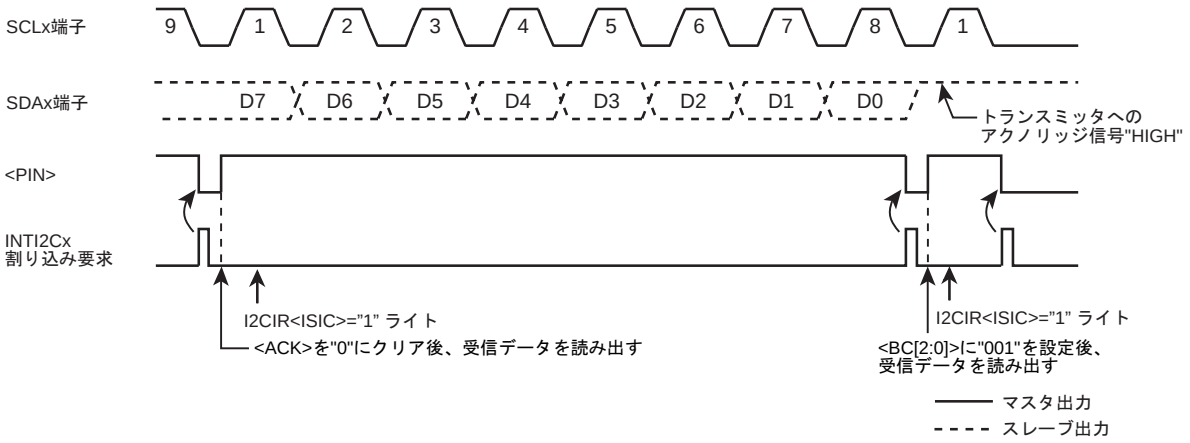


図 15-14 マスタレシーバモード時、データの送信を終了させるときの処理

例:データを N 回受信する場合

INTI2Cx 割り込み(データ送信後)

		7	6	5	4	3	2	1	0	
I2CxCR1	←	X	X	X	X	0	X	X	X	受信データのビット数および ACK を設定します。
Reg.	←	I2CxDBR								ダミーデータを取り込みます。
割り込み終了										

INTI2Cx 割り込み(データ受信 1~(N − 2)回目)

		7	6	5	4	3	2	1	0	
Reg.	←	I2CxDBR								1~(N − 2)回目のデータを取り込みます。
割り込み終了										

INTI2Cx 割り込み(データ受信 (N − 1)回目)

		7	6	5	4	3	2	1	0	
I2CxCR1	←	X	X	X	0	0	X	X	X	アクノリッジ信号のクロックを発生しないようにします。
Reg.	←	I2CxDBR								(N − 1)回目のデータを取り込みます。
割り込み終了										

INTI2Cx 割り込み(データ受信 N 回目)

		7	6	5	4	3	2	1	0	
I2CxCR1	←	0	0	1	0	0	X	X	X	1 ビット転送のためのクロックを発生します。
Reg.	←	I2CxDBR								N 回目のデータを取り込みます。
割り込み終了										

INTI2Cx 割り込み(データ受信後)

ストップコンディションを発生する処理	データ転送を終了させます。
割り込み終了	

注)　X; Don’t care

15.5.3.2 スレーブモードの場合(<MST> = 0)

スレーブモードのとき、以下の場合に INTI2C 割り込み要求が発生します。

- I2CxCR1<NOACK>が "0" のとき、ジェネラルコールアドレスを受信したときのアクノリッジ信号出力後
- I2CxCR1<NOACK>が "0" のとき、受信したスレーブアドレスが、I2CxAR<SA>に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- スレーブアドレス一致、またはジェネラルコールアドレス受信後におけるデータ転送終了時

また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTI2C 割り込み要求が発生します。INTI2C 割り込み要求が発生すると<PIN>が"0"にされ、SCLx 端子を"LOW"レベルに引きます。I2CxDBR にデータを書き込むか<PIN>に"1"を設定すると SCLx 端子が t_{LOW} 後に開放されます。

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

I2CxSR<AL>, <TRX>, <AAS>, <AD0>をテストし、場合分けを行います。「表 15-3 スレーブモード時の処理」にスレーブモード時の状態と必要な処理を示します。

例: スレーブレシーバモード時スレーブアドレスが一致し、方向ビットが"1"の場合

INTI2Cx 割り込み

```
if TRX = 0
Then その他処理へ移行
if AL = 0
Then その他処理へ移行
if AAS = 0
Then その他処理へ移行
I2CxCR1    ←  X  X  X  1  0  X  X  X    送信ビット数を設定します。
I2CxDBR    ←  X  X  X  X  X  X  X  X    送信データをセットします。
```

注)　X; Don't care

表 15-3 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<AD0>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが"1"のスレーブアドレスを受信	1 ワードのビット数を<BC[2:0]>にセットし、送信するデータを I2CxDBR に書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが"1"のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	<LRB>をテストし、"1"にセットされていた場合、レシーバが次のデータを要求していないので<PIN>に"1"をセット、<TRX>を"0"にリセットしバスを開放します。<LRB>が"0"にリセットされていた場合、レシーバが次のデータを要求しているので 1 ワードのビット数を<BC[2:0]>にセットし、送信するデータを I2CxDBR に書き込みます。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが "0" のスレーブアドレス、またはジェネラルコールを受信	<PIN>を"1"にセットするために I2CxDBR にダミーデータ(0x00)を書き込みます。または<PIN>に"1"を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが "0" のスレーブアドレス、またはジェネラルコールを受信	
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	1 ワードのビット数を<BC[2:0]>にセットし、受信データを I2CxDBR から読み込み、ダミーデータ(0x00)を書き込みます。

注)　スレーブモードで<SA[6:0]>が"0x00"に設定されている場合、I2C バス規格の START バイト(0x01)を受信したときにスレーブアドレスが一致したと判断し、<TRX>が"1"にセットされます。<SA[6:0]>に"0x00"を設定しないでください。

15.5.4 ストップコンディションの発生

I2CxSR<BB> = 1 のときに、I2CxCR2<MST, TRX, PIN> に"1" 、<BB>に"0"を書き込むとバス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

なお、バスの SCL ラインが他のデバイスにより引かれていた場合、SCL ラインが開放されてから、SDA 端子が立ち上がり、ストップコンディションが発生します。

SCL ラインが解放されてからストップコンディションが発生するまで、t_{HIGH} かかります。

		7	6	5	4	3	2	1	0	
I2CxCR2	←	1	1	0	1	1	0	0	0	ストップコンディションを発生させます。

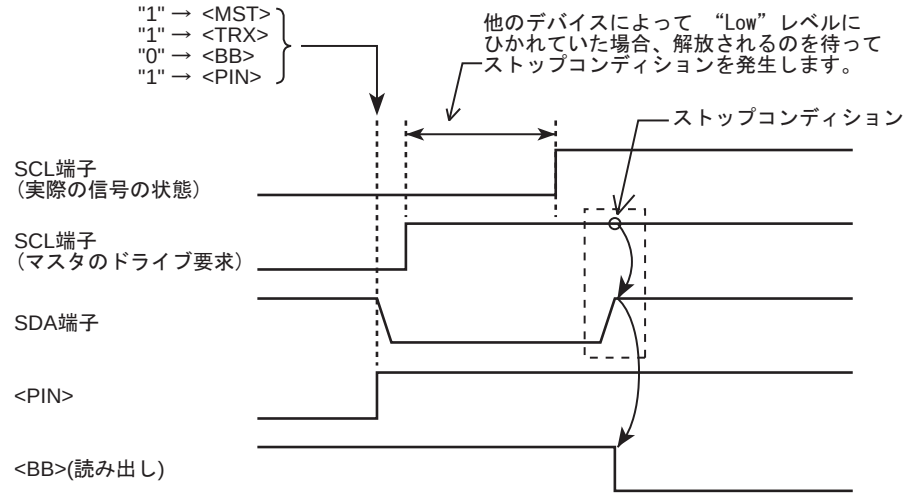


図 15-15 ストップコンディションの発生

15.5.5 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生する場合の手順を以下に示します。

まず、I2CxCR2<MST, TRX, BB>に"0"、<PIN>に"1"を書き込み、バスを開放します。このとき SDA 端子は"HIGH"レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、I2CxSR<BB>をテストして"0"になるまで待ち、SCLx 端子が開放されたことを確認します。次に<LRB>をテストして"1"になるまで待ち、他のデバイスがバスの SCL ラインを"LOW"レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記「15.5.2 スタートコンディション, スレーブアドレスの発生」の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7 μs (標準モード時)のソフトウエアによる待ち時間が必要です。

注 1) <MST> = 0 の状態の時に<MST> = 0 をライトしないでください(再スタートできません)。

注 2) マスタデバイスがレシーバのとき、再スタートを発生させる前にトランスミッタとなっているスレーブデバイスからのデータ送信を終了させる必要があります。データ送信を終了させるために、"HIGH"レベルのアクノリッジ信号をスレーブデバイスに受信させます。このため、再スタート発生前の<LBR>は"1"となり、再スタートの手順で<LBR>=1 であることを確認しても、SCL ラインの立ち上がりを確認できません。SCL ラインの状態を確認するにはポートを読み出してください。

		7	6	5	4	3	2	1	0	
I2CxCR2	←	0	0	0	1	1	0	0	0	バスを開放します。
if I2CxSR<BB> ≠ 0										SCL 端子の開放を確認します。
Then										
if I2CxSR<LRB> ≠ 1										他のデバイスの SCL 端子"LOW"レベルの確認を行います。
Then										
4.7 μs Wait										
I2CxCR1	←	X	X	X	1	0	X	X	X	アクノリッジメントモードに設定します。
I2CxDBR	←	X	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
I2CxCR2	←	1	1	1	1	1	0	0	0	スタートコンディションの発生を行います。

注)　X; Don't care

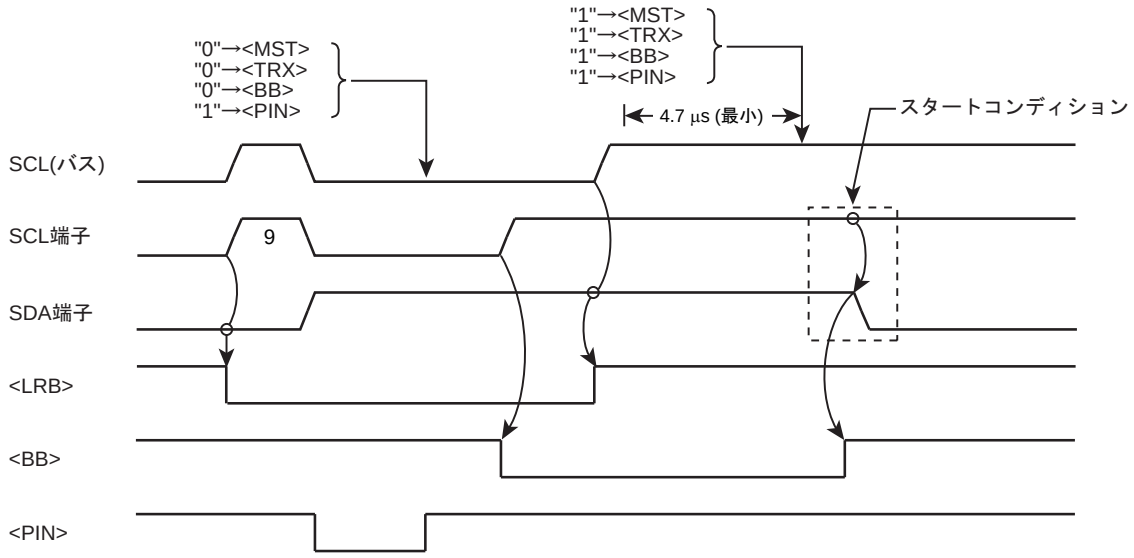


図 15-16 再スタートを発生する場合のタイミングチャート

15.6 使用上の注意点

15.6.1 ソフトウエアリセット後のレジスタ値

ソフトウエアリセットの実行により、I2CxCR2<I2CM>以外のレジスタと内部回路が初期化され、SCL および SDA は開放されます。(「15.4.1.2 クロック同期化」参照)

ただし、I2CxSR<LRB>については、ソフトウエアリセット後リードするタイミングによって、初期値(0)と異なる値が読み出される場合があります。

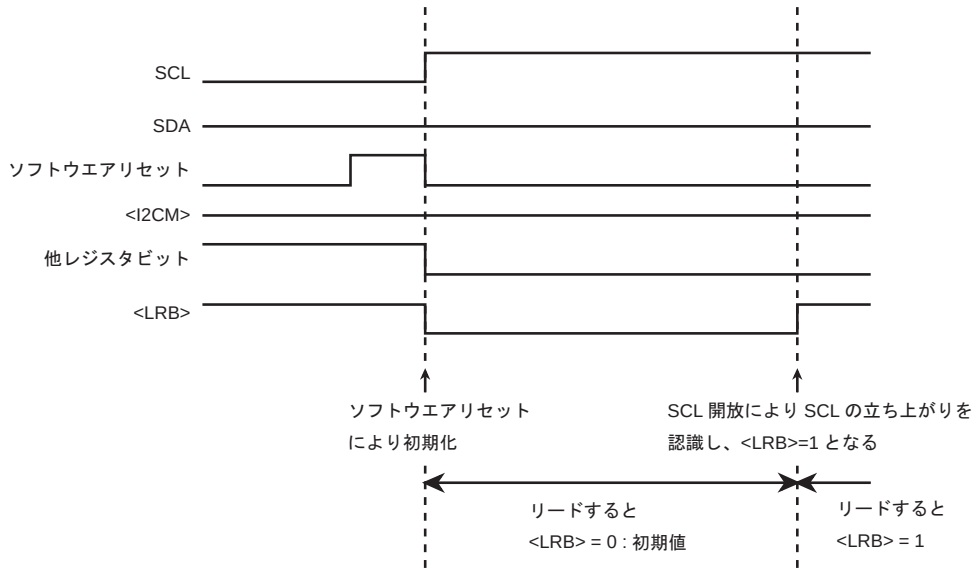


図 15-17 SDA=1 の状態で、ソフトウエアリセットにより SCL=0 から"1"に開放する場合

第 16 章　同期式シリアルインタフェース(SSP)

16.1　概要

同期式シリアルインタフェース(SSP: Synchronous Serial Port)の特長は以下のとおりです。

通信プロトコル		SPI を含む 3 種類の同期式シリアル ・Motorola SPI (SPI)フレームフォーマット ・TI synchronous (SSI)フレームフォーマット ・National Microwire (Microwire)フレームフォーマット
動作モード		マスタ/スレーブモード
送信 FIFO		幅 16-bit／深さ 8 段
受信 FIFO		幅 16-bit／深さ 8 段
送受信データのサイズ		4 ~ 16 ビット
割り込みの種類		送信割り込み 受信割り込み 受信オーバラン割り込み タイムアウト割り込み
通信速度 (注)	マスタモード時	fsys / 2 ~ fsys / 65024
	スレーブモード時	fsys / 12 ~ fsys / 65024
DMA 転送		サポート
内部テスト機能		内部ループバックテストモードの使用が可能

16.2　ブロック図

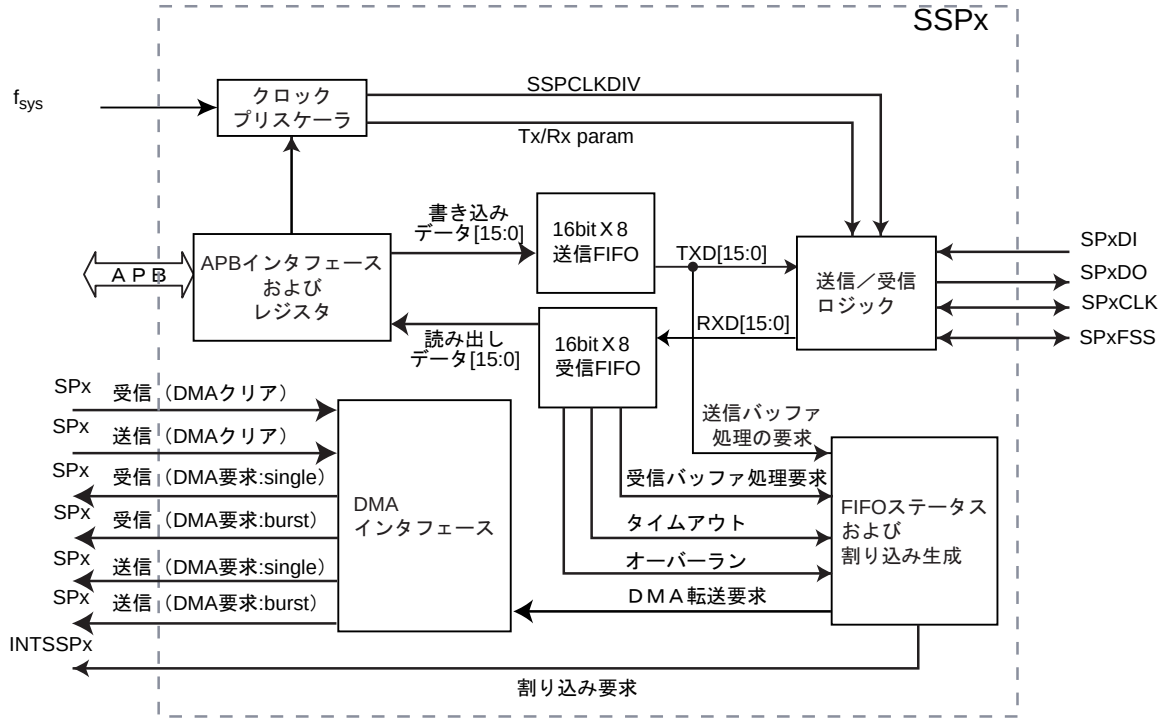


図 16-1 SSP ブロック図

16.3 レジスタ

16.3.1 レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
制御レジスタ 0	SSPxCR0	0x0000
制御レジスタ 1	SSPxCR1	0x0004
受信 FIFO(読み出し)および送信 FIFO(書き込み) データレジスタ	SSPxDR	0x0008
ステータスレジスタ	SSPxSR	0x000C
クロックプリスケールレジスタ	SSPxCPSR	0x0010
割り込み許可/禁止レジスタ	SSPxIMSC	0x0014
許可前の割り込みステータスレジスタ	SSPxRIS	0x0018
許可後の割り込みステータスレジスタ	SSPxMIS	0x001C
割り込みクリアレジスタ	SSPxICR	0x0020
DMA 制御レジスタ	SSPxDMACR	0x0024
Reserved	-	0x0028 ~ 0x0FFC

注1) 上記レジスタはワード(32bit) アクセスのみとなります。
注2) "Reserved"表記のアドレスにはアクセスしないでください。

16.3.2　SSPxCR0(制御レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SCR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SPH	SPO	FRF		DSS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	W	"0"を書き込んでください。
15-8	SCR[7:0]	R/W	シリアルクロックレート設定 パラメータ:0x00 ~ 0xFF の値 SSP の送信ビットレートおよび受信ビットレートの生成に使用されます。 このビットレートは以下の式から求められます。 ビットレート = f_{sys} / (<CPSDVSR> × (1+ <SCR>)) <CPSDVSR> は、SSPxCPSR レジスタからプログラムされる 2 ~ 254 の偶数値であり、<SCR>は 0 ~ 255 の値を取ります。
7	SPH	R/W	SPxCLK フェーズ設定 0:1st クロックエッジでデータを取り込み 1:2nd クロックエッジでデータを取り込み (Motorola SPI フレーム形式のみに適用可能, [Motorola SPI フレーム形式]参照)。
6	SPO	R/W	SPxCLK 極性選択 0:SPxCLK は Low 状態 1:SPxCLK は High 状態 (Motorola SPI フレーム形式のみに適用可能, [Motorola SPI フレーム形式]参照)。
5-4	FRF[1:0]	R/W	フレームフォーマット選択 00:　SPI フレームフォーマット 01:　SSI シリアルフレームフォーマット 10:　Microwire フレームフォーマット 11:　Reserved(動作未定義)
3-0	DSS[3:0]	R/W	データサイズ選択

0000:	Reserved(動作未定義)	1000:	9 ビットデータ
0001:	Reserved(動作未定義)	1001:	10 ビットデータ
0010:	Reserved(動作未定義)	1010:	11 ビットデータ
0011:	4 ビットデータ	1011:	12 ビットデータ
0100:	5 ビットデータ	1100:	13 ビットデータ
0101:	6 ビットデータ	1101:	14 ビットデータ
0110:	7 ビットデータ	1110:	15 ビットデータ
0111:	8 ビットデータ	1111:	16 ビットデータ

注)　スレーブモード時はクロックプリスケールを SSPxCR0<SCR[7:0]>= 0x00 , SSPxCPSR<CPSDVSR[7:0]>=0x02 に設定してご使用ください。

16.3.3 SSPxCR1(制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SOD	MS	SSE	LBM
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	W	"0"を書き込んでください。
3	SOD	R/W	スレーブモード SPxDO 出力制御 0: 許可 1: 禁止 スレーブモード出力ディセーブル。このビットは、スレーブモード(<MS>=1)の場合にのみ作用します。
2	MS	R/W	マスタ/ スレーブモード選択(注) 0: デバイスがマスタ 1: デバイスがスレーブ
1	SSE	R/W	SSP 動作禁止/許可 0: 禁止 1: 許可
0	LBM	R/W	ループバックモード 0: 通常シリアルポート動作イネーブル 1: 送信シリアルシフタの出力が受信シリアルシフタの入力に内部で接続されます。

注) マスタ/スレーブの切り替えビットです。スレーブモードでかつ送信時は、以下の設定順序を必ず守ってください。

1) スレーブモードに設定 :<MS>=1
2) 送信データを FIFO に設定 :<DATA>=0x****
3) SSP をイネーブルに設定 :<SSE>=1

16.3.4　SSPxDR(データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	DATA							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DATA							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	W	"0"を書き込んでください。
15-0	DATA[15:0]	R/W	送信/ 受信 FIFO のデータ(0x0000 ~ 0xFFFF) リード時:受信 FIFO ライト時:送信 FIFO 16 ビット未満のデータサイズに合わせてプログラムしている場合は、データを右寄せ(LSB)にする必要があります。先頭の未使用ビットは送信ロジックによって無視されます。受信ロジックは自動的に右寄せを行います。

16.3.5 SSPxSR(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	BSY	RFF	RNE	TNF	TFE
リセット後	不定	不定	不定	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-5	–	W	"0"を書き込んでください。
4	BSY	R	ビジーフラグ 0: アイドル 1:ビジー <BSY>="1" :現在フレームの送信中/ 受信中であるか、送信 FIFO が空ではないことを示します。
3	RFF	R	受信 FIFO フルフラグ 0:受信 FIFO がフルではない 1: 受信 FIFO がフル
2	RNE	R	受信 FIFO 空きフラグ 0:受信 FIFO が空 1: 受信 FIFO が空ではない
1	TNF	R	送信 FIFO フルフラグ 0: 送信 FIFO がフル 1: 送信 FIFO がフルではない
0	TFE	R	送信 FIFO 空きフラグ 0: 送信 FIFO が空ではない 1: 送信 FIFO が空

16.3.6　SSPxCPSR (クロックプリスケールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CPSDVSR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	W	"0"を書き込んでください。
7-0	CPSDVSR[7:0]	R/W	クロックプリスケール除数 設定値:2 - 254 の偶数値 クロックプリスケール除数。fsys の周波数に基づき、2 ~ 254 の偶数値を設定する必要があります。最下位ビットは読み出しときに常に 0 を戻します。

注)　スレーブモード時はクロックプリスケールを SSPxCR0<SCR[7:0]>= 0x00 , SSPxCPSR<CPSDVSR[7:0] >=0x02 に設定してご使用ください。

16.3.7 SSPxIMSC(割り込み許可/禁止レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXIM	RXIM	RTIM	RORIM
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	W	"0"を書き込んでください。
3	TXIM	R/W	送信 FIFO 割り込み許可/禁止設定 0: 禁止 1:許可 送信 FIFO に半分以下の空領域がある条件割り込みの許可/禁止
2	RXIM	R/W	受信 FIFO 割り込み許可/禁止設定 0: 禁止 1:許可 受信 FIFO の半分以下がフルである条件割り込みの許可/禁止
1	RTIM	R/W	受信タイムアウト 割り込み許可/禁止設定 0: 禁止 1:許可 タイムアウト期限までに受信 FIFO にデータが存在し、読み出されていないことを示す割り込みの許可/禁止
0	RORIM	R/W	受信オーバラン 割り込み許可/禁止設定 0: 禁止 1:許可 受信 FIFO がフルのときに書き込みが行われたことを示す条件割り込みの許可/禁止

16.3.8　SSPxRIS (許可前の割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXRIS	RXRIS	RTRIS	RORRIS
リセット後	不定	不定	不定	不定	1	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	W	"0"を書き込んでください。
3	TXRIS	R	許可前の送信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
2	RXRIS	R	許可前の受信割り込みフラグ 0:割り込み無し 1: 割り込み有り
1	RTRIS	R	許可前の受信タイムアウト割り込みフラグ 0:割り込み無し 1: 割り込み有り
0	RORRIS	R	許可前の受信オーバラン割り込みフラグ 0:割り込み無し 1:割り込み有り

16.3.9 SSPxMIS (許可後の割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXMIS	RXMIS	RTMIS	RORMIS
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	W	"0"を書き込んでください。
3	TXMIS	R	許可後の送信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
2	RXMIS	R	許可後の受信割り込みフラグ 0:割り込み無し 1: 割り込み有り
1	RTMIS	R	許可後の受信タイムアウト割り込みフラグ 0:割り込み無し 1: 割り込み有り
0	RORMIS	R	許可後の受信オーバラン割り込みフラグ 0:割り込み無し 1:割り込み有り

16.3.10　SSPxICR (割り込みクリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RTIC	RORIC
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-2	−	W	"0"を書き込んでください。
1	RTIC	W	受信タイムアウト割り込みフラグをクリア 0:無効 1:クリア
0	RORIC	W	受信オーバラン割り込みフラグをクリア 0:無効 1:クリア

16.3.11 SSPxDMACR (DMA 制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	TXDMAE	RXDMAE
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	–	W	"0"を書き込んでください。
1	TXDMAE	R/W	送信 FIFO の DMA 制御 0:禁止 1:許可
0	RXDMAE	R/W	受信 FIFO の DMA 制御 0:禁止 1:許可

16.4　SSP の概要

SSP は、3 種類の同期シリアルインタフェース機能を持つ周辺デバイスと、シリアル通信が可能なインタフェースです。

SSP は、周辺デバイスから受信したデータのシリアル- パラレル変換を実行します。

送信パスと受信パスは、送信モードと受信モードで 16 ビット幅 8 段のそれぞれ独立した送信 FIFO と受信 FIFO にデータをバッファリングします。シリアルデータは、SPxDO から送信し、SPxDI から受信します。

SSP には、入力クロック fsys からシリアル出力クロック SPxCLK を生成するために、プログラム可能なプリスケーラが含まれています。SSP の動作モード、フレーム形式やデータサイズは、制御レジスタ SSPxCR0 および SSPxCR1 を通じてプログラムします。

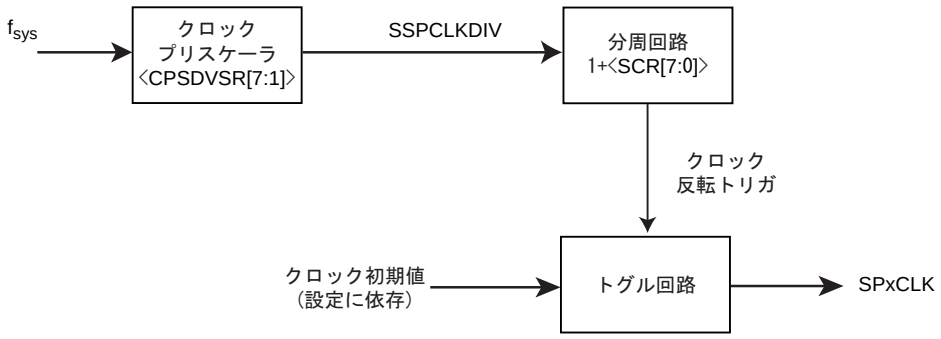
16.4.1　クロックプリスケーラ

マスタとして動作する場合、シリアル出力クロック SPxCLK を生成するために、シリアルにリンクした 2 つのフリーランカウンタから構成されるクロックプリスケーラが使用されます。

このクロックプリスケーラは、SSPxCPSR レジスタを介し、2 ~ 254 の偶数ステップで fsys を除算するようにプログラムすることができます。SSPxCPSR レジスタの最下位ビットを使用しないことにより、奇数ステップによるプログラミングはされなくなります。

プリスケーラの出力は、さらに SSPxCR0 レジスタにプログラミングされた値に+1 された 1 ~ 256 のステップで除算され、マスタ出力クロック SPxCLK が生成されます。

ビットレート = fsys / (<CPSDVSR>×(1+<SCR>))



16.4.2　送信 FIFO

マスタおよびスレーブモード共有の 16 ビット幅 8 段の送信 FIFO バッファです。

16.4.3　受信 FIFO

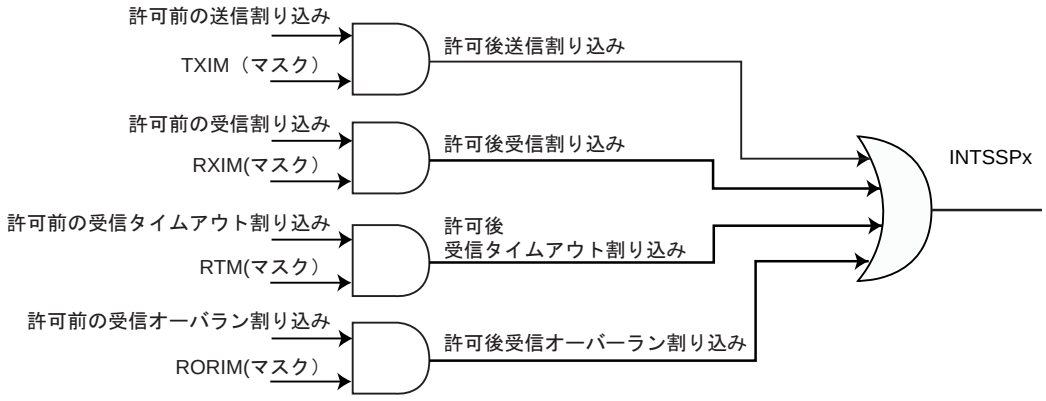
マスタおよびスレーブモード共有の 16 ビット幅 8 段の受信 FIFO バッファです。

16.4.4 割り込み生成ロジック

SSP によって、個々にマスク可能なアクティブの割り込みが生成されます。

送信割り込み	送信 FIFO の空領域が半分以上である条件割り込み (送信 FIFO 内の有効データ数 ≦ 4)
受信割り込み	受信 FIFO の有効データが半分以上である条件割り込み (受信 FIFO 内の有効データ数 ≧ 4)
タイムアウト割り込み	タイムアウトまでに読み出されていないデータが受信 FIFO に存在することを示す割り込み
オーバラン割り込み	受信 FIFO がフルのときに書き込みが行われたことを示す条件割り込み

また、マスクされた個々のソースを 1 つの割り込みに結合しています。上記割り込みのいずれかがアサートされると、結合割り込み INTSSPx がアサートされます。



a. 送信割り込み

送信割り込みは、送信 FIFO 内の有効エントリが 4 エントリ以下になるとアサートされます。SSP 動作ディセーブル(SSPxCR1<SSE>=0)でも送信割り込みが発生します。

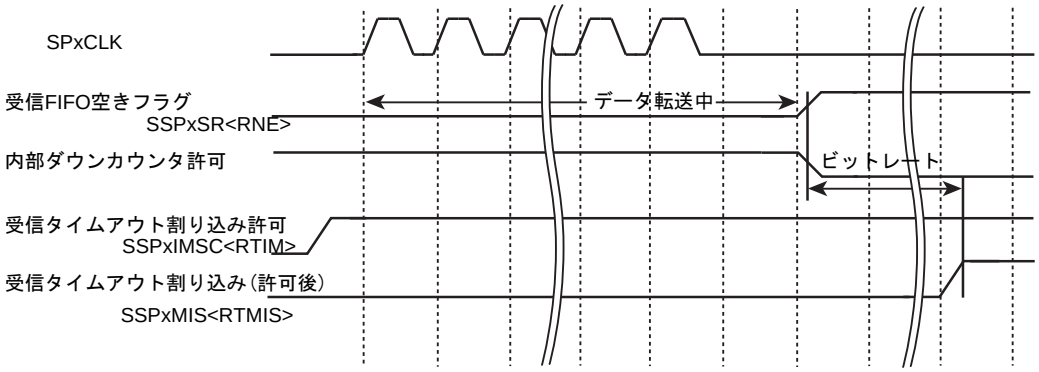
初回の送信データは、本割り込みを使用して FIFO に書き込むことができます。

b. 受信割り込み

受信 FIFO 内の有効エントリが 4 エントリ以上になるとアサートされます。

c. タイムアウト割り込み

タイムアウト割り込みは、受信 FIFO が空ではないときに SSP が一定の 32 ビット周期(ビットレート)の間アイドル状態を続けるとアサートされます。この機構により、ユーザは受信 FIFO にまだデータが存在し、処理が必要であることを認識することができます。マスタ／スレーブ モード共に発生します。タイムアウト割り込みが発生した場合は、受信 FIFO から全データをリードしてください。全データをリードしない場合でも、受信 FIFO に空きがあり、かつ転送データ数が受信 FIFO の空き以下であれば送受信可能です。なお、転送開始でタイムアウト割り込みはクリアされます。また、受信 FIFO に空きがない状態で送受信を行った場合、タイムアウト割り込みはクリアされオーバラン割り込みが発生します。



d. オーバラン割り込み

受信 FIFO がすでにフルのときに次のデータ(9 個目)を受信すると、転送終了直後、 受信オーバラン割り込みが発生します。オーバラン割り込み発生以降の受信データ（9 個目のデータを含む）は無効となり、破棄されます。ただし、9 個目のデータ受信中（割り込み発生する前）に受信 FIFO のデータをリードすると、9 個目の受信データは有効データとして受信 FIFO に書き込まれます。オーバラン割り込みが発生した場合、正しい転送を行うためには、SSPxICR<RORIC>に"1"を書き込んだ後、受信 FIFO から全データをリードしてください。全データをリードしない場合でも、受信 FIFO に空きがあり、かつ転送データ数が受信 FIFO の空き以下であれば送受信可能です。なお、オーバラン割り込みをクリアした後、一定の 32 ビット周期(ビットレート)の間、受信 FIFO をリードしない場合(受信 FIFO が空ではないとき) はタイムアウト割り込みが発生します。

16.4.5　DMA インタフェース

SSP は、DMA のバースト転送およびシングル転送をサポートしており、SSPxDMACR レジスタで DMA 転送を許可することで、バースト転送、シングル転送とも有効となります。

SSP 動作を禁止設定するか DMA 転送を禁止設定することで、全ての転送要求が解除されます。

16.4.5.1　バースト転送

受信 FIFO に格納されるデータがウォータマークレベル(FIFO の 1/2)以上になると受信のバースト DMA 転送要求がアサートされます。

送信 FIFO に格納するデータがウォータマークレベル(FIFO の 1/2)以下になると送信のバースト DMA 転送要求がアサートされます。

DMA のバースト長は４ワードに設定してください。

注) 残りの3ワードに対し、SSPはバースト要求をアサートしません。

以下の表は、送信 FIFO および受信 FIFO に対する DMABREQ のトリガポイントを示しています。

	バースト長	
ウォータマークレベル	送信（空き位置の数）	受信（充てん位置の数）
1/2	4	4

16.4.5.2 シングル転送

受信 FIFO に 1 つでもデータが格納されていると受信の DMA シングル転送要求がアサートされます。

送信 FIFO に 1 つでも空きがあると送信の DMA シングル転送要求がアサートされます。

バースト転送とシングル転送は同時に使用することもできます。受信の場合、データがウォータマークレベル以上ではバースト転送要求、シングル転送要求ともアサートされ、ウォータマークレベル以下になるとシングル転送要求のみアサートされます。送信の場合、データがウォータマークレベル以下ではバースト転送要求、シングル転送要求ともアサートされ、ウォータマークレベル以上になるとシングル転送要求のみアサートされます。

例えば 19 ワードの受信を行う場合、4 回の 4 ワードのバースト転送終了後、DMA はバースト転送に対する転送終了信号をアサートしバースト転送が終了します。残りの 3 ワードに対しシングル転送要求がアサートされ、3 回のシングル転送を行うことで全てのデータ転送を行うことができます。

16.5　SSP の動作

16.5.1　SSP の初期設定

SSP 通信プロトコルの設定は SSP がディセーブルの状態で、設定する必要があります。制御レジスタ SSPxCR0 および SSPxCR1 を使って、以下のいずれかのプロトコルに設定し、本 SSP をマスタまたはスレーブに設定してください。また、通信速度に関して、クロックプリスケールレジスタ SSPxCPSR および SSPxCR0<SCR>を設定してください。

本 SSP は以下のプロトコルをサポートします。

- SPI
- SSI
- Microwire

16.5.2　SSP のイネーブル

送信 FIFO に 送信データが書き込まれていて、かつ動作イネーブルしたとき、または動作イネーブル状態で送信 FIFO に送信データが書き込まれたときに転送が開始されます。

ただし、動作イネーブルにしたときに送信 FIFO が 4 エントリ以下の場合は送信割り込みが発生します。この割り込みを使って初回データを書き込むことも可能です。

注) SPI のスレーブモードでかつ SPxFSS 端子未使用の場合、イネーブルする前に必ず 1Byte 以上のデータを送信 FIFO に書き込んでください。送信 FIFO が空の状態でイネーブルすると、転送データが正常に出力されません。

16.5.3　クロック比

SPxCLK の周波数は以下の条件を満たす必要があります。

製品によってさらに制約がある場合がありますので、「製品情報」の章で確認してください。

- マスタモードの場合

  f_{SPxCLK} (最大) : f_{sys} /2

  f_{SPxCLK} (最小) : f_{sys} /(254×256)
- スレーブモードの場合

  f_{SPxCLK} (最大) : f_{sys} /12

  f_{SPxCLK} (最小) : f_{sys} /(254×256)

16.6 フレーム形式

各フレームフォーマットは、プログラムされたデータのサイズにより、4～16 ビットの幅を持ち、MSB から送信が開始されます。

- シリアルクロック(SPxCLK)

  SSP がアイドル状態の間は SSI と Microwire では"Low" でホールドされ、SPI では非アクティブでホールドされます。また、データ送信中にのみ設定されたビットレートで出力されます。

- シリアルフレーム(SPxFSS)

  SPI および Microwire のフレーム形式では、"Low" アクティブとなり、フレームの送信中は常に"Low"にアサートされます。

  SSI フレーム形式の場合は、各フレームの送信前に 1 ビットレートの間のみアサートされます。このフレーム形式では、 SPxCLK の立ち上がりエッジで出力データを送信し、その立ち下がりエッジで入力データを受信します。

各フレーム フォーマットの詳細は「16.6.1～16.6.3」を参照してください。

16.6.1　SSI のフレームフォーマット

このモードでは、SSP はアイドル状態で SPxCLK および SPxFSS が"Low" にセットされ、送信データライン SPxDO が"Hi-Z"になります。送信 FIFO にデータをライトすると、マスタは SPxFSS ラインに 1 SPxCLK 分の"High"パルスを出力します。送信データは送信 FIFO から送信のシリアルシフトレジスタに転送されます。SPxCLK の次の立ち上がりエッジで、MSB から 4 ~ 16 ビットのデータ が SPxDO 端子により出力されます。

同様に、受信データは SPxCLK の立ち下がりエッジで MSB から SPxDI 端子に入力されます。受信されたデータは、その LSB データ がラッチされた後、SPxCLK の立ち上がりエッジでシリアルシフトレジスタから受信 FIFO に転送されます。

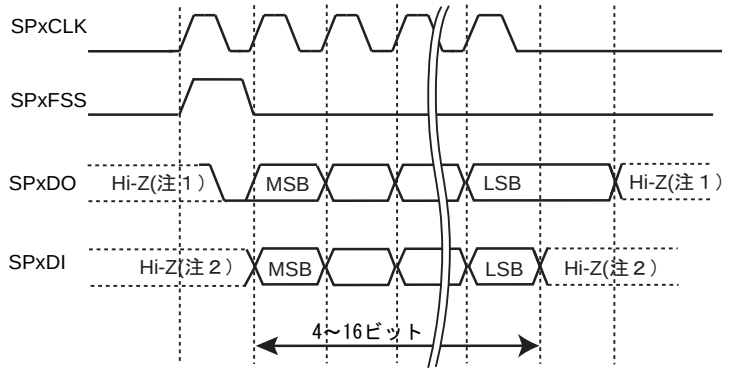


図 16-2 SSI フレームフォーマット（シングル転送送受信）

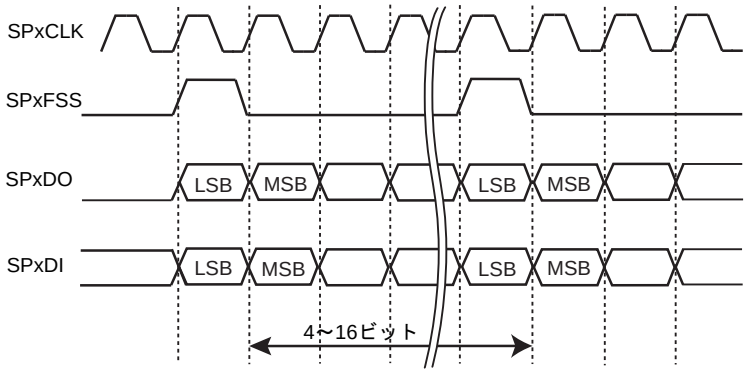


図 16-3 SSI フレームフォーマット（連続転送送受信）

注 1)　SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2)　SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください。

16.6.2 SPI のフレームフォーマット

SPI インタフェースは 4 線インタフェースであり、SPxFSS はスレーブ選択として動作します。SPI フォーマットの主な特長は、SPxCLK の動作タイミングを SSPxCR0 レジスタ内の<SPO> ビットと<SPH> ビットを使って、設定できます。

SSPxCR0<SPO>はアイドル状態時の SPxCLK をホールドするレベルを設定します。

SSPxCR0<SPH>はデータをラッチするクロックエッジを選択します。

	SSPxCR0<SPO>	SSPxCR0<SPH>
0	Low 状態	1st クロックエッジでデータを取り込み
1	High 状態	2nd クロックエッジでデータを取り込み

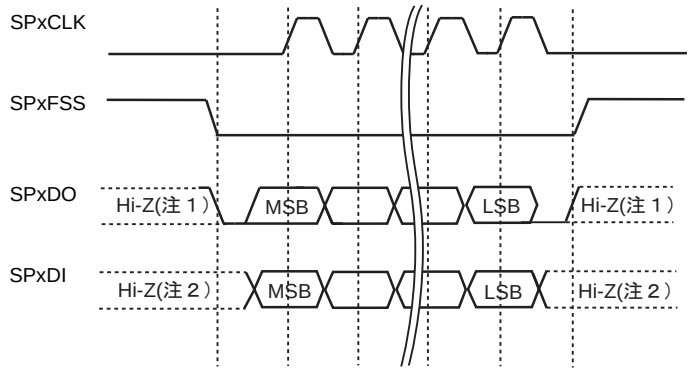


図 16-4 SPI フレームフォーマット（シングル転送、<SPO>=0＆<SPH>=0）

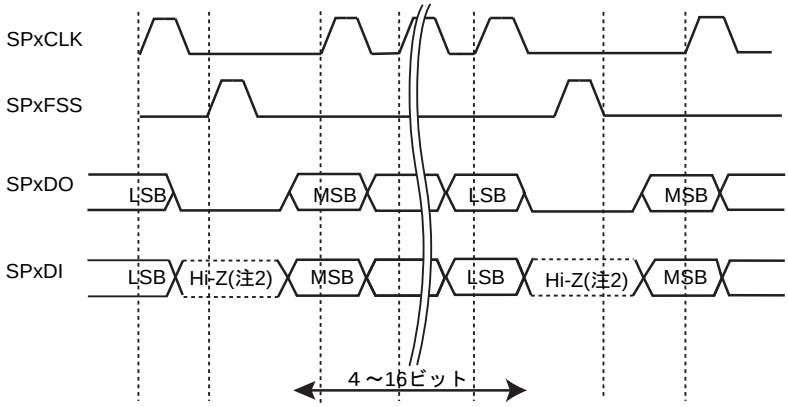


図 16-5 SPI フレームフォーマット（連続転送、<SPO>=0＆<SPH>=0）

注 1) SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2) SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください。

<SPO>=0 におけるアイドル周期では、

- SPxCLK が"Low" にセットされます。
- SPxFSS が"High" にセットされます。
- 送信データライン SPxDO が"Low" にセットされます。

SSP がイネーブルされているときに送信 FIFO 内に有効データが存在する場合、送信開始は"Low" でドライブされる SPxFSS マスタシグナルによって通知されます。これにより、マスタの SPxDI 入力ラインでスレーブデータがイネーブルされます。

SPxCLK の半周期後、有効マスタデータが SPxDO ピンに転送されます。これで、マスタデータとスレーブデータの両方がセットされ、SPxCLK のさらに半周期後に SPxCLK マスタクロックピンが"High" になります。その後、データは SPxCLK シグナルの立ち上がりエッジで捕捉され、立ち下がりエッジで伝達されます。

シングル転送の場合、そのデータワードの全ビットの転送が完了し、その末尾ビットが捕捉されてから SPxCLK　1 周期後に、SPxFSS ラインがアイドル"High" 状態に戻ります。

しかし、連続転送の場合には、各データワード転送間で SPxFSS シグナルを"High"でパルスする必要があります。これは、スレーブ選択ピンがそのシリアルペリフェラルレジスタにデータをフリーズし、<SPH> ビットが論理"0" の場合は変更を許可しないためです。

したがって、シリアルペリフェラルデータの書き込みをイネーブルするには、マスタデバイスが各データ転送間でスレーブデバイスの SPxFSS ピンをドライブする必要があります。連続転送が完了すると、末尾ビットが捕捉されてから SPxCLK　1 周期後に SPxFSS ピンがアイドル状態に戻ります。

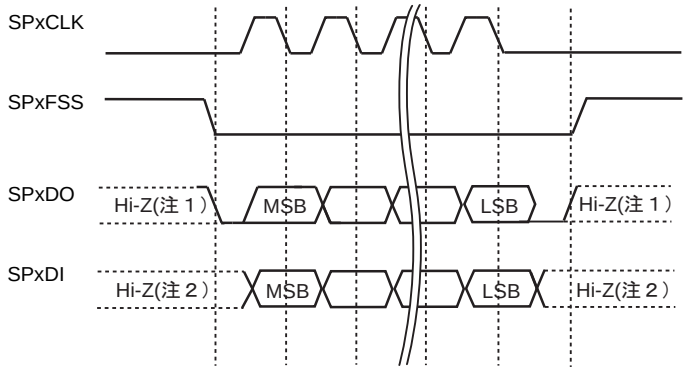


図 16-6 SPI フレームフォーマット（<SPO>=0＆<SPH>=1）

図 16-6 は、<SPO>=0、<SPH>=1 の SPI フレームフォーマットです。シングル転送、連続転送とも同じフォーマットとなります。

注 1)　SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2)　SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください。

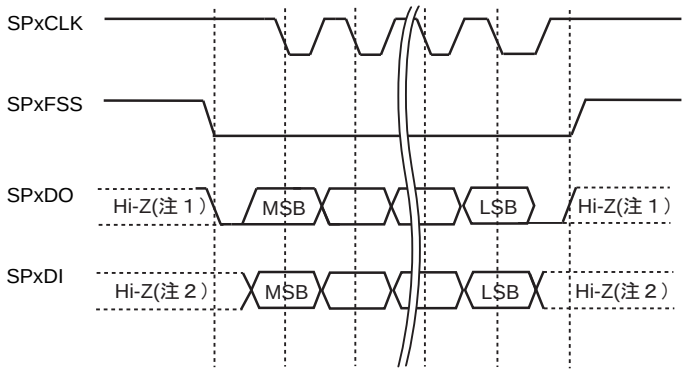


図 16-7 SPI フレームフォーマット（シングル転送<SPO>=1＆<SPH>=0）

図 16-7 は、<SPO>=1、<SPH>=0 のシングル転送時の SPI フォーマットです。

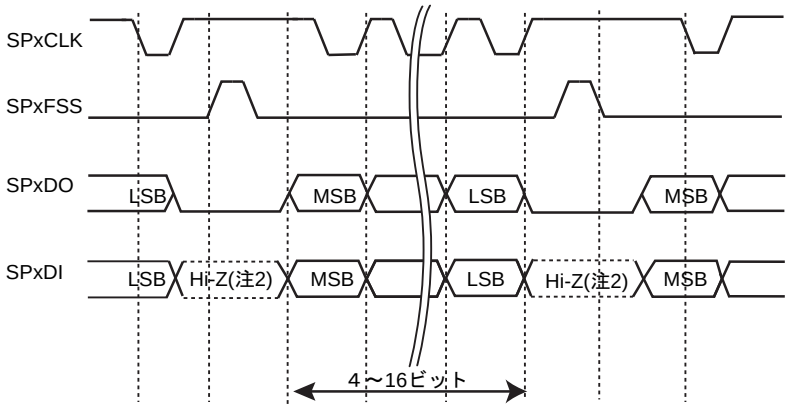


図 16-8 SPI フレームフォーマット（連続転送<SPO>=1＆<SPH>=0）

図 16-8 は、<SPO>=1、<SPH>=0 の連続転送時の SPI フォーマットです。

注 1) SPxDO 端子は非送信中に出力 OFF となり"Hi-Z"状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2) SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください。

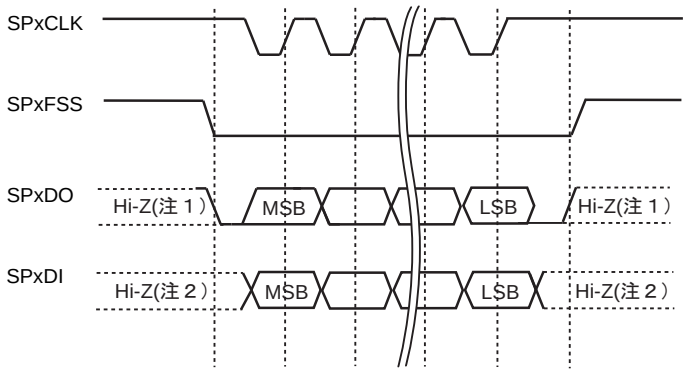


図 16-9 SPI フレームフォーマット（<SPO>=1＆<SPH>=1）

図 16-9 は、<SPO>=1、<SPH>=1 の SPI フレームフォーマットです。シングル転送、連続転送とも同じフォーマットになります。

注 1)　SPxDO 端子は非送信中に出力 OFF となり"Hi-Z"状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2)　SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください。

16.6.3 Microwire のフレームフォーマット

Microwire 形式は半２重モードで動作する特殊なマスタ- スレーブ伝達方式を使用します。このモードでは、フレームの開始時に 8 ビットの制御メッセージがスレーブに送信されます。この送信中、SSP はデータを受信しません。メッセージが送信された後、スレーブがそれをデコードし、8 ビット制御メッセージの末尾ビットの送信から 1 シリアルクロック間待機した後、要求されたデータで応答します。戻されるデータの長さは 4～16 ビットであり、全体のフレーム長は 13～25 ビットとなります。

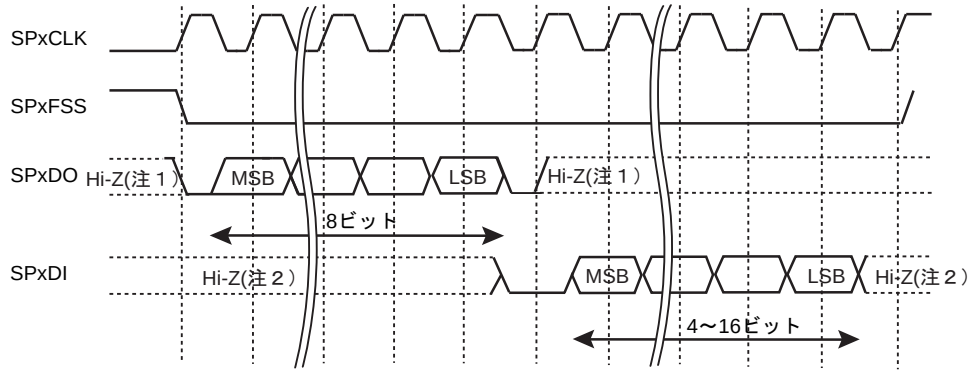


図 16-10 Microwire フレームフォーマット（シングル転送）

注 1) SPxDO 端子は非送信中に出力 OFF となり"Hi-Z"状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2) SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください

Microwire 形式は SPI 形式と非常に似ていますが、全２重ではなく半２重通信のマスタ-スレーブメッセージ伝達方式を使用する点が異なります。各シリアル伝送は、SSP からオフチップスレーブデバイスに送信される 8 ビットの制御ワードで開始されます。この送信中、 SSP は入力データを受信しません。このメッセージの送信後、オフチップスレーブがこれをデコードし、8 ビット制御メッセージの末尾ビット送信後から 1 シリアルクロックが経過するまで待機し、要求されたデータで応答します。戻されるデータは 4～16 ビット長、フレーム全体は 13～25 ビット長になります。このコンフィグュレーションにおけるアイドル周期では：

- SPxCLK が"Low" にセットされます。
- SPxFSS が"High" にセットされます。
- 送信データライン SPxDO が"Low" にセットされます。

伝送は送信 FIFO への制御バイトの書き込みによってトリガされます。SPxFSS の立ち下がりエッジによって送信 FIFO の最下位エントリにストアされていた値が送信ロジックのシリアルシフトレジスタに転送され、8 ビット制御フレームの MSB が SPxDO ピンにシフトアウトされます。

このフレーム伝送の間、SPxFSS は"Low" でホールドされ、SPxDI ピンはトライステートでホールドされます。オフチップシリアルスレーブデバイスは、SPxCLK の立ち上がりエッジでそのシリアルシフタに各制御ビットをラッチします。

スレーブデバイスによって末尾ビットがラッチされると、1 クロックウェイト状態の間にその制御バイトがデコードされ、スレーブはデータを送信することによって SSP に応答します。各ビットは、SPxCLK の立ち下がりエッジで SPxDI ラインにドライブされます。

一方、SSP は SPxCLK の立ち上がりエッジで各ビットをラッチします。シングル転送の場合は、フレームの終わりで末尾ビットが受信シリアルシフタにラッチされてから 1 クロック周期後に SPxFSS シグナルが"High"にプルされ、これによってデータが受信 FIFO に転送されます。

注)　オフチップスレーブデバイスは、受信シフタによって LSB がラッチされた後の SPxCLK の立ち下がりエッジで、または SPxFSS ピンが"High" になるときのどちらかで、受信ラインをトライステートでホールドすることができます。

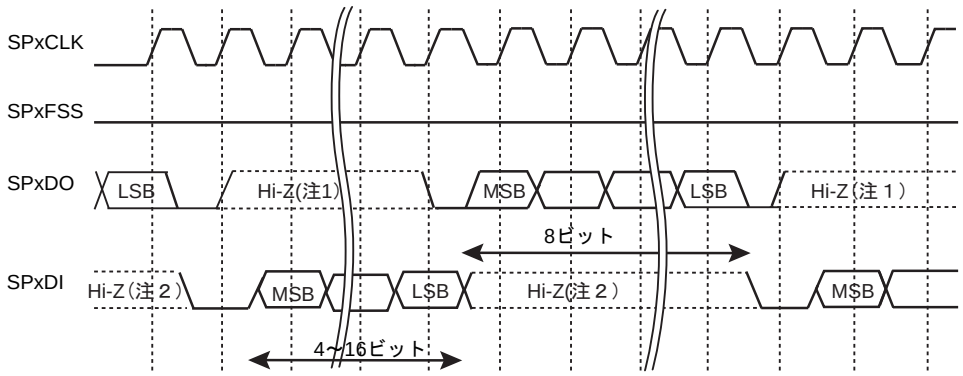


図 16-11 Microwire フレームフォーマット（連続転送）

注 1)　SPxDO 端子は非送信中に出力 OFF となり"Hi-Z"状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2)　SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください。

連続転送の場合、データ伝送の開始と終了はシングル転送の場合と同じように行われます。しかし、SPxFSS ラインは常にアサート("Low" でホールド)され、データの伝送が次から次に発生します。

次のフレームの制御バイトは、現在のフレームから受信されたデータの LSB の直後に続きます。受信された各値は、そのフレームの LSB が SSP にラッチされた後、SPxCLK の立ち下がりエッジで受信シフタから転送されます。

注)　(接続例)SSP は、システム内におけるマスタ/ スレーブの dynamics 切り替えをサポートしていません。
各 SSP の例は、マスタまたはスレーブのどちらかとして構成/接続されています。

第 17 章　CEC 機能

17.1　概要

CEC (Consumer Electronics Control)データの送受信を行います。

HDMI 規格 Version 1.3a に準拠した動作が可能です。

17.1.1　受信

- fs クロックまたは 16 ビットタイマフリップフロップ出力 TBxOUT でサンプリング
  - -ノイズキャンセル時間を調整可能
- 1byte ごとにデータを受信
  - -データサンプリングポイントを調整可能
  - -デスティネーションアドレス不一致でも受信可能
- エラー検出
  - -周期違反(最小/最大)
  - -ACK 衝突
  - -波形エラー

17.1.2　送信

- 1byte ごとにデータを送信
  - -バスフリーを自動判定し送信開始
- 送信波形の調整
  - -立ち上がりタイミング、周期を調整可能
- エラー検出
  - -アービトレーションロスト
  - -ACK 違反

17.1.3　注意事項

ロジカルアドレス不一致で受信する設定(CECxRCR1<CECOTH> =1)の場合、送信側が EOM ビット"1"のブロックを送信しないで新たにメッセージをスタートビットから送信すると、ACK ビットが最大周期違反と判定され割り込みが発生します。その後の受信は通常通り行われます。

17.2　ブロック図

図 17-1 に CEC のブロック図を示します。

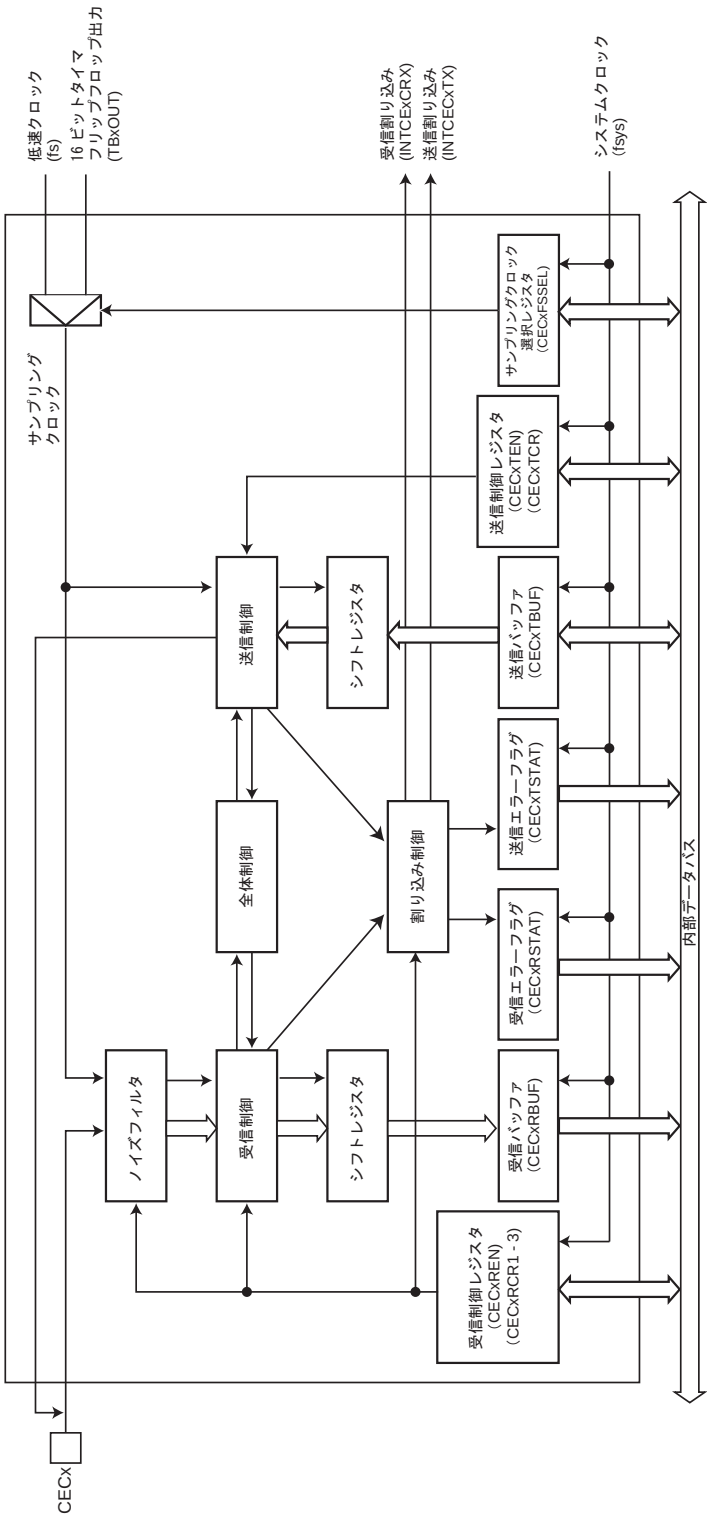


図 17-1 CEC ブロック図

17.3 レジスタ説明

17.3.1 レジスター覧

CEC 機能の制御レジスタとアドレスは以下のとおりです。ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
CEC イネーブルレジスタ	CECxEN	0x0000
ロジカルアドレスレジスタ	CECxADD	0x0004
ソフトウエアリセットレジスタ	CECxRESET	0x0008
受信イネーブルレジスタ	CECxREN	0x000C
受信バッファレジスタ	CECxRBUF	0x0010
受信コントロールレジスタ 1	CECxRCR1	0x0014
受信コントロールレジスタ 2	CECxRCR2	0x0018
受信コントロールレジスタ 3	CECxRCR3	0x001C
送信イネーブルレジスタ	CECxTEN	0x0020
送信バッファレジスタ	CECxTBUF	0x0024
送信コントロールレジスタ	CECxTCR	0x0028
受信割り込みステータスレジスタ	CECxRSTAT	0x002C
送信割り込みステータスレジスタ	CECxTSTAT	0x0030
CEC サンプリングクロック選択レジスタ	CECxFSSEL	0x0034

17.3.2　CECxEN(CEC イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	CECEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	−	R/W	"0"をライトしてください。
1	−	R/W	"1"をライトしてください。
0	CECEN	R/W	CEC 動作 0: 禁止 1:動作 CEC 機能の動作を制御します。CEC 機能を使用する場合は、まず CEC 動作許可にしてください。動作禁止の状態では、CECxEN レジスタを除く CEC 機能の全てのクロックが停止しますので消費電力の低減が可能です。 CEC 機能をいったん動作させた後に、動作禁止にした場合は各レジスタの設定は保持されます。

17.3.3 CECxADD(ロジカルアドレスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CECADD[15:8]							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CECADD[7:0]							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	CECADD[15:0]	R/W	ロジカルアドレス 15~0 本デバイスに割り当てるロジカルアドレスを設定します。 各ビットはそれぞれアドレスと対応しており、複数のアドレスを設定することが可能です。

注) ブロードキャストメッセージはこのレジスタの設定によらず受信します。また、ロジカルアドレス 15 を設定した場合にはブロードキャストメッセージに対し論理"0"の ACK 応答を行います。

17.3.4　CECxRESET(ソフトウエアリセットレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	CECRESET
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	CECRESET	W	ソフトウエアリセット 0: 禁止 1: 許可 CEC 機能の全ての動作を停止し、レジスタを初期化します。 このビットを"1"に設定すると、以下のように動作します。 受信動作: 直ちに停止。受信データは破棄。 送信動作: 直ちに停止。CEC 信号出力も停止。 レジスタ: CECxEN 以外の全てのレジスタを初期化。 このビットをリードすると"0"が読めます。

17.3.5 CECxREN(受信イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	CECREN
リセット後	0	0	0	0	0	0	0	不定

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	CECREN	R/W	受信制御 [ライト] 0:禁止 1:許可 [リード] 0:停止中 1:動作中 CEC 機能の受信動作を制御します。 このビットへライトすることにより、受信の許可/禁止の設定を行います。"1"をライトすることで受信待ち状態になります。 このビットをリードすることで受信回路の状態をモニタすることができます。設定後にリードすることで設定が反映されたかどうかを確認できます。

注 1) <CECREN>は、CECxRCR1, CECxRCR2, CECxRCR3 レジスタを設定した後に許可してください。

注 2) <CECREN>への設定が実際に回路に反映されるまでには若干の時間を要します。各種設定の変更を行う場合や、禁止にした後再び許可の設定を行う場合には、停止中であることを確認してから行ってください。

17.3.6　CECxRBUF(受信バッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	CECACK	CECEOM
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CECRBUF							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	−	R	リードすると"0"が読めます。
9	CECACK	R	ACK ビット 受信した ACK ビットが読めます。
8	CECEOM	R	EOM ビット 受信した EOM ビットが読めます。
7-0	CECRBUF[7:0]	R	受信データ 受信した 1 バイト分のデータが読めます。ビット 7 が MSB です。

注 1)　このレジスタへの書き込み動作は無視されます。

注 2)　このレジスタは受信割り込み発生後なるべく早く読んでください。また、2 度目以降の読み出しデータの内容は保証しません。

17.3.7 CECxRCR1(受信コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	CECACKDIS
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	CECHNC		-	CECLNC		
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	CECMIN			-	CECMAX		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	CECDAT			CECTOUT		CECRIHLD	CECOTH
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-25	−	R	リードすると"0"が読めます。
24	CECACKDIS	R/W	ACK 応答制御 0: 論理 0 応答する 1: 論理 0 応答しない デスティネーションアドレスが CECxADD レジスタに設定されたアドレスと一致するときに、データブロックに対して論理"0"の ACK 応答をするかどうかを設定します。 (ヘッダブロックに対しては、このビットの設定によらず、アドレスが一致すると論理"0"の ACK 応答を行います。)
23-22	−	R	リードすると"0"が読めます。
21-20	CECHNC[1:0]	R/W	"High"検出ノイズキャンセル時間(注 1) 00: なし (fs クロック 1 回観測) 01: 1/fs (fs クロック 2 回連続観測) 10: 2/fs (fs クロック 3 回連続観測) 11: 3/fs (fs クロック 4 回連続観測) "High"を検出する際のノイズキャンセル時間を 1/fs 単位で設定します。 設定されたサイクル数分の"High"が観測されなければノイズとみなします。
19	−	R	リードすると"0"が読めます。
18-16	CECLNC[2:0]	R/W	"Low"検出ノイズキャンセル時間(注 1)(注 4) 000: なし (fs クロック 1 回観測) 100: − (Reserved) 001: 1/fs (fs クロック 2 回連続観測) 101: − (Reserved) 010: 2/fs (fs クロック 3 回連続観測) 110: − (Reserved) 011: 3/fs (fs クロック 4 回連続観測) 111: − (Reserved) "Low"を検出する際のノイズキャンセル時間を 1/fs 単位で設定します。 設定されたサイクル数分の"Low"がサンプリングされなければノイズとみなします。
15	−	R	リードすると"0"が読めます。
14-12	CECMIN[2:0]	R/W	最小周期違反検出時間 000: 67/fs(約 2.045ms) 100: 67/fs − 1/fs 001: 67/fs + 1/fs 101: 67/fs − 2/fs 010: 67/fs + 2/fs 110: 67/fs − 3/fs 011: 67/fs + 3/fs 111: 67/fs − 4/fs 有効なビットとみなす最短の時間を設定します。 67/fs(約 2.045) ms を基準に、1/fs 単位で−4/fs から+3/fs まで設定可能です。 1 ビットの周期が設定より短い場合は割り込みが発生し、CEC 信号へ約 3.63 ms 間"Low"を出力します。
11	−	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
10-8	CECMAX[2:0]	R/W	最大周期違反検出時間 000: 90/fs(約 2.747ms)　100: 90/fs − 1/fs 001: 90/fs + 1/fs　101: 90/fs − 2/fs 010: 90/fs + 2/fs　110: 90/fs − 3/fs 011: 90/fs + 3/fs　111: 90/fs − 4/fs 有効なビットとみなす最長の時間を設定します。 90/fs(約 2.747 ms)を基準に、1/fs 単位で−4/fs から+3/fs まで設定可能です。 1 ビットの周期が設定より長い場合は割り込みが発生します。
7	−	R	リードすると"0"が読めます。
6-4	CECDAT[2:0]	R/W	データ 0/1 判別タイミング(注 1) 000: 34/fs(約 1.038ms)　100: 34/fs − 2/fs 001: 34/fs + 2/fs　101: 34/fs − 4/fs 010: 34/fs + 4/fs　110: 34/fs − 6/fs 011: 34/fs + 6/fs　111: Reserved データの論理"0"/論理"1"判別を行うポイントを設定します。 34/fs(約 1.038 ms)を基準に、2/fs 単位で±6/fs まで設定可能です。
3-2	CECTOUT[1:0]	R/W	タイムアウト判定時間 00: 1bit 周期 01: 2bit 周期 10: 3bit 周期 11: Reserved タイムアウトとみなす時間を設定します。ビット周期単位で、1 ビットから 3 ビットまで設定可能です。 <CECRIHLD>が有効な場合のタイムアウト検出にこの設定が使用されます。
1	CECRIHLD	R/W	エラー割り込み保留 0: 保留しない 1: 保留する 受信エラー割り込みを保留するかどうかを設定します。対象となる割り込みは、最大周期違反、バッファオーバラン、波形エラーです。 この設定が"1"に設定されていると、エラー検出時点では割り込みは発生しません。エラー検出後 ACK ビットまでデータが継続した場合は ACK 応答を通常と反転の論理で行い、後続のビットがいずれかのタイミングで途切れた場合には<CECTOUT>の設定に従ってタイムアウトと判定します。割り込みは ACK 応答後、またはタイムアウト判定後に発生します。
0	CECOTH	R/W	ロジカルアドレス不一致時の動作(注 3) 0: 受信しない 1:受信する デスティネーションアドレスが、CECxADD レジスタに設定されたアドレスと異なる場合にもデータの受信を行うかどうかを設定します。

注 1)　送信動作でも、ACK 応答の受信の際にノイズキャンセル時間<CECHNC><CECLNC>、データ判別ポイント<CECDAT>の設定が使用されます。

注 2)　送受信動作中に設定が変更されると正しく送受信できない可能性があります。設定を変更する場合には、CECxREN<CECREN>で受信禁止の設定を行い、<CECREN>および CECxTEN<CECTRANS>をリードして停止中であることを確認後に変更することを推奨します。

注 3)　ブロードキャストメッセージは、<CECOTH>の設定によらず受信します。

注 4)　<CECLNC>は、必ず CECxTCR<CECDTRS>と同じ設定で使用してください。

17.3.8 CECxRCR2(受信コントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	CECSWAV3			-	CECSWAV2		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	CECSWAV1			-	CECSWAV0		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-15	−	R	リードすると"0"が読めます。
14-12	CECSWAV3[2:0]	R/W	スタートビット検出設定 3 000: 154/fs(約 4.700 ms)　100: 154/fs + 4/fs 001: 154/fs + 1/fs　101: 154/fs + 5/fs 001: 154/fs + 2/fs　110: 154/fs + 6/fs 011: 154/fs + 3/fs　111: 154/fs + 7/fs
11	−	R	リードすると"0"が読めます。
10-8	CECSWAV2[2:0]	R/W	スタートビット検出設定 2 000: 141/fs(約 4.303 ms)　100: 141/fs − 4/fs 001: 141/fs − 1/fs　101: 141/fs − 5/fs 001: 141/fs − 2/fs　110: 141/fs − 6/fs 011: 141/fs − 3/fs　111: 141/fs − 7/fs
7	−	R	リードすると"0"が読めます。
6-4	CECSWAV1[2:0]	R/W	スタートビット検出設定 1 000: 128/fs(約 3.906 ms)　100: 128/fs + 4/fs 001: 128/fs + 1/fs　101: 128/fs + 5/fs 001: 128/fs + 2/fs　110: 128/fs + 6/fs 011: 128/fs + 3/fs　111: 128/fs + 7/fs
3	−	R	リードすると"0"が読めます。
2-0	CECSWAV0[2:0]	R/W	スタートビット検出設定 0 000: 115/fs(約 3.510 ms)　100: 115/fs − 4/fs 001: 115/fs − 1/fs　101: 115/fs − 5/fs 001: 115/fs − 2/fs　110: 115/fs − 6/fs 011: 115/fs − 3/fs　111: 115/fs − 7/fs

<CECSWAV3>:　スタートビット検出時の周期の条件を設定します。

<CECSWAV2>:　<CECSWAV3>で周期の最大値の条件を設定します。154/fs(約 4.700ms)を基準に、1/fs 単位で 0 から+7/fs まで設定可能です。
<CECSWAV2>で周期の最小値の条件を設定します。141/fs(約 4.303ms)を基準に、1/fs 単位で 0 から−7/fs まで設定可能です。

<CECSWAV1>:　スタートビット検出時の立ち上がりタイミングの条件を設定します。

<CECSWAV0>:　<CECSWAV1>で立ち上がりタイミングの最大値の条件を設定します。128/fs(約 3.906ms)を基準に、1/fs 単位で 0 から+7/fs まで設定可能です。
<CECSWAV0>で立ち上がりタイミングの最小値の条件を設定します。115/fs(約 3.510ms)を基準に、1/fs 単位で 0 から−7/fs まで設定可能です。

注)　受信動作中に設定が変更されると正しく受信できない可能性があります。設定を変更する場合には、CECxREN<CECREN>で受信禁止の設定を行い、<CECREN>をリードして停止中であることを確認後に変更することを推奨します。

17.3.9 CECxRCR3(受信コントロールレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	CECWAV3			-	CECWAV2		
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	CECWAV1			-	CECWAV0		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	CECRSTAEN	CECWAVEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-23	−	R	リードすると"0"が読めます。
22-20	CECWAV3[2:0]	R/W	波形確認設定 3 000: 56/fs(約 1.709 ms)　100: 56/fs + 4/fs 001: 56/fs + 1/fs　101: 56/fs + 5/fs 010: 56/fs + 2/fs　110: 56/fs + 6/fs 011: 56/fs + 3/fs　111: 56/fs + 7/fs
19	−	R	リードすると"0"が読めます。
18-16	CECWAV2[2:0]	R/W	波形確認設定 2 000: 43/fs(約 1.312 ms)　100: 43/fs − 4/fs 001: 43/fs − 1/fs　101: 43/fs − 5/fs 010: 43/fs − 2/fs　110: 43/fs − 6/fs 011: 43/fs − 3/fs　111: 43/fs − 7/fs
15	−	R	リードすると"0"が読めます。
14-12	CECWAV1[2:0]	R/W	波形確認設定 1 000: 26/fs(約 0.793 ms)　100: 26/fs + 4/fs 001: 26/fs + 1/fs　101: 26/fs + 5/fs 010: 26/fs + 2/fs　110: 26/fs + 6/fs 011: 26/fs + 3/fs　111: 26/fs + 7/fs
11	−	R	リードすると"0"が読めます。
10-8	CECWAV0[2:0]	R/W	波形確認設定 0 000: 13/fs(約 0.396 ms)　100: 13/fs − 4/fs 001: 13/fs − 1/fs　101: 13/fs − 5/fs 010: 13/fs − 2/fs　110: 13/fs − 6/fs 011: 13/fs − 3/fs　111: 13/fs − 7/fs
7-2	−	R	リードすると"0"が読めます。
1	CECRSTAEN	R/W	受信時のスタートビット割り込み許可 1: 許可 0: 禁止 スタートビットの受信で割り込みを発生させるかどうかを設定します。
0	CECWAVEN	R/W	波形エラー検出 1: 許可 0: 禁止 受信データ波形が規格から外れたことを検出し、波形エラー割り込みを発生します。 許可の設定の場合、<CECWAV0><CECWAV1><CECWAV2><CECWAV3>の設定に従って波形エラーの検出を行います。

<CECWAV3>:　<CECWAVEN>が"1"に設定されている場合に有効になります。

論理"0"波形の立ち上がりタイミングより遅い場合にエラー検出を行うための設定です。56/fs(約 1.709ms)に対し、1/fs 単位で 0 から+7/fs まで設定可能です。

ビットのスタートポイントから<CECWAV3>の設定値までに立ち上がりが検出されなければエラーとなります。

<CECWAV2>:　<CECWAVEN>が"1"に設定されている場合に有効になります。

<CECWAV1>:　論理"1"波形の立ち上がりタイミングより遅く、論理"0"波形の立ち上がりタイミングより早い場合にエラー検出を行うための設定です。

<CECWAV1>で 26/fs(約 0.793ms)に対し、1/fs 単位で 0 から+7/fs まで設定が可能です。

<CECWAV2>で 43/fs(約 1.312ms)に対し、1/fs 単位で 0 から−7/fs まで設定を可能です。

<CECWAV2>と<CECWAV1>の設定値の間に立ち上がりを検出するとエラーとなります。

<CECWAV0>:　<CECWAVEN>が"1"に設定されている場合に有効になります。

論理"1"波形の立ち上がりタイミングより早い場合にエラー検出を行うための設定です。13/fs(約 0.396ms)に対し、1/fs 単位で 0 から−7/fs まで設定可能です。

ビットのスタートポイントから<CECWAV0>設定値の間に立ち上がりを検出するとエラーとなります。

注)　受信動作中に設定が変更されると正しく受信できない可能性があります。設定を変更する場合には、CECxREN<CECREN>で受信禁止の設定を行い、<CECREN>をリードして停止中であることを確認後に変更することを推奨します。

17.3.10 CECxTEN(送信イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	CECTRANS	CECTEN
リセット後	0	0	0	0	0	0	0	不定

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	CECTRANS	R	送信中 0: 送信していない 1: 送信中 送信中かどうかを示します。 スタートビットの送信を開始すると"1"になり、送信終了割り込みまたはエラー割り込み発生で"0"になります。 このビットに対する書き込み動作は無視されます。
0	CECTEN	W	送信制御 0: 禁止 1: 許可 CEC 機能の送信動作を制御します。 このビットへライトすることにより送信の開始/禁止の設定を行います。"1"をライトすることで送信動作を開始します。送信終了割り込みまたはエラー割り込み発生で自動的に"0"にクリアされます。

注 1) <CECTEN>は、CECxTBUF、CECxTCR レジスタを設定した後に開始の設定をしてください。

注 2) 各種設定の変更を行う場合は、停止中であることを確認してから行ってください。

17.3.11　CECxTBUF(送信バッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	CECTEOM
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CECTBUF							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	−	R	リードすると"0"が読めます。
8	CECTEOM	R/W	EOM ビット 送信する EOM ビットを設定します。
7-0	CECTBUF[7:0]	R/W	送信データ 送信する 1 バイト分のデータを設定します。ビット 7 が MSB です。

17.3.12 CECxTCR(送信コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	CECSTRS			-	CECSPRD		
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	CECDTRS			CECDPRD			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	CECBRD	CECFREE			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-23	−	R	リードすると"0"が読めます。
22-20	CECSTRS[2:0]	R/W	スタートビット波形立ち上がり時間調整 000: 基準値　100: 基準値 − 4/fs 001: 基準値 − 1/fs　101: 基準値 − 5/fs 010: 基準値 − 2/fs　110: 基準値 − 6/fs 011: 基準値 − 3/fs　111: 基準値 − 7/fs スタートビットの立ち上がりタイミングの設定を行います。 121/fs(約 3.693 ms)を基準に、1/fs 単位で 0 から−7/fs まで設定可能です。
19	−	R	リードすると"0"が読めます。
18-16	CECSPRD[2:0]	R/W	スタートビット波形周期時間調整 000: 基準値　100: 基準値 − 4/fs 001: 基準値 − 1/fs　101: 基準値 − 5/fs 010: 基準値 − 2/fs　110: 基準値 − 6/fs 011: 基準値 − 3/fs　111: 基準値 − 7/fs スタートビットの周期の設定を行います。 147/fs(約 4.486 ms)を基準に、1/fs 単位で 0 から−7/fs まで設定可能です。
15	−	R	リードすると"0"が読めます。
14-12	CECDTRS[2:0]	R/W	データ波形立ち上がり時間調整(注) 000: 基準値　100: Reserved 001: 基準値 − 1/fs　101: Reserved 010: 基準値 − 2/fs　110: Reserved 011: 基準値 − 3/fs　111: Reserved データビットの立ち上がりタイミングの設定を行います。 20/fs (約 0.610 ms、論理"1"の場合) または 49/fs (約 1.495 ms、論理"0"の場合)を基準に、1/fs 単位で 0 から−3/fs まで設定可能です。
11-8	CECDPRD[2:0]	R/W	データ波形周期時間調整 0000: 基準値　1000: 基準値 − 8/fs 0001: 基準値 − 1/fs　1001: 基準値 − 9/fs 0010: 基準値 − 2/fs　1010: 基準値 − 10/fs 0011: 基準値 − 3/fs　1011: 基準値 − 11/fs 0100: 基準値 − 4/fs　1100: 基準値 − 12/fs 0101: 基準値 − 5/fs　1101: 基準値 − 13/fs 0110: 基準値 − 6/fs　1110: 基準値 − 14/fs 0111: 基準値 − 7/fs　1111: 基準値 − 15/fs データビットの周期の設定を行います。 79/fs(約 2.411 ms)を基準に、1/fs 単位で 0 から−15/fs サイクルまで設定可能です。
7-5	−	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
4	CECBRD	R/W	ブロードキャスト送信設定 0: ブロードキャスト送信でない 1: ブロードキャスト送信 ブロードキャストメッセージの送信を行う場合、このビットを"1"に設定します。
3-0	CECFREE[3:0]	R/W	バスフリー待ち時間設定 0000: 1bit 周期　1000: 9bit 周期 0001: 2bit 周期　1001: 10bit 周期 0010: 3bit 周期　1010: 11bit 周期 0011: 4bit 周期　1011: 12bit 周期 0100: 5bit 周期　1100: 13bit 周期 0101: 6bit 周期　1101: 14bit 周期 0110: 7bit 周期　1110: 15bit 周期 0111: 8bit 周期　1111: 16bit 周期 送信開始前に確認するバスフリー時間の設定を行います。 設定されたビット周期分の CEC ラインが稼動されないことを確認し、送信を開始します。

注)　<CECDTRS>は必ず"Low"検出ノイズキャンセル時間 CECxRCR1<CECLNC>と同じ設定で使用してください。

17.3.13 CECxRSTAT(受信割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	CECRIWAV	CECRIOR	CECRIACK	CECRIMIN	CECRIMAX	CECRISTA	CECRIEND
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	−	R	リードすると"0"が読めます。
6	CECRIWAV	R	割り込みフラグ 0: 波形エラー割り込みは発生していない 1: 波形エラー割り込みが発生 波形エラーが発生したことを示します。CECxRCR3<CECWAVEN>で許可の設定をしている場合に発生します。
5	CECRIOR	R	割り込みフラグ 0: 受信バッファオーバランは発生していない 1: 受信バッファオーバランが発生 受信バッファにデータがセットされた後、読み出される前に次のデータを受信したことを示します。
4	CECRIACK	R	割り込みフラグ 0: ACK 衝突は発生していない 1: ACK 衝突が発生 ACK ビットで"0"出力期間後に"0"が観測されたことを示します。
3	CECRIMIN	R	割り込みフラグ 0: 最小周期違反は発生していない 1: 最小周期違反が発生 １ビットの周期が、最小周期違反検出時間として CECxRCR1<CECMIN>に設定された時間より短かったことを示します。
2	CECRIMAX	R	割り込みフラグ 0: 最大周期違反は発生していない 1: 最大周期違反が発生 １ビットの周期が、最大周期違反検出時間として CECxRCR1<CECMAX>に設定された時間より長かったことを示します。
1	CECRISTA	R	割り込みフラグ 0: スタートビットは検出していない 1: スタートビットを検出した スタートビットが検出されたことを示します。
0	CECRIEND	R	割り込みフラグ 0: １バイト受信完了していない 1: １バイト受信完了した １バイト分のデータの受信が完了したことを示します。

注) このレジスタへの書き込み動作は無視されます。

17.3.14　CECxTSTAT(送信割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	CECTIUR	CECTIACK	CECTIAL	CECTIEND	CECTISTA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	−	R	リードすると"0"が読めます。
4	CECTIUR	R	割り込みフラグ 0: 送信バッファアンダーランは発生していない 1: 送信バッファアンダーランが発生 １バイトの送信開始から終了までの間に送信バッファに次のデータがセットされなかったことを示します。
3	CECTIACK	R	割り込みフラグ 0: ACK エラーは検出していない 1: ACK エラーを検出 ACK 送信で、以下の状態が発生したことを示します。 ・特定のアドレスを設定した送信で論理"0"が検出されなかった場合。 ・ブロードキャストメッセージの送信で、論理"1"が検出されなかった場合。
2	CECTIAL	R	割り込みフラグ 0: アービトレーションロストは発生していない 1: アービトレーションロストが発生 "High"を出力中に"Low"を検出したことを示します。
1	CECTIEND	R	割り込みフラグ 0: 全メッセージの送信を終了していない 1: 全メッセージの送信終了 EOM 付きのデータの送信が終了したことを示します。
0	CECTISTA	R	割り込みフラグ 0: 送信を開始していない 1: 送信開始 １バイトデータの送信を開始したことを示します。

注)　このレジスタへの書き込み動作は無視されます。

17.3.15 CECxFSSEL(CEC サンプリングクロック選択レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	CECCLK
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	−	R	リードすると"0"が読めます。
0	CECCLK	R/W	サンプリングクロック選択 0: 低速クロック(fs) 1: TBxOUT CEC 機能のサンプリングクロックを設定します。 CEC 機能のサンプリングクロックとして、低速クロック（fs）かタイマ出力（TBxOUT)を選択することが可能です。使用できるタイマ出力については、「製品情報」の章を参照してください。 TBxOUT で設定できるタイマ出力範囲は 30kHz ~ 34kHz です。

注) CECxFSSEL レジスタでサンプリングクロックを切り替える場合は、CECxEN<CECEN>で CEC 動作をいったん停止(禁止)させ、再度動作(許可)設定した後、他の CEC 関連レジスタよりも先に CECxFSSEL レジスタを設定してください。また、CECxRESET レジスタによるソフトウエアリセット後、CECxFSSEL レジスタでサンプリングクロックを切り替える場合も同様に、他の CEC 関連レジスタよりも先に CECxFSSEL レジスタを設定してください。

17.4　動作説明

17.4.1　サンプリングクロック

CEC 信号のサンプリングは、32.768kHz の低速クロック(fs)または 16 ビットタイマフリップフロップ出力 TBxOUT で行います。

CECxFSSEL<CECCLK>で使用するクロックを選択してください。使用できるタイマ出力については、「製品情報」の章を参照してください。

17.4.2　受信

17.4.2.1　基本動作

スタートビット検出後、スタートビット割り込みを発生します。スタートビット割り込みを発生すると、CECxRSTAT<CECRISTA>がセットされます。スタートビット割り込みは、CECxRCR3<CECRSTAEN>で許可している場合に発生します。

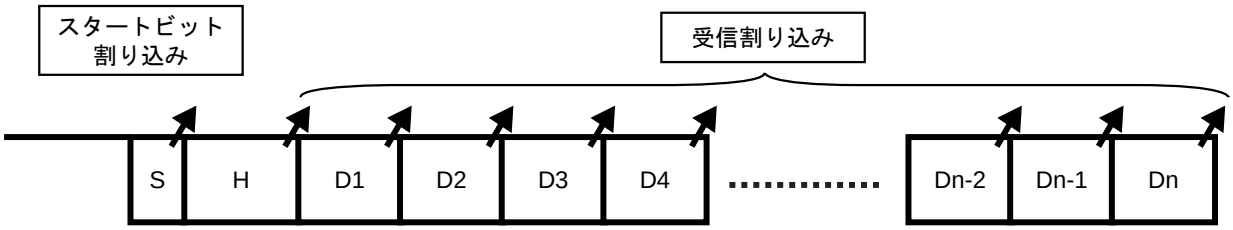
1 バイト分のデータと、EOM, ACK を受信すると受信したデータを CECxRBUF レジスタに格納し、受信割り込みを発生します。受信割り込みが発生すると、CECxRSTAT<CECRIEND>がセットされます。

CECxRBUF レジスタには、データ 8 ビットと、EOM ビット、ACK ビットが格納されます。ACK ビットは CEC 回路内部で発生したものではなく、他のデータと同様 CEC 信号を観測した結果が格納されます。

1 つのデータブロック受信後、EOM ビットが"1"の最終データブロックまで継続して受信動作を行います。最終データブロックであることを検出すると、スタートビット待ち状態になります。

データ受信途中にエラーが検出されると、エラー割り込みを発生し、次のスタートビット待ち状態になります。エラーが発生した場合、取得したデータは破棄されます。

注)　受信に際しては 17.1.3 の注意事項に留意してください。



17.4.2.2 受信の準備

受信を開始する前に、ロジカルアドレスレジスタ(CECxADD), 受信コントロールレジスタ 1 (CECxRCR1), 受信コントロールレジスタ 2 (CECxRCR2), 受信コントロールレジスタ 3 (CECxRCR3) で受信動作の設定を行います。

(1) ロジカルアドレスの設定

CECxADD レジスタで、本デバイスに割り当てるロジカルアドレスを設定します。0 から 15 のビットがそれぞれアドレスと対応しており、複数のアドレスを設定することが可能です。

注) ブロードキャストメッセージは、CECxADD レジスタの設定によらず受信し、論理"1"の ACK 応答を行います。
ロジカルアドレス 15 を設定している場合には、ブロードキャストメッセージに対し論理"0"の ACK 応答を行います。

(2) ノイズキャンセル時間

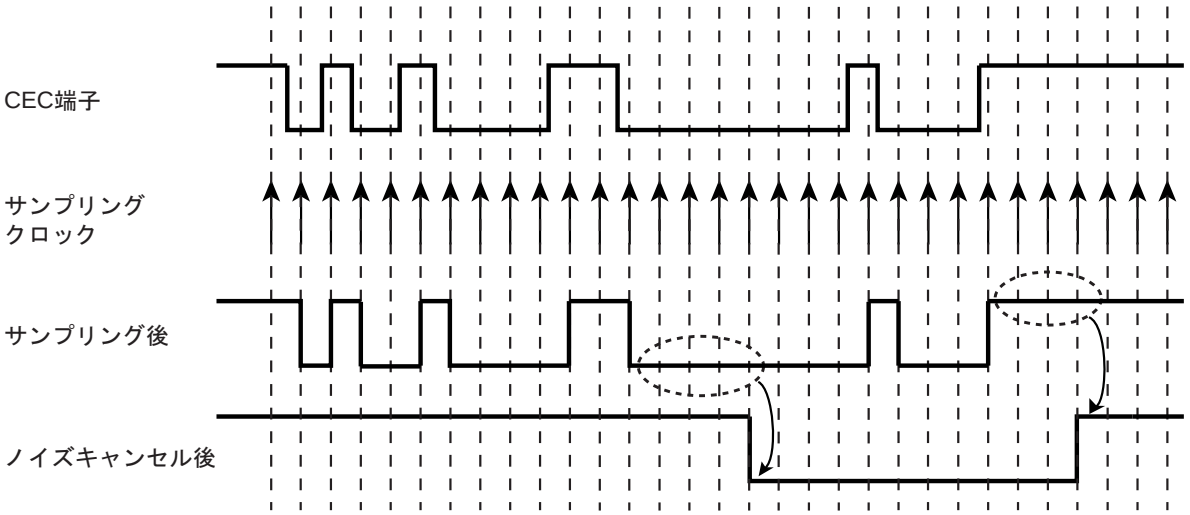
CECxRCR1 レジスタの<CECHNC>, <CECLNC>でノイズキャンセル時間を設定します。 設定されたサンプリング回数分の状態が観測されなければノイズとみなされます。"High"観測用、"Low"観測用を個別に設定可能です。

注) <CECLNC>は、必ず CECxTCR<CECDTRS>と同じ設定で使用してください。

ノイズキャンセルは、サンプリングクロックで CEC 信号をサンプリングした信号に対して行います。サンプリングクロックの立ち上がりごとにサンプリング後の信号を観測し、現在"High"であれば、<CECLNC>で設定されたサンプリング回数の"Low"が観測されたときに信号が"Low"に変化したと認識し、現在"Low"であれば、<CECHNC>で設定されたサンプリング回数の"High"が観測されたとき"High"に変化したと認識します。

次の図は、ノイズキャンセルの設定を<CECHNC[1:0]> = 10 (サンプリング 3 回), <CECLNC[2:0]> = 011 (サンプリング 4 回)とした場合の動作です。ノイズキャンセル後の信号は、"High"の状態から、"Low"が 3 回観測されたところで"Low"に変化し、"Low"の状態から、"High"が 3 回観測されたところで"High"に変化します。

<CECHNC[1:0]> = 10 (サンプリング3回)
<CECLNC[2:0]>= 011 (サンプリング4回)



(3)　周期判定時間

CECxRCR1 レジスタの<CECMIN>, <CECMAX>で周期違反の検出のための設定を行います。

1 ビット周期の最小値/最大値に対し、最小値については 67/fs(約 2.045ms)、最大値については 90/fs(約 2.747ms)を基準に、1/fs 単位で−4/fs から+3/fs の間で周期違反の検出を行うことができます。

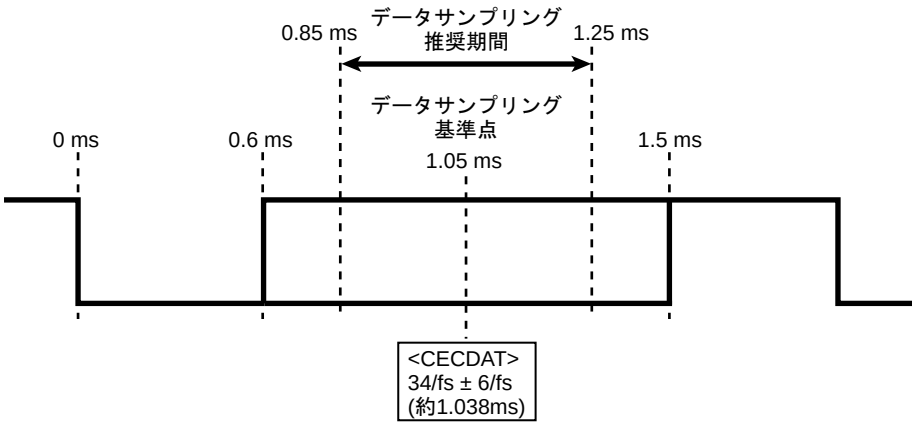
違反が検出された場合には割り込みが発生し、スタートビット待ちになります。割り込み発生までに受信したデータは破棄されます。

(4)　データ判別タイミングの設定

CECxRCR1<CECDAT>でデータ判別を行うタイミングの設定を行います。

ビットのスタートポイントから約 34/fs(約 1.038ms)を基準に、2/fs 単位で±6/fs まで設定可能です。

規格推奨のデータサンプリングタイミング



(5) ACK 応答

CECxRCR1<CECACKDIS>で、デスティネーションアドレスが CECxADD レジスタに設定されたアドレスと一致した場合にデータブロックに対し、論理"0"の ACK 応答をする/しないを任意に設定することができます。

ヘッダブロックに対しては、<CECACKDIS>の設定によらずアドレスが一致した場合に論理"0"の ACK 応答を行います。

以下に ACK 応答動作についてまとめます。

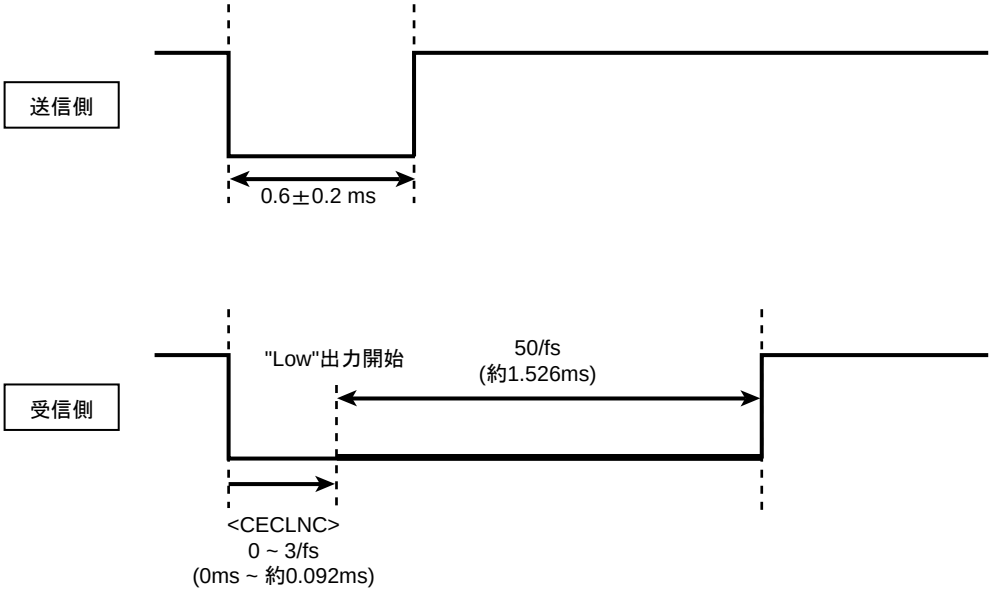
以下の表で、「o」は送信デバイスの ACK 送信に対し"0"出力をする(ACK ビットは論理"0"となる)こと、「×」は"0"出力をしない(ACK ビットは論理"1"となる)ことを示します。

レジスタ設定		ヘッダブロック		データブロック	
		アドレス一致	アドレス不一致	アドレス一致	アドレス不一致
CECxRCR1 <CECACKDIS>	"0" (論理 0 応答する)	o	×	o	×
	"1" (論理 0 応答しない)			×	×

ACK 応答のタイミングを以下に示します。

送信側が出力した ACK ビットの立ち下がりを検出すると約 1.526ms 間"Low"を出力します。立ち下がりの検出までの時間は、"Low"検出ノイズキャンセル時間設定（CECxRCR1 <CECLNC>)によって決まります。

注) CECxRCR1<CECLNC>は、必ず CECxTCR<CECDTRS>と同じ設定で使用してください。



(6) 受信エラー割り込みの保留

CECxRCR1<CECRIHLD>で、受信エラー割り込みを保留するかどうかを設定します。対象となる割り込みは、最大周期違反、バッファオーバラン、波形エラーです。

<CECRIHLD>が"1"に設定されていると、エラー検出時点では割り込みは発生しません。エラー検出後 ACK ビットまでデータが継続した場合は ACK 応答を通常と反転の論理で行い、後続のビットがいずれかのタイミングで途切れた場合には CECxRCR1<CECTOUT>の設定に従ってタイムアウトと判定します。割り込みは ACK 応答後、またはタイムアウト判定後に発生します。

(7)　タイムアウトの設定

CECxRCR1<CECTOUT>で、タイムアウト判定の設定を行います。

この設定は受信エラー割り込み保留の設定(CECxRCR1<CECRIHLD>)が"1"の場合に使用されます。

(8)　ロジカルアドレスが一致しない場合の動作

CECxRCR1<CECOTH>で、デスティネーションアドレスが CECxADD レジスタに設定されたアドレスと一致しない場合にも受信するよう設定することができます。

この場合、受信動作は通常の場合と同様に行い、違反が検出されれば割り込みも発生しますが、ACK 応答はヘッダブロック、データブロックとも行いません。

注 1)　ブロードキャストメッセージは、<CECOTH>の設定によらず受信します。

注 2)　送信側が EOM ビット"1"のブロックを送信しないで新たにメッセージをスタートビットから送信した場合、ACK ビットが最大周期違反と判定され割り込みが発生します。その後の受信は通常通り行われます。

(9)　スタートビット検出の設定

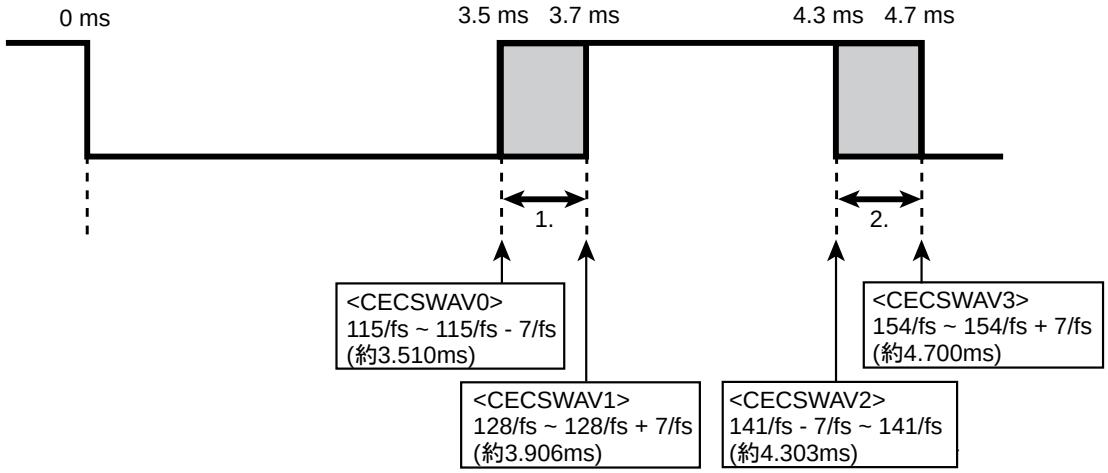
CECxRCR2 レジスタでスタートビット検出の条件を設定することができます。立ち上がりのタイミングと周期をそれぞれ設定可能です。

<CECSWAV0>で立ち上がりの最も早いタイミング、<CECSWAV1>で立ち上がりの最も遅いタイミングを設定します。(下図の 1.の期間)。

<CECSWAV2>で周期の最も早いタイミング、<CECSWAV3>で周期の最も遅いタイミングを設定します。(下図の 2.の期間)。

1.の期間に立ち上がり、2.の期間に立ち下がりが検出されると、有効なスタートビットとみなします。

規格上の最小/最大許容値（スタートビット）



(10) 波形エラー検出の設定

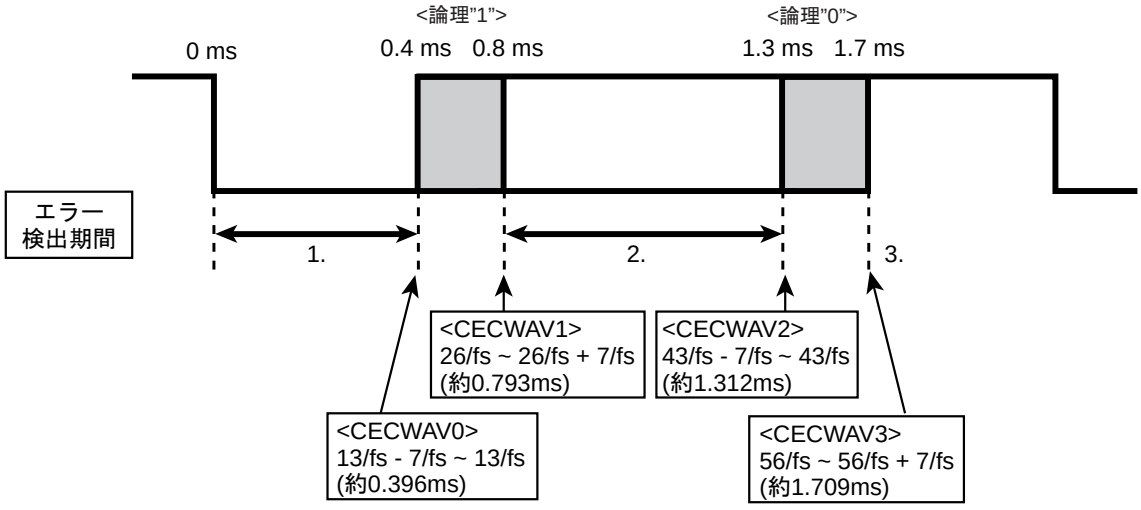
受信波形が規格から外れた場合にエラーとして検出するには、CECxRCR3 レジスタの設定を行います。

CECxRCR3<CECWAVEN>が許可の設定の場合にエラー検出を行います。検出期間は<CECWAV0>,<CECWAV1>,<CECWAV2>,<CECWAV3>で調整が可能です。

以下の、1., 2.の期間に立ち上がりがあった場合または、3.のタイミングまでに立ち上がりがなかった場合に波形エラー割り込みを発生します。

1. ビット開始から論理"1"の最も早い立ち上がりタイミングの間
2. 論理"1"の最も遅い立ち上がりタイミングと論理"0"の最も早い立ち上がりタイミングの間
3. 論理"0"の最も遅い立ち上がりタイミング

規格上の最小/最大許容値（データビット）



17.4.2.3　受信許可

CECxADD, CECxRCR1, CECxRCR2, CECxRCR3 レジスタの設定終了後、CECxREN<CECREN>を受信許可に設定することで受信待ち状態になり、スタートビットを検出すると受信動作を開始します。

注) 受信動作中に CECxADD, CECxRCR1, CECxRCR2, CECxRCR3 レジスタの設定が変更されると正しく受信できない可能性があります。
以下のレジスタ設定を変更する場合には、CECxREN<CECREN>で受信禁止の設定を行い、<CECREN>および CECxTEN<CECTRANS>をリードして送受信とも停止中であることを確認後に変更することを推奨します。

レジスタ名	Bit Symbol	設定項目
CECxADD	<CECADD[15:0]>	ロジカルアドレス
CECxRCR1	<CECHNC><CECLNC>	ノイズキャンセル時間
	<CECMIN><CECMAX>	周期時間
	<CECOTH>	ロジカルアドレス不一致時の受信
CECxRCR2	<CECSWAV0><CECSWAV1> <CECSWAV2><CECSWAV3>	スタートビット検出設定
CECxRCR3 (波形エラー有効の場合)	<CECWAV0><CECWAV1> <CECWAV2><CECWAV3>	波形確認設定

17.4.2.4　受信エラー検出

受信中にエラーが検出されると割り込みを発生し、受信動作を停止してスタートビット待ち状態になります。エラーが発生した受信データは破棄されます。

最大周期違反、受信バッファオーバラン、波形エラーについては、割り込み発生を保留し受信動作を継続して ACK 応答を通常の反転の論理で行うことも可能です。

エラーの要因を確認するために、CECxRSTAT レジスタに割り込みに対応した要因ビットが準備されており、割り込み要因を確認することができます。

17.4.2.5　受信エラー詳細

(1)　周期違反

受信中、ビット開始の信号の立ち下がりから次のビット開始の信号の立ち下がりの周期を測定し、最小値/最大値の設定を違反している場合には割り込みを発生します。

周期の最大値/最小値の設定は CECxRCR1<CECMIN>, <CECMAX>で行います。周期の最小値 / 最大値に対し、最小値については 67/fs(約 2.045ms)、最大値については 90/fs(約 2.747ms)を基準に、1/fs 単位で−4/fs から+3/fs の間で周期違反の検出を行うことができます。

周期違反の割り込みが発生すると、CECxRSTAT<CECRIMIN>または<CECRIMAX>がセットされます。

また、周期最小値の違反が発生した場合には、CEC 信号へ約 3.6 3ms 間"Low"を出力します。

注 1) 周期最小値違反の際、"Low"検出ノイズキャンセル時間後から"Low"出力を開始します。

注 2) 送信側が EOM ビット"1"のブロックを送信しないで新たにメッセージをスタートビットから送信した場合、ACK ビットが最大周期違反と判定され割り込みが発生する場合があります。詳細は「17.1.3 注意事項」を参照してください。

(2) ACK 衝突

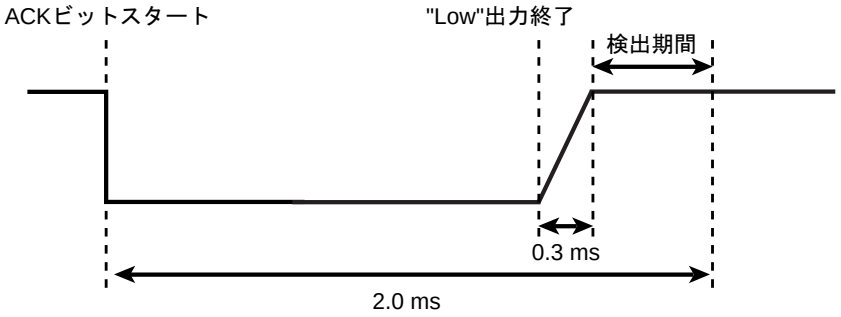
ACK 応答時、"Low"出力期間後に CEC 信号が"Low"であることを検出すると、ACK 衝突割り込みまたは周期最小値違反の割り込みを発生します。

ACK 衝突割り込みが発生すると、CECxRSTAT<CECRIACK>がセットされます。周期最小値の違反割り込みが発生すると、CECxRSTAT<CECRIMIN>がセットされます。

検出期間と検出方法を以下に示します。

"Low"出力期間終了から約 0.3 ms 後から検出を開始します。検出期間の終了は、ACK ビットのスタート(立ち下がり)から約 2.0 ms のところです。

"Low"出力期間終了から 0.3 ms のポイントで CEC 信号が"Low"であるかどうかを確認し、"Low"の場合には ACK 衝突割り込みを発生します。このポイントで CEC 信号が"High"で、検出期間内に"Low"を観測した場合には周期最小値の違反割り込みが発生し、CEC 信号へ約 3.63 ms 間"Low"を出力します。



(3) 受信バッファオーバラン

受信バッファに格納されたデータが読み出される前に次の 1 バイト分のデータの受信が完了すると、受信バッファのオーバラン割り込みが発生します。

オーバラン割り込みが発生すると、CECxRSTAT<CECRIOR>がセットされます。

(4) 波形エラー

CECxRCR3 レジスタで波形エラー検出を許可に設定している場合に発生します。受信波形が規格から外れた場合に波形エラーを検出し、割り込みを発生します。

波形エラー割り込みが発生すると、CECxRSTAT<CECRIWAV>がセットされます。

(5)　受信エラー割り込みの保留

最大周期違反, 受信バッファオーバラン, 波形エラーについては、エラー検出時に割り込みを発生しないで保留することができます。この設定は CECxRCR1<CECRIHLD>で行います。また、この設定を使用するときには、CECxRCR1<CECTOUT>でタイムアウトの設定も行います。

割り込み保留の設定が有効の場合、後続のデータを継続して受信し、ACK ビットまで受信できた場合には ACK 応答を通常の反転の論理で行った後に割り込みを発生します。このとき、CECxRSTAT レジスタには、受信完了の<CECRIEND>と保留されたエラーのフラグがセットされます。

後続のデータビットがいずれかのタイミングで途切れた場合には、タイムアウトの計測を行い、タイムアウト後に割り込みを発生します。このとき、CECxRSTAT レジスタにセットされるのは、保留されたエラーのフラグのみです。

タイムアウトの計測は、送信動作でのバスフリー待ち時間と同様、最後に受信したビットの終了時点から計測します。

割り込みが保留されているという情報は、EOM が"1"のデータ受信完了またはタイムアウトするまで保持されます。したがって、割り込みが保留された状態で複数バイトの受信が行われた場合、1 バイト受信ごとに割り込みが発生し、CECxRSTAT レジスタには受信完了と保留された割り込みのフラグがセットされます。

注 1)　割り込み保留中に、後続の受信で最小周期違反が発生した場合には、直ちに最小周期違反割り込みを発生し、CEC 信号に約 3.63 ms 間"Low"を出力します。
受信割り込みステータスレジスタには、保留された割り込みと最小周期違反のフラグがセットされます。

注 2)　割り込み保留中に、後続の受信で最小周期違反以外のエラーが発生した場合には、ACK 応答またはタイムアウトまで処理が継続されます。
受信割り込みステータスレジスタには、検出された全ての割り込みのフラグがセットされます。

17.4.2.6　受信の停止

CECxREN<CECREN>を"0"(受信禁止)に設定すると受信動作を停止します。

受信動作中に禁止の設定を行った場合、直ちに受信動作を停止し、それまでに受信したデータは破棄されます。

注)　周期最小値の違反に対する"Low"出力中に受信禁止設定を行うと"Low"出力も停止します。

17.4.3 送信

17.4.3.1 基本動作

送信開始の設定を行うとまずバスフリー状態を確認します。設定されたビット周期分の CEC 信号の立ち下がりがないことを確認後にスタートビットを送信します。バスフリー状態の確認は常時行っており、送信開始設定時に、設定されたビット周期分のバスフリー条件を満たしていればすぐに送信を開始します。

スタートビット送信後にバッファに設定された 1 バイトのデータと EOM データがシフトレジスタに送られ、データの送信を開始します。 1 バイトのデータの最初のビットの送信が開始されると送信割り込みが発生し、CECxTSTAT<CECTISTA>がセットされます。送信割り込み発生後、次の 1 バイトのデータを送信バッファに設定します。

8 ビットのデータ, EOM ビット, ACK ビット送信後、ACK 応答を確認し 1 バイト分のデータ転送が終了します。

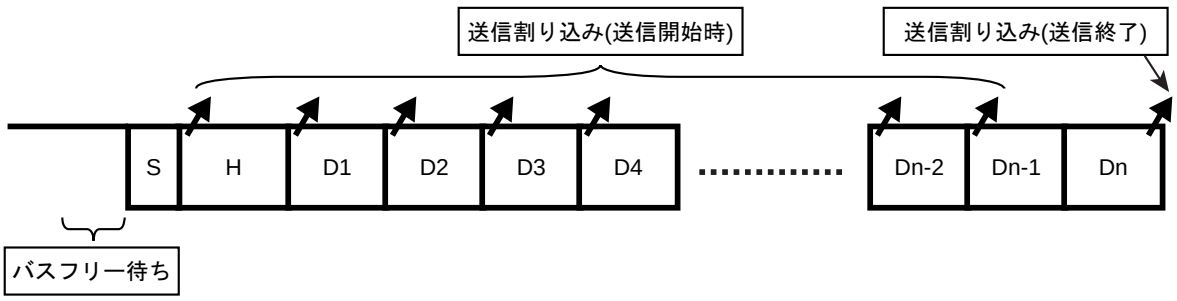
EOM ビットに"1"が設定されるまで同様にデータ転送を行います。

EOM に"1"が設定されている場合、データ, EOM, ACK ビットの送信および、ACK 応答の確認後に送信終了割り込みを発生します。送信終了割り込みが発生すると、CECxTSTAT<CECTIEND>がセットされます。

送信終了割り込み発生により一連の送信動作が終了し、CECxTEN<CECTEN>はクリアされます。

送信中にエラーが発生した場合、エラー割り込みを発生して送信動作を停止します。

送信中は受信許可状態であっても受信動作は行いません。



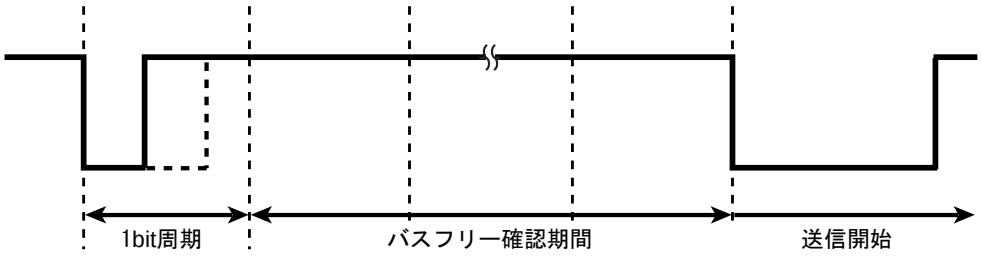
17.4.3.2　送信の準備

送信を開始する前に、送信コントロールレジスタ(CECxTCR)と送信バッファ(CECxTBUF)の設定を行います。

(1)　バスフリー待ち時間

CECxTCR<CECFREE>でバスフリー待ち時間を設定します。ビット周期単位で 1 ビット周期から 16 ビット周期まで設定可能です。

バスフリー状態の確認は最終ビットの立ち下がりの 1 ビット周期後から開始し、設定されたビット周期分立ち下がりがなければ送信を開始します。



(2)　ブロードキャストメッセージの送信

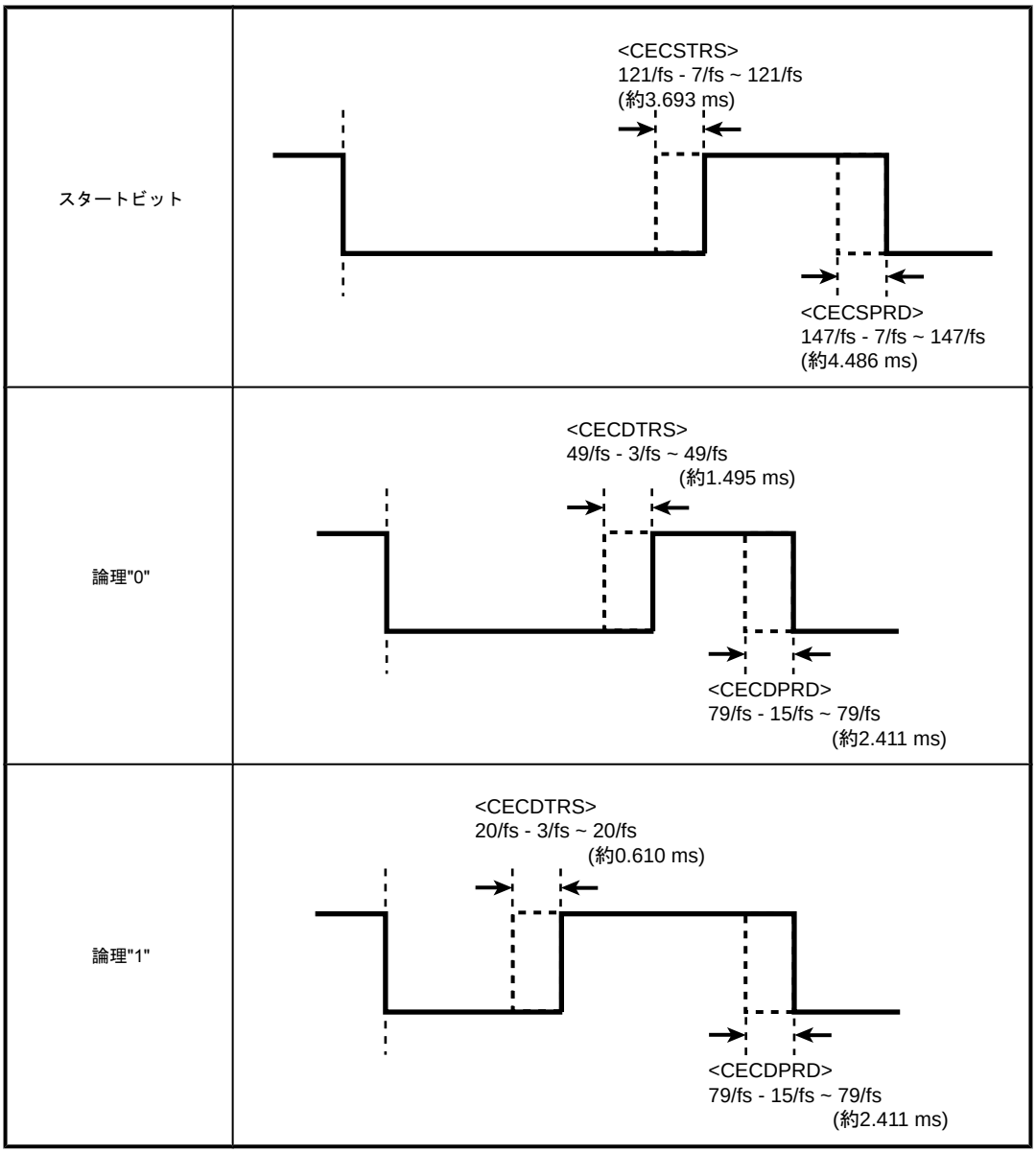
ブロードキャストメッセージの送信を行う場合は、CECxTCR<CECBRD>を設定します。このビットがセットされているときには、ACK サイクルで論理"0"の応答があるとエラーになります。このビットがセットされていないときは、ACK サイクルで論理"1"の応答があるとエラーになります。

(3)　送信波形の調整

スタートビット/データビットとも立ち上がりタイミングと周期の調整が可能です。CECxTCR レジスタの<CECSTRS><CECSPRD><CECDTRS><CECDPRD>で設定を行います。規格で定められた、立ち上がりと周期の最も早いタイミングから標準値の間で調整することができます。

注)　<CECDTRS>は、必ず CECxRCR1<CECLNC>と同じ設定で使用してください。

以下に、スタートビット, 論理"0", 論理"1"の設定による波形の違いを示します。



(4) 送信データの準備

1 バイト分の送信データと EOM のデータを CECxTBUF レジスタに設定します。

17.4.3.3　送信エラー検出

送信中にエラーが検出されると割り込みを発生し、送信動作を停止します。また、CECxTEN<CECTEN>はクリアされます。

エラーの要因を確認するために、CECxTSTAT レジスタに割り込みに対応した要因ビットが準備されており、割り込み要因を確認することができます。

注)　エラーにより送信動作を停止する場合、エラー発生後直ちに出力を停止するため CEC 信号に不正な波形が出力される場合があります。

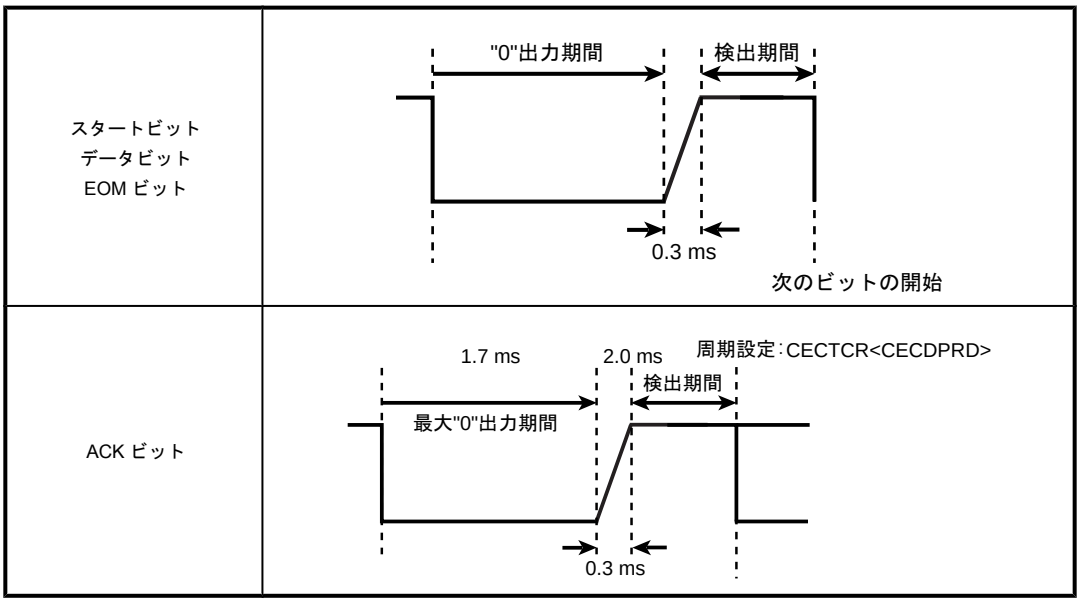
17.4.3.4　送信エラー詳細

(1)　アービトレーションロスト

スタートビットおよびデータ送信中で"Low"出力していない状態、または ACK 応答後、CEC 信号に"Low"が検出された場合アービトレーションロストエラーが発生します。

アービトレーションロストが発生すると、CECxTSTAT<CECTIAL>がセットされます。

以下に、アービトレーションロスト検出期間を示します。



(2) ACK 違反

CECxTCR<CECBRD>に従って ACK 応答の内容を確認し違反していると ACK 違反割り込みが発生します。

ACK 違反割り込みが発生すると、CECxTSTAT<CECTIACK>がセットされます。

ACK 応答の確認は以下のように行います。

設定	確認内容
<CECBRD> = 0 ブロードキャスト送信でない	ACK 応答が論理"1"のときに ACK 違反
<CECBRD> = 1 ブロードキャスト送信	ACK 応答が論理"0"のときに ACK 違反

(3) 送信バッファアンダーラン

送信バッファのデータがシフトレジスタに送られ割り込みが発生した後、1 バイト分のデータを送信し、次の 1 バイトデータの送信開始までに送信バッファにデータが設定されなかった場合、送信バッファのアンダーランエラーが発生します。

アンダーランエラーが発生すると、CECxTSTAT<CECTIUR>がセットされます。

(4) ACK 違反と送信バッファアンダーランの発生順序

1 バイトデータ送信終了時点で ACK 違反と送信バッファアンダーランの両方の要因が存在する場合、割り込みは送信バッファアンダーラン→ACK 違反の順に発生します。

17.4.3.5 送信の停止

送信動作を終了する場合、EOM ビットが"1"のデータを送信することで送信終了割り込みにより終了してください。

送信動作中に送信開始ビットを"0"に設定した場合の動作は保証しません。

17.4.3.6 再送信

エラーが検出されると送信動作を停止します。送信をやり直す場合には、あらためて送信条件と送信データを設定し、送信開始の設定を行ってください。

17.4.4　ソフトウエアリセット

ソフトウエアで CEC 機能全体を初期化することができます。

CECxRESET<CECRESET>に"1"をセットすることで以下のように動作します。

- 受信動作: 直ちに停止。受信データは破棄。
- 送信動作: 直ちに停止。CEC 信号出力も停止。
- レジスタ: CECxEN レジスタ以外の全てのレジスタを初期化。

送信動作中にソフトウエアリセットを行うと、CEC 信号上の波形は規格を満たさないものになる可能性があるので注意が必要です。

第 18 章　リモコン判定機能(RMC)

18.1　概要

搬送波が取り除かれたリモコン信号の受信を行います。

18.1.1　リモコン受信

- サンプリングクロックは低周波クロック(32.768 kHz)とタイマ出力(TBxOUT)を選択可能
- ノイズキャンセル時間を調整可能
- リーダ検出
- 最大 72bit まで一括受信

18.2　ブロック図

図 18-1 にリモコン判定機能のブロック図を示します。

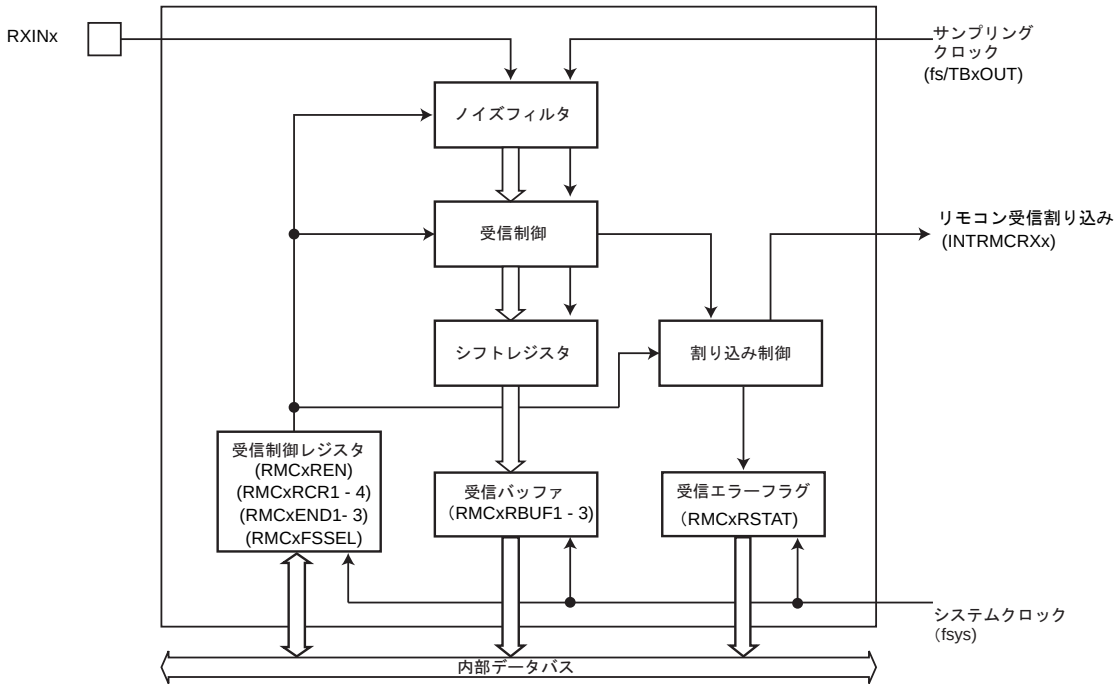


図 18-1 リモコン判定機能ブロック図

18.3　レジスタ説明

18.3.1　レジスター覧

リモコン判定機能の制御レジスタとアドレスは以下のとおりです。

Base Address = 0x4004_0400

レジスタ名		Address(Base+)
リモコンイネーブルレジスタ	RMCxEN	0x0000
受信イネーブルレジスタ	RMCxREN	0x0004
受信データバッファレジスタ 1	RMCxRBUF1	0x0008
受信データバッファレジスタ 2	RMCxRBUF2	0x000C
受信データバッファレジスタ 3	RMCxRBUF3	0x0010
受信コントロールレジスタ 1	RMCxRCR1	0x0014
受信コントロールレジスタ 2	RMCxRCR2	0x0018
受信コントロールレジスタ 3	RMCxRCR3	0x001C
受信コントロールレジスタ 4	RMCxRCR4	0x0020
受信ステータスレジスタ	RMCxRSTAT	0x0024
受信終了ビット数レジスタ 1	RMCxEND1	0x0028
受信終了ビット数レジスタ 2	RMCxEND2	0x002C
受信終了ビット数レジスタ 3	RMCxEND3	0x0030
ソースクロック選択レジスタ	RMCxFSSEL	0x0034

18.3.2 RMCxEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RMCEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	−	R/W	"1"をライトしてください。
0	RMCEN	R/W	リモコン判定機能動作 0: 禁止 1: 許可 リモコン判定機能の動作を制御します。 リモコン判定機能を使用する場合は、まずこのビットを許可に設定してください。 動作禁止の状態では、イネーブルレジスタを除くリモコン判定機能の全てのクロックが停止しますので消費電力の低減が可能です。 リモコン判定機能をいったん動作させた後に、動作禁止にした場合は各レジスタの設定は保持されます。

18.3.3　RMCxREN(受信イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RMCREN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	RMCREN	R/W	受信 0: 禁止 1: 許可 受信動作を制御します。 このビットを"1"にすることで受信待ち状態になります。

注)　<RMCREN>ビットは、RMCxRCR1, 2, 3 を設定した後に許可してください。

18.3.4 RMCxRBUF1(受信データバッファレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	RMCRBUF(受信データ 31 ~ 24 ビット)							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RMCRBUF(受信データ 23 ~ 16 ビット)							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCRBUF(受信データ 15 ~ 8 ビット)							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCRBUF(受信データ 7 ~ 0 ビット)							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	RMCRBUF[31:0]	R	受信データ(31 ビット ~ 0 ビット) 受信した 4 バイト分のデータ(31 ビット ~ 0 ビット)が読めます。

18.3.5 RMCxRBUF2(受信データバッファレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	RMCRBUF(受信データ 63 ~ 54 ビット)							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RMCRBUF(受信データ 55 ~ 48 ビット)							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCRBUF(受信データ 47 ~ 40 ビット)							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCRBUF(受信データ 39 ~ 32 ビット)							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	RMCRBUF[63:32]	R	受信データ(63 ビット ~ 32 ビット) 受信した 4 バイト分のデータ(63 ビット ~ 32 ビット)が読めます。

18.3.6　RMCxRBUF3(受信データバッファレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCRBUF(受信データ 71 ~ 64 ビット)							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	RMCRBUF[71:64]	R	受信データ(71 ビット ~ 64 ビット) 受信した 1 バイト分のデータ(71 ビット ~ 64 ビット)が読めます。

注)　受信データは、最初に受信したビットがデータバッファレジスタの MSB 側に、最後に受信したビットが LSB (Bit0)に格納されます。
LSB first のリモコン信号を受信した場合、ビットの重みが逆順のデータがレジスタへ格納されますので、ご注意ください。

18.3.7 RMCxRCR1(受信コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	RMCLCMAX							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RMCLCMIN							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCLLMAX							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCLLMIN							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-24	RMCLCMAX[7:0]	R/W	リーダ検出の周期期間の上限設定 上限期間の計算式： <RMCLCMAX> × 4/fs[s]
23-16	RMCLCMIN[7:0]	R/W	リーダ検出の周期期間の下限設定 下限期間の計算式： <RMCLCMIN> × 4/fs[s]
15-8	RMCLLMAX[7:0]	R/W	リーダ検出の Low 期間の上限設定 上限期間の計算式 ：<RMCLLMAX> × 4/fs[s]
7-0	RMCLLMIN[7:0]	R/W	リーダ検出の Low 期間の下限設定 下限期間の計算式 ：<RMCLLMIN> × 4/fs[s] RMCxRCR2<RMCLD> = 1 のときは、Low 幅が設定値未満の場合データビットと判別します。

注) リーダ検出の設定では以下の関係式を守ってください。

リーダ種類	関係式
Low 幅 + High 幅	<RMCLCMAX[7:0]> > <RMCLCMIN[7:0]> <RMCLLMAX[7:0]> > <RMCLLMIN[7:0]> <RMCLCMIN[7:0]> > <RMCLLMAX[7:0]>
High 幅のみ	<RMCLCMAX[7:0]> > <RMCLCMIN[7:0]> <RMCLLMAX[7:0]> = 0x00 <RMCLLMIN[7:0]> = don't care
リーダなし	<RMCLCMAX[7:0]> = 0x00 <RMCLCMIN[7:0]> = don't care <RMCLLMAX[7:0]> = don't care <RMCLLMIN[[7:0]> = don't care

18.3.8　RMCxRCR2(受信コントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	RMCLIEN	RMCEDIEN	-	-	-	-	RMCLD	RMCPHM
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCLL							
リセット後	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	RMCDMAX							
リセット後	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	機能
31	RMCLIEN	R/W	リーダ検出割り込み発生の許可 0: 割り込み発生しない 1: 割り込み発生する
30	RMCEDIEN	R/W	リモコン入力立ち下がりエッジ割り込み発生の許可 0:割り込み発生しない 1: 割り込み発生する
29-26	−	R	リードすると"0"が読めます。
25	RMCLD	R/W	リーダありとリーダなしのリモコン信号を両方受信可能なモード設定 0: 禁止 1: 許可
24	RMCPHM	R/W	位相方式のリモコン受信モードの設定 0: 位相方式のリモコン信号を受信しない(周期方式で受信) 1: 周期固定の位相方式のリモコン信号を受信する 　周期が固定の位相方式のリモコン信号の場合は、"1"を設定します。
23-16	−	R	リードすると"0"が読めます。
15-8	RMCLL[7:0]	R/W	Low 幅の検出による受信終了/割り込み発生のタイミングの設定 0000_0000~1111_1110: <RMCLL> × 1/fs[s]で受信終了/割り込み発生 1111_1111: Low 幅検出で受信終了/割り込みの設定をしない
7-0	RMCDMAX[7:0]	R/W	データビットの周期 MAX で受信終了/割り込み発生の設定 0000_0000~1111_1110: <RMCDMAX> × 1/fs[s]で受信終了/割り込み発生 1111_1111: データビットの周期 MAX で受信終了/割り込み発生しない

18.3.9 RMCxRCR3(受信コントロールレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	RMCDATH						
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	RMCDATL						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-15	-	R	リードすると"0"が読めます。
14-8	RMCDATH[6:0]	R/W	データビットの 3 値判定のしきい値上位設定 しきい値の計算式：<RMCDATH> × 1/fs[s] 位相方式のリモコン信号の 3 値判定の 1.5T と 2T のしきい値の設定をします。 データビットの測定結果がしきい値以上でデータを"10"、しきい値未満でデータ"01"と判別します。
7	-	R	リードすると"0"が読めます。
6-0	RMCDATL[6:0]	R/W	データビットの 0/1 判別および 3 値判定のしきい値下位設定 しきい値の計算式：<RMCDATL> × 1/fs[s] データビットの 0/1 判定のしきい値および、位相方式のリモコン信号の 3 値判定の 1T と 1.5T のしきい値の設定をします。 データビットの 0/1 判定の場合、測定結果がしきい値以上でデータ"1"、しきい値未満でデータ"0"と判別します。 位相方式のリモコン信号の 3 値判定の場合、データビットの測定結果がしきい値以上でデータを"01"、しきい値未満でデータ"00"と判別します。

注) RMCxRCR2<RMCPHM> = "0"のとき、<RMCDATH[6:0]>は有効になりません。<RMCPHM> = "1"のときのみ有効となります。

18.3.10　RMCxRCR4(受信コントロールレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCPO	-	-	-	RMCNC			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	RMCPO	R/W	リモコン入力信号の極性選択 0: 正極 1: 負極
6-4	−	R	リードすると"0"が読めます。
3-0	RMCNC[3:0]	R/W	ノイズ除去時間の設定 0000: ノイズ除去しない 0001~1111: ノイズ除去 　ノイズ除去時間の計算式：<RMCNC> × 1/fs[s]

18.3.11 RMCxRSTAT(受信ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RMCRLIF	RMCLOIF	RMCDMAXIF	RMCEDIF	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RMCRLDR	RMCRNUM						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15	RMCRLIF	R	割り込み要因フラグ 0: リーダ検出割り込みは発生していない 1: リーダ検出割り込みが発生
14	RMCLOIF	R	割り込み要因フラグ 0: Low 幅検出割り込みは発生していない 1: Low 幅検出割り込みが発生
13	RMCDMAXIF	R	割り込み要因フラグ 0: データビット周期 MAX 割り込みは発生していない 1: データビット周期 MAX 割り込みが発生
12	RMCEDIF	R	割り込み要因フラグ 0: 立ち下がりエッジ割り込みは発生していない 1: 立ち下がりエッジが発生
11-8	–	R	リードすると"0"が読めます。
7	RMCRLDR	R	リーダ検出 0: リーダ検出なし 1: リーダ検出あり
6-0	RMCRNUM[6:0]	R	リモコン受信したデータビット数 000_0000:データビットなし(リーダのみ) 000_0001~100_1000: 1~72bit 受信 100_1001~111_1111: 73bit 以上 リモコン受信したデータビット数を示します。データビット数は受信終了後に格納され、受信途中のビット数はモニタすることはできません。

注 1) このレジスタは割り込み発生時に最新状態に更新されます。このレジスタへの書き込み動作は無視されます。

注 2) 73bit 以上のデータを受信しても受信終了の条件を満たす波形が入力されない場合はデータを受信し続けます。このとき、データバッファの内容については保証しません。

18.3.12　RMCxEND1(受信終了ビット数レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	RMCEND1						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	RMCEND1[6:0]	R/W	受信するデータのビット数を設定 000_0000 : 受信ビット数の設定をしない 000_0001 ~ 100_1000 : 受信ビット数(1 ~ 72 ビット)を設定 100_1001 ~ 111_1111 : 設定禁止

18.3.13　RMCxEND2(受信終了ビット数レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	RMCEND2						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	RMCEND2[6:0]	R/W	受信するデータのビット数を設定 000_0000 : 受信ビット数の設定をしない 000_0001 ~ 100_1000 : 受信ビット数(1 ~ 72 ビット)を設定 100_1001 ~ 111_1111 : 設定禁止

18.3.14 RMCxEND3(受信終了ビット数レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	RMCEND3						
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-0	RMCEND3[6:0]	R/W	受信するデータのビット数を設定 000_0000 : 受信ビット数の設定をしない 000_0001 ~ 100_1000 : 受信ビット数(1 ~ 72 ビット)を設定 100_1001 ~ 111_1111 : 設定禁止

注 1) RMCxEND1 ~ 3 を設定することで、最大 3 通りの受信ビット数の設定が可能です。

注 2) RMCxEND1 ~ 3 はデータビット周期 MAX との組み合わせで使用します。

18.3.15　RMCxFSSEL(ソースクロック選択レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RMCCLK
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	RMCCLK	R/W	RMC サンプリングクロック選択 0 : 低速クロック(32.768kHz) 1 : タイマ出力(TBxBOUT) RMC 機能のサンプリングクロックとして、低速クロック(32.768kHz)かタイマ出力(TBxBOUT)を選択することができます。使用できるタイマ出力については、「製品情報」の章を参照してください。 TBxBOUT で設定できるタイマ出力範囲は 30 ~ 34kHz です。

注)　RMCxFSSEL レジスタでサンプリングクロックを切り替える場合は、RMCxEN<RMCEN>で RMC をいったん停止(禁止)させ、再度動作(許可)設定した後、他の RMC 関連レジスタよりも先に設定してください。

18.4 動作説明

18.4.1 リモコン受信

18.4.1.1 サンプリングブロック

リモコン信号のサンプリングは、32.768kHz の低速クロック(fs)または 16 ビットタイマフリップフロップ出力 TBxOUT で行います。

RMCxFSSEL<RMCCLK>で使用するクロックを選択してください。使用できるタイマ出力については、「製品情報」の章を参照してください。

18.4.1.2 基本動作

リーダを検出すると、RMCxRSTAT<RMCRLDR>がセットされます。

この時、RMCxRCR2<RMCLIEN>を設定しておくと、リーダ検出時にリーダ検出割り込みが発生します。リーダ割り込み発生時には、RMCxRSTAT<RMCRLIF>がセットされます。

リーダ検出後、データビットの 0/1 判定を順次行い、結果を RMCxRBUF1, 2, 3 レジスタに最大 72bit まで格納します。RMCxRCR2< RMCEDIEN>を設定しておくと、データビットの立ち下がりエッジごとにリモコン入力立ち下がりエッジ割り込みが発生します。リモコン入力立ち下がりエッジ割り込み発生時には、RMCxRSTAT< RMCEDIF >がセットされます。

受信動作はデータビット周期 MAX の検出および、Low 幅の検出が設定値になったところで終了となり、受信終了/割り込み発生となります。RMCxEND1 ~ 3 レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>を設定している場合は、データビット周期 MAX 検出までの受信したビット数が一致した場合のみ、受信終了/割り込み発生となります。

受信終了時の状態は、リモコン受信ステータスレジスタを読み出すことで知ることができます。

受信終了後、リーダ待ちとなります。

データビットのみのリモコン信号を受信する設定をすると、リーダの検出はしないで最初からデータとして扱い、受信を行います。

受信したデータを読み出す前に、次の受信が終了すると受信データは書き換わります。

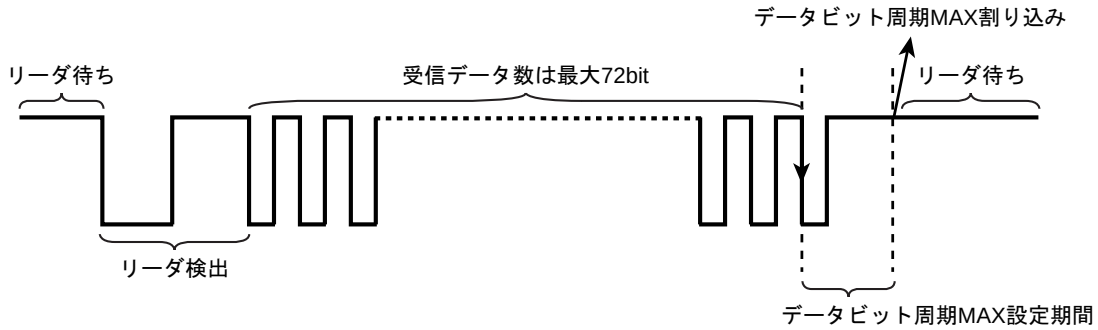


図 18-2 データビットの周期 Max で受信終了の場合

18.4.1.3　リモコン受信の準備

受信を開始する前に、リモコン受信コントロールレジスタ(RMCxRCR1, 2, 3, 4)でリモコン受信動作の設定を行います。

(1)　ノイズキャンセル時間の設定

RMCxRCR4<RMCNC[3:0]>でノイズキャンセル時間を設定します。

ノイズキャンセルは、サンプリングクロックでリモコン信号をサンプリングした信号に対して行います。サンプリングクロックの立ち上がりエッジごとにサンプリング後のリモコン信号を観測し、現在"High"であれば、<RMCNC>で設定されたサイクル分の"Low"が観測されたときに信号が"Low"に変化したと認識し、現在"Low"であれば、<RMCNC>で設定されたサイクル分の"High"が観測されたとき"High"に変化したと認識します。

次の図は、ノイズキャンセルの設定を<RMCNC[3:0]> = "0011" (3 サイクル)とした場合の動作です。ノイズキャンセル後の信号は、"High"の状態から、"Low"が 3 サイクル観測されたところで"Low"に変化し、"Low"の状態から、"High"が 3 サイクル観測されたところで"High"に変化します。

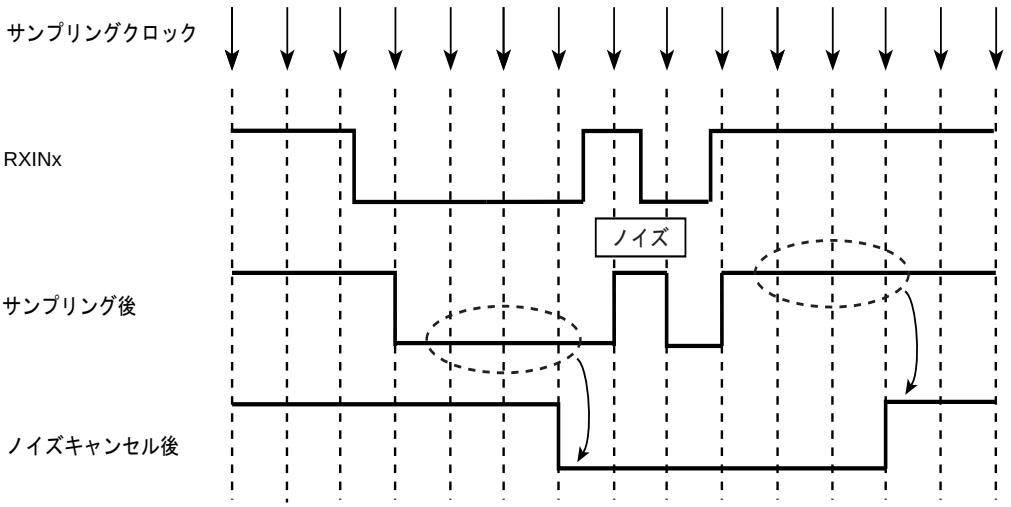


図 18-3 ノイズキャンセル(RMCxRCR4<RMCNC[3:0]>="0011"(3 サイクル)の場合)

(2) リーダ検出の設定

リーダ検出の設定は、リーダの周期と Low 幅の値を設定します。RMCxRCR1 レジスタの <RMCLLMIN[7:0]>,<RMCLLMAX[7:0]>,<RMCLCMIN[7:0]>,<RMCLCMAX[7:0]>にリーダ検出のための設定を行います。RMCxRCR1 レジスタを設定するときは、次の関係で行ってください。

リーダ種類	関係式
Low 幅 + High 幅	<RMCLCMAX[7:0]> > <RMCLCMIN[7:0]> <RMCLLMAX[7:0]> > <RMCLLMIN[7:0]> <RMCLCMIN[7:0]> > <RMCLLMAX[7:0]>
High 幅のみ	<RMCLCMAX[7:0]> > <RMCLCMIN[7:0]> <RMCLLMAX[7:0]> = 0000_0000 <RMCLLMIN[7:0]> = don't care
リーダなし	<RMCLCMAX[7:0]> = 0000_0000 <RMCLCMIN[7:0]> = don't care <RMCLLMAX[7:0]> = don't care <RMCLLMIN[7:0]> = don't care

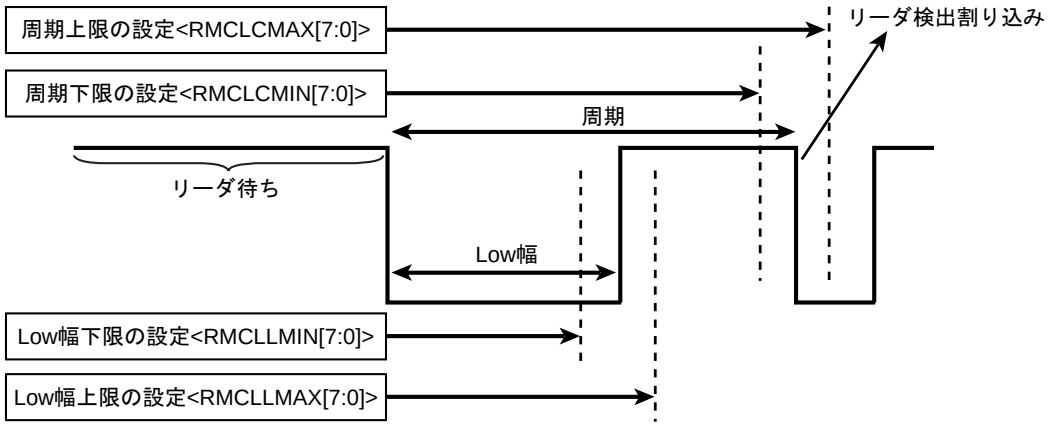


図 18-4 リーダ波形と RMxCRCR1

リーダ検出時に割り込みを発生させたい場合は、RMCxRCR2<RMCLIEN>で設定します。リーダなしのリモコン信号については、リーダ検出割り込みの発生はできません。

(3)　データビットの 0/1 判定の設定

同期方式のデータビットの 0/1 判定は立ち下がりエッジの周期に対して行います。以下の 2 種類の判定方法があります。

位相方式のリモコン信号のデータビットの判定は、「18.4.1.8 周期固定の位相方式のリモコン信号の受信」 で説明します。

1. しきい値による判断

   RMCxRCR3<RMCDATL[6:0]>でデータビットの 0/1 判定のしきい値を設定します。0/1 判別はしきい値以上でデータ"1"、しきい値未満でデータ"0"となります。

2. 立ち下がりエッジ割り込みによる判断

   RMCxRCR2<RMCEDIEN>を"1"にセットすることで、データビットの立ち下がりエッジごとにリモコン入力立ち下がりエッジ割り込みを発生させることもできます。リモコン入力立ち下がりエッジ割り込みとタイマを用いることで、ソフトウエア的にリモコン判定を行うことができます。

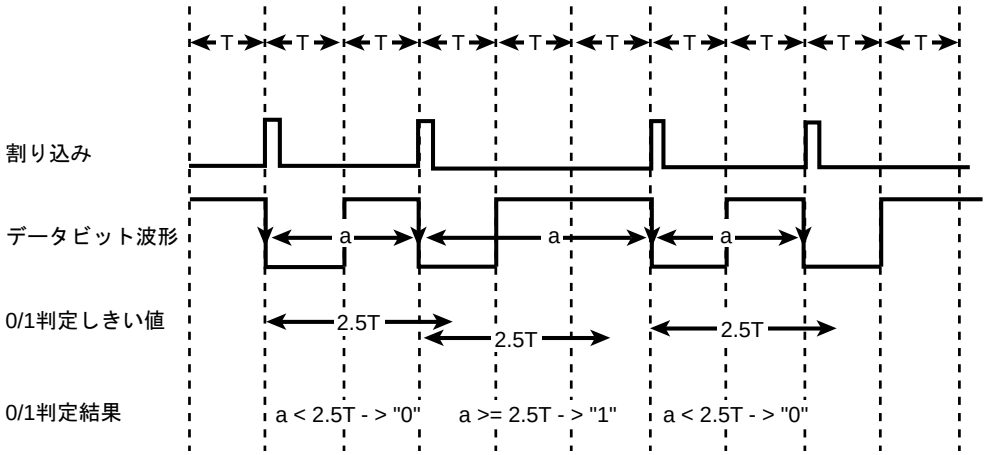


図 18-5 データビットの 0/1 判断の方法(しきい値 2.5T の場合）

(4) 受信終了の設定

受信終了はデータビットの周期 MAX 検出および、Low 幅の検出を設定することで行います。複数の要因を設定した場合は、最初に検出した要因で受信終了となります。受信終了の設定は必ず行うようにしてください。

1. データビットの周期 MAX で受信終了する場合

RMCxRCR2<RMCDMAX[7:0]>でデータビット周期 MAX の設定をします。データビットの立ち下がりエッジ周期の値が、<RMCDMAX[7:0]>で設定されたデータビット周期 MAX のしきい値以上のときデータビット周期 MAX 検出で受信終了/割り込み発生となります。割り込み発生後に RMCxRSTAT< RMCDMAXIF >がセットされます。

RMCxEND1 ~ 3 レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>を設定することで、受信ビット数を指定して受信終了を行うことが出来ます。この場合、データビット周期 MAX の発生時の受信したビット数と RMCxEND1 ~ 3 レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>で設定された受信ビット数が一致したときのみ、データビット周期 MAX 割り込みを発生します。受信ビット数は、RMCxEND1 ~ 3 レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>に 3 通り設定することが出来ます。データビット周期 MAX の発生時の受信したビット数が RMCxEND1 ~ 3 レジスタの<RMCEND1>、<RMCEND2>、<RMCEND3>に設定した受信ビット数と一致しない場合は、リーダ待ち/受信待ちとなります。

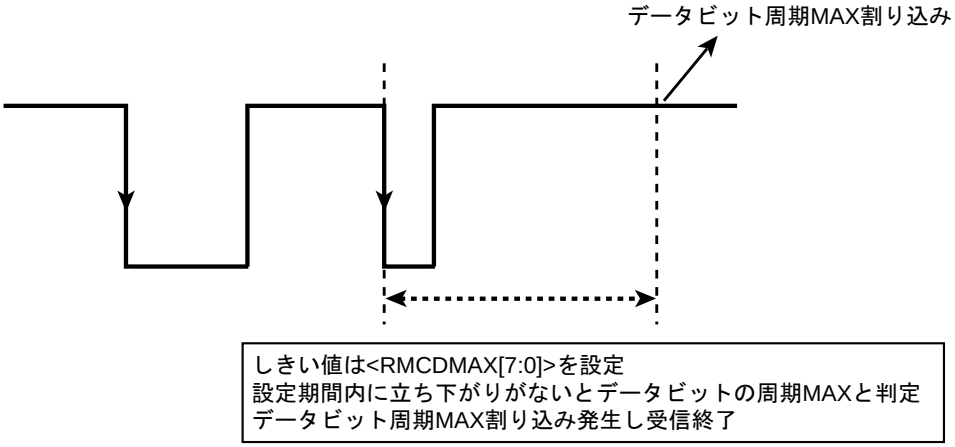


図 18-6 データビットの周期 Max で受信終了する場合

2. Low 幅検出で受信終了する場合

RMCxRCR2<RMCLL[7:0]>で Low 幅の検出による受信終了の設定をします。データビットが立ち下がり後、設定期間を超えて Low のままだと Low 幅検出し、受信終了/割り込み発生となります。割り込み発生後に RMCxRSTAT<RMCLOIF>に"1"がセットされます。

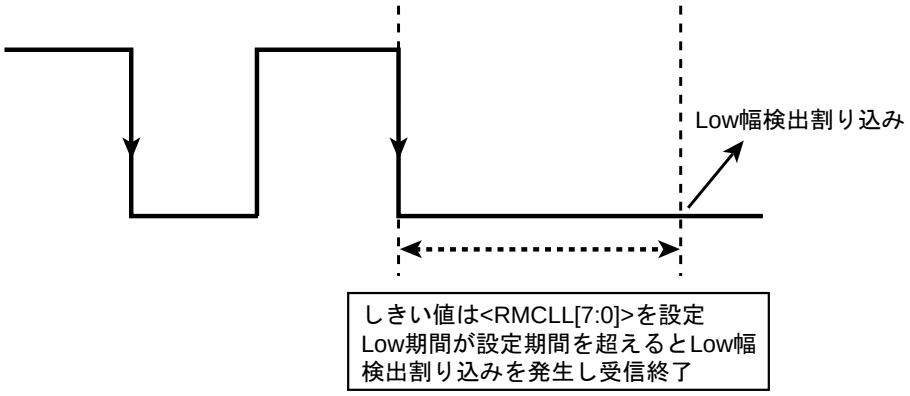


図 18-7 Low 幅検出で受信終了する場合

18.4.1.4　受信許可

RMCxRCR1 レジスタ, RMCxRCR2 レジスタ, RMCxRCR3 レジスタ, RMCxRCR4 レジスタの設定終了後、RMCxREN<RMCREN>を受信許可に設定することで受信待ち状態になり、リーダを検出すると受信動作を開始します。

注)　受信動作中に RMCxRCR1, 2, 3, 4, RMCxEND1, 2, 3 レジスタの設定が変更されると正しく受信できない可能性があります。受信許可中に設定変更を行う場合は注意して行ってください。

18.4.1.5　受信の停止

RMCxREN<RMCREN>を"0" (受信禁止)に設定すると受信動作を停止します。

受信動作中に禁止の設定を行った場合、直ちに受信動作を停止し、それまでに受信したデータは破棄されます。

18.4.1.6　リーダ待ちの状態でリーダなしのリモコン信号の受信

RMCxRCR2<RMCLD>を設定することでリーダありとリーダなしのリモコン信号を両方受信することが可能になります。

RMCxRCR2<RMCLD>を設定すると、RMCxRCR1<RMCLLMAX[7:0]>以下の Low 幅の信号を受信するとデータと判断し受信を開始し、最終ビットまで受信を行います。

この設定を使用する場合、データビットの 0/1 判定、エラー検出、受信終了の設定はリーダあり/リーダなしデータで全て共通となりますので、受信可能なリモコン信号には制限があります。

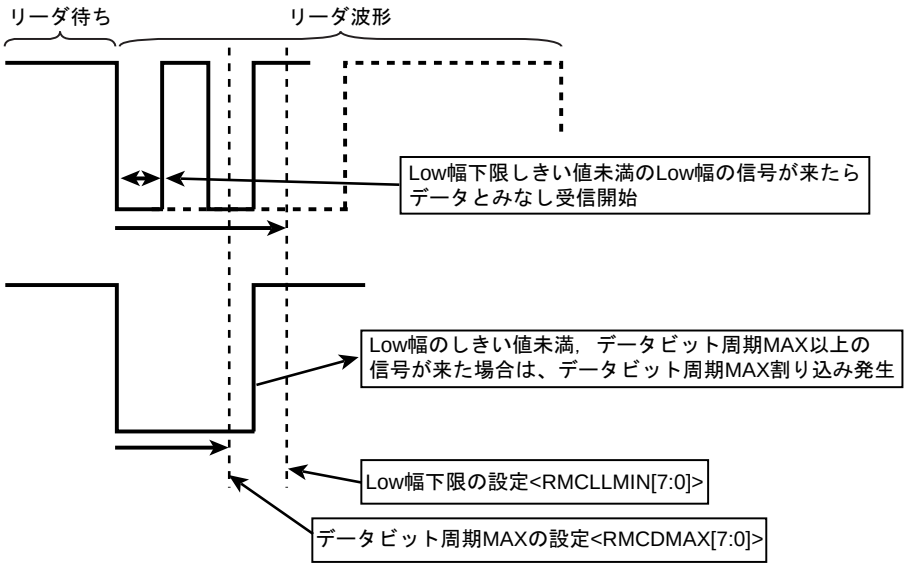


図 18-8 リーダ待ち状態なしでのリーダなしのリモコン信号の場合
(RMCxRCR2<RMCLD>="1"の時)

18.4.1.7　Low 幅のみのリーダで始まるリモコン信号の受信

Low 幅のみのリーダで始まるリモコン信号は次図にあるように、リーダが Low 幅のみで始まり、データビットの周期が立ち上がり期間で構成される信号です。データビットの測定を立ち下がりエッジの周期で行う必要があるため、RMCxRCR4<RMCPO> = "1"に設定し、反転した信号にして入力します。

リーダの検出の設定は Low 幅のみのため、RMCxRCR1 の設定を、<RMCLLMAX[7:0]> = "0000_0000", <RMCLCMAX[7:0]> > <RMCLCMIN[7:0]>の関係で設定します。この場合、<RMCLLMIN[7:0]>の値は don't care となります。

データ 0/1 判定の設定は、RMCxRCR3<RMCDATL[6:0]>で 0/1 判別のしきい値を設定します。

RMCxRCR2 の<RMCDMAX[7:0]>でデータビットの周期 MAX の設定をします。

受信終了の設定は、RMCxRCR2 の<RMCDMAX[7:0]>でデータビットの周期 MAX の設定と<RMCLL[7:0]>で Low 幅検出の設定をします。データビットの周期 MAX 検出および、最終ビット後に設定された Low 期間確認後に受信終了/割り込み発生し、リーダ待ちとなります。

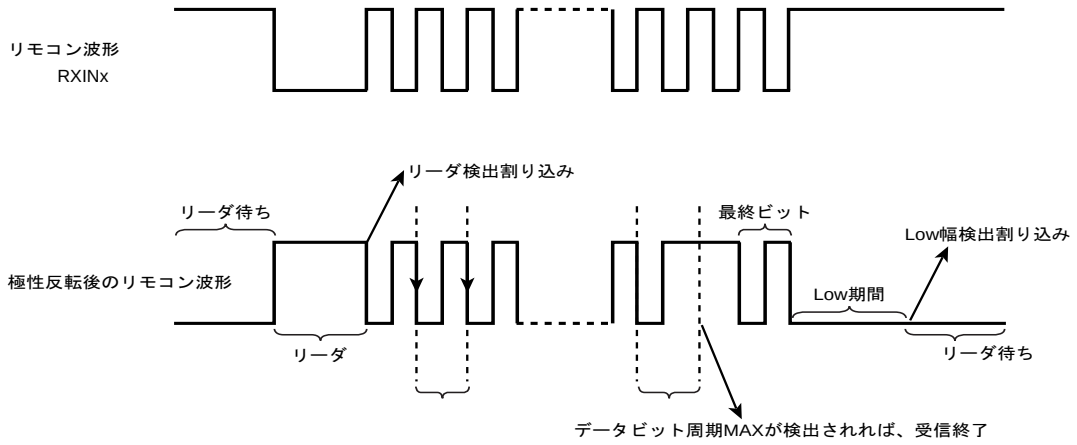


図 18-9 Low 幅のみのリーダで始まるリモコン信号の受信

18.4.1.8 周期固定の位相方式のリモコン信号の受信

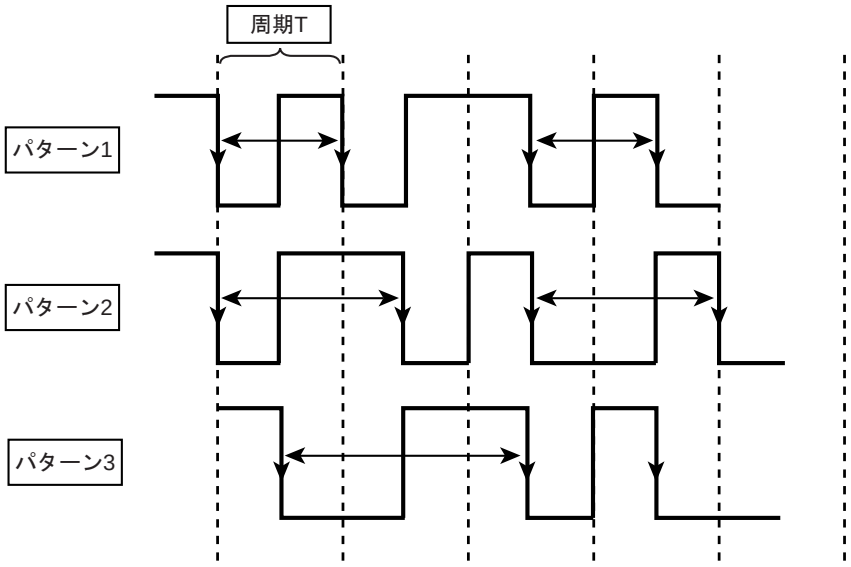
周期固定の位相方式のリモコン信号は、データの変化のパターンが 3 通りに分けられます。しきい値を 2 つ設定することでパターンの判別を行い、ハードウエアでリモコンデータに変換を行い、受信終了後、受信データをリモコンデータの形式で RMCxRBUF1, 2, 3 に格納します。

周期固定の位相方式のリモコン受信は、RMCxRCR2<RMCPHM> = "1"に設定することで有効になります。しきい値の設定は、RMCxRCR3<RMCDATL[6:0]>, <RMCDATH[6:0]>で行います。次図にある、3 通りのデータの変化のパターンに対して、2 つのしきい値を決めます。3 通りのパターンはそれぞれ周期 T に対して、1T, 1.5T, 2T となり、しきい値の設定は下表のようになります。

	判別内容	しきい値	設定レジスタ
しきい値 1	パターン 1 とパターン 2	1T~1.5T	RMCxRCR3<RMCDATL[6:0]>
しきい値 2	パターン 2 とパターン 3	1.5T~2T	RMCxRCR3<RMCDATH[6:0]>

周期固定の位相方式のリモコン信号の判別は、3 通りのデータの変化のパターンと直前の周期のデータが必要です。周期固定の位相方式のリモコン信号は必ず、データ"11"で始まる必要があります。

位相方式のリモコン信号の波形パターン



位相方式のリモコンデータ例

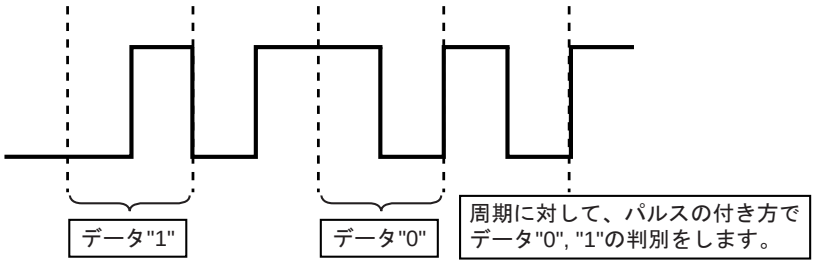


図 18-10 位相固定方式の波形パターンとデータ例

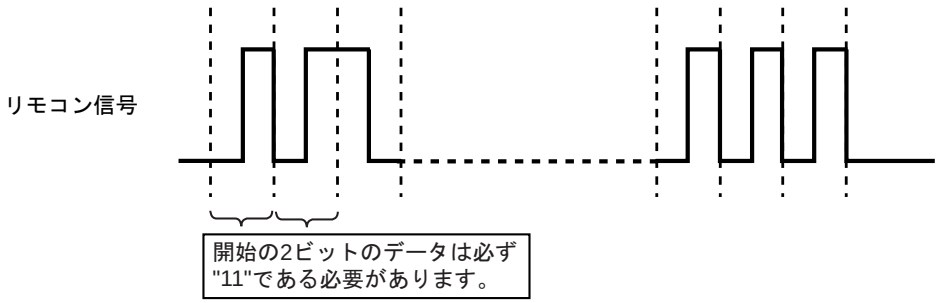


図 18-11 位相方式のリモコン波形例

第 19 章　アナログ/デジタルコンバータ(ADC)

19.1　特徴

TMPM461F15/F10FG は、12 ビット逐次変換方式アナログ/デジタルコンバータ(AD コンバータ)を 1 ユニット内蔵し、15 チャネルの通常アナログ入力と 5 チャネルの拡張アナログ入力を有します。

15 チャネルのアナログ入力端子(AIN0 ~ AIN14)と、5 チャネルの拡張アナログ入力端子(AIN15~ AIN19)は入出力ポートと兼用です。

12 ビット AD コンバータは、以下のような特徴があります。

- 通常 AD 変換、最優先 AD 変換の起動
  - ソフトウエアによる起動
  - 外部トリガ($\overline{\text{ADTRG}}$)による起動
  - 内部トリガによる起動
- 通常 AD 変換機能の動作モード
  - チャネル固定シングル変換モード
  - チャネルスキャンシングル変換モード
  - チャネル固定リピート変換モード
  - チャネルスキャンリピート変換モード
- 最優先 AD 変換機能の動作モード
  - 固定シングル変換モード
- 通常 AD 変換終了、最優先 AD 変換終了時、割り込み発生機能
- 通常 AD 変換機能、最優先 AD 変換機能のステータスフラグ
  - AD 変換結果データ有効を示すフラグ、上書きを示すフラグ
  - AD 変換終了フラグ、AD 変換ビジーフラグ
- AD 監視機能
  - 任意比較条件と一致した場合、割り込みを発生
- AD 変換クロックを fc ~ fc/16 まで制御可能
- VREF のリファレンス電流低減機能

注)　拡張チャネルの通常 AD 変換機能は、固定シングル変換モード、固定リピート変換モードのみです。

19.2　構成

AD コンバータのブロック図を示します。

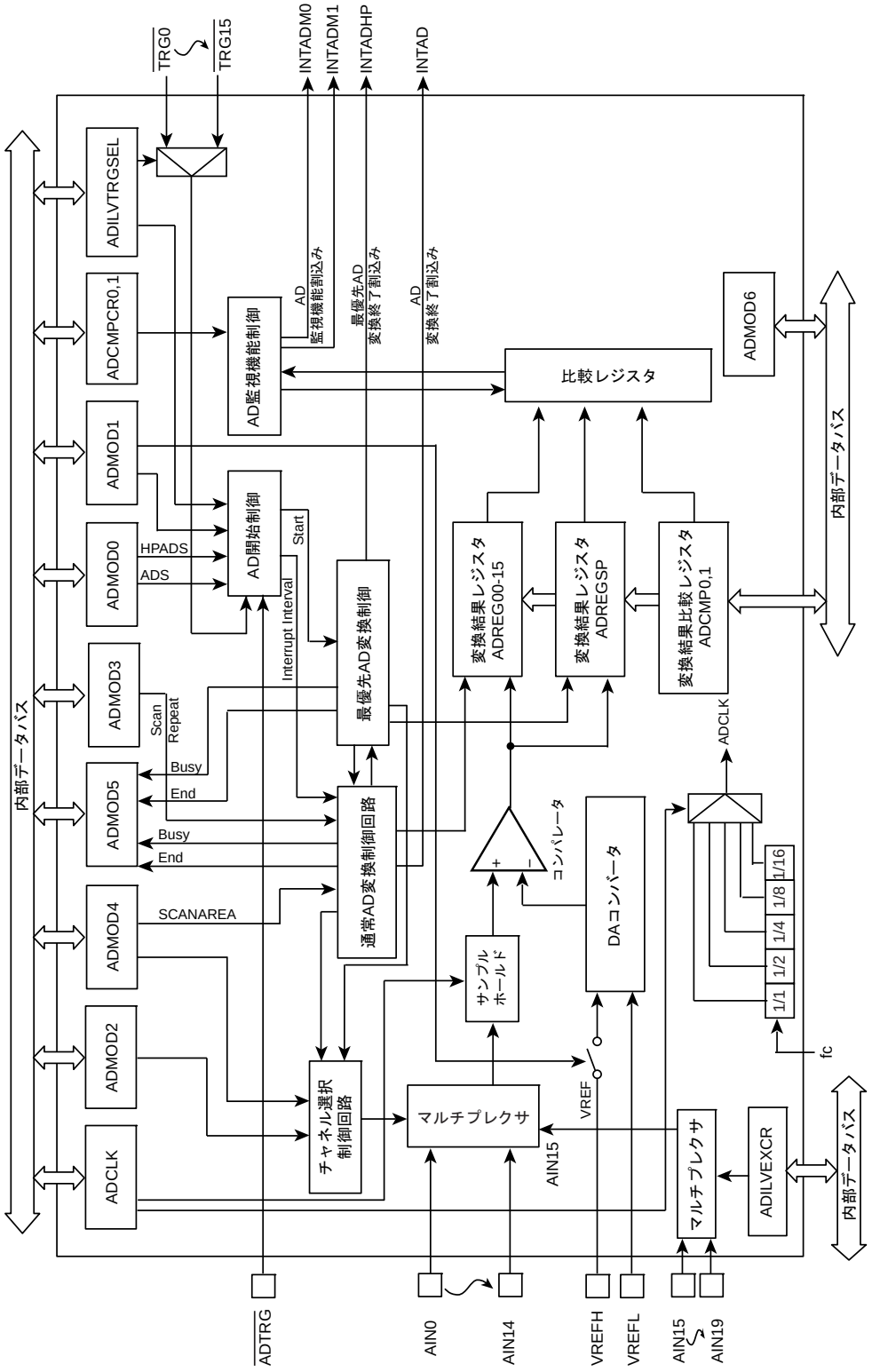


図 19-1 ブロック図

19.3 レジスタ

19.3.1 レジスター覧

AD 変換機能は、モード設定レジスタ ADMOD0 ~ ADMOD6 の設定により制御します。

拡張チャネルの AD 変換機能を使用するには、拡張チャネル変換レジスタ ADILVEXCR の設定が必要です。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

周辺機能名：AD

レジスタ名		Address(Base+)
クロック設定レジスタ	ADCLK	0x0000
モード設定レジスタ 0	ADMOD0	0x0004
モード設定レジスタ 1	ADMOD1	0x0008
モード設定レジスタ 2	ADMOD2	0x000C
モード設定レジスタ 3	ADMOD3	0x0010
モード設定レジスタ 4	ADMOD4	0x0014
モード設定レジスタ 5	ADMOD5	0x0018
モード設定レジスタ 6	ADMOD6	0x001C
監視割り込み設定レジスタ 0	ADCMPCR0	0x0024
監視割り込み設定レジスタ 1	ADCMPCR1	0x0028
変換結果比較レジスタ 0	ADCMP0	0x002C
変換結果比較レジスタ 1	ADCMP1	0x0030
変換結果格納レジスタ 0	ADREG00	0x0034
変換結果格納レジスタ 1	ADREG01	0x0038
変換結果格納レジスタ 2	ADREG02	0x003C
変換結果格納レジスタ 3	ADREG03	0x0040
変換結果格納レジスタ 4	ADREG04	0x0044
変換結果格納レジスタ 5	ADREG05	0x0048
変換結果格納レジスタ 6	ADREG06	0x004C
変換結果格納レジスタ 7	ADREG07	0x0050
変換結果格納レジスタ 8	ADREG08	0x0054
変換結果格納レジスタ 9	ADREG09	0x0058
変換結果格納レジスタ 10	ADREG10	0x005C
変換結果格納レジスタ 11	ADREG11	0x0060
変換結果格納レジスタ 12	ADREG12	0x0064
変換結果格納レジスタ 13	ADREG13	0x0068
変換結果格納レジスタ 14	ADREG14	0x006C
変換結果格納レジスタ 15	ADREG15	0x0070
最優先変換結果格納レジスタ	ADREGSP	0x0074

周辺機能名：ADILV

レジスタ名		Address(Base+)
トリガ選択レジスタ	ADILVTRGSEL	0x0010
拡張チャネル設定レジスタ	ADILVEXCR	0x0020

注) レジスタは必ずワード（32bit）アクセスしてください。

19.3.2　ADCLK (クロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADSH				-	ADCLK		
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	ADSH[3:0]	R/W	ADC サンプルホールド時間選択 0000: 10 × <ADCLK> 0001: 20 × <ADCLK> 0010: 30 × <ADCLK> 0011: 40 × <ADCLK> 0100: 80 × <ADCLK> 0101: 160 × <ADCLK> 0110: 320 × <ADCLK> 0111 ~ 1111: Reserved
3	−	R	リードすると"0"が読めます。
2-0	ADCLK[2:0]	R/W	ADC プリスケーラ出力選択 000: fc 001: fc/2 010: fc/4 011: fc/8 100: fc/16 101 ~ 111: Reserved

注 1)　4MHz ≤ ADCLK ≤ 40MHz の範囲内で使用してください。例えば、fosc = 12MHz、PLL = 4 逓倍で使用する場合、fc = 48MHz となりますが、この場合は ADCLK<ADCLK[2:0]> = 000 以外を使用してください。

注 2)　ADC プリスケーラ出力選択<ADCLK >は、AD 変換停止かつ ADMOD1<DACON>="0"で行ってください。

注 3)　サンプリングホールド時間は以下の条件で使用してください：通常チャネル(250ns 以上)、拡張チャネル(500ns 以上)

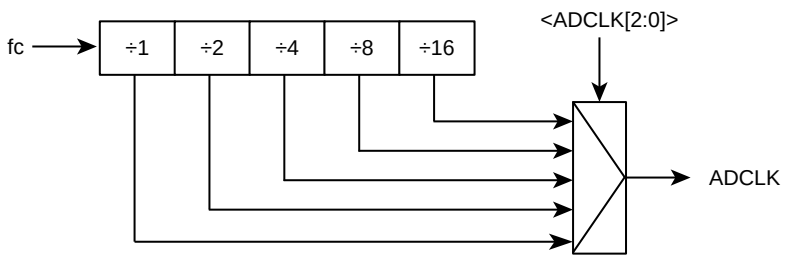


図 19-2 AD 変換クロック(ADCLK)

注) クロック周波数(f_{ADCLK})と fsys は、下記の条件となるようにしてください。

$f_{ADCLK} \div fsys < 5.5$

AD 変換時間は、以下の式で算出します:

t_{cov}=ADCLK×(ADSH(サンプリングクロック） ＋30 クロック)

例：fc=40MHz 、ADCLK=40MHz(=fc)、ADSH=10 ×<ADCLK>

t_{cov}=ADCLK× (10 + 30) = 25(ns)×(10 + 30)=1000(ns)=1.0 μs

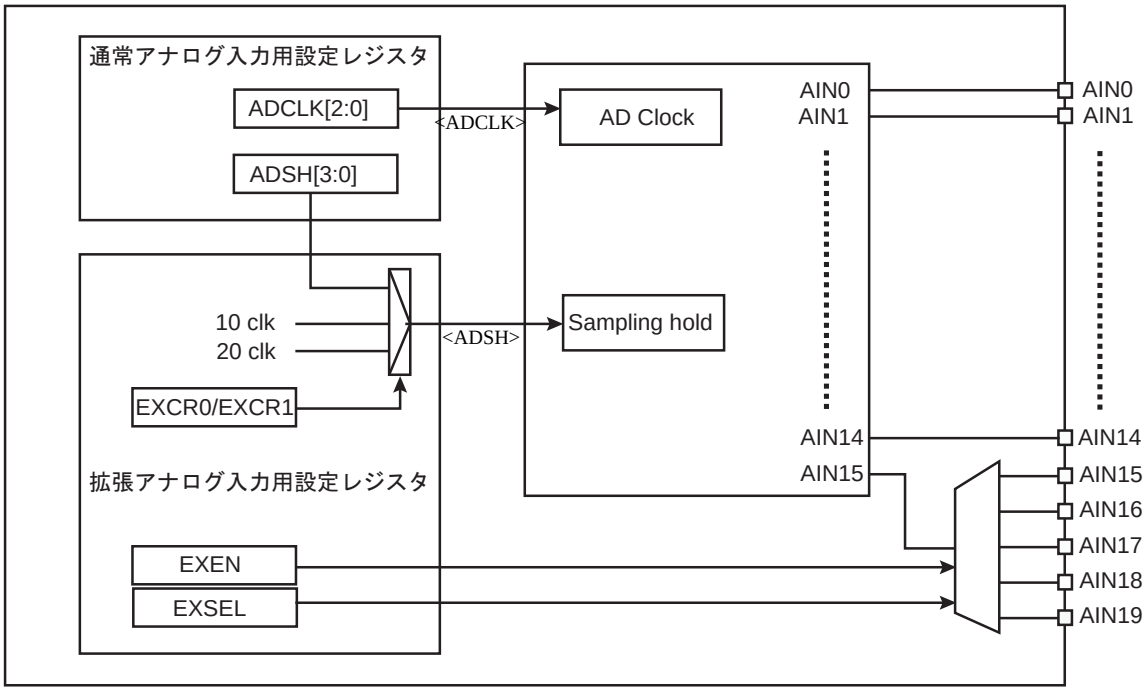


図 19-3 通常＆拡張チャネルアナログ入力設定レジスタ

本製品のサンプルホールド時間は、通常アナログ入力設定レジスタと拡張アナログ入力設定レジスタにより設定されたサンプリングクロックで決定されます。

なお初期設定は、拡張チャネル設定レジスタ側の EXCR0、EXCR1 設定のサンプリング期間(10clk)が選択されます。

拡張アナログ入力設定レジスタの詳細は、「19.3.17 ADILVEXCR (拡張チャネル設定レジスタ)」を参照してください。

注) AD 変換動作中は、クロックギアをギア比:1/1(fc)から 1/N(N=2,4,8,16)へ変更しないでください。

19.3.3　ADMOD0 (モード設定レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	HPADS	ADS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	HPADS	W	最優先 AD 変換を開始します。 0: Don't care 1: 変換開始 リード時、常に"0"になります。
0	ADS	W	通常 AD 変換を開始します。 0: Don't care 1: 変換開始 リード時、常に"0"になります。

注)　最優先 AD 変換<HPADS>と通常 AD 変換<ADS>を同時に開始した場合、最優先 AD 変換が優先して起動します。通常 AD 変換は起動しません。

19.3.4 ADMOD1 (モード設定レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DACON	I2AD	RCUT	-	HPADHWS	HPADHWE	ADHWS	ADHWE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	DACON	R/W	回路 ON/OFF 制御 0: OFF 1: ON
6	I2AD	R/W	IDLE モード時の ADC 動作制御 0: 停止 1: 動作
5	RCUT	R/W	VREFH-VREFL 間のリファレンス電流を制御します。 0: 変換中のみ通電 1: リセット時以外常時通電
4	−	R	リードすると"0"が読めます。
3	HPADHWS	R/W	最優先 AD 変換を開始するためのハードウエア要因です。 0: $\overline{\text{ADTRG}}$ 端子 1: 内部トリガ（ADILVTRGSEL<HPTRGSEL>により選択されたトリガ）
2	HPADHWE	R/W	ハードウエア要因による最優先 AD 変換開始を制御します。 0: 禁止 1: 許可
1	ADHWS	R/W	通常 AD 変換を開始するためのハードウエア要因です。 0: $\overline{\text{ADTRG}}$ 端子 1:内部トリガ（ADILVTRGSEL<TRGSEL>により選択されたトリガ）
0	ADHWE	R/W	ハードウエア要因による通常 AD 変換開始を制御します。 0: 禁止 1: 許可

注 1) STOP1/STOP2 モード、または<I2AD>="0"で IDLE モードへ遷移する際に消費電流を低減するには、AD 変換終了後に<DACON>と<RCUT>を"0"に設定した後、スタンバイモードに遷移する命令を実行してください。

注 2) 最優先 AD 変換のハードウエア要因に外部トリガを使用しているときは、通常 AD 変換ハードウエア起動としては外部トリガを設定できません。

19.3.5　ADMOD2 (モード設定レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	HPADCH				ADCH			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-4	HPADCH[3:0]	R/W	最優先 AD 変換時のアナログ入力チャネルを選択します。(表 19-1 参照)
3-0	ADCH[3:0]	R/W	通常 AD 変換時のアナログ入力チャネルを選択します。 (表 19-1 参照)

表 19-1 通常 AD 変換、最優先 AD 変換時の入力チャネル選択

<HPADCH[3:0]>	最優先 AD 変換時の アナログ入力チャネル	<ADCH[3:0]>	通常 AD 変換時の アナログ入力チャネル
0000	AIN0	0000	AIN0
0001	AIN1	0001	AIN1
0010	AIN2	0010	AIN2
0011	AIN3	0011	AIN3
0100	AIN4	0100	AIN4
0101	AIN5	0101	AIN5
0110	AIN6	0110	AIN6
0111	AIN7	0111	AIN7
1000	AIN8	1000	AIN8
1001	AIN9	1001	AIN9
1010	AIN10	1010	AIN10
1011	AIN11	1011	AIN11
1100	AIN12	1100	AIN12
1101	AIN13	1101	AIN13
1110	AIN14	1110	AIN14
1111	AIN15 - AIN19（注 1）	1111	AIN15-AIN19（注 1）

注 1)　拡張チャネル AIN15 -AIN19 から選択されたチャネルとなります。

19.3.6 ADMOD3 (モード設定レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	ITM			-	-	REPEAT	SCAN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	–	R	リードすると"0"が読めます。
6-4	ITM[2:0]	R/W	チャネル固定リピート変換モード時の割り込み発生タイミングを設定します。(表 19-2 参照)
3-2	–	R	リードすると"0"が読めます。
1	REPEAT	R/W	リピートモードを設定します。 0 : シングル変換 1 : リピート変換
0	SCAN	R/W	スキャンモードを設定します。 0 : チャネル固定 1 : チャネルスキャン

表 19-2 チャネル固定リピート変換モードの割り込み発生タイミング

<ITM[2:0]>	チャネル固定リピート変換モード <SCAN> = "0", <REPEAT> = "1"
000	1 回毎、割り込み発生
001	2 回毎、割り込み発生
010	3 回毎、割り込み発生
011	4 回毎、割り込み発生
100	5 回毎、割り込み発生
101	6 回毎、割り込み発生
110	7 回毎、割り込み発生
111	8 回毎、割り込み発生

注 1) <ITM[2:0]>は、チャネル固定リピートモード(<REPEAT>=1,<SCAN>=0)時のみ有効です。

注 2) リピート変換中(<REPEAT>=1、チャネル固定、チャネルスキャンの時)、リピート変換を中止する場合、<REPEAT>=0 にクリアします。その場合、<REPEAT>ビット以外は書き換えないでください。

注3) リピート変換使用時に、最優先 AD 変換を併用する場合は、通常 AD 変換割り込みを禁止してから、リピート変換を停止してください。

19.3.7　ADMOD4 (モード設定レジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SCANAREA				SCANSTA			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-4	SCANAREA [3:0]	R/W	チャネルスキャンの範囲を設定します。(表 19-3 参照)
3-0	SCANSTA[3:0]	R/W	チャネルスキャンの先頭チャネルを設定します。(表 19-3 参照)

ADMOD3<SCAN> = "1", <REPEAT> = "0"に設定するとチャネルスキャンシングルモードになり、ADMOD3<SCAN> = "1", <REPEAT> = "1"に設定するとチャネルスキャンリピートモードになります。まず、チャネルスキャンをスタートさせたいチャネルを選択します。次に、設定したスタートチャネルからスキャンしたいチャネル数を選択します。例えば、ADMOD4<SCANSTA> = "0001"(AIN01), <SCANAREA>="0010"(3ch スキャン) を設定した場合、AIN01 ~ AIN03(3 チャネル分)のチャネルスキャンを行います。

表 19-3 に<SCANSTA>の設定と<SCANAREA>の設定可能な範囲の関係を示します。

表 19-3 チャネルスキャン設定範囲（ADMOD4）

<SCANSTA[3:0]>	スタートチャネル	<SCANAREA[3:0]>	設定可能なチャネルスキャン範囲
0000	AIN0	0000 ~ 1110	1ch ~ 15ch
0001	AIN1	0000 ~ 1101	1ch ~ 14ch
0010	AIN2	0000 ~ 1100	1ch ~ 13ch
0011	AIN3	0000 ~ 1011	1ch ~ 12ch
0100	AIN4	0000 ~ 1010	1ch ~ 11ch
0101	AIN5	0000 ~ 1001	1ch ~ 10ch
0110	AIN6	0000 ~ 1000	1ch ~ 9ch
0111	AIN7	0000 ~ 0111	1ch ~ 8ch
1000	AIN8	0000 ~ 0110	1ch ~ 7ch
1001	AIN9	0000 ~ 0101	1ch ~ 6ch
1010	AIN10	0000 ~ 0100	1ch ~ 5ch
1011	AIN11	0000 ~ 0011	1ch ~ 4ch
1100	AIN12	0000 ~ 0010	1ch ~ 3ch
1101	AIN13	0000 ~ 0001	1ch ~ 2ch
1110	AIN14	0000	1ch

注)　上記以外の設定は禁止です。設定可能な<SCANAREA>を守ってご使用ください。

19.3.8　ADMOD5 (モード設定レジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	HPEOCF	HPADBF	EOCF	ADBF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます。
3	HPEOCF	R	最優先 AD 変換終了フラグ (注 1) 0: 変換前または変換中 1: 変換終了
2	HPADBF	R	最優先 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中
1	EOCF	R	通常 AD 変換終了フラグ (注 1) 0: 変換前または変換中 1: 変換終了
0	ADBF	R	通常 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中

注 1)　<EOCF>,<HPEOCF>は、読み出すことにより“0”にクリアされます。

注 2)　STOP1/STOP2 モード、または<I2AD>="0"で IDLE モードへ遷移する際に消費電流を低減するには、AD 変換終了後に<DACON>と<RCUT>を"0"に設定した後、スタンバイモードに遷移する命令を実行してください。

注3)　AD 変換完了検出は、AD 変換ビジーフラグ<ADBF>,<HPADBF>ではなく、AD 変換終了フラグ<EOCF>、<HPEOCF>または、AD 変換終了割り込み(INTADxHP,INTADx)を使用してください。

19.3.9 ADMOD6 (モード設定レジスタ 6)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	ADRST	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	W	"0"を書いてください。
1-0	ADRST[1:0]	W	"10" → "01"のライトで ADC をソフトウエアリセットを行います。 <ADCLK>ビットを除くレジスタは、全て初期化されます。

注) ソフトウエアリセットを行う場合、初期化に 3μs の時間が必要となります。

19.3.10　ADCMPCR0 (監視割り込み設定レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT0			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP0EN	-	CMPCOND0	ADBIG0	AINS0			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	−	R	リードすると"0"が読めます。
11-8	CMPCNT0[3:0]	R/W	大小判定カウント数を設定します。 0000 : 1 回カウント　0110 : 7 回カウント　1100 : 13 回カウント 0001 : 2 回カウント　0111 : 8 回カウント　1101 : 14 回カウント 0010 : 3 回カウント　1000 : 9 回カウント　1110 : 15 回カウント 0011 : 4 回カウント　1001 : 10 回カウント　1111 : 16 回カウント 0100 : 5 回カウント　1010 : 11 回カウント 0101 : 6 回カウント　1011 : 12 回カウント
7	CMP0EN	R/W	AD 監視機能 0 0: 禁止　（大小判定カウント数はクリア） 1: 許可　（条件成立で AD 監視割り込み INTADM0 を発生します）
6	−	R	リードすると"0"が読めます。
5	CMPCOND0	R/W	判定カウント条件を設定します。 0: 連続方式 1: 累積方式 連続方式は、<ADBIG0>に設定した状態が連続し、<CMPCNT0>に設定したカウント回数に達すると AD 監視割り込みが発生します。設定カウント数を超えた後も判定条件が真の場合は、その都度 AD 監視割り込みが発生します。<ADBIG0>に設定した状態と異なる場合はカウンタ値をクリアします。 累積方式は、<ADBIG0>に設定した状態が累積して<CMPCNT0>に設定したカウント回数に達すると AD 監視割り込みが発生し、カウントをクリアします。<ADBIG0>に設定した状態と異なる場合でもカウンタ値を保持します。
4	ADBIG0	R/W	大小判定を設定します。 0: 比較レジスタ(ADCMP0)より大 1: 比較レジスタ(ADCMP0)より小 比較レジスタよりも比較対象アナログ入力の変換結果が、大きいか、小さいかを設定します。 AINS0[3:0]で設定した AD 変換が終了するたびに大・小比較判定を行い、判定結果が<ADBIG0>の設定にあてはまればカウンタをプラスします。
3-0	AINS0[3:0]	R/W	比較対象のアナログ入力を設定します。 0000 : AIN0　0110 : AIN6　1100 : AIN12 0001 : AIN1　0111 : AIN7　1101 : AIN13 0010 : AIN2　1000 : AIN8　1110 : AIN14 0011 : AIN3　1001 : AIN9　1111 : AIN15 - AIN19(注) 0100 : AIN4　1010 : AIN10 0101 : AIN5　1011 : AIN11

注)　AD 監視機能は、固定リピート変換モード、スキャンリピート変換モードで使用します。

注)　拡張チャネル AIN15 -AIN19 から選択されたチャネルとなります。

19.3.11 ADCMPCR1 (監視割り込み設定レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT1			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP1EN	-	CMPCOND1	ADBIG1	AINS1			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	−	R	リードすると"0"が読めます。
11-8	CMPCNT1[3:0]	R/W	大小判定カウント数を設定します。 0000 : 1 回カウント　0110 : 7 回カウント　1100 : 13 回カウント 0001 : 2 回カウント　0111 : 8 回カウント　1101 : 14 回カウント 0010 : 3 回カウント　1000 : 9 回カウント　1110 : 15 回カウント 0011 : 4 回カウント　1001 : 10 回カウント　1111 : 16 回カウント 0100 : 5 回カウント　1010 : 11 回カウント 0101 : 6 回カウント　1011 : 12 回カウント
7	CMP1EN	R/W	AD 監視機能 1 0: 禁止　（大小判定カウント数はクリア） 1: 許可　（条件成立で AD 監視割り込み INTADM1 を発生します）
6	−	R	リードすると"0"が読めます。
5	CMPCOND1	R/W	判定カウント条件を設定します。 0: 連続方式 1: 累積方式 連続方式は、<ADBIG1>に設定した状態が連続し、<CMPCNT1>に設定したカウント回数に達すると AD 監視割り込みが発生します。設定カウント数を超えた後も判定条件が真の場合は、その都度 AD 監視割り込みが発生します。<ADBIG1>に設定した状態と異なる場合はカウンタ値をクリアします。 累積方式は、<ADBIG1>に設定した状態が累積して<CMPCNT1>に設定したカウント回数に達すると AD 監視割り込みが発生し、カウントをクリアします。<ADBIG1>に設定した状態と異なる場合でもカウンタ値を保持します。
4	ADBIG1	R/W	大小判定を設定します。 0: 比較レジスタ(ADCMP1)より大 1: 比較レジスタ(ADCMP1)より小 比較レジスタよりも比較対象アナログ入力の変換結果が、大きいか、小さいかを設定します。 AINS1[3:0]で設定した AD 変換が終了するたびに大・小比較判定を行い、判定結果が<ADBIG1>の設定にあてはまればカウンタをプラスします。
3-0	AINS1[3:0]	R/W	比較対象のアナログ入力を設定します。 0000 : AIN0　0110 : AIN6　1100 : AIN12 0001 : AIN1　0111 : AIN7　1101 : AIN13 0010 : AIN2　1000 : AIN8　1110 : AIN14 0011 : AIN3　1001 : AIN9　1111 : AIN15 - AIN19 (注) 0100 : AIN4　1010 : AIN10 0101 : AIN5　1011 : AIN11

注)　AD 監視機能は、固定リピート変換モード、スキャンリピート変換モードで使用します。

注)　拡張チャネル AIN15 -AIN19 から選択されたチャネルとなります。

19.3.12　ADCMP0 (変換結果比較レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	AD0CMP			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD0CMP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	−	R	リードすると"0"が読めます。
11-0	AD0CMP[11:0]	R/W	AD 変換結果比較値を設定します。

注)　本レジスタに設定および変更する際は、AD 監視機能を禁止（ADCMPCR0<CMP0EN> = "0", ADCMPCR1<CMP1EN> = "0")にした状態で行ってください。

19.3.13 ADCMP1 (変換結果比較レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	AD1CMP			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD1CMP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	−	R	リードすると"0"が読めます。
11-0	AD1CMP[11:0]	R/W	AD 変換結果比較値を設定します。

注) 本レジスタに設定および変更する際は、AD 監視機能を禁止（ADCMPCR0<CMP0EN> = 0, ADCMPCR1<CMP1EN> = 0)にした状態で行ってください。

19.3.14　ADREG00 ~ ADREG15 (変換結果格納レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	ADR_MIR							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ADR_MIR				-	-	ADOVRF_MIR	ADRF_MIR
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	ADOVRF	ADRF	ADR			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	ADR_MIR [11:0]	R	12 ビットの通常 AD 変換結果値が格納されます。 AD 変換中に ADREGx レジスタをリードすると前回の変換結果がリードされます。
19-18	−	R	リードすると"0"が読めます。
17	ADOVRF_MIR	R	オーバランフラグ 0: 発生なし 1: 発生あり AD 変換結果レジスタ(ADREGx)を読み出す前に AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADREGx レジスタをリードすると"0"にクリアされます。
16	ADRF_MIR	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。 このフラグは ADREGx レジスタをリードすると"0"にクリアされます。
15-14	−	R	リードすると"0"が読めます。
13	ADOVRF	R	オーバランフラグ 0: 発生なし 1: 発生あり AD 変換結果レジスタ(ADREGx)を読み出す前に AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADREGx レジスタをリードすると"0"にクリアされます。
12	ADRF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。 このフラグは ADREGx レジスタをリードすると"0"にクリアされます。
11-0	ADR[11:0]	R	12 ビットの通常 AD 変換結果値が格納されます。 AD 変換中に ADREGx レジスタをリードすると前回の変換結果がリードされます。

注)　ADR_MIR、ADOVRF_MIR、ADRF_MIR は ADR、ADOVRF、ADRF と同一の値が読み出せます。何れか一方をご使用ください。

注)　拡張チャネルの変換結果は、ADREG15 へ格納されます。

19.3.15 ADREGSP (最優先 AD 変換結果格納レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	ADSPR_MIR							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ADSPR_MIR				-	-	ADOVRSPF _MIR	ADSPRF _MIR
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	ADOVRSPF	ADSPRF	ADSPR			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADSPR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	ADSPR_MIR [11:0]	R	12 ビットの最優先 AD 変換結果値が格納されます。 AD 変換中に ADREGSP レジスタをリードすると前回の変換結果がリードされます。
19-18	−	R	リードすると"0"が読めます。
17	ADOVRSPF _MIR	R	オーバランフラグ 0: 発生なし 1: 発生あり 最優先 AD 変換結果格納レジスタ(ADREGSP)を読み出す前に最優先 AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADREGSP レジスタをリードすると"0"にクリアされます。
16	ADSPRF_MIR	R	最優先 AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり 最優先 AD 変換値が格納されると"1"にセットされます。 このフラグは ADREGSP レジスタをリードすると"0"にクリアされます。
15-14	−	R	リードすると"0"が読めます。
13	ADOVRSPF	R	オーバランフラグ 0: 発生なし 1: 発生あり 最優先 AD 変換結果格納レジスタ(ADREGSP)を読み出す前に最優先 AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADREGSP レジスタをリードすると"0"にクリアされます。
12	ADSPRF	R	最優先 AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり 最優先 AD 変換値が格納されると"1"にセットされます。 このフラグは ADREGSP レジスタをリードすると"0"にクリアされます。
11-0	ADSPR[11:0]	R	12 ビットの最優先 AD 変換結果値が格納されます。 AD 変換中に ADREGSP レジスタをリードすると前回の変換結果がリードされます。

注) ADSPR_MIR、ADOVRSPF_MIR、ADSPRF_MIR は ADSPR、ADOVRSPF、ADSPRF と同一の値が読み出せます。何れか一方をご使用ください。

19.3.16　ADILVTRGSEL (トリガ選択レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	HPTRGSEL				TRGSEL			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	TRGSELEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-12	HPTRGSEL[3:0]	R/W	最優先 AD 変換起動トリガの選択 0000 : $\overline{\text{TRG0}}$　0001 : $\overline{\text{TRG1}}$　0010 : $\overline{\text{TRG2}}$　0011 : $\overline{\text{TRG3}}$ 0100 : $\overline{\text{TRG4}}$　0101 : $\overline{\text{TRG5}}$　0110 : $\overline{\text{TRG6}}$　0111 : $\overline{\text{TRG7}}$ 1000 : $\overline{\text{TRG8}}$　1001 : $\overline{\text{TRG9}}$　1010 : $\overline{\text{TRG10}}$　1011 : $\overline{\text{TRG11}}$ 1100 : $\overline{\text{TRG12}}$　1101 : $\overline{\text{TRG13}}$　1011 : $\overline{\text{TRG14}}$　1111 : $\overline{\text{TRG15}}$
11-8	TRGSEL[3:0]	R/W	通常 AD 変換起動トリガの選択 0000 : $\overline{\text{TRG0}}$　0001 : $\overline{\text{TRG1}}$　0010 : $\overline{\text{TRG2}}$　0011 : $\overline{\text{TRG3}}$ 0100 : $\overline{\text{TRG4}}$　0101 : $\overline{\text{TRG5}}$　0110 : $\overline{\text{TRG6}}$　0111 : $\overline{\text{TRG7}}$ 1000 : $\overline{\text{TRG8}}$　1001 : $\overline{\text{TRG9}}$　1010 : $\overline{\text{TRG10}}$　1011 : $\overline{\text{TRG11}}$ 1100 : $\overline{\text{TRG12}}$　1101 : $\overline{\text{TRG13}}$　1011 : $\overline{\text{TRG14}}$　1111 : $\overline{\text{TRG15}}$
7-1	–	R	リードすると"0"が読めます。
0	TRGSELEN	R/W	選択したトリガの動作を制御します。 0: トリガを無効にする 1: トリガを有効にする

注)　起動トリガの詳細については、製品情報の ADC の章を参照してください。

19.3.17 ADILVEXCR (拡張チャネル設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	EXCR1	EXCR0	EXSEL			EXEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	−	R	リードすると"0"が読めます。
5	EXCR1	R/W	サンプリング期間の選択 0：EXCR0 の設定のサンプリング期間を選択 1：ADCLK<ADSH[3：0]>の設定を選択
4	EXCR0	R/W	サンプリング期間の選択 0：サンプリング期間：10clk 1：サンプリング期間：20clk
3-1	EXSEL[2:0]	R/W	拡張チャネルの選択。 000:ch15 001:ch16 010:ch17 011:ch18 100:ch19 101−111:Reserved
0	EXEN	R/W	拡張チャネル制御 0: 拡張チャネルを使用しない 1: 拡張チャネルを使用する

19.4　動作説明

19.4.1　アナログ変換起動前の注意

AD 変換をスタートさせる場合は、必ず ADMOD1<DACON>に"1"を書き込んだ後、内部回路状態が安定するまでの 3 μs 待ってから ADMOD0<ADS>に"1"を書き込んでください。 また本機能を使用しない場合は、ADMOD1<DACON>に"0"を書き込むことにより、アナログ回路の消費電流を抑える事ができます。

19.4.2　AD 変換モード

AD 変換には、通常 AD 変換と最優先 AD 変換の 2 種類があります。

19.4.2.1　通常 AD 変換

通常 AD 変換には次の 4 種類の動作モードが用意されています。動作モードの設定は ADMOD3<REPEAT>,<SCAN>の設定により選択することが出来ます。

- チャネル固定シングル変換モード
- チャネルスキャンシングル変換モード
- チャネル固定リピート変換モード
- チャネルスキャンリピート変換モード

注)　拡張チャネルの動作モードは、チャネル固定シングル変換モード、チャネル固定リピート変換モードとなります。

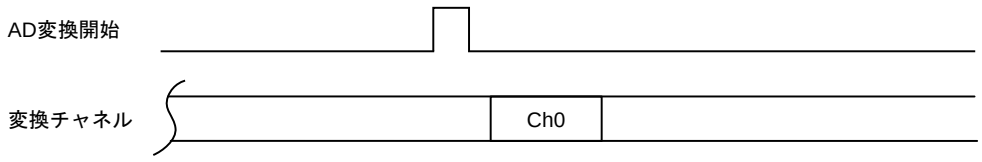
(1)　チャネル固定シングル変換モード

ADMOD3<REPEAT>,<SCAN> に"00"を設定すると、チャネル固定シングル変換モードになります。

このモードでは、ADMOD2<ADCH> ,ADILVEXCR<EXSEL>で選択した 1 チャネルの変換を 1 回だけ行います。

変換が終了した後、ADMOD5<EOCF>が"1"にセット、ADMOD5<ADBF>が"0"にクリアされ、INTAD の割り込み要求が発生します。<EOCF>は読み出す事により"0"にクリアされます。

以下はチャネル固定シングル変換モードで AIN0 を変換した動作例です。



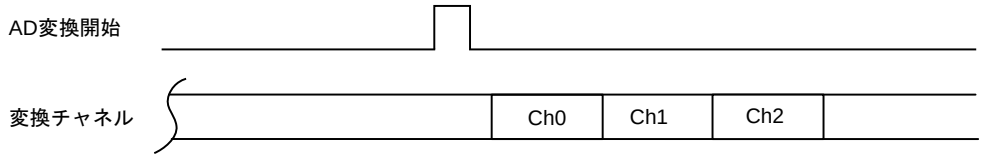
(2)　チャネルスキャンシングル変換モード

ADMOD3<REPEAT>,<SCAN> に"01"を設定すると、チャネルスキャンシングル変換モードになります。

このモードでは、ADMOD4<SCANSTA>で選択したスタートチャネルから、ADMOD4

<SCANAREA>で設定したスキャンチャネル範囲の変換を 1 回だけ行います。スキャン変換が終了した後、ADMOD5<EOCF>が"1"にセット、ADMOD5<ADBF>が"0"にクリアされ、INTAD の割り込み要求が発生します。<EOCF>は読み出す事で"0"にクリアされます。

以下は AIN0 から AIN2 までをチャネルスキャンシングル変換モードで変換した動作例です。

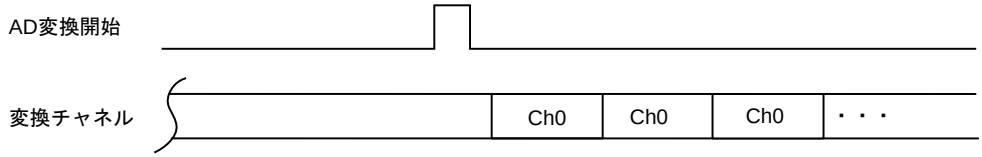


(3) チャネル固定リピート変換モード

ADMOD3<REPEAT>,<SCAN>に"10"を設定するとチャネル固定リピート変換モードになります。

このモードでは、ADMOD2<ADCH>,ADILVEXCR<EXSEL>で選択した 1 チャネルの変換を ADMOD3<ITM>で設定した回数分繰り返した後、割り込み要求が発生します（INTAD の割り込み要求発生タイミングの選択ができます）。<ITM>で設定した回数分変換が終了した後、ADMOD5<EOCF>が"1"にセットされますが、ADMOD5<ADBF>は"0"にならず"1"を保持します。<EOCF>は読み出す事により"0"にクリアされます。

以下は AIN0 をチャネル固定リピート変換モードで変換した動作例です。



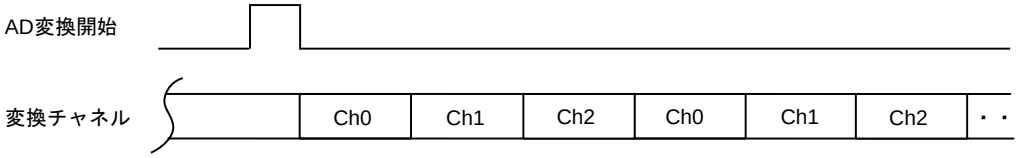
(4) チャネルスキャンリピート変換モード

ADMOD3<REPEAT>,<SCAN>に“11”を設定するとチャネルスキャンリピート変換モードになります。

このモードでは、ADMOD4<SCANSTA> で選択したスタートチャネルから、ADMOD4 <SCANAREA>で設定したスキャンチャネル範囲の変換を繰り返し行います。

1 回のスキャン変換が終了するごとに ADMOD5<EOCF>が"1"にセットされ、INTAD 割り込み要求が発生します。ADMOD5<ADBF>は"0"にならず"1" を保持します。<EOCF>は読み出す事により"0"にクリアされます。

以下は AIN0～AIN2 をチャネルスキャンリピート変換モードで変換した動作例です。



19.4.2.2 最優先 AD 変換

最優先 AD 変換は、通常 AD 変換に割り込んで AD 変換を行うことができます。最優先 AD 変換が通常 AD 変換時に割り込んだ場合は、最優先 AD 変換終了後に通常 AD 変換を中止したチャネルから再開します。

動作モードはチャネル固定のシングル変換のみです。ADMOD3<REPEAT>, <SCAN>の設定は無効となります。起動条件が成立すると、ADMOD2<HPADCH>,ADILVEXCR<EXSEL>で指定され

るチャネルの変換を一度だけ行います。変換が終了すると、最優先変換終了割り込み要求(INTADHP)が発生して、ADMOD5<HPEOCF>は"1" にセットされ、<HPADBF>は"0"に戻ります。<HPEOCF>フラグを読み出すと"0"にクリアされます。

また、最優先 AD 変換中の最優先 AD 変換の起動は先に起動していた最優先 AD 変換は無効となり、後から起動した最優先 AD 変換が有効になります。

19.4.3　AD 監視機能

チャネル固定リピートモード、スキャンリピートモードの設定時に使用する機能です。

ADCMPCR0<CMP0EN>、ADCMPCR1<CMP1EN>に"1"をセットすると AD 監視機能が有効になります。2 つの 監視機能を同時に有効にすることも可能です。

ADCMPCR0 を例に説明します（ADCMPCR1 も同様です）。

ADCMPCR0<AINS0[3:0]>で比較対象のアナログ入力、<ADBIG0>で大・小判定、<CMPCOND0>で判定カウントの条件、<CMPCNT0[3:0]>で判定カウント数を設定します。

AD 変換をスタートさせると、1 回の AD 変換が終了するごとに大・小比較判定を行い、判定結果が<ADBIG0>の設定にあてはまれば判定カウンタをプラスします。

判定カウントの条件には、連続方式と累計方式があります。

連続方式は、<ADBIG0>に設定した状態が連続して<CMPCNT0[3:0]>に設定したカウント回数に達すると AD 監視割り込み(INTADM0)が発生します。カウント回数に達した後、さらに判定結果が設定結果にあてはまった場合もカウンタをクリアしないで割り込みを発生します。<ADBIG0>に設定した状態と異なる場合のみカウンタ値をクリアします。累積方式は、<ADBIG0>に設定した状態が累積して<CMPCNT0[3:0]>に設定したカウント回数に達するとカウンタをクリアし、AD 監視割り込み(INTADM0)が発生します。<ADBIG0>に設定した状態と異なる場合でもカウンタ値を保持します。なお ADCMPCR0 レジスタで指定された変換結果格納レジスタの内容が比較対象レジスタの値とイコールの場合は、カウントをプラスせず、AD 監視機能割り込み(INTADM0)は発生しません。

この比較動作は対象変換結果格納レジスタへ結果が格納されるごとに行われ、カウントも含めた条件が成立すると割り込み(INTADM0)が発生します。また、AD 監視機能に割りあてている格納レジスタは通常ではソフトで読み出しは行われませんので、オーバランフラグ ADREG<ADOVRF>の該当するレジスタは常にセットされていることになり、変換結果格納フラグ ADREG<ADRF>もまたセットされている事になります。したがって、AD 監視機能を使用する場合は当該変換結果格納レジスタのフラグを使用しないでください。

1. AIN0 入力をチャネル固定リピート変換に設定し、AD 変換結果比較レジスタ値（0x0888）を比較判定
   - ADMOD3=0x0002: チャネル固定リピート変換

     AD 変換終了割り込み（INTAD）はディセーブル設定
   - ADCMPCR0 =0x0280: 比較対象チャネル:AIN0、 大小判定:比較レジスタより大、判定カウント条件:連続方式、AD 監視機能:許可、大小判定カウント数:3 回カウント
   - ADCMP0=0x0888: AD 変換結果比較レジスタ（比較値"0x0888"）

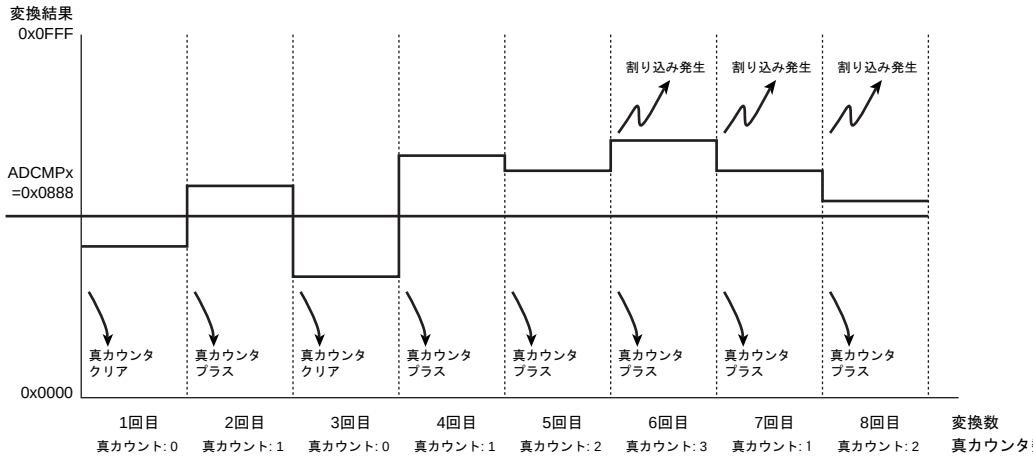


図 19-4 AD 監視機能（チャネル固定リピート、判定カウント連続方式）

2. AIN0 入力をチャネル固定リピート変換に設定し、AD 変換結果比較レジスタ値（0x0888）を比較判定
   - ADMOD3=0x0002: チャネル固定リピート変換

     AD 変換終了割り込み（INTAD）はディセーブル設定
   - ADCMPCR0 =0x02A0: 比較対象チャネル:AIN0、 大小判定:比較レジスタより大、判定カウント条件:累積方式、AD 監視機能:許可、大小判定カウント数:3 回カウント
   - ADCMP0=0x0888: AD 変換結果比較レジスタ（比較値 0x0888）

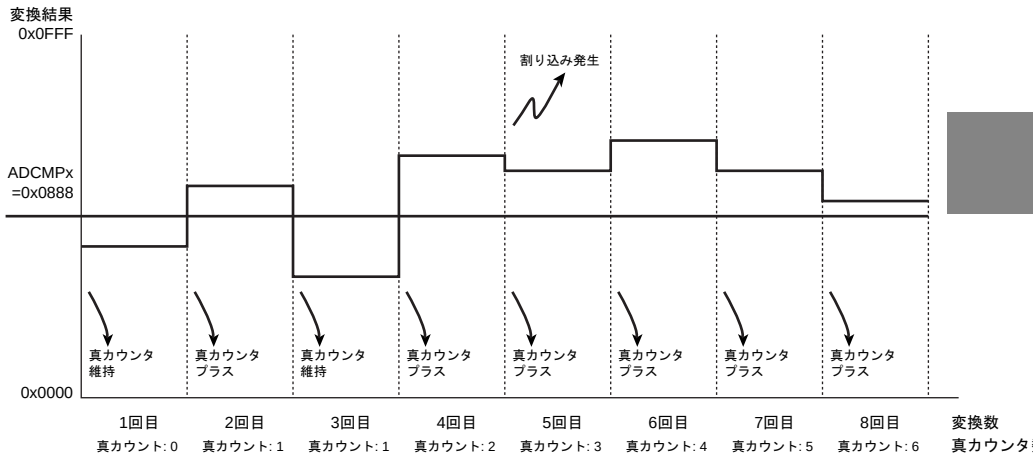


図 19-5 AD 監視機能（チャネル固定リピート、判定カウント累積方式）

19.4.4　入力チャネルの選択

リセット後は ADMOD3<REPEAT>,<SCAN> は"00"に ADMOD2<ADCH[3:0]> は "0000" に初期化されます。

変換するチャネルは、AD コンバータの動作モードにより以下のように選択されます。

1. 通常 AD 変換時
   - 入力チャネルを固定で使用する場合 (ADMOD3<SCAN> = "0")

     ADMOD2<ADCH>,ADILVEXCR<EXSEL>の設定により、アナログ入力 AIN0 ~ AIN19 端子の中から各 1 チャネルを選択します。
   - 入力チャネルをスキャンで使用する場合(ADMOD3<SCAN> = "1")

     ADMOD4<SCANSTA>でスタートさせたいチャネルを設定し、ADMOD4

     <SCANAREA>でスキャンさせたいチャネル数を設定することができます。

2. 最優先 AD 変換時

   ADMOD2<HPADCH>,ADILVEXCR<EXSEL>の設定により、アナログ入力 AIN0 ~ AIN19 端子の中から 1 チャネルを選択します。

   通常 AD 変換中に最優先 AD 変換の起動が掛かると、直ちに通常 AD 変換を中断して最優先 AD 変換の起動が実行されます。最優先 AD 終了後に通常 AD 変換を中断したチャネルから再開します。

19.4.5 AD 変換動作詳細

19.4.5.1 AD 変換の起動

通常 AD 変換は ADMOD0<ADS> に"1"をセットすることにより起動されます。また、最優先 AD 変換は ADMOD0<HPADS> に"1"をセットすることにより起動されます。これをソフトウエア起動と呼びます。

また、ハードウエア要因により起動することができます。

ハードウエア要因の選択は、ADMOD1<HPADHWS>, <ADHWS>および ADILVTRGSEL <HPTRGSEL>,<TRGSEL>で行います。ADMOD1<HPADHWS>, <ADHWS>に"0"を設定することにより、外部トリガで起動し、ADMOD1 <HPADHWS>,<ADHWS>に"1"を設定することにより、内部トリガで起動します。内部トリガは ADILVTRGSEL <HPTRGSEL> ,<TRGSEL>で選択します。ADILVTRGSEL <TRGSELEN>に"1"を設定すると選択した内部トリガが有効になります。

ハードウエア起動を許可するには、通常 AD 変換では ADMOD1<ADHWE>、最優先 AD 変換では ADMOD1<HPADHWE>に"1"をセットします。

ハードウエア起動が許可された場合でもソフトウエア起動は有効です。

注) 最優先 AD 変換のハードウエア要因に外部トリガを使用しているときは、通常 AD 変換ハードウエア起動としては外部トリガを設定できません。

19.4.5.2 AD 変換動作

通常 AD 変換が開始されると、AD 変換中を示す AD 変換 BUSY フラグ(ADMOD5<ADBF>)に"1"がセットされます。

また、最優先 AD 変換が開始されると、最優先 AD 変換中を示す最優先 AD 変換 BUSY フラグ(ADMOD5<HPADBF>)に"1" がセットされます。このとき、通常 AD 変換用の変換終了フラグ ADMOD5<EOCF>と<ADBF>は最優先 AD 変換の開始前の値を保持します。

注) 最優先 AD 変換中に通常 AD 変換を再起動させないでください。(最優先 AD 変換終了フラグがセットされません。また、以前の通常 AD 変換のフラグがクリアされません)。

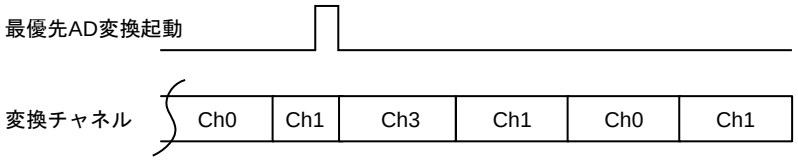
19.4.5.3　通常 AD 変換中の最優先変換要求

通常 AD 変換中に最優先 AD 変換が起動されると、通常 AD 変換を中断し、最優先 AD 変換の終了後に通常 AD 変換を再開します。

通常 AD 変換中に ADMOD0<HPADS>に"1"をセットすると、現在変換中の AD 変換は中断されて最優先 AD 変換を起動し、ADMOD2<HPADCH>で指定されるチャネルの AD 変換(チャネル固定のシングル変換)が行われます。この結果を変換結果レジスタ ADREGSP へ格納すると、中断した通常 AD 変換を再開します。

通常 AD 変換中にハードウエアによる最優先 AD 変換の起動が許可されている場合は、ハードウエア要因の起動条件が成立すると現在変換中の AD 変換は中断され、最優先 AD 変換が始まり<HPADCH>で指定されるチャネルの AD 変換(チャネル固定のシングル変換)が開始されます。この結果を変換結果レジスタ ADREGSP へ格納すると、中断したチャネルから通常 AD 変換を再開します。

例えば、チャネル AIN0~AIN1 までのチャネルリピート変換が起動されており、AIN1 の変換中に<HPADS>に"1"がセットされた場合は AIN1 の変換が中断され、<HPADCH>で指定されたチャネルの変換(下図の場合 AIN3)を行い、結果を ADREGSP へ格納後に AIN1 からチャネルリピート変換を再開します。



19.4.5.4　リピート変換モードの停止

リピート変換モード(チャネル固定リピートまたはチャネルスキャンリピート変換モード)の動作を停止させたい場合は、ADMOD3<REPEAT>に"0"を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADMOD5<ADBF>は"0"にクリアされます。

19.4.5.5　通常 AD 変換の再起動

通常 AD 変換中に ADMOD0<ADS>に"1"を設定すると通常 AD 変換が再起動されます。再起動された時点でそれまでの通常 AD 変換は直ちに停止されます。この時、通常 AD 変換終了フラグ ADMOD5<EOCF>、AD 変換結果格納フラグ ADREG00-15<ADOVRF>,<ADRF>は"0"にクリアされます。

通常 AD 変換中にハードウエア要因による通常 AD 変換の起動が許可されている場合は、要因からの起動条件が成立すると通常 AD 変換が再起動されます。再起動された時点でそれまでの通常 AD 変換は直ちに停止されます。この時、 <EOCF>,<ADOVRF>,<ADRF>は"0"にクリアされます。

19.4.5.6 変換終了

(1) 通常 AD 変換の終了

通常 AD 変換が終了すると、AD 変換終了割り込み要求(INTAD)が発生します。また、AD 変換結果がレジスタに格納され、通常 AD 変換終了フラグ ADMOD5<EOCF>および通常 AD 変換 BUSY フラグ ADMOD5<ADBF>が変化します。変換モードにより、割り込み要求発生タイミング、変換結果レジスタ、<EOCF>,<ADBF>の変化タイミングは異なります。

チャネル固定リピート変換モード以外のモードでは、変換結果はチャネルに対応した変換結果レジスタ ADREG00-15 に格納されます。

チャネル固定リピート変換モードでは、ADMOD3<ITM>に設定した割り込み発生条件に従い ADREG00 から最大 ADREG07 へと順次格納されます。

モードごとの割り込み要求発生、フラグ変化、変換結果格納レジスタは以下のとおりです。

- チャネル固定シングル変換モード

  変換が終了した後、<EOCF>が"1"にセット、<ADBF>が"0"にクリアされ、変換終了割り込み要求が発生します。

  変換結果はチャネルに対応する変換結果レジスタに格納されます。

- チャネルスキャンシングル変換モード

  スキャン変換終了後、<EOCF>が"1"にセット、<ADBF>が"0"にクリアされ、変換終了割り込み要求が発生します。

  変換結果はチャネルに対応する変換結果レジスタに格納されます。

- チャネル固定リピート変換モード

  リピートモードのため<ADBF>は"0"とはならず"1"を保持します。割り込み要求発生タイミングは<ITM>の設定により選択できます。<EOCF>がセットされるタイミングも割り込みのタイミングに連動します。ADREG04-ADREG07 は、チャネル固定リピート変換モードでのみ使用可能です。

  a. 1 回変換

     <ITM>を"000"に設定すると、 <ADCH>に設定した 1 チャネルの AD 変換が 1 回終了するごとに割り込み要求が発生します。この場合、変換結果は常に ADREG00 に格納されます。格納時点で<EOCF>は"1" になります。

  b. 8 回変換

     <ITM>を"111"に設定すると、<ADCH>に設定した 1 チャネルの AD 変換が 8 回終了するごとに割り込み要求が発生します。この場合、変換結果は ADREG00 から ADREG07 に順次格納されます。ADREG07 格納後<EOCF>は"1"にセットされ、再び ADREG00 から格納を始めます。

- チャネルスキャンリピート変換モード

  1 回のスキャン変換が終了するごとに<EOCF>が"1"にセットされ、INTAD 割り込み要求が発生します。 <ADBF>は"0"にならず"1"を保持します。

  ADMOD4<SCANAREA>を"0011" (4 チャネルスキャン)に設定すると ADMOD4 <SCANSTA>で設定したスタートチャネルから 4 チャネルスキャンし最終チャネルの変換終了するごとに<EOCF> は"1"にセットされ、割り込み要求が発生し、再びスタートチャネルから 4 チャネルスキャンします。リピートモードのため<ADBF>は"0"にならず"1"を保持します。

  変換結果はチャネルに対応する変換結果レジスタに格納されます。

(2)　最優先 AD 変換の終了

最優先 AD 変換が終了すると、最優先 AD 変換終了フラグ ADMOD5<HPEOCF> が"1"にセット、最優先 AD 変換 BUSY フラグ ADMOD5<HPADBF>が"0"にクリアされ、最優先変換終了割り込み要求(INTADHP)が発生し、されます。

変換結果は最優先 AD 変換結果格納レジスタ ADREGSP に格納されます。

(3)　データポーリング

割り込みを使用しないで、ポーリングで変換終了を確認することもできます。

通常変換が終了すると ADMOD5<EOCF>に"1"がセットされますのでこのビットをポーリングすることで変換終了を確認し変換結果を読み出してください。

変換結果レジスタは、ワードアクセスで読んでください。変換結果格納レジスタ ADREG00 ~ ADREG15 の AD 変換結果格納フラグ<ADRF>=1、オーバランフラグ<ADOVRF>=0 であれば、正しい変換結果が得られたことになります。

最優先 AD 変換についても同様に使用可能です。

19.4.5.7 割り込み発生タイミングと変換結果格納レジスタ

表 19-4 に AD 変換モード、割り込み発生タイミング、フラグの関係を、表 19-5、表 19-6、表 19-7 にアナログ入力チャネルと変換結果レジスタの対応をまとめます。

表 19-4 AD 変換モードと割り込み発生タイミング、フラグ動作の関係

変換モード		スキャン/リピートモード設定 (ADMOD3)			割り込み発生タイミング	変換ステータスフラグ (ADMOD5)		
		<REPEAT>	<SCAN>	<ITM[2:0]>		<EOCF>/<HPEOCF> セットタイミング (注 1)	<ADBF> (割り込み発生後)	<HPADBF> (割り込み発生後)
通常変換	チャネル固定シングル変換	0	0	−	変換終了後	変換終了後	0	−
	チャネル固定リピート変換	1	0	000	1 回変換ごと	変換 1 回終了後	1	−
				001	2 回変換ごと	変換 2 回終了後	1	−
				010	3 回変換ごと	変換 3 回終了後	1	−
				011	4 回変換ごと	変換 4 回終了後	1	−
				100	5 回変換ごと	変換 5 回終了後	1	−
				101	6 回変換ごと	変換 6 回終了後	1	−
				110	7 回変換ごと	変換 7 回終了後	1	−
				111	8 回変換ごと	変換 8 回終了後	1	−
	チャネルスキャンシングル変換	0	1	−	スキャン変換終了後	スキャン変換終了後	0	−
	チャネルスキャンリピート変換	1	1	−	1 回のスキャン変換終了後	1 回のスキャン変換終了後	1	−
最優先変換		−	−	−	変換終了後	変換終了後	−	0

注 1) ADMOD5<EOCF><HPEOCF>はリードすると“0”にクリアされます。

注 2) リピートモードの時、ADMOD5<ADBF>は割り込みが発生しても"0"にクリアされません。リピート動作を停止するために、ADMOD3<REPEAT>に"0"を書き込み、AD 変換が終了した時点で<ADBF>は"0"にクリアされます。

表 19-5 アナログ入力チャネルと AD 変換結果レジスタの対応(チャネル固定シングルモード)

チャネル固定シングルモード	
チャネル	格納レジスタ
AIN0	ADREG00
AIN1	ADREG01
AIN2	ADREG02
AIN3	ADREG03
AIN4	ADREG04
AIN5	ADREG05
AIN6	ADREG06
AIN7	ADREG07
AIN8	ADREG08
AIN9	ADREG09
AIN10	ADREG10
AIN11	ADREG11
AIN12	ADREG12
AIN13	ADREG13
AIN14	ADREG14
AIN15- AIN19（注 1）	ADREG15

注 1)　拡張チャネル AIN15 -AIN19 から選択されたチャネルとなります。

表 19-6 アナログ入力チャネルと AD 変換結果レジスタの対応(チャネル固定リピートモード)

チャネル固定リピートモード		
ADMOD3<ITM[2:0]>		格納レジスタ
000	1 回毎、割り込み発生	ADREG00
001	2 回毎、割り込み発生	ADREG00 ~ ADREG01
010	3 回毎、割り込み発生	ADREG00 ~ ADREG02
011	4 回毎、割り込み発生	ADREG00 ~ ADREG03
100	5 回毎、割り込み発生	ADREG00 ~ ADREG04
101	6 回毎、割り込み発生	ADREG00 ~ ADREG05
110	7 回毎、割り込み発生	ADREG00 ~ ADREG06
111	8 回毎、割り込み発生	ADREG00 ~ ADREG07

表 19-7 アナログ入力チャネルと AD 変換結果レジスタの対応(チャネルスキャンシングルモード/リピートモード)

チャネルスキャンシングルモード/リピートモード				
<SCANSTA> (スタートチャネル)		<SCANAREA> (スキャンチャネル幅)		格納レジスタ
0000	AIN0	0000 ~ 1110	1ch ~ 15ch	ADREG00 ~ ADREG14
0001	AIN1	0000 ~ 1101	1ch ~ 14ch	ADREG01 ~ ADREG14
0010	AIN2	0000 ~ 1100	1ch ~ 13ch	ADREG02 ~ ADREG14
0011	AIN3	0000 ~ 1011	1ch ~ 12ch	ADREG03 ~ ADREG14
0100	AIN4	0000 ~ 1010	1ch ~ 11ch	ADREG04 ~ ADREG14
0101	AIN5	0000 ~ 1001	1ch ~ 10ch	ADREG05 ~ ADREG14
0110	AIN6	0000 ~ 1000	1ch ~ 9ch	ADREG06 ~ ADREG14
0111	AIN7	0000 ~ 0111	1ch ~ 8ch	ADREG07 ~ ADREG14
1000	AIN8	0000 ~ 0110	1ch ~ 7ch	ADREG08 ~ ADREG14
1001	AIN9	0000 ~ 0101	1ch ~ 6ch	ADREG09 ~ ADREG14
1010	AIN10	0000 ~ 0100	1ch ~ 5ch	ADREG10 ~ ADREG14
1011	AIN11	0000 ~ 0011	1ch ~ 4ch	ADREG11 ~ ADREG14
1100	AIN12	0000 ~ 0010	1ch ~ 3ch	ADREG12 ~ ADREG14
1101	AIN13	0000 ~ 0001	1ch ~ 2ch	ADREG13 ~ ADREG14
1110	AIN14	0000	1ch	ADREG14

AIN 端子に対する設計時の注意事項

<AIN 端子に接続する外部信号源の出力インピーダンスに関して>

AIN 端子に接続する信号源の出力インピーダンスは、下記の式の R_{EXAIN} 以下にする必要があります。

-- 出力インピーダンスの許容値算出式 --

AIN 端子に接続する信号源の出力インピーダンスの最大値 : $R_{EXAIN} = Tscyc \div (ADCLK \times C_{ADC} \times \ln(2^{14})) - R_{AIN}$

MCU 情報	Symbol	Min	Typ.	Max	単位
ADC クロック周波数	ADCLK	4	-	40	MHz
総 AIN 入力 MCU 内容量	C_{ADC}	-	-	12.2	pF
AIN MCU 内抵抗	R_{AIN}	-	-	1	kΩ
サンプルホールド期間のサイクル数	Tscyc	10	-	320	Cycle

R_{EXAIN} 最大値一覧表(ADCLK = 40MHz)

Tcsyc	R_{EXAIN}	単位
10	1.1	kΩ
20	3.2	kΩ
30	5.3	kΩ
40	7.5	kΩ
80	15.9	kΩ
160	32.8	kΩ
320	66.6	kΩ

< 安定化容量の付加に関して >

高速 AD 変換が必要でかつ、サンプルホールド期間が外部インピーダンスの許容算出式の条件を満たせない場合、AIN 端子に安定化容量を付加してください。安定化容量に関しては、外部回路に依存するため基板により異なりますが、0.1μF から 1μF 程度の容量を付加し、基板に適した安定化容量となるように調整してください。

この時、付加する容量の位置は AIN 端子のすぐ近くに接続してください。

< サンプルホールド 期間の調整に関して>

一般にサンプルホールド期間をあるていど長く設定することにより、AD コンバータ内部のコンパレータ入力電圧を AIN 端子の電位と等しくすることができるため、変換誤差を小さくすることが出来ます。

ただし基板ごとに最適なサンプルホールド時間が異なりますので、基板での確認をお願い致します。

AD コンバータ使用時の注意

電源電圧の変動や周囲のノイズの影響によって AD 変換結果がばらつくことがあります。また、AD 変換中に AD 入力が兼用となっている端子への入力および出力の変化、出力ポートに設定している他の端子の出力電流が変動すると AD 変換精度が低下することがあります。プログラムで複数回の変換結果の平均値をとるなどの対策をしてください。

第 20 章　リアルタイムクロック(RTC)

20.1　RTC の機能概略

1. 時計機能(時間, 分, 秒)
2. カレンダ機能(月日, 週, うるう年)
3. 24 時間計と 12 時間計(AM/PM)のいずれかを選択可能
4. +/−30 秒補正機能(ソフトウエアによる補正)
5. アラーム機能($\overline{\text{ALARM}}$ 端子を持つ製品のみ)
6. アラーム割り込み
7. クロック補正機能
8. 1Hz クロック出力機能

20.2　ブロック図

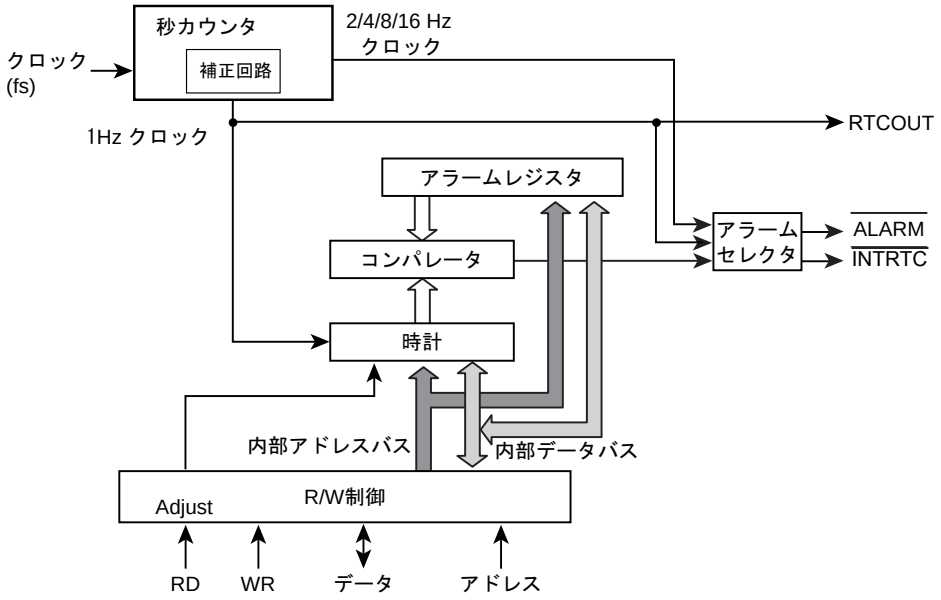


図 20-1 RTC ブロック図

注 1)　西暦年桁について

本製品は、年桁を下 2 桁しか持っていません。そのため 99 年の翌年は 00 年として動作します。使用するシステムで、西暦で年桁を取り扱う場合にはシステム側で上 2 桁を管理してください。

注 2)　うるう年について

うるう年は、"4"で割り切れる年ですが、例外があり"100"で割り切れる年はうるう年ではありません。ただし、"400"で割り切れる年はうるう年です。しかし、本製品は上記例外に対応していません。"4"で割り切れる年のみをうるう年としていますのでこの点が問題であればシステム側であらかじめ対策してください。

20.3　レジスタ説明

20.3.1　レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

RTC には PAGE0(時計機能)と PAGE1(アラーム機能)の 2 つの機能があり、一部のレジスタを共用しています。PAGE の選択は、RTCPAGER<PAGE>で行います。

レジスタ名		Address(Base+)
秒桁レジスタ(PAGE0 のみ)	RTCSECR	0x0000
分桁レジスタ	RTCMINR	0x0001
時間桁レジスタ	RTCHOURR	0x0002
− (注)	−	0x0003
曜日桁レジスタ	RTCDAYR	0x0004
日桁レジスタ	RTCDATER	0x0005
月桁レジスタ(PAGE0)	RTCMONTHR	0x0006
24 時間時計、12 時間時計の選択レジスタ(PAGE1)		
年桁レジスタ(PAGE0)	RTCYEARR	0x0007
うるう年レジスタ(PAGE1)		
PAGE レジスタ	RTCPAGER	0x0008
− (注)	−	0x0009
− (注)	−	0x000A
− (注)	−	0x000B
リセットレジスタ	RTCRESTR	0x000C
− (注)	−	0x000D
プロテクトレジスタ	RTCPROTECT	0x000E
補正機能制御レジスタ	RTCADJCTL	0x000F
補正値レジスタ	RTCADJDAT	0x0010, 0x0011

注)　リードすると"0"が読めます。また、書き込みは無視されます。

20.3.2　コントロールレジスタ

リセット動作により下記レジスタが初期化されます。

- RTCPAGER<PAGE>, <ADJUST>, <INTENA>
- RTCRESTR
- RTCPROTECT
- RTCADJCTL
- RTCADJDAT

これ以外の時計機能に関するレジスタはリセット動作が行われても初期化されません。

RTC を使用する際には各レジスタに時刻/月日曜日年うるう年を設定後、動作を開始します。

時計データの設定, 秒補正, 時計リセットを行う場合注意が必要です。後述の「20.4.3 低消費電力モードへ遷移する場合」を参照してください。

表 20-1 PAGE0 (時計機能)レジスタ

Symbol	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容
RTCSECR		–	40 秒	20 秒	10 秒	8 秒	4 秒	2 秒	1 秒	秒桁
RTCMINR		–	40 分	20 分	10 分	8 分	4 分	2 分	1 分	分桁
RTCHOURR		–	–	20 時/ PM/AM	10 時	8 時	4 時	2 時	1 時	時間桁
RTCDAYR		–	–	–	–	–	曜日設定			曜日桁
RTCDATER		–	–	20 日	10 日	8 日	4 日	2 日	1 日	日桁
RTCMONTHR		–	–	–	10 月	8 月	4 月	2 月	1 月	月桁
RTCYEARR		80 年	40 年	20 年	10 年	8 年	4 年	2 年	1 年	年桁(西暦下 2 桁)
RTCPAGER		割り込み許可	–	–	秒補正設定	時計許可	アラーム許可	–	PAGE 設定	PAGE レジスタ
RTCRESTR		1 Hz 許可	16 Hz 許可	時計リセット	アラームリセット	–	2 Hz 許可	4 Hz 許可	8 Hz 許可	リセットレジスタ
RTCPROTECT		プロテクトコード設定								補正機能レジスタ書き込み制御
RTCADJCTL		–	–	–	–	補正基準時間設定			補正許可	補正機能制御
RTCADJDAT		補正値								補正値

注) PAGE0 の RTCSECR, RTCMINR, RTCHOURR, RTCDAYR, RTCMONTHR, RTCYEARR はリードすると現在の状態がリードされます。

表 20-2 PAGE1 (アラーム機能)レジスタ

Symbol	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容
RTCSECR		–	–	–	–	–	–	–	–	–
RTCMINR		–	40 分	20 分	10 分	8 分	4 分	2 分	1 分	アラーム分析
RTCHOURR		–	–	20 時/ PM/AM	10 時	8 時	4 時	2 時	1 時	アラーム時間桁
RTCDAYR		–	–	–	–	–	曜日設定			アラーム曜日桁
RTCDATER		–	–	20 日	10 日	8 日	4 日	2 日	1 日	アラーム日桁
RTCMONTHR		–	–	–	–	–	–	–	24/12	24 時間クロックモード
RTCYEARR		–	–	–	–	–	–	うるう年設定		うるう年モード
RTCPAGER		割り込み許可	–	–	秒補正設定	時計許可	アラーム許可	–	PAGE 設定	PAGE レジスタ
RTCRESTR		1 Hz 許可	16 Hz 許可	時計リセット	アラームリセット	–	2 Hz 許可	4 Hz 許可	8 Hz 許可	リセットレジスタ
RTCPROTECT		プロテクトコード設定								補正機能レジスタ書き込み制御
RTCADJCTL		–	–	–	–	補正基準時間設定			補正許可	補正機能制御
RTCADJDAT		補正値								補正値

注 1) PAGE1 の RTCMINR, RTCHOURR, RTCDAYR, RTCMONTHR, RTCYEARR はリードすると現在の状態がリードされます。

注 2) PAGE0 の RTCSECR, RTCMINR, RTCHOURR, RTCDAYR, RTCDATER, RTCMONTHR, RTCYEARR および PAGE1 の RTCYEARR(うるう年)レジスタのリード動作は 2 回行い、比較処理を行ってください。

20.3.3　レジスタ詳細

20.3.3.1　RTCSECR(秒桁レジスタ(PAGE0 のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	SE						
リセット後	0	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7	−	R	リードすると"0"が読めます。
6-0	SE	R/W	秒桁設定 000_0000 : 00 秒　001_0000 : 10 秒　010_0000 : 20 秒 000_0001 : 01 秒　001_0001 : 11 秒　・ 000_0010 : 02 秒　001_0010 : 12 秒　011_0000 : 30 秒 000_0011 : 03 秒　001_0011 : 13 秒　・ 000_0100 : 04 秒　001_0100 : 14 秒　100_0000 : 40 秒 000_0101 : 05 秒　001_0101 : 15 秒　・ 000_0110 : 06 秒　001_0110 : 16 秒　101_0000 : 50 秒 000_0111 : 07 秒　001_0111 : 17 秒　・ 000_1000 : 08 秒　001_1000 : 18 秒　・ 000_1001 : 09 秒　001_1001 : 19 秒　101_1001 : 59 秒

注)　上記以外の設定はしないでください。

20.3.3.2　RTCMINR(分桁レジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	-	MI						
リセット後	0	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7	−	R	リードすると"0"が読めます。
6-0	MI	R/W	分桁設定 000_0000 : 00 分　001_0000 : 10 分　010_0000 : 20 分 000_0001 : 01 分　001_0001 : 11 分　・ 000_0010 : 02 分　001_0010 : 12 分　011_0000 : 30 分 000_0011 : 03 分　001_0011 : 13 分　・ 000_0100 : 04 分　001_0100 : 14 分　100_0000 : 40 分 000_0101 : 05 分　001_0101 : 15 分　・ 000_0110 : 06 分　001_0110 : 16 分　101_0000 : 50 分 000_0111 : 07 分　001_0111 : 17 分　・ 000_1000 : 08 分　001_1000 : 18 分　・ 000_1001 : 09 分　001_1001 : 19 分　101_1001 : 59 分 111_1111 : アラーム機能で分桁を比較しない

注)　上記以外の設定はしないでください。

20.3.3.3 RTCHOURR(時間桁レジスタ(PAGE0/1))

(1) 24 時間クロックモード(RTCMONTHR<MO0> = 1)の場合

	7	6	5	4	3	2	1	0
bit symbol	-	-	HO					
リセット後	0	0	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-6	−	R	リードすると"0"が読めます。
5-0	HO	R/W	時間桁設定 00_0000 : 00 時　01_0000 : 10 時　10_0000 : 20 時 00_0001 : 01 時　01_0001 : 11 時　10_0001 : 21 時 00_0010 : 02 時　01_0010 : 12 時　10_0010 : 22 時 00_0011 : 03 時　01_0011 : 13 時　10_0011 : 23 時 00_0100 : 04 時　01_0100 : 14 時 00_0101 : 05 時　01_0101 : 15 時 00_0110 : 06 時　01_0110 : 16 時 00_0111 : 07 時　01_0111 : 17 時 00_1000 : 08 時　01_1000 : 18 時 00_1001 : 09 時　01_1001 : 19 時 11_1111 : アラーム機能(PAGE1)で時間桁を比較しない

注) 上記以外の設定はしないでください。

(2) 12 時間クロックモード(RTCMONTHR<MO0> = 0)の場合

	7	6	5	4	3	2	1	0
bit symbol	-	-	HO					
リセット後	0	0	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-6	−	R	リードすると"0"が読めます。
5-0	HO	R/W	時間桁設定 (AM)　(PM) 00_0000 : 00 時　10_0000 : 00 時 00_0001 : 01 時　10_0001 : 01 時 00_0010 : 02 時　10_0010 : 02 時 00_0011 : 03 時　10_0011 : 03 時 00_0100 : 04 時　10_0100 : 04 時 00_0101 : 05 時　10_0101 : 05 時 00_0110 : 06 時　10_0110 : 06 時 00_0111 : 07 時　10_0111 : 07 時 00_1000 : 08 時　10_1000 : 08 時 00_1001 : 09 時　10_1001 : 09 時 01_0000 : 10 時　11_0000 : 10 時 01_0001 : 11 時　11_0001 : 11 時 111_1111 : アラーム機能(PAGE1)で時間桁を比較しない

注) 上記以外の設定はしないでください。

20.3.3.4　RTCDAYR(曜日桁レジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	WE		
リセット後	0	0	0	0	0	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-3	−	R	リードすると"0"が読めます。
2-0	WE	R/W	曜日桁設定 000 : 日曜日 001 : 月曜日 010 : 火曜日 011 : 水曜日 100 : 木曜日 101 : 金曜日 110 : 土曜日 111 : アラーム機能で曜日桁を比較しない

注)　上記以外の設定はしないでください。

20.3.3.5　RTCDATER(日桁レジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	-	-	DA					
リセット後	0	0	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-6	−	R	リードすると"0"が読めます。
5-0	DA	R/W	日桁設定 01_0000 : 10 日　10_0000 : 20 日　11_0000 : 30 日 00_0001 : 01 日　01_0001 : 11 日　10_0001 : 21 日　11_0001 : 31 日 00_0010 : 02 日　01_0010 : 12 日　10_0010 : 22 日 00_0011 : 03 日　01_0011 : 13 日　10_0011 : 23 日 00_0100 : 04 日　01_0100 : 14 日　10_0100 : 24 日 00_0101 : 05 日　01_0101 : 15 日　10_0101 : 25 日 00_0110 : 06 日　01_0110 : 16 日　10_0110 : 26 日 00_0111 : 07 日　01_0111 : 17 日　10_0111 : 27 日 00_1000 : 08 日　01_1000 : 18 日　10_1000 : 28 日 00_1001 : 09 日　01_1001 : 19 日　10_1001 : 29 日 11_1111 : アラーム機能で日桁を比較しない

注 1)　上記以外の設定はしないでください。
注 2)　2 月 30 日など、存在しない日は設定しないでください。

20.3.3.6 RTCMONTHR(月桁レジスタ(PAGE0 のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	MO				
リセット後	0	0	0	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-5	–	R	リードすると"0"が読めます。
4-0	MO	R/W	月桁設定 0_0001 : 1 月　0_0111 : 7 月 0_0010 : 2 月　0_1000 : 8 月 0_0011 : 3 月　0_1001 : 9 月 0_0100 : 4 月　1_0000 : 10 月 0_0101 : 5 月　1_0001 : 11 月 0_0110 : 6 月　1_0010 : 12 月

注)　上記以外の設定はしないでください。

20.3.3.7 RTCMONTHR(24 時間時計, 12 時間時計の選択レジスタ(PAGE1 のみ)

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	MO0
リセット後	0	0	0	0	0	0	0	不定

Bit	Bit Symbol	Type	機能
7-1	–	R	リードすると"0"が読めます。
0	MO0	R/W	0 : 12 時間 1 : 24 時間

注)　RTC 動作時(RTCPAGER<ENATMR> = 1)には、RTCMONTHR<MO0>を操作しないでください。

20.3.3.8　RTCYEARR(年桁レジスタ(PAGE0 のみ))

	7	6	5	4	3	2	1	0
bit symbol	YE							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-0	YE	R/W	年桁設定 0000_0000 : 00 年　0001_0000 : 10 年　0110_0000 : 60 年 0000_0001 : 01 年　・　・ 0000_0010 : 02 年　0010_0000 : 20 年　0111_0000 : 70 年 0000_0011 : 03 年　・　・ 0000_0100 : 04 年　0011_0000 : 30 年　1000_0000 : 80 年 0000_0101 : 05 年　・　・ 0000_0110 : 06 年　0100_0000 : 40 年　1001_0000 : 90 年 0000_0111 : 07 年　・　・ 0000_1000 : 08 年　01001_0000 : 50 年　・ 0000_1001 : 09 年　・　1001_1001 : 99 年

注)　上記以外の設定はしないでください。

20.3.3.9　RTCYEARR(うるう年レジスタ(PAGE1 のみ))

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	LEAP	
リセット後	0	0	0	0	0	0	不定	不定

Bit	Bit Symbol	Type	機能
7-2	−	R	リードすると"0"が読めます。
1-0	LEAP	R/W	00 : 現在の年(今年)がうるう年 01 : 現在がうるう年から 1 年目 10 : 現在がうるう年から 2 年目 11 : 現在がうるう年から 3 年目

20.3.3.10 RTCPAGER(PAGE レジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	INTENA	-	-	ADJUST	ENATMR	ENAALM	-	PAGE
リセット後	0	0	0	0	不定	不定	0	0

Bit	Bit Symbol	Type	機能
7	INTENA	R/W	INTRTC 0: 禁止 1: 許可
6-5	−	R	リードすると"0"が読めます。
4	ADJUST	R/W	[ライト] 0: Don't care 1: ADJUST 要求セット 秒を補正します。要求は秒カウンタのカウントアップ時にサンプリングされ、秒が 0~29 秒の場合秒桁のみ "0" になります。また、30~59 秒のときは分を桁上げして秒を"0"にします。 [リード] 0: ADJUST 要求なし 1: ADJUST 要求あり "1"の場合 ADJUST 実行中を示し、"0"で処理が終了したことを示します。
3	ENATMR	R/W	時計 0: 禁止 1: 許可
2	ENAALM	R/W	ALARM 0: 禁止 1: 許可
1	−	R	リードすると"0"が読めます。
0	PAGE	R/W	PAGE 設定 0:Page0 が選択されます。 1:Page1 が選択されます。

注 1) このレジスタはリードモディファイライトできません。

注 2) <ENATMR>割り込み許可ビットと、<INTENA>の割り込み許可ビットは下記の設定順番を守り、同時に設定しないようにしてください。(時計許可と割り込み許可の設定間に時間差を設ける。)
また、<ENATMR><ENAALM>の設定を変更する際には、<INTENA>を禁止してから行ってください。

(例)現時刻、アラーム設定

		7	6	5	4	3	2	1	0	
RTCPAGER	←	0	0	0	0	1	1	0	0	時計、アラーム許可
RTCPAGER	←	1	0	0	0	1	1	0	0	割り込み許可

20.3.3.11　RTCRESTR(リセットレジスタ(PAGE0/1))

	7	6	5	4	3	2	1	0
bit symbol	DIS1HZ	DIS16HZ	RSTTMR	RSTALM	-	DIS2HZ	DIS4HZ	DIS8HZ
リセット後	1	1	0	0	0	1	1	1

Bit	Bit Symbol	Type	機能
7	DIS1HZ	R/W	1 Hz 割り込み 0: 許可 1: 禁止
6	DIS16HZ	R/W	16 Hz 割り込み 0: 許可 1: 禁止
5	RSTTMR	R/W	[ライト] 0: Don't care 1: 秒カウンタリセット 秒カウンタをリセットします。要求は低速クロックでサンプリングされます。 [リード] 0: リセット要求なし 1: リセット要求あり "1"の場合リセット実行中を示し、"0"で処理が終了したことを示します。
4	RSTALM	R/W	0:Don't care 1: アラームリセット アラームレジスタ(分, 時, 日, 週桁レジスタ)を初期化します。 初期化後は、00 分, 00 時, 01 日, 日曜日になります。
3	−	R	リードすると"0"が読めます。
2	DIS2HZ	R/W	2 Hz 割り込み 0: 許可 1: 禁止
1	DIS4HZ	R/W	4 Hz 割り込み 0: 許可 1: 禁止
0	DIS8HZ	R/W	8 Hz 割り込み 0: 許可 1: 禁止

注)　このレジスタはリードモディファイライトできません。

アラーム、1Hz 割り込み、2Hz 割り込み、4Hz 割り込み、8Hz 割り込み、16Hz 割り込み、で使用する場合の<DIS1HZ>,<DIS2HZ>,<DIS4HZ>,<DIS8HZ>,<DIS16HZ>の設定を以下に示します。

表 20-3 割り込みソース信号の選択

<DIS1HZ>	<DIS2HZ>	<DIS4HZ>	<DIS8HZ>	<DIS16HZ>	RTCPAGER <ENAALM>	割り込みソース信号
1	1	1	1	1	1	アラーム
0	1	1	1	1	0	1 Hz
1	0	1	1	1	0	2 Hz
1	1	0	1	1	0	4Hz
1	1	1	0	1	0	8Hz
1	1	1	1	0	0	16 Hz
その他						割り込みは発生しません。

20.3.3.12 RTCPROTECT(プロテクトレジスタ)

	7	6	5	4	3	2	1	0
bit symbol	RTCPROTECT							
リセット後	1	1	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
7-0	RTCPROTECT	R/W	補正機能レジスタ書き込み制御 0xC1 : 許可 0xC1 以外 : 禁止 初期状態は"0xC1"で書き込み許可となっています。"0xC1"以外の値を設定することで RTCADJCTR および RTCAJDAT レジスタへの書き込みができなくなります。

20.3.3.13 RTCADJCTL(補正機能制御レジスタ)

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	AJSEL			AJEN
リセット後	0	0	0	0	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
7-4	–	R	リードすると"0"が読めます。
3-1	AJSEL	R/W	補正基準時間設定 000: 1 秒 001: 10 秒 010: 20 秒 011: 30 秒 100: 1 分 101 - 111: Reserved 補正を行う際の基準時間を設定します。
0	AJEN	R/W	補正機能制御 0 : 補正機能無効 1 : 補正機能有効

20.3.3.14　RTCADJDAT(補正値レジスタ)

	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	ADJDAT
リセット後	0	0	0	0	0	0	0	不定
	7	6	5	4	3	2	1	0
bit symbol	ADJDAT							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
15-9	–	R	リードすると"0"が読めます。
8-0	ADJDAT	R/W	補正値 0_0000_0000 : 補正なし 0_0000_0001 : 32768 + 1 0_0000_0010 : 32768 + 2 ・ 0_1111_1110 : 32768 + 254 0_1111_1111 : 32768 + 255 1_0000_0000 : 32768 - 256 1_0000_0001 : 32768 - 255 ・ 1_1111_1110 : 32768 - 2 1_1111_1111 : 32768 - 1 1 秒に対する補正値を設定します。ビット 8 が符号を示しており、"0"がプラス、"1"がマイナスを表します。ビット 7 ~ 0 で補正値を指定します。

20.4 時計データのリード/ライト

RTC 内部には 32.768 kHz の信号から 1 Hz の信号を発生する秒カウンタが内蔵されており、このカウンタの動作を考慮して使用する必要があります。

20.4.1 時計データをリードする場合

1. 1 Hz 割り込みを利用する

   秒カウンタのカウントアップに同期して 1 Hz の割り込みが発生しますので、1 Hz 割り込みを待って、データをリードすれば、正常にデータリードできます。

2. 2 度読みを利用する

   時計データのリード動作の途中で内部カウンタの桁上げが起こると誤ったデータをリードする場合があります。従って、データを正しく読み込むために、下記の方法で 2 度以上リードしてください。

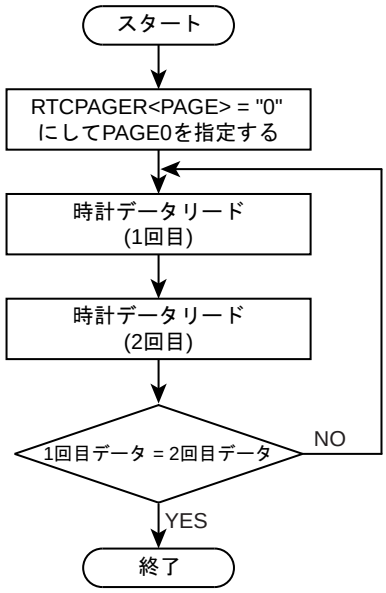


図 20-2 時計データのリードフロー

20.4.2 時計データをライトする場合

一連のデータライト動作の途中で桁上げ信号が入ってくると、期待するデータはライトできません。従って、データを正しくライトするためには次の方法があります。

1. 1 Hz 割り込みを利用する

   秒カウンタのカウントアップに同期して 1 Hz の割り込みが発生しますので、1Hz 割り込みを待って、次の 1 s カウントアップまでの間にデータをライトすれば、正常にデータライトできます。

2. カウンタをリセットする

   秒カウンタをリセットした後にデータをライトします。

カウンタリセット後に 1 Hz 割り込みを許可した場合、1 秒後に 1 Hz 割り込みが発生しますので、1 秒以内に時間設定を行うようにしてください。

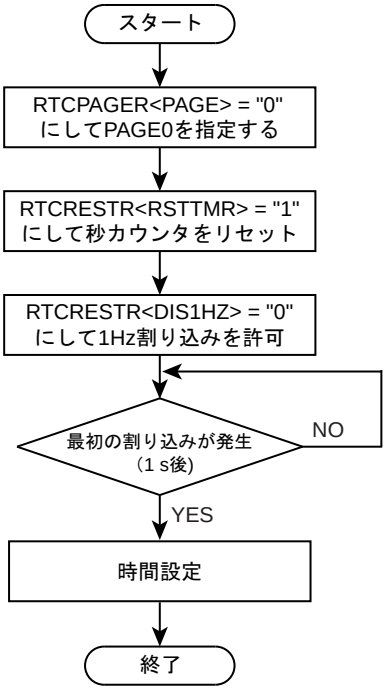


図 20-3 データライトのフロー

3. 時計を禁止する

RTCPAGER<ENATMR>に"0"をライトすると、時計は禁止となって桁上げは禁止されます。

1 Hz 割り込み発生後に時計を停止し(このとき秒カウンタは動作を継続)、次の 1 Hz 割り込みが発生する前(1 s 以内)に再度時計データを設定し、時計を許可してください。

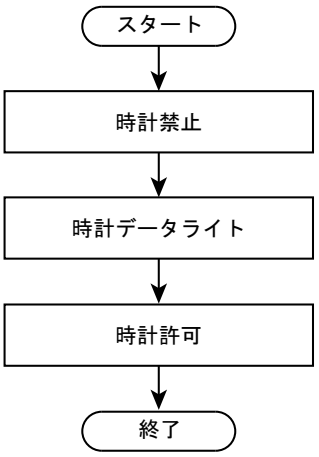


図 20-4 時計を禁止するフローチャート

20.4.3 低消費電力モードへ遷移する場合

時計データの設定, 秒補正, 時計リセット後にシステムクロックが停止するモード(SLEEP モード)へ遷移する場合、必ず以下のどちらかの手順で行ってください。

1. 時計データの変更または<ADJUST>, <RSTTMR>操作後に 1 秒割り込みの発生を待つ。
2. 時計データの変更または<ADJUST>, <RSTTMR>操作後、時計レジスタ値<ADJUST>/<RSTTMR>の値を Read し、反映を確認する。

20.5　アラーム機能

RTCPAGER<PAGE>に"1"をライトすることにより、PAGE1 のレジスタ群でアラーム機能が使用できます。$\overline{\text{ALARM}}$ 端子を持つ製品では、以下の信号のいずれかを出力できます。

1. アラームレジスタと時計の一致時、"Low"パルスを出力
2. 1 , 2, 4, 8, 16Hz のいずれかの周期の"Low"パルスを出力

いずれの場合も、低速クロック 1 周期分のパルスを出力します。また、同時に INTRTC 割り込みの要求を出力します。INTRTC 割り込み信号は、立ち下がりエッジが有効ですので、CG 割り込みモードコントロールレジスタのアクティブ状態の設定は、"立ち下がりエッジ"に設定してください。

20.5.1　時計を用いた使用方法

PAGE1 のアラームレジスタと PAGE0 の時計の内容が一致したときに $\overline{\text{ALARM}}$ 端子に"Low"パルスを出力するとともに、INTRTC 割り込みを発生し、その時刻になったことを知らせます。

アラームを使用する方法を下記に説明します。

まずアラーム禁止状態で、初期化を行います。アラームの初期化は RTCRESTR<RSTALM>に"1"をライトすることにより行われ、アラーム分桁, アラーム時桁, アラーム日桁, アラーム曜日桁は 00 分, 00 時, 01 日, 日曜日になります。

PAGE1 のアラーム分桁，アラーム時桁，アラーム日桁，アラーム曜日桁の設定を行い、RTCPAGER<ENAALM>でアラームを許可します。

最後に RTCPAGER<INTENA>で割り込みを許可します。

月曜日 5 日正午(12:00)にアラームを出力させる場合のプログラムを下記に示します。

		7	6	5	4	3	2	1	0	
RTCPAGER	←	0	0	0	0	1	0	0	1	アラーム禁止, PAGE1 設定
RTCRESTR	←	1	1	0	1	0	0	0	0	アラーム初期化
RTCDAYR	←	0	0	0	0	0	0	0	1	月曜日
RTCDATER	←	0	0	0	0	0	1	0	1	5 日
RTCHOURR	←	0	0	0	1	0	0	1	0	12 時設定
RTCMINR	←	0	0	0	0	0	0	0	0	00 分設定
RTCPAGER	←	0	0	0	0	1	1	0	0	アラーム許可
RTCPAGER	←	1	0	0	0	1	1	0	0	割り込み許可

アラームレジスタを設定する際、設定値を全て"1"とするとその項目については比較を行いません。例えば、上記の例でアラーム日桁とアラーム曜日桁を"11_1111"および"111"とした場合、毎日正午(12:00)にアラームを出力することができます。

アラーム設定は、低速クロックに同期して動作していますので、CPU が高周波で動作している場合、レジスタ設定してから有効になるまでに最大 fs の 1 クロック分(約 30 μs)の遅れが生じることがあります。

20.5.2 1, 2, 4, 8, 16 Hz 周期でアラームを出力する場合

RTCPAGER<ENAALM>=0 とし、 RTCRESTR<DIS1HZ>, <DIS2HZ>, <DIS4HZ> <DIS8HZ>, <DIS16HZ>のいずれかのビットに"0"を設定後、RTCPAGER<INTENA> = 1 を設定すると $\overline{\text{ALARM}}$ 端子に設定した周期での低速クロック 1 周期分の"Low"パルスを出力します。また、同時に INTRTC 割り込みを出力します。

20.6　クロック補正機能

クロック補正機能を用いて時計の進みや遅れを高精度に補正できます。

図 20-5 の T1 は 1 秒を示し、fs（32768Hz）により 32768 回カウントして 1 秒を生成しています。クロック補正は、補正基準時間(Tall)のうちの 1 秒(T2)のカウント数を調整することで行います。補正基準時間は、RTCADJCTL<AJSEL>で 1 秒、10 秒、20 秒、30 秒、1 分から選択します。T2 のカウント値は RTCADJDAT<ADJDAT>により、"32768-255"から"32768+256"まで調整可能です。

記号	内容	説明
Tall	補正基準時間	RTCADJCTL<AJSEL>で 1 秒、10 秒、20 秒、30 秒、1 分から選択
T1	1 秒	fs で 32768 カウント
T2	補正対象の秒	32768 カウントに対し、RTCADJDAT<ADJDAT>の設定により補正

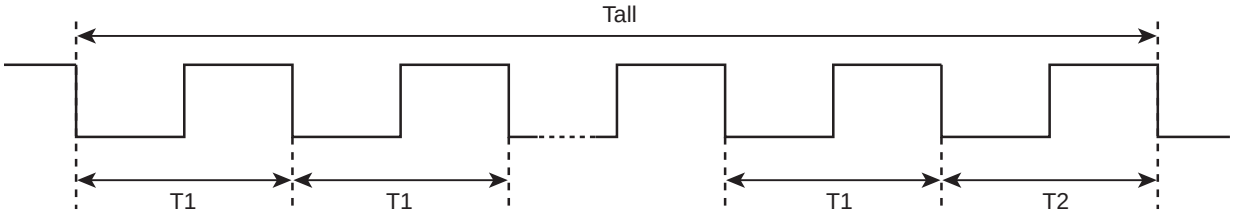


図 20-5 クロック補正

補正機能関連レジスタ RTCADJCTL および RTCADJDAT は、RTCPROTECT レジスタで書き込みを禁止することができます。初期状態では、RTCPROTECT は"0xC1"で書き込み許可の状態です。RTCPROTECT に"0xC1"以外の値を設定することで RTCADJCTL,RTCADJDAT への書き込みが禁止されます。

20.7　1Hz クロック出力機能

RTCOUT 端子より 1Hz クロックを出力することができます。このクロックはデューティが 50%に整形されていますが、クロック補正機能を使用している場合はデューティに補正分の誤差を含みます。

第 21 章　電圧検出回路(LVD)

電圧検出回路(LVD）は、電源電圧の低下を検出してリセットまたは割り込み(INTLVD)を発生します。

注)　INTLVD は、マスク不能割り込み(NMI)要因のひとつです。

21.1　構成

電圧検出回路は、基準電圧発生回路、検出電圧選択回路、コンパレータ、制御レジスタから構成されます。

電源電圧はラダー抵抗で分圧され、検出電圧選択回路に入力されます。検出電圧選択回路で検出電圧に応じた電圧が選択され、コンパレータで基準電圧と比較されます。電源電圧が検出電圧を下回るとリセット信号（割り込みも選択可）を発生します。

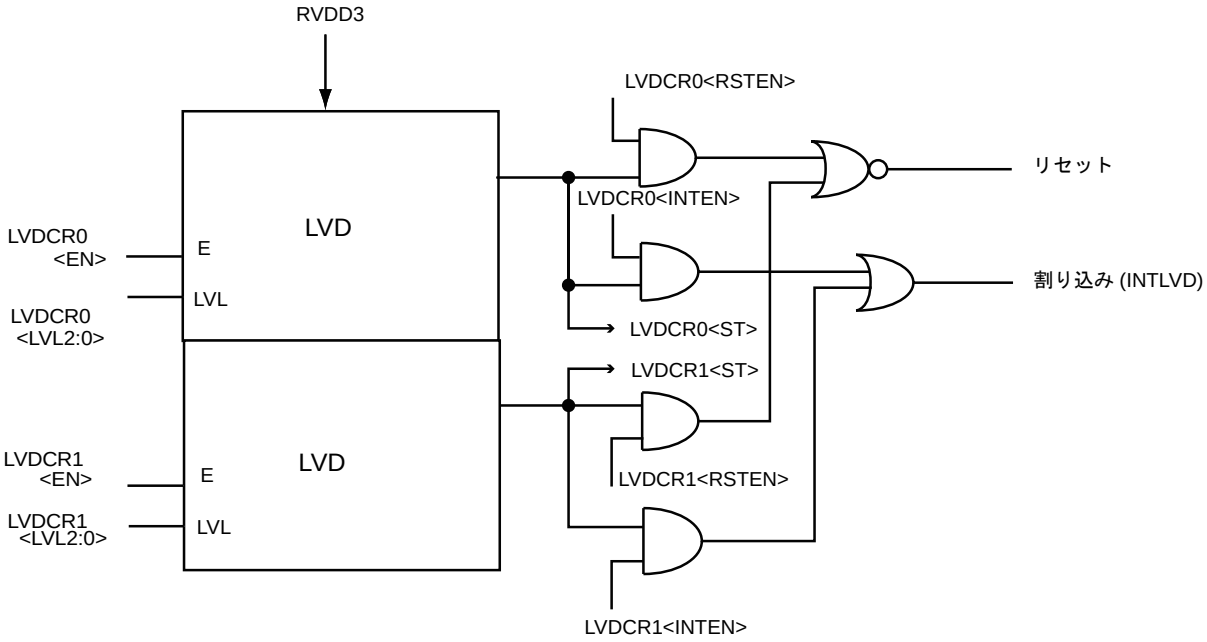


図 21-1 LVD ブロック図

21.2　レジスタ説明

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

21.2.1　レジスター覧

レジスタ名		Address(Base+)
検出制御レジスタ 0	LVDCR0	0x0000
検出制御レジスタ 1	LVDCR1	0x0004

21.2.2　LVDCR0 (検出制御レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	–	–	–	–	–	–	-	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ST	RSTEN	INTEN	–	LVL			EN
リセット後	0	1	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31 - 8	–	R	リードすると"0"が読めます。
7	ST	R	LVD 電圧検出ステータス 0: 電源電圧は検出電圧以上 1: 電源電圧は検出電圧以下
6	RSTEN	R/W	RESET 信号の出力 0: 禁止 1: 許可
5	INTEN	R/W	INTLVD 信号の出力 0: 禁止 1: 許可
4	–	R	リードすると"0"が読めます。
3 - 1	LVL[2:0]	R/W	リセット用検知電圧 000: 2.4 ± 0.1V 001: 2.5 ± 0.1V 010: 2.6 ± 0.1V 011: 2.7 ± 0.1V 100: 2.8 ± 0.1V 101: 2.9 ± 0.1V 110: Reserved 111: Reserved
0	EN	R/W	電圧検出動作 0: 禁止 1: 許可

注 1)　LVDCR0 は、端子リセットで初期化されます。

注 2) LVD の検知、解除電圧の間には、ヒステリシスを設けていないため、電源の傾きによっては検知出力時にチャタリングを生じる可能性があります。

21.2.3　LVDCR1 (検出制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	–	–	–	–	–	–	-	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ST	RSTEN	INTEN	–	LVL			EN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31 - 8	–	R	リードすると"0"が読めます。
7	ST	R	LVL 電圧検出ステータス 0: 電源電圧は検出電圧以上 1: 電源電圧は検出電圧以下
6	RSTEN	R/W	RESET 信号の出力 0: 禁止 1: 許可
5	INTEN	R/W	INTLVD 信号の出力 0: 禁止 1: 許可
4	–	R	リードすると"0"が読めます。
3 - 1	LVL[2:0]	R/W	3V 系　電源検出電圧 000: 2.8 ± 0.1V 001: 2.85± 0.1V 010: 2.9 ± 0.1V 011: 2.95 ± 0.1V 100: 3.0 ± 0.1V 101: 3.05 ± 0.1V 110: 3.1 ± 0.1V 111: 3.15 ± 0.1V
0	EN	R/W	電圧検出動作 0: 禁止 1: 許可

注 1)　LVDCR1 は、端子リセットで初期化されます。

注 2)　LVD の検知、解除電圧の間には、ヒステリシスを設けていないため、電源の傾きによっては検知出力時にチャタリングを生じる可能性があります。

21.3 動作説明

21.3.1 検出電圧の選択と電圧検出動作の許可

LVDCRx で検出電圧の選択と検出動作の許可、出力条件の選択と出力の許可を設定します。LVDCRx はリセット端子によるリセットで初期化されます。

LVDCRx<LVL[2:0]>で検出電圧を選択し、LVDCRx<EN>を"1"にセットすると電圧検出動作が許可されます。

注) STOP2 モードへ遷移する前には、必ず LVD 動作を禁止にしてください。

21.3.2 電圧低下の検出

電源電圧が設定された検出電圧レベルを下回ると、リセットまたは割り込み(INTLVD)を発生します。

LVDCRx<RSTEN>を"1"にセットして、電源電圧が設定された検出電圧を下回ると、リセットを発生します。LVDCRx<INTEN>を"1"にセットして、電源電圧が設定された検出電圧を下回ると、割り込みを発生します。

電圧低下が検出されリセットまたは割り込みが発生されるためには 100 μs 程度の時間が必要です。電源電圧が検出電圧を下回る期間が短いとリセットまたは割り込みが発生しない場合があります。

第 22 章　周波数検知回路(OFD)

周波数検知回路(OFD)はクロック周波数の異常を検出する回路です。OFD を使用することで、高調波、低調波、停止といったクロックの異常を検出することができます。

OFD は、基準となるクロックを用いて対象のクロックを観測し、異常を検出するとリセットを発生します。TMPM461F15/F10FG では、基準クロックは内蔵高速発振器クロック 2 (f_{IHOSC2})、検出対象クロックは内部高速発振器クロック 1 (f_{IHOSC1})と外部高速発振器クロック(f_{EHOSC})の自動切り換え式です。

注)　いかなる異常も検知できるわけではありません。また、クロックの誤差を測定するための回路ではありません。

22.1　構成

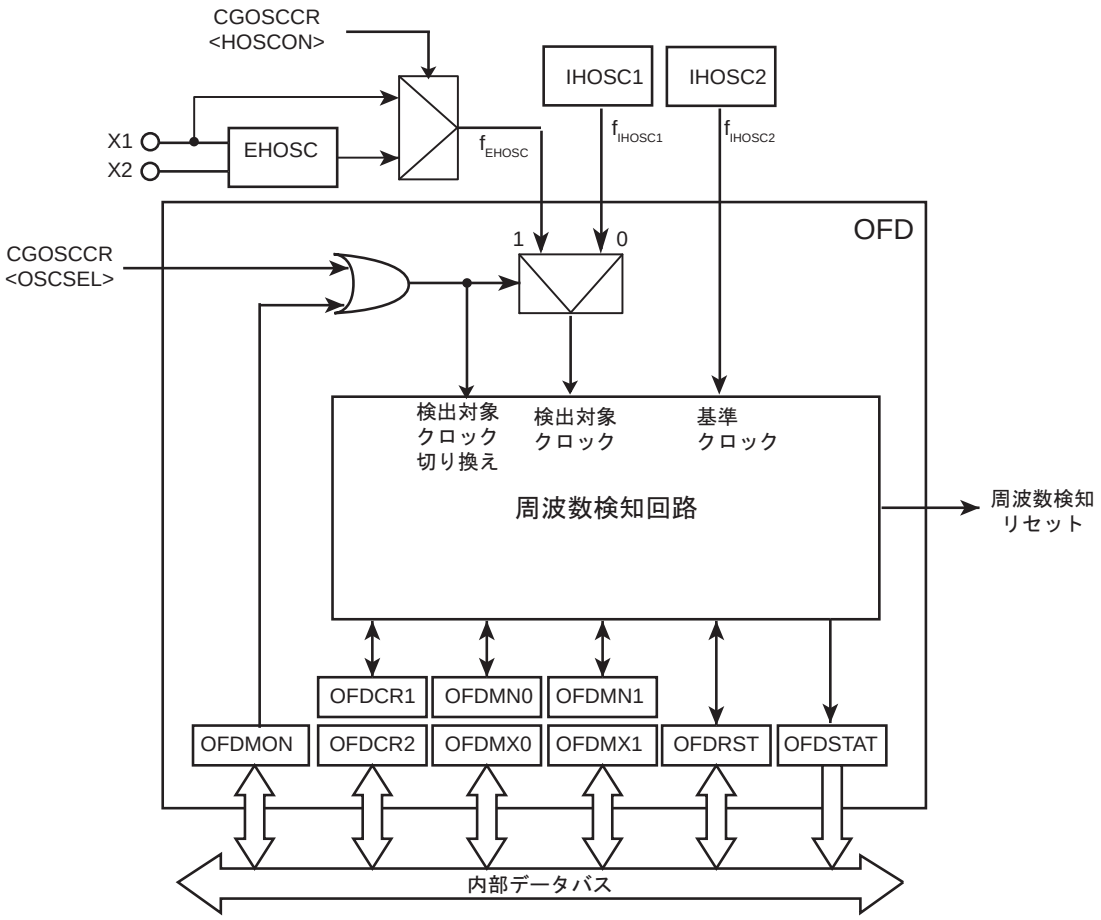


図 22-1 周波数検知回路ブロック図

22.2　レジスタ説明

22.2.1　レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
制御レジスタ 1	OFDCR1	0x0000
制御レジスタ 2	OFDCR2	0x0004
検知周波数下限値レジスタ 0（IHOSC1）	OFDMN0	0x0008
検知周波数下限値レジスタ 1（EHOSC）	OFDMN1	0x000C
検知周波数上限値レジスタ 0（IHOSC1）	OFDMX0	0x0010
検知周波数上限値レジスタ 1（EHOSC）	OFDMX1	0x0014
リセット制御レジスタ	OFDRST	0x0018
ステータスレジスタ	OFDSTAT	0x001C
外部高速発振器クロックモニタレジスタ	OFDMON	0x0020

22.2.1.1 OFDCR1(制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDWEN							
リセット後	0	0	0	0	0	1	1	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	OFDWEN[7:0]	R/W	レジスタ書き込み制御 0x06: 禁止 0xF9: 許可 0xF9 を設定すると、OFDCR1 以外のレジスタへの書き込みができるようになります。 0x06、0xF9 以外の値を書いた場合、0x06 が書かれます。 書き込みが禁止されていても、各レジスタを読み出すことは可能です。

22.2.1.2　OFDCR2(制御レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDEN							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	OFDEN[7:0]	R/W	周波数検知動作制御 0x00: 禁止 0xE4: 許可 0x00、0xE4 以外の値の書き込みは無効で値は変化しません。

22.2.1.3 OFDMN0(検知周波数下限値レジスタ０)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	OFDMN0
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMN0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	–	R	リードすると"0"が読めます。
8-0	OFDMN0[8:0]	R/W	内部高速発振器の検知周波数の下限値を設定します

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

22.2.1.4 OFDMN1(検知周波数下限値レジスタ１)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	OFDMN1
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMN1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	–	R	リードすると"0"が読めます。
8-0	OFDMN1[8:0]	R/W	外部高速発振器の検知周波数の下限値を設定します

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

22.2.1.5　OFDMX0(検知周波数上限値レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	OFDMX0
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMX0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	−	R	リードすると"0"が読めます。
8-0	OFDMX0[8:0]	R/W	内部高速発振器の検知周波数の上限値を設定します

注)　本レジスタは、周波数検知動作が許可されているときは書き込みできません。

22.2.1.6　OFDMX1(検知周波数上限値レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	OFDMX1
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMX1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	−	R	リードすると"0"が読めます。
8-0	OFDMX1[8:0]	R/W	外部高速発振器の検知周波数の上限値を設定します

注)　本レジスタは、周波数検知動作が許可されているときは書き込みできません。

22.2.1.7 OFDRST(リセット制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	OFDRSTEN
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	OFDRSTEN	R/W	リセット発生制御 0: 禁止 1: 許可

注) 本レジスタは、周波数検知動作が許可されているときは書き込みできません。

22.2.1.8　OFDSTAT(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	OFDBUSY	FRQERR
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	OFDBUSY	R	OFD 動作状態 0: 停止中 1: 動作中
0	FRQERR	R	異常検知フラグ 0: 異常でない 1: 異常

22.2.1.9 OFDMON(外部高速発振器クロックモニタレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	OFDMON
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	OFDMON	R/W	検出対象クロック選択を制御します 0: 通常監視モード CGOSCCR<OSCSEL>で選択された fosc の元クロックを検出対象とします 1: モニタモード IHOSC1 でシステム動作中に EHOSC を検出対象とし発振状態をモニタします

注) このレジスタは、周波数検知動作が許可されているときは書き込みできません。

22.3　動作説明

22.3.1　設定

リセットにより、OFDCR1 以外のレジスタには書き込みができない状態になります。OFDCR1 に"0xF9"を書き込むことにより、OFDCR1 以外のレジスタに書き込みができるようになります。

検知する周波数の範囲は、それぞれクロックごとに対象の OFDMX と OFDMN で設定します。OFDRST でリセット発生の許可/禁止を設定し、OFDCR2 に"0xE4"を書き込むと動作を開始します。

誤書き込み防止のため、全てのレジスタの設定後、OFDCR1 に"0x06"を設定し書き込み禁止にしてください。また、設定の変更は動作が停止した状態で行ってください。

22.3.2　動作

動作開始から検知開始まで検知周期 2 周期分の時間が必要です。検知動作中かどうかは、OFDSTAT<OFDBSY>で確認することができます。検知周期は 256/基準クロック周波数です。

システムクロックを外部高速発振クロック EHOSC に切り換える前にモニタ機能で発振状態を確認してから切り換える事ができます。その際はリセットの発生を禁止し、OFDSTAT<FRQERR>で状態を確認してください。OFDSTAT<OFDBSY>が動作中になってから OFDSTAT<FRQERR>の状態が有効になるまで検知周期 2 周期分の時間が必要です。

リセットの発生が許可されている場合、検出対象クロックが OFDMN, OFDMX で設定した周波数範囲を超えると周波数検知回路 OFD はリセットを発生します。OFD が異常を検知してからリセットを発生するまで検知周期 2 周期分の時間が必要です。周波数検知回路 OFD が発生するリセットでは周波数検知回路 OFD 自身はリセットされず検知動作を継続します。従いまして、周波数検知回路が発生するリセットにより fosc は内部高速発振クロック IHOSC1 に初期化されますが、検知対象クロックを IHOSC1 に自動的に切り換え検知動作を継続します。検知対象クロックが IHOSC1 の時に OFD がリセットを発生した場合は、正常な周波数範囲に復帰するまでリセットを発生し続けます。OFD が発振正常を検知してからリセット解除までに検知周期 2 周期分の時間が必要です。

注)　リセットの要因は複数あります。クロックジェネレータレジスタの CGRSTFLG で要因を確認することができます。CGRSTFLG については例外の章を参照してください。

22.3.3 検知周波数

検知周波数には、基準クロックの発振精度によって、検出範囲と非検出範囲が存在します。検出範囲と非検出範囲の間の周波数では、検出されるかどうかは未確定です。

検知周波数上限値、下限値は、検出対象クロックと基準クロックの最大誤差より計算します。

OFDMX、OFDMN を決めるときの計算結果の丸め方により、検出範囲と非検出範囲の上限値、下限値が下記のように変わります。検出対象となるクロックのばらつきに応じて選択してください。

- OFDMX を切上げ、OFDMN を切り捨てた場合

  検出対象クロックに対して、非検出範囲の上限が高くなり、非検出範囲の下限が低くなります。
- OFDMX を切り捨て、OFDMN を切上げた場合

  検出対象クロックに対して、非検出範囲の上限が低くなり、非検出範囲の下限が高くなります。

基準クロック誤差を±5%、検出対象クロック誤差±3%(非検出範囲)を許容する場合の OFDMN/OFDMX の設定値の算出方法を以下に示します。この例では、OFDMX を切上げ、OFDMN を切り捨てます。

検出対象クロック	10MHz ± 3%	Max 10.3MHz	-------- ③
		Min 9.7MHz	-------- ②
基準クロック	10MHz ± 5%	Max 10.5MHz	-------- ⑥
		Min 9.5MHz	-------- ⑤

OFDMX = ③ ÷ ⑤ × 64 = 69.39...= 70 (小数点以下切上げ) = 0x46

OFDMN = ② ÷ ⑥ × 64 = 59.12... = 59 (小数点以下切り捨て) = 0x3B

このときの検出範囲は以下のように求められます。

① = ⑤ × OFDMN ÷ 64 = 8.76

④ = ⑥ × OFDMX ÷ 64 = 11.5

また、このときの非検出範囲は以下のようになります。

⑦ = ⑤ × OFDMX ÷ 64 = 10.4

⑧ = ⑥ × OFDMN ÷ 64 = 9.68

よって、レジスタ OFDMX に"0x46"、OFDMN に"0x3B"を設定すると、11.5MHz 以上と 8.76MHz 以下の発振周波数を検知した場合、周波数検知リセットを発生します。

また、9.68MHz から 10.4MHz の発振周波数を検知した場合、周波数検知リセットは発生しません。

図 22-2 に、このときの検出範囲/非検出範囲を示します。

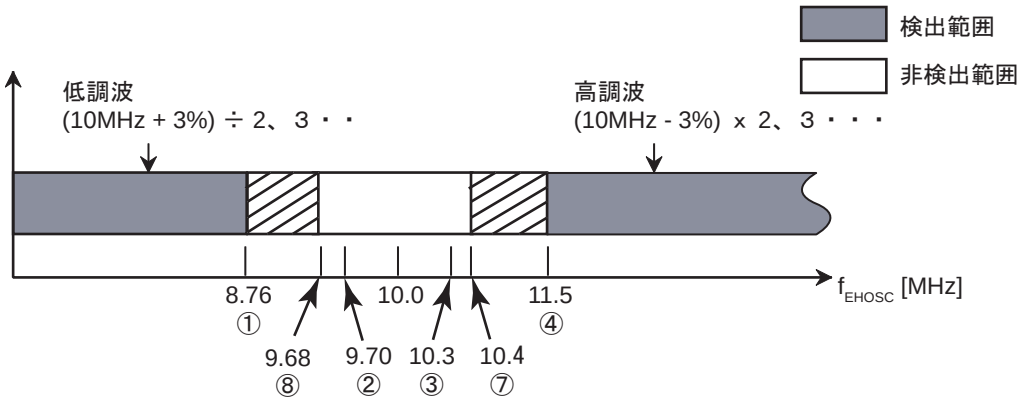


図 22-2 検出周波数範囲例(10MHz の場合)

22.3.4　使用可能な動作モード

周波数検知回路は NORMAL モードと IDLE モードのときのみ使用可能です。他のモードに遷移する際は、周波数検知回路を停止させてください。

22.3.5 動作手順例

周波数検知回路を使用する場合の動作手順例を示します。

リセット発生後、CGRSTFLG でリセットの要因を確認します。要因が周波数検知リセットでなければ、外部発振を有効にし、周波数検知回路を使用するためのレジスタ設定を行い、動作を許可します。このときリセット出力は禁止しておきます。

検知開始を待って、OFDSTAT で異常検知フラグを確認し、異常がなければ外部発振クロックに切り替えます。

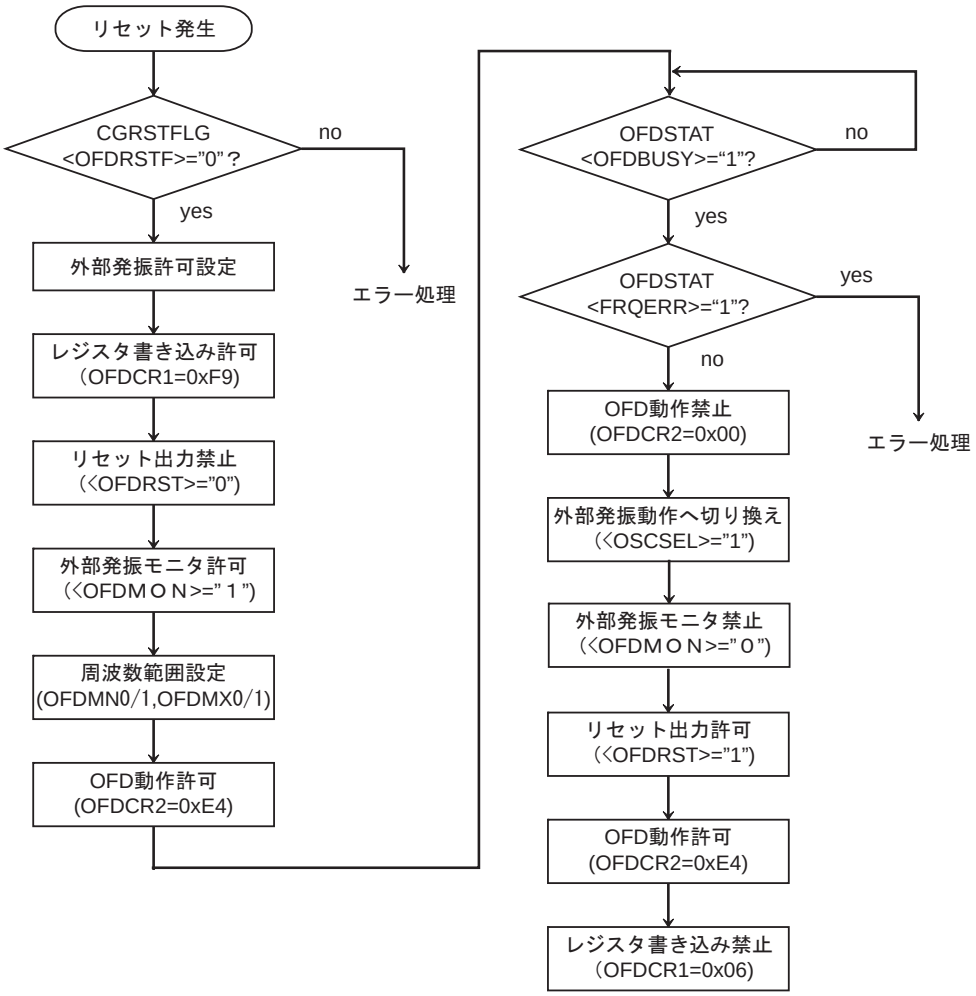


図 22-3 動作手順例

第 23 章　ウォッチドッグタイマ(WDT)

ウォッチドッグタイマは、ノイズなどの原因により CPU が誤動作(暴走)を始めた場合、これを検出し正常な状態に戻すことを目的としています。

暴走を検出した場合、INTWDT 割り込みを発生またはマイコンをリセットします。

注)　INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

また、外部周辺装置に対しては、ウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)より"Low"を出力して暴走の検出を知らせます。

注)　TMPM461F15/F10FG にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

23.1　構成

図 23-1 にウォッチドッグタイマのブロック図を示します。

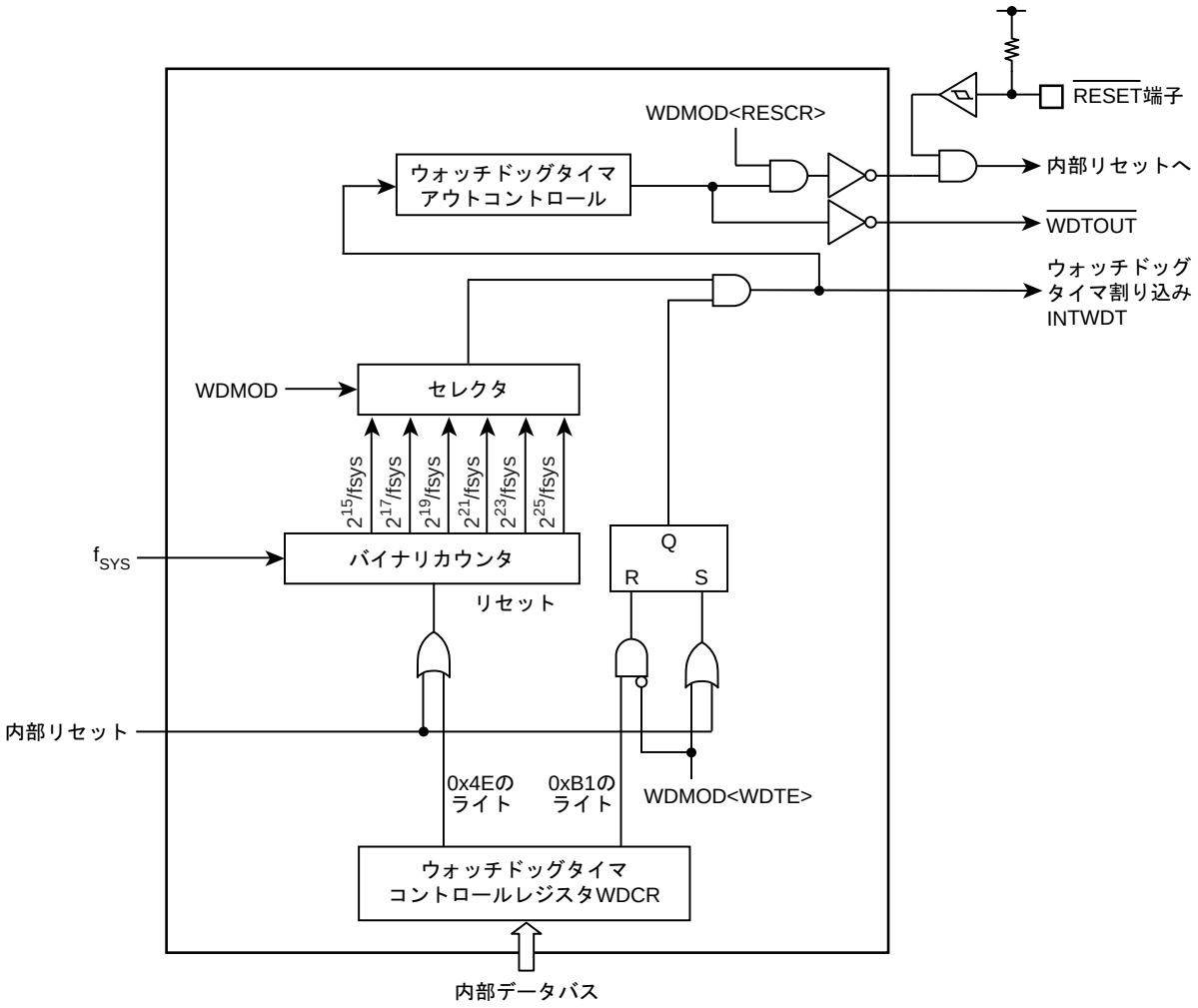


図 23-1 ウォッチドッグタイマのブロック図

23.2　レジスタ

23.2.1　レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
ウォッチドッグタイマモードレジスタ	WDMOD	0x0000
ウォッチドッグタイマコントロールレジスタ	WDCR	0x0004

23.2.1.1　WDMOD(ウォッチドッグタイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDTE	WDTP			-	I2WDT	RESCR	-
リセット後	1	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	WDTE	R/W	許可/禁止制御 0:禁止 1: 許可 暴走による誤書き込みを防止するため、ディセーブルにするには、このビットを"0"にした後で、WDCR にディセーブルコード(0xB1)を書き込む必要があります。 ディセーブル状態からイネーブル状態に戻す場合は、WDMOD<WDTE>を"1"に設定します。
6-4	WDTP[2:0]	R/W	検出時間の選択 000: $2^{15}/f_{SYS}$　100: $2^{23}/f_{SYS}$ 001: $2^{17}/f_{SYS}$　101: $2^{25}/f_{SYS}$ 010: $2^{19}/f_{SYS}$　110: 設定禁止 011: $2^{21}/f_{SYS}$　111: 設定禁止
3	−	R	リードすると"0"が読めます。
2	I2WDT	R/W	IDLE 時の動作 0: 停止 1: 動作
1	RESCR	R/W	暴走検出後の動作 0: INTWDT 割り込み要求を発生します。(注) 1: マイコンをリセットします。
0	−	R/W	"0"をライトしてください。

注)　INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

23.2.1.2 WDCR(ウォッチドッグタイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDCR							
リセット後	-	-	-	-	-	-	-	-

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	WDCR	W	ディセーブル/クリアコード 0xB1: ディセーブルコード 0x4E: クリアコード 上記以外:Reserved

23.3　動作説明

23.3.1　基本動作

ウォッチドッグタイマは、システムクロック f_{sys} を入力クロックとするバイナリカウンタで構成されています。検出時間は WDMOD<WDTP[2:0]>によって 2^{15}, 2^{17}, 2^{19} , 2^{21}, 2^{23} および 2^{25} から選択します。検出時間経過後にウォッチドッグタイマ割り込み(INTWDT)が発生し、ウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)より"Low"が出力されます。

ノイズなどの原因による CPU の暴走を検出するために、ソフトウエア(命令)でウォッチドッグタイマ用のバイナリカウンタを INTWDT 割り込みが発生する前にクリアするように設定しておきます。クリアが行われなかった場合、INTWDT によってマスク不能割り込みが発生しますので、CPU は暴走を検知し、暴走対策プログラムにより正常な状態に戻すことができます。

また、ウォッチドッグタイマアウト端子を外部周辺装置のリセットなどへ接続することにより、CPU の誤動作(暴走)に対処することができます。

注)　TMPM461F15/F10FG にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

23.3.2　動作モードと動作状態

ウォッチドッグタイマは、リセット解除後直ちに動作を開始します。使用しない場合はディセーブルの処理を行ってください。

ウォッチドッグタイマは高速クロックが停止するモードでは使用できません。以下に示すモードに遷移する前にディセーブルしてください。IDLE モード中は WDMOD<I2WDT>の設定に従います。

- STOP1 mode
- STOP2 mode

また、デバッグモード中は自動的にバイナリカウンタが停止します。

23.3.3　暴走検出時の動作

23.3.3.1　INTWDT 割り込み発生の場合

図 23-2 に INTWDT 割り込み発生(WDMOD<RESCR>="0")の場合の動作を示します。

バイナリカウンタのオーバフローにより INTWDT 割り込みが発生します。INTWDT 割り込みはマスク不能割り込み(NMI)の要因であるため、CPU はマスク不能割り込みを検出し処理を行います。

マスク不能割り込み要因は複数あり、CGNMIFLG レジスタでマスク不能割り込み要因を識別できます。INTWDT 割り込みの場合、CGNMIFLG<NMIFLG0>がセットされます。

INTWDT 割り込み発生と同時にウォッチドッグタイマアウト($\overline{\text{WDTOUT}}$)より"Low"を出力します。$\overline{\text{WDTOUT}}$ は、ウォッチドッグタイマのクリア(WDCR レジスタにクリアコード 0x4E をライト)により"High"に戻ります。

注)　TMPM461F15/F10FG にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

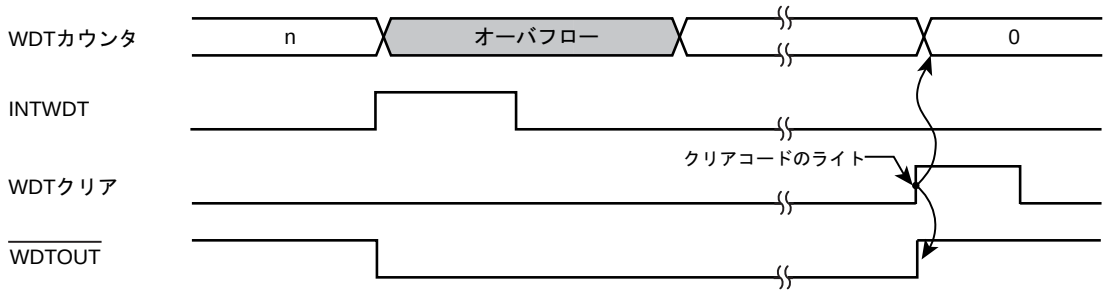


図 23-2 INTWDT 割り込み発生

23.3.3.2 内部リセット発生の場合

図 23-3 に内部リセット発生(WDMOD<RESCR>="1")の場合の動作を示します。

バイナリカウンタのオーバフローによりマイコンをリセットします。この場合、32 ステートの期間リセットを行います。

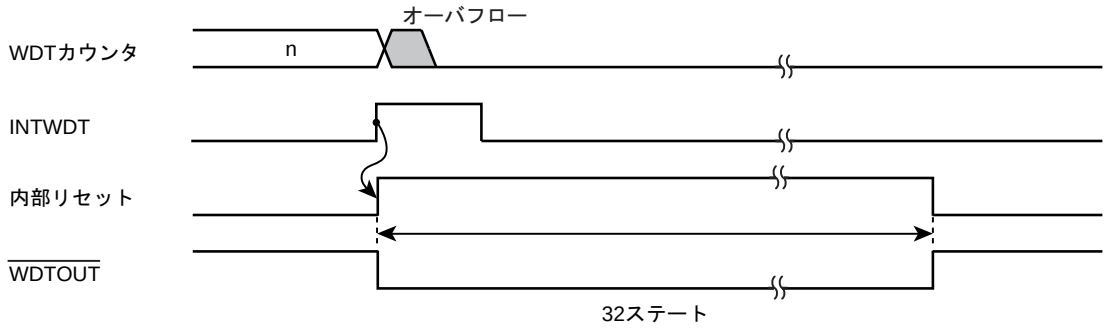


図 23-3 内部リセット発生

23.4 ウォッチドックタイマの制御

23.4.1 ディセーブル制御

WDMOD<WDTE>に"0"を設定したあと、WDCR レジスタにディセーブルコード(0xB1)を書き込むとウォッチドッグタイマはディセーブルになり、バイナリカウンタはクリアされます。

23.4.2 イネーブル制御

WDMOD<WDTE>に"1"を設定します。

23.4.3 ウォッチドッグタイマのクリア制御

WDCR レジスタにクリア コード (0x4E) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

23.4.4 ウォッチドッグタイマ検出時間の設定

検出時間を WDMOD<WDTP[2:0]>に設定します。

例えば、検出時間を $2^{21}/f_{SYS}$ に設定する場合、WDMOD<WDTP[2:0]>に"011"を設定します。

第 24 章　フラッシュメモリ(FLASH)

フラッシュメモリについて、構成およびその動作を説明します。本文中の「1 ワード」は、32 ビットをあらわします。

24.1　フラッシュメモリの特長

24.1.1　メモリ容量と構成

TMPM461F15/F10FG の内蔵するフラッシュメモリの容量と構成は、表 24-1、表 24-2 と表 24-3 のとおりです。

表 24-1 メモリ容量と構成

製品	容量 (KB)	エリア情報		ブロック情報		ページ情報		書き込み時間(s) (注)	消去時間(ms) (注)			
		サイズ (KB)	個数	サイズ (KB)	個数	サイズ (Byte)	個数		1 ページ	1 ブロック	1 エリア	チップ
TMPM461F15FG	1536	512	3	32	48	4096	384	16.0	115	920	115	345
TMPM461F10FG	1024		2		32		256	10.7				

注)　上記の時間は各レジスタがリセット後の初期値の場合を表しており、データ転送時間などは含まれていません。 チップ当たりの時間はユーザの書き替え方法により異なります。

表 24-2 ブロック構成(1024KB）

[TMPM461F10FG]

エリア番号	Block 番号	アドレス (シングルチップモード)	アドレス (シングルブートモード) (シングルチップモード(ミラー))	サイズ (KByte)	ページ数
0	0	0x0000_0000 ~ 0x0000_7FFF	0x5E00_0000 ~ 0x5E00_7FFF	32	8
	1	0x0000_8000 ~ 0x0000_FFFF	0x5E00_8000 ~ 0x5E00_FFFF	32	8
	2	0x0001_0000 ~ 0x0001_7FFF	0x5E01_0000 ~ 0x5E01_7FFF	32	8
	3	0x0001_8000 ~ 0x0001_FFFF	0x5E01_8000 ~ 0x5E01_FFFF	32	8
	4	0x0002_0000 ~ 0x0002_7FFF	0x5E02_0000 ~ 0x5E02_7FFF	32	8
	5	0x0002_8000 ~ 0x0002_FFFF	0x5E02_8000 ~ 0x5E02_FFFF	32	8
	6	0x0003_0000 ~ 0x0003_7FFF	0x5E03_0000 ~ 0x5E03_7FFF	32	8
	7	0x0003_8000 ~ 0x0003_FFFF	0x5E03_8000 ~ 0x5E03_FFFF	32	8
	8	0x0004_0000 ~ 0x0004_7FFF	0x5E04_0000 ~ 0x5E04_7FFF	32	8
	9	0x0004_8000 ~ 0x0004_FFFF	0x5E04_8000 ~ 0x5E04_FFFF	32	8
	10	0x0005_0000 ~ 0x0005_7FFF	0x5E05_0000 ~ 0x5E05_7FFF	32	8
	11	0x0005_8000 ~ 0x0005_FFFF	0x5E05_8000 ~ 0x5E05_FFFF	32	8
	12	0x0006_0000 ~ 0x0006_7FFF	0x5E06_0000 ~ 0x5E06_7FFF	32	8
	13	0x0006_8000 ~ 0x0006_FFFF	0x5E06_8000 ~ 0x5E06_FFFF	32	8
	14	0x0007_0000 ~ 0x0007_7FFF	0x5E07_0000 ~ 0x5E07_7FFF	32	8
	15	0x0007_8000 ~ 0x0007_FFFF	0x5E07_8000 ~ 0x5E07_FFFF	32	8
1	16	0x0008_0000 ~ 0x0008_7FFF	0x5E08_0000 ~ 0x5E08_7FFF	32	8
	17	0x0008_8000 ~ 0x0008_FFFF	0x5E08_8000 ~ 0x5E08_FFFF	32	8
	18	0x0009_0000 ~ 0x0009_7FFF	0x5E09_0000 ~ 0x5E09_7FFF	32	8
	19	0x0009_8000 ~ 0x0009_FFFF	0x5E09_8000 ~ 0x5E09_FFFF	32	8
	20	0x000A_0000 ~ 0x000A_7FFF	0x5E0A_0000 ~ 0x5E0A_7FFF	32	8
	21	0x000A_8000 ~ 0x000A_FFFF	0x5E0A_8000 ~ 0x5E0A_FFFF	32	8
	22	0x000B_0000 ~ 0x000B_7FFF	0x5E0B_0000 ~ 0x5E0B_7FFF	32	8
	23	0x000B_8000 ~ 0x000B_FFFF	0x5E0B_8000 ~ 0x5E0B_FFFF	32	8
	24	0x000C_0000 ~ 0x000C_7FFF	0x5E0C_0000 ~ 0x5E0C_7FFF	32	8
	25	0x000C_8000 ~ 0x000C_FFFF	0x5E0C_8000 ~ 0x5E0C_FFFF	32	8
	26	0x000D_0000 ~ 0x000D_7FFF	0x5E0D_0000 ~ 0x5E0D_7FFF	32	8
	27	0x000D_8000 ~ 0x000D_FFFF	0x5E0D_8000 ~ 0x5E0D_FFFF	32	8
	28	0x000E_0000 ~ 0x000E_7FFF	0x5E0E_0000 ~ 0x5E0E_7FFF	32	8
	29	0x000E_8000 ~ 0x000E_FFFF	0x5E0E_8000 ~ 0x5E0E_FFFF	32	8
	30	0x000F_0000 ~ 0x000F_7FFF	0x5E0F_0000 ~ 0x5E0F_7FFF	32	8
	31	0x000F_8000 ~ 0x000F_FFFF	0x5E0F_8000 ~ 0x5E0F_FFFF	32	8

表 24-3 ブロック構成(1536KB)

[TMPM461F15FG]

エリア番号	Block 番号	アドレス (シングルチップモード)	アドレス (シングルブートモード) (シングルチップモード(ミラー))	サイズ (KByte)	ページ数
0	0	0x0000_0000 ~ 0x0000_7FFF	0x5E00_0000 ~ 0x5E00_7FFF	32	8
	1	0x0000_8000 ~ 0x0000_FFFF	0x5E00_8000 ~ 0x5E00_FFFF	32	8
	2	0x0001_0000 ~ 0x0001_7FFF	0x5E01_0000 ~ 0x5E01_7FFF	32	8
	3	0x0001_8000 ~ 0x0001_FFFF	0x5E01_8000 ~ 0x5E01_FFFF	32	8
	4	0x0002_0000 ~ 0x0002_7FFF	0x5E02_0000 ~ 0x5E02_7FFF	32	8
	5	0x0002_8000 ~ 0x0002_FFFF	0x5E02_8000 ~ 0x5E02_FFFF	32	8
	6	0x0003_0000 ~ 0x0003_7FFF	0x5E03_0000 ~ 0x5E03_7FFF	32	8
	7	0x0003_8000 ~ 0x0003_FFFF	0x5E03_8000 ~ 0x5E03_FFFF	32	8
	8	0x0004_0000 ~ 0x0004_7FFF	0x5E04_0000 ~ 0x5E04_7FFF	32	8
	9	0x0004_8000 ~ 0x0004_FFFF	0x5E04_8000 ~ 0x5E04_FFFF	32	8
	10	0x0005_0000 ~ 0x0005_7FFF	0x5E05_0000 ~ 0x5E05_7FFF	32	8
	11	0x0005_8000 ~ 0x0005_FFFF	0x5E05_8000 ~ 0x5E05_FFFF	32	8
	12	0x0006_0000 ~ 0x0006_7FFF	0x5E06_0000 ~ 0x5E06_7FFF	32	8
	13	0x0006_8000 ~ 0x0006_FFFF	0x5E06_8000 ~ 0x5E06_FFFF	32	8
	14	0x0007_0000 ~ 0x0007_7FFF	0x5E07_0000 ~ 0x5E07_7FFF	32	8
	15	0x0007_8000 ~ 0x0007_FFFF	0x5E07_8000 ~ 0x5E07_FFFF	32	8
1	16	0x0008_0000 ~ 0x0008_7FFF	0x5E08_0000 ~ 0x5E08_7FFF	32	8
	17	0x0008_8000 ~ 0x0008_FFFF	0x5E08_8000 ~ 0x5E08_FFFF	32	8
	18	0x0009_0000 ~ 0x0009_7FFF	0x5E09_0000 ~ 0x5E09_7FFF	32	8
	19	0x0009_8000 ~ 0x0009_FFFF	0x5E09_8000 ~ 0x5E09_FFFF	32	8
	20	0x000A_0000 ~ 0x000A_7FFF	0x5E0A_0000 ~ 0x5E0A_7FFF	32	8
	21	0x000A_8000 ~ 0x000A_FFFF	0x5E0A_8000 ~ 0x5E0A_FFFF	32	8
	22	0x000B_0000 ~ 0x000B_7FFF	0x5E0B_0000 ~ 0x5E0B_7FFF	32	8
	23	0x000B_8000 ~ 0x000B_FFFF	0x5E0B_8000 ~ 0x5E0B_FFFF	32	8
	24	0x000C_0000 ~ 0x000C_7FFF	0x5E0C_0000 ~ 0x5E0C_7FFF	32	8
	25	0x000C_8000 ~ 0x000C_FFFF	0x5E0C_8000 ~ 0x5E0C_FFFF	32	8
	26	0x000D_0000 ~ 0x000D_7FFF	0x5E0D_0000 ~ 0x5E0D_7FFF	32	8
	27	0x000D_8000 ~ 0x000D_FFFF	0x5E0D_8000 ~ 0x5E0D_FFFF	32	8
	28	0x000E_0000 ~ 0x000E_7FFF	0x5E0E_0000 ~ 0x5E0E_7FFF	32	8
	29	0x000E_8000 ~ 0x000E_FFFF	0x5E0E_8000 ~ 0x5E0E_FFFF	32	8
	30	0x000F_0000 ~ 0x000F_7FFF	0x5E0F_0000 ~ 0x5E0F_7FFF	32	8
	31	0x000F_8000 ~ 0x000F_FFFF	0x5E0F_8000 ~ 0x5E0F_FFFF	32	8

表 24-3 ブロック構成(1536KB)

2	32	0x0010_0000 ~ 0x0010_7FFF	0x5E10_0000 ~ 0x5E10_7FFF	32	8
	33	0x0010_8000 ~ 0x0010_FFFF	0x5E10_8000 ~ 0x5E10_FFFF	32	8
	34	0x0011_0000 ~ 0x0011_7FFF	0x5E11_0000 ~ 0x5E11_7FFF	32	8
	35	0x0011_8000 ~ 0x0011_FFFF	0x5E11_8000 ~ 0x5E11_FFFF	32	8
	36	0x0012_0000 ~ 0x0012_7FFF	0x5E12_0000 ~ 0x5E12_7FFF	32	8
	37	0x0012_8000 ~ 0x0012_FFFF	0x5E12_8000 ~ 0x5E12_FFFF	32	8
	38	0x0013_0000 ~ 0x0013_7FFF	0x5E13_0000 ~ 0x5E13_7FFF	32	8
	39	0x0013_8000 ~ 0x0013_FFFF	0x5E13_8000 ~ 0x5E13_FFFF	32	8
	40	0x0014_0000 ~ 0x0014_7FFF	0x5E14_0000 ~ 0x5E14_7FFF	32	8
	41	0x0014_8000 ~ 0x0014_FFFF	0x5E14_8000 ~ 0x5E14_FFFF	32	8
	42	0x0015_0000 ~ 0x0015_7FFF	0x5E15_0000 ~ 0x5E15_7FFF	32	8
	43	0x0015_8000 ~ 0x0015_FFFF	0x5E15_8000 ~ 0x5E15_FFFF	32	8
	44	0x0016_0000 ~ 0x0016_7FFF	0x5E16_0000 ~ 0x5E16_7FFF	32	8
	45	0x0016_8000 ~ 0x0016_FFFF	0x5E16_8000 ~ 0x5E16_FFFF	32	8
	46	0x0017_0000 ~ 0x0017_7FFF	0x5E17_0000 ~ 0x5E17_7FFF	32	8
	47	0x0017_8000 ~ 0x001F_FFFF	0x5E17_8000 ~ 0x5E17_FFFF	32	8

フラッシュメモリ構成の単位として、「エリア」、「ブロック」、「ページ」があります。

- ページ

  消去機能、プロテクト機能で使用します。

  1 ページは 4096 バイト固定です。
- ブロック

  消去機能、プロテクト機能で使用します。

  1 ブロックは 32K バイト固定です。
- エリア

  消去機能で使用します。

  1 エリアは 512K バイトです。

書き込みは 16 バイト単位(4 バイト x4 回)で行います。16 バイトあたりの書き込み時間は 163μs (Typ.)です。

消去はページ単位、ブロック単位、エリア単位またはフラッシュメモリ全体で行います。消去時間は使用するコマンドによって異なります。自動ブロック消去コマンドを使用した場合は 1 ブロックあたり 920 ms (Typ.)、自動チップ消去コマンドを使用した場合は 345ms (Typ.)、それ以外のコマンドを使用した場合は 115 ms (Typ.)です。

プロテクトの設定は、ページ 0 ~ 7 はページ単位で行い、残りのブロックはブロック単位で行います。プロテクト設定の消去は、一括消去で行います。プロテクト機能については「24.1.5 プロテクト/セキュリティ機能」を参照してください。

24.1.2　機能

製品内蔵のフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本製品への移行が容易です。また、フラッシュメモリ内に書き込み、 チップ消去など自動で行う回路を内蔵していますので、書き込み、 消去動作を容易に実現できます。

JEDEC 準拠の機能	変更, 追加, 削除した機能
・自動プログラム ・自動チップ消去 ・自動ブロック消去 ・データポーリング/トグルビット	<追加>自動エリア消去、自動ページ消去、自動メモリスワップ <変更>ライト/消去プロテクト(ソフトウエアプロテクトのみサポート) <削除>消去レジューム/サスペンド機能

24.1.3 動作モード

24.1.3.1 モードの説明

本製品には、シングルチップモードとシングルブートモードがあり、シングルチップモードにはノーマルモード、ユーザブートモード、デュアルモードがあります。モード遷移図を図 24-1 に示します。

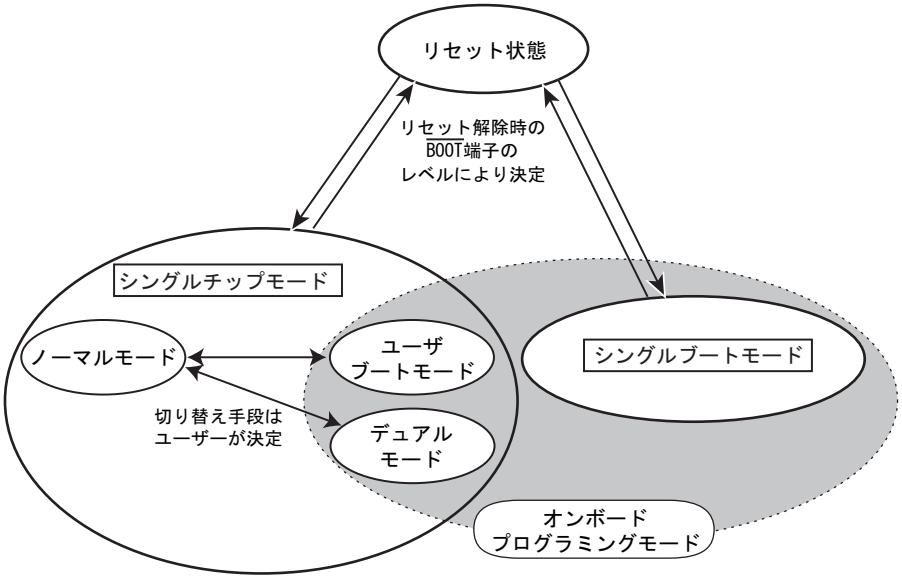


図 24-1 モード遷移図

(1) シングルチップモード

リセット解除後、フラッシュメモリから起動するモードで、以下の 3 つのモードがあります。

- ノーマルモード

  ユーザのアプリケーションプログラムを実行するモードです。

- ユーザブートモード

  ユーザのセット上でフラッシュメモリ外に置くフラッシュメモリの書き替えプログラムでフラッシュメモリの書き替えを実行するモードです。

  フラッシュメモリの書き替え方法は「24.4 ユーザブートモードによる書き替え方法」を参照してください。

- デュアルモード

ユーザのセット上でフラッシュメモリ内に置くフラッシュメモリの書き替えプログラムでフラッシュメモリの書き替えを実行するモードです。

フラッシュメモリの書き替え方法は「24.5 デュアルモードによる書き替え方法」を参照してください。

各モードの切り替えはユーザが独自に設定できます。例えばポート A の PA0 が"1" のときノーマルモード、"0" のときにユーザブートモードのように自由に設計することが可能です。ユーザはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。

(2)　シングルブートモード

リセット解除後、内蔵する BOOT ROM (Mask ROM) から起動するモードです。

内蔵メモリなど、フラッシュメモリ外に置くフラッシュメモリの書き替えプログラムでフラッシュメモリの書き替えを実行することができます。フラッシュメモリの書き替え方法は「24.3 シングルブートモードによる書き替え方法」を参照してください。

BOOT ROM には、本デバイスのシリアルポートを経由してユーザのセット上で書き換えを行うアルゴリズムがプログラムされています。

シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことでフラッシュメモリの書き替えが実行できます。

(3)　オンボードプログラミングモード

ユーザのセット上でフラッシュメモリの書き替えが可能なモードは、ユーザブートモード、デュアルモードとシングルブートモードです。これらをオンボードプログラミングモードと定義します。

24.1.3.2　モードの決定

シングルチップ、シングルブートの各動作モードは、リセットを解除するときの $\overline{\text{BOOT}}$ 端子の状態により決定されます。

表 24-4 動作モード設定表

動作モード	端子	
	$\overline{\text{RESET}}$	$\overline{\text{BOOT}}$
シングルチップモード / デュアルモード	0 → 1	1
シングルブートモード	0 → 1	0

24.1.4　メモリマップ

図 24-2 および図 24-3 にシングルチップモードとシングルブートモードのメモリマップの比較を示します。図のように、シングルブートモードでは、フラッシュメモリは 0x5E00_0000 番地からマッピングされます。また、シングルブートモードでは 0x0000_0000 番地から 0x0000_0FFF 番地には BOOT ROM がマッピングされます。

フラッシュメモリと RAM のマッピングは以下のとおりです。

製品	Flash サイズ	RAM サイズ	Flash アドレス	RAM アドレス
TMPM461F15FG	1536KB	193KB	0x0000_0000 ~ 0x0017_FFFF(シングルチップモード) 0x5E00_0000 ~ 0x5E17_FFFF(シングルチップモード(ミラー)) 0x5E00_0000 ~ 0x5E17_FFFF(シングルブートモード)	0x2000_0000 ~ 0x2003_03FF
TMPM461F10FG	1024 KB	193KB	0x0000_0000 ~ 0x000F_FFFF(シングルチップモード) 0x5E00_0000 ~ 0x5E0F_FFFF(シングルチップモード(ミラー)) 0x5E00_0000 ~ 0x5E0F_FFFF(シングルブートモード)	0x2000_0000 ~ 0x2003_03FF

注)　1024KB 製品には、ID やパスワード用共通エリア(0x5E17_FFF0 ~ 0x5E17_FFFF)が存在します。



図 24-2 メモリマップの比較(TMPM461F10FG)



図 24-3 メモリマップの比較(TMPM461F15FG)

24.1.5　プロテクト/セキュリティ機能

本製品は、フラッシュメモリに対して、プロテクトとセキュリティの 2 つの機能を持っています。

1. プロテクト機能
   フラッシュメモリへの書き込み、消去を禁止
2. セキュリティ機能
   フラッシュライタによるフラッシュメモリの読み出しの禁止
   デバッグ機能の使用制限

24.1.5.1　プロテクト機能

Block0 はページ単位とブロック単位で、Block1 から最終ブロックまではブロック単位でプロテクト機能を使用することができます。

プロテクト機能を有効にするためには、自動プロテクトビットプログラムコマンドを用いて対応するプロテクトビットを"1"にします。プロテクトビット消去コマンドにより全てのプロテクトビットを"0"にし、全てのプロテクトは解除されます。プロテクトビットは、各 FCPSR レジスタでそれぞれモニタすることができます。

プロテクトビットのプログラムと消去の方法については、「24.2.6 コマンド説明」の章を参照してください。

24.1.5.2 セキュリティ機能

セキュリティ機能が有効な場合の動作を、表 24-5 に示します。

表 24-5 セキュリティ機能が有効な場合の動作

項目	内容
フラッシュメモリの読み出し	CPU からの読み出しは可能です。
デバッグポート	シリアルワイヤ、トレースの通信ができなくなります。
フラッシュメモリに対するコマンドの実行	フラッシュに対してのコマンドライトが受け付けられません。またプロテクトビットを消去しようとすると、チップ消去が行われ、全てのプロテクトビットも消去されます。

セキュリティ機能が有効になる条件は以下のとおりです。

1. FCSECBIT<SECBIT>が"1"にセットされている。
2. 全てのプロテクトビット(各 FCPSR レジスタの全てのビット)が"1"にセットされている。

FCSECBIT<SECBIT>はコールドリセットおよび STOP2 モード解除 で"1"にセットされます。FCSECBIT<SECBIT>の書き替えは以下の手順で行います。

注) 以下の 1., 2.の書き込みは 32bit 転送命令で行ってください。

1. FCSECBIT に対して特定のコード(0xa74a9d23)を書き込む。
2. 1.の書き込みから 16 クロック以内にデータを書き込む。

24.1.6 メモリスワップ機能

24.1.6.1 概要

フラッシュメモリの書き替え操作の途中で電源が OFF になった場合、例えばプログラム消去後の電源が OFF になり、書き込みができなくなるケースが考えられます。このようなケースを回避するために、本機能を利用して書き込みプログラムを残すことができます。

24.1.6.2 動作説明

スワップ領域は 0 番地で始まる領域と次の領域で、スワップサイズは FCSWPSR<SIZE>で決まります。このサイズを変更するには、自動メモリスワップコマンドで FCSWPSR<SIZE>のビットを"1"にセットします。

メモリスワップを行うには、自動メモリスワップコマンドで FCSWPSR[0]に"1"を設定します。スワップ状態を解除するには、自動メモリスワップコマンドで FCSWPSR[1]に"1"を設定します。スワップ状態は FCSWPSR<SWP>で確認することができます。

自動メモリスワップコマンドの詳細は「24.2.6 コマンド説明」の章を参照してください。

24.1.6.3　操作方法

メモリスワップ操作の基本的な流れを以下に示します。メモリスワップ操作の具体例は「24.6 ユーザブートプログラムの書き替え方法」を参照してください。

1. セキュリティ機能が有効の場合は、セキュリティを解除してください。

   セキュリティの解除方法は「24.1.5.2 セキュリティ機能」を参照してください。

   セキュリティを解除しない場合、手順におけるコマンド実行でフラッシュメモリが消去されます。

2. プロテクト機能が有効の場合は、プロテクトビットを消去してください。

   プロテクトビットの消去方法は「24.1.5.1 プロテクト機能」を参照してください。

   プロテクトビットを消去しない場合、手順におけるコマンド実行が行われません。

3. 0 番地で始まる領域の次の領域がブランク状態であることを確認します。(以後、0 番地で始まる領域を Page0、次の領域を Page1 として説明します。)ブランク状態でなければ消去してください。

   Page0：旧オリジナルデータ

   Page1：ブランク

4. 0 番地で始まる領域のオリジナルデータを次の領域にも書き込みます。(両方の領域のデータを同じにします)

   Page0：旧オリジナルデータ

   Page1：コピーデータ(旧オリジナルデータ)

5. メモリスワップを行います。

   Page0：コピーデータ(旧オリジナルデータ)

   Page1：旧オリジナルデータ

6. 旧オリジナルデータを消去して、ブランク状態にします。

   Page0：コピーデータ(旧オリジナルデータ)

   Page1：ブランク

7. ブランク領域に新しいデータを書き込みます。

   Page0：コピーデータ(旧オリジナルデータ)

   Page1：新オリジナルデータ

8. スワップ状態を解除します。

   Page0：新オリジナルデータ

   Page1：コピーデータ(旧オリジナルデータ)

9. 自動プロテクトビット消去コマンドを実行します。

10. 必要により以下を行ってください。
    - コピーデータ(旧オリジナルデータ)消去。
    - スワップ領域以外のフラッシュメモリのデータ書き換え。
    - プロテクト機能の有効化

・ セキュリティ機能の有効化

手順		3	4	5	6	7	8
内蔵 RAM		消去ルーチン	書き替えルーチン	スワップルーチン	消去ルーチン	書き替えルーチン	スワップルーチン
フラッシュメモリ	Page0	旧オリジナル	旧オリジナル	旧オリジナルのコピー	旧オリジナルのコピー	旧オリジナルのコピー	新オリジナル
	Page1	ブランク	旧オリジナルのコピー	旧オリジナル	ブランク	新オリジナル	旧オリジナルのコピー

消去ルーチン: フラッシュメモリの消去を行うためのプログラム

書き替えルーチン: フラッシュメモリの書き替えを行うためのプログラム

スワップルーチン: フラッシュメモリのスワップを行うためのプログラム

24.1.7　レジスタ

24.1.7.1　レジスター覧

制御レジスタとアドレスは以下のとおです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
セキュリティビットレジスタ	FCSECBIT	0x0010
プロテクトステータスレジスタ 0	FCPSR0	0x0020
プロテクトステータスレジスタ 1	FCPSR1	0x0030
プロテクトステータスレジスタ 2	FCPSR2	0x0040
ステータスレジスタ	FCSR	0x0100
スワップステータスレジスタ	FCSWPSR	0x0104
エリア選択レジスタ	FCAREASEL	0x0140
コントロールレジスタ	FCCR	0x0148
ステータスクリアレジスタ	FCSTSCLR	0x014C
WCLK 設定レジスタ	FCWCLKCR	0x0150
Program 用カウンタ設定レジスタ	FCPROGCR	0x0154
Erase 用カウンタ設定レジスタ	FCERASECR	0x0158

24.1.7.2 FCSECBIT(セキュリティビットレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SECBIT
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	SECBIT	R/W	セキュリティビット 0:セキュリティ機能設定不可 1:セキュリティ機能設定可能

注) 本レジスタは、コールドリセットおよび STOP2 モード解除で初期化されます。

24.1.7.3　FCPSR0(プロテクトステータスレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	BLK15	BLK14	BLK13	BLK12	BLK11	BLK10	BLK9	BLK8
リセット後	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)
	23	22	21	20	19	18	17	16
bit symbol	BLK7	BLK6	BLK5	BLK4	BLK3	BLK2	BLK1	-
リセット後	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	0
	15	14	13	12	11	10	9	8
bit symbol	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0
リセット後	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RDY_BSY
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-17	BLK15 ~ BLK1	R	Block1 ~ 15 のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。
16	-	R	リードすると"0"が読めます。
15-8	PG7 ~ PG0	R	Page0 ~ 7 のプロテクト状態 1: プロテクト状態 0: プロテクト状態ではない プロテクトビット値は各ページのプロテクト状態に対応します。該当ビットが"1"の時は対応するページがプロテクト状態であることを示します。プロテクト状態のページは書き換えはできません。
7-1	-	R	リードすると"0"が読めます。
0	RDY_BSY	R	自動プログラムまたは自動チップ消去コマンド実行時の Ready/Busy (注 2) 0: 自動動作中 1:自動動作終了 自動動作の状態を認識できます。フラッシュメモリが自動動作中は "0" になり、ビジー状態であることを示します。自動動作が終了するとレディ状態となり "1" を出力し、次のコマンドを受け付けます。 自動動作の結果が不良であった場合、本ビットは "0" 出力を継続します。自動実行の中止を行うことで "1" に復帰します。詳細は「24.2.4 自動動作の中止」を参照してください。

注 1)　プロテクト状態に応じた値になります。

注 2)　コマンド発行は、必ずレディ状態であることを確認してから発行してください。ビジー中にコマンド発行を行った場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力できなくなる可能性があります。ビジー状態を解除するには、FCCR<WEABORT>を用いてコマンドを中止してください。詳細は「24.2.4 自動動作の中止」を参照してください。

24.1.7.4 FCPSR1(プロテクトステータスレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	BLK31	BLK30	BLK29	BLK28	BLK27	BLK26	BLK25	BLK24
リセット後	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)
	23	22	21	20	19	18	17	16
bit symbol	BLK23	BLK22	BLK21	BLK20	BLK19	BLK18	BLK17	BLK16
リセット後	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-17	BLK31 ~ BLK16	R	Block16 ~ 31 のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。
16-1	-	R	リードすると"0"が読めます。
0	-	R	リードすると"1"が読めます。

注 1) プロテクト状態に応じた値になります。

24.1.7.5　FCPSR2(プロテクトステータスレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	BLK47	BLK46	BLK45	BLK44	BLK43	BLK42	BLK41	BLK40
リセット後	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)
	23	22	21	20	19	18	17	16
bit symbol	BLK39	BLK38	BLK37	BLK36	BLK35	BLK34	BLK33	BLK32
リセット後	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)	(注 1)
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-17	BLK47 ~ BLK32	R	Block32 ~ 47 のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。
16-1	-	R	リードすると"0"が読めます。
0	-	R	リードすると"1"が読めます。

注 1)　プロテクト状態に応じた値になります。

24.1.7.6 FCSR(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	WEABORT
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-25	−	R	リードすると"0"が読めます。
24	WEABORT	R	FCCR<WEABORT>によるマクロコマンドの中止が行われると"1"がセットされます。 詳細は「24.2.4 自動動作の中止」を参照してください。
23-1	−	R	リードすると"0"が読めます。
0	−	R	リードすると"1"が読めます。

24.1.7.7　FCSWPSR(スワップステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	SIZE		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FLG						SWP	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-11	–	R	リードすると"0"が読めます。
10-8	SIZE[2:0]	R	スワップサイズ 000: 4K バイト(ページ 0　⇔ページ 1) 001: 8K バイト(ページ 0-1　⇔ページ 2-3) 010: 16K バイト(ページ 0-3　⇔ページ 4-7) 011: 32K バイト(ブロック 0　⇔ブロック 1) 100: エリア 1(エリア 0　⇔エリア 1) 101:エリア 2(エリア 0　⇔エリア 2) 上記以外: 設定禁止
7-2	FLG	R	ソフトウエアの管理用フラグ(「24.6 ユーザブートプログラムの書き替え方法」を参考にしてください)
1-0	SWP[1:0]	R	スワップの状態 11: スワップ解除 10: 設定禁止 01:スワップ中 00: スワップ解除(初期化状態)

注)　このレジスタは、自動プロテクトビット消去コマンドで初期化されます。

24.1.7.8 FCAREASEL(エリア選択レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	AREA2		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	AREA1			-	AREA0		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-11	–	R	リードすると"0"が読めます。
10-8	AREA2	R/W	フラッシュメモリ操作コマンドにより実行の対象となるフラッシュメモリの"エリア"を指定します。 111: エリア 2 を選択 上記以外: エリア 2 を非選択
7	–	R	リードすると"0"が読めます。
6-4	AREA1	R/W	フラッシュメモリ操作コマンドにより実行の対象となるフラッシュメモリの"エリア"を指定します。 111: エリア 1 を選択 上記以外: エリア 1 を非選択
3	–	R	リードすると"0"が読めます。
2-0	AREA0	R/W	フラッシュメモリ操作コマンドにより実行の対象となるフラッシュメモリの"エリア"を指定します。 111: エリア 0 を選択 上記以外: エリア 0 を非選択

注 1) このレジスタに値を設定する場合は、このレジスタに値をライトし、その後ライトした値がリードできることを確認してください。

注 2) エリア選択ビットが"111(0x7)"以外のままフラッシュメモリ操作コマンドを実行するとコマンド実行がキャンセルされます。

注 3) 自動チップ消去コマンドを実行する場合は全てのエリア選択ビットに"111(0x7)"を設定してください。

24.1.7.9　FCCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	WEABORT		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます。
2-0	WEABORT	R/W	自動動作コマンドの中止 111:中止する リードすると設定値が読めます。 詳細は「24.2.4 自動動作の中止」を参照してください。

24.1.7.10 FCSTSCLR(ステータスクリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	WEABORT		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます。
2-0	WEABORT	R/W	FCSR<WEABORT>の"0"クリア。 111:クリアする リードすると設定値が読めます。 詳細は「24.2.4 自動動作の中止」を参照してください。

24.1.7.11　FCWCLKCR(WCLK 設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	DIV				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	–	R	リードすると"0"が読めます。
4-0	DIV	R/W	自動実行中のクロック(WCLK : fsys/(DIV+1))が 8 ~ 12MHz となる分周比 00000: 1 分周 00001: 2 分周 : 11110: 31 分周 11111: 32 分周

注 1)　<DIV>を設定する前にギア切り替え処理が終了していることを確認してください。

注 2)　ギアを切り替えて Flash 操作を行う場合、WCLK が 8 ~ 12MHz の範囲内となるよう動作周波数(fsys)に応じて再設定を行ってください。表 24-6 に主な動作周波数(fsys)と<DIV>値の例を示します。

表 24-6 動作周波数(fsys)と<DIV>に対する主な自動動作中のクロック

	fsys	8MHz	10MHz	16MHz	32MHz	40MHz	64MHz	80MHz	120MHz
<DIV>	分周値	自動動作中のクロック(MHz)							
00000	1 分周	8	10	-	-	-	-	-	-
00001	2 分周	-	-	8	-	-	-	-	-
00010	3 分周	-	-	-	10.7	-	-	-	-
00011	4 分周	-	-	-	-	10	-	-	-
00111	8 分周	-	-	-	-	-	8	10	-
01001	10 分周	-	-	-	-	-	-	8	12
01011	12 分周	-	-	-	-	-	-	-	10
01110	15 分周	-	-	-	-	-	-	-	8

-: 設定できません

24.1.7.12 FCPROGCR(Program 用カウンタ設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	CNT	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	CNT	R/W	自動プログラム実行コマンドによる書き込み時間(CNT/WCLK)が 20 ~ 40μs となるカウント数 00:カウント数 250 01: カウント数 300 上記以外:カウント数 350

注 1) WCLKCR<DIV>を再設定する場合、自動プログラム実行コマンドによる書き込み時間が 20 ~ 40μs の範囲内となるよう必要に応じて再設定を行ってください。表 24-7 に主な WCLK 値と<CNT>値の例を示します。

表 24-7 WCLK と<CNT>に対する主な書き込み時間

	WCLK	8MHz	8.33MHz	10MHz	10.7MHz	12MHz
<CNT>	カウント数	書き込み時間(μs)				
00	250 回	31.3	30.0	25.0	23.4	20.8
01	300 回	37.5	36.0	30.0	28.0	25.0
上記以外	350 回	-	-	35.0	32.7	29.2

- : 設定できません

24.1.7.13　FCERASECR(Erase 用カウンタ設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	CNT			
リセット後	0	0	0	0	0	1	1	0

Bit	Bit Symbol	Type	機能
31- 4	-	R	リードすると"0"が読めます。
3-0	CNT	R/W	各自動消去コマンド実行による消去時間(CNT/WCLK)が 100 ~ 130ms となるカウント数 0000:カウント数 850000 0001: カウント数 900000 0010: カウント数 950000 0011: カウント数 1000000 0100: カウント数 1050000 0101: カウント数 1100000 0110: カウント数 1150000 0111: カウント数 1200000 1000: カウント数 1250000 1001: カウント数 1300000 1010: カウント数 1350000 上記以外: カウント数 1400000

注 1)　WCLKCR<DIV>を再設定する場合、各自動消去コマンドによる消去時間が 100 ~ 130ms の範囲内となるよう必要に応じて再設定を行ってください。表 24-8 に主な WCLK 値と<CNT>値の例を示します。

表 24-8 WCLK と<CNT>に対する主な消去時間

	WCLK	8MHz	8.33MHz	10MHz	10.7MHz	12MHz
<CNT>	カウント数	消去時間(ms)				
0000	850000 回	106.3	102.0	-	-	-
0001	900000 回	112.5	108.0	-	-	-
0010	950000 回	118.8	114.0	-	-	-
0011	1000000 回	125.0	120.0	-	-	-
0100	1050000 回	-	126.1	105.0	-	-
0101	1100000 回	-	-	110.0	102.8	-
0110	1150000 回	-	-	115.0	107.5	-
0111	1200000 回	-	-	120.0	112.1	-
1000	1250000 回	-	-	125.0	116.8	104.2
1001	1300000 回	-	-	-	121.5	108.3
1010	1350000 回	-	-	-	126.2	112.5
上記以外	1400000 回	-	-	-	-	116.7

-: 設定できません

24.2 フラッシュメモリ詳細

オンボードプログラミングモードでは、制御プログラム中でコマンドを実行することで、フラッシュメモリの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザがあらかじめ用意しておきます。

またエリア 0 のフラッシュメモリ上でプログラムを実行中に、命令実行を行っていない他の"エリア"(例えばエリア 1)のフラッシュメモリを書き込み/消去できます(逆も可能です)。

24.2.1 機能

一部の機能を除き、フラッシュメモリの書き込みおよび消去などは JEDEC 標準コマンドに準拠していますが、動作コマンドのアドレス指定が標準コマンドとは異なります。

書き込み, 消去を行う場合、32 ビット(1 ワード)のストア命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。

表 24-9 フラッシュメモリの機能

主な機能	説明
自動プログラム	4 ワード(16 バイト)でデータ書き込みを自動で行います。
自動チップ消去	フラッシュメモリの全領域の一括消去を自動で行います。
自動エリア消去	エリア単位での消去を自動で行います。
自動ブロック消去	ブロック単位での消去を自動で行います。
自動ページ消去	ページ単位での消去を自動で行います。
ライト/消去プロテクト	書き込みおよび消去を禁止することができます。
自動メモリスワップ	フラッシュメモリ領域のスワップ/スワップ解除/スワップサイズ指定を自動で行います。

24.2.2 フラッシュメモリの動作モード

フラッシュメモリには、大きく分けて以下の 2 種類の動作モードがあります。

- メモリデータを読み出すモード(リードモード)
- メモリデータを自動的に消去/書き替えるモード(自動動作)

電源投入後、リセット解除後、および自動動作の正常終了時にフラッシュメモリはリードモードになります。フラッシュメモリに書かれた命令の実行、およびデータの読み出しはリードモードで行います。

リードモード中にコマンドを入力すると自動動作へ移り、コマンドの処理が正常に終了するとリードモードに戻ります(ID-Read コマンドを除く)。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。コマンドの実行方法については「24.2.3 コマンド実行方法」を参照してください。

コマンドが正常に終了しないなど、強制的にリードモードに復帰させるには、FCCR<WEABORT>を使用してください。詳細は「24.2.4 自動動作の中止」を参照してください。

24.2.3 コマンド実行方法

コマンド実行は、ストア命令を用いてフラッシュメモリに対してコマンドシーケンスを書き込むことで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します。コマンド実行の詳細は、「24.2.6 コマンド説明」を参照してください。

フラッシュメモリに対するストア命令の実行を"バスライトサイクル"と呼びます。各コマンドは幾つかのバスライトサイクルで構成されています。フラッシュメモリは、バスライトサイクルのアドレスとデータが規定の順番で実行されたときコマンドの自動動作を実施します。規定の順番で実行されなかった場合、フラッシュメモリはコマンドの実行を中止してリードモードになります。

コマンドシーケンスの途中でキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、Read/リセットコマンドを実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。Read/リセットコマンドをソフトウエアリセットと呼びます。

コマンドシーケンスの書き込みが終了すると自動動作を開始し、FCPSR0<RDY_BSY>が"0"になります。自動動作が正常終了したときに FCPSR0<RDY_BSY> = 1 となり、リードモードに復帰します。

自動動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は「24.2.4 自動動作の中止」を参照してください。また、自動動作が正常終了しない場合(FCPSR0<RDY_BSY>が"0"のままの場合)、フラッシュメモリはこのモードのままロックされリードモードには復帰しません。リードモードに復帰させるにはコマンドの中止を行う必要があります。コマンドの中止で動作を中止させた場合は、コマンドは正常に実行されません。

コマンドを実行する際には以下の事項に留意してください。

1. 自動動作中は以下の操作を行わないでください。
   - 電源遮断
   - 全ての例外発生

2. コマンドシーケンサがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第 1 バスライトサイクル前に FCPSR0<RDY_BSY> ="1"であることを確認してください。続いて Read/リセットコマンドを実行することを推奨します。

3. 以下のコマンドシーケンスは、内蔵 RAM 上で実行してください。
   - 自動チップ消去コマンド
   - ID-Read コマンド
   - 自動プロテクトビットプログラムコマンド
   - 自動プロテクトビット消去コマンド
   - 自動メモリスワップコマンド

   上記以外のコマンドシーケンスは、デュアルモードによる書き替えが可能なため、書き込み/消去を行うエリア 1 のフラッシュメモリ以外の"エリア"(例えばエリア 0)のフラッシュメモリ上でプログラムを実行できます(逆も可能です)。

4. 各コマンドを実行する前に FCAREASEL レジスタのエリア選択ビットを設定(<AREAn>に”111”(0x07)をライト）してください。

   なお、下記コマンドを実行する場合は全てのエリア選択ビットを設定してください。
   - 自動チップ消去コマンド
   - ID-Read コマンド
   - 自動プロテクトビットプログラムコマンド
   - 自動プロテクトビット消去コマンド
   - 自動メモリスワップコマンド

5. 各バスライトサイクルは連続して、1 ワード(32 ビット)のデータ転送命令で行います。

6. 各コマンドシーケンスの実行中に、実行対象となるフラッシュメモリへのアクセスを行うとバスフォールトを発生します。

7. コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずソフトウエアリセットを発行して、リードモードに戻してください。

8. 各コマンド実行の終了確認手順は以下のとおりです。

   1)最終バスライトサイクルを実行します。

   2)FCPSR0<RDY_BSY>=0(Busy)となるまでポーリングします。

   3)FCPSR0<RDY_BSY>=1(Ready)となるまでポーリングします。

9. フラッシュメモリからデータをリードする場合は、FCAREASEL レジスタのエリア選択ビットをクリア(<AREAn>に"000"(0x0)) してください。

24.2.4 自動動作の中止

自動動作の強制終了や、自動動作が異常終了した場合にリードモードへ復帰のための手順を以下に示します。

1. FCPSR0<RDY_BSY>をリードします。
2. 手順 1 のリード結果が"1"(Ready)の場合は、9 で終了してください。"0"(Busy)の場合は 3 へ進みます
3. FCCR<WEABORT>に"0x7"をライトします。
4. FCCR<WEABORT>に"0x0"をライトします。
5. FCPSR0<RDY_BSY>=1(Ready) となるまでポーリングします。
6. FCSR<WEABORT>をリードします。
7. Read/リセットコマンドを実行します。
8. 手順 6 のリード結果が"0"の場合は、9 で終了してください。"1"の場合は以下の操作を行い、このフラグをクリアします。
   1. FCSTSCLR<WEABORT>に"0x7"をライトします。
   2. FCSTSCLR<WEABORT>に"0x0"をライトします。
   3. FCSR<WEABORT>="0"となるまでポーリングします。
9. 終了

24.2.5 自動動作の完了検知

Flash の書き込み/消去動作などの完了を検知する割り込み機能があります。

24.2.5.1 手順

自動動作の完了検知割り込みを使用する手順は以下のとおりです。

割り込み処理の詳細については、例外の章の”割り込み”を参照してください。

1. Flash に対し書き込み/消去コマンドを発行後、FCPSR0<RDY_BSY>で、自動動作中(BUSY 状態）を確認します。自動動作中を確認したら、CPU 割り込みの許可の設定をします。

2. Flash の自動動作終了後、INTFLRDY 割り込みが発生

3. INTFLRDY 割り込み処理ルーチンの中で、CPU 割り込みの禁止をしてください。

24.2.6　コマンド説明

各コマンドの内容について説明します。具体的なコマンドシーケンスは「24.2.7 コマンドシーケンス」を参照してください。

24.2.6.1　自動プログラム

(1)　動作内容

自動プログラムコマンドシーケンスにより、4 ワード(16 バイト)単位で書き込みができます。16 バイトを跨ってデータを書き込むことはできません。

フラッシュメモリへの書き込みは、"1" データセルを "0" データにすることです。"0" データセルを "1" データにすることはできません。"0" データセルを "1" データにするには消去動作を行う必要があります。

自動プログラムは消去後の 4 ワード(書き込み単位)に対して 1 回のみ可能で、"1"データセルであっても"0"データセルであっても 2 回以上の実行はできません。一度書き込み動作を行った 4 ワードに対して再度書き込みを行う場合は、自動ページ消去、自動ブロック消去または自動チップ消去コマンドを行った後に自動プログラムを実行しなおす必要があります。

自動プログラム中は、新たにコマンドシーケンスを受け付けません。

注 1)　消去動作を伴わない同一ページへの 2 回以上プログラム実施はデータ破損の可能性があります。
注 2)　プロテクトされたブロックへの書き込みはできません。
注 3)　STOP2 モードからノーマルモードへ遷移後にフラッシュメモリへ書き込みを行う場合は CGRSTFLG <OSCFLF>が"1"であることを確認してください。

(2)　実行方法

第 1 ~ 第 3 バスライトサイクルが自動プログラムのコマンドシーケンスです。

第 4 バスライトサイクルでページの先頭アドレスとデータを書き込みます。第 5 バスライトサイクル以降は 4 ワードの内の残りのデータを書き込みます。データは 1 ワード(32 ビット)単位で書き込んでください。

16 バイトの一部に書き込みを行う場合、書き込みが不要なアドレスのデータを"0xFFFFFFFF"として 16 バイト分の書き込みを行ってください。

このデバイス内部で自動的なベリファイ動作は行いませんので、正常に書き込みができたか、実行後に読み出しをして確認してください。

24.2.6.2 自動チップ消去

(1) 動作内容

自動チップ消去は、全アドレスのメモリセルに対して消去動作を行います。プロテクトされているページまたはブロックがある場合は自動チップ消去を実行せず、コマンドシーケンスの入力後にリードモードに戻ります。

自動消去中は、新たにコマンドシーケンスを受け付けません。この動作を中止するには「24.2.4 自動動作の中止」を参考に中止してください。この場合、データの消去は正常に行われていない可能性があるため、あらためて自動消去を実行する必要があります。

(2) 実行方法

第 1～第 6 バスライトサイクルが自動チップ消去のコマンドシーケンスです。コマンドシーケンス入力後、自動チップ消去動作を行います。

このデバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。

24.2.6.3 自動エリア消去

(1) 動作内容

自動エリア消去コマンドは、指定された"エリア"に対して消去動作を行います。プロテクトされているページまたはブロックがある場合は自動エリア消去を実行せず、コマンドシーケンスの入力後にリードモードに戻ります。

自動消去中は、新たにコマンドシーケンスを受け付けません。この動作を中止するには「24.2.4 自動動作の中止」を参考に中止してください。この場合、データの消去は正常に行われていない可能性があるため、あらためて自動消去を実行する必要があります。

(2) 実行方法

第 1～第 5 バスライトサイクルが自動エリア消去のコマンドシーケンスです。第 6 バスライトサイクルで消去する"エリア"を指定します。コマンドシーケンス入力後、自動エリア消去動作を行います。

このデバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。

24.2.6.4 自動ブロック消去

(1) 動作内容

自動ブロック消去コマンドは、指定されたブロックに対する消去動作を行います。プロテクトされているページや指定されたブロックがプロテクトされている場合は自動ブロック消去を実行せず、コマンドシーケンスの入力後にリードモードに戻ります。

自動消去中は、新たにコマンドシーケンスを受け付けません。この動作を中止するには「24.2.4 自動動作の中止」を参考に中止してください。この場合、データの消去は正常に行われていない可能性があるため、あらためて自動消去を実行する必要があります。

(2)　実行方法

第 1～第 5 バスライトサイクルが自動ブロック消去のコマンドシーケンスです。第 6 バスライトサイクルで消去するブロックを指定します。コマンドシーケンス入力後、自動ブロック消去動作を行います。

このデバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。

24.2.6.5　自動ページ消去

(1)　動作内容

自動ページ消去コマンドは、指定されたページに対する消去動作を行います。指定されたページがプロテクトされている場合は消去を実行せず、コマンドシーケンスの入力後にリードモードに戻ります。

自動消去中は、新たにコマンドシーケンスを受け付けません。この動作を中止するには「24.2.4 自動動作の中止」を参考に中止してください。この場合、データの消去は正常に行われていない可能性があるため、あらためて自動消去を実行する必要があります。

(2)　実行方法

第 1～第 5 バスライトサイクルが自動ページ消去のコマンドシーケンスです。第 6 バスライトサイクルで消去するページを指定します。コマンドシーケンス入力後、自動ページ消去動作を行います。

このデバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。

24.2.6.6　自動プロテクトビットプログラム

(1)　動作内容

自動プロテクトビットプログラムは、プロテクトビットにビット単位で"1"を書き込みます。プロテクトビットを"0"にするためには自動プロテクトビット消去コマンドを使用します。

プロテクトの機能については「24.1.5 プロテクト/セキュリティ機能」を参照してください。

自動プロテクトビットプログラム中は、新たにコマンドシーケンスを受け付けません。

(2)　実行方法

第 1～第 3 バスライトサイクルが自動プロテクトビットプログラムのコマンドシーケンスになります。第 4 バスライトサイクルで書き込むプロテクトビットを指定します。コマンドシーケンス入力後、自動プロテクトビットプログラム動作を行います。正しく書き込みができたかどうか、各 FCPSR レジスタの各ビットを確認してください。

24.2.6.7 自動プロテクトビット消去

(1) 動作内容

自動プロテクトビット消去コマンドは、実行する際のセキュリティの状態によって動作内容が異なります。

- セキュリティ状態でない場合

  全てのプロテクトビットを"0"にクリアします。
- セキュリティ状態の場合

  フラッシュメモリの全アドレスのデータを消去した後、全てのプロテクトビットを消去します。

プロテクトの機能については、「24.1.5 プロテクト/セキュリティ機能」を参照してください。

自動プロテクトビット消去中は、新たにコマンドシーケンスを受け付けません。この動作を中止するには「24.2.4 自動動作の中止」を参考に中止してください。この場合、プロテクトの消去は正常に行われていない可能性があるため、あらためて自動プロテクトビット消去を実行する必要があります。

(2) 実行方法

第 1～第 3 バスライトサイクルが自動プロテクトビット消去のコマンドシーケンスになります。第 4 バスライトサイクルで 0x5E000000 を指定します。コマンドシーケンス入力後、自動動作を行います。

セキュリティ状態でない場合、全てのプロテクトビットが消去されます。正常に消去が行われたか、各 FCPSR レジスタの各ビットを確認してください。

セキュリティ状態の場合、フラッシュメモリの全アドレスのデータ消去および全てのプロテクトビットが消去されます。データの消去およびプロテクトビットの消去が正常に行われたか読み出して確認し、必要に応じて再度自動プロテクトビット消去、自動チップ消去あるいは自動ブロック消去を実行してください。

24.2.6.8 ID-Read

(1) 動作内容

ID-Read コマンドは、フラッシュメモリのタイプなどの情報を読み出すことができます。読み出せる内容は、メーカーコード、デバイスコード、マクロコードの 3 種類です。

(2) 実行方法

第 1～第 3 バスライトサイクルが ID-Read のコマンドシーケンスになります。第 4 バスサイクルで読み出すコードを指定します。第 4 バスライトサイクル以降、任意のフラッシュ領域からのリード動作でコードが得られます。

ID-Read コマンドは連続実行が可能です。第 4 バスライトサイクルと ID の値の読み出しは繰り返し実行できます。

ID-Read コマンドは自動的にリードモードに戻りません。リードモードへの復帰は Read/リセットコマンドで行います。

24.2.6.9　Read/リセットコマンド (ソフトウエアリセット)

(1)　動作内容

フラッシュメモリをリードモードに戻すコマンドです。

ID-Read コマンドを実行した場合、Flash メモリは自動的にはリードモードに復帰せず、その状態で停止します。このような状態からリードモードに復帰させるために、Read/リセットコマンドを使用します。また、途中まで入力したコマンドをキャンセルする場合にも使用します。

(2)　実行方法

Read/リセットコマンドでは第 1 バスライトサイクルがコマンドシーケンスになります。コマンドシーケンス実行後、フラッシュメモリはリードモードになります。

24.2.6.10　自動メモリスワップ

(1)　動作内容

自動メモリスワップは、FCSWPSR[10:0]の各ビットにビット単位で"1"を書き込むコマンドです。各ビットを"0"にすることはできず、自動プロテクトビット消去コマンドを使用して全てのビットを"0"クリアします。

自動メモリスワップ動作中は、新たにコマンドシーケンスを受け付けません。

(2)　実行方法

第 1～第 4 バスライトサイクルが自動メモリスワップのコマンドシーケンスです。コマンドシーケンス入力後、FCSWPSR レジスタの指定ビットに"1"が書き込まれます。

24.2.7　コマンドシーケンス

24.2.7.1　コマンドシーケンス一覧

表 24-10 に各コマンドのバスライトサイクルのアドレスとデータを示します。

ID-Read コマンドの第 5 バスサイクル以外は全て"「バスライトサイクル」です。バスライトサイクルは 32 ビット(1 ワード) のデータ転送命令で実施します(表では、データの下位 8 ビットのデータのみ示しています)。

アドレスの詳細は、表 24-11 を参照してください。表 24-11 で「コマンド」と記載された、Addr[15:9]に下記値を使用します。

注 1)　アドレスビット[20:19]は対象のエリアにより以下の値を設定してください。
エリア 0 : "00"
エリア 1 : "01"
エリア 2 : "10"

注 2)　STOP2 モードからノーマルモードへ遷移後にフラッシュメモリへ書き込みを行う場合は CGRSTFLG <OSCFLF>が"1"であることを確認してください。

注 3)　各コマンドのアドレスは、Flash 領域(Mirror）に設定してください

表 24-10 内部 CPU によるフラッシュメモリアクセス

コマンド シーケンス	第 1 バス サイクル	第 2 バス サイクル	第 3 バス サイクル	第 4 バス サイクル	第 5 バス サイクル	第 6 バス サイクル	第 7 バス サイクル
	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.
	Data	Data	Data	Data	Data	Data	Data
Read/リセット	0xXXXXXX	–	–	–	–	–	–
	0xF0	–	–	–	–	–	–
ID-Read	0xXX54XX	0xXXAAXX	0xXX54XX	IA	0xXX	–	–
	0xAA	0x55	0x90	0x00	ID	–	–
自動プログラム	0xXX54XX	0xXXAAXX	0xXX54XX	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
自動チップ消去	0xXX54XX	0xXXAAXX	0xXX54XX	0xXX54XX	0xXXAAXX	0xXX54XX	–
	0xAA	0x55	0x80	0xAA	0x55	0x10	–
自動エリア消去	0xXX54XX	0xXXAAXX	0xXX54XX	0xXX54XX	0xXXAAXX	AA	–
	0xAA	0x55	0x80	0xAA	0x55	0x20	–
自動ブロック消去	0xXX54XX	0xXXAAXX	0xXX54XX	0xXX54XX	0xXXAAXX	BA	–
	0xAA	0x55	0x80	0xAA	0x55	0x30	–
自動ページ消去	0xXX54XX	0xXXAAXX	0xXX54XX	0xXX54XX	0xXXAAXX	PGA	–
	0xAA	0x55	0x80	0xAA	0x55	0x40	–
自動プロテクトビット プログラム	0xXX54XX	0xXXAAXX	0xXX54XX	PBA	–	–	–
	0xAA	0x55	0x9A	0x9A	–	–	–
自動プロテクトビット 消去	0xXX54XX	0xXXAAXX	0xXX54XX	0x0000XX	–	–	–
	0xAA	0x55	0x6A	0x6A	–	–	–
自動メモリスワップ	0xXX54XX	0xXXAAXX	0xXX54XX	MSA	–	–	–
	0xAA	0x55	0x9A	0x9A	–	–	–

補足説明

- IA: ID アドレス
- ID: ID データ
- PA: プログラムアドレス
- PD: プログラムデータ(32 ビットデータ)
  第 4 バスサイクル以降 16 バイト分をアドレス順にデータ入力
- AA: エリアアドレス(表 24-2&表 24-3 参照)
- BA: ブロックアドレス(表 24-2&表 24-3 参照)
- PGA: ページアドレス
- PBA: プロテクトビットアドレス(表 24-12 参照)
- MSA: メモリスワップアドレス(表 24-14 参照)

24.2.7.2　バスライトサイクル時のアドレスビット構成

表 24-11 は「表 24-10 内部 CPU によるフラッシュメモリアクセス」と併せてご使用願います。

第 1 バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行ってください。

表 24-11 バスライトサイクル時のアドレスビット構成

[通常のコマンド]

アドレス	Addr [31:24]	Addr [23:21]	Addr [20:19]	Addr [18:16]	Addr [15:9]	Addr [8:0]
通常コマンド	通常コマンドのバスライトサイクルアドレス設定					
	0x5E	"000" 固定	注	"0"推奨	コマンド	"0"推奨

[Read/リセット、ID-READ]

アドレス	Addr [31:24]	Addr [23:21]	Addr [20:19]	Addr [18:16]	Addr [15:14]	Addr [13:0]
Read /リセット	Read/リセットの第 1 バスライトサイクルアドレス設定					
	0x5E	"000" 固定	"00" 固定	"0"推奨		
ID-READ	IA: ID アドレス(ID-READ の第 4 バスライトサイクルアドレス設定)					
	0x5E	"000" 固定	"00" 固定	"0"推奨	ID アドレス (表 24-13)	"0"推奨

[自動エリア消去]

アドレス	Addr [31:24]	Addr [23:21]	Addr [20:19]	Addr [18:0]
エリア消去	AA: エリアアドレス(エリア消去の第 6 バスライトサイクルアドレス設定)			
	0x5E	"000" 固定	注	"0"推奨

[自動ブロック消去]

アドレス	Addr [31:24]	Addr [23:21]	Addr [20:19]	Addr [18:13]	Addr [12:0]
ブロック消去	BA: ブロックアドレス(ブロック消去の第 6 バスライトサイクルアドレス設定)				
	0x5E	"000" 固定	注	ブロックアドレス(表 24-2)	"0"推奨

[自動ページ消去]

アドレス	Addr [31:24]	Addr [23:21]	Addr [20:19]	Addr [18:12]	Addr [11:0]
ページ消去	PGA: ページアドレス(ページ消去の第 6 バスライトサイクルアドレス設定)				
	0x5E	"000" 固定	注	ページアドレス	"0"推奨

[自動プログラム]

アドレス	Addr [31:24]	Addr [23:21]	Addr [20:19]	Addr [18:3]	Addr [2:0]
プログラム	PA: プログラムアドレス(プログラムの第 4 バスライトサイクルアドレス設定)				
	0x5E	"000" 固定	注	プログラムアドレス	"0"推奨

[プロテクトビットプログラム、メモリスワップ]

アドレス	Addr [31:24]	Addr [23:21]	Addr [20:19]	Addr [18:12]	Addr [11:8]	Addr [7:4]	Addr [3:0]
プロテクトビット消去	プロテクトビット消去の第 4 バスライトサイクルアドレス設定						
	0x5E	"000" 固定	"0"固定			"0"推奨	
プロテクトビットプログラム	PBA: プロテクトビットアドレス(プロテクトビットプログラムの第 4 バスライトサイクルアドレス設定)						
	0x5E	"000" 固定	"00" 固定	"0" 推奨		プロテクトビット選択 (表 24-12)	"0"推奨
メモリスワップ	MSA: メモリスワップアドレス(メモリスワップの第 4 バスライトサイクルアドレス設定)						
	0x5E	"000" 固定	"00" 固定	"0" 推奨		メモリスワップビット選択 (表 24-14)	"0"推奨

注) アドレスビット[20:19]は対象のエリアにより以下の値を設定してください。
エリア 0 : "00"
エリア 1 : "01"
エリア 2 : "10"

24.2.7.3 エリアアドレス(AA)、ブロックアドレス(BA)

表 24-2 にエリアアドレスとブロックアドレスを示します。自動エリア消去コマンドと自動ブロック消去コマンドの第 6 バスライトサイクルで、消去する"エリア"またはブロックに含まれる任意のアドレスを指定します。シングルチップモードでは、ミラー領域のアドレスを指定してください。

24.2.7.4 プロテクトビットの指定(PBA)

プロテクトビットは、1 ビット単位の操作になります。

自動プロテクトビットプログラムのプロテクトビット選択表を表 24-12 に示します。

表 24-12 プロテクトビットプログラムアドレス表

[TMPM461F15/F10FG]

Block	Page	レジスタ	プロテクトビット	PBA[11:4]							アドレス例 [31:0]
				Addr [11:10]	Addr [9]	Addr [8]	Addr [7]	Addr [6]	Addr [5]	Addr [4]	

表 24-12 プロテクトビットプログラムアドレス表

0	0	FCPSR0	<PG0>	0	0	0	0	0	0	0	0x5E00_0000
	1		<PG1>	0	0	0	0	0	0	1	0x5E00_0010
	2		<PG2>	0	0	0	0	0	1	0	0x5E00_0020
	3		<PG3>	0	0	0	0	0	1	1	0x5E00_0030
	4		<PG4>	0	0	0	0	1	0	0	0x5E00_0040
	5		<PG5>	0	0	0	0	1	0	1	0x5E00_0050
	6		<PG6>	0	0	0	0	1	1	0	0x5E00_0060
	7		<PG7>	0	0	0	0	1	1	1	0x5E00_0070
1	8 ~ 15		<BLK1>	0	0	0	1	0	0	0	0x5E00_0080
2	16 ~ 23		<BLK2>	0	0	0	1	0	0	1	0x5E00_0090
3	24 ~ 31		<BLK3>	0	0	0	1	0	1	0	0x5E00_00A0
4	32 ~ 39		<BLK4>	0	0	0	1	0	1	1	0x5E00_00B0
5	40 ~ 47		<BLK5>	0	0	0	1	1	0	0	0x5E00_00C0
6	48 ~ 55		<BLK6>	0	0	0	1	1	0	1	0x5E00_00D0
7	56 ~ 63		<BLK7>	0	0	0	1	1	1	0	0x5E00_00E0
8	64 ~ 71		<BLK8>	0	0	0	1	1	1	1	0x5E00_00F0
9	72 ~ 79		<BLK9>	0	0	1	0	0	0	0	0x5E00_0100
10	80 ~ 87		<BLK10>	0	0	1	0	0	0	1	0x5E00_0110
11	88 ~ 95		<BLK11>	0	0	1	0	0	1	0	0x5E00_0120
12	96 ~ 103		<BLK12>	0	0	1	0	0	1	1	0x5E00_0130
13	104 ~ 111		<BLK13>	0	0	1	0	1	0	0	0x5E00_0140
14	112 ~ 119		<BLK14>	0	0	1	0	1	0	1	0x5E00_0150
15	120 ~ 127		<BLK15>	0	0	1	0	1	1	0	0x5E00_0160

Block	Page	レジスタ	プロテクトビット	PBA[11:4]							アドレス例 [31:0]
				Addr [11:10]	Addr [9]	Addr [8]	Addr [7]	Addr [6]	Addr [5]	Addr [4]	
16	128 ~ 135	FCPSR1	<BLK16>	0	0	1	0	1	1	1	0x5E00_0170
17	136 ~ 143		<BLK17>	0	0	1	1	0	0	0	0x5E00_0180
18	144 ~ 151		<BLK18>	0	0	1	1	0	0	1	0x5E00_0190
19	152 ~ 159		<BLK19>	0	0	1	1	0	1	0	0x5E00_01A0
20	160 ~ 167		<BLK20>	0	0	1	1	0	1	1	0x5E00_01B0
21	168 ~ 175		<BLK21>	0	0	1	1	1	0	0	0x5E00_01C0
22	176 ~ 183		<BLK22>	0	0	1	1	1	0	1	0x5E00_01D0
23	184 ~ 191		<BLK23>	0	0	1	1	1	1	0	0x5E00_01E0
24	192 ~ 199		<BLK24>	0	0	1	1	1	1	1	0x5E00_01F0
25	200 ~ 207		<BLK25>	0	1	0	0	0	0	0	0x5E00_0200
26	208 ~ 215		<BLK26>	0	1	0	0	0	0	1	0x5E00_0210
27	216 ~ 223		<BLK27>	0	1	0	0	0	1	0	0x5E00_0220
28	224 ~ 231		<BLK28>	0	1	0	0	0	1	1	0x5E00_0230
29	232 ~ 239		<BLK29>	0	1	0	0	1	0	0	0x5E00_0240
30	240 ~ 247		<BLK30>	0	1	0	0	1	0	1	0x5E00_0250
31	248 ~ 255		<BLK31>	0	1	0	0	1	1	0	0x5E00_0260

Block	Page	レジスタ	プロテクトビット	PBA[11:4]							アドレス例 [31:0]
				Addr [11:10]	Addr [9]	Addr [8]	Addr [7]	Addr [6]	Addr [5]	Addr [4]	
32	256 ~ 263	FCPSR2	<BLK32>	0	1	0	0	1	1	1	0x5E00_0270
33	264 ~ 271		<BLK33>	0	1	0	1	0	0	0	0x5E00_0280
34	272 ~ 279		<BLK34>	0	1	0	1	0	0	1	0x5E00_0290
35	280 ~ 287		<BLK35>	0	1	0	1	0	1	0	0x5E00_02A0
36	288 ~ 295		<BLK36>	0	1	0	1	0	1	1	0x5E00_02B0
37	296 ~ 303		<BLK37>	0	1	0	1	1	0	0	0x5E00_02C0
38	304 ~ 311		<BLK38>	0	1	0	1	1	0	1	0x5E00_02D0
39	312 ~ 319		<BLK39>	0	1	0	1	1	1	0	0x5E00_02E0
40	320 ~ 327		<BLK40>	0	1	0	1	1	1	1	0x5E00_02F0
41	328 ~ 335		<BLK41>	0	1	1	0	0	0	0	0x5E00_0300
42	336 ~ 343		<BLK42>	0	1	1	0	0	0	1	0x5E00_0310
43	344 ~ 351		<BLK43>	0	1	1	0	0	1	0	0x5E00_0320
44	352 ~ 359		<BLK44>	0	1	1	0	0	1	1	0x5E00_0330
45	360 ~ 367		<BLK45>	0	1	1	0	1	0	0	0x5E00_0340
46	268 ~ 375		<BLK46>	0	1	1	0	1	0	1	0x5E00_0350
47	376 ~ 383		<BLK47>	0	1	1	0	1	1	0	0x5E00_0360

24.2.7.5　ID-Read のコード(IA, ID)

ID-Read コマンドでのコード指定方法と読み出される内容を表 24-13 に示します。

表 24-13 ID-Read コマンドのコード指定とコードの内容

Code	ID[7:0]	IA[15:14]	アドレス例[31:0]
メーカーコード	0x0098	00	0x5E00_0000
デバイスコード	0x005A	01	0x5E00_4000
−	Reserved	10	−
マクロコード	0x012B	11	0x5E00_C000

24.2.7.6　メモリスワップビットの指定(MSA)

自動メモリスワップコマンドの第 4 バスライトサイクルで指定する FCSWPSR[10:0]への設定値を表 24-14 に示します。

表 24-14 メモリスワップコマンドによる FCSWPSR[10:0]への設定値とアドレス例

FCSWPSR[10:0]	MSA[11:4]							アドレス例 [31:0]
	アドレス [11]	アドレス [10:9]	アドレス [8]	アドレス [7]	アドレス [6]	アドレス [5]	アドレス [4]	
FCSWPSR[0]	1	"0"固定	0	1	0	0	0	0x5E00_0880
FCSWPSR[1]	1	"0"固定	0	1	0	0	1	0x5E00_0890
FCSWPSR[2]	1	"0"固定	0	1	0	1	0	0x5E00_08A0
FCSWPSR[3]	1	"0"固定	0	1	0	1	1	0x5E00_08B0
FCSWPSR[4]	1	"0"固定	0	1	1	0	0	0x5E00_08C0
FCSWPSR[5]	1	"0"固定	0	1	1	0	1	0x5E00_08D0
FCSWPSR[6]	1	"0"固定	0	1	1	1	0	0x5E00_08E0
FCSWPSR[7]	1	"0"固定	0	1	1	1	1	0x5E00_08F0
FCSWPSR[8]	1	"0"固定	1	0	0	0	0	0x5E00_0900
FCSWPSR[9]	1	"0"固定	1	0	0	0	1	0x5E00_0910
FCSWPSR[10]	1	"0"固定	1	0	0	1	0	0x5E00_0920

24.2.7.7 コマンドシーケンス例

コマンドシーケンス例

（Block0~47）

コマンド		バスサイクル						
		1	2	3	4	5	6	7
Read/リセット	アドレス	0x5E00_0000	–	–	–	–	–	–
	データ	0x0000_00F0	–	–	–	–	–	–
ID-Read	アドレス	0x5E00_5400	0x5E00_AA00	0x5E00_5400	IA	0x5E00_0000	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0090	0x0000_0000	ID	–	–
自動チップ消去	アドレス	0x5E00_5400	0x5E00_AA00	0x5E00_5400	0x5E00_5400	0x5E00_AA00	0x5E00_5400	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0010	–
自動プロテクトビットプログラム	アドレス	0x5E00_5400	0x5E00_AA00	0x5E00_5400	PBA	–	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_009A	–	–	–
自動プロテクトビット消去	アドレス	0x5E00_5400	0x5E00_AA00	0x5E00_5400	0x5E00_0000	–	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_006A	–	–	–
自動メモリスワップ	アドレス	0x5E00_5400	0x5E00_AA00	0x5E00_5400	MSA	–	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_009A	–	–	–

（Block0~15）

コマンド		バスサイクル						
		1	2	3	4	5	6	7
自動プログラム	アドレス	0x5E00_5400	0x5E00_AA00	0x5E00_5400	PA	以降、連続して 16 バイト分のデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動エリア消去	アドレス	0x5E00_5400	0x5E00_AA00	0x5E00_5400	0x5E00_5400	0x5E00_AA00	0x5E00_0000	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0020	–
自動ブロック消去	アドレス	0x5E00_5400	0x5E00_AA00	0x5E00_5400	0x5E00_5400	0x5E00_AA00	BA	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	–
自動ページ消去	アドレス	0x5E00_5400	0x5E00_AA00	0x5E00_5400	0x5E00_5400	0x5E00_AA00	PGA	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0040	–

（Block16~31）

コマンド		バスサイクル						
		1	2	3	4	5	6	7
自動プログラム	アドレス	0x5E08_5400	0x5E08_AA00	0x5E08_5400	PA	以降、連続して 16 バイト分のデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動エリア消去	アドレス	0x5E08_5400	0x5E08_AA00	0x5E08_5400	0x5E08_5400	0x5E08_AA00	0x5E08_0000	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0020	–
自動ブロック消去	アドレス	0x5E08_5400	0x5E08_AA00	0x5E08_5400	0x5E08_5400	0x5E08_AA00	BA	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	–
自動ページ消去	アドレス	0x5E08_5400	0x5E08_AA00	0x5E08_5400	0x5E08_5400	0x5E08_AA00	PGA	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0040	–

（Block32~47）

コマンド		バスサイクル						
		1	2	3	4	5	6	7
自動プログラム	アドレス	0x5E10_5400	0x5E10_AA00	0x5E10_5400	PA	以降、連続して 16 バイト分のデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動エリア消去	アドレス	0x5E10_5400	0x5E10_AA00	0x5E10_5400	0x5E10_5400	0x5E10_AA00	0x5E10_0000	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0020	–
自動ブロック消去	アドレス	0x5E10_5400	0x5E10_AA00	0x5E10_5400	0x5E10_5400	0x5E10_AA00	BA	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	–
自動ページ消去	アドレス	0x5E10_5400	0x5E10_AA00	0x5E10_5400	0x5E10_5400	0x5E10_AA00	PGA	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0040	–

24.2.8 フローチャート

24.2.8.1 自動プログラム

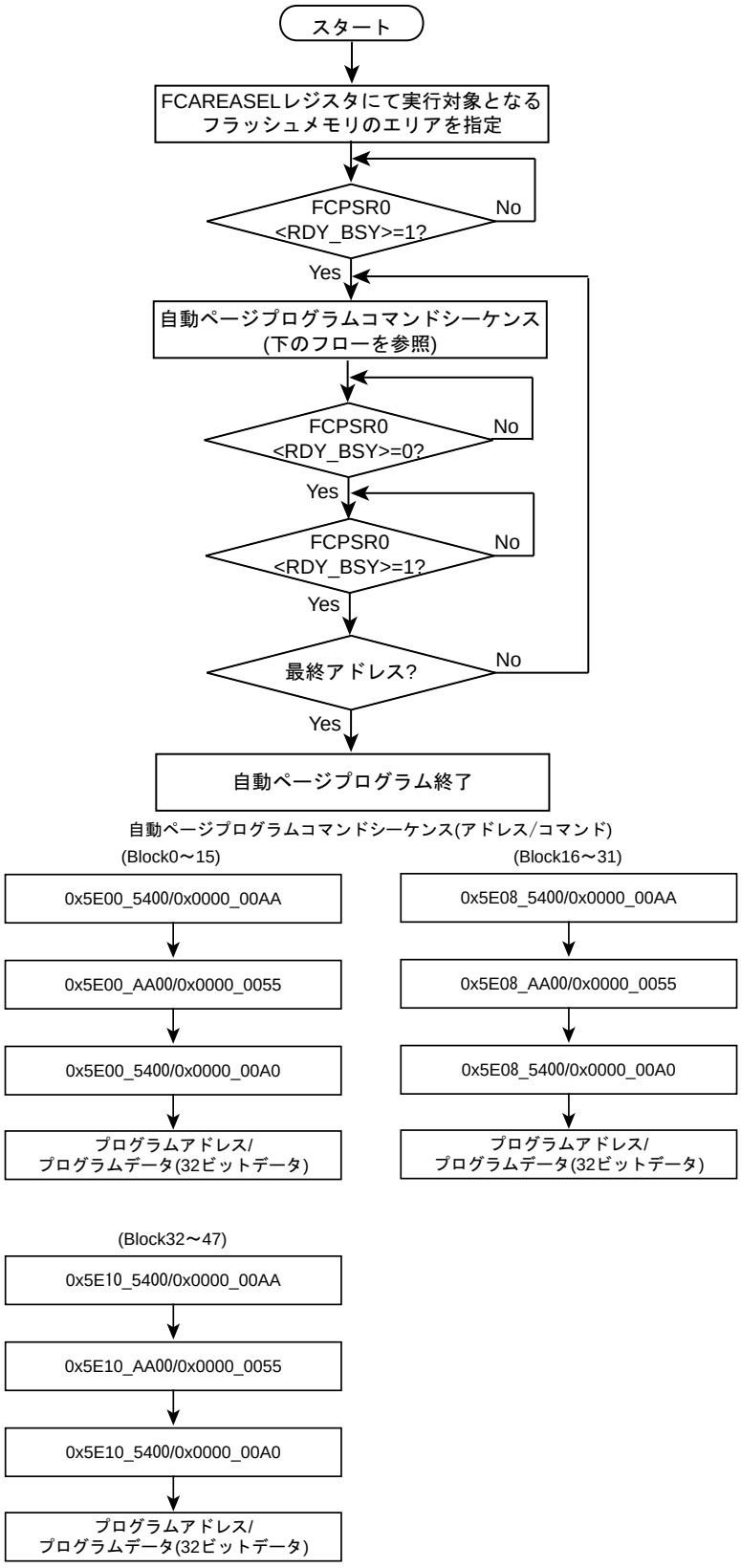
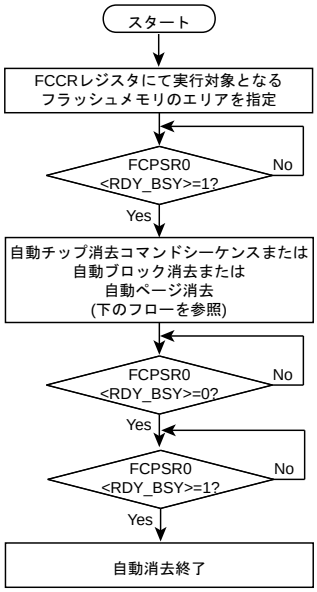


図 24-4 自動プログラムフローチャート

24.2.8.2　自動消去


スタート
FCCRレジスタにて実行対象となる
フラッシュメモリのエリアを指定
FCPSR0
<RDY_BSY>=1?
No
Yes
自動チップ消去コマンドシーケンスまたは
自動ブロック消去または
自動ページ消去
(下のフローを参照)
FCPSR0
<RDY_BSY>=0?
No
Yes
FCPSR0
<RDY_BSY>=1?
No
Yes
自動消去終了


自動チップ消去コマンドシーケンス
(アドレス/コマンド)
自動ブロック消去コマンドシーケンス
(アドレス/コマンド)
(Block0～15)
(Block16～31)
(Block32～47)
0x5E00_5400/0x0000_00AA
0x5E00_AA00/0x0000_0055
0x5E00_5400/0x0000_0080
0x5E00_5400/0x0000_00AA
0x5E00_AA00/0x0000_0055
0x5E00_5400/0x0000_0010
0x5E00_5400/0x0000_00AA
0x5E00_AA00/0x0000_0055
0x5E00_5400/0x0000_0080
0x5E00_5400/0x0000_00AA
0x5E00_AA00/0x0000_0055
ブロックアドレス/0x0000_0030
0x5E08_5400/0x0000_00AA
0x5E08_AA00/0x0000_0055
0x5E08_5400/0x0000_0080
0x5E08_5400/0x0000_00AA
0x5E08_AA00/0x0000_0055
ブロックアドレス/0x0000_0030
0x5E10_5400/0x0000_00AA
0x5E10_AA00/0x0000_0055
0x5E10_5400/0x0000_0080
0x5E10_5400/0x0000_00AA
0x5E10_AA00/0x0000_0055
ブロックアドレス/0x0000_0030

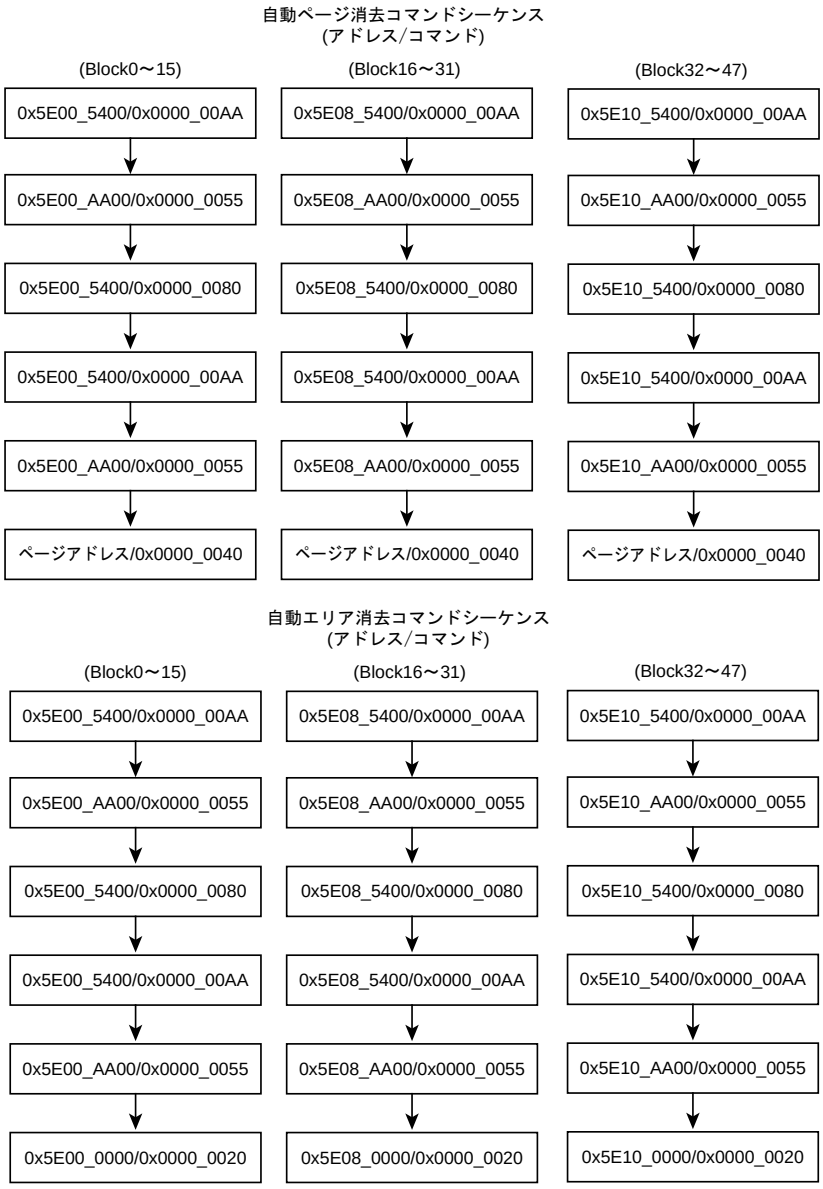


図 24-5 自動消去フローチャート

24.3　シングルブートモードによる書き替え方法

内蔵ブートプログラムを利用してフラッシュメモリを書き替える方法です。このモードでは、BOOT ROM が割り込みベクタテーブルを含む領域にマッピングされ、フラッシュメモリは BOOT ROM 領域とは別のアドレス空間にマッピングされます。

シングルブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリの書き替えを行います。このデバイスのシリアルチャネル(SIO/UART) と外部ホストを接続し、外部ホスト側から内蔵 RAM に書き替えプログラムをコピーし、RAM 上の書き替えルーチンを実行してフラッシュメモリの書き替えを行います。ホスト側との通信の詳細は後述のプロトコルに従ってください。

シングルブートモード中は、全ての例外発生を禁止してください。

シングルチップモード (通常動作モード) 中に誤ってフラッシュメモリの内容を書き替えないよう、書き替え処理が完了したら必要なブロックにライト/消去プロテクトをかけておくことを推奨します。

24.3.1　モード設定

オンボードプログラミングを実行するためには、このデバイスをシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

$\overline{\text{BOOT}}$ = 0
$\overline{\text{RESET}}$ = 0 → 1

$\overline{\text{RESET}}$ 入力端子を"0"の状態にして、$\overline{\text{BOOT}}$ 端子をあらかじめ上記条件に設定します。その後 RESET 解除を行うとシングルブートモードで起動します。

24.3.2　インタフェース仕様

シングルブートモードでのシリアル通信フォーマットを以下に示します。シリアル動作のモードは、UART (非同期通信) に対応しています。オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

通信チャネル:	チャネル 0
シリアル転送モード:	UART (非同期通信) モード, 半 2 重通信, LSB ファスト
データ長:	8 ビット
パリティビット:	なし
STOP ビット:	1 ビット
ボーレート:	任意のボーレート

内蔵ブートプログラムは、クロック/モード制御ブロックの設定は初期状態のままで動作します。クロック設定の初期状態は、「クロック/モード制御」の章を参照してください。

ボーレートは、「24.3.5.1 シリアル動作モード判定」で説明しているように 16 ビットタイマ(TMRB) を用いて判定します。判定時のボーレートは所望のボーレートの 1/16 で通信するため、このボーレートがタイマで計測可能な範囲である必要があります。タイマのカウントクロックは ΦT1(fc/2)で動作します。

内蔵ブートプログラムで使用する端子を表 24-15 にまとめます。これ以外の端子は内蔵ブートプログラムでは操作しません。

表 24-15 使用端子

モード設定端子	$\overline{\text{BOOT}}$(PK8)
リセット端子	$\overline{\text{RESET}}$
通信端子	TXD0 (PF3)
	RXD0 (PF4)

24.3.3 メモリの制約について

シングルブートモードでは、内蔵 RAM, 内蔵フラッシュメモリに対して表 24-16 のような制約がありますのでご注意ください。

表 24-16 シングルブート時のメモリの制約

メモリ	制約内容
内蔵 RAM	0x2000_0000 ~ 0x2000_03FF 番地は BOOT プログラムのワークエリアになります。 プログラムは 0x2000_0400 から RAM の最終番地に格納してください。
内蔵フラッシュメモリ	以下の番地はソフトなどの ID 情報やパスワードの格納エリアとなりますので、なるべくプログラムエリアとしての使用は避けてください。 0x5E17_FFF0 ~ 0x5E17_FFFF

注) パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

24.3.4 動作コマンド

内蔵ブートプログラムには、以下の動作コマンドが準備されています。

表 24-17 動作コマンドデータ

動作コマンドデータ	動作モード
0x10	RAM 転送
0x40	フラッシュメモリチップ消去およびプロテクトビット消去

24.3.4.1 RAM 転送

RAM 転送は、コントローラから送られてくるデータを内蔵 RAM へ格納します。転送が正常に終了するとユーザプログラムの実行を開始します。ユーザプログラム領域として、内蔵ブートプログラムで使用する領域(0x2000_0000 ~ 0x2000_03FF)を除く、0x2000_0400 以降を使用可能です。実行開始アドレスは、RAM 格納開始アドレスになります。

この RAM 転送機能により、ユーザ独自のオンボートプログラミング制御を行うことができます。ユーザプログラムでオンボードプログラミングを実行するためには、24.2.7 で説明するフラッシュメモリコマンドシーケンスを使う必要があります。

24.3.4.2 フラッシュメモリチップ消去および プロテクトビット消去

このコマンドは全てのブロックのフラッシュメモリを消去します。ライト/消去プロテクトおよび、セキュリティ状態にかかわらず、メモリセルの全てのブロックを消去し、全てのブロックのライト/消去プロテクトを消去します。

24.3.5　コマンドによらず共通の動作

内蔵ブートプログラム実行で、共通に行われる動作について説明します。

24.3.5.1　シリアル動作モード判定

コントローラは、所望のボーレートで 1 バイト目を"0x86"にして送信してください。図 24-6 に波形を示します。

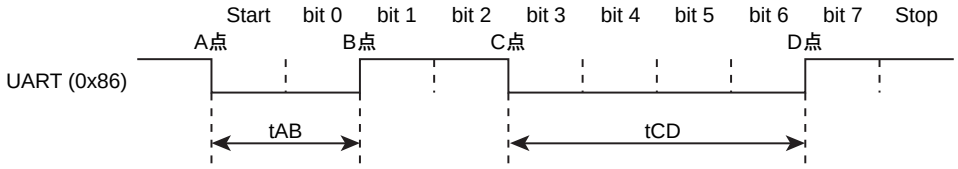


図 24-6 シリアル動作モード判定データ

内蔵ブートプログラムは図 24-7 に示すフローチャートで、リセット解除後の 1 バイト目のシリアル動作モード判定データ(0x86)を、16 ビットタイマ(TMRB)を用いて図 24-6 の tAB, tAC と、tAD の時間から求めています。図 24-7 のフローチャートに示すように、CPU が受信端子のレベルをモニタしてレベルの変化があると、そのときのタイマ値を取り込みます。このため、tAB, tAC と、tAD のタイマ値には誤差が生じます。また、ボーレートが速いときには、CPU は受信端子のレベルの変化を判断できない場合がありますので注意してください。

図 24-8 のフローチャートに示すように、シリアル動作モードの判定は、受信端子が"L"レベルのときの時間幅の大小関係で判定しています。tAB ≤ tCD の場合 UART と判定し、ボーレートの自動設定が可能かどうかを tAD の時間から判定します。tAB > tCD の場合、UART と判定しません。なお、先に述べたように、tAB, tAC, tAD のタイマ値には誤差が生じているため、ボーレートが速く、動作周波数が低い場合、各タイマ値が小さくなり、意図しない判断を行うことがありますので注意してください(書き換えルーチン内で UART の再設定を行ってください)。

例えば、コントローラは UART で通信したいのに、UART と判定されないことがあります。このようなことを考慮して、コントローラは 1 バイト目のデータを送信後、タイムアウト時間内にデータ"0x86"を正常受信できなければ通信不可能と判断してください。

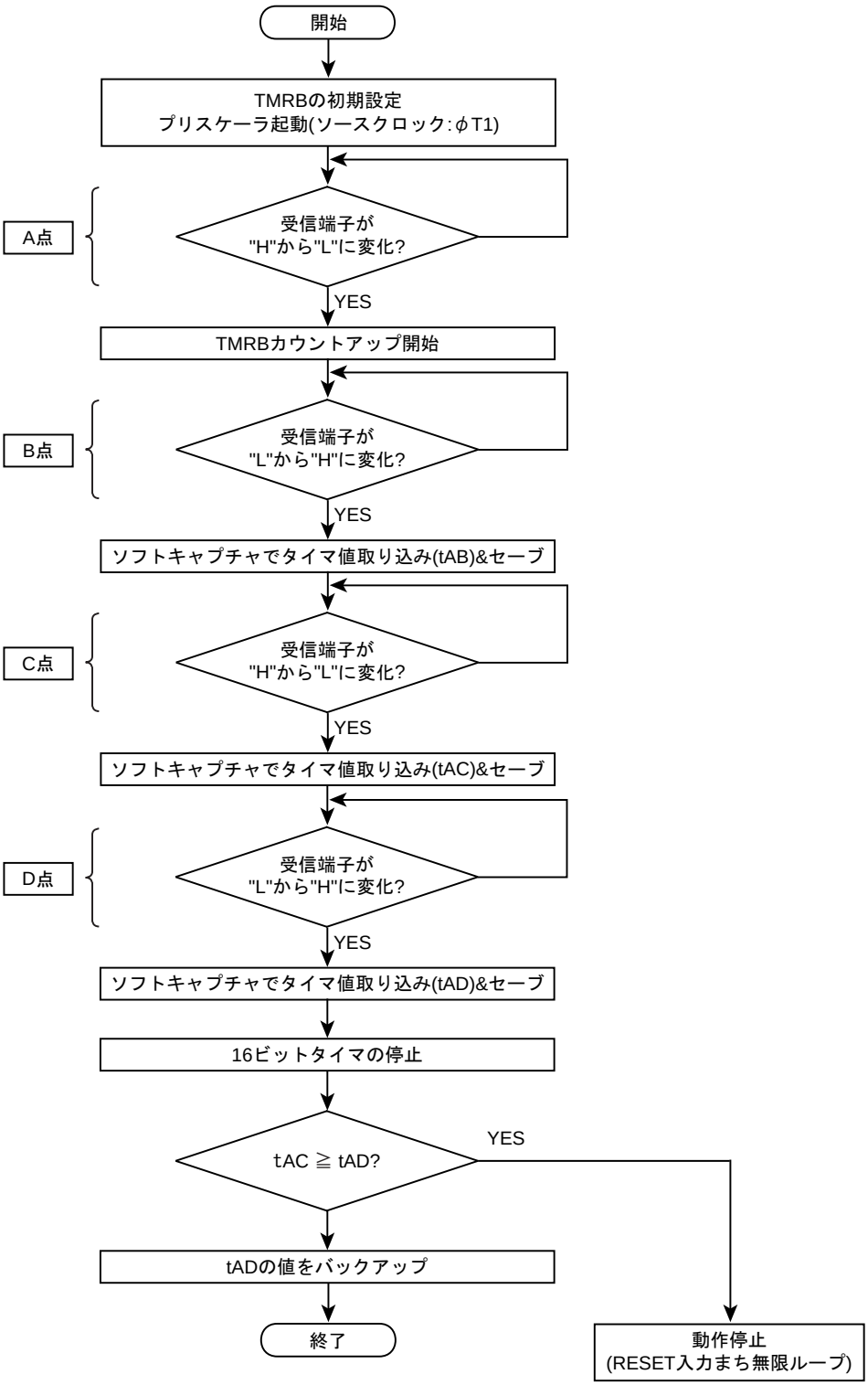


図 24-7 シリアル動作モード受信フローチャート

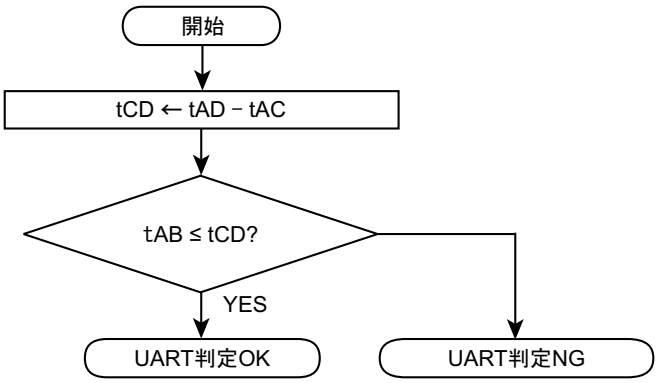


図 24-8 シリアル動作モード判定フローチャート

24.3.5.2　ACK 応答データ

内蔵ブートプログラムは処理状況を各種コードによってコントローラに送信します。表 24-18 から表 24-21 に各受信データに対する ACK 応答データを示します。

表 24-19 から表 24-21 に示す ACK 応答データの上位 4 ビットは、動作コマンドデータの上位 4 ビットになります。また 3 ビット目は受信エラーを表し、0 ビット目は動作コマンドエラー, CHECK SUM エラー, パスワードエラーの状態を表します。1 ビット目と 2 ビット目は常に 0 になります。

表 24-18 シリアル動作判定データに対する ACK 応答データ

送信データ	送信データの意味
0x86	UART での通信が可能と判定した。(注)

注)　UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を停止します。

表 24-19 動作コマンドデータに対する ACK 応答データ

送信データ	送信データの意味
0x?8 (注)	動作コマンドデータに受信エラーが発生した。
0x?1 (注)	未定義の動作コマンドデータを正常受信した。
0x10	RAM 転送コマンドと判定した。
0x40	フラッシュメモリチップ消去コマンドと判定した。

注)　上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになります。

表 24-20 CHECK SUM データに対する ACK 応答データ

送信データ	送信データの意味
0xN8 (注)	受信エラーが発生していた。
0xN1 (注)	CHECK SUM エラーが発生した。あるいは、パスワードエラーが発生した。
0xN0 (注)	CHECK SUM 値は正常な値と判定した。

注)　上位 4 ビットは動作コマンドデータの上位 4 ビットになります。

表 24-21 フラッシュメモリチップ消去およびプロテクトビット消去動作に対する ACK 対応データ

送信データ	送信データの意味
0x54	消去イネーブルコマンドと判定した。
0x4F	消去コマンド終了
0x4C	消去コマンドが不正に終了した
0x47	フラッシュ操作コマンドを中止した。

24.3.5.3 パスワード判定

内蔵ブートプログラムでは、以下の領域をパスワード要否判定およびパスワードのデータ領域として使用します。

領域	アドレス
パスワード要否判定	0x5E17_FFF0 (1byte)
パスワード	0x5E17_FFF4 ~ 0x5E17_FFFF (12byte)

RAM 転送コマンドでは、パスワード要否判定にかかわらずパスワード判定を行います。

フラッシュメモリチップ消去およびプロテクトビット消去コマンドでは、パスワード要否判定データが「要」の場合のみパスワード判定を行います。

パスワード要否選択	データ
パスワード要	0xFF 以外
パスワード否	0xFF

パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

(1) RAM 転送コマンドでのパスワード判定

「RAM 転送コマンドの通信ルール」における No.5 のパスワード判定について説明します。

図 24-9 に示すようにパスワードエリアのデータが、"0xFF"以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、ACK 対応は"0x11"を送信します。

次に、受信データ(パスワードデータ)の照合を行います。12 バイト分全てがフラッシュメモリ内のパスワードと一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、ACK 応答は、パスワードエラーとなります。

セキュリティ機能が有効な状態でもパスワードの参照は行います。

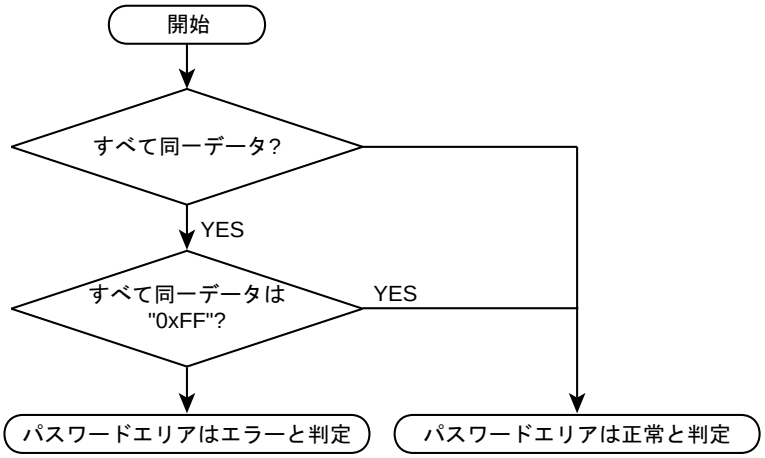


図 24-9 パスワードエリアチェックフローチャート

(2)　フラッシュメモリチップ消去およびプロテクトビット消去コマンドでのパスワード判定

「フラッシュメモリチップ消去およびプロテクトビット消去の通信ルール」における No.5 のパスワード判定について説明します。

図 24-10 に示すように、消去パスワード要否の選択エリアがパスワード有効の場合は、パスワードエリアのデータが同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、CHECK SUM 値に対する ACK 対応は"0x41"を送信します。

次に、受信データ (パスワードデータ) の照合を行います。12 バイト分全てがフラッシュメモリ内のパスワードと一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。セキュリティ機能が有効な状態でもパスワードの参照は行います。

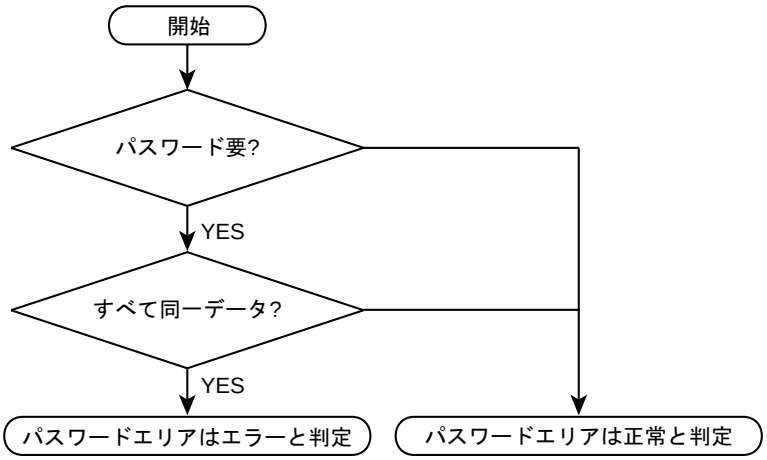


図 24-10 パスワードエリアチェックフローチャート

24.3.5.4 CHECK SUM の計算方法

CHECK SUM の計算方法は、送信データを符号なし 8 ビット加算(オーバフローを無視)して得られた下位 8 ビット値の 2 の補数値を求めています。コントローラは CHECK SUM 値を送信するときは、この計算方法を使用してください。

例)CHECK SUM 計算例

2 バイトのデータ"0xE5"、"0xF6"の CHECK SUM 値を求める場合、まず符号なし 8 ビット加算を行います。

0xE5 + 0xF6 = 0x1DB

この値の下位 8 ビットに対しての 2 の補数をとると以下のようになり、この値が CHECK SUM 値になります。従って、コントローラには 0x25 を送信します。

0 − 0xDB = 0x25

24.3.6 シリアル動作モード判定の通信ルール

シリアル動作モード判定の通信ルールを示します。表中の転送方向の表記が示す意味は以下のとおりです。

転送方向「C→T」: コントローラから TX04 へ

転送方向「C←T」: TX04 からコントローラへ

シリアル動作モード判定の通信ルール

No	転送方向	転送データ	内容
1	C→T	シリアル動作モード 、 ボーレート設定	コントローラ側はシリアル動作モードを判定するデータを送信します。ターゲット側のモード判定の詳細は「24.3.5.1 シリアル動作モード判定」を参照してください。
		0x86	コントローラ側は 0x86 を送信してください。 ターゲット側が UART モード OK と判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。
2	C←T	シリアル動作モードに対する ACK 応答	コントローラ側の受信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。 ターゲット側は設定が可能と判定した場合、UART の設定を行います。受信を許可するタイミングは、送信バッファにデータを書き込む前に行っています。
		正常の場合: 0x86	ターゲット側が設定が可能と判定した場合"0x86"を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。 コントローラ側は、1 バイト目のデータの送信が終了した後、タイムアウト時間(5 秒)を設けてください。タイムアウト時間内に、データ(0x86)を正常受信できなければ、通信不能と判断してください。
3	–	–	コントローラ側は動作コマンドデータを送信してください。 各動作コマンドの転送フォーマットは「24.3.7 RAM 転送コマンドの通信ルール」または「24.3.8 フラッシュメモリチップ消去およびプロテクトビット消去の通信ルール」を参照してください。

24.3.7　RAM 転送コマンドの通信ルール

RAM 転送コマンドの通信ルールを示します。表中の転送方向の表記が示す意味は以下のとおりです。

転送方向「C→T」: コントローラから TX04 へ

転送方向「C←T」: TX04 からコントローラへ

RAM 転送コマンドの通信ルール

No	転送方向	転送データ	内容
1	C→T	動作コマンドデータ(0x10)	コントローラ側は RAM 転送コマンドデータ(0x10)を送信してください。
2	C←T	動作コマンドに対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	ターゲット側は、受信データをチェックして ACK 応答データを返信します。 受信エラーがある場合、通信異常の ACK 応答データ"0x18"を返信して、初めの動作コマンドデータ待ち状態に戻ります。 受信エラーがない場合、表 24-17 に記載の動作コマンドデータとの照合を行います。 照合に失敗した場合、異常の ACK 応答データ"0x11" を返信して、初めの動作コマンドデータ待ち状態に戻ります。 照合に成功した場合、正常の ACK 応答データ"0x10"を返信して、次の送信データを待ちます。
3	C→T	パスワードデータ(12 バイト)	コントローラ側はフラッシュメモリのパスワードのデータ領域と同じデータを送信してください。 パスワードのデータ領域は「24.3.5.3 パスワード判定」を参照してください。
4	C→T	送信データ(No.3)の CHECK SUM 値	コントローラ側は送信データ(No.3)の CHECK SUM 値を送信してください。 CHECK SUM の計算方法は「24.3.5.4 CHECK SUM の計算方法」を参照してください。
5	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	ターゲット側は受信データをチェックして ACK 応答データを返信します。 受信エラーがある場合、通信異常の ACK 応答データ"0x18"を返信して、初めの動作コマンドデータ待ち状態に戻ります。 受信エラーがない場合、CHECK SUM の確認とパスワードの照合を行います。パスワードの照合の詳細は「24.3.5.3 パスワード判定」してください。 照合に失敗した場合、異常の ACK 応答データ"0x11" を返信して、初めの動作コマンドデータ待ち状態に戻ります。 照合に成功した場合、正常の ACK 応答データ"0x10"を返信して、次の送信データを待ちます。
6	C→T	RAM 格納開始アドレス 31 ~ 24	コントローラ側は次の送信データとして RAM 格納データの格納先の RAM の開始アドレスを 4 回に分けて送信してください。送信順番は、1 番目がアドレスの 31 ビット ~ 24 ビットに対応し、4 番目が 7 ビット ~ 0 ビットに対応します。RAM のアドレス 0x2000_0400 から RAM の最終番地に収まるように指定してください。 ターゲット側は受信データをチェックします。 受信エラーがある場合は通信異常の ACK 応答データ"0x18"を返信して初めの動作コマンドデータ待ち状態に戻ります。 受信エラーがない場合は何も ACK 応答データは返信しないで次の送信データを待ちます。
7	C→T	RAM 格納開始アドレス 23 ~ 16	
8	C→T	RAM 格納開始アドレス 15 ~ 8	
9	C→T	RAM 格納開始アドレス 7 ~ 0	
10	C→T	RAM 格納バイト数 15 ~ 8	コントローラ側はブロック転送するバイト数を送信してください。送信順番は、1 番目が転送バイト数の 15 ビット ~ 8 ビット目に対応し、2 番目が 7 ビット ~ 0 ビット目に対応します。RAM のアドレス 0x2000_0400 から RAM の最終番地に収まるように指定してください。 ターゲット側は受信データをチェックします。 受信エラーがある場合は通信異常の ACK 応答データ"0x18"を返信して初めの動作コマンドデータ待ち状態に戻ります。 受信エラーがない場合は何も ACK 応答データは返信しないで次の送信データを待ちます。
11	C→T	RAM 格納バイト数 7 ~ 0	
12	C→T	送信データ(No.6 ~ 11)の CHECK SUM 値	コントローラ側は送信データ(No.6 ~ 11)の CHECK SUM 値を送信してください。

No	転送方向	転送データ	内容
13	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	ターゲット側は、受信データをチェックして ACK 応答データを返信します。 受信エラーがある場合、通信異常の ACK 応答データ"0x18"を返信して、初めの動作コマンドデータ待ち状態に戻ります。 受信エラーがない場合、CHECK SUM の確認を行います。 確認に失敗した場合、異常の ACK 応答データ"0x11" を返信して、初めの動作コマンドデータ待ち状態に戻ります。 確認に成功した場合、正常の ACK 応答データ"0x10"を返信して、次の送信データを待ちます。
14	C→T	RAM 格納データ	コントローラ側は RAM に格納するデータを送信してください。 ターゲット側は RAM 格納バイト数分のデータを受信します。
15	C→T	送信データ(No.14)の CHECK SUM 値	コントローラ側は送信データ(No.14)の CHECK SUM 値を送信してください。
16	C←T	CHECK SUM 値に対する ACK 応答 正常の場合:0x10 異常の場合: 0x11 通信異常の場合: 0x18	ターゲット側は、受信データをチェックして ACK 応答データを返信します。 受信エラーがある場合、通信異常の ACK 応答データ"0x18"を返信して、初めの動作コマンドデータ待ち状態に戻ります。 受信エラーがない場合、CHECK SUM の確認を行います。 確認に失敗した場合、異常の ACK 応答データ"0x11" を返信して、初めの動作コマンドデータ待ち状態に戻ります。 確認に成功した場合、正常の ACK 応答データ"0x10"を返信して、RAM 格納開始アドレス(No.6 ~ 9)を分岐先アドレスとしてジャンプします。

24.3.8　フラッシュメモリチップ消去およびプロテクトビット消去の通信ルール

フラッシュメモリチップ消去およびプロテクトビット消去コマンドの通信ルールを示します。表中の転送方向の表記が示す意味は以下のとおりです。

転送方向「C→T」: コントローラ→TX04

転送方向「C←T」: コントローラ←TX04

フラッシュメモリチップ消去およびプロテクトビット消去の通信ルール

No	転送方向	転送データ	内容
1	C→T	動作コマンドデータ(0x40)	コントローラ側はフラッシュメモリチップ消去およびプロテクトビット消去コマンドデータ(0x40)を送信してください。
2	C←T	動作コマンドに対する ACK 応答 正常の場合: 0x40 異常の場合: 0x41 通信異常の場合: 0x48	ターゲット側は、受信データをチェックして ACK 応答データを返信します。 受信エラーがある場合、通信異常の ACK 応答データ"0x48"を返信して、初めの動作コマンドデータ待ち状態に戻ります。 受信エラーがない場合、表 24-17 に記載の動作コマンドデータとの照合を行います。 照合に失敗した場合、異常の ACK 応答データ"0x41" を返信して、初めの動作コマンドデータ待ち状態に戻ります。 照合に成功した場合、正常の ACK 応答データ"0x40"を返信して、次の送信データを待ちます。
3	C→T	パスワードデータ(12 バイト)	コントローラ側はフラッシュメモリのパスワードのデータ領域と同じデータを送信してください。 ただし、フラッシュメモリのパスワード要否選択が「否」(データ:0xFF)の場合、ターゲット側はパスワード認証を行いませんので、パスワードデータはダミーデータで構いません。 パスワードのデータ領域は「24.3.5.3 パスワード判定」を参照してください。
4	C→T	送信データ(No.3)の CHECK SUM 値	コントローラ側は送信データ(No.3)の CHECK SUM 値を送信してください。 CHECK SUM の計算方法は「24.3.5.4 CHECK SUM の計算方法」を参照してください。
5	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x40 異常の場合: 0x41 通信異常の場合: 0x48	ターゲット側は受信データをチェックして ACK 応答データを返信します。 受信エラーがある場合、通信異常の ACK 応答データ"0x48"を返信して、初めの動作コマンドデータ待ち状態に戻ります。 受信エラーがない場合、CHECK SUM の確認を行います。 確認に失敗した場合、異常の ACK 応答データ"0x41" を返信して、初めの動作コマンドデータ待ち状態に戻ります。 確認に成功した場合、パスワードの照合を行います。 パスワード要否選択が「否」の場合、正常 ACK 応答データ"0x40"を送信します。 パスワード要否選択が「要」の場合、パスワードの照合を行います。 照合に失敗した場合、異常の ACK 応答データ"0x41" を返信して、初めの動作コマンドデータ待ち状態に戻ります。 照合に成功した場合、正常の ACK 応答データ"0x40"を返信して、次の送信データを待ちます。
6	C→T	消去イネーブルコマンドデータ(0x54)	コントローラ側は消去イネーブルコマンドデータ(0x54)を送信してください。
7	C←T	消去イネーブルコマンドに対する ACK 応答 正常の場合: 0x54 異常の場合: 0x51 通信異常の場合: 0x58	ターゲット側は受信データをチェックして ACK 応答データを返信します。 受信エラーがある場合、通信異常の ACK 応答データ"0x58"を返信して、初めの動作コマンドデータ待ち状態状態に戻ります。 受信エラーがない場合、消去イネーブルコマンド(0x54)であることを確認します。 確認に失敗した場合、異常の ACK 応答データ"0x51" を返信して、初めの動作コマンドデータ待ち状態に戻ります。 確認に成功した場合、正常の ACK 応答データ"0x54"を返信して、チップ消去処理を行います。
8	C←T	消去コマンドに対する ACK 応答 正常の場合: 0x4F 異常の場合: 0x4C	ターゲット側はチップ消去処理の結果を返信します。 問題なく消去できた場合、正常の応答データ(0x4F)を返信します。 ブランクチェックエラーが起きた場合は、異常の応答データ(0x4C)を返します。 自動チップ消去コマンドを中止した場合は、中止の応答データ(0x47)を返します。 その後、初めの動作コマンドデータ待ち状態に戻ります。

24.3.9 内蔵ブートプログラム全体フローチャート

内蔵ブートプログラム全体フローチャートを示します。

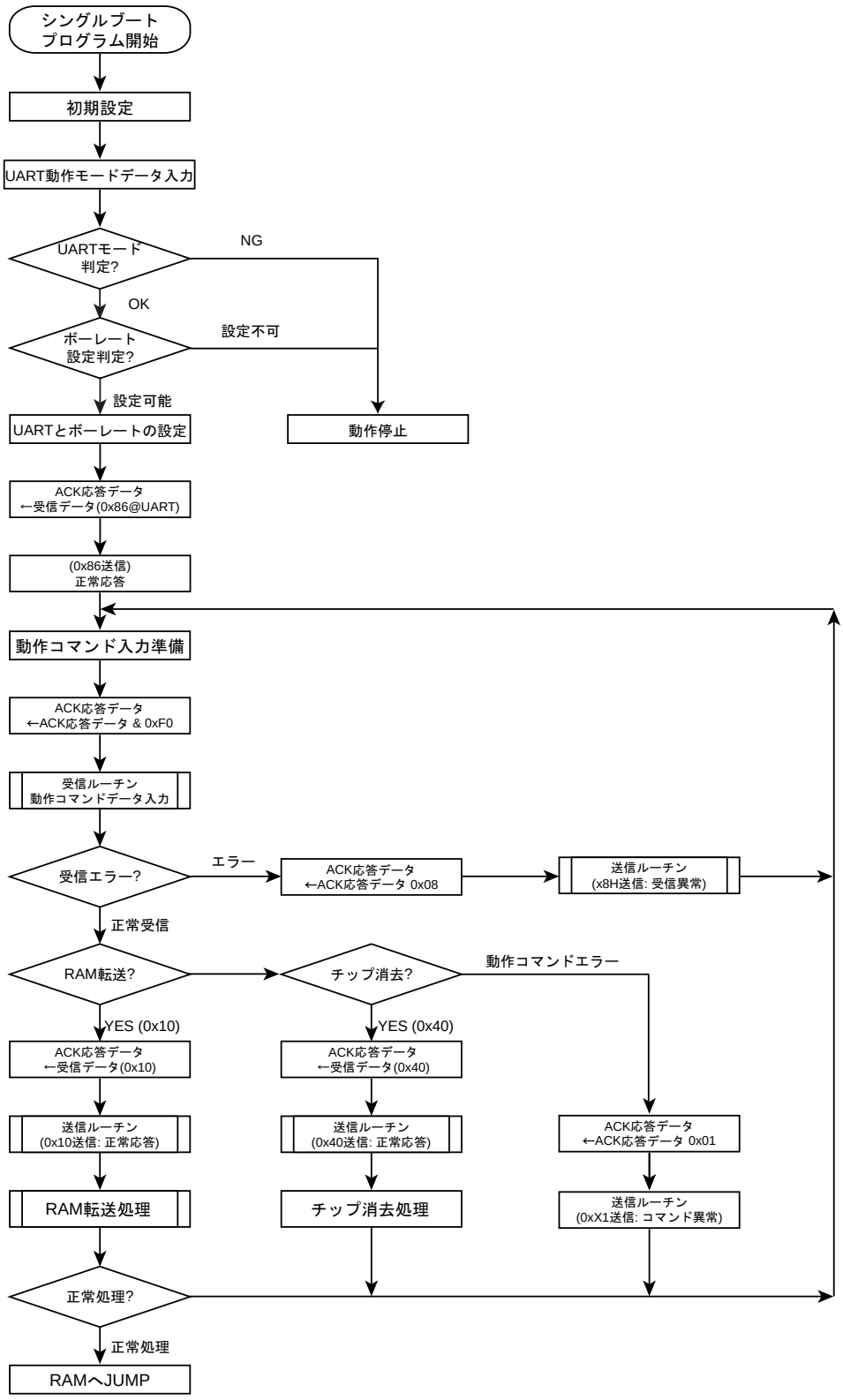


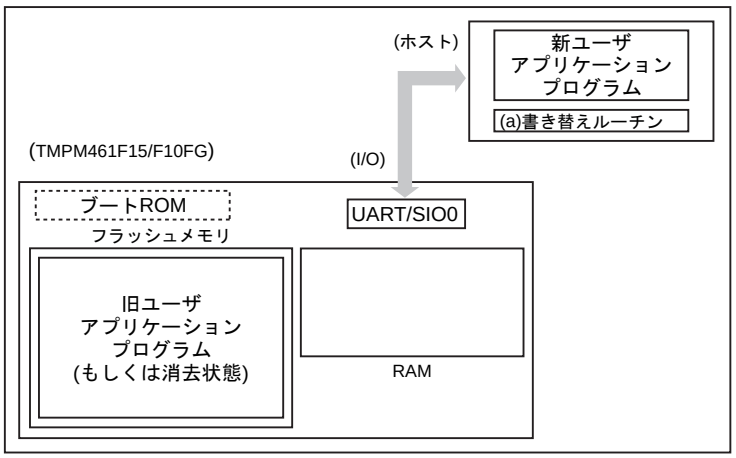
図 24-11 内蔵ブートプログラム全体フローチャート

24.3.10　内蔵 BOOT ROM の書き替えアルゴリズムを利用した書き替え手順

内蔵ブートプログラムを利用した書き替え手順を示します。

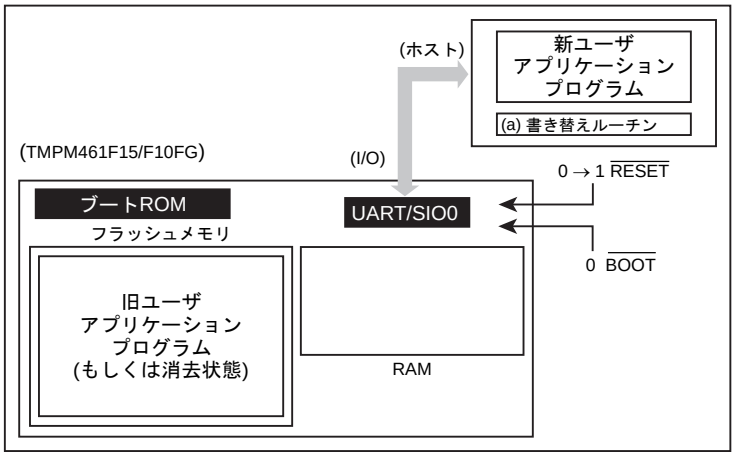
24.3.10.1　Step-1

フラッシュメモリの状態は旧バージョンのユーザプログラムが書かれた状態でも、消去されている状態でも構いません。書き替えルーチン、書き替えデータなどの転送は SIO (SIO0)を経由して行いますので、ボード上でこのデバイスの SIO (SIO0)と外部ホストとをつなげます。書き替えを行うための(a)書き替えルーチンはホスト上に用意します。



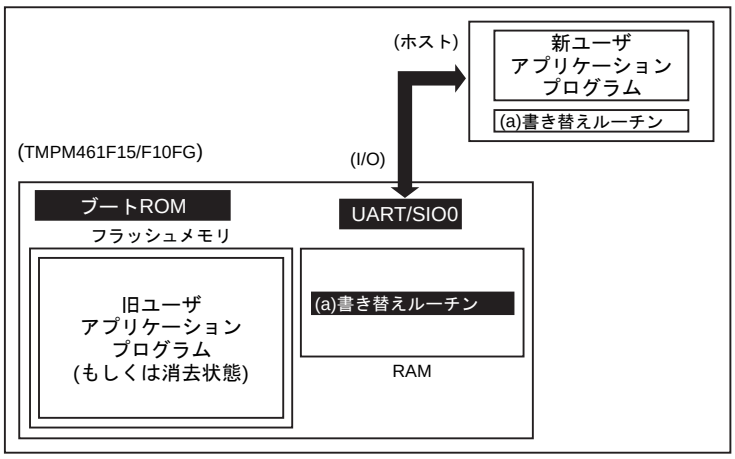
24.3.10.2　Step-2

シングルブートモードの端子条件設定でリセットを解除し、BOOT ROM で起動します。シングルブートモードの手順に従い、SIO0 を経由して転送元(ホスト)より(a)書き替えルーチンの転送を行いますが、最初にユーザアプリケーションプログラム上に記録されているパスワードとの照合を行います。(フラッシュメモリが消去されている状態でも、消去データ(0xFF)をパスワードとして照合を行います。)



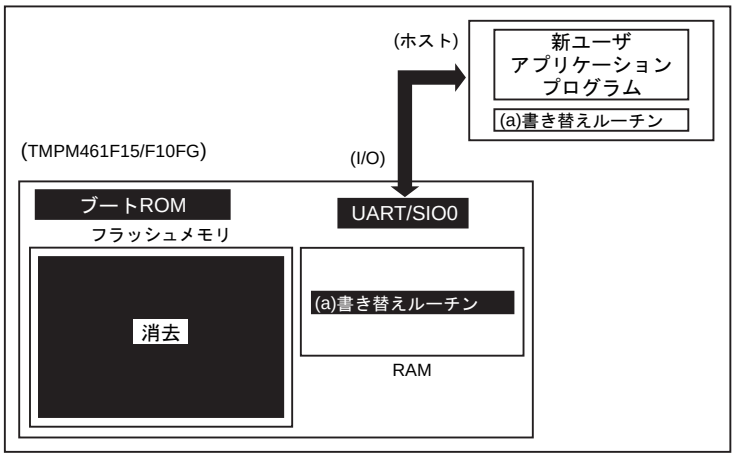
24.3.10.3 Step-3

パスワードの照合が終了すると、転送元(ホスト)から(a)書き替えルーチンを転送します。BOOT ROM はそのルーチンを内部 RAM にロードします。ただし、RAM 上のアドレス 0x2000_0400 から RAM の最終番地の範囲に格納してください。



24.3.10.4 Step-4

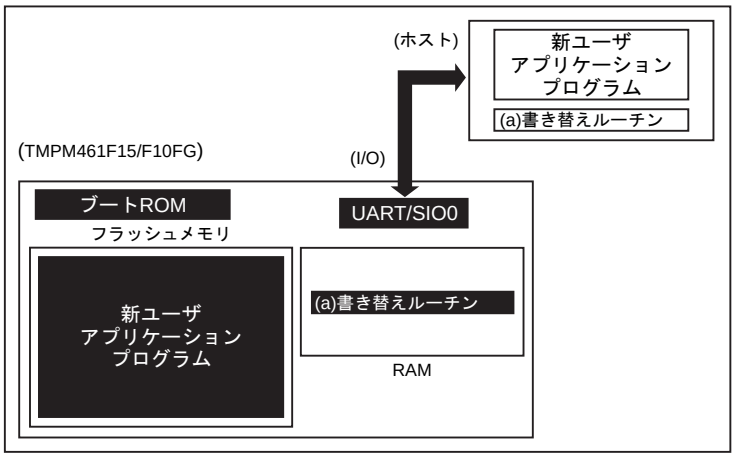
RAM 上の(a)書き替えルーチンへジャンプし、旧ユーザアプリケーションプログラム領域の消去を行います。(任意の消去単位)



24.3.10.5　Step-5

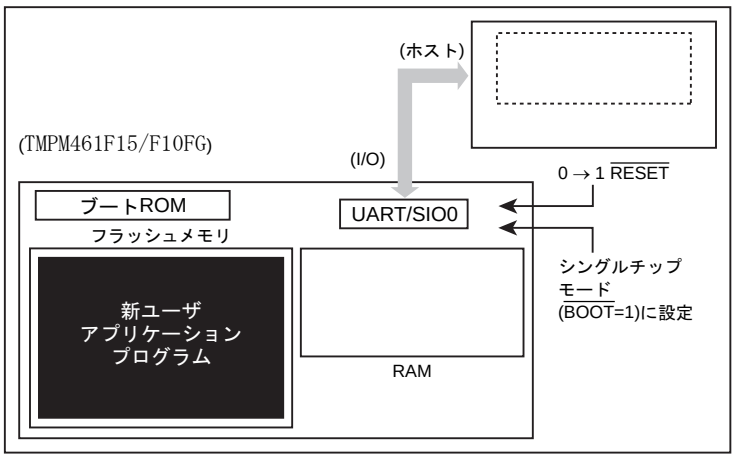
さらに、RAM 上の(a)書き替えルーチンを実行して、転送元(ホスト)より新ユーザアプリケーションプログラムのデータをロードし、フラッシュメモリの消去した領域に書き込みを行います。書き込みが完了したら、ユーザプログラム領域のライト/消去プロテクトをオンにします。

下の例の場合、書き替えルーチンを転送したときと同じホストおよび SIO0 経由で書き替えデータも転送されていますが、RAM 上で動作を開始した以降では、ユーザ独自にデータバスおよび転送元を設定することもできます。方法に応じて、ボードのハードおよび書き替えルーチンを組み立ててください。



24.3.10.6　Step-6

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。この後、再度電源を入れ直し、シングルチップモード (ノーマルモード) 起動し、新しいユーザアプリケーションプログラムを実行します。



24.4 ユーザブートモードによる書き替え方法

ユーザのセット上で内蔵 RAM に置くフラッシュメモリの書き替えプログラムでフラッシュメモリの書き替えを実行する方法です。ユーザアプリケーション上で用意されているフラッシュメモリ書き替え用のプログラムで用いるデータ転送バスが、シリアル I/O と異なる場合に使用します。 動作はシングルチップモード上で行います。このため、シングルチップモードで通常のユーザアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザブートモードに移行する必要があります。従って、条件判定を行うプログラムをユーザアプリケーションの中で、リセット処理プログラムの中に組み込んでください。

このモード切り替えの条件設定は、ユーザのシステムセット条件 に合わせて独自に構築してください。また、ユーザブートモード移行後に使用するユーザ独自のフラッシュメモリ書き替えルーチンも同様にユーザアプリケーションの中にあらかじめ組み込んでおき、ユーザブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。また、シングルチップモード（通常動作モード）中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにライト/消去プロテクトをかけておくことを推奨します。ユーザブートモード中は、全ての例外発生を禁止してください。

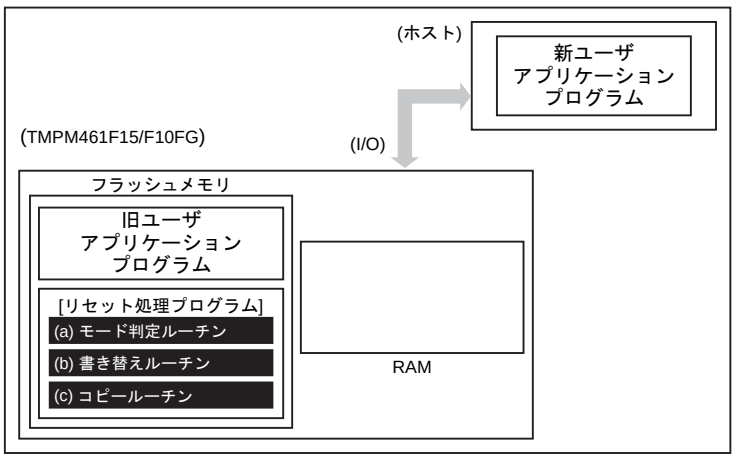
書き替えルーチンをフラッシュメモリに置く場合と、外部から転送する場合の 2 ケースを例に、以下(1-A), (1-B)にその手順を説明します。フラッシュメモリへの書き込み/消去 方法の詳細は、「24.2 フラッシュメモリ詳細」を参照してください。

24.4.1 (1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例

24.4.1.1 Step-1

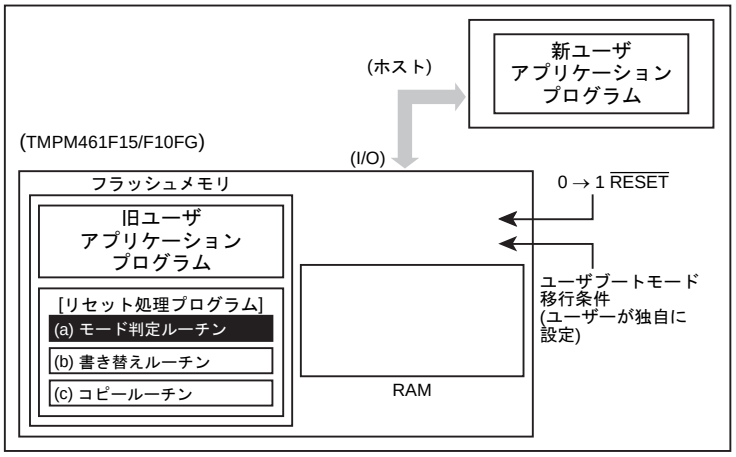
ユーザは、あらかじめ どのような条件 (例えば端子状態) に設定されたらユーザブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザはこのデバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 3 つのプログラムを書き込んでおきます。

(a) モード判定ルーチン:	書き替え動作に移るためのプログラム
(b) フラッシュ書き替えルーチン:	書き替えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム
(c) コピールーチン:	上記(b)を内蔵 RAM にコピーするためのプログラム



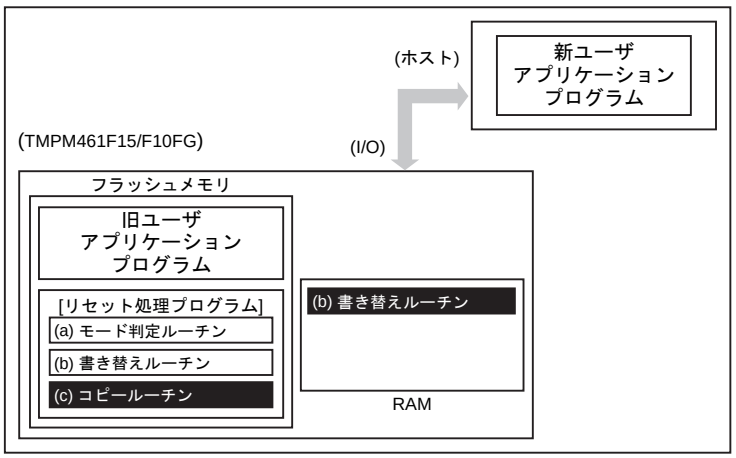
24.4.1.2　Step-2

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット処理プログラムでユーザブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザブートモードに移ります。(ユーザブートモードに移行した場合は、これ以降例外を発生させないでください)



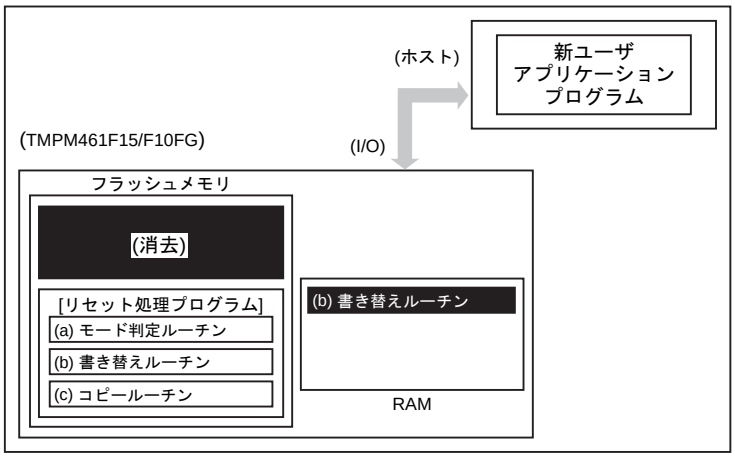
24.4.1.3　Step-3

ユーザブートモードに移ると、(c)コピールーチンを使用して、(b)書き替えルーチンを内蔵 RAM にコピーします。



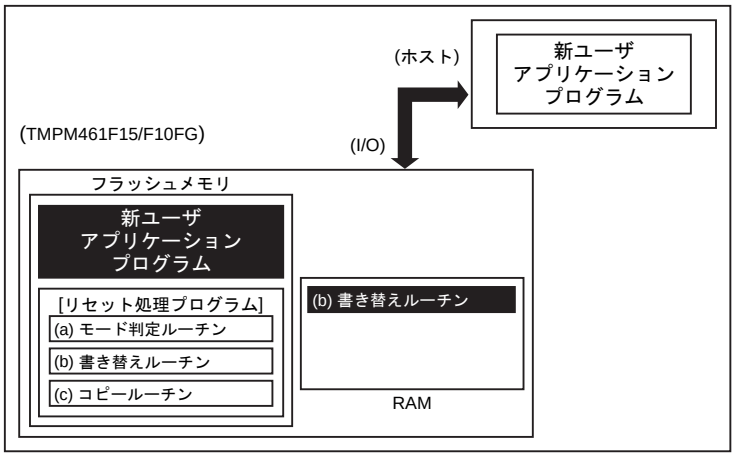
24.4.1.4 Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザプログラム領域のライト/消去プロテクトを解除して、消去(任意の消去単位)を行います。



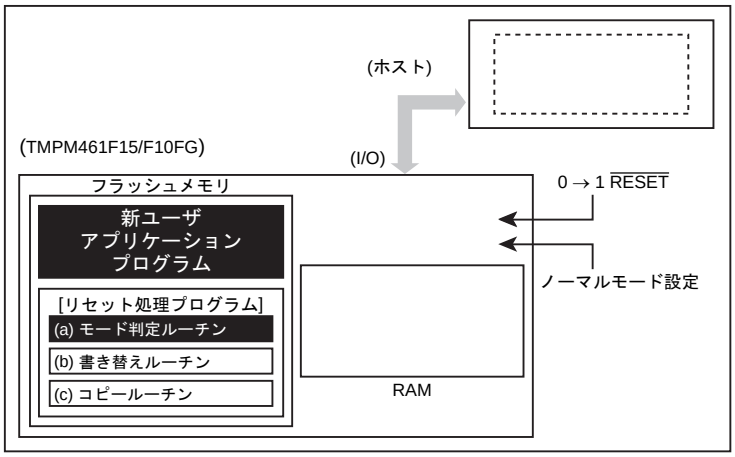
24.4.1.5 Step-5

さらに、RAM 上の書き替えルーチンを実行して、転送元 (ホスト) より新ユーザアプリケーションプログラムのデータをロードし、フラッシュメモリの消去した領域に書き込みを行います。書き込みが完了したら、ユーザプログラム領域のライト/消去プロテクトをオンにします。



24.4.1.6　Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザアプリケーションプログラムで動作を開始します。



24.4.2 (1-B)書き替えルーチンを外部から転送する手順例

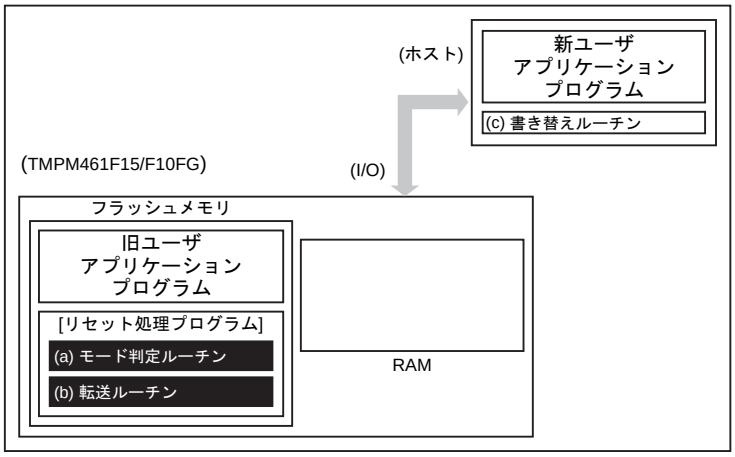
24.4.2.1 Step-1

ユーザは、あらかじめ どのような条件(例えば端子状態)に設定されたらユーザブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザはこのデバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 2 つのプログラムを書き込んでおきます。

(a) モード判定ルーチン: 書き替え動作に移るためのプログラム
(b) 転送ルーチン: 書き替えプログラムを外部から取り込むためのプログラム

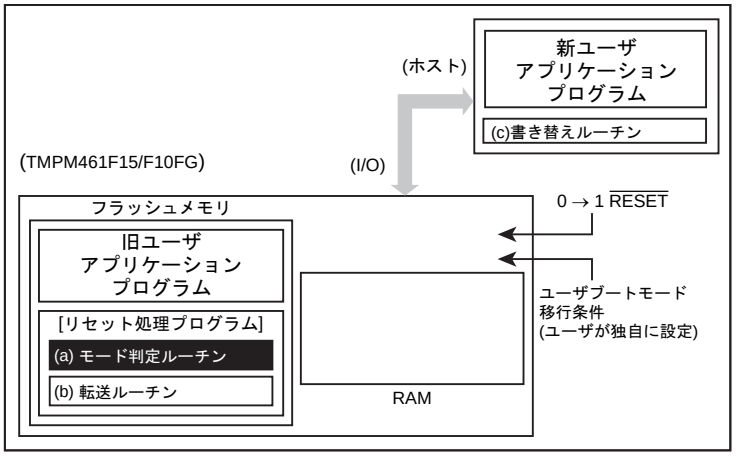
また、下記に示すプログラムはホスト上に用意します。

(c) 書き替えルーチン: 書き替えを行うためのプログラム



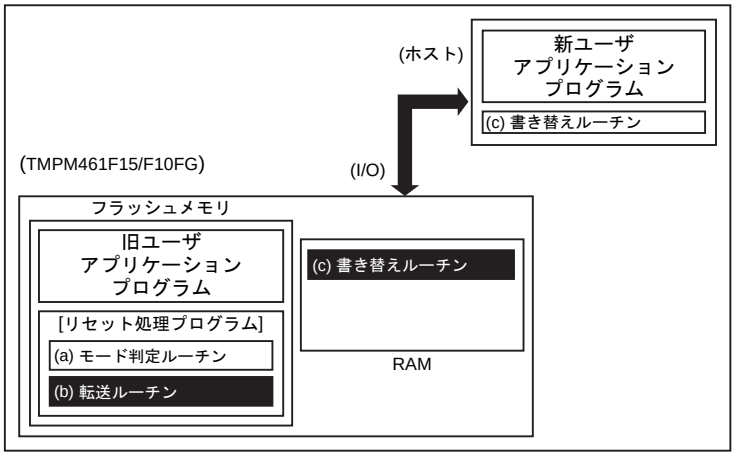
24.4.2.2　Step-2

以下、リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムでユーザブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザブートモードに移ります。(ユーザブートモードに移行した場合は、これ以降例外を発生させないでください)



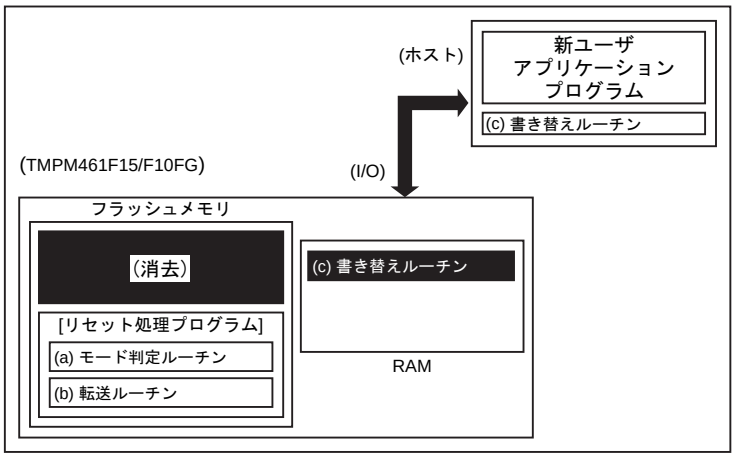
24.4.2.3　Step-3

ユーザブートモードに移ると、(b)転送ルーチンを使用して、転送元(ホスト)より(c)書き替えルーチンを内蔵 RAM にロードします。



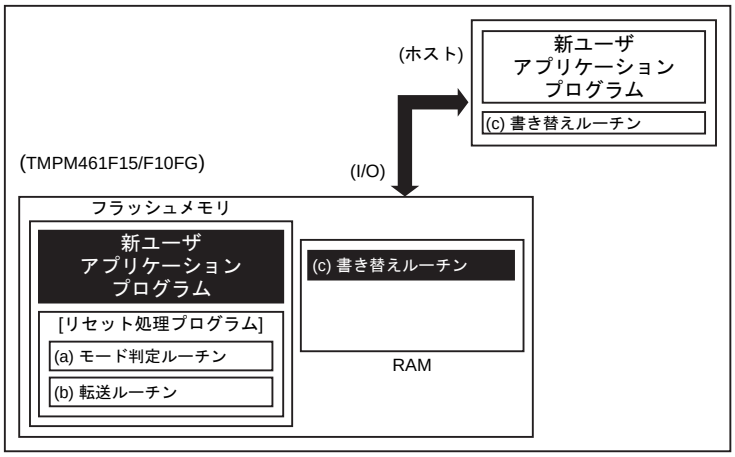
24.4.2.4 Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザプログラム領域のライト/消去プロテクトを解除して、消去(任意の消去単位)を行います。



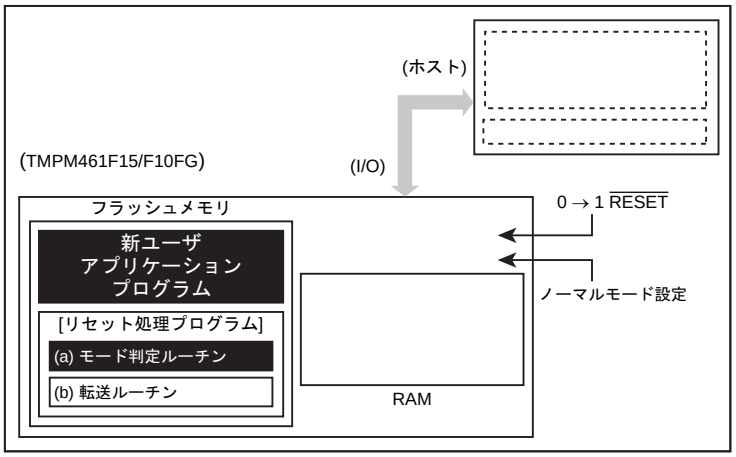
24.4.2.5 Step-5

さらに、RAM 上の(c)書き替えルーチンを実行して、転送元(ホスト)より新ユーザアプリケーションプログラムのデータをロードし、消去した領域に書き込みを行います。書き込みが完了したら、ユーザプログラム領域のライト/消去プロテクトをオンにします。



24.4.2.6　Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードに設定します。リセット解除後、新ユーザアプリケーションプログラムで動作を開始します。



24.5 デュアルモードによる書き替え方法

ユーザのセット上で、特定のブロックに置くフラッシュメモリ書き替えルーチンでフラッシュメモリの書き替えを実行する方法です。

エリア 0 のフラッシュメモリ上でプログラムを実行中に、命令実行を行っていない他の"エリア"(例えばエリア 1)のフラッシュメモリを書き込み/消去できます(逆も可能です)。フラッシュメモリの書き込み/消去とプログラム実行を同じ"エリア"のフラッシュメモリ上で行えませんので、フラッシュメモリの書き込み/消去とプログラム実行は別々の"エリア"で行ってください。

デュアルモード中に例外を使用する場合は、フラッシュメモリの書き込み/消去を行う”エリア”を誤って実行しないよう留意ください。

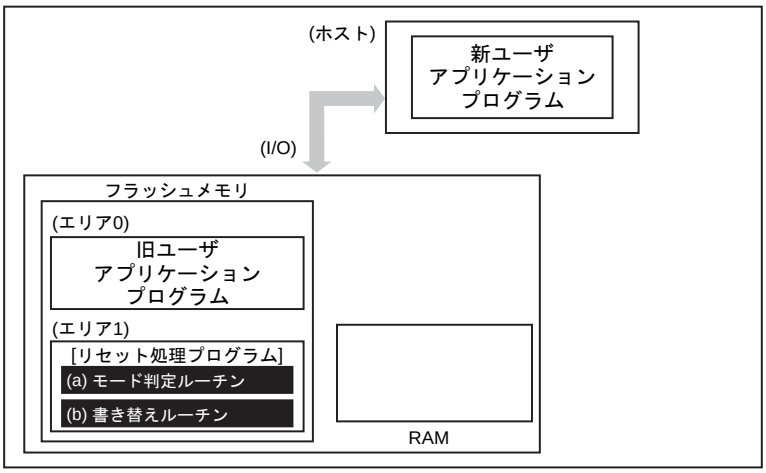
24.5.1 フラッシュ書き替えの手順例

24.5.1.1 Step-1

ユーザは、あらかじめ どのような条件(例えば端子状態)に設定されたらオンボードプログラミングモードに移行するか、どの”エリア”のフラッシュメモリを書き換えるかを決め、それに合った回路の設計、プログラムの作成を行います。

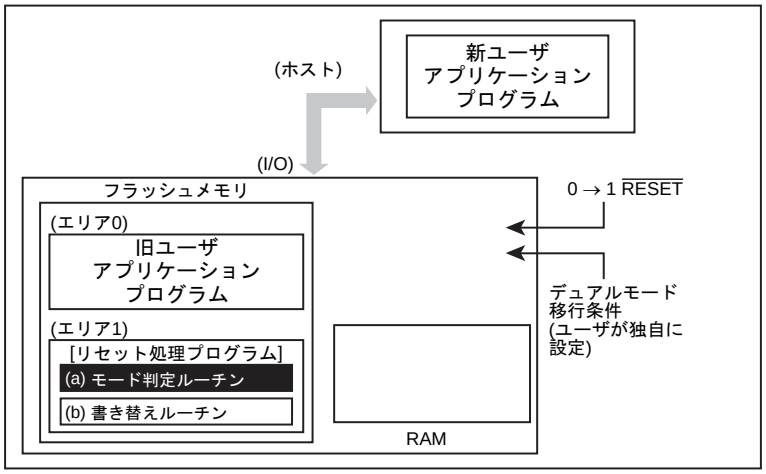
(a) モード判定ルーチン: 書き替え動作に移るためのプログラム

(b) フラッシュ書き替えルーチン: 書き替えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム



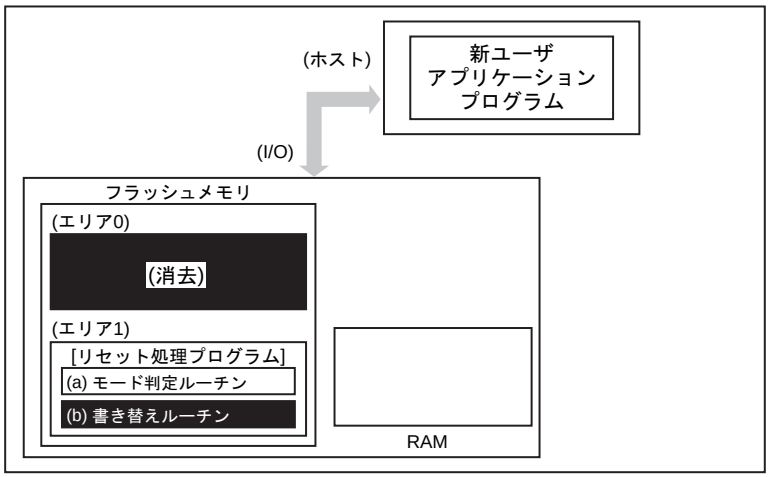
24.5.1.2　Step-2

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット処理プログラムでデュアルモードへの移行を判定します。移行条件が整っている場合、プログラムはフラッシュ書き替えルーチンへジャンプします(デュアルモードへの移行)。



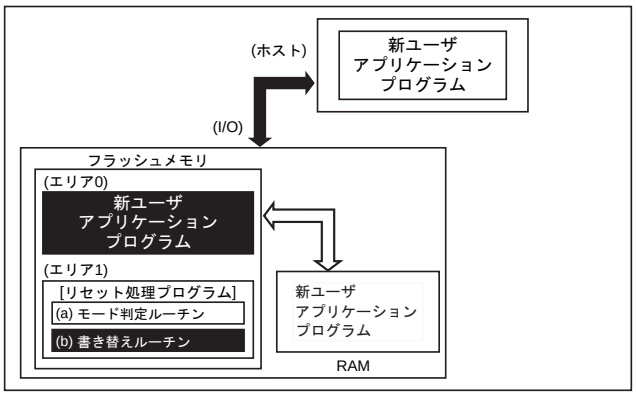
24.5.1.3　Step-3

フラッシュ書き替えルーチンへジャンプすると、まず旧ユーザプログラム領域のライト/消去プロテクトを解除して、消去(エリア消去、ブロック単位、またはページ消去)を行います。



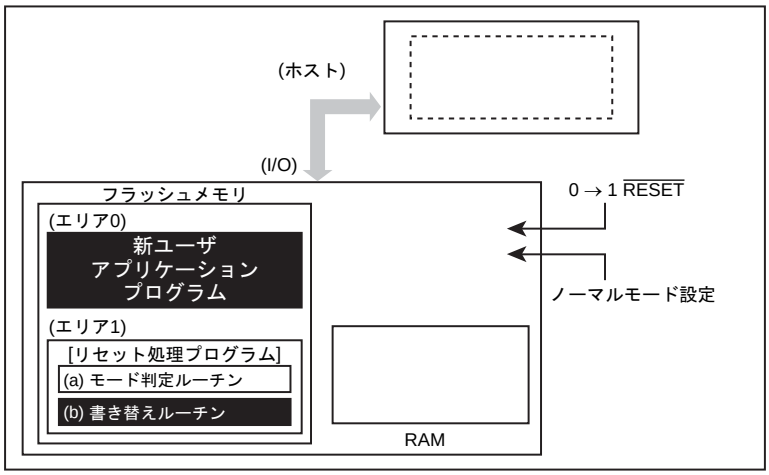
24.5.1.4　Step-4

次に、フラッシュメモリの消去した領域がブランク状態であることを確認し、その後転送元 (ホスト) より新ユーザアプリケーションプログラムのデータをロードし、RAM 上に展開します。RAM 上に展開したデータをフラッシュメモリの消去した領域に書き込みます。全てのデータの書き込みが完了したら、フラッシュメモリに書き込んだ領域のライト/消去プロテクトをオンにします。



24.5.1.5 Step-5

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザアプリケーションプログラムで動作を開始します。



24.6　ユーザブートプログラムの書き替え方法

メモリスワップ機能を利用して、ユーザブートプログラムが残るように Page0 と Page1 の領域を交換させてフラッシュメモリの書き替えを実行する方法です。

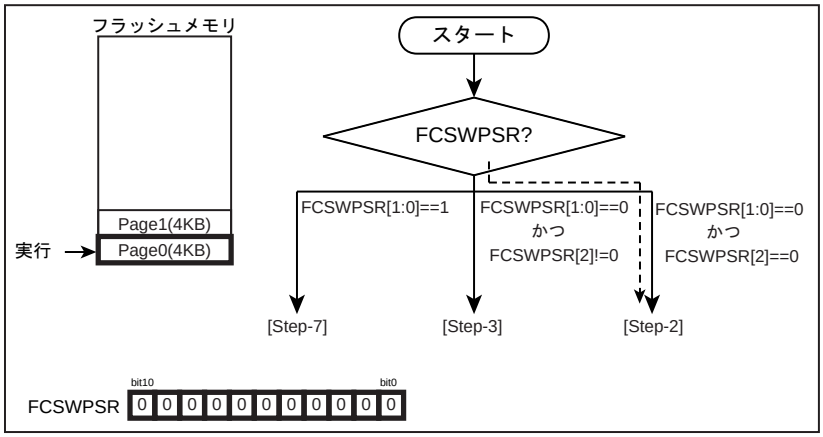
ユーザブートプログラムの書き替え手順の参考例を以下に示します。

(以下では、スワップサイズは 4K バイト、Page1 のプログラムは、Page0 からコピーするものとして、記載します)

24.6.1　フラッシュ書き替えの手順例

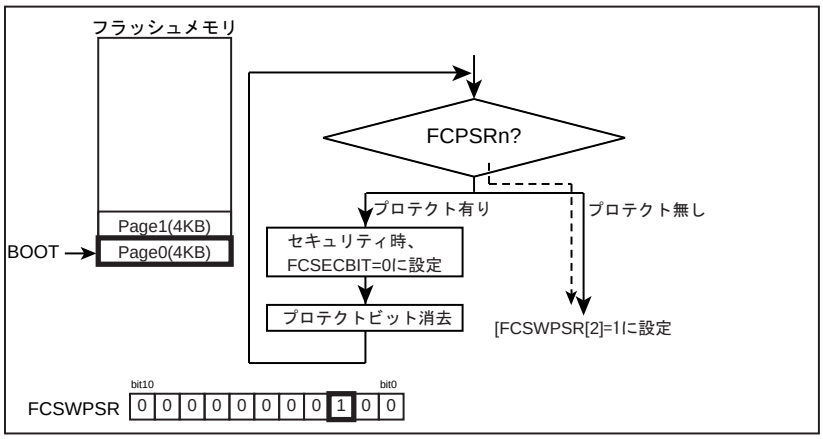
24.6.1.1　Step-1

FCSWPSR[2:0]から 0x0 が読み出せることを確認します。



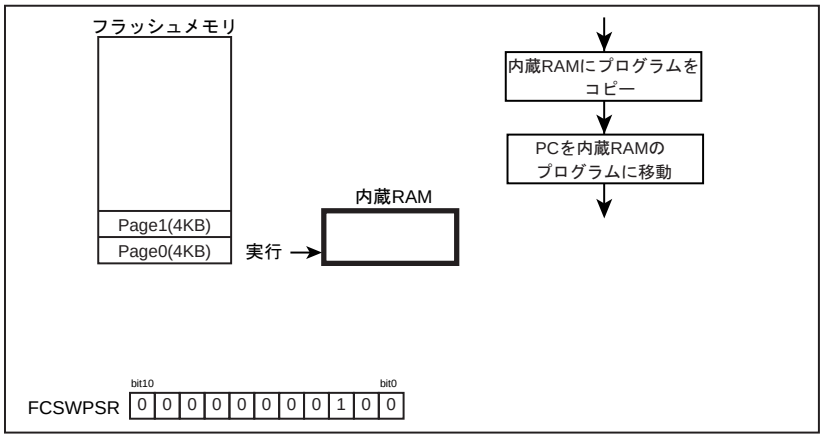
24.6.1.2　Step-2

各 FCPSR レジスタの各ビットでプロテクト状態をチェックし、プロテクトが無いことを確認します。その後、自動メモリスワップコマンドで FCSWPSR[2]に"1"をセットします。



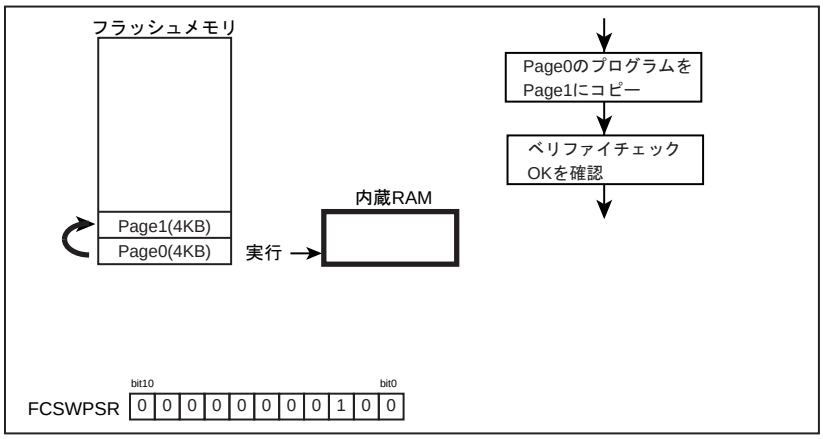
24.6.1.3　Step-3

内蔵 RAM に書き替えルーチンを転送し、PC(プログラムカウンタ)を転送したプログラムに移動します。



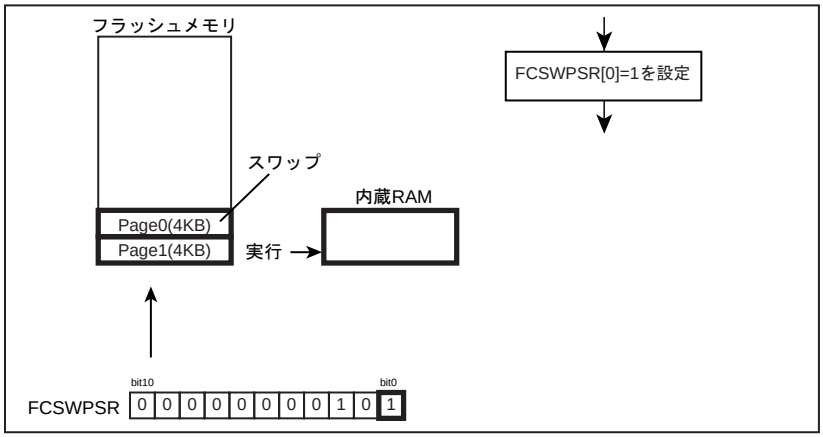
24.6.1.4 Step-4

Page1 を消去し、その後 Page0 のプログラムを Page1 に書き込みます。



24.6.1.5 Step-5

自動メモリスワップコマンドで FCSWPSR[0]に"1"をセットし、Page0 と Page1 をスワップします。

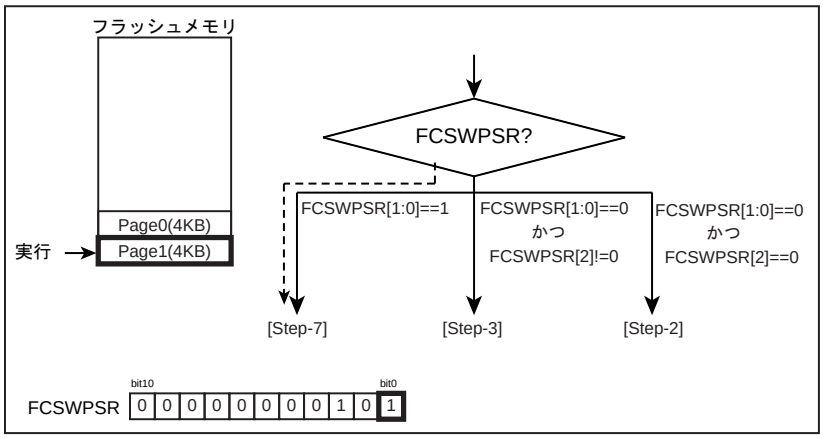


24.6.1.6 Step-6

リセット&リセット解除を行います。

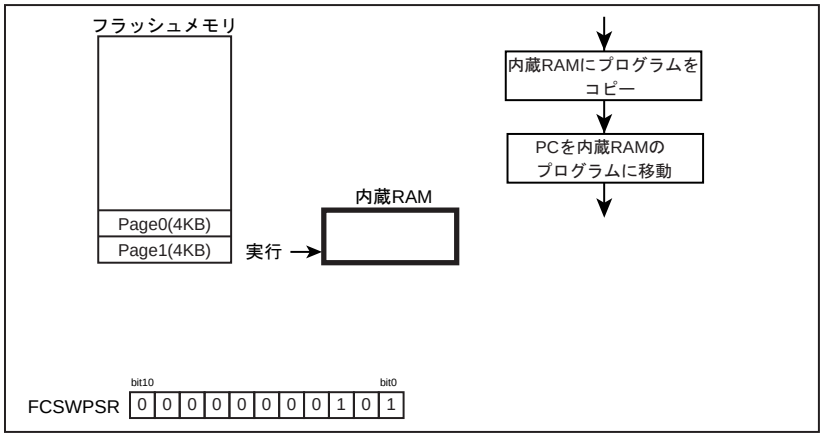
Page1 が 0 番地に割り付けられ、Page1 から起動します。

プログラムは、FCSWPSR[1:0]が"1"の条件用ルーチンへ分岐します。([Step-7]へ)



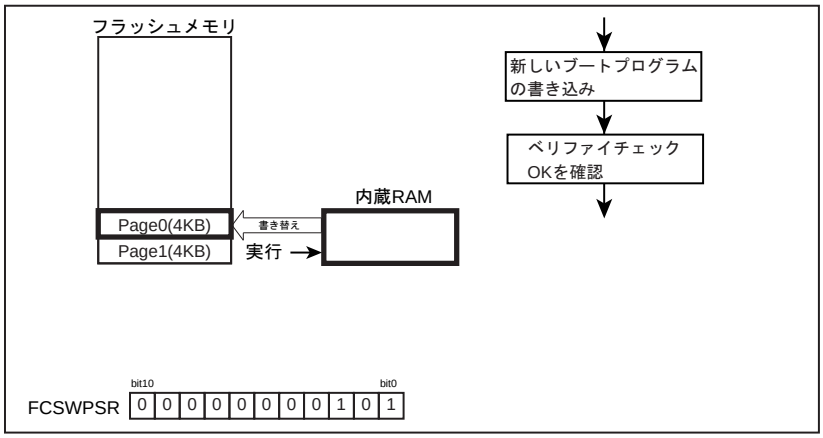
24.6.1.7　Step-7

内蔵 RAM に書き替えルーチンを転送し、PC(プログラムカウンタ)を転送したプログラムに移動します。



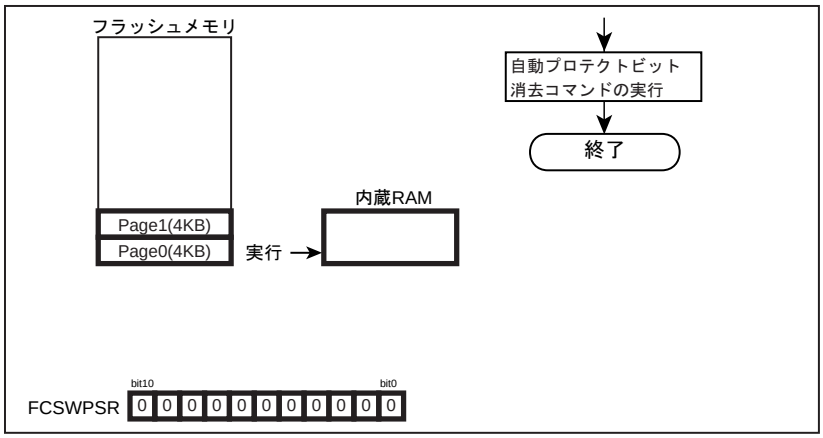
24.6.1.8　Step-8

新しいブートプログラムを Page0 に書き込みます。



24.6.1.9 Step-9

自動プロテクトビット消去コマンドを実行します。



第 25 章　デバッグインタフェース

25.1　仕様概要

TMPM461F15/F10FG はデバッグツールと接続するためのデバッグインタフェースとして SWJ-DP (Serial Wire JTAG Debug Port)ユニット、および内部プログラムをトレース出力するための ETM (Embedded Trace Macrocell™)ユニットを搭載しています。トレース出力はマイコン内部の TPIU (Trace Port Interface Unit)を通じてデバッグ用端子(TRACEDATA[3:0], SWV)に出力されます。

SWJ-DP, ETM, TPIU の詳細に関しましては Arm 社からリリースされる"Arm ドキュメンテーションセット Cortex-M4 用"を参照してください。

25.2　SWJ-DP

シリアルワイヤデバッグポート(SWCLK, SWDIO)と、JTAG デバッグポート(TDI, TDO, TMS, TCK, $\overline{\text{TRST}}$)をサポートしています。

Pin name	Function	Description	I/O
TMS	JTAG	JTAG Test Mode Selection	Input
SWDIO	SW	Serial Wire Data Input/Output	I/O
TCK	JTAG	JTAG Test Clock	Input
SWCLK	SW	Serial Wire Clock	Input
TDO	JTAG	JTAG Test Data Output	Output
SWV	SW	(Serial Wire Viewer Output)	(Output)(注)
TDI	JTAG	JTAG Test Data Input	Input
$\overline{\text{TRST}}$	JTAG	JTAG Test $\overline{\text{RESET}}$	Input

注)　SWV 機能を許可した場合

25.3　ETM

データ信号 4pin (TRACEDATA[3:0])と クロック信号 1pin (TRACECLK)および、1pin (SWV)によるトレース出力をサポートしています。

25.4　ホールトモード中の周辺機能

Cortex-M4(FPU 機能搭載）コアがホールトモードに入ると、ウォッチドッグタイマ(WDT)が自動的に停止します。その他の周辺機能は動作を続けます。

25.5　デバッグツールとの接続

25.5.1　接続方法

デバッグツールとの接続方法については、お使いになるツールメーカーが推奨する接続方法を参照してください。また、デバッグインタフェース端子はプルアップ/プルダウン抵抗を内蔵した端子です。外部にプルアップ/プルダウン抵抗を接続する際は注意してください。

注)　デバッグツールを接続すると、STOP1/STOP2 モード時の消費電流は増加します。

25.5.2　デバッグインタフェース端子を汎用ポートとして使用する際の注意

デバッグインタフェース端子は汎用ポートと兼用です。

リセット解除後、デバッグ端子となるもの以外は汎用ポート機能となります。必要に応じてデバッグ端子を使用する設定を行ってください。

デバッグ時にユーザプログラムでリセット解除後すぐに汎用ポートに設定を変更すると、デバッグツールからの制御が受け付けられず、デバッグツールによるデバッグができなくなる場合があります。

デバッグインタフェース端子の使用状況に合わせて、設定を変える場合は注意してください。

表 25-1 デバッグインタフェース端子の使用例

	使用するデバッグインタフェース端子						
	$\overline{\text{TRST}}$	TDI	TDO / SWV	TCK / SWCLK	TMS / SWDIO	TRACE DATA[3:0]	TRACE CLK
JTAG+SW (リセット解除時)	o	o	o	o	o	×	×
JTAG+SW ($\overline{\text{TRST}}$ なし)	× (注)	o	o	o	o	×	×
JTAG+TRACE	o	o	o	o	o	o	o
SW	×	×	×	o	o	×	×
SW+TRACE	×	×	×	o	o	o	o
SW+SWV	×	×	o	o	o	×	×
デバッグ機能ディセーブル	×	×	×	×	×	×	×

o：イネーブル ×：ディセーブル(汎用ポートとして使用可能)
注) $\overline{\text{TRST}}$が割り当てられている端子は、$\overline{\text{TRST}}$を選択して、オープンにするか"High"レベルを入力してください。

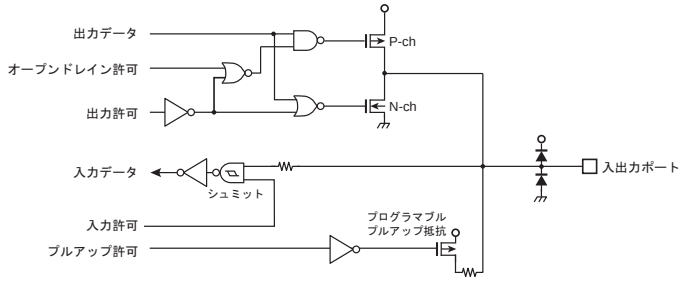
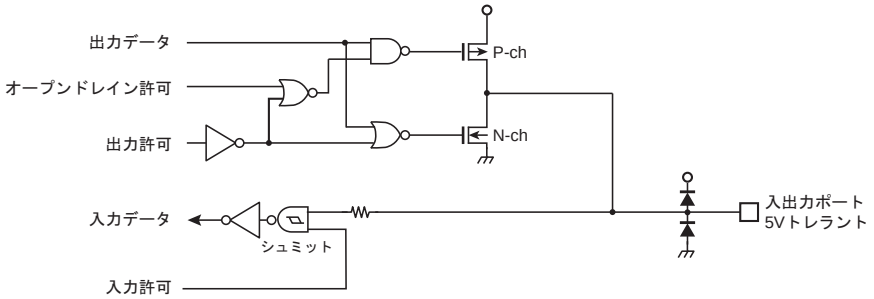
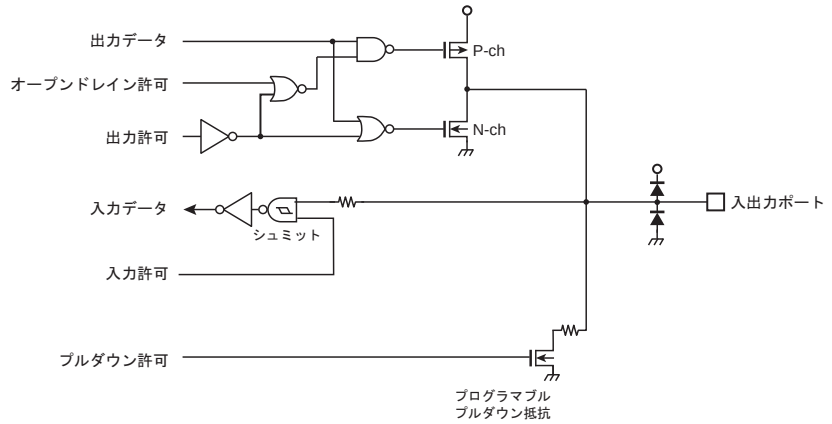
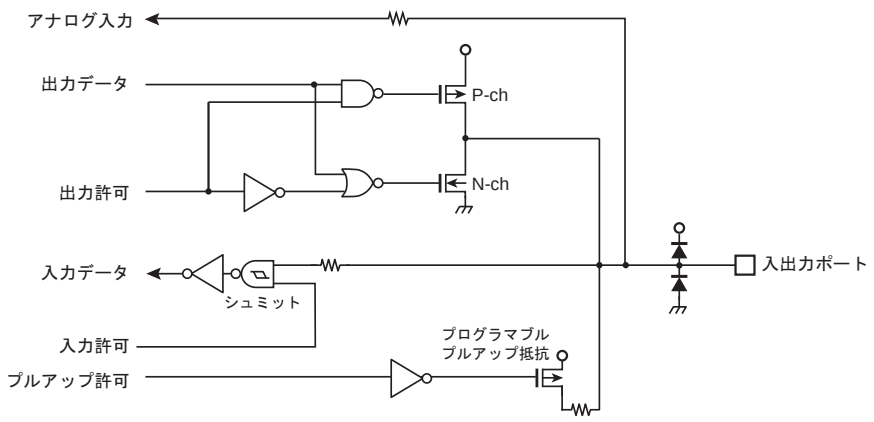
第 26 章　ポート等価回路図

ポート等価回路図は、基本的に標準 CMOS ロジック IC「74HCxx」シリーズと同じゲート記号を使って書かれています。

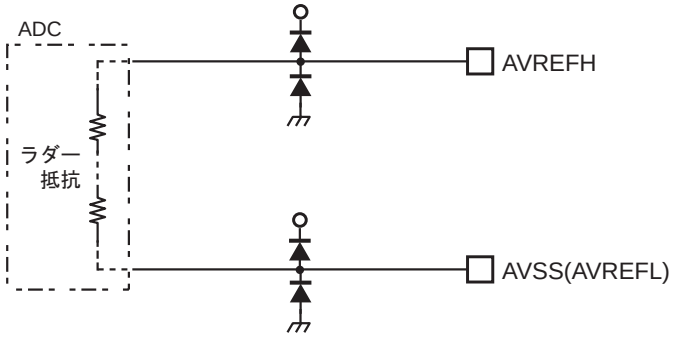
入力保護抵抗は、数十 Ω～数百 Ω 程度です。X2 のダンピング抵抗値は、図中に typ.値を記入しています。

注)　図中の数値の記載のない抵抗は、入力保護抵抗を示します。

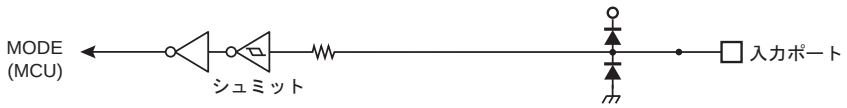
26.1　ポート

PA0 ~PA7,PB0 ~PB9,PC0 ~PC11, PD0 ~PD15,PE0 ~3,PE5 ~PE9, PF0 t~PF3,PF6,PF9 ~PF12, PG0 ~ PG11,PK0 ~ PK8 ~~	(プログラマブル Open Drain 出力、プログラマプル Pull-Up、Schmitt 入力) 
PF4,PF5,PF7,PF8, PF13	(5V トレラント、プログラマブル Open Drain 出力、Schmitt 入力) 
PE4	(プログラマブル Open Drain 出力、プログラマプル Pull-Down、Schmitt 入力) 
PH0 ~ PH14, PJ0 ~PJ4	(アナログ入力、プログラマプル Pull-Up、Schmitt 入力) 

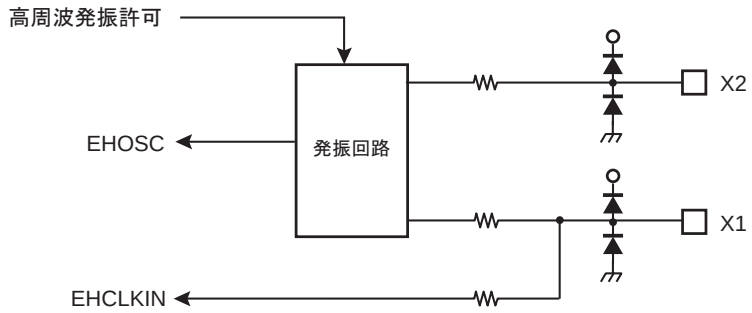
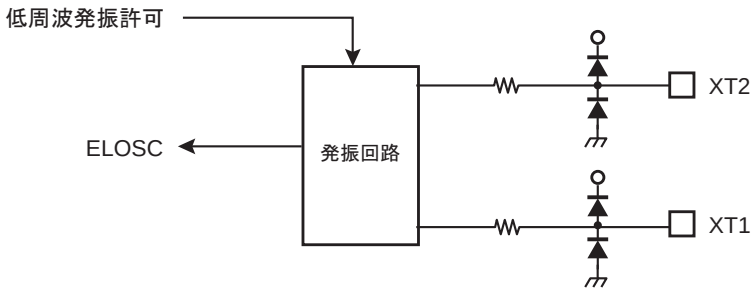
26.2　アナログ端子

AVREFH, AVSS	

26.3　制御端子

$\overline{\text{MODE}}$	 Mode 端子は必ず GND に接続して下さい。
$\overline{\text{RESET}}$,$\overline{\text{NMI}}$	

26.4 クロック端子

X1、X2	
XT1、XT2	

第 27 章　電気的特性

27.1　絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD3	−0.3 to 3.9	V
		RVDD3	−0.3 to 3.9	
		AVDD3	−0.3 to 3.9	
入力電圧	デジタル端子	V_{IN1}	−0.3 ~ DVDD3 + 0.3	V
	アナログ端子	V_{IN2}	−0.3 ~ AVDD3 + 0.3	
	5V トレラント入出力端子	V_{IN3}	−0.3 ~ 5.5	
低レベル出力電流	1 端子	I_{OL}	5	mA
	合計	ΣI_{OL}	50	
高レベル出力電流	1 端子	I_{OH}	−5	
	合計	ΣI_{OH}	-50	
消費電力 (Ta = 85 °C)		PD	600	mW
はんだ付け温度(10 s)		T_{SOLDER}	260	°C
保存温度		T_{STG}	-55 ~ 125	°C
動作温度		T_{OPR}	−40 ~ 85	°C

注)　**絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格(電流, 電圧, 消費電力, 温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。**

27.2　DC 電気的特性 (1/2)

DVDD3 = RVDD3 = AVDD3 = 2.7 V to 3.6 V
DVSS = RVSS = AVSS = 0V
Ta = −40 ~ 85 °C

項目		記号	条件	Min	Typ.	Max	単位
電源電圧	DVDD3 RVDD3 AVDD3	VDD	f_{OSC} = 8 ~ 16 MHz fsys = 1 ~ 120 MHz fs = 30 ~ 34 kHz	2.7	−	3.6	V
低レベル入力電圧	PA0~7, PB0~9, PC0~11, PD0~15, PE0~9, PF0~13, PG0~11, PK0~8, PN0~4	V_{IL1}	−	−0.3	−	0.25 DVDD3	V
	PH0~14, PJ0~4	V_{IL2}				0.25 AVDD3	
	X1, MODE, $\overline{\text{RESET}}$	V_{IL3}				0.2 DVDD3	
高レベル入力電圧	PA0~7, PB0~9, PC0~11, PD0~15, PE0~9, PF0~13, PG0~11, PK0~8, PN0~4	V_{IH1}	−	0.75 DVDD3	−	DVDD3+0.3	V
	PH0~14, PJ0~4	V_{IH2}		0.75 AVDD3		AVDD3+0.3	
	X1, MODE, $\overline{\text{RESET}}$	V_{IH3}		0.8 DVDD3		DVDD3+0.3	
	PF4, PF5, PF7, PF8, PF13	V_{IH4}	Schmit 入力 5V トレラント入出力端子	0.8 DVDD3		5.5	
低レベル出力電圧	下記以外の端子	V_{OL1}	I_{OL} = 2 mA	−	−	0.4	V
	PF4, PF5, PF7, PF8, PF13	V_{OL2}	I_{OL} = 2 mA 5V トレラント端子				
高レベル出力電圧	下記以外の端子	V_{OH1}	I_{OH} = −2 mA	2.4	−	DVDD3	V
	PF4, PF5, PF7, PF8, PF13	V_{OH2}	I_{OH} = −2 mA 5V トレラント端子		−	5.5 (注 1) DVDD3 (注 2)	

注 1)　Typ.値は特に指定のない限り Ta = 25 °C, DVDD3 = RVDD3 = AVDD3 = 3.3 V の値です。

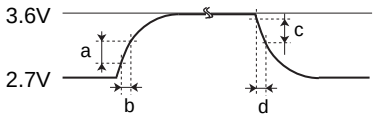
注 2)　オープンドレイン出力状態

注 3)　プッシュプル出力状態

DVDD3 = RVDD3 = AVDD3 = 2.7 V to 3.6 V
DVSS = RVSS = AVSS = 0V
Ta = −40 ~ 85 °C

項目	記号	条件	Min	Typ.	Max	単位
入力リーク電流	I_{LI}	0.0 ≤ V_{IN} ≤ DVDD3 0.0 ≤ V_{IN} ≤ AVDD3	−	0.02	±5	μA
出力リーク電流	I_{LO}	0.2 ≤ V_{IN} ≤ DVDD3 -0.2 0.2 ≤ V_{IN} ≤ AVDD3 -0.2	−	0.05	±10	
シュミット入力幅	VTH	2.7 V ≤ DVDD3 ≤ 3.6 V	0.075DVDD3	−	−	V
リセットプルアップ抵抗	RRST	−	30	80	180	kΩ
プログラマブルプルアップ/ダウン抵抗	PKH	−	30	80	180	kΩ
動作範囲内電源変動レート	VRS	RVDD3 = DVDD3	−	−	5	mV/μs
	VFS		−	−	-5	
Pin 容量(電源端子を除く)	C_{IO}	fc = 1 MHz	−	−	10	pF
低レベル出力電流	I_{OL}	1 端子ごと	−	−	2	mA
	ΣI_{OL}	ポートごと	−	−	15	mA
	ΣI_{OL}	全端子(全ポート)	−	−	35	mA
高レベル出力電流	I_{OH}	1 端子ごと	−	−	-2	mA
	ΣI_{OH}	ポートごと	−	−	-15	mA
	ΣI_{OH}	全端子(全ポート)	−	−	-35	mA

注 1)　Typ.値は特に指定のない限り Ta = 25 °C, DVDD3 = RVDD3 = AVDD3 = 3.3 V の値です。
注 2)　DVDD3, RVDD3, AVDD3, は同電位で使用してください。
注 3)　VRS, VFS の変動は電気的特性に対して厳しい箇所で測定してください。



VRS = a / b, VFS = c / d

27.3　DC 電気的特性 (2/2)

Ta = −40 ~ 85 °C

項目	記号	条件				Min	Typ.	Max	単位
		電源電圧	高速発振器	低速発振器	動作条件				
NORMAL	I_{DD}	DVDD3 = RVDD3 = AVDD3 = 3.6V	動作条件は表 27-1、表 27-2 を参照ください			−	45.0	75.0	mA
			発振	発振	CPU のみ	−	27.0	53.5	
IDLE			動作条件は表 27-1、表 27-2 を参照ください			−	21.5	49.3	
STOP1			停止	発振	動作条件は表 27-1、表 27-2 を参照ください	−	0.7	19.2	
STOP2							11.8	259.2	μA
				停止		−	8.7	257.6	

注)　Typ. 値は特に指定のない限り Ta = 25 °C, DVDD3 = RVDD3 = AVDD3 = 3.3 V の値です。

表 27-1 I_{DD} 測定条件 (端子設定、発振回路)

		NORMAL	IDLE	STOP1	STOP2
				低速発振器 発振	低速発振器停止
端子設定	DVDD3 = RVDD3 = AVDD3 =	3.3 V(Typ.),3.6V(Max)			
	X1, X2 端子	発振子接続 (10MHz)			
	XT1, XT2 端子	発振子接続 (32.768kHz)			
	入力端子	固定			
	出力端子	開放			
動作条件 (発振回路)	システムクロック (fsys)	120MHz		停止	
	外部高速発振器 (EHOSC)	発振		停止	
	内部高速発振器 (IHOSC)	停止			
	fsys 用 PLL	動作 (12 逓倍)		停止	
	低速発振器(ELOSC)	発振			停止

表 27-2 I_{DD} 測定条件 (CPU、周辺回路)

回路	搭載回路数	NORMAL	IDLE	STOP1	STOP2
				低速発振器 発振	低速発振器 停止
CPU	1	動作 (ドライストン Ver. 2.1)	停止		
DMAC	3	Unit A (UART ch0 送信で起動,転送先：EBIF) UnitB/C (TMRB0/8 コンペアー致で起動、転送先：RAM)	停止		
ADC	1	動作 (1.33μs, リピート変換)	停止		
EBIF	1	動作	停止		
TMRB	16	全 ch:動作	停止		
MPT	2	動作	停止		
RTC	1	動作			停止
WDT	1	動作	停止		
UART/SIO	6	全 ch:UART, 送信	停止		
UART	2	全 ch:UART, 送信(7.38Mbps)	停止		
I2C	5	停止			
SSP	3	Ch0,ch1:SPI,送信,10MHz Ch2:SPI,送信,20MHz	停止		
CEC	1	停止			
RMC	1	動作			停止
I/O port	-	停止			
LVD	1	停止			
OFD	1	動作	停止		

27.4　12 ビット AD コンバータ変換特性

DVDD3 = RVDD3 = AVDD3 = 2.7 V to 3.6 V
DVSS = RVSS = AVSS = 0V
Ta = −40 ~ 85 °C

項目		記号	条件	Min	Typ.	Max	単位
アナログ基準電圧(+)		AVREFH	−	AVDD3-0.3	−	AVDD3	V
アナログ入力電圧		VAIN	−	AVSS	−	VREFH	V
アナログ基準電圧電源電流	AD 変換時	IREF	−	−	2.0	2.5	mA
	AD 非変換時		−	−	−	0.3	μA
消費電流		I_{DD}	−	−	2.4	3.0	mA
積分非直線性誤差(INL)		−	AIN 負荷抵抗 ≤ 300 Ω AIN 負荷容量 ≥ 0.1 μF 変換時間 ≥ 2.0 μs 注 3)	−	−	±4.0	LSB
微分非直線性誤差(DNL)				−	−	±4.0	
ゼロスケール誤差				−	−	±4.0	
フルスケール誤差				−	−	±4.0	
総合誤差				−	−	±5.0	
積分非直線性誤差(INL)		−	AIN 負荷抵抗 ≤ 300 Ω AIN 負荷容量 ≥ 0.1 μF 変換時間 ≥ 1.0 μs 注 3)	−	−	±7.0	LSB
微分非直線性誤差(DNL)				−	−	±6.0	
ゼロスケール誤差				−	−	±6.0	
フルスケール誤差				−	−	±6.0	
総合誤差				−	−	±8.0	
安定時間		Tsta	ADMOD1<DACON>=1 設定後	−	−	3.0	μs
変換時間		Tconv	−	1.0	−	10	μs

注 1)　Typ. 値は特に指定のない限り Ta = 25 °C, DVDD3 = RVDD3 = AVDD3 = 3.3 V の値です。
注 2)　1LSB = (VREFH − AVSS(VREFL)) / 4096 [V]
注 3)　AD コンバータ単体動作の時の特性です。
注 4)　拡張 CH の変換誤差は、通常 CH の±1.0LSB です。

27.5 AC 電気的特性

27.5.1 シリアルチャネル (SIO/UART)

27.5.1.1 AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- 出力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

27.5.1.2 AC 電気的特性(I/O インタフェースモード)

表中の x は SIO の動作クロックの周期を表します。SIO の動作クロックは、システムクロック fsys と同じ周期です。

(1) SCLK 入力モード

[データ入力]

項目	記号	計算式		fsys = 80 MHz		fsys = 120MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK クロック High 幅(入力)	t_{SCH}	4x	−	50	−	33.3	−	ns
SCLK クロック Low 幅(入力)	t_{SCL}	4x	−	50	−	33.3	−	
SCLK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	−	100	−	66.6	−	
有効 Data 入力 ← SCLK 立ち上がり/立ち下がり (注 1)	t_{SRD}	30	−	30	−	30	−	
SCLK 立ち上がり/立ち下がり (注 1) → 入力 Data 保持	t_{HSR}	x + 30	−	42.5	−	38.3	−	

[データ出力]

項目	記号	計算式		fsys = 80 MHz		fsys = 120MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK クロック High 幅(入力)	t_{SCH}	4x	−	82.5 (注 3)	−	70 (注 3)	−	ns
SCLK クロック Low 幅(入力)	t_{SCL}	4x	−	82.5 (注 3)	−	70 (注 3)	−	
SCLK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	−	165	−	140	−	
Output Data ← SCLK 立ち上がり/立ち下がり (注 1)	t_{OSS}	$t_{SCY}/2 - 3x - 45$	−	0 (注 2)	−	0 (注 2)	−	
SCLK 立ち上がり/立ち下がり (注 1) → Output Data 保持	t_{OHS}	$t_{SCY}/2$	−	82.5	−	70.0	−	

注 1) SCLK 立ち上がり/立ち下がり SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

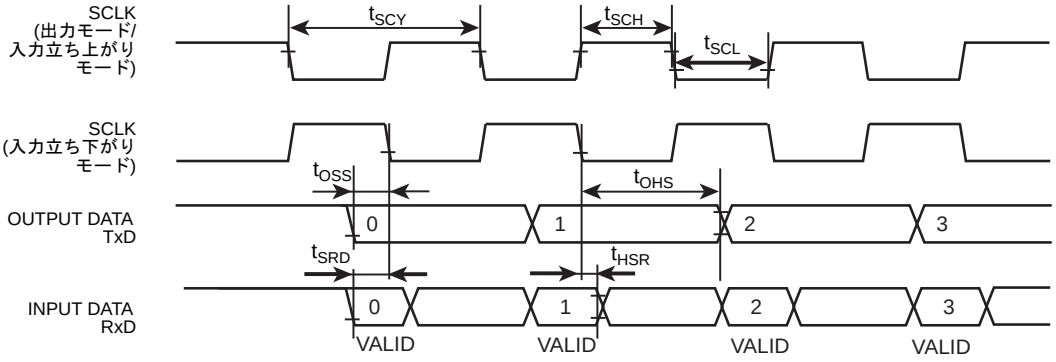
注 2) 計算値がマイナスにならない範囲の SCLK 周期で使用してください。

注 3) t_{OSS} を"0"とした場合の値を示しています。計算式による値ではありません。

(2)　SCLK 出力モード

項目	記号	計算式		fsys = 80 MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)(注 3)	t_{SCY}	2x	–	50	–	ns
Output Data ← SCLK 立ち上がり	t_{OSS}	t_{SCY}/2 - 20	–	5	–	
SCLK 立ち上がり → Output Data 保持	t_{OHS}	t_{SCY}/2 - 20	–	5	–	
有効 Data 入力 ← SCLK 立ち上がり	t_{SRD}	20(注 1) 45(注 2)	–	20(注 1) 45(注 2)	–	
SCLK 立ち上がり → Input Data 保持	t_{HSR}	0	–	0	–	

注 1)　対象チャネル： ch0, 1
注 2)　対象チャネル：ch2 ~ 9
注 3)　SCLK 周期≥ 50ns となるように、SCLK を調整してください。



27.5.2 I2C インタフェース (I2C)

27.5.2.1 AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- 出力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

27.5.2.2 AC 電気的特性

x は I2C の動作クロックの周期を表します。I2C の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

n は I2CxCR<SCK>で指定した SCL 出力クロックの周波数選択値、p は I2CxPRS<PRSCK>で指定したプリスケーラ分周比です。

項目	記号	計算式		標準モード		ファーストモード		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	f_{SCL}	0	–	0	100	0	400	kHz
スタートコンディション保持	$t_{HD;STA}$	–	–	4.0	–	0.6	–	μs
SCL クロック Low 幅(入力) (注 1)	t_{LOW}	–	–	4.7	–	1.3	–	
SCL クロック High 幅(入力) (注 2)	t_{HIGH}	–	–	4.0	–	0.6	–	
再スタートコンディション セットアップ時間	$t_{SU;STA}$	(注 5)	–	4.7	–	0.6	–	
データ保持時間(入力) (注 3, 4)	$t_{HD;DAT}$	–	–	0.0	–	0.0	–	
データセットアップ時間	$t_{SU;DAT}$	–	–	250	–	100	–	ns
ストップコンディションセットアップ時間	$t_{SU;STO}$	–	–	4.0	–	0.6	–	μs
ストップコンディションとスタート コンディション間のバスフリー時間	t_{BUF}	(注 5)	–	4.7	–	1.3	–	

注 1) SCL クロック LOW 幅(出力): $p(2^{n+1} + 10)/x$

注 2) SCL クロック HIGH 幅(出力): $p(2^{n+1} + 6)/x$

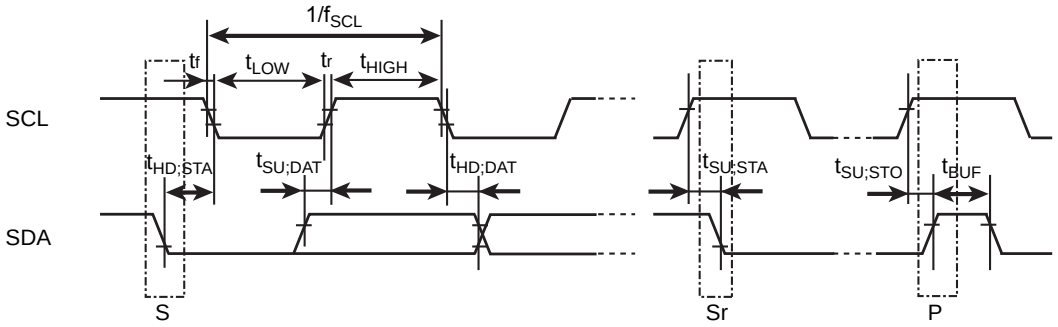
通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記注 1,注 2 の計算式で設定されますのでご注意願います。

注 3) データ保持時間(出力)は内部 SCL からプリスケーラクロック(Tprsck) 4 サイクル分の時間です。

注 4) スペックでは内部で、SDA 入力時にデータホールド 300ns を確保して SCL 立ち下がり時の不安定状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL／SDA の tr/tf を含めて BUS 上で上表のデータ保持時間(入力)を守るように設計してください。

注 5) ソフトウエアに依存します。

注 6) スペックでは、ファーストモードデバイスへの電源供給が切れた場合、バスラインを妨げることがないように SDA および SCL 信号の I/O ピンと電源との接続が外れるようにする必要がありますが、本デバイスでは対応していません。



S: スタートコンディション
Sr: 再スタートコンディション
P: ストップコンディション

27.5.3 同期式シリアルインタフェース (SSP)

27.5.3.1 AC 測定条件

表中の計算式に使われる"T"は内部プリスケーラ入力クロック fsys 周期を示します。

- 出力レベル: High = 0.8 ×DVDD3, Low = 0.2 ×DVDD3
- 入力レベル: High = 0.75 ×DVDD3, Low = 0.25 ×DVDD3
- 負荷容量：CL=30pF

27.5.3.2 AC 電気的特性

通信ボーレートクロックは以下の条件範囲で設定する必要があります。

- マスタモード時

  $m = (<CPSDVSR> \times (1 + <SCR>)) = fsys/f_{SPxCLK}$

  <CPSDVR>は偶数のみが設定可能です。また m の範囲は $65024 \geq m \geq 2$ となります。
- スレーブモード

  $n = fsys/f_{SPxCLK}$ ($65024 \geq n \geq 12$)

10MHz タイプ@ch0/1

項目	記号	計算式		fsys =120MHz (m=12, n=36)		単位
		Min	Max	Min	Max	
SPxCLK 周期 (マスタ)	T_m	(m)T ただし、100ns 以上	−	100 (10MHz)	−	ns
SPxCLK 周期 (スレーブ)	T_s	(n)T ただし、300ns 以上	−	300 (3.3MHz)	−	
SPxCLK 立ち上がり時間	t_r	−	15	−	15	
SPxCLK 立ち下がり時間	t_f	−	15	−	15	
マスタモード時 SPxCLK 低レベルパルス幅	t_{WLM}	(m)T/2 - 15	−	35	−	
マスタモード時 SPxCLK 高レベルパルス幅	t_{WHM}	(m)T/2 - 15	−	35	−	
スレーブモード時 SPxCLK 低レベルパルス幅	t_{WLS}	(n)T/2 - 15	−	135	−	
スレーブモード時 SPxCLK 高レベルパルス幅	t_{WHS}	(n)T/2 - 15	−	135	−	
マスタモード時 SPxCLK 立ち上がり/立ち下がり→ 出力データ有効	t_{ODSM}	−	15	−	15	
マスタモード時 SPxCLK 立ち上がり/立ち下がり→ 出力データ保持	t_{ODHM}	(m)T/2 - 15	−	35	−	
マスタモード時 入力データ有効 ← SPxCLK 立ち上がり/立ち下がり	t_{IDSM}	30	−	30	−	
マスタモード時 SPxCLK 立ち上がり/立ち下がり → 入力データ保持	t_{IDHM}	0	−	0	−	
マスタモード時 SPxFSS 有効 → SPxCLK 立ち上がり/立ち下がり	t_{OFSM}	(m)T - 15	(m)T + 15	85	115	
スレーブモード時 SPxCLK 立ち上がり/立ち下がり → 出力データ有効	t_{ODSS}	−	(3T) + 40	−	65.0	
スレーブモード時 SPxCLK 立ち上がり/立ち下がり → 出力データ保持	t_{ODHS}	(n)T/2 + (2T)	−	166.6	−	
スレーブモード時 入力データ有効 ← SPxCLK 立ち上がり/立ち下がり	t_{IDSS}	10	−	10	−	
スレーブモード時 SPxCLK 立ち上がり/立ち下がり → 入力データ保持	t_{IDHS}	(3T) + 15	−	40.0	−	
スレーブモード時 SPxFSS 有効 → SPxCLK 立ち上がり/立ち下がり	t_{OFSS}	(n)T + 10	−	310	−	

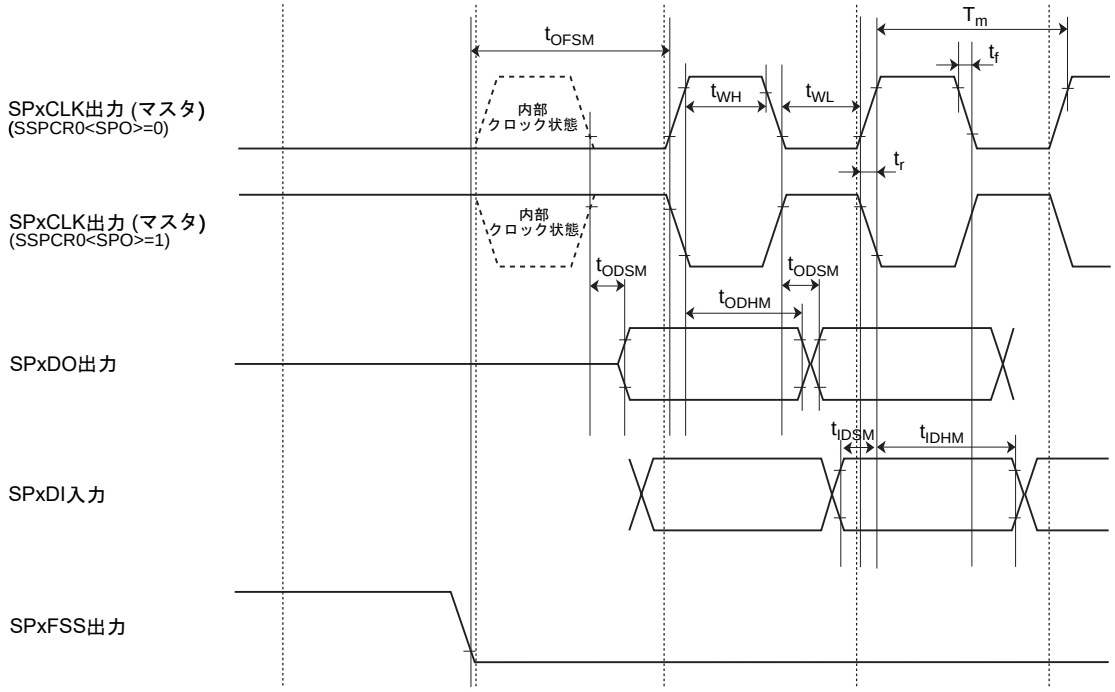
20MHz タイプ@ch2

項目	記号	計算式		fsys=120MHz (m=6, n=18)		単位
		Min	Max	Min	Max	
SPxCLK 周期 (マスタ)	T_m	(m)T ただし、50ns 以上	–	50 (20MHz)	–	ns
SPxCLK 周期 (スレーブ)	T_s	(n)T ただし、150ns 以上	–	150 (6.6MHz)	–	
SPxCLK 立ち上がり時間	t_r	–	10	–	10	
SPxCLK 立ち下がり時間	t_f	–	10	–	10	
マスタモード時 SPxCLK 低レベルパルス幅	t_{WLM}	(m)T/2 - 10	–	15	–	
マスタモード時 SPxCLK 高レベルパルス幅	t_{WHM}	(m)T/2 - 10	–	15	–	
スレーブモード時 SPxCLK 低レベルパルス幅	t_{WLS}	(n)T/2 - 10	–	65	–	
スレーブモード時 SPxCLK 高レベルパルス幅	t_{WHS}	(n)T/2 - 10	–	65	–	
マスタモード時 SPxCLK 立ち上がり/立ち下がり→ 出力データ有効	t_{ODSM}	–	10	–	10	
マスタモード時 SPxCLK 立ち上がり/立ち下がり→ 出力データ保持	t_{ODHM}	(m)T/2 - 10	–	15	–	
マスタモード時 入力データ有効 ← SPxCLK 立ち上がり/立ち下がり	t_{IDSM}	15	–	15	–	
マスタモード時 SPxCLK 立ち上がり/立ち下がり → 入力データ保持	t_{IDHM}	0	–	0	–	
マスタモード時 SPxFSS 有効 → SPxCLK 立ち上がり/立ち下がり	t_{OFSM}	(m)T - 15	(m)T + 15	35	65	
スレーブモード時 SPxCLK 立ち上がり/立ち下がり → 出力データ有効	t_{ODSS}	–	(3T) + 30	–	55.0	
スレーブモード時 SPxCLK 立ち上がり/立ち下がり → 出力データ保持	t_{ODHS}	(n)T/2 + (2T)	–	91.6	–	
スレーブモード時 入力データ有効 ← SPxCLK 立ち上がり/立ち下がり	t_{IDSS}	10	–	10	–	
スレーブモード時 SPxCLK 立ち上がり/立ち下がり → 入力データ保持	t_{IDHS}	(3T) + 15	–	40.0	–	
スレーブモード時 SPxFSS 有効 → SPxCLK 立ち上がり/立ち下がり	t_{OFSS}	(n)T + 10	–	160	–	

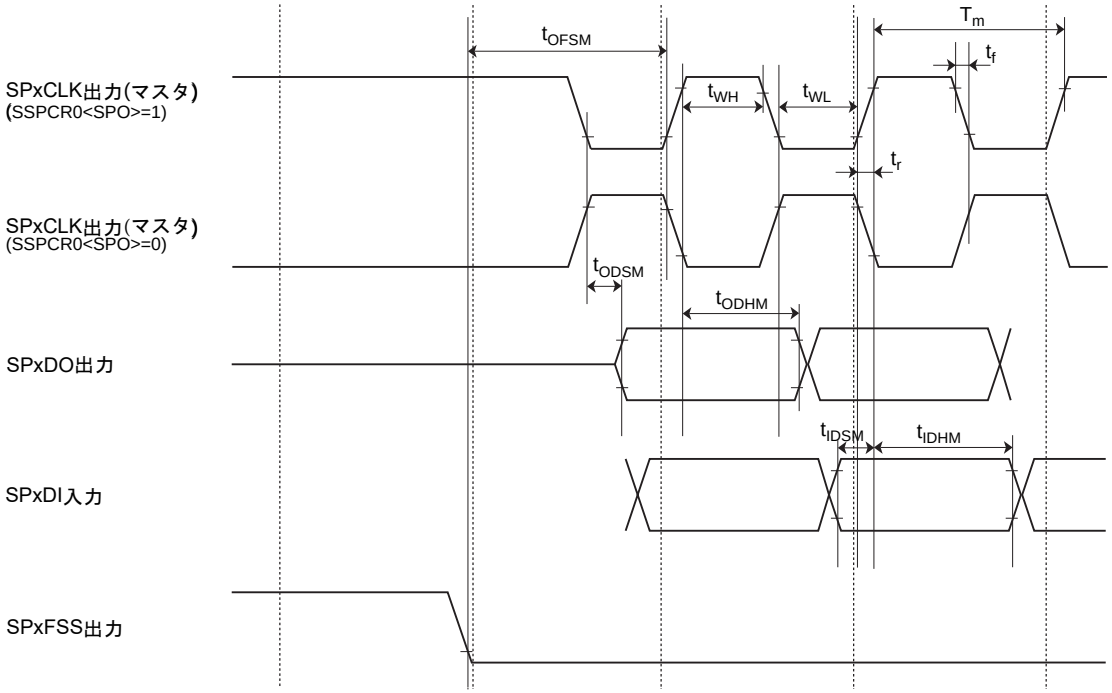
(1)　SSP の SPI モード (マスタ)

- fsys ≥ 2 × f_{SPxCLK} (最大)
- fsys ≤ 65024 × f_{SPxCLK} (最小)

(1) マスタ SSPCR0<SPH>="0" (1st エッジでデータをラッチ)



(2) マスタ SSPCR0<SPH>="1" (2nd エッジでデータをラッチ)

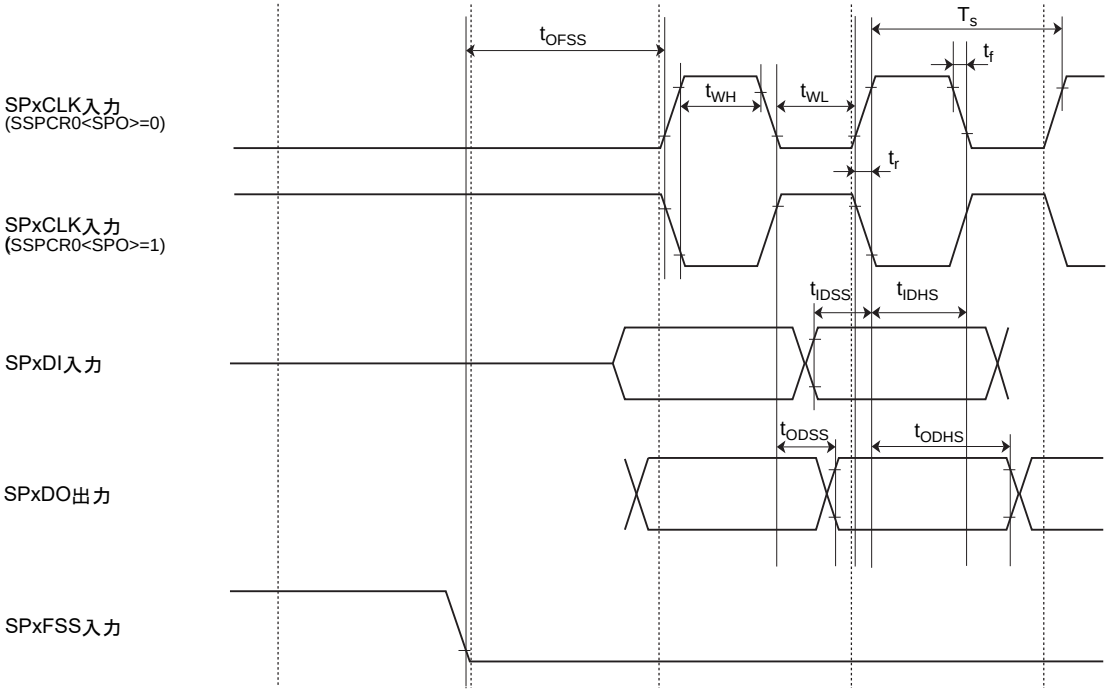

SPxCLK出力(マスタ)
(SSPCR0<SPO>=1)
SPxCLK出力(マスタ)
(SSPCR0<SPO>=0)
SPxDO出力
SPxDI入力
SPxFSS出力
tOFSM
tWH
tWL
Tm
tf
tr
tODSM
tODHM
tIDSM
tIDHM

(2) SSP の SPI モード (スレーブ)

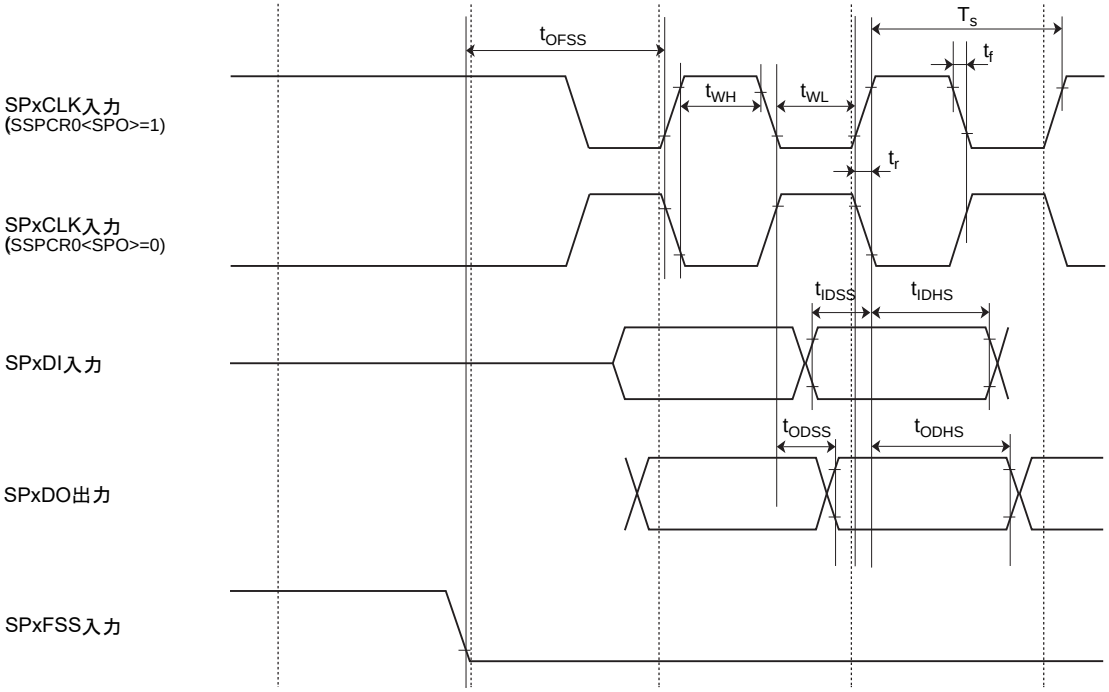
・ fsys ≥ 12 × f_{SPxCLK}（最大）

・ fsys ≤ 65024 × f_{SPxCLK} (最小)

(3) スレーブ SSPCR0<SPH>="0" (1st エッジでデータをラッチ)



(4) スレーブ SSPCR0<SPH>="1" (2nd エッジでデータをラッチ)


SPxCLK入力
(SSPCR0<SPO>=1)
SPxCLK入力
(SSPCR0<SPO>=0)
SPxDI入力
SPxDO出力
SPxFSS入力
tOFSS
tWH
tWL
Ts
tf
tr
tIDSS
tIDHS
tODSS
tODHS

27.5.4　外部バスインタフェース AC 特性

27.5.4.1　AC 測定条件

- DVDD3=2.7 ~ 3.6V
- 出力レベル: High = 0.7 × DVDD3, Low = 0.3 × DVDD3
- 入力レベル: High = 0.7 × DVDD3, Low = 0.3 × DVDD3
- 負荷容量: CL = 30pF

27.5.4.2　変数条件

- RWS : $\overline{RD}$, $\overline{WR}$ における立ち下がりまでのセットアップサイクル挿入 ：RWS = 0, 1, 2, 4
- TW : 内部ウエイトサイクル挿入 ：TW = 0 ~ 15
- TWEX：外部ウエイトサイクル挿入：TWEX = 任意
- RWH : $\overline{RD}$, $\overline{WR}$ のリカバリサイクル挿入 ：RWH = 0 ~ 6, 8
- CSH : $\overline{CSx}$ のリカバリサイクル挿入 ：CSH = 0, 1, 2, 4

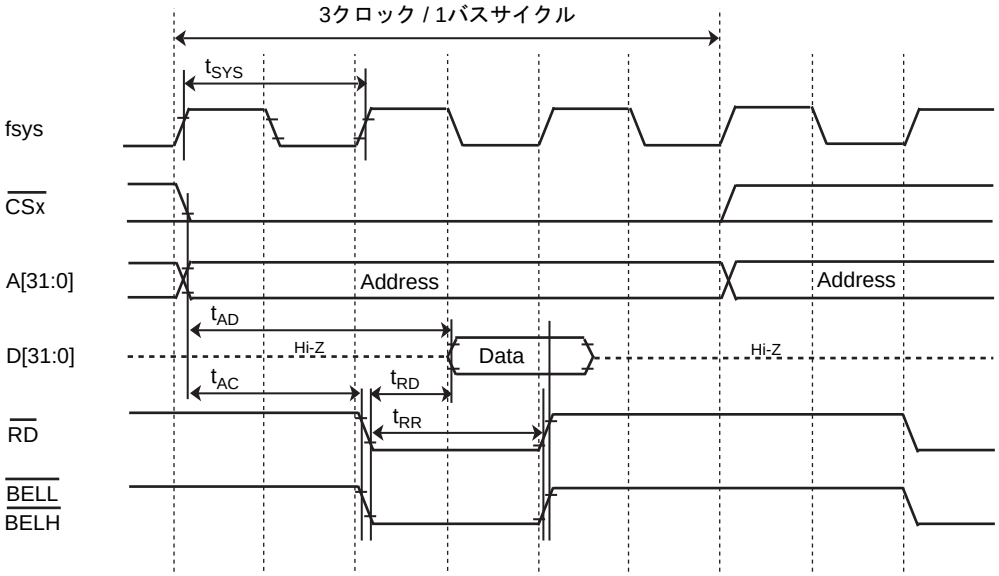
27.5.4.3　AC 電気的特性(非同期セパレートバスモード)

変数条件 : RWS = 1, TW = 3, TWEX = 4, RWH = 1, CSH =1

項目	記号	計算式		fsys = 80MHz		fsys = 120MHz		単位
		Min	Max	Min	Max	Min	Max	
システムクロック周期 (x)	t_{SYS}	x	−	12.5	−	8.3	−	ns
A[31:0]有効 → $\overline{RD}$, $\overline{WR}$ 立ち下がり	t_{AC}	x (1+RWS)−15	−	10	−	1.7	−	
$\overline{RD}$, $\overline{WR}$ 立ち上がり → A[31:0]保持	t_{CAR}	x (1+RWH+CSH)−10	−	27.5	−	15.0	−	
A[31:0]有効 → D[31:0]入力	t_{AD}	−	x (2+RWS+TW+TWEX) −35	−	90.0	−	48.0	
$\overline{RD}$ 立ち下がり → D[31:0]入力	t_{RD}	−	x (1+TW+TWEX)−30	−	70.0	−	36.4	
$\overline{RD}$ 低レベルパルス幅	t_{RR}	x (1+TW+TWEX)−15	−	85.0	−	51.4	−	
$\overline{RD}$ 立ち上がり → D[31:0]保持	t_{HR}	0	−	0	−	0	−	
$\overline{RD}$ 立ち上がり → A[31:0]出力	t_{RAE}	x (1+RWH+CSH)−15	−	22.5	−	10.0	−	
$\overline{WR}$ 低レベルパルス幅	t_{WW}	x (1+TW+TWEX)−15	−	85.0	−	51.4	−	
D[31:0]有効 → $\overline{WR}$ 立ち上がり	t_{DW}	x (1+TW+TWEX)−15	−	85.0	−	51.4	−	
$\overline{WR}$ 立ち上がり → D[31:0]保持	t_{WD}	x (1+RWH)−10	−	15	−	6.7	−	
$\overline{RD}$/$\overline{WR}$ 立ち下がり → $\overline{WAIT}$ 立ち下がり	t_{RWW}	−	x (TW)−30	−	7.5	−	-5.1	
$\overline{WAIT}$ 立ち上がり → $\overline{RD}$/$\overline{WR}$ 立ち上がり	t_{WRW}	−	4x + 30	−	80	−	63.2	

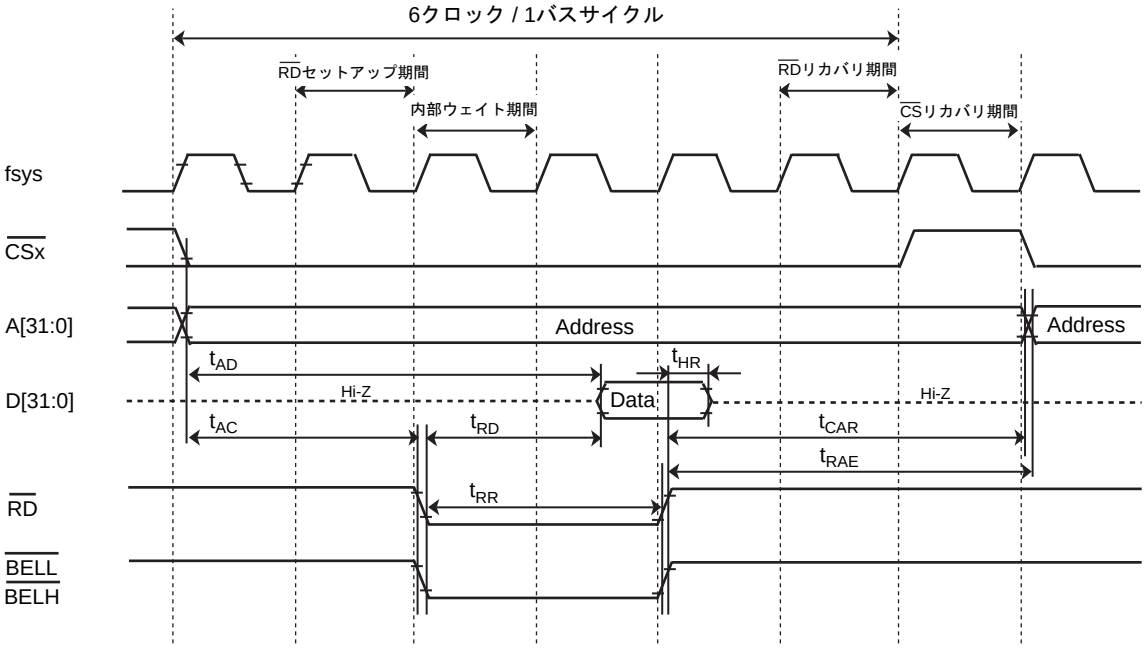
1. リードサイクル (最短サイクル)

(サイクル拡張無し、RD セットアップ無し、内部ウエイト無し、CS リカバリ無し、RD リカバリ無し)



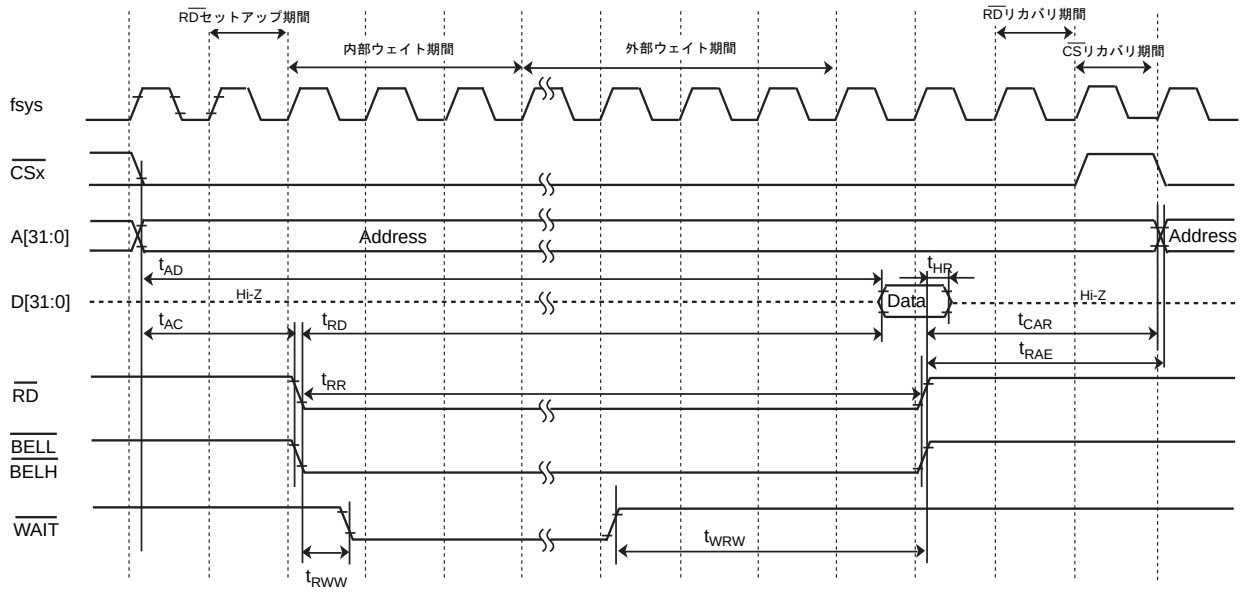
2. リードサイクル (6 クロック/ 1 バスサイクル)

(サイクル拡張無し、RD セットアップ=1 サイクル、内部ウエイト=1 サイクル、CS リカバリ=1 サイクル、RD リカバリ=1 サイクル)



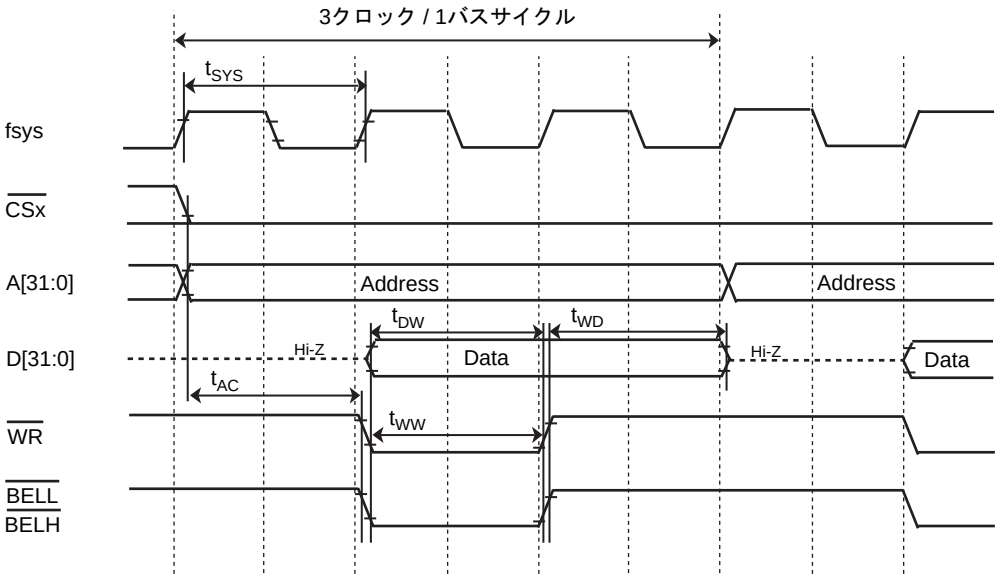
3. リードサイクル(外部ウエイト)

(サイクル拡張無し、RD セットアップ=1 サイクル、内部ウエイト=3 サイクル、外部ウエイト=任意、CS リカバリ=1 サイクル、RD リカバリ=1 サイクル)



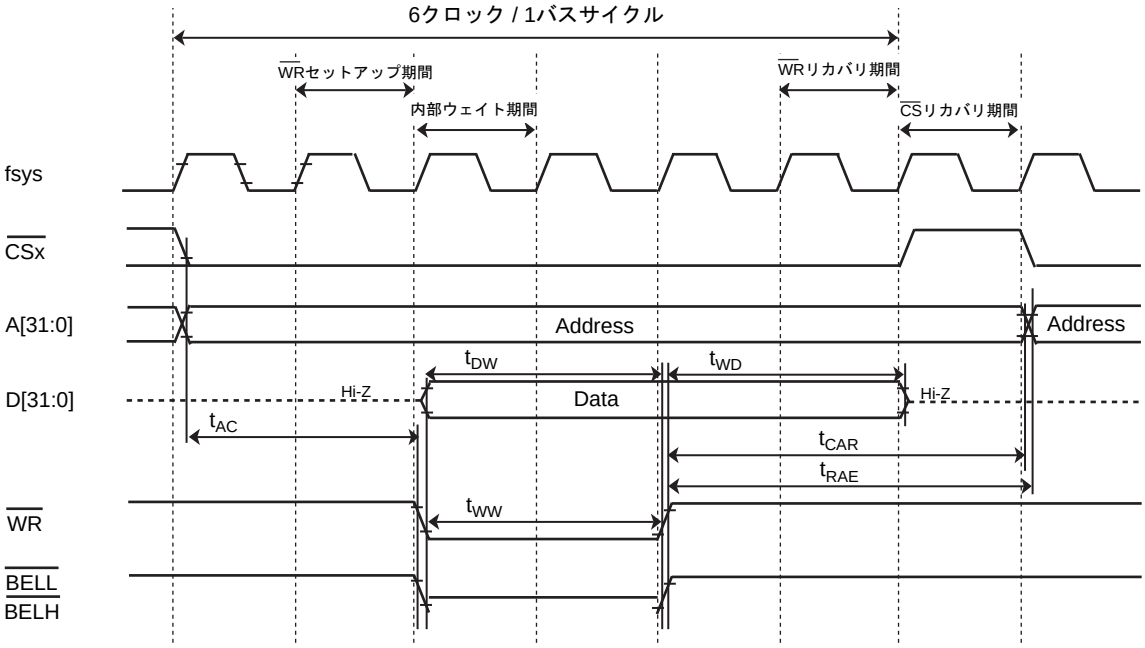
4. ライトサイクル (最短サイクル)

(サイクル拡張無し、WR セットアップ無し、内部ウエイト無し、CS リカバリ無し、WR リカバリ無し)



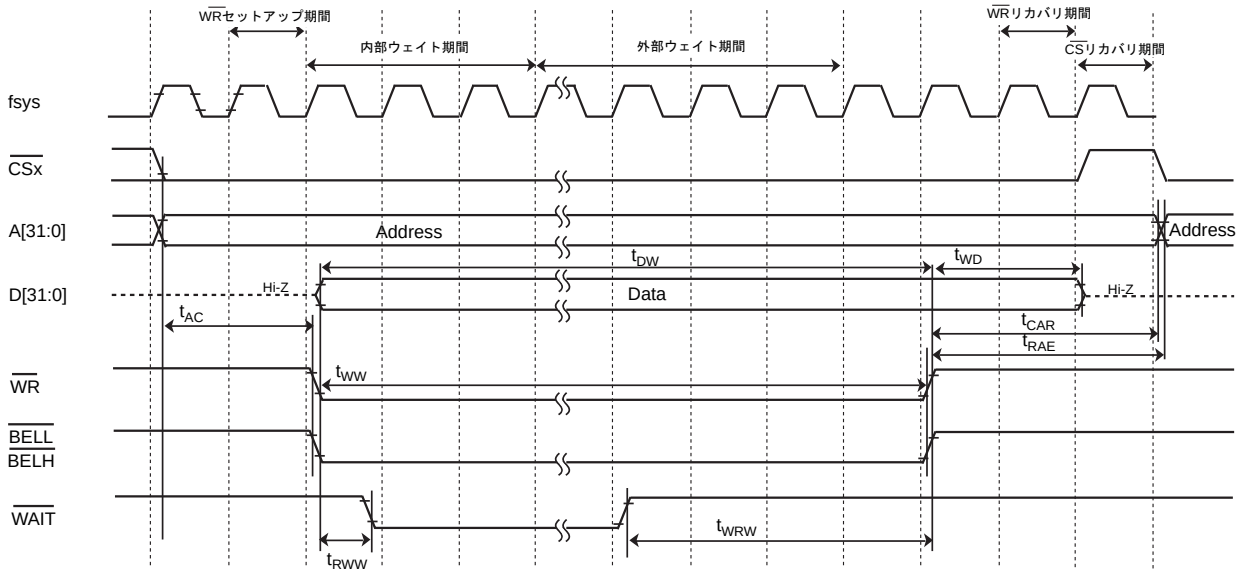
5. ライトサイクル (6 クロック/ 1 バスサイクル)

(サイクル拡張無し、WR セットアップ=1 サイクル、内部ウエイト=1 サイクル、CS リカバリ=1 サイクル、WR リカバリ=1 サイクル)



6. ライトサイクル(外部ウエイト)

(サイクル拡張無し、WR セットアップ=1 サイクル、内部ウエイト=3 サイクル、外部ウエイト=任意、CS リカバリ=1 サイクル、WR リカバリ=1 サイクル)



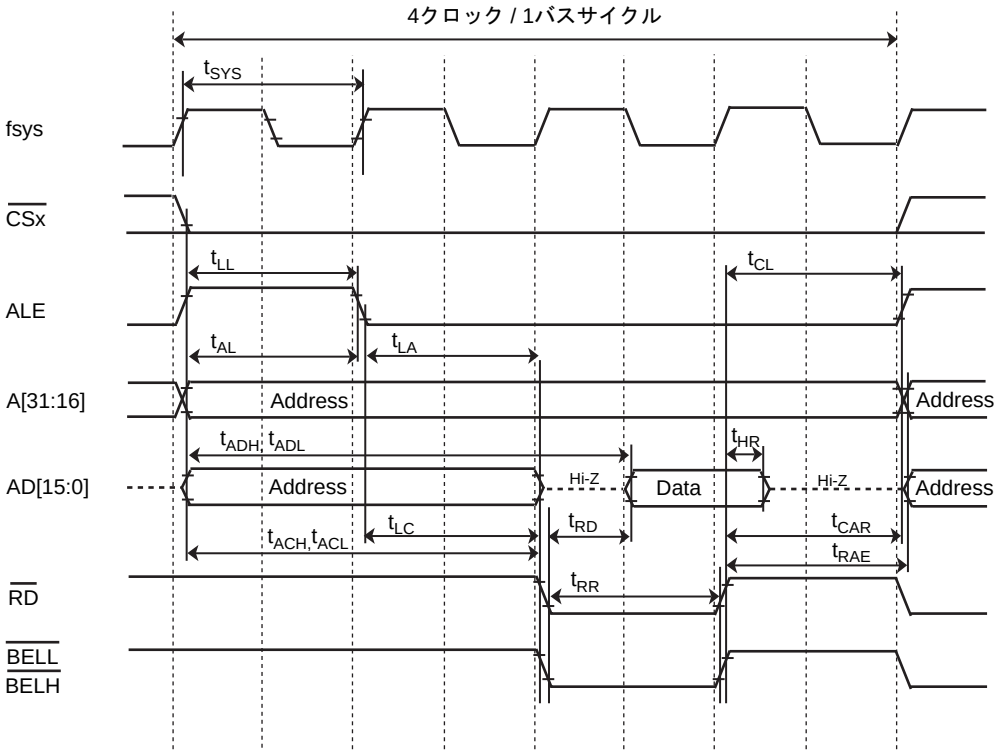
27.5.4.4　AC 電気的特性(非同期マルチプレクスバスモード)

変数条件 : ALE = 1, RWS = 1, TW = 3, TWEX = 4, RWH = 1, CSH =1

項目	記号	計算式		fsys = 80MHz		fsys = 120MHz		単位
		Min	Max	Min	Max	Min	Max	
システムクロック周期 (x)	t_{SYS}	x	−	12.5	−	8.3	−	ns
A[31:0]有効 → ALE 立ち下がり	t_{AL}	x (1+ALE)-15	−	10	−	1.7	−	
ALE 立ち下がり → A[31:0]保持	t_{LA}	x (1+RWS)-10	−	15	−	6.7	−	
ALE High パルス幅	t_{LL}	x (1+ALE)-15	−	10	−	1.7	−	
ALE 立ち下がり → $\overline{RD}$, $\overline{WR}$ 立ち下がり	t_{LC}	x (1+RWS)-10	−	15	−	6.7	−	
$\overline{RD}$, $\overline{WR}$ 立ち上がり → ALE 立ち上がり	t_{CL}	x (1+RWH+CSH)-15	−	22.5	−	10.0	−	
A[15:0]有効 → $\overline{RD}$, $\overline{WR}$ 立ち下がり A[23:16]有効 → $\overline{RD}$, $\overline{WR}$ 立ち下がり	t_{ACL} t_{ACH}	x (2+ALE+RWH)-15	−	35	−	18.3	−	
$\overline{RD}$, $\overline{WR}$ 立ち上がり → A[23:16]保持	t_{CAR}	x (1+RWH+CSH)-15	−	22.5	−	10.0	−	
A[15:0]有効 → D[15:0]入力 A[23:16]有効 → D[15:0]入力	t_{ADL} t_{ADH}	−	x (3+ALE+RWS+TW +TWEX)-35	−	115	−	64.6	
$\overline{RD}$ 立ち下がり → D[31:0]入力	t_{RD}	−	x (1+TW+TWEX)-30	−	70	−	36.4	
$\overline{RD}$ 低レベルパルス幅	t_{RR}	x (1+TW+TWEX)-15	−	85.0	−	51.4	−	
$\overline{RD}$ 立ち上がり → D[15:0]保持	t_{HR}	0	−	0	−	0	−	
$\overline{RD}$ 立ち上がり→ A[23:0]出力	t_{RAE}	x (1+RWH+CSH)-15	−	22.5	−	15	−	
$\overline{WR}$ Low パルス幅	t_{WW}	x (1+TW+TWEX)-15	−	85.0	−	51.4	−	
D[31:0]有効 → $\overline{WR}$ 立ち上がり	t_{DW}	x (1+TW+TWEX)-15	−	85.0	−	51.4	−	
$\overline{WR}$ 立ち上がり → D[31:0]保持	t_{WD}	x (1+RWH)-10	−	15	−	6.7	−	
$\overline{RD}$/$\overline{WR}$ 立ち下がり → $\overline{WAIT}$ 立ち下がり	t_{RWW}	−	x (TW)−30	−	7.5	−	-5.1	
$\overline{WAIT}$ 立ち上がり → $\overline{RD}$/$\overline{WR}$ 立ち上がり	t_{WRW}	−	4x + 30	−	80	−	63.2	

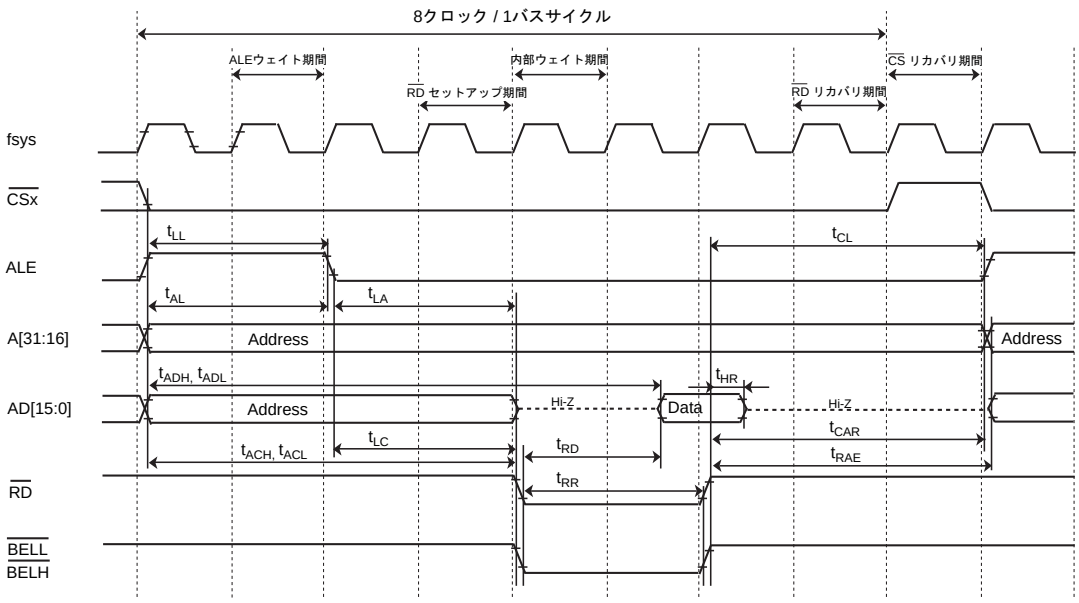
1. リードサイクル (最短サイクル)

(サイクル拡張無し、ALE ウエイト無し、RD セットアップ無し、内部ウエイト無し、CS リカバリ無し、RD リカバリ無し)



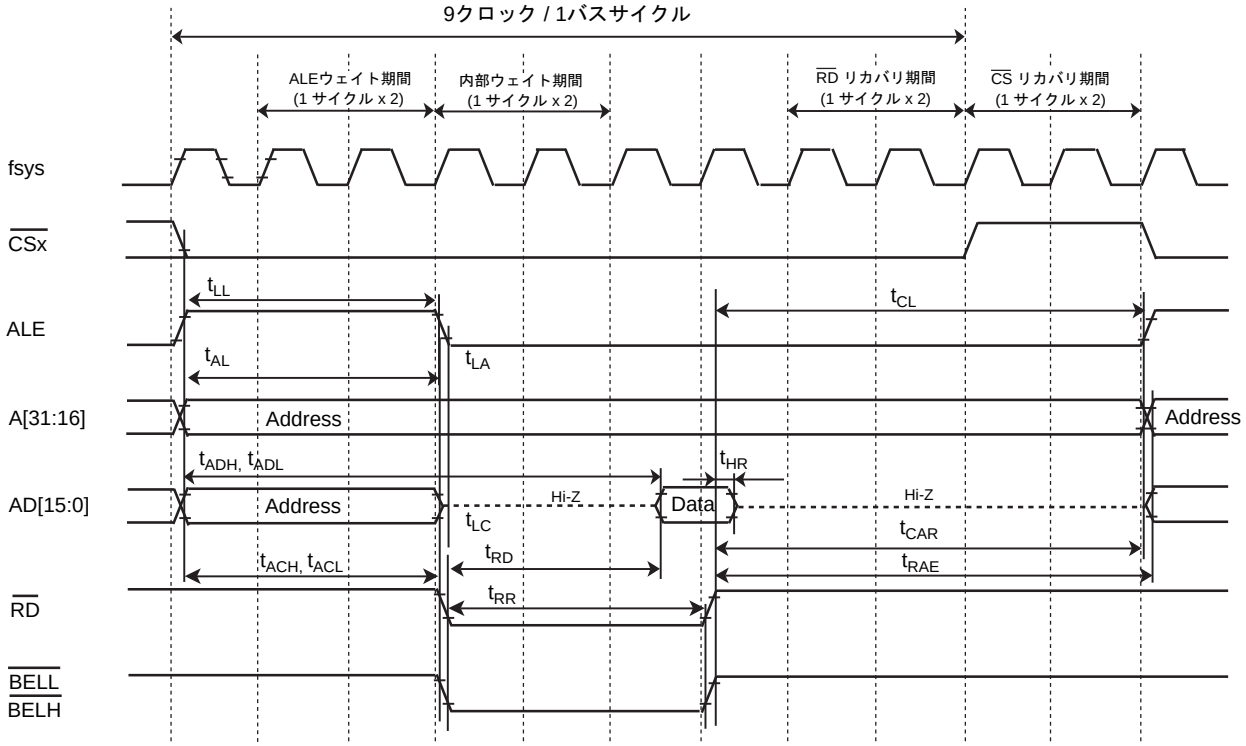
2. リードサイクル (8 クロック/ 1 バスサイクル)

(サイクル拡張無し、ALE ウエイト=1 サイクル、RD セットアップ=1 サイクル、内部ウエイト=1 サイクル、CS リカバリ=1 サイクル、RD リカバリ=1 サイクル)



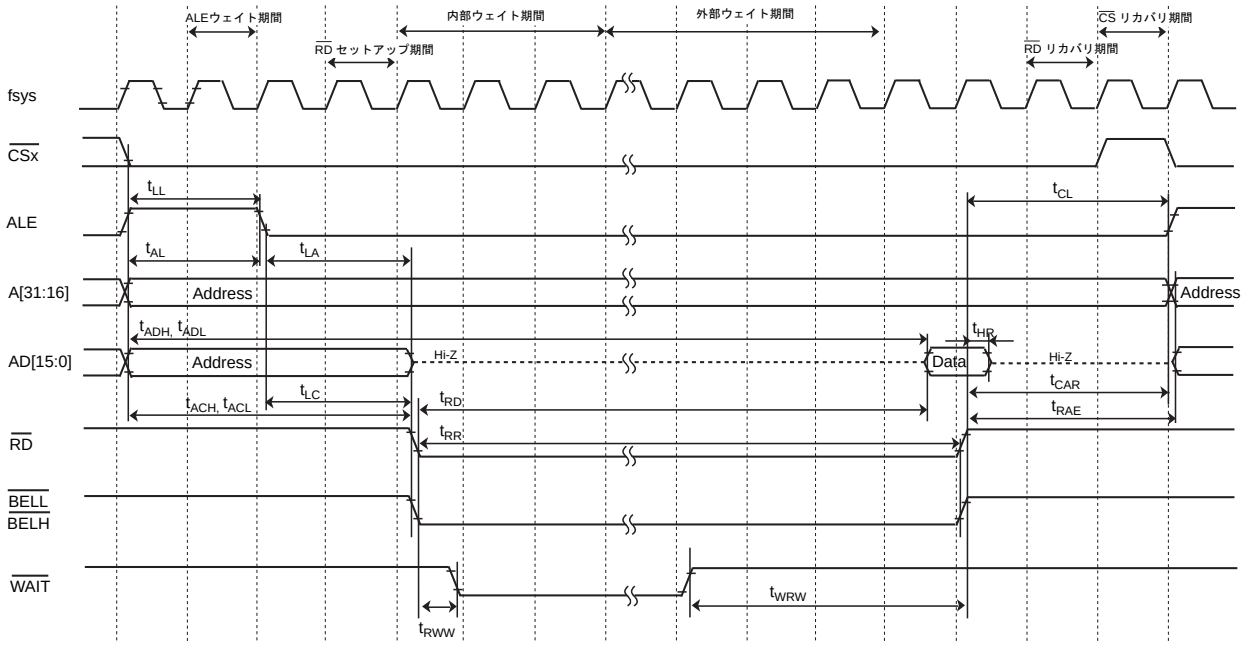
3. リードサイクル (9 クロック/ 1 バスサイクル)

(サイクル拡張=2 倍、ALE ウエイト=1 サイクル、RD セットアップ=無し、内部ウエイト=1 サイクル、CS リカバリ=1 サイクル、RD リカバリ=1 サイクル)



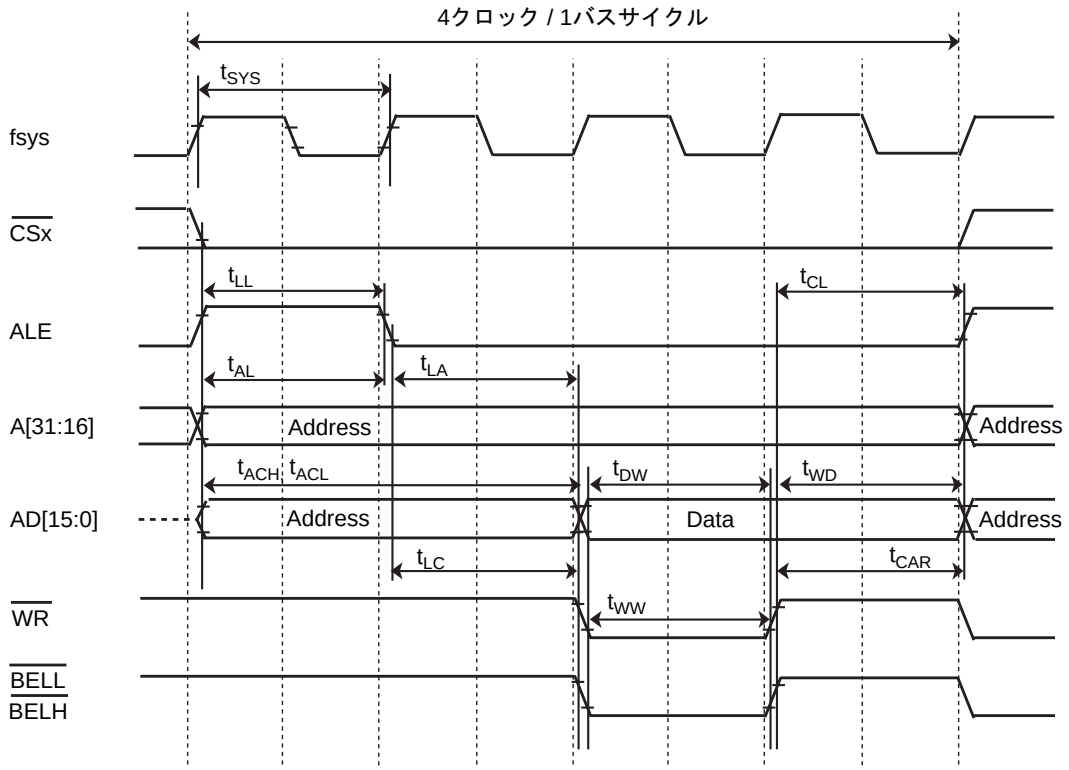
4. リードサイクル(外部ウエイト)

(サイクル拡張無し、ALE ウエイト=1 サイクル、RD セットアップ=1 サイクル、内部ウエイト=3 サイクル、外部ウエイト=任意、CS リカバリ=1 サイクル、RD リカバリ=1 サイクル)



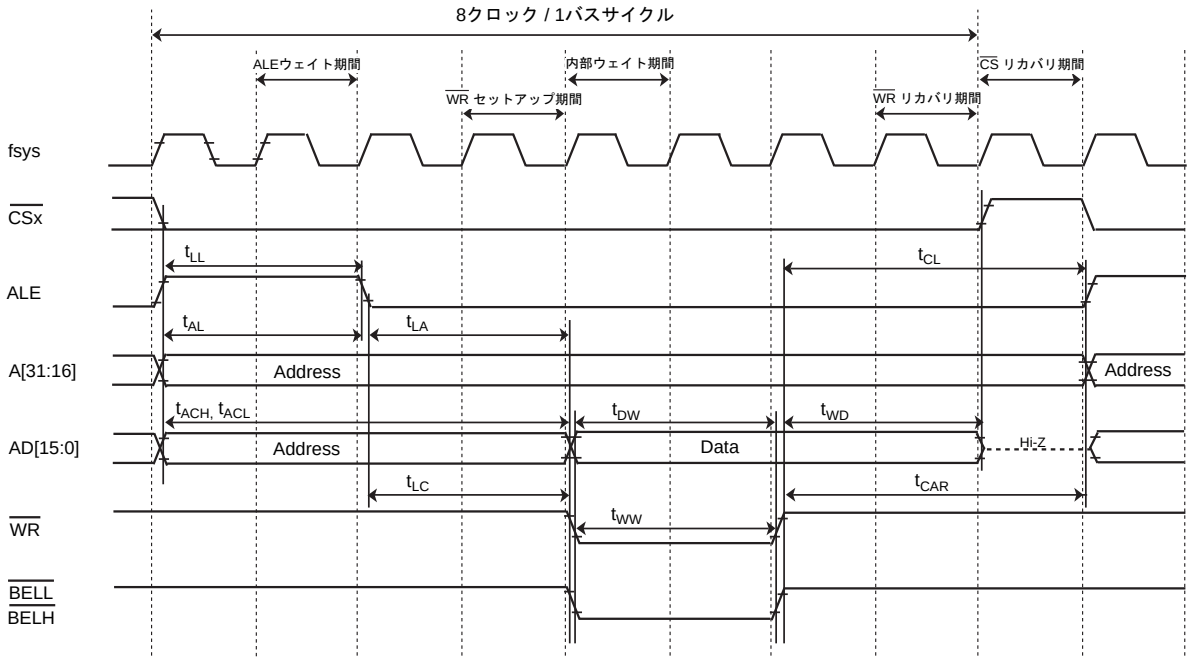
5. ライトサイクル (最短サイクル)

(サイクル拡張無し、WR セットアップ無し、内部ウエイト無し、CS リカバリ無し、WR リカバリ無し)



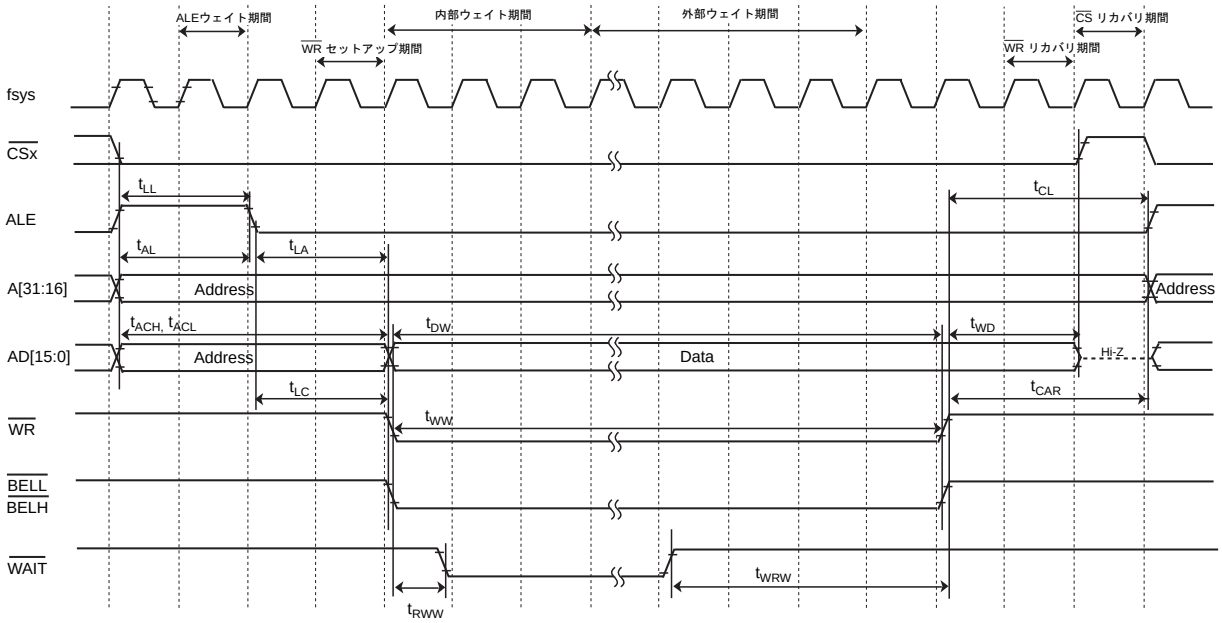
6. ライトサイクル (8 クロック/ 1 バスサイクル)

(サイクル拡張無し、ALE ウエイト=1 サイクル、WR セットアップ=1 サイクル、内部ウエイト=1 サイクル、CS リカバリ=1 サイクル、WR リカバリ=1 サイクル)


8クロック / 1バスサイクル
ALEウェイト期間
WR セットアップ期間
内部ウェイト期間
WR リカバリ期間
CS リカバリ期間
fsys
CSx
ALE
A[31:16]
AD[15:0]
WR
BELL
BELH
tLL
tCL
tAL
tLA
Address
Address
Address
tACH, tACL
tDW
tWD
Data
Hi-Z
tLC
tCAR
tWW

7. ライトサイクル(外部ウエイト)

(サイクル拡張無し、ALE ウエイト=1 サイクル、WR セットアップ=1 サイクル、内部ウエイト=3 サイクル、外部ウエイト=任意、CS リカバリ=1 サイクル、WR リカバリ=1 サイクル)



27.5.5　16-bit タイマ/イベントカウンタ(TMRB)

27.5.5.1　イベントカウンタ

(1)　AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

(2)　AC 電気的特性

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		80 MHz		120 MHz		単位
		Min	Max	Min	Max	Min	Max	
クロック低レベルパルス幅	t_{VCKL}	2x + 100	−	125	−	116.7	−	ns
クロック高レベルパルス幅	t_{VCKH}	2x + 100	−	125	−	116.7	−	

27.5.5.2　キャプチャ

(1)　AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

(2)　AC 電気的特性

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		80 MHz		120 MHz		単位
		Min	Max	Min	Max	Min	Max	
低レベルパルス幅	t_{CPL}	2x + 100	−	125	−	116.7	−	ns
高レベルパルス幅	t_{CPH}	2x + 100	−	125	−	116.7	−	

27.5.6 外部割り込み

27.5.6.1 AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

27.5.6.2 AC 電気的特性

表中の x はシステムクロック fsys の周期を表します。

1. STOP1,STOP2 解除割り込み以外

項目	記号	計算式		fsys = 80 MHz		fsys = 120 MHz		単位
		Min	Max	Min	Max	Min	Max	
低レベルパルス幅	t_{INTAL}	x + 100	–	112.5	–	108.3	–	ns
高レベルパルス幅	t_{INTAH}	x + 100	–	112.5	–	108.3	–	

2. STOP1,STOP2 解除割り込み

項目	記号	計算式		fsys = 80 MHz		fsys = 120 MHz		単位
		Min	Max	Min	Max	Min	Max	
INT0 ~ 15 低レベルパルス幅	t_{INTBL}	500	–	500	–	500	–	ns
INT0 ~ 15 高レベルパルス幅	t_{INTBH}	500	–	500	–	500	–	

27.5.7 $\overline{NMI}$

27.5.7.1 AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

27.5.7.2 AC 電気的特性

項目	記号	計算式		fsys = 80 MHz		fsys = 120 MHz		単位
		Min	Max	Min	Max	Min	Max	
$\overline{NMI}$ 低レベルパルス幅	t_{INTCL}	100	–	100	–	100	–	ns

27.5.8　ADC トリガ入力

27.5.8.1　AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

27.5.8.2　AC 電気的特性

表中の x は fsys の周期を表します。

項目	記号	計算式		fsys = 80 MHz		fsys = 120 MHz		単位
		Min	Max	Min	Max	Min	Max	
低レベルパルス幅	t_{ADL}	2x + 20	–	45.0	–	36.7	–	ns
高レベルパルス間隔	t_{ADH}	2x + 20	–	45.0	–	36.7	–	

27.5.9　SCOUT 端子

27.5.9.1　AC 測定条件

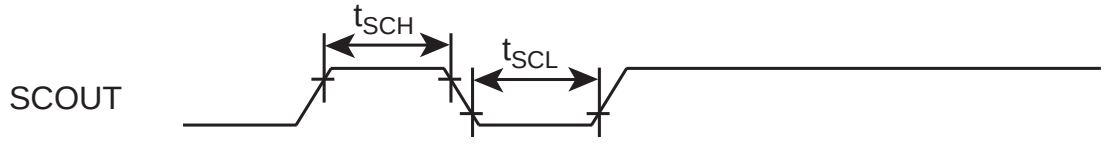
この章に記載されている AC 特性は、以下の条件での測定結果です。

- 出力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- 負荷容量: CL = 30pF (SCOUT)

27.5.9.2　AC 電気的特性

表中の T は SCOUT 出力波形の周期を示します。

項目	記号	計算式		SCOUT の周波数に 20MHz を設定した場合		SCOUT の周波数に 25MHz を設定した場合		単位
		Min	Max	Min	Max	Min	Max	
高レベルパルス幅	t_{SCH}	0.5T − 5	–	20	–	15	–	ns
低レベルパルス幅	t_{SCL}	0.5T − 5	–	20	–	15	–	ns



27.5.10 デバッグ通信

27.5.10.1 AC 測定条件

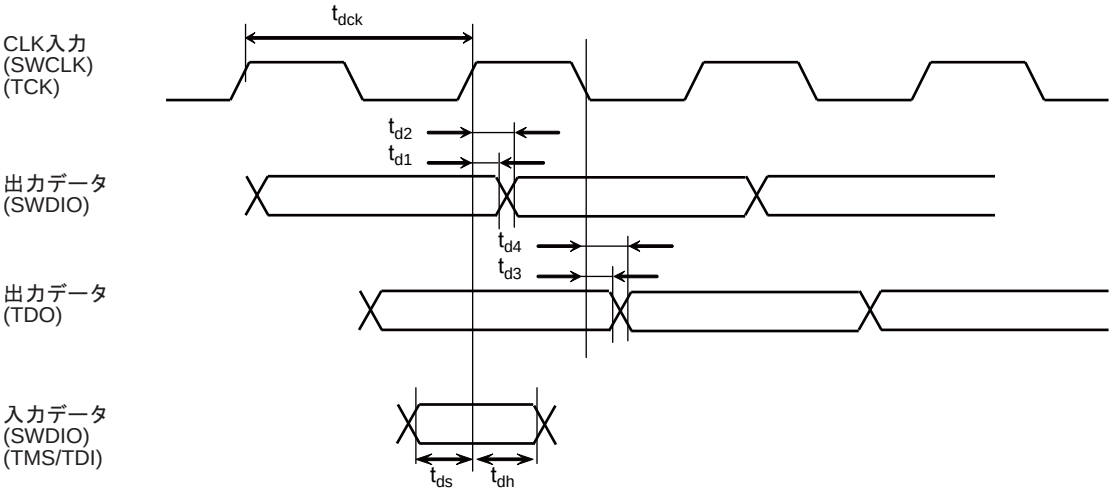
- 出力レベル: High = 0.8 × DVDD3, Low = 0.2 × DVDD3
- 入力レベル: Low = 0.8 × DVDD3, Low = 0.2 × DVDD3
- 負荷容量: CL = 30pF (SWDIO, TRACECLK, TRACEDATA0~3)

27.5.10.2 SWD インタフェース

項目	記号	Min	Max	単位
CLK 周期	t_{dck}	100	–	ns
CLK 立ち上がり → 出力データ保持	t_{d1}	4	–	
CLK 立ち上がり → 出力データ有効	t_{d2}	–	30	
入力データ有効 → CLK 立ち上がり	t_{ds}	20	–	
CLK 立ち上がり → 入力データ保持	t_{dh}	15	–	

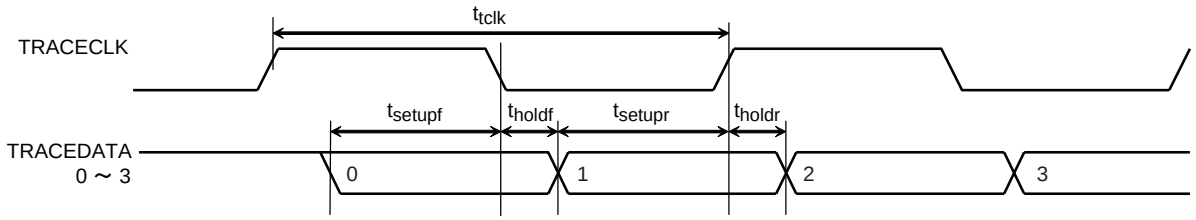
27.5.10.3 JTAG インタフェース

項目	記号	Min	Max	単位
CLK 周期	t_{dck}	100	–	ns
CLK 立ち下がり → 出力データ保持	t_{d3}	4	–	
CLK 立ち下がり → 出力データ有効	t_{d4}	–	50	
入力データ有効 → CLK 立ち上がり	t_{ds}	20	–	
CLK 立ち上がり → 入力データ保持	t_{dh}	15	–	



27.5.11　ETM トレース

項目	記号	Min	Max	単位
TRACECLK 周期	t_{tclk}	33.3	−	ns
TRACEDATA 有効 ← TRACECLK 立ち上がり	t_{setupr}	2	−	
TRACECLK 立ち上がり → TRACEDATA 保持	t_{holdr}	1	−	
TRACEDATA 有効 ← TRACECLK 立ち下がり	t_{setupf}	2	−	
TRACECLK 立ち下がり → TRACEDATA 保持	t_{holdf}	1	−	



27.5.12　内蔵発振回路特性

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	IHOSC	Ta = -40 to 85°C	8.5	10	11.5	MHz

注)　Typ. 値は特に指定のない限り Ta = 25 °C, DVDD3 = RVDD3 = AVDD3 = 3.3 V の値です。

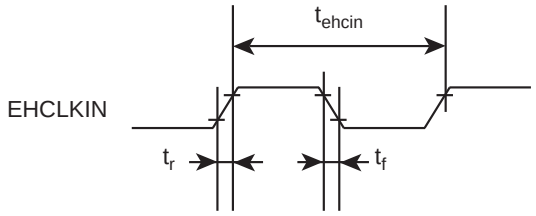
注)　発振周波数精度を要求するシステムクロック(fsys)としては使用しないでください。

27.5.13　外部発振子

項目	記号	条件	Min	Typ.	Max	単位
高周波発振	EHOSC	Ta = -40 to 85°C	8	−	16	MHz

27.5.14 外部クロック入力

項目	記号	Min	Typ.	Max	単位
クロック周波数	t_{ehcin}	8	–	16	MHz
クロック Duty	–	45	–	55	%
クロック立ち上がり時間	t_r	–	–	10	ns
クロック立ち下がり時間	t_f	–	–	10	ns



27.5.15 フラッシュ特性

項目	条件	Min	Typ.	Max	単位
フラッシュメモリ書き換え保証回数	DVDD3 = RVDD3 = AVDD3 = 2.7 V ~ 3.6 V Ta = -40 ~ 85°C	–	–	10000	回

27.5.16 ノイズフィルタ特性

項目	条件	Min	Typ.	Max	単位
ノイズキャンセル幅	–	15	30	60	ns

注) Typ. 値は特に指定のない限り Ta = 25 °C, DVDD3 = RVDD3 = AVDD3 = 3.3 V の値です。

27.6　発振回路

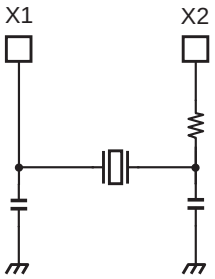


図 27-1 高周波発振回路例

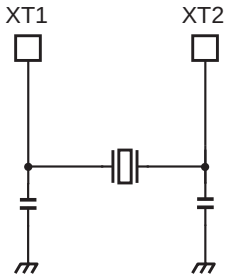


図 27-2 低周波発振回路例

注)　発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願い致します。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

27.6.1　セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。

(株)村田製作所の製品詳細につきましては、同社ホームページを参照してください。

27.6.2　水晶発振子

本製品は京セラ(株)製水晶発振子を用いて評価しています。

京セラ(株)の製品詳細につきましては、同社ホームページを参照してください。

27.6.3　プリント基板の設計に関する注意

水晶振動子と発振のための素子を接続する基板パターンは浮遊容量やインダクタンスによる特性の劣化を防止するために最短距離の配線長で設計してください。また、多層基板の場合は発振回路の直下の層には面グランドや信号パターンを配線しないようにお願いします。詳しくは、発振子メーカーのホームページを参照してください。

27.7 取り扱い上のご注意

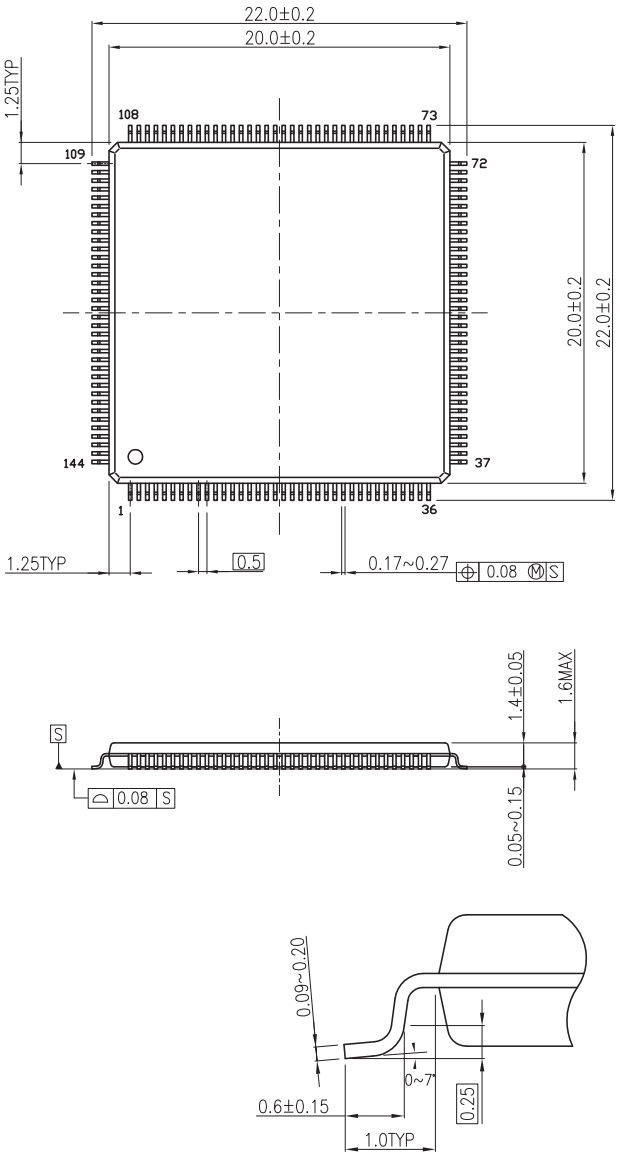
27.7.1 RESET 推奨

電源電圧が推奨動作範囲未満になった場合は、RESET 端子で RESET をかけてください。

第 28 章　パッケージ寸法図

パッケージ型名:P-LQFP144-2020-0.50-002

Unit:mm



製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウエア、ソフトウエアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウエア・ソフトウエア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（生命直結機器）、車載・輸送機器、防衛関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。