

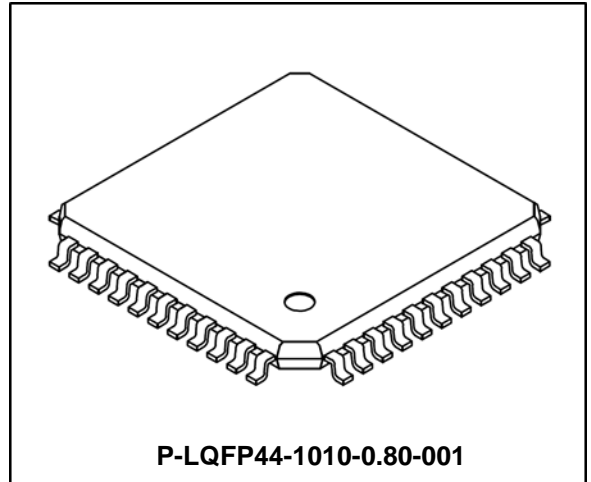
CMOS 形 デジタル集積回路シリコンモノリシック

# TC35894FG

Mobile Peripheral Devices

## 概要

TC35894FG は、IO 機能拡張用 LSI です。機能ブロックは、ホストインタフェースとして I<sup>2</sup>C スレーブ、PWM/タイマ制御部、GPIO 制御部および、キー制御部により構成されています。各機能はそれぞれのポートに割り当てられており、ソフトウェアにより切り換えることが可能です。



P-LQFP44-1010-0.80-001

質量: 0.35g (標準)

## 特長

- ホストインタフェース用 I<sup>2</sup>C スレーブ
- GPIO 機能
  - 最大 24 本 汎用入出力ポート
  - 入出力の切り換え
  - プルアップ/プルダウン抵抗の付加、切り離し
  - 出力ドライブ能力の切り換え (3 段階)
  - 擬似オープンドレインサポート
  - レベル/エッジまたは両エッジ、High/Low の割り込み入力
  - ポートからの入力による、"SLEEP モード" 解除の設定
- キー機能
  - キーマトリクス (最大 8 × 12 = 96 キー) 専用キーおよびダイレクトキーの検出制御
  - ハードウェアによるチャタリング除去制御
- PWM/タイマ機能
  - 3 チャンネル LED バックライト制御用タイマモジュールを内蔵
  - PWM 用シーケンサによる LED 点灯制御
- システムクロック用内部オシレータ内蔵
- 消費電力低減用動作モードの切り替え
- 動作電圧範囲 1.62 V ~ 3.60 V
- 10mm × 10mm 44 ピン 0.8 mm ピッチ 最大 1.7 mm 厚 LQFP パッケージ

## 目次

1. 概要.....	8
2. 機能ブロック .....	9
3. 端子配置 .....	12
3.1. 端子名称 (44 ピン、LQFP パッケージ) .....	12
3.2. 端子表 .....	13
4. Power-On、リセット、電源供給監視.....	15
4.1. Power-On シーケンス .....	15
4.2. Power-On リセット .....	15
4.3. 電源ウォッチドッグ .....	16
4.4. リセットツリー.....	17
4.5. リセットレジスタ .....	18
4.6. リセット中の I/O 状態 .....	19
5. クロックシステム.....	20
5.1. クロックソース選択 .....	20
5.2. クロック周波数設定 .....	21
5.3. 動作モード.....	22
5.3.1. SLEEP モード.....	22
5.3.2. OPERATION モード.....	22
5.4. オートスリープ機能 .....	23
5.5. クロックシステムレジスタ設定 .....	24
6. IOM (入力/出力構成) .....	28
6.1. I/O 多重化 .....	28
6.1.1. KPX [7:0]の I/O 多重化 .....	31
6.1.2. KPY [10:0]の I/O 多重化 .....	32
6.1.3. KPY [11]の I/O 多重化 .....	33
6.1.4. PWM [2:0]の I/O 多重化.....	34
6.1.5. DIR24 の I/O 多重化 (クロック入力).....	34
6.2. プル抵抗プログラミング .....	35
6.3. 出力ドライブ能力設定.....	37
7. I <sup>2</sup> C.....	39
7.1. I <sup>2</sup> C デフォルトスレーブアドレスの変更.....	40
7.2. I <sup>2</sup> C 転送.....	40
7.2.1. I <sup>2</sup> C ライト処理.....	40
7.2.2. I <sup>2</sup> C リード処理.....	41
7.2.3. I <sup>2</sup> C ジェネラルコール.....	42
7.3. I <sup>2</sup> C レジスタマップ.....	42
8. TIM (タイマモジュール) .....	43

---

8.1. タイマ特性 .....	43
8.2. タイマアーキテクチャ .....	43
8.3. タイマコントロール .....	44
8.4. PWM 変調 .....	47
8.5. パターンストレージレジスタアクセス .....	47
8.6. パターンストレージレジスタ制御 .....	48
8.7. パターンストレージレジスタの設定方法 .....	50
8.8. パターンセット .....	52
8.8.1. RAMP パターン .....	53
8.8.2. WAIT パターン .....	55
8.8.3. SET_PWM パターン .....	55
8.8.4. RESTART パターン .....	55
8.8.5. NEW パターン .....	56
8.8.6. LOOP パターン .....	56
8.8.7. END パターン .....	58
8.8.8. TRIGGER パターン .....	59
9. GPIO .....	60
9.1. GPIO 特長 .....	60
9.2. GPIO 動作 .....	60
9.2.1. GPIO DATA レジスタ .....	60
9.2.2. GPIO DIR レジスタ .....	62
9.2.3. GPIO IS レジスタ .....	63
9.2.4. GPIO IBE レジスタ .....	64
9.2.5. GPIO IEV レジスタ .....	65
9.2.6. GPIO IE レジスタ .....	66
9.2.7. GPIO RIS レジスタ (リード専用) .....	67
9.2.8. GPIO MIS レジスタ .....	68
9.2.9. GPIO IC レジスタ .....	69
9.2.10. GPIO OMS レジスタ .....	70
9.2.11. GPIO WAKE レジスタ .....	71
9.2.12. ダイレクトキーレジスタ .....	72
9.2.13. ダイレクトキーイベントコードレジスタ .....	73
9.2.14. 入力デバウンスレジスタ .....	73
9.2.15. ダイレクトキーRaw Interrupt Status レジスタ .....	74
9.2.16. ダイレクトキーMasked 割り込みレジスタ .....	74
9.2.17. ダイレクトキー割り込みクリアレジスタ (ライト専用) .....	75
9.2.18. ダイレクトキーマスクレジスタ .....	75
9.3. ダイレクトキー機能使用時の初期化フロー .....	76
9.4. 割り込み検知ブロック .....	77
9.5. トリガ機能 .....	78

---

9.6. GPIO コントロールブロックとモードコントロール機能.....	79
9.7. GPIO モジュール動作 .....	80
9.7.1. GPIO 機能設定 推奨シーケンス .....	80
9.7.2. ダイレクトキー機能設定 推奨構成シーケンス .....	80
9.7.3. I/O ライン制御.....	81
9.7.4. 割り込み動作 .....	82
9.7.5. GPIO モード制御.....	83
10. KBD (キーボード) .....	84
10.1. キーボードレイアウト.....	84
10.2. キーボードスキャン .....	86
10.3. キーボードデバウンス.....	86
10.4. 多重キー押下検出.....	87
10.5. キーパッドのソフトウェアインタフェース.....	88
10.5.1. 初期 Wait 期間のセットアップ .....	88
10.5.2. デバウンスのセットアップ.....	88
10.5.3. キーボードマトリクス of セットアップ.....	89
10.5.4. 専用キーのセットアップ .....	89
10.5.5. EVTCODE レジスタと KBD CODE レジスタ.....	90
10.5.6. KBD Raw 割り込みレジスタ .....	91
10.5.7. KBD マスク割り込みレジスタ .....	92
10.5.8. KBD 割り込みクリアレジスタ (ライト専用).....	93
10.5.9. KBD マスクレジスタ .....	93
10.5.10. KBD 機能補正レジスタ (ライト専用) .....	94
10.6. キーボードインタフェース動作 .....	95
10.6.1. 単一キー押下 .....	95
10.6.2. 多重キー押下 .....	96
10.6.3. キーボード初期化フロー .....	97
10.6.4. キーボード割り込み処理 .....	98
10.6.5. GPI とキーボードの使用 .....	99
11. IRQ (割り込みモジュール) .....	100
12. パッケージ寸法 .....	102
13. 電氣的パラメータ .....	103
13.1. I <sup>2</sup> C AC タイミング.....	103
13.2. 外部クロック入力タイミング.....	104
13.3. 内蔵 RC 発振器.....	104
13.4. 電力供給タイミング .....	105
13.5. GPIO パッド.....	106
13.5.1. GPIO AC パラメータ.....	107
13.6. フェイルセーフパッド.....	110

---

13.6.1. I <sup>2</sup> C/IRQN AC パラメータ .....	110
14. 特性.....	112
14.1. 動作条件.....	112
14.2. 絶対最大定格 .....	113
15. 参照資料 .....	114
16. レジスタマップ .....	115
16.1. レジスタ表.....	116
17. システムインテグレーション .....	118
17.1. クロック入力として外部に CMOS レベルの発信器を接続する場合.....	118
17.2. 内部 RC 発振クロックを使用する場合 .....	119
18. 改訂履歴 .....	120
製品取り扱い上のお願い.....	121

## 目次

図 2.1	TC35894FG ブロック図	9
図 3.1	端子配置 (Top view)	12
図 4.1	電源立ち上げとウォッチドッグ制御	15
図 4.2	リセットツリー	17
図 5.1	クロック構成図	20
図 5.2	LVC MOS クロックソース使用時のクロックシステム	21
図 5.3	モード状態遷移	22
図 6.1	KPX [7:0] の I/O 多重化	31
図 6.2	KPY [10:0] の I/O 多重化	32
図 6.3	KPY [11] の I/O 多重化	33
図 6.4	PWM [2:0] の I/O 多重化	34
図 6.5	DIR24 の I/O 多重化	34
図 7.1	I <sup>2</sup> C インタフェースによる内部レジスタアクセス	39
図 7.2	I <sup>2</sup> C ライトアクセス時のデータフロー	40
図 7.3	I <sup>2</sup> C 1 バイトリードアクセス	41
図 7.4	I <sup>2</sup> C 2 バイトリードアクセス	41
図 7.5	ジェネラルコールコマンド	42
図 8.1	タイマアーキテクチャ	43
図 8.2	タイマフリーランモード (TIMCFG.FREE = 1)	46
図 8.3	タイマワンショットモード (TIMCFG.FREE = 0、TIMCFG.CYCLE = 0)	46
図 8.4	RAMP パターンを使用した PWM 変調	47
図 8.5	パターンストレージレジスタへのバーストライトアクセス	51
図 8.6	ライト輝度 25% から 75% へのランプアップ	54
図 8.7	LOOP パターンフロー	57
図 8.8	トリガライン構成図	59
図 9.1	ダイレクトキーボードの初期化フロー	76
図 9.2	割り込み検知ブロック構成図	77
図 9.3	ウェイクアップ信号生成回路	78
図 9.4	GPIO 出力データ構成回路	79
図 9.5	GPIO DATA レジスタのビットマスク構造	81
図 9.6	割り込み検知の構成フロー	82
図 9.7	オープンドレイン回路と擬似オープンドレイン回路図	83
図 10.1	キーパッドレイアウト例	85
図 10.2	キーボードデバウンス	86
図 10.3	ゴーストキー生成	87
図 10.4	単一キー押下でのキースキャン	95
図 10.5	多重キー押下	96
図 10.6	キーボード初期化フロー	97
図 10.7	EVENT FIFO 用割り込みハンドラ	98
図 11.1	割り込み出力回路構成	100
図 12.1	P-LQFP44-1010-0.80-001、0.8 mm ピンピッチ (10mm x 10mm)	102
図 13.1	I <sup>2</sup> C AC タイミング	103
図 13.2	クロック入力タイミング	104
図 13.3	電源投入と電源ウォッチドッグコントロール	105
図 13.4	GPIO パッド構造	106
図 13.5	GPIO 出力電圧対出力電流 (VOL-IOL @ VCC = 1.8 V、温度 = 25°C)	107
図 13.6	GPIO 出力電圧対出力電流 (VOH-IOH @ VCC = 1.8 V、温度 = 25°C)	107
図 13.7	GPIO 入力特性 (Vin スイッチング点)	108
図 13.8	プルダウン (VCC = 1.8 V、温度 = 25°C)	109
図 13.9	プルアップ (VCC = 1.8 V、温度 = 25°C)	109
図 13.10	IRQN/SDA 出力電圧対出力電流 (VOL-IOL @ VCC = 1.8 V、温度 = 25°C)	110
図 13.11	IRQN/SDA 出力電圧対出力電流 (VOH-IOH @ VCC = 1.8 V、温度 = 25°C)	111

図 17.1	応用回路例（外部 CMOS クロック入力時）	118
図 17.2	応用回路例（内部 RC 発振器使用時）	119

## 表目次

表 3.1	端子機能	13
表 6.1	KPX [7:0]と KPY[11:0]の端子設定	29
表 6.2	PWM [2:0]と DIR24 の端子設定	30
表 6.3	EXTIO0 と DIR25 の端子設定	30
表 6.4	出力ドライブ能力	37
表 8.1	パターン一覧	52
表 8.2	RAMP パターン	53
表 8.3	WAIT パターン	55
表 8.4	SET_PWM パターン	55
表 8.5	RESTART パターン	55
表 8.6	NEW パターン	56
表 8.7	LOOP パターン	56
表 8.8	END パターン	58
表 8.9	TRIGGER パターン	59
表 9.1	NMOS 抵抗なしの擬似オープンドレイン出力（ODM bit = 1 の時）	83
表 9.2	PMOS 抵抗なしの擬似オープンドレイン出力（ODM bit = 0 の時）	83
表 13.1	I <sup>2</sup> C AC タイミング	103
表 13.2	クロック入力タイミング	104
表 13.3	内蔵 RC 発信器のクロック周波数レンジ	104
表 13.4	電力投入と電源ウォッチドッグ機能に関する AC パラメータ	105
表 13.5	GPIO 入力電圧しきい値	108
表 14.1	動作条件	112
表 14.2	絶対最大定格	113
表 16.1	レジスタ表	116
表 17.1	推奨値 1	118
表 17.2	推奨値 2	119
表 18.1	改訂履歴	120

社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

## 1. 概要

TC35894FG は、IO 機能拡張用 LSI です。機能ブロックは、PWM/タイマ制御部、GPIO 制御部、キー制御部および I<sup>2</sup>C スレーブインタフェースにより構成されています。各機能の端子への割り当ては、ソフトウェアにより切り替えることが可能です。

特長:

- ホストインタフェース用 I<sup>2</sup>C スレーブ
- GPIO 機能
  - 最大 24 本 汎用入出力ポート
  - プルアップ/プルダウン制御可能
  - 出力ドライブ能力の切り替え可能
  - 擬似オープンドレインサポート
  - GPI 割り込み検出モードの切り替え可能 (レベル/エッジまたは両エッジ、High/Low)
  - 端子入力から、"sleep モード"を解除
  - ダイレクトキーパッド機能
- キー機能
  - キーマトリクス (最大  $8 \times 12 = 96$  キー)
  - 専用キーの検出制御
  - スペシャルファンクションキーおよび専用キーをサポート
  - ハードウェアによるチャタリング除去制御
- PWM/タイマ機能
  - 3 チャンネルのタイマモジュールを内蔵
  - PWM 用シーケンサによる LED 点灯制御
- システムクロック生成用内部オシレータ内蔵
- 消費電力低減用動作モードの切り替え
- 動作電圧範囲 1.62 V~3.60 V
- 44 ピン、0.8 mm ピッチ、最大 1.7 mm 厚、LQFP パッケージ

## 2. 機能ブロック

TC35894FG の各機能ブロックとバスアーキテクチャを以下の図に示します。いくつかの信号は、同一端子でシェアされていますので、注意が必要です。端子設定詳細については、表 6.1、表 6.2 および表 6.3 を参照してください。

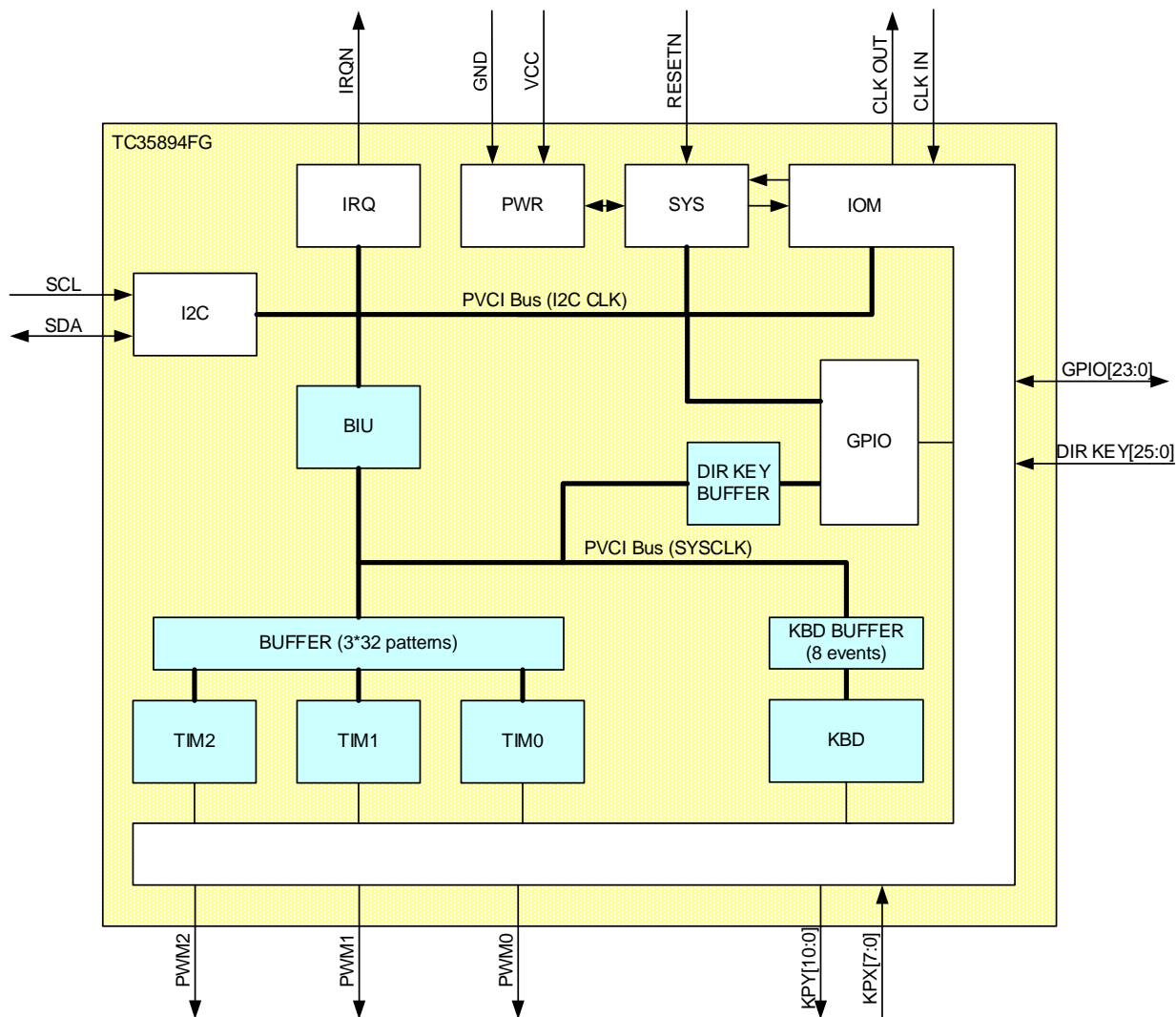


図 2.1 TC35894FGブロック図

TC35894FG は、I<sup>2</sup>C バス規格 (15 章 参照資料 [1] 参照) に適合したスレーブデバイスであり、ホストプロセッサによって制御されます。

電源供給範囲は、コアロジック、I/O 共に 1.62 V~3.60 V です。電力モジュール (PWR) は、回路の Power-on リセット機能、また電源異常時のウォッチドッグ機能を提供します。さらに、内部的に必要な 1.5 V コア電圧を生成します。

## SYS

システムモジュール (SYS) は、TC35894FG の内部動作モード (SLEEP、OPERATION) を制御します。動作モードの切り替えは、SYS モジュールの有するオートスリープ機能により、ホスト CPU の介入なしに自動制御可能です。

さらに、SYS モジュールは、DIR24 端子からの外部クロック入力または内部 RC 発振器をクロックソースとして、TC35894FG のシステムクロックを生成します。外部クロック入力は、CMOS 入力で周波数 32 kHz~20 MHz まで対応可能です。

また、クロック分周機能により、外部クロック入力、または約 2.2 MHz の内部 RC 生成クロックを適切なシステムクロック周波数 (61.54 kHz~200 kHz) に分周することが可能です。

## I<sup>2</sup>C

本 IC は、I<sup>2</sup>C スレーブモジュールとして動作します。TC35894FG への電源供給 OFF 時、I<sup>2</sup>C バスは他のデバイスに影響を与えません (フェイルセーフ機能)。

図 2.1 ブロック図の白のボックスで示されたモジュールは、SCL クロックで動作します。

システムクロックを必要としないアプリケーション (例: GPIO 機能のみに使用) では、外部クロック入力 (DIR24) は VCC または GND に接続し、内部 RC 発振器はインアクティブに設定してください。

一方、水色のボックスで示されているモジュールを動作させるためには、システムクロックを起動する必要があります。

TC35894FG の I<sup>2</sup>C スレーブアドレスは、再プログラム可能です。ただし、DIR24 端子が GND に接続された状態では、スレーブアドレスを再プログラムすることができません。

## IOM

I/O マルチプレクサモジュール (IOM) は、I/O の機能割り当て・多重化の制御を行います。

## BIU

"バスインタフェース"モジュール (BIU) は、I<sup>2</sup>C バスクロックとシステムクロック間のバス同期化を行います。

## KBD

"キーボード"モジュール (KBD) は、2x2 から 8x12 までのキーマトリクスと最大 8 個の特殊ファンクションキーから成るキーボードレイアウトを構成し、設定に応じて専用キーの使用も可能です。専用キーは、キーマトリクスには組み込まれていませんので、多重キー押下を確実に検出できます。割り込み処理に対するタイミング制約緩和のため、最大 8 個のキーボードイベントを FIFO 内で保持することが可能です。

## GPIO

"汎用 I/O"ブロック (GPIO) は、24 個の汎用入力および出力機能を提供します。システムクロック停止状態でも、GPI 入力をトリガとして割り込み信号を出力することが可能です。

また、GPIO モジュールは、未使用の GPIO ラインをダイレクトキー入力として設定が可能です。最大 26 個のダイレクトキー入力に対応します。

DIR24 端子と DIR25 端子は、汎用入力および出力機能を提供しません。この端子は、ダイレクトキー入力としてのみ使用可能です。また、DIR24 端子はクロック入力としても使用可能です。

## TIM

タイマブロック (TIM) は、3ch の汎用タイマ機能を提供し、LED やバイブレータ制御のためのパルス幅変調出力 (PWM) が可能です。TIM モジュールは、ウェイクアップイベントとホストへのタイマ割り込みを生成可能です。

## IRQ

割り込み制御ブロック (IRQ) は、アクティブ Low (負論理) のハードウェア割り込み信号を生成します。

割り込み機能使用時には、IRQN ラインに外部プルアップ抵抗が必要です。

## 3. 端子配置

### 3.1. 端子名称 (44ピン、LQFPパッケージ)

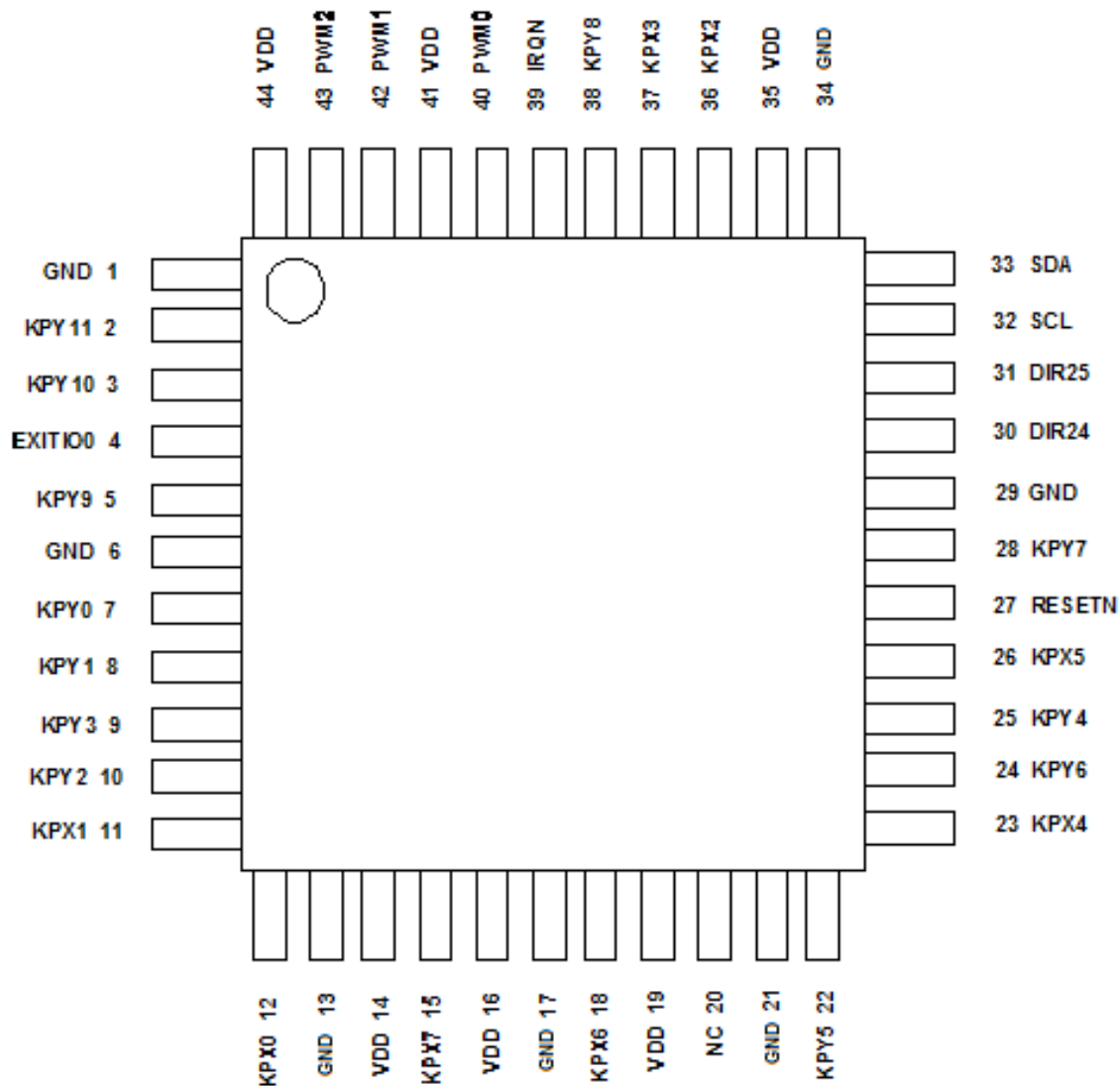


図 3.1 端子配置 (Top view)

## 3.2. 端子表

下表にパッド機能を示します。本製品は全入力で、CMOS シュミットになっています。入力として設定されている端子は、フローティングにしないでください。外部ソースで入力信号を制御するか、ソフトウェア設定によりプルアップまたはプルダウン抵抗で内部的に終端させてください。

表中の記号は、入力の "I"、双方向の "I/O"、オープンドレイン出力の "OD"、レジスタ設定によりプルアップまたはプルダウンを設定可能な "P"、プルアップの "PU"、そしてハイインピーダンスの "Hi-Z" を示します。

表 3.1 端子機能

名称	I/O 注1	デフォルト 注1	端子	内容
VDD	VCC	-	14,16,19, 35,41,44	LSI 供給電圧
GND	GND	-	1,6,13,17, 21,29,34	共通グラウンド
SCL	I	I	32	I <sup>2</sup> C クロック、最大 400 kHz (フェイルセーフ 注2)
SDA	I/OD	Hi-Z	33	I <sup>2</sup> C データ (フェイルセーフ 注2)
IRQN	OD	Hi-Z	39	ホストプロセッサへの割り込み Low アクティブ (フェイルセーフ 注2)
RESETN	I	I	27	リセットライン、Low アクティブ (フェイルセーフ 注2)
KPX0 KPX1 KPX2 KPX3 KPX4 KPX5 KPX6 KPX7	I/O, P	I, PU	12 11 36 37 23 26 18 15	汎用 I/O、 キーボード、 または ダイレクトキーボード
KPY0 KPYP1 KPYP2 KPYP3 KPYP4 KPYP5 KPYP6 KPYP7 KPYP8 KPYP9 KPYP10	I/O, P	I, PU	7 8 10 9 25 22 24 28 38 5 3	汎用 I/O、 キーボード、 または ダイレクトキーボード
KPY11	I/O, P	I, PU	2	汎用 I/O、ダイレクトキーボード、 キーボード、またはクロック出力
PWM0 PWM1 PWM2	I/O, P	I, PU	40 42 43	汎用 I/O、ダイレクトキーボード、または PWM0 汎用 I/O、ダイレクトキーボード、または PWM1 汎用 I/O、ダイレクトキーボード、または PWM2
EXTIO0	I/O, P	I, PU	4	汎用 I/O またはダイレクトキーボード
DIR24	I, P	I, PU	30	クロック入力、ダイレクトキーボード、または I <sup>2</sup> C スレーブアドレスの再プログラミング制御 内部 RC 発振器が使用されていない場合、DIR24 はクロック入力として使用可能です。また、DIR24 は I <sup>2</sup> C スレーブアドレスの再プログラミング制御を行います: <ul style="list-style-type: none"> <li>● DIR24 を GND 接続: I<sup>2</sup>C スレーブアドレスの再プログラミング不可</li> <li>● DIR24 を VCC 接続、または外部クロック入力に接続: I<sup>2</sup>C スレーブアドレスの再プログラミング可能</li> </ul>
DIR25	I, P	I, PU	31	ダイレクトキーボード

表 3.1 の注意点を以下に示します。

注 1) **I**: 入力のみ、**I/O**: 入出力設定可能、**OD**: オープンドレイン、**P**: プルアップ/プルダウン抵抗設定可能、**PU**: プルアップ抵抗設定、**Hi-Z**: ハイインピーダンス

注 2) フェイルセーフとは、対象となる端子に接続する配線の機能に影響を与えることなく、あるいは、対象となる端子を通じて電流に障害を与えることなく TC35894FG の電源がオフになる機能です。

## 4. Power-On、リセット、電源供給監視

### 4.1. Power-On シーケンス

TC35894FG は、端子 14、16、19、35、41、44 から 1.62 V～3.60 V 単一電源の供給が必要です。

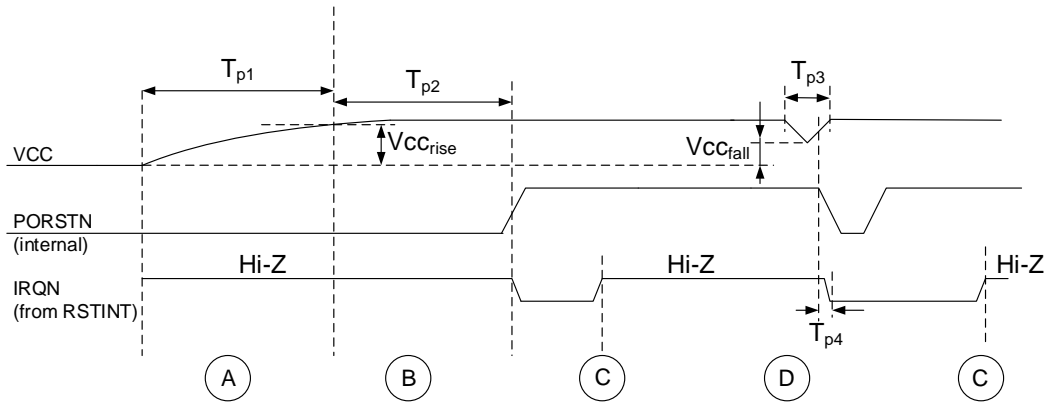


図 4.1 電源立ち上げとウォッチドッグ制御

### 4.2. Power-On リセット

図 4.1 に電源立ち上げとウォッチドッグ制御機能を示します。Tp1 期間後 (図 4.1 の A 領域)、VCC 電圧は Power-on リセットのしきい値である  $V_{CC_{rise}}$  に到達します。Tp1 期間は、80  $\mu$ s を超えてはなりません。またその間、VCC はリニアに立ち上がる必要があります。VCC が  $V_{CC_{rise}}$  に到達後、Tp2 期間中に内部 Power-on リセット (PORSTN) が解除されます。これ以降は安定した LSI 動作となり、I<sup>2</sup>C スレーブインタフェースは、ホストからのコマンド受信可能となります。

Power-on リセット (PORSTN) 後、割り込み出力信号 IRQN がアクティブローとなり、割り込みステータスレジスタ IRQST.PORIRQ (11 章 参照) に "1" が設定されます。

PORSTN 割り込みは、レジスタ RSTINTCLR のビット IRQCLR をライトすることでクリアしてください (C 領域)。PORIRQ のクリアは、初期化フローで必ず行ってください。

#### RSTINTCLR レジスタ (0x84)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
W	MNEMONIC	-	-	-	-	-	-	-	IRQCLR
	Default	*	*	*	*	*	*	*	0

IRQCLR RSTINT 割り込みをクリア

0 : 無効 (no effect)

1 : PORSTN 割り込みクリア (割り込みクリア後、0 に再設定する必要はありません)

## 4.3. 電源ウォッチドッグ

TC35894FG では、ウォッチドッグ機能により電源供給の安定性を監視しています。VCC がしきい値電力  $VCC_{fall}$  以下になった場合（図 4.1、D 領域）、Power-on リセット PORSTN は VCC の立ち上がりで再起動され、TC35894FG 全てがリセットされますので、ホストプロセッサは TC35894FG を再設定する必要があります。

Power-ON リセット検出レベル ( $VCC_{fall}$ ) は、レジスタ PORTIM により設定することができます（本デバイス使用時は、工場出荷時に設定される default 値を使用することを推奨します）。

### PORTIM レジスタ (0x85)

Power-on リセット検出レベル ( $VCC_{fall}$ ) を制御します。

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	POR_SEL	-	-	POR_TRIM4	POR_TRIM3	POR_TRIM2	POR_TRIM1	POR_TRIM0
	Default	0	*	*	0	0	0	0	0

POR\_SEL      Power-on リセット検出レベル ( $VCC_{fall}$ ) 設定方法の選択  
 0   :   default (工場出荷時) 設定使用  
 1   :   POR\_TRIM 設定値使用

POR\_TRIM4:0 Power-on-リセット検出レベル ( $VCC_{fall}$ ) 設定、2 の補数

### 4.4. リセットツリー

システムをリセットするには、以下の4つの方法があります。

- Power-On リセット
- RESETN 端子を介してのグローバルリセット（非同期リセット、同期リセット解除）
- I<sup>2</sup>C "ジェネラルコール" によるグローバルソフトウェアリセット。この場合、I<sup>2</sup>C スレーブアドレス (I2CSA レジスタ) もリセットされます。
- モジュール毎のソフトウェアリセット

Power-On リセット (PORSTN)、RESET 専用入力端子 (RESETN) および I<sup>2</sup>C "ジェネラルコール" リセット (GCRSTN) は、アクティブ Low の非同期リセット信号として動作します。

また、RSTCTRL レジスタのプログラミングにより、モジュール単位でのソフトウェアリセットが可能です。ただし、I<sup>2</sup>C モジュールはホストプロセッサとのインタフェースとして使用されるので、リセットできません。また、外部デバイスへの影響を避けるため、I/O 多重化設定をリセットすることはできません。

また、EXTRSTN レジスタの設定により RESETN 端子をグローバルリセットツリーから切り離すことが可能です。この場合、RESETN をフェイルセーフ汎用入力として使用でき、その値は GPIODATA2 [0] でリード可能です。

**注意:** RESETN 端子を汎用入力として使用する場合、リセットツリーから RESETN 端子を切り離す前に、RESETN のレベルが High にならなくてはなりません。これは、RESETN 端子が Low レベルだとデバイスがリセット状態になってしまうためです。

以下にリセットツリー図を示します。

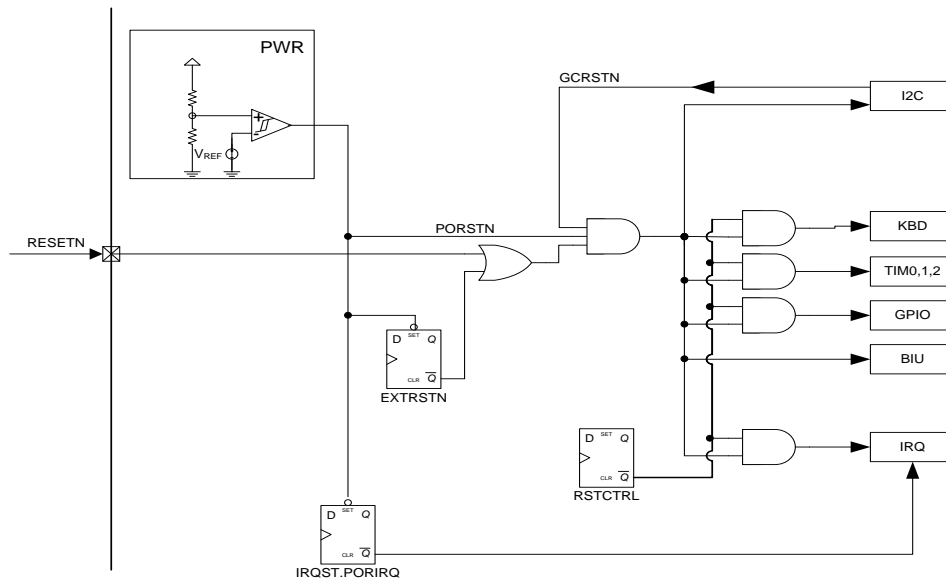


図 4.2 リセットツリー

## 4.5. リセットレジスタ

RSTCTRL レジスタの設定により、モジュール毎のソフトウェアリセットが可能です。リセット後は対応するモジュールのクロックは停止します。リセット解除後には、対応するモジュールのクロックを起動してください。クロックの動作制御については、"CLKEN レジスタ (0x8A)" を参照してください。

### RSTCTRL レジスタ (0x82)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	-	-	Reserved	IRQRST	TIMRST	Reserved	KBDRST	GPIRST
	Default	*	*	0	0	0	0	0	0

**IRQRST**      割り込みコントローラリセット  
このレジスタビットは、IRQ モジュールレジスタ制御のみに使用されます。IRQN 端子のステータスは変わりません。このビットが設定されていると、割り込みステータスのリードはできません。常に 0 であることを推奨します。  
0 : 割り込みコントローラリセット解除  
1 : 割り込みコントローラリセット (リセット後は 0 に戻す必要有)

**TIMRST**      タイマ 0、1、2 のタイマリセット  
0 : タイマリセット解除  
1 : タイマリセット (リセット後は 0 に戻す必要有)

**KBDRST**      キーボードインタフェースリセット  
0 : キーボードリセット解除  
1 : キーボードリセット (リセット後は 0 に戻す必要有)

**GPIRST**      GPIO リセット  
0 : GPIO リセット解除  
1 : GPIO リセット (リセット後は 0 に戻す必要有)

### EXTRSTN レジスタ (0x83)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	-	-	-	reserved	reserved	reserved	reserved	EXTRSTN
	Default	*	*	*	1	1	1	1	1

**EXTRSTN**      外部リセット端子 (RESETN) イネーブル  
本レジスタはグローバルリセットライン上にはありません。Power-on リセットでのみリセットされます。  
0 : RESETN 端子をハードウェアリセットとして使用しない。  
1 : RESETN をハードウェアリセットとして使用する。

注意: reserved ビットは、1 に設定する必要があります。

## 4.6. リセット中の I/O 状態

### KPY11:0、KPX7:0、PWM2:0、EXTIO0、DIR25:24

グローバルリセットがアクティブの状態では、I/O 端子の KPY0~KPY11、KPX0~KPX7、PWM0~PWM2、EXTIO0 は、GPI 機能に切り替わります。DIR24 と DIR25 は、ダイレクトキー入力として設定されます。グローバルリセット後、KPY0~KPY11、KPX0~KPX7、PWM0~PWM2、EXTIO0、DIR24 および DIR25 は、入力プルアップ状態になります。グローバルリセット解除後は、プル抵抗をソフトウェアプログラミングで設定可能です。

### IRQN、SDA

グローバルリセット中、SDA 端子は入力モードになります。IRQN 端子と SDA 端子にはプルアップまたはプルダウン抵抗はありません。グローバルリセットが VCC 電源投入や電源ウォッチドッグ機能によりトリガされると、出力 IRQN 端子は High インピーダンスに設定され、その後 LSI が動作可能になり次第、IRQN は Low になります（図 4.1 参照）。

### SCL、RESETN

SCL と RESETN 端子は、常に入力モードです。SCL 端子と RESETN 端子にはプル抵抗はありません。

PORSTN リセット中に、ホストプロセッサが TC35894FG に I<sup>2</sup>C アクセスを実行すると、TC35894FG は、ホストプロセッサに対してアクノリッジビットを返さず、このアクセスは無視されます。

## 5. クロックシステム

図 5.1 にクロック構成を示します。赤色のモジュールは、SYSCLK の入力が必要です。黄色で示した部分は、クロック設定用レジスタで、I<sup>2</sup>C クロック SCL の入力が必要です。黒い太線で示すラインは、グローバルリセット後のクロックラインステータスを示します。

また、DBOUNCE.SYNC ビット設定時、またはダイレクトキー機能使用時には、GPIO モジュールへの SYSCLK 入力が必要となります。

### 5.1. クロックソース選択

レジスタ CLKSRCSEL は、以下のクロック入力ソースの選択を行います。

- 内部 RC 発振器クロック（周波数 nominal 2 MHz ですが、プロセス、温度条件により変化します）。グローバルリセット後、デフォルトではこのクロックが選択されます。
- DIR24 端子からの外部 LVCMOS クロック入力（32 kHz .. 20 MHz）。

**DIR24 入力は、フェイルセーフではありません。**

より正確なタイマ精度が要求される場合は、外部クロック入力を選択することを推奨します。

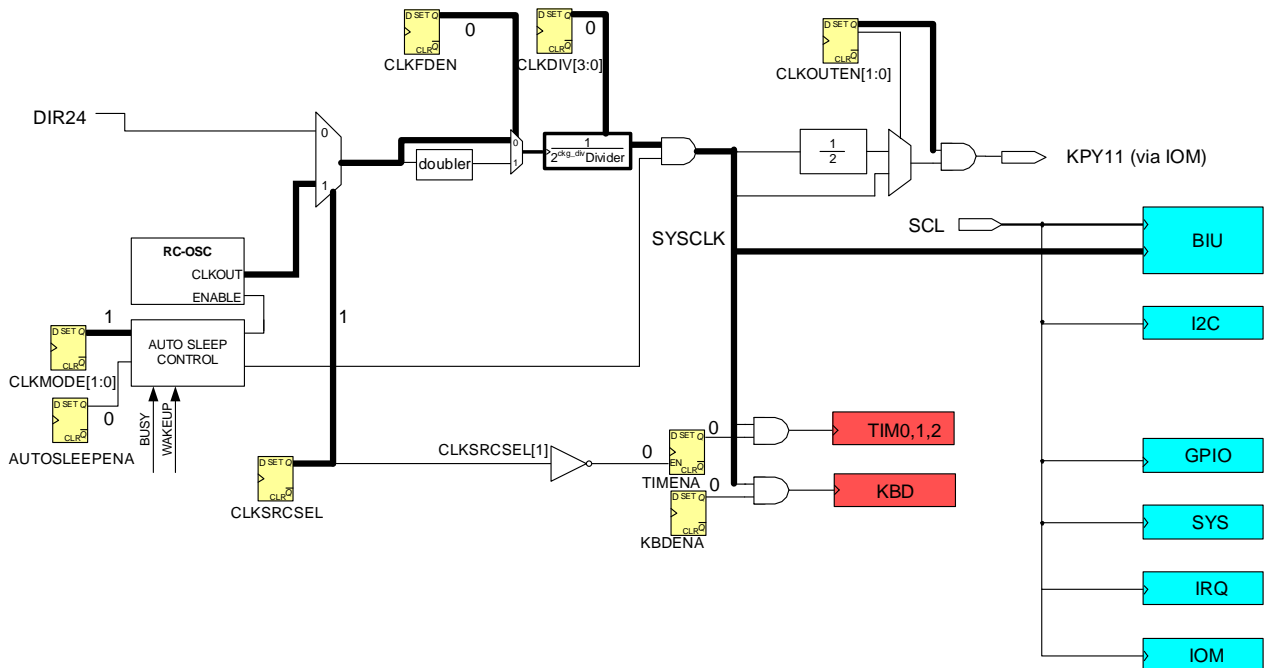


図 5.1 クロック構成図

## 5.2. クロック周波数設定

レジスタ CLKSRCSEL によって選択されたクロックは、クロック通倍器と分周器を通り、内部 SYSCLK を生成します。

SYSCLK 周波数は、SCL を 6.5 分周した周波数以上でなくてはなりません。400 kHz I<sup>2</sup>C バスクロックで動作する場合には、クロック通倍器を使用して SYSCLK の周波数を以下の範囲に設定する必要があります。

$$61.54kHz \leq f_{SYSCLK} \leq 200kHz$$

各モジュールへの SYSCLK 入力は、個別にイネーブル、ディセーブルの設定が可能です。グローバルリセット後は、全てのモジュールに対してディセーブル状態となります。

また、レジスタ設定により、KPY11 端子から SYSCLK を出力することが可能です。

下図に LVCMOS クロックソースを使用した場合のクロック配線を示します。黒い太線と数字は、必要な設定を表します。

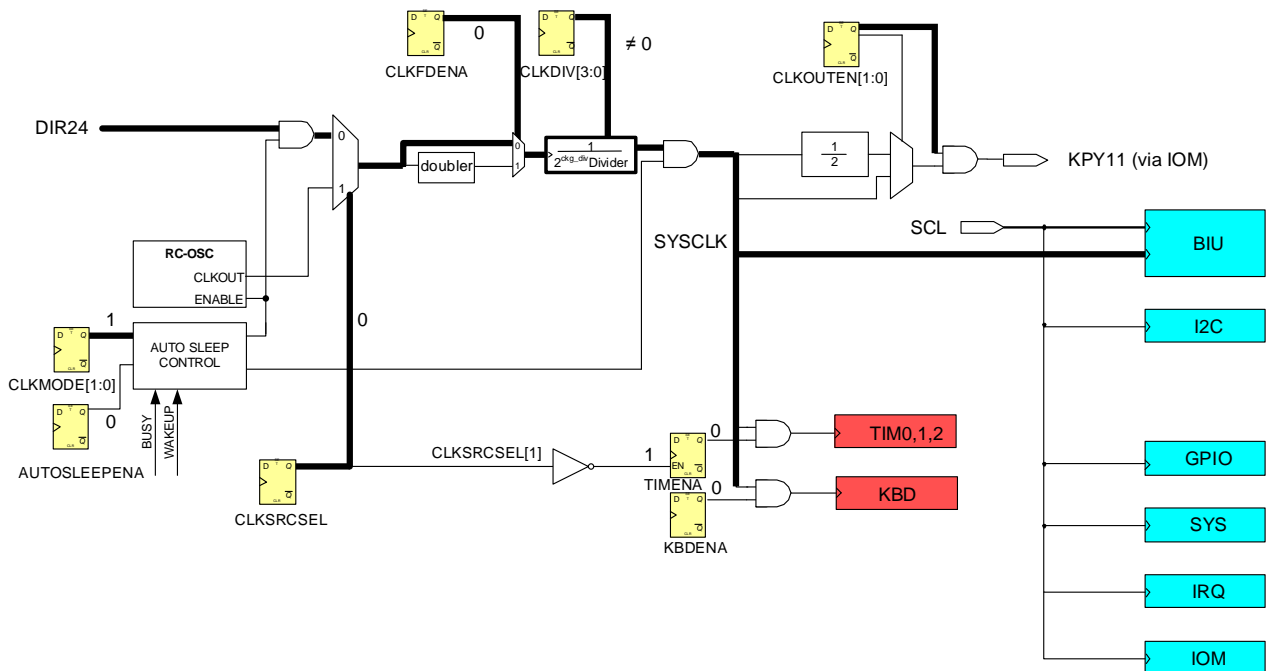


図 5.2 LVCMOSクロックソース使用時のクロックシステム

### 5.3. 動作モード

CLKMODE レジスタは、TC35894FG の動作モード制御を行います。

#### 5.3.1. SLEEP モード

SLEEP モードでは、内部 RC 発振器は無効となり、外部クロック LVCMOS は Gated 状態となります。そのため、内部 SYSCLK は生成されず、消費電力は低減します。

オートスリープ機能使用時は、自動ウェイクアップ機能を有効にすることを推奨します (I2CWAKEUPEN = 1 に設定する)。

SLEEP モードで、かつ I<sup>2</sup>C 自動ウェイクアップ機能が無効である場合 (I2CWAKEUPEN.I2CWEN = 0)、I<sup>2</sup>C を介してタイマやキーボードモジュールへのレジスタアクセスはできません。

#### 5.3.2. OPERATION モード

「図 5.3 モード状態遷移」に各モードの状態遷移図を示します。Power-on 後、デバイスは自動的に OPERATION モードとなります。

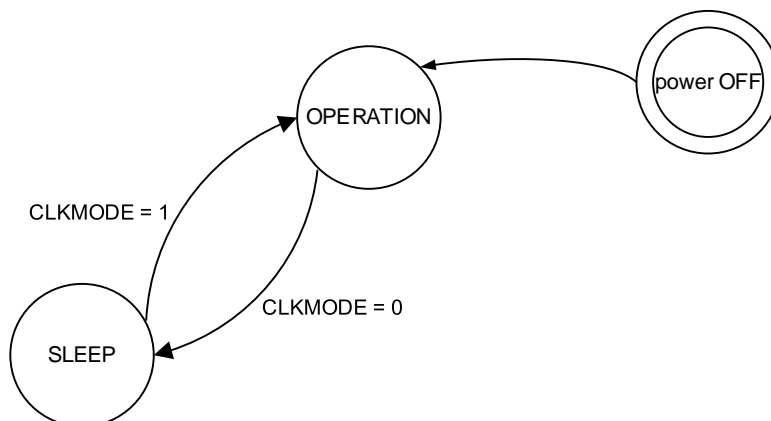


図 5.3 モード状態遷移

## 5.4. オートスリープ機能

オートスリープ機能は、内部 RC クロックの動的制御を目的としています。オートスリープのステータスは、CLKMODE.MODCTL レジスタでモニタリング可能です。

オートスリープ機能は、TIM と KBD の2つのモジュールの動作状態を継続的にモニタリングします。この2つのモジュールが共にインアクティブになるとタイマがスタートし、タイマ終了後、スリープモードに移行します。タイマ終了前にTIM または KBD モジュールで何らかの動作が感知されると、SLEEP モードは終了し、OPERATION モードに移行します。

TIM と KBD モジュールは、下記のいずれかの条件を満たす場合、OPERATION モードとなります。

- TIM または KBD モジュールのステートマシンがビジー状態である。
- TIM または KBD モジュールからの割り込みが保留状態である。
- LSI 端子のうちの1つでイベントが感知され、かつこの端子に対応する GPIO\_WAKE レジスタがイネーブルに設定されている場合。
- PWM パターンジェネレータの動作終了時に、RST ビットが 1 に設定された END パターンを検出した場合。
- KBD または TIM モジュールへの I<sup>2</sup>C アクセスがあり、かつ I2C\_WAKEUPEN = 1 である場合。

オートスリープ機能は、内蔵 RC 発振器使用時のみ有効です。

注意: オートスリープ機能を使用の際は、常に I2C\_WAKEUPEN を 1 (イネーブル) に設定することを推奨します。オートスリープ機能は、デバイスの動作電力を静止状態の電力値まで削減することが可能ですので、本機能を有効とすることを推奨します。

## 5.5. クロックシステムレジスタ設定

以下にクロックモード設定について記述したレジスタ表を示します。

### CLKMODE レジスタ (0x88)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	-	-	-	-	-	-	Reserved	MODCTL
	Default	*	*	*	*	*	*	0	1

MODCTL 本レジスタは動作モードを決定します。  
 0 : SLEEP モード、SYSCLK は停止状態となります。  
 1 : OPERATION モード

### AUTOSLPENA レジスタ (0x8B)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	-	-	-	-	-	-	-	ENABLE
	Default	*	*	*	*	*	*	*	0

ENABLE オートスリープ機能イネーブル  
 オートスリープ機能がイネーブル状態の時、レジスタMODCTLは書き込みできません。また、レジスタCLKCFGへの書き込みは誤動作の原因となりますので禁止となります。  
 0 : オートスリープ機能オフ  
 1 : オートスリープ機能オン

### AUTOSLPTIMER レジスタ (0x8C)

R/W	ITEM	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8
		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	-	-	-	-	-	UPTIME10	UPTIME9	UPTIME8
		UPTIME7	UPTIME6	UPTIME5	UPTIME4	UPTIME3	UPTIME2	UPTIME1	UPTIME0
	Default	*	*	*	*	*	1	1	1
		1	1	1	1	1	1	1	1

UPTIME10:0 TC35894FG の OPERATION モード最小持続時間  
 OPERATION モードから SLEEP モードに遷移するまでの最小 SYSCLK サイクル数を設定します。AUTOSLPENA.ENABLE が 1 に設定されると、ここでプログラムされた値が 64 で乗算され、タイマ値として設定されます。

## CLKCFG レジスタ (0x89)

レジスタ CLKCFG の設定は、電源投入後 CLKEN レジスタの設定前に実行してください。

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	reserved	CLKSRCSEL	reserved	CLKFD EN	CLKDIV3	CLKDIV2	CLKDIV1	CLKDIV0
	Default	0	1	0	0	0	0	0	0

### CLKSRCSEL クロックソースセクタ

CLKMODE. MODCTL が SLEEP の場合、本設定は変更できません。

- 0 : LVCMOS クロック入力
- 1 : 内部 RC 発振器

### CLKFDEN クロック周波数逡倍器イネーブル (CLKDIV = 0 時のみ有効)

- 0 : クロック周波数逡倍器ディセーブル
- 1 : クロック周波数逡倍器イネーブル

### CLKDIV3:0 SYSCLK のクック分周器

クックソース周波数を SYSCLK 周波数へと分周します。SYSCLK 周波数\*6.5 は、SCL 周波数以上でなくてはならないことに留意ください。クック分周率 =  $2^{\text{CLKDIV}}$  に設定されます。

- 0x0 : 1 分周
- 0x1 : 2 分周
- 0x2 : 4 分周
- |
- 0x9 : 512 分周 (最大分周率)
- 0xA : reserved
- | reserved
- 0xF : reserved

## CLKEN レジスタ (0x8A)

CLKEN レジスタは各モジュールへのクロックイネーブル制御を行います。クロックイネーブルビットを設定すると、SYSCLK が選択モジュールに入力されます。I<sup>2</sup>C モジュールは、I<sup>2</sup>C SCL クロックラインで動作するので、クロックイネーブルビットはありません。

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	CLKOUT EN1	CLKOUT EN0	TIMOSC EN2	TIMOSC EN1	TIMOSC EN0	TIMEN	reserved	KBDEN
	Default	0	0	Write Only	Write Only	Write Only	0	0	0

CLKOUTEN1:0 クロック外部出力イネーブル。KPY11 端子から出力クロックを選択します (5.2 項参照)。  
 00 : CLKOUT クロックディセーブル。Low レベル固定  
 01 : CLKOUT 周波数 = SYSCLK 周波数  
 11 : CLKOUT 周波数 = ½ SYSCLK 周波数  
 10 : Reserved

TIMOSCEN[2:0] 内蔵 RC-OSC 使用時のタイマクロックイネーブル  
 101 : タイマクロックイネーブル  
 注意 1)  
 Other : タイマクロックディセーブル

TIMEN タイマ 0、1、2 クロックイネーブル  
 0 : タイマ 0、1、2 ディセーブル  
 1 : タイマ 0、1、2 イネーブル  
 (注意 1)

KBDEN キーボードクロックイネーブル  
 0 : キーボードクロックディセーブル  
 1 : キーボードクロックイネーブル

### 注意 1:

外部クロック入力使用時、タイマクロックは **TIMEN** ビット = 1 で有効となります。  
 内蔵 RC 発振器使用時、タイマクロックを有効にするには、以下の設定を 2 回連続して行う必要があります。

**TIMEN = 1、かつ TIMOSCEN[2:0] = 3'b101** を設定する。

タイマを内部 RC 発振器とともに使用する場合は、発振器周波数のトレランスを考慮してください。

**I2CWAKEUPEN レジスタ (0x8E)**

オートスリープ機能が有効な場合、I2CWAKEUPEN.I2CWEN を 1 に設定することを推奨します。その場合、KBD か TIM モジュールに対して I<sup>2</sup>C アクセスが行われると、デバイスはウェイクアップします。しかし、GPIO などの他のモジュールに対して I<sup>2</sup>C アクセスが行われた場合、デバイスは SLEEP モードのままとなります。

本特性を機能させるには、オートスリープを有効にする必要があることに注意してください。

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	-	-	-	-	-	-	-	I2CWEN
	Default	*	*	*	*	*	*	*	1

I2CWEN I<sup>2</sup>C ウェイクアップイネーブル

- 0 : SLEEP モード時、KBD/TIM モジュールへの I<sup>2</sup>C アクセスによってデバイスがウェイクアップしない。
- 1 : SLEEP モード時、KBD/TIM モジュールへの I<sup>2</sup>C アクセスによってデバイスがウェイクアップする。

## 6. IOM（入力/出力構成）

TC35894FG には、I/O マルチプレクサモジュールがあります。

また、本モジュール内では、入力パッドへ設定するプルアップ抵抗やプルダウン抵抗、および出力パッドに設定する I/O ドライブ能力をプログラムすることができます。IOCFG レジスタは、リセット後の初期化シーケンス中、SYSCLK が有効になる前に一度だけライトするようにしてください。

### 6.1. I/O 多重化

リセット後、TC35894FG は全ての端子にダイレクトキー機能に割り当てられた状態となります。

端子 KPX [7:0]、KPY [11:0]、PWM [2:0] および EXTIO0 は、GPIO モジュール内の

DIRECT3...DIRECT0 レジスタの設定により、汎用入力/出力またはダイレクトキーとして使用可能です。

さらに、端子 KPX [7:0] と KPY [11:0] は、キーボードモジュールの KBDSIZE レジスタや KBDDED CFG レジスタの設定に応じて、キーボードマトリクスの一部として、または専用キーとして構成可能です。

また、端子 KPY [11]、PWM [2:0]、EXTIO0 および DIR24 は、BALLCFG レジスタビットにより、その他の機能に構成することができます。詳細は、表 6.1 を参照してください。

## IOCFG レジスタ (0xA7)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	GPIOSEL3	GPIOSEL2	GPIOSEL1	GPIOSEL0	IG	Reserved	BALLCFG1	BALLCFG0
	Default	1	1	1	1	1	0	0	0

GPIOSEL3:0 DIR24 と PWM [2:0]端子への機能割り当てを制御する。  
 0 : DIR24、PWM [2:0]端子に対して BALLCFG で定義した機能を使用する。  
 1 : DIR24 と PWM [2:0]に GPIO 機能を割り当てる。

IG グローバル入力ゲート  
 全ての入力をゲーティングすることが可能です。この場合、外部入力信号は内部回路に接続されません。  
 0 : 全入力ディセーブル  
 1 : 全入力イネーブル

BALLCFG1:0 端子構成設定 (表 6.1、表 6.2、表 6.3 参照)。

表 6.1 KPX [7:0]とKPY[11:0]の端子設定

端子	MODULE CONNECTIVITY		
	BALLCFG [1:0]		
	00	01	10
KPX0 (DIR0)	GPIO0 または KPX0 Row 0		
KPX1 (DIR1)	GPIO1 または KPX1 Row 1		
KPX2 (DIR2)	GPIO2 または KBD Row 2		
KPX3 (DIR3)	GPIO3 または KBD Row 3		
KPX4 (DIR4)	GPIO4 または KBD Row 4		
KPX5 (DIR5)	GPIO5 または KBD Row 5		
KPX6 (DIR6)	GPIO6 または KBD Row 6		
KPX7 (DIR7)	GPIO7 または KBD Row 7		
KPY0 (DIR8)	GPIO8 または KBD Col 0		
KPY1 (DIR9)	GPIO9 または KBD Col 1		
KPY2 (DIR10)	GPIO10 または KBD Col 2		
KPY3 (DIR11)	GPIO11 または KBD Col 3		
KPY4 (DIR12)	GPIO12 または KBD Col 4		
KPY5 (DIR13)	GPIO13 または KBD Col 5		
KPY6 (DIR14)	GPIO14 または KBD Col 6		
KPY7 (DIR15)	GPIO15 または KBD Col 7		
KPY8 (DIR16)	GPIO16 または KBD Col 8		
KPY9 (DIR17)	GPIO17 または KBD Col 9		
KPY10 (DIR18)	GPIO18 または KBD Col 10		
KPY11 (DIR19)	GPIO19 または KBD Col 11	SYS OUTCLK	GPIO19 または KBD Col 11

表 6.2 PWM [2:0]とDIR24の端子設定

端子	MODULE CONNECTIVITY			
	GPIOSEL	BALLCFG [1:0]		
		00	01	10
PWM0 (DIR20)	GPIOSEL0 = 1	GPIO20		
	GPIOSEL0 = 0	GPIO20	PWM0	PWM0
PWM1 (DIR21)	GPIOSEL1 = 1	GPIO21		
	GPIOSEL1 = 0	GPIO21	PWM1	PWM1
PWM2 (DIR22)	GPIOSEL2 = 1	GPIO22		
	GPIOSEL2 = 0	GPIO22	PWM2	PWM2
DIR24	GPIOSEL3 = 1	GPIO24 (ダイレクトキーのみ)		
	GPIOSEL3 = 0	GPIO24 (ダイレクトキーのみ)		Clock In

表 6.3 EXTIO0とDIR25の端子設定

端子	MODULE CONNECTIVITY		
	BALLCFG [1:0]		
	00	01	10
EXTIO0	GPIO23		
DIR25	GPIO25 (ダイレクトキーのみ)		

注意:

表 6.1 で、キーボード機能を使用する場合は、適宜 **KBDSIZE** と **KBDDEDCFG** レジスタを設定してください。**GPIO** 機能が割り当てられた場合 (**KBDSIZE = 0**、**KBDDEDCFG = 0**)、**DIRECT3 - DIRECT0** レジスタの設定により、汎用またはダイレクトキー機能のどちらかを選択することが可能です。

## 6.1.1. KPX [7:0]の I/O 多重化

下図に KPX [7:0] 端子の I/O 多重化構成を示します。

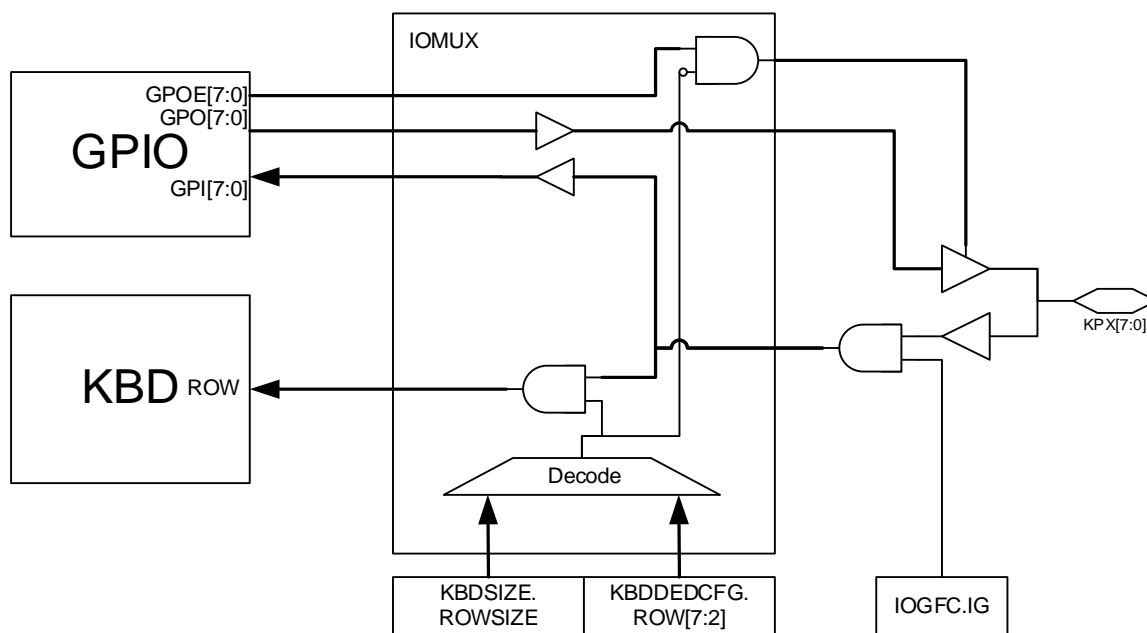


図 6.1 KPX [7:0]のI/O多重化

KPX [7:0] 端子への機能割り当ては、キーボードレイアウト構成レジスタである KBDSIZE.ROWSIZE と KBDEDCFG.ROW [7:2] の設定により制御されます。

キーボードレイアウトの構成に関わらず、KPX [7:0] 入力、GPIO モジュール GPI [7:0] にも接続されますので、信号の状態は GPIO モジュールでモニタ可能です。

## 6.1.2. KPY [10:0]の I/O 多重化

下図に KPY [10:0] 端子の I/O 多重化構成を示します。

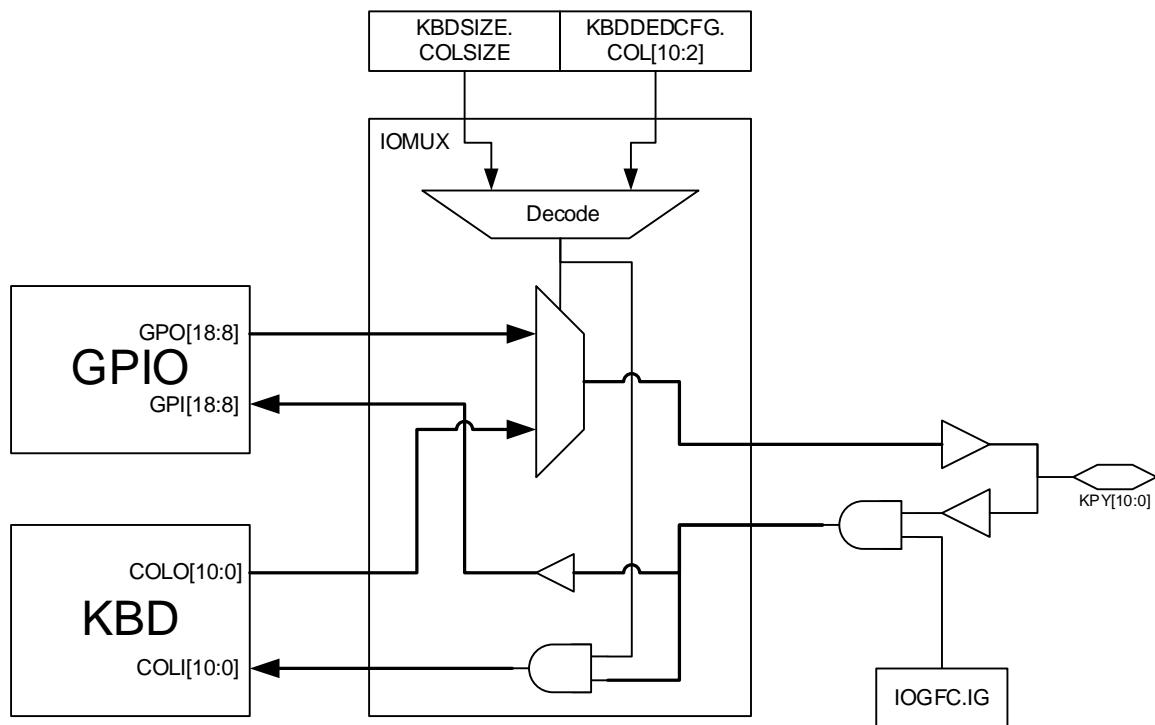


図 6.2 KPY [10:0]のI/O多重化

キーボード構成が何であれ、KPY [10:0] 入力は常に GPIO モジュールに接続されますので、信号の状態は GPIO モジュールでモニタ可能です。

## 6.1.3. KPY [11]の I/O 多重化

下図に KPY [11] 端子の I/O 構成を示します。KBD 機能を使用しない場合は、KBD クロックを停止した状態で、KBD モジュールのリセットを実行することを推奨します。

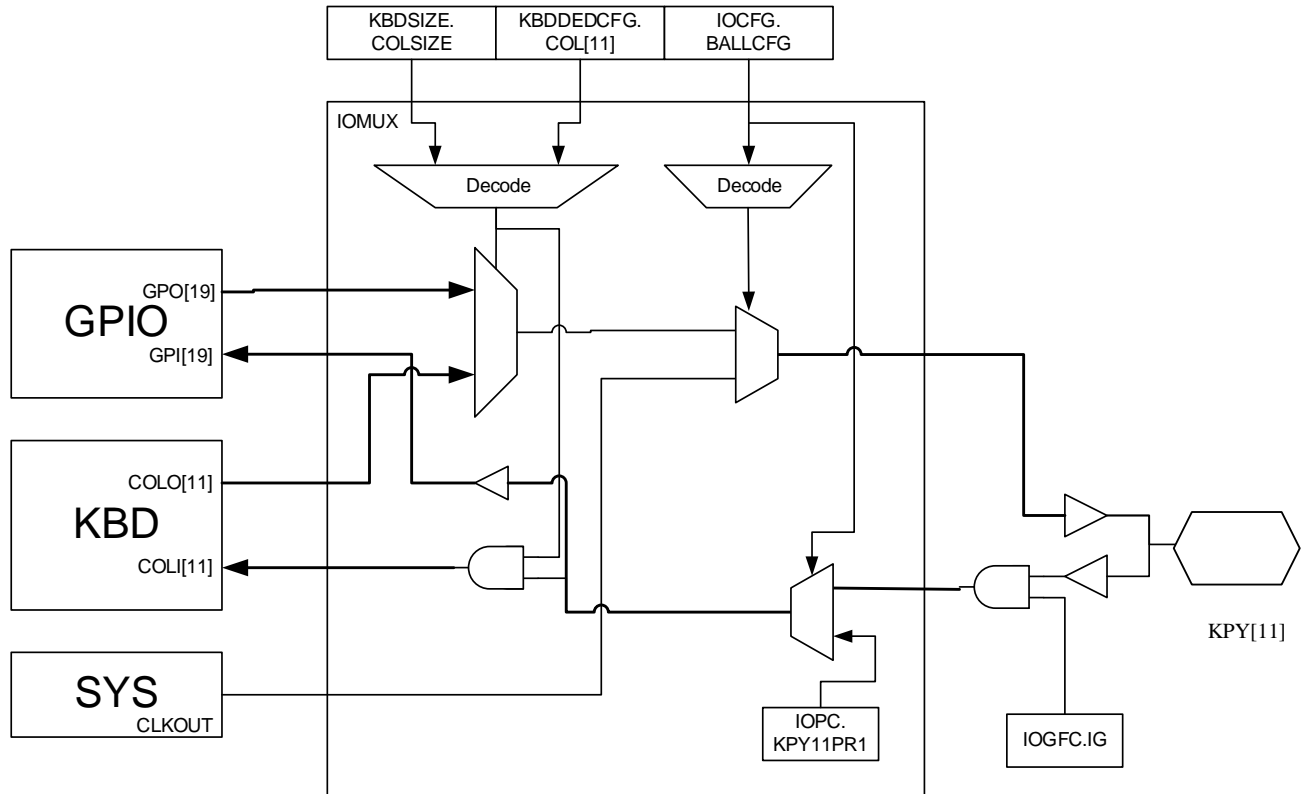


図 6.3 KPY [11]のI/O多重化

IOCFG.BALLCFG = 0 の場合、KBDSIZE.COLSIZE レジスタと KBDDEDCFG.COL[11]レジスタの設定に応じて、KPY [11] または GPIO19 として使用可能です。

IOCFG.BALLCFG = 1 の場合、KPY [11] は、SYSCLK 出力として使用可能です。

## 6.1.4. PWM [2:0]の I/O 多重化

図 6.4 に PWM [2:0]の I/O 多重化構成を示します。

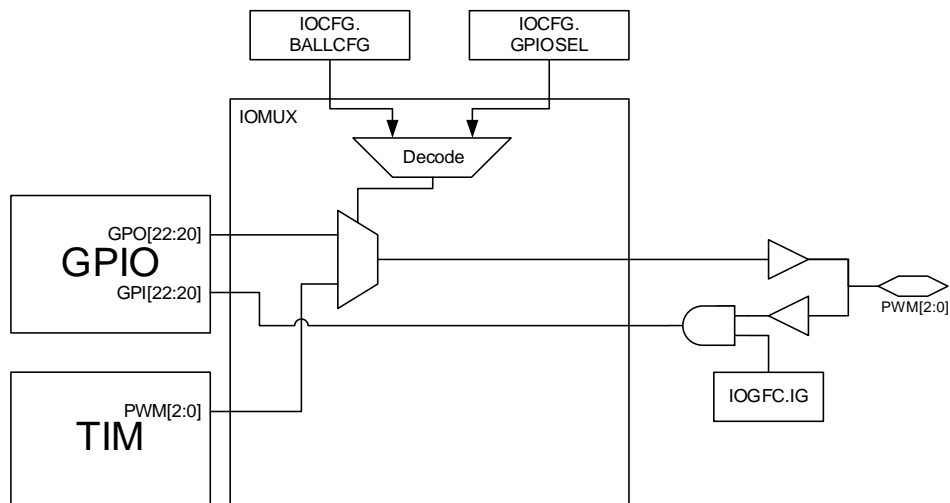


図 6.4 PWM [2:0]のI/O多重化

IOCFG.GPIOSEL [2:0]の設定に応じて、PWM [2:0] または GPIO [22:20] として使用可能です。

## 6.1.5. DIR24 の I/O 多重化 (クロック入力)

図 6.5 に DIR24 の I/O 多重化構成を示します。

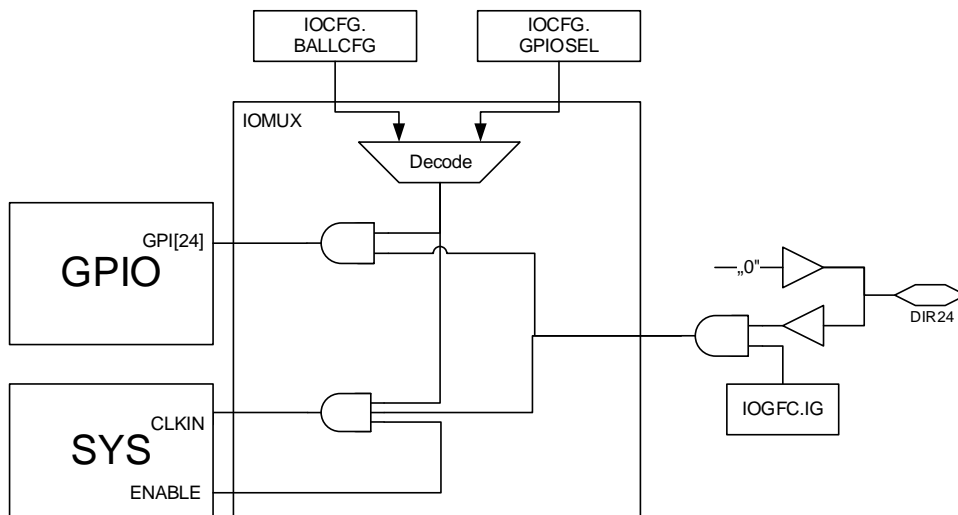


図 6.5 DIR24のI/O多重化

IOCFG.GPIOSEL [3]の設定に応じて、ダイレクトキー入力または CLKIN (外部クロック入力) として使用可能です。

## 6.2. プル抵抗プログラミング

以下のレジスタは、TC35894FG の各出力に対するプルアップおよびプルダウン抵抗の設定を行います。I/O のフローティング状態を避けるため、未接続またはドライブされていない端子は、プル抵抗を割り当てることを推奨します。プル抵抗は、対応する端子が出力モードである場合、プル抵抗は自動的にインアクティブ（プル抵抗なし）に切り替わります。

### IOPCEXT レジスタ (0xA8)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	-	-	-	-	DIR25R1	DIR25R0	DIR24R1	DIR24R0
	Default	0	0	0	0	1	0	1	0

DIR[25:24]PR 1:0 DIR[25:24]端子のプル抵抗設定  
 00 : プル抵抗なし  
 01 : プルダウン抵抗  
 10 : **プルアップ抵抗 (デフォルト)**  
 11 : プルアップ抵抗

### IOPC0 レジスタ (0xAA)

R/W	ITEM	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8
		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	KPX7PR1	KPX7PR0	KPX6PR1	KPX6PR0	KPX5PR1	KPX5PR0	KPX4PR1	KPX4PR0
		KPX3PR1	KPX3PR0	KPX2PR1	KPX2PR0	KPX1PR1	KPX1PR0	KPX0PR1	KPX0PR0
	Default	1	0	1	0	1	0	1	0
		1	0	1	0	1	0	1	0

KPX [7:0] PR1:0 KPX [7:0]端子のプル抵抗設定  
 00 : プル抵抗なし  
 01 : プルダウン抵抗  
 10 : **プルアップ抵抗 (デフォルト)**  
 11 : プルアップ抵抗

## IOPC1 レジスタ (0xAC)

R/W	ITEM	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8
		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	KPY7PR1	KPY7PR0	KPY6PR1	KPY6PR0	KPY5PR1	KPY5PR0	KPY4PR1	KPY4PR0
		KPY3PR1	KPY3PR0	KPY2PR1	KPY2PR0	KPY1PR1	KPY1PR0	KPY0PR1	KPY0PR0
	Default	1	0	1	0	1	0	1	0
		1	0	1	0	1	0	1	0

KPY [7:0] PR1:0 KPY [7:0]端子のプル抵抗設定  
 00 : プル抵抗なし  
 01 : プルダウン抵抗  
**10 : プルアップ抵抗 (デフォルト)**  
 11 : プルアップ抵抗

## IOPC2 レジスタ (0xAE)

R/W	ITEM	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8
		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	EXTIO0PR1	EXTIO0PR0	PWM2PR1	PWM2PR0	PWM1PR1	PWM1PR0	PWM0PR1	PWM0PR0
		KPY11PR1	KPY11PR0	KPY10PR1	KPY10PR0	KPY9PR1	KPY9PR0	KPY8PR1	KPY8PR0
	Default	1	0	1	0	1	0	1	0
		1	0	1	0	1	0	1	0

EXTIO0PR 1:0 EXTIO0 端子のプル抵抗設定  
 00 : プル抵抗なし  
 01 : プルダウン抵抗  
**10 : プルアップ抵抗 (デフォルト)**  
 11 : プルアップ抵抗

PWM[2:0]PR 1:0 PWM[2:0]端子のプル抵抗設定  
 00 : プル抵抗なし  
 01 : プルダウン抵抗  
**10 : プルアップ抵抗 (デフォルト)**  
 11 : プルアップ抵抗

KPY[11:8]PR 1:0 KPY [11:8]端子のプル抵抗設定  
 00 : プル抵抗なし  
 01 : プルダウン抵抗  
**10 : プルアップ抵抗 (デフォルト)**  
 11 : プルアップ抵抗

RESETN、IRQN、SDA および SCL 端子は、フェイルセーフのため、内部プルアップ抵抗はありません。

これらの端子を正しく機能させるには、外部プルアップ抵抗が必要です。

## 6.3. 出力ドライブ能力設定

TC35894FG 出力のドライブ能力は、レジスタ DRIVE0-2 の設定により、表 6.4 のように定義されます。

デバイスから出力される静電流量は、DRIVE0-2 レジスタの設定と Vcc 供給電圧に依存します。

表 6.4 出力ドライブ能力

Vcc	DR [1:0] (レジスタ DRIVE0、1、2 のドライブ制御)		
	00	01/10	11
1.8 V	低	中	高
2.5 V	中	高	使用不可

### DRIVE0 レジスタ (0xA0)

R/W	ITEM	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8
		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	KPX7DRV1	KPX7DRV0	KPX6DRV1	KPX6DRV0	KPX5DRV1	KPX5DRV0	KPX4DRV1	KPX4DRV0
		KPX3DRV1	KPX3DRV0	KPX2DRV1	KPX2DRV0	KPX1DRV1	KPX1DRV0	KPX0DRV1	KPX0DRV0
	Default	0	0	0	0	0	0	0	0
		0	0	0	0	0	0	0	0

KPX [7:0] DRV1:0 KPX [7:0] 端子の出力ドライブ能力設定

- 00 : 低 (デフォルト)
- 01 : 中
- 10 : 中
- 11 : 高

### DRIVE1 レジスタ (0xA2)

R/W	ITEM	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8
		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	KPY7DRV1	KPY7DRV0	KPY6DRV1	KPY6DRV0	KPY5DRV1	KPY5DRV0	KPY4DRV1	KPY4DRV0
		KPY3DRV1	KPY3DRV0	KPY2DRV1	KPY2DRV0	KPY1DRV1	KPY1DRV0	KPY0DRV1	KPY0DRV0
	Default	0	0	0	0	0	0	0	0
		0	0	0	0	0	0	0	0

KPY [7:0] DRV1:0 KPY [7:0] 端子の出力ドライブ能力設定

- 00 : 低 (デフォルト)
- 01 : 中
- 10 : 中
- 11 : 高

## DRIVE2 レジスタ (0xA4)

R/W	ITEM	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8
		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	EXTIO0 DRV1	EXTIO0 DRV0	PWM2 DRV1	PWM2 DRV0	PWM1 DRV1	PWM1 DRV0	PWM0 DRV1	PWM0 DRV0
		KPY11 DRV1	KPY11 DRV0	KPY10 DRV1	KPY10 DRV0	KPY9 DRV1	KPY9 DRV0	KPY8 DRV1	KPY8 DRV0
	Default	0	0	0	0	0	0	0	0
		0	0	0	0	0	0	0	0

EXTIO0DRV1:0 EXTIO0 端子の出カドライブ能力設定

**00** : 低 (デフォルト)

01 : 中

10 : 中

11 : 高

PWM [2:0] DRV1:0 PWM2、PWM1、PWM0 端子の出カドライブ能力設定

**00** : 低 (デフォルト)

01 : 中

10 : 中

11 : 高

KPY [11:8]  
DRV1:0

KPY[11:8] 端子の出カドライブ能力設定

**00** : 低 (デフォルト)

01 : 中

10 : 中

11 : 高

## DRIVE3 レジスタ (0xA6)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	-	-	-	-	IRQNDRV1	IRQNDRV0	SDADRV1	SDADRV0
	Default	*	*	*	*	0	0	0	0

IRQNDRV1:0 IRQNDRV 端子の出カドライブ能力設定

**00** : 低 (デフォルト)

01 : 中

10 : 中

11 : 高

SDADRV1:0 SDADRV 端子の出カドライブ能力設定

**00** : 低 (デフォルト)

01 : 中

10 : 中

11 : 高

## 7. I<sup>2</sup>C

I<sup>2</sup>C スレーブモジュールには、以下に示す特長があります。

- 1.8 V フェイルセーフ I<sup>2</sup>C オペレーション
- 400 kHz ファーストモード動作
- 7 ビットスレーブアドレス認識
- デフォルトスレーブアドレス = "1000101"
- 7 ビットスレーブアドレスの再プログラミング可能
- ジェネラルコールによるグローバルリセット機能
- アドレスが連続するレジスタに対し、バーストリード、ライトアクセスが可能

ホストプロセッサとの全ての通信は、I<sup>2</sup>C スレーブインタフェースを介して行われます。TC35894FG は、8 ビットアドレスインデックススキームを使用し、内部レジスタにアクセスします。

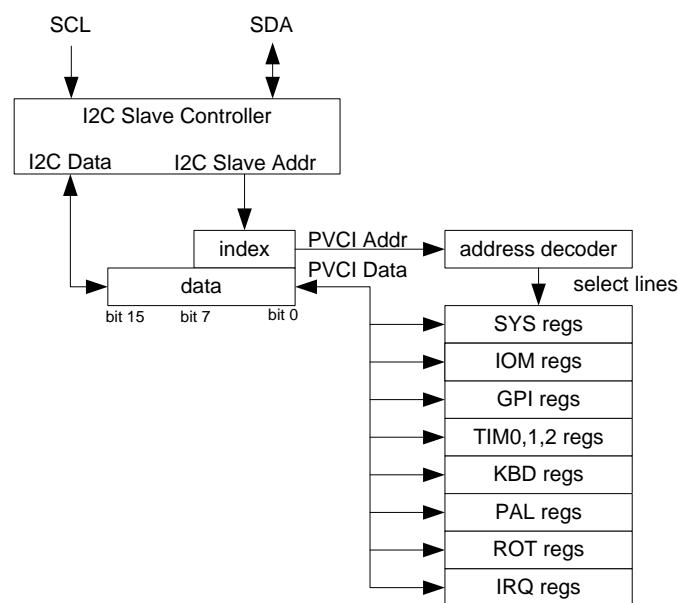


図 7.1 I<sup>2</sup>Cインタフェースによる内部レジスタアクセス

I<sup>2</sup>C スレーブインタフェースは、「標準モード」(100 kHz まで)と「ファースト」モード(400 kHz まで)に準拠しています。また、ジェネラルコール (SA [7:0] = "00000000") に対応します。また、RESTART 検知にも対応しています。

## 7.1. I<sup>2</sup>C デフォルトスレーブアドレスの変更

デフォルトスレーブアドレスは、レジスタ I2CSA で変更可能です。ただし、この機能は DIR24 端子がクロック入力として構成されている場合、または VCC、プルアップ抵抗に接続されている場合のみ変更が可能です。スレーブアドレスの変更をディセーブルするには、DIR24 端子を GND または外部プルダウン抵抗に接続してください。

I2CSA へのアクセスは、DIR24 端子がクロック入力として構成される場合は、Power-on リセット後 TC35894FG 内部で SYSCLK サイクルが 8 回カウントされた後、有効となります。VCC にプルアップされた場合は、Power-on リセット後、直ちにアクセス可能です。

## 7.2. I<sup>2</sup>C 転送

I<sup>2</sup>C スレーブインタフェースは、8 ビットデータ転送および 8 ビットデータのバースト転送に対応しています。

一部の TC35894FG 内部レジスタは、2 バイト単位でのデータアクセスが必要です。これらのレジスタに関しては、最初のバイトを伝送後にライトアクセスが中断されると、いずれのレジスタ値も更新されません。

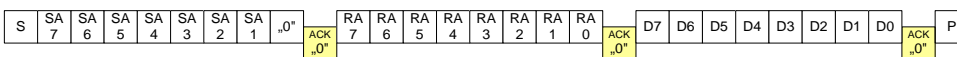
I<sup>2</sup>C マスタが START condition (S-bit) を送信後、アドレスマッチングしたスレーブデバイスは ACK = 0 を返します。

### 7.2.1. I<sup>2</sup>C ライト処理

ホストプロセッサが 8 bit レジスタアドレス (RA7..RA0) を送信した後、TC35894FG I<sup>2</sup>C スレーブは、このレジスタアドレスをインデックスレジスタとして設定します。

SA [0] が "0" の場合、TC35894FG への 1 byte 以上の I<sup>2</sup>C ライト処理が可能です。各 byte 書き込みごとに TC35894FG はアクノリッジビット ACK = 0 を返します。インデックスレジスタは、自動的にインクリメントされ、任意の byte 数のデータをバースト転送することが可能です。その後、マスタは STOP 条件 (P-bit) を送り、転送を停止します。STOP 条件を受信すると、インデックスレジスタはバーストアクセス開始時のレジスタアドレスに戻ります。

Single byte write



Two byte write



図 7.2 I<sup>2</sup>C ライトアクセス時のデータフロー

## 7.2.2. I<sup>2</sup>C リード処理

TC35894FG 内部レジスタをリードする際、ホストプロセッサはまず以下の手順によりインデックスレジスタを設定してください (図 7.3 上段)。

START または RESTART コンディションに続けてスレーブアドレスおよびレジスタアドレスを設定します。この時、ライトアクセスのため、SA[0] = 0 としてください。

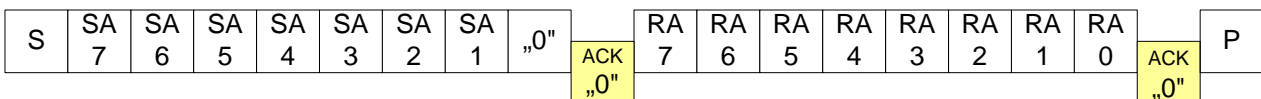
インデックスレジスタの設定後、以下の手順によりリードアクセスを実行してください (図 7.3 下段)。

ホストプロセッサは、スレーブアドレスを再度設定してください。この時、SA[0] = 1 を設定することによりリードアクセスが可能となります。TC35894FG は ACK = 0 を返した後、指定されたインデックスアドレスのレジスタ値を出力します。

ホストプロセッサは、最初のバイトを受信後、STOP 条件を送ることでリードを中断することが可能です。1 バイトリードごとに、インデックスアドレスは自動的にインクリメントします。

図 7.4 で、黄色のビットは TC35894FG の I<sup>2</sup>C スレーブモジュールで制御されるのに対し、白色のビットは I<sup>2</sup>C マスタ側で制御します。

### SET INDEX REGISTER



### READ DATA

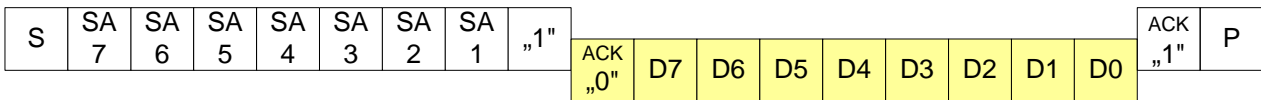


図 7.3 I<sup>2</sup>C 1バイトリードアクセス

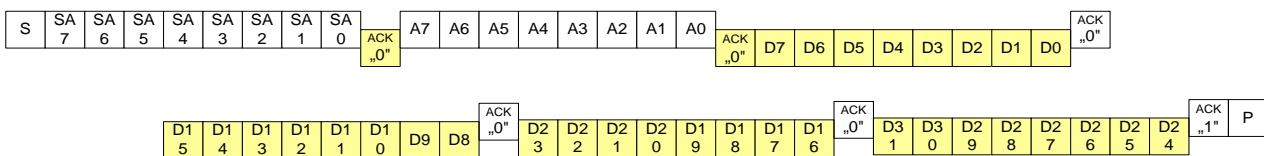


図 7.4 I<sup>2</sup>C 2バイトリードアクセス

### 7.2.3. I<sup>2</sup>C ジェネラルコール

ホストプロセッサからのジェネラルコールコマンドに対し、TC35894FG は bit B (図 7.5) の値に応じて以下のように動作します。

#### General Call

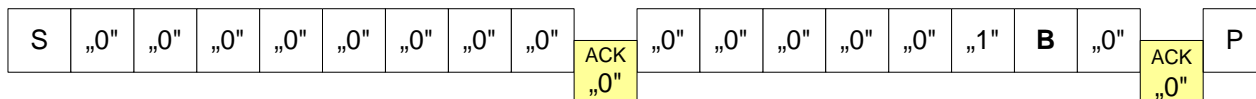


図 7.5 ジェネラルコールコマンド

bit B = 1 の時、TC35894FG はグローバルリセットされます (STOP 条件前の ACK サイクル中)。この時、I<sup>2</sup>C スレーブアドレス (SA) はリセットされません。

bit B = 0 の時、以前に変更されていれば、I<sup>2</sup>C スレーブアドレス (SA) は、8AH に設定されます。

#### 注意:

ジェネラルコール機能は、Power-on リセット後に manufacturer code (0x80) と Software version number (0x81) をリードした後でのみ使用可能です。

### 7.3. I<sup>2</sup>C レジスタマップ

16 章に TC35894FG のレジスタマップを示します。

## 8. TIM (タイマモジュール)

タイマモジュールは、シンプルなソフトウェア制御により高精度なタイマ機能を提供します。本タイマ機能は、LCD バックライトの制御やバイブレータ制御などの用途に最適化されています。

### 8.1. タイマ特性

- プログラマブルプリスケアラにより、容易にタイミング調整可能
- システムクロックカウンタ機能
- 連続動作モード (タイマリピート)
- ワンショットタイマモード
- PWM デューティサイクルのプログラムが可能
- PWM デューティサイクル変調
- パターンストレージレジスタにタイミングパターンを設定後、ホストプロセッサの介入なくタイミングイベント発生可能
- ホストプロセッサへの割り込みをトリガ
- タイマカスケード可能

### 8.2. タイマアーキテクチャ

図 8.1 にタイマチャンネルのアーキテクチャを示します。タイマは、3 ブロックから構成されており、青色のブロックは基本タイマ機能を実装し、黄色のブロックは PWM デューティサイクル変調を制御、緑色のブロックはパターンジェネレータを構成します。

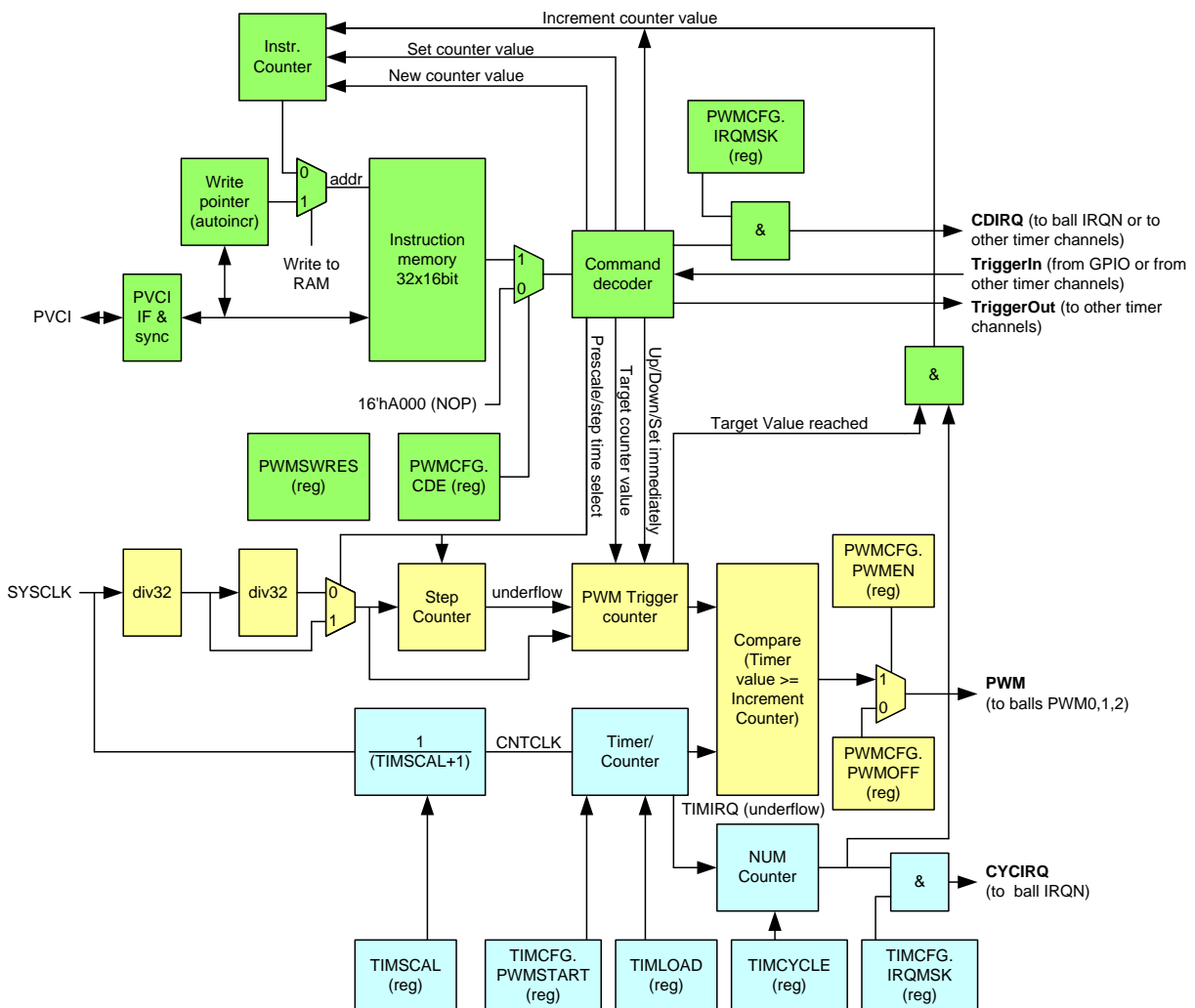


図 8.1 タイマアーキテクチャ

## 8.3. タイマコントロール

タイマまたはカウンタは、レジスタ TIMLOAD に設定した値に達するまで、pre-scaled SYSCLK をカウントします。SYSCLK の pre-scale 値は、レジスタ TIMSCAL で定義されます。この時、PWM の周波数  $f_{pwm}$  は方程式 (1) で定義されます。

タイマ終了ごとに、NUM カウンタがインクリメントされ、レジスタ TIMCYCLE に設定した値に達すると、割り込み CYCIRQ がトリガされます。CYCIRQ の周波数は、方程式 (2) で定義されます。

$$\text{方程式 (1):} \quad f_{PWM} = f_{SYSCLK} \cdot \frac{1}{(TIMSCAL + 1)} \cdot \frac{1}{(TIMLOAD + 1)}$$

$$\text{方程式 (2):} \quad f_{CYCIRQ} = f_{PWM} \cdot \frac{1}{(TIMCYCLE + 1)}$$

SYSCLK は内部クロックです。詳細については、5章クロックシステムを参照ください。

下記、タイマ設定用レジスタを示します。各レジスタは、タイマチャンネルごとに実装されています。

### TIMSCAL0、1、2 レジスタ (0x62、0x6A、0x72)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	SCAL7	SCAL6	SCAL5	SCAL4	SCAL3	SCAL2	SCAL1	SCAL0
	Default	0	0	0	0	0	0	0	0

SCAL7:0      タイマプリスケール値  
システムクロックは (SCAL+1) で分周され、CNTCLK を生成します。CNTCLK はタイマ関連動作制御用のリファレンスクロックとなります。

### TIMLOAD0、1、2 レジスタ (0x64、0x6C、0x74)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	LOAD7	LOAD6	LOAD5	LOAD4	LOAD3	LOAD2	LOAD1	LOAD0
	Default	1	1	1	1	1	1	1	1

LOAD7:0      タイマまたはカウンタは TIMLOAD 値から 0 にカウントダウンします。このレジスタにプログラムされた値は、CNTCLK に同期して動作します

### TIMCYCLE0、1、2 レジスタ (0x63、0x6B、0x73)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	CYCLE7	CYCLE6	CYCLE5	CYCLE4	CYCLE3	CYCLE2	CYCLE1	CYCLE0
	Default	0	0	0	0	0	0	0	0

CYCLE7:0      タイマ割り込み (CYCIRQ) の発生タイミング設定  
0 : タイマまたはカウンタが終了すると直ちに割り込みが生成される。  
N : タイマまたはカウンタが N+1 回終了後に割り込みが生成される。

## TIMCFG0、1、2 レジスタ (0x60、0x68、0x70)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	-	-	-	IRQMASK	CYC CTRL	FREE	SYNC	START
	Default	*	*	*	0	0	0	0	0

IRQMASK      CYCIRQ の割り込みマスク  
0 : 割り込みイネーブル  
1 : 割り込みマスク

CYCCTRL      CYCLE カウンタコントロールレジスタ  
0 : TIMLOAD サイクル後、タイマまたはカウンタは停止します。タイマ割り込みは TIMCYCLE = 0 の時のみ発行されます。  
1 : TIMLOAD サイクルのカウントを、TIMCYCLE レジスタで指定した回数実行します。その後タイマが停止し、割り込みを生成します。

FREE          フリーランタイムとワンタイムカウントタイマを切り替えます。  
0 : ワンタイムカウントタイマモード。割り込み動作は TIMCYCLE に依存します。  
1 : フリーランモード。タイマまたはカウンタが TIMLOAD から 0 までカウントダウンした後、TIMLOAD 値を再ロードしてまたカウントダウンを開始します。

SYNC          パターンジェネレータとタイマの同期設定  
0 : PWMCFG.PGE ビットでパターンジェネレータの開始または停止を制御します。  
1 : TIMCFG.START=1 でパターンジェネレータとタイマが同時に有効となります。パターンジェネレータは PWMCFG.PGE=0 で停止し、タイマは TIMCFG.START = 0 で停止します。

START         タイマ開始または停止制御。**ライト専用。**  
0 : タイマ停止 (内部ステートマシンからも停止可能)  
1 : タイマ開始

下図に TIMCFG の設定例を示します。

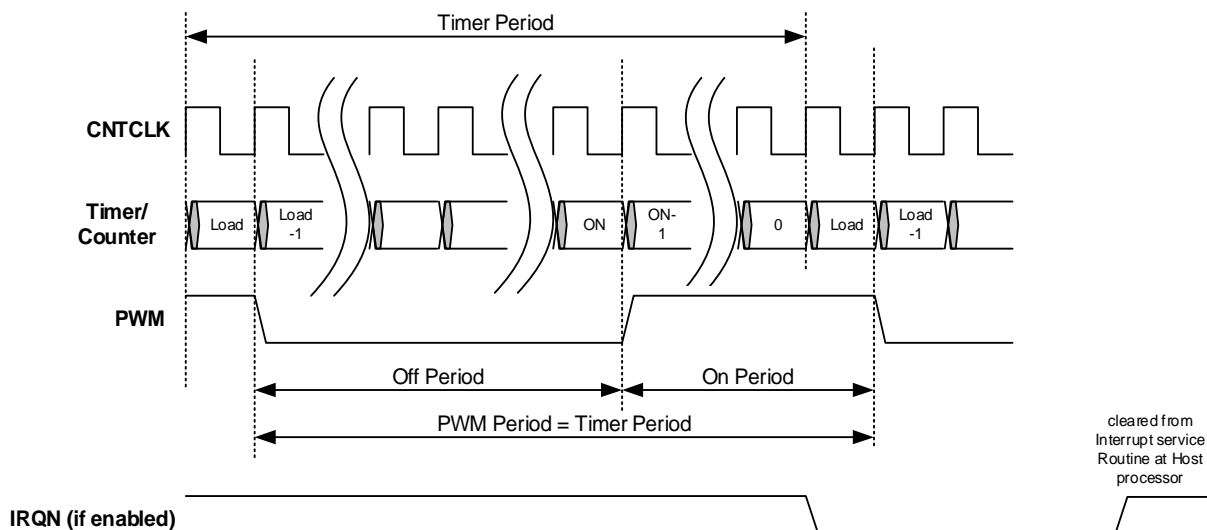


図 8.2 タイマフリーランモード (TIMCFG.FREE = 1)

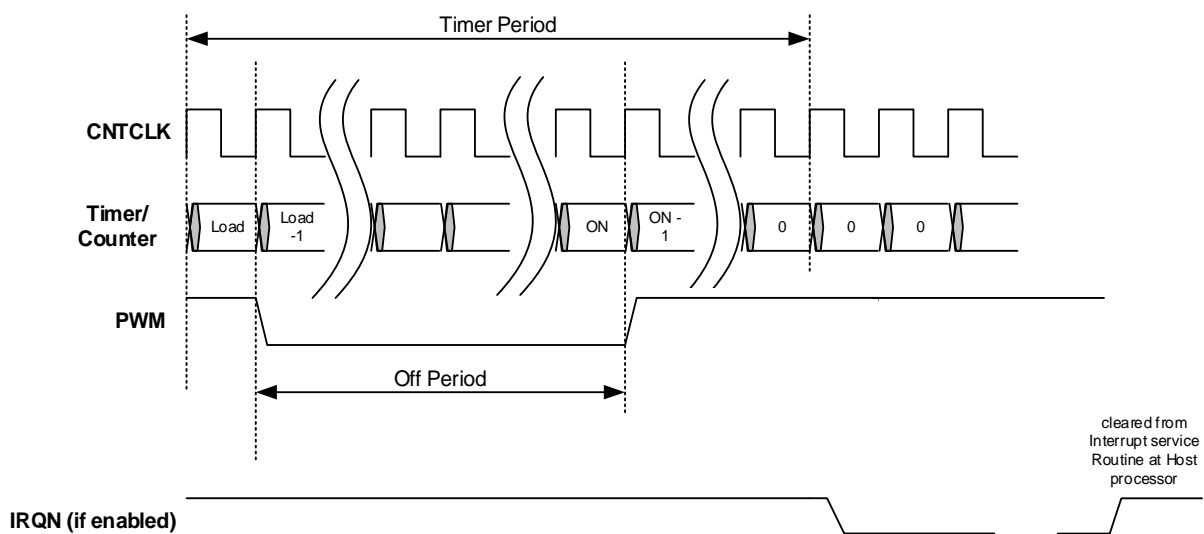


図 8.3 タイマワンショットモード (TIMCFG.FREE = 0、TIMCFG.CYCLE = 0)

## 8.4. PWM 変調

PWM の変調タイミングは、TIMLOAD 値と PWM トリガカウンタ値によって調整されます。PWM トリガカウンタの値は、パターンジェネレータで設定可能です (8.8. パターンセット参照)。

リセット後、PWM トリガカウンタは 0 に設定され、PWMCFG.PWMEN も 0 にリセットされ、端子 PWM は Low 出力となります。

図 8.4 に、"RAMP" パターンをパターンジェネレータに設定した場合の動作を示します。PWM 出力のデューティ比を段階的に増加することが可能です。

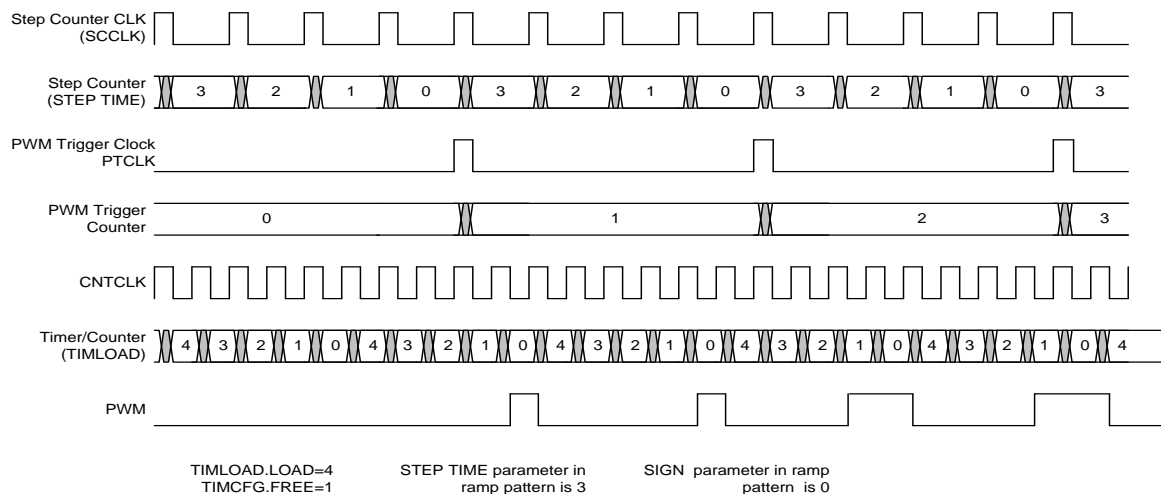


図 8.4 RAMPパターンを使用したPWM変調

## 8.5. パターンストレージレジスタアクセス

パターンストレージレジスタは、ホストプロセッサから I<sup>2</sup>C を介してアクセスします。パターンジェネレータを使用することにより、複雑な PWM デューティサイクル変調パターンを容易に実現可能です。

## 8.6. パターンストレージレジスタ制御

3個のタイマは全て、1個のレジスタ TIMSWRES を共有します。

### TIMSWRES レジスタ (ライト専用) (0x78)

これらのビットはパターンジェネレータをリセットし、停止させます（ステートマシンとタイマも全て停止させます）。パターンレジスタ内にある値は保持されます。また、タイマからの割り込みはクリアされませんので、レジスタ TIMIC にライトを行い、クリアする必要があります。

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
W	MNEMONIC	-	-	-	-	-	SWRES2	SWRES1	SWRES0
	Default	*	*	*	*	*	0	0	0

- SWRES2      TIMER2 のソフトウェアリセット  
 0 : 無効 (no effect)  
 1 : timer 2 のソフトウェアリセット。リセット後、0 に戻す必要無し。
- SWRES1      TIMER1 のソフトウェアリセット  
 0 : 無効 (no effect)  
 1 : timer 1 のソフトウェアリセット。リセット後、0 に戻す必要無し。
- SWRES0      TIMER0 のソフトウェアリセット  
 0 : 無効 (no effect)  
 1 : timer 0 のソフトウェアリセット。リセット後、0 に戻す必要無し。

### PWMCFG0、1、2 レジスタ (0x61、0x69、0x71)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	-	-	-	-	IRQMASK	PGE	PWMEN	PWMPOL
	Default	*	*	*	*	0	0	0	0

- IRQMASK      CDIRQ マスク  
 0 : CDIRQ イネーブル  
 1 : CDIRQ ディセーブルまたはマスク
- PGE            パターンジェネレータイネーブル  
 対応する TIMCFG レジスタの SYNC ビットが設定されると、本ビットは無視されます。  
 0 : パターンジェネレータディセーブル  
 1 : パターンジェネレータイネーブル
- PWMEN        PWM イネーブル  
 0 : PWM ディセーブル  
               PWM 出力は PWMPOL で設定された値となります。  
 1 : PWM イネーブル
- PWMPOL       PWMEN = 0 時、PWM 出力値  
 0 : PWM 出力 Low 固定  
 1 : PWM 出力 High 固定

## TIMRIS レジスタ (リード専用) (0x7A)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R	MNEMONIC	-	-	CDIRQ2	CDIRQ1	CDIRQ0	CYCIRQ2	CYCIRQ1	CYCIRQ0
	Default	*	*	0	0	0	0	0	0

CDIRQ2:0 timer 2、1、0 の CDIRQ Raw Interrupt Status  
 0 : 割り込みなし  
 1 : 割り込み発生

CYCIRQ2:0 timer 2、1、0 の CYCIRQ Raw Interrupt Status  
 0 : 割り込みなし  
 1 : 割り込み発生

## TIMMIS レジスタ (リード専用) (0x7B)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R	MNEMONIC	-	-	CDIRQ2	CDIRQ1	CDIRQ0	CYCIRQ2	CYCIRQ1	CYCIRQ0
	Default	*	*	0	0	0	0	0	0

CDIRQ2:0 timer2、1、0 の CDIRQ Masked Interrupt Status  
 0 : 割り込みなし  
 1 : 割り込み発生

CYCIRQ2:0 timer2、1、0 の CYCIRQ Masked Interrupt Status  
 0 : 割り込みなし  
 1 : 割り込み発生

## TIMIC レジスタ (0x7C)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
W	MNEMONIC	-	-	CDIRQ2	CDIRQ1	CDIRQ0	CYCIRQ2	CYCIRQ1	CYCIRQ0
	Default	*	*	0	0	0	0	0	0

CDIRQ2:0 timer 2、1、0 の CDIRQ 割り込みをクリアする。  
 0 : 無効 (no effect)  
 1 : 割り込みクリア。0に戻す必要無し。

CYCIRQ2:0 timer 2、1、0 の CYCIRQ 割り込みををクリアする。  
 0 : 無効 (no effect)  
 1 : 割り込みクリア。0に戻す必要無し。

## 8.7. パターンストレージレジスタの設定方法

パターンストレージレジスタは、以下のフローに従って設定してください。

1. タイマをセットアップする。
2. PWMPAT レジスタを介して、パターンストレージレジスタにタイマパターンを書き込む。
3. タイマとパターンジェネレータを開始する。
4. 割り込み検出（例: CDIRQ の割り込みフラグや端子 IRQN の割り込み）。

インデックスレジスタ (PWMWP) は、パターンストレージレジスタのアドレスを示します。PWMPAT レジスタにライトアクセスすると、インデックスレジスタは自動的にインクリメントされます。

パターンジェネレータが終了した、またはパターンを変更したい場合には、パターンストレージレジスタを以下のいずれかの方法で上書きしてください。

1. RSTCTRL レジスタにより、ソフトウェアリセットを実行する。
2. PWMCFG.PGE レジスタ設定により、パターンジェネレータを停止する。

### PWMWP レジスタ (0x7D)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	-	POINTER6	POINTER5	POINTER4	POINTER3	POINTER2	POINTER1	POINTER0
	Default	*	0	0	0	0	0	0	0

POINTER6:0 パターンストレージレジスタの Write Pointer Address。PWMPAT レジスタへのライトアクセスにより自動的にインクリメントされます。

0 ≤ POINTER < 32 : Timer0 パターンのライトポインタ

32 ≤ POINTER < 64 : Timer1 パターンのライトポインタ

64 ≤ POINTER < 96 : Timer2 パターンのライトポインタ

96 ≤ POINTER < 128 : 無効

## PWMPAT レジスタ (0x7E)

R/W	ITEM	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8
		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
W	MNEMONIC	PAT15	PAT14	PAT13	PAT12	PAT11	PAT10	PAT9	PAT8
		PAT7	PAT6	PAT5	PAT4	PAT3	PAT2	PAT1	PAT0
	Default	0	0	0	0	0	0	0	0
		0	0	0	0	0	0	0	0

PAT15:0 パターンストレージレジスタへのパターン書き込みポート。本レジスタへの書き込み後、PWMWP は自動的にインクリメントされます。本レジスタへの書き込みは2バイトバーストアクセスで行わなければいけません。

I<sup>2</sup>C バーストコマンドで PWMPAT にライトを行う場合、I<sup>2</sup>C アドレスは、0x7F を超えてインクリメントせず、0x7E へと戻ります。PWMWP は、2 バイト伝送ごとにインクリメントします。

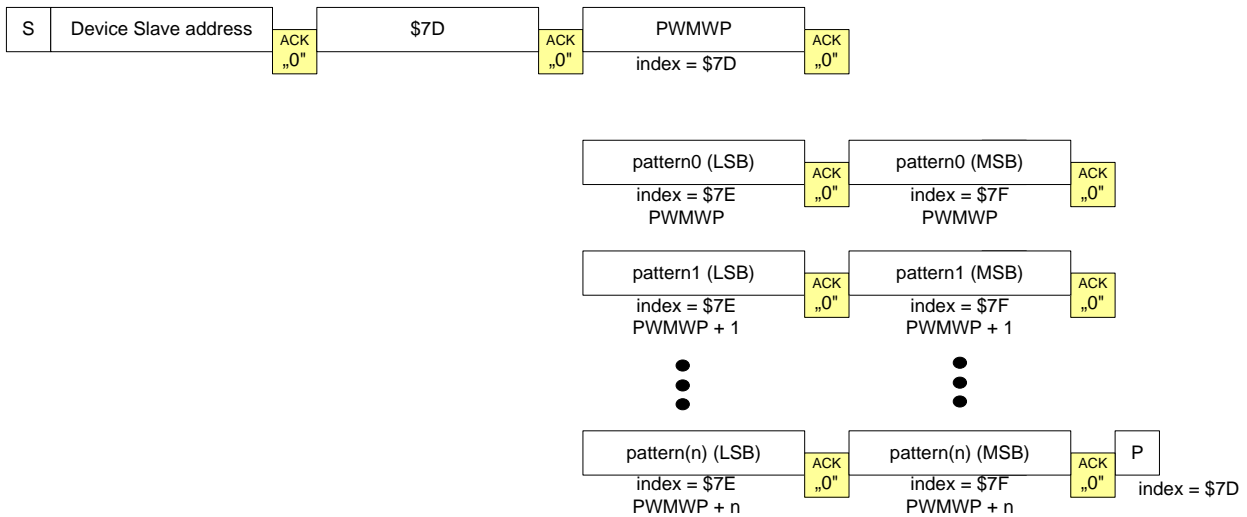


図 8.5 パターンストレージレジスタへのバーストライトアクセス

## 8.8. パターンセット

TC35894FG は、下表に示すタイマのパターンセットがあります。

表 8.1 パターン一覧

Pattern	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
RAMP	0	PS	Step time						Sign	Counter increment (0-127)							
WAIT	0	PS	Step time						0	0	0	0	0	0	0	0	0
SET_PWM	0	1	0	0	0	0	0	0	Value								
RESTART	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
NEW	1	0	1	0	0	0	0	0	0	0	"x"	New pattern index					
LOOP	1	0	1	Loop count (1-63)					1	"x"	Next pattern index						
END	1	1	0	IRQ	RST	"x"											
TRIGGER	1	1	1	Input trigger channel						Output trigger channel						"x"	

注意: "x"は、"don't care"です。

## 8.8.1. RAMP パターン

表 8.2 RAMPパターン

Bits	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
RAMP	0	PS	Step time						Sign	Counter increment (0-127)							

### 機能

PWM デューティサイクルを段階的に増減します。

### パラメータ

PS	0	プリスケラディセーブル
	1	プリスケライネーブル (表 8.1 参照)
Step time		ステップカウンタのロード値。ステップカウンタ終了後、PWMトリガカウンタ値が更新されません。
Sign	0	ステップカウンタ終了時に PWMトリガカウンタをインクリメント
	1	ステップカウンタ終了時に PWMトリガカウンタをデクリメント
Counter increment		ランプパターン終了までに、PWMトリガカウンタのインクリメントまたはデクリメントを何回実行するかを定義します。

### 解説

このパターンにより、PWM 出力のデューティサイクルを段階的に増減することが可能です。

PS ビット (bit 14) はプリスケラ用設定で、0 を設定すると **SYSCLK** を 32 で分周し、1 を設定すると **SYSCLK** を 1024 で分周し、ステップカウンタ用クロックを生成します。

パラメータ "Step time" は、ステップカウンタのカウント数を定義します。ステップカウンタが終了する度に、PWM トリガカウンタは Sign ビットの設定に従って、インクリメントまたはデクリメントされます。

ステップカウンタは、終了するとパラメータ "Step time" で再びロードされます。

"Counter increment" は、ランプパターン終了までにステップカウンタを何回繰り返すかを指定します。

RAMP パターン終了までに要する時間 (Ramp up time) は、次式で表されます。

(方程式 3) PS = 0 の場合:  $RAMP\ up\ time = 32 \times "Step\ time" \times "Counter\ increment" \times T_{SYSCLK}$

(方程式 4) PS = 1 の場合:  $RAMP\ up\ time = 1024 \times "Step\ time" \times "Counter\ increment" \times T_{SYSCLK}$

リセット後、全カウンタ値は 0 になります。

以下に実際の使用例を示します。

- 外部 32.768 kHz クロック入力
- **SYSCLK** 65.536 kHz、PWM 周波数 1024 Hz とします。
- LED の ON (輝度 100%) と OFF (輝度 0%) の間を 32 段階に設定

ランプパターンにより 5 秒で 25%輝度から 75%輝度にランプアップする。

- 32.768 kHz 外部クロックソースから 65.536 kHz SYSCLK を生成するため、レジスタ CLKCFG.CLKFDEN (クロックダブラ) を 1 に設定します。
- TIMLOAD を 31 に設定し、LED の ON (輝度 100%) と OFF (輝度 0%) の間を 32 段階に設定します。
- TIMSCAL は、方程式 (1)より:  $TIMSCAL = 65536 \div (32 \times 1024) - 1 = 1$  とします。
- 25%から 75%へのランプには 16 段階のランプアップが必要ですので、"Counter increment" 値を 16 に設定します。
- ランプアップのため、Sign ビットを 0 に設定します。
- ランプアップに要する時間は 5 秒で、その間に 16 回 PWM トリガカウンタのインクリメントが必要になります。方程式 (4) に従い、次式が成立します。

$$\text{Ramp up time [s]} = 1024 \times \text{"Step time"} \times \text{"Counter increment"} \times T_{\text{SYSCLK}}$$

Ramp up time = 5 [s], Counter increment = 16,  $T_{\text{sysclk}} = 1/65536$  [s] であることから、ステップタイムパラメータは 20 となります。

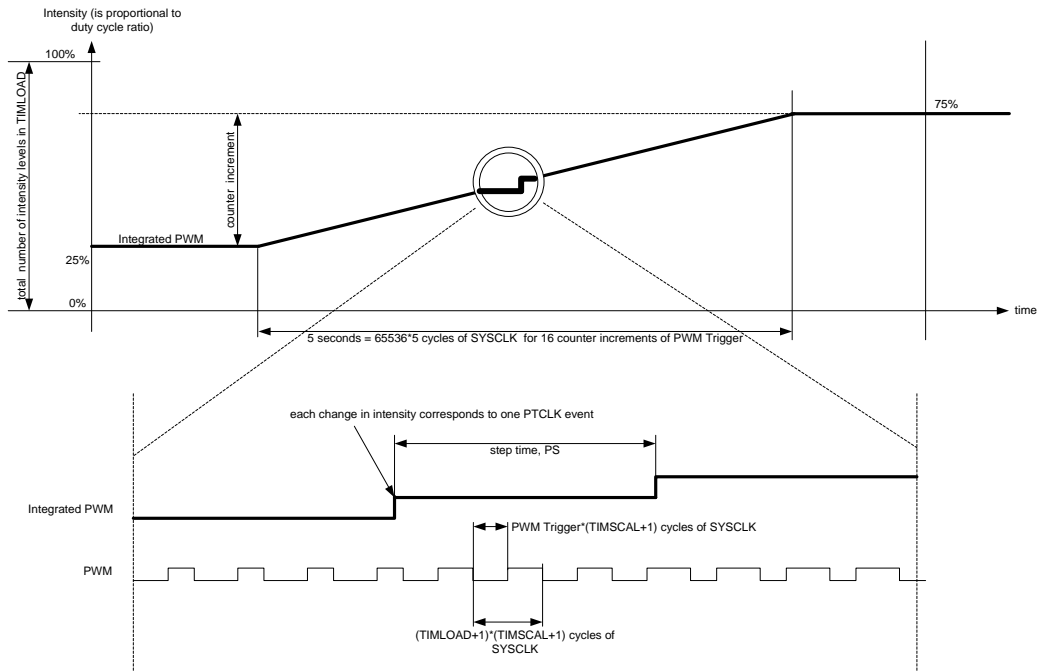


図 8.6 ライト輝度 25%から75%へのランプアップ

8.8.2. WAIT パターン

表 8.3 WAITパターン

Bits	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
WAIT	0	PS	Step-time						0	0	0	0	0	0	0	0	0

機能

定義されたサイクル数のみパターンの生成を一時停止します。

パラメータ

PS           プリスケラ設定  
0 :   プリスケラディセーブル  
1 :   プリスケララインェブル

Step-time   ステップカウンタのロード値、wait 期間を設定

解説

PS 設定がされていない場合には、"32 × Step time" SYSCLK サイクル時間、PS が設定されている場合には、"1024 × Step Time" SYSCLK サイクル時間、パターン生成を停止します。

8.8.3. SET\_PWM パターン

表 8.4 SET\_PWMパターン

Bits	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SET_PWM	0	1	0	0	0	0	0	0	Value							

機能

PWM トリガカウンタを設定し、PWM のデューティサイクルを設定します。

パラメータ

VALUE       PWMトリガカウンタを設定します。SET\_PWM.Value は 0 から TIMLOAD レジスタ値の間で設定してください。

8.8.4. RESTART パターン

表 8.5 RESTARTパターン

Pattern	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESTART	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

機能

パターンストレージレジスタのベースインデックスからパターンを再スタートします。ベースインデックスは、使用中のタイマによって異なります。

- PWM0: ベースインデックスはパターンストレージレジスタの 0 段目に位置します。
- PWM1: ベースインデックスはパターンストレージレジスタの 32 段目に位置します。
- PWM2: ベースインデックスはパターンストレージレジスタの 64 段目に位置します。

## 8.8.5. NEW パターン

表 8.6 NEWパターン

Pattern	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NEW	1	0	1	0	0	0	0	0	0	0	"x"	New pattern index				

注意: "x"は、"don't care"です。

### 機能

"New pattern index"で設定されたパターンインデックスからパターン生成を継続します。

### パラメータ

**New pattern index** 次のパターン生成を開始するパターンインデックスを定義します。パターンインデックスは、使用中のタイマに応じて次式で定義されます。

PWM0: パターン開始位置 = New pattern index 値

PWM1: パターン開始位置 = New pattern index 値 + 32

PWM2: パターン開始位置 = New pattern index 値 + 64

## 8.8.6. LOOP パターン

表 8.7 LOOPパターン

Pattern	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOOP	1	0	1	Loop count (1-63)							1	"x"	Next pattern index			

注意: "x"は、"don't care"です。

### 機能

"Loop Count" 設定した回数、"Next pattern index"で設定された位置のパターンを実行。

### パラメータ

**Loop count** 分岐を行う回数

**Next pattern index** 分岐先アドレス設定値

分岐先アドレス = 現在のパターンレジスタ実行アドレス - Next pattern index 設定値

### 解説

Loop Count 値が 0 の場合、パターンが無限に繰り返されます。

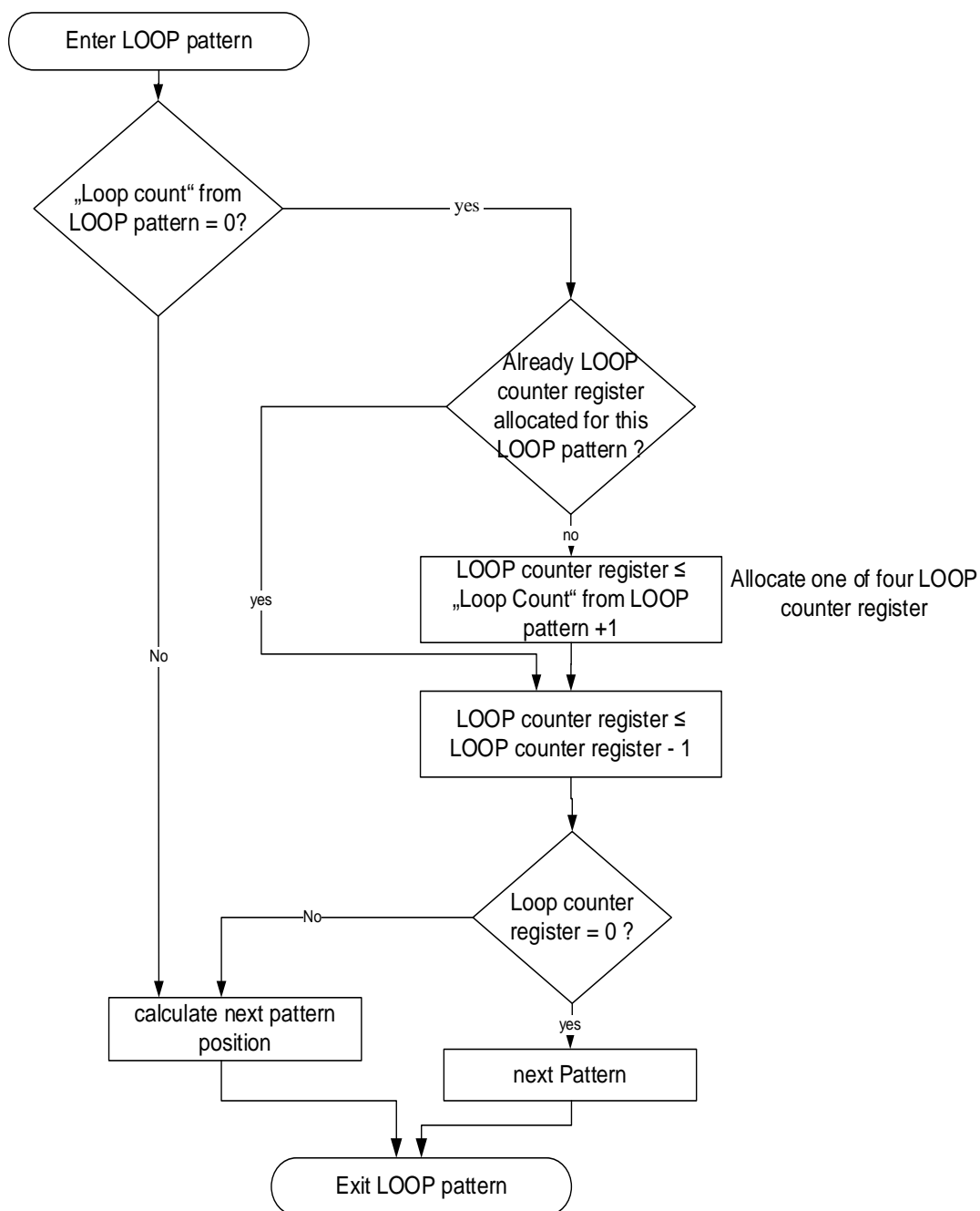


図 8.7 LOOPパターンフロー

## 8.8.7. END パターン

表 8.8 ENDパターン

Pattern	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
END	1	1	0	IRQ	RST	"x"										

注意: "x"は、"don't care"です。

## 機能

パターン生成を定義された方法で停止します。

## パラメータ

RST	ソフトウェアリセット
0	: ソフトウェアリセット発行なし
1	: PWMSWRES レジスタと同様のソフトウェアリセットを発行します。オートスリープモードで動作中の場合、END パターン実行とともに RC 発振器が停止します。
IRQ	割り込みイネーブル
0	: 割り込み発行なし
1	: CDIRQ 割り込みイネーブル時、IRQN 割り込み発行します。

## 8.8.8. TRIGGER パターン

表 8.9 TRIGGERパターン

Pattern	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRIGGER	1	1	1	TriggerIn[5:0]						TriggerOut[5:0]						"x"

注意: "x"は、"don't care"です。

### 機能

トリガイベントを感知するまでパターン生成を一時停止します。他の2つのパターンジェネレータ、または出力端子にトリガイベントを発行します。

### パラメータ

- TriggerIn[5:0]** 入力トリガソースイネーブル  
 0 : 対応するチャンネルからの入力トリガディセーブル  
 1 : 対応するチャンネルからの入力トリガイネーブル
- TriggerOut[5:0]** 出力トリガイネーブル  
 0 : 対応するチャンネルからの出力トリガディセーブル  
 1 : 対応するチャンネルからの出力トリガイネーブル

### 解説

TRIGGER パターンを使用することにより、パターン生成を外部トリガイベントに同期させることが可能です。

入力トリガチャンネルは、TriggerIn[5:0] ビット設定により (bit12 は TriggerIn5、bit7 は TriggerIn0 にそれぞれ対応)、有効/無効の制御を行います。"入力トリガチャンネル" が全て High である場合のみ、パターン生成が継続します。

出力トリガチャンネルは、TriggerOut[5:0] ビット設定により (bit6 は TriggerOut5 ライン、bit1 は TriggerOut0 にそれぞれ対応) 有効/無効の制御を行います。

下図は、3つのタイマのトリガ構成図を示しています。GPIOWAKEIN 信号は、各タイマの TriggerIn5 に接続されています。

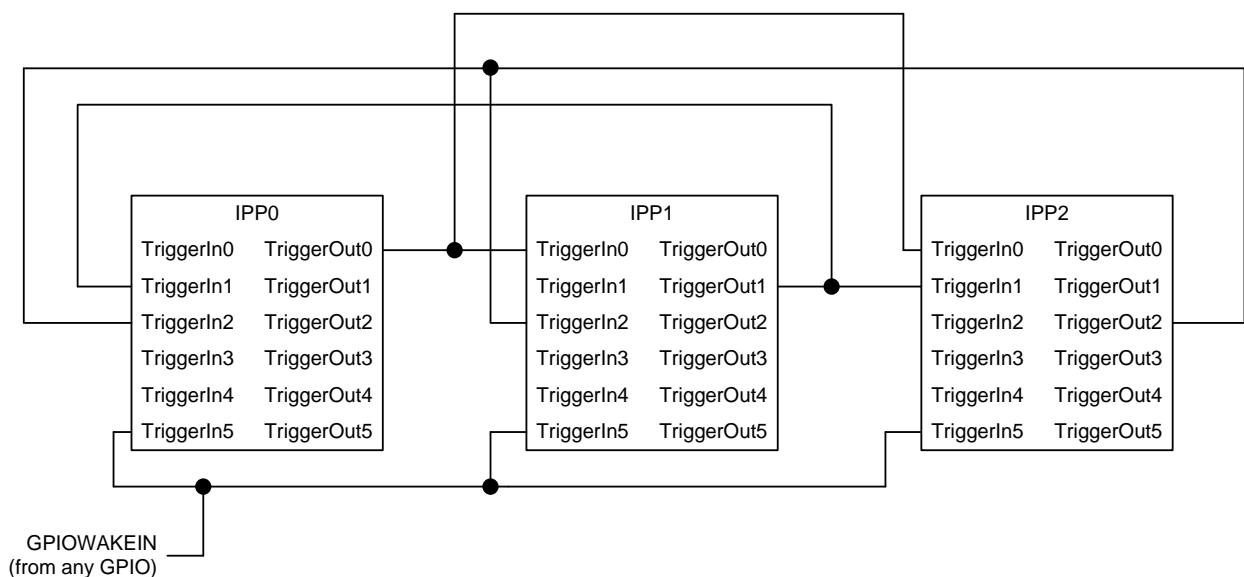


図 8.8 トリガライン構成図

## 9. GPIO

TC35894FG は、最大 24 個の汎用入出力ポートを提供します。I/O の多重化構成に関わらず、全ての汎用入力ポートは、内部で GPIO モジュールに接続されています。GPIO モジュールは、汎用入出力機能だけではなく、最大 26 個のダイレクトキー入力にも対応しています。

### 9.1. GPIO 特長

- 24 個の汎用入力／出力ポート
- 各ポートは、入力ポートまたは出力ポートとして構成可能です。
- エッジ検出割り込みをサポートし、ポジティブエッジ、ネガティブエッジ、または両エッジ検出の選択可能
- レベル検出割り込みをサポートし、High レベル、Low レベル検出の選択可能
- GPIO 割り込みは個々にマスク可能
- レジスタライトアクセス時、ビットマスク可能。
- NMOS または PMOS トランジスタを備えた擬似オープンドレイン出力機能
- レジスタ設定により、各ポートに、プルアップ抵抗またはプルダウン抵抗の割り当て可能
- 消費電力低減のための Gated クロック機能
- リセット後、I/O を全て入力モードに切り替えることで、外部デバイスを保護します。
- 最大 26 個のダイレクトキー接続に対応
- ダイレクトキーイベント保持用 8 段バッファ
- ダイレクトキーイベント発生時に割り込みを生成
- プログラマブルキーデバウンス設定機能

### 9.2. GPIO 動作

この章で記載のレジスタは、全て I<sup>2</sup>C インタフェースを介してアクセス可能です。

#### 9.2.1. GPIO DATA レジスタ

GPIO 出力モードでは、本レジスタに書き込まれたデータが端子へ出力されます。ただし、各 DATA ビットは対応する MASK ビットを 1 に設定する必要があります（図 9.1 参照）。MASK ビットが 0 に設定された場合、DATA ビットへの書き込みは無効となります。

GPIO 入力モードでは、DATA レジスタへのリードアクセスは各 GPIO 入力ラインの値を返します（**GPIO DIR が出力モードの場合、GPIO DATA レジスタのリードは不定となります**）。MASK レジスタへのリードアクセスは 0 を返します。MASK ビット設定はライトアクセスのみに適用されます。GPIO DATA レジスタへのライトアクセスは、DATA バイトと MASK バイトの 2 バイトバースト転送で実行する必要があります。その際、DATA バイトを先に転送してください。

## GPIODATA2 レジスタ (0xC4)

R/W	ITEM	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8
		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
W	MNEMONIC	MASK23	MASK22	MASK21	MASK20	MASK19	MASK18	MASK17	MASK16
		DATA23	DATA22	DATA21	DATA20	DATA19	DATA18	DATA17	DATA16
R/W	Default	0	0	0	0	0	0	0	0
		X	X	X	X	X	X	X	X
	Pin	EXTIO0	PWM2	PWM1	PWM0	KPY11	KPY10	KPY9	KPY8

## GPIODATA1 レジスタ (0xC2)

R/W	ITEM	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8
		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
W	MNEMONIC	MASK15	MASK14	MASK13	MASK12	MASK11	MASK10	MASK9	MASK8
		DATA15	DATA14	DATA13	DATA12	DATA11	DATA10	DATA9	DATA8
R/W	Default	0	0	0	0	0	0	0	0
		X	X	X	X	X	X	X	X
	Pin	KPY7	KPY6	KPY5	KPY4	KPY3	KPY2	KPY1	KPY0

## GPIODATA0 レジスタ (0xC0)

R/W	ITEM	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8
		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
W	MNEMONIC	MASK7	MASK6	MASK5	MASK4	MASK3	MASK2	MASK1	MASK0
		DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0
R/W	Default	0	0	0	0	0	0	0	0
		X	X	X	X	X	X	X	X
	Pin	KPX7	KPX6	KPX5	KPX4	KPX3	KPX2	KPX1	KPX0

MASK23:0 MASK23:0 マスクビット (ライト専用)  
 0 : MASK23:0 ビット書き込みディセーブル  
 1 : MASK23:0 ビット書き込みイネーブル

DATA23:0 Data23:0 (GPIO が選択されるときは EXTIO0、PWM[2:0]、KPY[11:0]、および KPX[7:0])  
 0 : 対応する MASK ビットが"1"の時、"0"を出力  
 1 : 対応する MASK ビットが"1"の時、"1"を出力

**注意:**  
 リード DATA(入力方向)のデフォルト値は、端子の信号レベルに依存します。

## 9.2.2. GPIO DIR レジスタ

DIR レジスタは、GPIO ポートの方向を制御します。リセット後は、GPIO ポートに接続する外部デバイスを保護するため、ポートは全て入力モードになります。

### GPIO DIR2 レジスタ (0xC8)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	DIR23	DIR22	DIR21	DIR20	DIR19	DIR18	DIR17	DIR16
	Default	0	0	0	0	0	0	0	0
	Pin	EXTIO0	PWM2	PWM1	PWM0	KPY11	KPY10	KPY9	KPY8

### GPIO DIR1 レジスタ (0xC7)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	DIR15	DIR14	DIR13	DIR12	DIR11	DIR10	DIR9	DIR8
	Default	0	0	0	0	0	0	0	0
	Pin	KPY7	KPY6	KPY5	KPY4	KPY3	KPY2	KPY1	KPY0

### GPIO DIR0 レジスタ (0xC6)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	DIR7	DIR6	DIR5	DIR4	DIR3	DIR2	DIR1	DIR0
	Default	0	0	0	0	0	0	0	0
	Pin	KPX7	KPX6	KPX5	KPX4	KPX3	KPX2	KPX1	KPX0

DIR23:0     DIR23:0 (EXTIO0、PWM[2:0]、KPX[11:0]と KPX[7:0]) の入出力方向  
 0 : 入力モード  
 1 : 出力モード

## 9.2.3. GPIO IS レジスタ

IS レジスタは、GPIO 割り込み検出モードを制御します。IS ビットに 1 をライトすると、対応する GPIO 入力ポートがレベル検出モードに切り替わります。0 をライトすると、エッジ検出の入力ポートを構成します。

### GPIOIS2 レジスタ (0xCB)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	IS23	IS22	IS21	IS20	IS19	IS18	IS17	IS16
	Default	0	0	0	0	0	0	0	0
	Pin	EXTIO0	PWM2	PWM1	PWM0	KPY11	KPY10	KPY9	KPY8

### GPIOIS1 レジスタ (0xCA)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	IS15	IS14	IS13	IS12	IS11	IS10	IS9	IS8
	Default	0	0	0	0	0	0	0	0
	Pin	KPY7	KPY6	KPY5	KPY4	KPY3	KPY2	KPY1	KPY0

### GPIOIS0 レジスタ (0xC9)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	IS7	IS6	IS5	IS4	IS3	IS2	IS1	IS0
	Default	0	0	0	0	0	0	0	0
	Pin	KPX7	KPX6	KPX5	KPX4	KPX3	KPX2	KPX1	KPX0

IS23:0      IS23:0 (EXTIO0、PWM[2:0]、KPX[11:0]と KPX[7:0]) の割り込み検出ビット  
 0 : エッジ検知割り込み  
 1 : レベル検知

## 9.2.4. GPIO IBE レジスタ

IBE レジスタは、GPIO 割り込み検出モードを制御します。IBE ビットが 1 に設定されると、対応する入力ポートの両エッジを割り込みとして検出します。IBE ビットが 0 に設定されると、割り込みの検出モードは IEV レジスタの設定に従います。

## GPIOIBE2 レジスタ (0xCE)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	IBE23	IBE22	IBE21	IBE20	IBE19	IBE18	IBE17	IBE16
	Default	0	0	0	0	0	0	0	0
	Pin	EXTIO0	PWM2	PWM1	PWM0	KPY11	KPY10	KPY9	KPY8

## GPIOIBE1 レジスタ (0xCD)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	IBE15	IBE14	IBE13	IBE12	IBE11	IBE10	IBE9	IBE8
	Default	0	0	0	0	0	0	0	0
	Pin	KPY7	KPY6	KPY5	KPY4	KPY3	KPY2	KPY1	KPY0

## GPIOIBE0 レジスタ (0xCC)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	IBE7	IBE6	IBE5	IBE4	IBE3	IBE2	IBE1	IBE0
	Default	0	0	0	0	0	0	0	0
	Pin	KPX7	KPX6	KPX5	KPX4	KPX3	KPX2	KPX1	KPX0

IBE23:0 IBE23:0 (EXTIO0、PWM[2:0]、KPX[11:0]とKPX[7:0]) の割り込み検出モード設定  
 0 : IEV レジスタ設定に従って割り込み生成  
 1 : 両エッジで割り込み生成

## 9.2.5. GPIO IEV レジスタ

IEV レジスタは、GPIO 割り込み検出モードを制御します。IEV ビットに 1 が設定されると、対応する GPIO 入力の立ち上がりエッジまたは High レベル検出時、割り込みが生成されます。IEV ビットに 0 が設定されると、GPIO 入力の立ち下がりエッジまたは Low レベル検出時、割り込みが生成されます。本レジスタの初期値は、0x0000 です。

## GPIOIEV2 レジスタ (0xD1)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	IEV23	IEV22	IEV21	IEV20	IEV19	IEV18	IEV17	IEV16
	Default	0	0	0	0	0	0	0	0
	Pin	EXTIO0	PWM2	PWM1	PWM0	KPY11	KPY10	KPY9	KPY8

## GPIOIEV1 レジスタ (0xD0)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	IEV15	IEV14	IEV13	IEV12	IEV11	IEV10	IEV9	IEV8
	Default	0	0	0	0	0	0	0	0
	Pin	KPY7	KPY6	KPY5	KPY4	KPY3	KPY2	KPY1	KPY0

## GPIOIEV0 レジスタ (0xCF)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	IEV7	IEV6	IEV5	IEV4	IEV3	IEV2	IEV1	IEV0
	Default	0	0	0	0	0	0	0	0
	Pin	KPX7	KPX6	KPX5	KPX4	KPX3	KPX2	KPX1	KPX0

IEV23:0 IEV23:0 (EXTIO0、PWM[2:0]、KPY[11:0]とKPX[7:0]) の割り込み検出モード設定  
 0 : 立ち下がりエッジ/Low レベル検出で割り込み生成  
 1 : 立ち上がりエッジ/High レベル検出で割り込み生成

## 9.2.6. GPIO IE レジスタ

IE レジスタは、割り込みイネーブルレジスタです。IE ビットに 1 を設定すると、対応する GPIO 入力ラインの割り込みやウェイクアップイベント生成をイネーブルにします。IE ビットに 0 を設定すると、割り込みやウェイクアップイベント生成をディセーブルにします。リセット後は、割り込みは全てマスクされます。

### GPIOIE2 レジスタ (0xD4)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	IE23	IE22	IE21	IE20	IE19	IE18	IE17	IE16
	Default	0	0	0	0	0	0	0	0
	Pin	EXTIO0	PWM2	PWM1	PWM0	KPY11	KPY10	KPY9	KPY8

### GPIOIE1 レジスタ (0xD3)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	IE15	IE14	IE13	IE12	IE11	IE10	IE9	IE8
	Default	0	0	0	0	0	0	0	0
	Pin	KPY7	KPY6	KPY5	KPY4	KPY3	KPY2	KPY1	KPY0

### GPIOIE0 レジスタ (0xD2)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	IE7	IE6	IE5	IE4	IE3	IE2	IE1	IE0
	Default	0	0	0	0	0	0	0	0
	Pin	KPX7	KPX6	KPX5	KPX4	KPX3	KPX2	KPX1	KPX0

IE23:0 IE23:0 (EXTIO0、PWM[2:0]、KPX[11:0]と KPX[7:0]) の割り込みイネーブル  
 0 : 割り込みディセーブル  
 1 : 割り込みイネーブル

## 9.2.7. GPIO RIS レジスタ（リード専用）

RIS は、割り込みステータスレジスタです。対応する GPIO ラインで割り込みが発生すると、IE レジスタ（割り込みイネーブルレジスタ）の設定に関らず、RIS ビットに 1 が設定されます。外部への割り込み通知を行うには、適宜 IE レジスタ設定を行う必要があります。RIS レジスタは、リセットまたは IC レジスタに 1 をライトすることによりクリアすることが可能です。

### GPIORIS2 レジスタ (0xD8)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R	MNEMONIC	RIS23	RIS22	RIS21	RIS20	RIS19	RIS18	RIS17	RIS16
	Default	0	0	0	0	0	0	0	0
	Pin	EXTIO0	PWM2	PWM1	PWM0	KPY11	KPY10	KPY9	KPY8

### GPIORIS1 レジスタ (0xD7)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R	MNEMONIC	RIS15	RIS14	RIS13	RIS12	RIS11	RIS10	RIS9	RIS8
	Default	0	0	0	0	0	0	0	0
	Pin	KPY7	KPY6	KPY5	KPY4	KPY3	KPY2	KPY1	KPY0

### GPIORIS0 レジスタ (0xD6)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R	MNEMONIC	RIS7	RIS6	RIS5	RIS4	RIS3	RIS2	RIS1	RIS0
	Default	0	0	0	0	0	0	0	0
	Pin	KPX7	KPX6	KPX5	KPX4	KPX3	KPX2	KPX1	KPX0

RIS23:0 RIS23:0 (EXTIO0、PWM[2:0]、KPX[11:0] と KPX[7:0]) の Raw-Interrupt ステータス。割り込みイネーブル (IE) レジスタの設定に依存しません。  
 0 : GPIO 割り込みなし  
 1 : GPIO 割り込み発生

## 9.2.8. GPIO MIS レジスタ

MIS レジスタは、Masked Interrupt Status レジスタです。RIS レジスタの対応するビットに 1 が設定され、かつ IE レジスタの設定により割り込みが有効である場合に、MIS ビットに 1 設定されます。RIS ビットが 0 の場合、この入力ラインに割り込みが発生していないか、または IE レジスタで割り込みがマスクされたことを意味します。MIS レジスタは、リセットまたは IC レジスタに 1 をライトすることにより割り込みをクリアすることが可能です。

## GPIOMIS2 レジスタ (0xDB)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R	MNEMONIC	MIS23	MIS22	MIS21	MIS20	MIS19	MIS18	MIS17	MIS16
	Default	0	0	0	0	0	0	0	0
	Pin	EXTIO0	PWM2	PWM1	PWM0	KPY11	KPY10	KPY9	KPY8

## GPIOMIS1 レジスタ (0xDA)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R	MNEMONIC	MIS15	MIS14	MIS13	MIS12	MIS11	MIS10	MIS9	MIS8
	Default	0	0	0	0	0	0	0	0
	Pin	KPY7	KPY6	KPY5	KPY4	KPY3	KPY2	KPY1	KPY0

## GPIOMIS0 レジスタ (0xD9)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R	MNEMONIC	MIS7	MIS6	MIS5	MIS4	MIS3	MIS2	MIS1	MIS0
	Default	0	0	0	0	0	0	0	0
	Pin	KPX7	KPX6	KPX5	KPX4	KPX3	KPX2	KPX1	KPX0

MIS23:0 MIS23:0 (EXTIO0、PWM[2:0]、KPY[11:0]と KPX[7:0]) の Masked-Interrupt ステータス  
 0 : GPIO 割り込みなし  
 1 : GPIO 割り込み発生

## 9.2.9. GPIO IC レジスタ

IC は、割り込みクリアレジスタです。IC ビットに 1 をライトすると、対応する割り込みがクリアされます。0 をライトした場合は、何の影響もありません。IC レジスタは、ライト専用です。

### GPIOIC2 レジスタ (0xDE)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
W	MNEMONIC	IC23	IC22	IC21	IC20	IC19	IC18	IC17	IC16
	Default	0	0	0	0	0	0	0	0
	Pin	EXTIO0	PWM2	PWM1	PWM0	KPY11	KPY10	KPY9	KPY8

### GPIOIC1 レジスタ (0xDD)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
W	MNEMONIC	IC15	IC14	IC13	IC12	IC11	IC10	IC9	IC8
	Default	0	0	0	0	0	0	0	0
	Pin	KPY7	KPY6	KPY5	KPY4	KPY3	KPY2	KPY1	KPY0

### GPIOIC0 レジスタ (0xDC)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
W	MNEMONIC	IC7	IC6	IC5	IC4	IC3	IC2	IC1	IC0
	Default	0	0	0	0	0	0	0	0
	Pin	KPX7	KPX6	KPX5	KPX4	KPX3	KPX2	KPX1	KPX0

IC23:0 IC23:0 (EXTIO0、PWM[2:0]、KPX[11:0]と KPX[7:0]) の割り込みクリア。  
 0 : 無効 (no effect)  
 1 : 割り込みをクリア

## 9.2.10. GPIO OMS レジスタ

オープンドレインモードレジスタは、擬似オープンドレイン出力バッファを有効にする際に使用します。ODE ビットが 0 に設定されると、ODM ビットは無視され、標準 CMOS 出力バッファが選択されます。ODE ビットが 1 に設定されると、擬似オープンドレインバッファ種別は、ODM ビットで選択されます。リセット後は、標準 CMOS 出力バッファがアクティブとなります。

### GPIOOMS2 レジスタ (0xE4, 0xE5)

R/W	ITEM	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8
		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	ODM23	ODM22	ODM21	ODM20	ODM19	ODM18	ODM17	ODM16
		ODE23	ODE22	ODE21	ODE20	ODE19	ODE18	ODE17	ODE16
	Default	0	0	0	0	0	0	0	0
		0	0	0	0	0	0	0	0
Pin	EXTIO0	PWM2	PWM1	PWM0	KPY11	KPY10	KPY9	KPY8	

### GPIOOMS1 レジスタ (0xE2, 0xE3)

R/W	ITEM	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8
		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	ODM15	ODM14	ODM13	ODM12	ODM11	ODM10	ODM9	ODM8
		ODE15	ODE14	ODE13	ODE12	ODE11	ODE10	ODE9	ODE8
	Default	0	0	0	0	0	0	0	0
		0	0	0	0	0	0	0	0
Pin	KPY7	KPY6	KPY5	KPY4	KPY3	KPY2	KPY1	KPY0	

### GPIOOMS0 レジスタ (0xE0, 0xE1)

R/W	ITEM	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8
		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	ODM7	ODM6	ODM5	ODM4	ODM3	ODM2	ODM1	ODM0
		ODE7	ODE6	ODE5	ODE4	ODE3	ODE2	ODE1	ODE0
	Default	0	0	0	0	0	0	0	0
		0	0	0	0	0	0	0	0
Pin	KPX7	KPX6	KPX5	KPX4	KPX3	KPX2	KPX1	KPX0	

ODM23:0 ODM23:0 (EXTIO0、PWM[2:0]、KPYP[11:0]とKPX[7:0]) のオープンドレインモード選択。  
 0 : 出力値は GND または Hi-Z となります。  
 1 : 出力値は VCC または Hi-Z となります。

ODE23:0 ODE23:0 (EXTIO0、PWM[2:0]、KPYP[11:0]とKPX[7:0]) のオープンドレインモードイネーブル。  
 0 : フルバッファ  
 1 : オープンドレイン機能

## 9.2.11. GPIO WAKE レジスタ

GPIO WAKE レジスタの設定により、GPIO 入力をオートスリープからのウェイクアップ信号として使用することが可能となります。また、タイマモジュールへのトリガ信号としても使用可能です (8.8.8 章参照)。

## GPIOWAKE2 レジスタ (0xEB)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	WAKE23	WAKE22	WAKE21	WAKE20	WAKE19	WAKE18	WAKE17	WAKE16
	Default	0	0	0	0	0	0	0	0
	Pin	EXTIO0	PWM2	PWM1	PWM0	KPY11	KPY10	KPY9	KPY8

## GPIOWAKE1 レジスタ (0xEA)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	WAKE15	WAKE14	WAKE13	WAKE12	WAKE11	WAKE10	WAKE9	WAKE8
	Default	0	0	0	0	0	0	0	0
	Pin	KPY7	KPY6	KPY5	KPY4	KPY3	KPY2	KPY1	KPY0

## GPIOWAKE0 レジスタ (0xE9)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	WAKE7	WAKE6	WAKE5	WAKE4	WAKE3	WAKE2	WAKE1	WAKE0
	Default	0	0	0	0	0	0	0	0
	Pin	KPX7	KPX6	KPX5	KPX4	KPX3	KPX2	KPX1	KPX0

WAKE23:0 オートスリープからのウェイクアップ信号およびタイマモジュールへのトリガ信号の制御を行います。  
"WAKE23" 以外のビットは、各々の端子にのみ対応します。"WAKE23" は、EXTIO0 のみではなく、DIR24 および DIR25 の端子にも対応する "or 設定" になっています。

- 0 : ウェイクアップ信号生成ディセーブル
- 1 : ウェイクアップ信号生成イネーブル

## 9.2.12. ダイレクトキーレジスタ

本レジスタは、GPIO モジュール内でダイレクトキー機能を起動させます。ビットが "1" に設定されると、対応する端子はダイレクトキー入力として使用可能となります。

## DIRECT3 レジスタ (0xEF)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	reserved	reserved	reserved	reserved	reserved	reserved	DIRECT25	DIRECT24
	Default	-	-	-	-	-	-	1	1
	Pin	-	-	-	-	-	-	DIR25	DIR24

## DIRECT2 レジスタ (0xEE)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	DIRECT23	DIRECT22	DIRECT21	DIRECT20	DIRECT19	DIRECT18	DIRECT17	DIRECT16
	Default	1	1	1	1	1	1	1	1
	Pin	EXTIO0	PWM2	PWM1	PWM0	KPY11	KPY10	KPY9	KPY8

## DIRECT1 レジスタ (0xED)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	DIRECT15	DIRECT14	DIRECT13	DIRECT12	DIRECT11	DIRECT10	DIRECT9	DIRECT8
	Default	1	1	1	1	1	1	1	1
	Pin	KPY7	KPY6	KPY5	KPY4	KPY3	KPY2	KPY1	KPY0

## DIRECT0 レジスタ (0xEC)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	DIRECT7	DIRECT6	DIRECT5	DIRECT4	DIRECT3	DIRECT2	DIRECT1	DIRECT0
	Default	1	1	1	1	1	1	1	1
	Pin	KPX7	KPX6	KPX5	KPX4	KPX3	KPX2	KPX1	KPX0

DIRECT23:0 本レジスタの設定は何よりも優先されます。IOCFG レジスタにより端子に他の機能を割り当てる場合は、このビットを'0'にクリアしておく必要があります。

- 0 : 対応する端子を汎用入力または出力機能として使用
- 1 : 対応する端子をダイレクトキーパッド機能として使用

## 9.2.13. ダイレクトキーイベントコードレジスタ

ダイレクトキー入力で検知されたイベントコードは、8バイトの内部イベントバッファに格納されます。イベントバッファはFIFOとして構成され、レジスタ DEVTCODE からリード可能です。

本レジスタのリード値は、FIFO が空で全てのキーがリリース状態であれば 0x3F、FIFO が空でいずれかのキーが押下状態である場合は、0x1F となります。

### DEVTCODE レジスタ (0xE6)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R	MNEMONIC	Reserved	Reserved	DKEYSTAT	DKEY CODE4	DKEY CODE3	DKEY CODE2	DKEY CODE1	DKEY CODE0
	Default	0	0	1	1	1	1	1	1

DKEYSTAT キーボードイベントがキー押下なのかキーリリースなのかを示します。

0 : キー押下

1 : キーリリース

DKEYCODE4:0 ダイレクトキーイベントコード

0x01: KPX0 端子でイベント発生

0x02: KPX1 端子でイベント発生

...

0x19: DIR24 端子でイベント発生

0x1A: DIR25 端子でイベント発生

0x1F: イベントバッファが空

## 9.2.14. 入力デバウンスレジスタ

ダイレクトキー機能使用時は、デバウンス機能は自動的にイネーブルとなります。また、SYNC ビットに 1 が設定された場合は、GPIO 機能使用時もデバウンス機能がイネーブルとなります。

### DBOUNCE レジスタ (0xE8)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	Reserved	Reserved	SYNC	DBOUNCE4	DBOUNCE3	DBOUNCE2	DBOUNCE1	DBOUNCE0
	Default	0	0	0	0	0	1	1	0

DBOUNCE4:0 入力に対するデバウンス時間

デバウンス時間 = 128\*DBOUNCE[4:0]/fsysclk

SYNC 汎用入力使用時、デバウンス機能のイネーブル制御を行います。

0 : 汎用入力使用時、Debounce 機能ディセーブル

1 : 汎用入力使用時、Debounce 機能をイネーブル

## 9.2.15. ダイレクトキーRaw Interrupt Status レジスタ

DKBDRIS は、ダイレクトキーの Raw Interrupt Status レジスタです。

### DKBDRIS レジスタ (0xF0)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R	MNEMONIC	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	DRELINT	DREVTINT
	Default	0	0	0	0	0	0	0	0

**DRELINT** イベントロスト割り込み  
本ビットは DEVTIC にライトアクセスを行うことでクリアされます。  
0 : 割り込み無し  
1 : 8 個を超えるダイレクトキーイベントが検出され、イベントバッファオーバーフローが発生

**DREVTINT** ダイレクトキーイベント割り込み  
バッファが空になるまで DEVTCODE をリードすると、本割り込みは自動的にクリアされます。  
0 : 割り込み無し  
1 : 1 つ以上のダイレクトキーイベントがバッファに格納されている状態

## 9.2.16. ダイレクトキーMasked 割り込みレジスタ

DKBDMIS レジスタは、Masked Interrupt ステータスを示します。DKBDMSK の対応するビットが 0 の時、Raw Interrupt ステータス (DKBDRIS) の値は、DKBDMIS にコピーされます。IRQN が使用可能な場合、DKBDMIS レジスタのいずれかのビットに 1 が設定されると外部 IRQN 割り込みが発生します。

### DKBDMIS レジスタ (0xF1)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R	MNEMONIC	-	-	-	-	-	-	DMELINT	DMEVTINT
	Default	*	*	*	*	*	*	0	0

**DMELINT** Masked イベントロスト割り込み  
0 : 割り込み無し  
1 : 8 個を超えるダイレクトキーイベントが検出され、イベントバッファオーバーフローが発生

**DMEVTINT** Masked ダイレクトキーイベント割り込み  
0 : 割り込み無し  
1 : 1 つ以上のダイレクトキーイベントがバッファに格納されている

## 9.2.17. ダイレクトキー割り込みクリアレジスタ（ライト専用）

DKBDIC レジスタは、ダイレクトキー割り込みのクリア制御を行います。

### DKBDIC レジスタ (0xF2)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
W	MNEMONIC	-	-	-	-	-	-	-	DEVTIC
	Default	*	*	*	*	*	*	*	0

DEVTIC 本レジスタに "1" をライトすると、イベントバッファおよび割り込み (DREVTINT と DRELINT) がクリアされます。

0 : 無効 (no effect)

1 : イベントバッファおよびダイレクトキー割り込みをクリアする。

## 9.2.18. ダイレクトキーマスクレジスタ

DKBDMSK レジスタは、ダイレクトキー割り込みのマスク制御を行います。

### DKBDMSK レジスタ (0xF3)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	-	-	-	-	-	-	DMSK ELINT	DMSK EINT
	Default	*	*	*	*	*	*	0	0

DMSKELINT イベントロスト割り込み (DMELINT) イネーブル

0 : キーボードイベントロスト割り込みイネーブル

1 : キーボードイベントロスト割り込みディセーブル

DMSKEINT イベント割り込み (DMEVTINT) イネーブル

0 : キーボードイベント割り込みイネーブル

1 : キーボードイベント割り込みディセーブル

9.3. ダイレクトキー機能使用時の初期化フロー

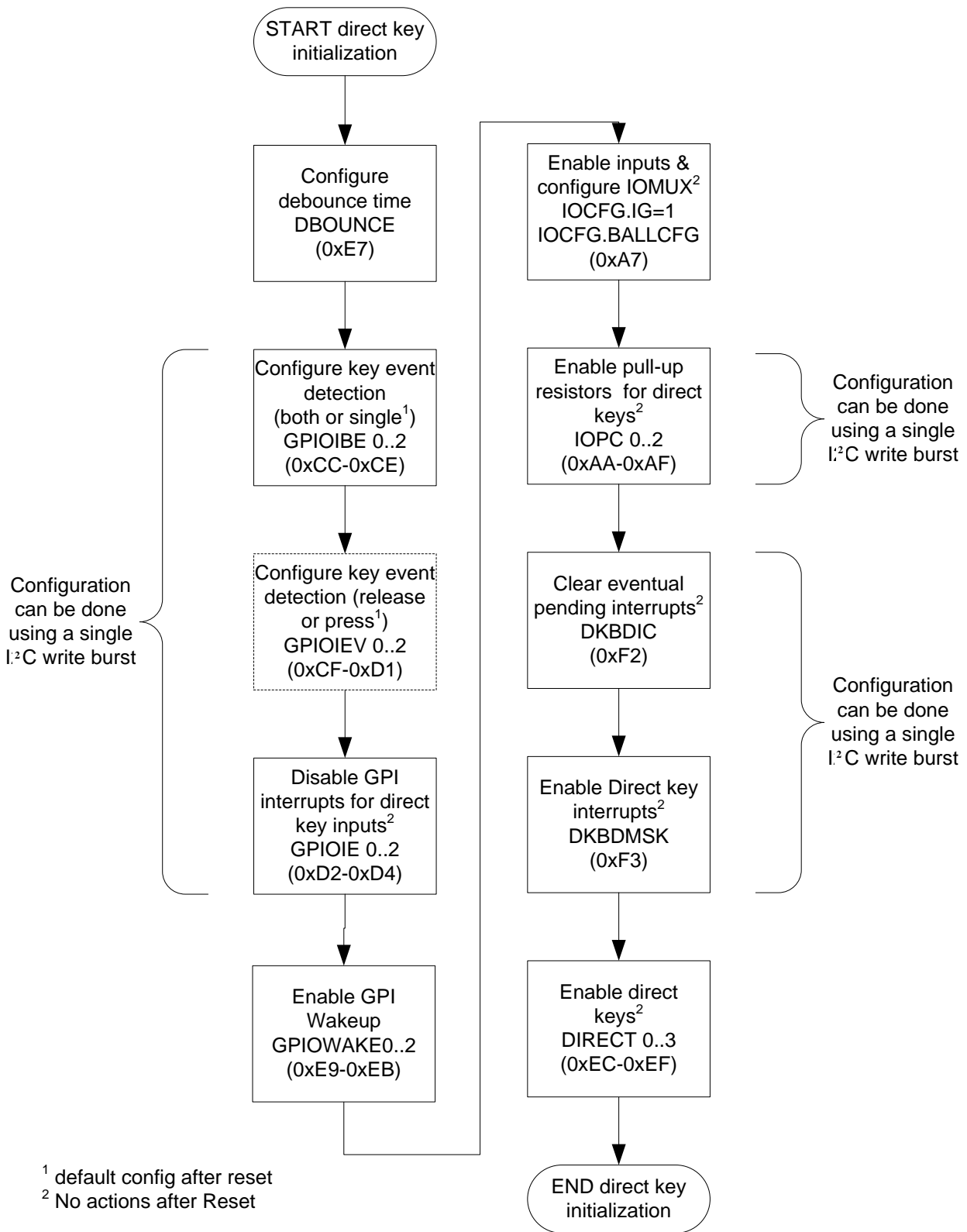


図 9.1 ダイレクトキーボードの初期化フロー

### 9.4. 割り込み検知ブロック

本ブロックは GPIO 入力をモニタすることにより、マスク可能な同期または非同期割り込みを生成します。

割り込み検出はレベル検知、またはエッジ検知を選択可能です。

さらに、ソフトウェアによる割り込みマスク機能もあります。割り込みは、ソフトウェアリセットまたは、"IC" レジスタを介してクリアすることが可能です。

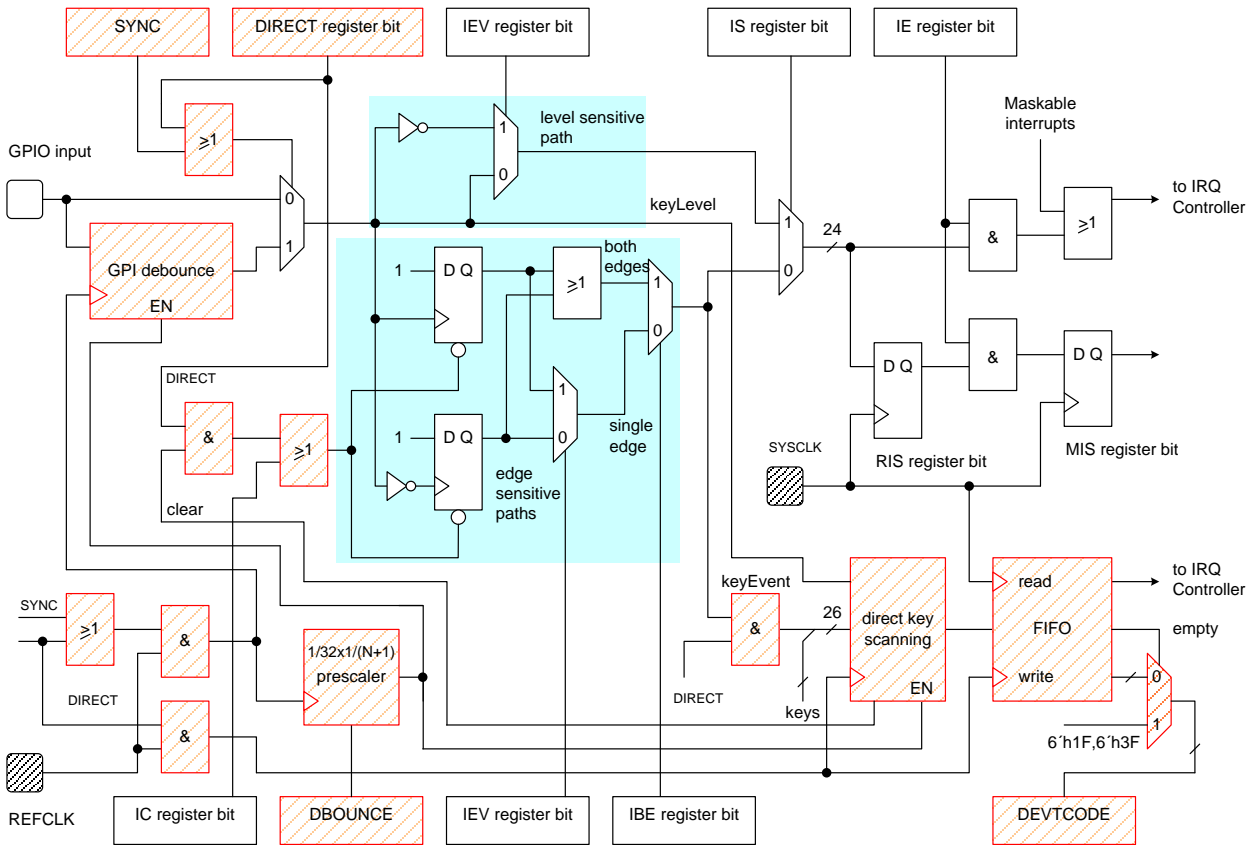


図 9.2 割り込み検知ブロック構成図

## 9.5. トリガ機能

GPIO モジュールは、TRIGGER パターンへの入力信号（8.8.8.参照）やオートスリープからのウェイクアップ信号を生成します。

トリガ信号の最小パルス幅は、タイマモジュールで検出可能となるように、SYSCLK の1周期以上が必要です。ウェイクアップ信号生成回路を図 9.3 に示します。

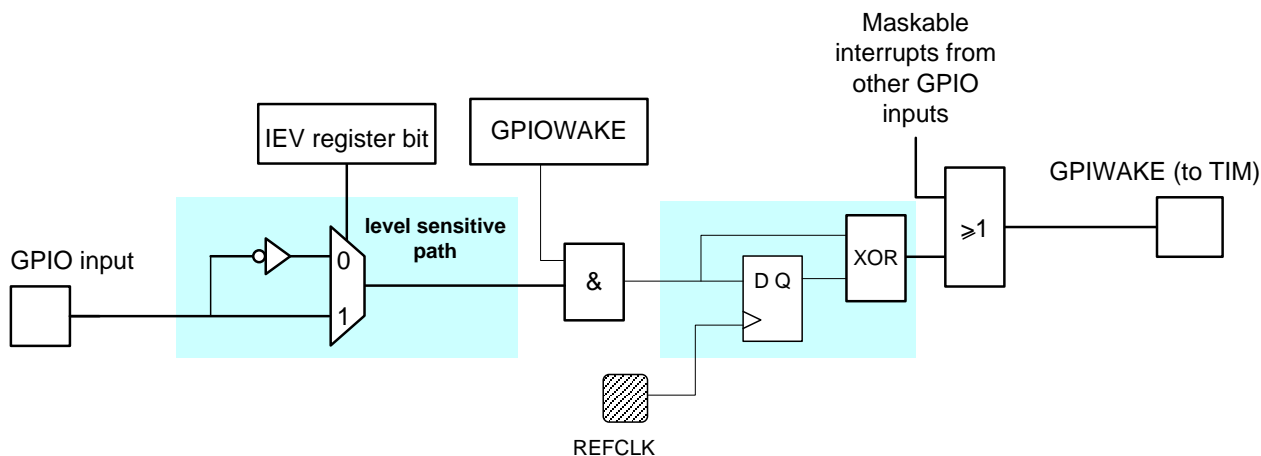


図 9.3 ウェイクアップ信号生成回路

## 9.6. GPIO コントロールブロックとモードコントロール機能

GPIO コントロールブロックは、GPIO ポートの入出力制御を行います。出力モードは 3 種類あり、標準 CMOS バッファ出力に加えて、擬似オープンドレインモード動作が可能です。擬似オープンドレイン出力は、レジスタ設定により PMOS または NMOS トランジスタなしの選択が可能です。また、本コントロールブロックは、レジスタ設定によりプルアップまたはプルダウン抵抗を各ポートに個別に接続することが可能です。外部デバイスを保護するため、リセット後の GPIO は全て入力方向となります

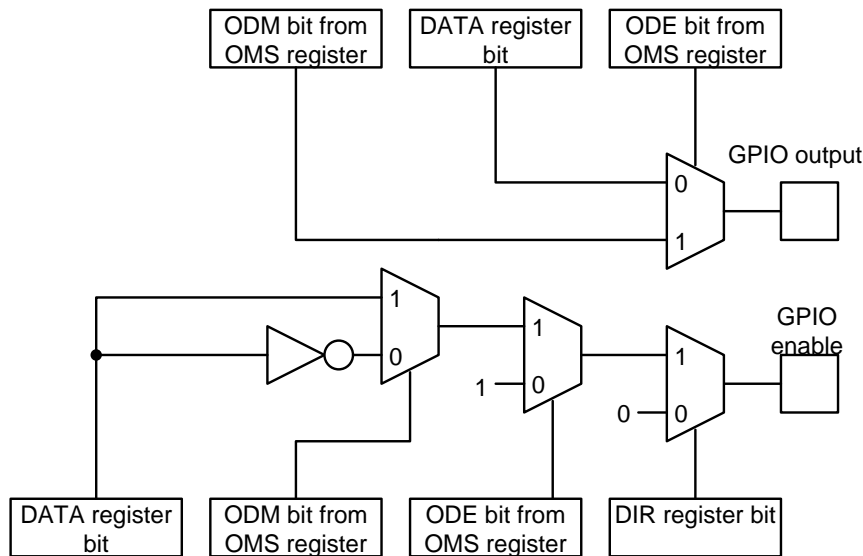


図 9.4 GPIO出力データ構成回路

### 注意:

ソフトウェアリセットは、各ポートのプルアップまたはプルダウン抵抗の構成も初期状態にリセットするので、システム設計者はリセット後の GPIO の論理レベルが外部コンポーネントに損害を与えないことを確認してください。

## 9.7. GPIO モジュール動作

### 9.7.1. GPIO 機能設定 推奨シーケンス

汎用入力または出力機能を使用する際に推奨する初期化シーケンスを以下に示します。

- DIRECT レジスタでダイレクトキー特性をディセーブルにする。
- DEBOUNCE.SYNC ビットをプログラムし、所望のデバウンス値を設定する。
- IBE レジスタにより、エッジ検出モードを設定する。
- 単一エッジ検出が選択されている場合、IEV を設定する。
- IS レジスタにより、エッジトリガを選択する。
- 0xFF を IC レジスタにライトして割り込みを全てクリアする。
- IE レジスタを設定し、割り込みをイネーブルにする。
- WAKE レジスタを設定して、自動ウェイクアップ機能を有効にする。
- GPIO 構成に応じて、DATA レジスタをリードまたはライトする。

### 9.7.2. ダイレクトキー機能設定 推奨構成シーケンス

以下にダイレクトキー機能を使用する際に推奨する初期化シーケンスを示します。

- DEBOUNCE レジスタで所望のデバウンス値をプログラムする。
- IBE レジスタにより、割り込み検出モードを設定する（単一（押下またはリリース）または両エッジ（押下とリリース））。
- 単一エッジ検出モードが選択された場合、IEV レジスタを設定する。
- 0xFF を IC レジスタにライトすることで全ての割り込みをクリアする（ペンディング中の割り込みがある場合）。
- GPIO 割り込みとの重複を避けるため、IE レジスタをディセーブルにする。
- WAKE レジスタをプログラムすることで、自動ウェイクアップ機能をイネーブルにする。
- DIRECT レジスタを構成することで、ダイレクトキー機能をイネーブルにする。

### 9.7.3. I/O ライン制御

GPIO モジュールは、24 個の入出力ラインを制御します。GPIO 出力モード時は、DATA レジスタの値が出力値となります。DATA レジスタへのライトアクセス時、上位ハーフワードでマスク設定されていないビットのみ、下位ハーフワードの値が更新されます。GPIO 入力モード時は、DATA レジスタのリード値は GPIO 入力値を返します。

各 GPIO ラインの入出力方向は、DIR0、DIR1、DIR2 レジスタで設定されます。

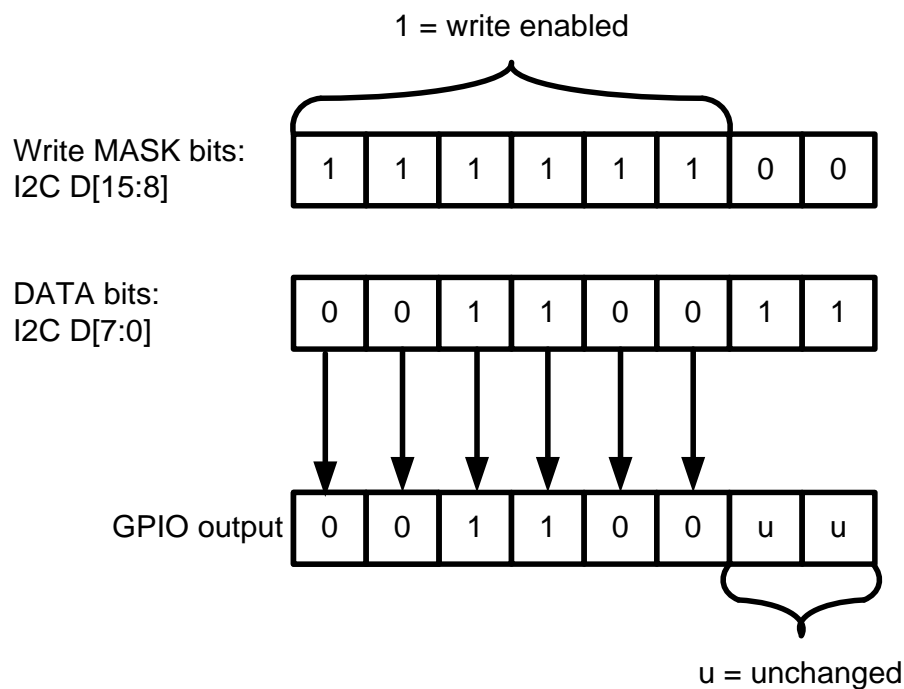


図 9.5 GPIO DATAレジスタのビットマスク構造

## 9.7.4. 割り込み動作

GPIO モジュールの割り込み動作は、レジスタセットでプログラム可能です。このレジスタ設定によって、入力信号のレベルまたはエッジで割り込み検出が可能です。エッジは立ち上がりエッジ、立ち下がりエッジ、または両エッジから選択可能であり、レベルは **Low** または **High** の選択が可能です。割り込みは全てマスク可能です。マスクされていない割り込みが 1 つでもアクティブであれば、GPIO モジュールは、ウェイクアップ信号や割り込み信号をアサートします。エッジ検出割り込みでは、割り込み検出開始前にソフトウェアが割り込みをクリアする必要があります。

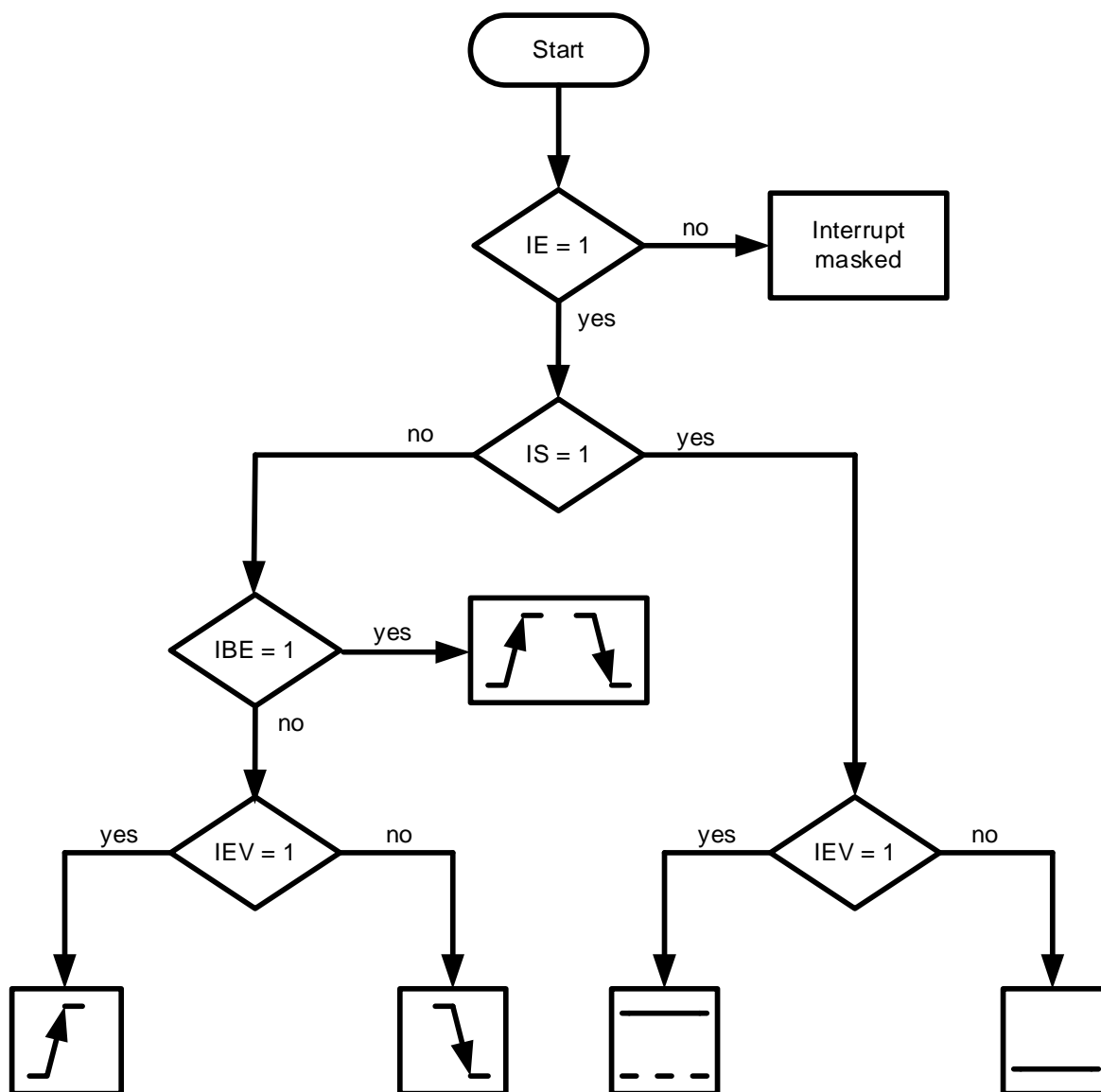


図 9.6 割り込み検知の構成フロー

## 9.7.5. GPIO モード制御

GPIO ポートは、レジスタの設定により、いくつかのモードで動作可能です。出力バッファは、標準 CMOS 出力または擬似オープンドレイン出力バッファとして構成することが可能です。図 9.7、表 9.1 および表 9.2 に GPIOOMS レジスタの設定と出力値の関係を示します。

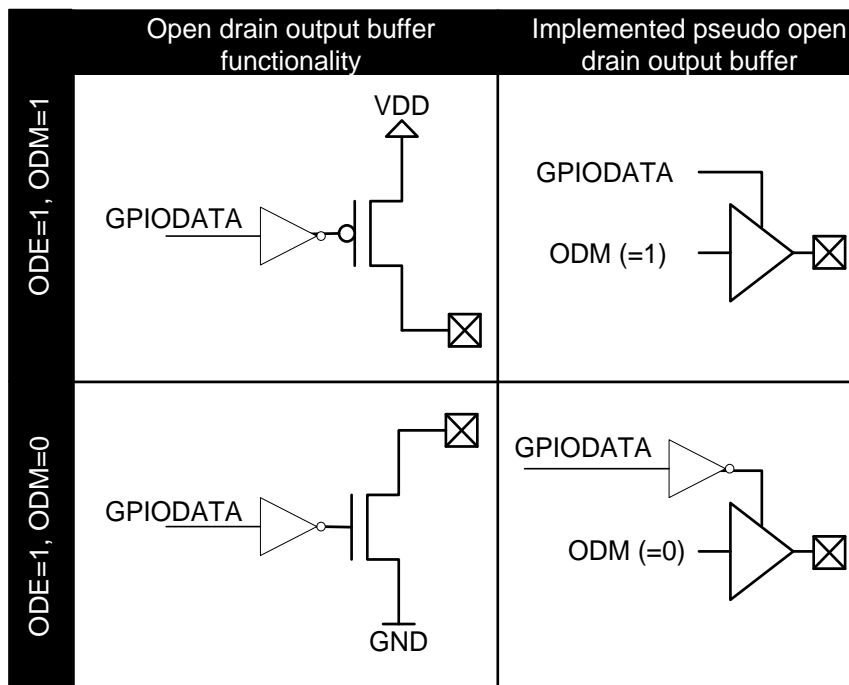


図 9.7 オープンドレイン回路と擬似オープンドレイン回路図

表 9.1 NMOS抵抗なしの擬似オープンドレイン出力 (ODM bit = 1の時)

GPIODATA	GPIO ポート
0	Z
1	1

表 9.2 PMOS抵抗なしの擬似オープンドレイン出力 (ODM bit = 0の時)

GPIODATA	GPIO ポート
0	0
1	Z

## 10. KBD (キーボード)

キーボードモジュールは、外部接続のキーボード（キーボードマトリクスまたは専用キー）へのインタフェースです。キーボードモジュールの特長は、以下のとおりです。

- 最大 8 行 × 12 列と 8 個の特殊ファンクションキーをキーボードマトリクスとして構成可能
- 最大 16 個の専用キーを構成可能
- 最大 4 キーの同時押下検出に対応
- 8 個のキーイベントを格納するイベントバッファを実装
- ホストへの割り込み生成が可能
- キーデバウンス機能を実装し、レジスタ設定によりタイミング調節可能
- キー構成オプションにより、さまざまなキーボードレイアウトを構成可能
- FIFO 構成のイベントバッファにより、容易にキーコード読み出しが可能

### 10.1. キーボードレイアウト

外部キーボードのレイアウトは、フレキシブルに構成可能です。レジスタ設定により、最小 2 行 x2 列、最大 8 行 x12 列のキーマトリクスを構成可能です。

マトリクス行は、KPX [7:0] に接続され、マトリクス列は、KPY [11:0] に接続されます。KPX、KPY ラインは、GPIO ラインと機能多重化されています。

マトリクスキーとして使用していない KPX、KPY ラインは専用キーとして使用可能です。専用キーは、マトリクスキーと同様にデバウンス可能です。

専用キーの割り当ては、次の優先順序に従って行ってください。

1. マトリクス未使用行のうち、行インデックスの小さい行から割り当てる。
2. マトリクス未使用列のうち、列インデックスの小さい列から割り当てる。

GPIO ラインのうち、キーボードマトリクスまたは専用キーのどちらにも使用されないラインは、標準 GPIO ラインです。

図 10.1 に専用キーを使用したキーボードレイアウト例を示します（5 行 × 6 列のマトリクスと 4 個の専用キー）。上記のルールに従い、KPX [7:5] と KPY6 に専用キーが接続されます。また、2 個の"特殊ファンクション"キーは、行 KPX0 と KPY1 ラインに接続されています。各入力ラインのプルアップ設定は、IOPC0、IOPC1 および IOPC2 レジスタにより行う必要があります。

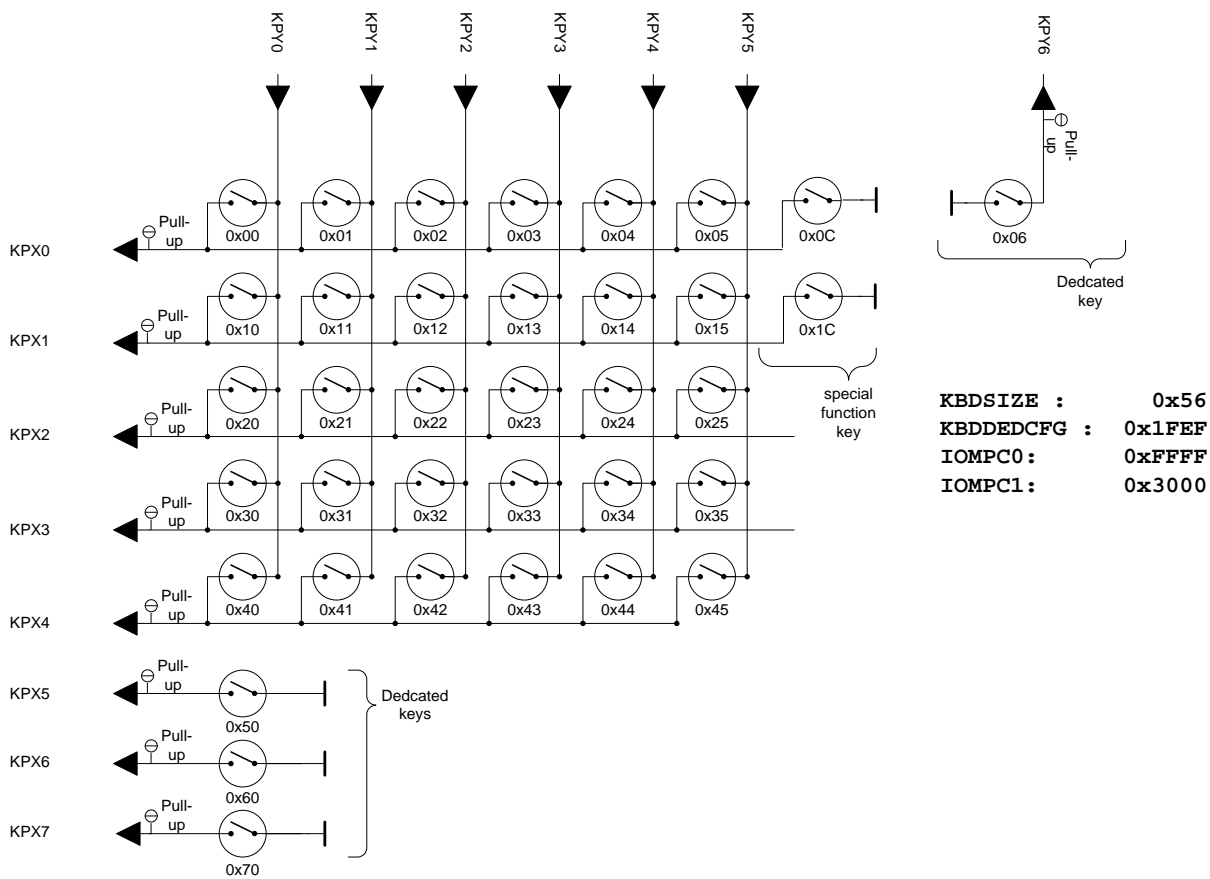


図 10.1 キーパッドレイアウト例

## 10.2. キーボードスキャン

キーボードスキャンは、キーボードマトリクス、専用キーおよび特殊ファンクションキーのイベント検知のため実行されます。キーマトリクスの列は、全て **0** ドライブされ、行入力は全てプルアップされています。この状態をキーボード **IDLE** 状態と称します。マトリクスのいずれかのキーが押下されると、対応するマトリクスの行入力がプルダウンします。

専用キーが押下された場合は、対応する専用キー入力がプルダウンします。いずれの場合も、キーボード **IDLE** 状態が解除され、スキャン処理が開始されます。

スキャン処理では、押下されたキーの行列インデックスを特定します。まず、列を全て **High** インピーダンスにドライブした状態で行入力をサンプリングし、"特殊ファンクション"キーの検出を行います。"特殊ファンクション"キーが押下されると、対応する行が恒久的にグラウンド接続されます。そして、マトリクススキャン処理は、その特定の行での標準マトリクスキー押下の検出ができなくなります。したがって、スキャン処理では、同じ行のそれらのキーのキースキャンを"特殊ファンクション"キーを押下したままスキップします。また、"特殊ファンクション"キーの場合、列インデックスは、常に **12** となります。

特殊ファンクションキーに続き、キーマトリクスがスキャンされます。**KPY [0]**から開始して、各列は **1 SYSCLK** サイクルで連続的にグラウンドに接続され、再び **High** インピーダンスへとリリースされます。各サイクルでマトリクスの行入力がサンプリングされ、押下されたキーの行列インデックスを特定します。

押下されたキーの行列インデックスは、行入力が **Low** ドライブされたときに検出されます。列インデックスは、現在 "**L**"ドライブ中の列です。行インデックスは、"**L**"入力を検出する行です。

専用キーをスキャンする必要はありません。キー押下発生時、対応する入力ラインが"**L**"となり、押下検出されます。**KPX** 入力に接続された専用キーの列インデックスは **0** です。**KPY** 入力に接続された専用キーの行インデックスは **0** です。

## 10.3. キーボードデバウンス

キーイベント検知後、キースキャン開始までのタイミングは、**KBDSETTLE** レジスタにより調節可能です。

これにより、物理的接触が安定するまでキースキャンの開始を遅延させることが可能です。

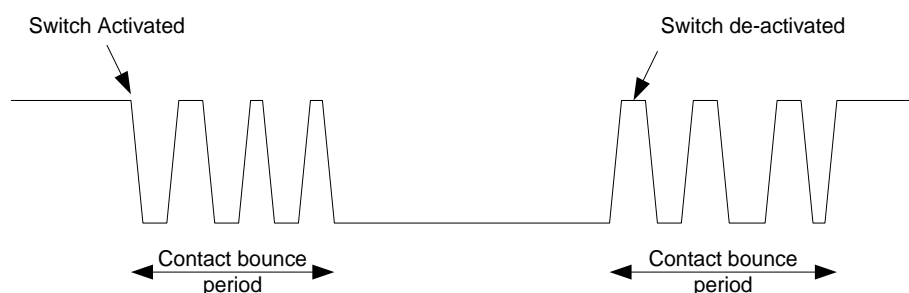


図 10.2 キーボードデバウンス

## 10.4. 多重キー押下検出

キーボードインタフェースは、多重キー押下の検出が可能です。

- キーボードマトリクス内で2つ以上のキー押下
- 4つの専用キー押下

キーマトリクスにおける2つ以上の多重キー押下検出は、"ゴーストキー"が発生しない場合のみ可能です。ゴーストキーの例を図 10.3 に示します。矩形三角形を構成する3つのキー（[KPX0,KPY0], [KPX0,KPY2], [KPX3,KPY2]）が押下されると、この3つのキーと合わせて長方形を構成する位置にある[KPX3,KPY0]は、押下されたものとして検出されます。

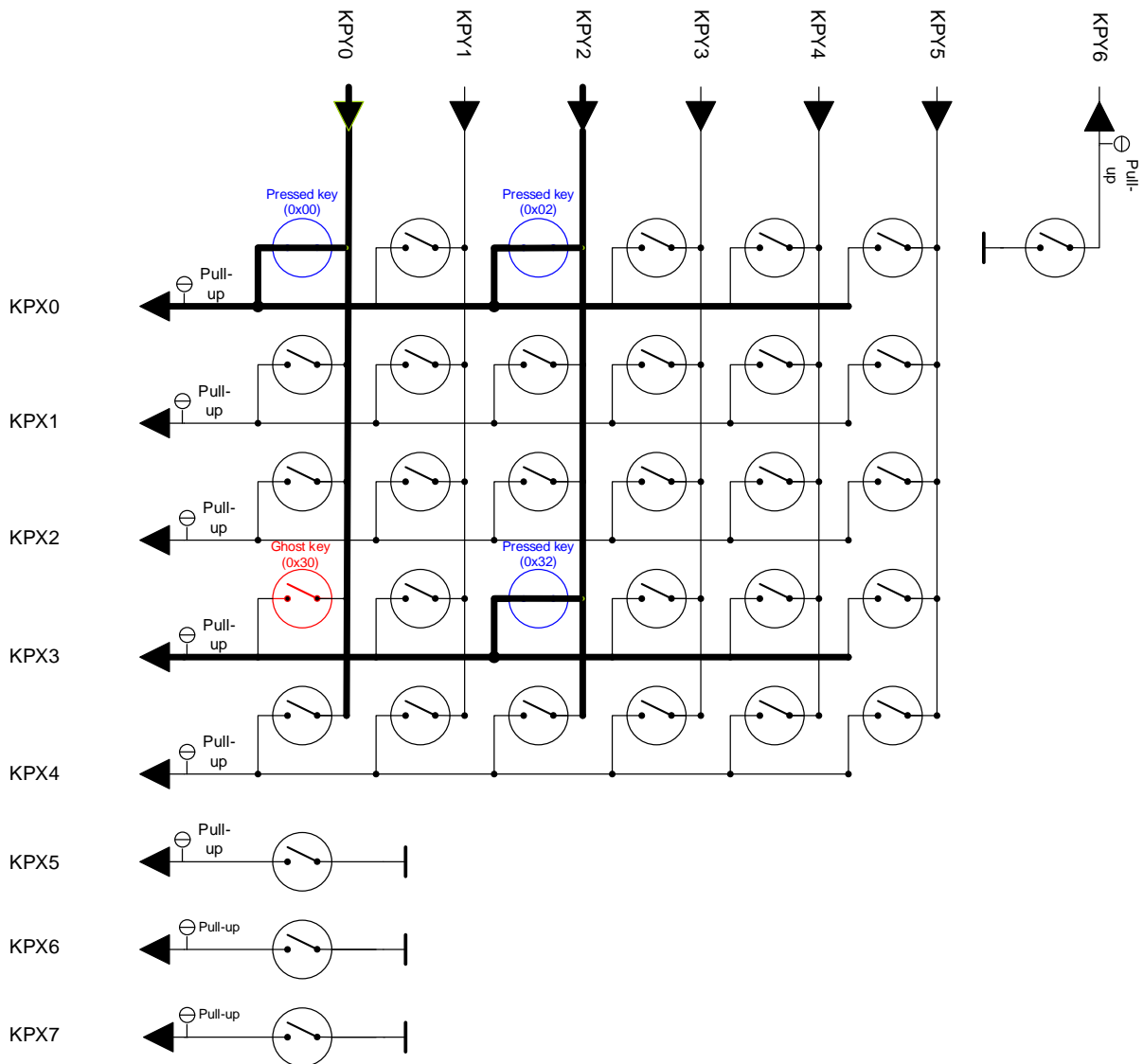


図 10.3 ゴーストキー生成

## 10.5. キーパッドのソフトウェアインタフェース

キーボードモジュールのセットアップには、レジスタ KBDSETTLE、KBDBOUNCE、KBDSIZE、KBDDEDCFGを使用します。また、全てのキーボード入力のプルアップのため、レジスタ IOPCを設定する必要があります。

キーコードをリードするには、2つの方式があります。

- a. イベント FIFO (EVTCODE レジスタ) からリード (推奨)
- b. キーコードレジスタ (KBDCODE0 から KBDCODE3) からリード

### 10.5.1. 初期 Wait 期間のセットアップ

キーマトリクスでイベントが検出されると、キーボードスキャンが開始されます。本レジスタは、イベント検出後、最初のキースキャンを開始するまでのウェイト時間を定義します。

#### KBDSETTLE レジスタ (0x01)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	WAIT07	WAIT06	WAIT05	WAIT04	WAIT03	WAIT02	WAIT01	WAIT00
	Default	1	0	1	0	0	0	1	1

WAIT0\_7:0 キースキャン開始前、キーが安定するまでの初期 wait 時間 (Twait)。Twait は次式で計算されます:

$$Twait = 4 * N / fsysclk$$

- 0xFF : N = 255 (fsysclk = 64 kHz の時、Twait = 15.9 ms)
- 0xA3 : N = 163 (fsysclk = 64 kHz の時、Twait = 9.68 ms)**
- 0x7F : N = 127 (fsysclk = 64 kHz の時、Twait = 7.8 ms)
- 0x52 : N = 82 (fsysclk = 64 kHz の時、Twait = 5.0 ms)
- 0x40 : N = 64 (fsysclk = 64 kHz の時、Twait = 3.9 ms)
- 0x00 : N = 0 (fsysclk = 64 kHz の時、Twait = 0 ms)

### 10.5.2. デバウンスのセットアップ

KBDBOUNCE レジスタは、デバウンス時間を設定します。最初のキーボードスキャン後、レジスタ KBDBOUNCE で定義した間隔後、次のスキャンが開始されます。キーボードスキャンは、同じコードが 2 回続けて検出されると終了します。

#### KBDBOUNCE レジスタ (0x02)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	BOUNCE TIM7	BOUNCE TIM6	BOUNCE TIM5	BOUNCE TIM4	BOUNCE TIM3	BOUNCE TIM2	BOUNCE TIM1	BOUNCE TIM0
	Default	1	0	1	0	0	0	1	1

BOUNCETIM キーボードスキャン間隔 (Tdebounce) の設定。Tdebounce は次式で計算されます:  
7:0  $Tdebounce = 4 * N / fsysclk$

- 0xFF : N = 255 (fsysclk = 64 kHz の時、Tdebounce = 15.9 ms)
- 0xA3 : N = 163 (fsysclk = 64 kHz の時、Tdebounce = 9.68 ms)**
- 0x7F : N = 127 (fsysclk = 64 kHz の時、Tdebounce = 7.8 ms)
- 0x52 : N = 82 (fsysclk = 64 kHz の時、Tdebounce = 5.0 ms)
- 0x40 : N = 64 (fsysclk = 64 kHz の時、Tdebounce = 3.9 ms)
- 0x00 : N = 0 (fsysclk = 64 kHz の時、Tdebounce = 0 ms)

### 10.5.3. キーボードマトリクス of セットアップ

キーボードマトリクスのレイアウトは、KBDSIZE レジスタで設定されます。  
図 10.1 に示すレイアウト例の場合、本レジスタの設定値は、0x56 になります。

#### KBDSIZE レジスタ (0x03)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	ROWSIZE3	ROWSIZE2	ROWSIZE1	ROWSIZE0	COLSIZE3	COLSIZE2	COLSIZE1	COLSIZE0
	Default	0	0	0	0	0	0	0	0

ROWSIZE3:0 キーボードマトリクスの行数。2~8。  
0x0 : キーボードマトリクスを使用しない  
0x1 : 禁止  
0x2  
| 行数  
0x8

COLSIZE3:0 キーボードマトリクスの列数。2~12。  
0x0 : キーボードマトリクスを使用しない  
0x1 : 禁止  
0x2  
| 列数  
0xC

### 10.5.4. 専用キー of セットアップ

KBDEDCFG レジスタは、専用キーの構成を設定します。GPIO が出力としても使用可能なのに対し、専用キーは入力にのみ使用可能です。また、専用キー入力はデバウンスされキーコードを生成するという点で、GPIO と異なります。図 10.1 に示すレイアウト例では、本レジスタは 0x1FEF に設定します。

#### KBDEDCFG レジスタ (0x04)

R/W	ITEM	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8
		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	ROW7	ROW6	ROW5	ROW4	ROW3	ROW2	COL11	COL10
		COL9	COL8	COL7	COL6	COL5	COL4	COL3	COL2
	Default	1	1	1	1	1	1	1	1

ROW7:2 ROW [7:2] の各ビットは端子 KPX7..KPX2 に対応します。  
0 : 専用キーとして使用  
1 : 専用キーとして使用しない (GPIO またはキーボードマトリクス)

COL11:2 COL [11:2] の各ビットは端子 KPY11..KPY2 に対応します。  
0 : 専用キーとして使用  
1 : 専用キーとして使用しない (GPIO またはキーボードマトリクス)

## 10.5.5. EVTCODE レジスタと KBDCODE レジスタ

キーボードスキャンで検出されたキーコードは、レジスタ EVTCODE または KBDCODE0~KBDCODE3 レジスタからリード可能です。

### KBDCODE0~3 レジスタ (0x0B-0x0E)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R	MNEMONIC	MULTIKEY	KEYROW2	KEYROW1	KEYROW0	KEYCOL3	KEYCOL2	KEYCOL1	KEYCOL0
	Default	0	1	1	1	1	1	1	1

MULTIKEY 多重キー押下検出。KBDCODE (x+1) レジスタに次のデータが格納されています。

0 : KBDCODE (x+1) にキーコード無し

1 : KBDCODE (x+1) にキーコード有り

KEYROW2:0 押下されたキーの行インデックス (0..7)

KEYCOL3:0 押下されたキーの列インデックス (0..11、特殊ファンクションキーのインデックスは 12)

最初のキー押下を検出すると、KBDCODE0 にキーコードが格納され、MULTIKEY ビットに"0"が設定されます。続くキー押下により、2 キー同時押し状態になると、新たに生成したキーコードは KBDCODE1 に格納され、KBDCODE0 の MULTIKEY に 1 が設定されます。キー押下が無い場合、KBDCODE0 レジスタのリード値は 0x7F になります。KBDCODE レジスタを全てリードするか、または割り込みクリアレジスタ KBDIC にライトアクセスを行うと、キーボードスキャン割り込み RSINT はクリアされます。

### EVTCODE レジスタ (0x10)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R	MNEMONIC	RELEASE	KEYROW2	KEYROW1	KEYROW0	KEYCOL3	KEYCOL2	KEYCOL1	KEYCOL0
	Default	1	1	1	1	1	1	1	1

RELEASE キーボードイベントがキー押下なのかキーリリースなのかを示します。

0 : キー押下

1 : キーリリース

KEYROW2:0 押下キーの行インデックス (0..7)

KEYCOL3:0 押下キーの列インデックス (0..11 と特殊ファンクションキーのインデックスは 12)

キーボードでイベントが発生すると、キーコードは 8 バイトディープイベントバッファに格納されます。そのイベントバッファは FIFO として構成され、レジスタ EVTCODE からリード可能です。FIFO がリードされ、空の状態になると、REVTINT は直ちにクリアされます。この時、EVTCODE のリード値は 0x7F になります。

## 10.5.6. KBD Raw 割り込みレジスタ

KBDRIS レジスタには、マスク処理されていないキーボード割り込みステータス (Raw Interrupt Status) が格納されます。

### KBDRIS レジスタ (0x06)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R	MNEMONIC	-	-	-	-	RELINT	REVTINT	PKLINT	RSINT
	Default	*	*	*	*	0	0	0	0

- RELINT**      イベントロスト割り込み  
本ビットは EVTIC へのライトによりクリアされます。  
0 : 割り込みなし  
1 : 8 個を超えるキーイベントが検出され、イベントバッファオーバーフローが発生
- REVTINT**      キーボードイベント割り込み  
バッファが空になるまで EVTICODE からリードを行うと、本割り込みは自動的にクリアされます。  
0 : 割り込みなし  
1 : 1 つ以上のキーイベントがバッファに格納されている
- RKLINT**      キーロスト割り込み  
本割り込みビットの動作は、KBDMFS (Keyboard Modified Feature Set) レジスタ設定に依存します。  
0 : 割り込みなし  
1 : KBDMFS 設定が 0 の場合:  
    新たなキー押下またはキーリリースの検出時に、RSINT がまだクリアされていない、  
    または 4 個を超える同時キー押下を検出。  
    KBDMFS 設定が 1 の場合 (デフォルト):  
    4 個を超える同時キー押下を検出
- RSINT**      スキャン割り込み  
0 : 割り込みなし  
1 : キーボードスキャン後、キーボードステータスに変更有り (キー押下またはリリースを検出)

## 10.5.7. KBD マスク割り込みレジスタ

KBDMIS レジスタでは、Masked Interrupt ステータスが与えられます。KBDMSK の対応するビットが 0 の場合、Raw Interrupt ステータス (KBDRIS) は、KBDMIS の対応するビットにコピーされます。IRQN が使用可能な場合、KBDMIS レジスタのいずれかのビットに 1 が設定されると IRQN 割り込みが発生します。

## KBDMIS レジスタ (0x07)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R	MNEMONIC	-	-	-	-	MELINT	MEVTINT	MKLINT	MSINT
	Default	*	*	*	*	0	0	0	0

- MELINT      Masked イベントロスト割り込み  
0 : 割り込みなし  
1 : 8 個を超えるキーボードイベントが検出され、イベントバッファオーバーフローが発生
- MEVTINT     Masked キーボードイベント割り込み  
0 : 割り込みなし  
1 : 1 つ以上のキーイベントがバッファに格納されている
- MKLINT      Masked キーロスト割り込み  
0 : 割り込みなし  
1 : キーロスト割り込み
- MSINT        Masked スキャン割り込み  
0 : 割り込みなし  
1 : スキャン割り込み。キースキャンにより、キーイベント (押下/リリース) を検知。

## 10.5.8. KBD 割り込みクリアレジスタ (ライト専用)

KBDIC レジスタへのライトアクセスにより、キーボード割り込みがクリアされます。

### KBDIC レジスタ (0x08)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
W	MNEMONIC	SFOFF	-	-	-	-	-	EVTIC	KBDIC
	Default	0	*	*	*	*	*	0	0

**SFOFF** 特殊ファンクションキーのキースキャン処理を Off にする。  
 0 : キースキャン時、特殊ファンクションキーおよび専用キーをスキャン対象とする。  
 1 : キースキャン時、特殊ファンクションキーおよび専用キーをスキャンしない。

**EVTIC** イベントバッファおよび割り込み REVTINT と RELINT のクリア。  
 0 : 無効  
 1 : イベントバッファおよび割り込み REVTINT と RELINT のクリア。

**KBDIC** 割り込み RSINT と RKLINT のクリア。  
 0 : 無効  
 1 : 割り込み RSINT、RKLINT のクリア

## 10.5.9. KBD マスクレジスタ

KBDMSK レジスタは、キーボード割り込みのマスク設定を行います。割り込み発生時、割り込みハンドラの処理フローにはいくつかの方法がありますが、割り込みハンドラが EVTCODE からキーコードをリードする場合は、ビット 0 と 1 を "1" に設定する必要があります (推奨)。

一方、KBDCODE0...KBDCODE3 からキーコードをリードする場合は、ビット 3 と 2 を "1" に設定してください。

### KBDMSK レジスタ (0x09)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	-	-	-	-	MSKELNT	MSKEINT	MSKKLI	MSKSINT
	Default	*	*	*	*	1	1	0	0

**MSKELNT** キーボードイベントロスト割り込み (RELINT) イネーブル  
 0 : キーボードイベントロスト割り込みイネーブル  
 1 : キーボードイベントロスト割り込みディセーブル

**MSKEINT** キーボードイベント割り込み (REVTINT) イネーブル  
 0 : キーボードイベント割り込みイネーブル  
 1 : キーボードイベント割り込みディセーブル

**MSKKLI** キーコードロスト割り込み (RKLINT) イネーブル  
 0 : キーコードロスト割り込みイネーブル  
 1 : キーコードロスト割り込みディセーブル

**MSKSINT** キーボードステータス割り込み (RSINT) イネーブル  
 0 : キーボードステータス割り込みイネーブル  
 1 : キーボードステータス割り込みディセーブル

**10.5.10. KBD 機能補正レジスタ（ライト専用）**

KBDMFS.MFSEN ビットは、常に 1（イネーブル）に設定することを推奨します。これにより、キーボードハンドリングにおけるタイミング制約が緩和されます。

**KBDMFS レジスタ (0x8F)**

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R/W	MNEMONIC	-	-	-	-	-	-	-	MFSEN
	Default	*	*	*	*	*	*	*	1

MFSEN      KBD 機能補正イネーブル  
0   : KBD 機能補正ディセーブル  
1   : KBD 機能補正イネーブル (推奨)

## 10.6. キーボードインタフェース動作

### 10.6.1. 単一キー押下

以下の図にキーボードスキャン動作について示します。

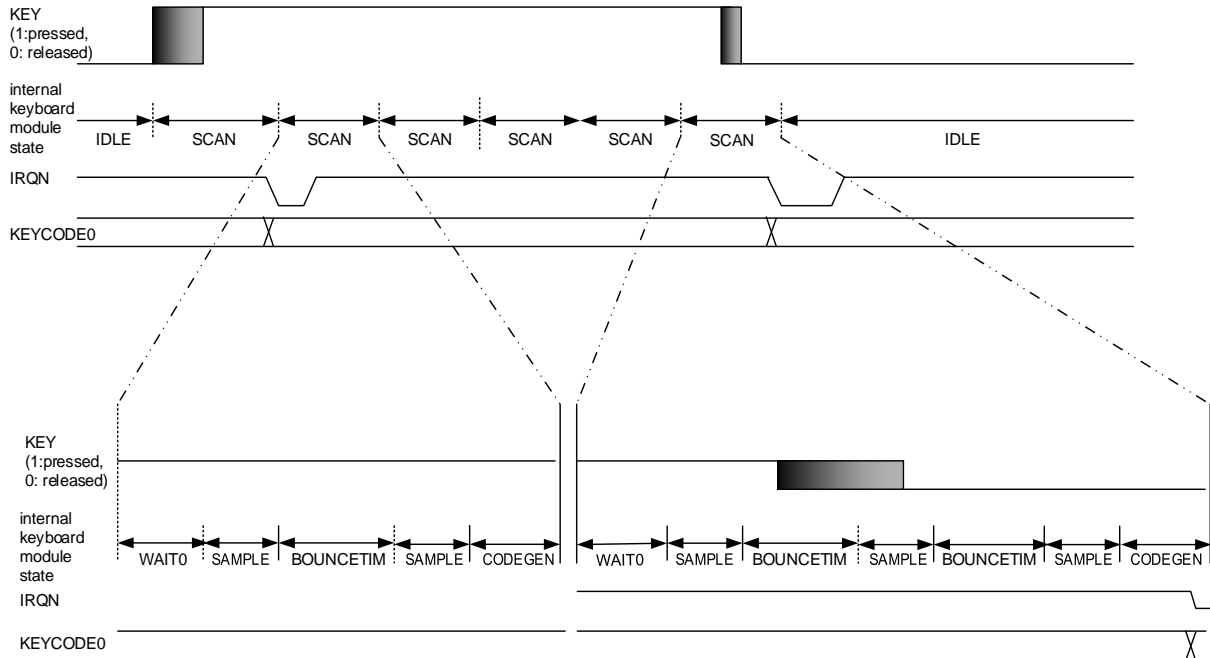


図 10.4 単一キー押下でのキースキャン

キーがひとつも押下されていなければ、キーボードスキャナはIDLE状態になります。IDLE状態では、キーボード行は全て入力であり、IOPCレジスタの設定により内部プルアップ抵抗が接続されています。キーボード列は全てLowレベル出力となります。

キーイベントを検出すると、スキャナはデバウンスのため、WAIT0期間待った後、スキャン処理を開始し、暫定キーコードを生成します。その後、BOUNCETIM期間後に2回目のスキャンが実行され、新しいキーコードが生成されます。キースキャン処理により2回連続で同じキーコードが検出されると、これをKBDCODEレジスタに格納します。SCAN処理は、キーが押下されている限り、繰り返し行われ、割り込みは、キーボードステータス変更があった場合に生成されます。

図 10.4 の例では、キーリリース前後でSAMPLE処理が3回実行されています。最初と2回目のSAMPLE処理間で異なるキーコードが検出され、2回目と3回目のSAMPLE処理間で同じキーコードが検出され、その後、SCAN処理を終了しています。

新たなイベント発生時、キーコードはイベントFIFOに格納され、KBDIRQがアクティブとなります。ホストコントローラは、EVTCODEレジスタをリードすることにより、割り込みをクリアします。キーボード割り込み発生時、割り込みハンドラは、イベントバッファ(EVTCODE)からキーコードをリードします。イベントバッファは、最大8個のイベントを格納できるので、オーバフローのタイミング制約が大幅に緩和されます。

キースキャンの最小時間は、WAIT0、BOUNCETIMの設定により、次式で算出されます。

$$\text{MinSCAN (期間)} = 2 \times \text{SAMPLE} + \text{WAIT0} + \text{BOUNCETIM} + \text{CODEGEN}$$

1回のSAMPLE期間は、キーボード構成と押下されたキーの数に依存します。SAMPLE期間の最小値は、0(キー押下が無い場合)。また、SAMPLE期間の最大値は、ROWSIZE × COLSIZE × SYSCLK サイクル期間です。マトリクス内で4つのキー押下が行われると、SAMPLE期間は、4 × COLSIZE となります。

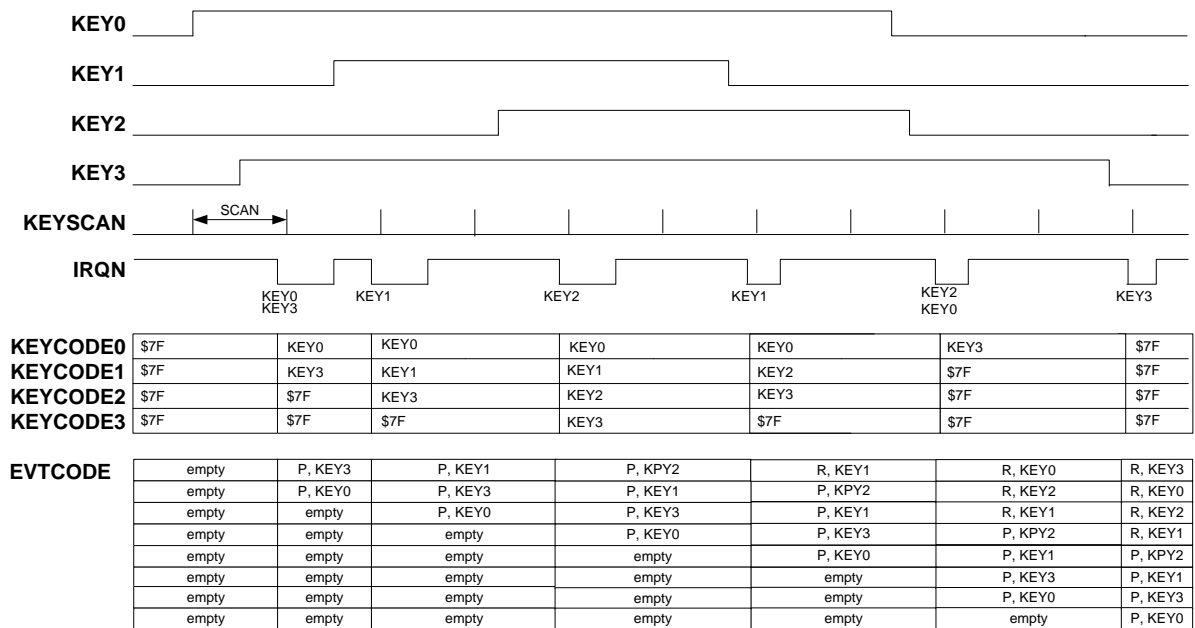
CODEGEN 期間は、次式で算出されます。

$$\text{CODEGEN 期間} = 8T_{\text{SYSCLK}} \times (\text{マトリクスで押下されたキー数}) + 16T_{\text{SYSCLK}} \times (\text{専用キー使用時のみ})$$

CODEGEN の最小期間は、0 です。最大期間は、マトリクス内で 3 つのキー押下と 1 つの専用キー押下が検出された場合で、 $3 \times 8 + 16 = 40 T_{\text{SYSCLK}}$  となります。

### 10.6.2. 多重キー押下

下図に多重キー押下時の動作例を示します。



**図 10.5 多重キー押下**

キーボード初期化後、キー押下が行われていない状態では、KBDCODE レジスタの値は 0x7F になります。キーボードインタフェースは、アイドル状態になり、キーイベントを待ちます。最初に KEY0 が押下され、次に KEY3 が続きます。KEY0 押下と KEY3 押下間の遅延は、キースキャン期間よりも短いため、同時キー押下として検出され、割り込みが生成されます。その後、ホストが EVTCODE レジスタをリードして割り込みをクリアします。

その後、まだ KEY0 と KEY3 が押下されている間に KEY1 が押下されると、キースキャン後に割り込みが生成され、3 つのキーコード (KEY0、KEY1、KEY3 の押下) が EVTCODE に格納された状態になります。ホストは、EVTCODE レジスタをリードすることにより KEY1 が新たに押下されたことを検出し、割り込みがクリアされます。

その後、KEY2 が押下され、SCAN 期間の終端で同様に割り込みが生成されます。ホストは、EVTCODE レジスタをリードし、新たに押下された KEY2 を検出します。

次に、KEY1 がリリースされ、SCAN 期間の終端で新たな割り込みが設定されます。ホストは、EVTCODE レジスタをリードすることにより KEY1 のリリースを認識し、同時に割り込みがクリアされます。

同様の処理を KEY0、KEY2 および KEY3 のリリースに伴い実行し、全てのキーがリリースされると、キーボードは IDLE 状態に戻ります。

## 10.6.3. キーボード初期化フロー

以下にキーボードの初期化フローチャートを示します。

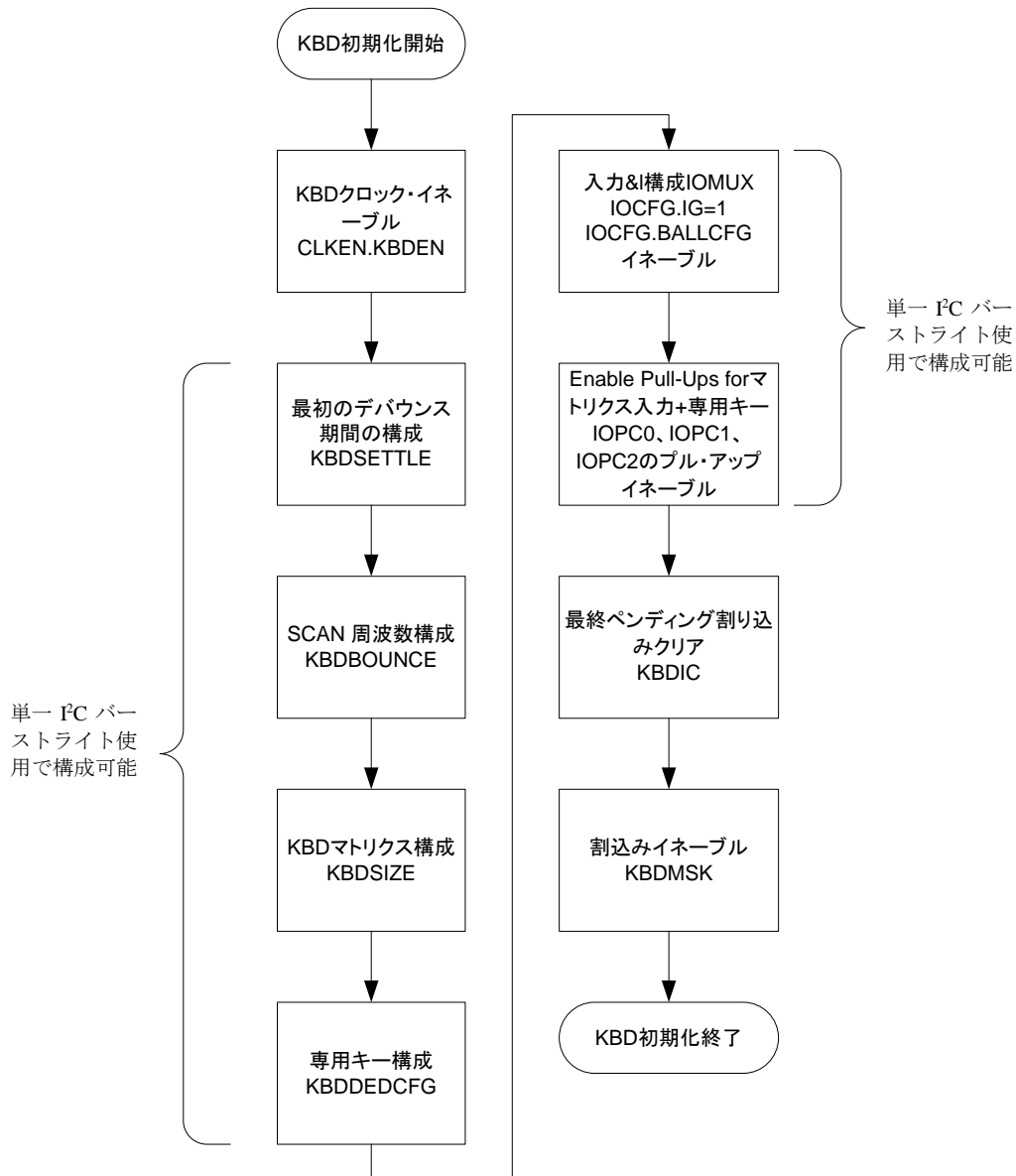


図 10.6 キーボード初期化フロー

最初にキーボードインタフェースクロックをイネーブルにします。

次に、キーボードの機械的特性を考慮して、KBDSETTLE と KBDBOUNCE 値を設定します。

キーボードマトリクス構成は、KBDSIZE と KBDEDEDCFG レジスタのプログラミングにより構成されます。

KBDSETTLE、KBDBOUNCE、KBDSIZE および KBDEDEDCFG レジスタは、単一 I<sup>2</sup>C バーストライトを使用して設定してください。

TC35894FG のキーボードインタフェースを使用するには、IOCFG レジスタを適宜設定する必要があります。また、KPX 入力および専用キー入力に対しては、IOPC0、IOPC1、IOPC2 レジスタによって、内部プルアップを設定する必要があります。

IOCFG、IOPC0、IOPC1 および IOPC2 レジスタは、単一 I<sup>2</sup>C バーストライトを使用して設定することが可能です。これらのレジスタにより I/O の多重化設定を変更した後は、ペンディング割り込みをクリアする必要があります。そのため、キーボードの割り込みをイネーブルにする前に、必ず KBDIC レジスタをライトして割り込みをクリアしてください。

## 10.6.4. キーボード割り込み処理

キーボード割り込みの処理フローを以下に示します（EVTCODE レジスタ使用時の処理フロー）。

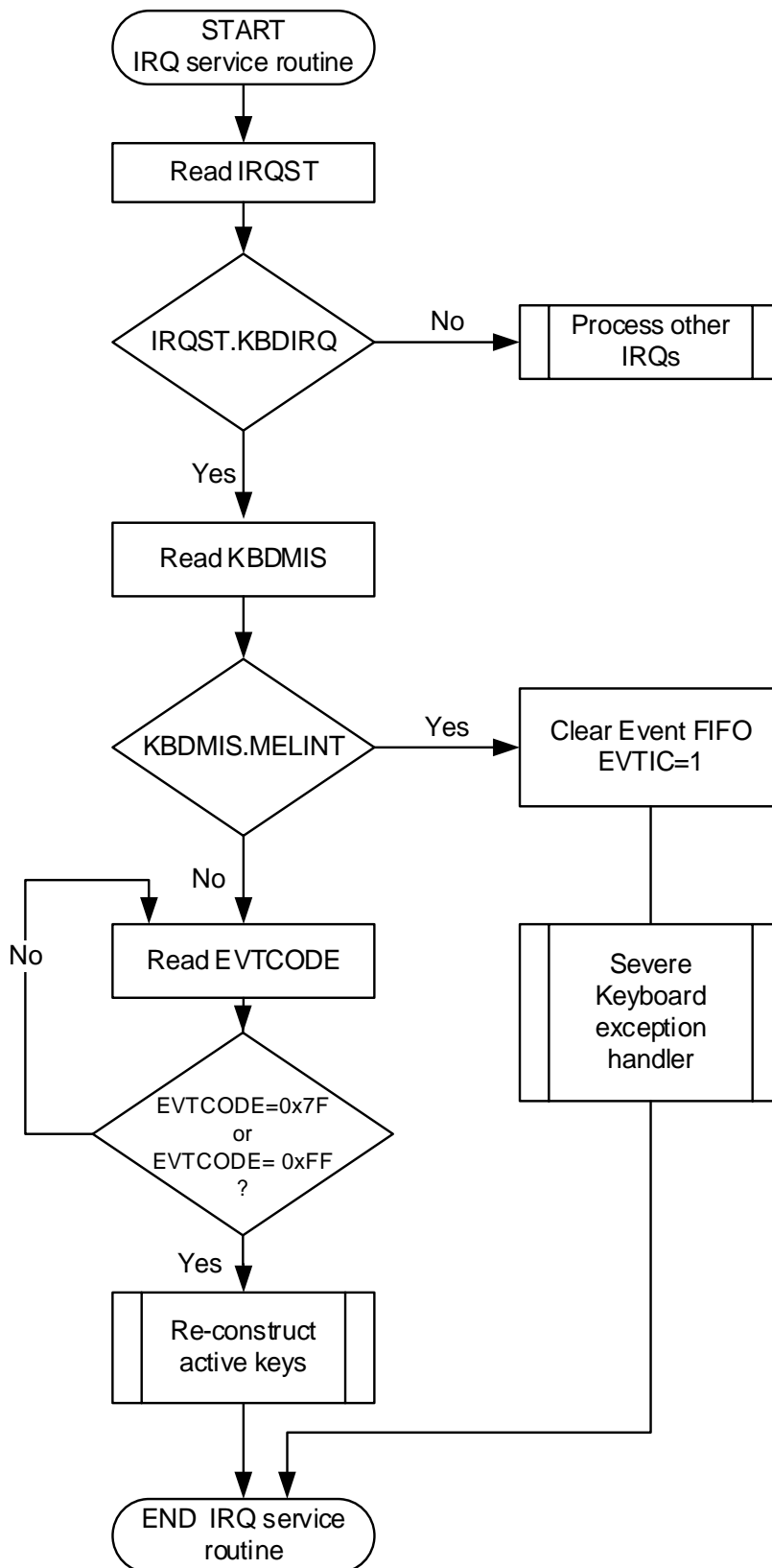


図 10.7 EVENT FIFO用割り込みハンドラ

### 10.6.5. GPI とキーボードの使用

キーボード入力信号は、内部 GPIO モジュールにも接続されています。

内部 RC 発振器使用時、SLEEP モードでは SYSCLK 停止状態なので、キーボードスキャンが行われません。しかし、GPIO のウェイクアップ機能 (GPIOWAKE レジスタ) を有効にすることで、キー押下の検出が可能となります。

SLEEP モード中にキー押下が行われると、GPIO モジュールはデバイスのウェイクアップを行います。これにより、内部 RC 発振器が直ちに起動し、キー押下またはリリースが正確に検出されます。

## 11. IRQ (割り込みモジュール)

各割り込み要因は、割り込みコントローラ内でまとめられ、IRQN 端子を介してホストコントローラに接続されます。IRQN 端子はフェールセーフオープンドレインであり、Wired-OR ロジックとして使用可能です。

TC35894FG の割り込みソースを以下に列挙します。

- GPIO 入力トリガ (論理レベル、またはエッジ)
- ダイレクトキーイベント検出
- キーボードモジュールにおけるキー押下
- タイマ終了
- 電源ウォッチドック機能によるエラー検出 (VCC 電源のスパイク発生)。

割り込み要因には、SYSCLK 動作時のみ生成されるものがあります。割り込みに優先順位はありません。割り込みは再度アサートされる前に、I<sup>2</sup>C プログラミングによりクリアする必要があります。下図に、TC35894FG の割り込み出力回路構成を示します。各モジュールから生成される割り込みは、組み合わせ論理で IRQ モジュールへと接続されますので、SLEEP モード (SYSCLK 停止) であっても GPIO モジュールからの割り込みを IRQN 端子から出力することが可能です。

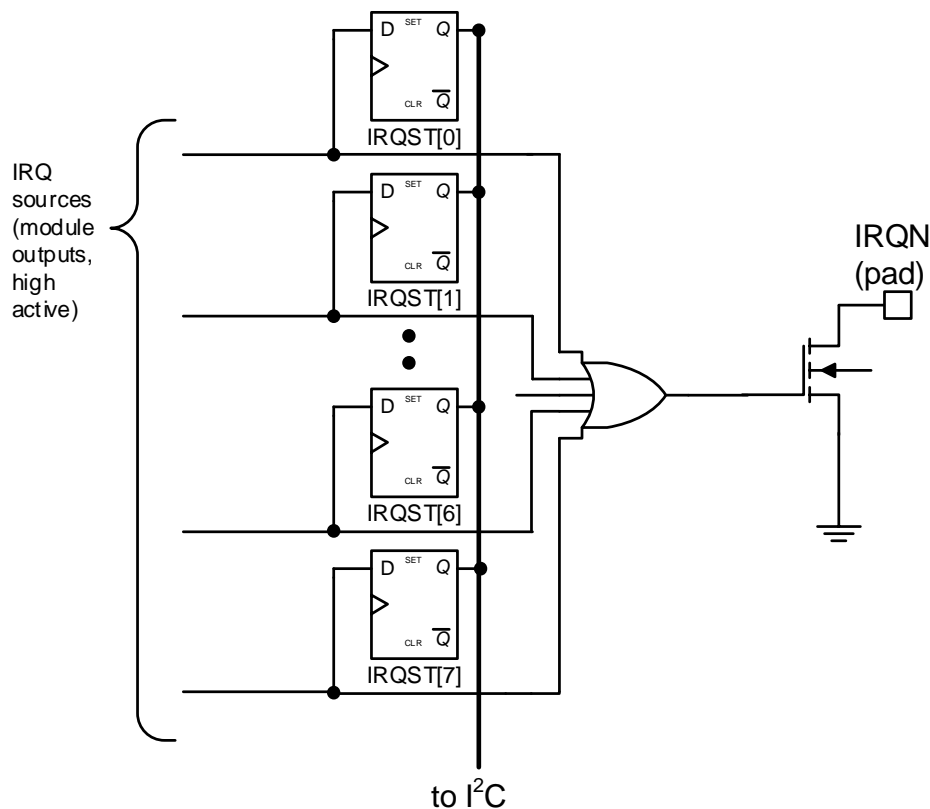


図 11.1 割り込み出力回路構成

IRQN 端子は、オープンドレインです。正常な動作のためには外部プルアップ抵抗の接続が必要です。

## IRQST レジスタ (0x91)

R/W	ITEM	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
R	MNEMONIC	PORIRQ	KBDIRQ	DKBDIRQ	-	TI2IRQ	TI1IRQ	TI0IRQ	GPIIRQ
	Default	1	0	0	*	0	0	0	0

**PORIRQ**      VCC 供給エラー  
 0 : VCC 供給エラー無し  
 1 : VCC 供給エラー検出  
       LSI 全体がリセットされるので、再プログラミングの必要があります。

**KBDIRQ**      キーボード割り込み  
 0 : インアクティブ  
 1 : アクティブ

**DKBDIRQ**     ダイレクトキーボード割り込み  
 0 : インアクティブ  
 1 : アクティブ

**TI2IRQ**      Timer2 終了 (CDIRQ または CYCIRQ)  
 0 : インアクティブ  
 1 : アクティブ

**TI1IRQ**      Timer1 終了 (CDIRQ または CYCIRQ)  
 0 : インアクティブ  
 1 : アクティブ

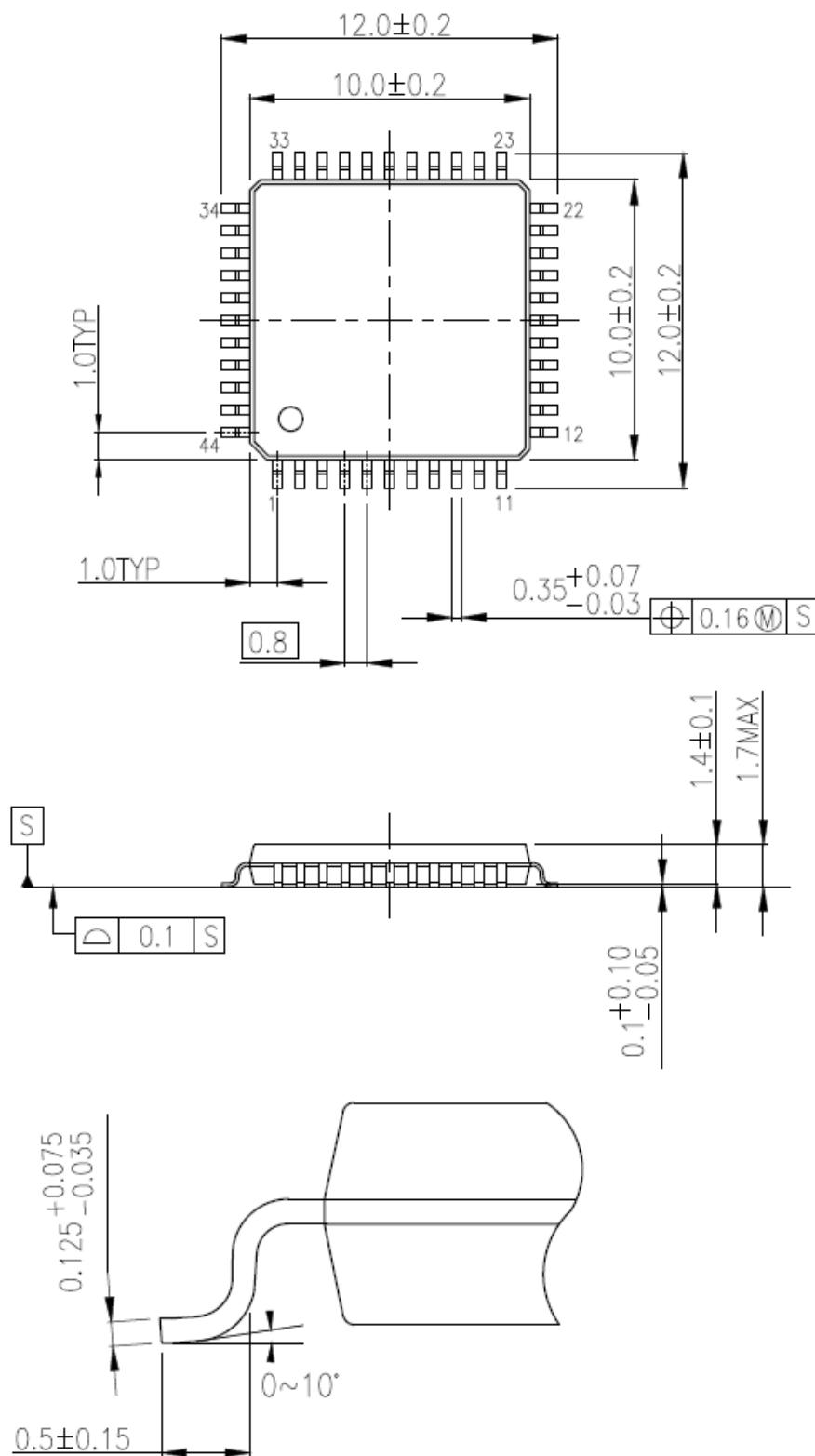
**TI0IRQ**      Timer0 終了 (CDIRQ または CYCIRQ)  
 0 : インアクティブ  
 1 : アクティブ

**GPIIRQ**      GPIO 割り込み  
 0 : インアクティブ  
 1 : アクティブ

## 12. パッケージ寸法

下図に P-LQFP44-1010-0.80-001、0.8 mm ピッチパッケージの寸法を示します。

Unit: mm



質量: 0.35 g (標準)

図 12.1 P-LQFP44-1010-0.80-001、0.8 mmピンピッチ (10mm × 10mm)

### 13. 電氣的パラメータ

#### 13.1. I<sup>2</sup>C AC タイミング

下図に I<sup>2</sup>C ファーストモードのアクセスタイミングを示します。

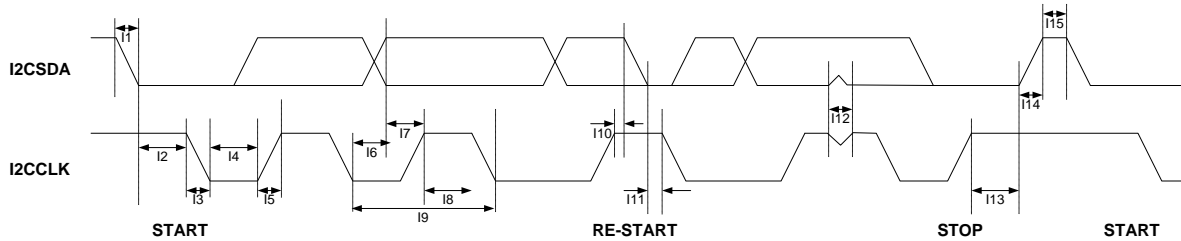


図 13.1 I<sup>2</sup>C AC タイミング

表 13.1 I<sup>2</sup>C AC タイミング

記号	内容 <sup>a</sup>	最小	最大
I9	I <sup>2</sup> C CLK 周波数 (1/I9)	-	400 kHz
I4	I <sup>2</sup> C CLK Low 期間	1.3 μs	-
I8	I <sup>2</sup> C CLK High 期間	0.6 μs	-
I3	I <sup>2</sup> C CLK 信号の立ち下がり時間	-	0.3 μs
I5	I <sup>2</sup> C CLK 信号の立ち上がり時間	-	0.3 μs
I1	I <sup>2</sup> C SDA 信号の立ち下がり時間	-	0.3 μs
I14	I <sup>2</sup> C SDA 信号の立ち上がり時間	-	0.3 μs
I7	データセットアップ時間	0.1 μs	-
I6	データホールド時間	0.3 μs	-
I2	ホールド時間 (start condition)	0.6 μs	-
I10	セットアップ時間 (restart condition)	0.6 μs	-
I13	セットアップ時間 (stop condition)	0.6 μs	-
I11	ホールド時間 (restart condition)	0.6 μs	-
I12	スパイクのパルス幅	-	50 ns
I15	Guard Time (Stop condition と Start condition 間のバスフリー期間)	1.3 μs	-

注意：

- a) 出力タイミングは、外部のプルアップ抵抗値に依存します。上記の値は、15章参照資料 [1] からの最大許容値です。

## 13.2. 外部クロック入力タイミング

外部からクロックを入力する場合は、DIR24 から下記の波形を入力してください。

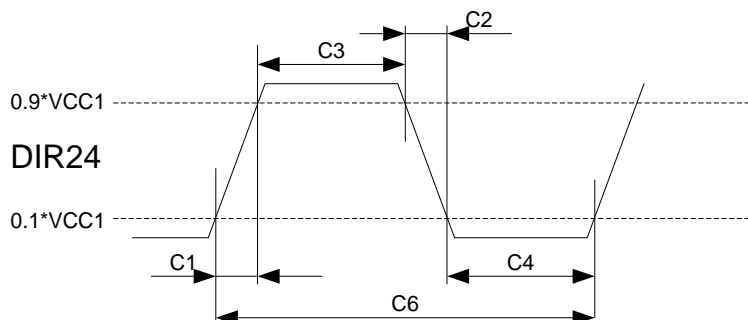


図 13.2 クロック入力タイミング

下表に入力クロックのタイミングを示します。

表 13.2 クロック入力タイミング

記号	内容	最小	最大
C6	DIR24 周波数	32 kHz	20 MHz
C1	DIR24 入力立ち上がり時間	-	4 ns
C2	DIR24 入力立ち下がり時間	-	4 ns
C3/C4	デューティサイクル High/Low	45/55	55/45

注意： DIR24 < 32 kHz の場合は、デバイス損傷の原因にはなりません、動作保証外となります。

## 13.3. 内蔵 RC 発振器

表 13.3 内蔵RC発信器のクロック周波数レンジ

記号	内容	最小	最大
Fosc	Oscillator frequency	1.54 MHz	2.86 MHz

## 13.4. 電力供給タイミング

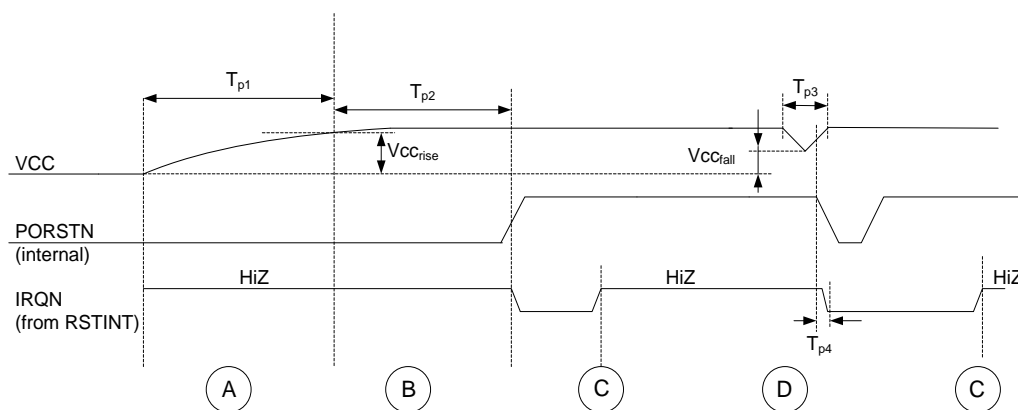


図 13.3 電源投入と電源ウォッチドッグコントロール

表 13.4 電力投入と電源ウォッチドッグ機能に関するACパラメータ

記号	内容	最小	最大
$T_{p1}$	VCC 立ち上がり時間(注 1)	-	80 $\mu$ s
$T_{p2}$	VCC = $VCC_{rise}$ から PORSTN リリースまでの時間	20 $\mu$ s	120 $\mu$ s
$T_{p3}$	VCC $\leq VCC_{fal}$ となる時間。Tp3 以上のスパイク検出時、ウォッチドッグ機能により PORSTN がかかります。	2 $\mu$ s	-
$T_{p4}$	PORSTN トリガ検出から IRQN 発生までの時間	-	30 $\mu$ s
$VCC_{rise}$	VCC 投入時、PORSTN がリリースされる電圧しきい値	1.00 V	1.55 V
$VCC_{fal}$	VCC 再投入時、PORSTN 再起動される電圧しきい値	1.00 V	1.55 V

$VCC_{rise}$  と  $VCC_{fal}$  は、PORTRIM レジスタによって調整可能。

注 1: 実力的に 2 ms 程度までは問題が発生しないと想定しておりますが、念のための処置として Vcc 立ち上がり後にソフトウェアリセットを設定して十分に検証して頂くことを推奨しています。

## 13.5. GPIO パッド

標準 GPIO パッドには、以下の機能があります。

- 入力、出力または双方向切替
- プルアップまたはプルダウン設定。端子が入力方向にある場合にのみ有効。
- I/O 出力ドライブ性能設定
- 擬似オープンドレイン出力
- スイッチノイズキャンセル用 CMOS シュミット入力

EN	output enable, low active
A	output line
PU	pull up, configurable
PD	pull down, configurable
IO	IO pad, pin, ball
Z	input line
DR	output drive

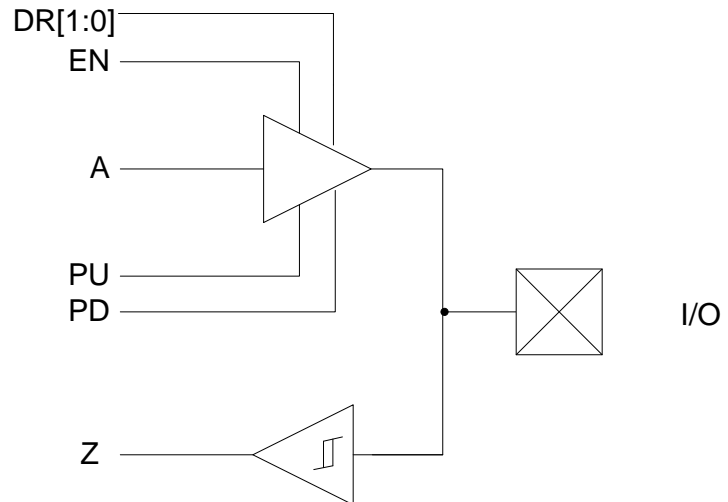


図 13.4 GPIOパッド構造

図 13.4に GPIO パッドの構造を表示します。典型的な双方向性パッドに、プル抵抗設定機能 (PU/PD) とドライブ能力設定機能 (DR [1:0]) が補完されています。GPIO パッドは、キーボード用 (KPX0...KPX7, KPY0...KPY10) に使用されます。

## 13.5.1. GPIO AC パラメータ

下図に GPIO のドライブ特性 (N-MOS と P-MOS トランジスタ) を示します。

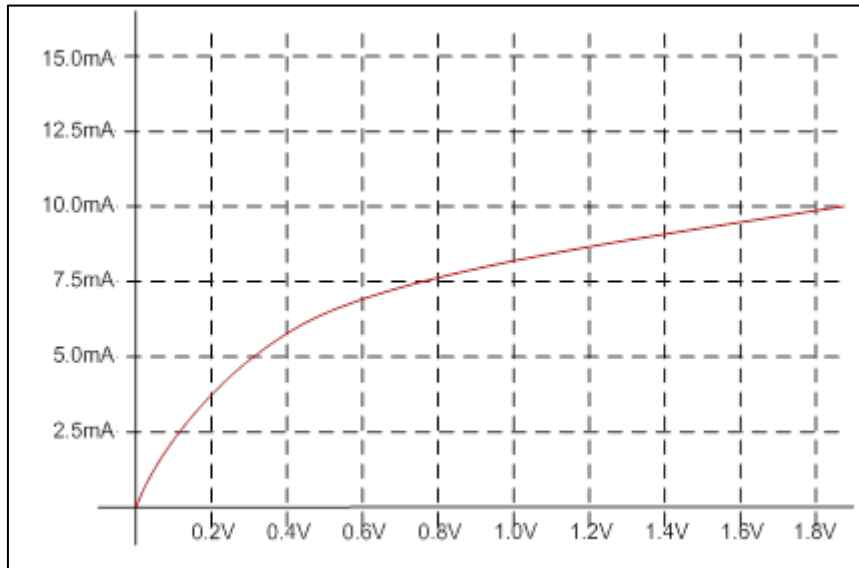


図 13.5 GPIO出力電圧対出力電流 (VOL-IOL @ VCC = 1.8 V、温度 = 25°C)

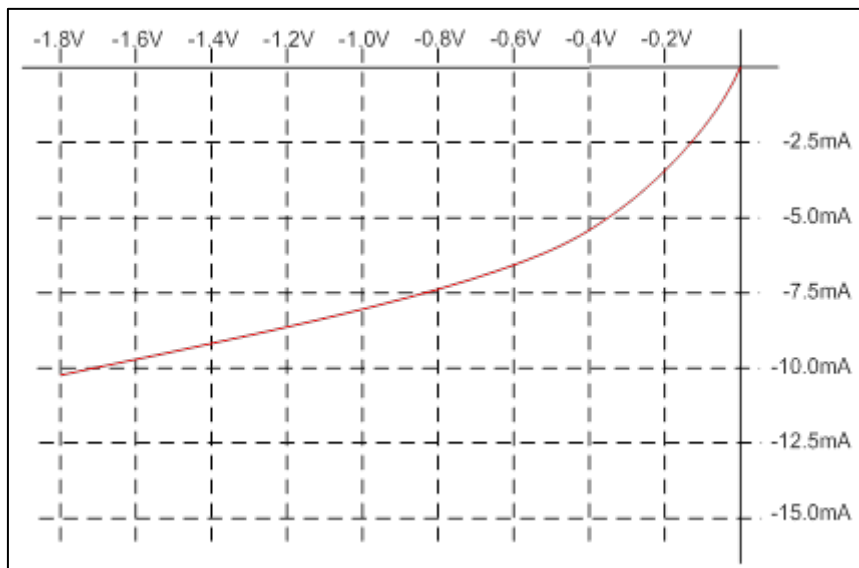


図 13.6 GPIO出力電圧対出力電流 (VOH-IOH @ VCC = 1.8 V、温度 = 25°C)

GPIO 入力特性は、最小ヒステリシス 0.15 V の CMOS シュミットトリガに相当します。下図に、入力遷移の切り替えポイントを示します。

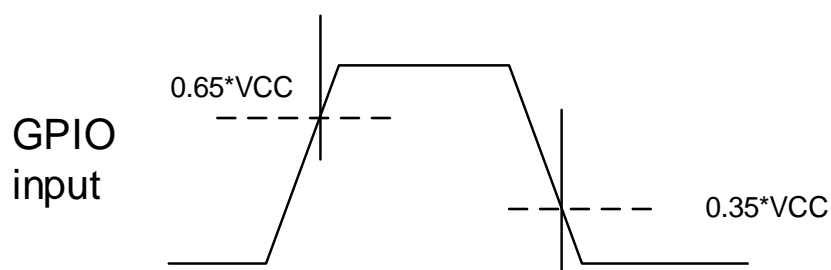


図 13.7 GPIO入力特性 ( $V_{in}$ スイッチング点)

表 13.5 GPIO入力電圧しきい値

記号	内容	最小	最大
VIH	High 検出入力電圧	$0.65 \cdot V_{CC}$	-
VIL	Low 検出入力電圧	-	$0.35 \cdot V_{CC}$
-	最小スイッチングヒステリシス	50 mV	-

パッドが入力モードに切り替わると、I<sup>2</sup>C プログラムによって設定されたプル抵抗がアクティブとなります。プルアップ、プルダウンの特性は、対称ではありません。

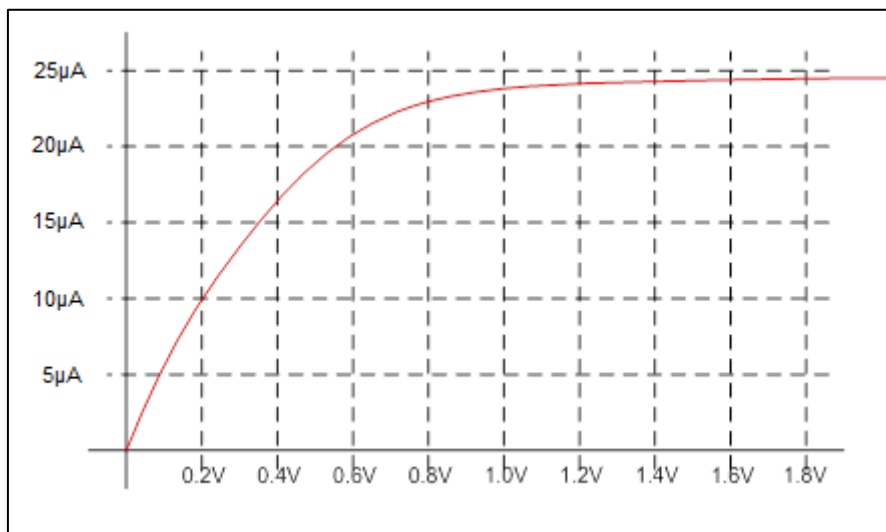


図 13.8 プルダウン (VCC = 1.8 V、温度 = 25°C)

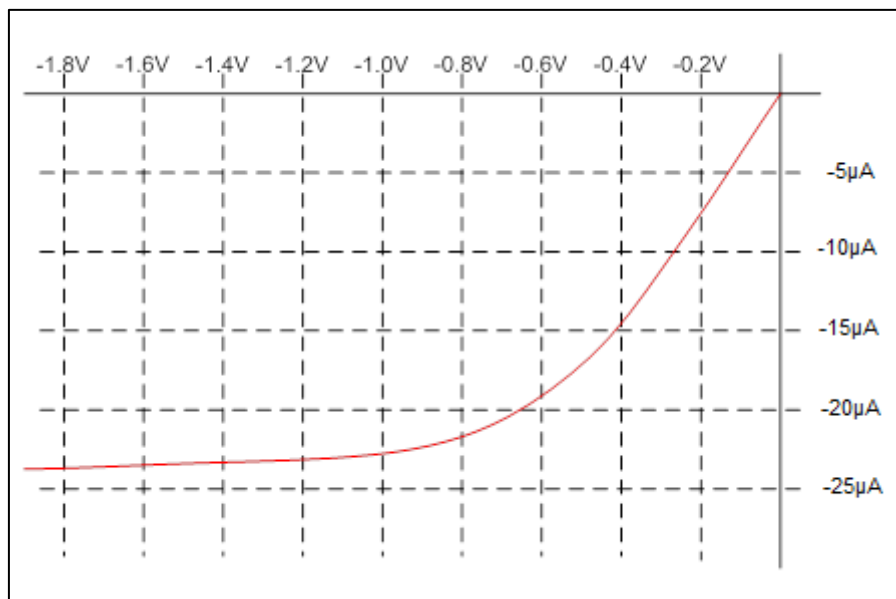


図 13.9 プルアップ (VCC = 1.8 V、温度 = 25°C)

## 13.6. フェイルセーフパッド

IRQN 出力、RESETN 入力、I<sup>2</sup>C バス SDA および SCL ラインに使用されるパッドは、GPIO のパッドとは特性が異なります。これらのパッドは、オープンドレインパッドから、PMOS トランジスタが取り除かれた状態で実装されています。これにより、TC35894FG の電源 OFF 時であってもフェイルセーフ動作が可能となります。

DC 特性については、GPIO パッドと同等です。

### 13.6.1. I<sup>2</sup>C/IRQN AC パラメータ

IRQN や SDA は、標準 GPIO 出力ドライバよりも高いドライブ性能があります。

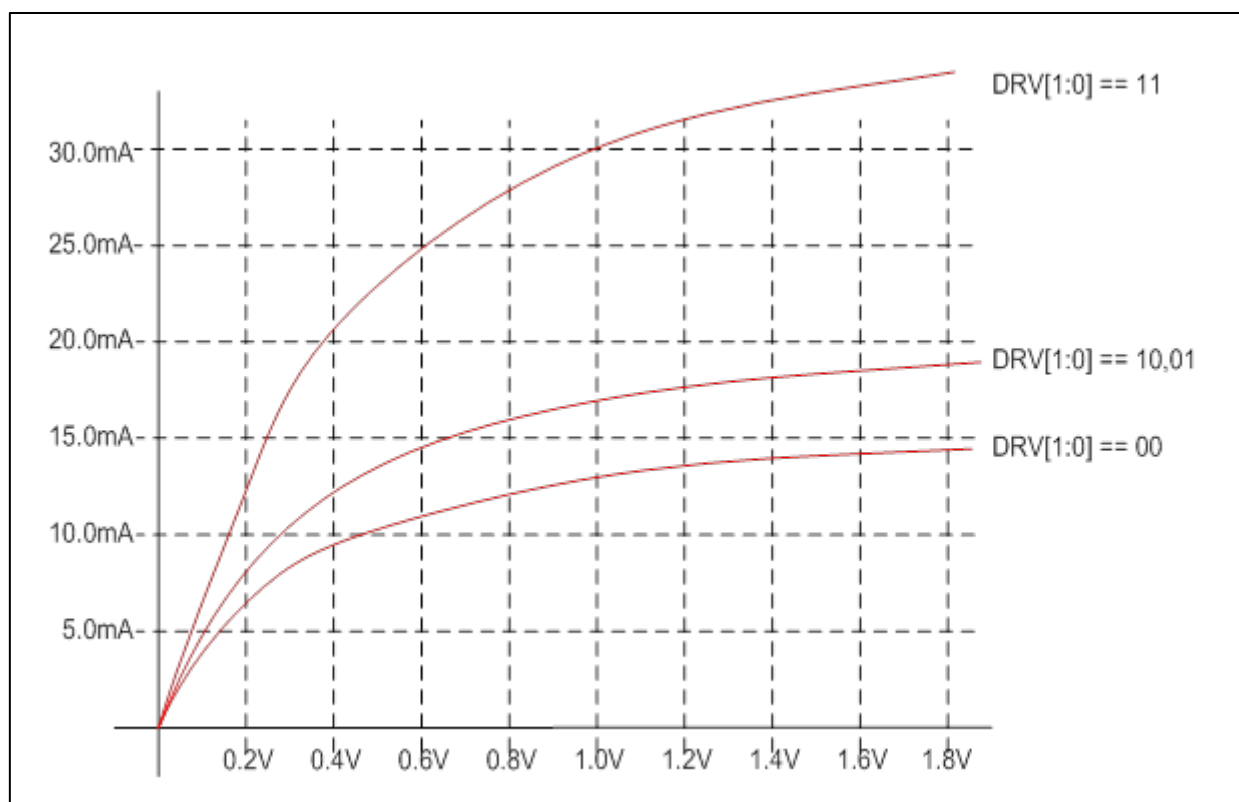


図 13.10 IRQN/SDA出力電圧対出力電流 (VOL-IOL @ VCC = 1.8 V、温度 = 25°C)

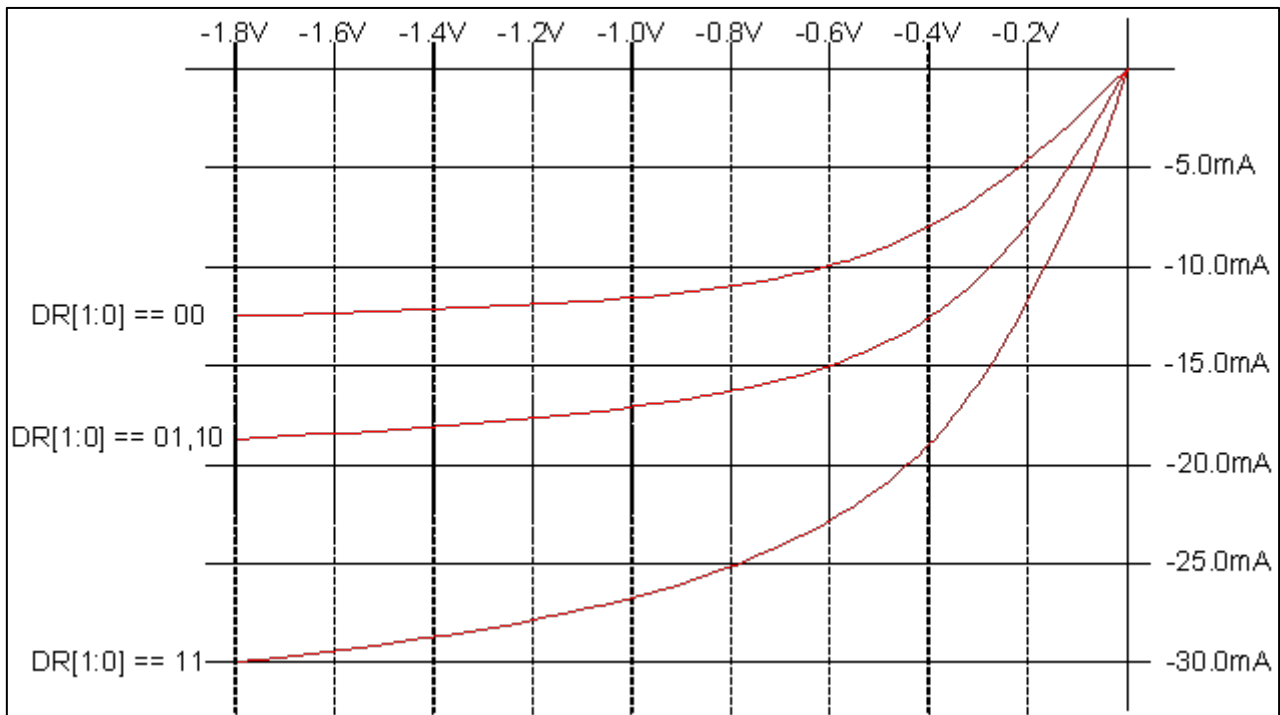


図 13.11 IRQN/SDA出力電圧対出力電流 (VOH-IOH @ VCC = 1.8 V、温度 = 25°C)

RESETN、SCL や SDA の入力特性は、標準 GPIO 特性と異なります。これらの入力は、電力供給停止時のフェイルセーフ動作実現のため、内部プル抵抗が付加されていません。

## 14. 特性

## 14.1. 動作条件

下表に示す電圧や温度の範囲は、必ず順守してください。

表 14.1 動作条件

記号	内容	最小	標準	最大	単位	
TEMP	環境温度範囲	-40	25	85	°C	
VCC	供給電圧	1.62	1.8	3.6	V	
V <sub>NOISE</sub>	供給電圧入力の安定性	-	-	0.05	%/V	
		-	-	100	mV	
VOH	IO の DC 出力電圧	-	-	VCC	V	
	V <sub>OUT</sub> @ 1 mA I <sub>OUT</sub> , DRV = 00, Ta = 25°C	0.75*VCC	0.8*VCC	-		
	V <sub>OUT</sub> @ 2 mA I <sub>OUT</sub> , DRV = 01, Ta = 25°C	0.75*VCC	0.8*VCC	-		
	V <sub>OUT</sub> @ 4 mA I <sub>OUT</sub> , DRV = 11, Ta = 25°C	0.75*VCC	0.8*VCC	-		
VOL	IO の DC 出力電圧	GND	-	-	V	
	V <sub>OUT</sub> @ -1 mA I <sub>OUT</sub> , DRV = 00, Ta = 25°C	-	0.2*VCC	0.25*VCC		
	V <sub>OUT</sub> @ -2 mA I <sub>OUT</sub> , DRV = 01, Ta = 25°C	-	0.2*VCC	0.25*VCC		
	V <sub>OUT</sub> @ -4 mA I <sub>OUT</sub> , DRV = 11, Ta = 25°C	-	0.2*VCC	0.25*VCC		
I <sub>IL</sub>	入力電流	-	-	-10	μA	
	プルアップ有りの入力電流、VCC = 1.8 V	-25	-	-110		
I <sub>IH</sub>	入力電流	-	-	10		μA
	プルダウン有りの入力電流、VCC = 1.8 V	25	-	110		
I <sub>quies</sub>	SLEEP モードでの全漏電電流 (VCC = 1.8 V, Ta = 25°C)	-	15	-	μA	
I <sub>a, b</sub>	OPERATION モードでの供給電流 (VCC = 1.8 V, Ta = 25°C)	-	122	-		

注意：

- PWM やキーボードの典型的アプリケーションで計測。計測値は目安であり、この値は外部回路や使用事例に依存するため、保証されていません。
- PWM を使わず AUTOSLEEP 機能を使用する際には、平均電流は I<sub>quies</sub> に近い値となります。

## 14.2. 絶対最大定格

下表で定義されている絶対最大定格は、いかなるときでも絶対に超過してはなりません。最大定格を超えた場合には、デバイスが損傷することがあります。

表 14.2 絶対最大定格

記号	内容	最小	標準	最大	単位
VCC	電源電圧	-0.3	-	3.9	V
Vi	CMOS 入力電圧	-0.3	-	VCC+0.3	V
Vout	DC 出力電圧	-0.3	-	VCC+0.3	
V <sub>NOISE</sub>	供給ノイズ電圧 (ピークからピーク)	-	-	190	mV
I <sub>in</sub>	最大入力電流	-10	-	10	mA
Ta	使用温度	-40	25	85	°C
Ts	保存温度	-40	-	125	

## 15. 参照資料

[1] I<sup>2</sup>C バス規格:

"The I<sup>2</sup>C-Bus Specification" Version 2.1 January 2000, Philips Semiconductor

## 16. レジスタマップ

下表に、TC35894FG のレジスタマップを示します。

未定義のアドレスにはアクセスしないでください。

"Reserved" ビットのデフォルト値を変更した場合の動作は保証しません。

定義済みアドレスで、使用されていないビット（表中、ダッシュマーク"-"で記載）は、全て"0"をライトしてください。これらのビットからのリード値は、未定義となります。

アドレス 0x80～0xFF のレジスタは、システムクロック停止状態でも I<sup>2</sup>C CLK のみでアクセス可能です。アドレス 0x00～0x7F のレジスタへアクセスするには、システムクロックがイネーブル状態である必要があります。

I<sup>2</sup>C バスでは、任意ワード長のバースト転送を行うことができますが、アドレス 0xFF を超えてのバーストは許可されていません。バースト転送時、アドレスが 0x7F を超えると 0x7E へロールバックします。

いくつかのレジスタは、2 バイト単位でのアクセスが必要となります。これらのレジスタは、2 バイト転送完了時にのみ更新されます。転送完了前に I<sup>2</sup>C コマンドが終了すると、I<sup>2</sup>C アドレスは 2 バイト転送開始前、最後のライトアクセス時に使用した I<sup>2</sup>C アドレス値にリセットされます。

## 16.1. レジスタ表

表 16.1 レジスタ表

NAME	Address	R/W	Reset value	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
KBDSETTLE	0x01	R/W	0xA3	WAIT [7:0]							
KBDBOUNCE	0x02	R/W	0xA3	BOUNCETIM [7:0]							
KBDSIZE	0x03	R/W	0x00	ROWSIZE [3:0]				COLSIZE [3:0]			
KBDEDCFG	0x04	R/W	0xFF	COL9	COL8	COL7	COL6	COL5	COL4	COL3	COL2
	0x05	R/W	0xFF	ROW7	ROW6	ROW5	ROW4	ROW3	ROW2	COL11	COL10
KBDRIS	0x06	R	0x00	—	—	—	—	RELINT	REVT INT	RKLINT	RSINT
KBDMIS	0x07	R	0x00	—	—	—	—	MELINT	MEVT INT	MKLINT	MSINT
KBDIC	0x08	W	0x00	SFOFF	—	—	—	—	—	EVTIC	KBDIC
KBDMSK	0x09	R/W	0x0C	—	—	—	—	MSKELINT	MSKEINT	MSKKLINT	MSKSINT
KBDCODE0	0x0B	R	0x7F	MULTIKEY	KEYROW [2:0]			KEYCOL [3:0]			
KBDCODE1	0x0C	R	0x7F	MULTIKEY	KEYROW [2:0]			KEYCOL [3:0]			
KBDCODE2	0x0D	R	0x7F	MULTIKEY	KEYROW [2:0]			KEYCOL [3:0]			
KBDCODE3	0x0E	R	0x7F	MULTIKEY	KEYROW [2:0]			KEYCOL [3:0]			
EVTCODE	0x10	R	0xFF	RELEASE	KEYROW [2:0]			KEYCOL [3:0]			
TIMCFG0	0x60	R/W	0x00	—	—	—	IRQMASK	CYCCTRL	FREE	SYNC	START
PWMCFG0	0x61	R/W	0x00	—	—	—	—	IRQMASK	PGE	PWMEN	PWMPOL
TIMSCAL0	0x62	R/W	0x00	SCAL [7:0]							
TIMCYCLE0	0x63	R/W	0x00	CYCLE [7:0]							
TIMLOAD0	0x64	R/W	0xFF	LOAD [7:0]							
TIMCFG1	0x68	R/W	0x00	—	—	—	IRQMASK	CYCCTRL	FREE	SYNC	START
PWMCFG1	0x69	R/W	0x00	—	—	—	—	IRQMASK	PGE	PWMEN	PWMPOL
TIMSCAL1	0x6A	R/W	0x00	SCAL [7:0]							
TIMCYCLE1	0x6B	R/W	0x00	CYCLE [7:0]							
TIMLOAD1	0x6C	R/W	0xFF	LOAD [7:0]							
TIMCFG2	0x70	R/W	0x00	—	—	—	IRQMASK	CYCCTRL	FREE	SYNC	START
PWMCFG2	0x71	R/W	0x00	—	—	—	—	IRQMASK	PGE	PWMEN	PWMPOL
TIMSCAL2	0x72	R/W	0x00	SCAL [7:0]							
TIMCYCLE2	0x73	R/W	0x00	CYCLE [7:0]							
TIMLOAD2	0x74	R/W	0xFF	LOAD [7:0]							
TIMSWRES	0x78	W	0x00	—	—	—	—	—	SWRES2	SWRES1	SWRES0
TIMRIS	0x7A	R	0x00	—	—	CDIRQ2	CDIRQ1	CDIRQ0	CYCIRQ2	CYCIRQ1	CYCIRQ0
TIMMIS	0x7B	R	0x00	—	—	CDIRQ2	CDIRQ1	CDIRQ0	CYCIRQ2	CYCIRQ1	CYCIRQ0
TIMIC	0x7C	W	0x00	—	—	CDIRQ2	CDIRQ1	CDIRQ0	CYCIRQ2	CYCIRQ1	CYCIRQ0
PWMWP	0x7D	R/W	0x00	—	POINTER[6:0]						
PWMPAT <sup>a</sup>	0x7E	W	0x00	PAT [7:0]							
	0x7F		0x00	PAT [15:0]							
Manufacture code	0x80	R	0x03	0	0	0	0	0	0	1	1
SW version	0x81 b	R	0xC0	1	1	0	0	0	0	0	0
I2CSA	0x80	W	0x8A	SLAVEADDR [7:1]							-
RSTCTRL	0x82	R/W	0x00	—	—	reserved	IRQRST	TIMRST	reserved	KBDRST	GPIRST
EXTRSTN	0x83	R/W	0x1F	—	—	—	reserved	reserved	reserved	reserved	EXTRSTN
RSTINTCLR	0x84	W	0x00	—	—	—	—	—	—	—	IRQCLR
PORTRIM	0x85	R/W	0x00	POR_SEL	—	—	POR_TRIM [4:0]				
Reserved	0x86	R/W	0x00	reserved							
Reserved	0x87	R/W	0x00	reserved							
CLKMODE	0x88	R/W	0x01	—	—	—	—	—	—	reserved	MODCTL
CLKCFG	0x89	R/W	0x40	reserved	CLKSRCSE	reserved	CLKFDEN	CLKDIV [3:0]			
CLKEN	0x8A	R/W	0x00	CLKOUTEN			—	—	TIMEN	reserved	KB DEN
AUTOSLPENA	0x8B	R/W	0x00	—	—	—	—	—	—	—	ENABLE
AUTOSLPTIMER	0x8C	R/W	0xFF	UPTIME [7:0]							
	0x8D		0x07	—	—	—	—	—	UPTIME [10:8]		
I2CWAKEUPEN	0x8E	R/W	0x01	—	—	—	—	—	—	—	I2CWEN
KBDMFS	0x8F	R/W	0x01	—	—	—	—	—	—	—	MFSEN
IRQST	0x91	R/W	0x80	PORIRQ	KBDIRQ	DKBDIRQ	-	TIM2IRQ	TIM1IRQ	TIM0IRQ	GPIIRQ
DRIVE0	0xA0	R/W	0x00	KPX3DRV [1:0]		KPX2DRV [1:0]		KPX1DRV [1:0]		KPX0DRV [1:0]	
	0xA1		0x00	KPX7DRV [1:0]		KPX6DRV [1:0]		KPX5DRV [1:0]		KPX4DRV [1:0]	
DRIVE1	0xA2	R/W	0x00	KPY3DRV [1:0]		KPY2DRV [1:0]		KPY1DRV [1:0]		KPY0DRV [1:0]	
	0xA3		0x00	KPY7DRV [1:0]		KPY6DRV [1:0]		KPY5DRV [1:0]		KPY4DRV [1:0]	
DRIVE2	0xA4	R/W	0x00	KPY11DRV[1:0]		KPY10DRV[1:0]		KPY9DRV[1:0]		KPY8DRV[1:0]	
	0xA5		0x00	EXTIO0DRV[1:0]		PWM2DRV[1:0]		PWM1DRV[1:0]		PWM0DRV[1:0]	
DRIVE3	0xA6	R/W	0x00	—	—	—	—	IRQNDR1	IRQNDR0	SDADRV1	SDADRV0
IOCFG	0xA7	R/W	0xF8	GPIOSEL[3:0]			IG	reserved		BALLCFG	
IOPCEXT	0xA8	R/W	0x0A	—			—	DIR25PR[1:0]		DIR24PR[1:0]	
IOPC0	0xAA	R/W	0xAA	KPX3PR [1:0]		KPX2PR [1:0]		KPX1PR [1:0]		KPX0PR [1:0]	
	0xAB		0xAA	KPX7PR [1:0]		KPX6PR [1:0]		KPX5PR [1:0]		KPX4PR [1:0]	

NAME	Address	R/W	Reset value	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
IOPC1	0xAC	R/W	0xAA	KPY3PR [1:0]	KPY2PR [1:0]	KPY1PR [1:0]	KPY0PR [1:0]				
	0xAD		0xAA	KPY7PR [1:0]	KPY6PR [1:0]	KPY5PR [1:0]	KPY4PR [1:0]				
IOPC2	0xAE	R/W	0xAA	KPY11PR[1:0]	KPY10PR[1:0]	KPY9PR[1:0]	KPY8PR[1:0]				
	0xAF		0xAA	EXTIOOPR[1:0]	PWM2PR[1:0]	PWM1PR[1:0]	PWM0PR[1:0]				
GPIODATA0 <sup>a</sup>	0xC0	R/W	0x00	KPX7DATA	KPX6DATA	KPX5DATA	KPX4DATA	KPX3DATA	KPX2DATA	KPX1DATA	KPX0DATA
	0xC1	W	0x00	MASK [7:0]							
GPIODATA1 <sup>a</sup>	0xC2	R/W	0x00	KPY7DATA	KPY6DATA	KPY5DATA	KPY4DATA	KPY3DATA	KPY2DATA	KPY1DATA	KPY0DATA
	0xC3	W	0x00	MASK [15:8]							
GPIODATA2 <sup>a</sup>	0xC4	R/W	0x00	EXTIO0DATA	PWM2DATA	PWM1DATA	PWM0DATA	KPY11DATA	KPY10DATA	KPY9DATA	KPY8DATA
	0xC5	W	0x00	MASK [23:16]							
GPIODIR0	0xC6	R/W	0x00	KPX7DIR	KPX6DIR	KPX5DIR	KPX4DIR	KPX3DIR	KPX2DIR	KPX1DIR	KPX0DIR
GPIODIR1	0xC7	R/W	0x00	KPY7DIR	KPY6DIR	KPY5DIR	KPY4DIR	KPY3DIR	KPY2DIR	KPY1DIR	KPY0DIR
GPIODIR2	0xC8	R/W	0x00	EXTIO0DIR	PWM2DIR	PWM1DIR	PWM0DIR	KPY11DIR	KPY10DIR	KPY9DIR	KPY8DIR
GPIOIS0	0xC9	R/W	0x00	KPX7IS	KPX6IS	KPX5IS	KPX4IS	KPX3IS	KPX2IS	KPX1IS	KPX0IS
GPIOIS1	0xCA	R/W	0x00	KPY7IS	KPY6IS	KPY5IS	KPY4IS	KPY3IS	KPY2IS	KPY1IS	KPY0IS
GPIOIS2	0xCB	R/W	0x00	EXTIO0IS	PWM2IS	PWM1IS	PWM0IS	KPY11IS	KPY10IS	KPY9IS	KPY8IS
GPIOIBE0	0xCC	R/W	0x00	KPX7IBE	KPX6IBE	KPX5IBE	KPX4IBE	KPX3IBE	KPX2IBE	KPX1IBE	KPX0IBE
GPIOIBE1	0xCD	R/W	0x00	KPY7IBE	KPY6IBE	KPY5IBE	KPY4IBE	KPY3IBE	KPY2IBE	KPY1IBE	KPY0IBE
GPIOIBE2	0xCE	R/W	0x00	EXTIO0IBE	PWM2IBE	PWM1IBE	PWM0IBE	KPY11IBE	KPY10IBE	KPY9IBE	KPY8IBE
GPIOIEV0	0xCF	R/W	0x00	KPX7IEV	KPX6IEV	KPX5IEV	KPX4IEV	KPX3IEV	KPX2IEV	KPX1IEV	KPX0IEV
GPIOIEV1	0xD0	R/W	0x00	KPY7IEV	KPY6IEV	KPY5IEV	KPY4IEV	KPY3IEV	KPY2IEV	KPY1IEV	KPY0IEV
GPIOIEV2	0xD1	R/W	0x00	EXTIO0IEV	PWM2IEV	PWM1IEV	PWM0IEV	KPY11IEV	KPY10IEV	KPY9IEV	KPY8IEV
GPIOIE0	0xD2	R/W	0x00	KPX7IE	KPX6IE	KPX5IE	KPX4IE	KPX3IE	KPX2IE	KPX1IE	KPX0IE
GPIOIE1	0xD3	R/W	0x00	KPY7IE	KPY6IE	KPY5IE	KPY4IE	KPY3IE	KPY2IE	KPY1IE	KPY0IE
GPIOIE2	0xD4	R	0x00	EXTIO0 IE	PWM2IE	PWM1IE	PWM0IE	KPY11IE	KPY10IE	KPY9IE	KPY8IE
GPIORIS0	0xD6	R	0x00	KPX7RIS	KPX6RIS	KPX5RIS	KPX4RIS	KPX3RIS	KPX2RIS	KPX1RIS	KPX0RIS
GPIORIS1	0xD7	R	0x00	KPY7RIS	KPY6RIS	KPY5RIS	KPY4RIS	KPY3RIS	KPY2RIS	KPY1RIS	KPY0RIS
GPIORIS2	0xD8	R	0x00	EXTIO0RIS	PWM2 RIS	PWM1 RIS	PWM0 RIS	KPY11 RIS	KPY10 RIS	KPY9 RIS	KPY8 RIS
GPIOMIS0	0xD9	R	0x00	KPX7MIS	KPX6MIS	KPX5MIS	KPX4MIS	KPX3MIS	KPX2MIS	KPX1MIS	KPX0MIS
GPIOMIS1	0xDA	R	0x00	KPY7MIS	KPY6MIS	KPY5MIS	KPY4MIS	KPY3MIS	KPY2MIS	KPY1MIS	KPY0MIS
GPIOMIS2	0xDB	W	0x00	EXTIO0MIS	PWM2MIS	PWM1MIS	PWM0MIS	KPY11MIS	KPY10MIS	KPY9MIS	KPY8MIS
GPIOIC0	0xDC	W	0x00	KPX7IC	KPX6IC	KPX5IC	KPX4IC	KPX3IC	KPX2IC	KPX1IC	KPX0IC
GPIOIC1	0xDD	W	0x00	KPY7IC	KPY6IC	KPY5IC	KPY4IC	KPY3IC	KPY2IC	KPY1IC	KPY0IC
GPIOIC2	0xDE	R/W	0x00	EXTIO0IC	PWM2IC	PWM1IC	PWM0IC	KPY11IC	KPY10IC	KPY9IC	KPY8IC
GPIOOMS0 <sup>a</sup>	0xE0	R/W	0x00	KPX7ODE	KPX6ODE	KPX5ODE	KPX4ODE	KPX3ODE	KPX2ODE	KPX1ODE	KPX0ODE
GPIOOMS0 <sup>a</sup>	0xE1	R/W	0x00	KPX7ODM	KPX6ODM	KPX5ODM	KPX4ODM	KPX3ODM	KPX2ODM	KPX1ODM	KPX0ODM
GPIOOMS1 <sup>a</sup>	0xE2	R/W	0x00	KPY7ODE	KPY6ODE	KPY5ODE	KPY4ODE	KPY3ODE	KPY2ODE	KPY1ODE	KPY0ODE
GPIOOMS1 <sup>a</sup>	0xE3	R/W	0x00	KPY7ODM	KPY6ODM	KPY5ODM	KPY4ODM	KPY3ODM	KPY2ODM	KPY1ODM	KPY0ODM
GPIOOMS2 <sup>a</sup>	0xE4	R/W	0x00	EXTIO0ODE	PWM2ODE	PWM1ODE	PWM0ODE	KPY11ODE	KPY10ODE	KPY9ODE	KPY8ODE
GPIOOMS2 <sup>a</sup>	0xE5	-	0x00	EXTIO0ODM	PWM2ODM	PWM1ODM	PWM0ODM	KPY11ODM	KPY10ODM	KPY9ODM	KPY8ODM
DEVTCODE	0xE6	R	0x3F	—	—	DKEYSTAT	DKEYCODE[4:0]				
Reserved	0xE7	-	-	reserved							
DBOUNCE	0xE8	R/W	0x06	—	—	SYNC	DBOUNCE[4:0]				
GPIOWAKE0	0xE9	R/W	0x00	KPX7WAKE	KPX6WAKE	KPX5WAKE	KPX4WAKE	KPX3WAKE	KPX2WAKE	KPX1WAKE	KPX0WAKE
GPIOWAKE1	0xEA	R/W	0x00	KPY7WAKE	KPY6WAKE	KPY5WAKE	KPY4WAKE	KPY3WAKE	KPY2WAKE	KPY1WAKE	KPY0WAKE
GPIOWAKE2	0xEB	R/W	0x00	EXTIO0WAKE	PWM2WAKE	PWM1WAKE	PWM0WAKE	KPY11WAKE	KPY10WAKE	KPY9WAKE	KPY8WAKE
DIRECT0	0xEC	R/W	0xFF	Direct 7	Direct 6	Direct 5	Direct 4	Direct 3	Direct 2	Direct 1	Direct 0
DIRECT1	0xED	R/W	0xFF	Direct 15	Direct 14	Direct 13	Direct 12	Direct 11	Direct 10	Direct 9	Direct 8
DIRECT2	0xEE	R/W	0xFF	Direct 23	Direct 22	Direct 21	Direct 20	Direct 19	Direct 18	Direct 17	Direct 16
DIRECT3	0xEF	R/W	0x03	—	—	—	—	—	—	Direct 25	Direct 24
DKBDRIS	0xF0	R	0x00	—	—	—	—	—	—	DRELINT	DREVTINT
DKBDMIS	0xF1	R	0x00	—	—	—	—	—	—	DMELINT	DMEVTINT
DKBDIC	0xF2	W	0x00	—	—	—	—	—	—	—	DEVTIC
DKBDMASK	0xF3	R/W	0x00	—	—	—	—	—	—	DMSKELINT	DMSKEINT

注意：

- a. 両バイトを連続ライトした場合のみ、データが更新されます。
- b. このレジスタへのライトアクセスは、不定動作の原因となります。

## 17. システムインテグレーション

以下に応用回路例を示します。グローバルリセットは、I<sup>2</sup>C 経由、Power-on リセット、または専用 RESETN 端子を介して投入可能です。I<sup>2</sup>C デフォルトアドレスは、"1000101" になります。機能端子 KPX、KPY、PWM、EXTIO0、DIR24 および DIR25 は、キー押下が行われていない間の静電放電による損傷を防ぐため、内部プルアップ抵抗（レジスタ IOPC）の割り当てが可能です。

### 17.1. クロック入力として外部に CMOS レベルの発信器を接続する場合

クロックは DIR24 端子から供給されます（IOCFG.BALLCFG = 0x2）。

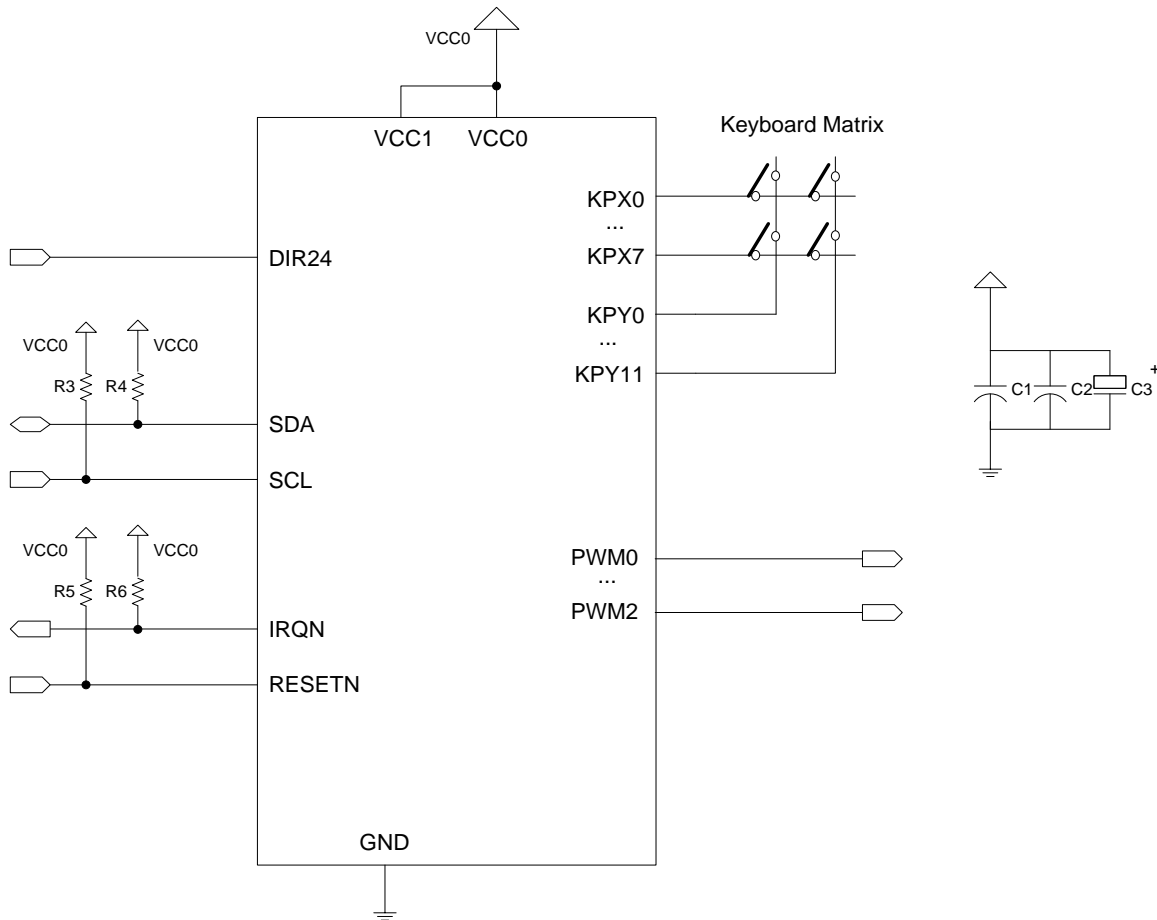


図 17.1 応用回路例（外部CMOSクロック入力時）

表 17.1 推奨値1

コンポーネント	R3、R4	R5、R6	C1	C2	C3
VCC = 1.8 V	3.3 kΩ	10 kΩ	1 nF	10 nF	10 μF

## 17.2. 内部 RC 発振クロックを使用する場合

図 17.2 では、DIR24 がダイレクト入力キー（IOCFG.BALLCFG = 0x0）として使用されます。内部 RC 発信器は、SYSCLK を供給します。

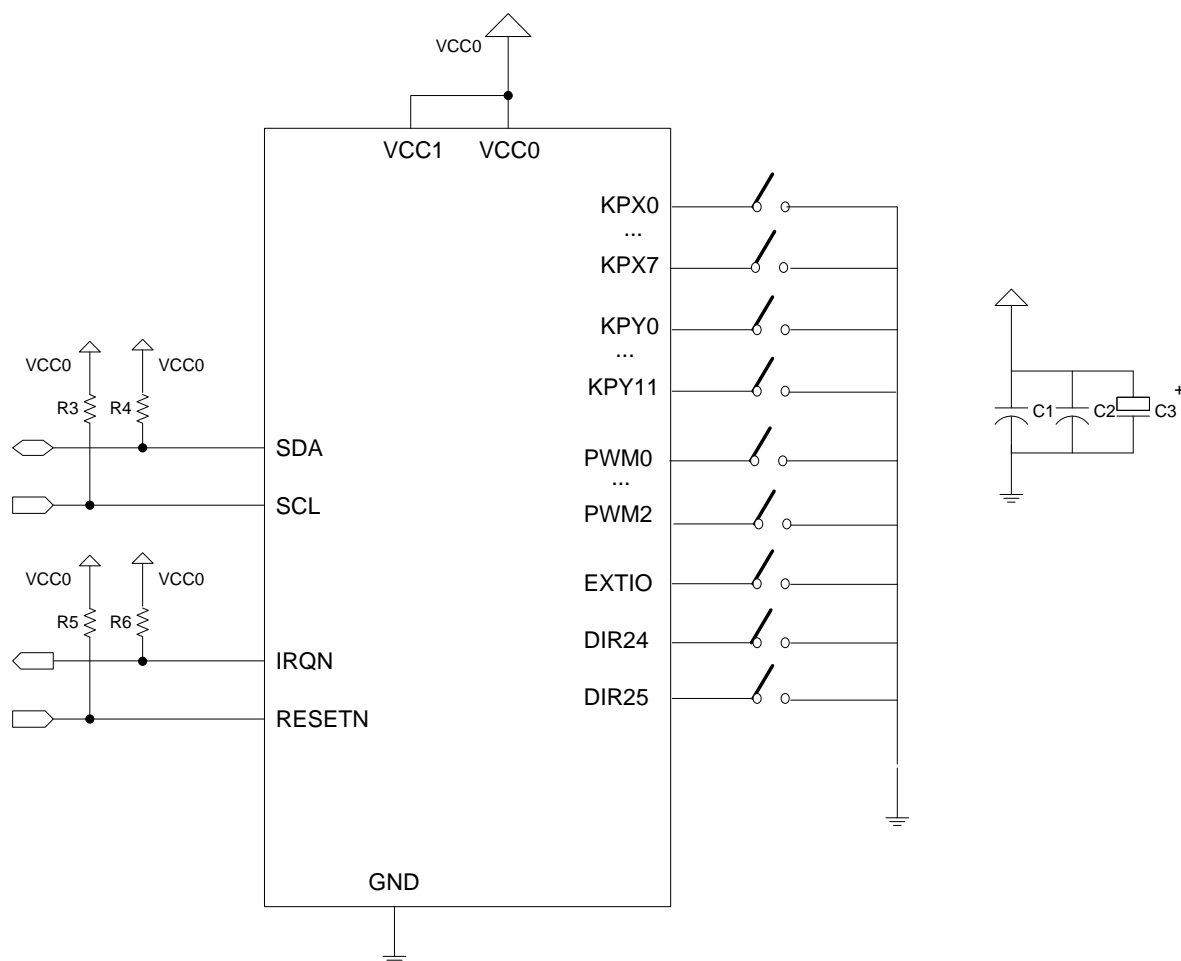


図 17.2 応用回路例（内部RC発振器使用時）

表 17.2 推奨値2

コンポーネント	R3、R4	R5、R6	C1	C2	C3
VCC = 1.8 V	3.3 kΩ	10 kΩ	1 nF	10 nF	10 μF

## 18. 改訂履歴

表 18.1 改訂履歴

Revision	日付	内容
1.1	2015-12-11	新規リリース
1.2	2016-09-07	6.3 DRIVE3 レジスタ表の修正
1.3	2017-11-15	タイポ修正 改定履歴(表 18.1)の追加 ヘッダー、フッター、最終ページの変更 社名変更
1.4	2018-03-12	表 14.2 電源電圧の追加
1.41	2018-11-01	表紙のパッケージ図の変更 商標文言の追加 タイポ修正 2 章に説明文を追加 3.1 の QFP を LQFP に変更 図 12.1 を修正 表 13.1 および表 13.2 の修正 最終ページ「製品取り扱い上のお願い」の改訂、および URL を追加
1.42	2019-05-14	5.5 CLKEN レジスタの説明を修正 9.2.14 DBOUNCE レジスタの説明を修正

## 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適宜可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（生命直結機器）、車載・輸送機器、防衛関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品のRoHS適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。