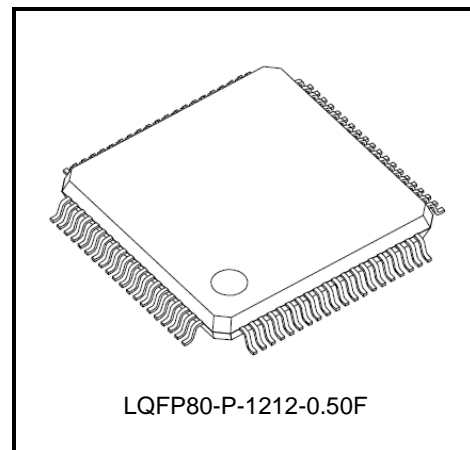


TC90105FG

デュアルチャンネル・ビデオデコーダ

TC90105FG は、アナログ映像信号を色復調して、デジタル映像信号 (ITU-R BT.601/656) で出力する映像処理用 IC です。

加えて、アナログ映像信号の入力インターフェース用として 10bit ADC、3ラインY/C分離機能、マルチ方式対応のビデオデコーダ機能、および多彩な画質処理機能をそれぞれ2系統内蔵しています。



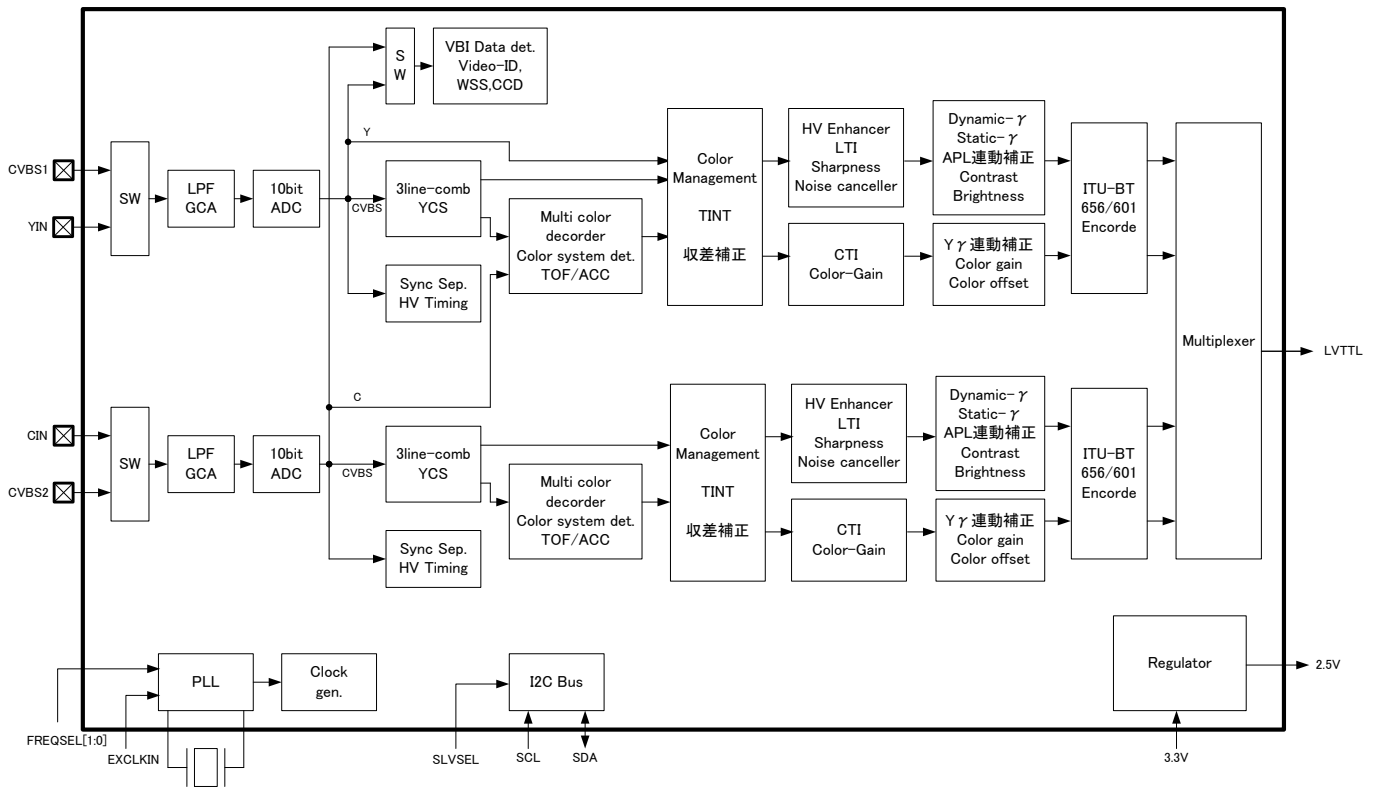
LQFP80-P-1212-0.50F

質量: 0.50 g (標準)

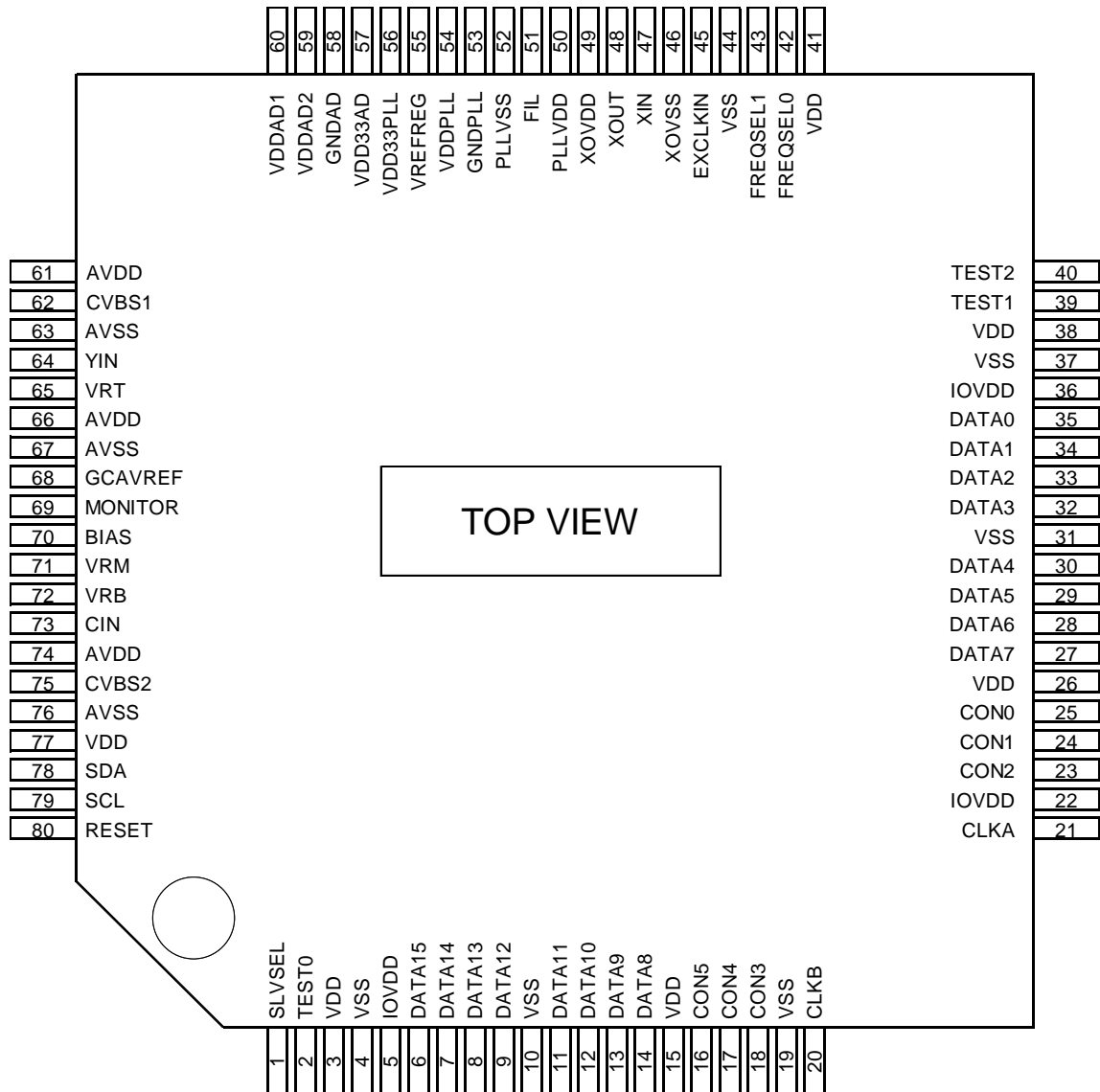
1. 特長

1. 映像入力 : CVBS 信号、Y・C セパレート信号(S-Video)
2. マルチカラーシステム対応カラーデコーダ (2ch)
3. 同期再生/ビデオシステム判別
4. 10bit ADC (2ch) 内蔵
5. アナログ AGC (Sync AGC + Peak AGC) 回路 内蔵
6. 映像信号入力用 LPF 回路 内蔵
7. Y/C 分離 : 3ライン Y/C 分離 (NTSC/PAL)
フィルタ分離 (SECAM)
8. 画質処理 Y: HVD エンハンサ、V エンハンサ、LTI、シャープネス、ノイズキャンセラ、
ダイナミック Y ガンマ補正、スタティック Y ガンマ補正、
コントラスト、ブライツネス
C: TOF、AGC、カラーゲイン、CbCr オフセット、CTI、ノイズキャンセラ、テイント、
CMC (カラーマネジメント)、Y ガンマ補正連動色補正
9. フィーチャー機能: 水平収差補正
VBI スライサ (WSS/Video-ID/CC)
S/N 検出
10. 信号出力 : ITU-R BT.601 準拠 / ITU-R BT.656 準拠
11. I²C-bus 制御
12. レギュレータ回路 (3.3 V 入力/2.5 V 出力) 内蔵
13. パッケージ : LQFP 80 Pin (0.50 mm ピッチ)
14. 電源電圧 : 3 系統 (3.3 V, 2.5 V, 1.5 V)
15. 動作周囲温度 : -40°C ~ 85°C

2. ブロック図



3. 端子配置図



4. 端子説明

No.	Pin Name	I/O	機能説明	耐圧仕様[V]	回路系統	標準動作時のDCレベル[V]
1	SLVSEL	I	I ² C スレーブアドレス選択端子	3.3	Digital	-
2	TEST0	I	テストモード PIN (GND に接続)	3.3	Digital	3.3
3	VDD	DVDD	ロジック電源 (1.5 V)	1.5	Digital	1.5
4	VSS	DVSS	ロジック GND	0	Digital	0
5	IOVDD	IOVDD33	IO 電源 (3.3 V)	3.3	Digital	3.3
6	DATA15	O	デジタル出力 15	3.3	Digital	-
7	DATA14	O	デジタル出力 14	3.3	Digital	-
8	DATA13	O	デジタル出力 13	3.3	Digital	-
9	DATA12	O	デジタル出力 12	3.3	Digital	-
10	VSS	DVSS	ロジック GND	0	Digital	0
11	DATA11	O	デジタル出力 11	3.3	Digital	-
12	DATA10	O	デジタル出力 10	3.3	Digital	-
13	DATA9	O	デジタル出力 9	3.3	Digital	-
14	DATA8	O	デジタル出力 8	3.3	Digital	-
15	VDD	DVDD	ロジック電源 (1.5 V)	1.5	Digital	1.5
16	CON5	O	タイミングパルス出力 5	3.3	Digital	-
17	CON4	O	タイミングパルス出力 4	3.3	Digital	-
18	CON3	O	タイミングパルス出力 3	3.3	Digital	-
19	VSS	DVSS	ロジック GND	0	Digital	0
20	CLKB	O	Bch CLK 出力	3.3	Digital	-
21	CLKA	O	Ach CLK 出力	3.3	Digital	-
22	IOVDD	IOVDD33	IO 電源 (3.3 V)	3.3	Digital	3.3
23	CON2	O	タイミングパルス出力 2	3.3	Digital	-
24	CON1	O	タイミングパルス出力 1	3.3	Digital	-
25	CON0	O	タイミングパルス出力 0	3.3	Digital	-
26	VDD	DVDD	ロジック電源 (1.5 V)	1.5	Digital	1.5
27	DATA7	O	デジタル出力 7	3.3	Digital	-
28	DATA6	O	デジタル出力 6	3.3	Digital	-
29	DATA5	O	デジタル出力 5	3.3	Digital	-
30	DATA4	O	デジタル出力 4	3.3	Digital	-
31	VSS	DVSS	ロジック GND	0	Digital	0
32	DATA3	O	デジタル出力 3	3.3	Digital	-
33	DATA2	O	デジタル出力 2	3.3	Digital	-
34	DATA1	O	デジタル出力 1	3.3	Digital	-
35	DATA0	O	デジタル出力 0	3.3	Digital	-
36	IOVDD	IOVDD33	IO 電源 (3.3 V)	3.3	Digital	3.3
37	VSS	DVSS	ロジック GND	0	Digital	0
38	VDD	DVDD	ロジック電源 (1.5 V)	1.5	Digital	1.5
39	TEST1	I	テストモード PIN (GND に接続)	3.3	Digital	3.3
40	TEST2	I	テストモード PIN (GND に接続)	3.3	Digital	3.3

No.	Pin Name	I/O	機能説明	耐圧仕様[V]	回路系統	標準動作時のDCレベル[V]
41	VDD	DVDD	ロジック電源 (1.5 V)	1.5	Digital	1.5
42	FREQSEL0	I	水晶振動子周波数切り替え端子 0	3.3	Digital	-
43	FREQSEL1	I	水晶振動子周波数切り替え端子 1	3.3	Digital	-
44	VSS	DVSS	ロジック GND	0	Digital	0
45	EXCLKIN	I	外部クロック入力 (27 MHz)	3.3	Digital	-
46	XOVSS	XOVSS	水晶発振回路 GND	3.3	Digital	0
47	XIN	I	水晶発振回路入力	3.3	Digital	-
48	XOUT	O	水晶発振回路出力	3.3	Digital	-
49	XOVDD	XOVDD	水晶発振回路電源 (2.5 V 推奨、3.3 V まで)	3.3	Digital	2.5 or 3.3
50	PLLVD	AVDD25	PLL アナログ電源 (2.5 V)	2.5	analog	2.5
51	FIL	O	クロック用 VCO 制御電圧	0	analog	
52	PLLVSS	AVDD25	PLL アナログ GND	2.5	analog	0
53	GNDPLL	AVSS	レギュレータ アナログ GND (PLL)	0	analog	0
54	VDDPLL	O	レギュレータ 2.5 V 出力(PLL 用 2.5 V)	2.5	analog	2.5
55	VREFREG	BIAS	レギュレータ用電圧中継	2.5	analog	
56	VDD33PLL	AVDD33	レギュレータ 3.3 V アナログ電源入力 (PLL, XO 用 3.3 V)	3.3	analog	3.3
57	VDD33AD	AVDD33	レギュレータ 3.3 V アナログ電源入力 (ADC 用 3.3 V)	3.3	analog	3.3
58	GNDAD	AVSS	レギュレータ アナログ GND (ADC)	0	analog	0
59	VDDAD2	O	レギュレータ 2.5 V 出力(ADC 用 2.5 V)	2.5	analog	2.5
60	VDDAD1	O	レギュレータ 2.5 V 出力(ADC 用 2.5 V)	2.5	analog	2.5
61	AVDD	AVDD25	ADC/GCA アナログ電源 (2.5V)	2.5	analog	2.5
62	CVBS1	I	CVBS 入力1	2.5	analog	-
63	AVSS	AVSS	ADC/GCA アナログ GND	0	analog	0
64	YIN	I	Y/CVBS 入力	2.5	analog	-
65	VRT	BIAS	ADC 用上限基準電圧	2.5	analog	
66	AVDD	AVDD25	ADC/GCA アナログ電源 (2.5 V)	2.5	analog	2.5
67	AVSS	AVSS	ADC/GCA アナログ GND	0	analog	0
68	GCAVREF	BIAS	GCA 出力基準電圧	2.5	analog	
69	MONITOR	O	テスト用出力端子	2.5	analog	-
70	BIAS	BIAS	ADC 用基準電圧	2.5	analog	
71	VRM	BIAS	ADC 用中点基準電圧	2.5	analog	
72	VRB	BIAS	ADC 用下限基準電圧	2.5	analog	
73	CIN	I	C 入力	2.5	analog	-
74	AVDD	AVDD25	ADC/GCA アナログ電源 (2.5 V)	2.5	analog	2.5
75	CVBS2	I	CVBS 入力2	2.5	analog	-
76	AVSS	AVSS	ADC/GCA アナログ GND	0	analog	0
77	VDD	DVDD	ロジック電源 (1.5 V)	1.5	Digital	1.5
78	SDA	I/O	I ² C データ端子	5.0	Digital	-
79	SCL	I	I ² C クロック端子	5.0	Digital	-
80	RESET	I	システムリセット	5.0	Digital	3.3

5. 機能説明

5.1 製品概要

- TC90105FG は、マルチシステム対応カラーデコーダを2系統搭載した LSI です。
- 2系統の入力信号を同時に色復調して、片方を ITU-R BT.601 準拠、もしくは両方を ITU-R BT.656 準拠のフォーマットでデジタル出力します。
デジタル出力はマルチプレクス処理することで、2系統同時に出力することが可能です。
(ITU-R BT.656 準拠フォーマット出力時は、マルチプレクス処理の他に 8bit 2系統同時出力が可能です。)
- HVD エンハンサ、ダイナミックガンマ補正、カラーマネジメント等の多くの画質改善機能を有しています。
- 水平スケーラを内蔵しており、水平方向の非線形伸張が可能です。
- VBI スライサ機能を搭載しており、クローズドキャプション(CC) / Video-ID / WSS に対応しています。
- 3.3 V 入力 2.5 V 出力のレギュレータ回路を内蔵しており、ADC と PLL 回路の電源供給用に使用できます。
(使用する場合、IC 外部での端子接続が必要です。)

5.2 アナログ入力

5.2.1 入力信号について

TC90105FG は、CVBS を2系統入力、もしくはS端子(Y/C)を1系統入力用に、10bit ADC を 2ch 内蔵しています。ADC の入力ダイナミックレンジは $AVDD \times 0.4$ で設計されており、通常入力ダイナミックレンジは $1.0 V_{p-p}$ ($AVDD = 2.5 V$) となります。推奨標準入力振幅は、140IRE 入力で $0.7 V_{p-p}$ (0.7 倍)としてください。

この IC は、CVBS 入力用に AGC 機能を搭載しています。AGC 機能を使用すると、140IRE で $0.7 V_{p-p}$ にアッテネートして、ADC に入力されます。

このため、AGC 機能を使用する際には、端子入力時振幅を 140IRE で $1.0 V_{p-p}$ で入力することが可能となります。

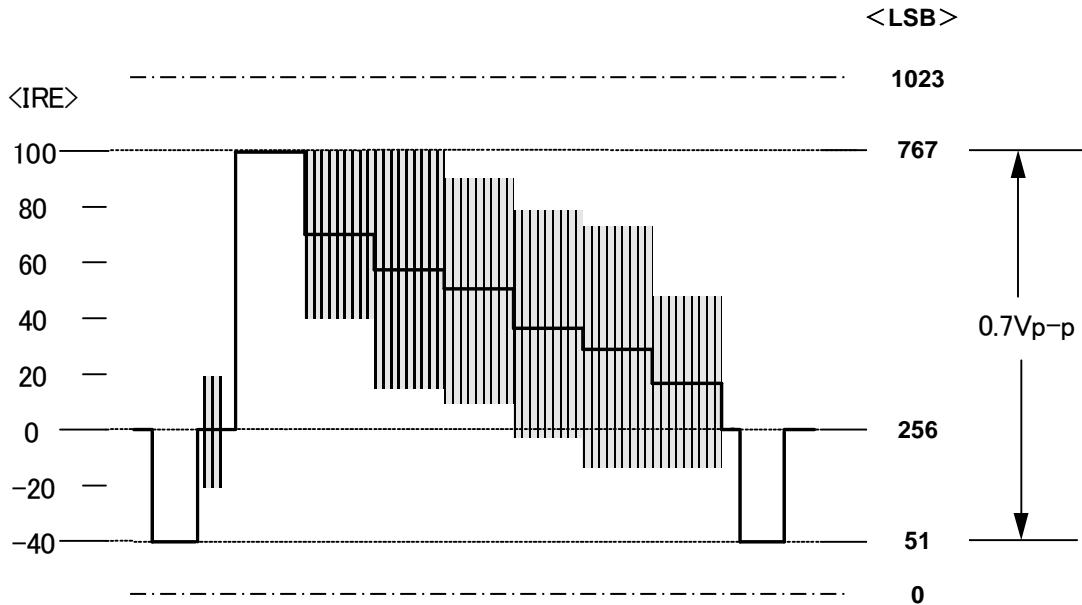
入力信号のクランプ処理は、CVBS 入力およびS端子のY信号入力については、シンクフィードバックによるペDESTAL クランプを行っています。

C信号入力は、内部バイアスにより 128LSB にバイアスを行っています。

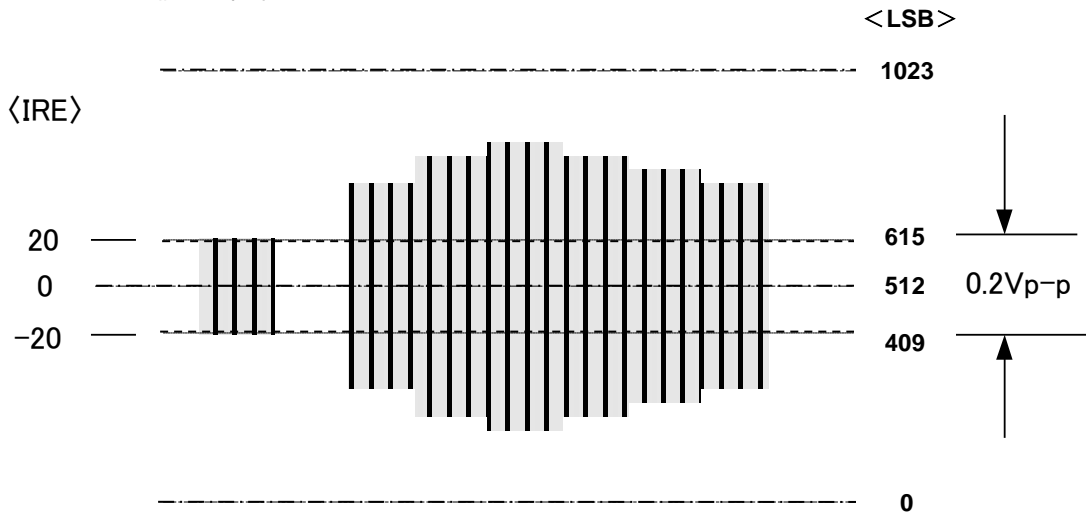
なお、AD 変換後にデジタル方式によるクランプ処理が行えます。

5.2.2 アナログ入力信号標準入力レベル

- 1) Composite Video 信号または S-Video のY信号の白100%時の標準入力レベル
(例: Composite Video 信号入力時)



- 2) S-Video のC信号の標準入力レベル



5.2.3 入力信号・端子対応表

入力端子毎の対応入力信号フォーマットを、以下の表に記載する。
また、入力端子と対応するコアも同時に記載する。

対応コア	信号フォーマット		CVBS	Y/C セパレート信号
	入力端子			
CoreA	CVBS1		○	
	YIN		○	○(Y)
CoreB	CVBS2		○	
	CIN			○(C)

5.2.4 AGC (Auto Gain Control)機能

GCA(ゲインコントロールアンプ)を内蔵しており、デジタル AGC 機能との組み合わせで、CVBS 入力と Y 入力に対して、AGC 機能を使用することが可能です。

AGC 機能には、AGC オートモードとマニュアルゲインモードの2種類があります。

GCA 機能を使用することで、CVBS の 1.0 V_{p-p} 標準入力が可能となります。

5.2.5 LPF 機能

GCA の前段にアンチエイリアシング用 LPF を内蔵しており、ON とスルーの経路選択が可能です。

- 方式: 4次バターワースフィルタ
- f 特: -1 dB @6 MHz, -14 dB @13.5 MHz (設計値)

5.3 デジタル出力 (Outsel Block)

5.3.1 出力フォーマット

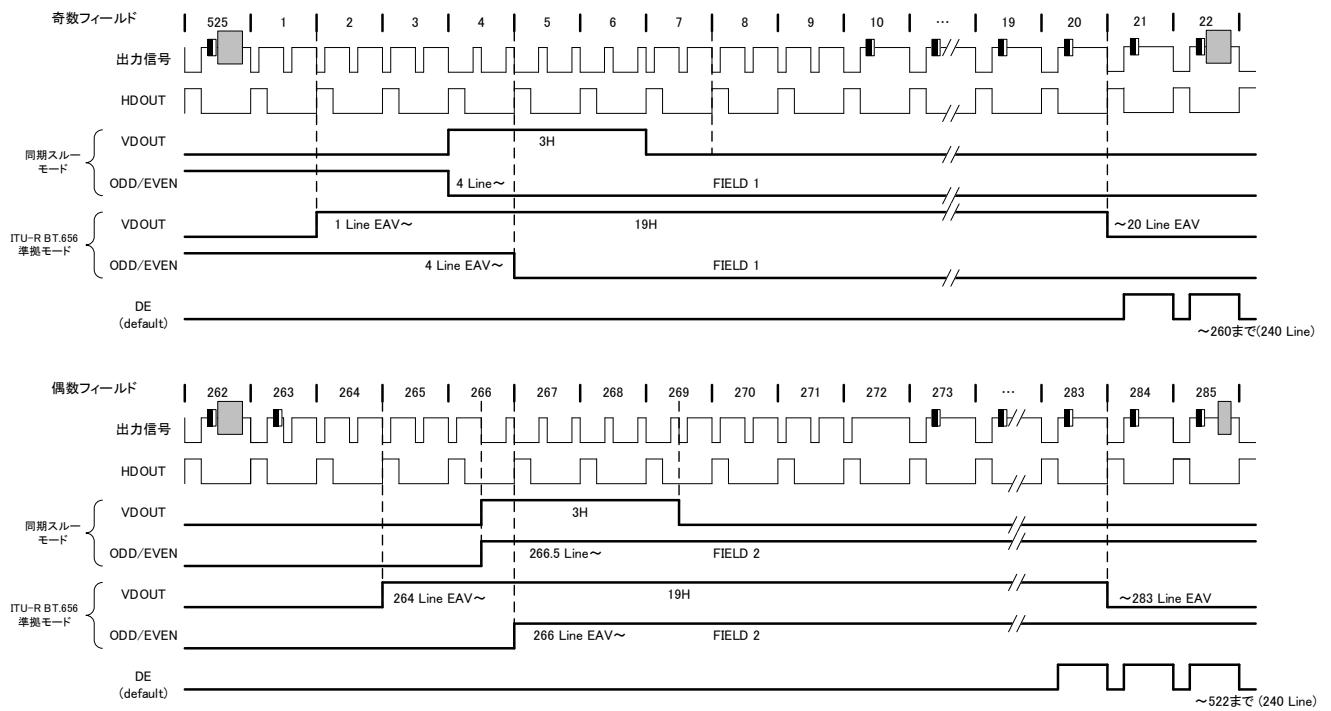
ITU-R BT.601 準拠もしくは ITU-R BT.656 準拠のフォーマットで出力します。

ITU-R BT.601 準拠/ITU-R BT.656 準拠の出力フォーマット選択は、[601_656](Seg0x00、Sub0x06) で設定します。

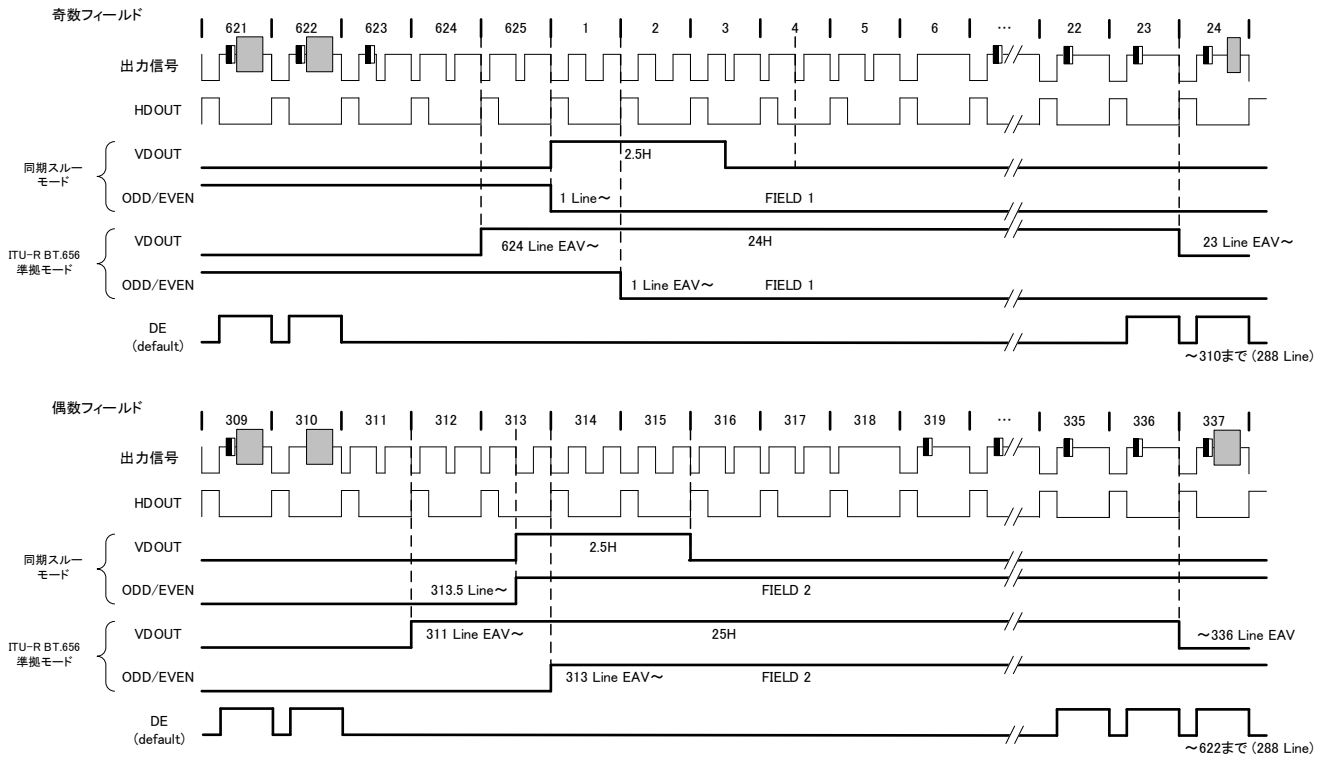
Y: ペDESTALレベル = 16 LSB

C: センター電位 = 128 LSB

5.3.1.1. 525i/60Hz 入力時



5.3.1.2. 625i/50Hz 入力時



5.3.2 マルチプレクス処理出力

CVBS2系統の入力の際には、2系統の出力をマルチプレクス処理して出力することができます。

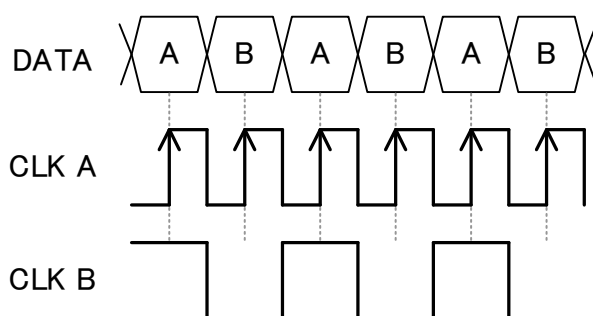
マルチプレクス処理出力は、IRU-R BT.601 準拠および ITU-R BT.656 準拠のどちらのフォーマットでも可能ですが、2系統で同一のフォーマット形式になります。

マルチプレクス処理を行った際のクロックの出力には、それぞれのクロックを出力するモード(6.5.2.2 Type2)と、マルチプレクスしたクロックに加えて、どちらの系統の出力かのフラグを出力するモード(6.5.2.1 Type1)の、2つのモードがあります。

5.3.2.1. Type1

マルチプレクスされたデータ信号と同じ周波数のクロック信号と、どちらの系統を出力しているかのフラグ信号を出力するモードです。

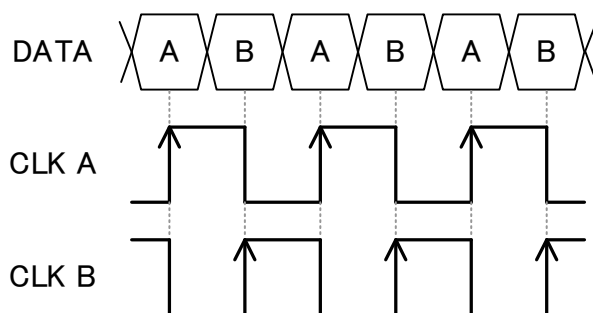
フラグ信号は、デフォルト設定時に、CoreA(Segment 0x01)の出力時に High 出力となり、CoreB(Segment 0x02)の出力時に Low 出力となります。



5.3.2.2. Type2

2系統の出力のクロックを、それぞれ別端子から出力するモードです。

データ信号はマルチプレクスされていますので、このモードでのクロック信号は、データ信号の半分の周波数で出力されます。



5.3.3 タイミングパルス出力

CoreA および CoreB の下記各信号が、CON[5:0] (16, 17, 18, 23, 24, 25 pin) 端子に、選択して出力することができます。各端子の出力選択は、[CON[5:0]](Seg0x00、Sub0x08~0x0D)で行います。

1. DE (Data Enable) 信号 <CoreA/CoreB>
映像表示出力の水平および垂直の有効画像領域を示す信号を出力します。
DE 信号は、High レベルが有効領域、Low レベルがブランキング領域となります。
2. HD (Horizontal Definition) 信号 <CoreA/CoreB>
表示映像信号出力に同期した水平同期信号を出力します。
幅／極性／位相の調整は、任意の位置に画素単位に設定可能です。
3. VD (Vertical Definition) 信号 <CoreA/CoreB>
表示映像信号出力に同期した垂直同期信号を出力します。
幅／極性／位相の調整は、任意の位置に1／4単位に設定可能です。
4. FIELD 信号 <CoreA/CoreB>
表示映像信号出力に同期したフィールド信号を出力します。
出力の極性は、[FLDO_POLE]で設定可能です。(<CoreA> Seg0x01 Sub0x3C / <CoreB> Seg0x01 Sub0x3C)
デフォルト設定時では、Even(High 出力)/Odd(Low 出力)です。
5. UVFLG 信号 <CoreA/CoreB>
4:2:2 の出力の Cb／Cr のフラグ信号を出力します。
出力の極性は、[UVREV]で設定可能です。(<CoreA> Seg0x01 Sub0x3B / <CoreB> Seg0x01 Sub0x3B)
デフォルト設定時では、Cb 出力時 High 出力です。
6. NOSIG 信号 <CoreA/CoreB>
内部無信号検出の結果を出力します。
7. VBI READY 信号
VBI スライサに入力選択された系統の VBI READY 信号を出力します。

5.4 レギュレータ回路

3.3V 入力 2.5V 出力のレギュレータ回路を、ADC 回路用と PLL 回路用に2個内蔵しています。

レギュレータ出力電圧を使用する場合には、それぞれのレギュレータ回路の出力端子を、ADC および PLL のそれぞれの回路の電源入力端子に、IC 外部において接続する必要があります。

なお、内蔵レギュレータ回路は、本 IC の動作目的以外には使用しないでください。

	レギュレータ回路		電源入力端子
	入力端子	出力端子	
ADC 回路用	VDD33AD (57 pin)	VDDAD1 (60 pin), VDDAD2 (59 pin)	AVDD (61, 66, 74 pin)
PLL 回路用	VDD33PLL (56 pin)	VDDPLL (54 pin)	PLLVDD (50 pin), XOVDD (49 pin)

6. 絶対最大定格

絶対最大定格は、瞬時たりとも超えてはならない規格です。

最大定格を超えると IC の破壊や劣化、損傷の原因となり、IC 以外にも破壊や劣化、損傷を与える恐れがあります。

いかなる動作条件においても、必ず最大定格を超えないように周辺回路／応用機器の設計を行っていただくようお願いいたします。

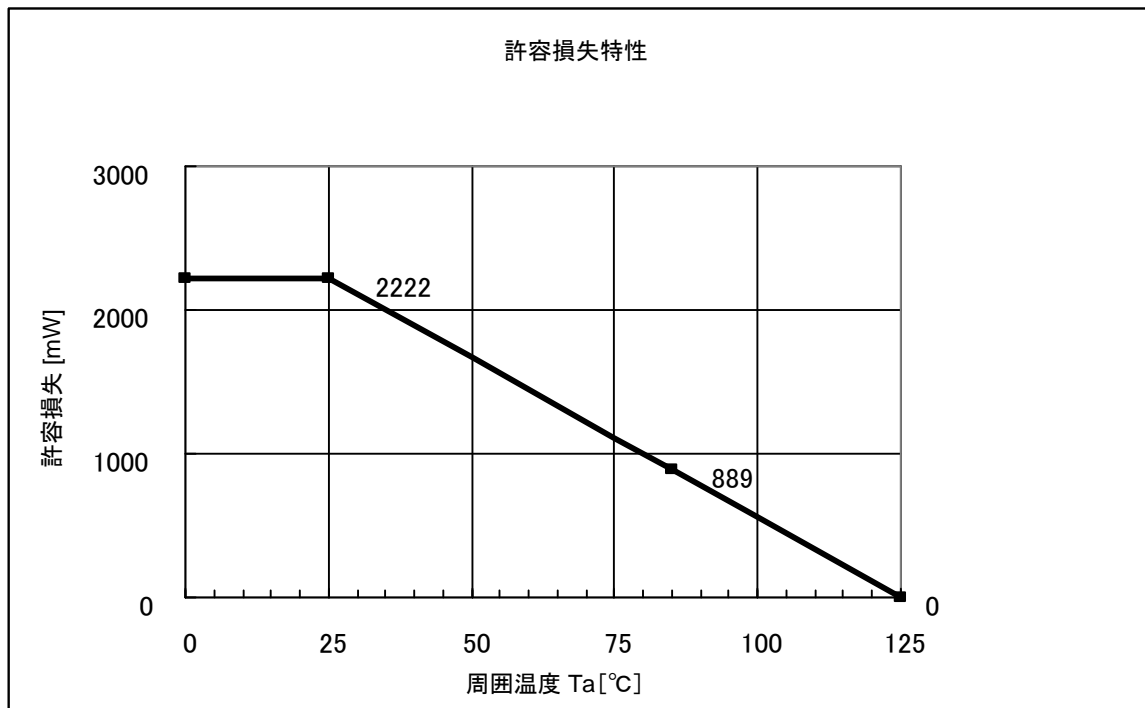
項目	端子番号	記号	定格	単位
電源電圧 1 (1.5 V 系)	3, 15, 26, 38, 41, 77	VDD1	-0.3 ~ VSS + 2.0	V
電源電圧 2 (2.5 V 系)	49, 50, 61, 66, 74	VDD2	-0.3 ~ VSS + 3.5	V
電源電圧 3 (3.3 V 系)	5, 22, 36, 56, 57	VDD3	-0.3 ~ VSS + 3.9	V
入力電圧 (2.5 V 系)	47, 62, 64, 73, 75	VIN2	-0.3 ~ VDD2 + 0.3	V
入力電圧 (3.3 V 系)	1, 42, 43	VIN3	-0.3 ~ VDD3 + 0.3	V
入力電圧 (3.3 V 系 5 V 耐圧)	78, 79, 80	VIN4 (注 1)	-0.3 ~ VSS + 5.5	V
電源端子間電位差 (1.5 V 系電源端子間)	-	Δ V _{DG1} (注 2)	0.3	V
電源端子間電位差 (2.5 V 系電源端子間)	-	Δ V _{DG2} (注 2)	0.3	V
電源端子間電位差 (3.3 V 系電源端子間)	-	Δ V _{DG3} (注 2)	0.3	V
許容損失	-	PD (注 3)	2222	mW
保存温度	-	T _{stg}	-40 ~ 125	°C

(注 1) SDA、SCL、RESET の端子耐圧は 5 V です。

(注 2) 1.5/2.5/3.3V の各電圧系の VDD 端子グループ間を同電位で接続(ショート)した状態で、各電圧系の VDD 端子グループ間の最大電位差がそれぞれ定格を超えないようにしてください。

この時、全 VSS 端子間の最大電位差は 0.01 V 以内としてください。

(注 3) T_a = 25°C 以上で使用する場合は、1°C につき 22.22 mW 減じて考えてください。(T_a = 85°C の場合、889 mW が最大許容損失となります。)



7. 動作範囲

本 IC は、電源電圧範囲(1.4 V~1.6 V、2.3 V~2.7 V、3.0 V~3.6 V)を外れた場合の動作は保証できませんので、誤使用に際しては、記載された動作条件の範囲内でのご使用をお願いいたします。

一旦、動作条件の範囲を外れてから範囲内に戻った場合、外れる前の状態とは異なりますので、一旦電源を立ち下げ、新たに立ち上げる必要があります。

項目	端子番号	記号	最小	標準	最大	単位
デジタル電源電圧	3, 15, 26, 38, 41, 77	VDD-D	1.4	1.5	1.6	V
I/O 電源電圧(*1)	5, 22, 36	VDD-IO	3.0	3.3	3.6	V
レギュレータ電源電圧(*1)	56, 57	VDD-REG	3.0	3.3	3.6	V
XO 電源電圧(*2)	49	VDD-XO	2.3	2.5	3.6	V
PLL 電源電圧(*3)	50	VDD-PLL	2.3	2.5	2.7	V
アナログ電源電圧(*3)	61, 66, 74	VDD-AD	2.3	2.5	2.7	V
動作温度	-	Topr	-40	-	85	°C

(*1) I/O 電源電圧とレギュレータ電源電圧は、極力同電位となるようにご配慮願います。

(*2) XO 電源を 2.5 V 電源に接続する際は PLL 電源電圧、アナログ電源電圧と極力同電位となるようにご配慮願います。

3.3 V 電源に接続することも可能ですが、その際には、I/O 電源電圧とレギュレータ電源電圧と極力同電位となるようにご配慮願います。端子番号 49 ピンの推奨電源は 2.5 V 電圧ですが 3.3 V の印可も可能です。

(*3) PLL 電源電圧とアナログ電源電圧は、極力同電位となるようにご配慮願います。

8. 電気特性

8.1 DC 特性

(Ta = 25°C, VDD1 = 1.50 V ± 0.1 V, VDD2 = 2.50 V ± 0.2 V, VDD3 = 3.30 V ± 0.3 V)

項目	端子番号	記号	最小	標準	最大	単位	備考
電源電流 (*4)	3, 15, 26, 38, 41, 77	IDD1 (1.5 V 系)	—	—	150	mA	
	49, 50, 61, 66, 74	IDD2 (2.5 V 系)	—	—	150	mA	内蔵レギュレータを使用せず、2.5 V 電源を外部から供給した場合。
	5, 22, 36, 56, 57	IDD3-1 (3.3 V 系)	—	—	50	mA	内蔵レギュレータを使用せず、2.5 V 電源を外部から供給した場合。
		IDD3-2 (3.3 V 系)	—	—	170	mA	内蔵レギュレータを使用した場合。
入力電圧	1, 42, 43, 45	VIH	VDD3 x 0.8	—	VDD3	V	3.3 V 系 I/O 入力端子
	78, 79, 80						5.0 V 系 I/O 入力端子
	1, 42, 43, 45	VIL	VSS	—	VDD3 x 0.2	V	3.3 V 系 I/O 入力端子
	78, 79, 80						5.0 V 系 I/O 入力端子
入力電流	1, 42, 43, 45	IIH	-10	—	10	μA	3.3 V 系 I/O 入力端子
	78, 79, 80						5.0 V 系 I/O 入力端子
	1, 42, 43, 45	IIL	-10	—	10	μA	3.3 V 系 I/O 入力端子
	78, 79, 80						5.0 V 系 I/O 入力端子
出力電圧	6, 7, 8, 9, 11, 12, 13, 14, 16, 17, 18, 20, 21, 23, 24, 25, 27, 28, 29, 30, 32, 33, 34, 35	VOH	VDD3 - 0.6	—	VDD3	V	3.3 V 系 I/O 出力端子 4 mA 流出負荷時
		VOL	VSS	—	0.4	V	3.3 V 系 I/O 出力端子 4 mA 流入負荷時

(*4) 消費電力(W)は、内蔵レギュレータの使用の有無で計算方法が変わります。

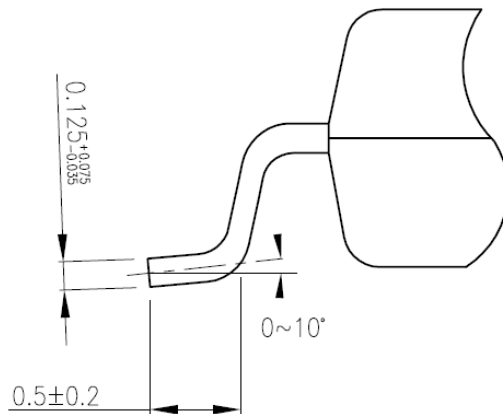
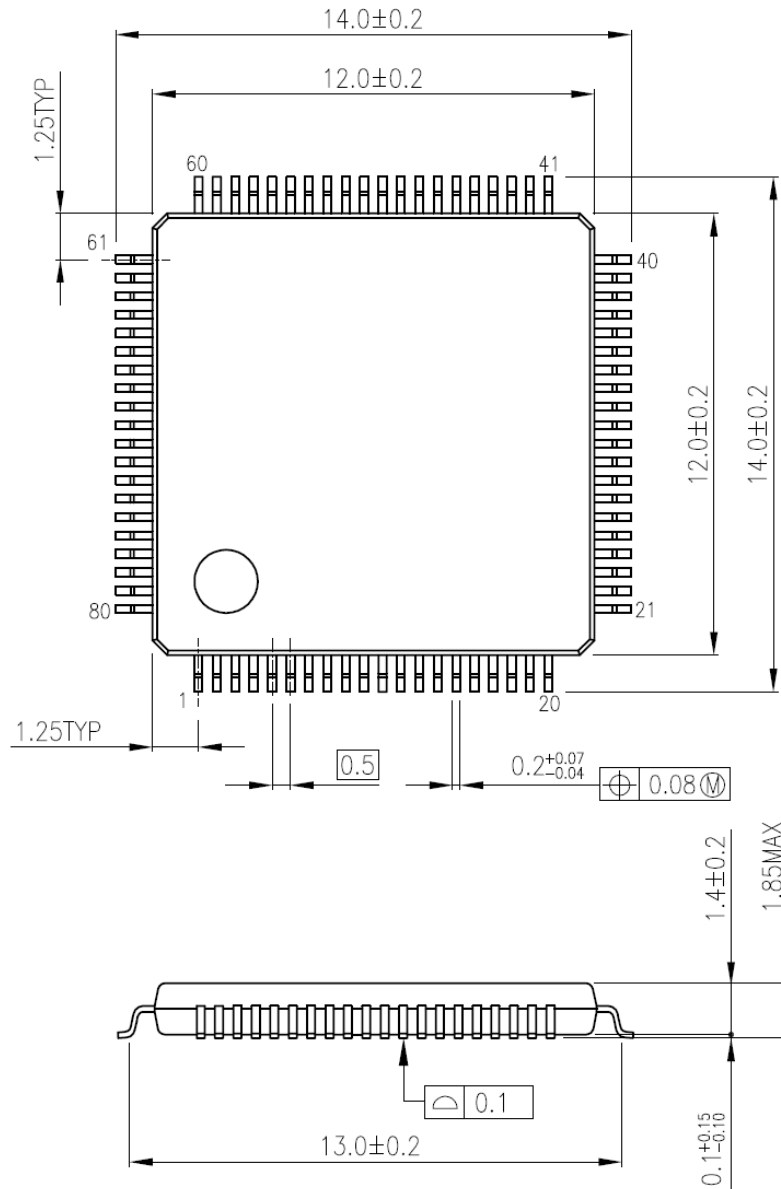
内蔵レギュレータを使用する場合 : IDD1, IDD3-2 の合計

内蔵レギュレータを使用しない場合 : IDD1, IDD2, IDD3-1 の合計

9. 外形図

LQFP80-P-1212-0.50F

Unit: mm



質量：0.50 g (標準)

10. 変更履歴

Date	Revision	Content
2015/11/11	1.00	簡易版データシート初稿

製品取り扱い上のお願い

- 本資料に掲載されているハードウェア、ソフトウェアおよびシステム（以下、本製品という）に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米
国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。