

CMOS 形 デジタル集積回路 シリコン モノリシック

TC90197XBG

小型液晶パネル用 2 画面映像信号処理 IC

1. 概要

TC90197XBG は、W-VGA 小型液晶パネル用映像処理 LSI です。アナログコンポーネントビデオ、コンポジットビデオ、デジタル RGB、デジタル YUV の各入力に対応し、デジタル RGB 映像出力と W-VGA 液晶パネル制御用タイミング信号出力機能を内蔵しています。

2. 用途

カー・ナビゲーション/カー・エンタテインメント

3. 特長

● 入力機能

- コンポーネントビデオ信号入力 2 系統 (RGB または YCbCr 選択、525i / 625i / 525p / 625p)
 - 8bit A/D コンバータ 3ch
 - Gch IN 端子カメラ入力モード (NTSC / PAL デコーダ)
- コンポジットビデオ信号入力 3 系統 (NTSC / PAL / SECAM / PAL-M / PAL-N / PAL60 / 443NTSC)
 - 8bit A/D コンバータ 1ch
- デジタル入力 1 (RGB (525p / 625p): 6bit × 3ch)
- デジタル入力 2 (RGB (525p / 625p): 6bit × 3ch または YUV: ITU-R BT.601 (525i / 625i / 525p / 625p) または ITU-R BT.656 (525i / 625i) 選択)

● 出力機能

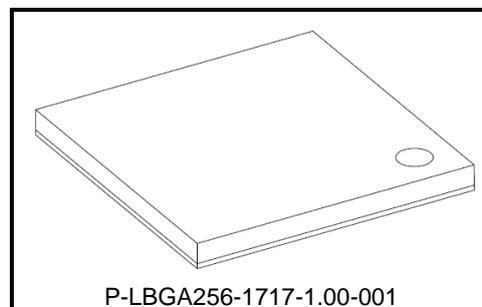
- デジタル RGB 出力 (8bit × 3ch)
- LCD 制御信号出力 (W-VGA: 800 dot × 480 Line)
- LED バックライト調光用 Dimmer (PWM) 出力

● その他機能

- 3 ライン YC 分離 (NTSC / PAL)
- マルチカラーデコーダ (NTSC / PAL / SECAM / PAL-M / PAL-N / PAL60 / 443NTSC)
- デジタル PLL (クロック生成用)
- スケーリング処理 (16 Mbit DRAM 内蔵)
- スーパーインポーズ機能
 - オーバーレイ (パルス信号制御またはクロマキー制御)
 - ライン描画 OSD
 - 内蔵キャラクタ SRAM フォント OSD
- YCbCr 画質調整
 - Y: HVD エンハンサー、H/V エンハンサー、LTI、ノイズキャンセラ、コントラスト、ブライトネス
 - C: カラーマネージメント、肌色補正、CTI、ノイズキャンセラ、ゲイン制御、Cb/Cr オフセット
- RGB 画質調整 (コントラスト、ブライトネス)
- Y ダイナミックガンマ
- ピクチャガンマ (変曲点 8 ポイント制御)
- RGB ガンマ (変曲点 8 ポイント制御)
- I²C バス制御 (ファーストモード対応)
- EEPROM 対応 (64 kbit / 128 kbit / 256 kbit)

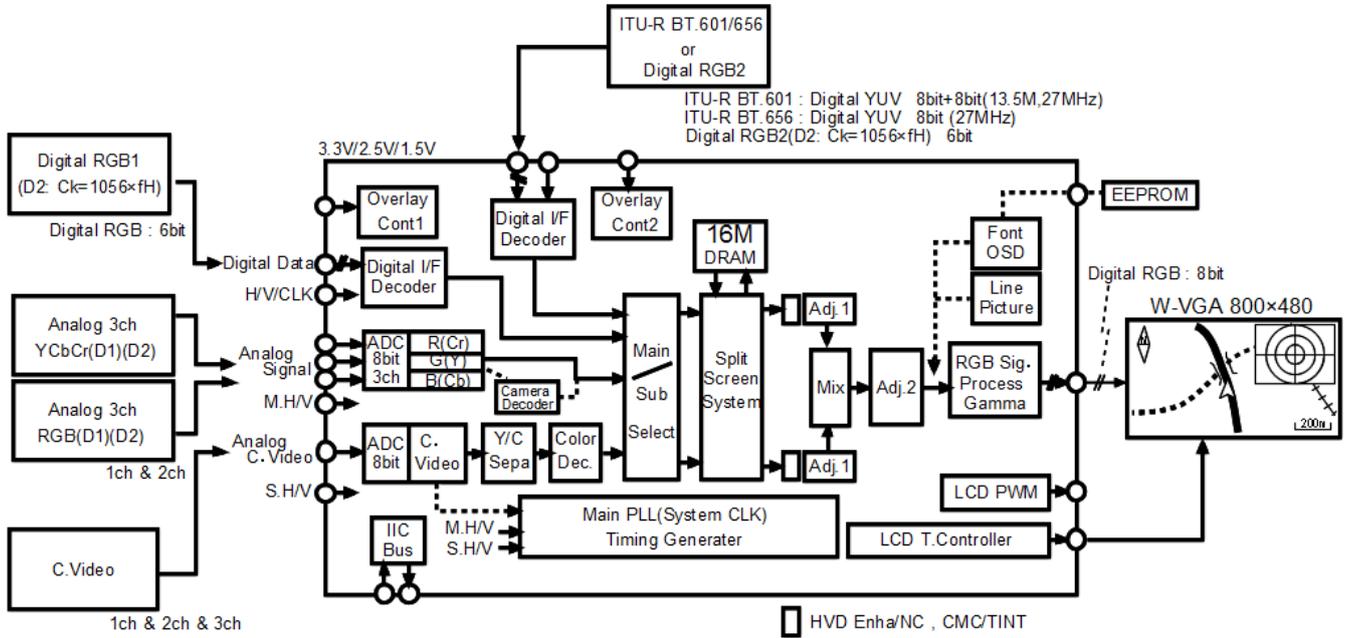
● 電源電圧

- 1.5 V (ロジック、DRAM)、2.5 V (アナログ、DRAM)、3.3 V (I/O)



質量: 0.63 g (標準)

4. ブロック図



5. 端子配置図 (top view)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	
A	DG2 RIN4	DG2 RIN2	DG2 RIN0	D-B0 Out	D-B2 Out	D-B4 Out	D-B6 Out	D-G0 Out	D-G2 Out	D-G4 Out	D-G6 Out	D-R0 Out	D-R2 Out	D-R4 Out	D-R6 Out	CPH Out	A
B	DG2 RIN5	DG2 RIN3	DG2 RIN1	D-B1 Out	D-B3 Out	D-B5 Out	D-B7 Out	D-G1 Out	D-G3 Out	D-G5 Out	D-G7 Out	D-R1 Out	D-R3 Out	D-R5 Out	D-R7 Out	STH Out	B
C	DG2 GIN0	DG2 GIN1	1.5V DRAM	Test Pin-A	1.5V DRAM	VDD-IO 3.3V	VSS-D	VSS-D	VDD-D 1.5V	VDD-D 1.5V	VDD-IO 3.3V	VSS-D	VSS-D	Dimmer	Enable Out	Load Out	C
D	DG2 GIN2	DG2 GIN3	2.5V DRAM	Direct Access	2.5V DRAM	VDD-IO 3.3V	VSS-D	VSS-D	VDD-D 1.5V	VDD-D 1.5V	VDD-IO 3.3V	VSS-D	VSS-D	Monitor Out2	STV2 Out	GOE Out	D
E	DG2 GIN4	DG2 GIN5	VSS-D	I2C Salve Sel	VSS-D	VDD-IO 3.3V	VSS-D	VDD-D 1.5V	VDD-D 1.5V	VDD-IO 3.3V	VDD-IO 3.3V	VSS-D	VSS-D	VSS-D	Hcom (Dot REV)	CPV Out	E
F	DG2 BIN0	DG2 BIN1	VSS-D	VSS-D	VDD-IO 3.3V	VDD-IO 3.3V	VSS-D	VSS-D	VDD-IO 3.3V	VDD-IO 3.3V	VSS-D	VSS-D	MBIST	Vcom2 Out	U/D Out	STV1 Out	F
G	DG2 BIN2	DG2 BIN3	1.5V DRAM	VSS-D	VSS-D	VSS-D	VSS-D	VSS-D	VSS-D	VSS-D	(DRAM) MB	Test mode-4 SW	Test mode-3 SW	V-Load	Vcom1 Out	Monitor Out1	G
H	DG2 BIN4	DG2 BIN5	2.5V DRAM	VDD-D 1.5V	VDD-D 1.5V	VDD-D 1.5V	VSS-D	VSS-D	VSS-D	VSS-D	Test mode-2 SW	Test mode-1 SW	VSS_MA DC	2.5V MADC	MADC VREFB	MADC BIAS	H
J	DG2 Clock IN	DG2 H IN	VSS-D	VDD-D 1.5V	VDD-D 1.5V	VDD-D 1.5V	VSS-D	VSS-D	VSS-D	VSS-D	VSS-D	VSS-D	VSS_MA DC	2.5V MADC	G/Y IN2	B/Cb IN2	J
K	DG2 V IN	DG2 OVL Cont IN2	VSS-D	VDD-IO 3.3V	VDD-IO 3.3V	VDD-IO 3.3V	VSS-D	VSS-D	VSS-D	VDD-D 1.5V	VDD-D 1.5V	VSS-D	VSS_MA DC	2.5V MADC	B/Cb IN1	R/Cr IN2	K
L	EE-P Ck Out	I2C-Bus Clock IN	1.5V DRAM	VDD-IO 3.3V	VDD-IO 3.3V	VSS-D	VDD-D 1.5V	VDD-D 1.5V	VDD-D 1.5V	VDD-D 1.5V	VDD-D 1.5V	VSS-D	VSS_MA DC	2.5V MADC	R/Cr IN1	G/Y IN1	L
M	EE-P DA	I2C-Bus DA/ACK	Panel Select IN	VDD-IO 3.3V	VSS-D	VDD-D 1.5V	VDD-D 1.5V	VDD-IO 3.3V	VDD-IO 3.3V	VSS-D	VDD-D 1.5V	VSS-D	VSS SADC	2.5V SADC/Logic	SADC VREFB	MADC VREFT	M
N	OVL Cont IN1	EE-P Slave Sel	Test Scan	VSS-D	VSS-D	VDD-D 1.5V	VDD-D 1.5V	VDD-IO 3.3V	VDD-IO 3.3V	VSS-D	VSS-D	VSS-D	VSS-PLL1/2	VSS DSEP/DAC	CVBS IN3	CVBS IN2	N
P	Reset IN	Display Mute IN	VSS-D	VSS-D	VSS-D	VDD-D 1.5V	VDD-D 1.5V	VDD-IO 3.3V	VDD-IO 3.3V	VSS-D	VSS-D	2.5V XTAL1/2	2.5V PLL	2.5V DSEP/DAC	CVBS IN1	SADC BIAS	P
R	CVBS3 Force	DG1 V IN	DG1 RIN4	DG1 RIN2	DG1 RIN0	DG1 GIN4	DG1 GIN2	DG1 GIN0	DG1 BIN4	DG1 BIN2	DG1 BIN0	XTAL OUT	CVBS Sync IN	DAC OUT	A-3ch H/C IN1	SADC VREFT	R
T	DG1 H. IN	DG1 Clock IN	DG1 RIN5	DG1 RIN3	DG1 RIN1	DG1 GIN5	DG1 GIN3	DG1 GIN1	DG1 BIN5	DG1 BIN3	DG1 BIN1	XTAL IN	PLL FILTER	PLL IN	DAC BIAS	A-3ch V/C IN2	T

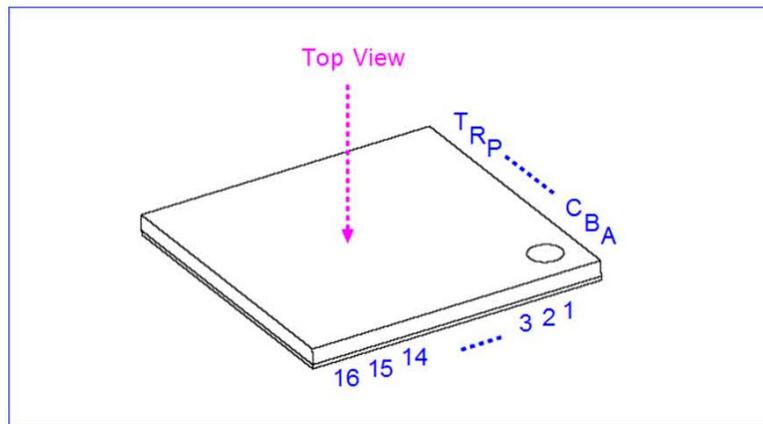


図 5-1 BGA パッケージ端子配置図

6. 端子説明

表 6-1 端子説明

チップ パッド番号	パッケージ 端子番号	名 称	端子説明	入出力	電圧 [V]	未使用時
1		VSS-D	GND	GND	GND	—
2	—	NC	未使用	—	—	—
3		VDD-D	ロジック 1.5 V 電源	VDD	1.5	—
4	—	NC	未使用	—	—	—
5		VDD1.5-DRAM	DRAM 1.5 V 電源	VDD	1.5	—
6	—	NC	未使用	—	—	—
7		VSS-D	DRAM GND	GND	GND	—
8	—	NC	未使用	—	—	—
9		VDD2.5-DRAM	DRAM 2.5 V 電源	VDD	2.5	—
10	—	NC	未使用	—	—	—
11	VDD-IO	VDD-IO	I/O 3.3 V 電源	VDD	3.3	—
12	A3	DG2 RIN0	デジタル RGB.2 R-0bit (LSB)または デジタル YUV ITU-R BT.601 Y-0bit (LSB) / ITU-R BT.656 YUV-0bit (LSB) データ入力端子	IN	0 / 3.3	(*1)
13	B3	DG2 RIN1	デジタル RGB.2 R-1bit またはデジタル YUV ITU-R BT.601 Y-1bit / ITU-R BT.656 YUV-1bit データ入力端子	IN	0 / 3.3	(*1)
14	A2	DG2 RIN2	デジタル RGB.2 R-2bit またはデジタル YUV ITU-R BT.601 Y-2bit / ITU-R BT.656 YUV-2bit データ入力端子	IN	0 / 3.3	(*1)
15	B2	DG2 RIN3	デジタル RGB.2 R-3bit またはデジタル YUV ITU-R BT.601 Y-3bit / ITU-R BT.656 YUV-3bit データ入力端子	IN	0 / 3.3	(*1)
16		VDD-D	ロジック 1.5 V 電源	VDD	1.5	—
17		VSS-D	GND	GND	GND	—
18	A1	DG2 RIN4	デジタル RGB.2 R-4bit またはデジタル YUV ITU-R BT.601 Y-4bit / ITU-R BT.656 YUV-4bit データ入力端子	IN	0 / 3.3	(*1)
19	B1	DG2 RIN5	デジタル RGB.2 R-5bit (MSB)またはデジタル YUV ITU-R BT.601 Y-5bit / ITU-R BT.656 YUV-5bit データ入力端子	IN	0 / 3.3	(*1)
20	C1	DG2 GIN0	デジタル RGB.2 G-0bit (LSB)またはデジタル YUV ITU-R BT.601 Y-6bit / ITU-R BT.656 YUV-6bit データ入力端子	IN	0 / 3.3	(*1)
21	C2	DG2 GIN1	デジタル RGB.2 G-1bit またはデジタル YUV ITU-R BT.601 Y-7bit (MSB) / ITU-R BT.656 YUV-7bit (MSB) データ入力端子	IN	0 / 3.3	(*1)
22		VDD1.5-DRAM	DRAM 1.5 V 電源	VDD	1.5	—
23		VSS-D	DRAM GND	GND	GND	—
24		VDD-IO	I/O 3.3 V 電源	VDD	3.3	—

(*1) : 11 ページを参照

チップ パッド番号	パッケージ 端子番号	名 称	端子説明	入出力	電圧 [V]	未使用時
25	D1	DG2 GIN2	デジタル RGB.2 G-2bit または デジタル YUV ITU-R BT.601 UV-0bit (LSB) データ入力端子	IN	0 / 3.3	(*1)
26	D2	DG2 GIN3	デジタル RGB.2 G-3bit または デジタル YUV ITU-R BT.601 UV-1bit データ入力端子	IN	0 / 3.3	(*1)
27	E1	DG2 GIN4	デジタル RGB.2 G-4bit または デジタル YUV ITU-R BT.601 UV-2bit データ入力端子	IN	0 / 3.3	(*1)
28	E2	DG2 GIN5	デジタル RGB.2 G-5bit (MSB) または デジタル YUV ITU-R BT.601 UV-3bit データ入力端子	IN	0 / 3.3	(*1)
29	VDD-D		ロジック 1.5 V 電源	VDD	1.5	—
30	F1	DG2 BIN0	デジタル RGB.2 B-0bit (LSB) または デジタル YUV ITU-R BT.601 UV-4bit データ入力端子	IN	0 / 3.3	(*1)
31	F2	DG2 BIN1	デジタル RGB.2 B-1bit または デジタル YUV ITU-R BT.601 UV-5bit データ入力端子	IN	0 / 3.3	(*1)
32	G1	DG2 BIN2	デジタル RGB.2 B-2bit または デジタル YUV ITU-R BT.601 UV-6bit データ入力端子	IN	0 / 3.3	(*1)
33	G2	DG2 BIN3	デジタル RGB.2 B-3bit または デジタル YUV ITU-R BT.601 UV-7bit (MSB) データ入力端子	IN	0 / 3.3	(*1)
34	VDD1.5-DRAM		DRAM 1.5 V 電源	VDD	1.5	—
35	VSS-D		DRAM GND	GND	GND	—
36	VDD2.5-DRAM		DRAM 2.5 V 電源	VDD	2.5	—
37	VDD-IO		I/O 3.3 V 電源	VDD	3.3	—
38	H1	DG2 BIN4	デジタル RGB.2 B-4bit データ入力端子	IN	0 / 3.3	(*1)
39	H2	DG2 BIN5	デジタル RGB.2 B-5bit (MSB) データ入力端子	IN	0 / 3.3	(*1)
40	VDD-D		ロジック 1.5 V 電源	VDD	1.5	—
41	J1	DG2 Clock IN	デジタル RGB.2 / デジタル YUV クロック入力端子	IN	0 / 3.3	(*2)
42	J2	DG2 H.Sync IN	デジタル RGB.2 / デジタル YUV 水平同期信号入力端子	IN	0 / 3.3	(*2)
43	K1	DG2 V.Sync IN	デジタル RGB.2 / デジタル YUV 垂直同期信号入力端子	IN	0 / 3.3	(*2)
44	K2	DG2 Overlay Cont IN2	デジタル RGB.2 オーバーレイ制御信号入力端子	IN	0 / 3.3	(*2)
45	VDD-IO		I/O 3.3 V 電源	VDD	3.3	—
46	L2	I2C-Bus Clock IN	I ² C-Bus クロック入力端子 (5 V 入力耐圧端子)	IN	0 / 3.3	—
47	L1	EEPROM Clock Out	EEPROM クロック入出力端子 (5 V 入力耐圧端子)	IN / OUT	0 / 3.3	GND
48	M2	I2C-Bus Data IN / ACK / Read Out	I ² C-Bus データ入出力端子 (5 V 入力耐圧端子)	IN / OUT	0 / 3.3	—

(*1), (*2) : 11 ページを参照

チップ パッド番号	パッケージ 端子番号	名称	端子説明	入出力	電圧 [V]	未使用時
49	M1	EEPROM Data IN / Out	EEPROM データ入出力端子 (5 V 入力耐圧端子)	IN / OUT	0 / 3.3	GND
50	VDD1.5-DRAM		DRAM 1.5 V 電源	VDD	1.5	—
51	VSS-D		DRAM GND	GND	GND	—
52	M3	Panel Select IN	電源投入後リセット時の GOE (D16 pin)端子動作 設定用端子	IN	0 / 3.3	—
53	N3	Test Scan	テスト用端子 (※通常使用時は GND に接続)	IN	0 / 3.3	GND
54	VSS-D		GND	GND	GND	—
55	VDD-D		ロジック 1.5 V 電源	VDD	1.5	—
56	N2	EEPROM Slave Select	EEPROM スレーブアドレス選択端子 Write 時 (Low : A0h / High : A2h) Read 時 (Low : A1h / High : A3h)	IN	0 / 3.3	GND
57	N1	Overlay Cont IN1	デジタル RGB.1 / アナログ RGB オーバーレイ制御信号入力端子	IN	0 / 3.3	(*2)
58	P2	Display Mute IN	映像ミュート制御信号端子 (Low : Off / High : Mute)	IN	0 / 3.3	GND
59	P1	Reset IN	リセット端子 (Low: Reset / High: Off) (5 V 入力耐圧端子)	IN	0 / 3.3	—
60	VDD-IO		I/O 3.3 V 電源	VDD	3.3	—
61	VDD-D		ロジック 1.5 V 電源	VDD	1.5	—
62	VSS-D		GND	GND	GND	—
63	—	ACTEG_1	未使用 (テスト用)	—	—	—
64	—	ACTEG_2	未使用 (テスト用)	—	—	—
65	—	ACTEG_3	未使用 (テスト用)	—	—	—
66	—	ACTEG_4	未使用 (テスト用)	—	—	—
67	VSS-D		GND	GND	GND	—
68	VDD-IO		I/O 3.3 V 電源	VDD	3.3	—
69	R1	C.Video IN3 Force cont	コンポジットビデオ信号 3ch 入力強制入力制御端子 (High : N15 pin 入力映像を 800 × 480 単画面 (オーバーレイ Off)で強制表示)	IN	3.3	(*2)
70	T1	DG1 H.Sync IN	デジタル RGB.1 水平同期信号入力端子	IN	3.3	(*2)
71	R2	DG1 V.Sync IN	デジタル RGB.1 垂直同期信号入力端子	IN	3.3	(*2)
72	VDD-D		ロジック 1.5 V 電源	VDD	1.5	—
73	T2	DG1 Clock IN	デジタル RGB.1 クロック入力端子	IN	3.3	(*2)
74	VSS-D		GND	GND	GND	—
75	VDD-IO		I/O 3.3 V 電源	VDD	3.3	—
76	T3	DG1 RIN5	デジタル RGB.1 R-5bit (MSB)データ入力端子	IN	0 / 3.3	(*1)
77	R3	DG1 RIN4	デジタル RGB.1 R-4bit データ入力端子	IN	0 / 3.3	(*1)
78	T4	DG1 RIN3	デジタル RGB.1 R-3bit データ入力端子	IN	0 / 3.3	(*1)
79	VSS-D		GND	GND	GND	—
80	R4	DG1 RIN2	デジタル RGB.1 R-2bit データ入力端子	IN	0 / 3.3	(*1)
81	T5	DG1 RIN1	デジタル RGB.1 R-1bit データ入力端子	IN	0 / 3.3	(*1)
82	R5	DG1 RIN0	デジタル RGB.1 R-0bit (LSB)データ入力端子	IN	0 / 3.3	(*1)

(*1), (*2) : 11 ページを参照

チップ パッド番号	パッケージ 端子番号	名称	端子説明	入出力	電圧 [V]	未使用時
83		VDD-IO	I/O 3.3 V 電源	VDD	0 / 3.3	—
84		VSS-D	GND	GND	GND	—
85		VDD-D	ロジック 1.5 V 電源	VDD	1.5	—
86	T6	DG1 GIN5	デジタル RGB.1 G-5bit (MSB)データ入力端子	IN	0 / 3.3	(*1)
87	R6	DG1 GIN4	デジタル RGB.1 G-4bit データ入力端子	IN	0 / 3.3	(*1)
88	T7	DG1 GIN3	デジタル RGB.1 G-3bit データ入力端子	IN	0 / 3.3	(*1)
89		VSS-D	GND	GND	GND	—
90	R7	DG1 GIN2	デジタル RGB.1 G-2bit データ入力端子	IN	0 / 3.3	(*1)
91	T8	DG1 GIN1	デジタル RGB.1 G-1bit データ入力端子	IN	0 / 3.3	(*1)
92	R8	DG1 GIN0	デジタル RGB.1 G-0bit (LSB)データ入力端子	IN	0 / 3.3	(*1)
93		VDD-IO	I/O 3.3V 電源	VDD	3.3	—
94		VSS-D	GND	GND	GND	—
95		VDD-D	ロジック 1.5V 電源	VDD	1.5	—
96	T9	DG1 BIN5	デジタル RGB.1 B-5bit (MSB)データ入力端子	IN	0 / 3.3	(*1)
97	R9	DG1 BIN4	デジタル RGB.1 B-4bit データ入力端子	IN	0 / 3.3	(*1)
98	T10	DG1 BIN3	デジタル RGB.1 B-3bit データ入力端子	IN	0 / 3.3	(*1)
99		VSS-D	GND	GND	GND	—
100	R10	DG1 BIN2	デジタル RGB.1 B-2bit データ入力端子	IN	0 / 3.3	(*1)
101	T11	DG1 BIN1	デジタル RGB.1 B-1bit データ入力端子	IN	0 / 3.3	(*1)
102	R11	DG1 BIN0	デジタル RGB.1 B-0bit (LSB)データ入力端子	IN	0 / 3.3	(*1)
103		VDD-IO	I/O 3.3 V 電源	VDD	3.3	—
104		VSS-D	GND	GND	GND	—
105		VDD-D	ロジック 1.5 V 電源	VDD	1.5	—
106	R13	C.Video Sync IN	コンポジットビデオ同期信号入力端子 (1ch、2ch、3ch 兼用)	IN	0 / 3.3	(*2)
107		VDD-XTAL	クリスタル 2.5 V 電源	VDD	2.5	—
108		VDD-XTAL	クリスタル 2.5 V 電源	VDD	2.5	—
109	T12	X'TAL IN	クリスタル入力端子	IN	AC 0.5 (min)	—
110	R12	X'TAL OUT	クリスタル出力端子	OUT	0 / 3.3	—
111		VSS-XTAL	クリスタル GND (= VSS-D)	GND	GND	—
112		VSS-XTAL	クリスタル GND (= VSS-D)	GND	GND	—
113		VSS-PLL	PLL GND	GND	GND	—
114		VDD-PLL	PLL 2.5 V 電源	VDD	2.5	—
115	T14	PLL IN	PLL 入力端子	IN	(*4)	—
116	T13	PLL FILTER	PLL フィルタ接続端子	—	1.0 (typ.)	—
117		VSS-PLL	PLL GND	GND	GND	—
118	VDD-DSEP / DAC	VDD-DAC	DA コンバータ 2.5 V 電源	VDD	2.5	—
119	R14	DAC OUT	PLL 用基本波 8.3 MHz 出力端子	OUT	(*4)	—
120	VSS-DSEP / DAC	VSS-DAC	DA コンバータ GND	GND	GND	—

(*1), (*2) : 11 ページを参照、(*4) : 12 ページを参照

チップ パッド番号	パッケージ 端子番号	名称	端子説明	入出力	電圧 [V]	未使用時
121	T15	DAC BIAS	DA コンバータバイアス安定化容量接続端子 (容量 0.1 μ F 接続を推奨)	OUT	—	—
122	VDD-DSEP / DAC	VDD-DSEP	コンポーネントビデオ信号用同期分離回路 2.5 V 電源	VDD	2.5	—
123	R15	A-3ch H.Sync IN1 / C.Sync IN1	コンポーネントビデオ信号用同期信号入力 1	IN	(*5)	(*2)
124	T16	A-3ch V.Sync IN1 / C.Sync IN2	コンポーネントビデオ信号用同期信号入力 2	IN	(*5)	(*2)
125	VSS-DSEP / DAC	VSS-DESP	コンポーネントビデオ信号用同期分離回路 GND	GND	GND	—
126	R16	SADC VREFT	コンポジットビデオ信号入力用 AD コンバータ 高バイアス安定化容量接続端子 (容量 0.1 μ F 接続を推奨)	OUT	—	—
127	P16	SADC BIAS	コンポジットビデオ信号入力用 AD コンバータ バイアス安定化容量接続端子 (容量 0.1 μ F 接続を推奨)	OUT	—	—
128	VDD-SADC / ADC Logic	VDD-ADC Logic	AD コンバータロジック部 2.5 V 電源	VDD	2.5	—
129	P15	CVBS IN1	コンポジットビデオ信号 1ch 入力端子	IN	(*6)	(*3)
130	VSS-SADC		コンポジットビデオ入力用 AD コンバータ GND	GND	GND	—
131	N16	CVBS IN2	コンポジットビデオ信号 2ch 入力端子	IN	(*6)	(*3)
132	VDD-SADC / ADC Logic	VDD-SADC	コンポジットビデオ入力用 AD コンバータ 2.5 V 電源	VDD	2.5	—
133	N15	CVBS IN3	コンポジットビデオ信号 3ch 入力端子	IN	(*6)	(*3)
134	M15	SADC VREFB	コンポジットビデオ入力用 AD コンバータ 低バイアス安定化容量接続端子 (容量 0.1 μ F 接続を推奨)	OUT	—	—
135	VSS-SADC		コンポジットビデオ入力用 AD コンバータ GND	GND	GND	—
136	VSS-MADC		コンポーネントビデオ信号 (R/Cr) 入力用 AD コンバータ GND	GND	GND	—
137	VDD-MADC		コンポーネントビデオ信号 (R/Cr) 入力用 AD コンバータ 2.5 V 電源	VDD	2.5	—
138	M16	MADC VREFT	コンポーネントビデオ信号入力用 AD コンバータ 高バイアス安定化容量接続端子 (容量 0.1 μ F 接続を推奨)	OUT	—	—
139	L15	R/Cr IN1	コンポーネントビデオ信号 (R/Cr) 1ch 入力端子	IN	(*7)	(*3)
140	L16	G/Y IN1	コンポーネントビデオ信号 (G/Y) 1ch 入力端子 (カメラ入力モード兼用)	IN	(*7)	(*3)
141	K15	B/Cb IN1	コンポーネントビデオ信号 (B/Cb) 1ch 入力端子	IN	(*7)	(*3)
142	VSS-MADC		コンポーネントビデオ信号 G/Y 入力用 AD コンバータ GND	GND	GND	—
143	VDD-MADC		コンポーネントビデオ信号 G/Y 入力用 AD コンバータ 2.5 V 電源	VDD	2.5	—
144	K16	R/Cr IN2	コンポーネントビデオ信号(R/Cr) 2ch 入力端子	IN	(*7)	(*3)
145	J15	G/Y IN2	コンポーネントビデオ信号(G/Y) 2ch 入力端子 (カメラ入力モード兼用)	IN	(*7)	(*3)

(*2), (*3) : 11 ページを参照、(*5), (*6), (*7) : 12 ページを参照

チップ パッド番号	パッケージ 端子番号	名称	端子説明	入出力	電圧 [V]	未使用時
146	J16	B/Cb IN2	コンポーネントビデオ信号(B/Cb) 2ch 入力端子	IN	(*7)	(*3)
147	H15	MADC VREFB	コンポーネントビデオ信号入力用 AD コンバータ 低バイアス安定化容量接続端子 (容量 0.1 μ F 接続を推奨)	OUT	—	—
148	H16	MADC BIAS	コンポーネントビデオ信号入力用 AD コンバータ バイアス安定化容量接続端子 (容量 0.1 μ F 接続を推奨)	OUT	—	—
149	VSS-MADC		コンポーネントビデオ信号(B/Cb) 入力用 AD コンバータ GND	GND	GND	—
150	VDD-MADC		コンポーネントビデオ信号(B/Cb) 入力用 AD コンバータ 2.5 V 電源	VDD	2.5	—
151	H12	Test mode1	テスト用端子 (※通常使用時は GND に接続)	IN	0 / 3.3	GND
152	H11	Test mode2	テスト用端子 (※通常使用時は GND に接続)	IN	0 / 3.3	GND
153	G13	Test mode3	テスト用端子 (※通常使用時は GND に接続)	IN	0 / 3.3	GND
154	G12	Test mode4	テスト用端子 (※通常使用時は GND に接続)	IN	0 / 3.3	GND
155	VDD-D		ロジック 1.5 V 電源	VDD	1.5	—
156	VSS-D		GND	GND	GND	—
157	VDD-IO		I/O 3.3 V 電源	VDD	3.3	—
158	G11	(DRAM)MB	テスト用端子 (※通常使用時は GND に接続)	IN	0 / 3.3	GND
159	F13	MBIST	テスト用端子 (※通常使用時は GND に接続)	IN	0 / 3.3	GND
160	VDD-D		ロジック 1.5 V 電源	VDD	1.5	—
161	VSS-D		GND	GND	GND	—
162	VDD-IO		I/O 3.3 V 電源	VDD	3.3	—
163	G16	Monitor Out1	内部信号モニタ出力端子 1	OUT	0 / 3.3	Open
164	G15	Vcom1 Out	LCD 対向電圧出力生成用信号出力端子 1	OUT	0 / 3.3	Open
165	G14	V-Load	垂直書き込みイネーブル信号出力端子	OUT	0 / 3.3	Open
166	F14	Vcom2 Out	LCD 対向電圧出力生成用信号出力端子 2	OUT	0 / 3.3	Open
167	VDD-D		ロジック 1.5 V 電源	VDD	1.5	—
168	VSS-D		GND	GND	GND	—
169	VDD-IO		I/O 3.3 V 電源	VDD	3.3	—
170	F16	STV1 Out	垂直書き込み開始信号出力端子 1 (スリーステートバッファ端子)	OUT	0 / 3.3	Open
171	F15	U/D Out	Bus ポート制御出力端子 (上下反転用信号)	OUT	0 / 3.3	Open
172	E16	CPV Out	垂直クロック出力端子	OUT	0 / 3.3	Open
173	E15	Hcom(Dot REV)	水平ラッチ関係信号出力端子 (1dot 毎反転信号)	OUT	0 / 3.3	Open
174	VDD-D		ロジック 1.5 V 電源	VDD	1.5	—
175	VSS-D		GND	GND	GND	—
176	VDD-IO		I/O 3.3 V 電源	VDD	3.3	—
177	D16	GOE Out	パネルリセット制御用信号出力端子	OUT	0 / 3.3	Open
178	D15	STV2 Out	垂直書き込み開始信号出力端子 2 (スリーステートバッファ端子)	OUT	0 / 3.3	Open
179	C15	Enable Out	映像有効期間信号出力端子	OUT	0 / 3.3	Open

(*3) : 11 ページを参照、(*7) : 12 ページを参照

チップ パッド番号	パッケージ 端子番号	名称	端子説明	入出力	電圧 [V]	未使用時
180	C16	Load Out	水平書き込み開始信号出力端子	OUT	0 / 3.3	Open
181	VSS-D		GND	GND	GND	—
182	B16	STH Out	水平書き込み開始信号出力端子	OUT	0 / 3.3	Open
183	VDD-D		ロジック 1.5 V 電源	VDD	1.5	—
184	VDD-IO		I/O 3.3 V 電源	VDD	3.3	—
185	VSS-D		GND	GND	GND	—
186	C14	Dimmer(PWM)	LED バックライト用信号出力端子	OUT	0 / 3.3	Open
187	VSS-D		GND	GND	GND	—
188	VDD-D		ロジック 1.5 V 電源	VDD	1.5	—
189	VDD-IO		I/O 3.3V 電源	VDD	3.3	—
190	A16	CPH Out	水平クロック出力端子	OUT	0 / 3.3	Open
191	VSS-D		GND	GND	GND	—
192	VDD-D		ロジック 1.5 V 電源	VDD	1.5	—
193	D14	Monitor Out2	内部信号モニタ出力端子 2	OUT	0 / 3.3	Open
194	B15	D-R7 Out	R-7bit (MSB)データ出力端子	OUT	0 / 3.3	Open
195	A15	D-R6 Out	R-6bit データ出力端子	OUT	0 / 3.3	Open
196	B14	D-R5 Out	R-5bit データ出力端子	OUT	0 / 3.3	Open
197	VSS-D		GND	GND	GND	—
198	A14	D-R4 Out	R-4bit データ出力端子	OUT	0 / 3.3	Open
199	B13	D-R3 Out	R-3bit データ出力端子	OUT	0 / 3.3	Open
200	A13	D-R2 Out	R-2bit データ出力端子	OUT	0 / 3.3	Open
201	VDD-IO		I/O 3.3 V 電源	VDD	3.3	—
202	VSS-D		GND	GND	GND	—
203	VDD-D		ロジック 1.5 V 電源	VDD	1.5	—
204	B12	D-R1 Out	R-1bit データ出力端子	OUT	0 / 3.3	Open
205	A12	D-R0 Out	R-0bit (LSB)データ出力端子	OUT	0 / 3.3	Open
206	VDD-IO		I/O 3.3 V 電源	VDD	3.3	—
207	VSS-D		GND	GND	GND	—
208	B11	D-G7 Out	G-7bit(MSB)データ出力端子	OUT	0 / 3.3	Open
209	A11	D-G6 Out	G-6bit データ出力端子	OUT	0 / 3.3	Open
210	B10	D-G5 Out	G-5bit データ出力端子	OUT	0 / 3.3	Open
211	VSS-D		GND	GND	GND	—
212	A10	D-G4 Out	G-4bit データ出力端子	OUT	0 / 3.3	Open
213	B9	D-G3 Out	G-3bit データ出力端子	OUT	0 / 3.3	Open
214	A9	D-G2 Out	G-2bit データ出力端子	OUT	0 / 3.3	Open
215	VDD-IO		I/O 3.3 V 電源	VDD	3.3	—
216	VSS-D		GND	GND	GND	—
217	VDD-D		ロジック 1.5 V 電源	VDD	1.5	—
218	B8	D-G1 Out	G-1bit データ出力端子	OUT	0 / 3.3	Open
219	A8	D-G0 Out	G-0bit(LSB)データ出力端子	OUT	0 / 3.3	Open
220	VDD-IO		I/O 3.3 V 電源	VDD	3.3	—
221	VSS-D		GND	GND	GND	—
222	VDD-D		ロジック 1.5 V 電源	VDD	1.5	—

チップ パッド番号	パッケージ 端子番号	名称	端子説明	入出力	電圧 [V]	未使用時
223	B7	D-B7 Out	B-7bit(MSB)データ出力端子	OUT	0 / 3.3	Open
224	A7	D-B6 Out	B-6bit データ出力端子	OUT	0 / 3.3	Open
225	B6	D-B5 Out	B-5bit データ出力端子	OUT	0 / 3.3	Open
226	VSS-D		GND	GND	GND	—
227	A6	D-B4 Out	B-4bit データ出力端子	OUT	0 / 3.3	Open
228	B5	D-B3 Out	B-3bit データ出力端子	OUT	0 / 3.3	Open
229	A5	D-B2 Out	B-2bit データ出力端子	OUT	0 / 3.3	Open
230	VDD-D		ロジック 1.5 V 電源	VDD	1.5	—
231	VDD1.5-DRAM		DRAM 1.5 V 電源	VDD	1.5	—
232	VSS-D		DRAM GND	GND	GND	—
233	VDD2.5-DRAM		DRAM 2.5 V 電源	VDD	2.5	—
234	VDD-IO		I/O 3.3 V 電源	VDD	3.3	—
235	B4	D-B1 Out	B-1bit データ出力端子	OUT	0 / 3.3	Open
236	A4	D-B0 Out	B-0bit (LSB)データ出力端子	OUT	0 / 3.3	Open
237	VDD-D		ロジック 1.5 V 電源	VDD	1.5	—
238	VSS-D		GND	GND	GND	—
239	VDD-IO		I/O 3.3 V 電源	VDD	3.3	—
240	C4	Test Pin-A	テスト用端子 (※通常使用時は GND に接続)	IN	0 / 3.3	GND
241	D4	Direct Access	EEPROM ダイレクト書き込み制御端子 (High: IC 内部で I ² C-Bus 端子と EEPROM 制御端子を直接接続)	IN	0 / 3.3	GND (注 1)
242	E4	I2C Slave Select	I ² C-Bus スレーブアドレス選択端子 Write 時(Low : 2Eh / High : 2Ch) Read 時(Low : 2Fh / High : 2Dh)	IN	0 / 3.3	—
243	VDD-IO		I/O 3.3 V 電源	VDD	3.3	—
244	VDD-D		ロジック 1.5 V 電源	VDD	1.5	—
245	VSS-D		GND	GND	GND	—

注 1 : Direct Access 端子は High 状態になりますと、I²C-Bus 端子と EEPROM 制御端子が IC 内部でショートしますので、未使用時は必ず GND に接続してください。

(*) : GND、Open どちらでも問題ありませんが、図 6-1 のように使用端子群の一部を使用する場合、使用しない端子は GND に接続してください。

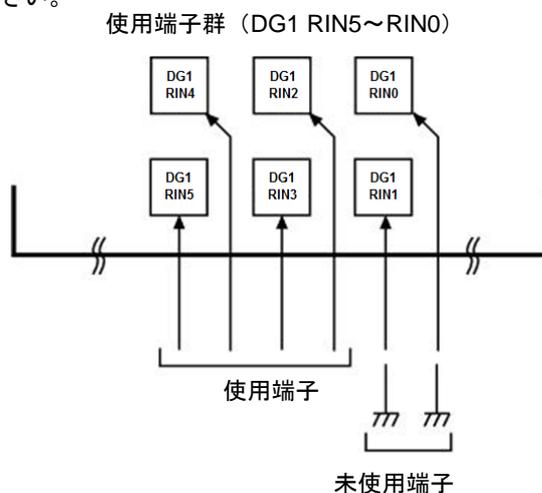


図 6-1 使用端子群の処理方法

- (*2): GND、Open どちらでも問題ありませんが、GND 接続を推奨します。
- (*3): 容量 0.1 μ F 接続後、GND 接続を推奨しますが、Open でも問題ありません。
- (*4): DAC Out (R14 pin) から 8.3 MHz 振幅 1.0 V_{P-P} の基本波が出力されます。この基本波の高周波成分を除去して PLL IN (T14 pin) へ入力してください。図 6-2 は入力の参考例です。

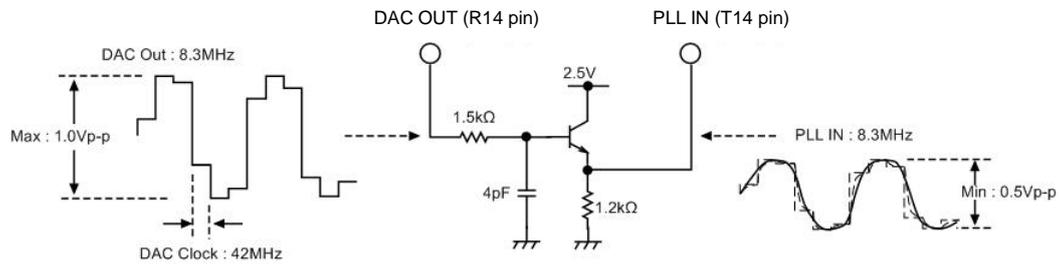


図 6-2 DAC Out 高周波成分除去回路例

- (*5): コンポーネントビデオ信号の同期信号入力は図 8-12 をご参照ください。
- (*6): コンジットビデオ信号の入力振幅は 0.7 V_{P-P} を推奨しています。詳細は図 8-15 をご参照ください。
- (*7): コンポーネントビデオ信号入力（アナログ RGB、YCbCr）の入力振幅は図 8-10 をご参照ください。

7. シグナルフロー

7.1 映像信号フロー

Block Diagram Signal Flow

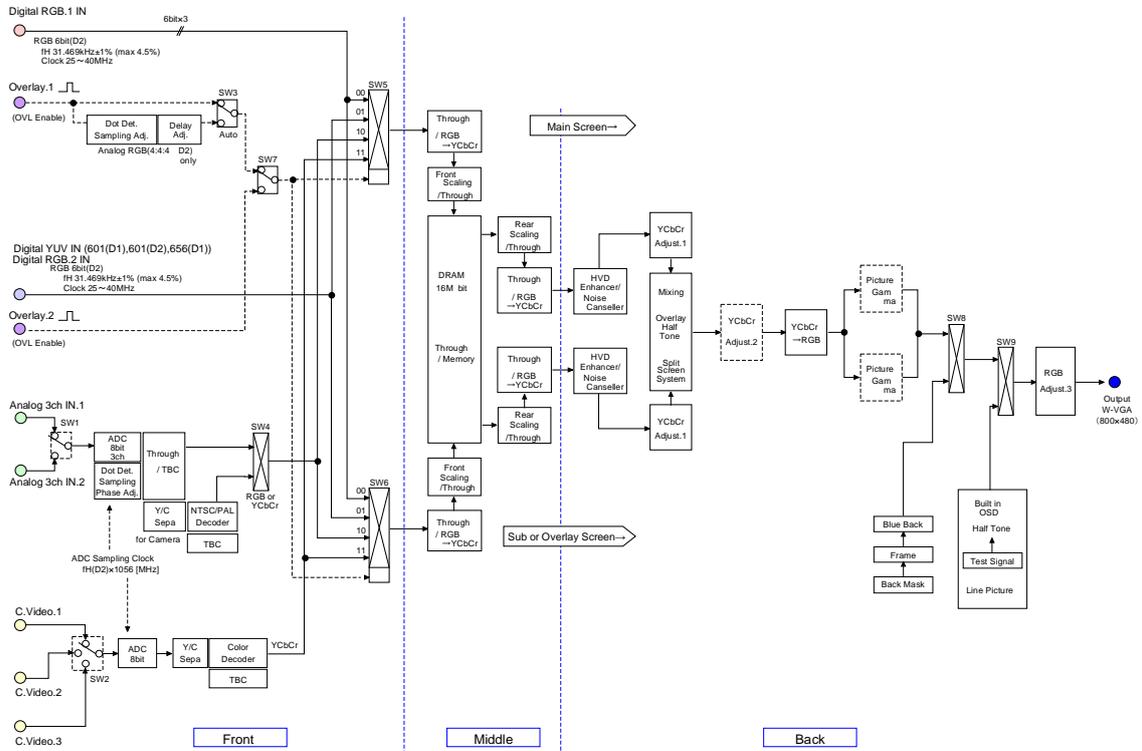


図 7-1 映像信号フロー

7.2 同期信号フロー

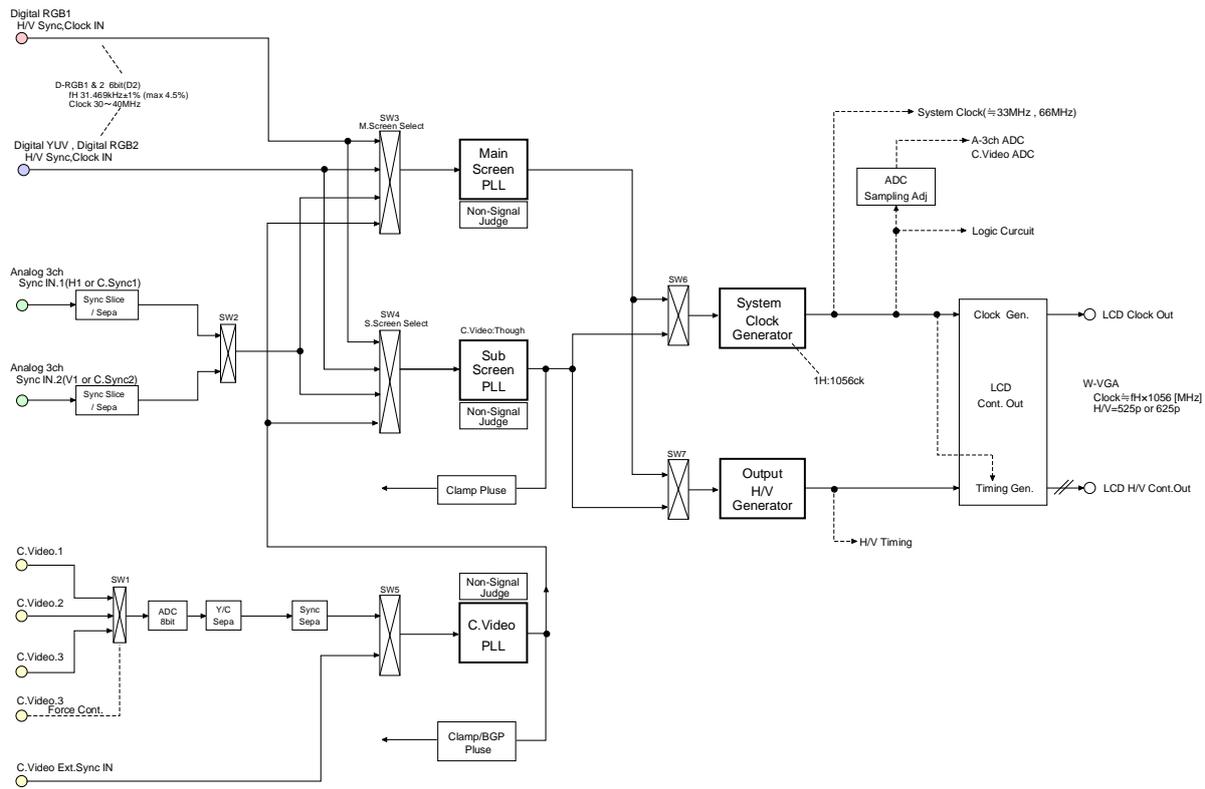


図 7-2 同期信号フロー

8. 動作説明

8.1 入力信号

本 IC は以下の映像信号が入力に対応しています。

表 8-1 入力信号と対応フォーマット

入力信号		フォーマット
デジタル RGB		525p、625p
デジタル YUV	ITU-R BT.601	525i、625i、525p、625p
	ITU-R BT.656	525i、625i
アナログコンポーネント	RGB	525i、625i、525p、625p
	YCbCr	525i、625i、525p、625p
	カメラモード	NTSC、PAL
コンポジットビデオ		NTSC、PAL、SECAM、PAL-M、PAL-N、PAL60、443NTSC

8.1.1 水平同期周波数入力範囲

全入力信号の水平同期信号の周波数 (f_H) は $\pm 1\%$ 以内を推奨しますが、モードによっては約 $\pm 4\%$ 以内でも入力できます。

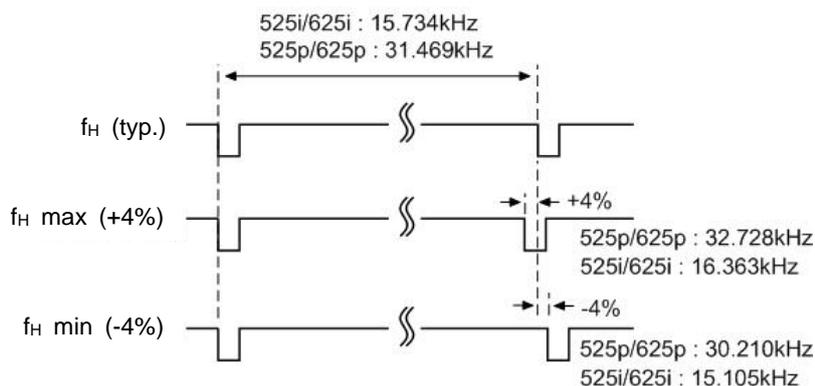


図 8-1 水平同期周波数入力範囲

水平周波数の入力範囲は、バス設定 (Bank-1 3E hex [13]) で切り替えができます。ただし、表 8-4 に記載する範囲を超えた周波数を入力した場合、H.PLL がアンロック状態になり、入力した信号の映像を正常に表示できません。

また、ロック範囲を $\pm 4.5\%$ mode に設定時、以下のような設定で信号入力しますと、信号無入力時の IC 内部フリー発振の安定性が悪くなりますのでご注意ください。

表 8-2 水平同期周波数入力範囲

水平周波数 入力範囲 Bank-1 3E hex [13]		入力水平周波数 f_H [kHz]		
		Min	Typ.	Max
0 : $\pm 1\%$ mode	525i / 625i	15.578	15.734	15.891
	525p / 625p	31.155	31.469	31.783
1 : $\pm 4.5\%$ mode	525i / 625i	15.106	15.734	16.363
	525p / 625p	30.211	31.469	32.727

8.1.2 デジタル信号入力セットアップ/ホールドタイム

デジタル信号入力では、データ信号の中心位置をクロック信号で受け取れるように入力してください。データ信号とオーバーレイ制御信号のセットアップタイムとホールドタイムは最小 5ns です。また、入力同期信号のセットアップタイムとホールドタイムは最小 7ns です。

推奨状態

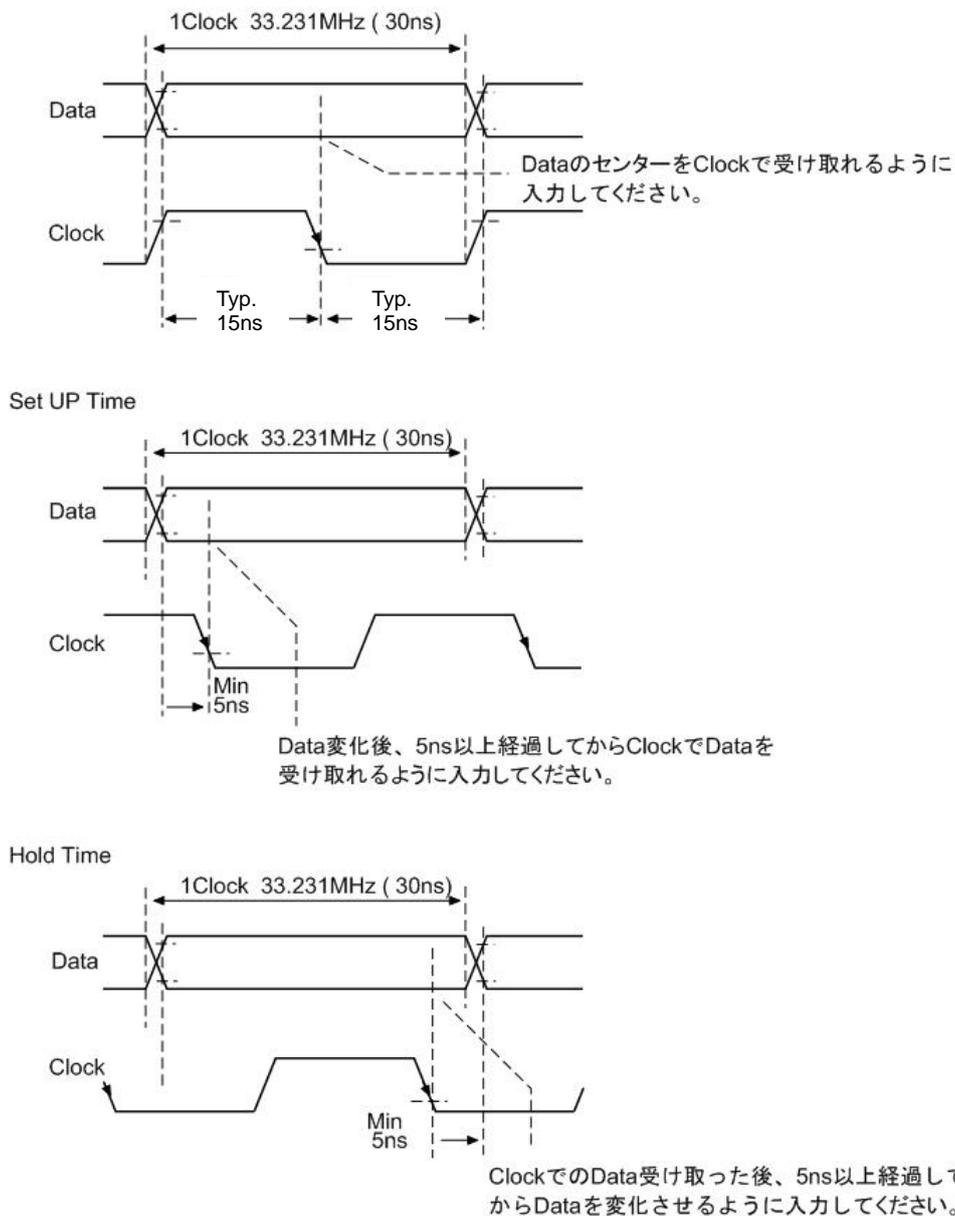


図 8-2 デジタル入力信号のセットアップ、ホールドタイム

8.1.3 デジタル RGB

デジタル RGB 入力は R、G、B 信号各 6 ビットのデータ信号と水平同期信号、垂直同期信号、クロックを入力します。525p、625p フォーマットに対応しています。

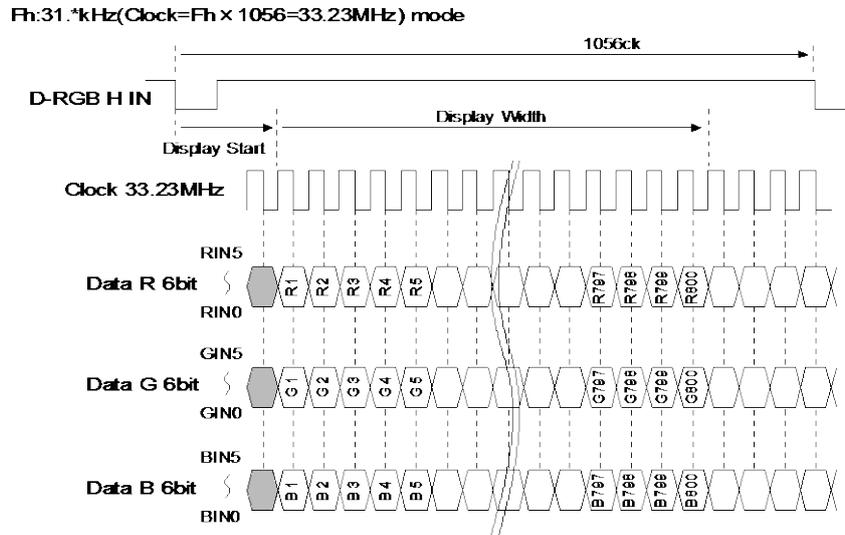


図 8-3 デジタル RGB 入カタイミング

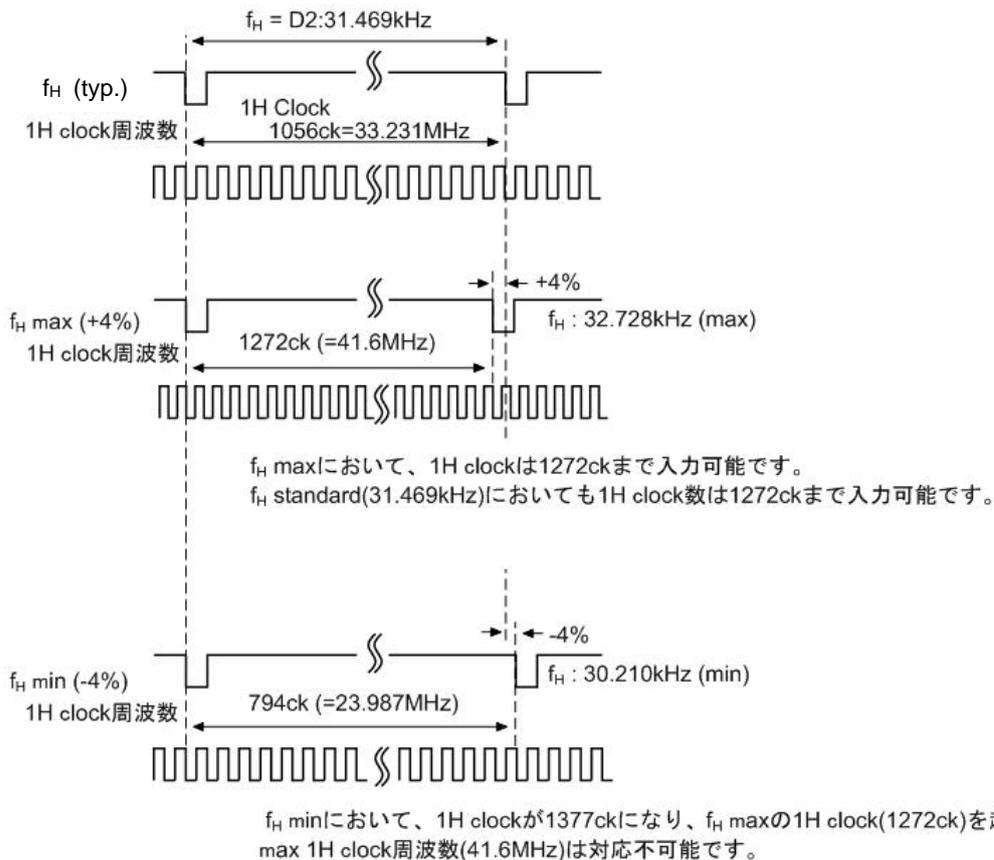


図 8-4 デジタル RGB 入力水平周波数とクロック仕様

8.1.4 デジタル YUV

デジタル YUV 入力信号は ITU-R BT.601 と ITU-R BT.656 に対応しています。

ITU-R BT.601

デジタル YUV ITU-R BT.601 入力は Y 信号および UV 信号各 8 ビットのデータ信号と水平同期信号、垂直同期信号、クロックを入力します。525i、625i、525p、625p フォーマットに対応しています。

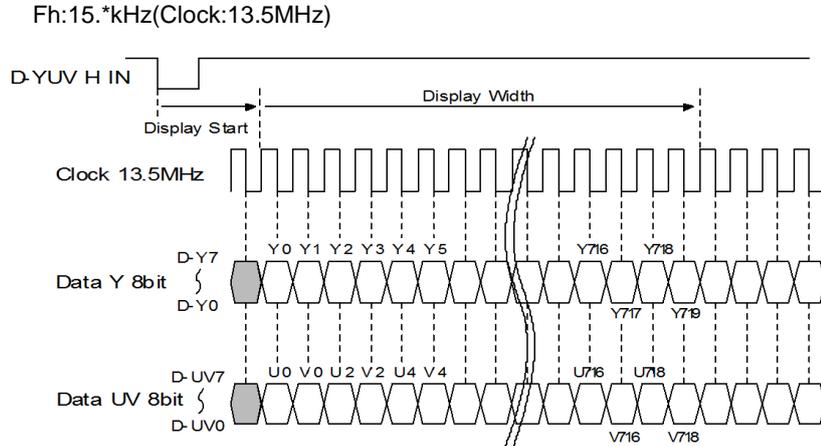


図 8-5 デジタル YUV ITU-R BT.601(525i/625i)入カタイミング

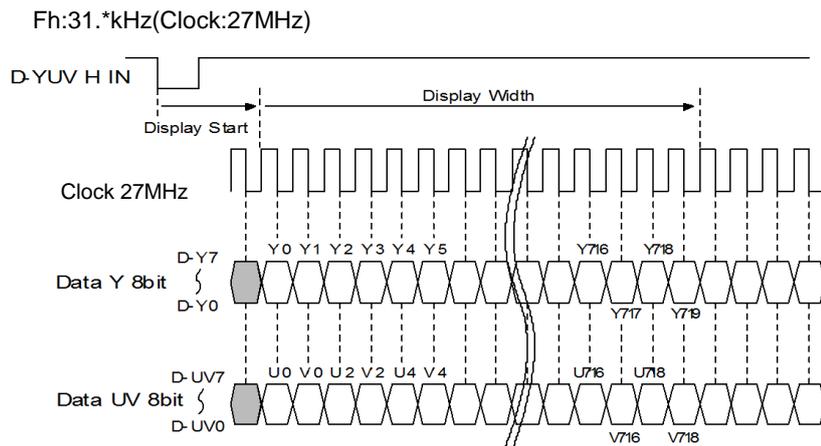


図 8-6 デジタル YUV ITU-R BT.601(525p/625p)入カタイミング

ITU-R BT.656

デジタル YUV ITU-R BT.656 入力は 8 ビットのデータ信号と 27MHz クロックを入力します。525i、625i フォーマットに対応しています。

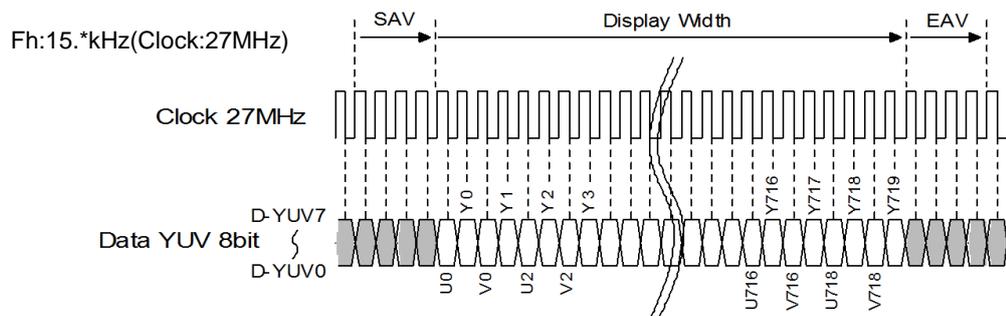


図 8-7 デジタル YUV ITU-R BT.656 入カタイミング

デジタル YUV 入力同期信号

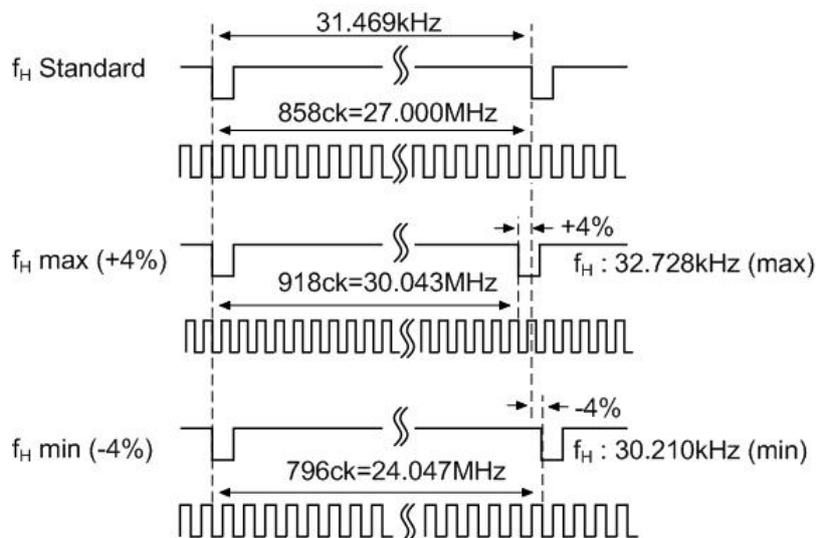


図 8-8 デジタル YUV ITU-R BT.601(525p/625p)、ITU-R BT.656(525i/625i) 入力水平周波数とクロック仕様

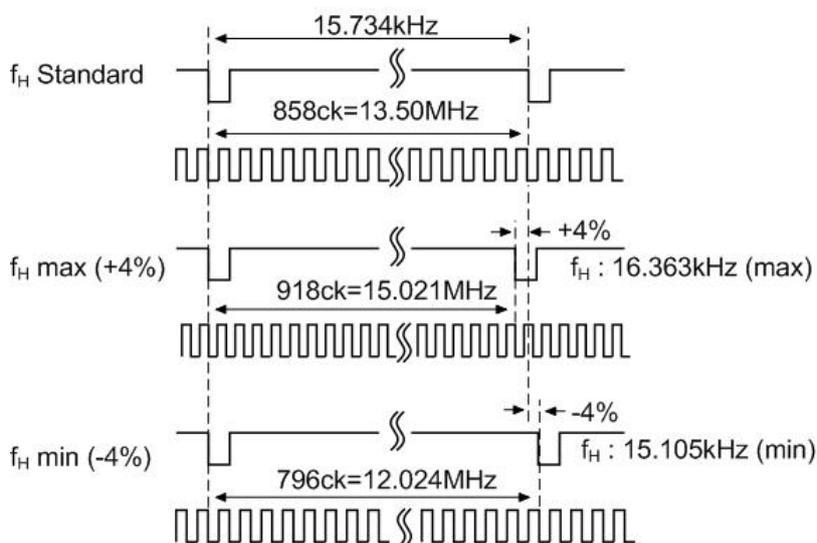


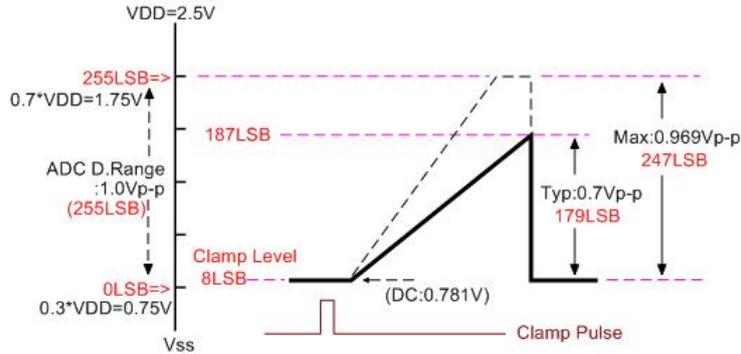
図 8-9 デジタル YUV ITU-R BT.601(525i/625i) 入力水平周波数とクロック仕様

8.1.5 アナログコンポーネントビデオ (RGB / YCbCr)

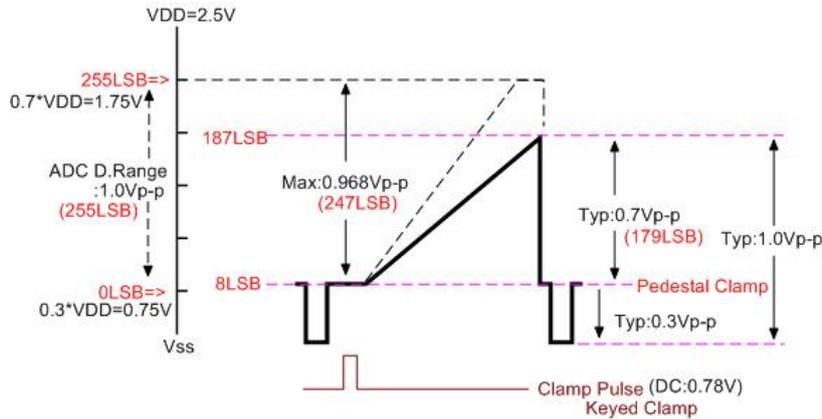
コンポーネントビデオ信号は RGB、YCbCr 入力から選択できます。入力フォーマットは 525i、625i、525p、625p に対応しています。

入力端子 2 系統と、入力用の 8 ビット AD コンバータを 3 チャンネル内蔵しています。AD コンバータの入力ダイナミックレンジはアナログ $V_{DD} \times 0.4$ で設計されています。アナログ標準電圧 2.5 V で使用する場合、ダイナミックレンジは 1.0 V_{P-P} となります。推奨入力レベルは図 8-10 をご参照ください。

- R、G、B、Y 入力 (外部同期信号入力時)



- R、G、B、Y 入力 (同期信号重畳時)



- Cb、Cr 入力

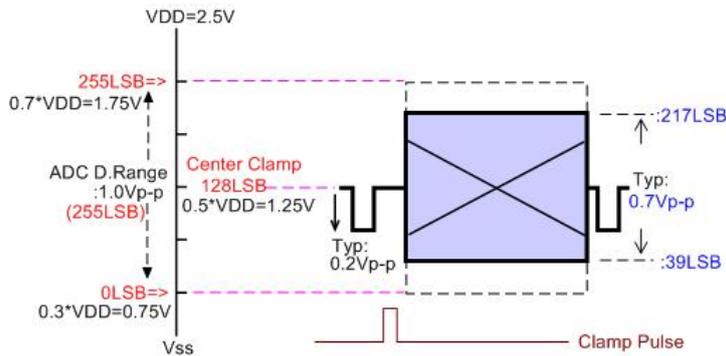


図 8-10 コンポーネントビデオ信号推奨入力振幅

カメラ入力モード

カメラ入力モードは、コンポーネントビデオ信号入力の G/Ych 入力端子 (L-16pin または J-15pin) に NTSC または PAL フォーマットのコンポジットビデオ信号を入力するモードです。同期と振幅が安定した標準信号 (図 8-11) を入力してください。

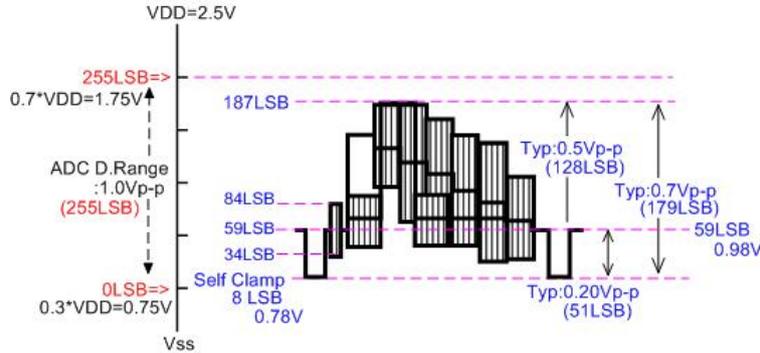


図 8-11 カメラ入力モード推奨入力振幅

同期信号入力

コンポーネントビデオ信号入力 1 チャンネル側の同期信号入力は、複合同期信号 (C-Sync) 入力、または水平同期信号 (H-Sync) と垂直同期信号 (V-Sync) を分割した入力ができます。コンポーネントビデオ信号入力 2 チャンネル側は複合同期信号だけ入力できます。

表 8-3 アナログコンポーネント信号同期信号入力

コンポーネントビデオ同期信号		R-15 pin	T-16 pin
1ch 側	C-Sync	○	—
	H-Sync / V-Sync	○(H-Sync)	○(V-Sync)
2ch 側	C-Sync	—	○
	H-Sync / V-Sync	×	×

補足 1 : H-Sync 幅は、標準 78ck です。(最小 64ck、最大 90ck)

補足 2 : V-Sync 幅は、標準 3 Line です。(最 2 Line、最大 7 Line)

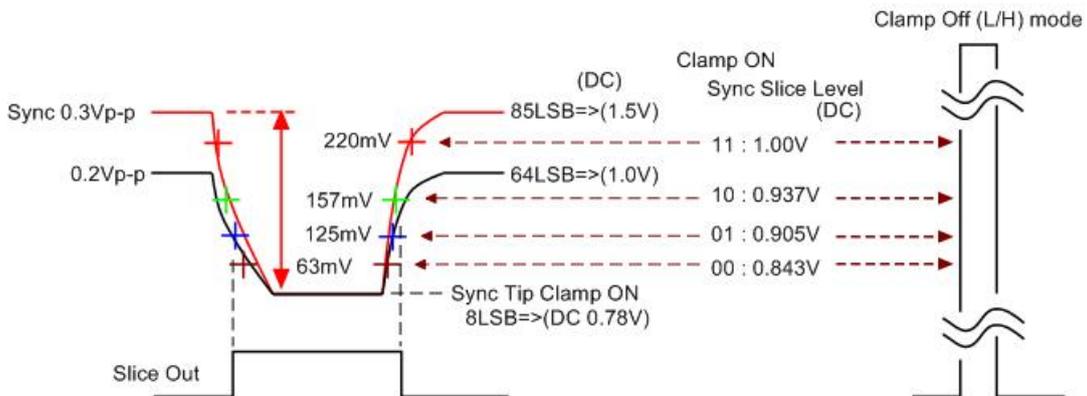
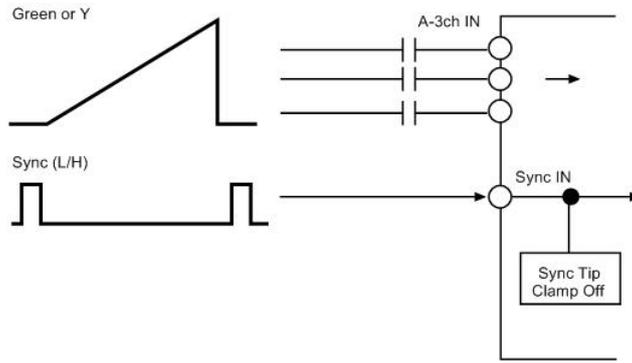


図 8-12 コンポーネント信号同期入力レベル



同期信号が重畳された映像信号を入力する場合

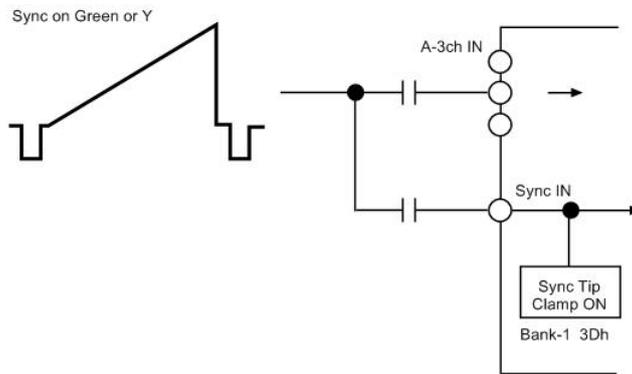


図 8-13 コンポーネント信号同期入力

カメラ入力時もコンポーネントビデオ信号入力時と同様に、同期信号を R-15 pin または T-16 pin に入力します。

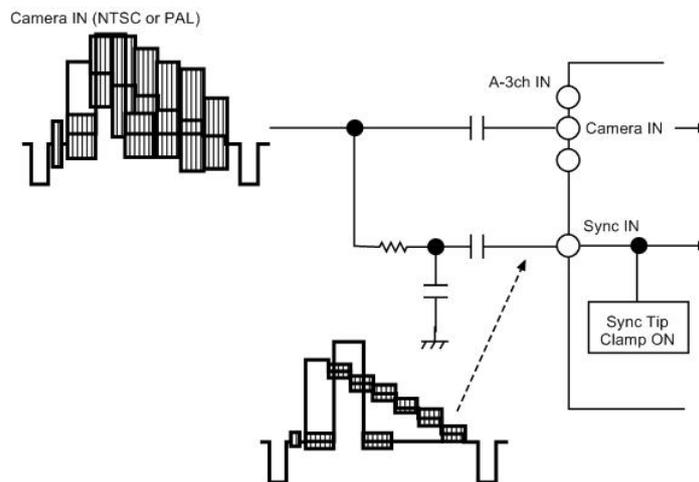


図 8-14 カメラ入力同期信号入力

8.1.6 コンポジットビデオ信号

コンポジットビデオ信号は NTSC、PAL、SECAM、PAL-M、PAL-N、PAL60、443NTSC の各フォーマットに対応しています。

入力端子 3 系統(C.Video1, C.Video2, C.Video3)と、入力用の 8 ビット AD コンバータを 1 チャンネル内蔵しています。AD コンバータの入力ダイナミックレンジはアナログ VDD × 0.4 で設計されています。アナログ標準電圧 2.5 V で使用する場合、ダイナミックレンジは 1.0 V_{P-P} となります。また、コンポジットビデオ信号の入力振幅は 0.7 V_{P-P} を推奨しています。

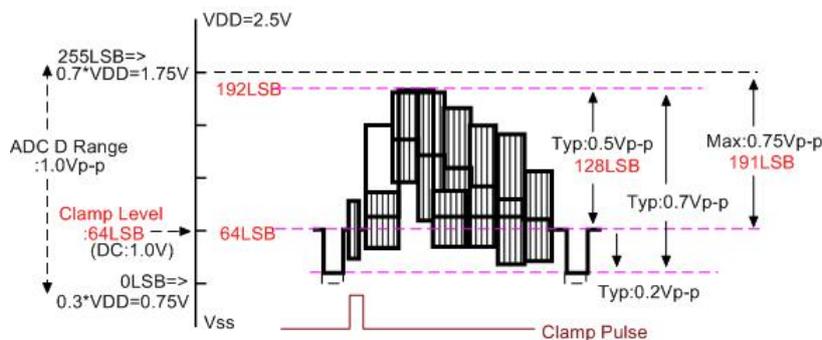


図 8-15 コンポジットビデオ信号推奨入力振幅

コンポジットビデオ強制表示モード

CVBS3 Force 端子 (R1 pin) を High に設定すると、CVBS IN3 端子 (N15 pin) の入力映像が単画面で強制的に表示されます。

強制コンポジットビデオ表示モード時、オーバーレイ表示はできません。

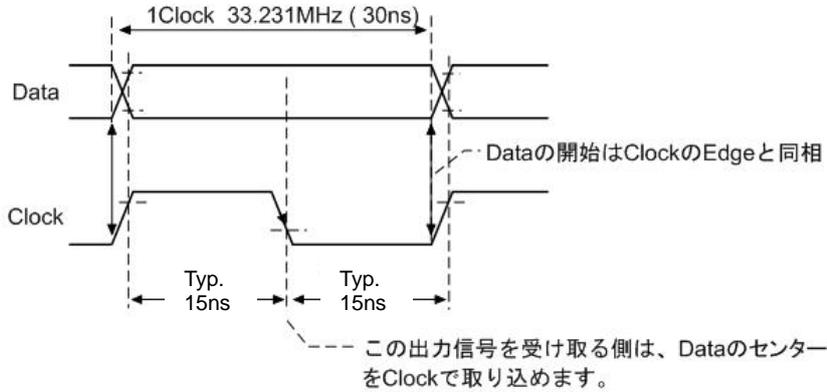
R1 pin	制御方式
Low	通常動作 (I ² C-Bus 制御)
High	コンポジットビデオ 3ch 強制表示モード

8.2 出力信号

8.2.1 出力信号仕様

本 IC は出力データ信号がクロック信号を基準として最大で 4 ns の相対遅延があります。この出力データの受け側（液晶パネル側）はデータのセンターから±4 ns をクロックで取り込めます。

基本設計



遅延時間差

基本設計に対してデータ信号は±4nsの時間差があります。

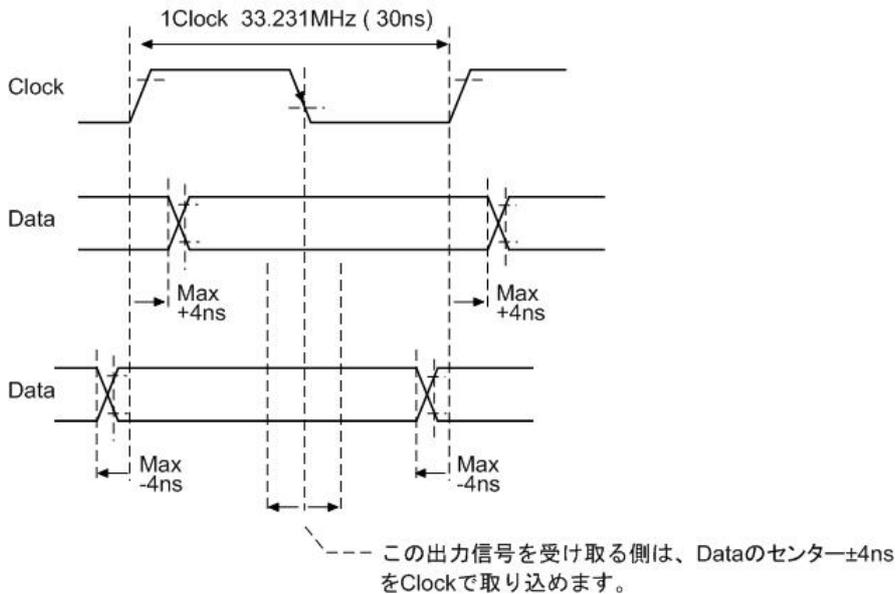


図 8-16 出力信号の相対遅延

8.2.2 PWM 信号出力

DIMMER 端子（C14 pin）から PWM 出力ができます。

デューティ比は 0.024% から 100% で設定できます。出力周期は外部クリスタル（42 MHz）から生成します。

ダイナミックガンマ補正の暗部、明部検出値、APL 検出から出力される値を参照し、設定されたデューティ比にオフセットを加えることもできます。

8.3 液晶パネル接続

本 IC は液晶パネル用タイミングコントローラを内蔵しています。液晶パネルの種類によって入力する液晶コントロール信号が異なりますので、接続する液晶パネルの仕様をご確認ください。

また、液晶パネルの電源がオフの状態では IC から液晶コントロール信号を出力しますと、IC に過電流が流れてしまいますので、液晶パネルの電源を IC の電源より先に立ち上げてください。

8.3.1 液晶コントロール信号

液晶コントロール信号は信号ごとに ON、OFF 制御ができます。また、出力水平書き込み開始信号は以下の 2 形態ありますので、液晶パネルの仕様に合わせて設定してください。

- (1) STH モード
1 ドット、1 クロック幅の水平書き込みパルス。T-Con 非内蔵パネルに対応。
- (2) HD モード
液晶コントロール信号の水平基準信号 (H.LCD.REF) と同位相の水平書き込みパルス。T-Con 内蔵パネルに対応。

液晶コントロール信号名は液晶パネルの種類によって名称が異なります。本 IC の信号名と液晶パネルの信号名が異なる場合がありますので、参考例として信号名を表 8-4 に示します。

表 8-4 液晶コントロール信号

端子番号	端子説明	本 IC の信号名		液晶パネル側の信号入力端子名			備考
		T-Con 非内蔵 パネル対応名	T-Con 内蔵 パネル対応名	例 1	例 2	例 3	
B16	水平書き込み開始パルス	STH	HD	SPR or SPL	HSY	HS	(*1)
C16	水平書き込みイネーブルパルス	Load	—	LS	—	—	
A16	水平クロック	CPH	Clock	DCLK	CLK	DCLK	
E15	水平ラッチ	Hcom	—	—	—	—	
F16	垂直書き込み開始パルス 1	STV1	VD	SPS	VSY	VS	(*2)
D15	垂直書き込み開始パルス 2	STV2	—	—	—	—	(*2)
G14	垂直書き込みイネーブルパルス	V-Load	—	—	—	—	
E16	垂直クロック	CPV	—	CLS	—	—	
C15	映像有効期間パルス	—	Enable	—	ENAB	EN	
G15	対向電圧出力 1	Vcom1	—	VCOM	—	—	(*3)
F14	対向電圧出力 2	Vcom2	—	VCOM	—	—	(*3)
D16	パネルリセット用出力	GOE	—	MODE1, 2	—	—	
F15	Bus ポート制御出力	U/D	—	U/L	—	—	

(*1): 液晶パネルによっては、表示する方向によって水平書き込み開始パルスの入力端子が 2 種類ありますが、本 IC の水平書き込みパルスは B16 pin から出力される 1 種類です。液晶パネルの仕様に合わせて、表示させたい方向になるようにパルスを入力してください。

(*2): 垂直書き込み開始パルスの出力端子は STV1 (F16 pin) と STV2 (D15 pin) がありますが、信号が出力されるのは選択した端子だけです。

(*3): 対向電圧出力 Vcom2 (F14 pin) は Vcom1 (G15 pin) に対して位相の切り替えができます。

9. 絶対最大定格

絶対最大定格は瞬時たりとも超えてはならない規格です。

絶対最大定格を超えると IC の破壊や劣化や損傷の原因となり、IC 以外にも破壊や損傷や劣化を与える恐れがあります。いかなる動作条件においても必ず絶対最大定格を超えないように設計を行ってください。

ご使用に際しては、記載された動作範囲内でご使用ください。

表 9-1 絶対最大定格

(V_{SS} = 0 V、Ta = 25°C)

項目	記号	定格	単位
電源電圧 1 (1.5 V 系)	V _{DD1}	-0.3 ~ V _{SS} + 2.0	V
電源電圧 2 (2.5 V 系)	V _{DD2}	-0.3 ~ V _{SS} + 3.5	V
電源電圧 3 (3.3 V 系)	V _{DD3}	-0.3 ~ V _{SS} + 3.9	V
入力電圧 1 (1.5 V 系)	V _{IN1}	-0.3 ~ V _{DD} + 0.3	V
入力電圧 2 (2.5 V 系)	V _{IN2}	-0.3 ~ V _{DD} + 0.3	V
入力電圧 3 (3.3 V 系)	V _{IN3}	-0.3 ~ V _{DD} + 0.3	V
入力電圧 4 (3.3 V 系 5 V 耐圧)	V _{IN4} (*)	-0.3 ~ V _{SS} + 5.5	V
電源端子間電位差 (1.5 V 系電源端子間)	V _{DG1} (*)	0.3	V
電源端子間電位差 (2.5 V 系電源端子間)	V _{DG2} (*)	0.3	V
電源端子間電位差 (3.3 V 系電源端子間)	V _{DG3} (*)	0.3	V
電源端子間電位差 (1.5 V 系 > 2.5 V 系)	V _{DG4} (*)	0.3	V
電源端子間電位差 (2.5 V 系 > 3.3 V 系)	V _{DG5} (*)	0.3	V
消費電力	P _D	4184	mW
動作温度	T _{opr}	-40 ~ 85	°C
保存温度	T _{stg}	-55 ~ 125	°C

(*) : 1.5 V 系、2.5 V 系、3.3 V 系電源端子をそれぞれ同電位で接続 (ショート) の上、全電源端子を対象として最大定格を超えないこと。さらにこの状態で、全 V_{SS} 端子間の電位差は 0.01 V 以内であること。

9.1 許容損失特性

周囲温度 (Ta) を 25°C 以上で使用する場合、1°C 上昇につき 41.84 mW 減じて考えてください。周囲温度が 85°C の場合、1674 mW が最大許容損失となります。

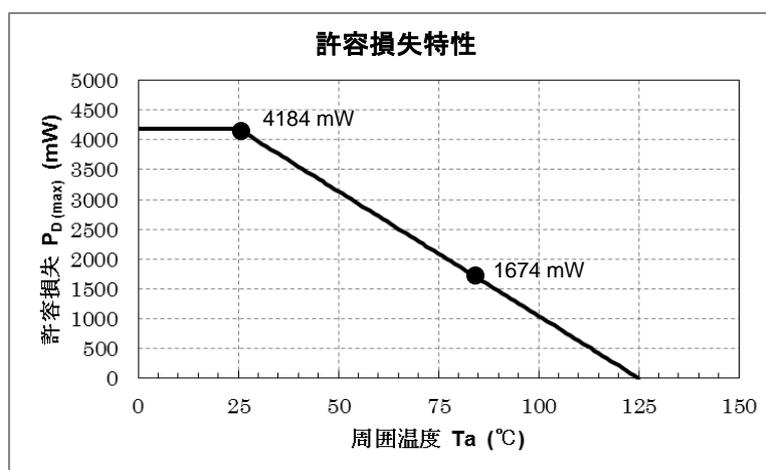


図 9-1 許容損失特性

10. 動作範囲

下記動作範囲を超えた場合の動作は保証できません。

いったん動作範囲を超えて戻った場合も、前の状態とは異なります。特に DRAM ブロック電源は範囲を超えた場合、いったん電源を立ち下げて、再度立ち上げる必要があります。

表 10-1 動作範囲

項 目	記 号	最 小	標 準	最 大	単 位
デジタルブロック電源電圧	V _{DD-D}	1.4	1.5	1.6	V
DRAM ブロック電源電圧	V _{DD-1.5DRAM}	1.4	1.5	1.6	V
	V _{DD-2.5DRAM}	2.3	2.5	2.7	V
アナログブロック電源電圧	V _{DD-MADC}	2.3	2.5	2.7	V
	V _{DD-SADC}				
	V _{DD-ADC Logic}				
	V _{DD-DSEP}				
	V _{DD-DAC}				
XO ブロック電源電圧	V _{DD-XTAL}	2.3	2.5	2.7	V
PLL ブロック電源電圧	V _{DD-PLL}	2.3	2.5	2.7	V
I/O ブロック電源電圧	V _{DD-IO}	3.0	3.3	3.6	V
動作温度	T _{opr}	-40	25	85	°C

※注意

動作温度を 85°C とする場合、電源の消費電力の合計が 1674 mW になるように使用してください。

特に I/O ブロック電源の出力端子は、負荷の状態により電流値が変化しますので注意が必要です。

11. 電氣的特性に 3.3 V 系の電源電流を記載していますが、特定負荷での参考値です。

11. 電気的特性

表 11-1 電気的特性

(V_{DD1} = 1.5 V、V_{DD2} = 2.5 V、V_{DD3} = 3.3 V、T_a = 25 °C)

項目	該当端子	記号	最小	標準	最大	単位	備考
電源電流	VDD-D, VDD-1.5DRAM	I _{DD1}	127	152	177	mA	1.5 V 系電源端子の合計電流
	VDD-2.5DRAM	I _{DD2}	2	4	6		DRAM 2.5 V 系電源端子の合計電流
	VDD-MADC, VDD-SADC, VDD-ADC Logic, VDD-DSEP, VDD-DAC, VDD-XTAL, VDD-PLL	I _{DD3}	75	95	115		アナログ 2.5 V 系電源端子の合計電流
	VDD-IO	I _{DD4}	45	55	65		3.3 V 系電源端子の合計電流(*)
入力電圧	A1, A2 A3, B1, B2, B3, C1, C2, C4, D1, D2, D4, E1, E2, E4, F1, F2, F13, G1, G2, G11, G12, G13, H1, H2, H11, H12, J1, J2, K1, K2, M3, N1, N2, N3, P2, R1, R2, R3, R4, R5, R6, R7, R8, R9, R10, R11, T1, T2, T3, T4, T5, T6, T7, T8, T9, T10, T11	V _{IH}	V _{DD3} × 0.8	—	V _{DD3}	V	3.3 V 系 I/O (入力) 端子
	L1, L2, M1, M2, P1						5 V 耐圧 I/O (入力) 入力端子
	A1, A2 A3, B1, B2, B3, C1, C2, C4, D1, D2, D4, E1, E2, E4, F1, F2, F13, G1, G2, G11, G12, G13, H1, H2, H11, H12, J1, J2, K1, K2, M3, N1, N2, N3, P2, R1, R2, R3, R4, R5, R6, R7, R8, R9, R10, R11, T1, T2, T3, T4, T5, T6, T7, T8, T9, T10, T11	V _{IL}	V _{SS}	—	V _{DD3} × 0.2		3.3 V 系 I/O (入力) 端子
	L1, L2, M1, M2, P1						5 V 耐圧 I/O (入力) 端子
入力電流	A1, A2 A3, B1, B2, B3, C1, C2, C4, D1, D2, D4, E1, E2, E4, F1, F2, F13, G1, G2, G11, G12, G13, H1, H2, H11, H12, J1, J2, K1, K2, M3, N1, N2, N3, P2, R1, R2, R3, R4, R5, R6, R7, R8, R9, R10, R11, T1, T2, T3, T4, T5, T6, T7, T8, T9, T10, T11	I _{IH}	-10	—	10	μA	3.3 V 系 I/O (入力) 端子
	L1, L2, M1, M2, P1						5 V 耐圧 I/O (入力) 端子
	A1, A2 A3, B1, B2, B3, C1, C2, C4, D1, D2, D4, E1, E2, E4, F1, F2, F13, G1, G2, G11, G12, G13, H1, H2, H11, H12, J1, J2, K1, K2, M3, N1, N2, N3, P2, R1, R2, R3, R4, R5, R6, R7, R8, R9, R10, R11, T1, T2, T3, T4, T5, T6, T7, T8, T9, T10, T11	I _{IL}	-10	—	10		3.3V 系 I/O (入力) 端子
	L1, L2, M1, M2, P1						5 V 耐圧 I/O (入力) 端子
出力電圧	A4, A5, A6, A7, A8, A9, A10, A11, A12, A13, A14, A15, A16, B4, B5, B6, B7, B8, B9, B10, B11, B12, B13, B14, B15, B16, C14, C15, C16, D14, D15, D16, E15, E16, F14, F15, F16, G14, G15, G16	V _{OH}	V _{DD3} -0.6	—	V _{DD3}	V	3.3 V 系 I/O (出力) 端子 4 mA 流出負荷時 ※A16 pin (CPH Out)は 8 mA 流出負荷時
	A4, A5, A6, A7, A8, A9, A10, A11, A12, A13, A14, A15, A16, B4, B5, B6, B7, B8, B9, B10, B11, B12, B13, B14, B15, B16, C14, C15, C16, D14, D15, D16, E15, E16, F14, F15, F16, G14, G15, G16	V _{OL}	V _{SS}	—	0.4		3.3 V 系 I/O (出力) 端子 4 mA 流入負荷時 ※A16 pin (CPH Out)は 8 mA 流入負荷時
	L1, M2						5 V 耐圧 I/O (出力) 端子 4 mA 流入負荷時

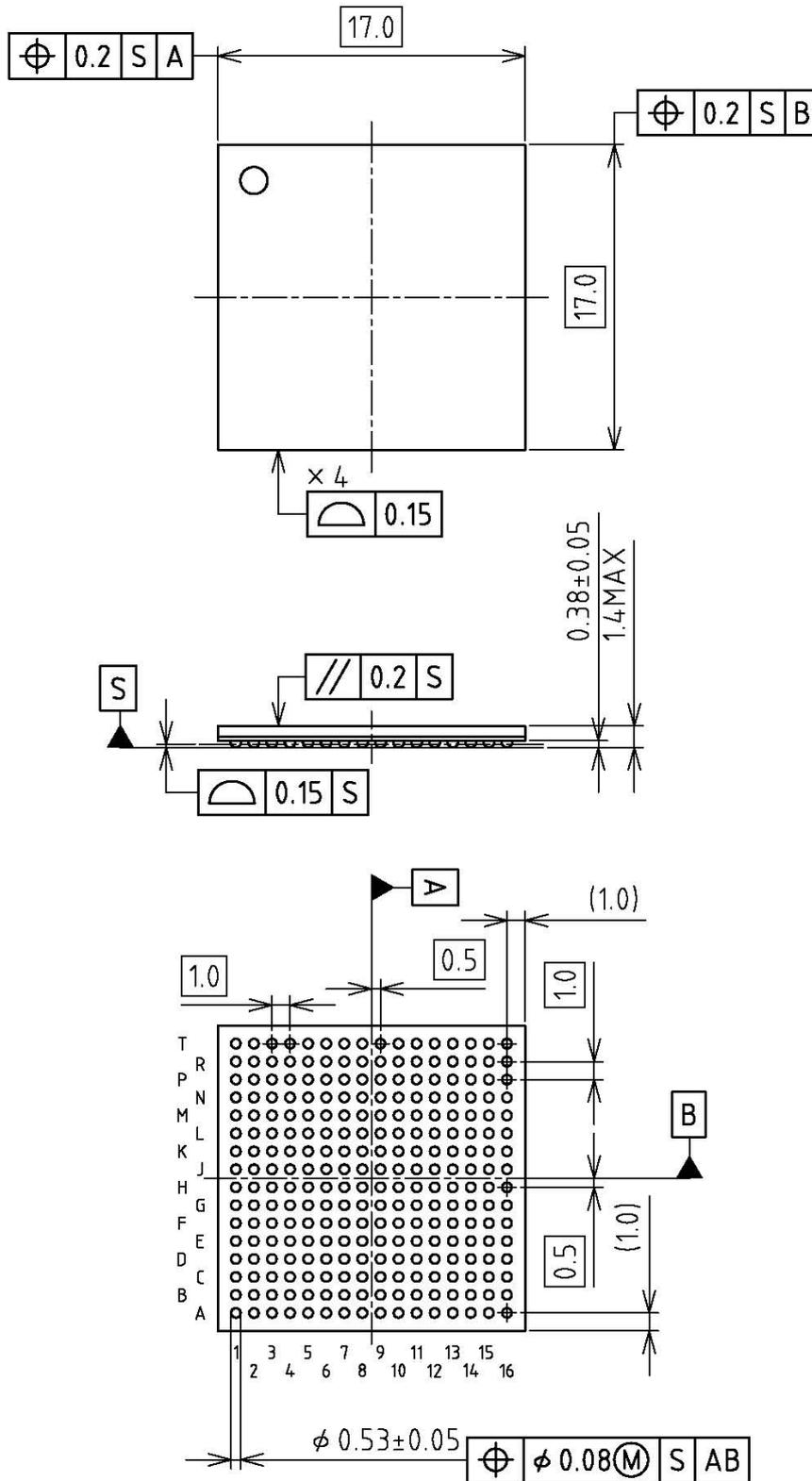
注意：各電源消費電力の合計が 1674 mW を超えますと、85°Cでの熱耐量に耐えられませんのでご注意ください。

(*)：3.3 V 系電源電圧は接続する表示映像と負荷によって電流値が変化します。

12. 外形図

P-LBGA256-1717-1.00-001

Unit: mm



質量: 0.63 g (標準)

13. 変更履歴

Date	Revision	Contents
2016/01/21	1.00	簡易版データシート初版

製品取り扱い上のお願い

- 本資料に掲載されているハードウェア、ソフトウェアおよびシステム（以下、本製品という）に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。