

# APPLICATION NOTE (Summary)

## TC90106FG

### 1. 概要

TC90106FG は 3ch の ADC を内蔵したビデオデコーダ IC です。CVBS、Y/C 入力の外、525p/625p までの YCbCr 入力が可能です。通常の画質調整機能の外、垂直エンハンサ等の画質向上機能をもっています。

### 2. 特徴

- CVBS / Y/C / 525i/625i 入力モードでは通常の ITU-R BT.656 フォーマットで出力します。
- 525p/625p 入力モードでは 8bit, 54MHz クロックで SAV/EAV を重畳して出力します。
- 通常の画質調整機能の外、垂直エンハンサを内蔵しています。
- I<sup>2</sup>C Bus 制御により動作モード等の設定を行います。
- 電源電圧 : 3.3V、2.5V、1.5V
- パッケージ : LQFP 64pin 10 x 10 mm (LQFP64-P-1010-0.50E)

### 3. 応用回路例

応用回路例を図 3-1 に示します。

別途 I<sup>2</sup>C の制御装置と ITU-R BT.656 を映す為の表示装置が必要になります。

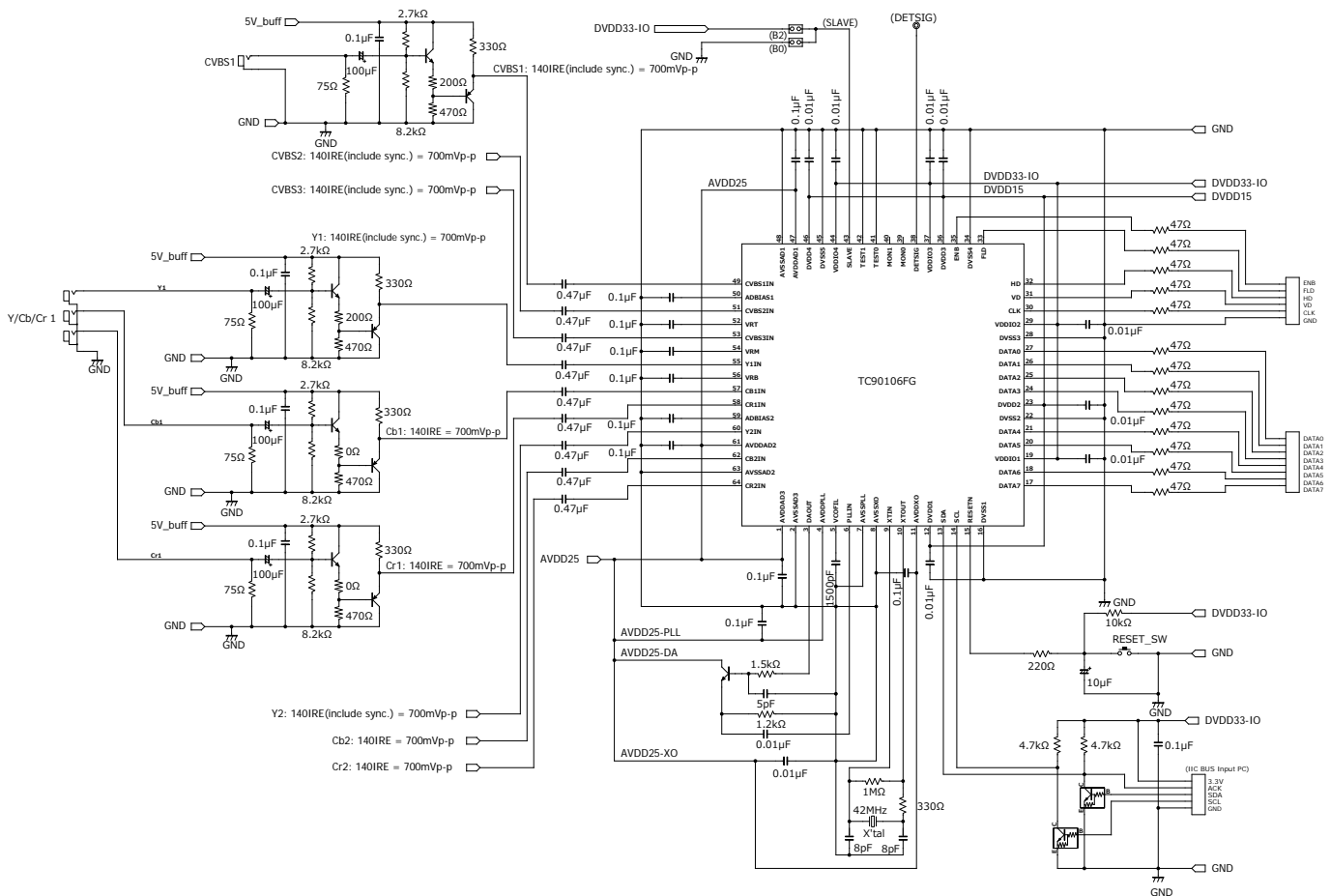


図 3-1 応用回路例

## 4. 端子説明

### (1) システムクロック生成用 PLL ブロック

TC90106FG では PLL を内蔵し、入力信号の水平同期信号に位相同期したシステムクロックを内部で生成します。PLL の周辺回路例については補足資料を参照してください。

- ・ 端子 3: 内蔵 DAC の出力です。  
HPLL の位相比較の DAC 出力です。6.75MHz で出力されますので RC の後のエミッタフォロア出力に 0.01 $\mu$ F を介して端子 6 に入力します。
- ・ 端子 5: VCO の制御端子です。  
内蔵の VCO を発振させる為の制御端子です。対 GND に 1500pF を付けます。
- ・ 端子 6: HPLL の入力端子です。  
端子 3 からの 6.75MHz を入力する端子です。内部では位相比較器に入力されます。  
VCO 出力を 6.75MHz レートまで分周した信号と位相比較を行い VCO を制御します。

### (2) 水晶発振ブロック

42MHz の基本波発振タイプの水晶振動子を使用します。

詳細は周辺回路補足説明を参照してください。

### (3) I<sup>2</sup>C 端子

- ・ 端子 13: I<sup>2</sup>C 制御の SDA 入力端子です。
- ・ 端子 14: I<sup>2</sup>C 制御の SCL 入力端子です。  
SDA, SCL 端子については 5V 耐圧仕様になっています。
- ・ 端子 43: スレーブアドレスの設定用です。3.3V 接続で B2、GND 接続で B0 になります。

### (4) リセット制御

- ・ 端子 15: RESET 端子です。通常は 3.3V(HIGH)で、リセットをかけるとき GND(LOW)に落とします。  
リセット時、映像出力端子はハイインピーダンスになります。

### (5) デジタル出力

- ・ 端子 17(MSB), 18, 20, 21, 24, 25, 26, 27 (LSB) 映像出力端子。  
ダンピング抵抗を介して後段に接続します。
- ・ 端子 30: クロック出力端子。  
ITU-R BT.656 モードでは 27MHz で出力します。コンポーネント入力 (525p/625p) モードでは 54MHz が出力されます。ダンピング抵抗を介して後段に接続します。極性はサブアドレス 29h の INVCK で設定します。

### (6) 同期信号出力 ITU-R BT.656 の他に同期信号を出力します。

- ・ 端子 31: 垂直同期信号出力です。ダンピング抵抗を介して後段に接続します。  
位相はサブアドレス 25h の HV601、極性はサブアドレス 29h の PVPOLE で設定します。
- ・ 端子 32: 水平同期信号出力です。ダンピング抵抗を介して後段に接続します。  
極性はサブアドレス 29h の PHPOLE で設定します。

### (7) その他の出力信号

- ・ 端子 33: フィールド信号出力です。ダンピング抵抗を介して後段に接続します。  
極性はサブアドレス 29h の PFPOLE で設定します。
- ・ 端子 35: イネーブル信号出力です。ダンピング抵抗を介して後段に接続します。
- ・ 端子 38: 有信号/無信号入力の判定出力です。I<sup>2</sup>C Read と独立して動作 ON/OFF 設定できます。  
検出感度はサブアドレス 26h NOSIG\_MODE[1:0], NOSIG\_O, NOSIG\_VE[1:0], NOSIG\_VS[1:0]で設定します。端子 38 の ON/OFF はサブアドレス 00h NOSIG\_EN で制御します。なお、検出感度設定については端子 38 についてのみ有効です。

## (8) 入力信号

入力信号フォーマットの選択はサブアドレス 01h の INSEL[1:0]で設定します。  
 CVBS 入力端子の選択はサブアドレス 02h の YSWSEL[1:0]で設定します。  
 YCbCr1 と YCbCr2 の入力選択、及び Y/C1 と Y/C2 の入力選択はアドレス 03h の  
 YCBCR\_SEL [1:0]で設定します。

YCbCr 入力における 525i/625i と 525p/625p の選択はアドレス 02h の PROGSEL で設定します。  
 (525i と 625i、525p と 625p については自動判別です)  
 これとは別に 525p/625p の検出機能を独立して持っており、Read レジスタ NOSIGD2 により  
 モニタできます。

- 端子 49, 51, 53: CVBS の入力端子です。  
 CVBS は入力前にシンク下端～白 100%を 0.7Vpp に調整してから 0.47 $\mu$ F を介して入力してください。  
 カラーシステムは全世界方式に対応しています。  
 マニュアル設定の他、自動判別モードがあります。(サブアドレス 02h)  
 出力におけるペDESTALレベルはアドレス 03h の NTSCJM で選択できます。

カラーシステム判別は、4 種の判別モードを持っておりサブアドレス 02h FSCAUTO で設定します。

レジスタ(01h)	モード	fsc 判別	内容
FSCAUTO			
00	マニュアル設定	—	カラーシステムはレジスタ TVM0 - TVM3 でマニュアル設定 (TVM0 - TVM3 = BANK:00h サブアドレス:01h)
01	欧州	4.4336MHz 3.57954MHz	判別優先順位 : 4.43MHz PAL→ NTSC→ SECAM (3.58MHz 系 PAL のシステム判別は不可)
10	South America	3.57954MHz 3.5756MHz 3.5820MHz	判別優先順位 : 3.58MHz PAL→ 3.58MHz NTSC (4.43MHz fsc の判別は不可)
11	Full multi	4.4336MHz 3.57954MHz 3.5756MHz 3.5820MHz	判別優先順位 : PAL→ NTSC→ SECAM

垂直周波数 50Hz/60Hz について優先順位はありません。

VD output はサブアドレス 1Eh の VDSEL で制御できます。

00: 常時入力同期

01: 無信号入力時直前検出結果を使用

1\*: FSCAUTO=00 で使用時 TVM[2]のレジスタ値で設定されている VD 周波数が出力される。

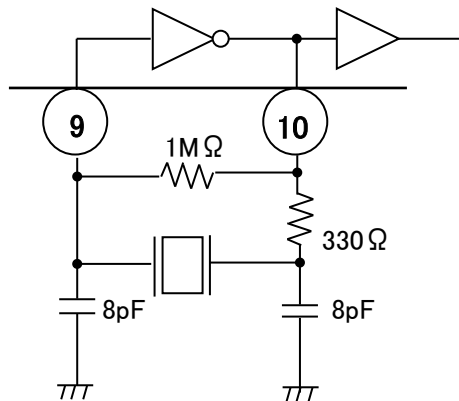
- 端子 55:YCbCr 1 入力時または Y/C1 入力時の Y 信号入力端子です。  
 Y 信号はシンク下端～白 100%を 0.7Vpp に調整し 0.47 $\mu$ F を介して入力します。
- 端子 57:YCbCr 1 の Cb1 の入力端子または Y/C1 の C 入力端子です。  
 100%カラー時の Cb1 信号を 0.7Vpp に調整し 0.47 $\mu$ F を介して入力します。
- 端子 58:YCbCr 1 の Cr1 の入力端子または Y/C1 の C 入力端子です。  
 100%カラー時の Cr1 信号を 0.7Vpp に調整し 0.47 $\mu$ F を介して入力します。
- 端子 60:YCbCr 2 の入力時または Y/C2 入力時の Y 入力端子です。  
 Y 信号はシンク下端～白 100%を 0.7Vpp に調整し 0.47 $\mu$ F を介して入力します。

- ・ 端子 62:YCbCr 2 の Cb2 の入力端子または Y/C2 の C 入力端子です。  
100%カラー時の Cb2 信号を 0.7Vpp に調整し 0.47μF を介して入力します。
- ・ 端子 64:YCbCr 2 の Cr2 の入力端子または Y/C2 の C 入力端子です。  
100%カラー時の Cr2 信号を 0.7Vpp に調整し 0.47μF を介して入力します。

<周辺回路補足>

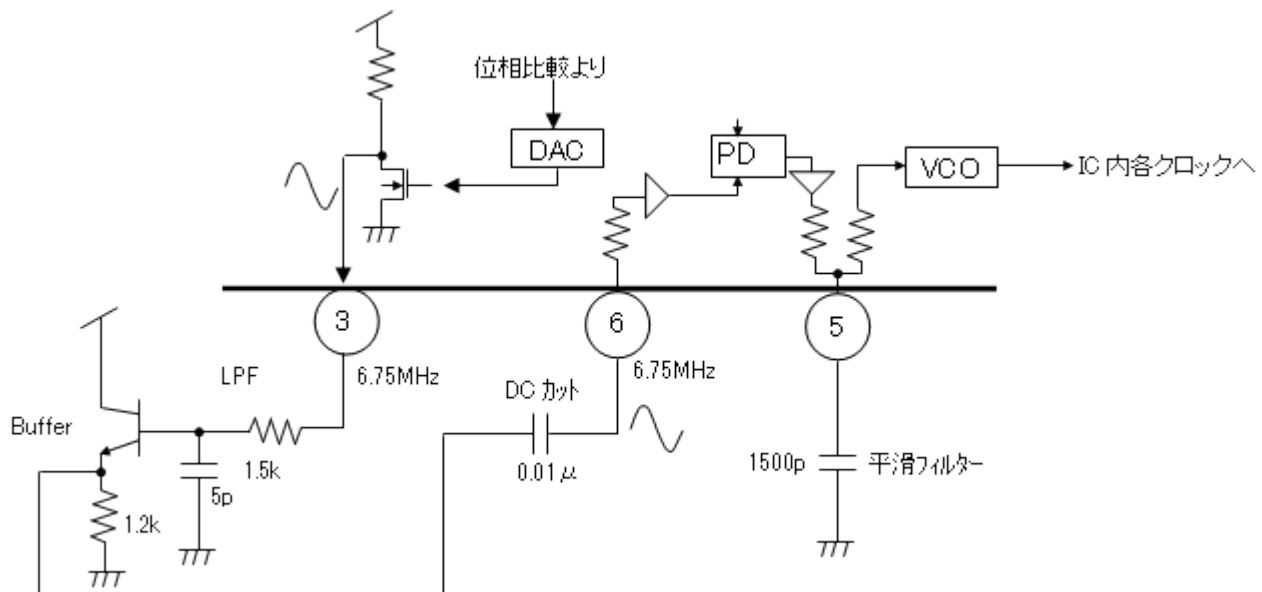
水晶発振部

下図に基本波発振回路の例を示します。実基板を含めての発振特性を評価して定数を選定してください。水晶振動子は基本波周波数 42MHz で周波数偏差の小さいものをお選びください。水晶の周波数偏差は fsc の引き込み範囲の偏りに影響します。+50ppm の偏差で NTSC で +179Hz(3.579545MHz の 50ppm)、PAL で +222Hz、fsc の引き込み範囲の中心がシフトすることになります。引き込み範囲を -500Hz ~ +500Hz とした場合、NTSC では約  $(-500+179)=-321\text{Hz}$  ~  $(+500+179)=+679\text{Hz}$  程度偏ることになります。fsc の引込範囲は 16h の D6 で選択可能です。  
Normal Mode ( 16h の D6=0 ) : fsc±500Hz  
Wide Mode ( 16h の D6=1 ) : fsc±800Hz



PLL ブロック周辺回路

TC90106FG では PLL 回路により入力の水平同期信号にロックした VCO の出力を得ています。PLL 周辺の回路例を下図に示します。



## 5. 画質調整

### 5.1 Y 映像処理

#### 5.1.1 垂直エンハンサ

垂直方向の非相関成分を検出し、コアリング処理、ゲイン、ノンリニア特性が設定可能です。

関連レジスタ Sub address 04h: GVENH[2:0], VEN[1:0]

Sub address 03h: VEC[1:0]

#### 5.1.2 LTI (Y エッジ補正)

Y信号の水平方向エッジの傾斜補正を行います。

関連レジスタ Sub address 07h: FLTI

Sub address 06h: GLTI[1:0], LTILIM[1:0]

#### 5.1.3 シャープネス回路

f0 は 4.2MHz と 3.3MHz の選択が可能です。LTI とは独立に設定できます。

関連レジスタ Sub address 05h: FENH, GHENH[4:0]

#### 5.1.4 ノイズキャンセラ

f0 の設定はシャープネスの設定と共有します。

関連レジスタ Sub address 05h: FENH, NCLIM[1:0]

Sub address 04h: GNC[1:0]

#### 5.1.5 コントラスト制御

制御範囲は 0.5 倍 ~ 2.4 倍です。

関連レジスタ Sub address 08h: YCONT[7:0]

(注)入力信号の振幅レベルにより飽和する可能性があります。

#### 5.1.6 ブライトネス制御

映像の有効期間において、セットアップレベルを調整します。

関連レジスタ Sub address 09h: YBRIT[7:0]

#### 5.1.7 映像 Mute 制御

出力を Mute する機能です。Y 出力はペDESTALレベル、Cb/Cr 出力はセンターレベルに固定されます。

関連レジスタ Sub address 0Dh: MUTE

## 5.2 クロマ映像処理

### 5.2.1 ACC (Auto Color Control)

CVBS, Y/C 入力に対して調整可能です。

リファレンスレベルは、レジスタ ACC で設定します。

関連レジスタ Sub address 0Eh: ACC[3:0]

### 5.2.2 キラー制御

CVBS, Y/C 入力に対して有効です。

感度設定は、レジスタ CKILL で設定します。

検出により色なしと判定した場合、Y 出力は CVBS(入カスルー)となります。

関連レジスタ Sub address 0Eh: CKILL[2:0], 3LOFF

### 5.2.3. HUE 調整

HUE 調整は NTSC 信号の CVBS、Y/C 入力に対して調整可能です。

復調角と復調位相調整が行えます。

関連レジスタ Sub address 0Ch: HUE[6:0]

Sub address 0Dh: HUE BIAS[5:0]

### 5.2.4. サブカラーゲイン調整

映像の有効期間において Cb、Cr 独立でゲイン調整が可能です。

制御範囲 :  $\times 0.5 \sim \times 1.4$

関連レジスタ Sub address 0Ah: RGAIN[3:0], BGAIN[3:0]

### 5.2.5 Cb /Cr Offset 調整

映像の有効期間において、Cb/Cr 独立で DC レベルのオフセット調整が可能です。

Offset 調整範囲 :  $-8 \text{ LSB} \sim +7 \text{ LSB}$

関連レジスタ Sub address 0Bh: ROFS[3:0], BOFS[3:0]

### 5.2.6 CTI (色エッジ補正)

色信号(Cb/Cr)の水平方向のエッジ傾斜補正を行います。

関連レジスタ Sub address 07h: FCTI, CTILIM[1:0], GCTI[1:0]

### 5.2.7 Cb /Cr 出力段のフィルター設定

色信号の出力に帯域制限をかけられます。

関連レジスタ Sub address 14h: FILON[1:0]

### 5.2.8 Cb /Cr の MUTE 機能

色信号の出力のみを MUTE する機能です。

関連レジスタ Sub address 0Dh: C MUTE

## 6. その他の機能

### 6.1 ブルーバック制御

無信号検出により自動で出力をブルーバック表示に切り替えることができます。

ブルーバックの色味はサブアドレス 33h、34h、35h で設定します。

なお、検出感度についてはレジスタを設けています。

関連レジスタ Sub address 32h: BBACK\_MODE[1:0], BBACKVE[1:0], BBACKVS[1:0],  
BBACK\_AUTO, BBACK  
Sub address 33h: BBACKY[7:0]  
Sub address 34h: BBACKCB[7:0]  
Sub address 35h: BBACKCR[7:0]

### 6.2 ADC のパワーセーブ/ ダウン機能

CVBS/Y 入力用に 10bit ADC と色信号用に 2ch の 8bit ADC を内蔵しています。

レジスタ制御により動作状態を制御できます。

関連レジスタ Sub address 38h: ADPWD10, ADPW8, ADPWS10, ADPWS8

### 6.3 NTSC-M のモード設定

NTSC 入力は NTSC-J で設計されています。北米仕様の NTSC-M については専用レジスタ

を設けています。NTSC-M の Y 信号に対してペDESTALレベルの微調整、ゲイン調整ができます。

関連レジスタ Sub address 03h: NTSCJM  
Sub address 3Eh: BKOFST[7:0]  
Sub address 3Fh: BKLVL[7:0]

### 6.4 リードレジスタ

入力信号フォーマット等の検出結果をリードできます。

## 7. I<sup>2</sup>C BUS 設定

### (1)バス制御について

TC90106FG は 400kbit/s までの I<sup>2</sup>C バスで制御できます。

スレーブアドレスは B0h と B2h の 2つのどちらかを選択できます。

SLAVE 端子(端子 43)の Low/High でスレーブアドレスが選択できます。(Low: B0h / High: B2h)

バス制御の基本を図 7-1 に示します。

基本はスレーブアドレス~サブアドレス~データの順に転送します。

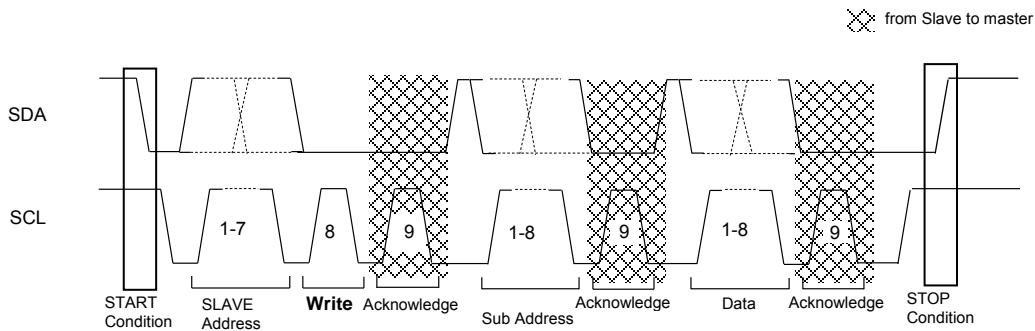


図 7-1 バス制御タイミング(基本)

書き込み(write)のフォーマットにはライトモードとオートインクリメントモードがあります。

ライトモードとオートインクリメントモードを図 7-2 と図 7-3 に示します。

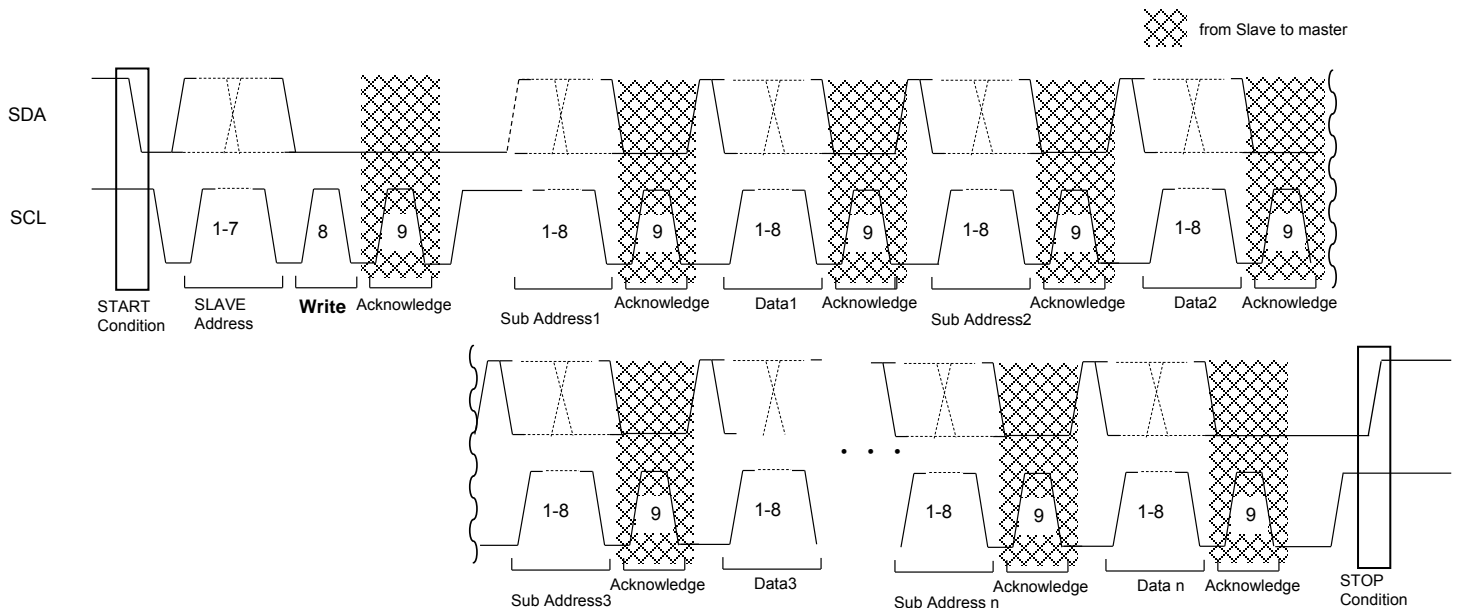


図 7-2 バス制御タイミング(ライトモード)



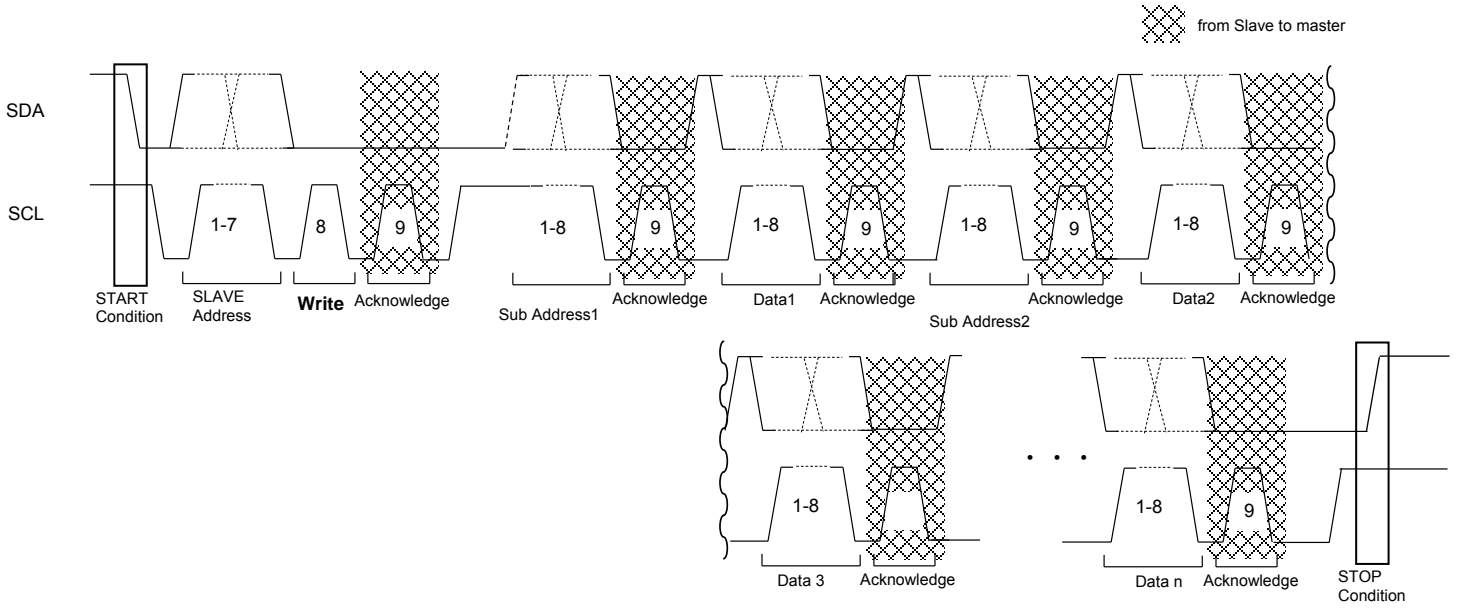


図 7-3 バス制御タイミング(オートインクリメントモード)

設定値及びステータス(50h~54h)の読み出し(read)のフォーマットを図 7-4 に示します。

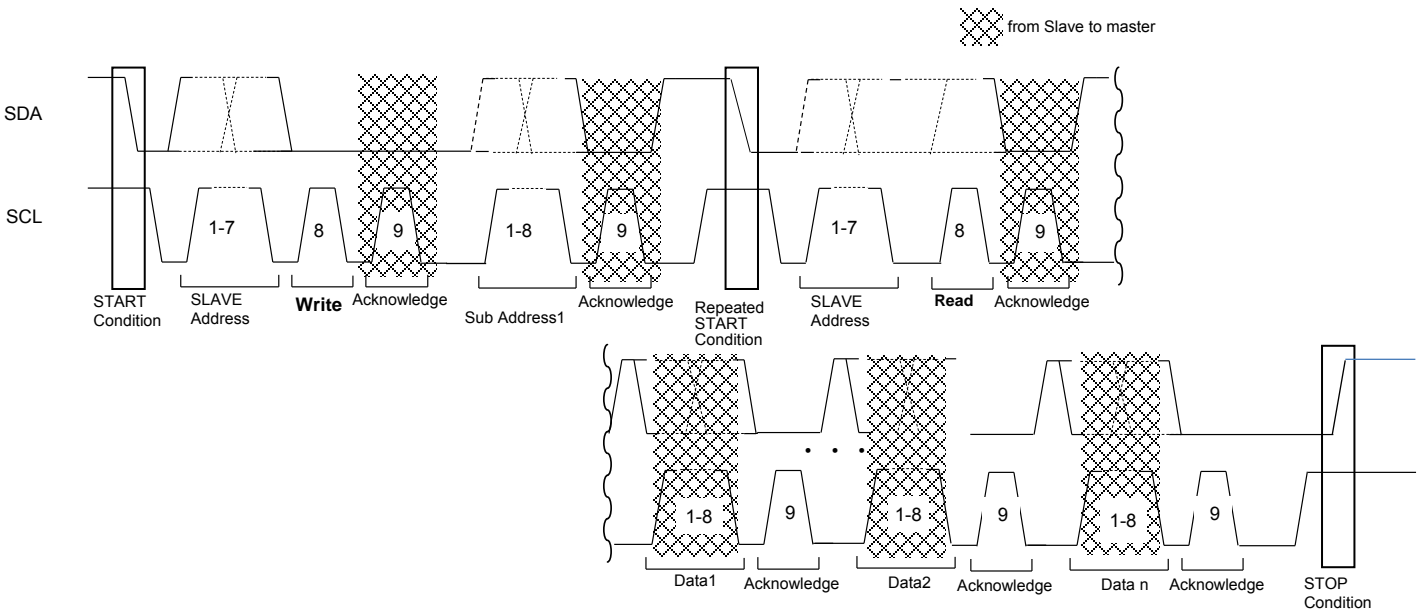


図 7-4 バス制御タイミング(リードモード)

(2) レジスタ表の見方

TC90106FG を動作させる為のレジスタ表とバス設定値を紹介します。  
 設定例を参考に各レジスタを設定してください。

CVBS1 入力時設定例, 27MHz 出力  
 デフォルトの設定値  
 525i/625i を YCbCr1 に入力時設定例, 27MHz 出力  
 525p/625p を YCbCr1 に入力時設定例, 54MHz 出力  
 制御名  
 制御の内容

Sub	INIT	CVBS	525i	525p	D7	D6	D5
03h	00h	00h	00h	00h	YBCRCR_SEL[1:0]		NTSCJM
D7 で YCbCr(Y/C)の入力端子 (端子 55, 57, 58 か、端子 60, 62, 64 か) を設定します。					YCbCr, Y/C 端子選択		NTSCJ NTSCM
					0: YCbCr1(Y/C1) 1: YCbCr2(Y/C2)	0: ノーマル 1: CbCr (C)入替	0: NTSC-J 1: NTSC-M

サブアドレス      設定する内容について説明しています。      設定

D4	D3	D2	D1	D0
VEC[1:0]				
V エンハンサコアリング				
00: OFF 01: 0.8IRE 10: 1.6IRE 11: 2.3IRE		-	-	-

デフォルト値(INIT)を設定します

図 7-5 レジスタ表の見方

(3) レジスタ表

(注): — の箇所は初期値でお使いください

Sub	INIT	CVBS	525i	525p	D7	D6	D5	D4	D3	D2	D1	D0
00h	24h	00h	00h	00h	MCDCKOFF	NOSIG_EN	OUTFIX[1:0]		OPINSEL	MUTE	Bank[1:0]	
	D5, D4 を 00 に設定すると出力状態になります。D2 は通常に設定します。サブアドレス 00h は必ず設定してください。				クロック停止	DETSIG High-Z	出力固定		DATA MSB/LSB 入替	映像ミュート	Bank 切り替え	
01h	03h	03h	83h	83h	INSEL[1:0]		TVM3	TVM2	TVM1	TVM0	FSCAUTO[1:0]	
	D7, D6 で入力信号を設定します。CVBS, Y/C, YCbCr のどの信号かを設定します。D1, D0 でシステム判別方法を選択します。				入力信号選択		fsc 選択	FV 選択	PAL 選択	SECAM 選択	ビデオシステム判別モード選択	
02h	02h	02h	02h	12h	YSWSEL[1:0]		PROGSEL[1:0]		DCOMBOFF	443NT	—	R656MODE
	D7, D6 で CVBS の入力端子(端子 49, 51, 53)の選択をします。YCbCr の D2 入力時は D4 を 1 に設定します。				CVBS 端子切替		D1(525i/625i), D2(525p/625p)設定		色分離方式	443NT 分離		0: 656-3 1: 656-4 以降
03h	00h	00h	00h	00h	YCBCR_SEL[1:0]		NTSCJM	VEC[1:0]		—	—	—
	D7 で YCbCr (Y/C) の入力端子(端子 55, 57, 58 か、端子 60, 62, 64 か)を設定します。				YCbcR_S 端子選択		NTSCJ NTSCM	V エンハンサコアリング				
04h	00h	00h	00h	00h	GVENH[2:0]		VEN[1:0]		GNC[1:0]		PRENH	
	D7~D3, (03H_D4, D3)はエンハンサを効かせる設定です。参考設定: D8h です。				V エンハンサゲイン		V エンハンサ折り返し点		ノイズキャンセルゲイン		ブリエンハンサ	
05h	00h	00h	00h	00h	GHENH[4:0]				NCLIM[1:0]		FENH	
	D7~D3 でシャープネスを効かせます。参考設定: 19h です。				シャープネスゲイン				ノイズキャンセルコアリング		シャープネス fo	
06h	08h	08h	08h	08h	GLTI[1:0]		LTI LIM[1:0]		SET DELAY[3:0]			
	D7~D4 で LTI を効かせます。参考設定: 48h です。				LTI ゲイン		LTI コアリングレベル		クロマ遅延設定			
07h	00h	00h	00h	00h	GCTI[1:0]		CTI LIM[1:0]		FLTI	FCTI	—	TRAPOFF
	D7~D4 で CTI を効かせます。参考設定: 80h です。				CTI ゲイン		CTI コアリングレベル		LTI fo	CTI fo		BSRCY 9MHz トラップ OFF
08h	40h	40h	40h	40h	YCONT[7:0]							
	コントラストを制御します。				コントラスト制御							
09h	00h	00h	00h	00h	YBRIT[7:0]							
	ブライツネスを制御します。				ブライツネス (出力 Y オフセット)							
0Ah	00h	00h	00h	00h	RGAIN[3:0]				BGAIN[3:0]			
	CbCr のゲインを調整します。				Cr 信号出力ゲイン				Cb 信号出力ゲイン			
0Bh	00h	00h	00h	00h	ROFS[3:0]				BOFS[3:0]			
	CbCr のオフセットを調整します。				Cr 信号出力オフセット				Cb 信号出力オフセット			

Sub	INIT	CVBS	525i	525p	D7	D6	D5	D4	D3	D2	D1	D0
0Ch	00h	00h	00h	00h	HUE[6:0] 復調位相調整							RDDL
	D7~D1 で復調位相(色相)を調整します。				1000000: -44.3° ~ 0000000: 0° ~ 0111111: +43.6°							0: Cb 先行 1: Cr Delay
0Dh	00h	00h	00h	00h	HUE BIAS[5:0] 復調角						MUTE 映像ミュート	C MUTE 色ミュート
	D7~D2 で復調位相(色相)を調整します。D1, D0 でミュートをかけられます。				000000: 0° ~ 111111: +45°						0: OFF 1: ON	0: OFF 1: ON
0Eh	08h	08h	08h	08h	3LOFF	CKILL[2:0] カラーキラー			ACC[3:0] ACC レベル			
	通常は初期値で使用してください。				0: カラーキラー有効 1: カラーキラー無効	000: -40dB ~ 111: -30dB			0000: 最小 ~ 1111: 最大			
0Fh	A0h	A0h	A0h	A0h	-	2BPFOFF	2BTR	OLDTR2	OLDTR3	TOFON[2:0] テイクオフフィルタ (復調入力帯域制限)		
	通常は初期値で使用してください。					2'ndBPF/TRAP	2'ndBPF/TRAP	TRAP1	TRAP2	000: OFF 001: BPF ON 010: Min ~ 111: Max		
						0: ON 1: OFF	0: Trap 1: BPF	0: OFF 1: ON	0: OFF 1: ON			

Sub	INIT	CVBS	525i	525p	D7	D6	D5	D4	D3	D2	D1	D0	
10h	82h	82h	82h	82h	-	-	STCLMP[1:0] 入力下限(シンクチップ) リミッタクランプ		FBCLP_ON[1:0] FB クランプ ON/OFF 制御		-	-	
	D5~D2 でクランプを設定します。通常 INITIAL 設定で良いです。						00: AUTO 01: 強制 ON 1*: 強制 OFF	00: Auto 01: 強制 ON 1*: 強制 OFF					
11h	13h	13h	12h	12h	YCLPON	FSCTRAP	-	-	-	-	-	CADFILON C 入力 LPF	
	デジタルクランプの設定です。				0: OFF 1: ON	0: OFF 1: ON						0: OFF 1: ON	
12h	00h	00h	00h	00h	初期値固定								
13h	D6h	D6h	D6h	D6h	-	-	-	-	NCOEV	CGAIN[2:0]			
	通常は初期値で使用してください。								SECAM De-Emphasis	SECAM 用 Y トラップ設定			
									0: Normal 1: F 特 UP	000: ×0 ~ 111: ×0.4375 [110]			
14h	00h	00h	00h	00h	-	-	-	-	-	-	FILON[1:0] デコーダ出力 IIR フィルタ		
	通常は初期値で使用してください。										00: OFF 01: 広帯域 10: 狭帯域 11: 高域除去		
15h	00h	00h	00h	00h	-	-	VSRACH[1:0] fsc ロック時間		-	WIDEGATE 443 判別レベル 判定ゲート幅 選択		-	-
	通常は初期値で使用してください。						00: 3V 01: 4V 10: 5V 11: 6V	0: 狭帯域 1: 広帯域					
16h	00h	00h	00h	00h	BFD2	FSCWIDE	DIZY	OUTPEAK	-	RBCHG Cb/Cr 順番			
	通常は初期値で使用してください。				DET443 用 BGP サーチ	fsc 引き込み 範囲拡大	出力ディザ 処理	出力ピーク リミッタ		0: ノーマル 1: 入れ替え	-	-	
					0: OFF 1: ON	0: ノーマル 1: 拡大	0: OFF 1: ON	0: OFF 1: ON					

Sub	INIT	CVBS	525i	525p	D7	D6	D5	D4	D3	D2	D1	D0
17h	10h	10h	10h	10h	GCLPWIDTH[2:0]			SELGCLP	GCLPDLY[3:0]			
	通常は初期値で使用してください。				Y クラмпパルス幅調整 100: 1.78μs ~ 000: 2.37μs ~ 011: 2.81μs (D1: 6.75MHz D2: 13.5MHz 単位)			Y クラмп位置 0: Sync Tip 1: Pedestal	Y クラмпパルス位置調整 1000: -1.18μs ~ 0000: ±0μs ~ 0111: +1.03μs (D1: 6.75MHz D2: 13.5MHz 単位)			
18h	10h	10h	10h	10h	RBCLPWIDTH[2:0]			SELRBCLP	RBCLPDLY[3:0]			
	通常は初期値で使用してください。				Cr/Cb クラмпパルス幅調整 100: 1.78μs ~ 000: 2.37μs ~ 011: 2.81μs (D1: 6.75MHz D2: 13.5MHz 単位)			Cr/Cb クラмп位置 0: Sync Tip 1: Pedestal	Cr/Cb クラмпパルス位置調整 1000: -1.18μs ~ 0000: ±0μs ~ 0111: +1.03μs (D1: 6.75MHz D2: 13.5MHz 単位)			
19h	3Bh	3Bh	3Bh	38h	-			-			HGAIN[1:0]	
	AFC ゲイン切替。 入力信号に応じて切り替えが必要になります。				-			-			AFC ゲイン切替 00: 入力信号が 525p のとき 11: 入力信号が CVBS または 525i のとき 01 または 10: 設定不可	
1Ah	87h	87h	87h	87h	-			-				
1Bh	25h	25h	25h	25h	-			-				
1Ch	1Fh	1Fh	1Fh	1Fh	-			-				
1Dh	00h	00h	00h	00h	SHCTRL[5:0]						SLSEL	-
	通常は初期値で使用してください。				水平基準位相調整 100000: -4.74μs ~ 000000: ±0μs ~ 011111: +4.59μs (1/6.75MHz ステップ)						水平分離レベル 0: 30% 1: 40%	
1Eh	00h	00h	00h	00h	VHPH[2:0]			-	-	-	VDSEL[1:0]	
	通常は初期値で使用してください。				垂直基準設定 011: +3H~000: センター(標準)~100: -4H						VD 出力制御 00: 常時入力同期 01: NOSIG 時直前 DET50 保持 1*: FSCAUTO = 00 時 TVM2	
1Fh	81h	81h	81h	81h	-			-	-	-	FIELDDET	
	通常は初期値で使用してください。				-						非標準信号時 フィールド判定 0: 1V ごと ODD/EVEN 反転 1: Low	

Sub	INIT	CVBS	525i	525p	D7	D6	D5	D4	D3	D2	D1	D0
20h	00h	00h	00h	00h	-	-	-	-	-	-	-	-
21h	00h	00h	00h	00h	-	-	-	-	-	-	-	-
22h	00h	00h	00h	00h	-			-			-	
	初期値固定。				-			-			-	
23h	00h	00h	00h	00h	-			-			-	
	初期値固定。				-			-			-	

Sub	INIT	CVBS	525i	525p	D7	D6	D5	D4	D3	D2	D1	D0
24h	00h	00h	00h	00h		—						
25h	00h	00h	00h	00h	—	HV601	—	—	—	—	—	—
						656VD パルス出力切り替え 0: 656 VD 1: 601 VD						
26h	00h	00h	00h	00h	—	NOSIG_MODE[1:0] 判定条件		NOSIG_O DETSIG 極性	NOSIG_VE[1:0] 終了 V		NOSIG_VS[1:0] 開始 V	
						0: H 検出 (V ラッチ有り) 1: H 検出 (V ラッチ無し)	0: H 検出のみ 1: H, V, fscLOCK 検出	0: H で信号有り 1: L で信号有り	00: NOSIG 判定と同時 01: 3V 後 10: 5V 後 11: 7V 後	00: NOSIG 判定と同時 01: 3V 後 10: 5V 後 11: 7V 後		
27h	00h	00h	00h	00h	HDPH[3:0] デジタルフォーマット用水平位相調整				VDPH[3:0] デジタルフォーマット用垂直位相調整			
					1000: -1.185µs ~ 0000: 0µs ~ 1111: +1.04µs				0000: 0H ~ 1111: +15H			
28h	10h	10h	10h	10h	—	—	—	—	—	—	—	—
					初期値固定。							
29h	00h	00h	00h	00h	PHPOLE	PVPOLE	PFPOLE	THRHV	SEL_BLK	—	CLP	INVCK
					D7, D6, D5, D0 で HD, VD, Field, CLOCK の極性切り替えができます。	HD 極性選択 0: 正極性 1: 負極性	VD 極性選択 0: 正極性 1: 負極性	フィールド極性選択 0: 正極性 1: 負極性	H,V-OUT 選択 0: ITU-R BT.656 準拠 1: スルー		ブランキング処理選択 0: 強制 1: スルー	ペDESTALクリップ 0: OFF 1: ON
2Ah	00h	00h	00h	00h	EN_PIXH_S[3:0] 映像処理期間水平開始位相調整				EN_PIXH_W[3:0] 映像処理期間水平幅調整			
					1000: -1.185µs~0000: ±0µs~0111: +1.04µs				1000: -1.185µs~0000: ±0µs~0111: +1.04µs			
2Bh	00h	00h	00h	00h	—	—	—	—	—	—	—	—
					初期値固定。							
2Ch	00h	00h	00h	00h	—				—			
2Dh	20h	20h	20h	20h	—				—			
2Eh	00h	00h	00h	00h	—				—			
2Fh	00h	00h	00h	00h	—				—			

Sub	INIT	CVBS	525i	525p	D7	D6	D5	D4	D3	D2	D1	D0
30h	00h	00h	00h	00h	—	—	—	—	—	—	—	—
31h	00h	00h	00h	00h	—	—	—	—	—	—	—	—
32h	00h	00h	00h	00h	BBACK_MODE[1:0] ブルーバック切替条件		BBACKVE[1:0] ブルーバック終了 V		BBACKVS[1:0] ブルーバック開始 V		BBACK_AUTO 強制 B_BACK ON/OFF	BBACK 無信号時ブルーバック
					0: H 検出 (V ラッチ有) 1: H 検出 (V ラッチ無)	0: H 検出のみ 1: H, V, fscLOCK 検出	00: NOSIG 判定と同時 01: 3V 後 10: 5V 後 11: 7V 後 (32h:D6=1 のとき 00)	00: NOSIG 判定と同時 01: 3V 後 10: 5V 後 11: 7V 後	00: NOSIG 判定と同時 01: 3V 後 10: 5V 後 11: 7V 後	0: 通常 1: 強制	0: OFF 1: ON	

Sub	INIT	CVBS	525i	525p	D7	D6	D5	D4	D3	D2	D1	D0
33h	00h	00h	00h	00h	BBACKY[7:0] ブルーバック任意色 Y 00h(16h): 黒 ~ FFh: 白							
	32hの機能のブルーバックデータを設定します。											
34h	00h	00h	00h	00h	BBACKCB[7:0] ブルーバック任意色 Cb 00h ~ 80h:センター ~ FFh							
	32hの機能のブルーバックデータを設定します。											
35h	00h	00h	00h	00h	BBACKCR[7:0] ブルーバック任意色 Cr 00h ~ 80h:センター ~ FFh							
	32hの機能のブルーバックデータを設定します。											
36h	00h	00h	00h	00h	—	—	—	—	—	—	—	—
37h	00h	00h	00h	00h	—	—	—	—	—	—	—	—
38h	F0h	F0h	F0h	F0h	ADPWD10	ADPWD8	ADPWS10	ADPWS8				
	CVBS 使用時には 8bitADC を OFF し消費電流をセーブすることができます。				10bit ADC パワーダウン 0: パワーダウン 1: 通常動作	8bit ADC パワーダウン 0: パワーダウン 1: 通常動作	10bit ADC パワーセーブ 0: パワーセーブ 1: 通常動作	8bit ADC パワーセーブ 0: パワーセーブ 1: 通常動作	—	—	—	—
39h	00h	00h	00h	00h	—	—	—	—	—	—	—	—
3Ah	00h	00h	00h	00h	—	—	—	—	—	—	—	—
3Bh	00h	00h	00h	00h	—	—	—	—	—	—	—	—
3Ch	00h	00h	00h	00h	—	—	—	—	—	—	—	—
3Dh	00h	00h	00h	00h	—	—	—	—	—	—	—	—
3Eh	00h	00h	00h	00h	BKOFST[7:0] NTSC-M オフセット調整 80h:-128LSB ~ 7Fh:+127LSB (8bit) 推奨は 11110101							
	NTSC-M 時に設定します。											
3Fh	00h	00h	00h	00h	BKLV[7:0] NTSC-M ゲイン調整 00h:×1/2 ~ 40h:×1 ~ FFh:×2.4							
	NTSC-M 時に設定します。											

リードデータ用

Sub		D7	D6	D5	D4	D3	D2	D1	D0	
50h	入力信号に対する検出データです。	DET50	NOSIG	NOVP	FIELD	HLOCK	H/VSTD	0 固定	NOSIGD2	
		フィールド周波数	無信号検出	V-Sync 検出	フィールド信号検出	水平 LOCK	H-V 標準		D2 判定	
		0: 60Hz 1: 50Hz	0: 有信号 1: 無信号	0: V 検出 1: V 無し	0: ODD 1: EVEN	0: UNLOCK 1: LOCK	0: 標準 1: 非標準		0: not D2 1: D2	
51h	入力信号に対する検出データです。	DET443	PAL	SECAM	FSC_SEL[1:0]		CKILL	FSCSTD_N	FSCLOCK	
		4.43MHz 検出	内部 PAL 動作	内部 SECAM 動作	fsc 検出		キラー検出	fsc 非標準	fsc ロック検出	
		0: 非検出 1: 検出	IC 内 0: PAL 以外で動作 1: PAL 動作	IC 内 0: SECAM 以外で動作 1: SECAM 動作	00: 3.579545MHz 01: 3.575611MHz 10: 3.582056MHz 11: 4.433MHz	0: キラー-OFF 色有り 1: キラー-ON 色無し	0: 標準 1: 非標準	0: アンロック 1: ロック		
52h	入力信号に対する検出データです。	NOISE_OUT[7:0] S/N 検出結果 0000_0000: S/N 良好側 → 1111_1111: S/N 悪化側								
		QVCD[7:0] 1V 期間の H カウンタ数 0000_0000 or 0000_0001: 標準								
54h	入力信号に対する検出データです。	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	PALDET	SECAMDET	
									PAL 検出	SECAM 検出
									0: 非検出 1: 検出	0: 非検出 1: 検出

表 7-6 レジスタ表

## 8. 電源立ち上げ・立ち下げシーケンス

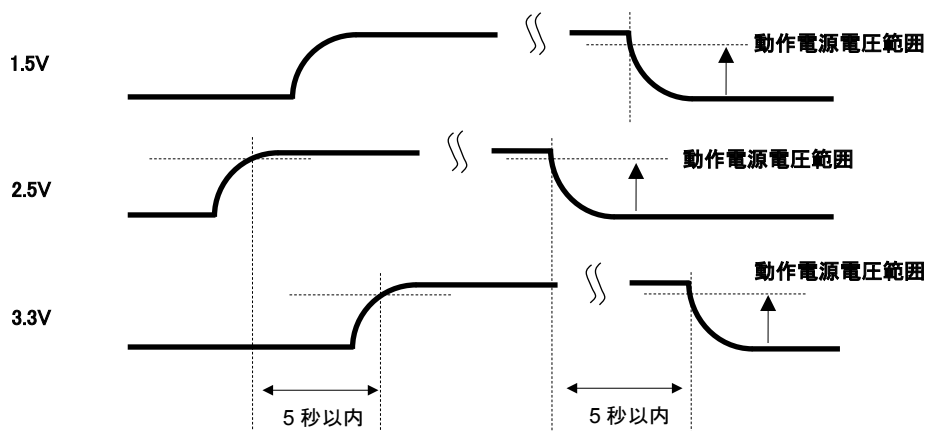
この内容はICの信頼性保証に影響する重要項目となっておりますので、以下の内容をご確認の上、電源立ち上げ、立ち下げ制御、リセット制御、およびI<sup>2</sup>Cバス制御開始タイミングの設定をお願い致します。なお、電源が印加されていない状態での入力信号の入力は推奨できませんのでご注意願います。

### ●電源立ち上げ／立ち下げ

本ICに供給が必要な電源は、1.5V、2.5V、3.3Vの3種類です。

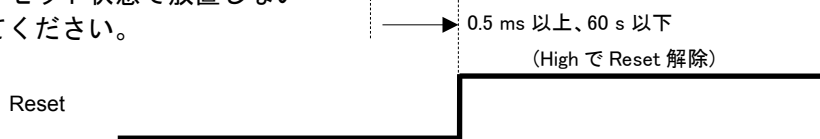
各電源の立ち上げ／立ち下げ順序に細かな制約は無く、順不同で問題ございません。

各電源系統の立ち上げ／立ち下げは、5秒以内に全て完了するようにしてください。



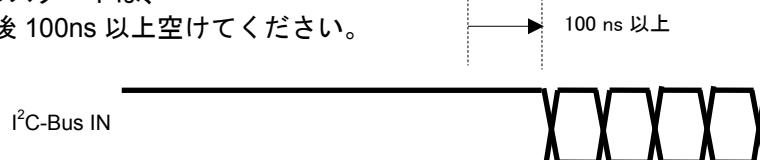
### ●リセット

リセットは3系統全ての電源が動作電源電圧範囲に到達後、0.5 ms 以上リセット状態を保持してください。なお、リセット状態の保持は60 s を上限としリセット状態で放置しないようにしてください。



### ●I<sup>2</sup>C-バス

I<sup>2</sup>Cバスのスタートは、リセット後100ns 以上空けてください。





## 9. 変更履歴

Date	Revision	内 容
16/03/24	1.0	アプリケーションノート(Summary)初稿
16/06/30	2.0	第2版
17/04/05	2.1	<ul style="list-style-type: none"> <li>・1 ページ 応用回路例 回路図を差し替え</li> <li>・2 ページ 端子説明 (3) I<sup>2</sup>C 端子 4 行目において 3.3V 接続で B2、GND 接続で B0 に変更</li> <li>・3 ページ 端子説明 (8) 入力信号 16 行目において NTSC<sub>CLM</sub> を NTSC<sub>JM</sub> に修正</li> <li>・11 ページ レジスタ表 サブアドレス 00h: D1、D0 Bank 切替の設定値 11 を設定不可に変更</li> <li>・11 ページ レジスタ表 サブアドレス 01h の CVBS の設定例 00h を 03h に修正</li> <li>・13 ページ レジスタ表 サブアドレス 19h: D1、D0 HGAIN AFC ゲイン切替の項目を追加</li> <li>・13 ページ レジスタ表 サブアドレス 1Bh の初期値 00h を 25h に修正(4 か所)</li> <li>・15 ページ レジスタ表 サブアドレス 50h、51h、52h、53h、54h INIT の項目削除</li> <li>・15 ページ レジスタ表 サブアドレス 50h、54h 一部分を 0 固定に変更</li> </ul>

## 製品取り扱い上のお願い

- 本資料に掲載されているハードウェア、ソフトウェアおよびシステム（以下、本製品という）に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。