

CMOS デジタル集積回路 シリコン モノリシック

TC90207FG

LVDS-Rx IC

1. 概要

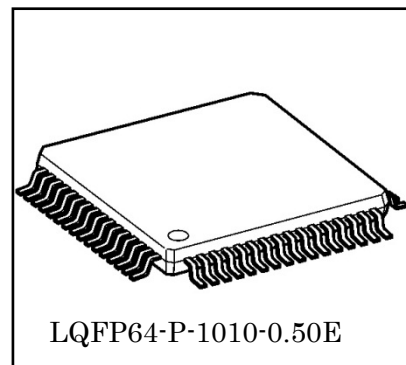
TC90207FG は、映像 IF 用に開発された LVDS-Rx IC です。LVDS 信号（4ch Data/1ch Clock）を入力して、LVTTL 信号で出力します。

2. 用途

映像 IF 用 IC

3. 特長

- LVDS 入力（4ch Data lane / 1ch Clock lane）
- LVTTL 出力（28bit Data, Clock）
- Power Down（LVDS-Rx、出力端子 Low）
- LVTTL 出力 Data 並び変更
 - 入力 Lane Swap（Rx-A \leftrightarrow Rx-D、Rx-B \leftrightarrow Rx-C）
 - 出力端子 Swap（DOUT[n] \leftrightarrow DOUT[27-n]）
 - 8bitRGB 出力並び
- 電源電圧 : 2 系統（3.3V、1.5V）
- パッケージ : LQFP64-P-1010-0.50E



LQFP64-P-1010-0.50E

質量 : 0.35g (標準)

4. ブロック図

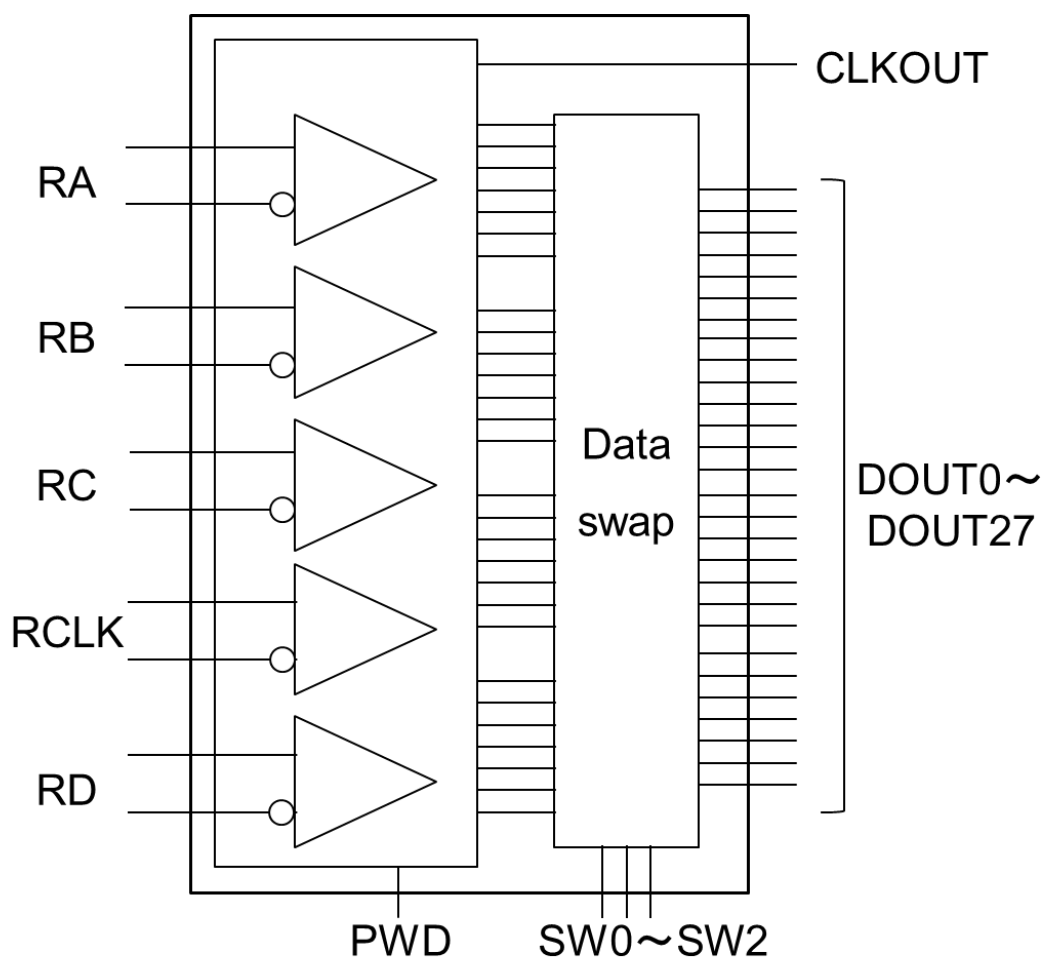


図 4.1 ブロック図

5. 端子配置图

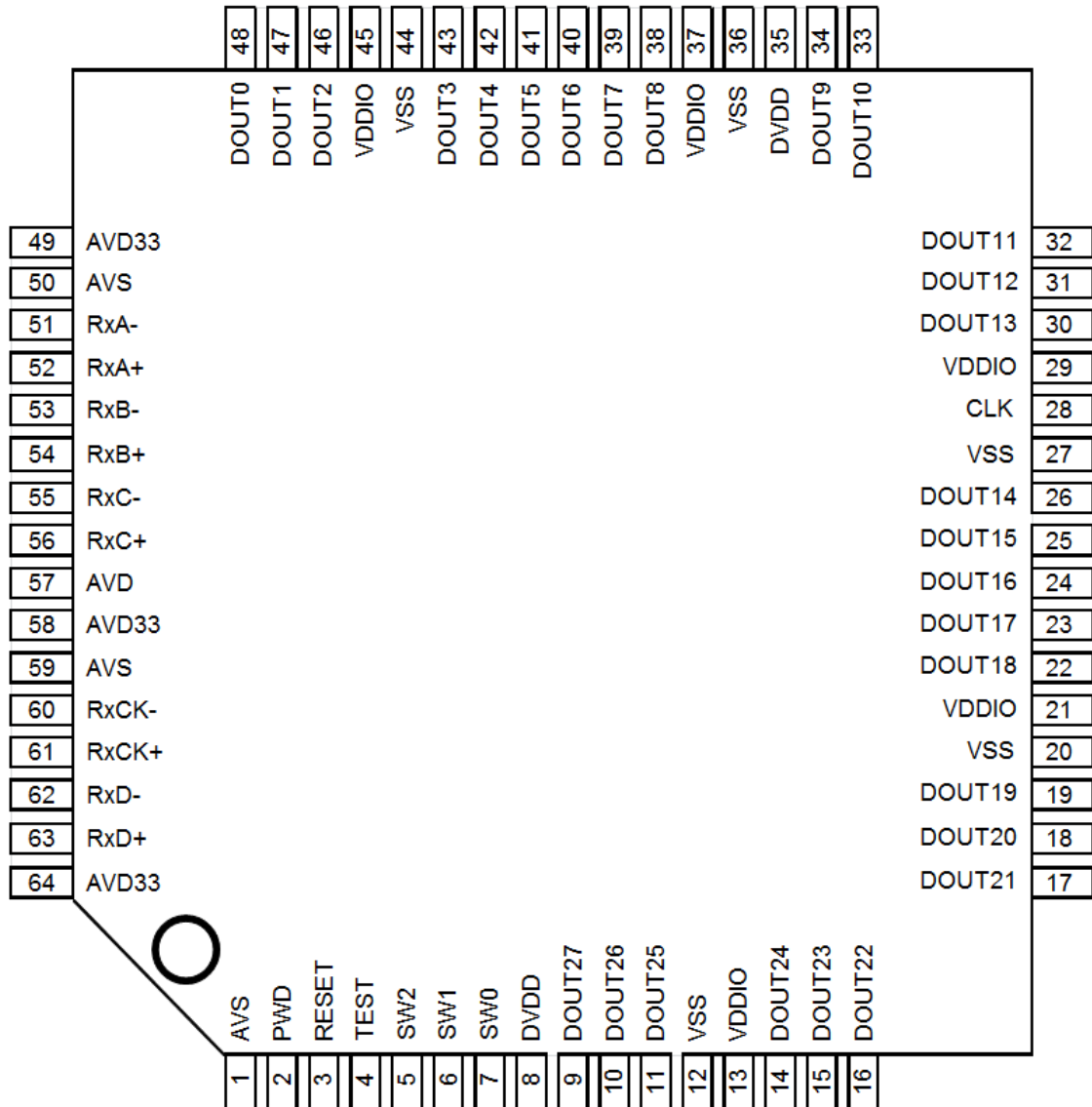


图 5.1 端子配置图

6. 端子説明

表 6.1 端子説明

端子番号	名称	入出力	端子説明	不使用時端子処理
1	AVS	-	GND (LVDS-Rx)	-
2	PWD	In	パワーダウン制御 (L: 通常動作、H: Power Down)	GND 接続
3	RESET	In	リセット端子 (L: リセット、H: 通常動作)	-
4	TEST	In	弊社テスト用 (L: 通常動作)	GND 接続
5	SW2	In	出力データ並び変更制御	GND 接続
6	SW1	In	出力データ並び変更制御	GND 接続
7	SW0	In	出力データ並び変更制御	GND 接続
8	DVDD	-	1.5V 電源入力 (Logic)	-
9	DOUT27	Out	データ出力	Open
10	DOUT26	Out	データ出力	Open
11	DOUT25	Out	データ出力	Open
12	VSS	-	GND	-
13	VDDIO	-	3.3V 電源入力 (I/O)	-
14	DOUT24	Out	データ出力	Open
15	DOUT23	Out	データ出力	Open
16	DOUT22	Out	データ出力	Open
17	DOUT21	Out	データ出力	Open
18	DOUT20	Out	データ出力	Open
19	DOUT19	Out	データ出力	Open
20	VSS	-	GND	-
21	VDDIO	-	3.3V 電源入力 (I/O)	-
22	DOUT18	Out	データ出力	Open
23	DOUT17	Out	データ出力	Open
24	DOUT16	Out	データ出力	Open
25	DOUT15	Out	データ出力	Open
26	DOUT14	Out	データ出力	Open
27	VSS	-	GND	-
28	CLK	Out	クロック出力	Open
29	VDDIO	-	3.3V 電源入力 (I/O)	-
30	DOUT13	Out	データ出力	Open
31	DOUT12	Out	データ出力	Open
32	DOUT11	Out	データ出力	Open

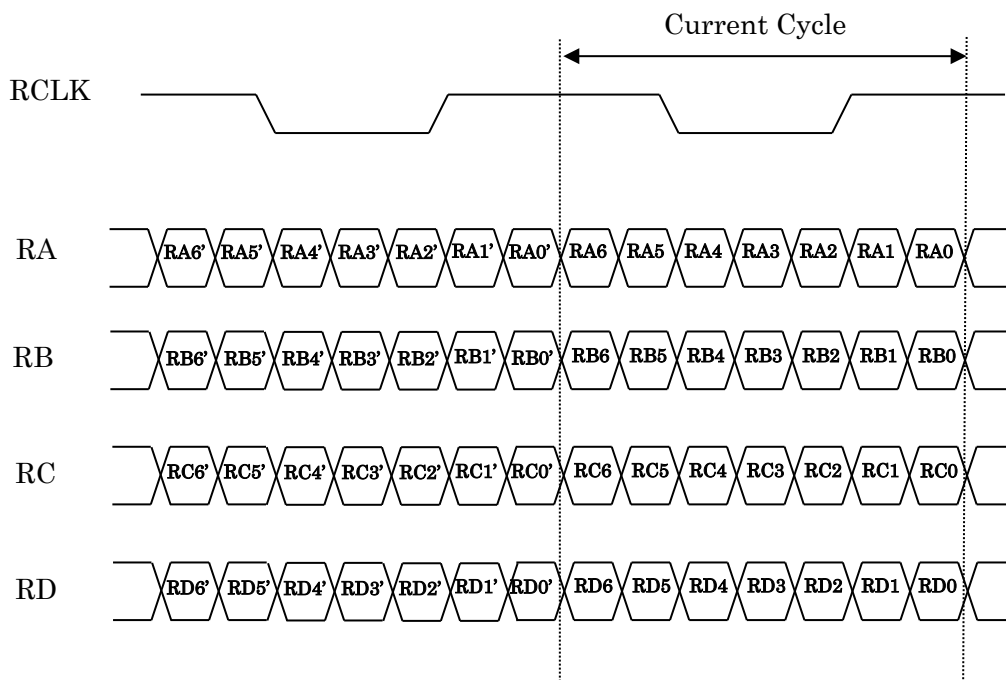
端子番号	名称	入出力	端子説明	不使用時端子処理
33	DOUT10	Out	データ出力	Open
34	DOUT9	Out	データ出力	Open
35	DVDD	-	1.5V 電源入力 (Logic)	-
36	VSS	-	GND	-
37	VDDIO	-	3.3V 電源入力 (I/O)	-
38	DOUT8	Out	データ出力	Open
39	DOUT7	Out	データ出力	Open
40	DOUT6	Out	データ出力	Open
41	DOUT5	Out	データ出力	Open
42	DOUT4	Out	データ出力	Open
43	DOUT3	Out	データ出力	Open
44	VSS	-	GND	-
45	VDDIO	-	3.3V 電源入力 (I/O)	-
46	DOUT2	Out	データ出力	Open
47	DOUT1	Out	データ出力	Open
48	DOUT0	Out	データ出力	Open
49	AVD33	-	3.3V 電源入力 (LVDS-Rx)	-
50	AVS	-	GND (LVDS-Rx)	-
51	RxA-	In	LVDS Ach (-)入力	GND 接続
52	RxA+	In	LVDS Ach (+)入力	GND 接続
53	RxB-	In	LVDS Bch (-)入力	GND 接続
54	RxB+	In	LVDS Bch (+)入力	GND 接続
55	RxC-	In	LVDS Cch (-)入力	GND 接続
56	RxC+	In	LVDS Cch (+)入力	GND 接続
57	AVD	-	1.5V 電源入力 (LVDS-Rx)	-
58	AVD33	-	3.3V 電源入力 (LVDS-Rx)	-
59	AVS	-	GND (LVDS-Rx)	-
60	RxCK-	In	LVDS Clock (-)入力	GND 接続
61	RxCK+	In	LVDS Clock (+)入力	GND 接続
62	RxD-	In	LVDS Dch (-)入力	GND 接続
63	RxD+	In	LVDS Dch (+)入力	GND 接続
64	AVD33	-	3.3V 電源入力 (LVDS-Rx)	-

7. 動作説明

7.1. LVDS 信号入力

LVDS データ入力インタフェースは、入力 4 チャンネルの差動信号入力を取り込み、レシーバコアにある PLL で入力クロックを 7 通倍したクロック位相を生成し、デシリアライザで各チャンネル 7 ビットの信号を取り出します。したがって、全 28 ビット (7 ビット × 4 チャンネル) のデータが受信できます。

図 7.1 LVDS データ配列



7.2. LVTTTL 出力

LVDS 信号入力のデータを、LVTTTL で出力します。

SW0～SW2 の各制御端子の L/H 状態により、出力データを下表のように並び替えて出力することができます。

表 7.2.1 端子説明

SW0	L	H	L	H	L	H	L	H
SW1	L	L	H	H	L	L	H	H
SW2	L	L	L	L	H	H	H	H
DOUT0	RA0	RD0	RD6	RA6	RC3	RB3	RD6	RA6
DOUT1	RA1	RD1	RD5	RA5	RC2	RB2	RC6	RB6
DOUT2	RA2	RD2	RD4	RA4	RC1	RB1	RC4	RB4
DOUT3	RA3	RD3	RD3	RA3	RC0	RB0	RC5	RB5
DOUT4	RA4	RD4	RD2	RA2	RB6	RC6	RD0	RA0
DOUT5	RA5	RD5	RD1	RA1	RB5	RC5	RD1	RA1
DOUT6	RA6	RD6	RD0	RA0	RD5	RA5	RA0	RD0
DOUT7	RB0	RC0	RC6	RB6	RD4	RA4	RA1	RD1
DOUT8	RB1	RC1	RC5	RB5	RB4	RC4	RA2	RD2
DOUT9	RB2	RC2	RC4	RB4	RB3	RC3	RA3	RD3
DOUT10	RB3	RC3	RC3	RB3	RB2	RC2	RA4	RD4
DOUT11	RB4	RC4	RC2	RB2	RB1	RC1	RA5	RD5
DOUT12	RB5	RC5	RC1	RB1	RB0	RC0	RD2	RA2
DOUT13	RB6	RC6	RC0	RB0	RA6	RD6	RD3	RA3
DOUT14	RC0	RB0	RB6	RC6	RD3	RA3	RA6	RD6
DOUT15	RC1	RB1	RB5	RC5	RD2	RA2	RB0	RC0
DOUT16	RC2	RB2	RB4	RC4	RA5	RD5	RB1	RC1
DOUT17	RC3	RB3	RB3	RC3	RA4	RD4	RB2	RC2
DOUT18	RC4	RB4	RB2	RC2	RA3	RD3	RB3	RC3
DOUT19	RC5	RB5	RB1	RC1	RA2	RD2	RB4	RC4
DOUT20	RC6	RB6	RB0	RC0	RA1	RD1	RD4	RA4
DOUT21	RD0	RA0	RA6	RD6	RA0	RD0	RD5	RA5
DOUT22	RD1	RA1	RA5	RD5	RD1	RA1	RB5	RC5
DOUT23	RD2	RA2	RA4	RD4	RD0	RA0	RB6	RC6
DOUT24	RD3	RA3	RA3	RD3	RC5	RB5	RC0	RB0
DOUT25	RD4	RA4	RA2	RD2	RC4	RB4	RC1	RB1
DOUT26	RD5	RA5	RA1	RD1	RC6	RB6	RC2	RB2
DOUT27	RD6	RA6	RA0	RD0	RD6	RA6	RC3	RB3
CLKOUT	CLK	CLK	CLK	CLK	CLK	CLK	CLK	CLK

7.3. パワーダウン機能

PWD 端子を H 状態とすると、LVDS-Rx コアがパワーダウン状態となり、LVTTTL 出力は Low となります。

7.4. リセット制御

リセット方式：非同期リセット（LVDS クロックが入力されていない状態でもリセット制御可能）

リセット時間：Low 状態を 1 μ s 以上保持してください。

通常動作時は、High 状態で使用してください。

8. 絶対最大定格

絶対最大定格は瞬時たりとも超えてはならない規格です。

絶対最大定格を超えると IC の破壊や劣化や損傷の原因となり、IC 以外にも破壊や損傷や劣化を与える恐れがあります。いかなる動作条件においても必ず絶対最大定格を超えないように設計を行ってください。ご使用に際しては、記載された動作範囲内でご使用ください。

表 8.1 絶対最大定格

項目	記号	定格	単位
電源電圧 1 (1.5V 系)	VDD1	-0.3 ~ VSS+2.0	V
電源電圧 2 (3.3V 系)	VDD2	-0.3 ~ VSS+3.9	V
入力電圧 (LVDS)	V _{LVDSIN}	-0.3 ~ VDD1+0.3	V
入力電圧 (3.3V 系 I/O)	V _{TTLIN}	-0.3 ~ VDD1+0.3	V
電源端子間電位差 (1.5V 系電源端子間)	Δ V _{DG1} (注 1)	0.3	V
電源端子間電位差 (3.3V 系電源端子間)	Δ V _{DG2} (注 1)	0.3	V
許容損失	P _D	1739	W
動作温度	T _{opr}	-40~85	°C
保存温度	T _{stg}	-50~125	°C

注 1: 1.5V/3.3V の各電圧系の VDD 端子グループ間を同電位で接続 (ショート) した状態で、各電圧系の VDD 端子グループ間の最大電位差がそれぞれ定格を超えないようにしてください。

この時、全 VSS 端子間の最大電位差は 0.01V 以内としてください。

T_a=25°C 以上で使用する場合、1°C につき 17.39mW 減じて考えてください。

(T_a=85°C の場合、696mW が最大許容損失となります。)

8.1. 許容損失特性

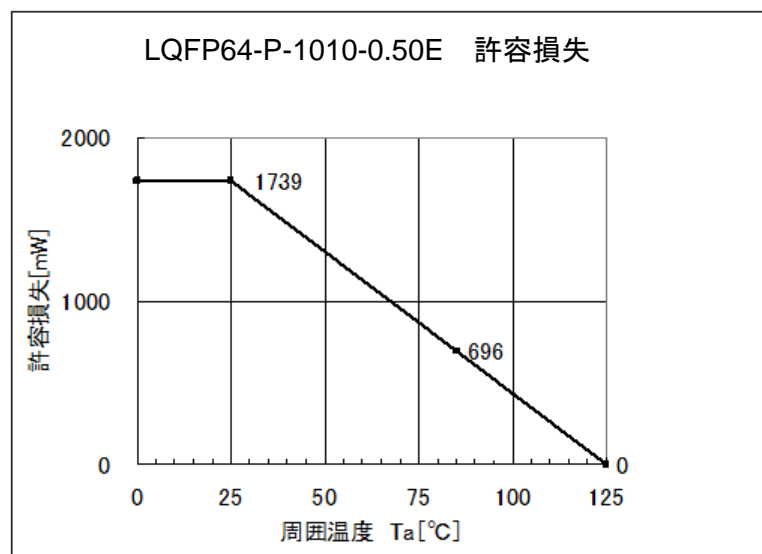


図 8.1 許容損失特性

9. 動作範囲

本 IC は、電源電圧範囲を外れた場合の動作は保証できませんので、ご使用に際しては、記載された動作条件の範囲内でのご使用をお願い致します。

動作条件の範囲を外れてから範囲内に戻った場合、外れる前の状態とは異なりますので、いったん電源を立ち下げ、新たに立ち上げる必要があります。

表 9.1 動作範囲

項目	記号	最小	標準	最大	単位
デジタル電源電圧 (注1)	VDD-D	1.4	1.5	1.6	V
I/O 電源電圧 (注2)	VDD-IO	3.0	3.3	3.6	V
LVDS 電源電圧 1 (注1)	VDD-L1	1.4	1.5	1.6	V
LVDS 電源電圧 2 (注2)	VDD-L2	3.0	3.3	3.6	V
動作温度	Topr	-40		85	°C

注 1: デジタル電源電圧と LVDS 電源電圧 1 は、極力同電位となるように、ご配慮願います。

注 2: I/O 電源電圧と LVDS 電源電圧 2 は、極力同電位となるように、ご配慮願います。

10. 電気的特性

表 10.1 DC 特性

(Ta=-40~85°C, VDD1=1.50±0.1V, VDD2=3.30±0.3V)

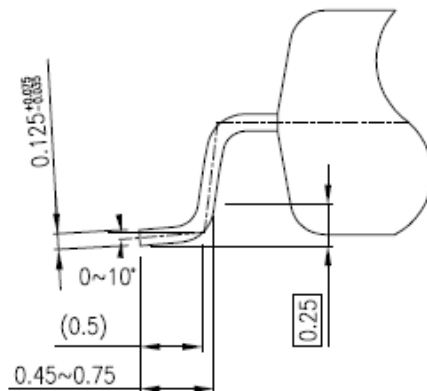
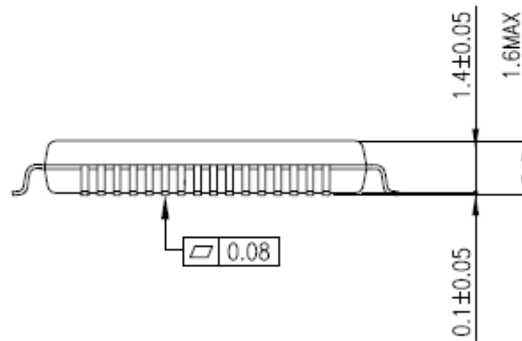
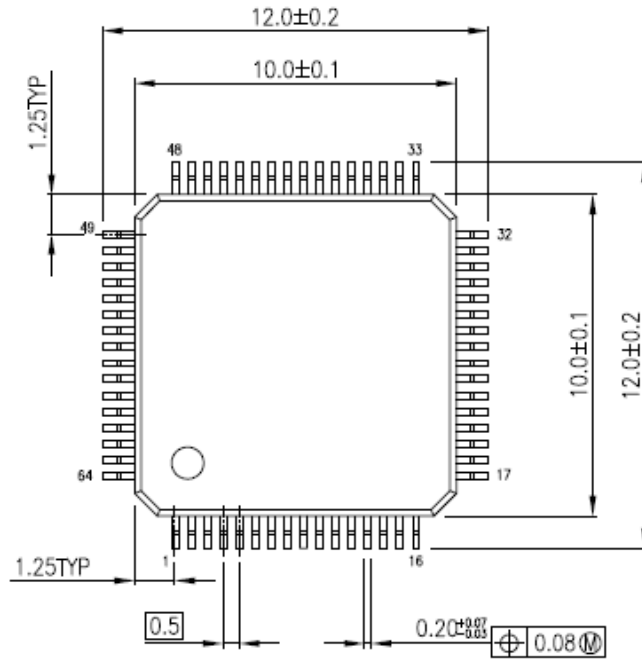
項目	記号	該当端子番号	最小	標準	最大	単位	備考
電源電流	IDD1 (1.5V系)	57	—	—	10	mA	LVDS 電源電圧 1.5V
		8,35	—	—	10	mA	デジタル電源電圧 1.5V
	IDD2 (3.3V系)	49,58,64	—	—	60	mA	LVDS 電源電圧 3.3V
		13,21,29,37,45	—	—	70	mA	IO 電源電圧 3.3V (注 1)
入力電圧	VIH	2,3,5,6,7	VDD2×0.8	—	VDD2	V	3.3V系 I/O 入力端子
	VIL	2,3,5,6,7	VSS	—	VDD2×0.2	V	
入力電流	IIH	2,3,5,6,7	-10	—	10	μA	3.3V系 I/O 入力端子
	IIL	2,3,5,6,7	-10	—	10	μA	
出力電圧	VOH	9,10,11,14,15,16, 17,18,19,22,23,24, 25,26,28,30,31,32, 33,34,38,39,40,41, 42,43,46,47,48	VDD2-0.6	—	VDD2	V	3.3V系 I/O 出力端子 4mA 流入負荷時
	VOL	9,10,11,14,15,16, 17,18,19,22,23,24, 25,26,28,30,31,32, 33,34,38,39,40,41, 42,43,46,47,48	VSS	—	0.4	V	
差動入力 入力電圧	VTH	51,52,53,54,55,56, 60,61,62,63	—	—	100	mV	差動入力端子 Voc=1.2V
	VTL	51,52,53,54,55,56, 60,61,62,63	-100	—	—	mV	
差動入力 入力電流	IIN	51,52,53,54,55,56, 60,61,62,63	-10	—	10	μA	—

注 1: 3.3V系電源電圧の電流値は、負荷容量に依存致します。
負荷容量が大きい場合には、記載している最大値を超える可能性があります。

11. 外形図

LQFP64-P-1010-0.50E

単位 : mm



質量 : 0.35g (標準)

12. 変更履歴

Rev.	Date	Content
1.00	2016/01/21	概要版 TD 初版

製品取り扱い上のお願い

- 本資料に掲載されているハードウェア、ソフトウェアおよびシステム（以下、本製品という）に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（生命直結機器）、車載・輸送機器、防衛関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。