

译文

TC358860XBG

本资料是为了参考的目的由原始文档翻译而来。
使用本资料时，请务必确认原始文档关联的最新
信息，并遵守其相关指示。

原本: "TC358860XBG" 2016-05-16

翻译日: 2016-08-08

CMOS 数字集成电路硅单片

TC358860XBG

移动外围设备

概述

TC358860XBG 将嵌入式 DisplayPort (eDP™) 视频流转换为 MIPI® DSI 数据流。TC358860XBG 内有 4 条主要的 eDP 链路通道，它们可在每条链路 1.62、2.16、2.7、3.24、4.32 或 5.4 Gbps 的速率下进行切换，以接收高达 17.28 Gbps (5.4 Gbps*0.8*4) 的视频流。4-数据通道双链路 DSI Tx 能够传送高达 8 Gbps (1 Gbps*4*2) 的视频流。

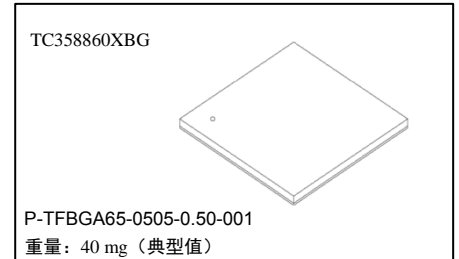
对于带宽 (BW) < 4Gbps 的输入视频流，TC358860XBG 能够通过单 DSI 链路输出视频数据，或进行左右线路分流，以通过双 DSI 链路输出视频数据流。对于带宽要求在 4Gbps 和 8Gbps 之间的输入视频流，需要采用左右线路分流和双 DSI 链路。

TC358860XBG 提供了一个能以 2:1 比率压缩视频流的压缩引擎。这可以使 TC358860XBG 在 eDP Rx 接收 4K@60fps 视频流，压缩并发送至双 DSI 链路 4K 显示板。解压缩引擎预计在 DSI 显示板内。

主机/eDPTx 利用辅助通道 (I²C 通过 AUX) 控制/配置 TC358860XBG 芯片。TC358860XBG 为主机提供邮箱寄存器/指令队列，以控制/配置/命令 DSI 显示板。在主机写入指令队列之后，TC358860XBG 启动 DSI“指令包”，以与 DSI 显示板进行通信。

另外，外部主 I²C 能够通过 I²C 总线配置 TC358860XBG。还可通过 I²C 总线访问指令队列地址，这意味着，主机能够利用 I²C 访问指令序列，也就可以控制 DSI 显示板参数。

注意，主机不能同时使用 AUX 通道和 I²C 总线进行寄存器设置。



特征

- TC358860XBG 遵循以下标准：
 - ◇ MIPI Alliance 显示器串行接口规范 (DSI)，版本 1.1，修订版 2011.11.22
 - ◇ MIPI Alliance D-PHY 规范，版本 1.1，2011.11.07
 - ◇ VESA DisplayPort 标准，版本 1.2a，2012.05.23。
 - ◇ VESA 嵌入式 DisplayPort 标准，版本 1.4，2013.02.28。
- eDP 接收器
 - ◇ 比特率 @ 1.62, 2.16, 2.7, 3.24, 4.32 或 5.4 Gbps, 电压波动 @0.2 ~ 1.2V, 预加重水平 @3.5dB。
 - ◇ eDP 主链路有 4 条通道可用，可在 1-、2-或 4-通道配置下工作。
 - ◇ 支持单数据流传输 (SST)，不支持多数据流传输 (MST)
 - ◇ 能够进行全速和快速链路调训
 - ◇ AUX 通道标称比特率为 1 Mbps。
 - ◇ 所支持的视频输入数据格式：RGB666 和 RGB888
 - ◇ 最大绝对像素率为 600Mpixel/s。
- ◇ 支持备用种子复位器 (ASSR) 用于内容保护，不支持 HDCP 加密。
 - 系统设计方可将 ASSR_Disable 引脚接地，从而防止 eDPTx (源设备) 禁用 ASSR 模式 TC358860XBG。
 - 换句话说，当 ASSR_Disable 引脚接地之后，源设备无法将 eDP_CONFIGURATION_SET 寄存器 (DPCD 地址 0010Ah, 0 位) 的 ALTERNATE_SCRAMBLER_RESET_ENABLE 数位清零。
- ◇ 不支持音频 SDP、多点触摸和背光 DPCD 寄存器。
- ◇ 支持 24、25、26 和 27 MHz 的 REFCLK。
- DSI 发射机
 - ◇ DSI 链路可配置 4 条数据通道，其中，数据通道 0 支持双向传输。每条链路可单独用于 1-、2-、3-或 4-数据通道配置。每条通道的最大传输速度为 1.0 Gbps。
 - ◇ 不支持深色，视频输入数据格式：RGB666 和 RGB888
 - TC358860XBG 施行抖动显示，使 RGB888 视频流传送至 RGB666 显示板

- TC358860XBG 将 RGB666 视频流 MSB 数位 (RGB[5:0] → {RGB[5:0],RGB[5:4]}) 添加到 RGB888 显示板
 - ◇ 不支持交错视频模式。
 - ◇ 带左右分流的双链路：DSI0 传送左半部分 eDP Rx 视频流，DSI1 传送右半部分视频流。
 - DSI0 可以分配/编程至任一个 DSITx 端口。
 - 每一半的最大长度限制在 2048 像素+32-像素重叠。
 - DSI0 与 DSI1 之间的时滞 (DSI1 延时写入 DSI0) 可通过寄存器进行编程
 - ◇ 为 eDP 主机/发射机提供路径，以控制 TC358860XBG 及其附属显示板。
 - ◇ 内置彩条信号发生器验证双 DSI 链路不带 eDPRx 输入。
 - ◇ 当 eDPRx 端口持续收到视频流时，DSITx 在视频模式下工作。
- 功耗 (典型状态)
 - ◇ 126 mW
 - 条件：输入 5.4 Gbps eDP 1 通道，输出 DSI 端口 4 数据通道，全高清@60fps 分辨率，24bpp
 - 封装
 - ◇ 65 引脚 FBGA 封装，焊球间距 0.5mm
 - ◇ 5 x 5 mm²
- 视频功能
 - ◇ 压缩引擎：对 4K2K 分辨率进行 2:1 压缩
 - ◇ 东芝 Magic Square 算法
 - ◇ 彩条输出用于调试
 - I²C 从机端口
 - ◇ 支持正常 (100 kHz)、快速 (400 kHz 或 1 MHz，如果 SysClk 在 25 MHz 下工作) 模式。
 - ◇ 外部主 I²C 能够访问内部 TC358860XBG 和 DPCD 寄存器并读取/写入 DSI 显示板寄存器 (通过 DSI 链路)。
 - ◇ 支持地址自动增量。
 - ◇ TC358860XBG 从端口地址为 0x68 (二进制 1101_000x) 其中，读取时 x = 1；写入时 x = 0。启动时，可通过弱上拉至引脚 GPIO0，将从端口地址改为 0x0E (二进制 0001_110x)。
 - 电源
 - ◇ MIPI D-PHY 1.2V
 - ◇ 内核，MIPI D-PHY 和 eDP-PHY 1.1V
 - ◇ eDP-PHY: 1.8V
 - ◇ I/O: 1.8V 或 3.3V (所有 IO 电源引脚必须为相同级别)
 - ◇ HPD 输出引脚 1.8V 或 3.3V

目录

参考文献	6
1. 介绍	7
2. 特征	9
3. 外部引脚	11
3.1. 引脚分配说明	11
3.2. 引脚布置	13
4. 封装	14
5. 电气特性	15
5.1. 最大绝对最大额定值	15
5.2. 操作条件	15
5.3. 直流电气规格	16
5.3.1. 正常 CMOS I/O 直流规格	16
5.3.2. MIPI DSI I/O 直流规格	17
6. 修订记录	18
RESTRICTIONS ON PRODUCT USE	19

插图一览表

图 1.1 TC358860XBG 系统应用图	8
图 1.2 TC358860XBG 方框图和功能	8
图 3.1 TC358860XBG 芯片引脚布置 (顶视图)	13
图 4.1 封装尺寸	14
图 5.1 信号和电压电平	17

表格一览表

表 3.1 TC358860XBG 功能信号列表	11
表 3.2 引脚数汇总	12
表 4.1 封装细节	14
表 5.1 最大绝对最大额定值	15
表 5.2 操作条件	15
表 5.3 正常 CMOS I/O 直流规格	16
表 5.4 MIPI HSTX 和 LPTX 直流规格	17
表 5.5 LPRX 直流规格	17
表 6.1 修订记录	18

- MIPI 是 MIPI Alliance, Inc 的商标。
- VESA, VESA 标志和 DisplayPort 图标是 Video Electronics Standards Association 的商标。

参考文献

1. MIPI D-PHY, "MIPI Alliance D-PHY 规范, 版本 1.00.00 2009.05.14"
2. MIPI Alliance DSI 标准, 版本 1.02.00, 2010.06.28
3. VESA DisplayPort 标准 (版本 1, 修订版 2a, 2012.05.23)
4. VESA 嵌入式 DisplayPort (eDP) 标准 (版本 1.4, 2013.02.28)
5. I²C 总线规范, 版本 2.1, 2000.01, 飞利浦半导体

1. 介绍

本“功能规范”对 TC358860XBG 芯片的运行进行了详细说明；该芯片将嵌入式 DisplayPort (eDP) 视频流转换为 MIPI DSI 数据流。TC358860XBG 内有 4 条主要的 eDP 链路通道，它们可在每条链路 1.62、2.16、2.7、3.24、4.32 或 5.4 Gbps 的速率下进行切换以接收高达 17.28 Gbps (5.4 Gbps*0.8*4) 的视频流。4-数据通道双链路 DSI Tx 能够传送高达 8 Gbps (1 Gbps*4*2) 的视频流。

对于带宽 (BW) < 4Gbps 的输入视频流，TC358860XBG 能够通过单 DSI 链路输出视频数据，或进行左右线路分流，以通过双 DSI 链路输出视频数据流。对于带宽要求在 4Gbps 和 8Gbps 之间的输入视频流，需要采用左右线路分流和双 DSI 链路。

TC358860XBG 提供了一个能以 2:1 比率压缩视频流的压缩引擎。这可以使 TC358860XBG 在 eDP Rx 接收 4K@60fps 视频流，压缩并发送至双 DSI 链路 4K 显示板。预计在 DSI 显示板内有一个解压缩引擎。

主机/eDPTx 通过采用 AUX 通道 (I²C 通过 AUX) 控制/配置 TC358860XBG 芯片。TC358860XBG 为主机提供邮箱寄存器/指令队列，以控制/配置/命令 DSI 显示板。在主机写入指令队列之后，TC358860XBG 启动 DSI“指令包”，与 DSI 显示板进行通信。

另外，外部主 I²C 能够通过 I²C 总线配置 TC358860XBG。还可通过 I²C 总线访问指令队列地址，这意味着，主机能够利用 I²C 访问指令序列，也就可以控制 DSI 显示板参数。

注意，主机不能同时使用 AUX 通道和 I²C 总线进行寄存器设置。

目标系统图和 TC358860XBG 方框图分别如图 1.1 和图 1.2 所示。

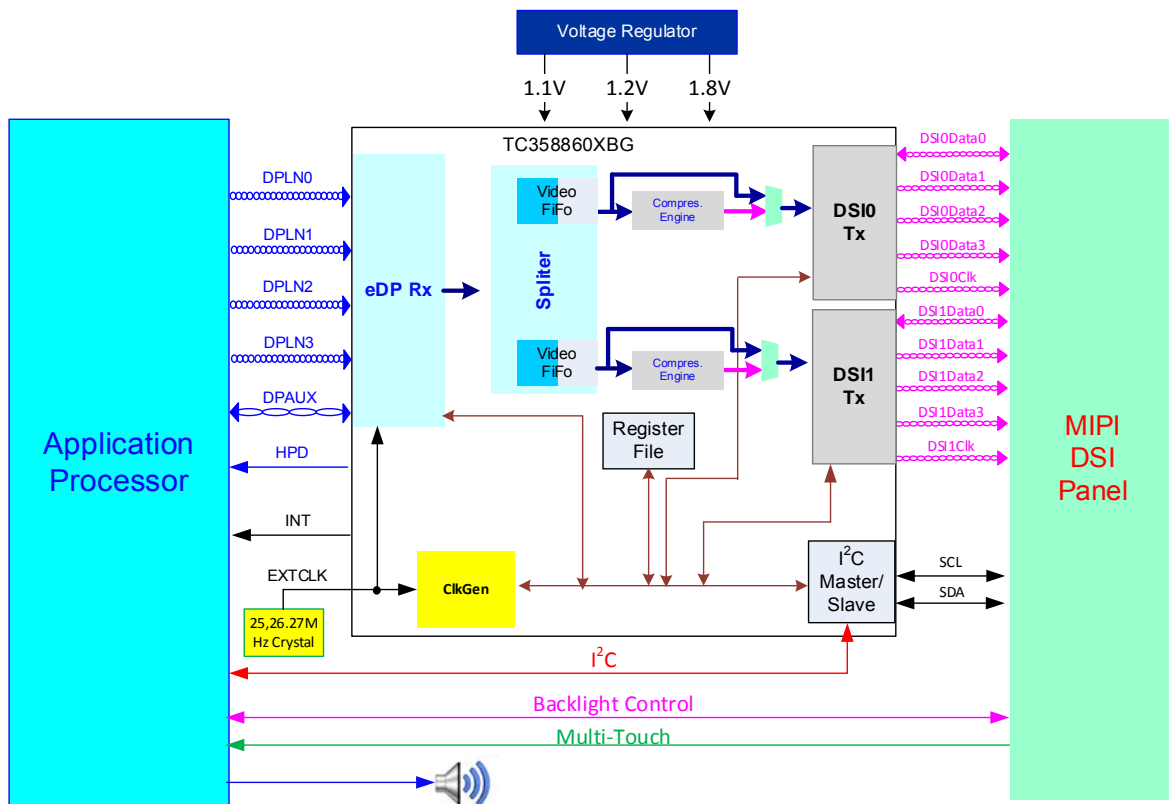


图1.1 TC358860XBG系统应用图

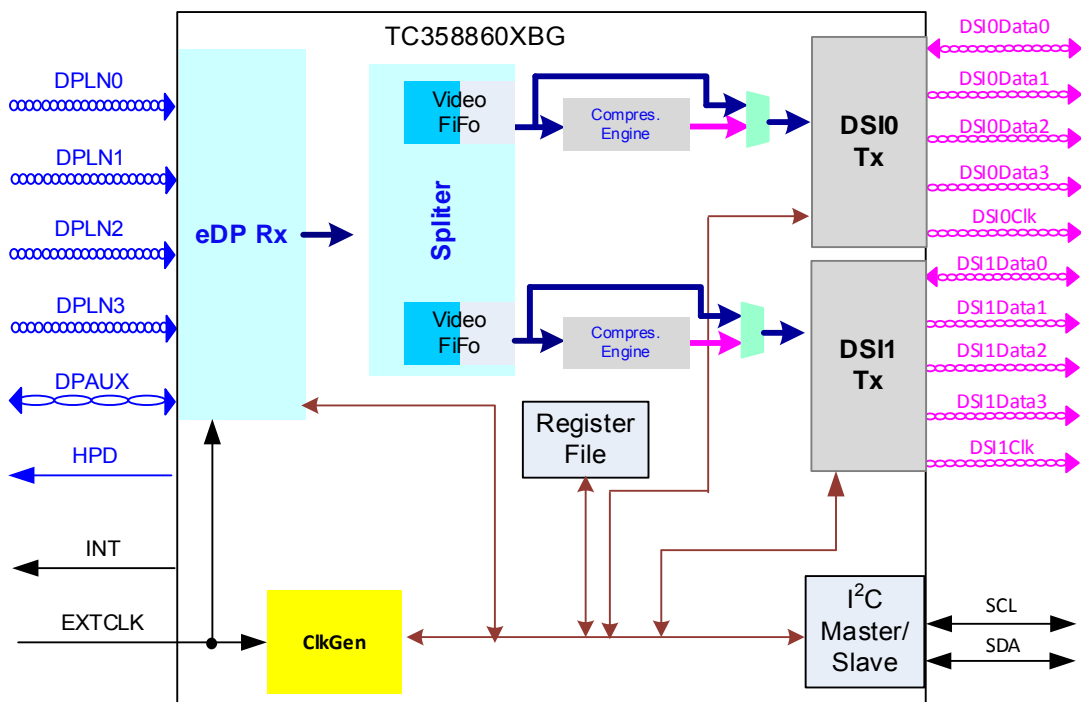


图1.2 TC358860XBG 方框图和功能

2. 特征

- TC358860XBG 遵循以下标准：
 - ◇ MIPI Alliance 显示器串行接口规范 (DSI), 版本 1.1, 2011.11.22
 - ◇ MIPI Alliance D-PHY 规范, 版本 1.1, 2011.11.07
 - ◇ VESA DisplayPort 标准, 版本 1.2a, 2012.05.23。
 - ◇ VESA 嵌入式 DisplayPort 标准, 版本 1.4 , 2013.02.28。
- eDP 接收器
 - ◇ 比特率 @ 1.62, 2.16, 2.7, 3.24, 4.32 或 5.4Gbps, 电压波动 @0.2 ~ 1.2V, 预加重水平 @3.5dB。
 - ◇ eDP 主链路上有 4 条通道可用, 可在 1-、2-或 4-通道配置下工作。
 - ◇ 支持单数据流传输 (SST), 不支持多数据流传输 (MST)
 - ◇ 能够进行全速和快速链路调训
 - ◇ AUX 通道标称比特率为 1 Mbps。
 - ◇ 所支持的视频输入数据格式: RGB666 和 RGB888
 - ◇ 最大绝对像素率为 600Mpixel/s。
 - ◇ 不支持 HDCP 加密, 备用种子复位器 (ASSR) 用于内容保护。
 - 系统设计方可将 ASSR_Disable 引脚接地, 从而防止 eDPTx (源设备) 禁用 ASSR 模式 TC358860XBG。
 - 换句话说, 当 ASSR_Disable 引脚接地之后, 源设备无法将 eDP_CONFIGURATION_SET 寄存器 (DPCD 地址 0010Ah, 0) 的 ALTERNATE_SCRAMBER_RESET_ENABLE 数位清零。
 - ◇ 不支持音频 SDP、多点触摸和背光 DPCD 寄存器。
 - ◇ 支持 24、25、26 和 27 MHz 的 REFCLK。
- DSI 发射机
 - ◇ DSI 链路可配置 4 条数据通道, 其中, 数据通道 0 支持双向传输。每条链路可单独用于 1-、2-、3-或 4-数据通道配置。每条通道的最大传输速度为 1.0 Gbps。
 - ◇ 不支持深色, 视频输入数据格式: RGB666 和 RGB888
 - TC358860XBG 施行抖动显示, 使 RGB888 视频流传送至 RGB666 显示板
 - TC358860XBG 将 RGB666 视频流 MSB 数位(RGB[5:0] → {RGB[5:0],RGB[5:4]} 添加到 RGB888 显示板
 - ◇ 不支持交错视频模式。
 - ◇ 带左右分流的双链路: DSI0 传送左半部分 eDP Rx 视频流, DSI1 传送右半部分视频流。
 - DSI0 可以分配/编程至任一 DSITx 端口。
 - 每一半的最大长度限制在 2048 像素+32-像素重叠。
 - DSI0 与 DSI1 之间的时滞 (DSI1 延时写入 DSI0) 可通过寄存器进行编程
 - ◇ 为 eDP 主机/发射机提供路径, 以控制 TC358860XBG 及其附属显示板。
 - ◇ 内置彩条信号发生器验证双 DSI 链路不带 eDPRx 输入。
 - ◇ 当 eDPRx 端口持续收到视频流时, DSITx 在视频模式下工作。

- 视频功能
 - ◇ 压缩引擎：2:1 压缩
 - ◇ 东芝 Magic Square 算法
 - ◇ 条输出用于调试

- I²C 从属端口
 - ◇ 支持正常（100 kHz）、快速（400 kHz 或 1 MHz，如果 SysClk 在 25 MHz 下工作）模式。
 - ◇ 外部主 I²C 能够访问内部 TC358860XBG 和 DPCD 寄存器并读取/写入 DSI 显示板寄存器（通过 DSI 链路）。
 - ◇ 支持地址自动增量。
 - ◇ TC358860XBG 从端口地址为 0x68（二进制 1101_000x，其中，读取时 x = 1；写入时 x = 0。引导期间，通过弱上拉至引脚 GPIO0，将从端口地址改为 0x0E（二进制 0001_110x）。

- 电源
 - ◇ MIPI D-PHY 1.2V
 - ◇ 内核，MIPI D-PHY 和 eDP-PHY 1.1V
 - ◇ eDP-PHY: 1.8V
 - ◇ I/O: 1.8V 或 3.3V（所有 IO 引脚电源级别必须相同）
 - ◇ HPD 输出引脚 1.8V 或 3.3V

- 功耗（典型运行期间）
 - ◇ 126mW
 - 条件：输入 5.4 Gbps eDP 1 通道，输出 DSI 端口 4 数据通道，全高清@60fps 分辨率，24bpp

- 封装
 - ◇ 65 引脚 FBGA 封装，焊球间距 0.5mm
 - ◇ 5 x 5 mm²

3. 外部引脚

3.1. 引脚分配说明

TC358860XBG 信号及其功能如下表所示。

表3. 1 TC358860XBG 功能信号列表

组别	引脚名称	I/O	类型	初始	功能	电源
系统 (8)	RESET_N	I	SCH	I	系统复位-低电平有效	VDDIO
	EXTCLK	I	SCH	I	基准时钟: 24、25、26、27 MHz	VDDIO
	DIS_ASSR	I	正常	I	1: 源设备能够禁用 ASSR 0: 源设备不能禁用 ASSR	VDDIO
	INT	O	正常	O(L)	中断	VDDIO
	GPIO[3:0]	I/O	正常	I(PD)	GPIO	VDDIO
DSI0Tx (10)	DSI0CP	O	MIPI-DPHY	O(L)	MIPI-DSI0 Tx 时钟通道有效	1.2V
	DSI0CM	O	MIPI-DPHY	O(L)	MIPI-DSI0 Tx 时钟通道无效	1.2V
	DSI0DP_0	I/O	MIPI-DPHY	O(L)	MIPI-DSI0 Tx 数据通道 0 有效	1.2V
	DSI0DM_0	I/O	MIPI-DPHY	O(L)	MIPI-DSI0 Tx 数据通道 0 无效	1.2V
	DSI0DP_3,2,1	O	MIPI-DPHY	O(L)	MIPI-DSI0 Tx 数据通道有效	1.2V
	DSI0DM_3,2,1	O	MIPI-DPHY	O(L)	MIPI-DSI0 Tx 数据通道无效	1.2V
DSI1Tx (10)	DSI1CP	O	MIPI-DPHY	O(L)	MIPI-DSI1 Tx 时钟通道有效	1.2V
	DSI1CM	O	MIPI-DPHY	O(L)	MIPI-DSI1 Tx 时钟通道无效	1.2V
	DSI1DP_0	I/O	MIPI-DPHY	O(L)	MIPI-DSI1 Tx 数据通道 0 有效	1.2V
	DSI1DM_0	I/O	MIPI-DPHY	O(L)	MIPI-DSI1 Tx 数据通道 0 无效	1.2V
	DSI1DP_3,2,1	O	MIPI-DPHY	O(L)	MIPI-DSI1 Tx 数据通道有效	1.2V
	DSI1DM_3,2,1	O	MIPI-DPHY	O(L)	MIPI-DSI1 Tx 数据通道无效	1.2V
eDP Rx (11)	DPLNP_3,2,1,0	I	eDP-PHY	I	eDP 输出主链路有效	1.8V
	DPLNM_3,2,1,0	I	eDP-PHY	I	eDP 输出主链路无效	1.8V
	DPAUXP	I/O	eDP-PHY	I	eDP 输出 AUX 通道有效	1.8V
	DPAUXM	I/O	eDP-PHY	I	eDP 输出 AUX 通道无效	1.8V
	HPD	O	正常	O(L)	eDP Rx 中断/检测输出	VDDIO
I2C (2)	I2C_SCL	I/O	FS/SCH	I	I ² C 时钟	VDDIO
	I2C_SDA	I/O	FS/SCH	I	I ² C 数据	VDDIO
测试 (4)	TM	I	正常	I(PD)	测试引脚, 接地	VDDIO
	测试 1	I	-	I	测试引脚, 接地	1.8 V
	测试 2	O	模拟	O(L)	模拟测试, 开路	-
	测试 3	I	正常	I	测试引脚, 连接至上拉电阻 1kΩ	1.1 V
电源 (10)	VDDC (2)	-	-	-	内核 用 VDD	1.1 V
	VDDIO(1)	-	-	-	I/O 电压用 VDD	1.8 或 3.3 V
	VDDP2(1)	-	-	-	PLL 用 VDD	1.1 V
	VDD_DP18(2)	-	-	-	DP PHY 用 VDD	1.8 V
	VDD_DP11(2)	-	-	-	DP PHY 用 VDD	1.1 V
	VDD_DSI0(1)	-	-	-	MIPI DPHY 用 VDD	1.2 V
	VDD_DSI1(1)	-	-	-	MIPI DPHY 用 VDD	1.2 V
接地 (10)	VSS(10)	-	-	-	内核/I/O, DPHY 用 VSS	-

正常: 正常 IO (可编程输出驱动强度 2、4、8 和 12 mA)
 OD: 漏极开路输出, schmitt 输入
 FS/SCH: 故障安全 schmitt 输入缓冲器
 MIPI-PHY: MIPI 前端模拟 IO
 eDP-PHY: eDP RX 前端模拟 IO

表3.2 引脚数汇总

组名	引脚数	注释
系统	8	-
DSI0Tx, DSI1Tx	20	CLK + 数据 4 通道 x 2 端口
eDP Rx	11	数据 4 通道 + AUX1 通道 + HPD
I2C	2	-
测试	4	-
电源	10	-
接地	10	-
总计	65	-

3.2. 引脚布置

TC358860XBG 信号至外部引脚的映射如下图所示。

DSI1								
A1	A2	A3	A4	A5	A6	A7	A8	A9
VDD_DSI0	VDD_DSI1	DSI1DP_3	DSI1DP_2	DSI1CP	DSI1DP_1	DSI1DP_0	VDDC	VDDIO
B1	B2	B3	B4	B5	B6	B7	B8	B9
DSI0DP_0	DSI0DM_0	DSI1DM_3	DSI1DM_2	DSI1CM	DSI1DM_1	DSI1DM_0	RESET_N	DIS_ASSR
C1	C2	C3	C4	C5	C6	C7	C8	C9
DSI0DP_1	DSI0DM_1	无球形触点	无球形触点	无球形触点	无球形触点	无球形触点	I2C_SDA	I2C_SCL
D1	D2	D3	D4	D5	D6	D7	D8	D9
DSI0CP	DSI0CM	无球形触点	VSS	VSS	测试 1	无球形触点	GPIO2	GPIO3
E1	E2	E3	E4	E5	E6	E7	E8	E9
DSI0DP_2	DSI0DM_2	无球形触点	VSS	VSS	TM	无球形触点	GPIO0	GPIO1
F1	F2	F3	F4	F5	F6	F7	F8	F9
DSI0DP_3	DSI0DM_3	无球形触点	VSS	测试 2	测试 3	无球形触点	INT	EXTCLK
G1	G2	G3	G4	G5	G6	G7	G8	G9
VDDC	VSS	无球形触点	无球形触点	无球形触点	eDP 球形触点	无球形触点	HPD	VDDP2
H1	H2	H3	H4	H5	H6	H7	H8	H9
VSS	DPLNM_3	VSS	DPLNM_2	VSS	DPLNM_1	VSS	DPLNM_0	DPAUXM
J1	J2	J3	J4	J5	J6	J7	J8	J9
VDD_DP11	DPLNP_3	VDD_DP18	DPLNP_2	VDD_DP11	DPLNP_1	VDD_DP18	DPLNP_0	DPAUXP

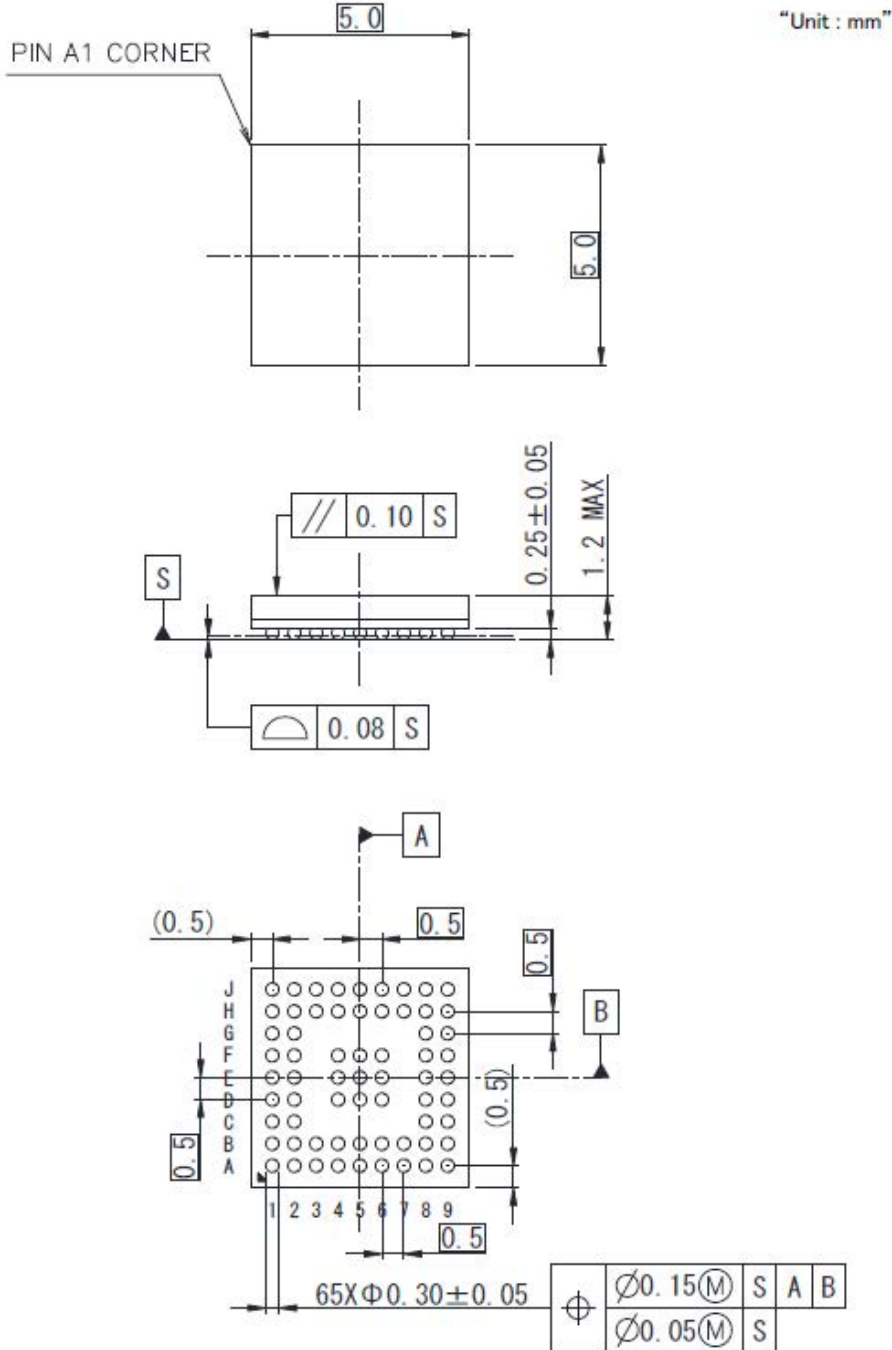
图3.1 TC358860XBG 芯片引脚布置 (顶视图)

- 信号 (VDDIO)
- 差分信号
- 模拟信号
- 电源
- GND
- 无球形触点或后备球形触点

4. 封装

TC358860XBG 采用 5.0mm x 5.0mm 封装，焊球间距为 0.5mm。详细封装图如下所示。

P-TFBGA65-0505-0.50-001



重量：40 mg（典型值）

图4.1 封装尺寸

表4.1 封装细节

封装	焊球间距	焊球高度	封装尺寸	封装高度	注释
65-引脚	0.50 mm	0.25mm	5.0 x 5.0 mm ²	最大 1.2mm	

5. 电气特性

5.1. 最大绝对最大额定值

所有电压数值，除差分 I/O 总线电压之外，都与网络接地端子有关。

表5.1 最大绝对最大额定值

参数	符号	额定值	单位
电源电压 (1.8V – 数字 IO) (3.3V – 数字 IO)	VDDIO	-0.3 ~ +1.96 -0.3 ~ +3.63	V
电源电压 (1.1V – 数字内核)	VDDC	-0.3 ~ +1.54	V
电源电压 (1.2V – MIPI DSI PHY)	VDD_MIPI	-0.3 ~ +1.54	V
电源电压 (1.8V – eDP PHY)	VDD_DP18	-0.3 ~ +1.98	V
电源电压 (1.1V – eDP PHY)	VDD_DP11	-0.3 ~ +1.54	V
输入电压 (DSI I/O)	V _{IN_DSI}	-0.3 ~ VDD_MIPI+0.3	V
输出电压 (DSI I/O)	V _{OUT_DSI}	-0.3 ~ VDD_MIPI+0.3	V
输入电压 (数字 IO)	V _{IN_IO}	-0.3 ~ VDDIO+0.3	V
输出电压 (数字 IO)	V _{OUT_IO}	-0.3 ~ VDDIO+0.3	V
输入电流	I _{in}	-10 ~ +10	mA
结温	T _j	125	°C
存储温度	T _{stg}	-40 ~ +125	°C

5.2. 操作条件

表5.2 操作条件

参数	符号	最小值	典型值	最大值	单位
电源电压(1.8V – 数字 IO)	VDDIO	1.62	1.8	1.98	V
电源电压(3.3V – 数字 IO)	VDDIO	2.97	3.3	3.63	V
电源电压(1.1V – PLL)	VDDP2	1.00	1.10	1.20	V
电源电压(1.1V – 数字内核)	VDDC	1.00	1.10	1.20	V
电源电压(1.1V – eDP PHY)	VDD_DP11	1.04	1.10	1.16	V
电源电压(1.8V – eDP PHY)	VDD_DP18	1.71	1.8	1.89	V
电源电压(1.2V – MIPI-DPHY)	VDD_MIPI0	1.1	1.2	1.25	V
	VDD_MIPI1				
内部工作频率	fopr	-	-	300	MHz
工作温度 (环境温度, 外施电压)	T _a	-30	+25	+85	°C
电源噪声电压	V _{SN}			100	mV _{pp}

5.3. 直流电气规格

除非另有规定，所有典型值都在正常操作条件下。

5.3.1. 正常 CMOS I/O 直流规格

表5.3 正常CMOS I/O 直流规格

参数- CMOS I/O	符号	条件	最小值	典型值	最大值	单位
输入电压，高电平输入 注 1	V_{IH}	--	0.7 VDDIO	--	VDDIO +0.3V	V
输入电压，低电平输入 注 1	V_{IL}	--	VSS -0.3V	--	0.3 VDDIO	V
输入电压，高电平 CMOS Schmitt 触发器 注 1,2	V_{IHS}	--	0.7 VDDIO	--	VDDIO	V
输入电压，低电平 CMOS Schmitt 触发器 注 1,2	V_{ILS}	--	0	--	0.3 VDDIO	V
输出电压，高电平 注 1,2	V_{OH}	$I_{OH} = 1 \text{ mA}$	VDDIO -0.4V	--	VDDIO	V
输出电压，低电平 注 1,2	V_{OL}	$I_{OL} = 2 \text{ mA}$	--	--	0.4	V
输入漏电流，高电平 不带下拉 I/O 引脚	I_{ILH1}	$V_{IN} = +VDDIO, VDDIO = 3.6V$	--	--	10	μA
输入漏电流，低电平	I_{ILL}	$V_{IN} = 0V, VDDIO = 3.6V$	--	--	10	μA

注 1: 各电源要在建议操作条件下操作。

注 2: 要针对各 IO 缓冲器单独规定电流输出值。输出电压随输出电流值变化。

5.3.2. MIPI DSI I/O 直流规格

下列时序规则摘自 MIPI Alliance D-PHY 规范，版本 01-00-00。MIPI Alliance D-PHY 规范（版本 01-00-00）规定的时序优先于下面各部分规定的时序。

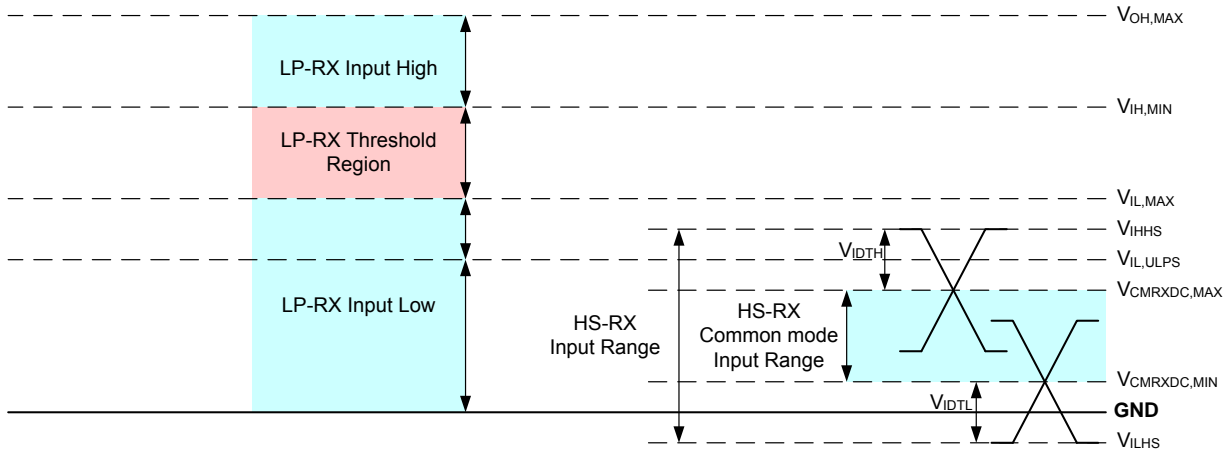


图5.1 信号和电压电平

表5.4 MIPI HSTX 和 LPTX 直流规格

参数	说明	最小值	正常值	最大值	单位	注释
高速模式						
VCMTX	高速传输静态共模电压	150	200	250	mV	1
\Delta VCMTX(1,0)	当输出为差分-1 或差分-0 时, VCMTX 不匹配	-	-	5	mV	2
VOD	高速传输差分电压	140	200	270	mV	1
\Delta VOD	当输出为差分-1 或差分-0 时, VOD 不匹配	-	-	14	mV	2
VOHHS	高速输出高压	-	-	360	mV	-
ZOS	单端输出阻抗	40	50	62.5	Ω	-
\Delta ZOS	单端输出阻抗不匹配	-	-	10	%	-
低功耗模式						
VOH	戴维南输出, 高电平	1.1	1.2	1.25	V	-
VOL	戴维南输出, 低电平	-50	-	50	mV	-
ZOLP	低功耗发射机输出阻抗	110	-	-	Ω	3

注释:

1. 进入 ZID 范围内任何负载阻抗的数值。
2. 建议执行方尽量降低 ΔVOD 和 $|\Delta VCMTX(1,0)|$ ，以尽量减少辐射并优化信号完整性。
3. 虽然没有规定 ZOLP 最大值，但低功耗发射机输出阻抗应确保 $TRL/P/TFLP$ 达到要求。

表5.5 LPRX直流规格

参数	说明	备注	最小值	典型值	最大值	单位
V_{IL}	输入低阈值	不在 ULPS 内	-	-	550	mV
V_{IL-UPS}	在 ULPS 内输入低阈值		-	-	300	mV
V_{IH}	输出高阈值		880	-	-	mV
V_{HYST}	输入滞后		25	-	-	mV

6. 修订记录

表6.1 修订记录

修订版本	日期	说明
1.1	2014-09-29	最新发布
1.8	2016-05-16	修改图 1.1 和 1.2 (方框图) 和表 3.1 (功能信号列表) 修改排印错误 <ul style="list-style-type: none">● 封装重量● 删除 4.86, 2.43Gbps 的视频流。● REFCLK 频率: 24、25、26 和 27 MHz● 表 5.2 中的工作温度● 表 5.3 中的输出电压, 高/低电平● 启用引脚名称, 以更改从地址: HPD -> GPIO0● 功耗: 130mW -> 126mW

RESTRICTIONS ON PRODUCT USE

- Toshiba Corporation, and its subsidiaries and affiliates (collectively "TOSHIBA"), reserve the right to make changes to the information in this document, and related hardware, software and systems (collectively "Product") without notice.
- This document and any information herein may not be reproduced without prior written permission from TOSHIBA. Even with TOSHIBA's written permission, reproduction is permissible only if reproduction is without alteration/omission.
- Though TOSHIBA works continually to improve Product's quality and reliability, Product can malfunction or fail. Customers are responsible for complying with safety standards and for providing adequate designs and safeguards for their hardware, software and systems which minimize risk and avoid situations in which a malfunction or failure of Product could cause loss of human life, bodily injury or damage to property, including data loss or corruption. Before customers use the Product, create designs including the Product, or incorporate the Product into their own applications, customers must also refer to and comply with (a) the latest versions of all relevant TOSHIBA information, including without limitation, this document, the specifications, the data sheets and application notes for Product and the precautions and conditions set forth in the "TOSHIBA Semiconductor Reliability Handbook" and (b) the instructions for the application with which the Product will be used with or for. Customers are solely responsible for all aspects of their own product design or applications, including but not limited to (a) determining the appropriateness of the use of this Product in such design or applications; (b) evaluating and determining the applicability of any information contained in this document, or in charts, diagrams, programs, algorithms, sample application circuits, or any other referenced documents; and (c) validating all operating parameters for such designs and applications. **TOSHIBA ASSUMES NO LIABILITY FOR CUSTOMERS' PRODUCT DESIGN OR APPLICATIONS.**
- **PRODUCT IS NEITHER INTENDED NOR WARRANTED FOR USE IN EQUIPMENTS OR SYSTEMS THAT REQUIRE EXTRAORDINARILY HIGH LEVELS OF QUALITY AND/OR RELIABILITY, AND/OR A MALFUNCTION OR FAILURE OF WHICH MAY CAUSE LOSS OF HUMAN LIFE, BODILY INJURY, SERIOUS PROPERTY DAMAGE AND/OR SERIOUS PUBLIC IMPACT ("UNINTENDED USE").** Except for specific applications as expressly stated in this document, Unintended Use includes, without limitation, equipment used in nuclear facilities, equipment used in the aerospace industry, medical equipment, equipment used for automobiles, trains, ships and other transportation, traffic signaling equipment, equipment used to control combustions or explosions, safety devices, elevators and escalators, devices related to electric power, and equipment used in finance-related fields. **IF YOU USE PRODUCT FOR UNINTENDED USE, TOSHIBA ASSUMES NO LIABILITY FOR PRODUCT.** For details, please contact your TOSHIBA sales representative.
- Do not disassemble, analyze, reverse-engineer, alter, modify, translate or copy Product, whether in whole or in part.
- Product shall not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable laws or regulations.
- The information contained herein is presented only as guidance for Product use. No responsibility is assumed by TOSHIBA for any infringement of patents or any other intellectual property rights of third parties that may result from the use of Product. No license to any intellectual property right is granted by this document, whether express or implied, by estoppel or otherwise.
- **ABSENT A WRITTEN SIGNED AGREEMENT, EXCEPT AS PROVIDED IN THE RELEVANT TERMS AND CONDITIONS OF SALE FOR PRODUCT, AND TO THE MAXIMUM EXTENT ALLOWABLE BY LAW, TOSHIBA (1) ASSUMES NO LIABILITY WHATSOEVER, INCLUDING WITHOUT LIMITATION, INDIRECT, CONSEQUENTIAL, SPECIAL, OR INCIDENTAL DAMAGES OR LOSS, INCLUDING WITHOUT LIMITATION, LOSS OF PROFITS, LOSS OF OPPORTUNITIES, BUSINESS INTERRUPTION AND LOSS OF DATA, AND (2) DISCLAIMS ANY AND ALL EXPRESS OR IMPLIED WARRANTIES AND CONDITIONS RELATED TO SALE, USE OF PRODUCT, OR INFORMATION, INCLUDING WARRANTIES OR CONDITIONS OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, ACCURACY OF INFORMATION, OR NONINFRINGEMENT.**
- Do not use or otherwise make available Product or related software or technology for any military purposes, including without limitation, for the design, development, use, stockpiling or manufacturing of nuclear, chemical, or biological weapons or missile technology products (mass destruction weapons). Product and related software and technology may be controlled under the applicable export laws and regulations including, without limitation, the Japanese Foreign Exchange and Foreign Trade Law and the U.S. Export Administration Regulations. Export and re-export of Product or related software or technology are strictly prohibited except in compliance with all applicable export laws and regulations.
- Please contact your TOSHIBA sales representative for details as to environmental matters such as the RoHS compatibility of Product. Please use Product in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. **TOSHIBA ASSUMES NO LIABILITY FOR DAMAGES OR LOSSES OCCURRING AS A RESULT OF NONCOMPLIANCE WITH APPLICABLE LAWS AND REGULATIONS.**