

译文

TC358767AXBG

本资料是为了参考的目的由原始文档翻译而来。
使用本资料时，请务必确认原始文档关联的最新
信息，并遵守其相关指示。

原本: "TC358767AXBG" 2016-04-01

翻译日: 2016-08-08

CMOS 数字集成电路硅单片

TC358767AXBG

移动外围设备

概述

TC358767AXBG 是通过 MIPI DIS 或 DPI 链路使视频数据从主机（应用或基带处理器）流出以驱动 DisplayPort 显示板的过渡设备。TC358767AXBG 还支持音频数据通过 I2S 接口从主机流向显示板。TC358767AXBG 提供了一个低功耗桥接解决方案，以便将 MIPIDSI 或 DPI 传输有效地转换为串行传输。与其他现有显示板标准相比，由于 DisplayPort 所用配线更少，所以简化了 LCD 的连通性。采用 TC358767AXBG，可启用支持 DSI 或 DPI 数据流的现有基带设备连接至能支持 DisplayPort 接口的新显示板，也可使远端 DisplayPort 适配器在更长的距离上连接至现有的显示板。TC358767AXBG 可以联接多达两台独立设备。



特征

- 将主机的 MIPI DSI/DPI 链路视频流转换至 DisplayPort 链路数据再将该数据传送至外部显示设备。
- 输入数据由 DSI 主机通过 4 个传输速率高达 1Gbps 的数据通道或由 DPI 主机通过带有频率高达 154MHz 的并行时钟的 16/18/24 位接口进行驱动。
- 支持“HDCP 数字内容保护”版本 1.3（DisplayPort 修订版 1.1）。
- 将音频信息从 I2S 端口嵌入 DisplayPort 数据流。
- 输出接口由 2 通道主链路和 AUX-Ch（辅助通道）的 DisplayPort Tx 组成。
- 寄存器配置：通过 DSI 链路或 I²C 接口。
- 主机中断，通知任何错误状态或需要引起主机注意的状态。
- 用于 D/P o/p 测试、不带任何视频（DSI/DPI）i/p 的内部测试模式（色带）生成器。
- 调试/测试端口：I²C 从机
- **DSI 接收器**
 - ◇ 兼容 MIPI DSI: v1.01 / MIPI D-PHY: v0.90。
 - ◇ 多达四（4）条数据通道，其中，数据通道 0 支持双向传输。
 - ◇ 最大传输速度为 1 Gbps/通道。
 - ◇ 支持突发模式以及非突发模式视频数据。
 - 视频数据包在每个 Hsync 时段仅限于一行。
 - ◇ 支持视频流数据包进行视频数据传输。
 - ◇ 支持通用长数据包访问芯片寄存器组。
- ◇ 视频输入数据格式：
 - RGB-565, RGB-666 和 RGB-888。
- 支持新的 DSI V1.02 数据类型：16-位 YCbCr 422
- ◇ 不支持交错显示模式。
- **DPI 接收器**
 - ◇ 多达 16/18/24 位的并行数据接口。
 - ◇ 最大传输速度为 154 MP/s（MP/秒）。
 - ◇ 视频输入数据格式：RGB-565、RGB-666 和 RGB-888。
 - ◇ 只支持累进模式。
 - ◇ 停机支持（也可用于非 DPI 模式）。
- **I2S 音频接口：支持一个让音频数据从主机流向 TC358767AXBG 的 I2S 端口。**
 - ◇ 支持从属模式（BCLK、LRCLK & 主机过采样时钟输入）。
 - ◇ 支持 32、44.1、48、88.2、96、176.4 & 192 kHz 的采样频率。
 - ◇ 最多支持 2 条音频通道。
 - ◇ 支持 16、18、20 或 24 位采样位数。
 - ◇ 可选择性地在每个通道插入 IEC60958 状态位和前置位。
- **DisplayPort 接口：支持从 TC358767AXBG 到显示板的 DisplayPort 链路。**
 - ◇ 采用 VESA DisplayPort 1.1a 标准的高速串行桥接芯片。
 - ◇ 支持双通道 DisplayPort 端口用于高带宽应用。
 - ◇ 电压在 0.4、0.6、0.8 或 1.2V 波动时，支持 1.62 或 2.7 Gbps/通道的数据传输速率
 - ◇ 支持 0、3.5dB 和 6dB 的预加重水平。
 - ◇ 支持音频相关二级数据包。
 - ◇ 在 1 Mbps 速率下支持 AUX 通道。
 - ◇ 通过基于 GPIO[0]的中断支持 HPD。

- ◇ 支持增强模式用于内容保护。
 - ◇ 支持 HDCP 加密，版本 1.3，DisplayPort 修订版 1.1。
 - ◇ 支持 ASSR（备用扰频器种子重置）用于 eDP 显示板。
 - 系统设计方将 ASSR_DisablePad 连接至 VSS，以启用 eDP 显示板和 ASSR
 - 通过内环 VDDS 启用 ASSR_DisablePad，以使用 DP 显示板和禁用 ASSR
 - 系统软件读取修订 ID 字段，0x0500[7:0]:
 - 0x01 表示采用 eDP 显示板，应设置 eDP 显示板 DPCD 寄存位 0x0010A[0]
 - 0x03 假定连接 DP 显示板，不应设置 DP 显示板 DPCD 寄存位 0x0010A[0]
 - ◇ 假设通过主机（软件/固件）处理数据流规则。
 - 根据 HPD 启动链路调训并读取链路调训最终状态
 - 按照实际视频流配置 DP 链路和启动视频流
 - ◇ 假设在主机和 TC358767AXBG 芯片之间共享链接规则。
 - 在 auto_correction = 0 模式下，控制链路调训
 - 启动显示设备能力，按照要求读取并配置 TC358767AXBG。
 - ◇ 按照显示板要求生成视频时序。
 - ◇ SSCG 调制高达 30 kHz，以减少 EMI。
 - ◇ 东芝幻方算法-RGB666 18b 产生类似 RGB888 24b 的视频质量（高达 1600 万色）。
 - ◇ 内置 PRGB7 生成器测试 DisplayPort 链路。
- **I²C 接口：**
 - ◇ 采用自举选项启用芯片寄存器组访问 I²C 从属接口。
 - ◇ 支持用于正常（100 kHz）和快速模式（400 kHz）、兼容 I²C 的从接口。
 - **GPIO 接口：**
 - ◇ 2-位 GPIO（与其他数字逻辑共享）。
 - ◇ 方向通过主机 I²C 访问可控。
 - **时钟源：**
 - ◇ DisplayPort 时钟源来自外部时钟输入或来自 DSI 接口（13、26、19.2 或 38.4 MHz）—生成所有内部和输出时钟，以联接显示设备。
 - ◇ 内置 PLL 生成无需外部组件的高速 DisplayPort 链路时钟。这些 PLL 都是 DisplayPort PHY 的一部分。
 - 支持时钟和电源管理，以实现低功耗状态。
 - **可能操作模式：**
 - ◇ MODE S21: TC358767AXBG 将 DisplayPort Tx 用作单一的双通道 DisplayPort 链路，以联接至单个 DisplayPort 显示设备。视频源来自 MIPI DSI 主机。
 - ◇ MODE P21: TC358767AXBG 将 DisplayPort Tx 用作单一的双通道 DisplayPort 链路，以联接至单个 DisplayPort 显示设备。视频源来自 MIPI DPI 主机。
 - **电源输入**
 - ◇ 内核和 MIPI D-PHY: 1.2V ±0.06V
 - ◇ 数字 I/O: 1.8 V ±0.09V
 - ◇ DisplayPort: 1.8V ±0.09V
 - ◇ DisplayPort: 1.2V ±0.06V
 - **功耗（基于估计值）**
 - ◇ 断电模式（ULPS、DP PHY&PLL 内的 DSI-Rx 禁用，时钟停用）：
 - DSI Rx: 0.01 mW
 - DP PHY: 2.34 mW
 - PLL9: 0.01 mW
 - 内核: 0.96 mW
 - Rest: 0.01 mW
 - ◇ 正常运行（1920 × 1080 分辨率，DSI-Rx 在 4-通道内@925 Mbps/通道、DP PHY 在双通道链路内@2.7 Gbps/通道）：
 - DSI Rx: 21.79 mW
 - DP PHY: 142.70 mW
 - PLL9: 2.42 mW
 - 内核: 87.64 mW
 - IOs: 1.68 mW
 - **封装**
 - 0.5mm 焊球间距，81 个球状触点，5 × 5 mm BGA 封装

目录

参考文献.....	6
1. 概述.....	7
2. 特征.....	9
3. 外部引脚.....	13
3.1. TC358767AXBG 外部引脚.....	13
3.2. TC358767AXBG 引脚映射.....	14
4. 封装.....	15
5. 电气特性.....	16
5.1. 绝对最大额定值.....	16
5.2. 操作条件.....	16
5.3. 直流电气规格.....	17
5.4. 功耗.....	18
6. 修订记录.....	19
产品使用限制.....	20

插图一览

图 1.1 系统概览 (TC358767AXBG 处于 MODE_S21 配置).....	8
图 1.2 系统概览 (TC358767AXBG 处于 MODE_P21 配置).....	8
图 3.1 TC358767AXBG 81-引脚布置.....	14
图 4.1 81 引脚 TC358767AXBG 封装.....	15

表格一览

表 2.1 TC358767AXBG 运行模式汇总 (带显示板尺寸支持信息).....	11
表 2.2 DSI 输入情形下 TC358767AXBG 要求的显示板尺寸与数据链路.....	11
表 2.3 DPI 输入情形下 TC358767AXBG 要求的显示板尺寸与数据链路.....	12
表 3.1 TC358767AXBG 81-引脚封装功能信号列表.....	13
表 3.2 TC358767AXBG BGA 机械尺寸.....	14
表 4.1 P-VFBGA81-0505-0.50-001 机械尺寸.....	15
表 6.1 修订记录.....	19

- MIPI 为 MIPI Alliance, Inc 注册商标。
- VESA、VESA 标志和 DisplayPort 图标均为“视频电子标准协会”商标。

参考文献

1. MIPI DSI, "MIPI Alliance DSI 规范, 版本 1.01.00 - 2008.02.21"
2. MIPI DPI, "MIPI Alliance 显示器像素接口标准 (DPI-2) 版本 2.00 - 2005.09.15"
3. MIPI D-PHY, "MIPI Alliance D-PHY 规范草案, 版本 0.91.00 - r0.01 14-2008-03"
4. VESA DisplayPort 标准 (版本 1, 修订版 1A, 2008.01.11)
5. VESA 嵌入式 DisplayPort (eDP) 标准 (版本 1.1 - 2009.10.23)
6. 数字内容保护公司 (Digital Content Protection LLC), HDCP (版本 1.3, DisplayPort 修订版 1.1, 2010.01.15)
7. I²C 总线规范, 版本 2.1, 2000.01, 飞利浦半导体
8. CEA-861-C, A 未压缩高速数字接口 DTV 配置文件草案 (文件号 CEA-861rCv9. pdf (PNXXX))
日期: 2005.04.05
9. 显示端口 PHY DFT 策略规范, 版本 1.3

1. 概述

DSI/DPI →显示端口转换器 (TC358767AXBG) 是通过 MIPI DIS 或 DPI 链路使视频数据从主机 (应用程序或基带处理器) 流出以驱动 DisplayPort 显示板的过渡设备。TC358767AXBG 还支持音频数据通过 I2S 接口从主机流向显示板。TC358767AXBG 提供了一个低功耗桥接解决方案, 以便将 MIPIDSI 或 DPI 传输有效地转换为串行传输。与其他现有显示板标准相比, 由于 DisplayPort 所用配线更少, 简化了 LCD 的连通性。使用 TC358767AXBG 的效果可使支持 DSI 或 DPI 数据流的现有基带设备连接至支持 DisplayPort 接口的新显示板, 也可用远端 DisplayPort 适配器在更长距离上连接至现有显示板。TC358767AXBG 可以联接多达两台独立设备。

通过 DSI 通用长写数据包发送写入/读取寄存器指令, 芯片可通过 DSI 链路进行配置。还可通过 I²C 从属接口进行配置。

DSI-RX 接收器支持每通道 1 Gbps 比特率的 1-4 通道配置。主机可以连续视频流模式传输视频数据。主机通过发送视频帧和行同步事件以及视频像素数据来控制视频时序; 视频数据传输可为突发或非突发模式。由于芯片只集成了一个小的视频缓冲器, 所以, 主机仍然要以适当的视频行时间传送像素数据, 以避免缓冲器过流 (或欠流)。

除像素时钟和 HSync/VSync/DE 所需控制信号之外, DPI-Rx 接收器还支持 16、18 或 24 位并行接口。

通过采用 HDCP 备份保护, TC358767AXBG 还支持内容保护。

DisplayPort 发射机支持主链路每个通道 1.62 Gbps 或 2.7 Gbps 的数据吞吐量。

TC358767AXBG 支持两种配置模式: MODE S21 和 MODE P21。这些模式的主要不同之处在于输入流的来源和 TC358767AXBG 可能连接的显示设备数量。

- Mode_S21: 图 1.1 所示常用 TC358767AXBG 的系统配置。
- Figure 1.1 在这种配置中, TC358767AXBG 可支持分辨率达 WUXGA (1920×1200) @ 24bit, 60 fps 或 WUXGA (1920×1200) @ 18bit, 60 fps 的显示效果。视频源来自 DSI 主机。
- Mode_P21: 图 1.2 所示常用 TC358767AXBG 的系统配置。除视频源来自 DPI 主机之外, 这种模式类似于 Mode_S21。在这种配置中, TC358767AXBG 分辨率达 WUXGA (1920×1200) @ 24bit, 60 fps 的显示效果。

芯片支持电源管理功能, 以在不用时节省电源。主机通过 DSI 链路采用 ULPS 报文或在 DPI 输入模式下通过停运引脚 (SD) 管理芯片功耗模式。

下图显示了所有这些模式, 其中, TC358767AXBG 显示板和主机均连接至大型移动显示板目标参考系。

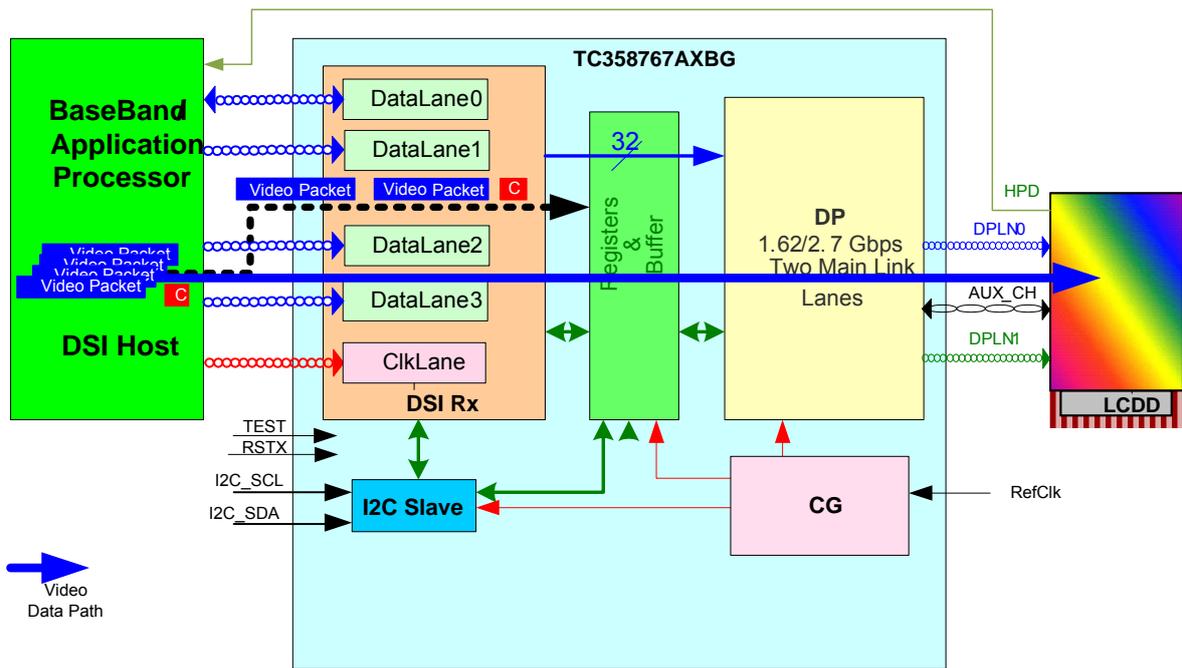


图 1.1 系统概览 (TC358767AXBG 处于 MODE_S21 配置)

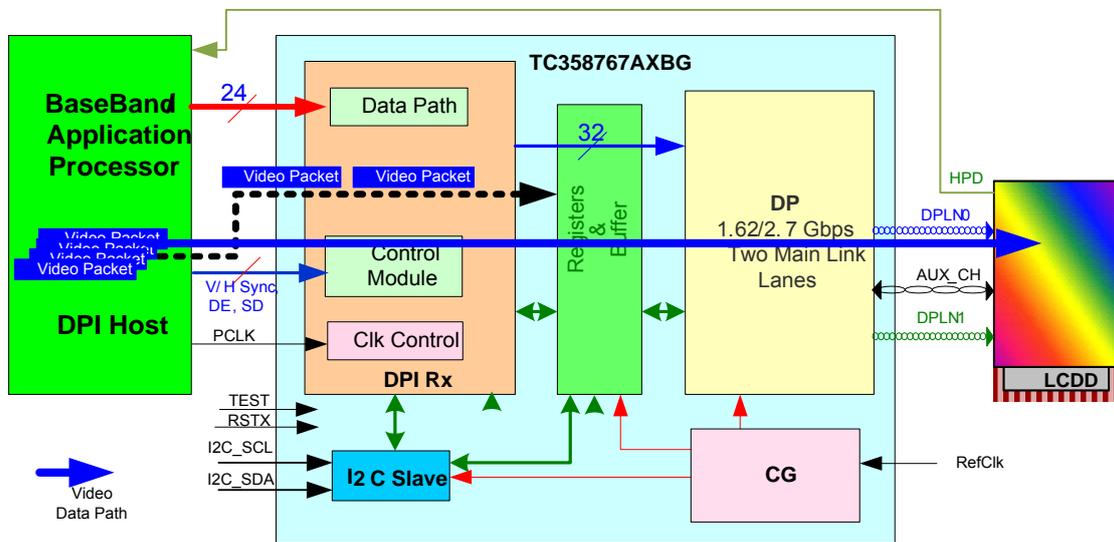


图 1.2 系统概览 (TC358767AXBG 处于 MODE_P21 配置)

2. 特征

以下是 TC358767AXBG 支持的主要功能。

- 将从主机到 DisplayPort 链路数据的 MIPI DSI/DPI 链路视频流传送至外部显示设备。
- 输入数据由 DSI 主机通过 4 个传输速率达 1Gbps/通道的数据通道或由主机通过频率达 154MHz 并行时钟的 16/18/24 位接口进行驱动。
- 支持“HDCP 数字内容保护”，版本 1.3（DisplayPort 修订版 1.1）
- 将音频信息从 I2S 端口嵌入 DisplayPort 数据流。
- 输出接口由 2 通道主链路和 AUX-Ch（辅助通道）的 DisplayPort Tx 组成。
- 寄存器配置：通过 DSI 链路或 I2C 接口。
- 主机中断，通知任何错误状态或需要引起主机注意的状态。
- 用于 D/P o/p 测试、不带任何视频（DSI/DPI）i/p 的内部测试模式（色带）生成器。
- 调试/测试端口：I2C 从机
- **DSI 接收器**
 - ◇ 兼容 MIPI DSI: v1.01 / MIPI D-PHY: v0.90。
 - ◇ 多达四（4）条数据通道，其中，数据通道 0 支持双向传输。
 - ◇ 最大传输速度为 1 Gbps/通道。
 - ◇ 支持突发模式以及非突发模式视频数据。
 - 视频数据包在每个 Hsync 时段仅限于一行。
 - ◇ 支持视频流数据包进行视频数据传输。
 - ◇ 支持通用长数据包访问芯片寄存器组。
 - ◇ 视频输入数据格式：
 - RGB-565, RGB-666 和 RGB-888。
 - 支持新的 DSI V1.02 数据类型：16-位 YCbCr 422
 - ◇ 不支持交错显示模式。
- **DPI 接收器**
 - ◇ 多达 16/18/24 位的并行数据接口。
 - ◇ 最大传输速度为 154 MP/s（MP/秒）。
 - ◇ 视频输入数据格式：RGB-565、RGB-666 和 RGB-888。
 - ◇ 仅支持累进模式。
 - ◇ 待机支持（也可用于非 DPI 模式）。
- **I2S 音频接口：支持一个让音频数据从主机流向 TC358767AXBG 的 I2S 端口。**
 - ◇ 支持从属模式（BCLK、LRCLK & 主机过采样时钟输入）。
 - ◇ 支持 32、44.1、48、88.2、96、176.4 & 192 kHz 的采样频率。
 - ◇ 最多支持 2 条音频通道。
 - ◇ 支持 16、18、20 或 24 位采样位数。
 - ◇ 可选择性地在每个通道插入 IEC60958 状态位和前置位。
- **DisplayPort 接口：支持从 TC358767AXBG 到显示板的 DisplayPort 链路。**
 - ◇ 采用 VESA DisplayPort 1.1a 标准的高速串行桥接芯片。
 - ◇ 支持双通道 DisplayPort 端口用于高带宽应用。
 - ◇ 电压在 0.4、0.6、0.8 或 1.2V 波动时，支持 1.62 或 2.7 Gbps/通道的数据传输速率
 - ◇ 支持 0、3.5dB 和 6dB 的预加重水平。
 - ◇ 支持音频相关二级数据包。
 - ◇ 在 1 Mbps 速率下支持 AUX 通道。
 - ◇ 通过基于 GPIO[0]的中断支持 HPD。
 - ◇ 支持增强模式用于内容保护。
 - ◇ 支持 HDCP 加密，版本 1.3，DisplayPort 修订版 1.1。

- ◇ 支持 ASSR（备用扰频器种子重置）用于 eDP 显示板。
 - 系统设计方将 ASSR_DisablePad 连接至 VSS，以启用 eDP 显示板和 ASSR
 - 通过内环 VDDS 启用 ASSR_DisablePad，以使用 DP 显示板和禁用 ASSR
 - 系统软件读取修订 ID 字段，0x0500[7:0]:
 - 0x01 表示采用 eDP 显示板，应设置 eDP 显示板 DPCD 寄存位 0x0010A[0]
 - 0x03 假定连接 DP 显示板，不应设置 DP 显示板 DPCD 寄存位 0x0010A[0]
 - ◇ 假设通过主机（软件/固件）处理数据流规则
 - 根据 HPD 启动链路调训并读取链路调训最终状态
 - 按照实际视频流配置 DP 链路和启动视频流
 - ◇ 假设在主机和 TC358767AXBG 芯片之间共享链接规则。
 - 在 auto_correction = 0 模式下，控制链路调训
 - 启动显示设备能力，按照要求读取并配置 TC358767AXBG。
 - ◇ 按照显示板要求生成视频时序。
 - ◇ SSCG 调制高达 30 kHz，以减少 EMI。
 - ◇ 东芝幻方算法-RGB666 18b 产生类似 RGB888 24b 的视频质量（高达 1600 万色）。
 - ◇ 内置 PRGB7 生成器测试 DisplayPort 链路。
- **I²C 接口：**
 - ◇ 采用自举选项启用芯片寄存器组访问 I²C 从接口。
 - ◇ 支持用于正常（100 kHz）和快速模式（400 kHz）、兼容 I²C 的从接口。
 - **GPIO 接口：**
 - ◇ 2-位 GPIO（与其他数字逻辑共享）。
 - ◇ 方向通过主机 I²C 访问可控。
 - **时钟源：**
 - ◇ DisplayPort 时钟源来自外部时钟输入或来自 DSI 接口（13、26、19.2 或 38.4 MHz）—生成所有内部和输出时钟，以联接显示设备。
 - ◇ 内置 PLL 生成无需外部组件的高速 DisplayPort 链路时钟。这些 PLL 都是 DisplayPort PHY 的一部分。
 - 支持时钟和电源管理，以实现低功耗状态。
 - **可能操作模式：**
 - ◇ MODE S21：TC358767AXBG 将 DisplayPort Tx 用作单一的双通道 DisplayPort 链路，以联接至单个 DisplayPort 显示设备。视频源来自 MIPI DSI 主机。
 - ◇ MODE P21：TC358767AXBG 将 DisplayPort Tx 用作单一的双通道 DisplayPort 链路，以联接至单个 DisplayPort 显示设备。视频源来自 MIPI DPI 主机。
 - **电源输入**
 - ◇ 内核和 MIPI D-PHY： 1.2V ±0.06V
 - ◇ 数字 I/O： 1.8V ±0.09V
 - ◇ DisplayPort： 1.8V ±0.09V
 - ◇ DisplayPort： 1.2V ±0.06V

● 功耗 (基于估计值)

◇ 断电模式 (ULPS、DP PHY&PLL 内的 DSI-Rx 禁用, 时钟停用):

- DSI Rx: 0.01 mW
- DP PHY: 2.34 mW
- PLL9: 0.01 mW
- 内核: 0.96 mW
- Rest: 0.01 mW

◇ 正常运行 (1920 × 1080 分辨率, DSI-Rx 在 4-通道内@925 Mbps/通道、DP PHY 在双通道链路内@2.7 Gbps/通道):

- DSI Rx: 21.79 mW
- DP PHY: 142.70 mW
- PLL9: 2.42 mW
- 内核: 87.64 mW
- IOs: 1.68 mW

● 封装

- 0.5mm 焊球间距, 81 个球状触点, 5 × 5 mm BGA 封装

注: 注意防静电。本产品防静电能力欠佳。请小心处理。

表 2.1 TC358767AXBG 运行模式汇总 (带显示板尺寸支持信息)

模式	输入配置		寄存器访问方法	显示板最大尺寸举例
	DSI 输入	DPI 输入		
S21	主动	X	DSI 或 I ² C	WUXGA 18bpp @ 60fps WUXGA 24bpp @ 60fps
P21	X	主动	I ² C	WUXGA 24bpp @ 60fps

下表提供了采用不同数据链路通道配置支持的不同显示板尺寸概念。

表 2.2 DSI 输入情形下TC358767AXBG要求的显示板尺寸与数据链路

帧尺寸			FPS	像素时钟 (MHz)	RGB666				RGB888			
		带 OverHead			比特率 (Gbps)	# DSI 数据通道	# DP 主要链路		比特率 (Gbps)	# DSI 数据通道	# DP 主要链路	
							1.62G	2.7G			1.62G	2.7G
XGA	1024×768	1184×790	60	56	1.01	2	1	1	1.34	2	2	1
WXGA+	1366×768	1526×790	60	72	1.30	2	2	1	1.74	2	2	1
WXGA+ / WSXGA	1440×900	1600×926	60	89	1.60	2	2	1	2.13	3	2	1
SXGA+	1400×1050	1560×1080	60	89	1.82	2	2	1	2.43	3	2	2
WSXGA+	1680×1050	1840×1080	60	119	2.15	3	2	1	2.86	3	-	2
UXGA	1600×1200	1760×1235	60	130	2.35	3	2	2	3.13	4	-	2
WUXGA	1920×1200	2080×1235	60	154	2.77	3	-	2	3.70	4	-	2

表 2.3 DPI 输入情形下TC358767AXBG要求的显示板尺寸与数据链路

	帧尺寸		FPS	像素时钟 (MHz)	DPI 支持 154 MHz PCLK	RGB666			RGB888		
		带 OverHead				比特率 (Gbps)	# DP 主要链路		比特率 (Gbps)	# DP 主要链路	
							1.62G	2.7G		1.62G	2.7G
XGA	1024×768	1184×790	60	56	是	1.01	1	1	1.34	2	1
WXGA+	1366×768	1526×790	60	72	是	1.30	2	1	1.74	2	1
WXGA+ / WSXGA	1440×900	1600×926	60	89	是	1.60	2	1	2.13	2	1
SXGA+	1400×1050	1560×1080	60	89	是	1.82	2	1	2.43	2	2
WSXGA+	1680×1050	1840×1080	60	119	是	2.15	2	1	2.86	–	2
UXGA	1600×1200	1760×1235	60	130	是	2.35	2	2	3.13	–	2
WUXGA	1920×1200	2080×1235	60	154	是	2.77	–	2	3.70	–	2

注： 这些都是显示常用格式。只要满足 DSI 和 DisplayPort 链路接口最大数据传输速率限制，也有可能支持其他尺寸。

注： 在文件其余部分，“DP”表示“DisplayPort”。这两个词已互换使用，请参阅参考文献所述 VESA DisplayPort 规范。

3. 外部引脚

3.1. TC358767AXBG 外部引脚

TC358767×AXBG 采用 81-引脚封装。TC358767AXBG 信号及其功能如下表所示。

表 3.1 TC358767AXBG 81-引脚封装功能信号列表

组别	引脚名称	I/O	类型	功能	注释
系统： 复位& 时钟 (9)	RESX	I	Sch	系统复位-低电平有效	
	REFCLK	I	Sch	13, 26, 19.2 或 38.4 MHz 50ps 相位抖动 p2p/ WC 占空比 40-60%	
	TEST	I	N	测试引脚, 高电平有效	
	TEST[3]	O	N	测试引脚, 开路	
	INT	O	N	主机中断	4mA
	SD	I	N	停止输入	
	DISABLE_ASSR	I	N	1: 连接至 DP 显示板时, 禁用 ASSR 并进行设置 0: 启用 ASSR, 用于 eDP 显示板应用	
	MODE[1:0]	I	N	模式选择引脚	
DSI Rx (10)	DSICP	I	MIPI-PHY	MIPI-DSI Rx 时钟通道有效	
	DSICM	I	MIPI-PHY	MIPI-DSI Rx 时钟通道无效	
	DSIDP[3:0]	I/O	MIPI-PHY	MIPI-DSI Rx 数据通道有效	
	DSIDM[3:0]	I/O	MIPI-PHY	MIPI-DSI Rx 数据通道无效	
DP Out (8)	DPLNP[1:0]	O	DP-PHY	eDP 输出主链路有效	
	DPLNM[1:0]	O	DP-PHY	eDP 输出主链路无效	
	DPAUXP[0]	I/O	DP-PHY	eDP 输出 AUX (辅助) 通道有效	
	DPAUXM[0]	I/O	DP-PHY	eDP 输出 AUX (辅助) 通道无效	
	PREC_RES[1:0]	I	DP-PHY	精密电阻(3 k @ 1%)连接	
DPI Rx (28)	DPI_PCLK	I/O	N	DPI 像素时钟(最大 154 MHz)(默认: 输入)	4mA
	DPI_VSYNC	I/O	N	DPI 垂直同步(默认: 输入)	4mA
	DPI_HSYNC	I/O	N	DPI 水平同步(默认: 输入)	4mA
	DPI_DE	I/O	N	DPI 数据启用(默认: 输入)	4mA
	DPI_D [23:0]	I/O	N	DPI 并行数据(默认: 输入)	4mA
I2C (3)	I2C_SCL	OD	FS/Sch	I ² C Clock	
	I2C_SDA	OD	FS/Sch	I ² C Data	4mA
	I2C_ADR_SEL	I	N	I ² C 从属地址选择	
I2S (3)	I2S_BCLK	I	N	I2S 位时钟(最大 12.5 MHz)	
	I2S_LRCLK	I	N	I2S 采样时钟(最大 192 kHz)	
	I2S_DATA	I	N	I2S 数据	
GPIO (2)	GPIO[1:0]	OD	5T-OD	GPIO 或测试控制 ^{注1} GPIO[1:0] 可用于 HPD 支持	4mA
电源 (11)	VDDC (VDD12)	NA		内核 VDD (2)	
	VDDS (1.8V)	NA		IO 环路电源 VDDS (1)	
	VDD_PLL18 (1.8V)	NA		DP PHY PLL VDD (1)	
	VDD_PLL12 (1.2V)	NA		DP PHY PLL VDD (1)	
	VDD_DP18 (1.8V)	NA		DP PHY 主通道 VDD (2)	
	VDD_PLL912 (1.2V)	NA		PLL9 VDD (1)	
	VDD_DP12 (1.2V)	NA		DP PHY VDD (1)	
	VDD_DSI12 (1.2V)	NA		MIPI DSI PHY VDD (1)	
VPGM	NA		eFUSE 编程电压 (1)		
接地 (7)	VSS	NA		接地 (包括 VSSC (内核), VSS_IO (IO), VSS_DSI (MIPI), VSS_DP (DP))	

TC358767AXBG BGA 封装共有 81 个引脚。

注 1: 引脚具有多路复用功能模式功能

N: 正常 IO

FS: 故障安全 IO - 开启

PHY: DP 模拟前端或 MIPI D-PHY

Sch: Schmitt 触发器输入

OD: 开漏

5T-OD: 带有开漏、能耐受 5V 电压的双向缓冲器

Pd: 下拉

3.2. TC358767AXBG 引脚映射

下图给出了外部引脚的 TC358767AXBG 信号映射情况。（BGA 阵列）

Top View (through the die)

A1 DSIDM_0	A2 DSIDP_0	A3 I2S_LRCLK	A4 VDDC	A5 VDDC	A6 INT	A7 VDDS	A8 I2C_SDA	A9 I2C_SCL
B1 DSIDM_1	B2 DSIDP_1	B3 GPIO_0	B4 I2S_BCLK	B5 I2S_DATA	B6 MODE_0	B7 MODE_1	B8 GPIO_1	B9 I2C_ADR_SEL
C1 DSICM	C2 DSICP	C3 DPI_DE	C4 DPI_VSYNC	C5 DPI_D_5	C6 DPI_D_7	C7 DPI_D_10	C8 TEST_3	C9 SD
D1 VDD_DSI12	D2 VSS_DSI	D3 DPI_HSYNC	D4 DPI_D_0	D5 VSS	D6 DPI_D_9	D7 DPI_D_12	D8 DPI_D_13	D9 DSI_D_14
E1 DSIDM_2	E2 DSIDP_2	E3 DPI_D_1	E4 DPI_D_3	E5 VSS	E6 VSS	E7 DPI_D_16	E8 VPGM	E9 DPI_D_11
F1 DSIDM_3	F2 DSIDP_3	F3 DPI_D_2	F4 DPI_D_6	F5 DPI_D_8	F6 DPI_D_15	F7 DPI_D_18	F8 DPI_D_17	F9 DPI_D_20
G1 PREC_RES_0	G2 Disable_ASSR	G3 DPI_D_4	G4 TEST	G5 DPI_D_19	G6 DPI_PCLK	G7 DPI_D_21	G8 DPI_D_23	G9 DPI_D_22
H1 PREC_RES_1	H2 VSS_DP	H3 DPLNP_0	H4 VDD_DP12	H5 VSS_DP	H6 DPLNP_1	H7 VSS_DP	H8 DPAUXP_0	H9 VDD_PLL912
J1 REFCLK	J2 VDD_DP18	J3 DPLNM_0	J4 VDD_PLL12	J5 VDD_PLL18	J6 DPLNM_1	J7 VDD_DP18	J8 DPAUXM_0	J9 RESX

图 3.1 TC358767AXBG 81-引脚布置

表 3.2 TC358767AXBG BGA 机械尺寸

封装	焊球间距	焊球高度	封装尺寸	封装高度	注释
81-引脚	0.5 mm	0.25 mm	5.0 ×5.0 mm ²	1.0 mm	

4. 封装

TC358767AXBG 封装如下图所示。

P-VFBGA81-0505-0.50-001

"Unit:mm"

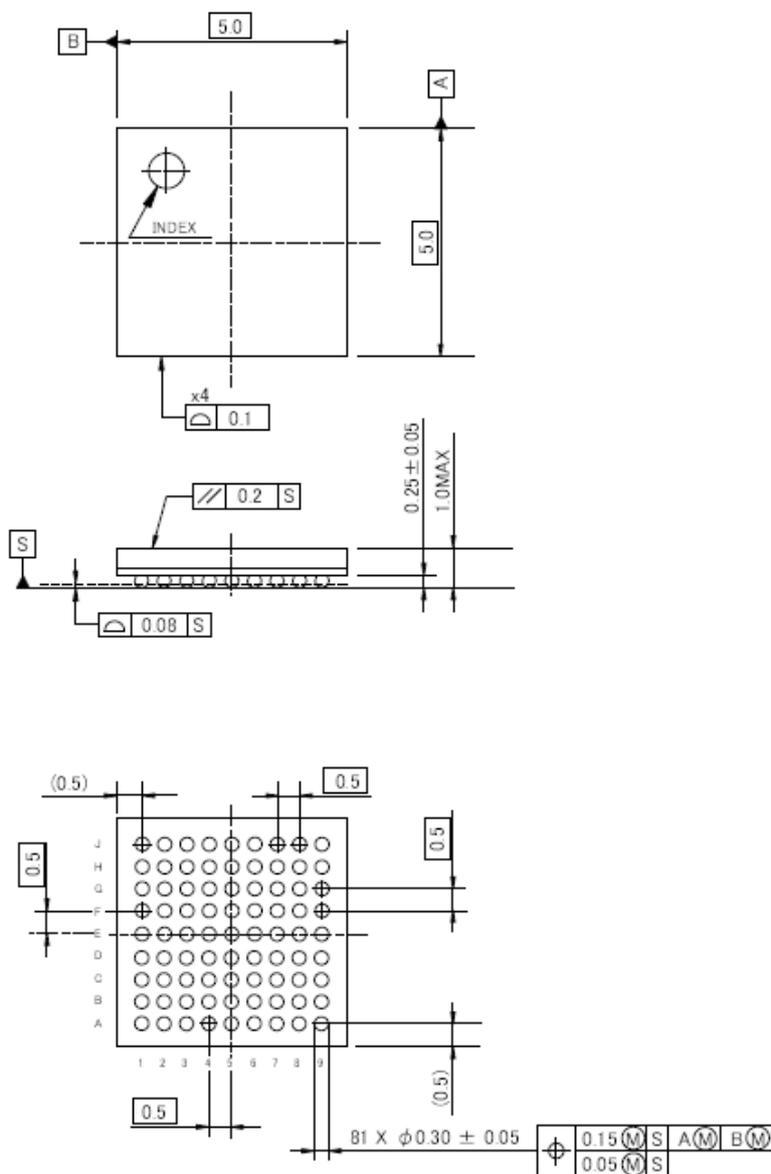


图 4.1 81引脚 TC358767AXBG 封装

重量：47 mg（典型值）

BGA81 封装机械尺寸如下所列。

表 4.1 P-VFBGA81-0505-0.50-001 机械尺寸

封装	焊球间距	焊球高度	封装尺寸	封装高度	注释
81-引脚	0.50 mm	0.25 mm	5.0 × 5.0 mm ²	1.0 mm	

5. 电气特性

5.1. 绝对最大额定值

VSS= 0V 基准

VDD18 用于 VDDS 以及 VDD-DP18; VDD12 用于 VDDC 以及 VDD-DS12

参数	符号	额定值	单位
电源电压(1.8V)	VDD18	-0.3 ~ +3.5	V
电源电压(1.2V)	VDD12	-0.3 ~ +2.0	V
电源电压 (IO)	VDD18	-0.3 ~ +3.5	V
	VREF	-0.3 ~ +3.5	V
输入电压	VIN	-0.3 ~ VDDS+0.3	V
输出电压	VOUT	-0.3 ~ VDDS+0.3	V
存储温度	Tstg	-40 ~ +125	°C

5.2. 操作条件

VSS= 0V 基准

VDD18 用于 VDDS 以及 VDD-DP18; VDD12 用于 VDDC 以及 VDD-DS12

参数	符号	最小值	典型值	最大值	单位
电源电压(1.8V)	VDD18	1.71	1.8	1.89	V
电源电压(1.2V)	VDD12	1.14	1.2	1.26	V
工作频率 (内部)	Fopr	-	-	200	MHz
工作温度	Ta	-20	-	+85	°C

5.3. 直流电气规格

VSS=VSS_C=VSS_IO=VSS_DSI=VSS_DP=VSS_PLL=VSS_REG=0V 基准

参数	符号	最小值	典型值	最大值	单位
输入电压, 高电平 CMOS 输入 ^{注1}	VIH	0.7 VDD5		VDD5	V
输入电压, 低电平 CMOS 输入注 1	VIL	0		0.3 VDD5	V
输入电压, 高电平 CMOS Schmitt 触发器 ^{注1}	VIHS	0.7 VDD5		VDD5	V
输入电压, 低电平 CMOS Schmitt 触发器 ^{注1}	VILS	0		0.3 VDD5	V
输出电压, 高电平 注1,注2	VOH	0.8 VDD5		VDD5	V
输出电压, 低电平 注1,注2	VOL	0		0.2 VDD5	V
输入漏电流, 高电平	I _{IH1} ^(注3)	-10	-	10	μA
输入漏电流, 低电平	I _{IL1} ^(注4)	-10	-	10	μA
	I _{IL2} ^(注5)	-200	-	-10	μA

注 1: VDD5 在建议操作条件下。

注 2: 输出电流值要依据各 IO 缓冲器规范。输出电压随输出电流值变化。

注 3: “正常”引脚或“上拉 I/O”引脚向输入引脚施加 VDD18_IO 电源电压

注 4: “正常”引脚向输入引脚施加 VSS (0V)

注 5: “上拉 I/O”引脚向输入引脚施加 VSS (0V)

5.4. 功耗

用于断电模式和正常运行模式的功耗如下：

- 断电模式（ULPS、DP PHY&PLL 内的 DSI-Rx 禁用，时钟停用）：
 - ◇ DSI Rx: 0.01 mW
 - ◇ DP PHY: 2.34 mW
 - ◇ PLL9: 0.01 mW
 - ◇ 内核: 0.96 mW
 - ◇ Rest: 0.01 mW

- 正常运行（1920 × 1080 分辨率，DSI-Rx 在 4-通道内@925 Mbps/通道、DP PHY 在双通道链路内@2.7 Gbps/通道）：
 - ◇ DSI Rx: 21.79 mW
 - ◇ DP PHY: 142.70 mW
 - ◇ PLL9: 2.42 mW
 - ◇ 内核: 87.64 mW
 - ◇ IOs: 1.68 mW

6. 修订记录

表 6.1 修订记录

修订版本	日期	说明
0.97	2014-04-10	最新发布
0.972	2016-04-01	· 修改 TC358767AXBG 封装重量，对小数点后的数字进行取舍，使其成为一个整数。

RESTRICTIONS ON PRODUCT USE

- Toshiba Corporation, and its subsidiaries and affiliates (collectively "TOSHIBA"), reserve the right to make changes to the information in this document, and related hardware, software and systems (collectively "Product") without notice.
- This document and any information herein may not be reproduced without prior written permission from TOSHIBA. Even with TOSHIBA's written permission, reproduction is permissible only if reproduction is without alteration/omission.
- Though TOSHIBA works continually to improve Product's quality and reliability, Product can malfunction or fail. Customers are responsible for complying with safety standards and for providing adequate designs and safeguards for their hardware, software and systems which minimize risk and avoid situations in which a malfunction or failure of Product could cause loss of human life, bodily injury or damage to property, including data loss or corruption. Before customers use the Product, create designs including the Product, or incorporate the Product into their own applications, customers must also refer to and comply with (a) the latest versions of all relevant TOSHIBA information, including without limitation, this document, the specifications, the data sheets and application notes for Product and the precautions and conditions set forth in the "TOSHIBA Semiconductor Reliability Handbook" and (b) the instructions for the application with which the Product will be used with or for. Customers are solely responsible for all aspects of their own product design or applications, including but not limited to (a) determining the appropriateness of the use of this Product in such design or applications; (b) evaluating and determining the applicability of any information contained in this document, or in charts, diagrams, programs, algorithms, sample application circuits, or any other referenced documents; and (c) validating all operating parameters for such designs and applications. **TOSHIBA ASSUMES NO LIABILITY FOR CUSTOMERS' PRODUCT DESIGN OR APPLICATIONS.**
- **PRODUCT IS NEITHER INTENDED NOR WARRANTED FOR USE IN EQUIPMENTS OR SYSTEMS THAT REQUIRE EXTRAORDINARILY HIGH LEVELS OF QUALITY AND/OR RELIABILITY, AND/OR A MALFUNCTION OR FAILURE OF WHICH MAY CAUSE LOSS OF HUMAN LIFE, BODILY INJURY, SERIOUS PROPERTY DAMAGE AND/OR SERIOUS PUBLIC IMPACT ("UNINTENDED USE").** Except for specific applications as expressly stated in this document, Unintended Use includes, without limitation, equipment used in nuclear facilities, equipment used in the aerospace industry, medical equipment, equipment used for automobiles, trains, ships and other transportation, traffic signaling equipment, equipment used to control combustions or explosions, safety devices, elevators and escalators, devices related to electric power, and equipment used in finance-related fields. **IF YOU USE PRODUCT FOR UNINTENDED USE, TOSHIBA ASSUMES NO LIABILITY FOR PRODUCT.** For details, please contact your TOSHIBA sales representative.
- Do not disassemble, analyze, reverse-engineer, alter, modify, translate or copy Product, whether in whole or in part.
- Product shall not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable laws or regulations.
- The information contained herein is presented only as guidance for Product use. No responsibility is assumed by TOSHIBA for any infringement of patents or any other intellectual property rights of third parties that may result from the use of Product. No license to any intellectual property right is granted by this document, whether express or implied, by estoppel or otherwise.
- **ABSENT A WRITTEN SIGNED AGREEMENT, EXCEPT AS PROVIDED IN THE RELEVANT TERMS AND CONDITIONS OF SALE FOR PRODUCT, AND TO THE MAXIMUM EXTENT ALLOWABLE BY LAW, TOSHIBA (1) ASSUMES NO LIABILITY WHATSOEVER, INCLUDING WITHOUT LIMITATION, INDIRECT, CONSEQUENTIAL, SPECIAL, OR INCIDENTAL DAMAGES OR LOSS, INCLUDING WITHOUT LIMITATION, LOSS OF PROFITS, LOSS OF OPPORTUNITIES, BUSINESS INTERRUPTION AND LOSS OF DATA, AND (2) DISCLAIMS ANY AND ALL EXPRESS OR IMPLIED WARRANTIES AND CONDITIONS RELATED TO SALE, USE OF PRODUCT, OR INFORMATION, INCLUDING WARRANTIES OR CONDITIONS OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, ACCURACY OF INFORMATION, OR NONINFRINGEMENT.**
- Do not use or otherwise make available Product or related software or technology for any military purposes, including without limitation, for the design, development, use, stockpiling or manufacturing of nuclear, chemical, or biological weapons or missile technology products (mass destruction weapons). Product and related software and technology may be controlled under the applicable export laws and regulations including, without limitation, the Japanese Foreign Exchange and Foreign Trade Law and the U.S. Export Administration Regulations. Export and re-export of Product or related software or technology are strictly prohibited except in compliance with all applicable export laws and regulations.
- Please contact your TOSHIBA sales representative for details as to environmental matters such as the RoHS compatibility of Product. Please use Product in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. **TOSHIBA ASSUMES NO LIABILITY FOR DAMAGES OR LOSSES OCCURRING AS A RESULT OF NONCOMPLIANCE WITH APPLICABLE LAWS AND REGULATIONS.**