

TOSHIBA

32 ビット RISC マイクロコントローラ
TX00 シリーズ

TMPM066/067/068FW

東芝デバイス&ストレージ株式会社



Arm, Cortex および Thumb はArm Limited(またはその子会社) のUSまたはその他の国における
登録商標です。All rights reserved.



製品ご使用上の注意点について

本資料に掲載されている製品について、使用上の注意点を説明します。

なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

1. 電源投入時の動作について

電源投入時、本資料に掲載されている製品の内部は不定状態となります。

このため、リセットが有効となるまで、端子の状態は不定となります。

外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有効になるまでの間、端子の状態は不定となります。

また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。

2. 未使用端子の処置について

本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。

未使用端子については、1 本ずつ、抵抗を通して電源端子または GND 端子に固定することを推奨します。

3. クロック発振の安定について

リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。

はじめに(本仕様書での SFR 表記に関する注意点)

各周辺機能回路(IP)には、SFR(Special Function Register)と呼ばれる制御レジスタが準備されています。

メモリマップの章に各 IP の SFR アドレス一覧を記載しており、各 IP の章では SFR の詳細を説明しています。

本仕様書では、SFR に関して以下のルールに従って表現しています。

- a. IP 別 SFR の一覧表(一例)
- 各 IP の章における SFR の一覧表では、レジスタ名称、アドレス、簡単な説明が表現されています。
 - 全てのレジスタには、32bit で表現されるユニークなアドレスが割り振られており、各レジスタのアドレスは「Base Address + (固有)アドレス」で表現されています。(一部例外有)

Base Address = 0x0000_0000

レジスタ名		Address(Base+)
コントロールレジスタ	SAMCR	0x0004
		0x000C

注) SAMCR レジスタのアドレスは 0x0000_0004 番地「Base Address(0x00000000 番地)+固有アドレス(0x0004 番地)」から 32 ビット分となります。

注) 本レジスタは記述説明用のサンプルです。本マイコンには存在しません。

b. 各 SFR(レジスタ)の説明

- 各レジスタは、基本的に全て 32bit のレジスタで構成されています(一部例外有)。
- 各レジスタの説明では、対象ビット、ビットシンボル、タイプ、リセット後の初期値、機能説明が表現されています。

1.2.2 SAMCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	MODE	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MODE	TDATA						
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	-	R	リードすると"0"が読めます。
9-7	MODE[2:0]	R/W	動作モード設定 000 : サンプルモード 0 に設定 001 : サンプルモード 1 に設定 010 : サンプルモード 2 に設定 011 : サンプルモード 3 に設定 上記以外 : Reserved
6-0	TDATA[6:0]	W	送信データ

注) Type は基本的に下記 3 種類となります。

R / W : READ WRITE	読み出し/書き込み可能
R : READ	読み出しのみ可能
W : WRITE	書き込みのみ可能

c. データ表記について

SFR の説明で使用しているシンボルには以下のようなものがあります。

- x: チャンネル番号/ポート
- n,m: ビット番号

d. レジスタの表現

説明文でレジスタを以下のように表現しています。

- レジスタ名<Bit Symbol>
例: SAMCR<MODE>="000"(or 000)または SAMCR<MODE[2:0]>="000"(or 000)
<MODE[2:0]>はビットシンボル MODE(3 ビット幅)の 2 ~ 0 ビット目を意味します。
- レジスタ名[Bit]
例: SAMCR[9:7]="000"(or 000)
レジスタ SAMCR(32 ビット幅)の 9 ~ 7 ビット目を意味します。

改訂履歴

日付	版	改訂理由
2016/06/27	1	First Release
2018/09/21	2	Contents Revised
2022/09/30	3	Contents Revised
2023/07/31	4	Contents Revised
2025/12/12	5	Contents Revised

目次

製品ご使用上の注意点について

TMPM066FWUG TMPM067FWQG TMPM068FWXBG

1.1	機能概要	1
1.2	ブロック図	4
1.3	ピン配置図(Top view)	5
1.4	ピン名称と機能	8
1.4.1	機能端子名称と機能	8
1.4.1.1	周辺機能端子名称	
1.4.1.2	デバッグ端子名称	
1.4.1.3	制御端子名称	
1.4.1.4	電源端子名称	
1.4.2	ピン名称と機能	10
1.4.2.1	表の見方	
1.4.2.2	PORT / デバッグ端子	
1.4.2.3	USB & 制御端子	
1.4.2.4	電源端子	

第2章 製品情報

2.1	各周辺機能の情報	16
2.1.1	DMA コントローラ(DMAC)	16
2.1.1.1	要因一覧表	
2.1.2	16 ビットタイマ/イベントカウンタ(TMRB)	16
2.1.3	16 ビットタイマ A(TMR16A)	17
2.1.4	高分解能 16 ビットタイマ(TMRD)	17
2.1.4.1	TMRD へのクロック設定	
2.1.5	シリアルチャネル(SIO/UART)	18
2.1.6	I2C バス(I2C)	18
2.1.7	東芝シリアルペリフェラルインタフェース(TSPI)	18
2.1.8	アナログ/デジタルコンバータ(ADC)	19
2.1.9	USB デバイスコントローラ(USBD)	19
2.1.9.1	参考回路	
2.1.10	デバッグインタフェース	20

第3章 プロセッサコア

3.1	コアに関する情報	21
3.2	構成可能なオプション	21
3.3	例外/割り込み	22
3.3.1	割り込み本数	22
3.3.2	SysTick	22
3.3.3	SYSRESETREQ	22
3.3.4	LOCKUP	22
3.4	イベント	22
3.5	電力管理	22

第4章 メモリマップ

4.1	メモリマップ	25
4.2	バスマトリクス	27
4.2.1	構成	28
4.2.1.1	シングルチップモード、シングルブートモード	
4.2.2	接続表	29
4.2.2.1	Code 領域/ SRAM 領域	
4.2.2.2	Peripheral 領域/ 外部バス領域	
4.2.3	周辺機能ベースアドレス一覧	31

第5章 リセット動作

5.1	コールドリセット	34
5.1.1	RESET 端子を使用したコールドリセット	34
5.1.2	パワーオンリセットを使用したコールドリセット	35
5.2	ウォームリセット	35
5.3	リセット解除後	35

第6章 クロック/モード制御

6.1	特長	37
6.2	レジスタ説明	38
6.2.1	レジスタ一覧	38
6.2.2	CGPROTECT(ライトプロテクトレジスタ)	39
6.2.3	CGOSCCR(発振制御レジスタ)	40
6.2.4	CGSYSCR(システムクロック制御レジスタ)	41
6.2.5	CGSTBYCR(スタンバイコントロールレジスタ)	42
6.2.6	CGPLL0SEL(fsys 用 PLL セレクトレジスタ)	43
6.2.7	CGWUPHCR(高速発振ウォーミングアップレジスタ)	44
6.2.8	CGFSYSENA(fsys 供給停止レジスタ A)	46
6.2.9	CGFSYSENB(fsys 供給停止レジスタ B)	48
6.2.10	CGSPCLKEN(ADC Clock 供給レジスタ)	49
6.2.11	CGEXTEND00(拡張機能設定レジスタ)	50
6.3	クロック制御	51
6.3.1	クロックの種類	51
6.3.2	リセット動作による初期値	51
6.3.3	クロック系統図	52
6.3.4	fsys 用クロック通倍回路(PLL)	53
6.3.4.1	動作開始	
6.3.4.2	通倍数の変更	
6.3.4.3	PLL 動作開始手順	
6.3.4.4	PLL 通倍数変更手順	
6.3.5	システムクロック	56
6.3.6	クロック供給設定機能	56
6.3.7	システムクロックの設定方法	57
6.4	動作モードとモード遷移	58
6.4.1	モード状態遷移	58
6.4.2	STOP1 モード遷移	58
6.5	動作モード	59
6.5.1	NORMAL モード	59
6.6	低消費電力モード	60
6.6.1	IDLE モード	60
6.6.2	STOP1 モード	60
6.6.3	低消費電力モードの選択	61
6.6.4	各モードにおける動作状態	62

6.6.5	低消費電力モードの解除ソース.....	63
6.6.6	ウォーミングアップ.....	65
6.6.7	モード遷移によるクロック動作.....	66
6.6.7.1	NORMAL → STOP1 → NORMAL 動作モード遷移	

第7章 例外

7.1	概要.....	67
7.1.1	種類.....	67
7.1.2	処理の流れ.....	68
7.1.2.1	例外要求と検出	
7.1.2.2	例外の処理と割り込み処理ルーチンへの分岐(横取り)	
7.1.2.3	割り込み処理ルーチンの発行	
7.1.2.4	例外からの復帰	
7.2	リセット例外.....	73
7.3	マスク不能割り込み(NMI).....	74
7.4	SysTick.....	74
7.5	割り込み.....	75
7.5.1	割り込み要求.....	75
7.5.1.1	経路	
7.5.1.2	割り込み要求の発生	
7.5.1.3	割り込み要因の伝達	
7.5.1.4	外部割り込み端子を使用する際の注意	
7.5.1.5	割り込み要因一覧	
7.5.1.6	アクティブレベル	
7.5.1.7	低消費電力モード解除時の注意	
7.5.1.8	割り込み管理番号	
7.5.2	処理詳細.....	82
7.5.2.1	処理の流れ	
7.5.2.2	準備	
7.5.2.3	検出(INTIF)	
7.5.2.4	検出(CPU)	
7.5.2.5	CPU の処理	
7.5.2.6	割り込み処理ルーチンでの処理(要因の取り下げ)	
7.6	例外/割り込み関連レジスタ.....	88
7.6.1	レジスター一覧.....	88
7.6.2	NVIC レジスタ.....	89
7.6.2.1	SysTick 制御およびステータスレジスタ	
7.6.2.2	SysTick リロード値レジスタ	
7.6.2.3	SysTick 現在値レジスタ	
7.6.2.4	SysTick 較正值レジスタ	
7.6.2.5	割り込み制御用レジスタ	
7.6.2.6	割り込みイネーブルクリアレジスタ	
7.6.2.7	割り込み保留セットレジスタ	
7.6.2.8	割り込み保留クリアレジスタ	
7.6.2.9	割り込み優先度レジスタ	
7.6.2.10	アプリケーション割り込みおよびリセット制御レジスタ	
7.6.2.11	システムハンドラ優先度レジスタ	
7.6.2.12	システムハンドラ制御および状態レジスタ	
7.6.3	INTIF(割り込み制御レジスタ).....	100
7.6.3.1	INTCTL(割り込み制御レジスタ、NMI、低消費電力モード解除用)	
7.6.3.2	RSTFLG(リセットフラグレジスタ)	
7.6.3.3	INTFLAG(割り込みモニタフラグレジスタ)	

第8章 μ DMA コントローラ (μ DMAC)

8.1	概要.....	115
8.1.1	機能一覧.....	115
8.2	ブロック図.....	116
8.3	レジスタ説明.....	117
8.3.1	レジスター一覧.....	117
8.3.2	DMAxStatus (DMAC Status Register).....	118
8.3.3	DMAxCfg (DMAC Configuration Register).....	119

8.3.4	DMAxCtrlBasePtr (Channel control data base pointer Register).....	120
8.3.5	DMAxAltCtrlBasePtr (Channel alternate control data base pointer Register).....	120
8.3.6	DMAxChnlSwRequest(Channel software request Register).....	121
8.3.7	DMAxChnlUseburstSet(Channel useburst set Register).....	122
8.3.8	DMAxChnlUseburstClr(Channel useburst clear Register).....	123
8.3.9	DMAxChnlReqMaskSet(Channel request mask set Register).....	124
8.3.10	DMAxChnlReqMaskClr(Channel request mask clear Register).....	125
8.3.11	DMAxChnlEnableSet(Channel enable set Register).....	126
8.3.12	DMAxChnlEnableClr(Channel enable clear Register).....	127
8.3.13	DMAxChnlPriAltSet(Channel primary-alternate set Register).....	128
8.3.14	DMAxChnlPriAltClr(Channel primary-alternate clear Register).....	129
8.3.15	DMAxChnlPrioritySet(Channel priority set Register).....	130
8.3.16	DMAxChnlPriorityClr(Channel priority clear Register).....	131
8.3.17	DMAxErrClr(Bus error clear Register).....	132
8.4	動作説明.....	133
8.4.1	チャネル制御データメモリマップ.....	133
8.4.2	チャネル制御データの構造.....	134
8.4.2.1	転送データ最終アドレス	
8.4.2.2	転送先の最終アドレス	
8.4.2.3	制御データ設定	
8.4.3	動作モード.....	136
8.4.3.1	無効	
8.4.3.2	基本モード	
8.4.3.3	自動要求モード	
8.4.3.4	ピンポンモード	
8.4.3.5	メモリスキャッターギャザーモード	
8.4.3.6	周辺スキャッターギャザーモード	
8.5	使用上の注意.....	143
8.5.1	SIO/UART、TMRB、ADC を使用する場合.....	143

第9章 入出力ポート

9.1	レジスタ説明.....	145
9.1.1	レジスタ一覧.....	146
9.1.2	ポート機能と設定一覧.....	147
9.1.2.1	PORT A	
9.1.2.2	PORT B	
9.1.2.3	PORT C	
9.1.2.4	PORT D	
9.1.2.5	PORT E	
9.1.2.6	PORT F	
9.1.2.7	PORT G	
9.1.2.8	PORT H	
9.1.2.9	PORT J	
9.1.3	ポート回路図.....	156
9.1.3.1	ポートタイプ一覧	
9.1.3.2	タイプ FT1	
9.1.3.3	タイプ FT4	
9.1.3.4	タイプ FT5	
9.1.3.5	タイプ FT6	

第10章 16ビットタイマ/イベントカウンタ(TMRB)

10.1	概要.....	161
10.2	構成.....	162
10.3	レジスタ説明.....	163
10.3.1	レジスタ一覧.....	163
10.3.2	TBxEN(イネーブルレジスタ).....	164
10.3.3	TBxRUN(RUN レジスタ).....	165
10.3.4	TBxCR(コントロールレジスタ).....	166
10.3.5	TBxMOD(モードレジスタ).....	167
10.3.6	TBxFFCR(フリップフロップコントロールレジスタ).....	169
10.3.7	TBxST(ステータスレジスタ).....	170

10.3.8	TBxIM(割り込みマスクレジスタ).....	171
10.3.9	TBxUC(アップカウンタキャプチャレジスタ).....	172
10.3.10	TBxRG0(タイマレジスタ 0).....	173
10.3.11	TBxRG1(タイマレジスタ 1).....	173
10.3.12	TBxCP0(キャプチャレジスタ 0).....	174
10.3.13	TBxCP1(キャプチャレジスタ 1).....	174
10.3.14	TBxDMA(DMA 要求許可レジスタ).....	175
10.4	動作説明	176
10.4.1	プリスケアラ.....	176
10.4.2	アップカウンタ(UC).....	176
10.4.2.1	ソースクロック	
10.4.2.2	動作開始と停止	
10.4.2.3	カウンタのクリア	
10.4.2.4	オーバーフロー	
10.4.3	タイマレジスタ(TBxRG0, TBxRG1).....	177
10.4.4	キャプチャ制御.....	177
10.4.5	キャプチャレジスタ(TBxCP0, TBxCP1).....	178
10.4.6	アップカウンタキャプチャレジスタ(TBxUC).....	178
10.4.7	コンパレータ(CP0, CP1).....	178
10.4.8	タイマフリップフロップ(TBxFF0).....	178
10.4.9	キャプチャ割り込み(INTTBxCAP0, INTTBxCAP1).....	178
10.4.10	DMA 要求.....	178
10.5	モード別動作説明	179
10.5.1	インタバルタイマモード.....	179
10.5.2	イベントカウンタモード.....	179
10.5.3	PPG (プログラマブル矩形波)出力モード.....	180
10.5.4	プログラマブル矩形波(PPG)外部トリガ出力モード.....	182
10.6	キャプチャ機能を利用した応用例	184
10.6.1	周波数測定.....	184
10.6.2	パルス幅測定.....	186

第 11 章 16 ビットタイマ A (TMR16A)

11.1	概要	189
11.2	構成	189
11.3	レジスタ説明	190
11.3.1	レジスタ一覧.....	190
11.3.2	レジスタ詳細.....	190
11.3.2.1	T16AxEN (イネーブルレジスタ)	
11.3.2.2	T16AxRUN (RUN レジスタ)	
11.3.2.3	T16AxCR (コントロールレジスタ)	
11.3.2.4	T16AxRG (タイマレジスタ)	
11.3.2.5	T16AxCP (キャプチャレジスタ)	
11.4	動作説明	194
11.4.1	タイマ動作.....	194
11.4.2	T16AxOUT の制御.....	194
11.4.3	リードキャプチャ.....	194
11.4.4	自動停止.....	195

第 12 章 高分解能 16 ビットタイマ (TMRD Ver.C)

12.1	概要	197
12.2	構成	198
12.2.1	タイマユニット.....	198
12.2.1.1	タイマユニットのブロック図	
12.3	レジスタ説明	200
12.3.1	レジスタ一覧.....	200
12.3.1.1	レジスタ一覧(TMRD)	
12.4	動作説明	218

12.4.1	プリスケークロック	218
12.4.2	タイマユニット(TMR0, TMR1).....	218
12.4.2.1	カウンタ(UCn).....	
12.4.2.2	コンパレータ(CPnm).....	
12.4.2.3	出力チャネル(CHn0, CHn1).....	
12.5	各動作モードの説明.....	223
12.5.1	16ビットプログラマブル矩形波出力(PPG).....	224
12.5.1.1	PPG モード.....	
12.5.1.2	連動 PPG モード.....	
12.5.1.3	コンペアレジスタの設定範囲.....	
12.5.2	各動作モードと割り込み.....	245

第13章 4 バイト FIFO 付きシリアルチャネル(SIO/UART)

13.1	概要.....	247
13.2	構成.....	248
13.3	レジスタ説明.....	249
13.3.1	レジスタ一覧.....	249
13.3.2	SCxEN (イネーブルレジスタ).....	250
13.3.3	SCxBUF (バッファレジスタ).....	251
13.3.4	SCxCR (コントロールレジスタ).....	252
13.3.5	SCxMOD0 (モードコントロールレジスタ 0).....	254
13.3.6	SCxMOD1 (モードコントロールレジスタ 1).....	255
13.3.7	SCxMOD2 (モードコントロールレジスタ 2).....	256
13.3.8	SCxBRCR (ボーレートジェネレータコントロールレジスタ).....	258
13.3.9	SCxBRADD (ボーレートジェネレータコントロールレジスタ 2).....	259
13.3.10	SCxFCNF (FIFO コンフィグレジスタ).....	260
13.3.11	SCxRFC (受信 FIFO コンフィグレジスタ).....	262
13.3.12	SCxTFC (送信 FIFO コンフィグレジスタ).....	263
13.3.13	SCxRST (受信 FIFO ステータスレジスタ).....	264
13.3.14	SCxTST (送信 FIFO ステータスレジスタ).....	265
13.3.15	SCxDMA (DMA 要求許可レジスタ).....	266
13.4	動作モード.....	267
13.5	データフォーマット.....	268
13.5.1	データフォーマット一覧.....	268
13.5.2	パリティ制御.....	269
13.5.2.1	送信.....	
13.5.2.2	受信.....	
13.5.3	STOP ビット長.....	269
13.6	クロック制御.....	270
13.6.1	プリスケーク.....	270
13.6.2	シリアルクロック生成回路.....	270
13.6.2.1	ボーレートジェネレータ.....	
13.6.2.2	クロック選択回路.....	
13.7	送信/受信バッファと FIFO.....	274
13.7.1	構成.....	274
13.7.2	送信/受信バッファ.....	274
13.7.3	送信バッファの初期化.....	275
13.7.4	FIFO.....	275
13.8	ステータスフラグ.....	276
13.9	エラーフラグ.....	276
13.9.1	OERR フラグ.....	276
13.9.2	PERR フラグ.....	277
13.9.3	FERR フラグ.....	277
13.10	受信.....	278
13.10.1	受信カウンタ.....	278
13.10.2	受信制御部.....	278
13.10.2.1	I/O インタフェースモードの場合.....	
13.10.2.2	UART モードの場合.....	
13.10.3	受信動作.....	278
13.10.3.1	受信バッファの動作.....	
13.10.3.2	受信 FIFO の動作.....	

13.10.3.3	I/O インタフェースモード、クロック出力モードでの受信	
13.10.3.4	受信データの読み出し	
13.10.3.5	ウェイクアップ機能	
13.10.3.6	オーバランエラー	
13.11	送信	282
13.11.1	送信カウンタ	282
13.11.2	送信制御部	282
13.11.2.1	I/O インタフェースモードの場合	
13.11.2.2	UART モードの場合	
13.11.3	送信動作	283
13.11.3.1	送信バッファの動作	
13.11.3.2	送信 FIFO の動作	
13.11.3.3	I/O インタフェースモード、クロック出力モードでの送信	
13.11.3.4	I/O インタフェースモード時の最終ビット出力後の SCxTXD 端子の状態	
13.11.3.5	アンダランエラー	
13.11.3.6	I/O インタフェースモード、クロック入力モードでのデータのホールド時間	
13.12	ハンドシェイク機能	287
13.13	割り込み/エラー発生タイミング	288
13.13.1	受信割り込み	288
13.13.1.1	シングルバッファ/ダブルバッファ構成の場合	
13.13.1.2	FIFO 使用の場合	
13.13.2	送信割り込み	289
13.13.2.1	シングルバッファ/ダブルバッファ構成の場合	
13.13.2.2	FIFO 使用の場合	
13.13.3	エラー発生	290
13.13.3.1	UART モード	
13.13.3.2	I/O インタフェースモード	
13.14	DMA 要求	291
13.15	ソフトウェアリセット	292
13.16	モード別動作説明	293
13.16.1	モード 0 (I/O インタフェースモード)	293
13.16.1.1	送信	
13.16.1.2	受信	
13.16.1.3	送受信(全 2 重)	
13.16.2	モード 1 (7 ビット UART モード)	304
13.16.3	モード 2 (8 ビット UART モード)	304
13.16.4	モード 3 (9 ビット UART モード)	305
13.16.4.1	ウェイクアップ機能	
13.16.4.2	プロトコル	

第 14 章 シリアルバスインタフェース(I2C)

14.1	概要	307
14.2	構成図	308
14.2.1	I2C バスモード	309
14.2.1.1	I2C バスモード時のデータフォーマット	
14.3	レジスタ説明	311
14.3.1	チャンネル別レジスタ一覧	311
14.3.2	I2CxCR1(コントロールレジスタ 1)	312
14.3.3	I2CxDBR(データバッファレジスタ)	314
14.3.4	I2CxAR(I2C バス第 1 アドレスレジスタ)	315
14.3.5	I2CxCR2(コントロールレジスタ 2)	316
14.3.6	I2CxSR(ステータスレジスタ)	317
14.3.7	I2CxPRS(プリスケラックロック設定レジスタ)	318
14.3.8	I2CxIE(割り込み許可レジスタ)	319
14.3.9	I2CxST(割り込みステータスレジスタ)	320
14.3.10	I2CxOP(拡張機能設定レジスタ)	321
14.3.11	I2CxPM(バス端子モニタ)	322
14.3.12	I2CxAR2(I2C 第 2 アドレスレジスタ)	322
14.3.13	I2CSWUPCR1(I2C WakeUp コントロールレジスタ 1)	323
14.3.14	I2CSWUPCR2(I2C WakeUp コントロールレジスタ 2)	323
14.3.15	I2CSWUPCR3(I2C WakeUp コントロールレジスタ 3)	324
14.3.16	I2CSWUPSL(I2C WakeUp ステータスレジスタ)	324

14.4 機能	325
14.4.1 スレーブアドレス一致検出、ジェネラルコール検出の選択.....	325
14.4.2 データ転送のクロック数とアクノリッジ有無の選択.....	325
14.4.3 シリアルクロック.....	327
14.4.3.1 クロックソース.....	
14.4.3.2 クロック同期化.....	
14.4.4 マスタ/スレーブの選択.....	330
14.4.5 トランスミッタ/レシーバの選択.....	330
14.4.6 スタート/ストップコンディションの発生.....	331
14.4.7 割り込みサービス要求と解除.....	333
14.4.8 I2C バスモード.....	334
14.4.9 ソフトウェアリセット.....	334
14.4.10 アービトレーションロスト検出モニタ.....	334
14.4.11 スレーブアドレス一致検出モニタ.....	337
14.4.12 ジェネラルコール検出モニタ.....	338
14.4.13 最終受信ビットモニタ.....	338
14.4.14 スレーブアドレスとアドレス認識モードの設定.....	339
14.4.15 ノイズキャンセル.....	339
14.4.16 反復スタート検出.....	340
14.4.17 DMA リクエスト出力制御.....	340
14.5 動作説明	341
14.5.1 I2C バスモード時のデータ転送手順.....	341
14.5.1.1 デバイスの初期化.....	
14.5.1.2 スタートコンディション、スレーブアドレスの発生.....	
14.5.1.3 1ワードのデータ転送.....	
14.5.1.4 ストップコンディションの発生.....	
14.5.1.5 反復スタートの手順.....	
14.5.1.6 DMA によるデータ転送.....	
14.6 I2C アドレス一致 Wake Up 機能	350
14.6.1 構成.....	350
14.6.2 動作.....	350
14.6.2.1 クロックストレッチ機能.....	
14.6.2.2 アドレス一致 WakeUp 機能の流れ.....	
14.6.2.3 タイミング.....	
14.6.2.4 動作・設定手順.....	

第 15 章 東芝シリアルペリフェラルインタフェース(TSPI)

15.1 概要	355
15.2 ブロック図	357
15.3 レジスタ説明	358
15.3.1 レジスタ一覧.....	358
15.3.2 TSPIxCR0 (TSPI 制御レジスタ 0).....	359
15.3.3 TSPIxCR1 (TSPI 制御レジスタ 1).....	360
15.3.4 TSPIxCR2 (TSPI 制御レジスタ 2).....	362
15.3.5 TSPIxCR3 (TSPI 制御レジスタ 3).....	364
15.3.6 TSPIxBR (TSPI ボーレートレジスタ).....	365
15.3.7 TSPIxFMTR0 (TSPI フォーマット制御レジスタ 0).....	366
15.3.8 TSPIxFMTR1 (TSPI フォーマット制御レジスタ 1).....	368
15.3.9 TSPIxDR (TSPI データレジスタ).....	369
15.3.10 TSPIxSR (TSPI ステータスレジスタ).....	370
15.3.11 TSPIxERR (TSPI エラーフラグレジスタ).....	373
15.4 動作説明	374
15.4.1 データフォーマット.....	374
15.4.1.1 パリティなしの場合のデータフォーマット.....	
15.4.1.2 パリティ有りの場合のデータフォーマット.....	
15.4.2 転送フォーマット.....	384
15.4.2.1 TSPIxCS 信号の極性と発生タイミング.....	
15.4.2.2 クロックの極性.....	
15.4.2.3 アイドル期間の TSPIxTXD 出力.....	
15.4.3 バッファ構成.....	388
15.4.3.1 データ長と FIFO 動作.....	
15.4.4 割り込み要求.....	391
15.4.4.1 送信完了割り込み/受信完了割り込み.....	

15.4.4.2	送信 FIFO 割り込み/受信 FIFO 割り込み	
15.4.4.3	エラー割り込み	
15.4.5	DMA 要求	394
15.4.6	転送モード	395
15.4.6.1	シングル転送	
15.4.6.2	バースト転送	
15.4.7	通信モード	395
15.4.7.1	SPI モード	
15.4.7.2	SIO モード	
15.4.8	マスタ/スレーブ選択	395
15.4.8.1	SPI モード時のスレーブデバイス動作	
15.4.8.2	SPI モード時のマスタデバイス動作	
15.4.8.3	SIO モード時のスレーブデバイス動作	
15.4.8.4	SIO モード時のマスタデバイス動作	
15.5	TSPI の制御	397
15.5.1	リセット	397
15.5.2	TSPI の初期設定	397
15.5.3	転送の開始と停止	397
15.6	通信動作モード	399
15.6.1	全 2 重通信モード	399
15.6.2	送信モード	400
15.6.3	受信モード	402

第 16 章 USB デバイスコントローラ (USBD)

16.1	システム概要	405
16.2	システム構成	406
16.2.1	AHB バスブリッジ (UDC2AB)	407
16.2.1.1	機能/特長	
16.2.1.2	構成	
16.2.1.3	Clock ドメイン	
16.2.2	東芝 USB-Spec2.0 デバイスコントローラ (UDC2)	412
16.2.2.1	機能/特徴	
16.2.2.2	各フラグ仕様	
16.2.2.3	EP に対して発行するコマンドの説明	
16.3	USB バスとの接続方法	420
16.4	レジスタ 説明	421
16.4.1	UDC2AB レジスタ	421
16.4.1.1	UDC2AB レジスタ一覧	
16.4.1.2	UDFSINTSTS (Interrupt Status Register)	
16.4.1.3	UDFSINTENB (Interrupt Enable Register)	
16.4.1.4	UDFSMWTOU (Master Write Timeout Register)	
16.4.1.5	UDFSC2STSET (UDC2 Setting Register)	
16.4.1.6	UDFSMSTSET (DMAC Setting Register)	
16.4.1.7	UDFSDMACRDREQ (DMAC Read Request Register)	
16.4.1.8	UDFSDMACRDVL (DMAC Read Value Register)	
16.4.1.9	UDFSUDC2RDREQ (UDC2 Read Request Register)	
16.4.1.10	UDFSUDC2RDVL (UDC2 Read Value Register)	
16.4.1.11	UDFSARBTSET (Arbiter Setting Register)	
16.4.1.12	UDFSMWSADR (Master Write Start Address Register)	
16.4.1.13	UDFSMWEADR (Master Write End Address Register)	
16.4.1.14	UDFSMWCADR (Master Write Current Address Register)	
16.4.1.15	UDFSMWAHBADR (Master Write AHB Address Register)	
16.4.1.16	UDFSMRSADR (Master Read Start Address Register)	
16.4.1.17	UDFSMREADR (Master Read End Address Register)	
16.4.1.18	UDFSMRCADR (Master Read Current Address Register)	
16.4.1.19	UDFSMRAHBADR (Master Read AHB Address Register)	
16.4.1.20	UDFSPWCTL (Power Detect Control Register)	
16.4.1.21	UDFSMSTSTS (Master Status Register)	
16.4.1.22	UDFSTOUTCNT (Timeout Count Register)	
16.4.2	UDC2 レジスタ	444
16.4.2.1	UDC2 レジスタ一覧	
16.4.2.2	UDC2 register へのアクセス方法	
16.4.2.3	UDFS2ADR (Address-State register)	
16.4.2.4	UDFS2FRM (Frame register)	
16.4.2.5	UDFS2CMD (Command register)	
16.4.2.6	UDFS2BRQ (bRequest-bmRequest Type register)	
16.4.2.7	UDFS2WVL (wValue register)	

16.4.2.8	UDFS2WIDX(wIndex register)	
16.4.2.9	UDFS2WLGTH(wLength register)	
16.4.2.10	UDFS2INT(INT register)	
16.4.2.11	UDFS2INTEP(INT_EP register)	
16.4.2.12	UDFS2INTEPMSK(INT_EP_MASK register)	
16.4.2.13	UDFS2INTRX0(INT_RX_DATA0 register)	
16.4.2.14	UDFS2INTNAK(INT_NAK register)	
16.4.2.15	UDFS2INTNAKMSK(INT_NAK_MASK register)	
16.4.2.16	UDFS2EP0MSZ(EP0_MaxPacketSize register)	
16.4.2.17	UDFS2EP0STS(EP0_Status register)	
16.4.2.18	UDFS2EP0DSZ(EP0_Datasize register)	
16.4.2.19	UDFS2EP0FIFO(EP0_FIFO register)	
16.4.2.20	UDFS2EPxMSZ(EPx_MaxPacketSizeRegister)	
16.4.2.21	UDFS2EPxSTS(EPx_Status register)	
16.4.2.22	UDFS2EPxDSZ(EPx_Datasize register)	
16.4.2.23	UDFS2EPxFIFO(EPx_FIFO register)	
16.5	UDC2AB 動作詳細	474
16.5.1	リセット	474
16.5.2	割り込み	475
16.5.2.1	INTUSB 割り込み	
16.5.2.2	INTUSBWKUP 割り込み	
16.5.3	動作シーケンス	477
16.5.4	マスタ転送動作	479
16.5.4.1	マスタリード転送	
16.5.4.2	マスタライト転送	
16.5.5	USB パワーマネージメント制御	484
16.5.5.1	パワーマネージメント制御信号接続図	
16.5.5.2	USB バス電源(VBUS)のコネクト/ディスコネクト時のシーケンス	
16.5.6	USB リセット	485
16.5.7	サスペンド、レジューム	486
16.5.7.1	サスペンド状態への移行	
16.5.7.2	サスペンド状態からの復帰(USB ホストからのレジューム)	
16.5.7.3	サスペンド状態からのレジューム(ディスコネクト)	
16.5.7.4	サスペンドからのリモートウェイクアップ	
16.6	USB Device 応答	494
16.7	各 EP の転送における制御フロー	496
16.7.1	EP0	496
16.7.1.1	Control-RD 転送	
16.7.1.2	Control-WR 転送(DATA-Stage なし)	
16.7.1.3	Control-WR 転送(DATA-Stage あり)	
16.7.1.4	INT_STATUS_NAK フラグの使用例	
16.7.1.5	スタンダードリクエスト受信時の処理	
16.7.2	EP0 以外の EP	510
16.8	サスペンドレジューム状態	511
16.8.1	サスペンド状態への移行	511
16.8.2	サスペンド状態からの復帰	511
16.8.2.1	ホストからのレジュームによる復帰	
16.8.2.2	UDC2 からのリモートウェイクアップ	
16.9	USB-Spec2.0 デバイスコントローラ Appendix	512
16.9.1	Appendix A システム・パワー・マネージメント関連	512
16.9.1.1	コネクト/ディスコネクト動作	
16.9.1.2	リセット動作	
16.9.1.3	サスペンド動作	
16.9.1.4	レジューム動作	
16.9.2	Appendix B MaxPacketSize 奇数バイト設定関連	518
16.9.2.1	UDFS2EPxMSZ の奇数設定について	
16.9.3	Appendix C Isochronous 転送関連	521
16.9.3.1	Isochronous 転送使用 EP へのアクセスの注意点	
16.9.3.2	Isochronous 転送使用 EP へのコマンド制約	

第 17 章 10 ビットアナログ/デジタルコンバータ(ADC)

17.1	概要	523
17.2	構成	523
17.3	レジスタ説明	525
17.3.1	レジスタ一覧	525

17.3.2	ADCLK (変換クロック設定レジスタ).....	526
17.3.3	ADMOD0 (モードコントロールレジスタ 0)	527
17.3.4	ADMOD1 (モードコントロールレジスタ 1).....	528
17.3.5	ADMOD2 (モードコントロールレジスタ 2)	529
17.3.6	ADMOD3 (AD モードコントロールレジスタ 3).....	531
17.3.7	ADMOD4 (モードコントロールレジスタ 4).....	532
17.3.8	ADMOD5 (AD モードコントロールレジスタ 5).....	533
17.3.9	ADMOD6 (AD モードコントロールレジスタ 6).....	534
17.3.10	ADREGn (変換結果レジスタ n: n = 0~11).....	535
17.3.11	ADREGSP (変換結果レジスタ SP).....	536
17.3.12	ADCMP0 (変換結果比較レジスタ 0).....	537
17.3.13	ADCMP1 (変換結果比較レジスタ 1).....	537
17.4	動作説明.....	538
17.4.1	アナログ基準電圧.....	538
17.4.2	AD 変換モード.....	538
17.4.2.1	通常 AD 変換	
17.4.2.2	最優先 AD 変換	
17.4.3	AD 監視機能.....	539
17.4.4	入力チャネルの選択.....	540
17.4.5	AD 変換動作詳細.....	540
17.4.5.1	AD 変換の起動	
17.4.5.2	AD 変換動作	
17.4.5.3	通常 AD 変換中の最優先変換要求	
17.4.5.4	リビート変換モードの停止	
17.4.5.5	通常 AD 変換の再起動	
17.4.5.6	変換終了	
17.4.5.7	割り込み発生タイミングと変換結果格納レジスタ	
17.4.5.8	DMA 要求	
17.4.5.9	AD コンバータ使用時の注意	

第 18 章 電圧検出回路(LVD)

18.1	構成.....	547
18.2	レジスタ説明.....	548
18.2.1	レジスタ一覧.....	548
18.2.2	LVDCR0 (検出制御レジスタ 0).....	549
18.2.3	LVDCR1 (検出制御レジスタ 1).....	550
18.3	動作説明.....	551
18.3.1	検出電圧の選択と電圧検出動作の許可.....	551
18.3.2	電源電圧の検出によるリセット.....	551
18.3.3	電源電圧の検出による割り込み.....	551
18.3.4	電源電圧の検出ステータス.....	551

第 19 章 ウォッチドッグタイマ(WDT)

19.1	構成.....	553
19.2	レジスタ.....	554
19.2.1	レジスタ一覧.....	554
19.2.1.1	WDMOD(ウォッチドッグタイマモードレジスタ)	
19.2.1.2	WDCR(ウォッチドッグタイマコントロールレジスタ)	
19.2.1.3	WDFLG(ウォッチドッグアクセスステータスレジスタ)	
19.3	動作説明.....	556
19.3.1	基本動作.....	556
19.3.2	動作モードと動作状態.....	556
19.3.3	暴走検出時の動作.....	556
19.3.3.1	INTWDT 割り込み発生の場合	
19.3.3.2	内部リセット発生の場合	
19.4	ウォッチドッグタイマの制御.....	557
19.4.1	レジスタアクセス.....	557
19.4.2	ディセーブル制御.....	557
19.4.3	イネーブル制御.....	557

19.4.4	ウォッチドッグタイマのクリア制御.....	558
19.4.5	ウォッチドッグタイマ検出時間の設定.....	558

第 20 章 フラッシュメモリ動作説明

20.1	フラッシュメモリの特長.....	559
20.1.1	メモリ容量と構成.....	559
20.1.2	機能.....	560
20.1.3	動作モード.....	560
20.1.3.1	モードの説明	
20.1.3.2	モードの決定	
20.1.4	メモリマップ.....	562
20.1.5	プロテクト/セキュリティ機能.....	563
20.1.5.1	プロテクト機能	
20.1.5.2	プロテクトビットマスク機能	
20.1.5.3	セキュリティ機能	
20.1.6	レジスタ.....	565
20.1.6.1	レジスター一覧	
20.1.6.2	FCSECBIT(セキュリティビットレジスタ)	
20.1.6.3	FCSR(フラッシュステータスレジスタ)	
20.1.6.4	FCPSRA(フラッシュプロテクトステータスレジスタ)	
20.1.6.5	FCPMRA(フラッシュプロテクトマスクレジスタ)	
20.2	フラッシュメモリ詳細.....	569
20.2.1	機能.....	569
20.2.2	フラッシュメモリの動作モード.....	569
20.2.3	ハードウェアリセット.....	570
20.2.4	コマンド実行方法.....	570
20.2.5	コマンド説明.....	571
20.2.5.1	自動ページプログラム	
20.2.5.2	自動チップ消去	
20.2.5.3	自動ブロック消去	
20.2.5.4	自動プロテクトビットプログラム	
20.2.5.5	自動プロテクトビット消去	
20.2.5.6	ID-Read	
20.2.5.7	Read コマンド、Read/リセットコマンド(ソフトウェアリセット)	
20.2.6	コマンドシーケンス.....	574
20.2.6.1	コマンドシーケンス一覧	
20.2.6.2	バスライトサイクル時のアドレスビット構成	
20.2.6.3	ブロックアドレス(BA)	
20.2.6.4	プロテクトビットの指定(PBA)	
20.2.6.5	ID-Read のコード(IA, ID)	
20.2.6.6	コマンドシーケンス例	
20.2.7	フローチャート.....	579
20.2.7.1	自動プログラム	
20.2.7.2	自動消去	
20.3	シングルブートモードによる書き替え方法.....	581
20.3.1	モード設定.....	581
20.3.2	インタフェース仕様.....	581
20.3.3	メモリの制約について.....	582
20.3.4	動作コマンド.....	583
20.3.4.1	RAM 転送	
20.3.4.2	フラッシュメモリチップ消去およびプロテクトビット消去	
20.3.5	コマンドによらず共通の動作.....	583
20.3.5.1	シリアル動作モード判定	
20.3.5.2	ACK 応答データ	
20.3.5.3	パスワード判定	
20.3.5.4	CHECK SUM の計算方法	
20.3.6	RAM 転送の転送フォーマット.....	590
20.3.7	フラッシュメモリチップ消去およびプロテクトビット消去の転送フォーマット.....	592
20.3.8	ブートプログラム全体フローチャート.....	594
20.3.9	内蔵 BOOT ROM の書き替えアルゴリズムを利用した書き替え手順.....	595
20.3.9.1	Step-1	
20.3.9.2	Step-2	
20.3.9.3	Step-3	
20.3.9.4	Step-4	
20.3.9.5	Step-5	
20.3.9.6	Step-6	

20.4 ユーザブートモードによる書き替え方法	598
20.4.1 (1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例.....	598
20.4.1.1 Step-1	
20.4.1.2 Step-2	
20.4.1.3 Step-3	
20.4.1.4 Step-4	
20.4.1.5 Step-5	
20.4.1.6 Step-6	
20.4.2 (1-B)書き替えルーチンを外部から転送する手順例.....	602
20.4.2.1 Step-1	
20.4.2.2 Step-2	
20.4.2.3 Step-3	
20.4.2.4 Step-4	
20.4.2.5 Step-5	
20.4.2.6 Step-6	

第 21 章 デバッグインタフェース

21.1 仕様概要	607
21.2 SWJ-DP	607
21.3 ホールトモード中の周辺機能	607
21.4 デバッグツールとの接続	608
21.4.1 接続方法.....	608
21.4.2 デバッグインタフェース端子を汎用ポートとして使用する際の注意.....	608

第 22 章 ポート等価回路図

22.1 ポート	610
22.2 アナログ端子	610
22.3 制御端子	611
22.4 クロック	611
22.5 テスト端子	611

第 23 章 電気的特性

23.1 絶対最大定格	613
23.2 DC 電気的特性 (1/2)	614
23.3 DC 電気的特性 (2/2)	616
23.4 10 ビット AD コンバータ変換特性	617
23.5 AC 電気的特性	618
23.5.1 シリアルチャネル (SIO/UART).....	618
23.5.1.1 AC 測定条件	
23.5.1.2 AC 電気的特性(I/O インタフェースモード)	
23.5.2 I2C インタフェース (I2C).....	620
23.5.2.1 AC 測定条件	
23.5.2.2 AC 電気的特性	
23.5.3 東芝シリアルペリフェラルインタフェース仕様 (TSPI).....	622
23.5.3.1 AC 測定条件	
23.5.4 USB タイミング (フルスピード)	623
23.5.5 16-bit タイマ/イベントカウンタ(TMRB).....	624
23.5.5.1 イベントカウンタ	
23.5.5.2 キャプチャ	
23.5.6 高分解能 16 ビットタイマ(TMRD) PPG 出力.....	625
23.5.6.1 AC 測定条件	
23.5.7 外部割り込み.....	626
23.5.7.1 AC 測定条件	
23.5.7.2 AC 電気的特性	



23.5.8	デバッグ通信.....	627
23.5.8.1	AC 測定条件.....	
23.5.8.2	SWD インタフェース.....	
23.5.9	内蔵発振回路特性.....	628
23.5.10	外部発振子.....	628
23.5.11	外部クロック入力.....	629
23.5.12	フラッシュ特性.....	629
23.5.13	ノイズフィルタ特性.....	629
23.6	発振回路.....	630
23.6.1	セラミック発振子.....	630
23.6.2	水晶発振子.....	630
23.6.3	プリント基板の設計に関する注意.....	630
23.7	取り扱い上のご注意.....	631
23.7.1	電源投入時の電源立ち上がりについて.....	631
23.7.2	動作中の電圧降下発生について.....	631
23.7.3	動作範囲内電圧変動について.....	631
23.7.4	起動時の電圧について.....	631

第 24 章 パッケージ寸法図

CMOS 32 ビット マイクロコントローラ

TMPM066FWUG TMPM067FWQG
TMPM068FWXBG

TMPM066/067/068FW は、Arm® 社 Cortex®-M0 コアを内蔵した 32 ビット RISC マイクロプロセッサです。

機能概要と特長は次のとおりです。

1.1 機能概要

1. Arm 社製 Cortex-M0 コアを使用

Cortex-M0 は Cortex-M シリーズの中で最も小さいコアでありながら以下の性能を実現します。

- コード効率を最大限に高めた Thumb®-2 命令セット
- 高性能化と低消費電力化を同時に実現

【高性能化】

- ・ 32 ビット乗算($32 \times 32 = 32$ ビット)を 1 クロックで実行

【低消費電力化】

- ・ 低消費電力ライブラリを使用した最適化設計
 - ・ プロセッサコアの動作を停止させるスタンバイ機能
- リアルタイム制御に向けた高速割り込み応答
 - ・ 実行時間の長い命令は割り込みで中断可能
 - ・ スタックへの PUSH をハードウェアで自動的に実行

2. エンディアン: リトルエンディアン

3. 内蔵プログラムメモリ/データメモリ

- ・ 内蔵 Flash ROM : 128 Kbyte
- ・ 内蔵 RAM : 16 Kbyte

4. DMA コントローラ(DMAC): 28 チャンネル/1 ユニット

- ・ 転送対象: 内蔵メモリ、周辺機能および外部メモリ

5. クロック制御(CG)

- ・ 外部よりクロックを入力/外部発振(8MHz~16MHz)
- ・ PLL を内蔵 (最大 12 通倍)
- ・ クロックギア機能: 高速クロックを 1/1, 1/2, 1/4, 1/8, 1/16 に分周可能

6. 低消費電力機能

- ・ IDLE, STOP1

7. 割り込み機能: 4 レベルの優先順位設定可能

- ・ 内部 24 本

- ・ 外部 6 本

8. 入出力ポート(PORT) :

	TMPM066FWUG	TMPM067FWQG	TMPM068FWXBG
入出力端子	48	32	40
入力端子	-	-	-
出力端子	-	-	-

9. 16 ビットタイマ(TMRB) : 8 チャンネル

- ・ 16 ビットインタバルタイマモード
- ・ 16 ビットイベントカウンタモード
- ・ 16 ビット PPG 出力(4 相同期出力可能)
- ・ インプットキャプチャ機能

10. 16 ビットタイマ(TMR16A) : 2 チャンネル

- ・ 16 ビットインタバルタイマ
- ・ 16 ビットタイマ出力(セット、クリア、反転)

11. 高分解能 16 ビットタイマ(TMRD) : 1 ユニット

- ・ タイマ出力 : 4 チャンネル
- ・ 最大 96MHz(10.4ns)の分解能が設定可能

12. ウォッチドッグタイマ(WDT) : 1 チャンネル

リセットまたはマスク不能割り込み(NMI)発生

13. シリアルチャネル(SIO/UART) : 2 チャンネル

- ・ UART / 同期式モード選択可能
- ・ 送信 FIFO : 8 ビット幅 4 段、受信 FIFO : 8 ビット幅 4 段

14. I²C バスインタフェース (I²C) : 2 チャンネル

- ・ 通信速度 100kbps / 400kbps/1000kbps(Ch1 のみ)
- ・ アドレス一致 Wakeup 機能(Ch1 のみ)

15. シリアルペリフェラルインタフェース(TSPI) : 1 チャンネル

- ・ SPI モードと SIO モードに対応
- ・ データ長を 8~32bit まで 1bit 単位で変更可能

16. USB2.0 フルスピードデバイス : 1 チャンネル

- ・ Universal Serial Bus Specification Rev2.0 に準拠
- ・ エンドポイント : 4 チャンネル
- ・ Control/Bulk/Interrupt/Isochronous モード
- ・ フルスピード 12Mbps (ロースピードは非サポート)

17. 10 ビット AD コンバータ(ADC) : 1 ユニット(8 チャンネル)

- ・ チャンネル固定/スキャンモード

- ・ シングル/リピートモード
- ・ リピート変換可能
- ・ AD 監視機能

18. LVD/POR 機能 : 1 ユニット

19. 最大動作周波数 : 24MHz

20. デバッグインタフェース

- ・ SWD に対応

21. 動作電圧範囲 : 1.8 ~ 3.6V

22. 温度範囲

- ・ -40°C ~ 85°C (Flash W/E 時以外)
- ・ 0°C ~ 70°C (Flash W/E 時)

23. パッケージ

品名	パッケージタイプ
TMPM066FWUG	LQFP64 (10mm x 10mm, 0.5mm ピッチ)
TMPM067FWQG	QFN48 (7mm x 7 mm, 0.5mm ピッチ)
TMPM068FWXBG	VFPGA57 (5mm x 5mm, 0.5mm ピッチ)

1.2 ブロック図

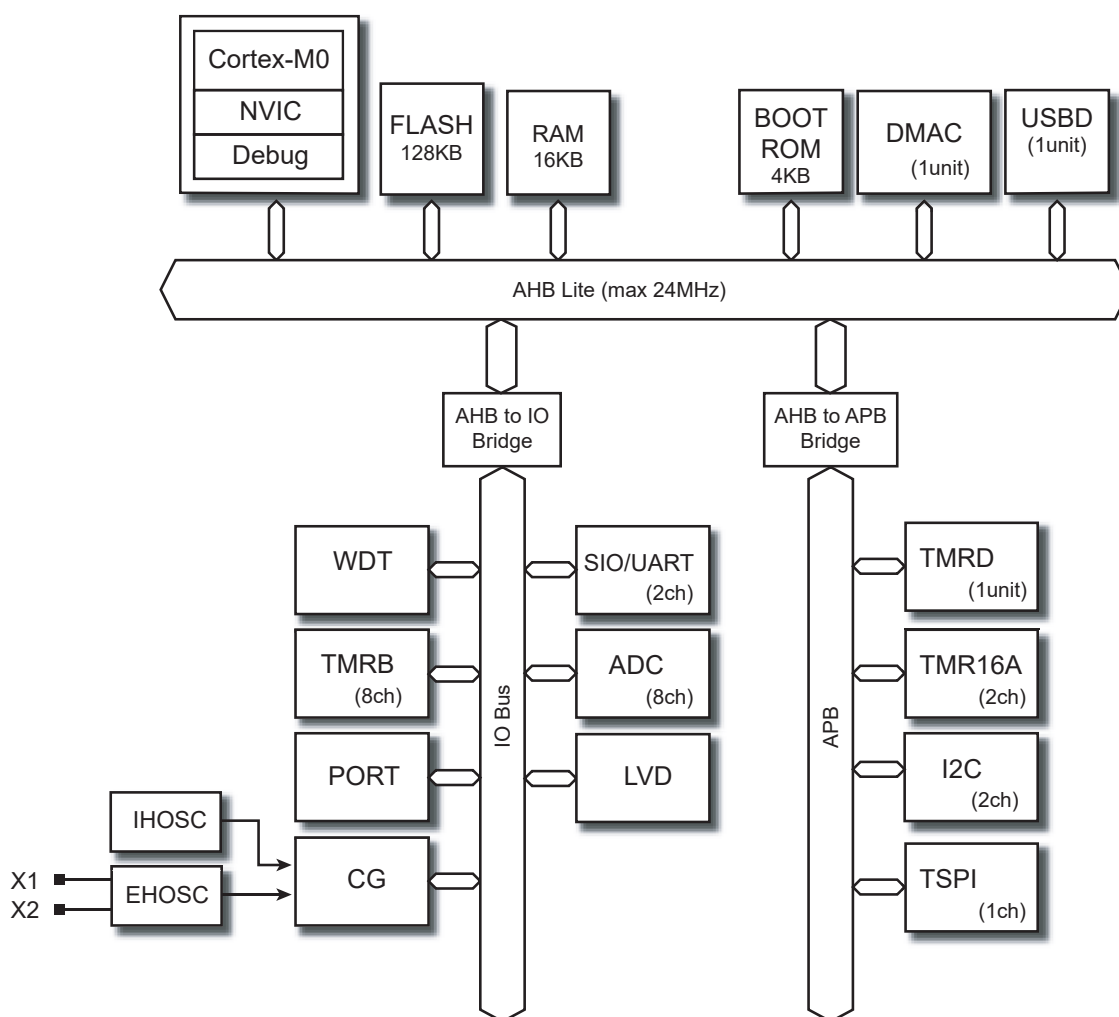


図 1-1 ブロック図

1.3 ピン配置図(Top view)

TMPM066FWUG,TMPM067FWQG,TMPM068FWXBG の各ピン配置図は、下記のとおりです。

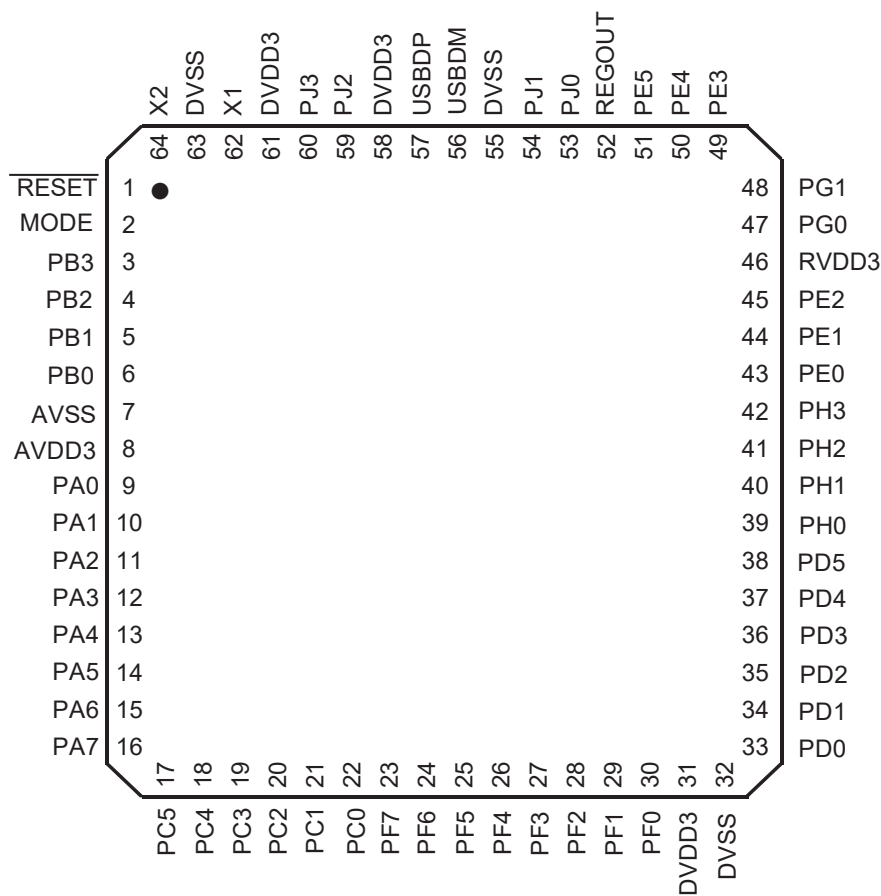


図 1-2 ピン配置図(LQFP64 TOP VIEW)

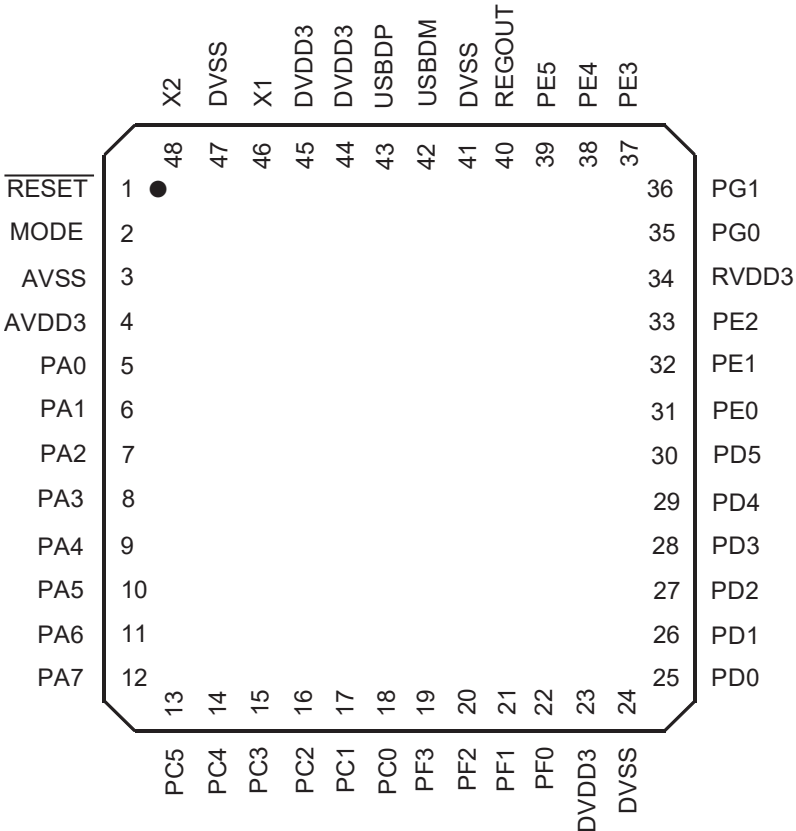


図 1-3 ピン配置図(QFN48 TOP VIEW)

	1	2	3	4	5	6	7	8	9
A	DVSS	X2	X1	DVDD3	USBDP	USBDM	DVSS	REGOUT	PE3
B	RESET_x	DVSS	MODE	DVDD3	PJ1	PJ0	PE5	PE4	PG1
C	PB0	PB1	AVSS					RVDD3	PG0
D	PA0	AVDD3						PE1	PE2
E	PA2	PA1						PE0	PH1
F	PA3	PA4						PD5	PH0
G	PA5	PA6						PD4	PD3
H	PA7	PC4	PC2	PF5	PF4	PF2	DVSS	PD2	PD1
J	PC5	PC3	PC1	PC0	PF3	PF1	PF0	DVDD3	PD0

図 1-4 ピン配置図(BGA57 TOP VIEW)

1.4 ピン名称と機能

1.4.1 機能端子名称と機能

1.4.1.1 周辺機能端子名称

表 1-1 各周辺機能と端子名称と機能

周辺機能	端子名称	Input or Output	機能
外部割り込み	INTx	Input	外部割り込み入力端子 x 外部割り込み入力端子 x はノイズフィルタ(フィルタ幅 typ. 30ns)をもち ます。
16 ビットタイマ (TMRB)	TBxIN	Input	インプットキャプチャ入力端子
	TBxOUT	Output	出力端子
16 ビットタイマ (TMR16A)	T16AxOUT	Output	出力端子
16 ビットタイマ(TMRD)	TDAxOUT x	Output	出力端子
シリアルチャネル(SIO/UART)	SCxTXD	Output	データ出力端子
	SCxRXD	Input	データ入力端子
	SCxSCLK	I/O	クロック入出力端子
シリアルチャネル(TSPI)	TSPICS	I/O	CS 端子(CSO : 出力、CSIN : 入力)
	TSPI TXD	Output	データ出力端子
	TSPI RXD	Input	データ入力端子
	TSPI CLK	I/O	クロック入出力端子
I2C バスインタフェース(I2C)	I2CxSDA	I/O	データ入出力端子
	I2CxSCL	I/O	クロック入出力端子
アナログデジタルコンバータ	AINx	Input	アナログ入力端子
UBS インタフェース(USBD)	USBDP	I/O	データ入出力端子
	USBDM	I/O	データ入出力端子

1.4.1.2 デバッグ端子名称

表 1-2 デバッグ端子名称と機能

デバッグ 端子名称	Input or Output	機能
SWDIO	I/O	シリアルワイヤデータ入出力端子
SWCLK	Input	シリアルワイヤクロック入力端子

1.4.1.3 制御端子名称

表 1-3 制御端子名称と機能

制御 端子名称	Input or Output	機能
X1	Input	高速発振子接続端子
X2	Output	高速発振子接続端子
MODE	Input	モード端子 必ず"Low"レベルに固定してください。
RESET	Input	リセット信号入力端子
BOOT	Input	BOOT モード制御用端子 リセット信号入力の立ち上がりで BOOT モード制御用端子がサンプリングされます。 BOOT モード制御用端子のレベルが"Low"の場合、シングルブートモードになります。"High"の場合、シングルチップモードになります。 詳細については、"フラッシュメモリ"章を参照してください。

1.4.1.4 電源端子名称

表 1-4 電源端子名称と機能

電源 端子名称	機能
REGOUT	レギュレータ用コンデンサ(1μF)接続端子
RVDD3	レギュレータ用電源端子
DVDD3	デジタル用電源端子
DVSS	デジタル用 GND 端子
AVDD3	ADC 用電源端子
AVSS	ADC 用 GND 端子

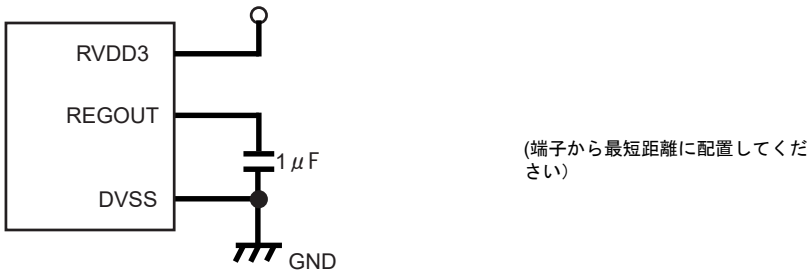


図 1-5 レギュレータ用コンデンサ接続図

1.4.2 ピン名称と機能

1.4.2.1 表の見方

表中の記号の意味は下記の通りです。

1. 機能 A

ファンクションレジスタ設定なしにポートに割り当てられる兼用機能が記載されています。

2. 機能 B

ファンクションレジスタ設定によりポートに割り当てられる兼用機能が記載されています。機能 B の番号はファンクションレジスタの番号と対応しています。

3. 端子仕様

記号の意味は下記のとおりです。

- ・ SMT/CMOS : 入力ゲート
 - SMT : Schmitt 入力
 - CMOS : CMOS 入力
- ・ OD : プログラマブル Open Drain 出力対応
 - Yes : 対応
 - N/A : 非対応
- ・ PU/PD: プログラマブル Pull-Up/Pull-Down 対応
 - PU : プログラマブル Pull-Up 選択可能
 - PD : プログラマブル Pull-Down 選択可能
- ・ 10mA: 10mA 電流ポート対応
 - Yes : 対応
 - N/A : 非対応

1.4.2.2 PORT / デバッグ端子

表 1-5 ピン番号と端子名称<PORT 順>

PinNo.			PORT	機能 A	機能 B					ポート仕様			
LQFP 64	QFN 48	BGA 57			1	2	3	4	5	PU/PD	OD	SMT/ CMOS	10mA
PORTA													
9	5	D1	PA0	AIN0						PU/PD	Yes	SMT	N/A
10	6	E2	PA1	AIN1						PU/PD	Yes	SMT	N/A
11	7	E1	PA2	AIN2						PU/PD	Yes	SMT	N/A
12	8	F1	PA3	AIN3						PU/PD	Yes	SMT	N/A
13	9	F2	PA4	AIN4						PU/PD	Yes	SMT	N/A
14	10	G1	PA5	AIN5 /INT1						PU/PD	Yes	SMT	N/A
15	11	G2	PA6	AIN6 /INT2						PU/PD	Yes	SMT	N/A
16	12	H1	PA7	AIN7	TB1IN					PU/PD	Yes	SMT	N/A

PinNo.			PORT	機能 A	機能 B					ポート仕様			
LQFP 64	QFN 48	BGA 57			1	2	3	4	5	PU/PD	OD	SMT/ CMOS	10mA
PORTB													
6	-	C1	PB0							PU/PD	Yes	SMT	N/A
5	-	C2	PB1							PU/PD	Yes	SMT	N/A
4	4	-	PB2							PU/PD	Yes	SMT	N/A
3	3	-	PB3							PU/PD	Yes	SMT	N/A

PinNo.			PORT	機能 A	機能 B					ポート仕様			
LQFP 64	QFN 48	BGA 57			1	2	3	4	5	PU/PD	OD	SMT/ CMOS	10mA
PORTC													
22	18	J4	PC0		I2C0 SCL					PU/PD	Yes	SMT	N/A
21	17	J3	PC1		I2C0 SDA					PU/PD	Yes	SMT	N/A
20	16	H3	PC2		SC0TXD					PU/PD	Yes	SMT	N/A
19	15	J2	PC3		SC0RXD					PU/PD	Yes	SMT	N/A
18	14	H2	PC4		SC0SCK					PU/PD	Yes	SMT	N/A
17	13	J1	PC5	VBUS / INT4	TB0IN					PU/PD	Yes	SMT	N/A

注) PC5: 5V 入力可

PinNo.			PORT	機能 A	機能 B					ポート仕様			
LQFP 64	QFN 48	BGA 57			1	2	3	4	5	PU/PD	OD	SMT/ CMOS	10mA
PORTD													
33	25	J9	PD0		T16A0 OUT	TDA0 OUT0				PU/PD	Yes	SMT	N/A
34	26	H9	PD1		TB0 OUT	TDA0 OUT1				PU/PD	Yes	SMT	N/A
35	27	H8	PD2		TB1 OUT	TDA1 OUTo				PU/PD	Yes	SMT	N/A
36	28	G9	PD3		TB2 OUT	TDA1 OUT1				PU/PD	Yes	SMT	N/A
37	29	G8	PD4		TB3IN					PU/PD	Yes	SMT	N/A
38	30	F8	PD5	INT0						PU/PD	Yes	SMT	N/A

PinNo.			PORT	機能 A	機能 B					ポート仕様			
LQFP 64	QFN 48	BGA 57			1	2	3	4	5	PU/PD	OD	SMT/ CMOS	10mA
PORTE													
43	31	E8	PE0		SC1SCK					PU/PD	Yes	SMT	N/A
44	32	D8	PE1		SC1RXD	TB2IN				PU/PD	Yes	SMT	N/A
45	33	D9	PE2		SC1TXD					PU/PD	Yes	SMT	N/A
49	37	A9	PE3	BOOT						PU/PD	Yes	SMT	N/A
50	38	B8	PE4		SWCLK					PU/PD	Yes	SMT	N/A
51	39	B7	PE5		SWDIO					PU/PD	Yes	SMT	N/A

PinNo.			PORT	機能 A	機能 B					ポート仕様			
LQFP 64	QFN 48	BGA 57			1	2	3	4	5	PU/PD	OD	SMT/ CMOS	10mA
PORTF													
30	22	J7	PF0	INT5	TSPI CSO	TSPI CSIN				PU/PD	Yes	SMT	Yes
29	21	J6	PF1	INT3	TSPI TXD					PU/PD	Yes	SMT	Yes
28	20	H6	PF2		TSPI RXD					PU/PD	Yes	SMT	Yes
27	19	J5	PF3		TSPI CLK					PU/PD	Yes	SMT	Yes
26	-	H5	PF4		TB3 OUT					PU/PD	Yes	SMT	N/A
25	-	H4	PF5		TB4 OUT					PU/PD	Yes	SMT	N/A
24	-	-	PF6							PU/PD	Yes	SMT	N/A
23	-	-	PF7							PU/PD	Yes	SMT	N/A

PinNo.			PORT	機能 A	機能 B					ポート仕様			
LQFP 64	QFN 48	BGA 57			1	2	3	4	5	PU/PD	OD	SMT/ CMOS	10mA
PORTG													
47	35	C9	PG0		I2C1 SCL					PU/PD	Yes	SMT	N/A
48	36	B9	PG1		I2C1 SDA					PU/PD	Yes	SMT	N/A

PinNo.			PORT	機能 A	機能 B					ポート仕様			
LQFP 64	QFN 48	BGA 57			1	2	3	4	5	PU/PD	OD	SMT/ CMOS	10mA
PORTH													
39	-	F9	PH0		TB4IN					PU/PD	Yes	SMT	N/A
40	-	E9	PH1		TB5IN					PU/PD	Yes	SMT	N/A
41	41	-	PH2		TB6IN					PU/PD	Yes	SMT	N/A
42	42	-	PH3		TB7IN					PU/PD	Yes	SMT	N/A

PinNo.			PORT	機能 A	機能 B					ポート仕様			
LQFP 64	QFN 48	BGA 57			1	2	3	4	5	PU/PD	OD	SMT/ CMOS	10mA
PORTJ													
53	-	B6	PJ0		TB5OUT					PU/PD	Yes	SMT	N/A
54	-	B5	PJ1		TB6OUT					PU/PD	Yes	SMT	N/A
59	-	-	PJ2							PU/PD	Yes	SMT	N/A
60	-	-	PJ3							PU/PD	Yes	SMT	N/A

1.4.2.3 USB &制御端子

表 1-6 ピン番号と端子名称

Pin No.			制御 端子名称
LQFP64	QFN48	BGA57	
62	46	A3	X1
64	48	A2	X2
1	1	B1	RESET
2	2	B3	MODE
49	37	A9	BOOT
57	43	A5	USBDP
56	42	A6	USBDM

1.4.2.4 電源端子

表 1-7 ピン番号と端子名称

Pin No.			電源 端子名称
LQFP64	QFN48	BGA57	
52	40	A8	REGOUT
46	34	C8	RVDD3
31,58,61	23,44,45	A4,B4,J8	DVDD3
32,55,63	24,41,47	A1,A7,B2,H7	DVSS
8	4	D2	AVDD3
7	3	C3	AVSS

第 2 章 製品情報

この章では、周辺機能に関し、チャンネルまたはユニット数、端子情報、その他の製品固有機能の情報についてまとめます。周辺機能の章と合わせてご使用ください。

- 「2.1.1 DMA コントローラ(DMAC)」
- 「2.1.2 16 ビットタイマ/イベントカウンタ(TMRB)」
- 「2.1.3 16 ビットタイマ A(TMR16A)」
- 「2.1.4 高分解能 16 ビットタイマ(TMRD)」
- 「2.1.5 シリアルチャンネル(SIO/UART)」
- 「2.1.6 I2C バス(I2C)」
- 「2.1.7 東芝シリアルペリフェラルインタフェース(TSPI)」
- 「2.1.8 アナログ/デジタルコンバータ(ADC)」
- 「2.1.9 USB デバイスコントローラ(USBD)」
- 「2.1.10 デバッグインタフェース」

2.1 各周辺機能の情報

2.1.1 DMA コントローラ(DMAC)

TMPM066/067/068FW では DMA コントローラを 1 ユニット内蔵しています。

2.1.1.1 要因一覧表

DMA コントローラの要因は下記のとおりです。

表 2-1 DMA 要求一覧

DMA ch 番号	対応するペリフェラル		DMA ch 番号	対応するペリフェラル	
	パースト	シングル		パースト	シングル
0	SIO/UART0 受信	－	16	TMRB ch6 コンペアー致	－
1	SIO/UART0 送信	－	17	TMRB ch7 コンペアー致	－
2	SIO/UART1 受信	－	18	TMRB ch0 キャプチャ入力 0	－
3	SIO/UART1 送信	－	19	TMRB ch1 キャプチャ入力 0	－
4	I2C ch0 受信	－	20	TMRB ch2 キャプチャ入力 0	－
5	I2C ch0 送信	－	21	TMRB ch3 キャプチャ入力 0	－
6	I2C ch1 受信	－	22	TMRB ch4 キャプチャ入力 0	－
7	I2C ch1 送信	－	23	TMRB ch5 キャプチャ入力 0	－
8	TSPI 受信	－	24	TMRB ch6 キャプチャ入力 0	－
9	TSPI 送信	－	25	TMRB ch7 キャプチャ入力 0	－
10	TMRB ch0 コンペアー致	－	26	－	－
11	TMRB ch1 コンペアー致	－	27	－	－
12	TMRB ch2 コンペアー致	－	28	－	－
13	TMRB ch3 コンペアー致	－	29	－	－
14	TMRB ch4 コンペアー致	－	30	AD 最優先変換終了	－
15	TMRB ch5 コンペアー致	－	31	AD 変換終了	－

2.1.2 16 ビットタイマ/イベントカウンタ(TMRB)

TMPM066/067/068FW では 8 チャンネルの TMRB を内蔵しています。

表 2-2 端子仕様

チャンネル	TBxOUT	TBxIN
TMRB0	PD1	PC5
TMRB1	PD2	PA7
TMRB2	PD3	PE1
TMRB3	PF4	PD4
TMRB4	PF5	PH0
TMRB5	PJ0	PH1
TMRB6	PJ1	PH2
TMRB7	-	PH3

表 2-3 同期スタート仕様

マスタチャンネル	スレーブチャンネル
TMRB0	TMRB1, TMRB2, TMRB3
TMRB4	TMRB5, TMRB6, TMRB7

表 2-4 キャプチャトリガ仕様

トリガ入力チャンネル	トリガ出力
TMRB0 TMRB1 TMRB2	TB6OUT
TMRB3 TMRB4 TMRB5	TB7OUT

2.1.3 16 ビットタイマ A(TMR16A)

TMPM066/067/068FW では 2 チャンネルの TMR16A を内蔵しています。

表 2-5 端子仕様

チャンネル	T16A0OUT
T16A0	PD0

2.1.4 高分解能 16 ビットタイマ(TMRD)

TMPM066/067/068FW では 1 チャンネルの TMRD を内蔵しています。

表 2-6 端子仕様

チャンネル	TMRD
TDAOUT0	PD0
TDAOUT1	PD1
TDAOUT2	PD2
TDAOUT3	PD3

2.1.4.1 TMRD へのクロック設定

本製品では、PLL が使用可能状態で、CG の FSYSENA<IPENA18>、EXTENDO<DCLKEN>が許可設定されている場合に TMRD を使用できます。

表 2-7 TMRD 供給クロック

fosc (MHz)	PLL 通倍数	TMRDCLK(MHz)
8	12	96(Max)
10	8	80
12	8	96(Max)
16	6	96(Max)
16 >	不可	不可

2.1.5 シリアルチャネル(SIO/UART)

TMPM066/067/068FW では2 チャネルの SIO を内蔵しています。

表 2-8 端子仕様

チャネル	SCxTXD	SCxRXD	SCxSCLK
SC0	PC2	PC3	PC4
SC1	PE2	PE1	PE0

表 2-9 転送クロック仕様

クロック入力チャネル	クロック出力
SC0	TB0OUT
SC1	TB1OUT

注) TMPM066/067/068FW はハンドシェイク機能(SCxCTS 端子)をサポートしていません。

2.1.6 I2C バス(I2C)

TMPM066/067/068FW では2 チャネルの I2C を内蔵しています。

表 2-10 端子仕様

チャネル	I2CxSDA	I2CxSCL	
I2C0	PC1	PC0	Wakeup 機能無し
I2C1	PG1	PG0	Wakeup 機能有り。FM + 対応

2.1.7 東芝シリアルペリフェラルインタフェース(TSPI)

TMPM066/067/068FW では1 チャネルの SPI を内蔵しています。

表 2-11 端子仕様

TSPI 端子	ポート
TSPICS0(CSO/CSIN)	PF0
TSPITXD	PF1
TSPIRXD	PF2
TSPICLK	PF3

2.1.8 アナログ/デジタルコンバータ(ADC)

TMPM066/067/068FW では1ユニットのADCを内蔵しています。

表 2-12 端子仕様

アナログ入力	AIN0 ~ 7
ポート	PA0 ~ 7

注) TMPM066/067/068FW のアナログ入力は AIN0 ~ AIN7 の 8 チャンネルです。

表 2-13 内部起動トリガ選択

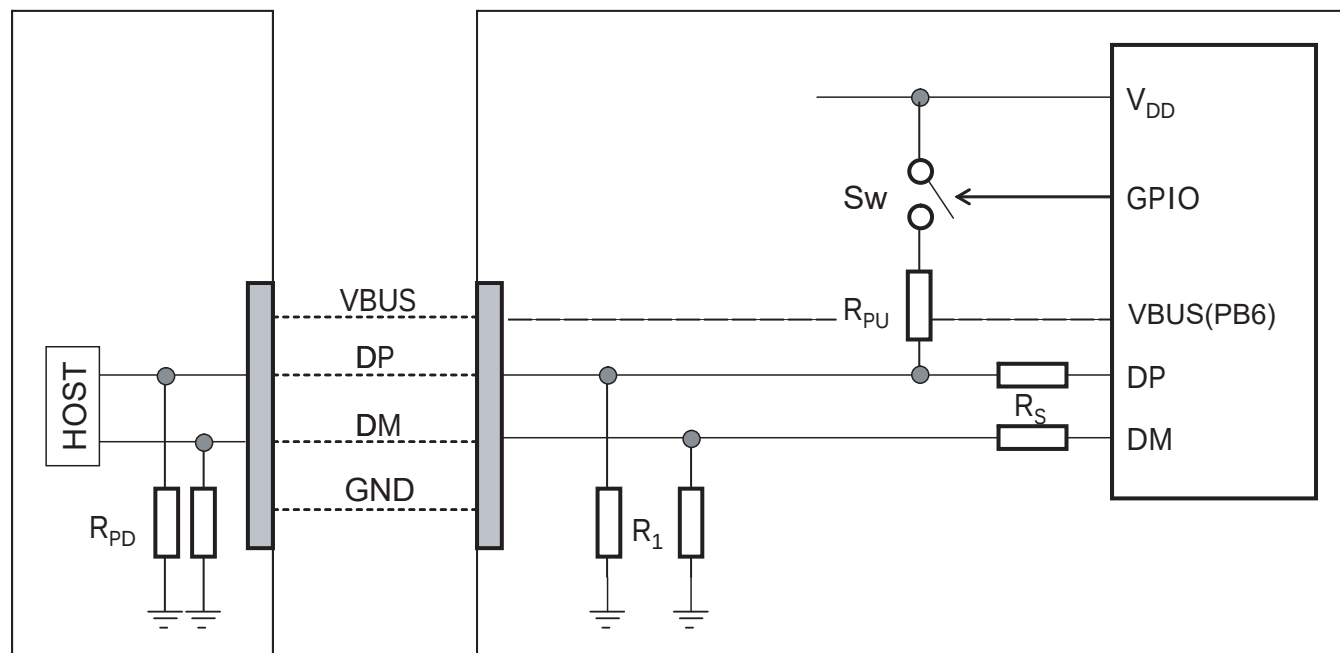
種類	内部トリガ
通常 AD 変換起動トリガ	TMRB ch0 のコンパレータ 0 一致
最優先 AD 変換起動トリガ	TMRB ch1 のコンパレータ 0 一致

2.1.9 USB デバイスコントローラ(USB D)

TMPM066/067/068FW の USB D には、5 つのエンドポイント(EP) があります。

2.1.9.1 参考回路

USB デバイス使用時の参考回路を下記に示します。



注 1) TMPM066/067/068FW では、DP のプルアップ処理、DP、DM の直列ダンピング抵抗挿入を必ず実施ください。

注 2) 推奨値 : $R_{pu}=1.5K\Omega$ 、 $R_s=33\Omega$

注 3) DP、DM の貫通電流対策(オプション) を行う場合は、 R_1 でプルダウン処理をお願いします。推奨値 : $R_1=500K\Omega$ 以上

注 4) DP に R_{pu} と R_1 を設置時には、電源-GND 間に定常的な電流が流れてしまいます。これを防ぐために、GPIO などによる R_{pu} の On/Off 制御を追加し、USB 未使用時は、Off にしてください。(オプション)

注 5) USB サスペンドの解除には、VBUS を使用してください(推奨)

注 6) USB 未使用時も注 3 の処理を推奨します。

2.1.10 デバッグインタフェース

TMPM066/067/068FW はシリアルワイヤデバッグポートをサポートしています。

表 2-14 端子仕様

I/F	SWDIO	SWCLK
シリアルワイヤ	PE5	PE4

第 3 章 プロセッサコア

TX00 シリーズには、高性能・低消費電力な 32 ビットプロセッサコア(Arm 社 Cortex-M0 コア)が内蔵されています。プロセッサコアの動作については、Arm 社からリリースされる"テクニカルリファレンスマニュアル(TRM)"を参照してください。ここでは、製品固有の情報について説明します。

3.1 コアに関する情報

TMPM066/067/068FW で使用している Cortex-M0 コアのリビジョンは以下のとおりです。

CPU コア部、アーキテクチャなどの詳細は、Arm 社の下記 URL より"Cortex-M series processors"のマニュアルを参照してください。

<http://infocenter.arm.com/help/index.jsp>

製品名	コアリビジョン
TMPM066/067/068FW	r0p0-03

3.2 構成可能なオプション

Cortex-M0 コアは、一部の機能について実装するかどうかを選択することができます。TMPM066/067/068FW での構成は以下のとおりです。

構成可能なオプション	実装
割り込み本数	32 本
エンディアン	リトルエンディアン
SysTick タイマ	あり
ウォッチポイントコンパレータ	2 本
ブレイクポイントコンパレータ	4 本
ホールドデバッグ	あり
乗算器	高速

注) 高速乗算器は、32bit×32bit の演算を 1 クロックで行い、結果の下位 32bit を生成します。

3.3 例外/割り込み

例外/割り込みに関連する製品固有の情報をまとめます。

3.3.1 割り込み本数

Cortex-M0 コアは割り込み本数を仕様に合わせて構成することができます。

TMPM066/067/068FW の割り込み本数は 32 本です。

3.3.2 SysTick

TMPM066/067/068FW には SysTick タイマを実装しています。

SysTick 例外の詳細については、例外の「SysTick」の章および、「NVIC レジスタ」の SysTick 関連レジスタの章を参照してください。

3.3.3 SYSRESETREQ

Cortex-M0 コアは、アプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>ビットがセットされると SYSRESETREQ 信号を出力します。

TMPM066/067/068FW では SYSRESETREQ 信号が出力されると他のリセット要因と同様の動作になります。

注) SLOW モードでは<SYSRESETREQ>によるリセットは使用しないでください。

3.3.4 LOCKUP

回復不能な例外が発生すると Cortex-M0 コアは LOCKUP 信号を出力し、ソフトウェアに重大な誤りのあることを示します。

TMPM066/067/068FW ではこの信号は未使用です。LOCKUP 状態から復帰する際にはマスク不能割り込み(NMI)またはリセットを使用する必要があります。

3.4 イベント

Cortex-M0 コアにはイベント出力信号とイベント入力信号があります。イベント出力信号は、SEV 命令実行により出力されます。また、イベントが入力されると WFE 命令による低電力状態から復帰します。

TMPM066/067/068FW では、イベント出力信号、イベント入力信号とも未使用です。SEV 命令、WFE 命令は使用しないでください。

3.5 電力管理

Cortex-M0 コアには電力管理のための信号として SLEEPING および SLEEPDEEP があります。SLEEPDEEP は、システム制御レジスタの<SLEEPDEEP>ビットがセットされている場合に出力されます。

これらの信号は、割り込み待ち(WFI)命令の実行、イベント待ち(WFE)命令の実行または、システム制御レジスタの<SLEEPONEXIT>ビットがセットされている場合の割り込みサービスルーチン(ISR)からの退出時に出力されます。

TMPM066/067/068FW では、SLEEPDEEP 信号は使用していません。<SLEEPDEEP>ビットはセットしないでください。また、イベント信号も未使用のため、WFE 命令は使用しないでください。

電力管理については、「クロック／モード制御」の章を参照してください。

第 4 章 メモリマップ

4.1 メモリマップ

TMPM066/067/068FW のメモリマップは、Arm Cortex-M0 コアのメモリマップに沿って作られており、内蔵 ROM 領域は Cortex-M0 コアメモリマップの Code 領域、内蔵 RAM 領域は SRAM 領域、特殊機能レジスタ(SFR)領域は Peripheral 領域に割り付けられています。特殊機能レジスタ(SFR : Special function register)とは、入出力ポートおよび周辺機能のコントロールレジスタを示します。

SRAM 領域、SFR 領域はすべてビットバンド領域に含まれています。(一部制限あり)

CPU 内レジスタ領域はコア内部のレジスタ領域です。

各領域の詳細については、"Cortex-M0 テクニカルリファレンスマニュアル"を参照してください。

"Fault"と記載された領域では、アクセスするとメモリフォールトが有効な場合にはメモリフォールト、無効な場合にはハードフォールトが発生します。また、ベンダ固有領域にはアクセスしないでください。

TMPM066/067/068FW のメモリマップを以下に示します。

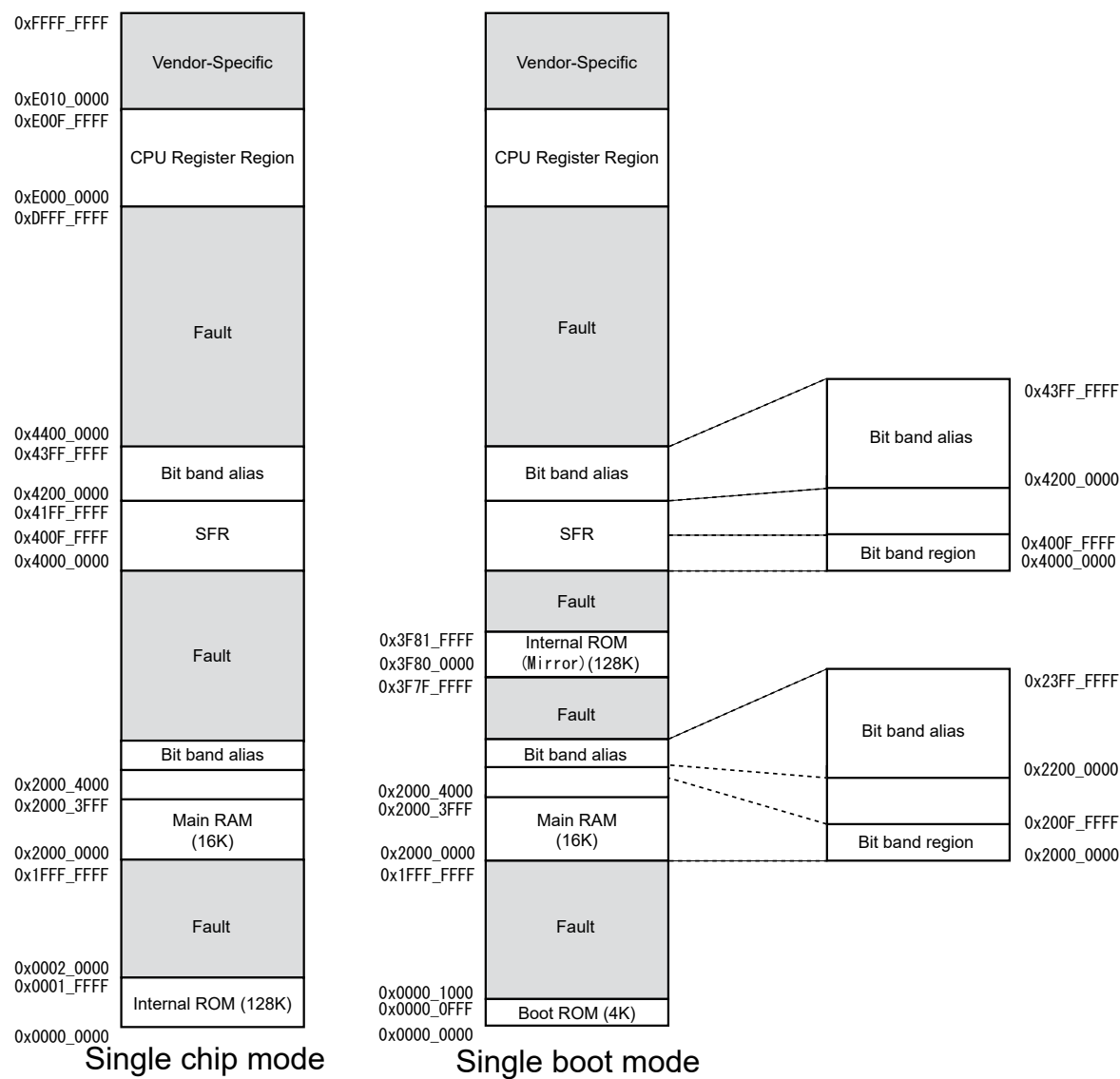


図 4-1 TMPM066/067/068FW メモリマップ

4.2 バスマトリクス

本マイコンでは、CPU コア、DMA コントローラ、USB デバイスの 3 種類のバスマスタが搭載されています。

バスマスタは、バスマトリクスのスレーブポート(S0~S2)に接続され、バスマトリクス内で、接続を示す記号()を経由して、マスタポート(M0~M9)から、周辺機能に接続されます。

バスマトリクス内の同一マスターライン上に、複数のスレーブが接続されている場合で、同一タイミングで複数のスレーブにアクセスが発生した場合は、スレーブ番号の小さいマスタのアクセスが優先されます。

4.2.1 構成

4.2.1.1 シングルチップモード,シングルブートモード

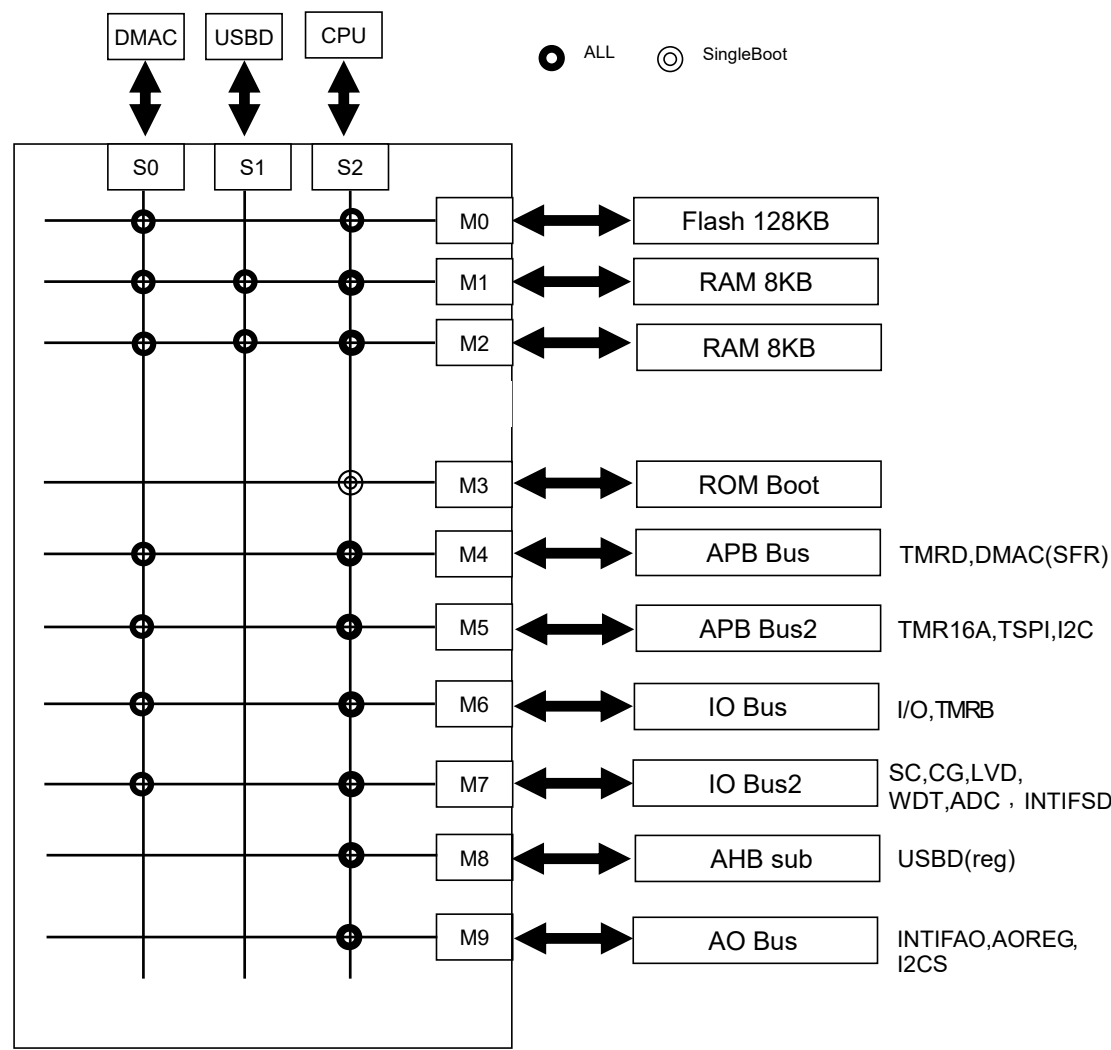


図 4-2 TMPM066/067/068FW

4.2.2 接続表

4.2.2.1 Code 領域/ SRAM 領域

(1) シングルチップモード

Start Address			DMAC	USBD	Core
			S0	S1	S2
0x0000_0000	Flash ROM	M0	o	Fault	o
0x0002_0000	Fault	-	Fault	Fault	Fault
0x2000_0000	Main RAM0	M1	o	o	o
0x2000_2000	Main RAM1	M2	o	o	o
0x2000_4000	Fault	-	Fault	Fault	Fault

(2) シングルブートモード

Start Address			DMAC	USBD	Core
			S0	S1	S2
0x0000_0000	BOOT ROM (mirror)	M3	Fault	Fault	o
0x0000_1000	Fault	-	Fault	Fault	Fault
0x2000_0000	Main RAM0	M1	o	o	o
0x2000_2000	Main RAM1	M2	o	o	o
0x2000_4000	Fault	-	Fault	Fault	Fault
0x3F80_0000	Flash ROM(mirror)	M0	o	Fault	o
0x3F82_0000	Fault	-	Fault	Fault	Fault

4.2.2.2 Peripheral 領域/ 外部バス領域

Start Address			DMAC	USBD	Core
			S0	S1	S2
0x4000_0000	Fault	-	Fault	Fault	Fault
0x4000_8000	USBD	M8	-	-	o
0x4000_9000	Fault	-	Fault	Fault	Fault
0x4003_8000	AOSFR(INTIFAO, AOREG,I2CS)(注 1)	M9	-	-	o
0x4003_8C00	Reserved	-	-	-	-
0x4004_C000	DMAC(uDMA)	M4	-	-	o
0x4005_8000	TMRD	M4	o	-	o
0x4008_D000	TMR16A	M5	o	-	o
0x4009_8000	TSPI	M5	o	-	o
0x4009_9000	Reserved	-	-	-	-
0x400A_0000	I2C	M5	o	-	o
0x400A_1000	Fault	-	Fault	Fault	Fault
0x400C_0000	PORT	M6	-	-	o
0x400C_0C00	Reserved	-	-	-	-
0x400C_4000	TMRB(ch0-7)	M6	o	-	o
0x400C_4800	Fault	-	Fault	Fault	Fault
0x400E_1000	SIO/UART(ch0-1)	M7	o	-	o
0x400E_1400	Reserved	-	-	-	-
0x400F_2000	WDT	M7	-	-	o
0x400F_2100	Reserved	-	-	-	-
0x400F_3000	CG	M7	-	-	o
0x400F_3600	Reserved	-	-	-	-
0x400F_4000	LVD	M7	-	-	o
0x400F_4E00	INTIFSD	M7	o	-	o
0x400F_5000	Reserved	-	-	-	-
0x400F_C000	ADC	M7	-	-	o
0x4010_0000	Reserved	-	-	-	-
0x41FF_F000	Flash(SFR)	M7	-	-	o
0x4400_0000	Fault	-	Fault	Fault	Fault

注 1) バイトアクセスのみ可。ビットバンドアクセス不可。

4.2.3 周辺機能ベースアドレス一覧

Peripheral 領域のうち、制御レジスタ以外のアドレスにはアクセスしないでください。制御レジスタの詳細は、各周辺機能の章を参照してください。

周辺機能		ベースアドレス
USBD		0x4000_8000
AOSFR (INTIFAO AOREG I2CS)	-	0x4003_8000
	-	0x4003_8400
	-	0x4003_8800
DMA コントローラ(DMAC)	-	0x4004_C000
16 ビットタイマ (TMRD)	-	0x4005_8000
16 ビットタイマ (TMR16A)	ch0	0x4008_D000
	ch1	0x4008_E000
TSPI	ch0	0x4009_8000
I2C	ch0	0x400A_0000
	ch1	0x400A_1000
入出力ポート	Port A	0x400C_0000
	Port B	0x400C_0100
	Port C	0x400C_0200
	Port D	0x400C_0300
	Port E	0x400C_0400
	Port F	0x400C_0500
	Port G	0x400C_0600
	Port H	0x400C_0700
16 ビットタイマ(TMRB)	Port J	0x400C_0800
	ch0	0x400C_4000
	ch1	0x400C_4100
	ch2	0x400C_4200
	ch3	0x400C_4300
	ch4	0x400C_4400
	ch5	0x400C_4500
	ch6	0x400C_4600
SC(SIO/UART)	ch7	0x400C_4700
	ch0	0x400E_1000
	ch1	0x400E_1100
ウォッチドッグタイマ(WDT)		0x400F_2000
クロック/モード制御(CG)		0x400F_3000
電圧検出回路(LVD)		0x400F_4000
INTIFSD		0x400F_4E00
ADC		0x400F_C000
SFR(FLASH)		0x41FF_FF00

第 5 章 リセット動作

リセットの種類として以下のものがあります。

- ・ パワーオンリセット
- ・ $\overline{\text{RESET}}$ 端子
- ・ 電圧検出回路(LVD)
- ・ ウォッチドッグタイマ(WDT)
- ・ アプリケーションおよびリセット制御レジスタ<SYSRESETREQ>

リセットの要因を確認するためには、RSTFLG を参照してください。リセットが発生すると RSTFLG のリセット要因に対応するビットがセットされます。詳細は例外の章を参照してください。

電圧検出回路によるリセットについては「電圧検出回路(LVD)」の章を参照してください。

ウォッチドッグタイマによるリセットについては「ウォッチドッグタイマ(WDT)」の章を参照してください。

<SYSRESETREQ>によるリセットについては"Cortex-M0 テクニカルリファレンスマニュアル"を参照してください。

注) リセット動作を行うと内蔵 RAM のデータは保持されません。

5.1 コールドリセット

5.1.1 $\overline{\text{RESET}}$ 端子を使用したコールドリセット

$\overline{\text{RESET}}$ 端子を使用する場合は、 $\overline{\text{RESET}}$ 端子を"Low"にした状態で電源を投入してください。

なお $\overline{\text{RESET}}$ 端子を使用した電源投入の際には、内蔵レギュレータの安定のための時間を考慮する必要があります。本製品では、内蔵レギュレータ安定のための時間として約 1.0ms が必要です。内蔵レギュレータが安定するための十分な時間 $\overline{\text{RESET}}$ 端子に"Low"を入力する必要があります。

内部リセット信号が解除されるまでの時間は、 $\overline{\text{RESET}}$ 端子が"High"になってから約 0.8ms 後です。

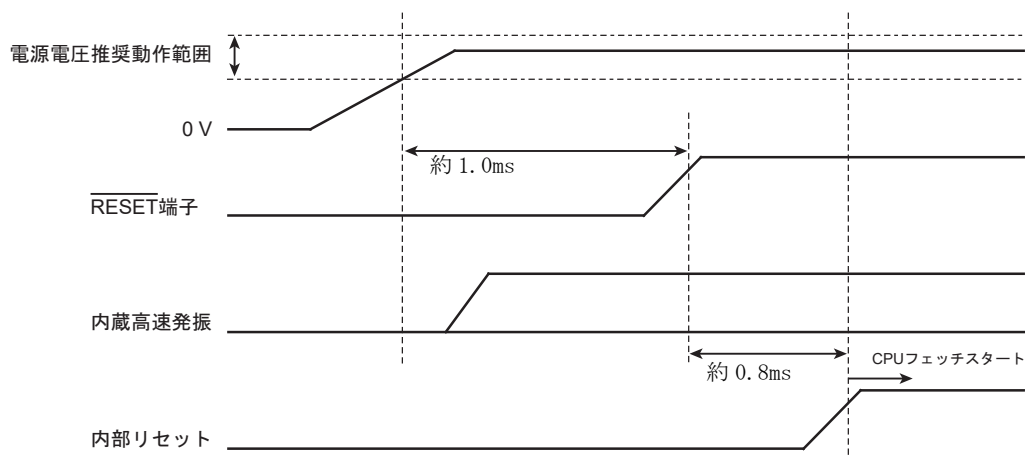


図 5-1 $\overline{\text{RESET}}$ 端子使用時のコールドリセットシーケンス

注) 再電源投入時は、必ず上記シーケンスで行ってください。

5.1.2 パワーオンリセットを使用したコールドリセット

パワーオンリセットを使用する場合、電源電圧の立ち上がりには制約があります。

電源電圧がパワーオンリセット解除電圧を越えてから、動作電圧範囲に到達するまで約 1.0ms 以内に電源電圧を立ち上げてください。

電源電圧がパワーオンリセット解除電圧を越えてから内部リセットが解除されるまでの時間は、約 1.8ms 後です。

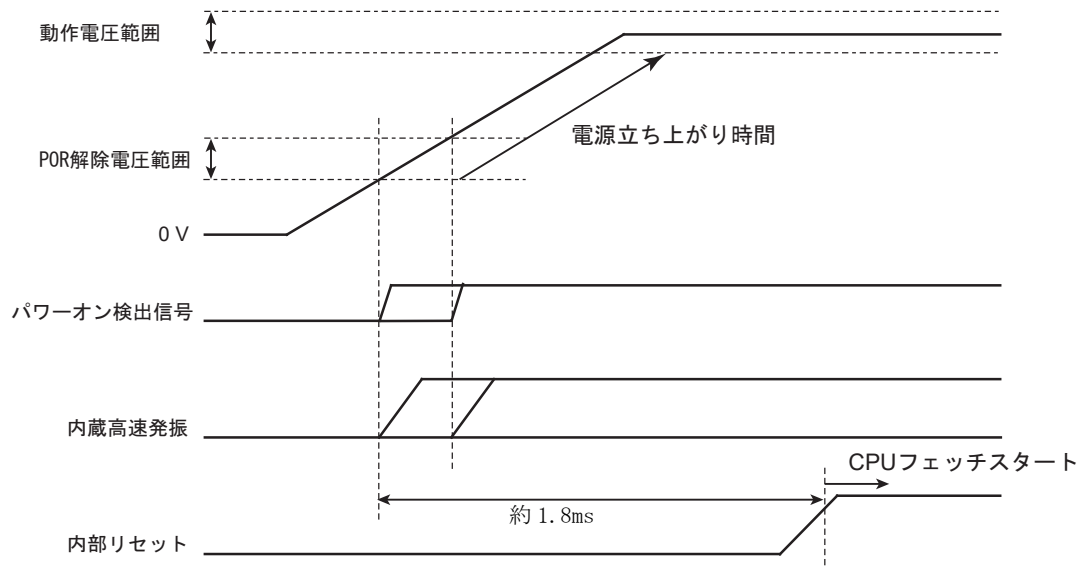


図 5-2 パワーオンリセット使用時のコールドリセットシーケンス

注) 再電源投入時は、必ず上記シーケンスで行ってください。

5.2 ウォームリセット

TMPM066/067/068FW にウォームリセットをかけるには、電源電圧が推奨動作範囲内で $\overline{\text{RESET}}$ 端子を少なくとも内部高周波発振 12 クロック間、"Low"にしてください。 $\overline{\text{RESET}}$ 端子が "High" になってから約 0.8ms 後に内部リセットが解除されます。

WDT および <SYSRESETREQ> によるリセットでは、高周波発振約 30 クロックで内部リセットが解除されます。

5.3 リセット解除後

ウォームリセットにより、ほとんどのコアの制御レジスタや周辺機能の制御レジスタ(SFR)は初期化されます。

コア内部のシステムデバッグコンポーネント(FPB, DWT, ITM)レジスタおよび FLASH 関連レジスタの FCSECBIT レジスタはコールドリセットでのみ初期化されます。

リセット解除後、内蔵高速発振器のクロックで動作を開始します。必要に応じて外部クロック、PLL 逡倍回路の設定を行ってください。

第 6 章 クロック/モード制御

この章では、クロックの制御および動作モードとモード遷移について説明します。

6.1 特長

クロック/モード制御ブロックでは、クロックギアやプリスケータクロックの選択、PLL(通倍回路)や発振器のウォーミングアップなどを設定することが可能です。

また、動作モードとして **NORMAL** モードと低消費電力モードがあり、使用方法に応じてモード遷移を行うことで電力の消費を抑えることができます。

クロックに関連する機能としては以下のようなものがあります。

- ・ システムクロックの制御
- ・ プリスケータクロックの制御
- ・ クロック通倍回路 (PLL) の制御

6.2 レジスタ説明

6.2.1 レジスタ一覧

CG 関連のレジスタとアドレスを以下に示します。

クロック/モード制御

Address =400F_3000

レジスタ名		Address(Base+)
プロテクトレジスタ	CGPROTECT	0x0000
発振制御レジスタ	CGOSCCR	0x0004
システムクロック制御レジスタ	CGSYSCR	0x0008
スタンバイ制御レジスタ	CGSTBYCR	0x000C
fsys 用 PLL セレクトレジスタ	CGPLL0SEL	0x0020
高速発振ウォーミングアップレジスタ	CGWUPHCR	0x0030
fsys 供給停止レジスタ A	CGFSYSENA	0x0050
fsys 供給停止レジスタ B	CGFSYSENB	0x0054
ADC Clock 供給レジスタ	CGSPCLKEN	0x005C
拡張機能設定レジスタ	CGEXTENDO0	0x0060

6.2.2 CGPROTECT(ライトプロテクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PROTECT							
リセット後	1	1	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	PROTECT	R/W	CGRST レジスタライトプロテクト(本レジスタ以外の全て) 0xC1 : レジスタのライト許可 0xC1 以外 : レジスタのライト禁止

6.2.3 CGOSCCR(発振制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	OSCF	OSCSEL
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	EOSCEN		IOSCEN
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-10	-	R	リードすると"0"が読めます。
9	OSCF	R	fosc 用高速発振器選択ステータス 0: 内蔵高速発振器(IHOSC) 1: 外部高速発振器(EHOSC)
8	OSCSEL	R/W	fosc 用高速発振器選択(注 1) 0: 内蔵高速発振器(IHOSC) 1: 外部高速発振器(EHOSC)
7-3	-	R	リードすると"0"が読めます。
2-1	EOSCEN[1:0]	R/W	外部高速発振器の動作選択(EHOSC) (注 2) 00: 外部発振未使用 01: 外部高速発振(EHOSC) 10: 外部クロック入力 11: Reserved
0	IOSCEN	R/W	内蔵高速発振器(IHOSC) 0: 停止 1: 発振

注 1) 設定変更した場合、書き込んだ値が CGOSCCR<OSCF>ビットに、反映されていることを確認してから次の操作を行ってください。

注 2) 外部高速クロック(発振子接続)を使用する場合は必ず"01"を設定してください。

6.2.4 CGSYSCR(システムクロック制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	PRCKST			
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	GEARST		
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	PRCK		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	GEAR		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-28	—	R	リードすると"0"が読めます。
27-24	PRCKST[3:0]	R	プリスケラックロック(φT0)選択選択ステータス 0000: fc 0100: fc/16 1000: fc/256 0001: fc/2 0101: fc/32 1001: fc/512 0010: fc/4 0110: fc/64 1011 - 1111: Reserved 0011: fc/8 0111: fc/128
23-19	—	R	リードすると"0"が読めます。
18-16	GEARST[2:0]	R	システムクロック(fsys)のギア選択ステータス 000: fc 100: fc/16 001: fc/2 101 - 111: Reserved 010: fc/4 011: fc/8
15-12	—	R	リードすると"0"が読めます。
11-8	PRCK[3:0]	R/W	プリスケラックロック(φT0)選択 0000: fc 0100: fc/16 1000: fc/256 0001: fc/2 0101: fc/32 1001: fc/512 0010: fc/4 0110: fc/64 1010 - 1111: Reserved 0011: fc/8 0111: fc/128 周辺機能に供給するプリスケラックロックを選択します。
7-3	—	R	リードすると"0"が読めます。
2-0	GEAR[2:0]	R/W	システムクロック(fsys)のギア選択 000: fc 100: fc/16 001: fc/2 101 - 111: Reserved 010: fc/4 011: fc/8

6.2.5 CGSTBYCR(スタンバイコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	STBY	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1-0	STBY[1:0]	R/W	低消費電力モード選定 00: IDLE 01: STOP1 10: Reserved (注) 11: Reserved (注)

注) Reserved は設定禁止です

6.2.6 CGPLL0SEL(fsyst 用 PLL セレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	PLL0SET							
リセット後	1	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PLL0SET							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PLL0SET							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PLL0ST	PLL0SEL	PLL0ON
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	PLL0SET	R/W	PLL 通倍設定
7-3	-	R	リードすると"0"が読めます。
2	PLL0ST	R	fsyst 用 PLL 選択ステータス 0: fosc 1: fPLL
1	PLL0SEL	R/W	fsyst 用 Clock 選択 0: fosc 1: fPLL
0	PLL0ON	R/W	fsyst 用 PLL 動作 0: 停止 1: 発振

6.2.7 CGWUPHCR(高速発振ウォーミングアップレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	WUPT							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	WUPT				-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	WUCLK
リセット後	0	0	0	0	1	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	WUEF	WUON
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	WUPT[11:0]	R/W	ウォーミングアップタイマの計算値 16 ビットの上位 12 ビットの値を設定します(注 3)
19-9	-	R	リードすると"0"が読めます。
8	WUCLK	R/W	ウォーミングアップクロック選択(注 2) 0:内蔵高速発振器(IHOSC) 1: 外部高速発振器(EHOSC)
7-2	-	R	リードすると"0"が読めます。
1	WUEF	R	ウォーミングアップタイムステータス(注 1) 0:ウォーミングアップ終了 1:ウォーミングアップ中
0	WUON	W	ウォーミングアップタイマ制御 0: don't care 1: ウォーミングアップスタート

注 1) ウォーミングアップ中(WUEF=1) は、レジスタの書き換え禁止です。設定は WUEF=0 時に行ってください。
注 2) STOP1 復帰時のウォーミングアップは、内蔵発振器で行ってください。外部発振器を選んで STOP1 へ入れることは禁止です。
注 3) ウォーミングアップ時間は、下記で算出してください

ウォーミングアップ時間=(<WUPT[15:0]> +0x10) x クロック周期)

*** WUPT[3:0]=0x0 固定です。

(例)

- 内蔵高速発振器 10MHz で、<WUPT[15:0]> = 0x2700 とした場合。

ウォーミングアップ時間= (0x2700 + 0x10) x (1/10 MHz)
= 0x2710 x 100 ns
= 10000 x 100 ns
= 1.0 ms

- 外部高速発振器 16MHz で、<WUPT[15:0]> = 0x3E70 とした場合。

ウォーミングアップ時間= (0x 3E70 + 0x10) x (1/16 MHz)
= 0x3E80 x 62.5 ns
= 16000 x 62.5 ns

= 1.0 ms

6.2.8 CGFSYSENA(fsyst 供給停止レジスタ A)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	IPENA18	IPENA17	IPENA16
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	IPENA15	IPENA14-	IPENA13	IPENA12	IPENA11	IPENA10	IPENA09	IPENA08
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	IPENA07	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	-	R/W	"0"を書いてください。
18	IPENA18	R/W	TMRD のクロックイネーブル 0: クロック停止 1: クロック供給
17	IPENA17	R/W	USBD のクロックイネーブル 0: クロック停止 1: クロック供給
16	IPENA16	R/W	ADC のクロックイネーブル 0: クロック停止 1: クロック供給
15	IPENA15	R/W	DMAC のクロックイネーブル 0: クロック停止 1: クロック供給
14	IPENA14	R/W	TSPI のクロックイネーブル 0: クロック停止 1: クロック供給
13	IPENA13	R/W	SIO ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
12	IPENA12	R/W	I2C ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
11	IPENA11	R/W	TMR16A(ch4 - 6)のクロックイネーブル 0: クロック停止 1: クロック供給
10	IPENA10	R/W	TMRB(ch4 - ch6)のクロックイネーブル 0: クロック停止 1: クロック供給
9	IPENA09	R/W	TMRB(ch0 - ch3)のクロックイネーブル 0: クロック停止 1: クロック供給
8	IPENA08	R/W	PORT J のクロックイネーブル 0: クロック停止 1: クロック供給
7	IPENA07	R/W	PORT H のクロックイネーブル 0: クロック停止 1: クロック供給

Bit	Bit Symbol	Type	機能
6-0	–	R/W	"0"を書いてください。

注) レジスタの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

6.2.9 CGFSYSENB(fsys 供給停止レジスタ B)

	31	30	29	28	27	26	25	24
bit symbol	IPENB31	IPENB30	IPENB29	IPENB28	-	-	-	-
リセット後	1	1	1	1	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	IPENB31	R/W	I2C ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
30	IPENB30	R/W	WDT のクロックイネーブル 0: クロック停止 1: クロック供給
29	IPENB29	R/W	SIO ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
28	IPENB28	R/W	TMRB ch7 のクロックイネーブル 0: クロック停止 1: クロック供給
27-0	-	R/W	"0"を書いてください。

注) レジスタの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

6.2.10 CGSPCLKEN(ADC Clock 供給レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	ADCKEN
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-17	-	R	リードすると"0"が読めます。
16	ADCKEN	R/W	ADC へのクロック (fc) イネーブル 0: クロック停止 1: クロック供給
15-1	-	R	リードすると"0"が読めます。
0	-	R/W	"0"を書いてください。

6.2.11 CGEXTENDO0(拡張機能設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	DCLKEN	EHCLKSEL	-	-	USBSEL	USBENA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	-	R/W	"0"を書いてください。
5	DCLKEN	R/W	TMRD への f PLL クロック供給 0: 停止 1: 供給
4	EHCLKSEL	R/W	EHCLK の選択機能(fc=fsys(Max=24MHz)のため) 0: 1/1 Clock(8~24MHz 時) 1: 1/2 Clcok(48MHz 時)
3-2	-	R/W	"0"を書いてください。
1	USBSEL	R/W	USB Clock 選択 0: PLL 通倍(48MHz) 1: X1 入力(外部 48MHz)
0	USBENA	R/W	USB Clock 許可 0: USB Clock 停止 1: USB Clock 供給

6.3 クロック制御

6.3.1 クロックの種類

クロックの一覧を以下に示します。

fosc	: 内部発振回路で生成されるクロック、X1、X2 端子より入力されるクロック
f _{PLL}	: PLL により通倍されたクロック
fc	: CGOSCCR<OSCSEL>で選択されたクロック(高速クロック)
fsys	: CGSYSCR<GEAR[2:0]>で選択されたシステムクロック
φT0	: CGSYSCR<PRCK[3:0]>で選択されたクロック (プリスケアラクロック)

6.3.2 リセット動作による初期値

リセット動作により、クロックの設定は下記のような状態に初期化されます。

外部高速発振器	: 停止
内蔵高速発振器	: 発振
PLL (通倍回路)	: 停止
ギアクロック	: fc (分周なし)

6.3.3 クロック系統図

クロック系統図を図 6-1 に示します。

セクタに入力されるクロックのうち、矢印つきのものがリセット後の初期状態として選択されます。

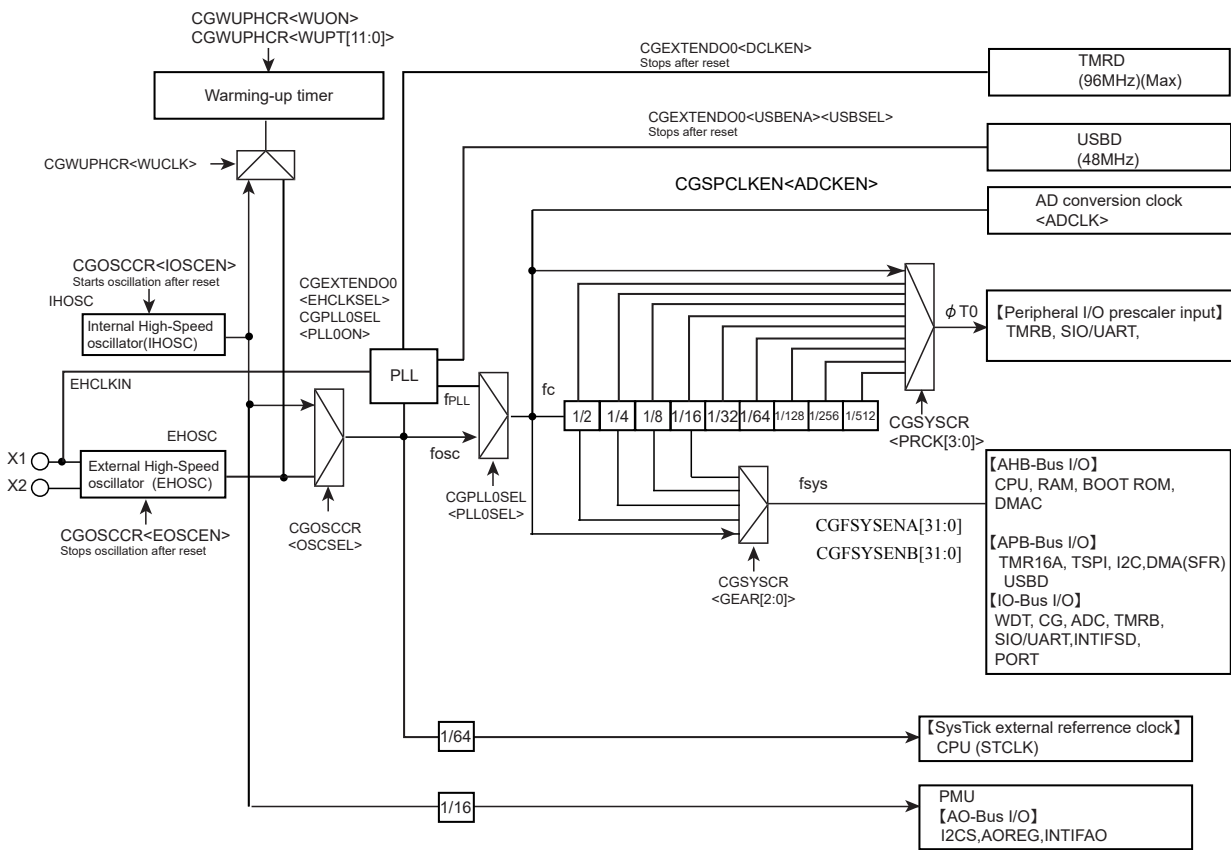


図 6-1 クロック系統図

注) 内蔵高速発振(IHOSC)は PLL で通倍して使用することはできません。

6.3.4 fsys 用クロック逡倍回路(PLL)

高速発振器の出力クロック f_{osc} の周波数(8MHz ~ 16MHz)に最適な条件で逡倍(最大 12 逡倍)した f_{PLL} クロック(最大 96MHz)を出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

6.3.4.1 動作開始

PLL はリセット解除後、ディセーブル状態です。

PLL を使用するためには、CGPLL0SEL<PLL0ON>が"0"の状態に CGPLL0SEL<PLL0SET>の逡倍値の設定を行った後、PLL の初期化時間として約 100 μ s 経過後に、<PLL0ON>を"1"に設定して PLL の動作を開始します。その後、ロックアップ時間約 100 μ s 経過後に、CGPLL0SEL<PLL0SEL>を"1"に設定することにより、 f_{osc} を 6 逡倍、8 逡倍または 12 逡倍した f_{PLL} クロックを使用することができます。なお、PLL 動作が安定するまでの時間は、ウォーミングアップ機能などを用いて確保する必要があります。

<PLL0SET>の設定値は以下のとおりです。

f_{osc}	逡倍数	<PLL0SET>
8MHz	12	0xC60B00
10MHz	8	0xC60700
12MHz	8	0xC60700
16MHz	6	0xC60500

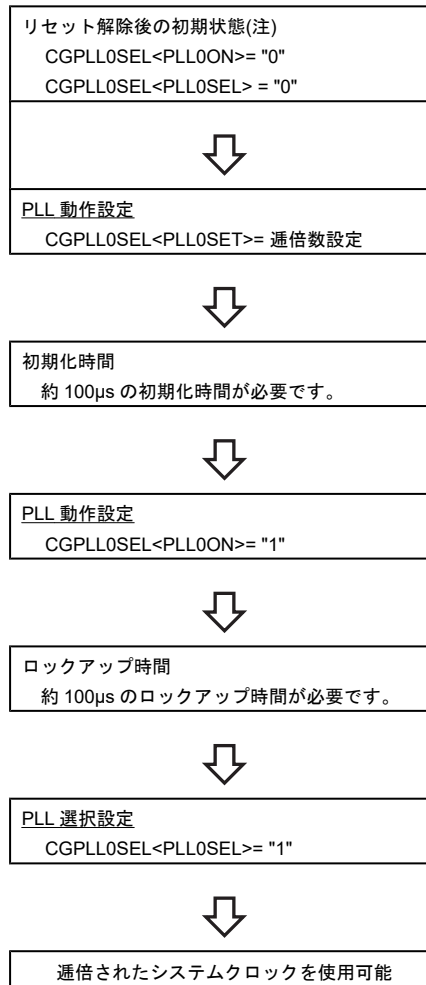
6.3.4.2 逡倍数の変更

逡倍数の変更を行う場合、まず CGPLL0SEL<PLL0SEL> に"0"を設定します。そして、CGPLL0SEL<PLL0ST>="0"を読み出し、逡倍クロックを使用しない設定に切り替わったことを確認した後、CGPLL0SEL<PLL0ON>を"0"として PLL を停止します。

その後、CGPLL0SEL<PLL0SET>の逡倍値を変更し、PLL の初期化時間として約 100 μ s 経過後に、CGPLL0SEL<PLL0ON>を"1"に設定して PLL の動作を開始します。その後、ロックアップ時間、約 100 μ s 経過後に、CGPLL0SEL<PLL0SEL>を"1"に設定します。

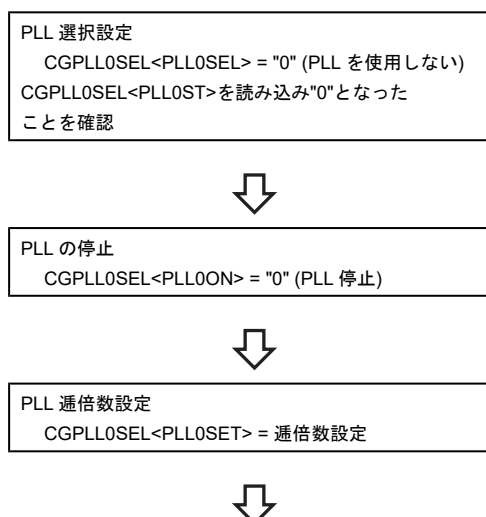
6.3.4.3 PLL 動作開始手順

クロック設定手順



注) 高速発振回路、電源電圧の安定が必要です。

6.3.4.4 PLL 通倍数変更手順



初期化時間
約 100 μ s の初期化時間が必要です。



PLL 動作
CGPLL0SEL<PLL0ON> = "1" (PLL 動作)



ロックアップ時間
約 100 μ s のロックアップ時間が必要です。



PLL 選択設定
CGPLL0SEL<PLL0SEL> = "1" (PLL 使用)



通倍数を変更したシステムクロックを使用可能

6.3.5 システムクロック

システムクロックの源振として、内蔵高速発振クロック、外部高速発振クロック(発振子接続またはクロック入力)が使用可能です。

内蔵高速発振は、発振周波数精度が要求される場合には使用しないでください。PLL を使用することもできません。

外部高速発振クロックは PLL で通倍して使用できます。

システムクロックは CGSYSCR<GEAR>で分周が可能です。設定は動作中に変更可能ですが、実際にクロックが切り替わるまでに若干の時間を要します。

発振周波数、PLL の設定による動作周波数例を表 6-1 に示します。

表 6-1 fsys の高周波数設定範囲例

外部発振子 (MHz)	外部 クロック入力 (MHz)	内蔵発振 IHOSC (MHz)	PLL 通倍数	最大周波数 (fc) (MHz)	USBCLK	TMRD Clock	CGEXTEND00 設定	備考
8	8	-	12	24	48	96	EHCLKSEL=0	-
10	10	-	8	20	-	80		USB 使用不可
-	-	10	-	10	-	-		USB,TMRD 使用不可
12	12	-	8	24	48	96		-
16	1-6	-	6	24	48	96		-
-	24	-	-	24	-	-		USB,TMRD 使用不可
-	48	-	-	24	48	-	EHCLKSEL=1	TMRD 使用不可

CGSYSCR<GEAR>="000"の時、fsys=fc/1 となります。

6.3.6 クロック供給設定機能

本製品には、周辺機能に対してクロック供給 On/Off 機能があり、使用しない周辺機能に対して、クロック供給を停止することで消費電流を削減することができます。

リセット解除後は、一部の周辺機能を除き、クロックが供給されていない状態です。

クロックを供給するには、CGFSYSENA、CGFSYSENB の該当ビットを"1"に設置します。

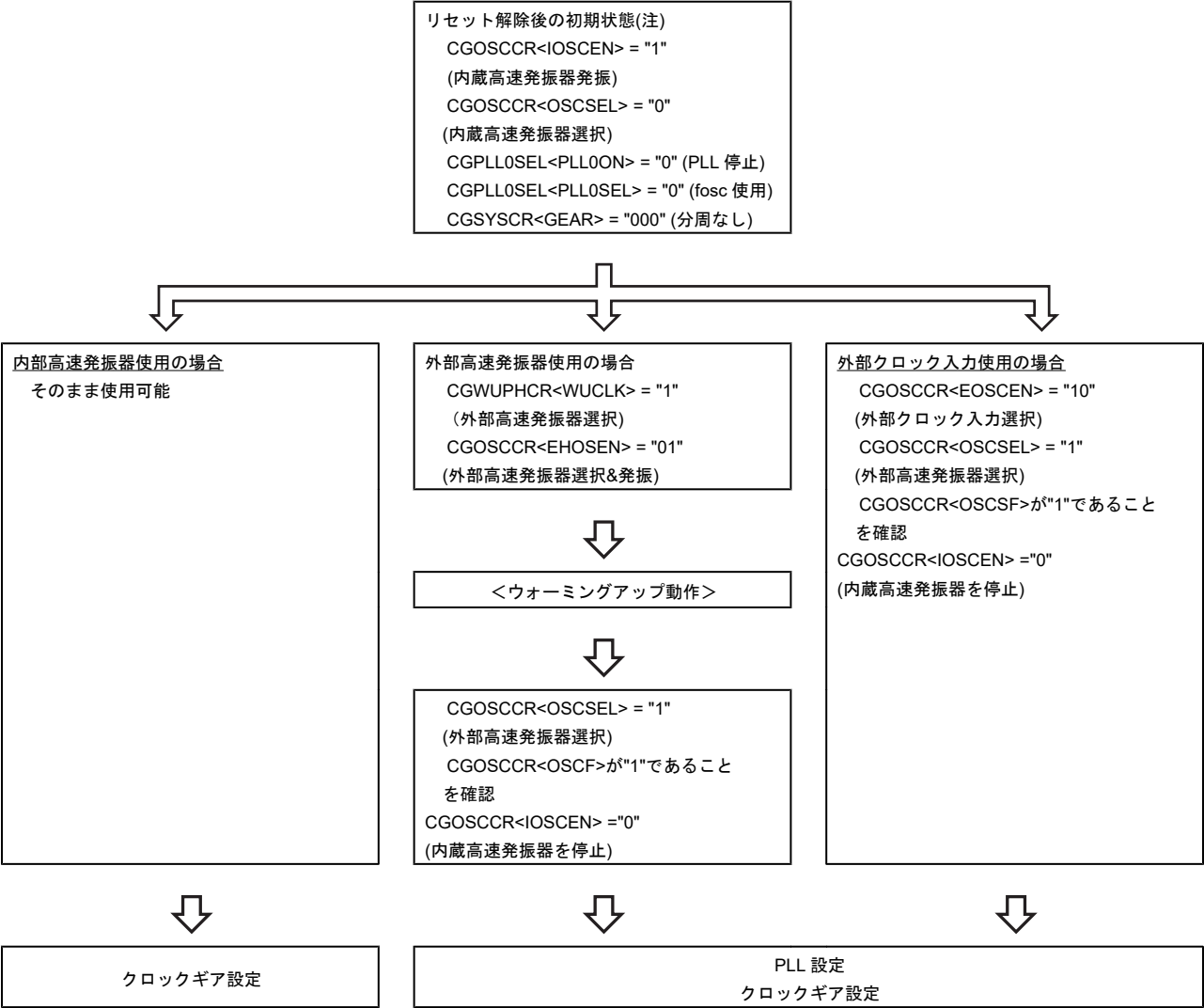
レジスタの詳細は、レジスタ説明を参照してください。

6.3.7 システムクロックの設定方法

システムクロックの選択は CGOSCCR で行います。クロック選択後、必要に応じて PLL 設定を CGPLL0SEL で、クロックギアの設定を CGSYSCR で行います。

以下にクロックの設定手順を示します

クロック設定手順



注) 高速発振回路、電源電圧の安定が必要です。

6.4 動作モードとモード遷移

本製品には、動作モードとして NORMAL モードと低消費電力モード(IDLE、STOP1) があり、使用方法に応じモード遷移を行うことで消費電流を抑えることができます。

6.4.1 モード状態遷移

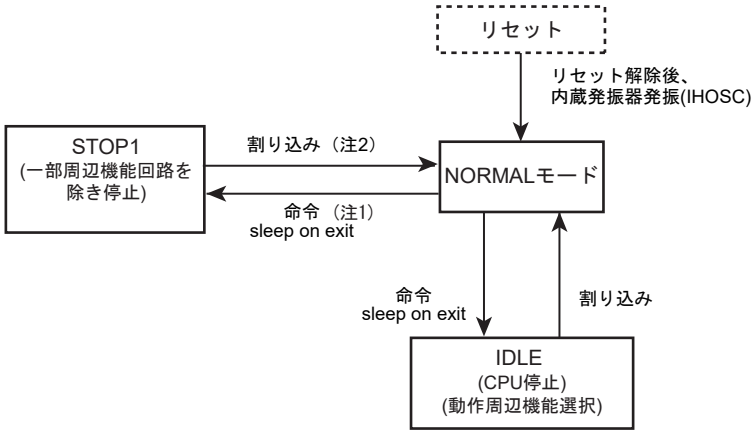


図 6-2 モード状態遷移図

注 1) 復帰時にウォーミングアップが必要となります。ウォーミングアップ時間の設定は STOP1 に入る前のモード (NORMAL モード) で設定する必要があります。
注 2) STOP1 モードからの復帰は割り込み起動要因の処理ルーチンに分岐します。

6.4.2 STOP1 モード遷移

STOP1 モードへ遷移する場合は、下記の手順で行ってください。

Table with 3 columns: Step number, Register/Command, and Action. It lists 15 steps for transitioning to STOP1 mode, including disabling WDT, setting up the high-speed oscillator, and executing the WFI command.

6.5 動作モード

6.5.1 NORMAL モード

CPU コアおよび周辺ハードウェアを高速クロックで動作させるモードです。リセット解除後は、NORMAL モードになります。

6.6 低消費電力モード

低消費電力モードには、IDLE、STOP1 モードがあります。低消費電力モードに移行するには、システムコントロールレジスタ CGSTBYCR<STBY[1:0]>でモードを選択し、WFI 命令を実行します。WFI 命令によって低消費電力モードへ移行した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細は「例外」の章の「割り込み」を参照してください。

- 注 1) 本製品ではイベントによる復帰はサポートしていないため、WFE (Wait For Event)による低消費電力モードへの移行は行わないでください。
- 注 2) 本製品は、Cortex-M0 コアの SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスタの<SLEEPDEEP>ビットは設定しないでください。

IDLE、STOP1 モードの特長は次のとおりです。

6.6.1 IDLE モード

CPU が停止するモードです。

周辺機能は、各周辺機能のレジスタ、クロック供給設定機能などにより、動作/停止を行ってください。

注) IDLE モード中は CPU によるウォッチドッグタイマのクリアができませんので注意してください。

6.6.2 STOP1 モード

I2C(ウェイクアップ機能のみ)、LVD を除き内部回路が停止するモードです。

STOP1 モードが解除されると内蔵発振器(IHOSC) が発振を開始し、NORMAL モードへ復帰します。

STOP1 モード中は端子のドライブ状態を保持することができます。STOP1 モード時の端子状態を下表に示します。

表 6-2 STOP1 モード時の端子状態

機能	ピン名称	入出力	STOP1
制御端子	RESET_X.MODE	入力	o
発振器	X1	入力	x
	X2	出力	x
ポート	SWCLK (デバッグインタフェース設定 PxFRn<PxmfFn>="1"	入力	PxIE[m]による
	SWDIO (デバッグインタフェース設定 PxFRn<PxmfFn>="1"	入力	PxIE[m]による
		出力	PxCR[m]設定かつ データ有効なときに許可、 データ無効なときは設定
	INT0 to 5 (割り込み機能設定、 PxFRn<PxmfFn>="1"かつ PxIE<PxmiE>="1"	入力	o
	上記以外	入力	PxIE[m]による
		出力	PxCR[m]による

o : 入力または出力が有効
x : 入力または出力が無効

6.6.3 低消費電力モードの選択

低消費電力モード選択は、CGSTBYCR< STBY[1:0] >の設定で選択されます。

下表に<STBY[1:0]>の設定より選択されるモードを示します。

表 6-3 低消費電力モードの選択

モード	CGSTBYCR < STBY[1:0] >
IDLE	00
STOP1	01

6.6.4 各モードにおける動作状態

各モードにおける動作状態を表 6-4 に示します。

表 6-4 各動作モードにおける動作状態

Block	NORMAL 内蔵高速 発振器使用 (IHOSC)	NORMAL 外部高速 発振器使用 (EHOSC)	IDLE 内蔵高速 発振器使用 (IHOSC)	IDLE 外部高速 発振器使用 (EHOSC)	STOP1 (注 1)
Processor core	o	o	–	–	–
DMAC	o	o	o	o	–
I/O Port	o	o	o	o	–
ADC	o	o	o	o	–
SIO/UART	o	o	o	o	–
I2C	o	o	o	o	–(注 2)
TSPI	o	o	o	o	–
USBD	o	o	o	o	–(注 3)
TMRB	o	o	o	o	–
TMR16A	o	o	o	o	–
TMRD	o	o	o	o	–
WDT	o	o	o (注 4)	o (注 4)	–
LVD	o	o	o	o	o
CG	o	o	o	o	–
内蔵高速発振器(IHOSC)	o	o	o	o	–
外部高速発振器(EHOSC)	o	o (注 5)	o	o (注 5)	–
RAM	o	o	o	o	–

o : 対象のモード中に動作が可能

– : 対象のモードに移行すると自動的にモジュールへのクロックが停止

注 1) STOP1 モードに遷移する前に、“–”の周辺機能を停止させてから STOP1 モードに遷移してください。

注 2) I2C のウェイクアップ機能のみ動作します。

注 3) Wakeup 機能のみ動作します。

注 4) IDLE モード中は CPU によるウォッチドッグタイマのクリアができませんので注意してください。

注 5) リセット解除後および STOP1 モード解除後は内蔵発振器からクロックを供給します。

6.6.5 低消費電力モードの解除ソース

低消費電力モードからの解除は、割り込み、マスク不能割り込み、リセットによって行うことができます。使用できるスタンバイ解除ソースは、低消費電力モードにより決まります。詳細を表 6-5 に示します。

表 6-5 解除ソースと解除可能なモード

解除ソース			IDLE	STOP1
解除 ソース	割り込み	INT0,INT1,INT2,INT3,INT4,INT 5	o	o
		INTRX0,INTTX0,INTRX1,INTTX1	o	×
		INTSPIRX,INTSPITX,INTSPIERR	o	×
		INTI2C0,INTI2C1	o	×
		INTDMA	o	o
		INT16A0,INT16A1	o	×
		INTTB0 to 7	o	×
		INTI2CS	o	o
		INTTMRD	o	×
		INTUSBD	o	×
		INTUSBWKUP	o	o
		INTAD, INTADHP	o	×
	SysTick 割り込み		o	×
	マスク不能割り込み (INTWDT)		o	×
	マスク不能割り込み (INTLVD)		o	o
	リセット (WDT)		o	×
	リセット (LVD)		o	o
	リセット (RESET_X 端子)		o	o

o: 解除後、割り込み処理を開始します。(RESET は本製品を初期化します)

×: 解除に使用できません

- 注 1) 低消費電力モードへ移行する場合は、CPU で復帰要因以外の割り込みを禁止してください。禁止していない場合、復帰要因以外の割り込みで解除が行われる場合があります。
- 注 2) IDLE、STOP1 モードからレベルモードの割り込みによる解除を行う場合、割り込み処理が開始されるまでレベルを保持してください。それ以前でレベルを変化させた場合は、正しい割り込み処理を開始できません。

- ・ 割り込み要求による解除

割り込みによって低消費電力モードを解除する場合、CPU で割り込みが検出されるよう準備しておく必要があります。STOP1 モードの解除に使用する割り込みは、CPU の設定の他に INTIF で割り込み検出の設定を行う必要があります。

- ・ マスク不能割り込み(NMI)による解除

NMI の要因には WDT 割り込み(INTWDT)と LVD 割り込み(INTLVD)があります。

INTWDT は IDLE モードでのみ使用可能です。

- ・ リセットによる解除

RESET_X 端子によるリセットで全ての低消費電力モードからの解除を行うことができます。

リセットで解除した場合には通常のリセット動作と同様になり、解除後は NORMAL モードで全てのレジスタが初期化された状態になります。

STOP1 モードの解除にリセットを使用する場合、自動ウォーミングアップが行われないため、発振器動作が安定するまでリセット信号を有効に保ってください。

- ・ SysTick 割り込みによる解除

SysTick 割り込みは IDLE モードでのみ使用可能です。

割り込みの詳細に関しては、「例外」の章の「割り込み」をご参照ください。

6.6.6 ウォーミングアップ

モード遷移時、内部発振器の安定のためウォーミングアップが必要な場合があります。

STOP1 モードから NORMAL モードへの遷移では、自動的に内蔵発振が選択されウォーミングアップ用カウンタが起動されます。ウォーミングアップ時間経過後にシステムクロックの出力が開始されます。このため、STOP1 モードに移行する命令を実行する前に、CGWUPHCR<WUPT>[11:0]>でウォーミングアップ時間の設定を行ってください。

各動作モード遷移時におけるウォーミングアップの有無を表 6-6 に示します。

表 6-6 各動作モード遷移時のウォーミングアップ設定

動作モード遷移	ウォーミングアップ設定
NORMAL → IDLE	不要
NORMAL → STOP1	不要
IDLE → NORMAL	不要
STOP1 → NORMAL	自動ウォーミングアップ

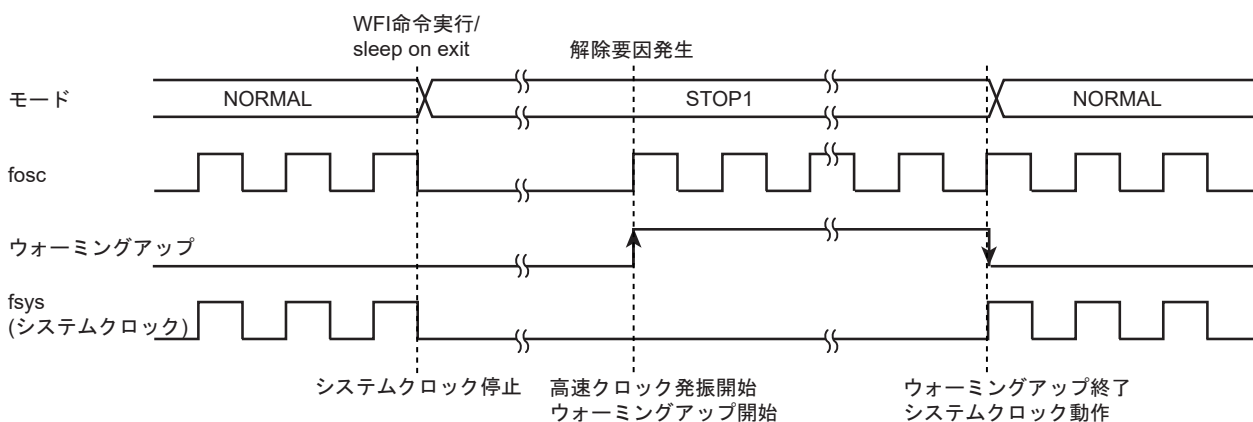
6.6.7 モード遷移によるクロック動作

モード遷移の際の、クロック動作について以下に示します。

6.6.7.1 NORMAL → STOP1 → NORMAL 動作モード遷移

STOP1 モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。STOP1 モードへ遷移する前にウォーミングアップ時間を CGWUPHCR<WUPT[11:0]>に設定してください。

リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われませんので、発振動作が安定するまでリセット信号を有効に保ってください。



第 7 章 例外

この章では、例外の特長, 種類, 処理について概略を説明します。

例外は CPU のアーキテクチャと深くかかわる部分ですので、必要に応じて"Arm ドキュメンテーションセット"もご覧ください。

7.1 概要

例外は CPU に対し現在実行中の処理を中断して別の処理に移ることを要求するものです。

例外には、何らかの異常な状態が起こったときや例外を発生する命令を実行したときに発生するものと、外部端子や周辺機能からの割り込み要求信号といった、ハードウェアによる要因で発生する割り込みがあります。

全ての例外は優先度に従って CPU 内にあるネスト型ベクタ割り込みコントローラ(NVIC)によって処理されます。例外が発生すると、CPU はそのときの状態をスタックに退避し、割り込み処理ルーチンへ分岐します。割り込み処理ルーチンの実行後、スタックに退避した情報は自動的に復帰されます。

7.1.1 種類

例外には以下のようなものがあります。

それぞれの例外の詳細な内容は、"Arm ドキュメンテーションセット"をご覧ください。

- ・ リセット
- ・ マスク不能割り込み(NMI)
- ・ ハードフォールト
- ・ SVCall (スーパーバイザコール)
- ・ PendSV
- ・ SysTick
- ・ 外部割り込み

7.1.2 処理の流れ

例外／割り込みの処理の流れの概略を以下に示します。以下の説明で、 はハードウェアによる処理を、 はソフトウェアによる処理を示しています。

それぞれの処理の内容について、後続の節で説明します。

処理	内容	説明
INTIF/CPU が例外を検出 ↓ CPU が例外を処理 ↓ CPU が割り込み処理ルーチンへ分岐 ↓ 割り込み処理ルーチン実行 ↓ 例外からの復帰	INTIF/CPU が例外要求を検出します。 CPU が例外処理を行います。 検出した例外に応じた割り込み処理ルーチンへ分岐します。 必要な処理を行います。 別の割り込み処理ルーチンまたはもとのプログラムに復帰します。	7.1.2.1 節 7.1.2.2 節 7.1.2.3 節 7.1.2.4 節

7.1.2.1 例外要求と検出

(1) 例外要求の発生

例外は、CPU の命令実行、メモリアクセス、外部割り込み端子や周辺機能からの割り込み要求などにより発生します。

CPU の命令実行による例外の要求は、例外が発生する命令の実行や、命令実行中の異常が要因で発生します。

メモリアクセスによる例外の要求は、実行不可領域からの命令フェッチや、フォールト領域へのアクセスにより発生します。

割り込みの要求は、外部割り込み端子からの信号入力や周辺機能から発生します。低消費電力モード解除に使用する割り込みの場合、INTIF の設定も必要になります。詳細は「7.5 割り込み」の節で説明します。

(2) 例外の検出

複数の例外が同時に検出された場合には、CPU は優先度に従って最も優先度の高い例外を選択します。

各例外の優先度は以下のとおりです。"構成可能"と記載された例外は、優先度を設定することができます。また、メモリ管理、バスフォールト、用法フォールトは許可/禁止を選択することができます。

禁止された例外が発生した場合にはハードフォールトとして扱われます。

表 7-1 例外の種類と優先度

番号	例外	優先度	要因
1	リセット	-3 (最高)	リセット端子, WDT, POR, LVD, SYSRESETREQ
2	マスク不能割り込み	-2	LVD, WDT
3	ハードフォールト	-1	より優先度の高いフォールトの処理中、または禁止されているために発生できないフォールト
4~10	予約	-	
11	SVCall	構成可能	SVC 命令によるシステムサービスの呼び出し
12~13	予約	-	
14	PendSV	構成可能	保留可能なシステムサービスへの要求
15	SysTick	構成可能	システムタイマからの通知
16~	外部割り込み	構成可能	外部割り込み端子や周辺機能(注)

注) 外部割り込みは、製品により要因と番号が異なります。具体的な要因と番号については、「7.5.1.5 割り込み要因一覧」を参照してください。

(3) 優先度の設定

優先度レベル

外部割り込みの優先度は、割り込み優先度レジスタで、それ以外の例外はシステムハンドラ優先度レジスタで該当する<PRI_n>に設定します。

<PRI_n>は、2 ビット構成で、0 ~ 3 の優先度を設定可能です。最も高い優先度は"0"です。複数の要因を同じ優先度に設定した場合、番号の小さい例外の優先度が高くなります。

7.1.2.2 例外の処理と割り込み処理ルーチンへの分岐(横取り)

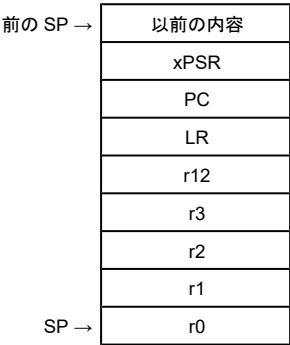
例外により、実行中の処理を中断して割り込み処理ルーチンへ分岐する動作を"横取り"と呼びます。

(1) レジスタの退避

例外を検出すると、CPU は 8 つのレジスタの内容を退避します。退避するレジスタと退避の順序は以下のとおりです。

- 1. プログラムカウンタ(PC)
- 2. プログラムステータスレジスタ(xPSR)
- 3. r3 ~ r0
- 4. r12
- 5. リンクレジスタ(LR)

レジスタの退避が終了すると、SP は 8 ワード分減らされます。レジスタ退避終了後のスタックの状態は以下のようになっています。



(2) 割り込み処理ルーチンのフェッチ

レジスタの退避と同時に CPU は割り込み処理ルーチンの命令フェッチを行います。

各例外の割り込み処理ルーチンの先頭番地をベクタテーブルに準備しておきます。

ベクタテーブルにはまた、メインスタックの初期値を設定します。

(3) 後着

割り込み処理ルーチンの実行前に、検出した例外よりも優先度の高い例外を検出した場合、CPU は優先度の高い例外の処理に移行します。これを後着と呼びます。

後着の場合、CPU は新たに検出された例外の割り込み処理ルーチンのフェッチをあらためて行い、分岐しますが、再度レジスタの内容を退避することはありません。

(4) ベクタテーブルの構成

ベクタテーブルの構成は以下のとおりです。

最初の 4 ワード(スタックの先頭アドレス、リセット、マスク不能割り込み、ハードフォールトの割り込み処理ルーチンアドレス)は必ず設定する必要があります。

その他の例外については、割り込み処理ルーチンのアドレスを必要に応じて準備します。

オフセット	例外	内容	備考
0x00	リセット	メインスタックの初期値	必須
0x04	リセット	割り込み処理ルーチンアドレス	必須
0x08	マスク不能割り込み	割り込み処理ルーチンアドレス	必須
0x0C	ハードフォールト	割り込み処理ルーチンアドレス	必須
0x10 ~ 0x28	予約		
0x2C	SVCall	割り込み処理ルーチンアドレス	任意
0x30 ~ 0x34	予約		
0x38	PendSV	割り込み処理ルーチンアドレス	任意
0x3C	SysTick	割り込み処理ルーチンアドレス	任意
0x40	外部割り込み	割り込み処理ルーチンアドレス	任意

7.1.2.3 割り込み処理ルーチンの発行

割り込み処理ルーチンでは、発生した例外に応じて必要な処理を行います。割り込み処理ルーチンはユーザが準備します。

割り込み処理ルーチンでは、通常の処理プログラムに戻ったときに再度同じ割り込みが発生しないよう、割り込み要求の取り下げなどの処理が必要になる場合があります。

割り込みについての詳細は「7.5 割り込み」の節で説明します。

割り込み処理ルーチンの実行中に現在処理中の例外よりも優先度の高い例外を検出した場合、CPU は現在実行中の割り込み処理ルーチンを中断し新たに検出された例外の処理を行います。

7.1.2.4 例外からの復帰

(1) 割り込み処理ルーチンからの復帰先

割り込み処理ルーチン終了時の状態により復帰先が決まります。

・ テールチェーン

保留中の例外が存在し、中断されている例外処理がないかまたは中断されているどの例外よりも優先度が高い場合、保留中の例外の割り込み処理ルーチンへ復帰します。

このとき、スタックの退避と復帰は省略されます。この動作をテールチェーンと呼びます。

- ・ 処理が中断されている割り込み処理ルーチンへ復帰
保留中の例外がない場合、または存在しても処理が中断されている例外の優先度が高い場合、中断されている例外の割り込み処理ルーチンへ復帰します。
- ・ 元のプログラムへ復帰
保留中の例外も処理が中断されている例外もない場合、元のプログラムへ復帰します。

(2) 復帰処理

CPU は、割り込み処理ルーチンから復帰する際に以下の処理を行います。

- ・ レジスタの復帰
退避していた 8 つのレジスタ(PC,xPSR, r3 ~ r0,r12.LR)を復帰し SP を調整します。
- ・ 割り込み番号のロード
退避していた xPSR から現在有効な割り込み番号をロードします。この割り込み番号によって CPU はどの割り込みに復帰するかを制御します。
- ・ SP の選択
例外(ハンドラモード)へ復帰する場合、SP は SP_main です。スレッドモードへ復帰する場合、SP は SP_main または SP_process です。

7.2 リセット例外

リセット例外には、以下の要因があります。

リセットの要因を確認するためには、リセットフラグレジスタ RSTFLG を参照してください。

- ・ 外部リセット端子(RESET_X)

外部リセット端子(RESET_X)を"Low"にしたのち、"High"にすることによりリセット例外が発生します。(RSTFLG ではパワーオンリセット、または、RESET_X 端子によるリセットとして参照されます)

- ・ POR によるリセット例外

POR にリセット例外が発生する機能があります。詳細は「パワーオンリセット回路」の章をご覧ください。

- ・ WDT によるリセット例外

WDT にリセット例外が発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

- ・ <SYSRESETREQ>によるリセット例外

NVIC レジスタの、アプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>をセットすることで、リセット例外が発生させることができます。

- ・ LVD によるリセット例外

LVD にリセット例外が発生する機能があります。詳細は「電圧検出回路」の章をご覧ください。

7.3 マスク不能割り込み(NMI)

マスク不能割り込みには、以下の要因があります。

マスク不能割り込みの要因を確認するためには、INTIF のモニタフラグ INTFLAG0 参照してください。

- ・ WDT によるマスク不能割り込み

WDT にマスク不能割り込みを発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

- ・ LVD によるマスク不能割り込み

LVD にマスク不能割り込みを発生する機能があります。詳細は「電圧検出回路」の章をご覧ください。

7.4 SysTick

SysTick は、CPU の持つシステムタイマを使用した割り込み機能です。

SysTick リロード値レジスタに値を設定し、SysTick 制御およびステータスレジスタで機能をイネーブルにすると、リロード値レジスタに設定された値がカウンタへリロードされカウントダウンを開始します。カウンタが"0"になると SysTick 例外が発生します。また、例外を保留しフラグでタイマが"0"になったことを確認することもできます。

7.5 割り込み

この節では、割り込み要求の伝わる経路、要因、必要な設定について説明します。

割り込みは、割り込み要因ごとに割り込み要求信号により CPU へ通知されます。CPU は、優先順位付けを行い、最も優先度の高い割り込みを発生します。

外部割り込み端子の割り込みや低消費電力モード解除に使用する割り込み要求は、INTIF を経由して CPU に要因が伝わるため、INTIF の設定も必要です。

7.5.1 割り込み要求

7.5.1.1 経路

割り込み要求の経路を図 7-1 に示します。

低消費電力モード解除に使用されない周辺機能(A)の割り込み要求①は直接 CPU に入力されます。

低消費電力モード解除に使用される周辺機能(B)の割り込み要求②、および、外部割り込み端子の割り込み要求③は INTIF の低消費電力モード解除ロジックを経由して CPU に入力されます。(④,⑤)

割り込み要求②、③は STOPxINTxxx<INTxxxEN>レジスタにより、低消費電力モードの開錠に使用する、しないを選択します。(④,⑤)

低消費電力モードの解除に対応している場合、割り込み要求信号は High レベルが CPU に伝えられます。(②→④,③→⑤)

IDLEINTxxx も同様です。

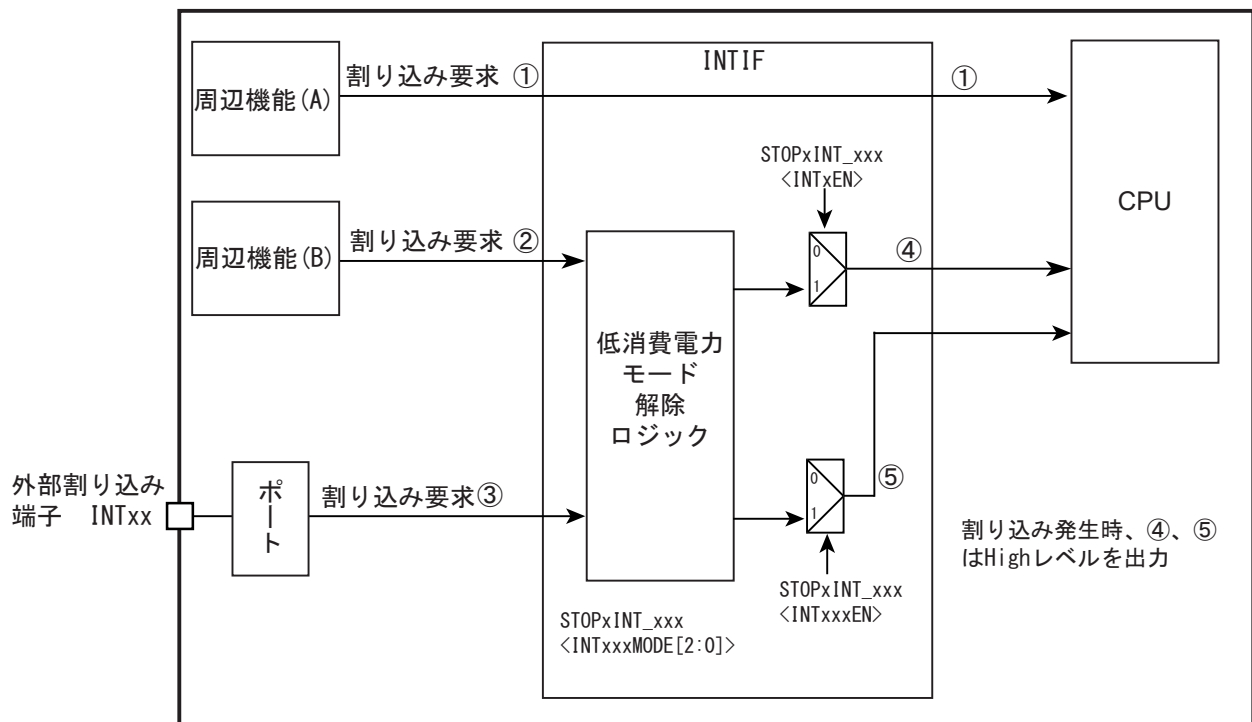


図 7-1 割り込み要求の経路

割り込み要求①

周辺機能からの割り込み要求：

割り込み要求②(低消費電力モードの解除に使用できる割り込み)

周辺機能からの割り込み要求：

割り込み要求③（低消費電力モードの解除に使用できる割り込み）

外部割り込み端子からの割り込み要求：

低消費電力モード解除ロジックを経由する割り込みの経路は **NORMAL** モードでも使用可能です。設定含めて特に区別はありません。

7.5.1.2 割り込み要求の発生

割り込み要求は、割り込み要因に割り当てられた外部割り込み端子、周辺機能、NVIC レジスタの割り込み保留セットレジスタの設定により発生します。

- ・ 外部割り込み端子からの割り込み
外部割り込み端子を使用する場合、ポートの制御レジスタで端子を割り込み機能に設定します。
- ・ 周辺機能の割り込み
周辺機能の割り込みを使用する場合、使用する周辺機能で割り込み要求が発生されるよう設定する必要があります。
設定の詳細については各章を参照ください。
- ・ 割り込み要求の強制的な発生
NVIC の割り込み保留セットレジスタの該当するビットをセットすることで、割り込み要求を強制的に発生させることができます。

7.5.1.3 割り込み要因の伝達

外部割り込み端子や周辺機能から発した割り込み要求のうち、低消費電力モードの解除要因にならないものは直接 CPU へ接続されます。低消費電力モードの解除要因として使用できる割り込みは、INTIF を経由して CPU に接続されるため、INTIF の設定が必要です。

これらの割り込みを低消費電力モードの解除要因として使用する場合は High レベルが CPU に伝達されます。低消費電力モードの解除要因として使用できない要求はそのままの信号が CPU に伝えられます。

なお、外部割り込みについては次項の注意事項に留意してください。

7.5.1.4 外部割り込み端子を使用する際の注意

外部割り込みを使用する際には、予期しない割り込みが発生しないよう以下の点に留意してください。

外部割り込み端子からの入力信号は、入力ディセーブル(PmIE<PmxIE>=0)の場合"High"となります。

また、外部割り込みを低消費電力モードの解除要因としない要求接続の場合(「図 7-1 割り込み要求の経路」の①の経路)、外部割り込み端子からの入力信号はそのまま CPU に伝わります。CPU は"High"入力を割り込みとして認識しますので、入力ディセーブルのまま CPU で該当する割り込みを有効にするとその時点で割り込みが発生します。

外部割り込みを低消費電力モードの解除要因としないで使用する際には、割り込み端子入力を"Low"レベルとして入力イネーブルにし、その後 CPU で割り込み許可設定を行ってください。

7.5.1.5 割り込み要因一覧

ハードウェア割り込みの要因一覧を表 7-2 に示します。

表 7-2 割り込み要因一覧

番号	オフ セット	要因		アクティブレベル (低消費電力モード解除)	割り込み 制御レジスタ
0	0x40	INT0	外部割り込み端子 0	↑ ↓ エッジ, L/H レベル、 両エッジ	INTCTL
1	0x44	INT1	外部割り込み端子 1		
2	0x48	INT2	外部割り込み端子 2		
3	0x4C	INT3	外部割り込み端子 3		
4	0x50	INT4	外部割り込み端子 4		
5	0x54	INT5	外部割り込み端子 5		
6	0x58	INTRX0	UART 受信割り込み		
7	0x5C	INTTX0	UART 送信割り込み		
8	0x60	INTRX1	UART 受信割り込み		
9	0x64	INTTX1	UART 送信割り込み		
10	0x68	INTSPIRX	SPI 受信割り込み		
11	0x6C	INTSPITX	SPI 送信割り込み		
12	0x70	INTSPIERR	SPIError 割り込み		
13	0x74	INTI2C0	I2C Ch0 結合割り込み		
14	0x78	INTI2C1	I2C Ch1 結合割り込み		
15	0x7C	INTDMA	DMAC 結合割り込み		
16	0x80	INT16A0	16bit タイマ A0 割り込み		
17	0x84	INT16A1	16bit タイマ A1 割り込み		
18	0x88	INTTB0	16bit タイマ割り込み 0/結合		
19	0x8C	INTTB1	16bit タイマ割り込み 1/結合		
20	0x90	INTTB2	16bit タイマ割り込み 2/結合		
21	0x94	INTTB3	16bit タイマ割り込み 3/結合		
22	0x98	INTTB4	16bit タイマ割り込み 4/結合		
23	0x9C	INTTB5	16bit タイマ割り込み 5/結合		
24	0xA0	INTTB6	16bit タイマ割り込み 6/結合		
25	0xA4	INTTB7	16bit タイマ割り込み 7/結合		
26	0xA8	INTI2CS	I2C Wakeup 割り込み	↑ エッジ	INTCTL
27	0xAC	INTTMRD	TMRD 結合割り込み		
28	0xB0	INTUSBD	USBD 割り込み		
29	0xB4	INTUSBWUP	USBD Wakeup 割り込み	↑ エッジ	INTCTL
30	0xB8	INTADHP	AD 最優先変換終了割り込み		
31	0xBC	INTAD	AD 変換終了割り込み		

Base Address: 0x0000_0000

7.5.1.6 アクティブレベル

アクティブレベルはどのような信号変化を割り込み要因と見なすかを示しています。CPU は割り込み信号の"High"を割り込み要因とみなします。各種周辺機能から CPU へ直接割り込み信号が伝わるものは、割り込み要求として"High"パルスを出力するようになっています。

低消費電力モードの解除要因となる割り込みを使用するときには INTCTL<STOPxINT_xxx>を設定します。

割り込み要求のアクティブレベルは、表 7-2 のとおりとなります。

INTIF で検出された割り込みは、"High"レベル信号で CPU に通知されます。

7.5.1.7 低消費電力モード解除時の注意

STOPx モードからの解除設定には、下記 2 つの設定が必要です。

- ・ 低消費電力モード解除の設定(INTCTL<STOPxINT_xxx>)
- ・ 割り込みの許可(SETENA)

STOPx モードからの NORMAL モードに復帰する動作は、高速クロック発振後、割り込み処理に飛ぶ事で、停止している命令が再開されます。

	割り込みモードコントロールレジスタ(STOPxINT_xxx)
	STOP1
INTx	解除設定必要
INTI2CS	
INTUSBWKUP	

7.5.1.8 割り込み管理番号

本製品には、割り込み要因に対する制御レジスタの有無、レジスタアドレスを示す管理番号があります。

管理番号の用途とレジスタの有無は、下表のようになっています。

表 7-3 割り込み管理番号一覧

管理番号	用途	割り込み制御レジスタ(BUS)		備考
000 - 015	割り込み要因が NMI のときに割り当てます。	AOBUS	対象の割り込み要因に対する検出エッジ、許可/禁止などを設定するための制御レジスタが割り付けられます。管理番号に対するアドレスの割り当てについては、を参照してください。	STOP2INT のレジスタが割り当て可能です
016 - 031		IOBUS		STOP1INT または IDLEINT のレジスタが割り当て可能です
032 - 095	割り込み要因が ・ 非同期(外部割り込み、システムクロック以外のクロックで動作する内部周辺回路)の場合 ・ 割り込み要因を兼用(OR) したい場合に割り当てます。	AOBUS		STOP2INT のレジスタが割り当て可能です
096 - 255		IOBUS		STOP1INT または IDLEINT のレジスタが割り当て可能です
256 - 512	割り込み要因がシステムクロックに同期している(内部周辺回路など)場合に割り当てます。	レジスタは割り当てられません。		

INTFLAG(割り込みモニタフラグレジスタ) は、割り込み管理番号により割り付けをされています。

本製品での実装されている各機能の割り込みと管理番号は、以下のとおりです。

表 7-4 TMPM066/067/068FW の管理番号一覧

管理番号	要因		管理番号	要因	
16	INTLVD	LVD 電圧低下検知割り込み	104	INTDMA8	DMAch8 転送終了割り込み
17	INTLVD	LVD 電圧復帰検知割り込み	105	INTDMA9	DMAch9 転送終了割り込み
18	INTWDT	WDT 割り込み	106	INTDMA10	DMAch10 転送終了割り込み
32	INT0	外部割り込み 0	107	INTDMA11	DMAch11 転送終了割り込み
33	INT1	外部割り込み 1	108	INTDMA12	DMAch12 転送終了割り込み
34	INT2	外部割り込み 2	109	INTDMA13	DMAch13 転送終了割り込み
35	INT3	外部割り込み 3	110	INTDMA14	DMAch14 転送終了割り込み
36	INT4	外部割り込み 4	111	INTDMA15	DMAch15 転送終了割り込み
37	INT5	外部割り込み 5	112	INTDMA16	DMAch16 転送終了割り込み
38	INTI2CS	I2C(WakeUp) 割り込み	113	INTDMA17	DMAch17 転送終了割り込み
39	INTUSBWKUP	USB Wakeup 割り込み	114	INTDMA18	DMAch18 転送終了割り込み
256	INTRX0	SIO 受信割り込み	115	INTDMA19	DMAch19 転送終了割り込み
257	INTTX0	SIO 送信割り込み	116	INTDMA20	DMAch20 転送終了割り込み
258	INTRX1	SIO 受信割り込み	117	INTDMA21	DMAch21 転送終了割り込み
259	INTTX1	SIO 送信割り込み	118	INTDMA22	DMAch22 転送終了割り込み
260	INTSPIRX	SPI 受信割り込み	119	INTDMA23	DMAch23 転送終了割り込み
261	INTSPITX	SPI 送信割り込み	120	INTDMA24	DMAch24 転送終了割り込み
262	INTSPIERR	SPI Error 割り込み	121	INTDMA25	DMAch25 転送終了割り込み
263	INTI2C0	I2C ch0 送受信割り込み	126	INTDMA30	DMAch30 転送終了割り込み
264	INTIC20AL	I2Cch0 AL 割り込み	127	INTDMA31	DMAch31 転送終了割り込み
265	INTI2C0BF	I2Cch0 バスフリー割り込み	128	INTDMAERR	DMA Error 割り込み
266	INTI2C0NACK	I2Cch0 NACK 検出割り込み	271	INT16A0	TMR16Ach0 割り込み
267	INTI2C1	I2C ch1 送受信割り込み	272	INT16A1	TMR16Ach1 割り込み
268	INTI2C1AL	I2Cch1 AL 割り込み	129	INTTB0	TMRBch0 オーバフロー割り込み
269	INTI2C1BF	I2Cch1 バスフリー割り込み	130	INTTB0CAP0	TMRBch0 キャプチャ割り込み 0
270	INTI2C1NACK	I2Cch1 NACK 検出割り込み	131	INTTB0CAP1	TMRBch0 キャプチャ割り込み 1
96	INTDMA0	DMAch0 転送終了割り込み	132	INTTB1	TMRBch1 オーバフロー割り込み
97	INTDMA1	DMAch1 転送終了割り込み	133	INTTB1CAP0	TMRBch1 キャプチャ割り込み 0
98	INTDMA2	DMAch2 転送終了割り込み	134	INTTB1CAP1	TMRBch1 キャプチャ割り込み 1
99	INTDMA3	DMAch3 転送終了割り込み	135	INTTB2	TMRBch2 オーバフロー割り込み
100	INTDMA4	DMAch4 転送終了割り込み	136	INTTB2CAP0	TMRBch2 キャプチャ割り込み 0
101	INTDMA5	DMAch5 転送終了割り込み	137	INTTB2CAP1	TMRBch2 キャプチャ割り込み 1
102	INTDMA6	DMAch6 転送終了割り込み	138	INTTB3	TMRBch3 オーバフロー割り込み
103	INTDMA7	DMAch7 転送終了割り込み	139	INTTB3CAP0	TMRBch3 キャプチャ割り込み 0
140	INTB3CAP1	TMRBch3 キャプチャ割り込み 1	166	INTTMRD11	TMRD コンペアー致 11
141	INTTB4	TMRBch4 オーバフロー割り込み	167	INTTMRD12	TMRD コンペアー致 12
142	INTTB4CAP0	TMRBch4 キャプチャ割り込み 0	168	INTTMRD13	TMRD コンペアー致 13
143	INTTB4CAP1	TMRBch4 キャプチャ割り込み 1	169	INTTMRD14	TMRD コンペアー致 14
144	INTTB5	TMRBch5 オーバフロー割り込み			
145	INTTB5CAP0	TMRBch5 キャプチャ割り込み 0	273	INTUSBD	USB 割り込み
146	INTTB5CAP1	TMRBch5 キャプチャ割り込み 1	274	INTADHP	ADC 最優先変換割り込み
147	INTTB6	TMRBch6 オーバフロー割り込み	275	INTAD	ADC 変換割り込み
148	INTTB6CAP0	TMRBch6 キャプチャ割り込み 0			
149	INTTB6CAP1	TMRBch6 キャプチャ割り込み 1			
150	INTTB7	TMRBch7 オーバフロー割り込み			
151	INTTB7CAP0	TMRBch7 キャプチャ割り込み 0			

表 7-4 TMPM066/067/068FW の管理番号一覧

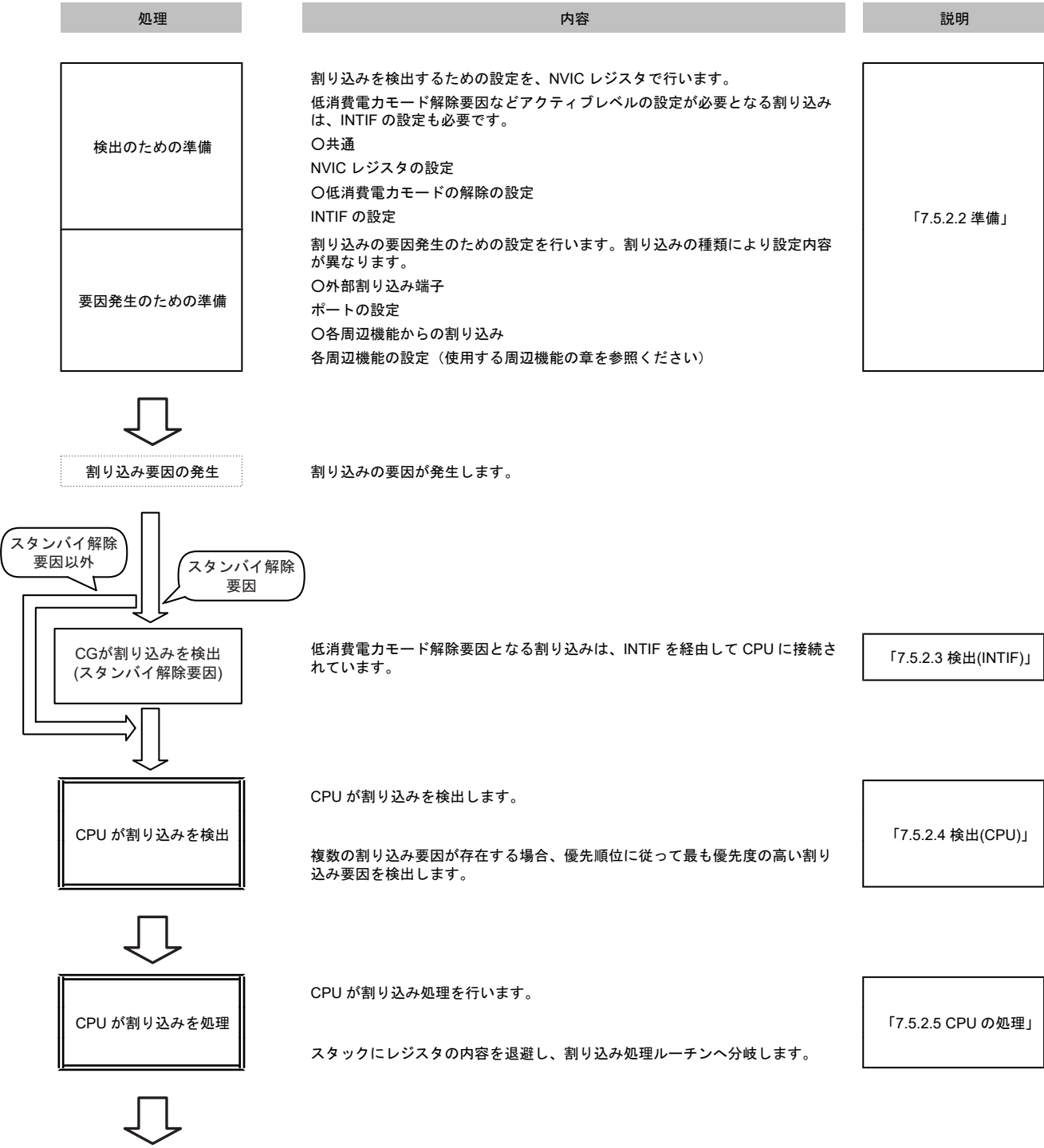
管理番号	要因		管理番号	要因	
152	INTTB7CAP1	TMRBch7 キャプチャ割り込み 1			
160	INTTMRD00	TMRD コンペアー致 00			
161	INTTMRD01	TMRD コンペアー致 01			
162	INTTMRD02	TMRD コンペアー致 02			
163	INTTMRD03	TMRD コンペアー致 03			
164	INTTMRD04	TMRD コンペアー致 04			
165	INTTMRD10	TMRD コンペアー致 10			

7.5.2 処理詳細

7.5.2.1 処理の流れ

割り込みの処理の流れを以下に示します。

以下の説明で、 はハードウェアによる処理を、 はソフトウェアによる処理を示しています。



処理	内容	説明
割り込み サービスルーチン実行	必要な処理をプログラミングしてください。 必要に応じて割り込み要因の取り下げを行ってください。	「7.5.2.6 割り込み処理 ルーチンでの処理(要因の 取り下げ)」
 元のプログラムへ復帰	割り込み処理ルーチンから通常の処理プログラムに復帰します。	

7.5.2.2 準備

割り込みの準備を行うときには、設定途中で不要な割り込みの発生を防ぐために設定の順番に注意が必要です。

割り込みの使用開始、または設定変更のときの基本的な順序は、まず、CPU で割り込みを禁止し、次に割り込み経路で CPU から遠いところから設定を行い、最後に CPU で割り込みを許可します。

INTIF の設定を行うときには、条件の設定を行った後、不要な割り込みが発生しないよう、内部の割り込み情報をクリアしてから割り込み許可の設定を行います。

以下に設定の手順と、手順ごとの具体的な設定方法を示します。

- 1. CPU 割り込み禁止
- 2. CPU 割り込み設定
- 3. 要因の準備(1) (外部割り込み端子)
- 4. 要因の準備(2) (周辺機能からの割り込み)
- 5. 要因の準備(3) (割り込み保留セットレジスタ)
- 6. INTIF の設定
- 7. CPU 割り込み許可

(1) CPU 割り込み禁止

CPU を割り込み禁止状態にするには、PRIMASK レジスタに"1"をセットします。これにより、マスク不能割り込みとハードフォールト例外以外の全ての割り込みと例外がマスクされます。

このレジスタをセットするためには"MSR"命令を使用します。

割り込みマスクレジスタ		
PRIMASK	←	"1"(割り込み禁止)

(2) CPU 割り込み設定

NVIC レジスタの割り込み優先度 レジスタで<PRI_n>に優先度の設定を行います。

<PRI_n>は、2 ビットで、「0 ～ 3」の優先度が設定可能です。最も高い優先度は「0」です。複数の要因を同じ優先度に設定した場合、番号の小さい割り込みの優先度が高くなります。

NVIC レジスタ		
<PRI_n>	←	「優先度」

注) 「n」は該当する例外/割り込みの番号を示します。

(3) 要因の準備(1) (外部割り込み端子)

外部割り込み端子を使用する場合、該当する端子のポートの設定を行います。該当するポートを入力として使用するために PxIE[m]を"1"に設定します。

ポートレジスタ		
PxIE<PxIE>	←	"1"

注) 「x」は該当ポート番号、「m」は該当ビットを示します。

PxIE で入力イネーブル設定であれば割り込みの入力が有効になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。

(4) 要因の準備(2) (周辺機能からの割り込み)

周辺機能からの割り込みを使用する場合、設定方法は周辺機能によって異なります。各周辺機能の章をご覧ください。

(5) 要因の準備(3) (割り込み保留セットレジスタ)

割り込み保留セットレジスタで割り込みを発生する場合、該当するビットに"1"をセットします。

NVIC レジスタ		
<SETPEND[m]>	←	"1"

注) 「m」は該当ビットを示します。

(6) INTIF の設定

アクティブモードのある割り込みは、INTIF の INTCTL レジスタで割り込み許可の設定を行います。STOPxINT_xxx(IDLEINT_xxx)レジスタは要因ごとの設定レジスタです。

割り込み許可の前に、不要な割り込み発生を防止するため割り込み要求のクリアをSTOPxINT_xxx(IDLEINT_xxx)レジスタで行います。

STOPxINT_xxx(IDLEINT_xxx)レジスタは、要因に対応した値を書き込むことで保持されていた割り込み要求をクリアすることができます。具体的な値は、「7.6.3.1 INTCTL(割り込み制御レジスタ、NMI、低消費電力モード解除用)」を参照してください。

INTIF レジスタ		
STOPxINT_xxx<INTxxxMOD>	←	使用する要因に対応する値
STOPxINT_xxx<INT_xxxEN>	←	"1"(割り込み許可)

注) 「xxx」は割り込み要因固有の番号を示します。

(7) CPU 割り込み許可

CPU の割り込み許可の設定をします。

割り込み保留クリアレジスタで保留状態の割り込みをクリアし、割り込みイネーブルセットレジスタで割り込みを許可します。これらのレジスタは1ビットずつ各割り込み要因に割り当てられています。

割り込み保留クリアレジスタの該当する割り込みのビットに"1"を書くことで保留されている要因をクリアすることができ、割り込みイネーブルセットレジスタの該当する割り込みのビットに"1"を書くことで割り込みを許可することができます。

ただし、割り込み保留セットレジスタの設定で割り込みを発生する場合、割り込み保留クリアを行うと割り込み要因そのものが失われるため、この操作は不要です。

最後に、PRIMASK レジスタを"0"にクリアします。

NVIC レジスタ		
<CLRPEND[m]>	←	"1"
<SETENA[m]>	←	"1"
割り込みマスクレジスタ		
PRIMASK	←	"0"

注) 「m」は該当ビットを示します。

7.5.2.3 検出(INTIF)

低消費電力モード解除要因となる割り込みは、INTIF から"High" レベルで CPU に伝えられます。

INTIF は割り込みを検出すると割り込み制御レジスタ(INTCTL)で解除されるまで"High"レベルの割り込み信号を CPU に出力します。解除を行わずに復帰すると再度同じ割り込みが検出されますので、割り込み処理ルーチン内で割り込みの解除を行ってください。

7.5.2.4 検出(CPU)

CPU は優先順位に従って最も優先度の高い割り込み要因を検出します。

7.5.2.5 CPU の処理

割り込みが検出されると、CPU はスタックへ PC、xPSR、r3～r0、r12、LR を退避し、検出した割り込みの割り込み処理ルーチンへ分岐します。

7.5.2.6 割り込み処理ルーチンでの処理(要因の取り下げ)

割り込み処理ルーチンではアプリケーションにより必要な内容をプログラミングしますが、ここでは推奨する処理と要因の取り下げについて説明します。

(1) 割り込み処理ルーチンでの処理

通常、割り込み処理ルーチンでは必要なレジスタの退避と割り込み処理を行います。Cortex-M0 コアは自動的に PC、xPSR、r3～r0、r12、LR をスタックへ退避するため、これらのレジスタをユーザプログラムで退避する必要はありません。

その他のレジスタについては必要に応じて退避します。

割り込み処理ルーチン実行中でも、より高い優先度の割り込みや NMI などの例外は受け付けられます。そのため書き換わる可能性のある、汎用レジスタを退避することを推奨します。

(2) 割り込み要因の取り下げ

割り込みについては、INTCTL レジスタで割り込み要求を解除する必要があるものがあります。

アクティブレベルがレベル検出の割り込みの場合、要因そのものを取り下げない限り割り込み要求は存在し続けるため、まず要因を取り下げる必要があります。レベル検出の場合は、要因が取り下げられると INTIF からの割り込み要求信号は自動的に取り下げられます。

エッジ検出の場合は INTCTL レジスタに該当する割り込みの値を設定することで要因は取り下げられ、再度有効なエッジが発生したときにあらためて要因として認識されます。

7.6 例外/割り込み関連レジスタ

7.6.1 レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

NVIC レジスタ		Base Address = 0xE000_E000
レジスタ名		Address
SysTick 制御およびステータスレジスタ		0x0010
SysTick リロード値レジスタ		0x0014
SysTick 現在値レジスタ		0x0018
SysTick 較正值レジスタ		0x001C
割り込みイネーブルセットレジスタ		0x0100
割り込みイネーブルクリアレジスタ		0x0180
割り込み保留セットレジスタ		0x0200
割り込み保留クリアレジスタ		0x0280
割り込み優先度レジスタ		0x0400 ~ 0x0430
アプリケーション割り込みおよびリセット制御レジスタ		0x0D0C
システムハンドラ優先度レジスタ		0x0D1C, 0x0D20
システムハンドラ制御および状態レジスタ		0x0D24

AOREG(注 1)		BaseAddress=0x4003_8400
レジスタ名		Address
リセットフラグレジスタ	RSTFLG	0x0002
リセットフラグレジスタ 1	RSTFLG1	0x0003

注 1) Byte アクセスのみ可。ビットバンドアクセス不可。

INTIFAO		BaseAddress=0x4003_8000
レジスタ名		Address
割り込み制御レジスタ(STOP2INT_032 ~096)	STOP2INT_xxx	0x0020

INTIFSD		BaseAddress=0x400F_4E00
レジスタ名		Address
割り込み制御レジスタ(STOP1INT_016 ~031/ IDLEINT_016~031)	STOP1INT_xxx IDLEINT_xxx	0x0010
割り込み制御レジスタ(STOP1INT_096 ~255/ IDLEINT_096 ~255)	IDLEINT_096 to 255	0x0060
NMI 割り込みモニタフラグレジスタ(000~031)	INTFLAG0	0x0100
AO 領域割り込みモニタフラグレジスタ(032~063)	INTFLAG1	0x0104
AO 領域割り込みモニタフラグレジスタ(064~095)	INTFLAG2	0x0108
SD 領域割り込みモニタフラグレジスタ(096~127)	INTFLAG3	0x010C
SD 領域割り込みモニタフラグレジスタ(128~159)	INTFLAG4	0x0110
SD 領域割り込みモニタフラグレジスタ(160~191)	INTFLAG5	0x0114
SD 領域割り込みモニタフラグレジスタ(192~223)	INTFLAG6	0x0118
SD 領域割り込みモニタフラグレジスタ(224~255)	INTFLAG7	0x011C

7.6.2 NVIC レジスタ

7.6.2.1 SysTick 制御およびステータスレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	COUNTFLAG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	CLKSOURCE	TICKINT	ENABLE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-17	-	R	リードすると"0"が読めます。
16	COUNTFLAG	R/W	0: タイマは 0 になっていない 1: タイマが 0 になった "1"の場合、最後の読み出しの後にタイマが"0"になったことを示します。 このレジスタのいずれかの部分を読み出すとこのビットはクリアされます。
15-3	-	R	リードすると"0"が読めます。
2	CLKSOURCE	R/W	0: 外部参照クロック (fosc/64) 1: CPU クロック (fsys)
1	TICKINT	R/W	0: SysTick を保留しない 1: SysTick を保留する
0	ENABLE	R/W	0: ディセーブル 1: イネーブル "1"をセットするとリロード値レジスタの値をカウンタにロードし、動作を開始します。

7.6.2.2 SysTick リロード値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RELOAD							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	RELOAD							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	RELOAD							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	-	R	リードすると"0"が読めます。
23-0	RELOAD	R/W	リロード値 タイマが"0"になったときに SysTick 現在値レジスタにロードする値を設定します。

7.6.2.3 SysTick 現在値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CURRENT							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	CURRENT							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CURRENT							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	-	R	リードすると"0"が読めます。
23-0	CURRENT	R/W	[リード] SysTick タイマ現在値 [ライト] クリア 任意の値を書き込むとタイマカウントがクリアされます。 このレジスタをクリアすることで、SysTick 制御およびステータスレジスタの<COUNTFLAG>もクリアされます。

7.6.2.4 SysTick 較正值レジスタ

	31	30	29	28	27	26	25	24
bit symbol	NOREF	SKEW	-	-	-	-	-	-
リセット後	0	1	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	NOREF	R	0: 参照クロックあり 1: 参照クロックなし
30	SKEW	R	0: 較正值は 10 ms 1: 較正值は 10 ms でない
29-24	-	R	リードすると"0"が読めます。
23-0	TENMS	R	較正值

7.6.2.5 割り込み制御用レジスタ

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 31)	SETENA (割り込み 30)	SETENA (割り込み 29)	SETENA (割り込み 28)	SETENA (割り込み 27)	SETENA (割り込み 26)	SETENA (割り込み 25)	SETENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 23)	SETENA (割り込み 22)	SETENA (割り込み 21)	SETENA (割り込み 20)	SETENA (割り込み 19)	SETENA (割り込み 18)	SETENA (割り込み 17)	SETENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 15)	SETENA (割り込み 14)	SETENA (割り込み 13)	SETENA (割り込み 12)	SETENA (割り込み 11)	SETENA (割り込み 10)	SETENA (割り込み 9)	SETENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 7)	SETENA (割り込 6)	SETENA (割り込み 5)	SETENA (割り込み 4)	SETENA (割り込み 3)	SETENA (割り込み 2)	SETENA (割り込み 1)	SETENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit symbol	Type	機能
31-0	SETENA	R/W	割り込み番号[31:0] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。

注) <SETNEA>と<CLRENA>を同時に設定することはできません。後から設定したほうが有効になります。

7.6.2.6 割り込みイネーブルクリアレジスタ

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 31)	CLRENA (割り込み 30)	CLRENA (割り込み 29)	CLRENA (割り込み 28)	CLRENA (割り込み 27)	CLRENA (割り込み 26)	CLRENA (割り込み 25)	CLRENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 23)	CLRENA (割り込み 22)	CLRENA (割り込み 21)	CLRENA (割り込み 20)	CLRENA (割り込み 19)	CLRENA (割り込み 18)	CLRENA (割り込み 17)	CLRENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 15)	CLRENA (割り込み 14)	CLRENA (割り込み 13)	CLRENA (割り込み 12)	CLRENA (割り込み 11)	CLRENA (割り込み 10)	CLRENA (割り込み 9)	CLRENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 7)	CLRENA (割り込み 6)	CLRENA (割り込み 5)	CLRENA (割り込み 4)	CLRENA (割り込み 3)	CLRENA (割り込み 2)	CLRENA (割り込み 1)	CLRENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit symbol	Type	機能
31-0	CLRENA	R/W	割り込み番号[31:0] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。

注) <SETNEA>と<CLRENA>を同時に設定することはできません。後から設定したほうが有効になります。

7.6.2.7 割り込み保留セットレジスタ

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 31)	SETPEND (割り込み 30)	SETPEND (割り込み 29)	SETPEND (割り込み 28)	SETPEND (割り込み 27)	SETPEND (割り込み 26)	SETPEND (割り込み 25)	SETPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 23)	SETPEND (割り込み 22)	SETPEND (割り込み 21)	SETPEND (割り込み 20)	SETPEND (割り込み 19)	SETPEND (割り込み 18)	SETPEND (割り込み 17)	SETPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 15)	SETPEND (割り込み 14)	SETPEND (割り込み 13)	SETPEND (割り込み 12)	SETPEND (割り込み 11)	SETPEND (割り込み 10)	SETPEND (割り込み 9)	SETPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 7)	SETPEND (割り込 6)	SETPEND (割り込み 5)	SETPEND (割り込み 4)	SETPEND (割り込み 3)	SETPEND (割り込み 2)	SETPEND (割り込み 1)	SETPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit symbol	Type	機能
31-0	SETPEND	R/W	割り込み番号[31:0] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり

- 注 1) <SETPEND>と<CLRPEND>を同時に設定することはできません。後から設定したほうが有効になります。
- 注 2) 外部割り込みを使用する場合注意が必要です。INTxxxEN="0"(低消費電力モード解除 未使用)状態で IEx="0"(入力禁止)とした場合、Hi 信号が CPU に伝わる為、割り込み保留と読み込めます。外部割り込みを使用する場合は、IEx="1"(入力許可)としてから、割り込み保留をクリアしてからご使用ください。
- 注 3) 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されるかどうかを確認できます。"1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。リードの場合、該当する割り込みが保留されているかどうかを示します。このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。

7.6.2.8 割り込み保留クリアレジスタ

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 31)	CLRPEND (割り込み 30)	CLRPEND (割り込み 29)	CLRPEND (割り込み 28)	CLRPEND (割り込み 27)	CLRPEND (割り込み 26)	CLRPEND (割り込み 25)	CLRPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 23)	CLRPEND (割り込み 22)	CLRPEND (割り込み 21)	CLRPEND (割り込み 20)	CLRPEND (割り込み 19)	CLRPEND (割り込み 18)	CLRPEND (割り込み 17)	CLRPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 15)	CLRPEND (割り込み 14)	CLRPEND (割り込み 13)	CLRPEND (割り込み 12)	CLRPEND (割り込み 11)	CLRPEND (割り込み 10)	CLRPEND (割り込み 9)	CLRPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 7)	CLRPEND (割り込み 6)	CLRPEND (割り込み 5)	CLRPEND (割り込み 4)	CLRPEND (割り込み 3)	CLRPEND (割り込み 2)	CLRPEND (割り込み 1)	CLRPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit symbol	Type	機能
31-0	CLRPEND	R/W	割り込み番号[31:0] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり

- 注 1) <SETPEND>と<CLRPEND>を同時に設定することはできません。後から設定したほうが有効になります。
- 注 2) 外部割り込みを使用する場合注意が必要です。INTxxxEN="0"(低消費電力モード解除 未使用)状態で IEx="0"(入力禁止)とした場合、Hi 信号が CPU に伝わる為、割り込み保留と読み込めます。外部割り込みを使用する場合は、IEx="1"(入力許可)としてから、割り込み保留をクリアしてからご使用ください。
- 注 3) 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されるかどうかを確認できます。"1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。リードの場合、該当する割り込みが保留されているかどうかを示します。

7.6.2.9 割り込み優先度レジスタ

各割り込みに対し 8 ビットごとの構成になっています。
割り込み番号と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

Table with 5 columns (addresses 0xE000_E400 to 0xE000_E41C) and 5 rows (PRI_3 to PRI_0). Bit positions 31, 24, 23, 16, 15, 8, 7, 0 are indicated above the columns.

Cortex-M0 コアでは 2 ビットで優先度を設定することができます。
以下に、代表として割り込み番号 0~3 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

Table showing bit symbols and reset values for PRI_3, PRI_2, PRI_1, and PRI_0 across bit ranges 31-24, 23-16, 15-8, and 7-0.

Table with 4 columns: Bit, Bit Symbol, Type, and 機能 (Function). It details the configuration for interrupt priority registers PRI_3, PRI_2, PRI_1, and PRI_0.

7.6.2.10 アプリケーション割り込みおよびリセット制御レジスタ

	31	30	29	28	27	26	25	24
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	SYSRESET REQ	VECTCLR ACTIVE	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	VECTKEY (ライト)/ VECTKEYSTAT (リード)	R/W	レジスタキー [ライト]このレジスタへ書き込みを行うには、<VECTKEY>に"0x05FA"を書き込む必要があります。 [リード]リードすると"0xFA05"が読めます。
15-3	-	R	リードすると"0"が読めます。
2	SYSRESET REQ	R/W	システムリセットリクエスト "1"をセットすると CPU が SYSRESETREQ 信号を出力します。(注)
1	VECTCLR ACTIVE	R/W	アクティブなベクタのクリア 1: アクティブな NMI、フォールト、割り込みの全ての状態の情報をクリアします。 0: クリアしません。 このビットは自身の動作によりクリアされます。 スタックの再初期化はアプリケーションで行う必要があります。
0	-	R	リードすると"0"が読めます。

注) SYSRESETREQ が出力されるとウォームリセットが発生します。ウォームリセットにより
<SYSRESETREQ>はクリアされます。

7.6.2.11 システムハンドラ優先度レジスタ

例外と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31	24	23	16	15	8	7	0
0xE000_ED1C	PRI_11 (SVCall)		PRI_10		PRI_9		PRI_8	
0xE000_ED20	PRI_15 (SysTick)		PRI_14 (PendSV)		PRI_13		PRI_12	

Cortex-M0 コアでは、2 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 12~15 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_15			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_14			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_13			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_12			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-30	PRI_15	R/W	SysTick 優先度
29-24	-	R	リードすると"0"が読めます。
23-22	PRI_14	R/W	PendSV 優先度
21-16	-	R	リードすると"0"が読めます。
15-14	PRI_13	R/W	予約
12-8	-	R	リードすると"0"が読めます。
7-6	PRI_12	R/W	予約
4-0	-	R	リードすると"0"が読めます。

7.6.2.12 システムハンドラ制御および状態レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SVCALL PENDED	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15	SVCALL PENDED	R/W	SVCall 0: 保留されていない 1: 保留されている
14-0	-	R	リードすると"0"が読めます。

注) アクティブビットの書き換えは、スタックの内容の更新などはいきませんので注意して行ってください。

7.6.3 INTIF(割り込み制御レジスタ)

7.6.3.1 INTCTL(割り込み制御レジスタ、NMI、低消費電力モード解除用)

割り込みを制御するレジスタは、対象の割り込み要因により制御レジスタが割り当てられます。
本製品では、下記が用意されています。

管理番号	アドレス	INTCTLAO 割り込み制御レジスタ(AOBUS)	INTCTLSO 割り込み制御レジスタ(IOBUS)
000	X+0x00		-
~	~		-
015	X+0x0F		-
016	X+0x10		STOP1INT_016 または IDLEINT_016
~	~		~
031	Y+0x1F		STOP1INT_031 または IDLEINT_031
032	X+0x20	STOP2INT_032	-
~	~	~	-
095	X+0x5F	STOP2INT_095	-
096	Y+0x60		STOP1INT_096 または IDLEINT_096
~	~		~
255	Y+0xFF		STOP1INT_255 または IDLEINT_255

X=0x4003_8000(AO バスエリア)、Y=0x400F_4E00(IO バスエリア)

STOP2INT_xxx の機能は以下のとおりです。(xxx は割り込みの管理番号です。xxx=000~015、032~095)

STOP2INT_xxx								
Bit No.	7	6	5	4	3	2	1	0
Symbol	INTxxxNCLR	INTxxxPCLR	INTxxxNFLG	INTxxxPFLG	INTxxxMODE			INTxxxEN
Attribute	W	W	R	R	RW	RW	RW	RW
After Reset	*	*	0	0	0	0	0	0

ビット名	説明	Read 時	Write 時
INTxxxNCLR	立ち下がりエッジ検出フラグクリア制御	Read すると 0 が読み出されます	0 : - 1 : フラグクリア
INTxxxPCLR	立ち上がりエッジ検出フラグクリア制御	Read すると 0 が読み出されます	0 : - 1 : フラグクリア
INTxxxNFLG	立ち下がりエッジ検出フラグ	0 : フラグ非成立 1 : フラグ成立	0 : - 1 : -
INTxxxPFLG	立ち上がりエッジ検出フラグ	0 : フラグ非成立 1 : フラグ成立	0 : - 1 : -
INTxxxMODE	検出レベル/エッジ選択	000 : L レベル 001 : H レベル 010 : 立ち下がりエッジ 011 : 立ち上がりエッジ 100 : 両エッジ 101 : Reserved 11* : Reserved	
INTxxxEN	割り込み制御	0 : 割り込み検出禁止 1 : 割り込み検出許可	

注 1) INTxxxMODE の、Reserved の設定は何も選択されない状態(割り込みを受け付けない状態)となります。

STOP1INT_xxx の機能は以下のとおりです。(xxx は割り込みの管理番号です。xxx=016~031、096~255)

STOP1INT_xxx

Bit No.	7	6	5	4	3	2	1	0
Symbol	INTxxxNCLR	INTxxxPCLR	INTxxxNFLG	INTxxxPFLG	INTxxxMODE			INTxxxEN
Attribute	W	W	R	R	RW	RW	RW	RW
After Reset	*	*	0	0	0	0	0	0

ビット名	説明	Read 時	Write 時
INTxxxNCLR	立ち下がりエッジ検出フラグクリア制御	Read すると 0 が読み出されます	0 : - 1 : フラグクリア
INTxxxPCLR	立ち上がりエッジ検出フラグクリア制御	Read すると 0 が読み出されます	0 : - 1 : フラグクリア
INTxxxNFLG	立ち下がりエッジ検出フラグ	0 : フラグ非成立 1 : フラグ成立	0 : - 1 : -
INTxxxPFLG	立ち上がりエッジ検出フラグ	0 : フラグ非成立 1 : フラグ成立	0 : - 1 : -
INTxxxMODE	検出レベル/エッジ選択	000 : L レベル 001 : H レベル 010 : 立ち下がりエッジ 011 : 立ち上がりエッジ 100 : 両エッジ 101 : Reserved 11* : Reserved	
INTxxxEN	割り込み制御	0 : 割り込み検出禁止 1 : 割り込み検出許可	

注 1) INTxxxMODE の、Reserved の設定は何も選択されない状態(割り込みを受け付けない状態)となります。

IDLEINT_xxx の機能は以下のとおりです。(xxx は割り込みの管理番号です。xxx=016~031、096~255)

IDLEINT_xxx								
Bit No.	7	6	5	4	3	2	1	0
Symbol	INTxxxNCLR	INTxxxPCLR	INTxxxNFLG	INTxxxPFLG	INTxxxMODE			INTxxxEN
Attribute	W	W	R	R	RW	RW	RW	RW
After Reset	*	*	0	0	0	0	0	0

ビット名	説明	Read 時	Write 時
INTxxxNCLR	立ち下がりエッジ検出フラグクリア制御	Read すると 0 が読み出されます	0 : - 1 : フラグクリア
INTxxxPCLR	立ち上がりエッジ検出フラグクリア制御	Read すると 0 が読み出されます	0 : - 1 : フラグクリア
INTxxxNFLG	L パルス検出フラグ	0 : フラグ非成立 1 : フラグ成立	0 : - 1 : -
INTxxxPFLG	H パルス検出フラグ	0 : フラグ非成立 1 : フラグ成立	0 : - 1 : -
INTxxxMODE	検出レベル/エッジ選択	000 : L レベル 001 : H レベル 010 : L パルス 011 : H パルス 100 : Reserved 101 : Reserved 11* : Reserved	
INTxxxEN	割り込み制御	0 : 割り込み検出禁止 1 : 割り込み検出許可	

注 1) INTxxxMODE の、Reserved の設定は何も選択されない状態(割り込みを受け付けない状態) となります。

本製品で使用する STOP2INT の管理番号は以下のようになっています。

管理番号	Address	Symbol	割り込み名
32	0x4003_8020	STOP2INT_032	外部割り込み 0
33	0x4003_8021	STOP2INT_033	外部割り込み 1
34	0x4003_8022	STOP2INT_034	外部割り込み 2
35	0x4003_8023	STOP2INT_035	外部割り込み 3
36	0x4003_8024	STOP2INT_036	外部割り込み 4
37	0x4003_8025	STOP2INT_037	外部割り込み 5
38	0x4003_8026	STOP2INT_038	I2C(アドレス一致 Wake-up) 割り込み
39	0x4003_8027	STOP2INT_039	USB Wakeup 割り込み

各割り込みの MODE と EN 制御の詳細は以下のとおりです。

[STOP2INT_032]

ビット名	説明	Read 時	Write 時
INT032MODE	検出レベル/エッジ選択	000 : L レベル 001 : H レベル 010 : 立ち下がりエッジ 011 : 立ち上がりエッジ 100 : 両エッジ 101 : Reserved 10* : Reserved	←
INT032EN	割り込み制御	0 : 割り込み検出禁止 1 : 割り込み検出許可	←

[STOP2INT_033]

ビット名	説明	Read 時	Write 時
INT033MODE	検出レベル/エッジ選択	000 : L レベル 001 : H レベル 010 : 立ち下がりエッジ 011 : 立ち上がりエッジ 100 : 両エッジ 101 : Reserved 10* : Reserved	←
INT033EN	割り込み制御	0 : 割り込み検出禁止 1 : 割り込み検出許可	←

[STOP2INT_034]

ビット名	説明	Read 時	Write 時
INT034MODE	検出レベル/エッジ選択	000 : L レベル 001 : H レベル 010 : 立ち下がりエッジ 011 : 立ち上がりエッジ 100 : 両エッジ 101 : Reserved 10* : Reserved	←
INT034EN	割り込み制御	0 : 割り込み検出禁止 1 : 割り込み検出許可	←

[STOP2INT_035]

ビット名	説明	Read 時	Write 時
INT035MODE	検出レベル/エッジ選択	000 : L レベル 001 : H レベル 010 : 立ち下がりエッジ 011 : 立ち上がりエッジ 100 : 両エッジ 101 : Reserved 10* : Reserved	←
INT035EN	割り込み制御	0 : 割り込み検出禁止 1 : 割り込み検出許可	←

[STOP2INT_036]

ビット名	説明	Read 時	Write 時
INT036MODE	検出レベル/エッジ選択	000 : L レベル 001 : H レベル 010 : 立ち下がりエッジ 011 : 立ち上がりエッジ 100 : 両エッジ 101 : Reserved 10* : Reserved	←
INT036EN	割り込み制御	0 : 割り込み検出禁止 1 : 割り込み検出許可	←

[STOP2INT_037]

ビット名	説明	Read 時	Write 時
INT037MODE	検出レベル/エッジ選択	000 : L レベル 001 : H レベル 010 : 立ち下がりエッジ 011 : 立ち上がりエッジ 100 : 両エッジ 101 : Reserved 10* : Reserved	←
INT037EN	割り込み制御	0 : 割り込み検出禁止 1 : 割り込み検出許可	←

[STOP2INT_038]

ビット名	説明	Read 時	Write 時
INT038MODE	検出レベル/エッジ選択	000 : L レベル 001 : H レベル 010 : 立ち下がりエッジ 011 : 立ち上がりエッジ 100 : 両エッジ 101 : Reserved 10* : Reserved	←
INT038EN	割り込み制御	0 : 割り込み検出禁止 1 : 割り込み検出許可	←

[STOP2INT_039]

ビット名	説明	Read 時	Write 時
INT039MODE	検出レベル/エッジ選択	000 : L レベル 001 : H レベル 010 : 立ち下がりエッジ 011 : 立ち上がりエッジ 100 : 両エッジ 101 : Reserved 10* : Reserved	←
INT039EN	割り込み制御	0 : 割り込み検出禁止 1 : 割り込み検出許可	←

本製品で使用する STOP1INT, IDLEINT の管理番号は以下のようになっています。

管理番号	Address	Symbol	割り込み名
16	0x400F_4E10	STOP1INT_016	LVD 電圧低下検知割り込み
17	0x400F_4E11	STOP1INT_017	LVD 電圧復帰検知割り込み
18	0x400F_4E12	IDLEINT_018	WDT 割り込み
96	0x400F_4E60	IDLEINT_096	DMAch0 転送終了割り込み
97	0x400F_4E61	IDLEINT_097	DMAch1 転送終了割り込み
98	0x400F_4E62	IDLEINT_098	DMAch2 転送終了割り込み
99	0x400F_4E63	IDLEINT_099	DMAch3 転送終了割り込み
100	0x400F_4E64	IDLEINT_100	DMAch4 転送終了割り込み
101	0x400F_4E65	IDLEINT_101	DMAch5 転送終了割り込み
102	0x400F_4E66	IDLEINT_102	DMAch6 転送終了割り込み
103	0x400F_4E67	IDLEINT_103	DMAch7 転送終了割り込み
104	0x400F_4E68	IDLEINT_104	DMAch8 転送終了割り込み
105	0x400F_4E69	IDLEINT_105	DMAch9 転送終了割り込み
106	0x400F_4E6A	IDLEINT_106	DMAch10 転送終了割り込み
107	0x400F_4E6B	IDLEINT_107	DMAch11 転送終了割り込み
108	0x400F_4E6C	IDLEINT_108	DMAch12 転送終了割り込み
109	0x400F_4E6D	IDLEINT_109	DMAch13 転送終了割り込み
110	0x400F_4E6E	IDLEINT_110	DMAch14 転送終了割り込み
111	0x400F_4E6F	IDLEINT_111	DMAch15 転送終了割り込み
112	0x400F_4E70	IDLEINT_112	DMAch16 転送終了割り込み
113	0x400F_4E71	IDLEINT_113	DMAch17 転送終了割り込み
114	0x400F_4E72	IDLEINT_114	DMAch18 転送終了割り込み
115	0x400F_4E73	IDLEINT_115	DMAch19 転送終了割り込み
116	0x400F_4E74	IDLEINT_116	DMAch20 転送終了割り込み
117	0x400F_4E75	IDLEINT_117	DMAch21 転送終了割り込み
118	0x400F_4E76	IDLEINT_118	DMAch22 転送終了割り込み
119	0x400F_4E77	IDLEINT_119	DMAch23 転送終了割り込み
120	0x400F_4E78	IDLEINT_120	DMAch24 転送終了割り込み
121	0x400F_4E79	IDLEINT_121	DMAch25 転送終了割り込み
122	0x400F_4E7A	IDLEINT_122	DMAch26 転送終了割り込み
123	0x400F_4E7B	IDLEINT_123	DMAch27 転送終了割り込み
124	0x400F_4E7C	IDLEINT_124	DMAch28 転送終了割り込み
125	0x400F_4E7D	IDLEINT_125	DMAch29 転送終了割り込み
126	0x400F_4E7E	IDLEINT_126	DMAch30 転送終了割り込み

管理番号	Address	Symbol	割り込み名
127	0x400F_4E7F	IDLEINT_127	DMAch31 転送終了割り込み
128	0x400F_4E80	IDLEINT_128	DMA Error 転送終了割り込み
129	0x400F_4E81	IDLEINT_129	TMRBch0 オーバフロー割り込み
130	0x400F_4E82	IDLEINT_130	TMRBch0 キャプチャ割り込み 0
131	0x400F_4E83	IDLEINT_131	TMRBch0 キャプチャ割り込み 1
132	0x400F_4E84	IDLEINT_132	TMRBch1 オーバフロー割り込み
133	0x400F_4E85	IDLEINT_133	TMRBch1 キャプチャ割り込み 0
134	0x400F_4E86	IDLEINT_134	TMRBch1 キャプチャ割り込み 1
135	0x400F_4E87	IDLEINT_135	TMRBch2 オーバフロー割り込み
136	0x400F_4E88	IDLEINT_136	TMRBch2 キャプチャ割り込み 0
137	0x400F_4E89	IDLEINT_137	TMRBch2 キャプチャ割り込み 1
138	0x400F_4E8A	IDLEINT_138	TMRBch3 オーバフロー割り込み
139	0x400F_4E8B	IDLEINT_139	TMRBch3 キャプチャ割り込み 0
140	0x400F_4E8C	IDLEINT_140	TMRBch3 キャプチャ割り込み 1
141	0x400F_4E8D	IDLEINT_141	TMRBch4 オーバフロー割り込み
142	0x400F_4E8E	IDLEINT_142	TMRBch4 キャプチャ割り込み 0
143	0x400F_4E8F	IDLEINT_143	TMRBch4 キャプチャ割り込み 1
144	0x400F_4E90	IDLEINT_144	TMRBch5 オーバフロー割り込み
145	0x400F_4E91	IDLEINT_145	TMRBch5 キャプチャ割り込み 0
146	0x400F_4E92	IDLEINT_146	TMRBch5 キャプチャ割り込み 1
147	0x400F_4E93	IDLEINT_147	TMRBch6 オーバフロー割り込み
148	0x400F_4E94	IDLEINT_148	TMRBch6 キャプチャ割り込み 0
149	0x400F_4E95	IDLEINT_149	TMRBch6 キャプチャ割り込み 1
150	0x400F_4E96	IDLEINT_150	TMRBch7 オーバフロー割り込み
151	0x400F_4E97	IDLEINT_151	TMRBch7 キャプチャ割り込み 0
152	0x400F_4E98	IDLEINT_152	TMRBch7 キャプチャ割り込み 1
153	0x400F_4E99	IDLEINT_153	未使用
154	0x400F_4E9A	IDLEINT_154	
155	0x400F_4E9B	IDLEINT_155	
156	0x400F_4E9C	IDLEINT_156	
157	0x400F_4E9D	IDLEINT_157	
158	0x400F_4E9E	IDLEINT_158	
159	0x400F_4E9F	IDLEINT_159	
160	0x400F_4EA0	IDLEINT_160	TMRD コンペアー致 00
161	0x400F_4EA1	IDLEINT_161	TMRD コンペアー致 01
162	0x400F_4EA2	IDLEINT_162	TMRD コンペアー致 02
163	0x400F_4EA3	IDLEINT_163	TMRD コンペアー致 03
164	0x400F_4EA4	IDLEINT_164	TMRD コンペアー致 04
165	0x400F_4EA5	IDLEINT_165	TMRD コンペアー致 10
166	0x400F_4EA6	IDLEINT_166	TMRD コンペアー致 11
167	0x400F_4EA7	IDLEINT_167	TMRD コンペアー致 12
168	0x400F_4EA8	IDLEINT_168	TMRD コンペアー致 13
169	0x400F_4EA9	IDLEINT_169	TMRD コンペアー致 14

なお本製品の STOP1INT_016&017、IDLEINT_018、096 ~152、160~169 には、それぞれ下記の割り込み制御ビットのみがあります。

xxx = 016 to 018, 096 to 152, 160 to 169

ビット名	説明	Read 時	Write 時
INTxxxNCLR	立ち下がりエッジ検出フラグクリア制御	Read すると 0 が読み出されます	0 : - 1 : フラグクリア
INTxxxPCLR	立ち上がりエッジ検出フラグクリア制御	Read すると 0 が読み出されます	0 : - 1 : フラグクリア

注) 本製品の STOP1INT_xxx, IDLEINT_xxx レジスタには、bit0~bit5 の設定はありません。割り込み要因の解除にのみ使用します。

NMI の割り込み要求クリアも上記レジスタで実施してください。

(周辺機能からの結合される割り込みの禁止/許可は周辺機能で行います)

7.6.3.2 RSTFLG(リセットフラグレジスタ)

本製品には、リセット要因を確認するためにリセットフラグレジスタ RSTFLG、RSTFLG1 があります。

RSTFLG(リセットフラグ)

Bit No.	7	6	5	4	3	2	1	0
Symbol	–	–	LVDRSTF	–	PINRSTF	–	–	PORF
Attribute	RW	RW	RW	RW	RW	RW	RW	RW
After Reset	0	0	0	0	0	0	0	1

ビット名	説明	Read 時	Write 時
LVDRSTF	LVD RESET フラグ	0 : リセット未発生 1 : LVD RESET 発生	0 : RST フラグクリア 1 : –(無理)
PINRSTF	RESET 端子フラグ	0 : リセット未発生 1 : 端子 RESET 発生	0 : RST フラグクリア 1 : –(無理)
PORF	PowerOnReset フラグ	0 : リセット未発生 1 : PowerOnRESET 発生	0 : RST フラグクリア 1 : –(無理)

RSTFLG1(リセットフラグ)

Bit No.	7	6	5	4	3	2	1	0
Symbol	–	–	–	–	–	WDTRSTF	–	SYSRSTF
Attribute	RW	RW	RW	RW	RW	RW	RW	RW
After Reset	0	0	0	0	0	0	0	0

ビット名	説明	Read 時	Write 時
WDTRSTF	WDT RESET フラグ	0 : リセット未発生 1 : WDT RESET 発生	0 : RST フラグクリア 1 : –(無理)
SYSRSTF	SYSRESTREQ Reset フラグ	0 : リセット未発生 1 : SYSRESETREQ RESET 発生	0 : RST フラグクリア 1 : –(無理)

7.6.3.3 INTFLAG(割り込みモニタフラグレジスタ)

本製品には、割り込み要因をモニタする割り込みフラグがあります。

割り込みフラグは、実装される割り込み要因の属性により、下表のように配置されます。

本製品では、NMI 用の INTFLAG0 と AO 領域の INTFLAG1、SD 領域の INTFLAG3~5 が実装されています。

アドレス	割り込みフラグ (IOBUS)	備考	割り込み管理番号
Y+0x100	INTFLAG0	AO/SD 領域の NMI フラグ(16 ビットずつ)	0~31
Y+0x104	INTFLAG1	AO 領域の非同期割り込みフラグ	32~63
Y+0x108	INTFLAG2		64~95
Y+0x10C	INTFLAG3	SD 領域の非同期割り込み	96~127
Y+0x110	INTFLAG4		128~159
Y+0x114	INTFLAG5		160~191
Y+0x118	INTFLAG6		192~223
Y+0x11C	INTFLAG7		224~255

注) Y=0x400F_4E00(SD 領域、IO バスエリア)

INTFLAG0 の詳細は以下のとおりです。

INTFLAG0(NMI)

	31	30	29	28	27	26	25	24
bit symbol	INT31FLG	INT30FLG	INT29FLG	INT28FLG	INT27FLG	INT26FLG	INT25FLG	INT24FLG
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	INT23FLG	INT22FLG	INT21FLG	INT20FLG	INT19FLG	INT18FLG	INT17FLG	INT16FLG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	INT15FLG	INT14FLG	INT13FLG	INT12FLG	INT11FLG	INT10FLG	INT9FLG	INT8FLG
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	INT7FLG	INT6FLG	INT5FLG	INT4FLG	INT3FLG	INT2FLG	INT1FLG	INT0FLG
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	INT31FLG - INT19FLG	R	0 : 割り込み非検出(INT x NFLG、INT x PFLG がいずれも"0") 1 : 割り込み検出(INT x NFLG または INTxPFLG が"1")
18	INT18FLG	R	WDT 割り込み検出フラグ 0: 割り込み非検出 1: 割り込み検出
17	INT17FLG	R	LVD 電圧復帰検知割り込み検出フラグ 0: 割り込み非検出 1: 割り込み検出
16	INT16FLG	R	LVD 電圧低下検知割り込み検出フラグ 0: 割り込み非検出 1: 割り込み検出
15-0	INT15FLG - INT0FLG	R	0 : 割り込み非検出(INT x NFLG、INT x PFLG がいずれも"0") 1 : 割り込み検出(INT x NFLG または INTxPFLG が"1")

INTFLAG1の詳細は以下のとおりです。INTxxxFLGのxxxは、「7.5.1.8 割り込み管理番号」の割り込み管理番号です。

INTFLAG1(AO)

	31	30	29	28	27	26	25	24
bit symbol	INT63FLG	INT62FLG	INT61FLG	INT60FLG	INT59FLG	INT58FLG	INT57FLG	INT56FLG
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	INT55FLG	INT54FLG	INT53FLG	INT52FLG	INT51FLG	INT50FLG	INT49FLG	INT48FLG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	INT47FLG	INT46FLG	INT45FLG	INT44FLG	INT43FLG	INT42FLG	INT41FLG	INT40FLG
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	INT39FLG	INT38FLG	INT37FLG	INT36FLG	INT35FLG	INT34FLG	INT33FLG	INT32FLG
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	INT63FLG - INT32FLG	R	0 : 割り込み非検出(INT × NFLG、INT × PFLG がいずれも"0") 1 : 割り込み検出(INT × NFLG または INTxPFLG が"1")

注) 本製品では、INTFLAGの32~39を使用しています。

INTFLAG3~5の詳細は以下のとおりです。INTxxxFLGのxxxは、「7.5.1.8 割り込み管理番号」の割り込み管理番号です。本製品では、INTFLAG3,4の96~152、INTFLGA5の160~169を使用しています。

INTFLAG3(SD)

	31	30	29	28	27	26	25	24
bit symbol	INT127FLG	INT126FLG	INT125FLG	INT124FLG	INT123FLG	INT122FLG	INT121FLG	INT120FLG
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	INT119FLG	INT118FLG	INT117FLG	INT116FLG	INT115FLG	INT114FLG	INT113FLG	INT112FLG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	INT111FLG	INT110FLG	INT109FLG	INT108FLG	INT107FLG	INT106FLG	INT105FLG	INT104FLG
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	INT103FLG	INT102FLG	INT101FLG	INT100FLG	INT99FLG	INT98FLG	INT97FLG	INT96FLG
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	INT127FLG - INT96FLG	R	0 : 割り込み非検出(INT x NFLG、INT x PFLG がいずれも"0") 1 : 割り込み検出(INT x NFLG または INTxPFLG が"1")

INTFLAG4(SD)

	31	30	29	28	27	26	25	24
bit symbol	INT159FLG	INT158FLG	INT157FLG	INT156FLG	INT155FLG	INT154FLG	INT153FLG	INT152FLG
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	INT151FLG	INT150FLG	INT149FLG	INT148FLG	INT147FLG	INT146FLG	INT145FLG	INT144FLG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	INT143FLG	INT142FLG	INT141FLG	INT140FLG	INT139FLG	INT138FLG	INT137FLG	INT136FLG
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	INT135FLG	INT134FLG	INT133FLG	INT132FLG	INT131FLG	INT130FLG	INT129FLG	INT128FLG
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	INT159FLG - INT128FLG	R	0 : 割り込み非検出(INT x NFLG、INT x PFLG がいずれも"0") 1 : 割り込み検出(INT x NFLG または INTxPFLG が"1")

INTFLAG5(SD)

	31	30	29	28	27	26	25	24
bit symbol	INT191FLG	INT190FLG	INT189FLG	INT188FLG	INT187FLG	INT186FLG	INT185FLG	INT184FLG
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	INT183FLG	INT182FLG	INT181FLG	INT180FLG	INT179FLG	INT178FLG	INT177FLG	INT176FLG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	INT175FLG	INT174FLG	INT173FLG	INT172FLG	INT171FLG	INT170FLG	INT169FLG	INT168FLG
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	INT167FLG	INT166FLG	INT165FLG	INT164FLG	INT163FLG	INT162FLG	INT161FLG	INT160FLG
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	INT191FLG - INT160FLG	R	0 : 割り込み非検出(INT x NFLG、INT x PFLG がいずれも"0") 1 : 割り込み検出(INT x NFLG または INTxPFLG が"1")

第 8 章 μDMA コントローラ (μDMAC)

8.1 概要

8.1.1 機能一覧

1 ユニットあたりの主な機能を以下に説明します。

周辺機能による起動トリガの情報については、「製品情報」章を参照してください。

表 8-1 μDMA 概要(1 ユニットあたり)

項目	機能	
チャンネル数	32ch	
DMA 起動トリガ	ハードウェアでスタート	
	ソフトウェアでスタート	
プライオリティ	チャンネル間	ch0(高優先度) > ... > ch31(高優先度) > ch0(通常優先度) > ... > ch31(通常優先度)
転送データサイズ	8/16/32bit	
転送回数	1~1024 回	
アドレス	転送元アドレス	インクリメント/固定
	転送先アドレス	インクリメント/固定
エンディアン	リトルエンディアン	
割込み機能	転送終了割込み	
	エラー割込み	
動作モード	基本モード 自動要求モード ピンポンモード メモリスキャッターギャザーモード 周辺スキャッターギャザーモード	

8.2 ブロック図

μDMA コントローラは以下の機能ブロックを内蔵しています。

- ・ APB ブロック
制御レジスタへのアクセスを制御します。
- ・ AHB ブロック
DMA 転送のバスサイクルを制御します。
- ・ DMA 制御ブロック
DMA 動作全体の制御を行います。

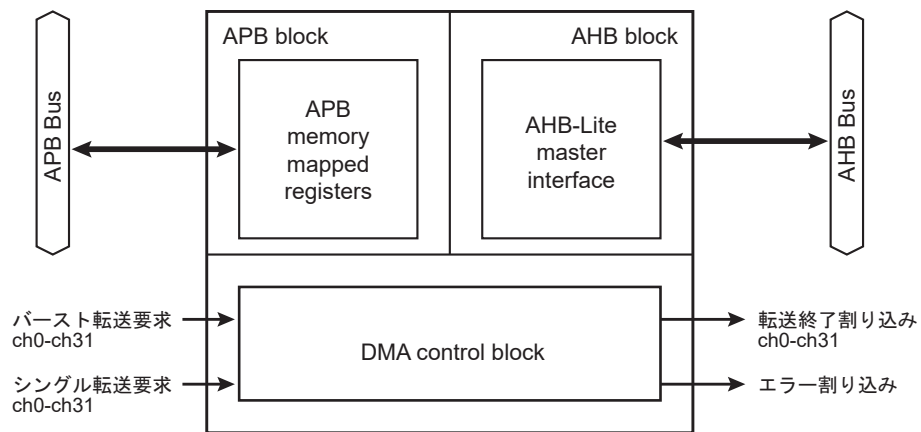


図 8-1 μDMA ブロック図(ユニット共通)

8.3 レジスタ説明

8.3.1 レジスタ一覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照下さい。

周辺機能名:DMA

レジスタ名		Address(Base+)
DMA status Register	DMAxStatus	0x0000
DMA configuration Register	DMAxCfg	0x0004
channel control data base pointer Register	DMAxCtrlBasePtr	0x0008
channel alternate control data base pointer Register	DMAxAltCtlBasePtr	0x000C
channel software request status Register	DMAxChnlSwRequest	0x0014
channel useburst set Register	DMAxChnlUseburstSet	0x0018
channel useburst clear Register	DMAxChnlUseburstClr	0x001C
channel request mask set Register	DMAxChnlReqMaskSet	0x0020
channel request mask clear Register	DMAxChnlReqMaskClr	0x0024
channel enable set Register	DMAxChnlEnableSet	0x0028
channel enable clear Register	DMAxChnlEnableClr	0x002C
channel primary-alternate set Register	DMAxChnlPriAltSet	0x0030
channel primary-alternate clear Register	DMAxChnlPriAltClr	0x0034
channel priority set Register	DMAxChnlPrioritySet	0x0038
channel priority clear Register	DMAxChnlPriorityClr	0x003C
Bus error clear Register	DMAxErrClr	0x004C

注) レジスタは必ずワード（32bit）アクセスしてください。

8.3.2 DMAxStatus (DMAC Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	1	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	master_
リセット後	不定	不定	不定	不定	0	0	0	enable
								0

Bit	Bit Symbol	Type	機能
31-29	-	R	"0"が読めます。
28	-	R	"1"が読めます。
27-21	-	R	"0"が読めます。
20-16	-	R	"1"が読めます。
15-8	-	R	"0"が読めます。
7-4	-	R	不定値が読めます。
3-1	-	R	"0"が読めます。
0	master_enable	R	DMA 動作 0: 禁止 1: 許可

8.3.3 DMAxCfg (DMAC Configuration Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	master_
リセット後	不定	不定	不定	不定	不定	不定	不定	enable

Bit	Bit Symbol	Type	機能
31-1	-	W	"0"をライトしてください。
0	master_enable	W	DMA 動作 0 : 禁止 1 : 許可

注) DMAxCfg = 0x00000001, DMAxChnlReqMaskSet = 0xFFFFFFFF, DMAxChnlEnableSet = 0xFFFFFFFF を設定した後、使用するチャネルをマスク解除(DMAxChnlReqMaskClr の該当ビットを"1")に設定してください。

8.3.4 DMAxCtrlBasePtr (Channel control data base pointer Register)

	31	30	29	28	27	26	25	24
bit symbol	ctrl_base_ptr							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ctrl_base_ptr							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ctrl_base_ptr						-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	ctrl_base_ptr	R/W	1 次データベースポインタ 1 次データのベースアドレスを指定します。
9-0	-	R	"0"が読めます。

8.3.5 DMAxAltCtrlBasePtr (Channel alternate control data base pointer Register)

	31	30	29	28	27	26	25	24
bit symbol	alt_ctrl_base_pt							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	alt_ctrl_base_pt							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	alt_ctrl_base_pt							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	alt_ctrl_base_pt							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	alt_ctrl_base_pt	R	代替データベースポインタ 代替データのベースアドレスが読めます。

8.3.6 DMAxChnlSwRequest(Channel software request Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_sw_request (ch31)	chnl_sw_request (ch30)	chnl_sw_request (ch29)	chnl_sw_request (ch28)	chnl_sw_request (ch27)	chnl_sw_request (ch26)	chnl_sw_request (ch25)	chnl_sw_request (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_sw_request (ch23)	chnl_sw_request (ch22)	chnl_sw_request (ch21)	chnl_sw_request (ch20)	chnl_sw_request (ch19)	chnl_sw_request (ch18)	chnl_sw_request (ch17)	chnl_sw_request (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_sw_request (ch15)	chnl_sw_request (ch14)	chnl_sw_request (ch13)	chnl_sw_request (ch12q)	chnl_sw_request (ch11)	chnl_sw_request (ch10)	chnl_sw_request (ch9)	chnl_sw_request (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_sw_request (ch7)	chnl_sw_request (ch6)	chnl_sw_request (ch5)	chnl_sw_request (ch4)	chnl_sw_request (ch3)	chnl_sw_request (ch2)	chnl_sw_request (ch1)	chnl_sw_request (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_sw_request	W	DMA 要求 0: 転送要求しない 1: 転送要求する 各チャンネルに対する転送要求を設定します。

8.3.7 DMAxChnlUseburstSet(Channel useburst set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_useburst_set (ch31)	chnl_useburst_set (ch30)	chnl_useburst_set (ch29)	chnl_useburst_set (ch28)	chnl_useburst_set (ch27)	chnl_useburst_set (ch26)	chnl_useburst_set (ch25)	chnl_useburst_set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_useburst_set (ch23)	chnl_useburst_set (ch22)	chnl_useburst_set (ch21)	chnl_useburst_set (ch20)	chnl_useburst_set (ch19)	chnl_useburst_set (ch18)	chnl_useburst_set (ch17)	chnl_useburst_set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_useburst_set (ch15)	chnl_useburst_set (ch14)	chnl_useburst_set (ch13)	chnl_useburst_set (ch12)	chnl_useburst_set (ch11)	chnl_useburst_set (ch10)	chnl_useburst_set (ch9)	chnl_useburst_set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_useburst_set (ch7)	chnl_useburst_set (ch6)	chnl_useburst_set (ch5)	chnl_useburst_set (ch4)	chnl_useburst_set (ch3)	chnl_useburst_set (ch2)	chnl_useburst_set (ch1)	chnl_useburst_set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_useburst_set	R/W	シングル転送禁止 [ライト] 1: シングル転送を禁止する [リード] 0: シングル転送許可 1: シングル転送禁止 各ビットが指定された番号のチャンネルに対応しています。 "1"をライトすることで該当するチャンネルのシングル転送が禁止され、バースト転送要求のみが有効になります。"0"の書き込みは意味を持ちません。シングル転送禁止を解除する際は、DMAxChnlUseburstClr レジスタで行います。 リードの場合、該当するチャンネルのシングル転送の許可/禁止状態が確認できます。 以下の場合、自動的にビットが操作されます。 ・最後から2番目の2^R回転送("R"は制御データの channel_cfg<R_power>で設定)終了時に残りの転送回数が2^R回未満の場合、このビットは"0"にクリアされます。 ・周辺スキャッターギャザーモードで、制御データの channel_cfg<next_useburst>が"1"に設定されている場合、代替データによるDMA転送終了後にこのビットに"1"が設定されます。

注) 転送回数が2^R回未満の設定で、バースト転送要求を使用しない場合はこのビットに"1"を設定しないでください。

8.3.8 DMAxChnlUseburstClr(Channel useburst clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_useburst_clr (ch31)	chnl_useburst_clr (ch30)	chnl_useburst_clr (ch29)	chnl_useburst_clr (ch28)	chnl_useburst_clr (ch27)	chnl_useburst_clr (ch26)	chnl_useburst_clr (ch25)	chnl_useburst_clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_useburst_clr (ch23)	chnl_useburst_clr (ch22)	chnl_useburst_clr (ch21)	chnl_useburst_clr (ch20)	chnl_useburst_clr (ch19)	chnl_useburst_clr (ch18)	chnl_useburst_clr (ch17)	chnl_useburst_clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_useburst_clr (ch15)	chnl_useburst_clr (ch14)	chnl_useburst_clr (ch13)	chnl_useburst_clr (ch12)	chnl_useburst_clr (ch11)	chnl_useburst_clr (ch10)	chnl_useburst_clr (ch9)	chnl_useburst_clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_useburst_clr (ch7)	chnl_useburst_clr (ch6)	chnl_useburst_clr (ch5)	chnl_useburst_clr (ch4)	chnl_useburst_clr (ch3)	chnl_useburst_clr (ch2)	chnl_useburst_clr (ch1)	chnl_useburst_clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_useburst_clr	W	シングル転送許可 1: シングル転送を許可する 各ビットが指定された番号のチャンネルに対応しています。 "1"をライトすることで該当するチャンネルのシングル転送を許可します。"0"の書き込みは意味を持ちません。 シングル転送の禁止および設定の確認は、DMAxChnlUseburstSet レジスタで行います。

8.3.9 DMAxChnlReqMaskSet(Channel request mask set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_req_mas k_set (ch31)	chnl_req_mas k_set (ch30)	chnl_req_mas k_set (ch29)	chnl_req_mas k_set (ch28)	chnl_req_mas k_set (ch27)	chnl_req_mas k_set (ch26)	chnl_req_mas k_set (ch25)	chnl_req_mas k_set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_req_mas k_set (ch23)	chnl_req_mas k_set (ch22)	chnl_req_mas k_set (ch21)	chnl_req_mas k_set (ch20)	chnl_req_mas k_set (ch19)	chnl_req_mas k_set (ch18)	chnl_req_mas k_set (ch17)	chnl_req_mas k_set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_req_mas k_set (ch15)	chnl_req_mas k_set (ch14)	chnl_req_mas k_set (ch13)	chnl_req_mas k_set (ch12)	chnl_req_mas k_set (ch11)	chnl_req_mas k_set (ch10)	chnl_req_mas k_set (ch9)	chnl_req_mas k_set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_req_mas k_set (ch7)	chnl_req_mas k_set (ch6)	chnl_req_mas k_set (ch5)	chnl_req_mas k_set (ch4)	chnl_req_mas k_set (ch3)	chnl_req_mas k_set (ch2)	chnl_req_mas k_set (ch1)	chnl_req_mas k_set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_req_mask_set	R/W	DMA 要求マスク [ライト] 1: 周辺回路からの DMA 要求をマスクする [リード] 0: DMA 外部要求は有効 1: DMA 外部要求は無効 各ビットが指定された番号のチャンネルに対応しています。 "1"をライトすることで該当するチャンネルに対する転送要求を無効にします。"0"の書き込みは意味を持ちません。マスクを無効にする際は、DMAxChnlReqMaskClr レジスタで行います。 リードの場合、該当するチャンネルの DMA 外部要求マスク有効/無効の状態が確認できます。

8.3.10 DMAxChnlReqMaskClr(Channel request mask clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_req_mas k_clr (ch31)	chnl_req_mas k_clr (ch30)	chnl_req_mas k_clr (ch29)	chnl_req_mas k_clr (ch28)	chnl_req_mas k_clr (ch27)	chnl_req_mas k_clr (ch26)	chnl_req_mas k_clr (ch25)	chnl_req_mas k_clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_req_mas k_clr (ch23)	chnl_req_mas k_clr (ch22)	chnl_req_mas k_clr (ch21)	chnl_req_mas k_clr (ch20)	chnl_req_mas k_clr (ch19)	chnl_req_mas k_clr (ch18)	chnl_req_mas k_clr (ch17)	chnl_req_mas k_clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_req_mas k_clr (ch15)	chnl_req_mas k_clr (ch14)	chnl_req_mas k_clr (ch13)	chnl_req_mas k_clr (ch12)	chnl_req_mas k_clr (ch11)	chnl_req_mas k_clr (ch10)	chnl_req_mas k_clr (ch9)	chnl_req_mas k_clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_req_mas k_clr (ch7)	chnl_req_mas k_clr (ch6)	chnl_req_mas k_clr (ch5)	chnl_req_mas k_clr (ch4)	chnl_req_mas k_clr (ch3)	chnl_req_mas k_clr (ch2)	chnl_req_mas k_clr (ch1)	chnl_req_mas k_clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_req_mask_clr	W	DMA 要求マスクの解除 1: 該当するチャンネルの DMA 要求マスクを解除する 各ビットが指定された番号のチャンネルに対応しています。 "1"をライトすることで該当するチャンネルの DMA 要求マスクを無効にします。"0"の書き込みは意味を持ちません。 有効の設定および設定の確認は、DMAxChnlReqMaskSet レジスタで行います。

8.3.11 DMAxChnlEnableSet(Channel enable set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_enable_set (ch31)	chnl_enable_set (ch30)	chnl_enable_set (ch29)	chnl_enable_set (ch28)	chnl_enable_set (ch27)	chnl_enable_set (ch26)	chnl_enable_set (ch25)	chnl_enable_set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_enable_set (ch23)	chnl_enable_set (ch22)	chnl_enable_set (ch21)	chnl_enable_set (ch20)	chnl_enable_set (ch19)	chnl_enable_set (ch18)	chnl_enable_set (ch17)	chnl_enable_set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_enable_set (ch15)	chnl_enable_set (ch14)	chnl_enable_set (ch13)	chnl_enable_set (ch12)	chnl_enable_set (ch11)	chnl_enable_set (ch10)	chnl_enable_set (ch9)	chnl_enable_set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_enable_set (ch7)	chnl_enable_set (ch6)	chnl_enable_set (ch5)	chnl_enable_set (ch4)	chnl_enable_set (ch3)	chnl_enable_set (ch2)	chnl_enable_set (ch1)	chnl_enable_set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_enable_set	R/W	DMA 動作 [ライト] 1: 該当チャネルを有効にする [リード] 0: 該当チャネルは無効 1: 該当チャネルは有効 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルを有効にします。"0"の書き込みは意味を持ちません。無効にする際は、DMAxChnlEnableClr レジスタで行います。 リードの場合、該当するチャネルの有効/無効の状態が確認できます。 また、以下の場合に自動的に無効になります。 ・ DMA サイクル終了 ・ channel_cfg<cycle_ctrl>が"000"の制御データをリードしたとき ・ バスエラーが発生した時

8.3.12 DMAxChnlEnableClr(Channel enable clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_enable_clr (ch31)	chnl_enable_clr (ch30)	chnl_enable_clr (ch29)	chnl_enable_clr (ch28)	chnl_enable_clr (ch27)	chnl_enable_clr (ch26)	chnl_enable_clr (ch25)	chnl_enable_clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_enable_clr (ch23)	chnl_enable_clr (ch22)	chnl_enable_clr (ch21)	chnl_enable_clr (ch20)	chnl_enable_clr (ch19)	chnl_enable_clr (ch18)	chnl_enable_clr (ch17)	chnl_enable_clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_enable_clr (ch15)	chnl_enable_clr (ch14)	chnl_enable_clr (ch13)	chnl_enable_clr (ch12)	chnl_enable_clr (ch11)	chnl_enable_clr (ch10)	chnl_enable_clr (ch9)	chnl_enable_clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_enable_clr (ch7)	chnl_enable_clr (ch6)	chnl_enable_clr (ch5)	chnl_enable_clr (ch4)	chnl_enable_clr (ch3)	chnl_enable_clr (ch2)	chnl_enable_clr (ch1)	chnl_enable_clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_enable_clr	W	DMA 無効 1: 該当するチャンネルを無効にする 各ビットが指定された番号のチャンネルに対応しています。 "1"をライトすることで該当するチャンネルを無効にします。"0"の書き込みは意味を持ちません。 有効の設定および設定の確認は、DMAxChnlEnableSet レジスタで行います。 また、以下の場合に自動的に無効になります。 ・ DMA サイクル終了 ・ channel_cfg<cycle_ctrl>が"000"の制御データをリードしたとき ・ バスエラーが発生した時

8.3.13 DMAxChnlPriAltSet(Channel primary-alternate set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_pri_alt_set (ch31)	chnl_pri_alt_set (ch30)	chnl_pri_alt_set (ch29)	chnl_pri_alt_set (ch28)	chnl_pri_alt_set (ch27)	chnl_pri_alt_set (ch26)	chnl_pri_alt_set (ch25)	chnl_pri_alt_set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_pri_alt_set (ch23)	chnl_pri_alt_set (ch22)	chnl_pri_alt_set (ch21)	chnl_pri_alt_set (ch20)	chnl_pri_alt_set (ch19)	chnl_pri_alt_set (ch18)	chnl_pri_alt_set (ch17)	chnl_pri_alt_set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_pri_alt_set (ch15)	chnl_pri_alt_set (ch14)	chnl_pri_alt_set (ch13)	chnl_pri_alt_set (ch12)	chnl_pri_alt_set (ch11)	chnl_pri_alt_set (ch10)	chnl_pri_alt_set (ch9)	chnl_pri_alt_set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_pri_alt_set (ch7)	chnl_pri_alt_set (ch6)	chnl_pri_alt_set (ch5)	chnl_pri_alt_set (ch4)	chnl_pri_alt_set (ch3)	chnl_pri_alt_set (ch2)	chnl_pri_alt_set (ch1)	chnl_pri_alt_set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_pri_alt_set	R/W	1 次データ/代替データ選択 [ライト] 1: 代替データを使用する [リード] 0: 1 次データ 1: 代替データ 各ビットが指定された番号のチャンネルに対応しています。 "1"をライトすることで該当するチャンネルで最初に使用するデータを代替に設定します。"0"の書き込みは意味を持ちません。無効にする際は、DMAxChnlEnableClr レジスタで行います。最初のデータとして代替を指定できるのは、基本モード、自動要求モード、ピンポンモードです。 リードの場合、該当するチャンネルのデータが 1 次か代替かを確認できます。 また、以下の場合に自動的に設定が切り替わります。 ・ピンポンモード、メモリスキャッターギャザーモードまたは周辺スキャッターギャザーモードで 1 次データによるデータ転送が終了したとき ・ピンポンモード、メモリスキャッターギャザーモードまたは周辺スキャッターギャザーモードで代替データによるデータ転送が終了したとき

8.3.14 DMAxChnlPriAltClr(Channel primary-alternate clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chn_pri_alt_clr (ch31)	chn_pri_alt_clr (ch30)	chn_pri_alt_clr (ch29)	chn_pri_alt_clr (ch28)	chn_pri_alt_clr (ch27)	chn_pri_alt_clr (ch26)	chn_pri_alt_clr (ch25)	chn_pri_alt_clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chn_pri_alt_clr (ch23)	chn_pri_alt_clr (ch22)	chn_pri_alt_clr (ch21)	chn_pri_alt_clr (ch20)	chn_pri_alt_clr (ch19)	chn_pri_alt_clr (ch18)	chn_pri_alt_clr (ch17)	chn_pri_alt_clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chn_pri_alt_clr (ch15)	chn_pri_alt_clr (ch14)	chn_pri_alt_clr (ch13)	chn_pri_alt_clr (ch12)	chn_pri_alt_clr (ch11)	chn_pri_alt_clr (ch10)	chn_pri_alt_clr (ch9)	chn_pri_alt_clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chn_pri_alt_clr (ch7)	chn_pri_alt_clr (ch6)	chn_pri_alt_clr (ch5)	chn_pri_alt_clr (ch4)	chn_pri_alt_clr (ch3)	chn_pri_alt_clr (ch2)	chn_pri_alt_clr (ch1)	chn_pri_alt_clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_pri_alt_clr	W	代替データ設定の解除 1: 1 次データを使用する 各ビットが指定された番号のチャンネルに対応しています。 "1"をライトすることで該当するチャンネルのデータを 1 次に設定します。"0"の書き込みは意味を持ちません。代替の設定および設定の確認は、DMAxChnlPriAltSet レジスタで行います。 また、以下の場合に自動的に設定が切り替わります。 ・メモリスキャッターギャザーモードまたは周辺スキャッターギャザーモードで 1 次データによるデータ転送が終了したとき ・ピンポンモードで 1 次データによるデータ転送が終了したとき ・ピンポンモード、メモリスキャッターギャザーモード、周辺スキャッターギャザーモードで代替データによるデータ転送が終了したとき

8.3.15 DMAxChnlPrioritySet(Channel priority set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_priority_ set (ch31)	chnl_priority_ set (ch30)	chnl_priority_ set (ch29)	chnl_priority_ set (ch28)	chnl_priority_ set (ch27)	chnl_priority_ set (ch26)	chnl_priority_ set (ch25)	chnl_priority_ set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_priority_ set (ch23)	chnl_priority_ set (ch22)	chnl_priority_ set (ch21)	chnl_priority_ set (ch20)	chnl_priority_ set (ch19)	chnl_priority_ set (ch18)	chnl_priority_ set (ch17)	chnl_priority_ set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_priority_ set (ch15)	chnl_priority_ set (ch14)	chnl_priority_ set (ch13)	chnl_priority_ set (ch12)	chnl_priority_ set (ch11)	chnl_priority_ set (ch10)	chnl_priority_ set (ch9)	chnl_priority_ set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_priority_ set (ch7)	chnl_priority_ set (ch6)	chnl_priority_ set (ch5)	chnl_priority_ set (ch4)	chnl_priority_ set (ch3)	chnl_priority_ set (ch2)	chnl_priority_ set (ch1)	chnl_priority_ set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_priority_set	R/W	優先度設定 [ライト] 1: 高優先度に設定する [リード] 0: 通常優先度 1: 高優先度 各ビットが指定された番号のチャンネルに対応しています。 "1"をライトすることで該当するチャンネルの優先度を高優先度に設定します。"0"の書き込みは意味を持ちません。通常優先度に戻す際は、DMAxChnlPriorityClr レジスタで行います。 リードの場合、該当するチャンネルが高優先度か通常優先度かを確認できます。

8.3.16 DMAxChnlPriorityClr(Channel priority clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_priority_clr (ch31)	chnl_priority_clr (ch30)	chnl_priority_clr (ch29)	chnl_priority_clr (ch28)	chnl_priority_clr (ch27)	chnl_priority_clr (ch26)	chnl_priority_clr (ch25)	chnl_priority_clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_priority_clr (ch23)	chnl_priority_clr (ch22)	chnl_priority_clr (ch21)	chnl_priority_clr (ch20)	chnl_priority_clr (ch19)	chnl_priority_clr (ch18)	chnl_priority_clr (ch17)	chnl_priority_clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_priority_clr (ch15)	chnl_priority_clr (ch14)	chnl_priority_clr (ch13)	chnl_priority_clr (ch12)	chnl_priority_clr (ch11)	chnl_priority_clr (ch10)	chnl_priority_clr (ch9)	chnl_priority_clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_priority_clr (ch7)	chnl_priority_clr (ch6)	chnl_priority_clr (ch5)	chnl_priority_clr (ch4)	chnl_priority_clr (ch3)	chnl_priority_clr (ch2)	chnl_priority_clr (ch1)	chnl_priority_clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_priority_clr	W	高優先度設定の解除 [ライト] 1: 通常優先度に設定する 各ビットが指定された番号のチャンネルに対応しています。 "1"をライトすることで該当するチャンネルの優先度を通常に戻します。"0"の書き込みは意味を持ちません。高優先度の設定および設定の確認は、DMAxChnlPrioritySet レジスタで行います。

8.3.17 DMAxErrClr(Bus error clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	err_clr
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	"0"が読めます。
0	err_clr	R/W	バスエラー [ライト] 1: バスエラー解除 [リード] 0: バスエラーなし 1: バスエラー状態 リードするとバスエラーが発生しているかどうかを確認できます。 "1"をライトすることでバスエラーを解除することができます。"0"の書き込みは意味を持ちません。

8.4 動作説明

本 DMA は、チャンネル制御データによって制御されます。チャンネル制御データはメモリ上に置かれたデータで、1 チャンネルにつき 4 ワードのデータをチャンネル数分連続した空間に配置します。

チャンネル制御データには、1 次データと代替データがあります。動作モードによってどちらかを設定レジスタで選択して使用する場合と、両方を使用する場合があります。

8.4.1 チャンネル制御データメモリマップ

図 8-2 にチャンネル制御データのメモリマップ例を示します。

チャンネル制御データとして 1KB の領域を使用します。チャンネル制御データのスタートアドレスは、アドレス[9:0]が 0x00 となるように配置します。

1 次データ用のスタートアドレスを DMAxCtrlBasePtr に、代替データ用のスタートアドレスを DMAxAltCtrlBasePtr に設定します。

Alternate Ch31	0x3F0	Primary Ch31	0x1F0
Alternate Ch30	0x3E0	Primary Ch30	0x1E0
Alternate Ch29	0x3D0	Primary Ch29	0x1D0
Alternate Ch28	0x3C0	Primary Ch28	0x1C0
Alternate Ch27	0x3B0	Primary Ch27	0x1B0
Alternate Ch26	0x3A0	Primary Ch26	0x1A0
Alternate Ch25	0x390	Primary Ch25	0x190
Alternate Ch24	0x380	Primary Ch24	0x180
Alternate Ch23	0x370	Primary Ch23	0x170
Alternate Ch22	0x360	Primary Ch22	0x160
Alternate Ch21	0x350	Primary Ch21	0x150
Alternate Ch20	0x340	Primary Ch20	0x140
Alternate Ch19	0x330	Primary Ch19	0x130
Alternate Ch18	0x320	Primary Ch18	0x120
Alternate Ch17	0x310	Primary Ch17	0x110
Alternate Ch16	0x300	Primary Ch16	0x100
Alternate Ch15	0x2F0	Primary Ch15	0x0F0
Alternate Ch14	0x2E0	Primary Ch14	0x0E0
Alternate Ch13	0x2D0	Primary Ch13	0x0D0
Alternate Ch12	0x2C0	Primary Ch12	0x0C0
Alternate Ch11	0x2B0	Primary Ch11	0x0B0
Alternate Ch10	0x2A0	Primary Ch10	0x0A0
Alternate Ch9	0x290	Primary Ch9	0x090
Alternate Ch8	0x280	Primary Ch8	0x080
Alternate Ch7	0x270	Primary Ch7	0x070
Alternate Ch6	0x260	Primary Ch6	0x060
Alternate Ch5	0x250	Primary Ch5	0x050
Alternate Ch4	0x240	Primary Ch4	0x040
Alternate Ch3	0x230	Primary Ch3	0x030
Alternate Ch2	0x220	Primary Ch2	0x020
Alternate Ch1	0x210	Primary Ch1	0x010
Alternate Ch0	0x200	Primary Ch0	0x000

Reserved	0x00C
Control	0x008
Destination End Pointer	0x004
Source End Pointer	0x000

図 8-2 制御データのメモリマップ

図 8-2 は、32 チャンネルすべてが使用できる場合のメモリマップです。使用できるチャンネル数により必要となる領域は異なります。チャンネル数とアドレスの関係を表 8-2 に示します。

表 8-2 チャネル制御データのアドレスビット設定

チャネル	アドレス						設定可能な ベースアドレス	
	[9]	[8]	[7]	[6]	[5]	[4]		[3:0]
0	-	-	-	-	-	A	チャネル制御 データ指定	0xXXXX_XX00, 0xXXXX_XX20, 0xXXXX_XX40, 0xXXXX_XX60, 0xXXXX_XX80, 0xXXXX_XXA0, 0xXXXX_XXC0, 0xXXXX_XXE0
0 ~ 1	-	-	-	-	A	C[0]		0xXXXX_XX00, 0xXXXX_XX40, 0xXXXX_XX80, 0xXXXX_XXC0
0 ~ 3	-	-	-	A	C[1:0]			0xXXXX_XX00, 0xXXXX_XX80
0 ~ 7	-	-	A	C[2:0]				0xXXXX_X000, 0xXXXX_X100, 0xXXXX_X200, 0xXXXX_X300, 0xXXXX_X400, 0xXXXX_X500, 0xXXXX_X600, 0xXXXX_X700, 0xXXXX_X800, 0xXXXX_X900, 0xXXXX_XA00, 0xXXXX_XB00, 0xXXXX_XC00, 0xXXXX_XD00, 0xXXXX_XE00, 0xXXXX_XF00
0 ~ 15	-	A	C[3:0]					0xXXXX_X000, 0xXXXX_X200, 0xXXXX_X400, 0xXXXX_X600, 0xXXXX_X800, 0xXXXX_XA00, 0xXXXX_XC00, 0xXXXX_XE00
0 ~ 31	A	C[4:0]						0xXXXX_X000, 0xXXXX_X400, 0xXXXX_X800, 0xXXXX_XC00

A : 1 次/代替指定(0 : 1 次、1 : 代替)
C[x:0] : チャネル番号の指定

8.4.2 チャネル制御データの構造

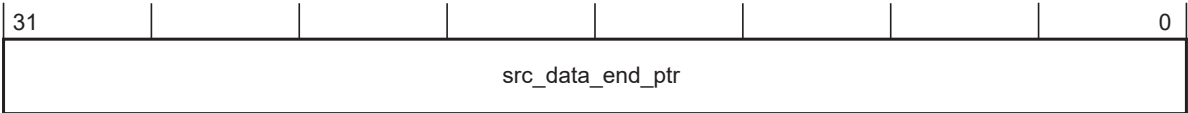
チャネル制御データは以下の 3 つのデータを含みます。

- ・ 転送元データの最終アドレス
- ・ 転送先の最終アドレス
- ・ 制御データ

それぞれの内容について以下に説明します。

8.4.2.1 転送データ最終アドレス

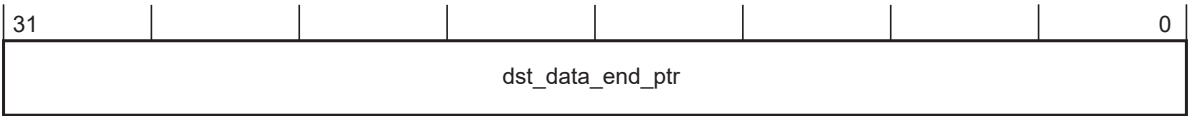
転送するデータの最終アドレスを設定します。アドレスのアライメントは、転送データサイズに合わせてください。このアドレスを元に DMA が転送元のスタートアドレスを計算します。



bit	bitsymbol	機能
[31:0]	src_data_end_ptr	転送元データの最終アドレス

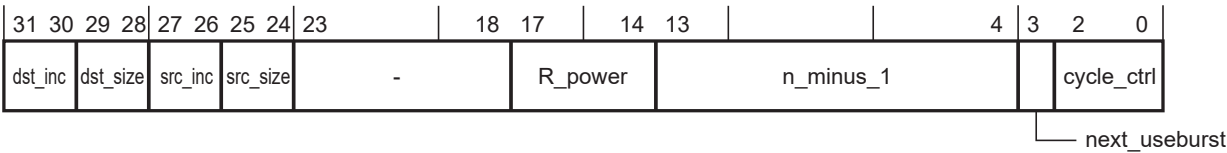
8.4.2.2 転送先の最終アドレス

転送先の最終アドレスを設定します。アドレスのアライメントは、転送データサイズに合わせてください。このアドレスを元に DMA が転送先のスタートアドレスを計算します。



bit	bitsymbol	機能
[31:0]	dst_data_end_ptr	転送先の最終アドレス

8.4.2.3 制御データ設定



bit	bit symbol	機能
[31:30]	dst_inc	転送先アドレスのインクリメント 注 2) 00: 1byte 01: 2byte 10: 4byte 11: インクリメントなし
[29:28]	dst_size	転送先データサイズ(注 1) 00: 1byte 01: 2byte 10: 4byte 11: Reserved
[27:26]	src_inc	転送元アドレスのインクリメント 注 2) 00: 1byte 01: 2byte 10: 4byte 11: インクリメントなし
[25:24]	src_size	転送元データサイズ(注 1) 00: 1byte 01: 2byte 10: 4byte 11: Reserved
[23:18]	-	"000000"を設定してください

bit	bit symbol	機能
[17:14]	R_power	アービトレーション 0000: 1 回転送後 0001: 2 回転送後 0010: 4 回転送後 0011: 8 回転送後 0100: 16 回転送後 0101: 32 回転送後 0110: 64 回転送後 0111: 128 回転送後 1000: 256 回転送後 1001: 512 回転送後 1010 - 1111: アービトレーションしない 設定した回数の転送後毎に、アービトレーションをします。
[13:4]	n_minus_1	転送回数 0x000: 1 回 0x001: 2 回 0x002: 3 回 : 0x3FF: 1024 回
[3]	next_useburst	シングル転送設定変更 0: <chnl_useburst_set>の値を変更しない 1: <chnl_useburst_set>に"1"を設定する 周辺スキャッターギャザーモードで代替データを用いた DMA 転送終了時に <chnl_useburst_set>ビットに"1"を設定するかどうかを指定します。 注)最後から 2 番目の 2 ^R 回転送("R"は<R_power>で設定)終了時に残りの転送回数が 2 ^R 回未満の場合、<chnl_useburst_set>は自動的に"0"にクリアされますが、このビットを"1"とすることで、<chnl_userburst_set>を"1"に設定できます。
[2:0]	cycle_ctrl	動作モード 000: 無効。DMA は動作を停止します。 001: 基本モード 010: 自動要求モード 011: ピンポンモード 100: メモリスキャッターギャザーモード(1 次データ) 101: メモリスキャッターギャザーモード(代替データ) 110: 周辺スキャッターギャザーモード(1 次データ) 111: 周辺スキャッターギャザーモード(代替データ)

注 1) <dst_size>は<src_size>と同じ値を設定してください。

注 2) <dst_size>と<src_size>の設定により、<dst_inc>と<src_inc>の設定は以下のように制限されます。

<src_inc>/<dst_inc>	<src_size>/<dst_size>		
	00 (1byte)	01 (2byte)	10 (4byte)
00(1byte)	o	-	-
01(2byte)	o	o	-
10(4byte)	o	o	o
インクリメントなし	o	o	o

8.4.3 動作モード

チャネル制御データの channel_cfg<cycle_ctrl>で設定する動作モードについて説明します。

8.4.3.1 無効

転送終了後に DMA は動作モードを無効に設定します。これにより、再度同じ転送が行われることを防ぎます。また、ピンポンモード、メモリスキャッターギャザーモード、周辺スキャッターギャザーモードの際に、無効設定のデータを読み込むと処理を終了します。

8.4.3.2 基本モード

基本モードでは、1 次または代替のどちらのデータ構造を使用するか設定が可能です。

転送要求により転送を開始します。

<R_power>設定の転送ごとにアービトレーションを行い、より高い優先度の要求があればチャンネルを切り替えます。動作中のチャンネルの転送要求があると、転送を継続します。

<n_minus_1>に設定された回数の転送を行った後、転送終了割り込みを発生します。

8.4.3.3 自動要求モード

このモードでは 1 回の転送要求で転送を終了させることができます。1 次または代替のどちらのデータ構造を使用するか設定が可能です。

転送要求により転送を開始します。

<R_power>設定の転送ごとに、より高い優先度の要求があればチャンネルを切り替えます。なければ転送を継続します。

<n_minus_1>に設定された回数の転送を行った後、転送終了割り込みを発生します。

8.4.3.4 ピンポンモード

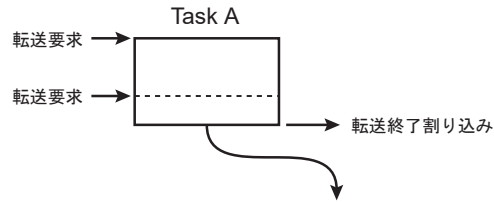
ピンポンモードでは、1 次データと代替データを交互に使用しながら連続した DMA 転送を行います。<cycle_ctrl>に無効("000")が設定されたデータを読み込むか、チャンネルが無効に設定されると転送を終了します。1 次データおよび代替データによる転送が終了するごとに転送終了割り込みを発生します。

準備 :

1 次データと代替データを準備し、DMAxCfg<master_enable>および DMAxChnlEnableSet の該当チャンネルのビットに"1"を設定します。

Task A: 1 次データ

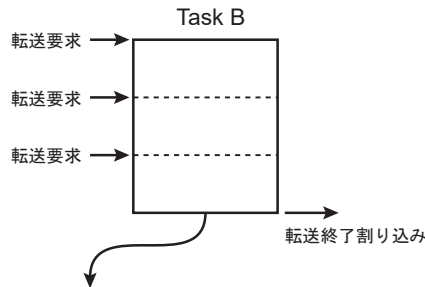
<cycle_ctrl[2:0]> = "011"
(ピンポンモード)
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> =
"0x005"
(6 回)



転送要求を受け、DMA は 4 回の転送を実施します。アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャンネルへの転送要求により残りの 2 回の転送を実施します。転送終了割り込み要求を発生し、アービトレーションを実施します。Task A 終了後、Task C 用の 1 次データ設定が可能になります。

Task B: 代替データ

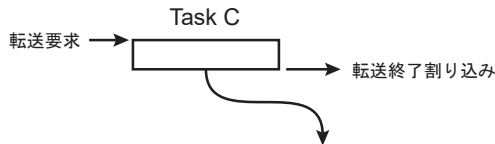
<cycle_ctrl[2:0]> = "011"
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> =
"0x00B"
(12 回)



転送要求を受け、DMA は 4 回の転送を実施します。アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャンネルへの転送要求により 4 回の転送を実施します。アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャンネルへの転送要求により 4 回の転送を実施します。転送終了割り込み要求を発生し、アービトレーションを実施します。Task B 終了後、Task D 用の代替データ設定が可能になります。

Task C: 1 次データ

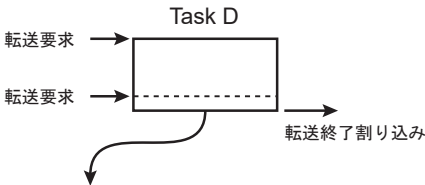
<cycle_ctrl[2:0]> = "011"
<R_power[3:0]> = "0001"
(2 回)
<n_minus_1[9:0]> =
"0x001"
(2 回)



転送要求を受け、DMA は 2 回の転送を実施します。転送終了割り込み要求を発生し、アービトレーションを実施します。Task C 終了後、Task E 用の代替データ設定が可能になります。

Task D: 代替データ

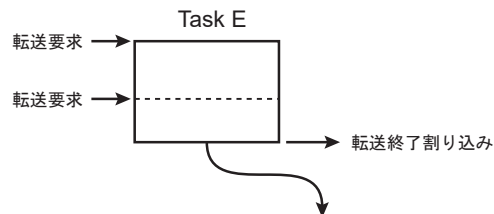
<cycle_ctrl[2:0]> = "011"
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> =
"0x004"
(5 回)



転送要求を受け、DMA は 4 回の転送を実施します。アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャンネルへの転送要求により 1 回の転送を実施します。転送終了割り込み要求を発生し、アービトレーションを実施します。

Task E: 1 次データ

<cycle_ctrl[2:0]> = "011"
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> =
"0x006"
(7 回)



転送要求を受け、DMA は 4 回の転送を実施します。アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャンネルへの転送要求により 3 回の転送を実施します。転送終了割り込み要求を発生し、アービトレーションを実施します。

最終: 代替データ

<cycle_ctrl[2:0]> = "000"
(無効)



転送要求を受けますが、<cycle_ctrl>に無効が設定されているため、処理が終了します。
(Task E の<cycle_ctrl[2:0]>を"001"の通常モードに設定することによって処理を終了させることもできます。)

8.4.3.5 メモリキャッターギャザーモード

メモリキャッターギャザーモードでは、1 次データは代替データ用のデータを転送するために使用します。

転送要求を受けると、1 次データを用いて代替データの 4 つのデータを転送し、新たな転送要求なしに続けて代替データによるデータ転送を行います。その後、1 次データによる代替データの転送と代替データによる転送を、<cycle_ctrl[2:0]>に無効("000")または基本モード("001")が設定されたデータを読み込むまで行います。この間、新たな転送要求必要ありません。転送終了後、割り込みを発生します。

このモードでは、1 次データの channel_cfg の設定を以下のように設定する必要があります。

表 8-3 メモリキャッターギャザーモード(1 次データ)設定値

bit	bit symbol	設定値	説明
[31:30]	dst_inc	10	転送先アドレスのインクリメントとして 4byte を指定
[29:28]	dst_size	10	転送先サイズとして 4byte を指定
[27:26]	src_inc	10	転送元アドレスのインクリメントとして 4byte を指定
[25:24]	src_size	10	転送元サイズとして 4byte を指定
[17:14]	R_power	0010	アービトレーションサイクルとして 4 を指定
[13:4]	n_minus_1	N	準備する代替タスク数×4 を指定
[3]	next_useburst	0	メモリキャッターギャザーモードでは"0"を指定
[2:0]	cycle_ctrl	100	メモリキャッターギャザーモード(1 次データ)を指定 注)

注) <n_minus_1>に設定された回数の転送が終了すると、自動的に"000"の無効が設定されます。

準備:

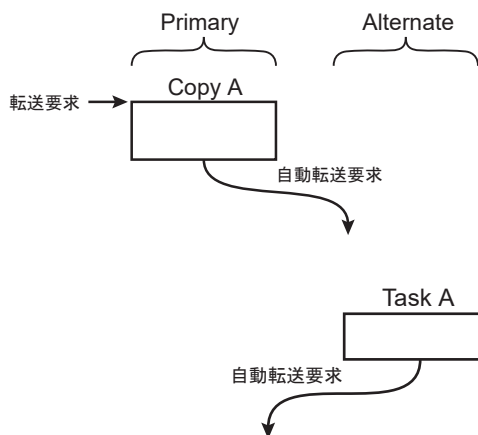
1 次データを準備します。<cycle_ctrl>に"100"を設定し、転送回数<n_minus_1>には、4 つのタスク分の $4 \times 4 = 16$ を設定します。
タスク A,B,C,D 用の代替データを<src_data_end_ptr>に設定されたメモリ位置に準備します。
DMAxCfg<master_enable>および DMAxChnlEnableSet の該当チャネルのビットに"1"を設定します。

Copy A: 1 次データ

<cycle_ctrl[2:0]> = "100"
(メモリキャッターギャザー)
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> = "0x00F"
(16 回)

Task A: 代替データ

<cycle_ctrl[2:0]> = "100"
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> = "0x002"
(3 回)



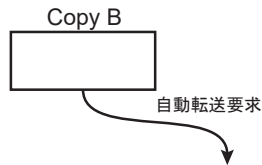
転送要求を受け、DMA は Task A の代替データ用の 4 回の転送を実施します。

転送終了後、自動的に転送要求が発生しアービトレーションを行います。

DMA はタスク A を実行します。

転送終了後、自動的に転送要求が発生しアービトレーションを行います。

Copy B: 1 次データ

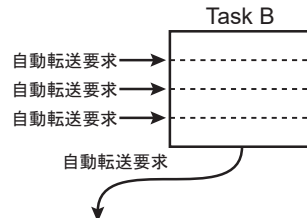


DMA は Task B の代替データ用の 4 回の転送を実施します。

転送終了後、自動的に転送要求が発生しアービトレーションを行います。

Task B: 代替データ

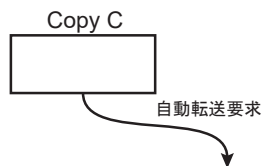
<cycle_ctrl[2:0]> = "100"
 <R_power[3:0]> = "0001"
 (2 回)
 <n_minus_1[9:0]> =
 "0x007"
 (8 回)



DMA はタスク B を実行します。

転送終了後、自動的に転送要求が発生しアービトレーションを行います。

Copy C: 1 次データ

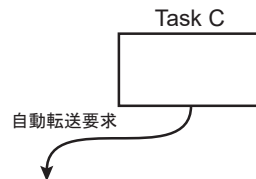


DMA は Task C の代替データ用の 4 回の転送を実施します。

転送終了後、自動的に転送要求が発生しアービトレーションを行います。

Task C: 代替データ

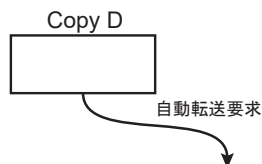
<cycle_ctrl[2:0]> = "100"
 <R_power[3:0]> = "0011"
 (8 回)
 <n_minus_1[9:0]> =
 "0x004"
 (5 回)



DMA はタスク C を実行します。

転送終了後、自動的に転送要求が発生しアービトレーションを行います。

Copy D: 1 次データ



DMA は Task D の代替データ用の 4 回の転送を実施します。また、1 次データの<cycle_ctrl[2:0]>に"000"を設定し次の 1 次データを無効とします。自動的に転送要求が発生しアービトレーションを行います。

Task D: 代替データ

<cycle_ctrl[2:0]> = "001"
 <R_power[3:0]> = "0010"
 (4 回)
 <n_minus_1[9:0]> =
 "0x003"
 (4 回)



DMA はタスク D を実行します。

<cycle_ctrl[2:0]>が"001"の基本モードに設定されているため、転送終了後に転送終了割り込み要求が発生し処理を終了します。

8.4.3.6 周辺スキャッターギャザーモード

周辺スキャッターギャザーモードでは、1 次データは代替データ用のデータを転送するために使用します。

転送要求を受けると、1 次データを用いて代替データの 4 つのデータを転送し、続けて代替データによるデータ転送を行います。

その後、転送要求が発生すると 1 次データによる代替データの転送と代替データによる転送を、<cycle_ctrl[2:0]>に無効("000")または基本モード("001")が設定されたデータを読み込むまで行います。この間、新たな転送要求必要ありません。転送終了後、割り込みが発生します。

このモードでは、channel_cfg の設定を以下のようにする必要があります。

表 8-4 周辺スキャッターギャザーモード(1 次データ)固定値

bit	bit symbol	設定値	説明
[31:30]	dst_inc	10	転送先アドレスのインクリメントとして 4byte を指定
[29:28]	dst_size	10	転送先サイズとして 4byte を指定
[27:26]	src_inc	10	転送元アドレスのインクリメントとして 4byte を指定
[25:24]	src_size	10	転送元サイズとして 4byte を指定
[17:14]	R_power	0010	アービトレーションサイクルとして 4 を指定
[13:4]	n_minus_1	N	準備する代替タスク数×4 を指定
[2:0]	cycle_ctrl	110	周辺スキャッターギャザーモード(1 次データ)を指定

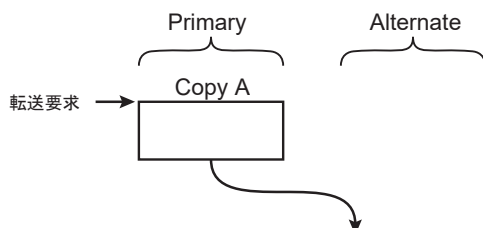
注) <n_minus_1>に設定された回数の転送が終了すると、自動的に"000"の無効が設定されます。

準備:

1 次データを準備します。<cycle_ctrl>に"110"を設定し、転送回数<n_minus_1>には、4 つのタスク分の $4 \times 4 = 16$ を設定します。
タスク A,B,C,D 用の代替データを<src_data_end_ptr>に設定されたメモリ位置に準備します。
DMAxCfg<master_enable>および DMAxChnlEnableSet の該当チャネルのビットに"1"を設定します。

Copy A: 1 次データ

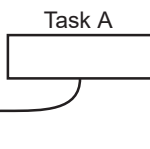
<cycle_ctrl[2:0]> = "110"
(周辺スキャッターギャザー)
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> = "0x00F"
(16 回)



転送要求を受け、DMA は Task A の代替データ用の 4 回の転送を実施します。
転送終了後、自動的にタスク A の処理に移行します。

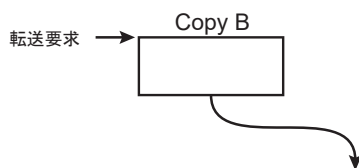
Task A: 代替データ

<cycle_ctrl[2:0]> = "111"
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> = "0x002"
(3 回)



DMA はタスク A を実行します。
転送終了後、周辺機能からの転送要求があり、最高優先度の場合次の処理を開始します。

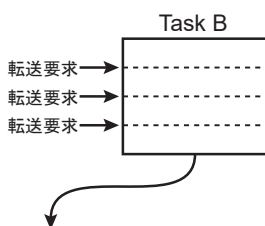
Copy B: 1 次データ



DMA は Task B の代替データ用の 4 回の転送を実施します。
転送終了後、自動的にタスク B の処理に移行します。

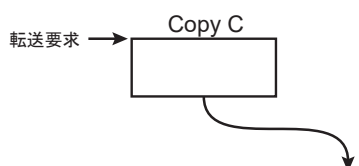
Task B: 代替データ

<cycle_ctrl[2:0]> = "111"
<R_power[3:0]> = "0001"
(2 回)
<n_minus_1[9:0]> = "0x007"
(8 回)



DMA はタスク B を実行します。2nd 回転送ごとにアービトレーションが発生するため、タスク B が終了するためには少なくとも 3 回の転送要求が必要です。
転送終了後、周辺機能からの転送要求があり、最高優先度の場合次の処理を開始します。

Copy C: 1 次データ

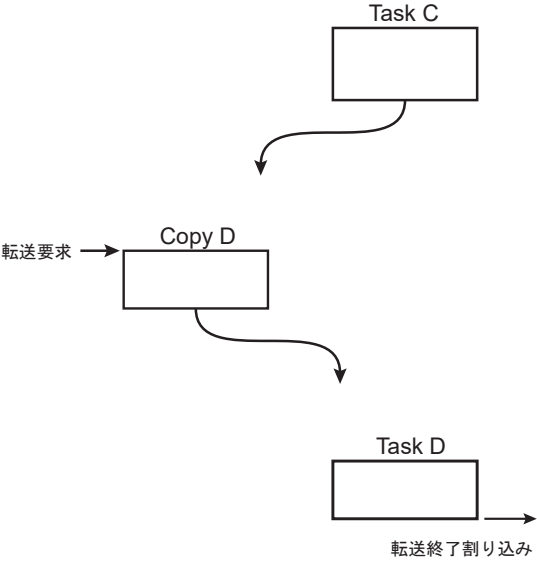


DMA は Task C の代替データ用の 4 回の転送を実施します。
転送終了後、自動的にタスク C の処理に移行します。

Task C: 代替データ
<cycle_ctrl[2:0]> = "111"
<R_power[3:0]> = "0011"
(8 回)
<n_minus_1[9:0]> =
"0x004"
(5 回)

Copy D: 1 次データ

Task D: 代替データ
<cycle_ctrl[2:0]> = "001"
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> =
"0x003"
(4 回)



DMA はタスク C を実行します。
転送終了後、周辺機能からの転送要求があり、最高優先度の場合次の処理を開始します。

DMA は Task D の代替データ用の 4 回の転送を実施します。また、1 次データの<cycle_ctrl[2:0]>に"000"を設定し次の 1 次データを無効とします。自動的にタスク D の処理に移行します。

DMA はタスク D を実行します。
<cycle_ctrl[2:0]>が"001"の基本モードに設定されているため、転送終了後に転送終了割り込み要求を発生し処理を終了します。

8.5 使用上の注意

下記の周辺機能の DMA 転送要求を使用して転送を行う場合、使い方に注意が必要です。

- ・ 4 バイト FIFO 付きシリアルチャネル(SIO/UART)
- ・ 16 ビットタイマ/イベントカウンタ(TMRB)
- ・ アナログ/デジタルコンバータ(ADC)

8.5.1 SIO/UART、TMRB、ADC を使用する場合

以下の点に注意して使用してください。

- ・ 転送モードは基本モードを推奨します。
- ・ アービトレーションは"1 回転送後"にしてください。
制御データのアービトレーション<R_power>設定を"0000"としてください。
- ・ SIO/UART の FIFO は使用しないでください。

SIO/UART は、シングルバッファまたはダブルバッファの設定で使用してください。

転送開始が待たされて新たな要求が同一チャネルで発生した場合、転送は 1 回しか行われません。確実に転送が行われるよう、プログラム設計の際に考慮してください。

転送開始が待たされる状況として、以下のような場合が考えられます。

- ・ 同一ユニット内の優先度の高い転送要求が発生した場合
- ・ 他の優先度の高いバスマスタとアクセス対象が同じ場合

この μ DMA コントローラは、前処理/後処理に約 11 クロック、周辺機能と内蔵 RAM 間の 1 データの転送に約 5 クロックかかります。転送の待ち時間の目安としてください。

第 9 章 入出力ポート

本章では、ポート関連のレジスタとその設定および回路について説明します。

9.1 レジスタ説明

ポートを使用する際には以下のレジスタを設定する必要があります。

レジスタは全て 32 ビットですが、ポートのビット数、機能の割り当てにより構成が異なります。

以下の説明では"x"はポート名、"n"はファンクション番号を示します。

レジスタ名		設定値	
PxDATA	データレジスタ	0 または 1	ポートのデータ読み込み、データ書き込みを行います。
PxCR	出力コントロールレジスタ	0: 出力禁止 1: 出力許可	出力の制御を行います。
PxFRn	ファンクションレジスタ n	0: PORT 1: 機能	機能設定を行いません。 "1" をセットすることにより割り当てられている機能を使用できるようになります。ファンクションレジスタはポートに割り当てられている機能ごとに存在します。複数の機能が割り当てられている場合、1 つの機能のみ有効になるように設定してください。
PxOD	オープンドレインコントロールレジスタ	0: CMOS 1: オープンドレイン	プログラマブルオープンドレインの制御を行います。 プログラマブルオープンドレインは、PxOD の設定により、出力データが"1" の場合に出力バッファをディセーブルにし、擬似的にオープンドレインを実現する機能です。
PxPUP	プルアップコントロールレジスタ	0: プルアップ禁止 1: プルアップ許可	プログラマブルプルアップを制御します。
PxPDN	プルダウンコントロールレジスタ	0: プルダウン禁止 1: プルダウン許可	プログラマブルプルダウンを制御します。
PxSEL	電圧選択コントロールレジスタ	0: 3V 入力 1: 1.8V 入力	入力の電源系を制御します。
PxIE	入力コントロールレジスタ	0: 入力禁止 1: 入力許可	入力の制御を行いません。 PxIE をイネーブルにしてから外部データが PxDATA に反映されるまで若干の時間が必要です。

9.1.1 レジスタ一覧

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

機能の存在しないビットをリードすると"0"が読めます。ライトは意味を持ちません。

TMPM066FWUG(QFP64)		o	o	o	o	o
TMPM067FWQG(QFN48)		o	x	o	o	o
TMPM068FWXBG(BGA57)		o	o	o	o	o
レジスタ名	Address (Base+)	ポート A	ポート B	ポート C	ポート D	ポート E
データ レジスタ	0x0000	PADATA	PBDATA	PCDATA	PDDATA	PEDATA
出力コントロールレジスタ	0x0004	PACR	PBCR	PCCR	PDCR	PECR
ファンクションレジスタ 1	0x0008	PAFR1	-	PCFR1	PDFR1	PEFR1
ファンクションレジスタ 2	0x000C	-	-	-	-	PEFR2
オーブンドレインコントロールレジスタ	0x0028	PAOD	PBOD	PCOD	PDOD	PEOD
ブルアップコントロールレジスタ	0x002C	PAPUP	PBPUP	PCPUP	PDPUP	PEPUP
ブルダウンコントロールレジスタ	0x0030	PAPDN	PBPDN	PCPDN	PDPDN	PEPDN
電圧選択コントロールレジスタ	0x0034	-	-	PCSEL	PDSEL	-
入力コントロールレジスタ	0x0038	PAIE	PBIE	PCIE	PDIE	PEIE

TMPM066FWUG(QFP64)		o	o	o	o
TMPM067FWQG(QFN48)		o	o	x	x
TMPM068FWXBG(BGA57)		o	o	o	o
レジスタ名	Address (Base+)	ポート F	ポート G	ポート H (注 1)	ポート J (注 1)
データ レジスタ	0x0000	PFDATA	PGDATA	PHDATA	PJDATA
出力コントロールレジスタ	0x0004	PFCR	PGCR	PHCR	PJCR
ファンクションレジスタ 1	0x0008	PFFR1	PGFR1	PHFR1	PJFR1
ファンクションレジスタ 2	0x000C	PFFR2	-	-	-
オーブンドレインコントロールレジスタ	0x0028	PFOD	PGOD	PHOD	PJOD
ブルアップコントロールレジスタ	0x002C	PFPUP	PGPUP	PHPUP	PJPUP
ブルダウンコントロールレジスタ	0x0030	PFPDN	PGPDN	PHPDN	PJPDN
電圧選択コントロールレジスタ	0x0034	-	PGSEL	-	-
入力コントロールレジスタ	0x0038	PFIE	PGIE	PHIE	PJIE

注) "-"表記のアドレスにはアクセスしないでください。

注) 各製品の端子割り付けは、「表 1-5 ピン番号と端子名称<PORT 順>」を参照してください。

注 1) Port H,J を使用する場合は、CGFSYSENA でクロック供給を設定してください。

9.1.2 ポート機能と設定一覧

以下に各ポートの機能とレジスタ設定についての一覧を示します。

- 「表 9-1 ポート A レジスタ設定」
- 「表 9-2 ポート B レジスタ設定」
- 「表 9-3 ポート C レジスタ設定」
- 「表 9-4 ポート D レジスタ設定」
- 「表 9-5 ポート E レジスタ設定」
- 「表 9-6 ポート F レジスタ設定」
- 「表 9-7 ポート G レジスタ設定」
- 「表 9-8 ポート H レジスタ設定」
- 「表 9-9 ポート J レジスタ設定」

PxFRn の欄は、設定の必要なファンクションレジスタを示します。このレジスタを"1"に設定するとその機能が有効となります。(x はポート名、n はファンクション番号)

表中の網掛けのビットはリードすると"0" が読め、ライトは意味を持ちません。

表中の"0"、"1"は設定値を示し、"0/1"は任意に設定可能であることを示します。

9.1.2.1 PORT A

表 9-1 ポート A レジスタ設定

PORT	リセット状態	Input/ Output	PORT Type	制御レジスタ						
				PADATA	PACR	PAFRn	PAOD	PAPUP	PAPDN	PAIE
PA0	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	AIN0	Input	FT5	0/1	0		0/1	0	0	0
PA1	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	AIN1	Input	FT5	0/1	0		0/1	0	0	0
PA2	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	AIN2	Input	FT5	0/1	0		0/1	0	0	0
PA3	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	AIN3	Input	FT5	0/1	0		0/1	0	0	0
PA4	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	AIN4	Input	FT5	0/1	0		0/1	0	0	0
PA5	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	AIN5	Input	FT5	0/1	0		0/1	0	0	0
	INT1	Input		0/1	0		0/1	0/1	0/1	1
PA6	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	AIN6	Input	FT5	0/1	0		0/1	0	0	0
	INT2	Input	FT4	0/1	0		0/1	0/1	0/1	1
PA7	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	AIN7	Input	FT5	0/1	0		0/1	0	0	0
	TB1IN	Input	FT1	0/1	0	PAFR1	0/1	0/1	0/1	1

9.1.2.2 PORT B

表 9-2 ポート B レジスタ設定

PO RT	リセット状態	Input/ Output	PORT Type	制御レジスタ						
				PBDATA	PBCR	PBFRn	PBOD	PBPUP	PBPDN	PBIE
PB0 (注)	リセット後		FT1	0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PB1	リセット後		FT1	0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PB2	リセット後		FT1	0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PB3	リセット後		FT1	0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0

9.1.2.3 PORT C

表 9-3 ポート C レジスタ設定

PORT	リセット状態	Input/ Output	PORT Type	制御レジスタ							
				PCDATA	PCCR	PCFRn	PCOD	PCPUP	PCPDN	PCSEL	PCIE
PC0	リセット後			0	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	-	0
	I2C0SCL	I/O	FT1	0/1	1	PCFR1	1	0/1	0/1	0/1	1
PC1	リセット後			0	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	-	0
	I2C0SDA	I/O	FT1	0/1	1	PCFR1	1	0/1	0/1	0/1	1
PC2	リセット後			0	0	0	0	0	0		0
	Input Port	Input		0/1	0		0/1	0/1	0/1		1
	Output Port	Output		0/1	1		0/1	0/1	0/1		0
	SC0TXD	Output	FT1	0/1	1	PCFR1	0/1	0/1	0/1		0
PC3	リセット後			0	0	0	0	0	0		0
	Input Port	Input		0/1	0		0/1	0/1	0/1		1
	Output Port	Output		0/1	1		0/1	0/1	0/1		0
	SC0RXD	Output	FT1	0/1	1	PCFR1	0/1	0/1	0/1		0
PC4	リセット後			0	0	0	0	0	0		0
	Input Port	Input		0/1	0		0/1	0/1	0/1		1
	Output Port	Output		0/1	1		0/1	0/1	0/1		0
	SC0SCK	I/O	FT1	0/1	1	PCFR1	0/1	0/1	0/1		0
PC5	リセット後			0	0	0	0	0	0		0
	Input Port	Input		0/1	0		0/1	0/1	0/1		1
	Output Port	Output		0/1	1		0/1	0/1	0/1		0
	VBUS	Input		0/1	0		0/1	0/1	0/1		1
	INT4	Input	FT4	0/1	0		0/1	0/1	0/1		1
	TB0IN	Input	FT1	0/1	0	PCFR1	0/1	0/1	0/1		1

9.1.2.4 PORT D

表 9-4 ポート D レジスタ設定

PORT	リセット状態	Input/ Output	PORT Type	制御レジスタ							
				PDDATA	PDCR	PDFRn	PDOD	PDPUP	PDPDN	PDSEL	PDIE
PD0	リセット後		FT1	0	0	0	0	0	0		0
	Input Port	Input		0/1	0		0/1	0/1	0/1		1
	Output Port	Output		0/1	1		0/1	0/1	0/1		0
	T16A3OUT	Output		0/1	1	PDFR1	0/1	0/1	0/1		0
	TDA0OUT0	Output		0/1	1	PDFR2	0/1	0/1	0/1		0
PD1	リセット後		FT1	0	0	0	0	0	0		0
	Input Port	Input		0/1	0		0/1	0/1	0/1		1
	Output Port	Output		0/1	1		0/1	0/1	0/1		0
	TB0OUT	Output		0/1	1	PDFR1	0/1	0/1	0/1		0
	TDA0OUT1	Output		0/1	1	PDFR2	0/1	0/1	0/1		0
PD2	リセット後		FT1	0	0	0	0	0	0		0
	Input Port	Input		0/1	0		0/1	0/1	0/1		1
	Output Port	Output		0/1	1		0/1	0/1	0/1		0
	TB1OUT	Output		0/1	1	PDFR1	0/1	0/1	0/1		0
	TDA1OUT0	Output		0/1	1	PDFR2	0/1	0/1	0/1		0
PD3	リセット後		FT1	0	0	0	0	0	0		0
	Input Port	Input		0/1	0		0/1	0/1	0/1		1
	Output Port	Output		0/1	1		0/1	0/1	0/1		0
	TB2OUT	Output		0/1	1	PDFR1	0/1	0/1	0/1		0
	TDA1OUT1	Output		0/1	1	PDFR2	0/1	0/1	0/1		0
PD4	リセット後		FT1	0	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	-	0
	TB3IN	Input		0/1	0	PDFR1	0/1	0/1	0/1	0/1	1
PD5	リセット後		FT1	0	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	-	0
	INT0	Input	FT4	0/1	0		0/1	0/1	0/1	0/1	1

9.1.2.5 PORT E

表 9-5 ポート E レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PEDATA	PECR	PEFRn	PEOD	PEPUP	PEPDN	PEIE
PE0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC1SCK	Input	FT1	0/1	0	PEFR1	0/1	0/1	0/1	1
PE1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC1RXD	Input	FT1	0/1	0	PEFR1	0/1	0/1	0/1	1
PE2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC1TXD	Output	FT1	0/1	1	PEFR1	0/1	0/1	0/1	0
PE3 (注)	リセット後		FT6	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PE4	リセット後			0	0	PEFR1	0	0	1	1
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SWCLK	Input	FT1	0/1	0	PEFR1	0/1	0/1	0/1	1
PE5	リセット後			0	1	PEFR1	0	1	0	1
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SWDIO	I/O	FT1	0/1	1	PEFR1	0/1	0/1	0/1	1

注) PE3は $\overline{\text{BOOT}}$ 機能と兼用で、 $\overline{\text{RESET}}$ 端子が"Low"の期間に入力およびプルアップが許可となっています。 $\overline{\text{RESET}}$ 端子の立ち上がりでPE3が"1"の場合はシングルチップモード、PE3が"0"の場合はシングルBOOTモードとなります。

9.1.2.6 PORT F

表 9-6 ポート F レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PFDATA	PFCR	PFFRn	PFOD	PFPUP	PFPDN	PFIE
PF0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	INT5	Input	FT1	0/1	0		0/1	0/1	0/1	1
	TSPICSO	Output		0/1	1	PFFR1	0/1	0/1	0/1	0
	TSPICSIN	Input		0/1	0	PFFR2	0/1	0/1	0/1	1
PF1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	INT3	Input	FT1	0/1	0		0/1	0/1	0/1	1
	TSPITXD	Output		0/1	1	PFFR1	0/1	0/1	0/1	0
PF2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TSPIRXD	Input	FT1	0/1	0	PFFR1	0/1	0/1	0/1	1
PF3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TSPISCK	I/O	FT1	0/1	1	PFFR1	0/1	0/1	0/1	0
PF4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB3OUT	Output	FT1	0/1	1	PFFR1	0/1	0/1	0/1	0
PF5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB4OUT	Output	FT1	0/1	1	PFFR1	0/1	0/1	0/1	0
PF6	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PF7	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0

9.1.2.7 PORT G

表 9-7 ポート G レジスタ設定

PORT	リセット状態	Input/ Output	PORT Type	制御レジスタ							
				PGDATA	PGCR	PGFRn	PGOD	PGPUP	PGPDN	PGSEL	PGIE
PG0	リセット後			0	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	-	0
	I2C1SCL	I/O	FT1	0/1	1	PGFR1	1	0/1	0/1	0/1	1
PG1	リセット後			0	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	-	0
	I2C1SDA	I/O	FT1	0/1	1	PGFR1	1	0/1	0/1	0/1	1

9.1.2.8 PORT H

表 9-8 ポート H レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PHDATA	PHCR	PHFRn	PHOD	PHPUP	PHPDN	PHIE
PH0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB4IN	Input	FT1	0/1	0	PHFR1	0/1	0/1	0/1	1
PH1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB5IN	Input	FT1	0/1	0	PHFR1	0/1	0/1	0/1	1
PH2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB6IN	Input	FT1	0/1	0	PHFR1	0/1	0/1	0/1	1
PH3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB7IN	Input	FT1	0/1	0	PHFR1	0/1	0/1	0/1	1

9.1.2.9 PORT J

表 9-9 ポート J レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PJDATA	PJCR	PJFRn	PJOD	PJPUP	PJPDN	PJIE
PJ0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB5OUT	Output	FT1	0/1	1	PJFR1	0/1	0/1	0/1	0
PJ1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB6OUT	Output	FT1	0/1	1	PJFR1	0/1	0/1	0/1	0
PJ2	リセット後		FT1	0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PJ3	リセット後		FT1	0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0

9.1.3 ポート回路図

9.1.3.1 ポートタイプ一覧

ポートには、以下のタイプがあります。それぞれの回路図を次ページから示します。図中の点線は「ポート部等価回路図」で記されている等価回路の範囲を示します。

表 9-10 機能一覧

Type	機能入出力	Pull-up	Pull-down	アナログ
	入出力			
FT1	入出力	R	R	–
FT4	入力 (INT)	R	R	–
FT5	入力(AIN)	R	R	o
FT6	入力(BOOT)	EnR	R	–

int: 割り込み入力
–: なし
o: 有り
R: リセット中は強制的に禁止
EnR: リセット中は強制的に許可

9.1.3.2 タイプ FT1

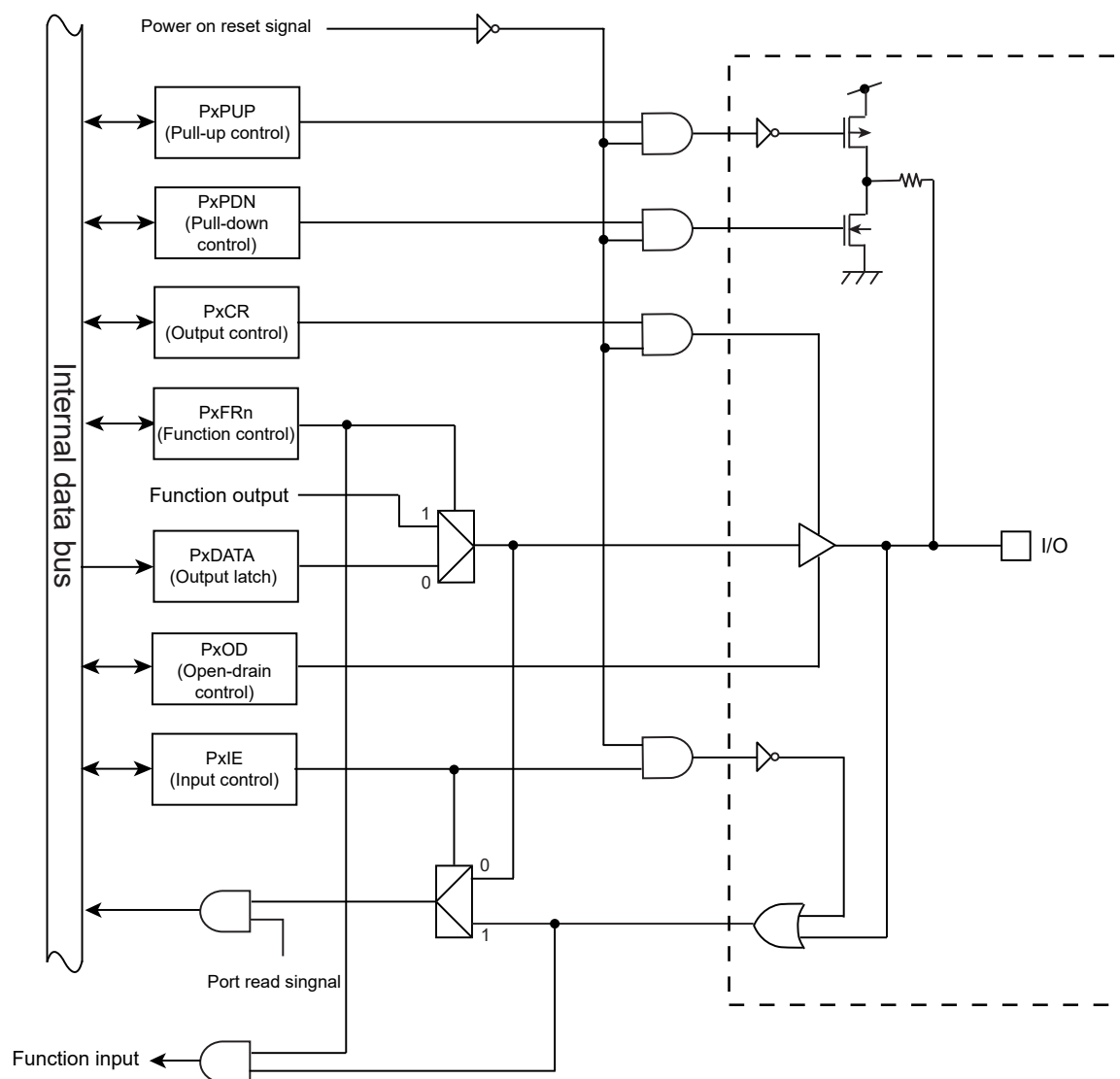


図 9-1 ポートタイプ FT1

9.1.3.3 タイプ FT4

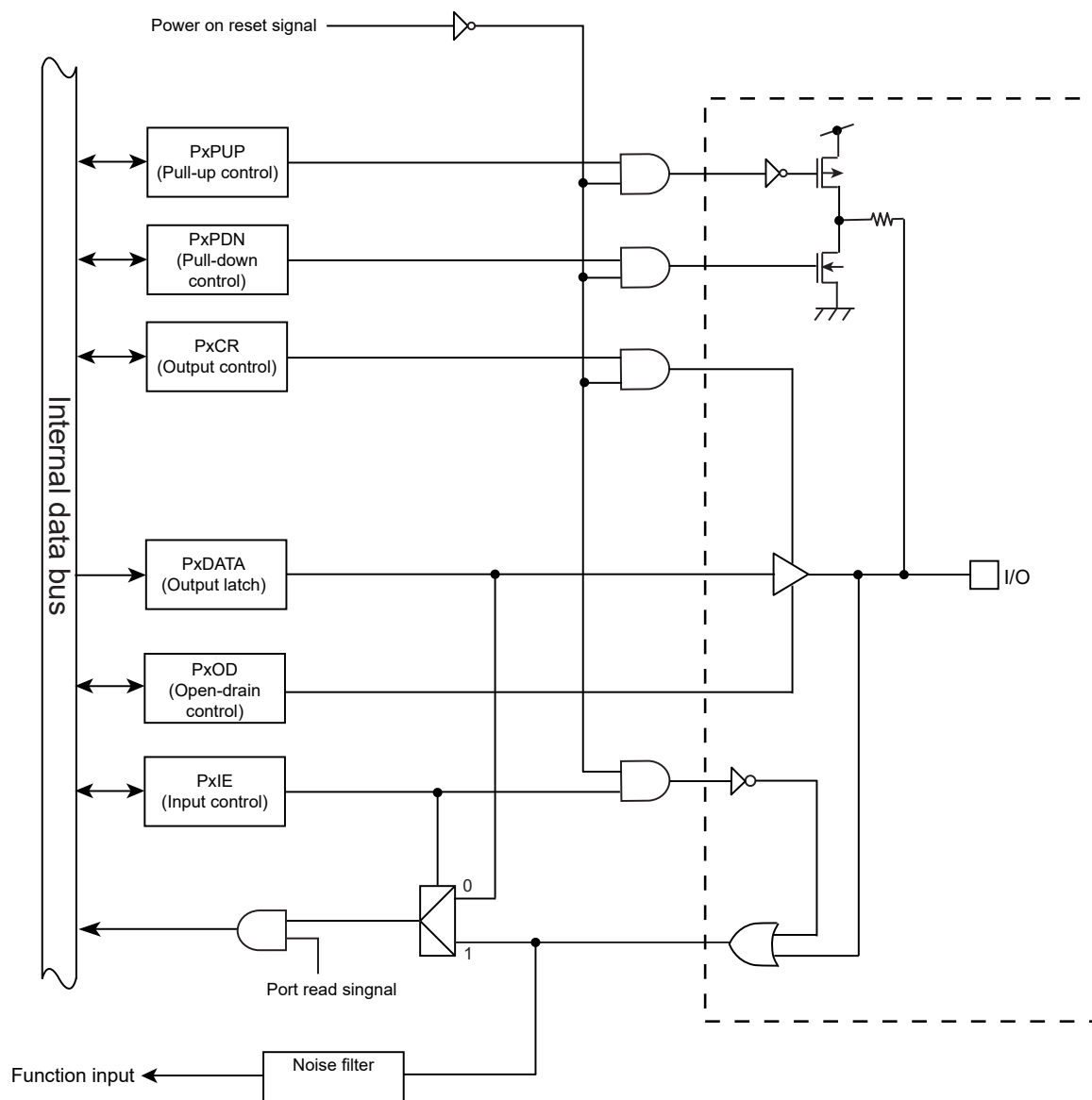


図 9-2 ポートタイプ FT4

9.1.3.4 タイプ FT5

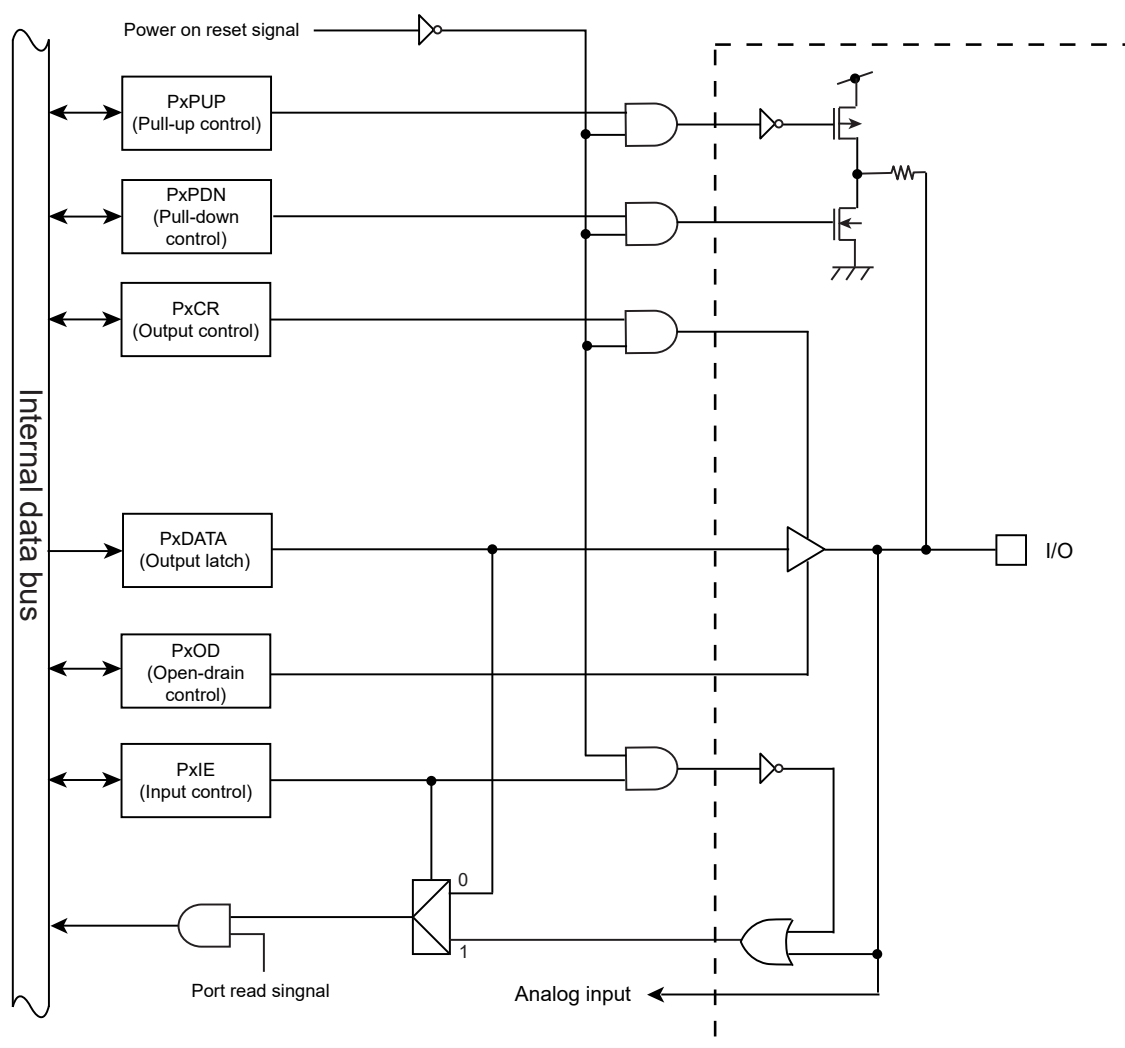


図 9-3 ポートタイプ FT5

9.1.3.5 タイプ FT6

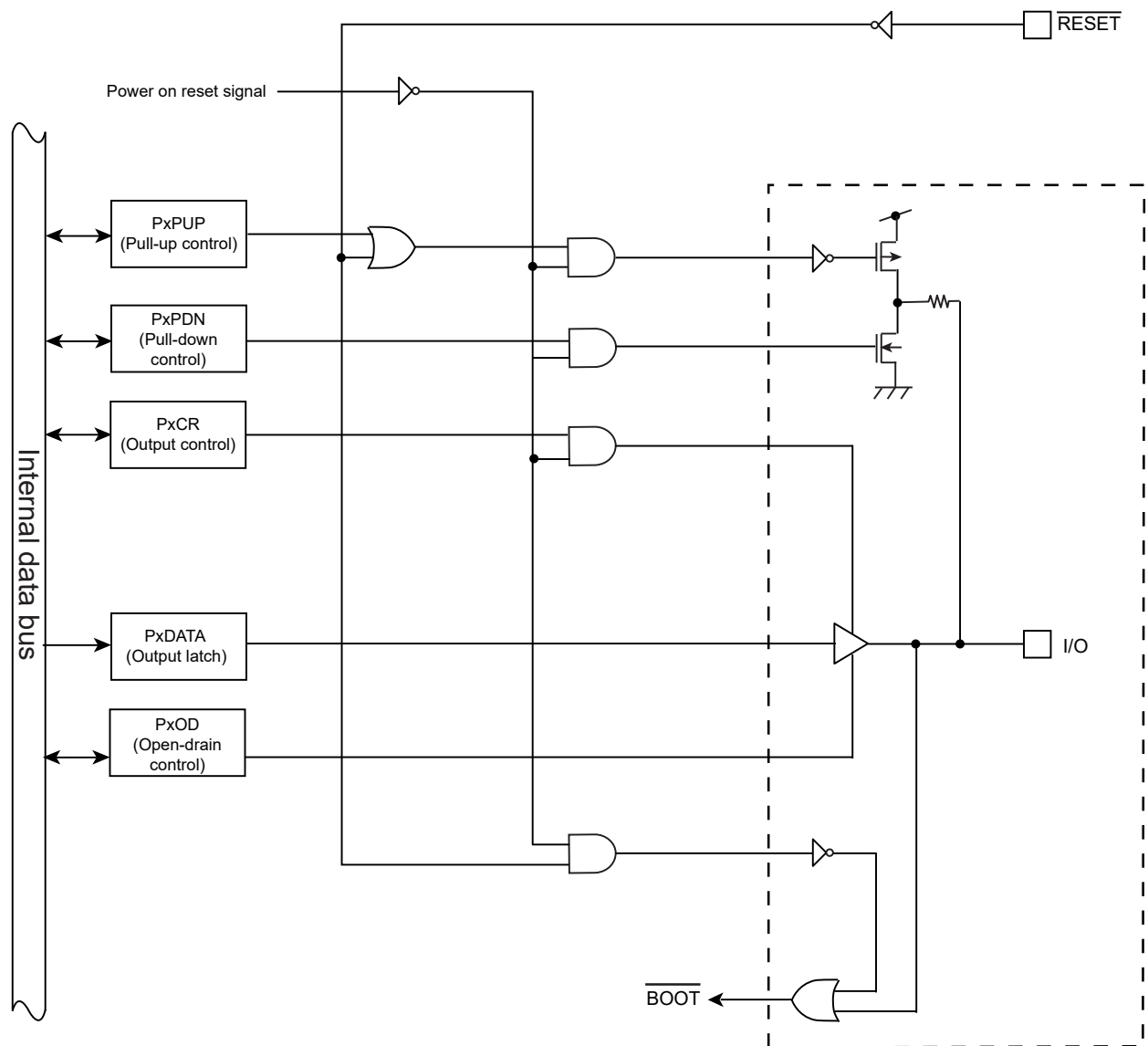


図 9-4 ポートタイプ FT6

第 10 章 16 ビットタイマ/イベントカウンタ(TMRB)

10.1 概要

TMRB は、次の動作モードをもっています。

- ・ インタバルタイマモード
- ・ イベントカウンタモード
- ・ プログラマブル矩形波出力 (PPG) モード
- ・ プログラマブル矩形波出力 (PPG) 外部トリガ出力モード

また、キャプチャ機能を利用することで、次のような用途に使用することができます。

- ・ 周波数測定
- ・ パルス幅測定

10.2 構成

TMRB は、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (ダブルバッファ構造)、16 ビットのキャプチャレジスタ、コンパレータ、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

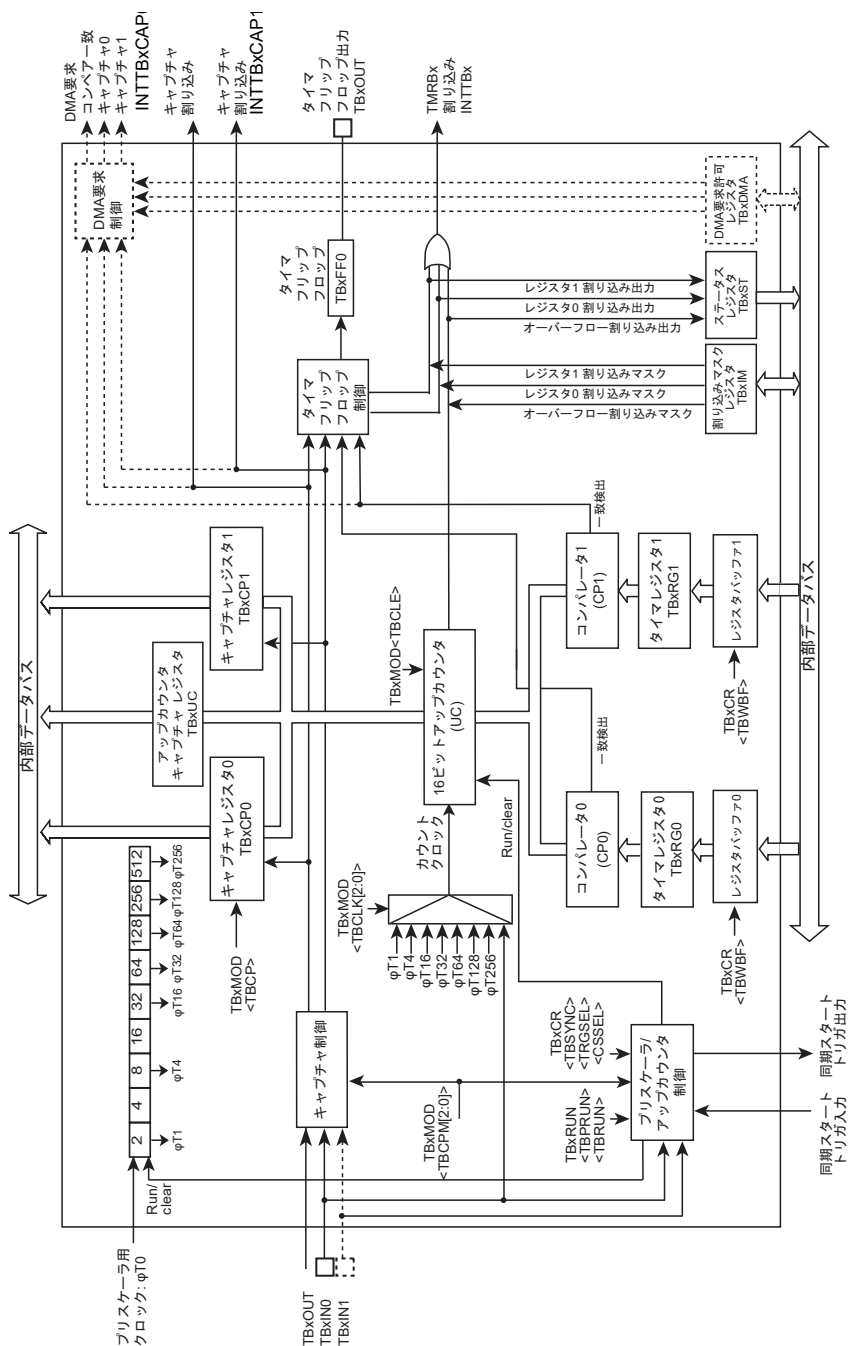


図 10-1 TMRB ブロック図

10.3 レジスタ説明

10.3.1 レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
イネーブルレジスタ	TBxEN	0x0000
RUN レジスタ	TBxRUN	0x0004
コントロールレジスタ	TBxCR	0x0008
モードレジスタ	TBxMOD	0x000C
フリップフロップコントロールレジスタ	TBxFFCR	0x0010
ステータスレジスタ	TBxST	0x0014
割り込みマスクレジスタ	TBxIM	0x0018
アップカウンタキャプチャレジスタ	TBxUC	0x001C
タイマレジスタ 0	TBxRG0	0x0020
タイマレジスタ 1	TBxRG1	0x0024
キャプチャレジスタ 0	TBxCP0	0x0028
キャプチャレジスタ 1	TBxCP1	0x002C
DMA 要求許可レジスタ	TBxDMA	0x0030

注) タイマ動作中に、タイマコントロールレジスタ、タイマモードレジスタ、タイマフリップフロップコントロールレジスタの変更はできません。タイマを停止後に、上記レジスタの変更を実施してください。

10.3.2 TBxEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEN	TBHALT	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TBEN	R/W	TMRBx 動作 0: 禁止 1: 許可 TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です(この状態では、TBxEN レジスタ以外のレジスタへのリード、ライトはできません)。 TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可("1")にしてください。TMRB をいったん動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。
6	TBHALT	R/W	デバッグ HALT 中のクロック動作 0: 動作 1: 停止 デバッグツール使用時に HALT モードに遷移した場合、TMRB クロック動作/停止の設定を行います。
5-0	–	R	リードすると"0"が読めます。

10.3.3 TBxRUN(RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBPRUN	-	TBRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	TBPRUN	R/W	ブリスケーラ動作 0: 停止&クリア 1: カウント
1	-	R	リードすると"0"が読めます。
0	TBRUN	R/W	カウンタ動作 0: 停止&クリア 1: カウント

10.3.4 TBxCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBWBFB	-	TBSYNC	-	-	-	TRGSEL	CSSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TBWBFB	R/W	ダブルバッファ 0: 禁止 1: 許可
6	-	R/W	"0"をライトしてください。
5	TBSYNC	R/W	同期モード切替 0: 個別動作(チャンネルごと) 1: 同期動作
4	-	R	リードすると"0"が読めます。
3	-	R/W	"0"を書いてください。
2	-	R/W	"0"を書いてください。
1	TRGSEL	R/W	外部トリガエッジ選択 0: 立ち上がり 1: 立ち下がり 外部トリガ(TBxIN)でのカウントスタート選択時のカウントスタートのエッジを選択します。
0	CSSEL	R/W	カウントスタート選択 0: ソフトスタート 1: 外部トリガ

10.3.5 TBxMOD(モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	TBCPM		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	TBCP	-	-	TBCLE	TBCLK		
リセット後	0	1	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-11	-	R	リードすると"0"が読めます。
10-8	TBCPM[2:0]	R/W	TBxIN0 / 1 によるキャプチャタイミングとアップカウンタクリアタイミング設定 000: ディセーブル 001: TBxIN0↑ TBxIN1↑ TBxIN0 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、 TBxIN1 端子入力の立ち上がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込む 010: TBxIN0↑ TBxIN0↓ TBxIN0 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、 TBxIN0 端子入力の立ち下がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込む 011: TBxFF0↑ TBxFF0↓ TBxFF0 の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、TBxFF0 の立ち下がり でキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込みます。 100: TBxIN1↑でアップカウンタクリア 101: TBxIN0↑でキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、TBxIN1↑でアップカウンタを クリアします。キャプチャタイミングとアップカウンタのクリアタイミングが同時だった場合、キャプ チャが実行された後にアップカウンタのクリアが実行されます。 110 to 111: Reserved
7	-	R/W	"0"をライトしてください。
6	TBCP	W	ソフトウェアキャプチャ制御 0: ソフトキャプチャ 1: Don't care "0"を書き込むとキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込みます。 リードすると"1"が読めます。
5-4	-	R	リードすると"0"が読めます。
3	TBCLE	R/W	アップカウンタ制御 0: クリアディセーブル 1: クリアイネーブル アップカウンタのクリア制御を行います。 "0"でクリア禁止、"1"でタイマレジスタ 1 (TBxRG1)との一致時にクリアします。
2-0	TBCLK[2:0]	R/W	TMRBx のソースクロック選択 000: TBxIN 端子入力 001: φT1 010: φT4 011: φT16 100: φT32 101: φT64 110: φT128 111: φT256

注) TMRBx が動作中に、TBxMOD レジスタの設定変更を行わないでください。

10.3.6 TBxFFCR(フリップフロップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	TBC1T1	TBC0T1	TBE1T1	TBE0T1	TBFF0C	
リセット後	1	1	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-6	-	R	リードすると"1"が読めます。
5	TBC1T1	R/W	TBxCP1 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 1 (TBxCP1)に取り込まれたときにタイマフリップフロップを反転します。
4	TBC0T1	R/W	TBxCP0 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 0 (TBxCP0)に取り込まれたときにタイマフリップフロップを反転します。
3	TBE1T1	R/W	アップカウンタと TBxRG1 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 1 (TBxRG1)との一致時にタイマフリップフロップを反転します。
2	TBE0T1	R/W	アップカウンタと TBxRG0 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 0 (TBxRG0)との一致時にタイマフリップフロップを反転します。
1-0	TBFF0C[1:0]	R/W	TBxFF0 の制御 00: Invert TBxFF0 の値を反転(ソフト反転)します。 01: Set TBxFF0 を"1"にセットします。 10: Clear TBxFF0 を"0"にクリアします。 11: Don't care リードすると"11" が読めます。

10.3.7 TBxST(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	INTTBOF	INTTB1	INTTB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	—	R	リードすると"0"が読めます。
2	INTTBOF	R	オーバフロー割り込み要求フラグ 0: オーバフローは発生していない 1: オーバフローが発生 アップカウンタのオーバフローが発生すると"1"がセットされます。
1	INTTB1	R	一致(TBxRG1)割り込み要求フラグ 0: 一致検出していない 1: TBxRG1 との一致を検出した タイマレジスタ 1 (TBxRG1)との一致を検出すると"1"がセットされます。
0	INTTB0	R	一致(TBxRG0)割り込み要求フラグ 0: 一致検出していない 1: TBxRG0 との一致を検出した タイマレジスタ 0 (TBxRG0)との一致を検出すると"1"がセットされます。

注 1) TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。

注 2) TBxIM でマスク設定されていない要因のみ、CPU に対し割り込み要求が出力されます。

注 3) フラグをクリアするためには TBxST をリードしてしてください。

10.3.8 TBxIM(割り込みマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBIMOF	TBIM1	TBIM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	-	R	リードすると"0"が読めます。
2	TBIMOF	R/W	オーバフロー割り込み要求マスク 0:割り込み要求をマスクしない 1:割り込み要求をマスクする アップカウンタのオーバフロー割り込みをマスクする／しないを設定します。
1	TBIM1	R/W	一致(TBxRG1)割り込み要求マスク 0:割り込み要求をマスクしない 1:割り込み要求をマスクする TBxRG1 との一致割り込み要求をマスクする／しないを設定します。
0	TBIM0	R/W	一致(TBxRG0)割り込み要求マスク 0:割り込み要求をマスクしない 1:割り込み要求をマスクする TBxRG0 との一致割り込み要求をマスクする／しないを設定します。

注) TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。

10.3.9 TBxUC(アップカウンタキャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	—	R	リードすると"0"が読めます。
15-0	TBUC[15:0]	R	アップカウンタ値をキャプチャした値 カウンタ動作中に TBxUC をリードすると、アップカウンタの値をキャプチャします。

10.3.10 TBxRG0(タイマレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TBRG0[15:0]	R/W	アップカウンタと比較する値を設定します。

10.3.11 TBxRG1(タイマレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TBRG1[15:0]	R/W	アップカウンタと比較する値を設定します。

10.3.12 TBxCP0(キャプチャレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP0							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	TBCP0							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	—	R	リードすると"0"が読めます。
15-0	TBCP0[15:0]	R	アップカウンタをキャプチャした値が読めます。

10.3.13 TBxCP1(キャプチャレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP1							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	TBCP1							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	—	R	リードすると"0"が読めます。
15-0	TBCP1[15:0]	R	アップカウンタをキャプチャした値が読めます。

10.3.14 TBxDMA(DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBDMAEN2	TBDMAEN1	TBDMAEN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	—	R	リードすると"0"が読めます。
2	TBDMAEN2	R/W	DMA 要求選択:コンパレータ 1 (CP1)一致検出 0:禁止 1:許可
1	TBDMAEN1	R/W	DMA 要求選択:インプットキャプチャ 1 0:禁止 1:許可
0	TBDMAEN0	R/W	DMA 要求選択:インプットキャプチャ 0 0:禁止 1:許可

注 1) TBxIM レジスタで割り込みをマスク設定している場合、DMA 要求を許可しても要求は発生しません。

注 2) DMA 要求要因の割り当てはチャンネルごとに異なります。詳細は「製品情報」の章を参照ください。

10.4 動作説明

10.4.1 プリスケーラ

アップカウンタのソースクロックを生成する 4 ビットのプリスケーラです。

プリスケーラへの入力クロック $\phi T0$ は CG 部の CGSYSCR<PRCK[2:0]> で選択した fperiph/1, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG 部の CGSYSCR<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは TBxRUN<TBPRUN> により動作/停止の設定をします。"1" をライトするとカウント開始し "0" をライトするとクリアされ停止します。

10.4.2 アップカウンタ(UC)

16 ビットのバイナリカウンタです。

10.4.2.1 ソースクロック

ソースクロックは TBxMOD<TBCLK[2:0]>で設定することができます。

プリスケーラ出力クロック $\phi T1$, $\phi T4$, $\phi T16$, $\phi T32$, $\phi T64$, $\phi T128$, $\phi T256$ または、TBxIN 入力のいずれかを選択できます。

10.4.2.2 動作開始と停止

カウンタのスタート方法には、ソフトスタート、外部トリガスタート、同期スタートがあります。

1. ソフトスタート

<TBRUN> に "1" を設定することでカウントを開始します。"0" でカウント停止と同時にアップカウンタのクリアを行います。

2. 外部トリガスタート

外部トリガカウントスタートモードでは、外部信号でタイマのカウントスタートが可能となります。

TBxCR<CSSEL>に "1" を設定することで外部トリガスタートモードとなります。この状態で、<TBRUN>に "1" を設定するとトリガ待ち状態となり、TBxIN の立ち上がりまたは立ち下がりでカウントを開始します。

TBxCR<TRGSEL>ビットの設定により、外部トリガのエッジ切り替えを行います。

- ・ <TRGSEL> = "0" : TBxIN の立ち上がりエッジが選択されます。
- ・ <TRGSEL> = "1" : TBxIN の立ち下がりエッジが選択されます。

<TBRUN> に "0" を設定することでカウント停止と同時にアップカウンタのクリアを行います。

3. 同期スタート

タイマ同期モードでは、タイマ間のスタートの同期を取ることが可能となります。PPG 出力モードでタイマ同期モードを使用することによりモータなどの駆動に応用が可能です。

製品によってマスタとなるチャンネルとスレーブとなるチャンネルの組み合わせは決まっています。本製品でのマスタとスレーブの組み合わせは「製品情報」の章を参照ください。

TBxCR<TBSYNC>ビットの設定により、同期モードの切り替えを行います。スレーブチャンネルの<TBSYNC>ビットに"1"を設定するとマスタチャンネルのソフトウェアまたは外部トリガによるスタートに同期してカウント開始および停止します。スレーブチャンネルの TBxRUN <TBPRUN, TBRUN>ビットの設定は不要です。マスタチャンネルの<TBSYNC>ビットは"0"を設定してください。

なお、外部トリガカウントモードとタイマ同期モードが同時に設定されている場合は、タイマ同期モードが優先されます。

10.4.2.3 カウンタのクリア

アップカウンタは以下のタイミングでクリアされます。

1. TBxRG1 との一致時

TBxMOD<TBCLE>="1"に設定することで、アップカウンタと TBxRG1 との一致でカウンタをクリアをすることができます。TBxMOD<TBCLE>="0"に設定するとカウンタはフリーランニングカウンタとして動作します。

2. アップカウンタ停止時

TBxRUN<TBRUN>="0"に設定すると、アップカウンタが停止するとともにクリアされます。

3. TBxIN1 の立ち上がり

TBxMOD<TBCPM[2:0]>が"100"または"101"のとき、TBxIN1 の立ち上がりでアップカウンタがクリアされます。

10.4.2.4 オーバフロー

アップカウンタがオーバフローすると、オーバフロー割り込み INTTBx が発生します。

10.4.3 タイマレジスタ(TBxRG0, TBxRG1)

アップカウンタと比較する値を設定するレジスタで、2 本内蔵されています。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致するとコンパレータが一致検出信号を出力します。

TBxRG0/1 はダブルバッファ構成になっており、タイマレジスタはレジスタバッファとペアになっています。初期状態では、ダブルバッファはディセーブルです。

ダブルバッファのイネーブル/ディセーブル制御は TBxCR<TBWBF>によって行います。<TBWBF>="0" のときディセーブル、<TBWBF>="1" のときイネーブルとなります。ダブルバッファイネーブル時、アップカウンタと TBxRG1 との一致時にレジスタバッファ 0/1 からタイマレジスタ TBxRG0/1 ヘデータ転送が行われます。また、ダブルバッファがイネーブルでもカウンタが停止しているときはシングルバッファ動作となり、TBxRG0/1 に直接値が書き込まれます。

10.4.4 キャプチャ制御

アップカウンタの値をキャプチャレジスタ TBxCP0、TBxCP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TBxMOD<TBCPM[2:0]>で設定します。

また、ソフトウェアによってもアップカウンタの値をキャプチャレジスタへ取り込むことができます。TBxMOD<TBCP>に"0"を書き込むたびに、その時点のアップカウンタの値をキャプチャレジスタ TBxCP0 へキャプチャします。

10.4.5 キャプチャレジスタ(TBxCP0, TBxCP1)

アップカウンタの値をキャプチャするレジスタです。

10.4.6 アップカウンタキャプチャレジスタ(TBxUC)

カウンタ動作中に TBxUC レジスタをリードすると、アップカウンタの現在のカウント値がキャプチャされその値が読みだされます。カウント停止中は最後にキャプチャした値が保持されます。

10.4.7 コンパレータ(CP0, CP1)

アップカウンタと、タイマレジスタ TBxRG0, TBxRG1 への設定値とを比較し、一致を検出します。一致すると、INTTBx を発生します。

10.4.8 タイマフリップフロップ(TBxFF0)

タイマフリップフロップ (TBxFF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TBxFFCR<TBC1T1, TBC0T1, TBE1T1, TBE0T1>によって設定できます。

リセット後、TBxFF0 の値は不定となります。TBxFFCR<TBFF0C[1:0]>に"00"を書き込むことで反転、"01"を書き込むことで"1"にセット、"10"を書き込むことで"0"にクリアされます。

TBxFF0 の値は、タイマ出力端子 TBxOUT 端子へ出力することができます。タイマ出力を行う場合、あらかじめ該当するポートの設定を行ってください。

10.4.9 キャプチャ割り込み(INTTBxCAP0, INTTBxCAP1)

キャプチャレジスタ TBxCP0, TBxCP1 にアップカウンタの値をラッチするタイミングで割り込み INTTBxCAP0, INTTBxCAP1 をそれぞれ発生します。

10.4.10 DMA 要求

一致割り込みまたはキャプチャ割り込み発生タイミングで DMAC に対して DMA 要求を発行します。DMA 転送を行う場合は TBxDMA レジスタの該当ビットで許可の設定を行ってください。

注) TBxIM レジスタで割り込みをマスク設定している場合、DMA 要求を許可しても要求は発生しません。

10.5 モード別動作説明

10.5.1 インタバルタイマモード

一定周期の割り込みを発生させる場合、タイマレジスタ TBxRG1 にインタバル時間を設定することで INTTBx 割り込みを発生します。

TBxEN<TBEN> = "1"	TMRBx を起動します。
TBxRUN<TBPRUN><TBRUN> = "00"	プリスケアラとカウンタ動作を停止します。
INTTBx 割り込み許可	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxFFCR<TBC1T1><TBC0T1><TBE1T1><TBE0T1> = "0000"	TBxFF0 を TBxRG0, TBxRG1 との一致検出と TBxCP0, TBxCP1 の取り込みで反転しないように設定します。
TBxMOD<TBCPM[2:0]> = "000"	入カクロックをプリスケアラ出カクロックにし、キャプチャ機能ディセーブルにします。
TBxMOD<TBPCP> = "1"	
TBxMOD<TBCLE> = "0"	
TBxMOD<TBCLK[2:0]> = "****" (** = "001" ~ "111")	
TBxRG1 = 0x****	インタバル時間を設定します。
TBxRUN<TBPRUN><TBRUN> = "11"	プリスケアラとカウンタ動作を起動します。

注) *: 任意の値

10.5.2 イベントカウンタモード

入カクロックを外部クロック(TBxIN 端子入力)にすることでイベントカウンタにすることが出来ます。

アップカウンタは TBxIN 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

TBxEN<TBEN> = "1"	TMRBx を起動します。
TBxRUN<TBPRUN><TBRUN> = "00"	プリスケアラとカウンタ動作を停止します。
該当ポートをに割り付けます。	
TBxFFCR<TBC1T1><TBC0T1><TBE1T1><TBE0T1> = "0000"	TBxFF0 を TBxRG0, TBxRG1 との一致検出と TBxCP0, TBxCP1 の取り込みで反転しないように設定します。
TBxMOD<TBCPM[2:0]> = "000"	入カクロックをにします。
TBxMOD<TBPCP> = "1"	
TBxMOD<TBCLE> = "0"	
TBxMOD<TBCLK[2:0]> = "000"	
TBxRUN<TBPRUN><TBRUN> = "11"	プリスケアラとカウンタ動作を起動します。
TBxMOD<TBPCP> = "0"	ソフトウェアキャプチャを行います。

注) *: 任意の値

10.5.3 PPG (プログラマブル矩形波)出力モード

任意周波数、任意デューティの矩形波を出力することができます。出力パルスは、ローアクティブ、ハイアクティブどちらでも可能です。

アップカウンタ とタイマレジスタ (TBxRG0, TBxRG1) への設定値との一致によりタイマフリップフロップ (TBxFF0) に反転トリガをかけることで、プログラマブル矩形波を TBxOUT 端子より出力することができます。

ただし、TBxRG0 と TBxRG1 の設定値は次の条件を満たす必要があります。

TBxRG0 設定値 < TBxRG1 設定値

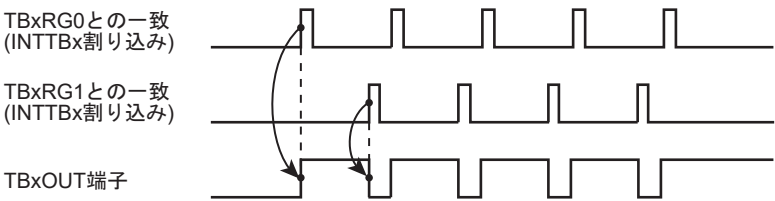


図 10-2 プログラマブル矩形波(PPG)出力波形例

16 ビット PPG モードでは、ダブルバッファをイネーブルにすることにより、アップカウンタと TBxRG1 との一致で、レジスタバッファ 0/1 の値が TBxRG0/1 へ転送されます。

これにより、TBxRG0/1 の更新タイミングを意識しないで、周波数、デューティを変更することができます。

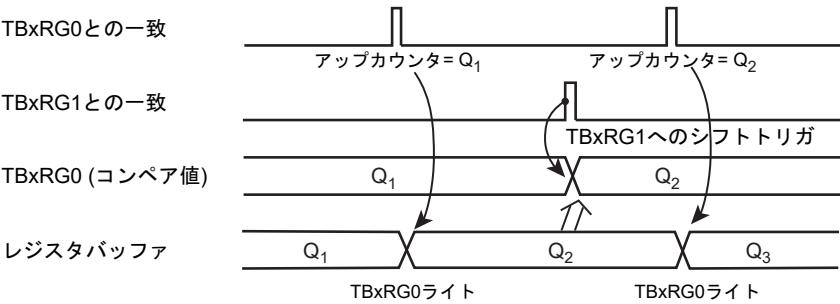


図 10-3 レジスタバッファの動作

このモードのブロック図を示します。

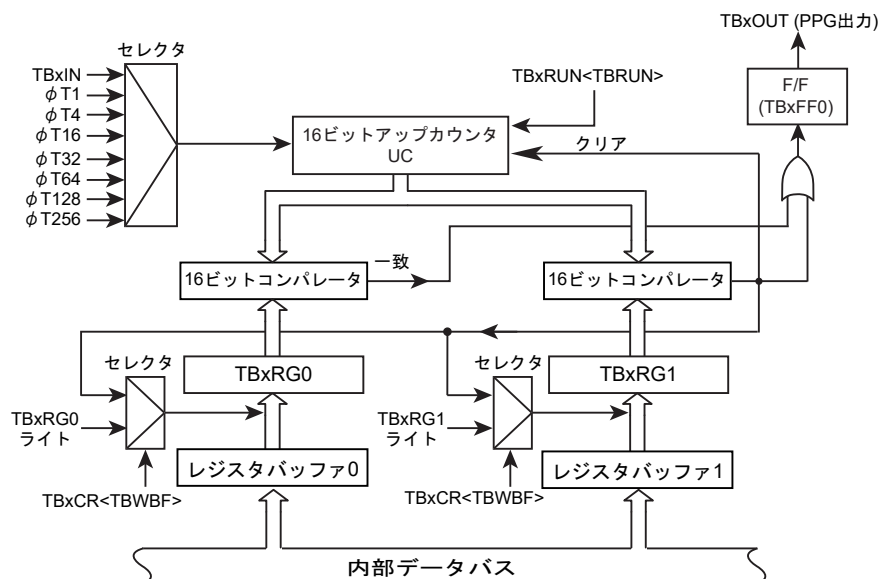


図 10-4 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

TBxEN<TBEN> = "1"

TBxRUN<TBPRUN><TBRUN> = "00"

TBxCR<TBWBF> = "1"

TBxRG0 = 0x****

TBxRG1 = 0x****

TBxFFCR<TBC1T1><TBC0T1><TBE1T1><TBE0T1> = "0011"

TBxFFCR<TBFF0C[1:0]> = "10"

TBxMOD<TBCPM[2:0]> = "000"

TBxMOD<TBPCP> = "1"

TBxMOD<TBCLE> = "1"

TBxMOD<TBCLK[2:0]> = "****" (** = "001" ~ "111")

該当ポートを TBxOUT に割り付けます。

TBxRUN<TBPRUN><TBRUN> = "11"

TMRBx を起動します。

プリスケアラとカウンタ動作を停止します。

ダブルバッファをイネーブルします。

デューティを設定します。

周期を設定します。

TBxFF0 を TBxRG0, TBxRG1 との一致検出で反転するように設定します。TBxFF0 を TBxCP0, TBxCP1 の取り込みで反転しないように設定します。また、TBxFF0 の初期値を "0" にします。

入カクロックをプリスケアラ出カクロックにし、キャプチャ機能ディセーブルにします。

プリスケアラとカウンタ動作を起動します。

注) *: 任意の値

10.5.4 プログラマブル矩形波(PPG)外部トリガ出力モード

PPG(プログラマブル矩形波)出力モードを外部トリガカウントスタートモードで動作させることで、ソフトウェアでは処理が間に合わない短いディレイタイムの PPG 波形を出力することができます。

外部トリガカウントスタートを使用したワンショットパルス出力(ディレイあり) の例を以下に示します。

16 ビットアップカウンタが停止している状態で、TBxIN 端子の立ち上がりでカウントアップするように TBxCR<CSSEL>を"1"に TBxCR<TRGSEL>を"0"に設定しておきます。

TBxRG0 には、外部トリガからのディレイタイム(d)を設定します。TBxRG1 にはディレイタイム(d)とワンショットパルスの幅(p)を加算した値(d)+(p)を設定します。

TBxFF0 をアップカウンタと TBxRG0/1 との一致で反転するように TBxFFCR<TBE1T1>、<TBE0T1>を"1"にセットします。

TBxRUN<TBPRUN>、<TBRUN>を"1"にセットし、アップカウンタをスタートできる状態にします。

この状態で、TBxIN に外部トリガパルスが入力されると、外部トリガパルスの立ち上がりで、アップカウンタがスタートします。アップカウンタの値が(d)になると TBxRG0 と一致し、TBxFF0 が反転、"High"レベルになります。アップカウンタの値が(d)+(p)になると TBxRG1 と一致し、TBxFF0 が反転、"Low"レベルになります。

アップカウンタの値が TBxRG1 と一致したときに発生する INTTBx で TBxFF0 が変化しないように TBxFFCR<TBE1T1>、<TBE0T1>を"0"にクリアするか、TBxRUN<TBPRUN><TBRUN>でアップカウンタの動作を停止します。

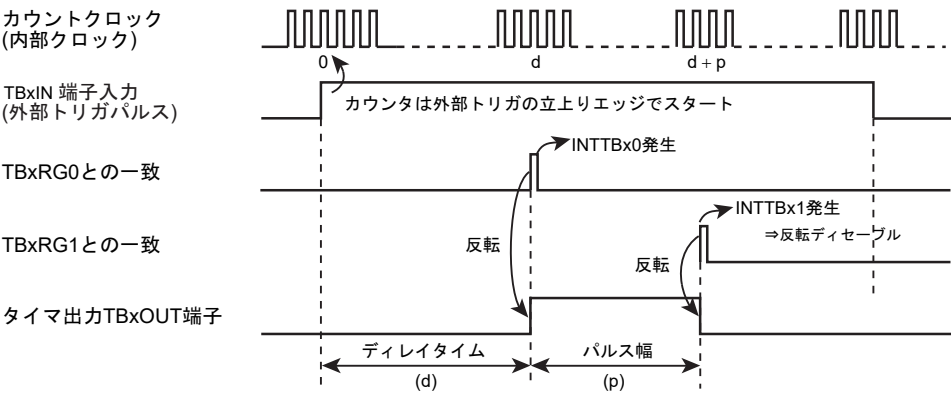


図 10-5 外部トリガカウントスタートを使用したワンショットパルス出力(ディレイあり)

TBxIN 端子の立ち上がりをトリガとして、3ms 後に 2ms 幅のワンショットパルスを出力する場合の設定例を以下に示します。ここではソースクロックに ϕ T1 を使用しています。

[メイン処理]

該当ポートをに割り付けます。

TBxEN<TBEN> = "1"

TBxRUN<TBPRUN><TBRUN> = "00"

TBxRG0 = 0x****

TBxRG1 = 0x****

TBxFFCR<TBC1T1><TBC0T1><TBE1T1><TBE0T1> = "0011"

TBxFFCR<TBFF0C[1:0]> = "10"

TBxMOD<TBCPM[2:0]> = "000"

TBxMOD<TBPCP> = "1"

TBxMOD<TBCLE> = "1"

TBxMOD<TBCLK[2:0]> = "001"

該当ポートを TBxOUT に割り付けます。

TBxIM<TBIMOF><TBIM1><TBIM0> = "101"

割り込みイネーブルセットレジスタ = 0x*****

TBxRUN<TBPRUN><TBRUN> = "11"

[INTTBx 割り込みサービスルーチンでの処理]

TBxFFCR<TBE1T1><TBE0T1> = "00"

TBxRUN<TBPRUN><TBRUN> = "00"

TMRBx を起動します。

プリスケアラとカウンタ動作を停止します。

カウンタ値を設定します。(3ms/φT1)

周期を設定します。((3+2)ms/φT1)

TBxFF0 を TBxRG0, TBxRG1 との一致検出で反転するように設定します。TBxFF0 を TBxCP0, TBxCP1 の取り込みで反転しないように設定します。また、TBxFF0 の初期値を "0" にします。

ソースクロックを φT1 にします。キャプチャ機能ディセーブルにします。

TBxRG1 との一致割り込み以外をマスクします。

INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。

プリスケアラとカウンタ動作を起動します。

TBxFF0 反転トリガ設定をディセーブルにします。

プリスケアラとカウンタ動作を停止します。

注) *: 任意の値

10.6 キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより、多くの応用が可能です。
以下にキャプチャを利用した応用例を示します。

- 1. 周波数測定
- 2. パルス幅測定

10.6.1 周波数測定

外部から入力されるクロックの周波数測定を行う例を示します。

ここでは TMRBm を 16 ビットインタバルタイマで、TMRBn を 16 ビットイベントカウンタモードで使用します。

TMRBn の 16 ビットアップカウンタを外部から入力されるクロックでフリーランニングでカウントアップさせておくため、TBnMOD<TBCLK>を"000"に、TBnRUN<TBPRUN>、<TBRUN>を"1"に設定します。

TBmFF0 が TBmRG0/1 と一致したときに反転するように TBmFFCR<TBE1T1>、<TBE0T1>を"1"に設定します。

TBmFF0 の立ち上がりで TBnCP0 にアップカウンタの値を取り込み、TBmFF0 の立ち下がり
で TBnCP1 でアップカウンタの値を取り込むように TBnMOD<TBCPM[2:0]>を"011"に設定します。

TBmRG0 と TBmRG1 に外部クロック数をカウントする測定時間を設定し、TMRBm を動作させま
す。

TMRBm のアップカウンタが TBmRG0 と一致すると TBmFF0 が立ち上がり、TBnCP0 に TMRBn
のアップカウンタの値が取り込まれます。また、TMRBm のアップカウンタが TBmRG1 と一致する
と TBmFF0 が立ち下がり、TBnCP1 に TMRBn のアップカウンタの値が取り込まれます。

周波数は INTTBm で、(TBnCP1-TBnCP0)を TBmRG1 と TBmRG0 の時間差で割ることで求めます。

例えば、TBmRG1 と TBmRG0 の時間差が 0.5 s で、TBnCP0 と TBnCP1 の差が 100 であれば、周波
数は $100 \div 0.5 \text{ s} = 200 \text{ Hz}$ となります。

TBmFF0 の変化タイミングにより、TBnCP1-TBnCP0 がマイナスになることがあります。TBnCP1-
TBnCP0 の値に合わせて補正を行ってください。

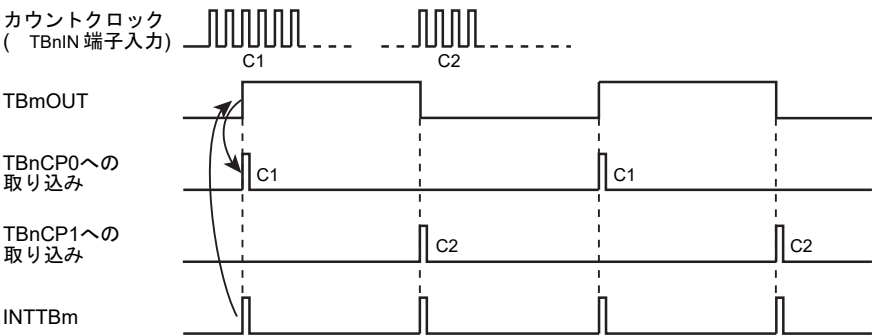


図 10-6 周波数測定

TBxIN 端子に周波数測定を行うパルスを入力した場合の設定例を以下に示します。ここではソー
スクロックに φ T1 を使用しています。

[メイン処理] TBmFF0 でのキャプチャ設定

該当ポートをに割り付けます。

TBmEN<TBEN> = "1"

TBmRUN<TBPRUN><TBRUN> = "00"

TBnEN<TBEN> = "1"

TBnRUN<TBPRUN><TBRUN> = "00"

TBmCR<TBWBF> = "1"

TBmRG0 = 0x****

TBmRG1 = 0x****

TBmFFCR<TBC1T1><TBC0T1><TBE1T1><TBE0T1> = "0011"

TBmFFCR<TBFF0C[1:0]> = "10"

TBnMOD<TBCPM[2:0]> = "011"

TBnMOD<TBCP> = "1"

TBnMOD<TBACLE> = "0"

TBnMOD<TBCLK[2:0]> = "000"

TBmIM<TBIMOF><TBIM1><TBIM0> = "101"

割り込みイネーブルセットレジスタ = 0x*****

TBmRUN<TBPRUN><TBRUN> = "11"

TBnRUN<TBPRUN><TBRUN> = "11"

[INTTBm 割り込みサービスルーチンでの処理]

TBmFFCR<TBE1T1><TBE0T1> = "00"

割り込みイネーブルクリアレジスタ = 0x*****

TBnCP0/1 を読み出し、周波数を計算します。

TMRBm モジュールを起動します。

プリスケアラとカウンタ動作を停止します。

TMRBn モジュールを起動します。

プリスケアラとカウンタ動作を停止します。

ダブルバッファをイネーブルします。

外部クロック測定時間 1 を設定します。

外部クロック測定時間 2 を設定します。

TBmFF0 を TBmRG0, TBmRG1 との一致検出で反転するように設定します。TBmFF0 を TBmCP0, TBmCP1 の取り込みで反転しないように設定します。また、TBmFF0 の初期値を "0" にします。

TBmFF0 の立ち上がり/立ち下がりでアップカウンタの内容を取り込み、アップカウンタのクリアディセーブル、入カクロックをにします。

TBmRG1 との一致割り込み以外をマスクします。

INTTBm 割り込みに対応するビットを"1"にし、割り込みを許可します。

プリスケアラとカウンタ動作を起動します。

プリスケアラとカウンタ動作を起動します。

TBmFF0 反転トリガ設定をディセーブルにします。

INTTBm 割り込みに対応するビットを"1"にし、割り込みを禁止します。

注) m, n; 任意のチャネル番号、*; 任意の値

10.6.2 パルス幅測定

外部から入力されるパルスの"High"レベル幅測定を行う例を示します。

TBxIN 端子の立ち上がりでアップカウンタの値を TBxCP0 に、立ち下がりで TBxCP1 に取り込むように TBxMOD<TBxCPM[2:0]>を"010"に設定します。

割り込み INTTBxCAP1 を許可しておきます。

TMRBx を動作させます。

TBxIN 端子に外部パルスの立ち上がりが入力されると、TBxCP0 にアップカウンタの値が取り込まれます。TBxIN 端子に外部パルスの立ち下がりが入力されると TBxCP1 にアップカウンタの値が取り込まれるとともに割り込み INTTBxCAP1 が発生します。

割り込みサービスルーチンの中で TBxCP1 と TBxCP0 の差を求め、プリスケアラ出力クロックの周期をかけることで、外部パルスの"High"レベル幅を求めることができます。

例えば TBxCP0 と TBxCP1 の差が 100 で、プリスケアラ出力クロックの周期が $0.5\ \mu\text{s}$ であれば、パルス幅は、 $100 \times 0.5\ \mu\text{s} = 50\ \mu\text{s}$ となります。

なお、アップカウンタの最大カウント時間を越えるパルス幅の測定を行う場合は、補正を行ってください。

また、外部パルスの"Low"レベル幅を測定することもできます。この場合、割り込み INTTBxCAP0 も許可し、「図 10-7 パルス幅測定」における、2 回目の INTTBxCAP0 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケアラ出力クロックの周期をかけることにより、求めることができます。

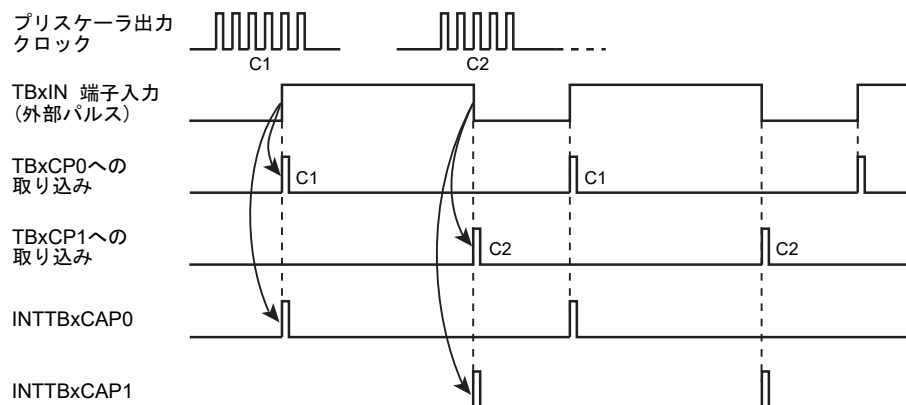


図 10-7 パルス幅測定

TBxIN 端子に入力される外部パルスの"High"レベル幅を測定する例を以下に示します。ここではソースクロックに $\phi T1$ を使用しています。

[メイン処理]でのキャプチャ設定

該当ポートをに割り付けます。

TBxEN<TBEN> = "1"

TBxRUN<TBPRUN><TBRUN> = "00"

TBxFFCR<TBC1T1><TBC0T1><TBE1T1><TBE0T1> = "0000"

TBxFFCR<TBFF0C[1:0]> = "10"

TBxMOD<TBCPM[2:0]> = "010"

TBxMOD<TBxCP> = "1"

TBxMOD<TBCLE> = "0"

TBxMOD<TBCLK[2:0]> = "001"

割り込みイネーブルセットレジスタ = 0x*****

TBxRUN<TBPRUN><TBRUN> = "11"

[INTTBxCAP1 割り込みサービスルーチンでの処理] "High"レベル幅を計算する

TBxFFCR<TBE1T1><TBE0T1> = "00"

割り込みイネーブルクリアレジスタ = 0x*****

TBxRG0/1 の値を読み出し、"High"レベル幅を計算します。

TMRBx を起動します。

プリスケアラとカウンタ動作を停止します。

TBxFF0 を TBxRG0, TBxRG1 との一致検出と TBxCP0, TBxCP1 の取り込みで反転しないように設定します。また、TBxFF0 の初期値を "0" にします。

ソースクロックを $\phi T1$ にし、端子への立ち上がりで TBxCP0 へ、端子への立ち下がりで TBxCP1 へアップカウンタ値を取り込みます。

INTTBxCAP1 割り込みに対応するビットを"1"にし、割り込みを許可します。

プリスケアラとカウンタ動作を起動します。

TBxFF0 反転トリガ設定をディセーブルにします。

INTTBxCAP1 割り込みに対応するビットを"1"にし、割り込みを禁止します。

注) *: 任意の値

第 11 章 16 ビットタイマ A (TMR16A)

11.1 概要

TMR16A には以下の機能があります。

- ・ 一致割り込み
- ・ 矩形波出力
- ・ リードキャプチャ

以下の説明中、"x"はチャンネル番号を表します。

11.2 構成

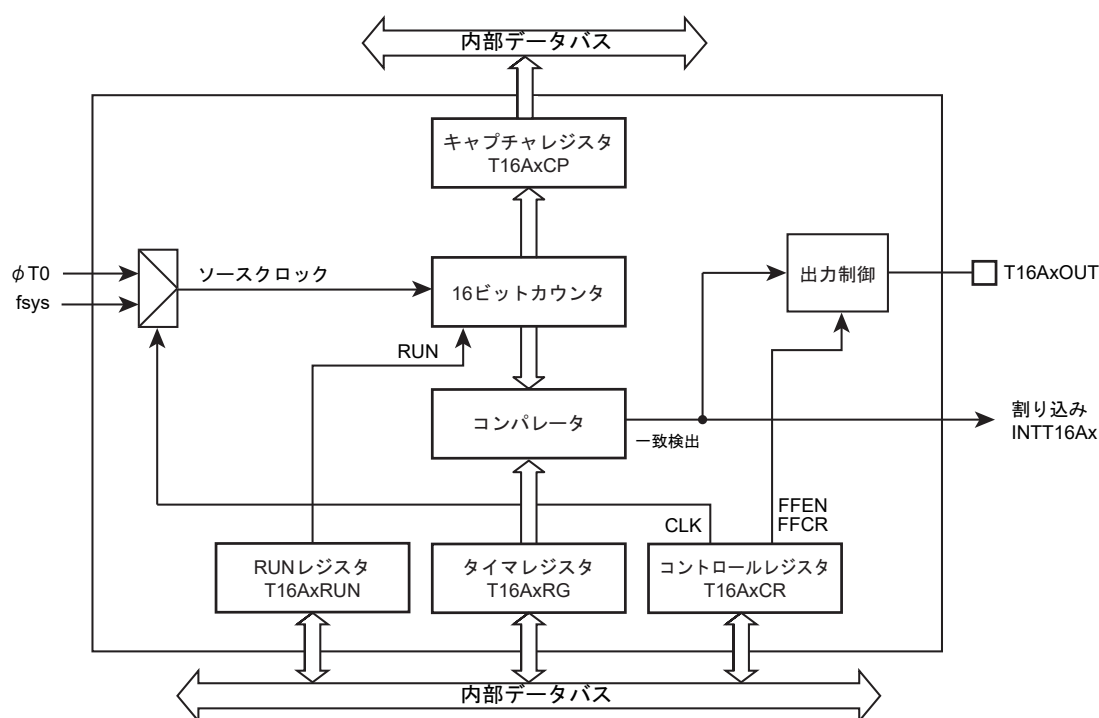


図 11-1 TMR16A ブロック図

11.3 レジスタ説明

11.3.1 レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
イネーブルレジスタ	T16AxEN	0x0000
RUN レジスタ	T16AxRUN	0x0004
コントロールレジスタ	T16AxCR	0x0008
タイマレジスタ	T16AxRG	0x000C
キャプチャレジスタ	T16AxCP	0x0010

注) T16ARUN<RUN>が"1"の状態 で T16AxEN、T16AxCR、T16AxRG、T16AxCP の書き換えをしないでください。

11.3.2 レジスタ詳細

11.3.2.1 T16AxEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	HALT	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	HALT	R/W	デバッグホールト中の動作 0: 動作 1: 停止 デバッグホールト中の動作を指定します。"1"を設定するとデバッグホールトにより動作を停止します。
0	-	R/W	"0"をライトしてください。

11.3.2.2 T16AxRUN (RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	RUN	R/W	カウンタ動作 0: 停止 1: 動作

11.3.2.3 T16AxCR (コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	UCCR	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FFEN	-	FFCR		-	-	-	CLK
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15	UCCR	R/W	"1"をライトしてください。
14-8	–	R	リードすると"0"が読めます。
7	FFEN	R/W	T16AxOUT の反転 0: 禁止 1: 許可 "1"を設定すると、カウンタと T16ARG との一致により T16AxOUT を反転します。
6	–	R	リードすると"0"が読めます。
5-4	FFCR[1:0]	W	T16AxOUT の制御 00: Invert 01: Set 10: Clear 11: No operation このビットに書き込むことで、ソフトウェアにより T16AxOUT を制御できます。 このビットはリードすると"11"が読めます。
3-1	–	R	リードすると"0"が読めます。
0	CLK	R/W	ソースクロック 0: fsys 1: ΦT0 ソースクロックを選択します。

11.3.2.4 T16AxRG (タイマレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RG[15:8]							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RG[7:0]							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	RG[15:0]	R/W	カウンタと比較する値を設定します。

注) "0x0000"は設定できません。

11.3.2.5 T16AxCp (キャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CP[15:8]							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CP[7:0]							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	—	R	リードすると"0"が読めます。
15-0	CP[15:0]	R/W	カウンタ値 [リード] 現在のカウンタの値が読めます。 [ライト] カウンタ値を設定します。カウンタは、T16AxRG<RG>との一致でのみクリアされますので、動作開始前に"0x0000"をライトしてクリアしてください。

11.4 動作説明

11.4.1 タイマ動作

1. 準備

T16AxCR<UCCR>に"1"を設定します。

T16AxCR<CLK>でソースクロックを選択します。"0"で fsys、"1"で $\Phi T0$ が選択されます。T16AxRG<RG>にカウント値を設定します。

2. カウンタ動作

カウンタ動作開始前に T16AxCP<CP>に"0x0000"を設定してカウンタをクリアします。

T16AxRUN<RUN>に"1"を設定するとカウントアップを開始します。カウンタの値と T16AxRG<RG>に設定された値が一致すると、カウンタは"0x0000"にクリアされ、カウントアップを継続します。

3. 一致割り込みの発生

カウンタの値と T16AxRG の値が一致すると一致割り込み INTT16Ax を出力します。

4. 停止

T16AxRUN<RUN>に"0"を設定するとカウントを停止します。カウンタの値はそのまま保持します。次にカウント動作を開始(<RUN>に"1"を設定)する前にカウンタをクリアしてください。

注) T16AxCR、T16AxRG、T16AxCP の書き換えは、カウンタの停止中(T16AxRUN<RUN>が"0")に行ってください。

11.4.2 T16AxOUT の制御

T16AxOUT はレジスタ設定またはカウンタと T16AxRG との一致により変化します。

T16AxOUT の初期状態は"0"です。

1. ソフトウェアによる制御

T16AxCR<T16AFFC>の設定により"1"セット、"0"クリア、反転が可能です。

T16AxCR の書き換えは、カウンタの停止中(T16AxRUN<RUN>が"0")に行ってください。

2. カウンタ一致による反転

T16ACR<FFEN>を"1"にすることにより、T16AxRG とカウント値の一致で T16AxOUT が反転します。カウンタが停止した際は、T16AxOUT の状態は保持されます。

11.4.3 リードキャプチャ

T16AxCP を読み出すことにより、カウンタの現在の値をキャプチャすることができます。

11.4.4 自動停止

T16AxEN の設定により、以下の場合に TMR16A を自動停止することができます。

1. デバッグホールド中

T16AEN<HALT>の設定により、コアがデバッグホールド状態での TMR16A の動作を指定します。

"0"の設定で、デバッグホールドに遷移すると自動的にカウントアップを停止します。コアのデバッグホールド状態が解除されるとカウントアップを再開します。

第 12 章 高分解能 16 ビットタイマ (TMRD Ver.C)

12.1 概要

TMRD には、16 ビットプログラム矩形波出力 (PPG)の機能があります。

1. 16 ビットプログラマブル矩形波出力 (PPG)

1bit モジュレーション機能を持ち、PWM 出力で使用する場合、擬似的に分解能を上げることが可能です。

16 ビットプログラマブル矩形波出力には、下記の 2 つのモードがあります。

- 2 つのユニット が独立してプログラムされた矩形波を出力する PPG モード
- 1 つのタイマユニットが 生成する矩形波出力ともう 1 つのタイマユニットが生成する矩形波出力の位相を-180°~+180°範囲で可変することができる連動 PPG モード

2. 周期同期信号出力機能

矩形波出力(PPG)の周期タイミングに同期した信号を出力することができます。

以降の説明で TMRD にある回路、レジスタなどについて、複数あるものに関して、n, m, **の記号で表します。

ここで、n, m, ** は断りのない限り、下記の表の範囲をとります。

表 12-1 記号の説明

記号	値	備考
m	0 ~ 5	n=0 のとき
	0 ~ 4	n=1 のとき
n	0 ~ 1	-
**	n0 または n1	-

12.2 構成

12.2.1 タイマユニット

TMRD は TMR0 と TMR1 の 2 つのタイマユニットから構成されています。

TMR0 は、16 ビットのカウンタ(UC0)、6 つのコンパレータ(CP0m、m=0~5)および 2 つの出力チャネル(CH00、CH01)から構成されます。

CH00 は、CP01 と CP02 および波形生成回路 00(WG00) で PPG 出力(PPG00) を出力します。CH01 は、CP03 と CP04 および WG01 で PPG 出力(PPG01)を出力します。

TMR1 は、16 ビットのカウンタ(UC1)、5 つのコンパレータ(CP1m、m=0~4)および 2 つの出力チャネル(CH10、CH11) から構成されます。

CH10 は、CP11 と CP12 および WG10 で PPG 出力(PPG10) を出力します。CH11 は、CP13 と CP14 および WG11 で PPG 出力(PPG11)を出力します。

TMR0 と TMR1 は連動して動作化でき、CP05 で設定される周期で動作します。

12.2.1.1 タイムユニットのブロック図

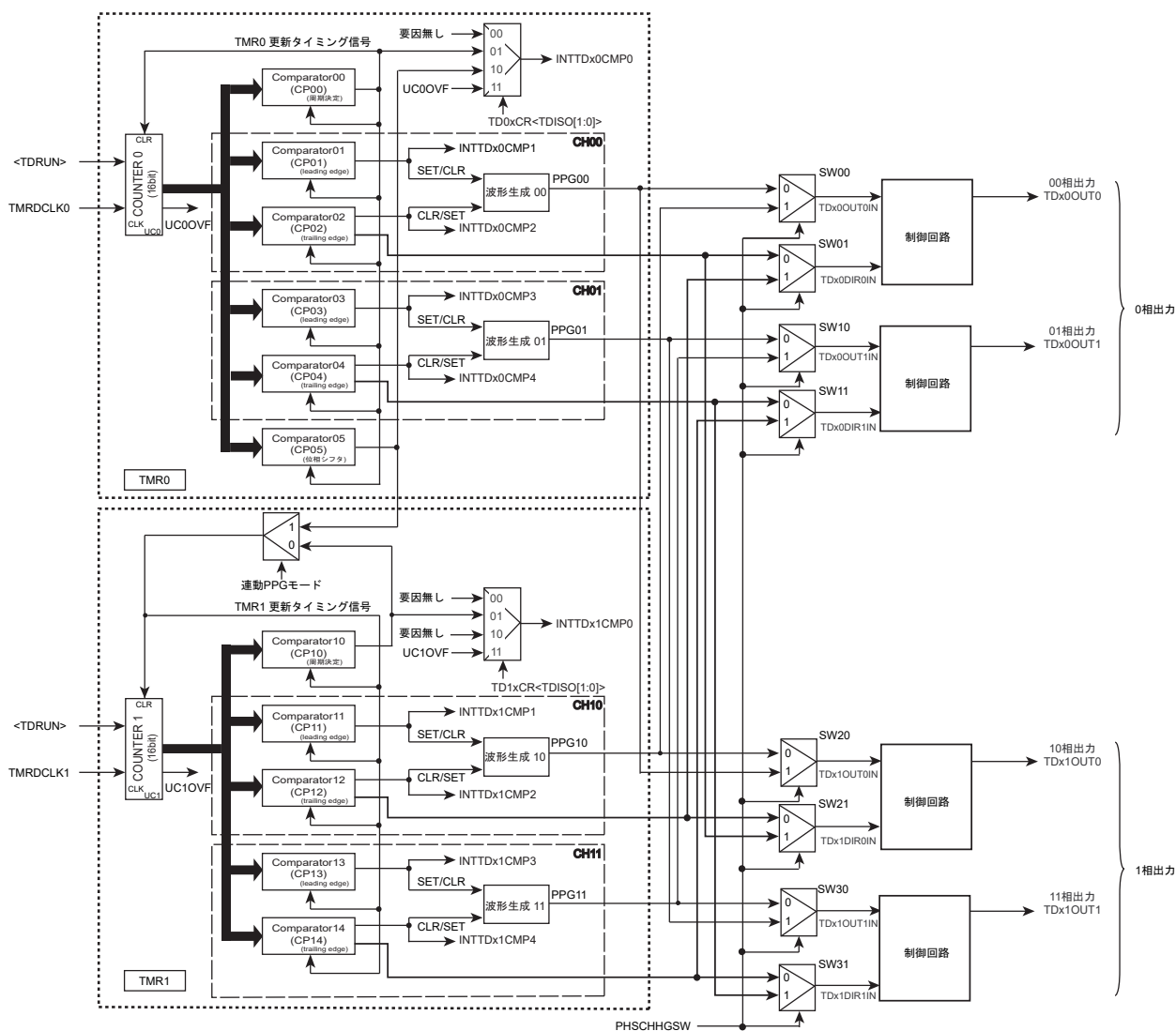


図 12-1 TMRD タイムユニットのブロック図

12.3 レジスタ説明

12.3.1 レジスタ一覧

12.3.1.1 レジスタ一覧(TMRD)

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
TMR0 タイマ RUN レジスタ	TD0RUN	0x0000
TMR0 タイマコントロールレジスタ	TD0CR	0x0004
TMR0 タイマモードレジスタ	TD0MOD	0x0008
TMR0 DMA 要求許可レジスタ	TD0DMA	0x000C
TMR0 タイマレジスタ 0	TD0RG0	0x0014
TMR0 タイマレジスタ 1	TD0RG1	0x0018
TMR0 タイマレジスタ 2	TD0RG2	0x001C
TMR0 タイマレジスタ 3	TD0RG3	0x0020
TMR0 タイマレジスタ 4	TD0RG4	0x0024
TMR0 タイマレジスタ 5	TD0RG5	0x0028
TMR1 タイマレジスタ 0	TD1RG0	0x002C
TMR1 タイマレジスタ 1	TD1RG1	0x0030
TMR1 タイマレジスタ 2	TD1RG2	0x0034
TMR1 タイマレジスタ 3	TD1RG3	0x0038
TMR1 タイマレジスタ 4	TD1RG4	0x003C
更新フラグ設定レジスタ	TDBCR	0x0040
タイマイネーブルレジスタ	TDEN	0x0050
タイマコンフィグレジスタ	TDCONF	0x0054
Reserved	-	0x0060
Reserved	-	0x0064
Reserved	-	0x0068
Reserved	-	0x006C
TMR1 タイマ RUN レジスタ	TD1xRUN	0x0100
TMR1 タイマコントロールレジスタ	TD1xCR	0x0104
TMR1 タイマモードレジスタ	TD1xMOD	0x0108
TMR1 DMA 要求許可レジスタ	TD1xDMA	0x010C
TMR0 コンペアレジスタ 0	TD0xCP0	0x0114
TMR0 コンペアレジスタ 1	TD0xCP1	0x0118
TMR0 コンペアレジスタ 2	TD0xCP2	0x011C
TMR0 コンペアレジスタ 3	TD0xCP3	0x0120
TMR0 コンペアレジスタ 4	TD0xCP4	0x0124
TMR0 コンペアレジスタ 5	TD0xCP5	0x0128
TMR1 コンペアレジスタ 0	TD1xCP0	0x012C
TMR1 コンペアレジスタ 1	TD1xCP1	0x0130
TMR1 コンペアレジスタ 2	TD1xCP2	0x0134
TMR1 コンペアレジスタ 3	TD1xCP3	0x0138
TMR1 コンペアレジスタ 4	TD1xCP4	0x013C
Reserved	-	0x0160
Reserved	-	0x0164
Reserved	-	0x0168

レジスタ名		Address (Base+)
Reseeved	-	0x016C

- 注 1) "Reserved"表記のアドレスにはアクセスしないでください。
- 注 2) レジスタへはワードアクセスでリード/ライトしてください。

(1) TDBCR (更新フラグ設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PHSCHG	TDSFT11	TDSFT10	TDSFT01	TDSFT00
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	–	R	リードすると"0"が読めます。
4	PHSCHG	R/W	0 相出力に対する 1 相出力の位相関係(進み/遅れ)を設定 0: 遅らせる、または同位相 1: 進める、または同位相 A 相出力に対する B 相出力の位相関係 (進み/遅れ)を設定します。 設定は、TD0xRUN<TDRUN>=1 設定による起動のタイミング、起動中は<TDSFT00> による更新タイミング時に反映されます。
3	TDSFT11	R/W	TD1xCP3/TD1xCP4 の更新イネーブルフラグ(出力チャネル CH11 のコンパレータの更新) 0: 無効 1: 更新イネーブル TMR1 の TD1xCPm を対応する TD1xRGm 値に更新するためのイネーブルフラグです。 コンペアレジスタのデータが更新されると<TDSFT11>はクリアされます。
2	TDSFT10	R/W	TD1xCP0/TD1xCP1/TD1xCP2 の更新イネーブルフラグ(出力チャネル CH10 のコンパレータと CP10 の更新) 0: 無効 1: 更新イネーブル TMR1 の TD1xCPm を対応する TD1xRGm 値に更新するためのイネーブルフラグです。 コンペアレジスタのデータが更新されると<TDSFT10>はクリアされます。
1	TDSFT01	R/W	TD0xCP3/TD0xCP4 の更新イネーブルフラグ(出力チャネル CH01 のコンパレータの更新) 0: 無効 1: 更新イネーブル TMR0 の TD0xCPm を対応する TD0xRGm 値に更新するためのイネーブルフラグです。 コンペアレジスタのデータが更新されると<TDSFT01>はクリアされます。
0	TDSFT00	R/W	TD0xCP0/TD0xCP1/TD0xCP2/TD0xCP5 の更新イネーブルフラグ(出力チャネル CH00 のコンパレータと CP00 の更新) 0: 無効 1: 更新イネーブル TMR0 の TD0xCPm を対応する TD0xRGm 値に更新するためのイネーブルフラグです。 コンペアレジスタのデータが更新されると<TDSFT00>はクリアされます。

注 1) 更新イネーブルフラグは、各レジスタをリードすることで、そのフラグの状態をモニタすることが可能です。

注 2) <PHSCHG>は連動 PPG モードで TDCONF<TMRDMOD[2:0]>="111" の時のみ有効です。(PPG モード、連動 PPG モードの TDCONF<TMRDMOD[2:0]>="110" では、A 相/B 相出力入れ替えは出来ません。)

(2) TDEN (タイマイネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDEN1	TDEN0	TDHALT	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TDEN1	R/W	TMR1 へのクロック供給動作 0: 停止 (OFF) 1: 動作 (ON) TMR1 へのクロック供給動作 ON/OFF を設定します。
6	TDEN0	R/W	TMR0 へのクロック供給動作 0: 停止 (OFF) 1: 動作 (ON) TMR0 へのクロック供給動作 ON/OFF を設定します。
5	TDHALT	R/W	デバック中の動作設定 (HALT 時のアップカウンタ) 0: 停止 (アップカウンタのみ停止します) 1: 動作 (アップカウンタは停止しません) HALT 命令がデバック中に発生した場合の動作を設定します。
4-0	-	R	リードすると"0"が読めます。

(3) TDCONF (タイマコンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TMRDMOD		
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能																											
31-8	－	R	リードすると"0"が読めます。																											
7	－	R/W	I"0"を書いてください。																											
6	－	R/W	I"0"を書いてください。																											
5-3	－	R	リードすると"0"が読めます。																											
2-0	TMRDMOD [2:0]	R/W	動作モード選択 TMR1 と TMR0 の動作モードを設定します。 <table><tr><td><TMRDMOD[2:0]></td><td>TMR0 の動作モード</td><td>TMR1 の動作モード</td></tr><tr><td>000 :</td><td>Reseved</td><td>Reserved</td></tr><tr><td>001 :</td><td>Reserved</td><td>PPG モード</td></tr><tr><td>010 :</td><td>PPG モード</td><td>Reserved</td></tr><tr><td>011 :</td><td>PPG モード</td><td>PPG モード</td></tr><tr><td>100 :</td><td colspan="2">Reserved</td></tr><tr><td>101 :</td><td colspan="2">設定禁止</td></tr><tr><td>110 :</td><td colspan="2">連動 PPG モード TMR0 の CH00 と TMR1 の CH10 の更新タイミングが同期</td></tr><tr><td>111 :</td><td colspan="2">連動 PPG モード (TMR0 の CH00 と TMR1 の全 CH の更新タイミングが同期)</td></tr></table>	<TMRDMOD[2:0]>	TMR0 の動作モード	TMR1 の動作モード	000 :	Reseved	Reserved	001 :	Reserved	PPG モード	010 :	PPG モード	Reserved	011 :	PPG モード	PPG モード	100 :	Reserved		101 :	設定禁止		110 :	連動 PPG モード TMR0 の CH00 と TMR1 の CH10 の更新タイミングが同期		111 :	連動 PPG モード (TMR0 の CH00 と TMR1 の全 CH の更新タイミングが同期)	
<TMRDMOD[2:0]>	TMR0 の動作モード	TMR1 の動作モード																												
000 :	Reseved	Reserved																												
001 :	Reserved	PPG モード																												
010 :	PPG モード	Reserved																												
011 :	PPG モード	PPG モード																												
100 :	Reserved																													
101 :	設定禁止																													
110 :	連動 PPG モード TMR0 の CH00 と TMR1 の CH10 の更新タイミングが同期																													
111 :	連動 PPG モード (TMR0 の CH00 と TMR1 の全 CH の更新タイミングが同期)																													

注 1) PPG モード(<TMRDMOD[2:0]>="000"~"100")の場合、TMRDCLK0 と TMRDCLK1 のプリスケーラは個別に設定可能です。

注 2) 連動 PPG モード(<TMRDMOD[2:0]>="110"~"111")の場合、TMRDCLK0 と TMRDCLK1 は個別に設定出来ません。TD1xMOD<TCLK[3:0]>の値は無視され、TMRDCLK1 は TMRDCLK0 と同じ周波数になります。

(4) TDnxRUN (TMRn タイマ RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	TDRUN
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	-	W	常に"0"を書いてください。
0	TDRUN	W	TMRn 動作 0: TMRn の動作を停止 (COUNTERn (UCn)の動作を停止し、"0"に初期化します。) 1: TMRn の動作を開始 (COUNTERn (UCn)の動作(アップカウント)を開始します。) TMRn のカウント動作を制御します。

注) TD1xRUN<TDRUN>は連動 PPG モードの場合、設定は無効となり UC0 と連動して動作を開始します。

(5) TDnxCR (タイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	TDMDCYn1			TDMDPTn1
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDMDCYn0			TDMDPTn0	-	TDRDE	TDISO	
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	—	R	リードすると"0"が読めます。
11-9	TDMDCYn1 [2:0]	R/W	出力チャネル CHn1 の 1bit モジュレーションの周期を選択 000 : 1bit モジュレーション機能無し 001 : (CPn0 で決定される周期) × 2 010 : (CPn0 で決定される周期) × 4 011 : (CPn0 で決定される周期) × 8 100 : (CPn0 で決定される周期) × 16 上記以外:設定禁止 PPG および連動 PPG モードにおける出力チャネル CHn1 の出力信号(n=0 のとき PPG01、n=1 のとき PPG11) の 1bit モジュレーションの周期を選択します。 なお、n=1 のとき、連動 PPG モード(TDCONF<TMRDMOD[2:0]>=111)の時は、TD0xCR <TDMDCY00[2:0]>と同じ値に設定してください。
8	TDMDPTn1	R/W	TDnxCP3 / TDnxCP4 の更新タイミングを選択 0: 1bit モジュレーション周期ごと 1: CPn0 の一致検出 PPG および連動 PPG モードで、<TDRDE>=1 の時、TDnxCP3、TDnxCP4 の値を対応するタイマレジスタ 経由で更新するタイミングを選択します。 ただし、<TDMDCYn1[2:0]>="000" の時は、"1"を設定したときと同様の動作となり本レジスタへの設定値は 意味を持ちません。 なお、n=1 のとき、連動 PPG モード(TDCONF<TMRDMOD[2:0]>=111)の時は、TD0xCR<TDMDPT00>と同じ 値に設定してください。 TD0xMOD<TDCLE>=0 : COUNTER0 のオーバフローが更新タイミングになります。 TD0xMOD<TDCLE>=1 : CP00 の一致検出が更新タイミングになります。
7-5	TDMDCYn0 [2:0]	R/W	出力チャネル CHn0 の 1bit モジュレーションの周期を選択 000 : 1bit モジュレーション機能無し 001 : (CPn0 で決定される周期) × 2 010 : (CPn0 で決定される周期) × 4 011 : (CPn0 で決定される周期) × 8 100 : (CPn0 で決定される周期) × 16 上記以外:設定禁止 PPG および連動 PPG モードにおける出力チャネル CHn0 の出力信号(n=0 のとき PPG00、n=1 のとき PPG10) の 1bit モジュレーションの周期を選択します。 なお、n=1 のとき、連動 PPG モード(TDCONF<TMRDMOD[2:0]>="110"、"111")の時は、 TD0xCR<TDMDCY00[2:0]>と同じ値に設定してください。

Bit	Bit Symbol	Type	機能			
4	TDMDPTn0	R/W	TDnxCp0/TDnxCp1/TDnxCp2(n=0 のとき TD0xCp5 を含む)の更新タイミングを選択 0: 1bit モジュレーション周期ごと 1: CPn0 の一致検出 PPG および連動 PPG モードで、<TDRDE>=1 の時、TDnxCp0,TDnxCp1,TDnxCp2(n=0 のとき TD0xCp5 を含む) の値を対応するタイマレジスタ経由で更新するタイミングを選択します。 ただし、<TDMDCY00[2:0]>="000" の時は、"1"を設定したときと同様の動作となり本レジスタへの設定値は意味を持ちません。 なお、n=1 のとき、連動 PPG モード(TDCONF<TMRDMOD[2:0]>="110", "111")の時は、TD0xCR<TDMDPT00>と同じ値に設定してください。			
3	—	R	リードすると"0"が読めます。			
2	TDRDE	R/W	TMRn のコンペアレジスタ(TDnxCpM)へのデータ書き込み経路を設定します。 n=1 のとき、連動 PPG モードでは TD0xCR<TDRDE>で設定した値が選択されます。 0: CPU の命令によるダイレクト書き込み タイマレジスタ(TDnxCpM)への書き込みと同時に、同値が対応するコンペアレジスタ(TDnxCpM)に書き込まれます。 この場合、TDBCR<TDSFTn0><TDSFTn1>を"1"(更新イネーブル設定)に設定する必要はありません。 1: TMR0 のタイマレジスタ(TDnxCpM)経由書き込み TDBCR<TDSFTn0><TDSFTn1>を"1"に設定してください。 <table><tr><td>PPG モード/連動 PPG モード時</td><td>TDnxCpMOD <TDCLE>の値は意味をも市ません</td><td>CPn0 の一致時にタイマレジスタ(TDnxCpM)の値がコンペアレジスタ(TDnxCpM)に書き込まれます。</td></tr></table>	PPG モード/連動 PPG モード時	TDnxCpMOD <TDCLE>の値は意味をも市ません	CPn0 の一致時にタイマレジスタ(TDnxCpM)の値がコンペアレジスタ(TDnxCpM)に書き込まれます。
PPG モード/連動 PPG モード時	TDnxCpMOD <TDCLE>の値は意味をも市ません	CPn0 の一致時にタイマレジスタ(TDnxCpM)の値がコンペアレジスタ(TDnxCpM)に書き込まれます。				
1-0	TDISO[1:0]	R/W	INTTDnCMP0 の割り込み要因 00: 割り込み要因なし 01: CPn0 の一致 10: n=0 のとき:CP05 の一致、n=1 のとき:割り込み要因なし 11: UCn の overflow (PPG モードでは、割り込み要因なしになります。) INTTDnCMP0 の割り込み要因を選択します。			

(6) TDnxMOD(タイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDIV1	TDIV0	-	TDCLE	TDCLK			
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TDIV1	R/W	信号(n=0 のとき PPG01、n=1 のとき PPG11)の leading edge/trailing edge の初期設定をします。 0: CPn3 の一致で立ち上がり、CPn4 の一致で立ち下がり 1: CPn3 の一致で立ち下がり、CPn4 の一致で立ち上がり 出力チャネル CHn1 の出力信号 PPG01 の leading edge/trailing edge の極性を選択します。
6	TDIV0	R/W	信号(n=0 のとき PPG00、n=1 のとき PPG10)の leading edge/trailing edge の初期設定をします。 0: CPn1 の一致で立ち上がり、CPn2 の一致で立ち下がり 1: CPn1 の一致で立ち下がり、CPn2 の一致で立ち上がり 出力チャネル CHn0 の出力信号 PPG00 の leading edge/trailing edge の極性を選択します。
5	-	R	リードすると"0"が読めます。
4	TDCLE	R/W	CPn0 の一致時の UCn の動作 0: 一致検出にかかわらずフリーランカウンタとして動作 1: 一致検出で、"0"に初期化 CPn0 の一致時の UCn の動作を設定します。
3-0	TDCLK[3:0]	R/W	TMRn のプリスケーラを選択 0000: ftmrd 1000: ftmrd/2 1001: ftmrd/4 1010: ftmrd/8 1011: ftmrd/16 上記以外は設定禁止 TMRDCLKn の周波数を選択します。

注) PPG モード、連動 PPG モードの場合、<TDCLE>="0" の設定は無効となります。(フリーランカウンタとして動作しません)

(7) TDnxDMA (DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	DMAEN
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4-1	-	R/W	常に"0"を書いてください。
0	DMAEN	R/W	DMA 要求許可設定(INTTDnCMP0) 1: 許可 0: 禁止 DMA 要求の許可/禁止を設定します。(INTTDnCMP0 要因で DMA リクエストを発行します)

(8) TDnRG0 (タイマレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TDRG0							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDRG0							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TDRG0[15:0]	R/W	周期の設定可能範囲については、「表 12-4 16 ビットプログラマブル矩形波出力(PPG)時のコンペアレジスタの設定範囲」および「製品情報」の章を参照願います。 16 ビット PPG 時 :矩形波出力の周期を設定(ただし、連動 PPG モードでは、TD1xCP0 は周期設定レジスタとして使用しません。)

(9) TDnRG1 (タイマレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TDRG1							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDRG1							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	TDRG1[15:0]	R/W	タイミング設定 16 ビット PPG 時 :信号 PPG00/PPG10 の leading edge のタイミング設定

(10) TDnRG2 (タイマレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	TDRG2			
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TDRG2							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDRG2				TDMDRT			
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能		
31	－	R/W	"0"を書いてください。		
30-20	－	R	リードすると"0"が読めます。		
19-4	TDRG2[15:0]	R/W	タイミング設定 16 ビット PPG 時 : CHn0 の出力信号 PPG00/PPG10 の trailing edge のタイミング設定		
3-0	TDMDRT[3:0]	R/W	1bit モジュレーションのレート設定 PPG モードおよび連動 PPG モードにおける CHn0 の 1bit モジュレーションのレートを設定します。 <TDMDCY00[2:0]><TDMDCY01[2:0]><TDMDCY10[2:0]><TDMDCY11[2:0]>の値によって、本レジスタの有効な bit が異なります。		
			<TDMDCY**[2:0]>	<TDMDRT[3:0]>の有効ビット	レート設定
			000	:全ての bit が無視されます。	なし
			001	:<TDMDRT[3]>が有効で、その他の bit の設定は無視されます。	0~1
			010	:<TDMDRT[3:2]>が有効で、その他の bit の設定は無視されます。	0~3
			011	:<TDMDRT[3:1]>が有効で、その他の bit の設定は無視されます。	0~7
			100	:<TDMDRT[3:0]>が有効です。	0~15
レートとは、1bit モジュレーションの周期内で、trailing edge のタイミングを TMRDCLKn の 1clock 分遅延させる矩形波の数を示します。					

(11) TDnxRG3 (タイマレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TDRG3							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDRG3							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	TDRG3[15:0]	R/W	タイミング設定 16 ビット PPG 時 :信号 PPG01/PPG11 の leading edge のタイミング設定

(12) TDnRG4 (タイマレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	TDRG4			
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TDRG4							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDRG4				TDMDRT			
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能																		
31	－	R/W	"0"を書いてください																		
30-20	－	R	リードすると"0"が読めます。																		
19-4	TDRG4[15:0]	R/W	タイミング設定 16 ビット PPG 時　：CHn1 の出力信号 PPG01/PPG11 の trailing edge のタイミング設定																		
3-0	TDMDRT[3:0]	R/W	1bit モジュレーションのレート設定 PPG モードおよび連動 PPG モードにおける CHn1 の 1bit モジュレーションのレートを設定します。 <TDMDCY01[2:0]><TDMDCY11[2:0]>の値によって、本レジスタの有効な bit が異なります。																		
			<table><tr><th><TDMDCY**[2:0]></th><th><TDMDRT[3:0]>の有効ビット</th><th>レート設定</th></tr><tr><td>000</td><td>:全ての bit が無視されます。</td><td>なし</td></tr><tr><td>001</td><td>:<TDMDRT[3]>が有効で、その他の bit の設定は無視されます。</td><td>0~1</td></tr><tr><td>010</td><td>:<TDMDRT[3:2]>が有効で、その他の bit の設定は無視されます。</td><td>0~3</td></tr><tr><td>011</td><td>:<TDMDRT[3:1]>が有効で、その他の bit の設定は無視されます。</td><td>0~7</td></tr><tr><td>100</td><td>:<TDMDRT[3:0]>が有効です。</td><td>0~15</td></tr></table>	<TDMDCY**[2:0]>	<TDMDRT[3:0]>の有効ビット	レート設定	000	:全ての bit が無視されます。	なし	001	:<TDMDRT[3]>が有効で、その他の bit の設定は無視されます。	0~1	010	:<TDMDRT[3:2]>が有効で、その他の bit の設定は無視されます。	0~3	011	:<TDMDRT[3:1]>が有効で、その他の bit の設定は無視されます。	0~7	100	:<TDMDRT[3:0]>が有効です。	0~15
			<TDMDCY**[2:0]>	<TDMDRT[3:0]>の有効ビット	レート設定																
			000	:全ての bit が無視されます。	なし																
			001	:<TDMDRT[3]>が有効で、その他の bit の設定は無視されます。	0~1																
			010	:<TDMDRT[3:2]>が有効で、その他の bit の設定は無視されます。	0~3																
			011	:<TDMDRT[3:1]>が有効で、その他の bit の設定は無視されます。	0~7																
100	:<TDMDRT[3:0]>が有効です。	0~15																			
レートとは、1bit モジュレーションの周期内で、trailing edge のタイミングを TMRDCLKn の 1clock 分遅延させる矩形波の数を示します。																					

(13) TD0xRG5 (タイマレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	TDRG5
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TDRG5							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TDRG5							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-17	-	R	リードすると"0"が読めます。
16-1	TDRG5[15:0]	R/W	タイミング設定と位相のシフト量の設定 16 ビット PPG 時 :連動 PPG モード時に位相のシフト量を設定(PPG モード時は無効)
0	-	R/W	"0"をライトしてください。

(14) TDnxCP0 (タイマコンペアレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CPRG0							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CPRG0							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	CPRG0[15:0]	R	周期の設定可能範囲については、「表 12-4 16 ビットプログラマブル矩形波出力(PPG)時のコンペアレジスタの設定範囲」および「製品情報」の章を参照願います。 連動 PPG モードでは、TD1xCP0 は周期設定レジスタとして使用しません。

注) コンペアレジスタ TDnxCP0 はタイマレジスタ TDnxRG0 とのダブルバッファ構成になっています。コンペアレジスタへの書き込みには、タイマレジスタを使用します。

(15) TDnxCp1 (タイマコンペアレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CPRG1							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CPRG1							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-0	CPRG1[15:0]	R	タイミング設定

注) コンペアレジスタ TDnxCp1 はタイマレジスタ TDnRG1 とのダブルバッファ構成になっています。コンペアレジスタへの書き込みには、タイマレジスタを使用します。

(16) TDnxCp2 (タイマコンペアレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	CPRG2			
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CPRG2							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CPRG2				CPMDRT			
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	-	R	リードすると"0"が読めます。
19-4	CPRG2[15:0]	R	タイミング設定レジスタ
3-0	CPMDRT[3:0]	R	1bit モジュレーションのレート設定

注) コンペアレジスタ TDnxCp2 はタイマレジスタ TDnRG2 とのダブルバッファ構成になっています。コンペアレジスタへの書き込みには、タイマレジスタを使用します。

(17) TDnxC3 (タイマコンペアレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CPRG3							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CPRG3							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	—	R	リードすると"0"が読めます。
15-0	CPRG3[15:0]	R	タイミング設定

注) コンペアレジスタ TDnxC3 はタイマレジスタ TDnRG3 とのダブルバッファ構成になっています。コンペアレジスタへの書き込みには、タイマレジスタを使用します。

(18) TDnxC4 (タイマコンペアレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	CPRG4			
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CPRG4							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CPRG4				CPMDRT			
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	—	R	リードすると"0"が読めます。
19-4	CPRG4[15:0]	R	タイミング設定
3-0	CPMDRT[3:0]	R	1bit モジュレーションのレート設定

注) コンペアレジスタ TDnxC4 はタイマレジスタ TDnRG4 とのダブルバッファ構成になっています。コンペアレジスタへの書き込みには、タイマレジスタを使用します。

(19) TD0xCP5 (タイマコンペアレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	CPRG5
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CPRG5							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CPRG5							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-17	-	R	リードすると"0"が読めます。
16-0	CPRG5[16:0]	R	タイミング設定と位相のシフト量の設定

注) コンペアレジスタ TD0xCP5 はタイマレジスタ TD0xRG5 とのダブルバッファ構成になっています。コンペアレジスタへの書き込みには、タイマレジスタを使用します。

12.4 動作説明

12.4.1 プリスケールクロック

タイマユニットを動作させるプリスケールクロック TMRDCLKn は、CG ブロックの PLL 回路を介して CGEXTEND00 でソースクロックを選択し、クロック設定レジスタ TDnxMOD<TDCLK[3:0]>で各タイマユニット(TMR0/1)のプリスケールクロックを選択します。

なお、連動 PPG モードの場合、TD1xMOD<TDCLK[3:0]>の値は無視され、TMRDCLK1 の周波数は TD0xMOD<TDCLK[3:0]>で設定された周波数になります。

注) TMPM066/067/068FW でタイマユニット(TMRn) に供給可能な最大動作周波数は 96MHz です。

12.4.2 タイマユニット(TMR0, TMR1)

TMRD は TMR0 と TMR1 の 2 つのタイマユニットから構成されています。

TMR0 は、16 ビットのカウンタ(UC0)、6 つのコンパレータ(CP0m、m=0~5)および 2 つの出力チャネル(CH00、CH01)から構成されます。

TMR1 は、16 ビットのカウンタ(UC1)、5 つのコンパレータ(CP1m、m=0~4)および 2 つの出力チャネル(CH10、CH11) から構成されます。

TMR0 と TMR1 は連動して動作化でき、CP05 で設定される周期で動作します。

12.4.2.1 カウンタ(UCn)

UCn は、クロック設定部から出力されるクロック(TMRDCLKn)でカウントアップする 16 ビットのバイナリカウンタです。

TDnxRUN<TDRUN>を"0"に設定するとカウンタはリセットされ停止します。<TDRUN>を"1"に設定するとカウンタは動作を開始します。

TDnxMOD<TDCLE>を"0"を設定すると、フリーランカウンタとして動作します。

<TDCLE>を"1"に設定すると CPn0 の一致出力でリセットされるカウンタとして動作します。ただし、連動 PPG モード時は、UC1 は CP10 ではなく CP05 の一致出力でリセットされます。

12.4.2.2 コンパレータ(CPnm)

コンパレータは、タイマユニット 0(TMR0)に CP00~CP05 の 6 つが、タイマユニット 1(TMR1)に CP10~CP14 の 5 つがあります。

それぞれのコンパレータの機能は以下のとおりです。

TMRD	機能
CPx0	TMRn の周期を決定
CPx1,CPx3,	PPG モード/連動 PPG モード時、矩形波の leading edge のタイミングを決定
CPx2,CPx4	PPG モード/連動 PPG モード時、矩形波の trailing edge のタイミングを決定
CP05	連動 PPG モード時に、TMR0 の矩形波出力と TMR1 矩形波出力の位相関係を決定

これらのコンパレータはタイマレジスタ(TDnxRGm)、コンペアレジスタ(TDnxCPm)、書き込みタイミング発生回路、一致検出回路で構成されています。

TDnxRGm と TDnxCPm はダブルバッファ構造をとり、TDnxRGm に書き込んだデータは TDnxCR<TDRDE>の値により、下記のように TDnxCPm に書き込まれるタイミングを設定できます。

TDnCR<TDRDE> = 0 :	TDnRGm への書き込みと同時に同じ値が TDnCPm に書き込まれます。 ただし、TDnCPm は read only レジスタのため、このアドレスを指定しての直接の書き込みは出来ません。 (任意のタイミングで TDnCPm への初期値設定が可能)
TDnCR<TDRDE> = 1 :	更新イネーブルフラグ TDBCR<TDSFT*> = 1 の時、下記の更新タイミングで、TDnRGm の値が TDnCPm に書き込まれます。 更新タイミングについては各動作モードで説明します。

各コンパレータの構造を以下に示します。

(1) CP00, CP01, CP03, CP10, CP11, CP13

コンパレータ(CPnm) は、タイマレジスタ(TDnRGm)、コンペアレジスタ(TDnCPm)、書き込みタイミング生成回路 n および一致検出回路 nm で構成されます。(n=0, 1, m=0, 1, 3)

TDnRGm : 16 ビットタイマレジスタ
 TDnCPm : 16 ビットコンペアレジスタ
 書き込みタイミング生成回路 n : 各タイマレジスタの値を各コンペアレジスタに書き込むタイミングを生成
 一致検出回路 nm : UCn のカウンタ出力値と TDnCPm<CPRGm[15:0]>との一致を検出

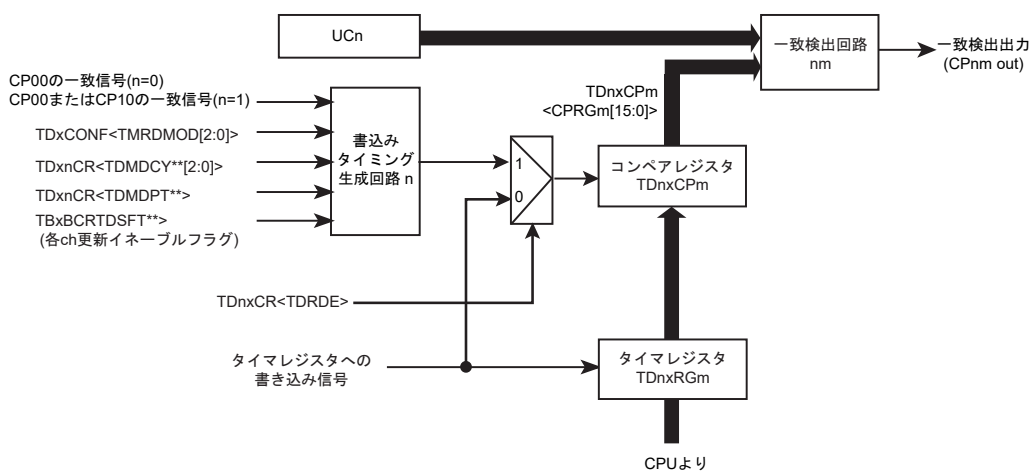


図 12-2 コンパレータ(CP00, CP01, CP03, CP05, CP10, CP11, CP13)の構成

(2) CP02, CP04, CP12, CP14

コンパレータ(CPnm) は、タイマレジスタ(TDnRGm)、コンペアレジスタ(TDnCPm)、書き込みタイミング生成回路 n、一致検出回路 nm および 1bit モジュレーション設定回路 nm で構成されます。(n=0,1, m=2,4)

一致検出回路出力 nm は、1bit モジュレーション設定回路 nm の制御出力信号のレベルにより、一致検出出力の出力タイミングを 1 クロック分シフトします。

- TDnRGm

:

16 ビットタイマレジスタ
- TDnCPm

:

16 ビットコンペアレジスタ(<CPRGm[15:0]><CPMDRT[3:0]>を設定することにより 20 ビット相当のコンペアレジスタとして機能します
- 書き込みタイミング生成回路 n

:

各タイマレジスタの値を各コンペアレジスタに書き込むタイミングを生成
- 1bit モジュレーション設定回路 nm

:

PPG/連動 PPG モード時に機能します。
1bit モジュレーション周期内で、TDnCPm<CPMDRT[3:0]>で設定される数の矩形波周期(CP00/CP10 で決定される周期)分だけ、TDnCPm<CPRGm[15:0]>で設定された値に+1 されたタイミングで、一致検出信号が出力されるよう一致検出回路 nm に制御信号を出力します。
- 一致検出回路 nm

:

下記 2 つの信号を生成し、1bit モジュレーション設定回路 nm から入力される制御信号に基づいて切り換え、一致検出信号として出力
 - UCn の出力値と TDnCPm<CPRGm[15:0]>で設定された値とが一致したタイミングで出力される信号
 - UCn の出力値と TDnCPm<CPRGm[15:0]>の一致出力信号を TMRDCLKn の 1clock 分シフトした信号

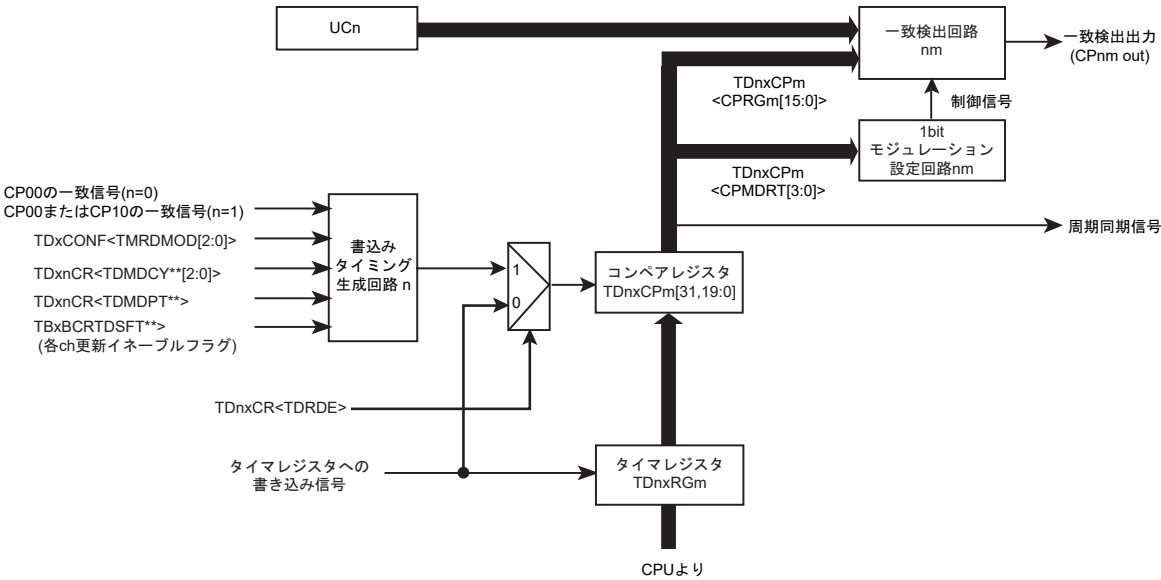


図 12-3 コンパレータ (CP02, CP04, CP12, CP14)の構成

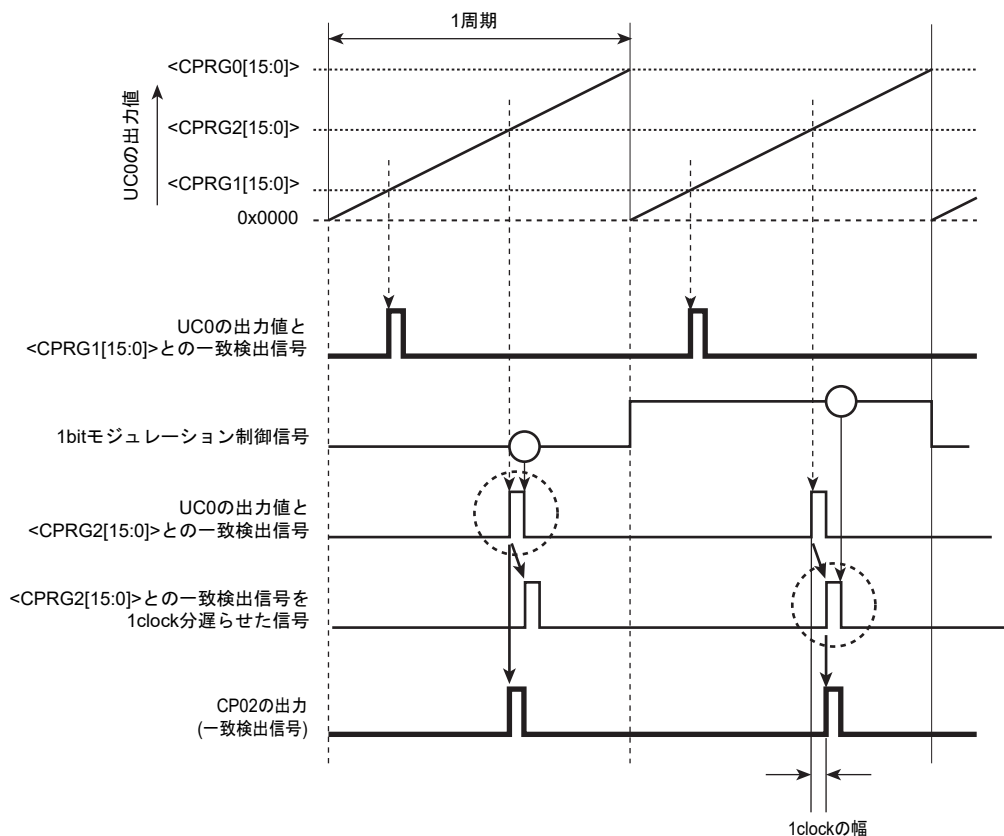


図 12-4 1bit モジュレーション設定回路 nm の制御出力信号による 一致検出信号出力タイミングの変化

(3) CP05

コンパレータ(CPnm) は、タイマレジスタ(TDnRGm)、コンペアレジスタ(TDnCPm)、書き込みタイミング生成回路 n および一致検出回路 nm で構成されます。(n=0, 1, m=0, 1, 3)

TDnRGm	: 16 ビットタイマレジスタ
TDnCPm	: 16 ビットコンペアレジスタ
書き込みタイミング生成回路 n	: 各タイマレジスタの値を各コンペアレジスタに書き込むタイミングを生成
一致検出回路 nm	: UCn のカウンタ出力値と TDnCPm<CPRGm[16:0]>との一致を検出

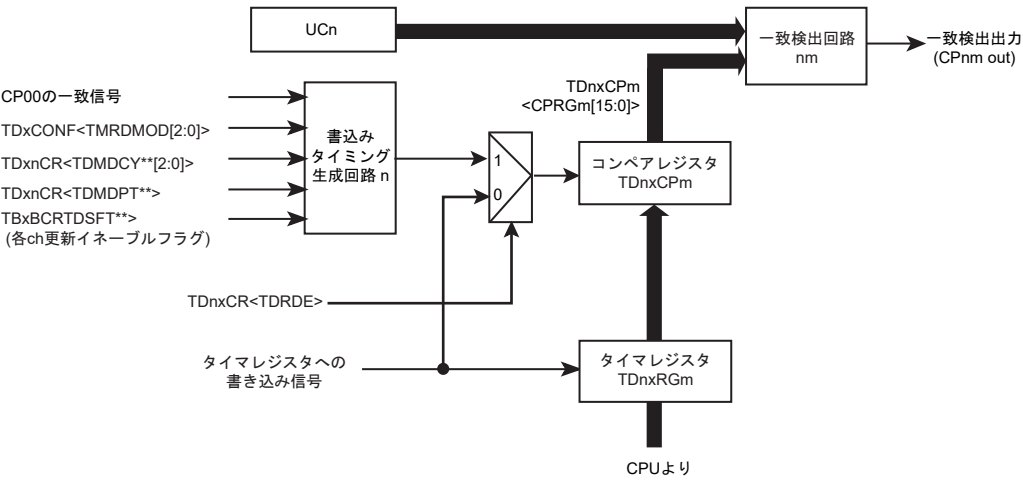


図 12-5 コンパレータ (CP05) の構成

12.4.2.3 出力チャネル(CHn0, CHn1)

出力チャネル(CHn0, CHn1)は、それぞれ 2 組のコンパレータ(CPn1 と CPn2、CPn3 と CPn4)と波形整形回路(WGn0、WGn1)から構成されています。

波形整形回路(WGn0, WGn1)はそれぞれ、CPn1 の一致検出出力のタイミングで CHn0 の出力(n=0 のとき PPG00、n=1 のとき PPG10)の Leading Edge を、CPn2 の一致出力タイミングで trailing Edge を、CPn3 の一致検出出力のタイミングで CHn1 の出力(n=0 のとき PPG01、n=1 のとき PPG11)の Leading Edge を、CPn4 の一致出力タイミングで trailing Edge を生成します。

TDnMOD<TDIV1>と<TDIV0>で CHn0 と CHn1 の Leading Edge、trailing Edge の極性を設定できます。

12.5 各動作モードの説明

TMR_n の動作モードは、下記の動作モードから TDCONF<TMRDMOD[2:0]>で設定されます。

- ・ 16 ビットプログラマブル矩形波出力(PPG)

- PPG モード

- 連動 PPG モード

TDCONF<TMRDMOD[2:0]>への設定値とそれぞれのタイマユニットの動作モードの関係については、「(3) TDCONF (タイマコンフィグレジスタ)」を参照してください。

それぞれのモードについて、以下に説明します。

12.5.1 16 ビットプログラマブル矩形波出力(PPG)

12.5.1.1 PPG モード

本モードは、TMR0 と TMR1 が独立して動作し、それぞれ周波数と Duty を設定して、矩形波を出力するモードです。

TMR0、TMR1 とも、2 系統の出力端子を持ち、それぞれ周波数が同じ矩形波を出力することが可能です。

	出力 チャンネル	矩形波出力端 子
TMR0	CH00	PPG00
	CH01	PPG01
TMR1	CH10	PPG10
	CH11	PPG11

(1) 矩形波出力(PPG)の周期

TMR0 では、矩形波出力(PPG00/PPG01)の周期は、CP00 のコンペアレジスタ TD0CP0 <CPRG0[15:0]>の値で設定します。

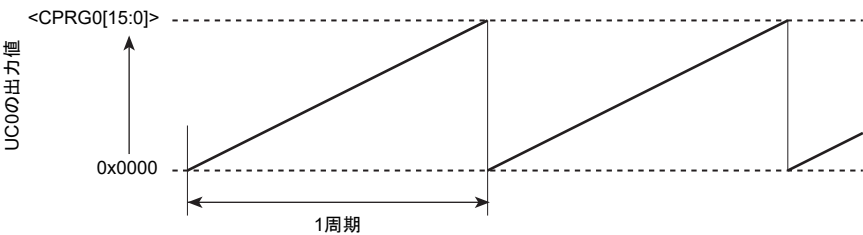


図 12-6 PPG モードの矩形波周期

TMR1 では、矩形波出力(PPG10/PPG11)の周期は CP10 のコンペアレジスタ TD1CP0 <CPRG0[15:0]>の値で設定します。

(2) 矩形波出力(PPG)Duty

TMR0 では、矩形波出力(PPG00)の leading edge は CP01 の一致検出で、trailing edge は CP02 の一致検出で変化し、矩形波を生成します。

同様に、矩形波出力(PPG01)の leading edge は CP03 の一致検出で、trailing edge は CP04 の一致検出で変化し、矩形波を生成します。

TMR1 は、矩形波出力(PPG10/PPG11)の leading edge は CP11/CP13 の一致検出で、trailing edge は CP12/CP14 の一致検出で変化し、矩形波を生成します。

図 12-7 に矩形波生成のタイミングを示します。

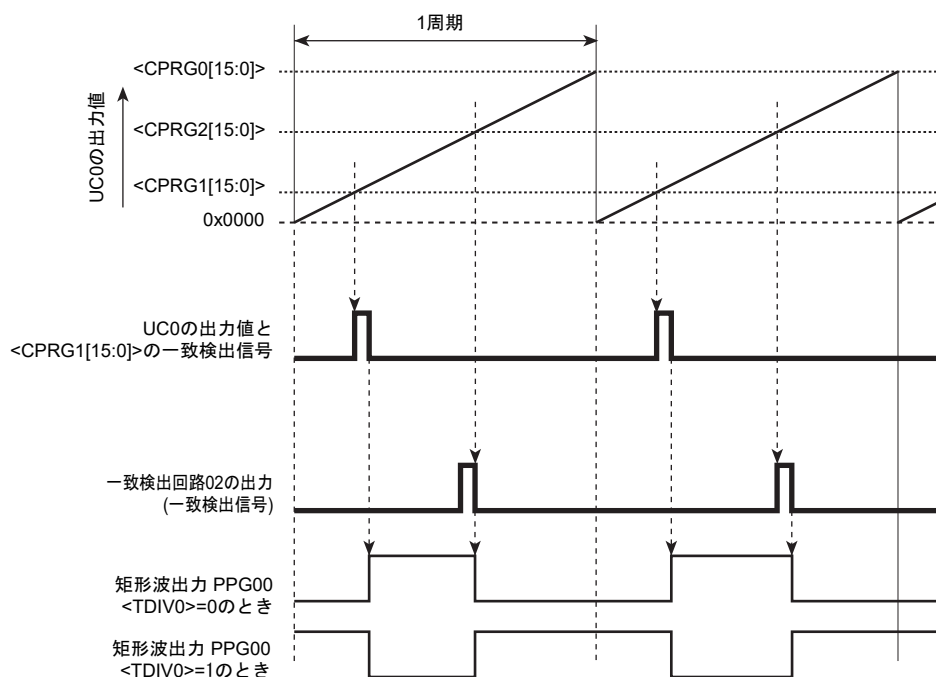


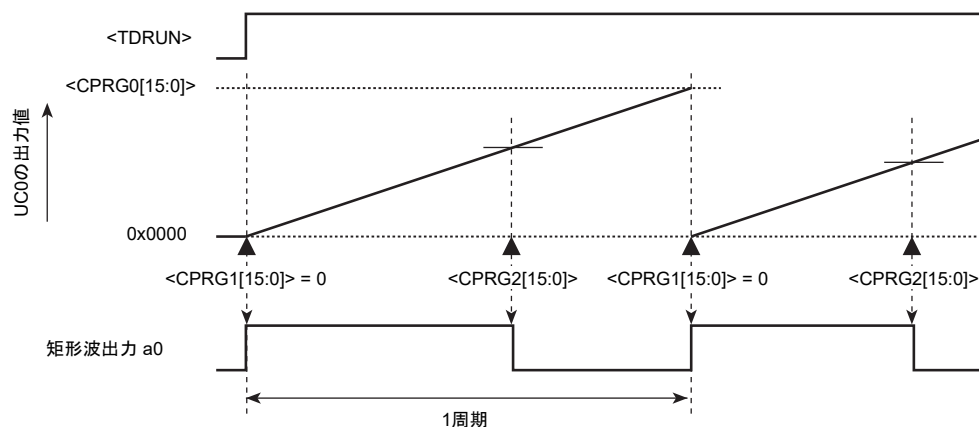
図 12-7 PPG モードの矩形波出力(PPG00 の場合)

CP01 では UC0 の出力値と<CPRG1[15:0]>の値の一致で CP01 の一致検出回路 01 から一致検出信号が出力されます。

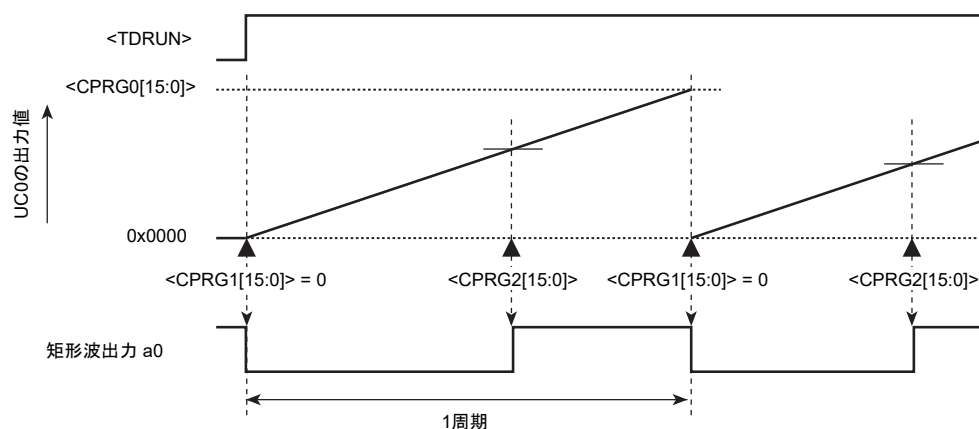
PPG00 の出力は、TD0MOD<TDIV0>=0 のとき、CP01 の一致信号(leading edge)が立ち上がり、CP02 の一致信号(trailing edge)は立ち下がりとなり、TD0MOD<TDIV0>=1 のとき、CP01 の一致信号(leading edge)が立ち下がり、CP02 の一致信号(trailing edge)は立ち上がりとなります。

なお、CPn1 と CPn3 には"0x0000"が設定できるため、TMR0 または TMR1 をスタートさせた直後から leading edge を出力することができます。

図 12-8 に示すようにスタートと同時に leading edge が立ち上がり/立ち下がり設定の場合も最初の周期から任意の矩形波を出力することが可能です。



(1) leading edgeを立ち上がりに指定した場合



(2) leading edgeを立ち下りに指定した場合

図 12-8 スタート時のタイミングチャート(PPG00 の場合)

PPG モードの場合、SW0/SW01/SW10/SW11/SW20/SW21/SW30/SW31 のコントロール信号 PHSCHGSW は"0"に固定されます。(「図 12-1 TMRD タイマユニットのブロック図」参照)

(3) 1bit モジュレーション機能について

PPG モード出力を PWM 出力として使用するとき、疑似的に分解能をあげる機能として 1bit モジュレーション機能があります。

1bit モジュレーション機能は、1bit モジュレーションの周期単位で、その周期ごとに設定された数の PWM 波形に通常よりも TMRDCLKn の 1clock 分広い Duty 波形を出力します。

これにより、1bit モジュレーション周期で平均的に分解能を向上します。

1bit モジュレーション周期は、CP00/CP10 で決まる周期を整数倍した周期です。その周期は<TDMDCY**[2:0]>で各チャンネルごとに設定することができます。

<TDMDCY**[2:0]>に"000"を設定すると"1bit モジュレーション機能なし"に設定できます。

	出力 チャンネル	PWM 周期: N (CP00/CP10 で 決まる周期)	1bit モジュレーション周期 (2/4/8/16 倍)	パルス幅: N'
TMR0	CH00	<CPRG0[15:0]>	<TDMDCY00[2:0]>	TD0CP2<CPRG2[15:0]> – TD0CP1<CPRG1[15:0]>
	CH01	<CPRG0[15:0]>	<TDMDCY01[2:0]>	TD0CP4<CPRG4[15:0]> – TD0CP3<CPRG3[15:0]>
TMR1	CH10	<CPRG0[15:0]>	<TDMDCY10[2:0]>	TD1CP2<CPRG2[15:0]> – TD1CP1<CPRG1[15:0]>
	CH11	<CPRG0[15:0]>	<TDMDCY11[2:0]>	TD1CP4<CPRG4[15:0]> – TD1CP4<CPRG3[15:0]>

また、<CPMDRT[3:0]>で TMRDCLKn の 1clock 分広い Duty 波形を出力する PWM 周期を設定します。

<TDMDCY**[2:0]> の設定値	<CPMDRT[3:0]>の 設定値				説明
	[3]	[2]	[1]	[0]	
000	無効				1bit モジュレーション機能なし
001	0	無効			1bit モジュレーション機能なし
	1				周期 1 に対して 1clock 分広い Duty 波形を出力
010	0	0	無効		1bit モジュレーション機能なし
	0	1			周期 1 に対して 1clock 分広い Duty 波形を出力
	1	0			周期 1,2 に対して 1clock 分広い Duty 波形を出力
	1	1			周期 1,2,3 に対して 1clock 分広い Duty 波形を出力
011	0	0	0	無効	1bit モジュレーション機能なし
	0	0	1		周期 1 に対して 1clock 分広い Duty 波形を出力
	0	1	0		周期 1,2 に対して 1clock 分広い Duty 波形を出力
	.	.	.	.	.
	1	1	0	無効	周期 1~6 に対して 1clock 分広い Duty 波形を出力
	1	1	1		周期 1~7 に対して 1clock 分広い Duty 波形を出力
100	0	0	0	0	1bit モジュレーション機能なし
	0	0	0	1	周期 1 に対して 1clock 分広い Duty 波形を出力
	0	0	1	0	周期 1,2 に対して 1clock 分広い Duty 波形を出力
	.	.	.	.	.
	1	1	1	0	周期 1~14 に対して 1clock 分広い Duty 波形を出力
	1	1	1	1	周期 1~15 に対して 1clock 分広い Duty 波形を出力

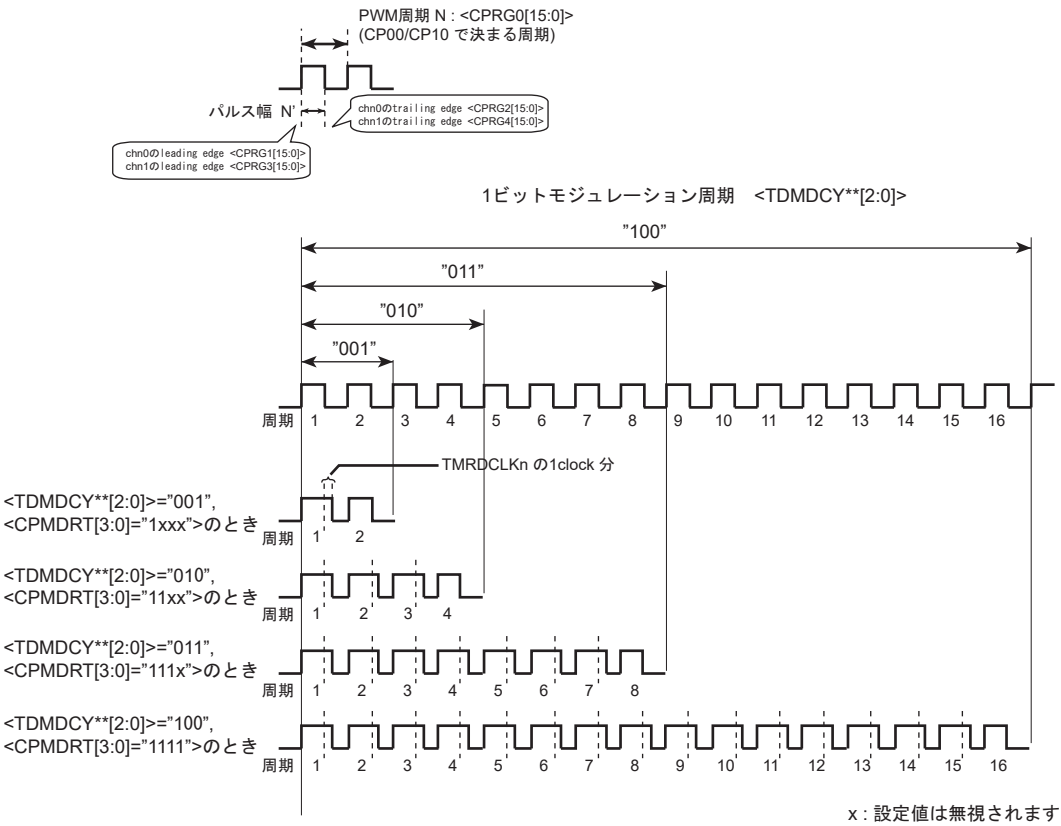


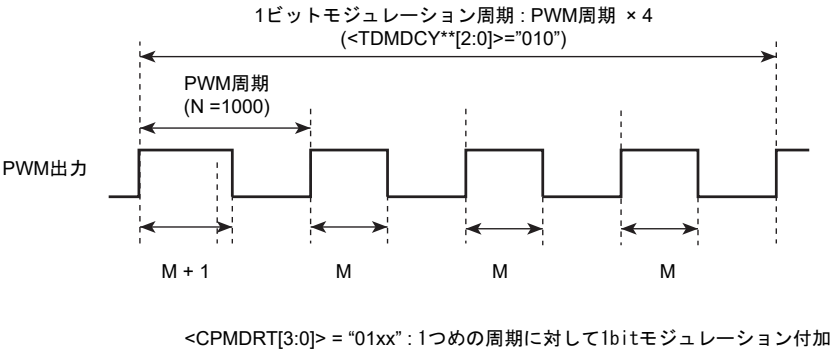
図 12-9 1bit モジュレーション機能の説明図

f_{PWM} (PWM 周波数) を変更せず、1bit モジュレーション周期が PWM 周期の 4 周期分のとき、分解能を 4 倍にする例を示します。

分解能を 4 倍にするためには、1bit モジュレーション周期内にある 4 つの PWM 波形の内、最初の PWM 波形に 1clock 分広い Duty 波形を出力します。

これにより、平均的に $(601 + 600 \times 3) / 4 = 600.25$ の Duty 波形を出力することになり、4 倍の分解能で PWM 出力が可能になります。

1bit モジュレーション周期 (PWM 周期 4 周期分)	: <TDMDCY**[2:0]> = "010"
PWM 周期の分解能	: N = 1000
パルス幅の設定	: M = 600
1bit モジュレーションを実施する PWM 周期の数	: <CPMDRT[3:0]> = "01xx" (x : don't care)



(4) PPG モードにおける更新タイミング

PPG モードにおける各コンパレータのコンペアレジスタ TDnCPm の値の更新タイミングについて説明します。

タイレクト書き込みモード(TDnCR<TDRDE>="0")は、タイマモードと同様なので省略します。

TDnCR<TDRDE>="1"のとき、TDnCR<TDMDCY**><TDMDPT**>の値により、更新タイミングが異なります。

表 12-2 コンパレータと TDnCR<TDMDCY**><TDMDPT**>

タイマユニット	レジスタ	コンパレータ
TMR0	TD0CR<TDMDCY00[2:0]><TDMDPT00>	CP00/CP01/CP02/(CP05)
	TD0CR<TDMDCY01[2:0]><TDMDPT10>	CP03/CP04
TMR1	TD1CR<TDMDCY10[2:0]><TDMDPT10>	CP10/CP11/CP12
	TD1CR<TDMDCY11[2:0]><TDMDPT11>	CP13/CP14

下記にそれぞれについて説明します。

なお、どのコンパレータの更新タイミングも同様なので、CPn0、CPn1、CPn2 について説明を行います。

(a) 1bit モジュレーション機能を使用しない場合(<TDMDCY**[2:0]>="000")

1bit モジュレーション機能を使用しないモードでは、図 12-10 に示すタイミングで、コンパレータ CPn0 および CHn0 のコンパレータ CPn1/CPn2 のコンペアレジスタ TDnCP0、TDnCP1、TDnCP2 の値が対応するタイマレジスタ TDnRG0、TDnRG1、TDnRG2 の値に更新されます。

TDBCR<TDSFTn0>は CPn0、CPn1、CPn2 に対応した更新イネーブルフラグで、この信号が"1"の時、CPn0 の一致検出信号(TMRDn の更新タイミング信号)が"1"のタイミングで値の更新が行われます。

TDBCR<TDSFTn0>はこの更新のタイミングでクリアされます。

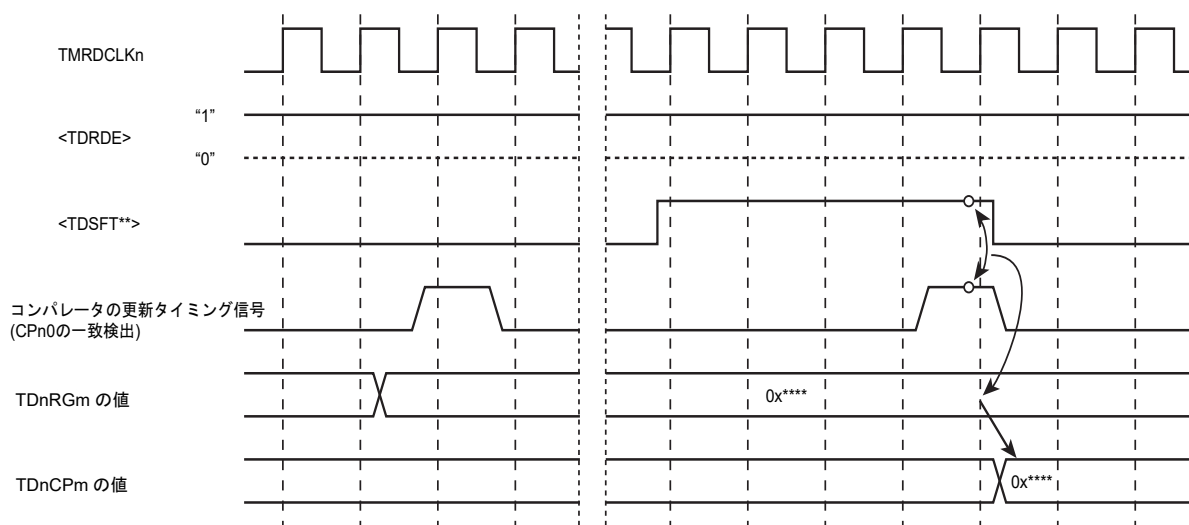


図 12-10 PPG モードにおける CPn0,CPn1,CPn2 の更新タイミング (<TDMDCY**[2:0]> = "000")

それぞれの更新イネーブルフラグとそれぞれのコンパレータの対応は以下のとおりです。

- コンパレータのコンペアレジスタ TDnCPm の更新タイミング：

TDnCR<TDRDE>を"0" に設定した場合は、TDnRGm の値を更新すると同時に対応した TDnCPm の値が更新されます。

TDnCR<TDRDE>を"1" に設定した場合の更新タイミングを図 12-11 に示します。

TDBCR<TDSFT**>が"1"の時、コンパレータの更新タイミング信号が"1" のタイミングで値の更新が行われます。TDBCR<TDSFT**>はこの更新のタイミングでクリアされます。

本モードにおける TMR0、TMR1 のコンパレータの更新タイミング信号は下記のとおりです。

- ・ TMR0：CP00 の一致検出出力タイミング
- ・ TMR1：CP10 の一致検出出力タイミング

図 12-11 に、TDnCR<TDRDE> を"1"に設定したときに TDnRGm の値を TDnCPm に書き込むタイミングを示します。

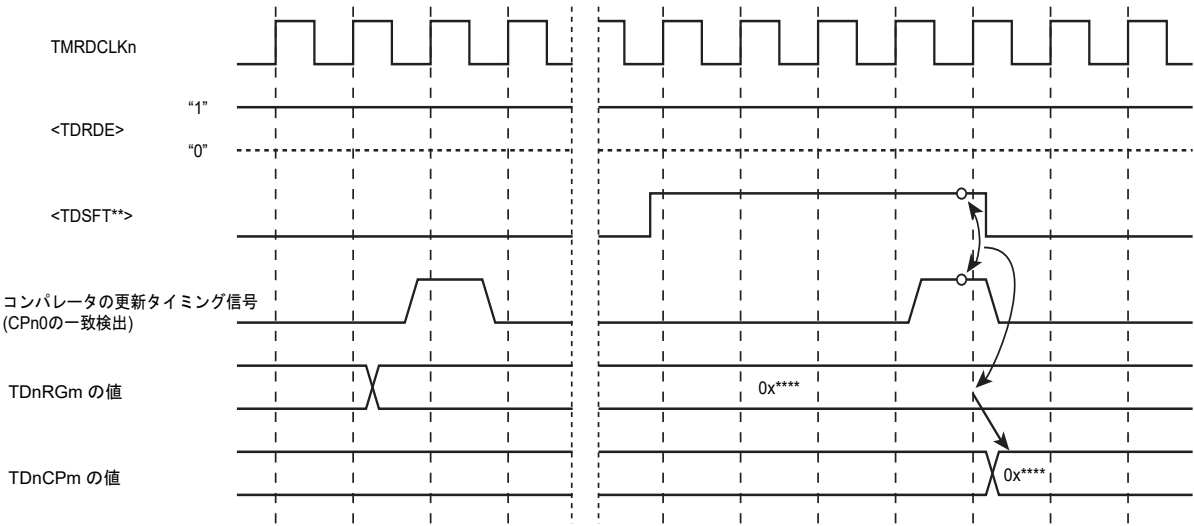


図 12-11 TDnRGm の値を TDnCPm に書き込むタイミング (TDnCR<TDRDE>=1)

- (b) 1bit モジュレーション機能を使用する場合(<TDMDCY**[2:0]>="000"以外)

1bit モジュレーション機能を使用する場合、TDnCR<TDMDPT**>の設定で、下記の 2 つの更新タイミングを選択できます。

1. <TDMDPT**>=0 を設定したときの更新タイミング

<TDMDCY**[2:0]>="010" の場合の更新タイミングを、図 12-12 に示します。

TDBCR<TDSFT**>に"1"を設定した 1bit モジュレーション周期が終了したタイミングでコンペアレジスタの値が更新されます。

TDBCR<TDSFT**>はコンペアレジスタの値が更新されるタイミングで"0"にクリアされます。

TDnCP0、TDnCP1、TDnCP2 の値が次に更新されると出力信号 PPG00/PPG10 の leading/trailing edge のタイミングと矩形波出力の周期がこの値に応じて変化します。

PPG モードで、CH00 と CH01 または CH10 と CH11 を同期させる(更新を同時に行う)場合は、更新イネーブルフラグ<TDSFT00> と<TDSFT01> または<TDSFT10> と<TDSFT11> を同時に設定を行ってください。

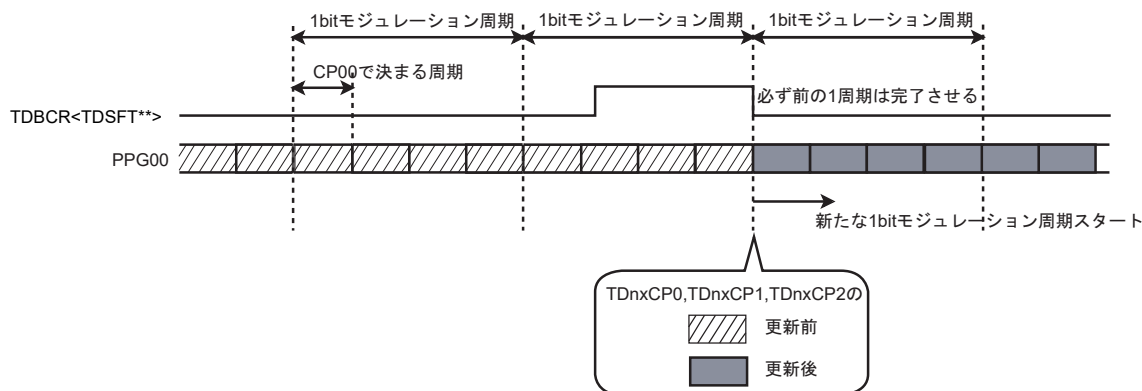


図 12-12 PPG モードにおける 1bit モジュレーション時の更新タイミング (CPn0,CPn1,CPn2 : <TDMDCY**[2:0]>="010", <TDMDPT**>="0")

2. TD0CR<TDMDPT00> = 1 を設定したときの更新タイミング

TD0CR<TDMDCY00[2:0]> = "010" の場合の更新タイミングを、図 12-13 に示します。

TDBCR<TDSFT00>に"1"を設定した時点の CP00 で決まる PWM 周期が終了したタイミングでコンペアレジスタの値が更新されます。更新後、新しい 1bit モジュレーション周期が開始されます。

TDBCR<TDSFT**>はコンペアレジスタの値が更新されるタイミングで"0"にクリアされます。

TDnCP0、TDnCP1、TDnCP2 の値が次に更新されると出力信号 PPG00/PPG10 の leading/trailing edge のタイミングと 矩形波出力の周期がこの値に応じて変化します。

PPG モードで、CH00 と CH01 または CH10 と CH11 を同期させる(更新を同時に行う)場合は、更新イネーブルフラグ<TDSFT00> と<TDSFT01> または<TDSFT10> と<TDSFT11> を同時に設定を行ってください。

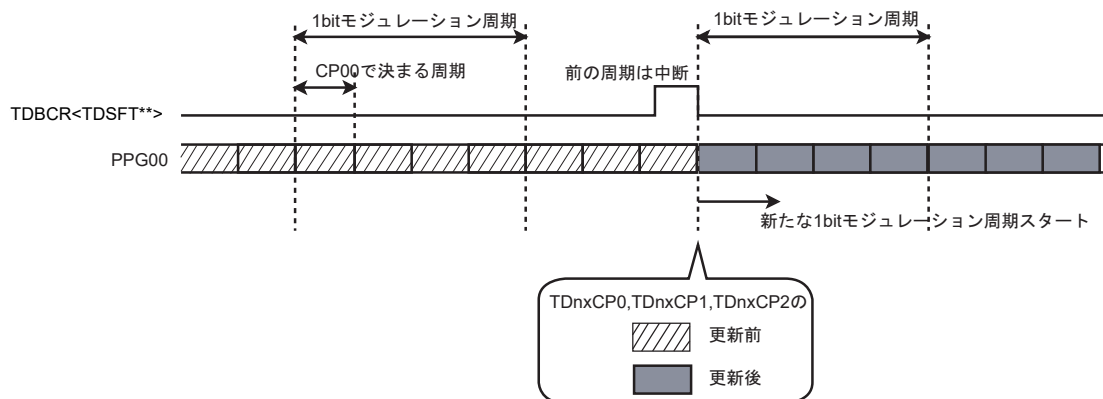


図 12-13 PPG モードにおける 1bit モジュレーション時の更新タイミング

(5) 矩形波出力(PPG)のスタート

TDnRUN<TDRUN>に"1"を書き込むことによって、UC のカウントがスタートし、矩形波出力(PPG)が出力されます。

(6) PPG モードのレジスタ設定手順

(a) PPG モードの起動

PPG モードを起動させるときのレジスタ設定は下記の手順のとおり、行ってください。

a. 供給クロックの選択

1. TMRD に供給するクロックを CG の CGEXTEND00 で選択します。
2. 詳細は、CG 章の設定を参照してください。

b. 各タイマユニットの動作モード選択

1. タイマモードで使用するタイマユニットを TDCONF<TMRDMOD[2:0]>で設定します。

c. 各タイマユニット(TMRn)で使用するクロックの選択

1. 各タイマユニットへのクロック供給をイネーブルするレジスタ TDEN の各ビット<TDENn>を"1"に設定します。(デフォルトのままでは各タイマユニットは、"1"に設定する必要はありません)
2. 各タイマユニットで使用するクロックを TDnMOD<TDCLK[3:0]>で選択します。
同時に、leading edge と trailing edge を<TDIVn>で選択します。

d. PPG の動作モード設定、各タイマレジスタ/コンペアレジスタの初期値設定

1. CH チャンネルごとに 1bit モジュレーション機能の使用の有無、周期と更新タイミングを TDnCR <TDMDCYn1[2:0]>、<TDMDPn1>、<TDMDCYn0[2:0]>、<TDMDPn0>で設定します。
TDnCR<TDRDE> = 0 に設定し、コンペアレジスタへの書き込みをダイレクト書き込みモードにします。同時に、INTTDnCMP0 の割り込み要因を TDnCR<TDISO[1:0]>で設定します。
2. 各タイマレジスタ (TDnRGm) に値を設定します。
ダイレクト書き込みモードでは、TDBCR<TDSFT**>を"1"に設定する操作および更新タイミング信号は必要ありません。

e. PPG モードの起動

1. TDnCR<TDRDE> = "1" に設定し、コンペアレジスタへの書き込みをタイマレジスタ経由にします。(タイマレジスタの値が、所定の更新タイミングで対応するコンペアレジスタに書き込まれるモードです。)
2. TDnRUN<TDRUN> = "1" に設定し、スタートさせます。

(b) タイマレジスタおよびコンペアレジスタの更新

タイマレジスタおよびコンペアレジスタの更新は下記の手順のとおり、行ってください。

1. 更新するコンペアレジスタに対応したタイマレジスタ (TDnRGm) に任意の値を設定します。
2. 上記設定後、更新するコンペアレジスタに対応したレジスタ TDBCR<TDSFT**>を"1"に設定し、更新を行います。

上記手順により、所定の更新タイミングでタイマレジスタの値が対応するコンペアレジスタに設定されます。

注) 更新タイミングの変更は、対応する CP の TDnCR<TDMDPn1>、<TDMDPn0>の設定で変更できます。

注) PPG 起動中に、設定を変える(書き換える)ことが可能なレジスタは (TDnRGm)、(TDBCR)、(TDnRUN)、(TDnCR<TDMDPn1><TDMDPn0>) の 4 レジスタです。それ以外のレジスタへの設定は、タイマ停止時に行ってください。

(c) 矩形波出力(PPG)の停止

矩形波出力の停止は下記の手順でのとおり、行ってください。

1. 各タイマユニットの矩形波出力を停止する場合は、レジスタ TDnRUN<TDRUN> = "0" に設定します。

注) PPG 起動中に、設定を変える(書き換える)ことが可能なレジスタは(TDnRGm)、(TDBCR)、(TDnRUN)、(TDnCR<TDMDPTn1><TDMDPTn0>)の 4 レジスタです。それ以外のレジスタへの設定は、タイマ停止時に行ってください。

12.5.1.2 連動 PPG モード

本モードは、TMR0 と TMR1 が位相シフト機能により連動して動作するモードです。

本モードでは、通常の PPG モードの機能に加えて、下記の機能を持ちます。

1. TMR0 が出力する 0 相と TMR1 が出力する 1 相の位相関係をコンパレータ CP05 により $-180^\circ < \theta < +180^\circ$ の範囲でダイナミックに設定が可能
2. 3 チャンネルまたは 4 チャンネル の同期した矩形波出力(PPG)が可能

(1) 位相シフト機能

位相シフト機能は、TMR0 の 0 相と TMR1 の 1 相の位相を CP05 を使ってシフトする機能です。

連動 PPG モードは、UC1 のクリアタイミングと CP11~CP14 の更新タイミングを、CP10 の一致タイミングではなく、CP05 の一致タイミングに変更します。

これにより、TMR1 は、周期は CP00 によって決まり、矩形波出力(PPG)は CP05 のシフトして動作します。

ここで 0 相と 1 相の周期は CP00 のコンペアレジスタ TD0CP0<CPRG0[15:0]>の設定値によって決まるため、位相シフト(遅延)量(θ)は、

$$\theta = 360^\circ \times (\text{<CPRG5[16:1]>} \div \text{<CPRG0[15:0]>})$$

で示されます。

連動 PPG モードでは、 $0^\circ \leq \theta < 180^\circ$ までの設定となるため、<CPRG5[16:1]>の設定範囲は、 $0x0000 \leq \text{CPRG5[16:1]} < \text{CPRG0[15:0]} \div 2$ となります。

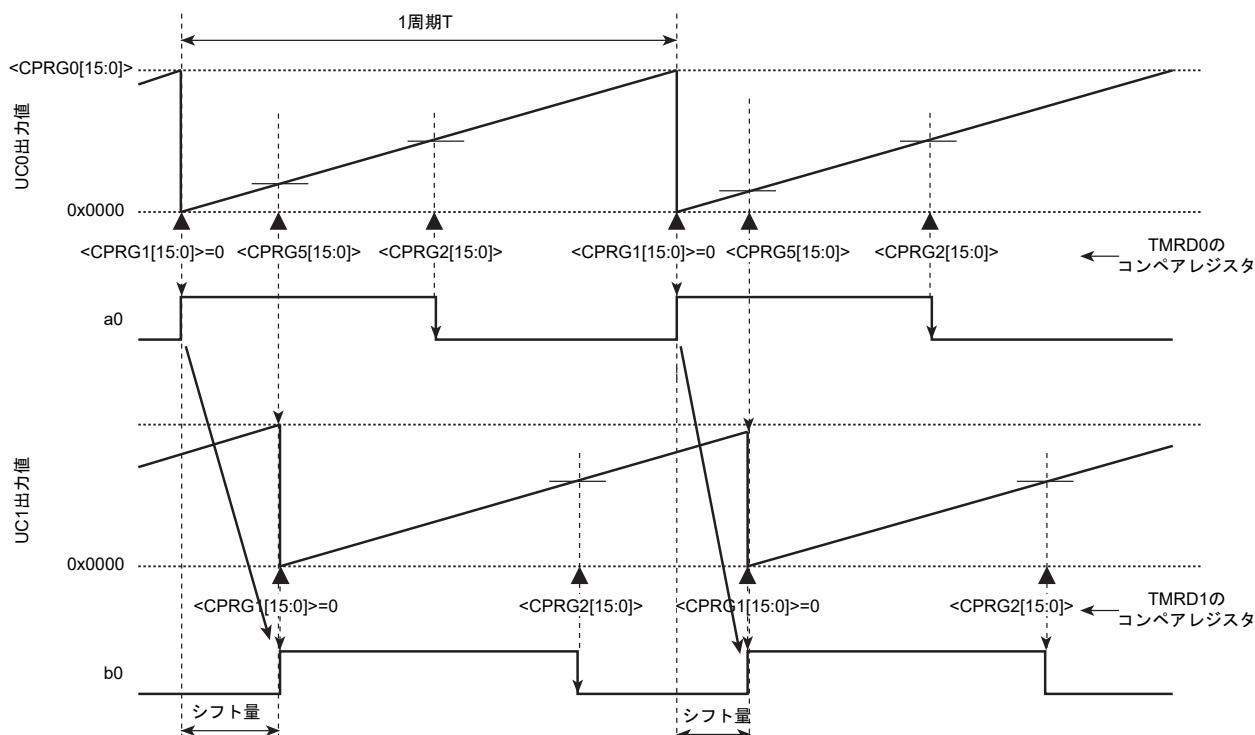


図 12-14 0 相(PPG00)と 1 相(PPG10)の位相関係例

(2) 逆位相出力

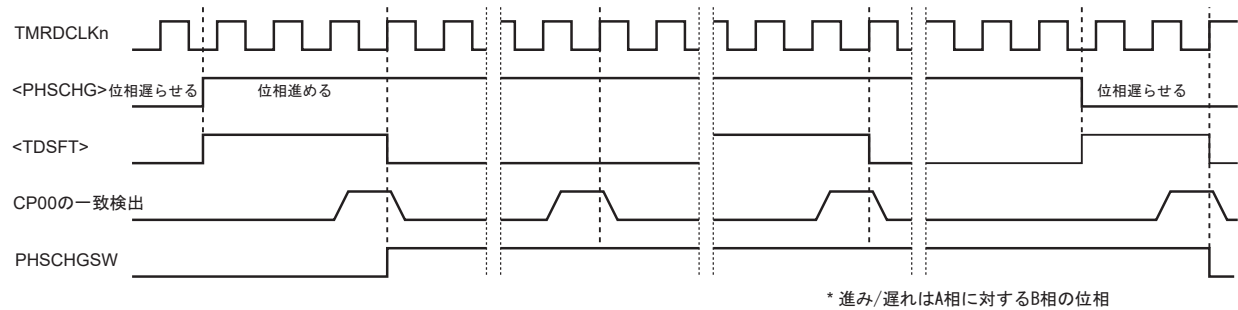
逆位相の出力は TDBCR<PHSCHG>により行います。

<PHSCHG>を更新すると、内部信号 PHSCHGSW が変化し、SW00~SW31 が切り替わり、0 相と 1 相の出力が逆転します。

<PHSCHG>は TDCONF<TMRDMOD[1:0]>が"111"以外では無視されます。

TDBCR<PHSCHG>	位相遅れ/進み	0 相出力	1 相出力
0	1 相が 0 相に対して遅れる	PPG00, PPG01	PPG10, PPG11
1	1 相が 0 相に対して進む	PPG10, PPG11	PPG00, PPG11

PHSCHGSW は、TD0RUN<TDRUN>が"1"に設定されたとき、または TDBCR<TDSFT00>が"1"でかつ CP00 の一致タイミングで、<PHSCHG>の値に合わせて変化します。



* 進み/遅れはA相に対するB相の位相

図 12-15 PHSCHGSW の切り換えタイミング

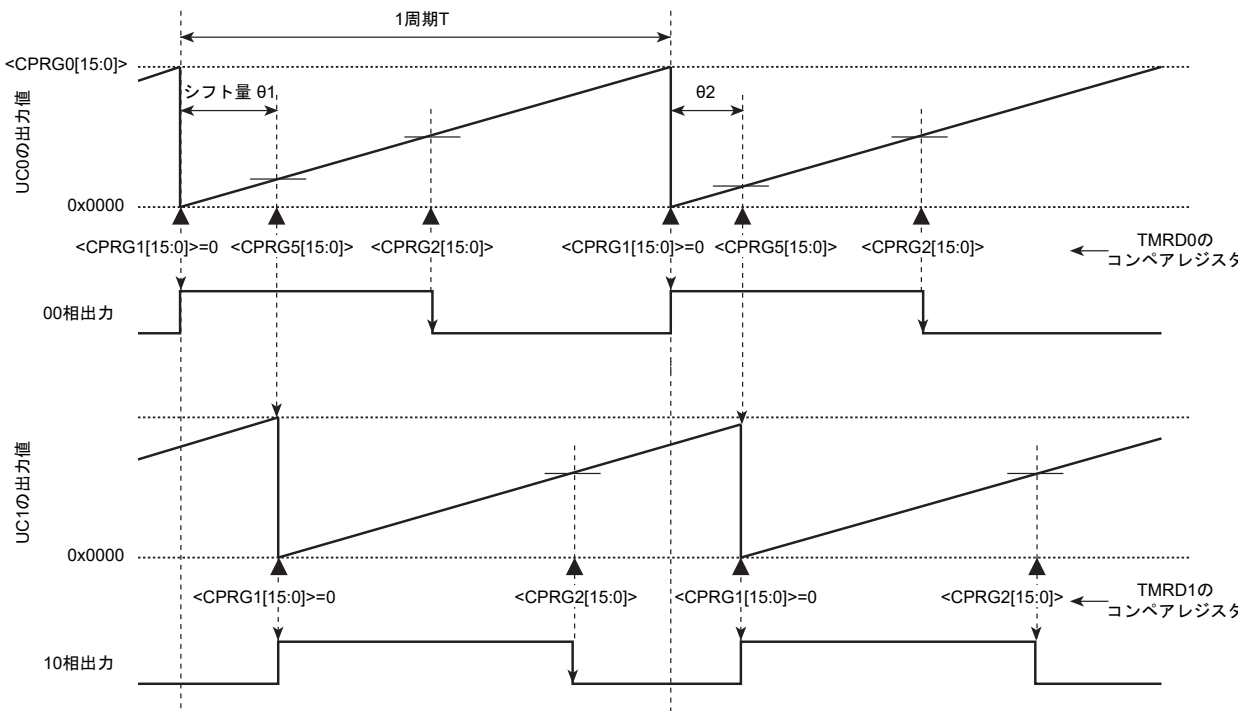


図 12-16 00 相の位相を 10 相より進める場合 (00 相出力=矩形波 PPG00、10 相出力=矩形波 PPG10、PHSCHGSW="0")

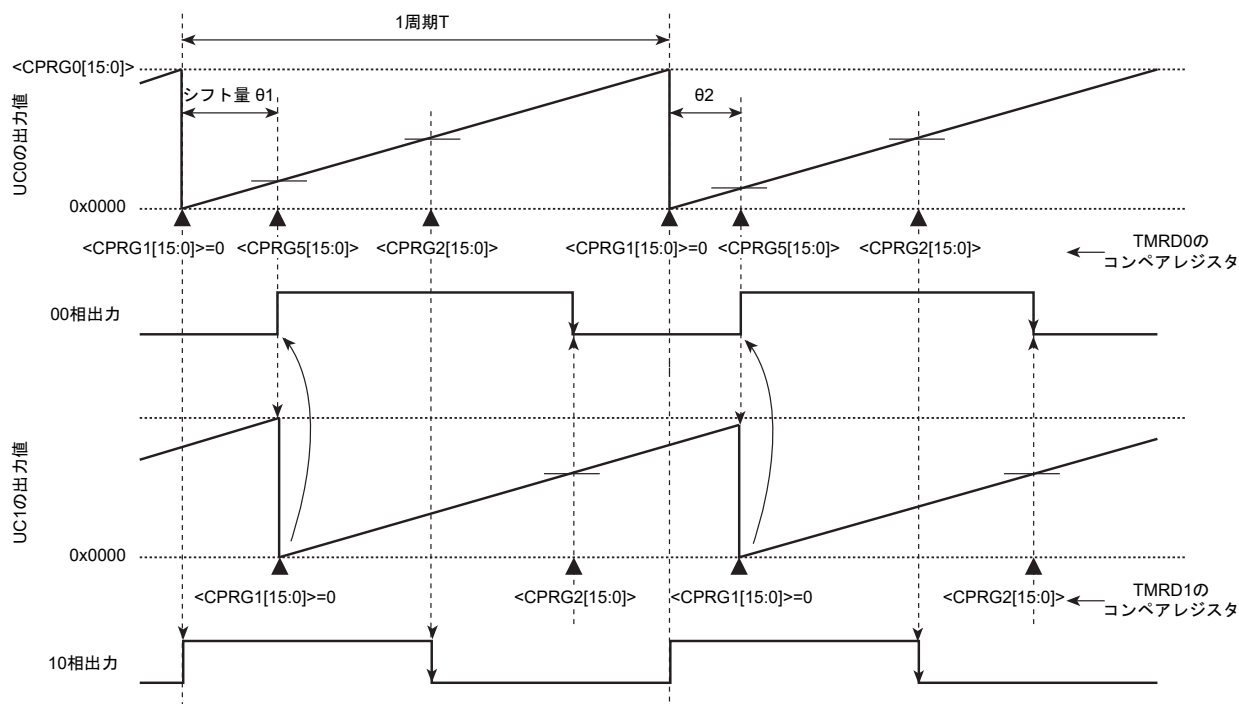


図 12-17 00 相の位相を 10 相より遅らせる場合 (00 相出力=矩形波 PPG00、10 相出力=矩形波 PPG10、PHSCHGSW="1")

(3) 同期チャネルの設定

TDCONF<TMRDMOD[1:0]>で連動 PPG モードで同期させる出力チャネル CH のチャネル数を決めることができます。

TDCONF<TMRDMOD[1:0]>を"110"に設定すると CH00、CH10 の、"111"に設定すると CH00、CH10、CH11 が同期します。

なお、同期させる出力チャネルの TDBCR<TDSFT**>をあらかじめ"1"に設定する必要があります。

同期しない出力チャネルは、同期させる出力チャネルと独立して動作できます。

TDCONF <TMRDMOD[1:0]>	TDBCR<TDSFT**>	TDnCR <TDMDCY**[2:0]>	同期チャネル数	同期出力チャネル
110	TDBCR<TDSFT00>="1" TDBCR<TDSFT10>="1"	TD0CR<TDMDCY00[2:0]>, TD1CR<TDMDCY10[2:0]>には同 じ値を設定してください	2	CH00, CH10
110	TDBCR<TDSFT00>="1" TDBCR<TDSFT01>="1" TDBCR<TDSFT10>="1"	TD0CR<TDMDCY00[2:0]>, TD0CR<TDMDCY01[2:0]>, TD1CR<TDMDCY10[2:0]>には同 じ値を設定してください	3	CH00, CH01, CH10
111	TDBCR<TDSFT00>="1" TDBCR<TDSFT10>="1" TDBCR<TDSFT11>="1"	TD0CR<TDMDCY00[2:0]>, TD1CR<TDMDCY10[2:0]>, TD1CR<TDMDCY11[2:0]>には同 じ値を設定してください	3	CH00, CH10, CH11
111	TDBCR<TDSFT**>="1"	TD0CR<TDMDCY00[2:0]>, TD0CR<TDMDCY01[2:0]>, TD1CR<TDMDCY10[2:0]>, TD1CR<TDMDCY11[2:0]>には同 じ値を設定してください	4	CH00, CH01, CH10, CH11

(4) レジスタの更新タイミング

レジスタの更新タイミングは、更新イネーブルフラグ TDBCR<TDSFT**>を"1"に設定するタイミングと CP05 の一致タイミングとの関係により変わります。

下記は TDCONF<TMRDMOD[1:0]>が"110"の場合について説明します。

TDCONF<TMRDMOD[1:0]>の値が"111"の場合、出力チャネル CH11 のコンパレータの値の更新タイミングが出力チャネル CH10 に同期して更新されます。

また、CH01 を同期させる場合は、<TDSFT01>を<TDSFT00>と同時に"1"に設定してください。CH00 と同じタイミングで CH01 のコンペアレジスタの値が更新されます。

- a. 更新イネーブルフラグを"1"に設定するタイミングが CP05 の一致タイミングの後にある場合

CP00 の一致検出で TDBCR<TDSFT00>がクリアされるのと同時に、CP00 と CP05、出力チャネル CH00 のコンパレータ(CP1 と CP2)の値が更新されます。

更新イネーブルフラグを"1"に設定した後の CP05 の一致タイミングで、<TDSFT10>がクリアされるのと同時に、CH10 のコンペアレジスタが更新されます。

- b. 更新イネーブルフラグを"1"に設定するタイミングが CP05 の一致タイミングの後にある場合

CP00 の一致検出で TDBCR<TDSFT00>がクリアされるのと同時に、CP00 と CP05、出力チャネル CH00 のコンパレータ(CP1 と CP2)の値が更新されます。

しかし、CH10 のコンペアレジスタの更新と<TDSFT10>のクリアは、更新イネーブルフラグを"1"に設定した後の CP05 の一致タイミングでは行われず、次の CP05 の一致タイミングで行われます。

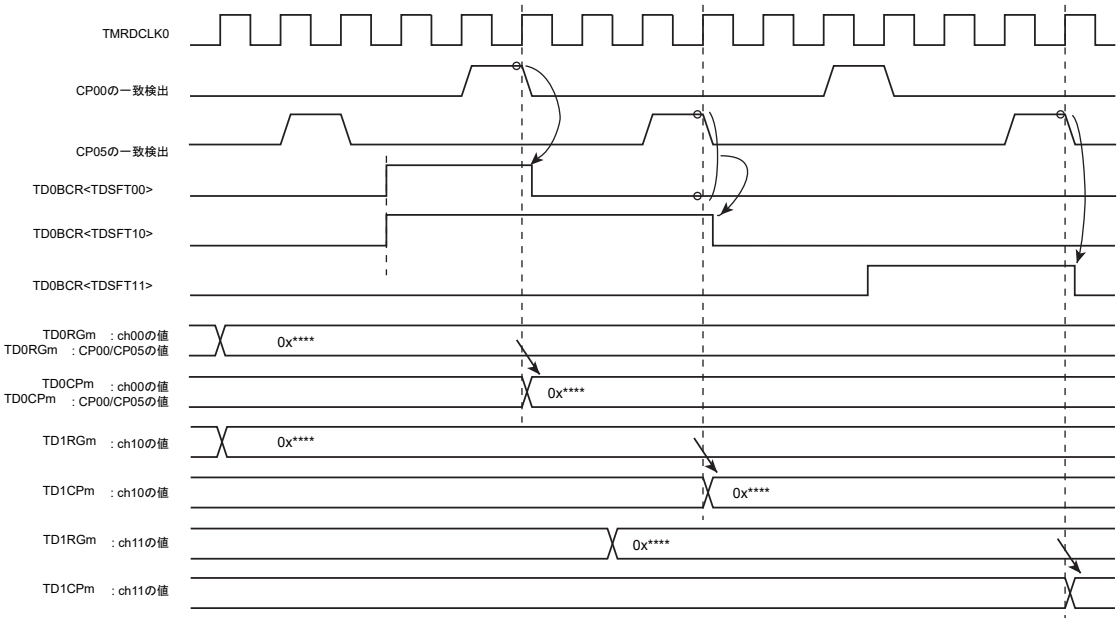


図 12-18 更新イネーブルレジスタを設定するタイミングが CP05 の一致タイミングの後にある場合

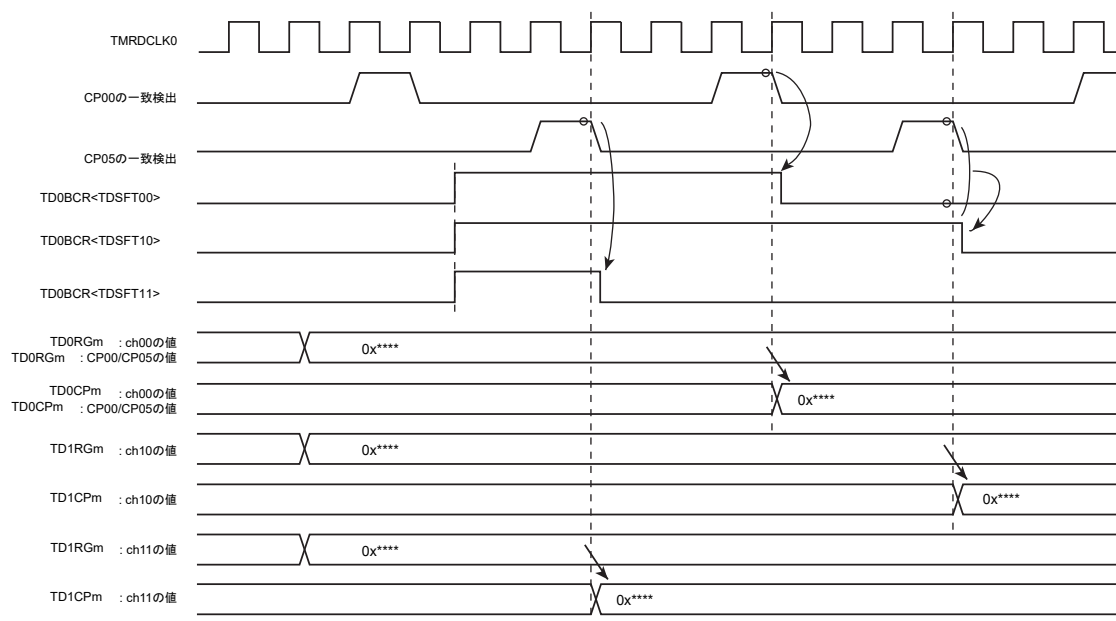


図 12-19 更新イネーブルレジスタを設定するタイミングが CP05 の一致タイミングの前にある場合

(5) UC1 のオーバーフロー処理

位相シフト量の範囲が $0^{\circ} \leq \theta < 180^{\circ}$ であるため、位相シフト量を決める CP05 の一致検出から次の一致検出までの時間 T は、0 相/1 相出力の周期を T とすると $0.5T \leq T\theta < 1.5T$ となります。

このため、周期 T の値によっては、UC1 はオーバーフローします。

従って、連動 PPG モードでは、UC1 のカウンタ値が 0xFFFF を超える場合は、次の CP05 の一致検出までカウンタのアップ動作を止め 0xFFFF の値を保持するオーバーフロー処理を行っています。

(6) 連動 PPG モードのレジスタ設定手順

(a) 連動 PPG モードにおけるレジスタ設定の優先

本モードで、TMR0 がマスタ、TMR1 がスレーブとして動作するため、TMR0 の設定が TMR1 の設定よりも優先するレジスタがあります。その対象ビットを表 12-3 に示します。

表 12-3 TMR0 の設定が優先するレジスタ

TMR0
TD0MOD<TDCLK[3:0]>
TD0CR<TDRDE>
TD0RUN<TDRUN>

これらのレジスタは、TMR0 のものが有効となり TMR1 のものは無視されます。

注) TMR1 のレジスタに設定した値は無効ですが、設定した値はレジスタに反映されます。したがって、連続 PPG モードを終了すると設定した値は、すぐに有効となります。

(b) 連動 PPG モードの起動

連動 PPG モードを起動するときのレジスタ設定は下記の手順のとおり、行ってください。

a. 供給クロックの選択

1. TMRD に供給するクロックを CG の CGEXTENDO0 で選択します。
2. 詳細は、CG 章の設定を参照してください。

b. 各タイマユニットの動作モード選択

1. タイマモードで使用するタイマユニットを TDCONF<TMRDMOD[2:0]>で設定します。

c. 各タイマユニット(TMRn)で使用するクロックの選択

1. 各タイマユニットへのクロック供給をイネーブルするレジスタ TDEN の各ビット<TDENn> を"1"に設定します。(デイスレーブルのままでもよいタイマユニットは、"1"に設定する必要はありません)
2. 各タイマユニットで使用するクロックを TDnMOD<TDCLK[3:0]>で選択します。
同時に、leading edge と trailing edge を<TDIVn>で選択します。

d. 各タイマレジスタおよびコンペアレジスタへの初期設定

1. TDnCR<TDRDE> = "0" に設定し、コンペアレジスタへの書き込みをダイレクト書き込みモードにします。同時に、INTTDnCMP0 の割り込み要因を TDnCR<TDISO[1:0]>で設定します。
2. 各タイマレジスタ (TDnRGm) に値を設定します。
ダイレクト書き込みモードでは、TDBCR<TDSFT**>を"1"に設定する操作および更新タイミング信号は必要ありません。

e. 0 相出力と 1 相出力の進み/遅れの位相関係の初期設定 (TDCONF<TMRDMOD[2:0]>="111" の場合)

1. 起動時の 0 相出力と 1 相出力の進み遅れの位相関係をレジスタ TDBCR<PHSCHG>に設定します。このとき、TDBCR<TDSFT**>に"1"の設定は不要です。

f. 1bit モジュレーション設定、更新タイミングおよび連動 PPG モードの起動

1. TD0CR<TDMDCY00[2:0]>、<TDMDCY01[2:0]>で CH00、CH01 の 1bit モジュレーション機能の有無、周期を同じレジスタの<TDMDPT00>、<TDMDPT01>でコンペアレジスタの更新タイミングを設定します。
同時に TD0CR<TDRDE> = "1" に設定し、コンペアレジスタへの書き込みをタイマレジスタ経由にします。(タイマレジスタの値が、所定の更新タイミングで対応するコンペアレジスタに書き込まれるモードです。)
2. TD1CR<TDMDCY10[2:0]>、<TDMDCY11[2:0]>で CH10、CH11 の 1bit モジュレーション機能の有無、周期を同じレジスタの<TDMDPT00>、<TDMDPT01>でコンペアレジスタの更新タイミングを設定します。
また、TD1CR<TDRDE>を 1 に設定する必要はありません。
3. レジスタ TD0RUN<TDRUN>="1"に設定し、スタートさせます。

(c) タイマレジスタおよびコンペアレジスタの更新

タイマレジスタおよびコンペアレジスタの更新は下記の手順のとおり、行ってください。

1. 更新するコンペアレジスタに対応したタイマレジスタ(TDnRGm)に任意の値を設定します。
2. 上記設定後、更新するコンペアレジスタに対応したレジスタ TDBCR<TDSFT**>Ç... "1" Çšè»İÊÇµÇ<Ç²AB
3. TDCONF<TMRDMOD[2:0]>="111" の場合、A 相出力と B 相出力の進み遅れの位相関係を変更する場合は、TDBCR<PHSCHG>の設定値を変更し、TDBCR<TDSFT00>に"1"を設定します。
上記設定後、0 相出力と 1 相出力の進み遅れの位相関係を変更する場合は、レジスタ TD0BCR<PHSCHG>の設定値を変更し、TD0BCR<TDSFT>を"1"に設定します。

上記手順により、所定の更新タイミングでタイマレジスタの値が対応するコンペアレジスタに設定されます。

4. 連動 PPG モード起動後、更新タイミングの変更は、対応する CH の TDnCR<TDMDPT**>ÇÄê»İÊÇšïæçXÇ²ÇÊÇ±Çý
で可能です。

b. 矩形波出力の停止

1. 各タイマユニットの矩形波出力を停止する場合は、レジスタ TDnRUN<TDRUN>="0"に設定します。

注) PPG 起動中に、設定を変える(書き換える)ことが可能なレジスタは(TDnRGm)、(TDBCR)、(TDnRUN)、(TDnCR<TDMDPTn1><TDMDPTn0>)の 4 レジスタです。それ以外のレジスタへの設定は、タイマ停止時に行ってください。

(d) 矩形波出力(PPG) の停止

矩形波出力の停止は下記の手順でのとおり、行ってください。

1. 各タイマユニットの矩形波出力を停止する場合は、レジスタ TDnRUN<TDRUN>="0"に設定します。

注) PPG 起動中に、設定を変える(書き換える)ことが可能なレジスタは(TDnRGm)、(TDBCR)、(TDnRUN)、(TDnCR<TDMDPTn1><TDMDPTn0>)の 4 レジスタです。それ以外のレジスタへの設定は、タイマ停止時に行ってください。

(7) 連動 PPG モードにおける出力 SW 切り替え時の注意事項

連動 PPG モード (TDCONF<TMRDMOD[2:0]>="111" の場合) では、矩形波 PPG10/PPG11 の trailing edge は UC0 の周期を越えたタイミングでも設定可能なため、位相を「進みから遅れ」また「遅れから進み」に切り換える場合(出力 SW の切り換え時)に注意が必要です。

以下に、1 相の traling edge が UC0 周期内にある場合と周期を超えたタイミングにある場合、出力 SW を切り換えたときの 0 相および 1 相出力の波形について説明します。

ここで UC0 の周期とは、カウンタ値が"0"から"0"に戻るまでの時間です。

(a) 1 相の traling edge が UC0 の周期内にある場合

図 12-20 のように、trailing edge が UC0 の周期内にある場合の 00 相出力と 10 相出力の位相関係を、00PPG00 相を進んだ状態から遅れた状態に切り換える場合を考えます。

CP00 の一致検出のタイミングで出力 SW が切り替わり、00PPG00 相出力 = 矩形波 PPG00、10 相出力 = 矩形波 PPG10 の関係を 00PPG00 相出力 = 矩形波 PPG10、10 相出力 = 矩形波 PPG00 に切り換えます。

この時、出力 SW 切り換えのタイミングで矩形波 PPG00 と PPG10 の信号レベルが同じため、異常な波形は発生しません。

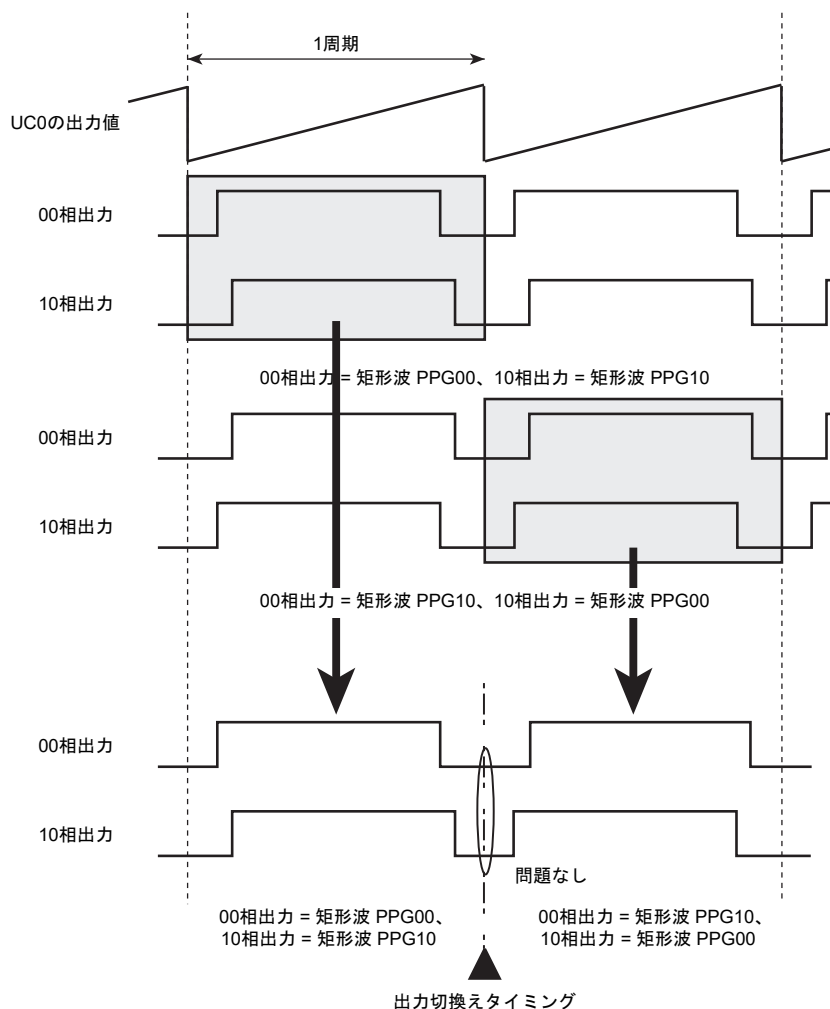


図 12-20 位相進み遅れ(出力 SW)切換前と後の波形 (矩形波 PPG10 の trailing edge が UC0 の周期内)

位相関係が逆相の、遅れた状態から進んだ状態に切り換える場合も同様に、異常な波形は発生しません。

(b) 1 相の trailing edge が UC0 の周期を超えた場合

図 12-21 のように、trailing edge が UC0 の周期を越えている 00PPG00 相出力と 10 相出力の位相関係で、00PPG00 相が進んだ状態から遅れた状態に切り換える場合を考えます。

CP00 の一致検出のタイミングで出力 SW を切り換え、PPG00 相出力 = 矩形波 PPG00、10 相出力 = 矩形波 PPG10 の関係を PPG00 相出力 = 矩形波 PPG10、10 相出力 = 矩形波 PPG00 切り換えます。

この時、出力 SW 切り換えのタイミングで矩形波 PPG00 と PPG10 の信号レベルが異なるので、パルス状の波形が発生します。

位相関係が逆相の、遅れた状態から進んだ状態に切り換える場合も同様に、パルス状の波形が発生します。

位相進み遅れの切り換え点で、このようなパルスが発生することがシステムの的に問題になる場合、位相の進みから遅れ、また遅れから進みに切り換える前に一度、同位相の状態を経由させることで回避することが出来ます。

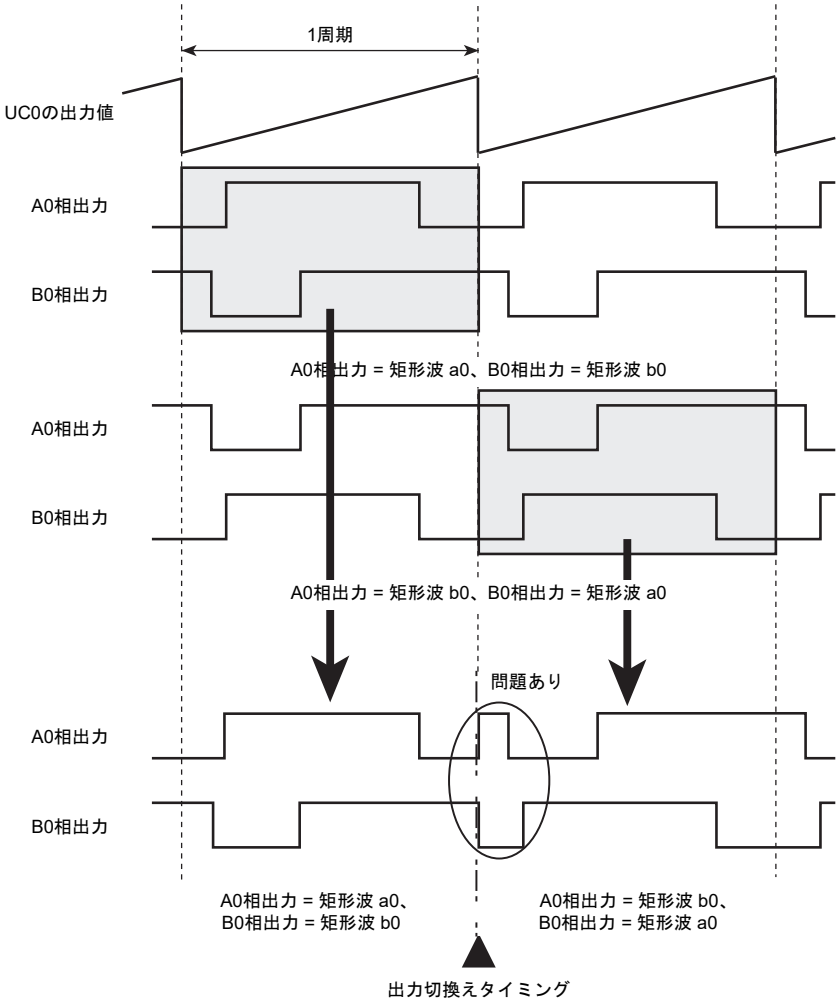


図 12-21 位相進み遅れ(出力 SW)切換前と後の波形 (矩形波 PPG10 の trailing edge が UC0 の周期を越える)

12.5.1.3 コンペアレジスタの設定範囲

16 ビットプログラマブル矩形波出力(PPG)におけるコンペアレジスタへの設定範囲を表 12-4 に示します。

表 12-4 16 ビットプログラマブル矩形波出力(PPG)時のコンペアレジスタの設定範囲

タイマ ユニット	レジスタ設定範囲			PPG	連動 PPG
	最小値	コンペア レジスタ	最大値		
TMRD0	(注) ≤	TD0CP0<CPRG0[15:0]>	≤ 0xFFFF	A	A
	0x0000 ≤	TD0CP1<CPRG1[15:0]>	< TD0CP2<CPRG2[15:0]>	A	A
	TD0CP1<CPRG1[15:0]> <	TD0CP2<CPRG2[15:0]>	≤ TD0CP0<CPRG0[15:0]>	A	A
	0x0000 ≤	TD0CP3<CPRG3[15:0]>	< TD0CP4<CPRG4[15:0]>	A	A
	TD0CP3<CPRG3[15:0]> <	TD0CP4<CPRG4[15:0]>	≤ TD0CP0<CPRG0[15:0]>	A	A
	0x0000 ≤	TD0CP5<CPRG5[16:1]>	< TD0CP0<CPRG0[15:0]> + 2	NA	A
TMRD1	(注) ≤	TD1CP0<CPRG0[15:0]>	≤ 0xFFFF	A	NA
	0x0000 ≤	TD1CP1<CPRG1[15:0]>	< TD1CP2<CPRG2[15:0]>	A	A
	TD1CP1<CPRG1[15:0]> <	TD1CP2<CPRG2[15:0]>	≤ TD1CP0<CPRG0[15:0]>	A	A
	0x0000 ≤	TD1CP3<CPRG3[15:0]>	< TD1CP4<CPRG4[15:0]>	A	A
	TD1CP3<CPRG3[15:0]> <	TD1CP4<CPRG4[15:0]>	≤ TD1CP0<CPRG0[15:0]>	A	A

A : 有効
NA : 無効

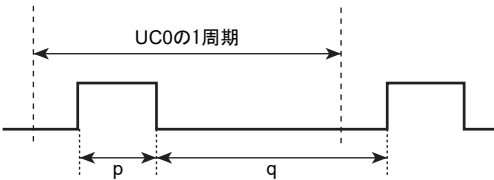
注) 本製品におけるレジスタ設定範囲は TMRD のソースクロックによって異なります。設定範囲は「製品情報」の章をご参照ください。

矩形波出力の周期 T_n は、TMRDCLK $_n$ の周波数を f_{CLK_n} とすると、下記で計算します。

- (1) PPG の場合 $n = 0, 1$
$$T_n = (1/f_{CLK_n}) \times TD_nCP0<CPRG0[15:0]>$$
- (2) 連動 PPG の場合
$$T = (1/f_{CLK_0}) \times TD0CP0<CPRG0[15:0]>$$

矩形波出力の Duty は、TMRDCLK $_0$ の周波数を f_{CLK_0} とすると下記で計算されます。

- ・ PPG00 の場合
$$p : q = \{CPRG2[15:0] - CPRG1[15:0]\} : \{CPRG0[15:0] - CPRG2[15:0] + CPRG1[15:0]\}$$



12.5.2 各動作モードと割り込み

表 12-5 に各動作モードと割り込み要因の関係について示します。

INTTD0CMP0 は、TD0CR<TDISO[1:0]>、INTTD1CMP0 は TD1CR<TDISO[1:0]>の値によって割り込み要因を設定します。それ以外の割り込み要求は要因は固定です。

表 12-5 各動作モードと割り込み要因

タイマ ユニット	割り込み要求	割り込み要因		16 ビットプログラマブル 矩形波出力	
		TDnCR <TDISO[1:0]>		PPG モー ド	連動 PPG モード
TMR0	INTTD0CMP0	00	要因なし	×	×
		01	コンパレータ 00(CP00)の一致検出	○	○
		10	コンパレータ 05(CP05)の一致検出	○	○
		11	カウンタ 0(UC0)のオーバフロー	×	×
	INTTD0CMP1	コンパレータ 01(CP01)の一致検出		○	○
	INTTD0CMP2	コンパレータ 02(CP02)の一致検出		○	○
	INTTD0CMP3	コンパレータ 03(CP03)の一致検出		○	○
	INTTD0CMP4	コンパレータ 04(CP04)の一致検出		○	○
TMR1	INTTD1CMP0	00	要因なし	×	×
		01	コンパレータ 10(CP10)の一致検出	○	×
		10	要因なし	×	×
		11	カウンタ 1(UC1)のオーバフロー	×	×
	INTTD1CMP1	コンパレータ 11(CP11)の一致検出		○	○
	INTTD1CMP2	コンパレータ 12(CP12)の一致検出		○	○
	INTTD1CMP3	コンパレータ 13(CP13)の一致検出		○	○
	INTTD1CMP4	コンパレータ 14(CP14)の一致検出		○	○

第 13 章 4 バイト FIFO 付きシリアルチャネル(SIO/UART)

13.1 概要

シリアルチャネル(SIO/UART)は次の動作モードを持っています。

- ・ 同期通信モード(I/O インタフェースモード)
- ・ 非同期通信モード(UART モード)

特長は以下のとおりです。

- ・ 転送クロック
 - プリスケアラでペリフェラルクロック($\phi T0$)を 1/1、1/2、1/4、1/8、1/16、1/32、1/64、1/128 分周
 - プリスケアラ出力クロックに対し、1~16 分周が可能
 - プリスケアラ出力クロックに対し、 $N + m/16$ ($N = 2 \sim 15$, $m = 1 \sim 15$)分周が可能
(UART モードのみ)
 - システムクロック(fsys)を使用可能(UART モードのみ)
- ・ バッファ
 - ダブルバッファ構成で使用可能
 - 送信バッファのクリアが可能
- ・ FIFO
 - 送受信合わせて 4 バイトの FIFO を使用可能
- ・ I/O インタフェースモード
 - 転送モード：半 2 重(受信/送信)、全 2 重
 - クロック：出力(立ち上がりエッジ固定)/入力(立ち上がり/立ち下がりエッジ選択)
 - 連続転送時のインタバル時間設定が可能
 - 最終ビット出力後の SCxTXD 端子の状態を下記から選択可能
"High"保持/"Low"保持/最終ビット保持
 - クロック入力モード時、アンダランエラーが発生したときの SCxTXD 端子の状態を下記から選択可能
"High"保持/"Low"保持
 - クロック入力モード時、SCxTXD 端子の最終ビットホールド時間を設定可能
- ・ UART モード
 - データ長：7, 8, 9 ビット
 - パリティ付加(9 ビット長では不可)
 - シリアルリンクでのウエイクアップ機能
 - $\overline{\text{SCxCTS}}$ 端子を用いたハンドシェイク機能
 - SCxRXD 端子へのノイズキャンセラ付加

以下の説明中、"x"はチャネル番号をあらわします。

13.2 構成

下記にシリアルチャネルとシリアルクロック生成回路のブロック図を示します。

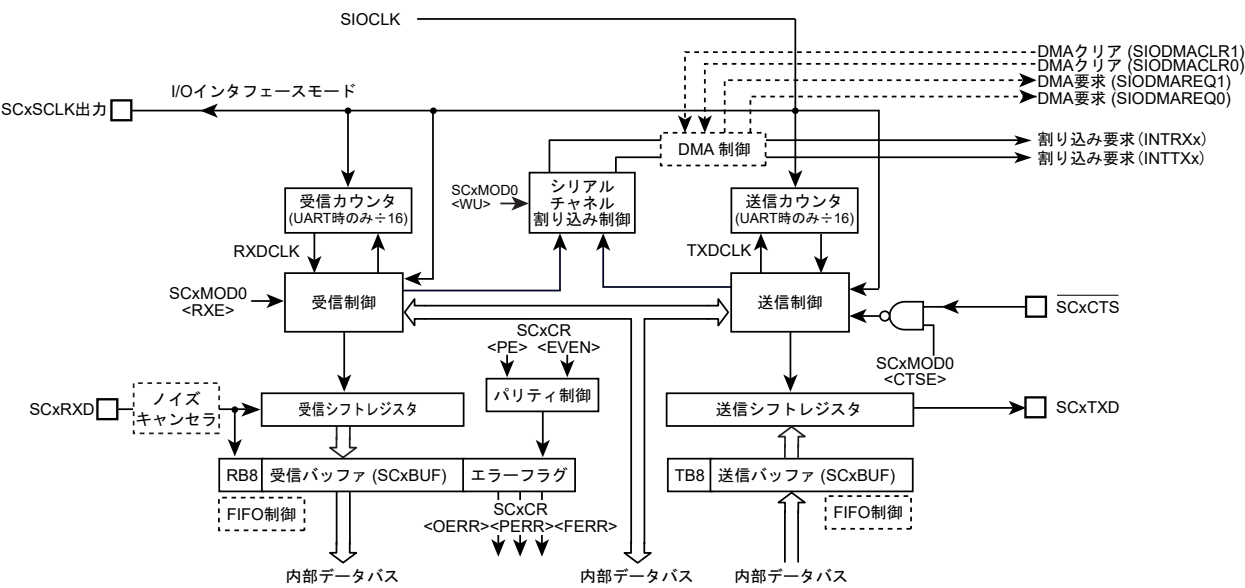


図 13-1 シリアルチャネルブロック図

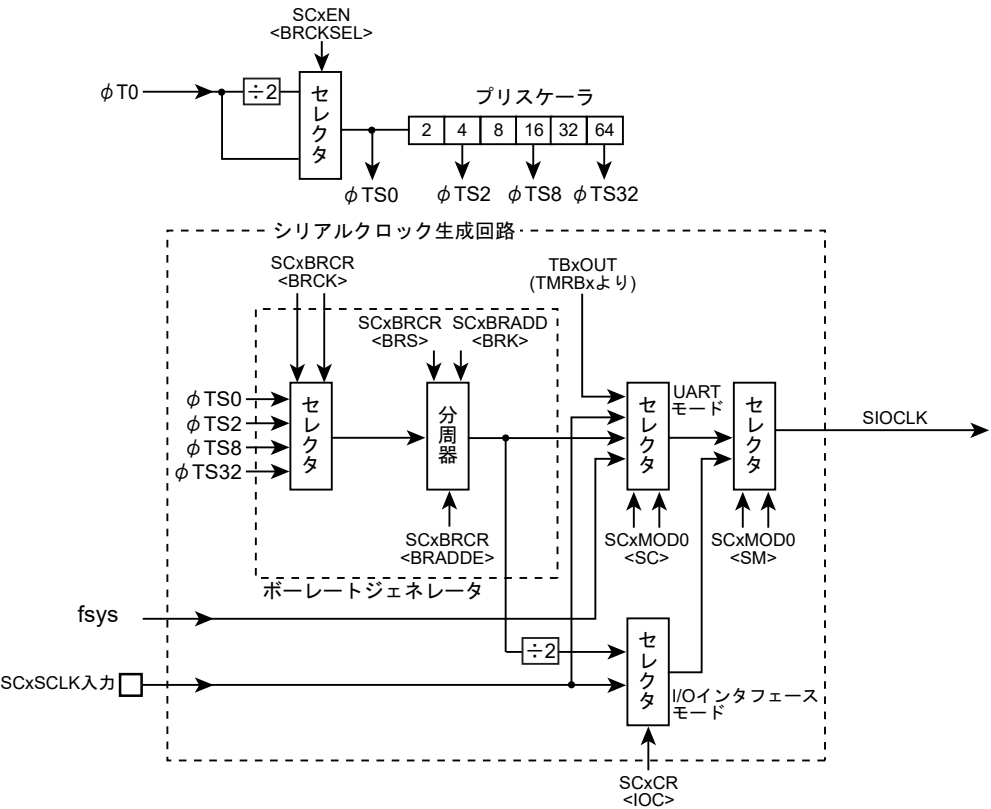


図 13-2 シリアルクロック生成回路ブロック図

13.3 レジスタ説明

13.3.1 レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
イネーブルレジスタ	SCxEN	0x0000
送受信バッファレジスタ	SCxBUF	0x0004
コントロールレジスタ	SCxCR	0x0008
モードコントロールレジスタ 0	SCxMOD0	0x000C
ボーレートジェネレータコントロールレジスタ	SCxBRCR	0x0010
ボーレートジェネレータコントロールレジスタ 2	SCxBRADD	0x0014
モードコントロールレジスタ 1	SCxMOD1	0x0018
モードコントロールレジスタ 2	SCxMOD2	0x001C
受信 FIFO コンフィグレジスタ	SCxRFC	0x0020
送信 FIFO コンフィグレジスタ	SCxTFC	0x0024
受信 FIFO ステータスレジスタ	SCxRST	0x0028
送信 FIFO ステータスレジスタ	SCxTST	0x002C
FIFO コンフィグレジスタ	SCxFCNF	0x0030
DMA 要求許可レジスタ	SCxDMA	0x0034

注) 送信、受信中(受信許可の状態) に制御レジスタの変更を行わないでください。

13.3.2 SCxEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	BRCKSEL	SIOE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	—	R	リードすると"0"が読めます。
1	BRCKSEL	R/W	ブリスケーラの入カクロックを選択します。 0: ϕ T0/2 1: ϕ T0
0	SIOE	R/W	シリアルチャネル動作 0: 禁止 1: 動作 シリアルチャネルの動作を指定します。シリアルチャネルを使用する場合は、まず<SIOE>に"1"を セットしてください。 動作禁止の状態では、イネーブルレジスタを除くシリアルチャネルの全てのクロックが停止しますの で消費電力の低減が可能です。 シリアルチャネルをいったん動作させた後に動作禁止にした場合は、レジスタの設定は保持されます。

13.3.3 SCxBUF (バッファレジスタ)

SCxBUF は、書き込みするときは送信バッファまたは FIFO、読み出しするときは受信バッファまたは FIFO として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB / RB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	TB[7:0] / RB [7:0]	R/W	[ライト] TB : 送信用バッファまたは FIFO [リード] RB : 受信用バッファまたは FIFO

13.3.4 SCxCR (コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	EHOLD			-	TXDEMP	TIDLE	
リセット後	0	0	0	0	0	1	1	0
	7	6	5	4	3	2	1	0
bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-15	—	R	リードすると"0"が読めます。
14-12	EHOLD[2:0]	R/W	クロック入力モードの SCxTXD 端子の最終ビットホールド時間の設定(I/O インタフェースモードのみ有効) 最終ビットのホールド時間 ≤ SCLK 周期/2 となるように、最終ビットのホールド時間、SCLK 周期を設定してください。 000: 2/fsys100: 32/fsys 001: 4/fsys101: 64/fsys 010: 8/fsys110: 128/fsys 011: 16/fsys111: Reserved
11	—	R	リードすると"0"が読めます。
10	TXDEMP	R/W	クロック入力モード時、アンダランエラーが発生したときの SCxTXD 端子の状態選択(I/O インタフェースモードのみ有効) 0: "Low"出力 1: "High"出力
9-8	TIDLE[1:0]	R/W	最終ビット出力後の SCxTXD 端子の状態選択(I/O インタフェースモードのみ有効) <TIDLE[1:0]>="10"を設定したときには、<EHOLD[2:0]>="000"を設定してください。 00: "Low"出力保持 01: "High"出力保持 10: 最終ビット保持 11: Reserved
7	RB8	R	受信データビット 8 (UART モードのみ有効) 9 ビット UART モード時の 9 ビット目の受信データです。
6	EVEN	R/W	パリティ (UART モードのみ有効) パリティの条件を設定します。パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。 0: Odd 1: Even
5	PE	R/W	パリティ付加(UART モードのみ有効) 0: 禁止 1: 許可 パリティ許可/禁止を制御するビットです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
4	OERR	R	オーバランエラー (注) 0: エラーではない 1: エラー
3	PERR	R	パリティ/アンダランエラー (注) 0: エラーではない 1: エラー

Bit	Bit Symbol	Type	機能
2	FERR	R	フレーミングエラー (注) 0: エラーではない 1: エラー
1	SCLKS	R/W	入カクロックエッジ選択(I/O インタフェース用) クロック出力モードのときは"0"を設定してください。 0: SCxSCLK 端子の立ち下がりエッジで送信バッファのデータを 1bit ずつ SCxTXD 端子へ出力します。 SCxSCLK 端子の立ち上がりエッジで SCxRXD 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCxSCLK 端子は High レベルからスタートします(立ち上がりモード)。 1: SCxSCLK 端子の立ち上がりエッジで送信バッファのデータを 1bit ずつ SCxTXD 端子へ出力します。 SCxSCLK 端子の立ち下がりエッジで SCxRXD 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCxSCLK 端子は Low レベルからスタートします。(立ち下がりモード)
0	IOC	R/W	クロック選択(I/O インタフェースモード用) 0: クロック出力モード (転送クロックは SCxSCLK 端子から出力されます) 1: クロック入力モード (転送クロックは SCxSCLK 端子から入力されます)

注) <OERR>, <PERR>, <FERR>は読み出すとクリアされます。

13.3.5 SCxMOD0 (モードコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB8	CTSE	RXE	WU	SM		SC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TB8	R/W	送信データビット 8 (UART モードのみ) 9 ビット UART モード時の 9 ビット目の送信データをセットします。
6	CTSE	R/W	ハンドシェイク機能制御 (UART モードのみ) 0: CTS ディセーブル 1: CTS イネーブル ハンドシェイク機能の制御を行います。 "1"を設定すると SCxCTS 端子を用いたハンドシェイク機能が使用可能になります。
5	RXE	R/W	受信制御(注 1)(注 2) 0: 禁止 1: 許可
4	WU	R/W	ウェイクアップ機能 (UART モードのみ) 0: ディセーブル 1: イネーブル 9 ビット UART モードの場合のみ有効で、その他のモードでは無視されます。 イネーブルの場合、受信データ 9 ビット目が"1"のときのみ割り込みが発生します。
3-2	SM[1:0]	R/W	シリアル転送モード 00: I/O インタフェースモード 01: 7 ビット UART モード 10: 8 ビット UART モード 11: 9 ビット UART モード
1-0	SC[1:0]	R/W	シリアル転送クロック (UART モードのみ) 00: TMRB 出力 01: ボーレートジェネレータ 10: システムクロック(fsys) 11: 外部クロック(SCxSCLK 端子入力) (I/O インタフェースモード時の転送クロックは、SCxCR<IOC>で選択します。)

注 1) <RXE>は、全ての設定が終わった後に許可してください。

注 2) 受信中に動作を停止(SCxMOD0<RXE>を"0"にクリア)しないでください。

13.3.6 SCxMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	FDPX		TXE	SINT			-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R/W	"0"をライトしてください。
6-5	FDPX[1:0]	R/W	転送モード設定 00: 転送禁止 01: 半 2 重(受信) 10: 半 2 重(送信) 11: 全 2 重 I/O インタフェースモード時の転送モードを設定します。 また FIFO が許可されている場合は、FIFO 構成を指定します。UART モードの場合は、FIFO 構成の指定のみ行われます。
4	TXE	R/W	送信制御(注 1) (注 2) 0: 禁止 1: 許可 全転送モードに有効な送信許可ビットです。
3-1	SINT[2:0]	R/W	連続転送時のインタバル時間(I/O インタフェースモード用) 000: なし 001: 1 x SCLK 周期 010: 2 x SCLK 周期 011: 4 x SCLK 周期 100: 8 x SCLK 周期 101: 16 x SCLK 周期 110: 32 x SCLK 周期 111: 64 x SCLK 周期 I/O インタフェースモードでクロック出力モードの場合に有効なビットです。その他のモードでは意味を持ちません。 I/O インタフェースモードで、ダブルバッファまたは FIFO が許可されているときに連続転送のインタバル時間を指定します。
0	-	R/W	"0"をライトしてください。

注 1) <TXE>ビットは、全ての設定を行った後に許可してください。

注 2) 送信中に動作を停止(SCxMOD1<TXE>を"0"にクリア)しないでください。

13.3.7 SCxMOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEMP	RBFLl	TXRUN	SBLen	DRCHG	WBUF	SWRST	
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能											
31-8	–	R	リードすると"0"が読めます。											
7	TBEMP	R	送信バッファエンプティフラグ 0: Full 1: Empty ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され empty になると"1"になり、送信データが書き込まれると"0"になります。											
6	RBFLl	R	受信バッファ full フラグ 0: Empty 1: Full ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファヘデータが格納されると"1"になり、受信バッファを読み出すと"0"になります。											
5	TXRUN	R	送信動作中フラグ 0: 停止 1: 動作 送信シフト動作中を示すステータスフラグです。 <TXRUN>と<TBEMP>ビットで以下のような状態を示します。 <table><tr><th><TXRUN></th><th><TBEMP></th><th>状態</th></tr><tr><td>1</td><td>–</td><td>送信動作中</td></tr><tr><td rowspan="2">0</td><td>1</td><td>送信が完全に終了</td></tr><tr><td>0</td><td>送信バッファに次のデータがあり送信待ち</td></tr></table>	<TXRUN>	<TBEMP>	状態	1	–	送信動作中	0	1	送信が完全に終了	0	送信バッファに次のデータがあり送信待ち
<TXRUN>	<TBEMP>	状態												
1	–	送信動作中												
0	1	送信が完全に終了												
	0	送信バッファに次のデータがあり送信待ち												
4	SBLen	R/W	送信 STOP ビット長(UART モード用) 0: 1 ビット 1: 2 ビット UART モード時の送信 STOP ビットの長さを指定します。 受信の場合は設定に関わらず STOP ビット長は 1 ビットであるとして動作します。											
3	DRCHG	R/W	転送方向設定 0: LSB first 1: MSB first 転送方向を指定します。 UART モード時は LSB first に設定してください。											
2	WBUF	R/W	ダブルバッファの許可 0: 不許可 1: 許可 I/O インタフェースモードの送信(クロック出力/入力モード), 受信(クロック出力モード), UART モードの送信時に、送信、受信のダブルバッファの許可/不許可を指定します。 I/O インタフェースモードの受信(クロック入力モード), UART モードの受信時は設定に関わらず、常にダブルバッファは許可されます。											

Bit	Bit Symbol	Type	機能	
1-0	SWRST[1:0]	R/W	ソフトウェアリセット	
			"10"→"01"の順に書き込むことでソフトウェアリセットが発生します。	
			ソフトウェアリセットにより、以下のビットが初期化されます。また、送受信回路と FIFO は初期状態になります。(注 1) (注 2)	
			レジスタ名	ビット
			SCxMOD0	<RXE>
			SCxMOD1	<TXE>
			SCxMOD2	<TBEMP>, <RBFLL>, <TXRUN>
SCxCR	<OERR>, <PERR>, <FERR>			

注 1) 転送動作中にソフトウェアリセットを実施する場合は 2 回連続して実行してください。

注 2) ソフトウェアリセット動作が完了するのに、命令実行後 2 クロックが必要です。

13.3.8 SCxBRCR (ボーレートジェネレータコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	BRADDE	BRCK		BRS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R/W	"0"をライトしてください。
6	BRADDE	R/W	N + (16 - K)/16 分周機能(UART モードのときのみ) 0: ディセーブル 1: イネーブル
5-4	BRCK[1:0]	R/W	ボーレートジェネレータ入カクロック選択 00: φTS0 01: φTS2 10: φTS8 11: φTS32
3-0	BRS[3:0]	R/W	分周値"N"の設定 0000 : N = 16 0001 : N = 1 0010 : N = 2 : 1111 : N = 15

- 注 1) UART モードで N + (16 - K)/16 分周機能を使用する場合、分周値"N"に 1 分周("0001")と 16 分周("0000")は設定できません。
- 注 2) I/O インタフェースモードの場合、分周値"N"に 1 分周("0001")を設定できるのはダブルバッファを使用する場合のみです。

13.3.9 SCxBRADD (ボーレートジェネレータコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BRK			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	—	R	リードすると"0"が読めます。
3-0	BRK[3:0]	R/W	N + (16 - K)/16 分周の K 値の設定(UART モード用) 0000: 設定禁止 0001: K = 1 0010: K = 2 : 1111: K = 15

ボーレートジェネレータ分周値の設定方法を表 13-1 にまとめます。

表 13-1 分周値の設定方法

	<BRADDE> = "0"のとき	<BRADDE> = "1"のとき (注 1) (UART モードのみ使用可能)
<BRS>の設定	分周値"N"を設定	
<BRK>の設定	設定不要	"K"値を設定 (注 2)
分周値	N 分周	$N + \frac{(16 - K)}{16}$ 分周

注 1) N + (16 - K)/16 分周機能を使用する場合、必ず<BRK>に"K"値を設定後に<BRADDE> = "1"を設定してください。この機能は、UART モードのときのみ使用可能です。

注 2) "K"値に"0"を設定することはできません。

13.3.10 SCxFCNF (FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	RFST	TFIE	RFIE	RXTXCNT	CNFG
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能							
31-8	-	R	リードすると"0"が読めます。							
7-5	-	R/W	必ず"000"を書き込んでください。							
4	RFST	R/W	受信 FIFO 使用バイト数 0: 最大 1: 受信 FIFO の FILL レベルに同じ 受信 FIFO 使用バイト数の設定ビットです。(注 1) "0"の場合、構成されている FIFO の最大のバイト数(<CNFG>ビットの説明を参照。)が使用可能です。 "1"の場合、SCxRFC<RIL[1:0]>で指定された FILL レベルのバイト数になります。							
3	TFIE	R/W	送信 FIFO 使用時の送信割り込み許可 0: 禁止 1:許可 送信 FIFO が有効にされているときの送信割り込みの禁止/許可を切り替えます。							
2	RFIE	R/W	受信 FIFO 使用時の受信割り込み許可 0: 禁止 1:許可 受信 FIFO が有効にされているときの受信割り込みの禁止/許可を切り替えます。							
1	RXTXCNT	R/W	RXE/TXE の自動禁止 0: なし 1: 自動禁止 送信/受信の自動禁止機能の制御ビットです。 "1"に設定した場合、設定された通信方式により以下のように動作します。 <table><tr><td>半 2 重受信</td><td>受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 <RXE>)が"0"となり、受信が禁止される。</td></tr><tr><td>半 2 重送信</td><td>送信 FIFO、送信バッファおよび送信シフトレジスタの全てのデータ送信が終了すると自動的に送信許可ビット(<TXE>)が"0"となり、送信が禁止される。</td></tr><tr><td>全 2 重</td><td>上記の半 2 重受信または半 2 重送信のどちらかの条件が成立すると自動的に送信許可ビット、受信許可ビットとも"0"となり、送受信が禁止される。</td></tr></table>		半 2 重受信	受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 <RXE>)が"0"となり、受信が禁止される。	半 2 重送信	送信 FIFO、送信バッファおよび送信シフトレジスタの全てのデータ送信が終了すると自動的に送信許可ビット(<TXE>)が"0"となり、送信が禁止される。	全 2 重	上記の半 2 重受信または半 2 重送信のどちらかの条件が成立すると自動的に送信許可ビット、受信許可ビットとも"0"となり、送受信が禁止される。
半 2 重受信	受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 <RXE>)が"0"となり、受信が禁止される。									
半 2 重送信	送信 FIFO、送信バッファおよび送信シフトレジスタの全てのデータ送信が終了すると自動的に送信許可ビット(<TXE>)が"0"となり、送信が禁止される。									
全 2 重	上記の半 2 重受信または半 2 重送信のどちらかの条件が成立すると自動的に送信許可ビット、受信許可ビットとも"0"となり、送受信が禁止される。									
0	CNFG	R/W	FIFO の許可 0: 禁止 1: 許可 FIFO 使用の許可ビットです。(注 2) "1"に設定すると FIFO が使用可能となります。設定された通信方式により FIFO の構成は以下のようになります。 <table><tr><td>半 2 重受信</td><td>受信 FIFO 4 バイト</td></tr><tr><td>半 2 重送信</td><td>送信 FIFO 4 バイト</td></tr><tr><td>全 2 重</td><td>受信 FIFO 2 バイト + 送信 FIFO 2 バイト</td></tr></table>		半 2 重受信	受信 FIFO 4 バイト	半 2 重送信	送信 FIFO 4 バイト	全 2 重	受信 FIFO 2 バイト + 送信 FIFO 2 バイト
半 2 重受信	受信 FIFO 4 バイト									
半 2 重送信	送信 FIFO 4 バイト									
全 2 重	受信 FIFO 2 バイト + 送信 FIFO 2 バイト									

注 1) 送信 FIFO は常に構成されている FIFO の最大バイト数(<CNFG>の説明を参照)を使用できます。

注 2) 9 ビット UART モードでは FIFO は使用できません。

13.3.11 SCxRFC (受信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RFCS	RFIS	-	-	-	-	RIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能															
31-8	－	R	リードすると"0"が読めます。															
7	RFCS	W	受信 FIFO クリア(注 1) 1: クリア "1"を書き込むと受信 FIFO がクリアされ、SCxRST<RLVL>="000"となります。また、リードポインタも初期化されます。 リードすると"0"が読めます。															
6	RFIS	R/W	割り込み発生条件選択 0: FIFO fill レベル(SCxRST<RLVL[2:0]>) = 割り込み発生 fill レベル(<RIL[1:0]>) のとき 1: FIFO fill レベル(SCxRST<RLVL[2:0]>) ≥ 割り込み発生 fill レベル(<RIL[1:0]>) のとき 割り込み発生タイミングの詳細については、13.13.1.2 を参照してください。															
5-2	－	R	リードすると"0"が読めます。															
1-0	RIL[1:0]	R/W	受信割り込みが発生する受信 FIFO の fill レベル <table><tr><td></td><td>半 2 重</td><td>全 2 重</td></tr><tr><td>00</td><td>4 バイト</td><td>2 バイト</td></tr><tr><td>01</td><td>1 バイト</td><td>1 バイト</td></tr><tr><td>10</td><td>2 バイト</td><td>2 バイト</td></tr><tr><td>11</td><td>3 バイト</td><td>1 バイト</td></tr></table>		半 2 重	全 2 重	00	4 バイト	2 バイト	01	1 バイト	1 バイト	10	2 バイト	2 バイト	11	3 バイト	1 バイト
	半 2 重	全 2 重																
00	4 バイト	2 バイト																
01	1 バイト	1 バイト																
10	2 バイト	2 バイト																
11	3 バイト	1 バイト																

注) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半 2 重/全 2 重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

13.3.12 SCxTFC (送信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	TBCLR
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TFCS	TFIS	-	-	-	-	TIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能															
31-9	—	R	リードすると"0"が読めます。															
8	TBCLR	W	送信バッファクリア 0: Don't care 1: クリア "1"を書き込むと送信バッファがクリアされます。 リードすると"0"が読めます。															
7	TFCS	W	送信 FIFO クリア(注 1) 0: Don't care 1: クリア "1"を書き込むと送信 FIFO がクリアされ、SCxTST<TLVL>="000"となります。また、ライトポインタも初期化されます。 リードすると"0"が読めます。															
6	TFIS	R/W	割り込み発生条件選択 0: FIFO fill レベル(SCxTST<TLVL[2:0]>) = 割り込み発生 fill レベル(<TIL[1:0]>) のとき 1: FIFO fill レベル(SCxTST<TLVL[2:0]>) ≤ 割り込み発生 fill レベル(<TIL[1:0]>) のとき 割り込み発生タイミングの詳細については、13.13.2.2 を参照してください。															
5-2	—	R	リードすると"0"が読めます。															
1-0	TIL[1:0]	R/W	送信割り込みが発生する FIFO の fill レベル <table><tr><td></td><td>半 2 重</td><td>全 2 重</td></tr><tr><td>00</td><td>Empty</td><td>Empty</td></tr><tr><td>01</td><td>1 バイト</td><td>1 バイト</td></tr><tr><td>10</td><td>2 バイト</td><td>Empty</td></tr><tr><td>11</td><td>3 バイト</td><td>1 バイト</td></tr></table>		半 2 重	全 2 重	00	Empty	Empty	01	1 バイト	1 バイト	10	2 バイト	Empty	11	3 バイト	1 バイト
	半 2 重	全 2 重																
00	Empty	Empty																
01	1 バイト	1 バイト																
10	2 バイト	Empty																
11	3 バイト	1 バイト																

注 1) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半 2 重/全 2 重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

注 2) SCxEN<SIOE>=0(SIO/UART 動作禁止)、または SCxMOD1<I2SC>=0 で IDLE モードへの移行(IDLE モード中の動作停止)した場合は、必ず SCxTFC の再設定を行ってください。

13.3.13 SCxRST (受信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ROR	-	-	-	-	RLVL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	—	R	リードすると"0"が読めます。
7	ROR	R	受信 FIFO オーバラン(注) 0: オーバランは発生していない 1: オーバラン発生
6-3	—	R	リードすると"0"が読めます。
2-0	RLVL[2:0]	R	受信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注) <ROR>はバッファレジスタ(SCxBUF)を読み出すと"0"にクリアされます。

13.3.14 SCxTST (送信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TUR	-	-	-	-	TLVL		
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	TUR	R	送信 FIFO アンダラン(注) 0: アンダランは発生していない 1: アンダラン発生
6-3	-	R	リードすると"0"が読めます。
2-0	TLVL[2:0]	R	送信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注) <TUR>はバッファレジスタ(SCxBUF)に書き込みを行うと"0"にクリアされます。

13.3.15 SCxDMA (DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	DMAEN1	DMAEN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	Read as 0.
1	DMAEN1	R/W	受信割り込みによる DMA 要求(受信割り込み INTRX 発生により DMA リクエストを発行) 0: 禁止 1: 許可
0	DMAEN0	R/W	送信割り込みによる DMA 要求(送信割り込み INTTX 発生により DMA リクエストを発行) 0: 禁止 1: 許可

注) DMA 要求(転送)中に同要求が発行された場合、要求は保持されずネスティングされません。

13.4 動作モード

表 13-2 にモードをまとめます。

表 13-2 モードとデータフォーマット

モード	種類	データ長	転送方向	パリティ付加	STOP ビット長(送信)
モード 0	同期通信モード (I/O インタフェースモード)	8 ビット	LSB first/MSB first	-	-
モード 1	非同期通信モード (UART モード)	7 ビット	LSB first	○	1 ビットまたは 2 ビット
モード 2		8 ビット		○	
モード 3		9 ビット		×	

モード 0 は同期通信モードで、I/O を拡張するために使用できます。SCLK クロックに同期してデータの送受信を行います。SCLK クロックはクロック入力/出力モードのいずれでも使用できます。転送方向は、LSB first と MSB first から選択可能です。パリティ付加機能はなく、STOP ビットも使用しません。

モード 1 からモード 3 は非同期通信モードです。転送方向は LSB first のみ選択できます。

モード 1 とモード 2 はパリティビットの付加が可能です。モード 3 は、マスタコントローラが、シリアルリンク(マルチコントローラシステム)でスレーブコントローラを起動させるためのウェイクアップ機能を持っています。送信時の STOP ビットを 1 ビットまたは 2 ビットから選択できます。受信時の STOP ビット長は 1 ビット固定です。

13.5 データフォーマット

13.5.1 データフォーマット一覧

図 13-3 にデータフォーマットを示します。

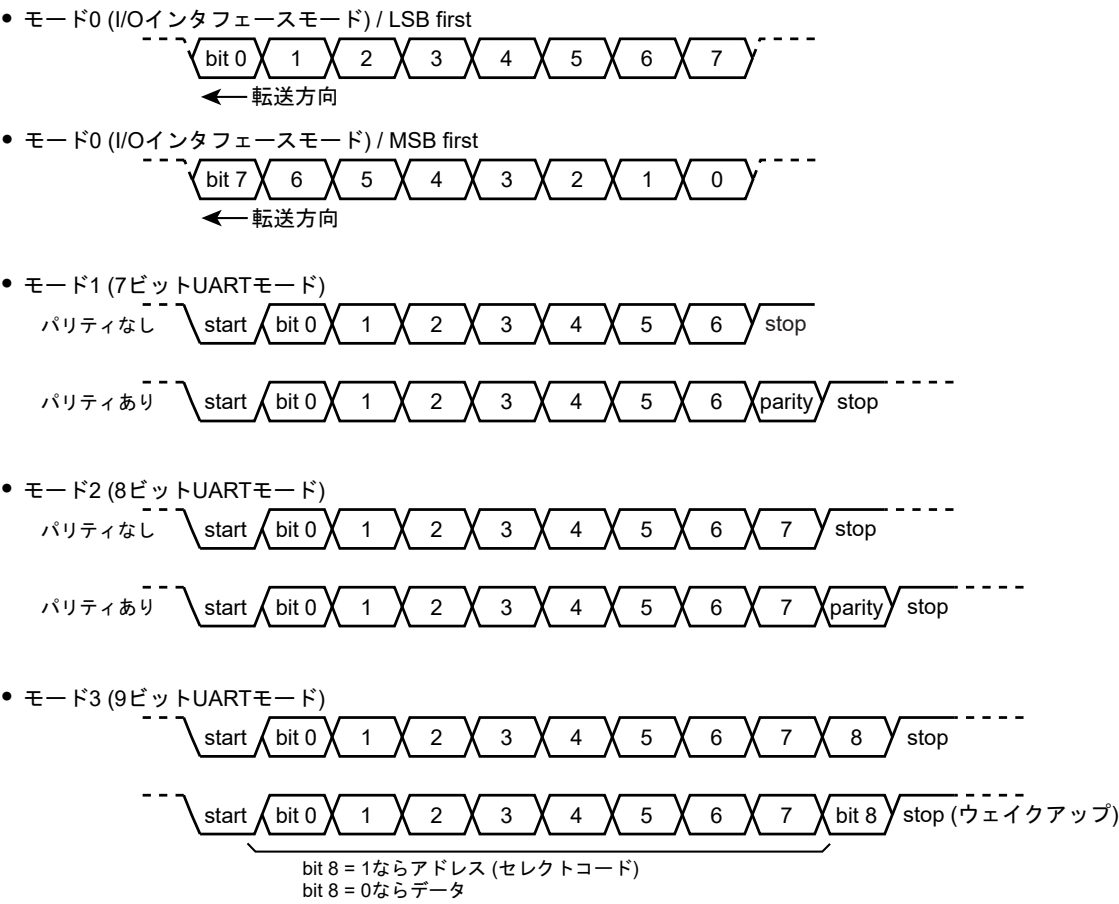


図 13-3 データフォーマット

13.5.2 パリティ制御

7 ビット UART モードまたは 8 ビット UART モードでは送信データにパリティビットを付加することができます。また、受信データに付加されているパリティビットを生成されたパリティビットと比較することができます。

SCxCR<PE>に"1"を設定するとパリティが有効になります。SCxCR<EVEN>で偶数/奇数パリティを選択することができます。

13.5.2.1 送信

送信時、パリティ制御回路は送信バッファのデータに対して自動的にパリティを発生し、7 ビット UART モードのときは SCxBUF<TB7>に、8 ビット UART モードのときは SCxMOD0<TB8>にパリティが格納されます。

なお<PE>と<EVEN>の設定は、送信データをバッファレジスタに書き込む前に行ってください。

13.5.2.2 受信

受信データが受信シフトレジスタから受信バッファに移されるとパリティを自動発生し、7 ビット UART モードのときは SCxBUF<RB7>と、8 ビット UART モードのときは SCxCR<RB8>と生成したパリティを比較します。異なっているとパリティエラーが発生し、SCxCR<PERR>がセットされます。

FIFO を使用する場合、<PERR>は受信したいずれかのデータでパリティエラーが発生したことを示します。

13.5.3 STOP ビット長

SCxMOD2<SBLN>で、UART 送信モードの STOP ビット長を 1 ビットまたは 2 ビットに設定できます。受信の場合にはこのビットの設定にかかわらず 1 ビットの STOP ビット長として認識します。

13.6 クロック制御

13.6.1 プリスケアラ

7 ビットのプリスケアラを実装しており、 $\phi T0$ の 1 / 2 / 4 / 8 / 16 / 32 / 64 / 128 分周のクロックを生成します。

プリスケアラの入力クロックは、クロック/モード制御部の CGSYSCR と SCxEN<BRCKSEL>で選択します。

プリスケアラは、SCxMOD0<SC[1:0]>="01"でボーレートジェネレータを転送クロックとして選択した場合に動作します。

13.6.2 シリアルクロック生成回路

送受信クロック(SIOCLK)を生成するブロックで、ボーレートジェネレータとモードによりクロックを選択する回路で構成されています。

13.6.2.1 ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

(1) ボーレートジェネレータ入力クロック

ボーレートジェネレータの入力クロックは、プリスケアラ出力の 1 / 4 / 16 / 64 分周から選択します。入力クロックの選択は SCxEN<BRCKSEL>と SCxBRCR<BRCK>で行います。

SCxEN<BRCKSEL>	SCxBRCR<BRCK>	ボーレートジェネレータ入力 ϕTx
0	00	$\phi T0/2$
0	01	$\phi T0/8$
0	10	$\phi T0/32$
0	11	$\phi T0/128$
1	00	$\phi T0$
1	01	$\phi T0/4$
1	10	$\phi T0/16$
1	11	$\phi T0/64$

(2) ボーレートジェネレータ出力クロック

ボーレートジェネレータの出力クロック分周値は、SCxBRCR、 SCxBRADD で設定します。

I/O インタフェースモードでは N 分周、UART モードでは N 分周または N + (16-K)/16 分周が使用できます。

以下に設定可能な分周値をまとめます。

モード	分周機能設定 SCxBRCR<BRADDE>	N 分周値 SCxBRCR<BRS[3:0]>	K 値 SCxBRADD<BRK[3:0]>
I/O インタフェース	N 分周	1 ~ 16 (注)	-
UART	N 分周	1 ~ 16	-
	N + (16-K)/16 分周	2 ~ 15	1 ~ 15

注) 1 分周は、ダブルバッファ許可時のみ使用できます。

ボーレートジェネレータ分周機へのクロック入力を ϕTx としたとき、N 分周の場合と $N + (16-K)/16$ 分周の場合のボーレートジェネレータ出力クロックは以下の計算式であらわされます。

・ N 分周

$$\text{ボーレートジェネレータ出力クロック} = \frac{\phi Tx}{N}$$

・ $N + (16-K)/16$ 分周

$$\text{ボーレートジェネレータ出力クロック} = \frac{\phi Tx}{N + \frac{(16 - K)}{16}}$$

13.6.2.2 クロック選択回路

モードとレジスタ設定により、クロックが選択されます。

モードは SCxMOD0<SM[1:0]>で指定します。

I/O インタフェースモード時のクロックは、SCxCR<IOC><SCLKS>で設定します。

UART モード時のクロックは、SCxMOD0<SC[1:0]>で設定します。

(1) I/O インタフェースモードの転送クロック

表 13-3 に I/O インタフェースモードで可能なクロックを示します。

表 13-3 I/O インタフェースモードのクロック選択

モード SCxMOD0<SM[1:0]>	入出力選択 SCxCR<IOC>	クロックエッジ選択 SCxCR<SCLKS>	使用クロック
"00" (I/O インタフェース モード)	"0" (クロック出力 モード)	"0" (送信: 立ち下がり、 受信: 立ち上がり)	ボーレートジェネレータ出力の 2 分周
	"1" (クロック入力 モード)	"0" (送信: 立ち下がり、 受信: 立ち上がり)	SCxSCLK 端子入力
		"1" (送信: 立ち上がり、 受信: 立ち下がり)	SCxSCLK 端子入力

SCxSCLK 端子入力を使用する場合、以下の条件を満足する必要があります。

- ・ ダブルバッファ使用の場合
SCLK 周期 > 6/fsys
- ・ ダブルバッファ未使用の場合
SCLK 周期 > 8/fsys

(2) UART モードの転送クロック

表 13-4 に UART モードの場合のクロック選択を示します。UART モードでは、選択されたクロックを受信/送信カウンタでさらに 16 分周して使用します。

表 13-4 UART モードのクロック選択

モード SCxMOD0<SM[1:0]>	クロック選択 SCxMOD0<SC[1:0]>
UART モード ("01", "10", "11")	"00" : タイマ出力
	"01" : ボーレートジェネレータ
	"10" : fsys
	"11" : SCxSCLK 端子入力

SCxSCLK 端子入力を使用する場合、以下の条件を満足する必要があります。

- SCLK 周期 > 2/fsys

タイマの出力を使用する場合、カウンタと TBxRG1 の一致でタイマフリップフロップ出力を反転させる設定とします。SIOCLK クロック周期は「TBxRG1 設定値 × 2」となります。

ボーレートは以下の計算式で求められます。

ボーレートの算出方法

転送レート =
$$\frac{\text{CGSYSCR<PRCK[1:0]>で選択されたクロック周波数}}{(\text{TBxRG1} \times 2) \times 2 \times 16}$$

(タイマフリップフロップ反転2回で1クロック周期となる)

(タイマプリスケラクロックφT1 (2分周) を選択した場合)

13.7 送信/受信バッファと FIFO

13.7.1 構成

送信/受信バッファと FIFO の構成を図 13-4 に示します。

バッファと FIFO を使用するには設定が必要です。また、モードによっては構成が決まっている場合があります。

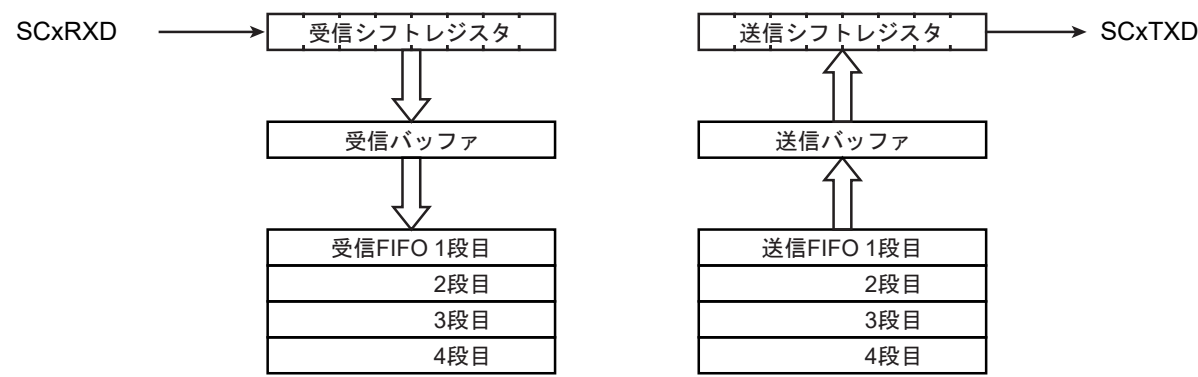


図 13-4 バッファと FIFO の構成

13.7.2 送信/受信バッファ

送信および受信バッファはダブルバッファ構造となっています。バッファ構成の設定は、SCxMOD2<WBUF>で行います。

受信の場合、I/O インタフェースモードでクロック入力モードの場合と UART モードでは、<WBUF>の設定によらずダブルバッファ構成になります。

その他のモードでは<WBUF>の設定に従います。

表 13-5 にモードとバッファ構成の関係をまとめます。

表 13-5 モードとバッファ構成

モード		SCxMOD2<WBUF>	
		"0"	"1"
UART モード	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェースモード (クロック入力モード)	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェースモード (クロック出力モード)	送信	シングル	ダブル
	受信	シングル	ダブル

13.7.3 送信バッファの初期化

送信バッファにデータが残っている状態で送信を中断した場合、送信バッファに新たにデータを書き込む前に送信バッファの初期化を行う必要があります。

送信バッファの初期化は、送信動作が停止している状態で行ってください。SCxMOD2<TXRUN>を読み出すことで、送信動作が停止しているかを判断できます。送信動作が停止していることが確認できたら、SCxTFC<TBCLR>に"1"を設定し、送信バッファの初期化を行います。

送信 FIFO が有効な場合、送信 FIFO の状態で動作が変わります。送信 FIFO にデータがある場合、送信 FIFO から送信バッファにデータが転送されます。送信 FIFO が空なら、SCxMOD2<TBEMP>が"1"にセットされます。

注) I/O インタフェースモードのクロック入力モードではクロックが非同期に入力されます。送信動作が停止しているときにクロックを入力しないようにしてください。

13.7.4 FIFO

ダブルバッファに加えて、4byte の FIFO を使用することができます。

FIFO を有効にするには SCxMOD2<WBUF>を"1"としてダブルバッファをイネーブルにし、SCxFCNF<CNFG>に"1"をセットします。FIFO バッファの構成は SCxMOD1<FDPX>で設定します。

注) 送信/受信 FIFO 使用するときは、SIO の転送モード設定(半 2 重/全 2 重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

表 13-6 にモードと FIFO 構成の関係をまとめます。

表 13-6 モードと FIFO 構成

	SCxMOD1<FDPX[1:0]>	受信 FIFO	送信 FIFO
半 2 重受信	"01"	4byte	-
半 2 重送信	"10"	-	4byte
全 2 重	"11"	2byte	2byte

13.8 ステータスフラグ

SCxMOD2 に 2 種類のステータスフラグが準備されています。これらのフラグはダブルバッファ許可の時のみ意味を持ちます。

<RBFL>は、受信バッファ full を示すフラグです。1 データの受信が終了し、データが受信シフトレジスタから受信バッファに移されると"1"にセットされます。受信バッファを読み出すと"0"にクリアされます。

<TBEMP>は、送信バッファ empty を示すフラグです。送信バッファから送信シフトレジスタへデータが移されると、"1"がセットされます。送信バッファにデータをセットすると"0"にクリアされます。

13.9 エラーフラグ

SCxCR に 3 種類のエラーフラグが準備されています。フラグによってはモードにより意味が変わります。以下にモードごとのフラグの意味をまとめます。

これらのフラグは、SCxCR を読み出すと"0"にクリアされます。

モード	フラグ		
	<OERR>	<PERR>	<FERR>
UART モード	オーバランエラー	パリティエラー	フレーミングエラー
I/O インタフェース モード (クロック入力モード)	オーバランエラー	アンダランエラー (ダブルバッファまたは FIFO 使用時)	"0"固定
		"0"固定 (ダブルバッファおよび FIFO 未使用時)	
I/O インタフェース モード (クロック出力モード)	不定	不定	"0"固定

13.9.1 OERR フラグ

UART モード、I/O インタフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了すると"1"にセットされます。

受信 FIFO を有効にしている場合は、受信 FIFO ヘデータが自動的に移されるので、受信 FIFO が Full(使用バイト数)になるまではフラグはセットされません。

I/O インタフェースモードのクロック出力モードの設定では、フラグのセットとともにクロック出力が停止します。

注) I/O インタフェースモードのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、オーバランフラグをクリアしてください。

13.9.2 PERR フラグ

UART モードではパリティエラーを、I/O インタフェースモードではアンダランエラーまたは送信終了を示します。

パリティエラーは UART モードで受信したデータから生成されたパリティと受信したパリティビットが異なる場合に"1"にセットされます。

アンダランエラーは、I/O インタフェースモードでダブルバッファが有効な場合に以下の条件で"1"にセットされます。

クロック入力モードの場合、送信シフトレジスタのデータを送信終了後、送信バッファにデータがない状態で次の転送クロックが入力されるとセットされます。

クロック出力モードの場合、全てのデータ送信が終了するとセットされクロック出力を停止します。

注) I/O インタフェースモードのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、アンダランフラグをクリアしてください。

13.9.3 FERR フラグ

フレーミングエラーは UART モードの受信データのストップビットを中央付近でサンプリングし、結果が"0"の場合に発生します。SCxMOD2<SBLEN>でのストップビット長設定に関わらず、判定は第1ストップビットで行われます。

I/O インタフェースモードではこのビットは"0"固定です。

13.10 受信

13.10.1 受信カウンタ

受信カウンタは4ビットのバイナリカウンタで、SIOCLK でカウントアップされます。

UART モードでは、データ 1 ビットの受信に SIOCLK が 16 クロック用いられ、8 クロック目でデータをサンプリングします。

13.10.2 受信制御部

13.10.2.1 I/O インタフェースモードの場合

SCxCR<IOC>="0"のクロック出力モードのときは、SCxSCLK 端子へ出力されるクロックの立ち上がりで SCxRXD 端子をサンプリングします。

SCxCR <IOC>="1"のクロック入力モードのときは、SCxCR<SCLKS>の設定に従って、SCxSCLK 端子の立ち上がり/立ち下がりエッジでシリアル受信データ SCxRXD 端子をサンプリングします。

13.10.2.2 UART モードの場合

受信制御部はスタートビット検出回路を持ち、正常なスタートビットを判断して受信動作を開始します。

13.10.3 受信動作

13.10.3.1 受信バッファの動作

受信シフトレジスタに受信データが 1 ビットずつ格納され、データがそろそろと割り込み INTRXx が発生します

ダブルバッファ設定の場合は、データは受信バッファ(SCxBUF)へ移され受信バッファの full フラグ(SCxMOD2<RBFL>)が"1"にセットされます。受信バッファ full フラグは、受信バッファを読み出すと"0"にクリアされます。シングルバッファの場合、受信バッファ full フラグは意味を持ちません。

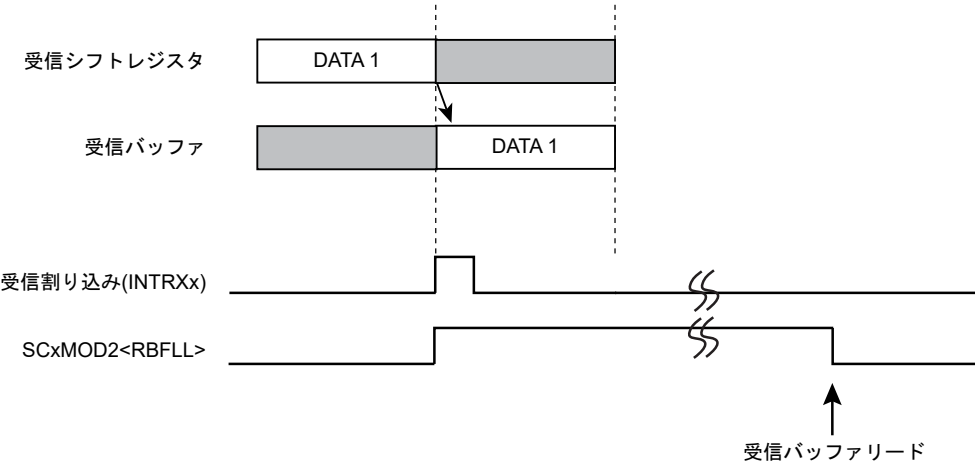


図 13-5 受信バッファの動作

13.10.3.2 受信 FIFO の動作

FIFO が許可されている場合、受信データは受信バッファから受信 FIFO に移され、受信バッファ full フラグは直ちにクリアされます。割り込みは SCxRFC<RIL[1:0]>の設定に従って発生します。

注) UART モードで、FIFO 使用時にパリティビット付きのデータ受信する場合、パリティエラーフラグは受信したいずれかのデータで発生したことを示します。

以下に、半 2 重受信の設定と動作を示します。

- SCxMOD1<FDPX[1:0]> = "01"
- : 転送モードを半 2 重受信に設定
- SCxFCNF<RFST><TFIE><RFIE>
- : fill レベル到達後の継続受信自動禁止
- <RXTCNT><CNFG> = "10111"
- 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
- SCxRFC<RIL[1:0]> = "00"
- : 受信割り込みが発生する FIFO の fill レベルを 4 バイトに設定
- SCxRFC<RFCS><RFIS> = "11"
- : 受信 FIFO のクリアと割り込み発生条件の設定

上記の FIFO 構成の設定後、SCxMOD0<RXE> に 1 を書き込むとデータ受信を開始します。受信シフトレジスタ、受信バッファ、受信 FIFO 全てにデータが格納されると<RXE>を自動クリアして受信を終了します。

上記の設定で、fill レベル到達後の継続受信を許可にしておくと、FIFO のデータを読み出すことにより継続して受信動作を行うことができます。

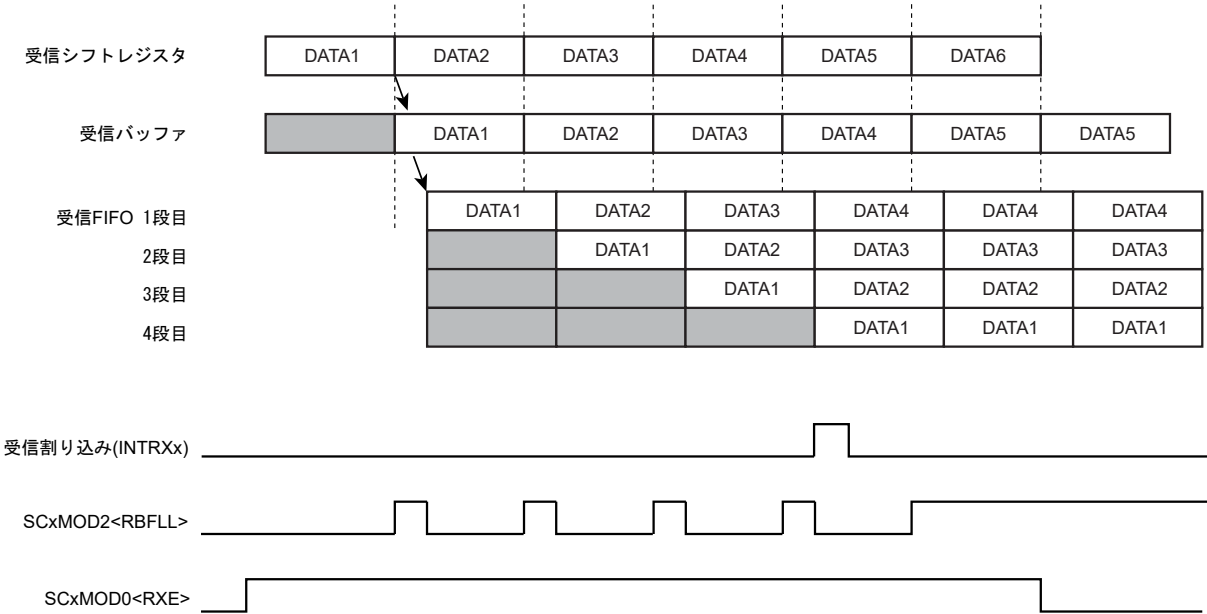


図 13-6 受信 FIFO の動作

13.10.3.3 I/O インタフェースモード、クロック出力モードでの受信

I/O インタフェースモードでクロック出力モード設定の場合、使用可能な受信バッファ/FIFO に全てデータが格納されるとクロック出力が停止されます。このため、このモードではオーバーランエラーフラグは意味を持ちません。

クロック出力の停止/再開のタイミングはバッファ/FIFO の使用状況によって変わります。

(1) シングルバッファの場合

1 データ受信後にクロック出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファからデータが読み出されるとクロック出力を再開します。

(2) ダブルバッファの場合

受信シフトレジスタ、受信バッファともにデータが格納されると、クロック出力を停止します。1 データが読み出されるとクロック出力を再開します。

(3) FIFO の場合

受信シフトレジスタ、受信バッファ、FIFO 全てにデータが格納されるとクロック出力を停止します。

1 データが読み出されると受信バッファから FIFO へ、受信シフトレジスタから受信バッファへデータが転送され、クロック出力を再開します。

また、SCxFNCF<RXTXCNT>がセットされているとクロック出力停止とともに SCxMOD0<RXE>がクリアされ受信動作を停止します。

13.10.3.4 受信データの読み出し

FIFO の有効/無効にかかわらず、受信バッファ (SCxBUF) からデータを読み出します。

受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full フラグ SCxMOD2<RBFL>は"0"にクリアされます。受信バッファを読み出す前でも、次の受信データは受信シフトレジスタに格納することができます。8 ビット UART モードでパリティ付加の場合と 9 ビット UART モードの場合、最上位ビットは SCxCR <RB8> に格納されます。

受信 FIFO が有効な場合、FIFO に格納できるデータは最大 8 ビットですので、9 ビット UART モードは使用できません。8 ビット UART モードでパリティ付加の場合、パリティビットは失われますがエラー判定は行われ、結果が SCxCR<PERR>に格納されます。

13.10.3.5 ウェイクアップ機能

9 ビット UART モードの場合、ウェイクアップ機能 SCxMOD0<WU> を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ、割り込み INTRXx を発生させることができます。

13.10.3.6 オーバランエラー

受信 FIFO が有効にされていない場合は、受信シフトレジスタに次のデータが全ビット受信される前に受信バッファ(SCxBUF)を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファおよび SCxCR <RB8> の内容は保存されていますが、受信シフトレジスタの内容は失われます。

受信 FIFO が有効にされている場合は、受信 FIFO が full になり、受信バッファに次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバランが発生してオーバランフラグがセットされます。この場合でも、受信 FIFO のデータは保存されます。

I/O インタフェースモードのクロック出力モードの設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) I/O インタフェースのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、オーバランフラグをクリアしてください。

13.11 送信

13.11.1 送信カウンタ

送信カウンタは4ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされます。

UART モードでは、16 クロックごとに送信クロック (TXDCLK) を生成します。

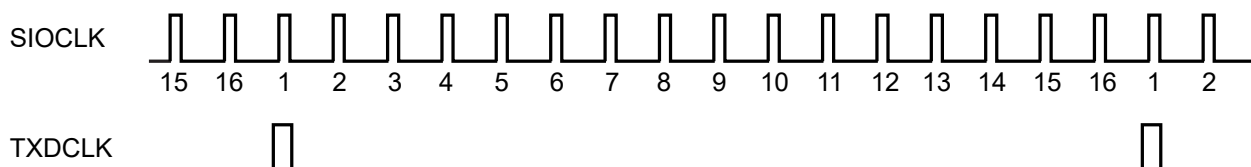


図 13-7 UART モード送信クロックの生成

13.11.2 送信制御部

13.11.2.1 I/O インタフェースモードの場合

SCxCR<IOC> = "0" のクロック出力モードのときは、SCxSCLK 端子より出力されるクロックの立ち下がりで送信バッファのデータを1ビットずつ SCxTXD 端子へ出力します。

SCxCR<IOC> = "1" のクロック入力モードのときは、SCxCR<SCLKS>の設定に従って SCxSCLK 端子の立ち上がり/立ち下がりエッジで送信バッファのデータを1ビットずつシリアル送信データ SCxTXD 端子へ出力します。

13.11.2.2 UART モードの場合

送信バッファに送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロックを生成します。

13.11.3 送信動作

13.11.3.1 送信バッファの動作

ダブルバッファ無効の場合、送信データの書き込みは送信シフトレジスタに対して行われ、送信が終了すると送信割り込み INTTXx が発生します。

ダブルバッファ有効の場合(送信 FIFO が有効な場合も含む)、送信バッファへ書き込まれたデータは SCxMOD1<TXE>に"1"がセットされると送信シフトレジスタに転送されます。同時に送信割り込み INTTXx が発生し、送信バッファエンプティフラグ(SCxMOD2<TBEMP>)がセットされ、次のデータが書き込み可能であることを示します。次のデータを送信バッファに書き込むと<TBEMP>は"0"にクリアされます。

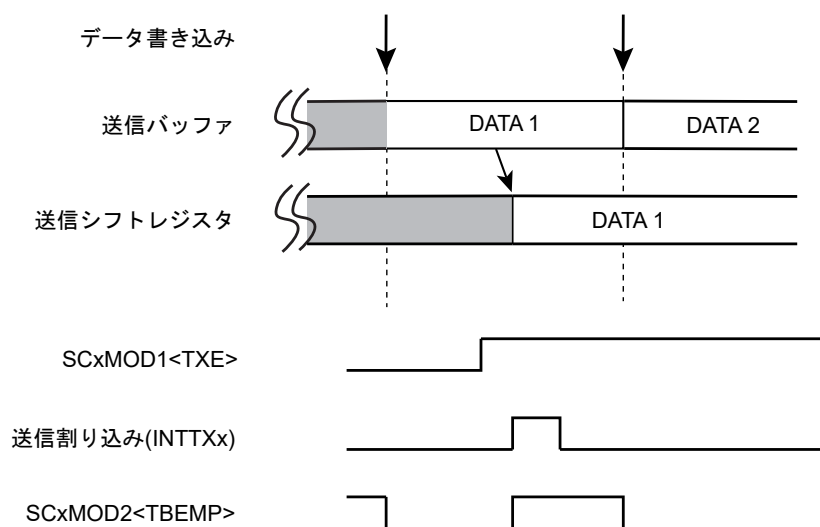


図 13-8 送信バッファの動作(ダブルバッファ有効時)

13.11.3.2 送信 FIFO の動作

FIFO が許可されている場合、送信バッファと FIFO で最大 5 バイトのデータを格納することができます。送信を許可すると、送信バッファから送信シフトレジスタにデータが転送されて送信を開始するとともに、FIFO にデータが存在する場合は直ちに送信バッファへ移され、<TBEMP> フラグは"0"にクリアされます。

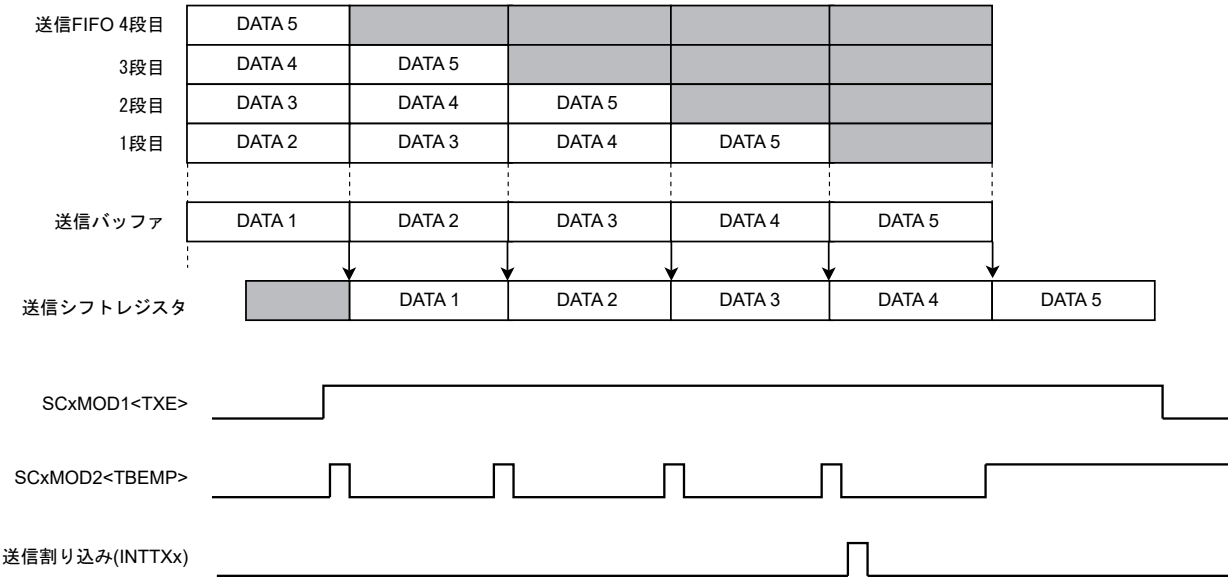
注) 送信 FIFO バッファ使用するときは、SIO の転送モード設定(半 2 重/全 2 重)、FIFO 許可(SCxFCNF <CNFG>="1")の後、必ず送信 FIFO クリアを実行してください。

以下に、5 バイトのデータを半 2 重送信する場合の設定と動作を示します。

- SCxMOD1<FDPX[1:0]> = "10" : 転送モードを半 2 重送信に設定
- SCxFCNF<RFST><TFIE><RFIE> : FIFO が空になると送信を自動的に禁止
- <RXTXCNT><CNFG> = "11011" : 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
- SCxTFC<TIL[1:0]> = "00" : 割り込み発生時の fill レベル を 0 に設定
- SCxTFC<TFCS><TFIS> = "11" : 送信 FIFO のクリアと割り込み発生条件の設定
- SCxFCNF<CNFG> = "1" : FIFO の許可

上記の設定後、送信バッファ/FIFO に 5 バイト分の送信データを書き込み、SCxMOD1<TXE> ビットを 1 に設定することによりデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了すると送信を終了します。

上記の設定で、送信の自動禁止としなければ送信データを書き込むことにより継続して送信を行うことができます。



13.11.3.3 I/O インタフェースモード、クロック出力モードでの送信

I/O インタフェースモードでクロック出力モードの場合、設定されたデータが全て送信されるとクロック出力は自動的に停止します。このため、このモードではアンダランエラーは発生しません。

バッファ/FIFO 使用状況によってクロック出力の停止/再開のタイミングが変わります。

(1) シングルバッファの場合

1 データ送信後にクロック出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファに次のデータが書き込まれるとクロック出力を再開します。

(2) ダブルバッファの場合

送信シフトレジスタと送信バッファのデータが全て送信されるとクロック出力を停止します。バッファに次のデータが書き込まれるとクロック出力を再開します。

(3) FIFO の場合

送信シフトレジスタ、送信バッファ、FIFO 全てのデータ送信が終了するとクロック出力を停止します。次のデータが書き込まれるとクロック出力を再開します。

また、SCxFCNF<RXTXCNT>がセットされていると、クロック出力停止とともに SCxMOD0<TXE>がクリアされ、送信動作を停止します。

13.11.3.4 I/O インタフェースモード時の最終ビット出力後の SCxTXD 端子の状態

最終ビットを出力し、データのホールド時間が終了した後の SCxTXD 端子の状態を、SCxCR<TIDLE>で指定することができます。

SCxCR<TIDLE>="00"の場合、SCxTXD 端子は"Low"出力を保持します。SCxCR<TIDLE>="01"の場合、SCxTXD 端子は"High"出力を保持します。SCxCR<TIDLE>="10"の場合、SCxTXD 端子は最終ビットを保持します。

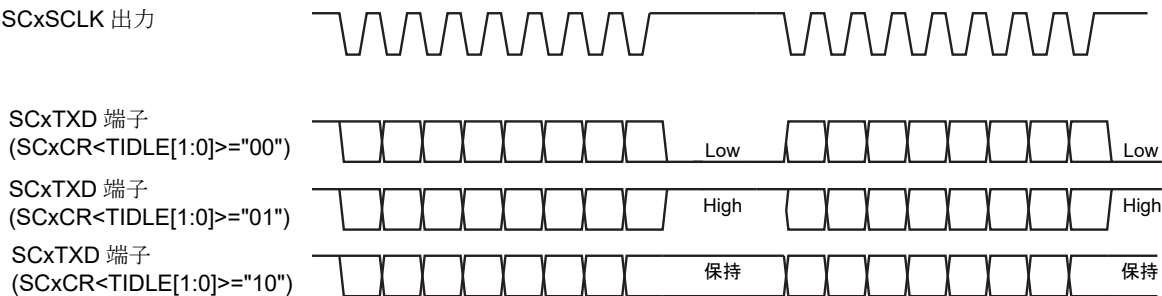


図 13-9 最終ビット出力後の SCxTXD 端子の状態

13.11.3.5 アンダランエラー

I/O インタフェースモードのクロック入力モード時、送信 FIFO が空で、送信シフトレジスタのデータの送信が終了し、次の転送クロックが入力される前に送信バッファヘデータがセットされないときはアンダランエラーになり、SCxCR<PERR>に"1"がセットされます。

アンダランエラーが発生したときの SCxTXD 端子の状態を SCxCR<TXDEMP>で指定することができます。SCxCR<TXDEMP>が"0"の場合、SCxTXD 端子はデータ出力期間の間、"Low"出力を保持します。SCxCR<TXDEMP>が"1"の場合、SCxTXD 端子はデータ出力期間の間、"High"出力を保持します。

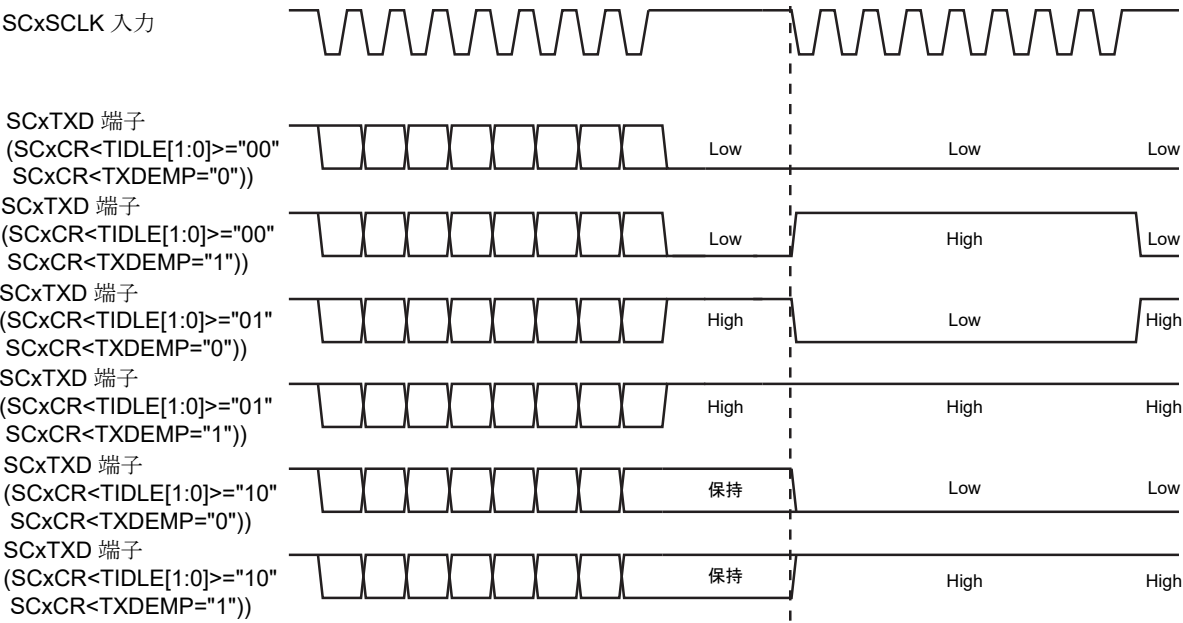


図 13-10 アンダランが発生したときの SCxTXD 出力

I/O インタフェースモードのクロック出力モードの設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) I/O インタフェースのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、アンダランフラグをクリアしてください。

13.11.3.6 I/O インタフェースモード、クロック入力モードでのデータのホールド時間

I/O インタフェースモードでクロック入力モードの場合、SCxCR<EHOLD[2:0]>で最終ビットのホールド時間を設定できます。

最終ビットのホールド時間 ≤ SCLK 周期/2 を満たすように、最終ビットのホールド時間、SCLK 周期を設定してください。

13.12 ハンドシェーク機能

ハンドシェーク機能は $\overline{\text{SCxCTS}}$ (Clear to send) 端子を用いて 1 データ単位での送信を行う機能で、この機能を使うことでオーバーランエラーの発生を防ぐことができます。ハンドシェーク機能は $\text{SCxMOD0} <\text{CTSE}>$ によってイネーブル/ディセーブルを設定できます。

$\overline{\text{SCxCTS}}$ 端子が "High" レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{SCxCTS}}$ 端子が "Low" レベルに戻るまで送信を停止します。ただし、 INTTXx 割り込みは通常のタイミングで発生しますので、次の送信データを送信バッファに書き込み、送信待機状態にすることができます。

- 注 1) 送信中に $\overline{\text{SCxCTS}}$ 信号を立ち上げた場合、送信終了後に停止します。
 注 2) $\overline{\text{SCxCTS}}$ 信号立ち下がり後の最初の TXDCLK クロックから送信を開始します。

なお、 $\overline{\text{RTS}}$ 端子はありませんが、任意のポートの 1 ビットを $\overline{\text{RTS}}$ 機能に割り当て、受信終了時に (受信割り込みルーチン内で) このポートを "High" レベルにし、送信側に送信の一時停止を要求することで容易にハンドシェーク機能を構築できます。

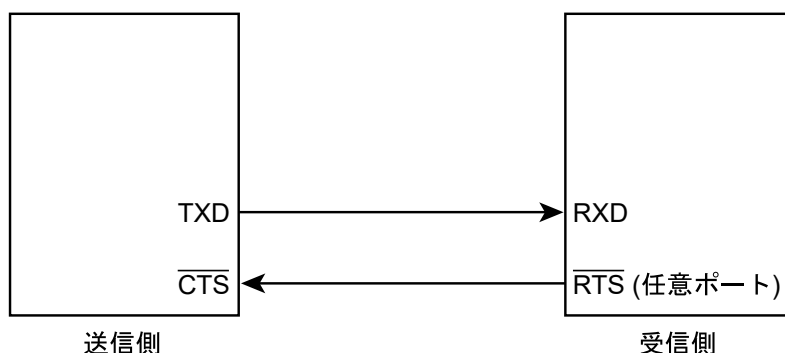


図 13-11 ハンドシェーク機能接続

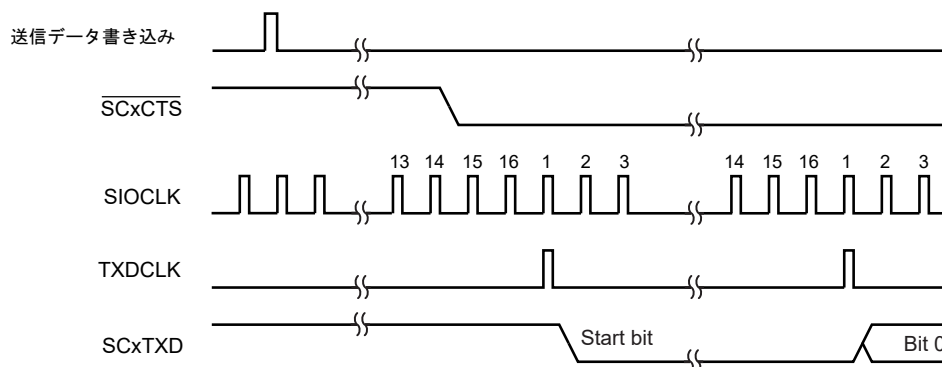


図 13-12 $\overline{\text{SCxCTS}}$ 信号のタイミング

13.13 割り込み/エラー発生タイミング

13.13.1 受信割り込み

受信動作のデータの流れと読み出しの経路を図 13-13 に示します。

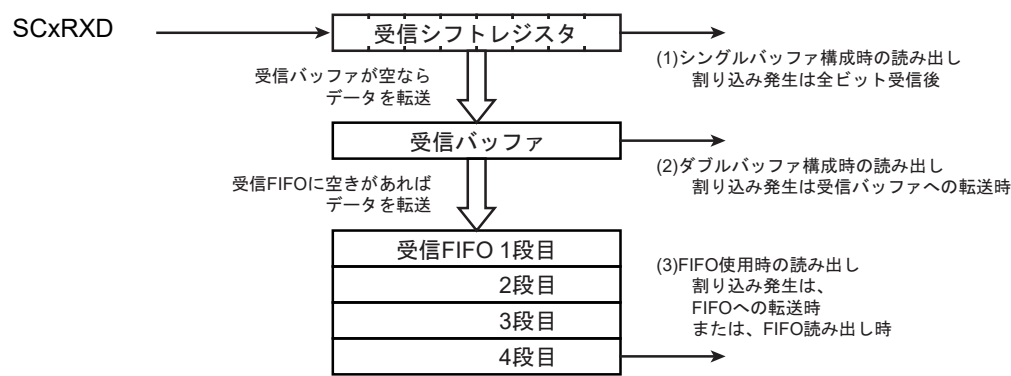


図 13-13 受信バッファ/FIFO 構成図

13.13.1.1 シングルバッファ/ダブルバッファ構成の場合

受信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

表 13-7 シングルバッファ/ダブルバッファ構成の場合の受信割り込み発生条件

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	–	・ 最終ビットの SCxSCLK 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりには、SCxCR<SCLKS>設定による)
ダブルバッファ	受信シフトレジスタから受信バッファへ、データの移動が発生するとき。具体的には以下のタイミング。 ・ 受信バッファにデータがない場合、第 1 ストップビットの中央付近 ・ 受信シフトレジスタと受信バッファの両方にデータがある場合、バッファのリード時	受信シフトレジスタから受信バッファへ、データの移動が発生するとき。具体的には以下のタイミング。 ・ 受信バッファにデータがない場合、最終ビットの SCxSCLK 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりには、SCxCR<SCLKS>設定による) ・ 受信シフトレジスタと受信バッファの両方にデータがある場合、バッファのリード時

注) オーバーランエラー成立するとき、割り込みは発生しません。

13.13.1.2 FIFO 使用の場合

FIFO 使用の場合の受信割り込みは、表 13-8 の割り込み発生タイミングに記載の動作が発生したときに、SCxRFC<RFIS>の設定で決まる条件を満たしていると発生します。

表 13-8 FIFO 使用時の受信割り込み発生条件

SCxRFC<RFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxRST<RLVL[2:0]>) = 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・ 受信バッファから受信 FIFO へ受信データの転送が行われるとき
"1"	FIFO fill レベル(SCxRST<RLVL[2:0]>) ≥ 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・ 受信バッファから受信 FIFO へ受信データの転送が行われるとき ・ 受信 FIFO から受信データをリードしたとき

13.13.2 送信割り込み

送信動作のデータの流れと書き込みの経路を図 13-14 に示します。

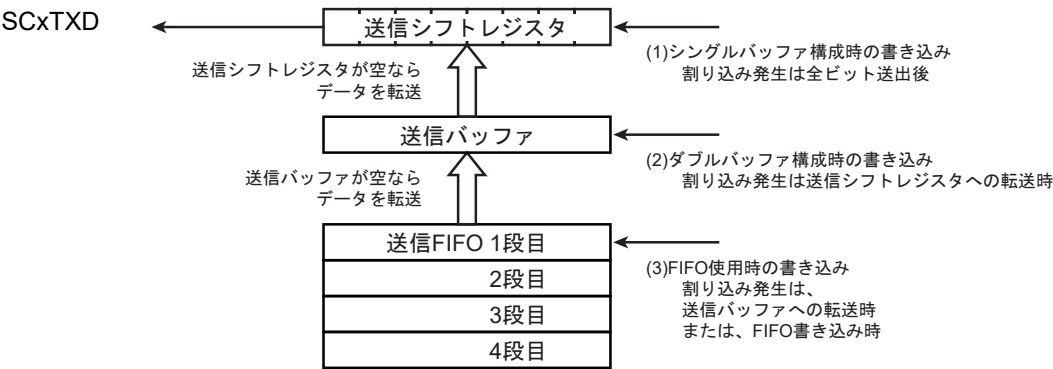


図 13-14 送信バッファ/FIFO 構成図

13.13.2.1 シングルバッファ/ダブルバッファ構成の場合

送信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

表 13-9 シングルバッファ/ ダブルバッファ構成の場合の送信割り込み発生条件

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	ストップビット送出の直前	最終ビットの SCxSCLK 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がり、SCxCR<SCLKS>設定による)
ダブルバッファ	送信バッファから送信シフトレジスタへのデータ転送時に送信割り込みが発生します。 なお、SCxMOD1<TXE>="1"で送信シフトレジスタが空の場合、送信バッファにデータを書いた直後に送信バッファから送信シフトレジスタにデータが転送されるため、送信割り込みが発生します。	

13.13.2.2 FIFO 使用の場合

FIFO 使用の場合の送信割り込みは、表 13-10 の割り込み発生タイミングに記載の動作が発生したときに、SCxTFC<TFIS>の設定で決まる条件を満たした場合に発生します。

表 13-10 FIFO 使用時の送信割り込み発生条件

SCxTFC<TFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxTST<TLVL[2:0]>) = 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信 FIFO から送信バッファへ送信データの転送が行われたとき
"1"	FIFO fill レベル(SCxTST<TLVL[2:0]>) ≤ 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信 FIFO から送信バッファへ送信データの転送が行われたとき ・送信 FIFO へ送信データをライトしたとき

13.13.3 エラー発生

13.13.3.1 UART モード

モード	9 ビット	7 ビット 8 ビット 7 ビット + パリティ 8 ビット + パリティ
フレーミングエラー オーバランエラー	ストップビットの中央付近	
パリティエラー	—	判定：パリティビットの中央付近 フラグ変化：ストップビットの中央付近

13.13.3.2 I/O インタフェースモード

オーバランエラー	最終ビットの SCxSCLK 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
アンダランエラー	次回の SCxSCLK 端子の立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)

注) クロック出力モードではオーバランエラー、アンダランエラーフラグは意味を持ちません。

13.14 DMA 要求

UART/SIO 割り込み(INTRX_x,INTTX_x)発生タイミングでDMAC に対して DMA 要求を発行します。

DMA 転送を行う場合は SCxDMA の該当ビットの設定を行ってください。

本製品で DMA 要求に使用できるチャンネルについては、「製品情報」の章を参照してください。

注 1) SIO/UART の送信/受信割り込みを使用して DMA 転送を行う場合、SCxMOD<SWRST>でソフトウェアリセットを実施した後、DMAC の動作を許可させ、送信/受信の設定を行ってください。

注 2) DMA 転送を使用する場合、FIFO は使用できません。

13.15 ソフトウェアリセット

SCxMOD2<SWRST[1:0]>に"10" → "01"の順でライトすることによりソフトウェアリセットが発生します。

これにより、SCxMOD0<RXE>、SCxMOD1<TXE>、SCxMOD2<TBEMP><RBFLL><TXRUN>、SCxCR<OERR> <PERR> <FERR>が初期化され、送受信回路は初期状態になります。

その他の状態は保持されます。

13.16 モード別動作説明

13.16.1 モード 0 (I/O インタフェースモード)

SCxMOD0 <SM[1: 0]>を"00"にセットすると I/O インタフェースモードになります。

このモードには、同期クロック SCLK を出力するクロック出力モードと、外部より同期クロック SCLK を入力するクロック入力モードがあります。

以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作および送信 FIFO 動作の項を参照してください。

13.16.1.1 送信

(1) クロック出力モード

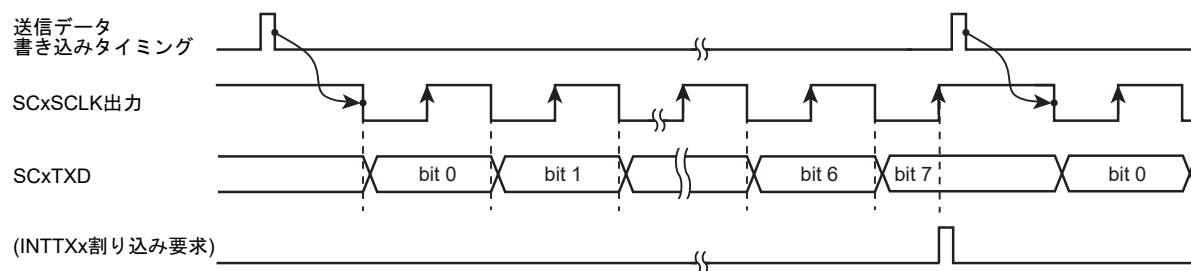
- ・ ダブルバッファ不許可(SCxMOD2<WBUF>= "0")の場合

送信バッファにデータを書き込むたびに、データが SCxTXD 端子から、クロックが SCxSCLK 端子より出力されます。データが全て出力されると割り込み(INTTXx)が発生します。

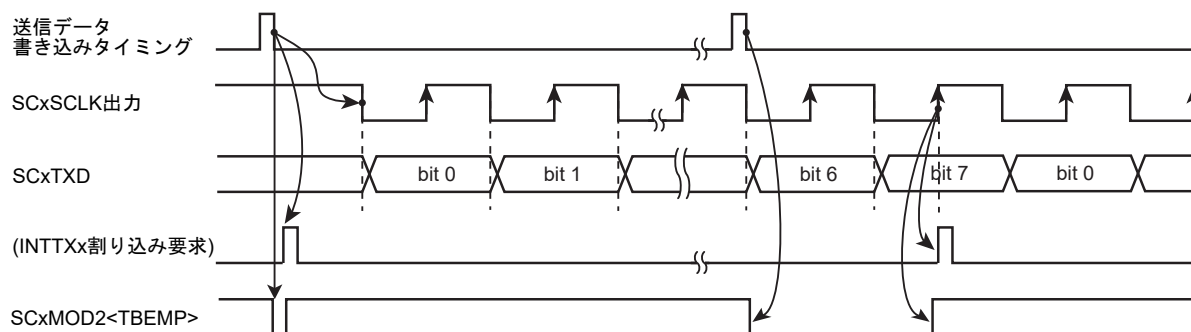
- ・ ダブルバッファ許可(SCxMOD2<WBUF>= "1")の場合

シフトレジスタが空の状態を送信バッファにデータを書き込んだとき、またはシフトレジスタのデータ送出が終了したときに送信バッファよりシフトレジスタにデータが移されます。これと同時に送信バッファ empty フラグ SCxMOD2 <TBEMP>が"1"にセットされ割り込み(INTTXx)が発生します。

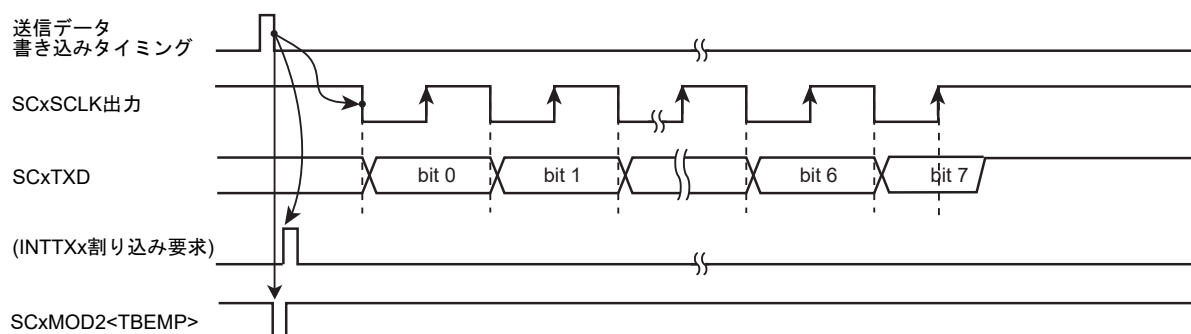
シフトレジスタのデータ送出終了時に送信バッファにデータが存在しない場合は、割り込み(INTTXx)が発生せず、クロック出力も停止します。



<WBUF> = "0" (ダブルバッファ不許可)の場合 (SCxCR<TIDLE>="10")



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファデータがある場合)



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファにデータがない場合) (SCxCR<TIDLE>="01")

図 13-15 I/O インタフェースモード送信動作(クロック出力モード)

(2) クロック入力モード

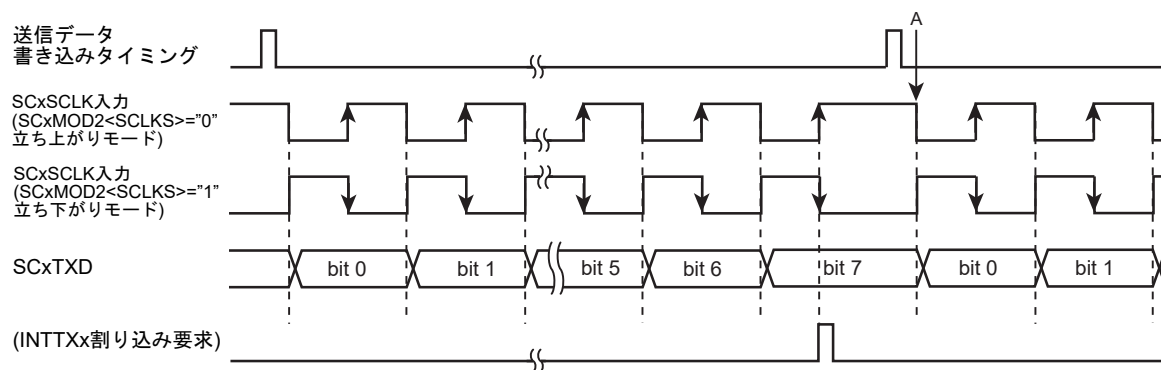
- ・ ダブルバッファ不許可(SCxMOD2<WBUF>="0")の場合

送信バッファにデータが書き込まれている状態でクロックが入力されると、8ビットのデータが SCxTXD 端子より出力されます。データが全て出力されると割り込み INTTx が発生します。次の送信データは図 13-16 に示す A 点までに書き込んでください。

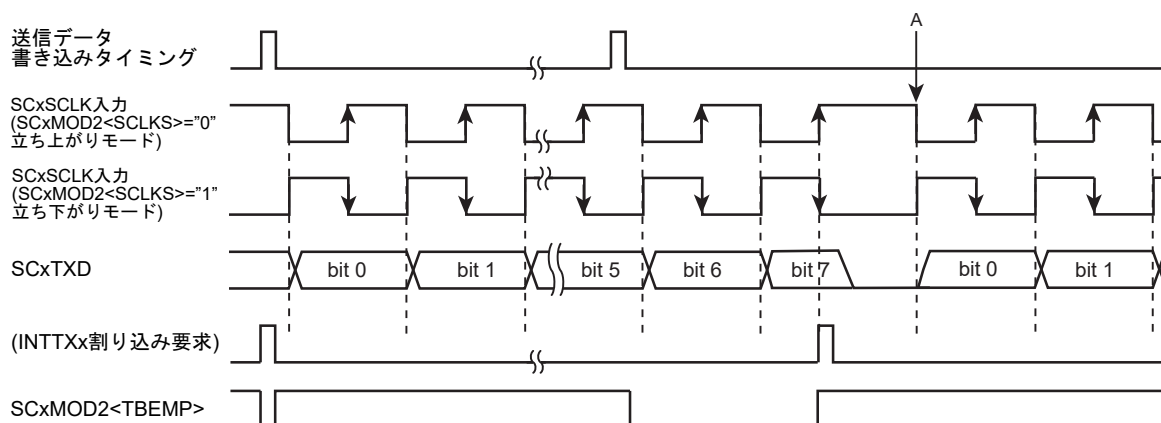
- ・ ダブルバッファ許可(SCxMOD2<WBUF>="1")の場合

クロックが入力される前に送信バッファにデータを書き込んだとき、または送信シフトレジスタのデータ送出が終了したときに送信バッファのデータがシフトレジスタへ移されます。これと同時に送信バッファ empty フラグ SCxMOD2<TBEMP>が"1"にセットされ、割り込み(INTTx)が発生します。

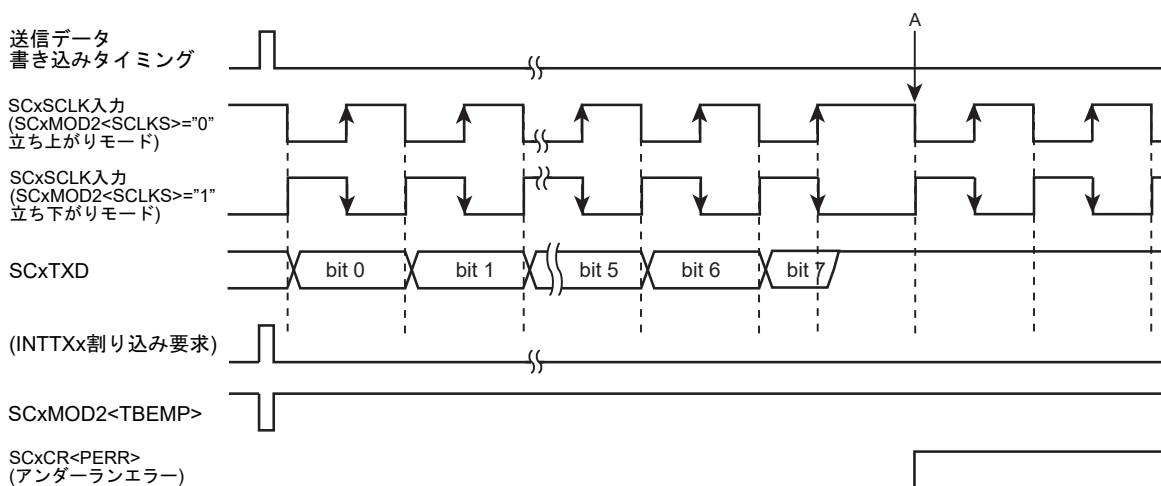
送信バッファにデータが書き込まれていない状態で、クロックが入力された場合、内部ビット数カウンタはカウントを開始しますが、アンダランエラーがセットされ、SCxCR<TXDEMP>で設定したレベルが SCxTXD 端子に出力されます。



<WBUF> = "0" (ダブルバッファ不許可)の場合 (SCxCR<TILDE>="10")



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファ2にデータがある場合) (SCxCR<TILDE>="00")



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファ2にデータがない場合) (SCxCR<TXDEMP><TILDE>="100")

図 13-16 I/O インタフェースモード送信動作(クロック入力モード)

13.16.1.2 受信

(1) クロック出力モード

受信許可ビット SCxMOD0<RXE>を"1"にセットすることでクロック出力が開始されます。

- ・ ダブルバッファ不許可(SCxMOD2<WBUF>="0")の場合

受信データが読み出されるごとに、SCxSCLK 端子よりクロックが出力され次のデータがシフトレジスタに格納されます。8 ビットデータが受信されると、割り込み INTRX_x が発生します。

- ・ ダブルバッファ許可(SCxMOD2<WBUF>="1")の場合

シフトレジスタに格納されたデータは受信バッファに移され、続けて次のフレームを受信することができます。シフトレジスタから受信バッファにデータが移されると、受信バッファ full フラグ SCxMOD2<RBFL>が"1"にセットされ、割り込み INTRX_x が発生します。

受信バッファにデータが存在する状態で、次の 8 ビット分のデータを受信完了する前に受信バッファのデータが読み出されない場合、割り込み INTRX_x は発生せず、クロック出力は停止します。この状態で受信バッファのデータを読み出すと、シフトレジスタのデータを受信バッファに移し、割り込み INTRX_x を発生して受信を再開します。

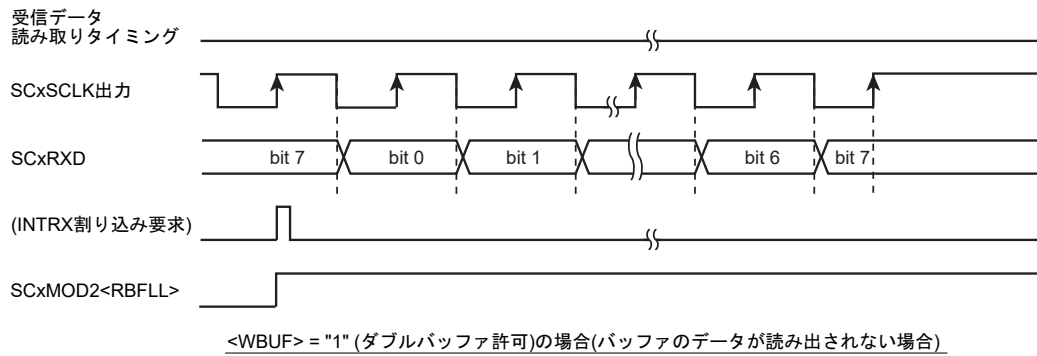
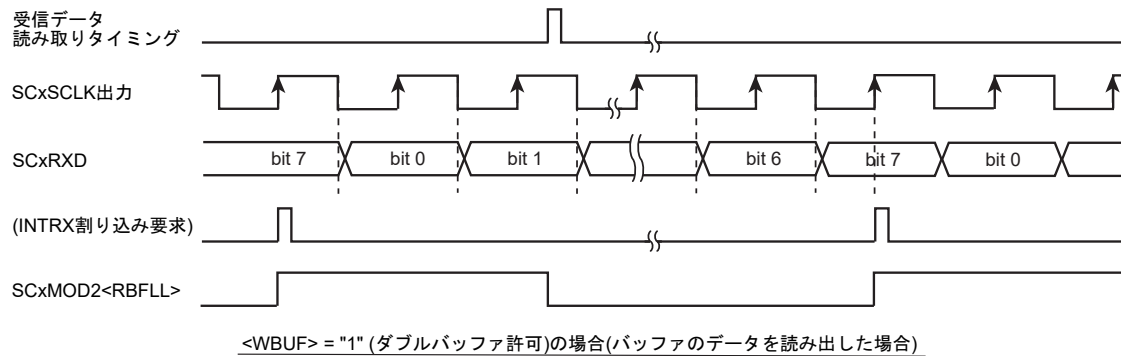
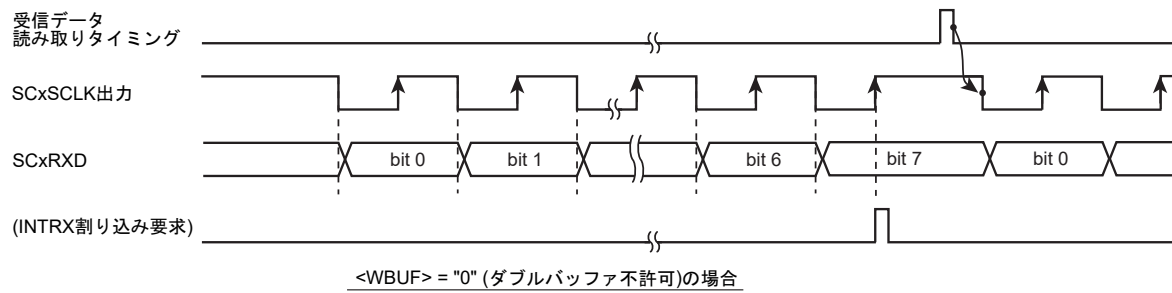
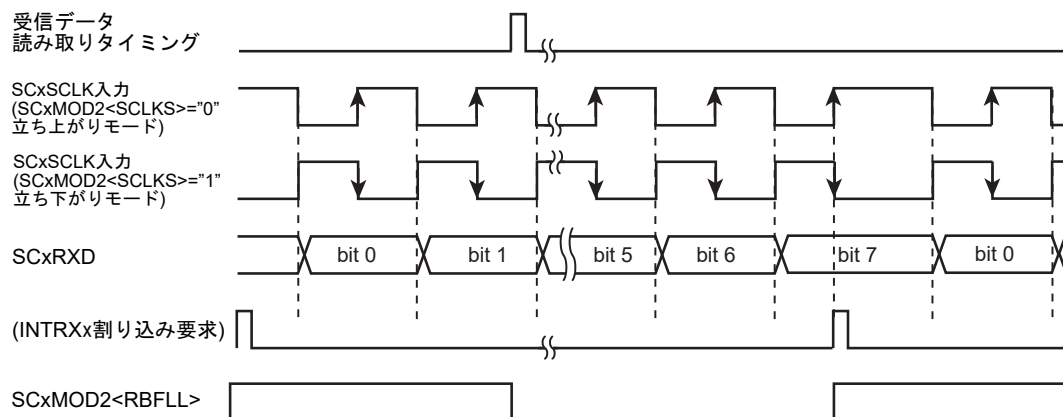


図 13-17 I/O インタフェースモード受信動作(クロック出力モード)

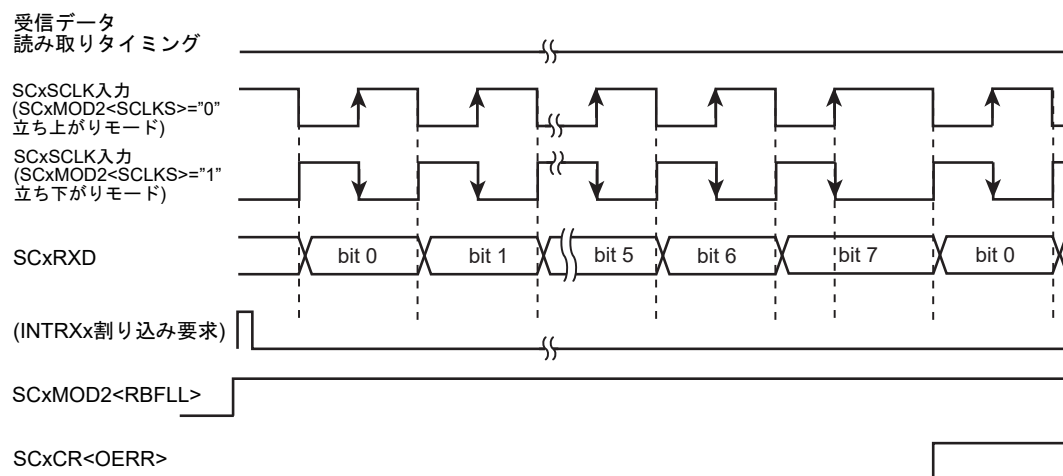
(2) クロック入力モード

クロック入力モードでは常に受信ダブルバッファが許可されており、受信したデータはシフトレジスタから受信バッファに移され、連続して次のデータを受信することができます。

受信データが受信バッファへ移されるごとに受信割り込み INTRX_x が発生します。



バッファのデータを読み出した場合



バッファのデータが読み出されない場合

図 13-18 I/O インタフェースモード受信動作(クロック入力モード)

13.16.1.3 送受信(全 2 重)

(1) クロック出力モード

- ・ ダブルバッファ不許可(SCxMOD2<WBUF>="0")の場合

送信バッファにデータを書き込むとクロック出力を開始します。

クロック出力によりデータが受信シフトレジスタにシフトインされ、受信割り込み(INTRX_x)が発生します。それと並行して送信バッファに書き込まれたデータが、SCxTXD 端子より出力され、全てのデータが送信されると送信割り込み(INTTX_x)が発生します。この状態でクロック出力は停止します。

受信バッファの読み出しと送信バッファへのデータ書き込みを行うと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

- ・ ダブルバッファ許可(SCxMOD2<WBUF>="1")の場合

送信バッファにデータを書き込むとクロック出力を開始します。

データが受信シフトレジスタにシフトインされるとデータは受信バッファに移され、割り込み(INTRX_x)が発生します。受信と並行してデータが SCxTXD 端子より出力され、データが全て出力されると割り込み(INTTX_x)が発生して次のデータが送信バッファから送信シフトレジスタに移されます。

この時、送信バッファに移すデータが存在しない(SCxMOD2 <TBEMP>="1")または受信バッファにデータが存在している(SCxMOD2 <RBFL>="1") 場合はクロック出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると、クロック出力が再開されて次の送受信が始まります。

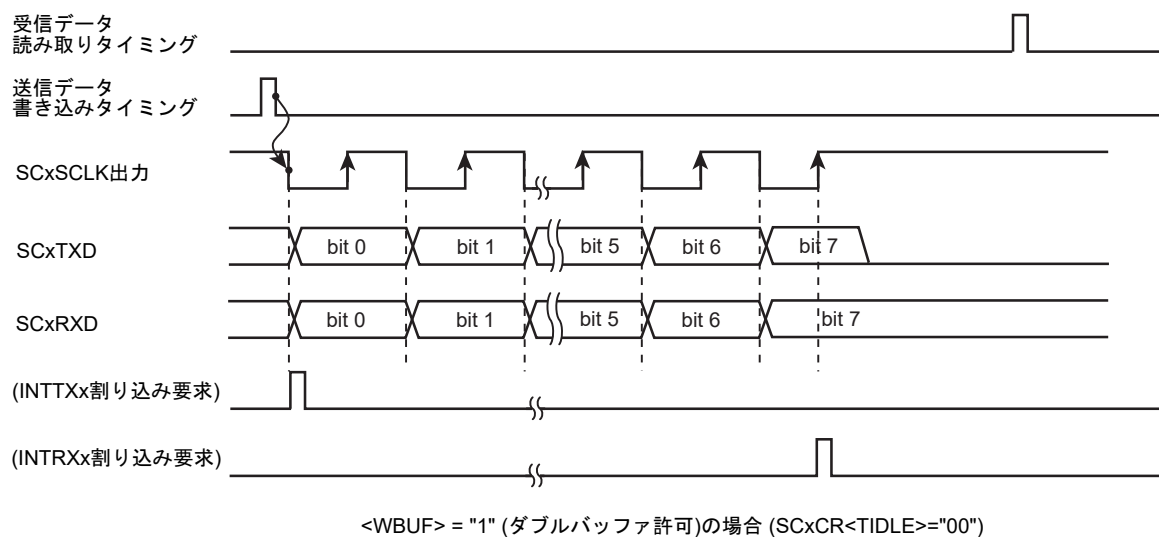
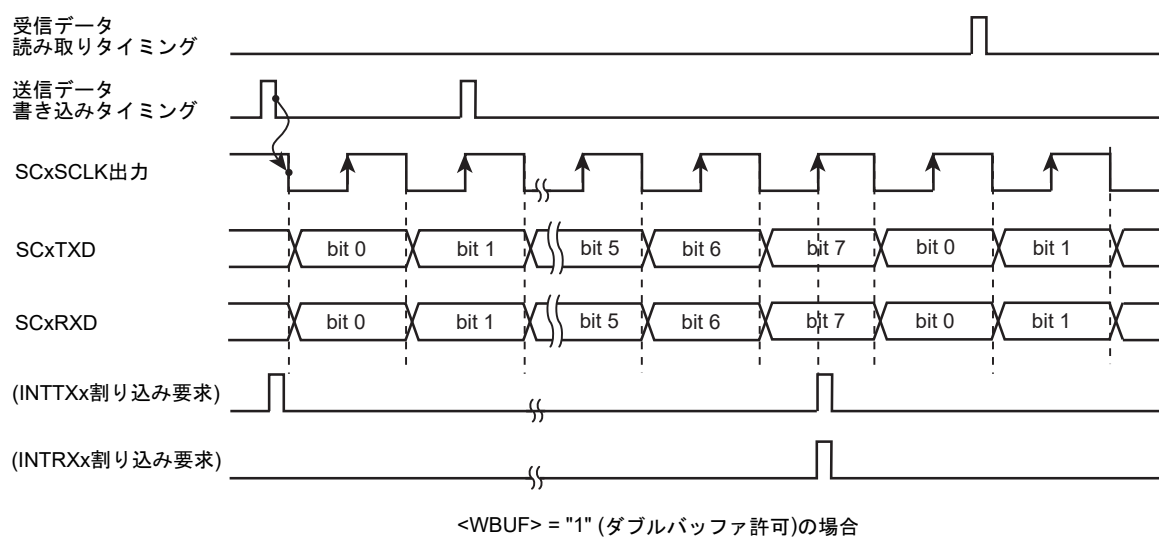
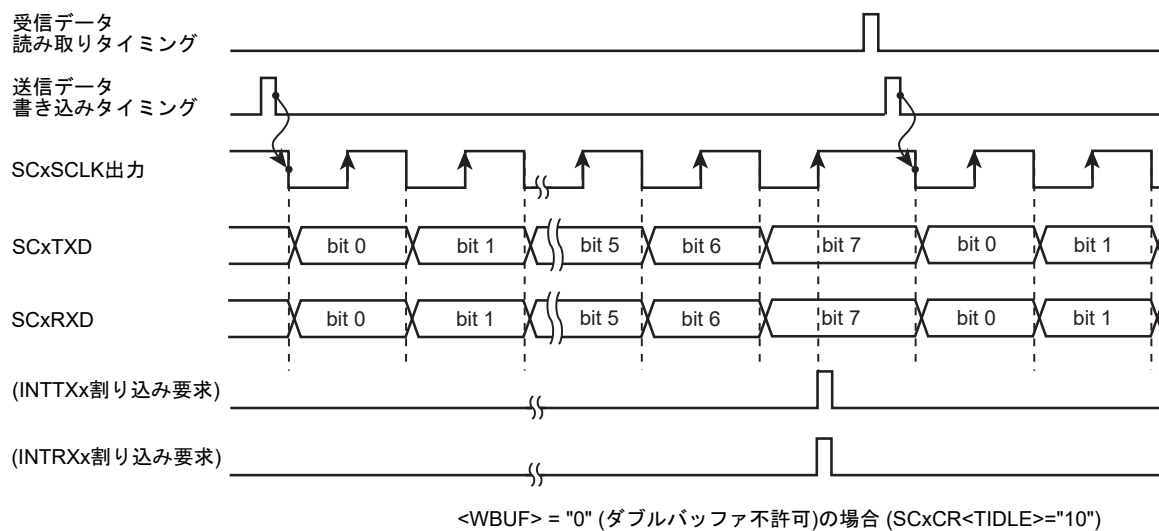


図 13-19 I/O インタフェースモード送受信動作(クロック出力モード)

(2) クロック入力モード

- 送信ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

受信は SCxMOD2<WBUF>の設定に関わらずダブルバッファが有効になります。

送信バッファにデータが書き込まれている状態でクロックが入力されると、8 ビットのデータが SCxTXD 端子より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。送信が終了すると割り込み(INTTXx)が発生し、受信が終了すると受信シフトレジスタから受信バッファへデータが移されると同時に割り込み(INTRXx)が発生します。

次のフレームのクロックが入力される前にデータを送信バッファへ書き込むようにしてください。(図 13-20 に示す A 点までに書き込んでください)。受信データは、次のデータの受信が終了する前に読み出してください。

- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信シフトレジスタのデータの送信が終了すると、送信バッファのデータが送信シフトレジスタへ移されると同時に割り込み(INTTXx)が発生します。平行して受信が行われ、シフトレジスタにデータが揃うと受信バッファへ移され、割り込み(INTRXx)が発生します。

次のデータのためのクロックが入力される前に送信データを送信バッファへ書き込むようにしてください。(図 13-20 に示す A 点までに書き込んでください)。受信データは、次のデータの受信が終了する前に読み出してください。

続けて次のデータのためのクロックが入力されると、送信バッファから送信シフトレジスタにデータを移して送信が始まり、並行して受信シフトレジスタでのデータ受信が行われます。

データの最終ビットの受信までに受信バッファのデータが読み出されていない場合はオーバーランエラーが発生します。

また、次のデータのためのクロック入力までに送信バッファへ転送データが書き込まれていない場合は、アンダランエラーがセットされ、SCxCR<TXDEMP>で設定したレベルが SCxTXD 端子に出力されます。

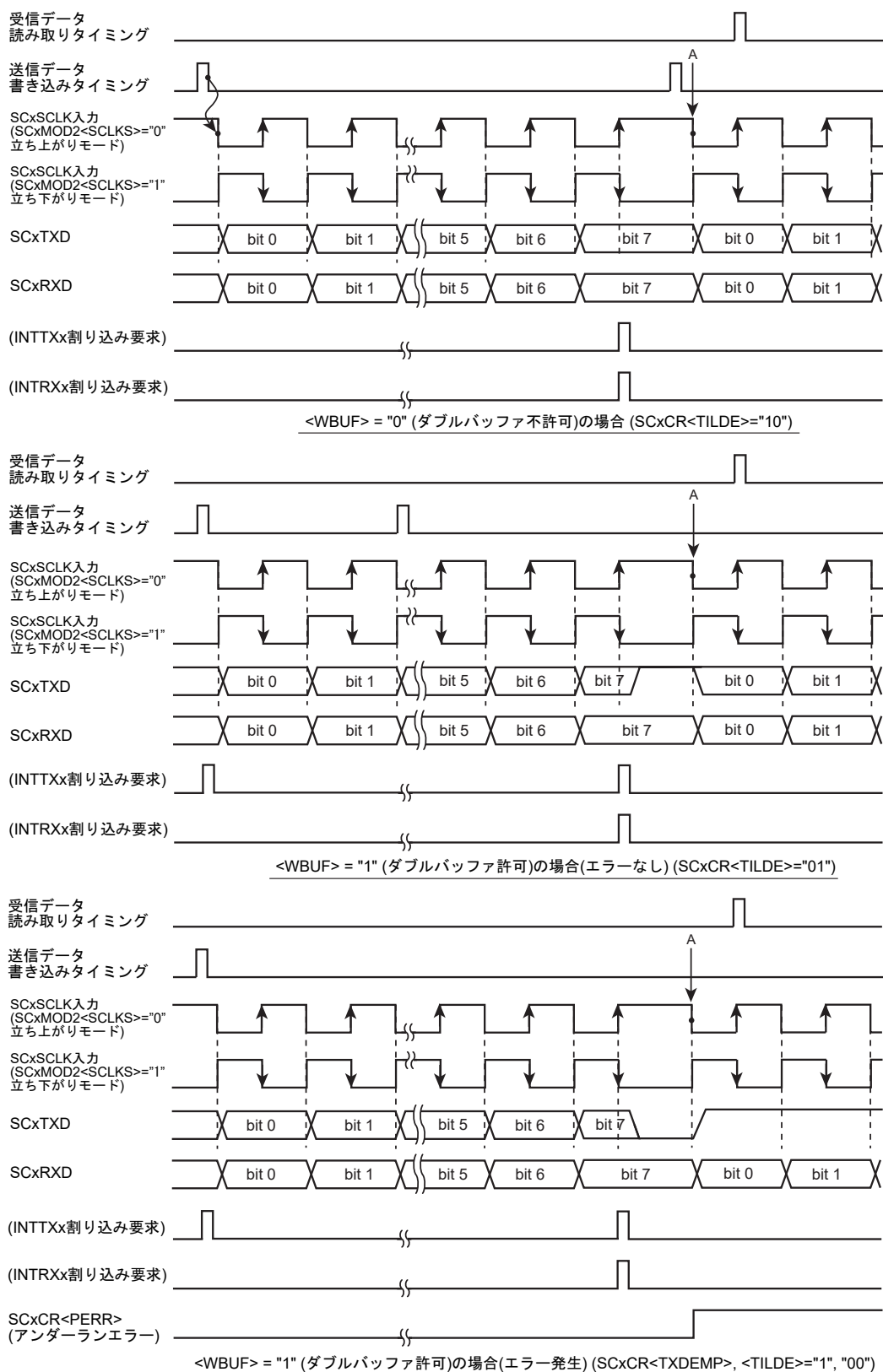


図 13-20 I/O インタフェースモード送受信動作(クロック入力モード)

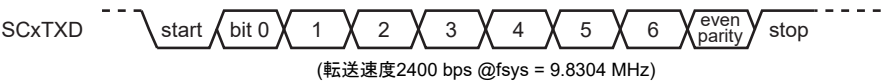
13.16.2 モード 1 (7 ビット UART モード)

SCxMOD0 <SM[1: 0]>を"01"にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SCxCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。

<PE> = "1" (イネーブル)のときは、SCxCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケラクロック:	fperiph/2 (fperiph = fsys)

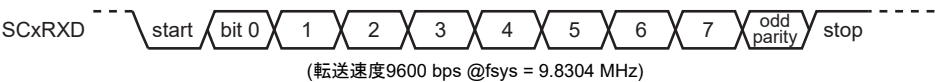
		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	-	0	0	1	0	1	7 ビット UART モードに設定
SCxCR	←	x	1	1	x	x	x	0	0	偶数パリティイネーブルに設定
SCxBRCR	←	0	0	1	0	0	1	0	0	2400bps に設定
SCxBUF	←	*	*	*	*	*	*	*	*	送信データを設定

x : don't care - : no change

13.16.3 モード 2 (8 ビット UART モード)

SCxMOD0 <SM[1:0]> を"10"にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SCxCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = "1" (イネーブル)のとき、SCxCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケラクロック:	fperiph/2 (fperiph = fsys)

		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	0	0	1	0	0	1	8ビットUARTモードに設定
SCxCR	←	x	0	1	x	x	x	0	0	奇数パリティイネーブルに設定
SCxBRCR	←	0	0	0	1	0	1	0	0	9600bpsに設定
SCxMOD0	←	-	-	1	-	-	-	-	-	受信許可

x : don't care - : no change

13.16.4 モード3 (9ビットUARTモード)

SCxMOD0 <SM[1:0]> を "11" にセットすると9ビットUARTモードになります。このモードでは、パリティビットの付加を禁止(SCxCR<PE> = "0")してください。

最上位ビット(9ビット目)は、送信の場合 SCxMOD0 <TB8> に書き込みます。受信の場合 SCxCR<RB8> に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SCxBUFの方を後にします。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

13.16.4.1 ウェイクアップ機能

9ビットUARTモードでは、ウェイクアップ機能制御ビット SCxMOD0 <WU>を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ割り込み (INTRXx) が発生します。

注) スレーブコントローラの SCxTXD 端子は、必ず PxOD を設定してオープンドレイン出力モードにしてください。

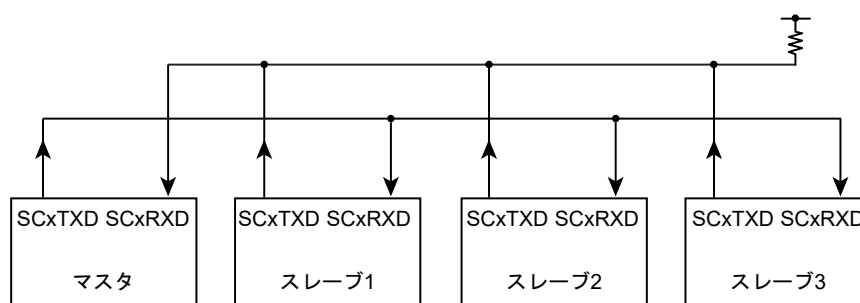
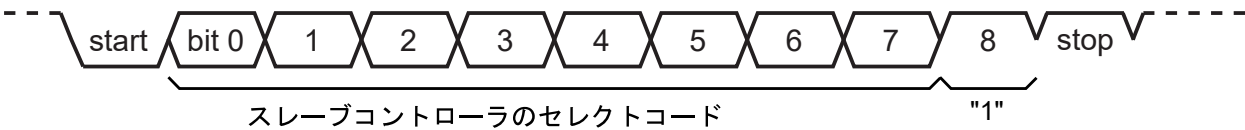


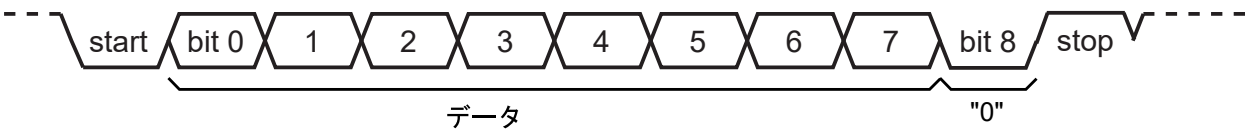
図 13-21 ウェイクアップ機能によるシリアルリンク

13.16.4.2 プロトコル

- 1. マスタおよびスレーブコントローラは 9 ビット UART モードにします。
- 2. 各スレーブコントローラは SCxMOD0<WU>を"1"にセットし、受信可能状態とします。
- 3. マスタコントローラは、スレーブコントローラのセレクトコード(8 ビット)を含む 1 フレームを送信します。このとき最上位ビット(ビット 8) <TB8>は"1"にします。



- 4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、<WU>を"0"にクリアします。
- 5. マスタコントローラは指定したスレーブコントローラ(<WU>="0"にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット 8) <TB8>は"0"にします。



- 6. <WU>="1"のままのスレーブコントローラは、受信データの最上位ビット(ビット 8)の <RB8>が"0"であるため、割り込み(INTRXx)が発生せず、受信データを無視します。また、<WU>="0"になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

第 14 章 シリアルバスインタフェース(I2C)

TMPM066/067/068FW には、標準的な I2C バス規格に準拠した、I2C バスを搭載しています。
また独自フォーマットのフリーデータフォーマットに対応しています。

14.1 概要

主な機能は以下のとおりです。

- ・ マスタ/スレーブ送受信選択可能
- ・ 送信/受信選択可能
- ・ マルチマスタ対応(アービトレーションあり、クロック同期認識)
- ・ 通信速度(STANDARD モード/FAST モード/FAST モード+対応)
- ・ アドレッシングフォーマット 7bit のみサポート
- ・ 転送データサイズ 1 ～ 8 ビット
- ・ 転送(送信 or 受信)完了割り込み(レベル)1 本
- ・ アービトレーションロスト検出割り込み(パルス)1 本
- ・ バスフリー検出割り込み(パルス)1 本
- ・ NACK 受信検出割り込み(パルス)1 本
- ・ 割り込みの許可/禁止設定可能
- ・ バス端子状態モニタ
- ・ 独自フォーマットのフリーデータフォーマットに対応
- ・ アドレス一致 WakeUp 機能(低消費電力モード解除機能)

表 14-1 I2C バス使用時の規格対応項目

I2C バス規格項目	I2C バス規格	TMPM066/067/068FW
STANDARD モード対応(～100kHz)	必要	対応
FAST モード対応(～400kHz)	必要	対応
FAST モードプラス(FM+)対応(～1MHz)	オプション	対応
Hs (High speed) モード対応(～3.4Mbps)	必要	非対応
7 ビットアドレッシング対応	必要	対応
10 ビットアドレッシング対応	必要	非対応
START バイト	必要	非対応
ノイズキャンセラ対応	必要	対応(デジタル)
スロープ制御対応	必要	非対応
電源 OFF 時の I/O 対応	必要	対応
シュミット (VIH/VIL)	VDD × 0.3 / VDD × 0.7	非対応
出力電流 VOL = 0.4V, VDD > 2V	3mA	対応

14.2 構成図

構成を図 14-1 に示します。

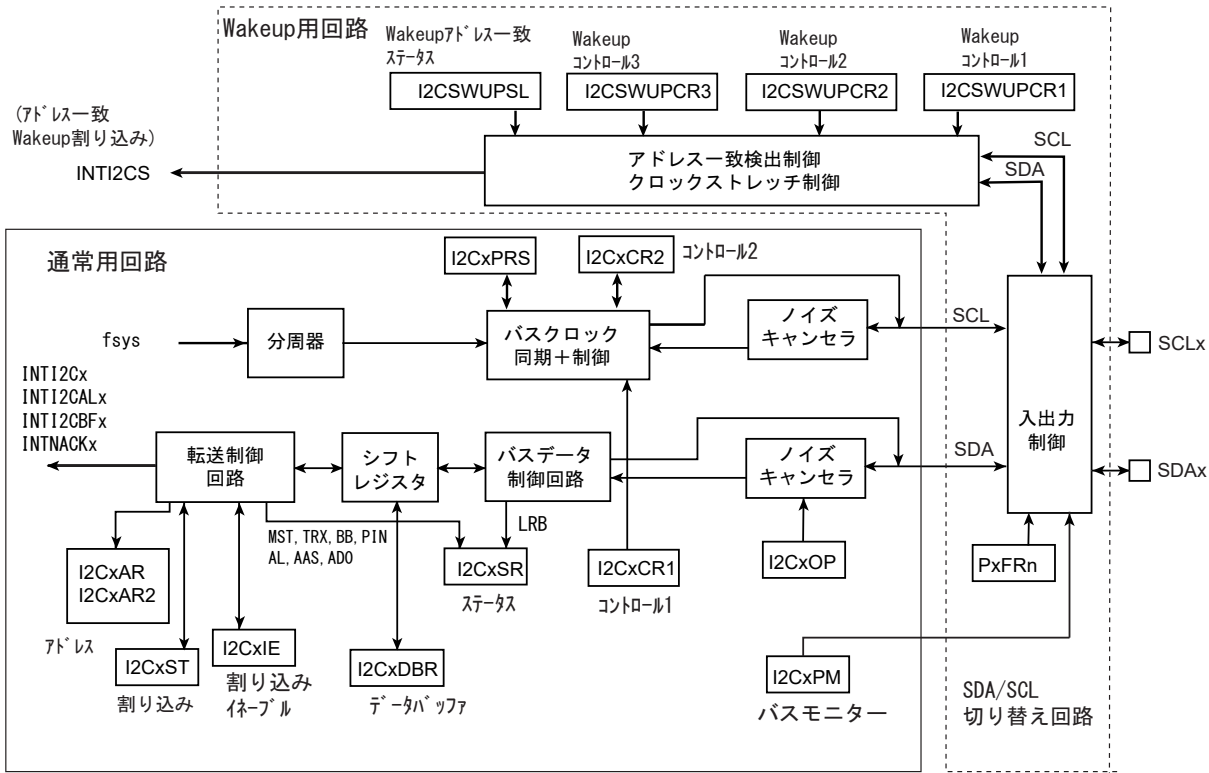


図 14-1 I2C ブロック図

14.2.1 I2C バスモード

I2C バスは SDA と SCL を通して、デバイスがバスに接続されるバスで、複数のデバイスと通信が可能です。

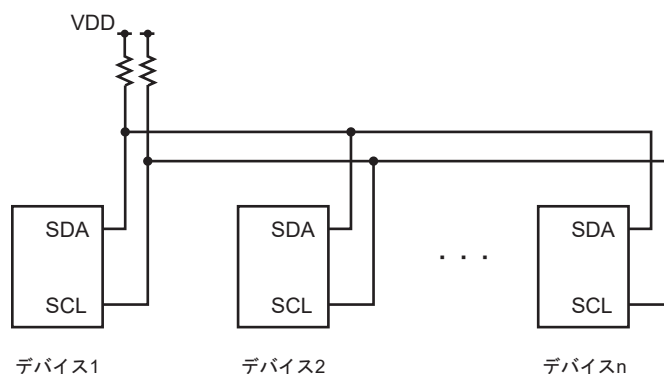


図 14-2 デバイスの接続

I2C バス上のマスタ/スレーブデバイスとして動作します。マスタデバイスは、バス上のシリアルクロックライン(SCL)のドライブ、8bit アドレス送信、1~8bit のデータ送信/受信を行います。スレーブデバイスは、バス上のシリアルクロックに同期して、8bit アドレスの受信、1~8bit のシリアルデータの送信/受信を行います。

マスタ/スレーブに関わらず、受信動作をしたデバイスはシリアルデータ受信後アクノリッジ信号を出力することができ、送信動作をしたデバイスはそのアクノリッジを受けることができます。マスタはそのアクノリッジのためのクロックを出力することができます。

また、同一バス上に複数のマスタのあるマルチマスタ時、シリアルクロック同期化、およびシリアルデータの整合性を保つためのアービトレーションロストをサポートしています。

14.2.1.1 I2C バスモード時のデータフォーマット

I2C バスモード時のデータフォーマットを図 14-3 に示します。



図 14-3 I2C バスモード時のデータフォーマット

14.3 レジスタ説明

14.3.1 チャネル別レジスタ一覧

I2C 機能のレジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

I2C main function control register

レジスタ名		Address(Base+)
コントロールレジスタ 1	I2CxCR1	0x0000
データバッファレジスタ	I2CxDBR	0x0004
I2C バス第 1 アドレスレジスタ	I2CxAR	0x0008
コントロールレジスタ 2	I2CxCR2(ライト時)	0x000C
ステータスレジスタ	I2CxSR(リード時)	
プリスケラクロック設定レジスタ	I2CxPRS	0x0010
割り込み許可レジスタ	I2CxIE	0x0014
割り込みステータスレジスタ	I2CxST	0x0018
拡張機能レジスタ	I2CxOP	0x001C
バス端子モニタ	I2CxPM	0x0020
I2C バス第 2 アドレスレジスタ	I2CxAR2	0x0024

WakeUp function control register

レジスタ名		Address(Base+)
I2C WakeUp コントロールレジスタ 1	I2CSWUPCR1	0x0000
I2C WakeUp コントロールレジスタ 2	I2CSWUPCR2	0x0001
I2C WakeUp コントロールレジスタ 3	I2CSWUPCR3	0x0002
I2C WakeUp ステータスレジスタ	I2CSWUPSL	0x0003

注) バイトアクセスのみ可。ビットバンドアクセス不可

14.3.2 I2CxCR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BC			ACK	NOACK	SCK		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能																																																	
31-8	-	R	リードすると"0"が読めます。																																																	
7-5	BC[2:0]	R/W	転送ビット数の選択(注 1) <table><tr><th rowspan="2"><BC></th><th colspan="2"><ACK> = 0 のとき</th><th colspan="2"><ACK> = 1 のとき</th></tr><tr><th>クロック数</th><th>データ長</th><th>クロック数</th><th>データ長</th></tr><tr><td>000</td><td>8</td><td>8</td><td>9</td><td>8</td></tr><tr><td>001</td><td>1</td><td>1</td><td>2</td><td>1</td></tr><tr><td>010</td><td>2</td><td>2</td><td>3</td><td>2</td></tr><tr><td>011</td><td>3</td><td>3</td><td>4</td><td>3</td></tr><tr><td>100</td><td>4</td><td>4</td><td>5</td><td>4</td></tr><tr><td>101</td><td>5</td><td>5</td><td>6</td><td>5</td></tr><tr><td>110</td><td>6</td><td>6</td><td>7</td><td>6</td></tr><tr><td>111</td><td>7</td><td>7</td><td>8</td><td>7</td></tr></table>	<BC>	<ACK> = 0 のとき		<ACK> = 1 のとき		クロック数	データ長	クロック数	データ長	000	8	8	9	8	001	1	1	2	1	010	2	2	3	2	011	3	3	4	3	100	4	4	5	4	101	5	5	6	5	110	6	6	7	6	111	7	7	8	7
<BC>	<ACK> = 0 のとき		<ACK> = 1 のとき																																																	
	クロック数	データ長	クロック数	データ長																																																
000	8	8	9	8																																																
001	1	1	2	1																																																
010	2	2	3	2																																																
011	3	3	4	3																																																
100	4	4	5	4																																																
101	5	5	6	5																																																
110	6	6	7	6																																																
111	7	7	8	7																																																
4	ACK	R/W	マスタモード 0: アクノリッジのためのクロックを発生しない 1: アクノリッジのためのクロックを発生する スレーブモード 0:アクノリッジのためのクロックをカウントしない 1:アクノリッジのためのクロックをカウントする																																																	
3	NOACK	R	スレーブアドレス一致検出およびジェネラルコール検出選択 0: スレーブ動作時、スレーブアドレス一致およびジェネラルコールを検出する 1: スレーブ動作時、スレーブアドレス一致およびジェネラルコールを検出しない I2CAR<ALS>が 1 のときは、このビットは意味を持ちません。																																																	
2-0	SCK[2:0]	R/W	内部 SCL 出力クロックの周波数選択(注 2) <table><tr><td>000 :</td><td>n = 0</td><td>100 :</td><td>n = 4</td></tr><tr><td>001 :</td><td>n = 1</td><td>101 :</td><td>n = 5</td></tr><tr><td>010 :</td><td>n = 2</td><td>110 :</td><td>n = 6</td></tr><tr><td>011 :</td><td>n = 3</td><td>111 :</td><td>n = 7</td></tr></table>	000 :	n = 0	100 :	n = 4	001 :	n = 1	101 :	n = 5	010 :	n = 2	110 :	n = 6	011 :	n = 3	111 :	n = 7																																	
000 :	n = 0	100 :	n = 4																																																	
001 :	n = 1	101 :	n = 5																																																	
010 :	n = 2	110 :	n = 6																																																	
011 :	n = 3	111 :	n = 7																																																	

注 1) 本レジスタに対する書き込みは、スタートコンディション発生前およびストップコンディション発生後、またはアドレスまたはデータ転送後の割り込み発生から、内部割り込み解除までの間に行ってください。アドレスおよびデータ転送中の書き込みはしないでください。

注 2) I2CxCR1<SCK[2:0]>による分周設定は「14.3.7 I2CxPRS(プリスケラクロック設定レジスタ)」および「14.4.3 シリアルクロック」を参照してください。

注 3) 読み出しの初期値とは関係なく、周波数選択の初期値は<SCK[2:0]>=000 です。

14.3.3 I2CxDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	DB[7:0]	R	受信データ 受信データは LSB 側に格納されます。
		W	送信データ 送信データ書き込み時は、データを MSB(ビット 7)側につめてライトしてください。

マスタからのアドレス送信時は、転送のターゲットとなるデバイスのアドレスを I2CxDBR<DB[7:1]>に書き込み、I2CxDBR<DB[0]>には、転送の方向ビットとして

- <DB[0]> = 0 : マスタ送信 → スレーブ受信
- <DB[0]> = 1 : マスタ受信 ← スレーブ送信

を書き込みます。また、I2CxDBR レジスタの全てのビットに 0 を書き込むと、バスにジェネラルコールを送信することができます。

送信/受信時、I2CxDBR に対しての書き込み/読み込み動作によって、転送後の内部割り込みが解除され、次の転送が開始されます。

I2CxDBR は書き込み用のバッファと読み出し用のバッファを兼用していますが、送信時は送信専用、受信時は受信専用として使用してください。また、1 回の転送ごとにレジスタをアクセスするようにしてください。

注 1) 初期化されるのはハードウェアリセット後のみです。ソフトウェアリセット後は初期化されません。(最終データを保持します)

14.3.4 I2CxAR(I2C バス第 1 アドレスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SA							ALS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-1	SA[6:0]	R/W	スレーブデバイスとして動作するときの第 1 スレーブアドレスの設定
0	ALS	R/W	アドレス認識モードの指定 0:スレーブアドレスを認識する(I2C バスモード) 1:スレーブアドレスを認識しない(フリーデータフォーマット)

注 1) <ALS>はフリーデータフォーマット使用時以外は必ず"0"に設定してください。"1"に設定した場合にはフリーデータフォーマットとして動作し、マスタ時は送信に、スレーブ時は受信に転送方向が固定されます。

注 2) スレーブモード時 I2CxAR を"0x00"に設定しないでください。("0x00"に設定した場合、スレーブモードで I2C バス規格の START バイト("0x01")を受信したときにスレーブアドレスが一致したと判断します。)

14.3.5 I2CxCR2(コントロールレジスタ 2)

このレジスタをリードすると、I2CxSR として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	I2CM	-	SWRES	
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	W	マスタモード/スレーブモードの選択 0: スレーブモード 1: マスタモード
6	TRX	W	送信/受信の選択 0: 受信 1: 送信
5	BB	W	スタート/ストップ状態の発生 0: ストップ状態発生 1: スタート状態発生
4	PIN	W	INTI2C 割り込み要求解除 0: - 1: 割り込み要求の解除
3	I2CM	W	I2C 動作制御 0: 禁止 1: 許可
2	-	R	リードすると"0"が読めます。
1-0	SWRES[1:0]	W	ソフトウェアリセットの発生 最初に"10"、次に"01"をライトすると、ソフトウェアリセットが発生します。

- 注 1) 通信中はモードを切り替えないでください。ポートモードへの切り替えはバスフリーを確認してから行ってください。また、ポートモードから I2C バスモードへの切り替えは、ポートの状態が"High"になっていることを確認してから行ってください。
- 注 2) I2CxCR2<I2CM>が"0"のとき、<I2CM>以外の I2CxCR2 に値を書き込むことはできません。I2CxCR2 に値を設定する前に<I2CM>に"1"を書き込んで I2C バスモードにしてください。
- 注 3) <SWRES[1:0]>を除き、スタートコンディション発生中、ストップコンディション発生中、データ転送中にレジスタの内容を書き替えないでください。レジスタの書き替えは、スタートコンディション発生前、またはデータ転送終了の割り込み要求発生から解除までの間に行ってください。

14.3.6 I2CxSR(ステータスレジスタ)

このレジスタをライトすると、I2CxCR2 として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	AL	AAS	AD0	LRB
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	R	マスタ/スレーブ選択状態モニタ 0: スレーブモード 1: マスタモード
6	TRX	R	トランスミッタ/レシーバ選択状態モニタ 0: レシーバ 1: トランスミッタ
5	BB	R	I2C バス状態モニタ 0: バスフリー 1: バスビジー
4	PIN	R	処理要求状態および SCL ライン状態モニタ 0: 処理要求中、SCL ライン"L"状態 1: 処理要求なし、SCL ラインフリー
3	AL	R	アービトレーションロスト検出モニタ 0: - 1: 検出
2	AAS	R	スレーブアドレス一致検出モニタ 0: - 1: 検出 (ジェネラルコール検出時もセットされます。)
1	AD0	R	ジェネラルコール検出モニタ 0: - 1: 検出
0	LRB	R	最終受信ビットモニタ 0: 最終受信ビット "0" 1: 最終受信ビット "1"

14.3.7 I2CxPRS(プリスケラクロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PRSCK				
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4-0	PRSCK[4:0]	R/W	シリアルクロック生成用プリスケラクロック周波数の選択 00000 : P=32 分周 00001 : P=1 分周 11111 : P=31 分周

注) 「14.3.2 I2CxCR1(コントロールレジスタ 1)」、「14.4.3 シリアルクロック」を参照してください。

14.3.8 I2CxIE(割り込み許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	SELPINCD	DMACTXR	DMACRXR	INTNACK	INTI2CBF	INTI2CAL	IINTI2C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6	SELPINCD	R/W	拡張 PIN 解除条件選択 0:DBR 読み出しによる、PIN 解除(=1) 不可 1:DBR 読み出しによる、PIN 解除(=1)可能(DMA を使用する場合は、こちらを選択ください)
5	DMACTXR	R/W	DMAC 送信 リクエスト出力許可/禁止 0:禁止 1:許可
4	DMACRXR	R/W	DMAC 受信リクエスト出力許可/禁止 0:禁止 1:許可
3	INTNACK	R/W	I2C NACK 検出割り込み出力の許可/禁止(注 1) 0: 禁止 1: 許可
2	INTI2CBF	R/W	I2C バスフリー検出割り込み出力許可/禁止(注 1) 0:禁止 1:許可
1	INTI2CAL	R/W	I2C アービトレーションロスト割り込み出力許可/禁止(注 1) 0:禁止 1:許可
0	INTI2C	R/W	I2C 割り込み出力の許可/禁止(注 1) 0:禁止 1:許可

注 1) I2C 機能からの割り込み出力を許可するか禁止するかの設定です。この他に CPU 側の割り込み設定も必要です。

14.3.9 I2CxST(割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	NACK	I2CBF	I2CAL	I2C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると"0"が読めます。
3	NACK	R	INTNACK 割り込みステータス(注 1) 0: 割り込みなし 1: 割り込み発生
		W	割り込みクリア 0: 無効 1: クリア
2	I2CBF	R	INTI2CBF 割り込みステータス(注 1) 0:割り込みなし 1:割り込み発生
		W	割り込みをクリア 0:無効 1:割り込みクリア
1	I2CAL	R	INTI2CAL 検知割り込みステータス(注 1) 0:割り込みなし 1:割り込み発生
		W	割り込みをクリア 0:無効 1:割り込みクリア
0	I2C	R	INTI2C 割り込みステータス(注 1) 0:割り込みなし 1:割り込み発生
		W	割り込みをクリア 0:無効 1:割り込みクリア

注 1) 上記の割り込みステータスは、I2CxIE<IE>による出力許可/禁止には関わりません。

14.3.10 I2CxOP(拡張機能設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	SA2ST	SAST	NFSEL	RSTA	GCDI	SREN	MFAACK
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6	SA2ST	R	受信したステータスアドレス判別。(<AAS>=1 時に更新されます) 0 : <SA2[6:0]>と不一致 1 : <SA2[6:0]>と一致
5	SAST	R	受信したスレーブアドレス判別(<AAS>=1 時に更新されます) 0 : <SA[6:0]>と不一致 1 : <SA[6:0]>と一致
4	NFSEL	R/W	ノイズフィルタの選択 0 : 通常動作時 1 : 低消費電力モード解除にアドレス一致 WakeUp を使用する時
3	RSTA	R W	反復スタート検出フラグ 0 : 未検出 1 : 検出 0 : フラグクリア 1 : 無効
2	GCDI	R/W	ジェネラルコール検出制御 (<NOACK>=0 の時有効) 0 : 検出 ON 1 : 検出 OFF
1	SREN	R W	反復スタート出力制御 (マスタモード時のみ有効) 0 : 反復スタート発生済み 1 : 反復スタート発生中 0 : 無効 1 : 反復スタート要求
0	MFAACK	R/W	ACK 出力のマスク選択 0:ACK 出力 1:NACK 出力 (注)フリーデータフォーマットでは、使用できません

14.3.11 I2CxPM(バス端子モニタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	SDA	SCL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	-	R	リードすると"0"が読めます。
1	SDA	R	SDA 端子のレベルモニタ 0:Low レベル 1:High レベル
0	SCL	R	SCL 端子のレベルモニタ 0:Low レベル 1:High レベル

注) モニタビットを使用する場合は、ポートの機能レジスタを先に設定してください。

14.3.12 I2CxAR2(I2C 第 2 アドレスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SA2							SA2EN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-1	SA2[6:0]	R/W	第 2 スレーブアドレスの設定
0	SA2EN	R/W	第 2 スレーブアドレスの使用設定 0: 未使用 1: 使用

注) I2CxCR1<NOACK>=0 を設定してください。

14.3.13 I2CSWUPCR1(I2C WakeUp コントロールレジスタ 1)

	7	6	5	4	3	2	1	0
bit symbol	BUSY	SGCDI	ACK	I2RES	RW	-	GC	INTEND
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
7	BUSY	R	0 : ストップコンディション検出 1 : スタートコンディション検出
6	SGCDI	R	0 : ジェネラルコール検出 On 1 : ジェネラルコール検出 Off
5	ACK	R/W	0 : ACK 出力有り("0"出力) 1 : ACK 出力無し("0"出力)
4	I2RES	R/W	I2CBUS リセット(注 1、2、3) 0 : リセット解除 1 : リセット中
3	RW	R	マスタからの送受信要求モニタ(注 4) 0 : スレーブ受信 1 : スレーブ送信
2	-	R	リードすると"0"が読めます。
1	GC	R	ジェネラルコール検出ステータス 0 : 非検出 1 : 検出
0	INTEND	R/W	割り込み解除 0 : - 1 : 割り込み解除

注 1) <I2RES>= 1 とすれば I2CBUS はリセットされますが、自動では"0"には戻りません。リセットを解除するには <I2RES>= 0 としてリセットを解除してください。

注 2) <I2RES>によりリセットを行った場合、I2C の全 Read レジスタが初期化されます。Write データは初期化されません。

注 3) <I2RES>によるリセット動作解除後、設定値に従って回路動作を行います。従って、<I2RES>= 1 時に、スレーブアドレスの設定や ACK の有無などの設定を行ってください。

注 4) アドレス不一致時、マスタからの送受信要求によらず<RW>は"0"となります。

14.3.14 I2CSWUPCR2(I2C WakeUp コントロールレジスタ 2)

	7	6	5	4	3	2	1	0
bit symbol	WUPSA1							-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
7-1	WUPSA1[6:0]	R/W	第 1 スレーブアドレス設定
0	-	R	リードすると"0"が読めます

14.3.15 I2CSWUPCR3(I2C WakeUp コントロールレジスタ 3)

	7	6	5	4	3	2	1	0
bit symbol	WUPSA2							WUPSA2EN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
7-1	WUPSA2[6:0]	R/W	第 2 スレーブアドレス設定
0	WUPSA2EN	R/W	第 2 スレーブアドレスの使用設定 0 : 未使用 1 : 使用

14.3.16 I2CSWUPSL(I2C WakeUp ステータスレジスタ)

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	WUPSA2	WUPSA	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
7-3	-	R	リードすると"0"が読めます。
2	WUPSA2	R	0 : 第 2 スレーブアドレスと不一致 1 : 第 2 スレーブアドレスと一致
1	WUPSA	R	0 : 第 1 スレーブアドレスと不一致 1 : 第 1 スレーブアドレスと一致
0	-	R	リードすると"0"が読めます。

14.4 機能

14.4.1 スレーブアドレス一致検出、ジェネラルコール検出の選択

スレーブデバイスがスレーブアドレスの一致検出、ジェネラルコール検出をする際に、I2CxCR1<NOACK>で、スレーブモードのスレーブアドレス一致および、ジェネラルコール検出する/しないの設定を行います。

I2CxCR1<NOACK>=0 の時、I2CxOP<GCDI>=0 にすると、スレーブアドレス一致検出、ジェネラルコール検出をおこないます。<GCDI>=1 にするとジェネラルコールの検出を行いません。

I2CxCR1<NOACK>=1 の時、スレーブアドレス一致検出、ジェネラルコール検出を禁止します。

このとき、マスタから送られてくるスレーブアドレス、ジェネラルコールを無視し、アクノリッジを返さず、INTI2Cx 割り込み要求も発生しません。マスタモード時、I2CxCR1<NOACK>は無視され、動作に影響を与えません。

14.4.2 データ転送のクロック数とアクノリッジ有無の選択

1. データ転送のクロック数

データ転送のクロック数は I2CxCR1<BC[2:0]>と I2CxCR1<ACK>で設定されます

I2CxCR1<ACK>が"1"にセットされるとアクノリッジメントモードで動作します。マスタデバイスではデータビット数分のクロックを発生した後、アクノリッジのためのクロックを発生し INTI2Cx 割り込み要求を発生します。スレーブデバイスではデータビット数分のクロックをカウントした後、アクノリッジのためのクロックカウントをし INTI2Cx 割り込みを発生します。

I2CxCR1<ACK>が"0"にクリアされると非アクノリッジメントモードで動作します。マスタデバイスではデータビット数分のクロックを発生した後、INTI2Cx 割り込み要求を発生します。スレーブデバイスではデータビット数分のクロックをカウントした後、INTI2Cx 割り込みを発生します。

なおジェネラルコールのセカンドバイトは内容によりアクノリッジ信号の発生有無を制御する必要がありますので、ソフトウェアによりアクノリッジ信号の制御を行ってください。(セカンドバイトを非アクノリッジモードで受信し、受信割り込み処理で、1bit データ出力処理により ACK クロックを疑似的に出力処理など)

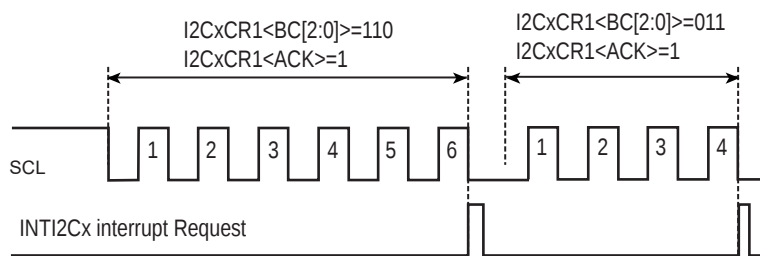


図 14-4 データ転送クロック数と I2CxCR1<BC[2:0]>,I2CxCR1<ACK>

データ転送のクロック数と I2CxCR1<BC[2:0]>と I2CxCR1<ACK>の関係はの表 14-2 通りとなります。

表 14-2 データ転送のクロック数

<BC[2:0]>	アクノリッジメント動作(I2CxCR1<ACK>)			
	0 : 無し		1 : 有り	
	データ長	クロック数	データ長	クロック数
000	8	8	8	9
001	1	1	1	2
010	2	2	2	3
011	3	3	3	4
100	4	4	4	5
101	5	5	5	6
110	6	6	6	7
111	7	7	7	8

<BC[2:0]>はスタートコンディションにより、"000"にクリアされます。

そのため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは、<BC[2:0]>は一度設定された値を保持します。

注)スレーブアドレスの送信、受信は I2CxCR1<ACK>を"1"にセットした状態で実施してください。I2CxCR1<ACK>がクリアされた状態ではスレーブアドレスの一致、方向ビットの検出が正常に行われません。

2. アクノリッジ出力

アクノリッジメントモードの時、アクノリッジのためのクロック期間中、SDA が下記のように変化します。

- ・ マスタモード時

トランスマッタモードのとき、アクノリッジのためのクロック期間中、レシーバからのアクノリッジ信号を受信するために SDA を開放します。

レシーバモードのときは、アクノリッジのためのクロック期間中、I2CxOP<MFAACK>= 0 時は、SDA を"L"レベルに引きアクノリッジ信号を発生します。

<MFAACK>= 1 時は SDA を"H"レベルにします。

- ・ スレーブモード時

受信したスレーブアドレスと I2CxAR<SA[6:0]>に設定されたスレーブアドレスが一致したとき、またはジェネラルコールを受信したときに、アクノリッジのためのクロック期間中、SDA を"L"レベルに引きアクノリッジ信号を発生します。スレーブアドレス一致またはジェネラルコール受信後のデータ転送で、トランスマッタモードのときには、アクノリッジのためのクロック期間中、SDA を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。

レシーバモードのときには、SDA を"L"レベルに引きアクリッジ信号を発生します。

表 14-3 アクリッジメントモードにおける SCL と SDA の状態

モード	端子	条件	トランスミッタ	レシーバ
マスタ	SCL	-	アクリッジのためのクロックを付加	アクリッジのためのクロックを付加
	SDA	-	アクリッジ信号受信のために端子を開放	アクリッジ信号として端子に"L"を出力か ノンアクリッジ信号として"H"を出力
スレーブ	SCL	-	アクリッジのためのクロックをカウント	アクリッジのためのクロックをカウント
	SDA	スレーブアドレスが一致したとき、またはジェネラルコールを受信したとき	-	アクリッジ信号として端子に"L"を出力
		スレーブアドレスが一致したとき、またはジェネラルコール受信後の、転送時	アクリッジ信号受信のために端子を開放	アクリッジ信号として端子に"L"を出力

14.4.3 シリアルクロック

14.4.3.1 クロックソース

I2CxOP<NFSEL>,I2CxCR1 <SCK[2:0]>で、マスタモード時に SCL 端子から出力されるシリアルクロックの HIGH 時間、LOW 時間を設定します。

<NFSEL>	<SCK[2:0]>	$t_{\text{HIGH}} (i \times T_{\text{prsc}})$	$t_{\text{LOW}} (j \times T_{\text{prsc}})$	周波数(kHz)(例) (注 1)
		i	j	
0	000	8	12	800.00
	001	10	14	666.67
	010	14	18	500.00
	011	22	26	333.3
	100	38	42	200.00
	101	70	74	111.11
	110	134	138	58.82
	111	262	266	30.30

注 1) <PRSC[4:0]>= 00001、fsys=16MHz 時、Tprsc=62.5ns

注 2) 低消費電力解除時にアドレス一致Wakeupを使用する場合は、<NFSEL>=1を使用してください。

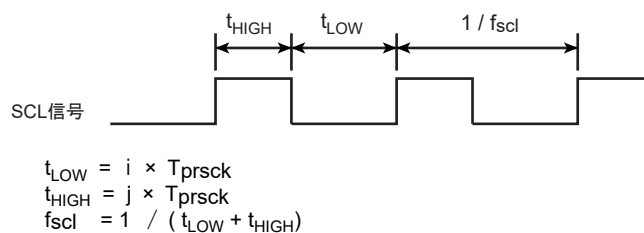


図 14-5 I2C クロック出力

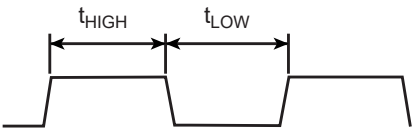
注) バスの負荷容量と Pull-Up 抵抗との組み合わせにより、立ち上がりが鈍り、設定した t_{HIGH} とならないことがあります。また、他のデバイスの出力するシリアルクロックと同期をとる機能（クロック同期化機能）が働いた場合、設定値と異なるクロックとなる場合があります。

マスタ時、スタートコンディション発生時のホールドタイムと、ストップコンディション発生時のセットアップタイムは下記となります。

ホールドタイム：
I2CxOP<SREN>=0： $t_{\text{HIGH}} [s]$
I2CxOP<SREN>=1： $8T_{\text{prsk}} [s]$

セットアップタイム：
I2CxPRS<PRSCK>=1： $t_{\text{HIGH}} [s]$
I2CxPRS<PRSCK>≠1： $t_{\text{HIGH}} - T_{\text{prsk}} [s]$

スレーブ時の I2CxCR2<PIN>を"1" にセットしたとき、SCL 開放までの時間は $t_{\text{LOW}}[s]$ となります。
なお、マスタモード/ スレーブモードともに I2CxCR1<SCK[2:0]>と関係なく、外部から入力されるシリアルクロックは、 "High" レベルは $4 \times T_{\text{prsk}}[s]$ 以上、“Low” レベルは $5 \times T_{\text{prsk}}[s]$ 以上が必要です。



$$t_{\text{LOW}} \geq (4 \times T_{\text{prsk}})$$
$$t_{\text{HIGH}} \geq (5 \times T_{\text{prsk}})$$

図 14-6 SCLK 入力

I2CxCR1<SCK[2:0]>、 I2CxPRS<PRSCK[4:0]>により、マスタ時に出力するシリアルクロックの速度を設定します。

I2CxPRS<PRSCK[4:0]>に従って分周されたプリスケールクロックを基準クロックとし、I2CxCR1<SCK[2:0]>に従ってさらに分周し、シリアルクロックとして使用します。

- シリアル転送レートについて
シリアルクロックレート(f_{scl})は、動作周波数(f_{sys})をもとに、プリスケールクロック(p)とシリアルクロック(n)の組み合わせにより以下のように決定されます。

<NFSEL>=0 時

$$\text{シリアルクロックレート: } f_{\text{scl}} \text{ (kHz)} = \frac{f_{\text{sys}}(\text{MHz})}{p \times (2^{n+2} + 16)} \times 1000$$

p： プリスケール設定 I2CxPRS<PRSCK[4:0]>、 1~32
n： シリアルクロック設定 I2CxCR1<SCK[2:0]>、 0~7

設定範囲は動作周波数(f_{sys})により変わります。以下の条件を満たすように、プリスケール設定"p"の設定可能範囲を決定してください。

<NFSEL>=0 時

$$50\text{ns} < \text{プリスケールクロック幅: } T_{\text{prsk}}(\text{ns}) \leq 150\text{ns}$$

注) マスタ/スレーブに関わらず、この範囲外はプリスケール設定禁止です。

また、他のデバイスの出力するシリアルクロックと同期をとる機能があるため、シリアルクロックの速度は一定でなくなることもあります。

n : <SCK[2:0]>			<NFSEL>=0
			p : <PRSCK[4:0]> = 00001 (1 分周) fsys との比
0	0	0	20
0	0	1	24
0	1	0	32
0	1	1	48
1	0	0	80
1	0	1	144
1	1	0	272
1	1	1	528

注) このビット(群)に対する書き込みは、ストップコンディション発生前またはストップコンディション発生後に行ってください。転送中の書き込みは予期しない動作の原因になります。

- プリスケラクロック幅(ノイズキャンセル幅)について
プリスケラクロック幅(Tprsck) (ノイズキャンセル幅)は、動作周波数(fsys)をもとに、プリスケラ設定"p"(I2CxPRS<PRSCK[4:0]>, 1 ~ 32)により、以下のように決定されます。

プリスケラクロック幅:Tprsck (ns) =
(ノイズキャンセル幅)

$$\frac{1}{\text{fsys}(\text{MHz})} \times 1000 \times p$$

14.4.3.2 クロック同期化

I2C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に"Low"レベルに引いたマスタが、"High"レベルを出力しているマスタのクロックを無効にします。このため、"High"レベルを出力しているマスタは、これを検出し対応する必要があります。

I2C はクロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

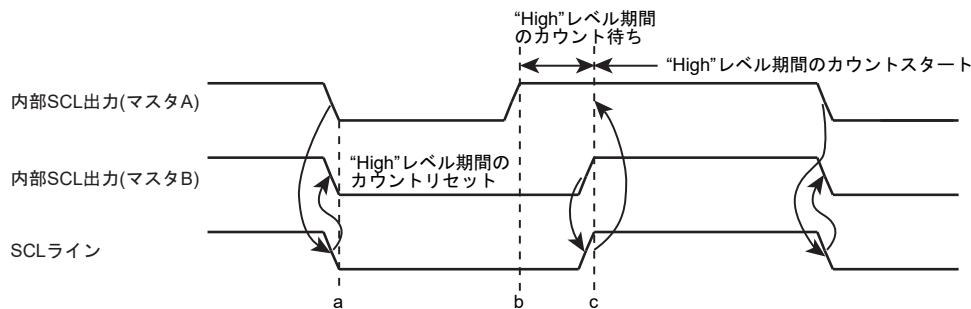


図 14-7 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を"Low"レベルに引くことで、バスの SCL ラインは"Low"レベルになります。マスタ B はこれを検出し、マスタ B の"High"レベル期間のカウントをリセットし、内部 SCL 出力を"Low"レベルに引きます。

b 点でマスタ A は"Low"レベル期間のカウントを終わり、内部 SCL 出力を"High"レベルにします。しかし、マスタ B がバスの SCL ラインを"Low"レベルに保持し続けているので、マスタ A は"High"レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を"High"レベルにし、バスの SCL ラインが"High"レベルになったことを検出後、"High"レベル期間のカウントを始めます。

その後、"High"レベル期間のカウントを終了したマスタ A が SCL 端子を"Low"に引くことでバスの SCL ラインは"Low"レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い"High"レベル期間をもつマスタと最も長い"Low"レベル期間をもつマスタによって決定されます。

14.4.4 マスタ/スレーブの選択

I2CxCR2<MST>を"1"に設定すると、マスタデバイスとして動作します。

I2CxCR2<MST>を"0"に設定すると、スレーブデバイスとして動作します。I2CxCR2<MST>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより"0"にクリアされます。

14.4.5 トランスマッタ/レシーバの選択

I2CxCR2<TRX>を"1"に設定すると、トランスマッタとして動作し、I2CxCR2<TRX>を"0"に設定すると、レシーバとして動作します。

スレーブモード時はハードウェアによりマスタデバイスから送られてくる方向ビット($R/\overline{W}$)が"1"の場合、I2CxSR<TRX>は"1"にセットされ、"0"の場合、I2CxSR<TRX>は"0"にクリアされます。

マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウェアにより、送信した方向ビットが"1"の場合、I2CxSR<TRX>は"0"に、方向ビットが"0"の場合、I2CxSR<TRX>は"1"に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

I2CxSR<TRX>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより"0"にクリアされます。

表 14-4 に各モードでの I2CxSR<TRX>の変化条件と変化後の I2CxSR<TRX>の値を示します。

注) I2CxCR1<NOACK>が 1 のとき、スレーブアドレス一致の検出、ジェネラルコールの検出が禁止されているため、I2CxSR<TRX>は変化しません。

表 14-4 各モードでの I2CxSR<TRX>の動作

モード	方向ビット	変化条件	変化後の<TRX>
スレーブモード	0	受信したスレーブアドレスが I2CAR<SA[6:0]>, I2CAR2<SA2[6:0]> に設定された値と同じとき	0
	1		1
マスタモード	0	ACK 信号が返ってきたとき	1
	1		0

I2C をフリーデータフォーマットで使用している場合、スレーブアドレス、方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。そのため、I2CxSR<TRX>はハードウェアによって変化することはありません。

14.4.6 スタート/ストップコンディションの発生

I2CxSR<BB>が"0"のときに、I2CxCR2<MST, TRX, BB, PIN>に"1"を書き込むと、バス上にスタートコンディション、あらかじめデータバッファレジスタに書き込んだスレーブアドレスと方向ビットが出力されます。あらかじめ、I2CxCR2<ACK>に"1"を設定しておいてください。

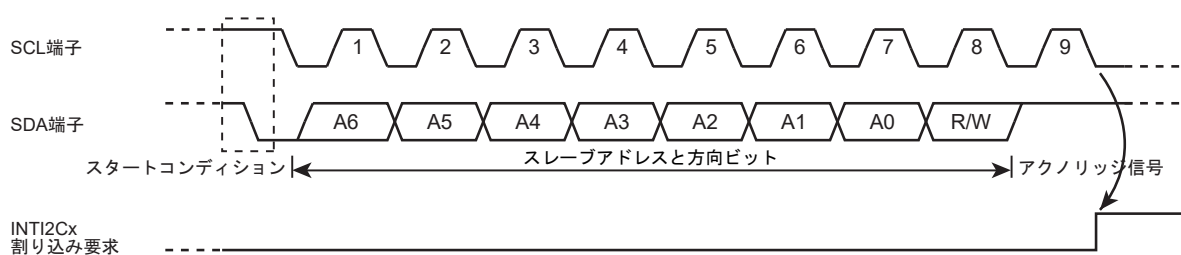


図 14-8 スタートコンディションの発生とスレーブアドレスの発生

I2CxSR<BB> = "1"のときに、I2CxCR2<MST, TRX, PIN>に"1"、I2CxCR2<BB>に"0"を書き込むと、バス上にストップコンディション出力のシーケンスが開始されます。

ストップコンディション発生時にバスの SCL ラインがほかのデバイスにより"Low"に引かれていた場合、SCL ラインが開放された後にストップコンディションが発生します。

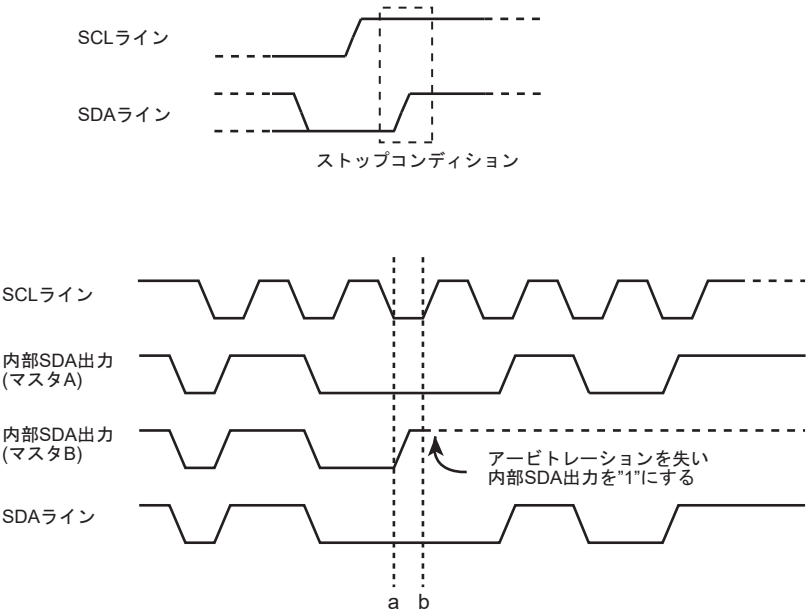


図 14-9 ストップコンディションの発生

また、I2CxSR<BB>を読み出すことで、バスの状態を知ることができます。I2CxSR<BB>は、バス上のスタートコンディションを検出すると"1"にセットされ(バスビジー状態)、ストップコンディションを検出すると"0"にクリアされます(バスフリー状態)。

一般的な動作として、I2CxSR の状態と、その際の設定例を示します。

I2CxCR2<MST>,<TRX>,<BB>,<PIN>のビットは本来独立した機能を持っていますが、I2CxSR の状態に応じて次のような定型的な組み合わせで使用します。

I2CxSR			I2CxCR2				動作
<MST>	<BB>	<PIN>	<MST>	<TRX>	<BB>	<PIN>	
0	0	1	0	0	0	0	スレーブとしてスタートコンディション待ち
			1	1	1	1	スタートコンディション発生
1	1	0	1	1	0	1	ストップコンディション発生

注) このビット(群)に対する書き込みの際に、誤って I2CxCR2<I2CM>を変更しないようにしてください。

14.4.7 割り込みサービス要求と解除

マスタモードの時、I2CxCR1<BC[2:0]>と<ACK>によって設定されたクロック数の転送が終了すると、I2C 割り込み要求(INTI2Cx)が発生します。

スレーブモードの場合は、以下のときに INTI2Cx が発生します。

- ・ I2CxCR1<NOACK>が"0"のとき、受信したスレーブアドレスが I2CxAR<SA[6:0]>に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- ・ I2CxCR1<NOACK>が"0"のとき、ジェネラルコールを受信したときのアクノリッジ信号出力後
- ・ スレーブアドレス一致、またはジェネラルコール受信後におけるデータ転送終了時

INTI2Cx 割り込み要求が発生すると、I2CxSR2<PIN>が"0"にクリアされます。<PIN>が"0"の間、SCL ラインを"Low"レベルに引きます。

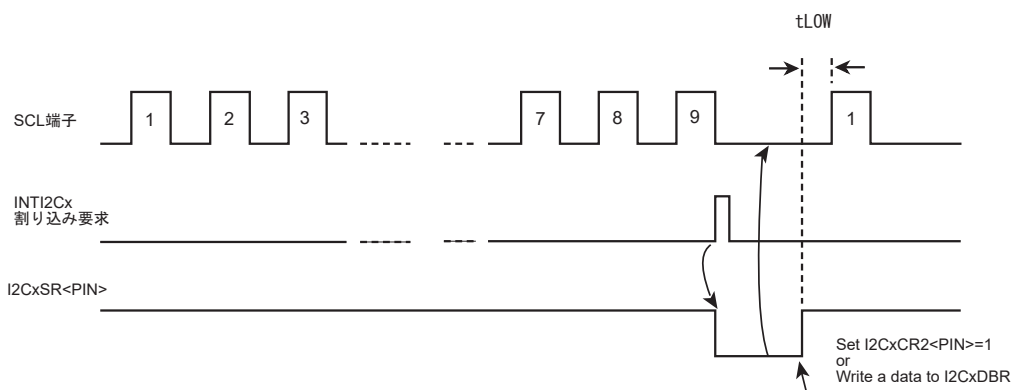


図 14-10 I2CxSR2<PIN>と SCL

I2CxDBR にデータを書き込むと I2CxSR2<PIN>が"1"にセットされます。

なお I2CxSR2<PIN>が"1"にセットされてから、SCL ラインが開放されるまで、t_{LOW} の時間がかかります。プログラムで I2CxCR2<PIN>に"1"を書き込むと"1"にセットされますが、"0"を書き込んでも"0"にクリアされません。

注) マスタモードでスレーブアドレスと方向ビットの転送中にアービトレーションロストが発生したとき、受信したスレーブアドレスと I2CxAR<SA[6:0]>の一致にかかわらず、<PIN>は"0"にクリアされ、INTI2Cx が発生します。

1. バスフリー検出割り込み

バスフリー検出割り込みは、デバイス内の I2CxSR<BB>フラグの変化(BB=1 から BB=0 時)により発生します。

バスフリー検出割り込みを使用する場合は、I2CxIE<INTI2CBF>=1 にしてください。

なお、<BB>はスレーブ動作時、マスタの指定するスレーブアドレスでない場合も、バス上に STOP コンディションを検出すると割り込みが発生します。

2. NACK 検出割り込み

I2CxCR<ACK>=1 かつ I2CxIE<INTNACK>=1 の時に、NACK を受信すると NACK 受信検出割り込みが発生します。

マスタモード時およびスレーブモード時のトランスミッタとして動作した場合に NACK 検出をします。

NACK 検出割り込みは、INTI2Cx と同じタイミングで発生しますので、I2CxST の割り込み発生ステータスフラグにより確認してください。

14.4.8 I2C バスモード

I2CxCR2<I2CM>を"1"にセットすると I2C バスモードになります。I2C バスモードで使用するときは、端子の状態が"High"になっていることを確認後、<I2CM>を"1"に設定してください。また、初期状態への切り替えはバスフリーを確認後、<I2CM>を"0"にしてください。

注) I2CxCR2<I2CM>が"0"のとき、<I2CM>以外の I2CxCR2 に値を書き込むことはできません。I2CxCR2 に値を設定する前に<I2CM>に"1"を書き込んで I2C バスモードにしてください。

14.4.9 ソフトウェアリセット

I2C は、I2C を初期化するソフトウェアリセット機能を持っています。ノイズなどにより I2C がロックしたとき、この機能を使うことで I2C を初期化することができます。

I2CxCR2<SWRST[1:0]>に、"10"、"01"の順に書き込みを行うとソフトウェアリセットが発生します。

ソフトウェアリセット発生後、I2C が初期化されますが、I2CxCR2<I2CM>と I2CxDBR レジスタは初期化されません。

また、I2CxSR<LRB>はソフトウェアリセット発生時の端子状態となります(不定値)

14.4.10 アービトレーションロスト検出モニタ

I2C バスではマルチマスタ(1 つのバス上で同時に 2 つ以上のマスタが存在する)が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

I2C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

a 点のビットまでマスタ A, マスタ B と同じデータを出力し、a 点でマスタ A が"Low"レベルを出力、マスタ B が"High"レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるために SDA ラインはマスタ A によって"Low"レベルに引かれます。

b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。

このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を"アービトレーションロスト"と呼び、アービトレーションを失ったマスタ B は SDA、SCL 端子を開放し、アービトレーションを失っていないマスタ A の出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目で全く等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

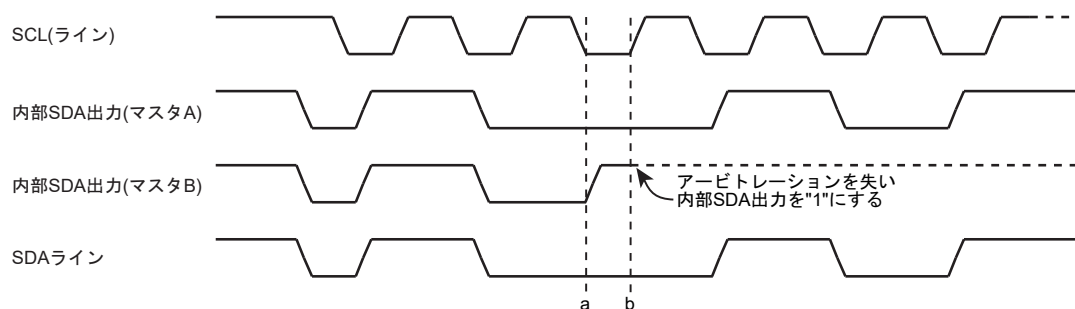


図 14-11 アービトレーションロスト

アービトレーションロスト割り込みを許可をしている場合は、図 14-11 の"b"の時点で AL フラグがセットされた後、設定されたデータ転送のクロック数の転送が終了した時点で、割り込みが発生します。

マスタ B は、バスの SDA ラインのレベルと SDA のレベルの比較を、SCL ラインの立ち上がりで行います。このとき、不一致を検出するとアービトレーションを失い、I2CxSR<AL>が"1"にセットされます。

I2CxSR<AL> が"1"にセットされると I2CxSR<MST, TRX>は"0"にリセットされ、スレーブレシーブモードになります。そのため、I2CxSR<AL>が"1"にセットされた後のデータ転送ではマスタ B はクロックの出力を停止します。データ転送が終了すると I2CxSR<PIN>が"0"にクリアされ、SCL が"L"に引かれます。

スレーブアドレスと方向ビット転送中にアービトレーションロストが発生したマスタ B は、通常のスレーブデバイスのように、他のマスタデバイスが送信するスレーブアドレスを受信します。受信したスレーブアドレスが、I2CxAR<SA[6:0]>と一致した場合、または一致しなかった場合とも、<PIN>が"0"にクリアされ、INTI2Cx が発生します。

I2CxSR<AL>は、I2CxDBR にデータを書き込むか、I2CxDBR からデータを読み込む、または I2CxCR2 にデータを書き込むと"0"にリセットされます。

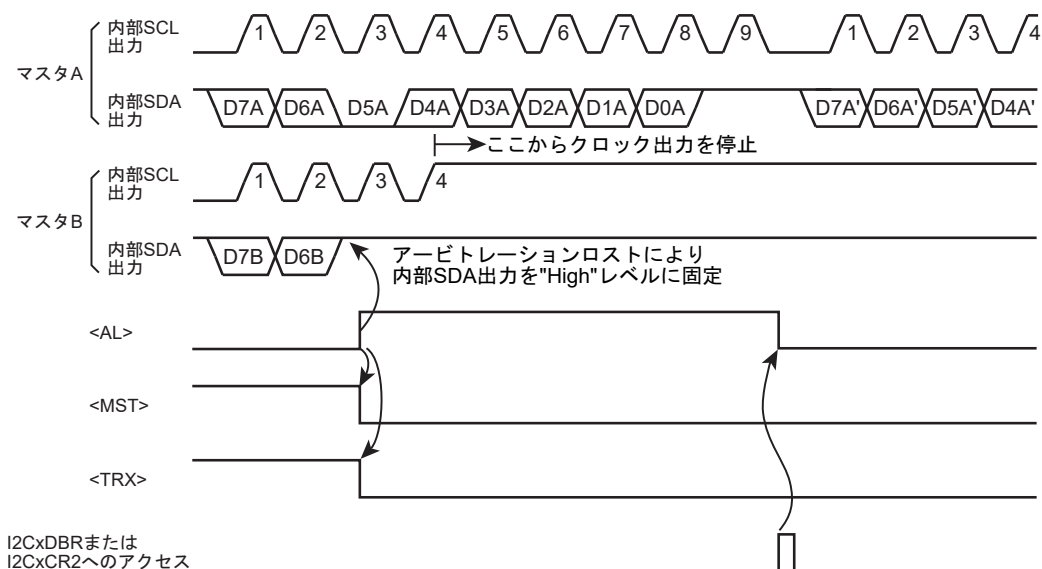


図 14-12 マスタ B の場合の例(D7A=D7B,D6A=D6B)

本製品は、I2C バス規格で定めている通常のアービトレーションロスト検出機能のみに対応に、NACK 送信時のアービトレーションロスト検出には対応していません。この場合、転送完了割り込み処理などの中で、I2CxSR<LRB>を確認することで対応する必要があります。

なおマルチマスタで転送開始がほぼ同時の場合、アービトレーションを、

(1)転送開始前に検出し、転送取り消しをする、

(2)転送開始後に検出する場合と、

(3)転送開始前に転送取り消しを行い、検出ができない場合が存在します。

なおデバイスの状態は、I2CxSR<AL>、<MST>、<TRX>によって知ることができます。

14.4.11 スレーブアドレス一致検出モニタ

本製品は、スレーブアドレスを2セット設定することができ、I2Cバスモード(I2CxAR<ALS>=0)で、スレーブモードの場合に、スレーブアドレスの一致検出が出来ます。スレーブアドレスは、I2CxAR<SA[6:0]> → I2CxAR2<SA2[6:0]>の順で比較されます。I2CxAR<SA[6:0]>、I2CxAR2<SA2[6:0]>とも同じアドレスを設定し一致検出を行ったばあいは、I2CxAR<SA[6:0]>側のみ検出結果を返します。なおアドレスを1セットのみ使用する場合は、I2CxAR<SA[6:0]>のみ設定してください。

I2CxCR1<NOACK>を"0"にクリアすると、アドレス一致検出を許可し、ジェネラルコールまたは、I2CxAR<SA[6:0]>の1セット目に設定した値と同じスレーブアドレスを受信することで、I2CxSR<AAS>は、"1"にセットされます。

2セット目を使用する場合は、I2CxAR2<SA2[6:0]>へアドレスを設定し、I2CxAR2<SA2EN>=1とします。<SA[6:0]>か<SA2[6:0]>どちらでアドレス一致を検出したかは、I2CxOP<SA2ST>,<SAST>で判別できます。

I2CxCR1<NOACK>を1にセットすると、アドレス一致検出を禁止し、ジェネラルコールまたは、I2CxAR<SA[6:0]>、I2CxAR2<SA2[6:0]>にセットした値と同じスレーブアドレスを受信しても、I2CxSR<AAS>は、"1"にセットされません。

フリーデータフォーマット(I2CxAR<ALS>=1)のときは、アドレス一致検出は機能せず、最初の1ワードが受信されると、I2CxSR<AAS>は"1"にセットされます。I2CxSR<AAS>はI2CxDBRにデータを書き込むか、I2CxDBRからデータを読み出すと"0"にクリアされます。

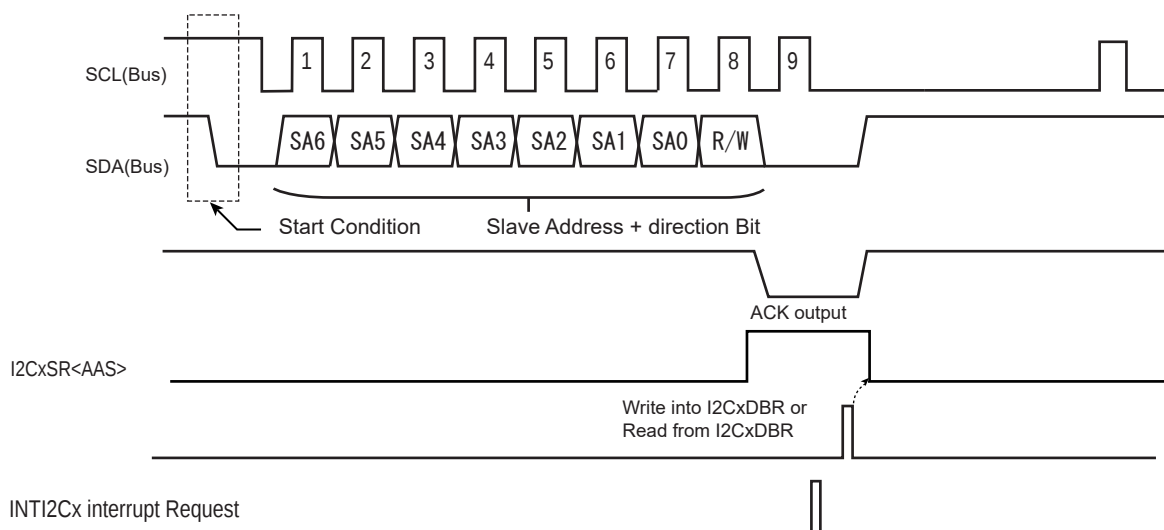


図 14-13 スレーブアドレス一致モニタの変化

14.4.12 ジェネラルコール検出モニタ

I2C バスモード(I2CxAR<ALS>=0) で、スレーブモードの場合に、スレーブアドレスの一致検出とともに、ジェネラルコール検出が出来ます。

I2CxCR1<NOACK>=0 かつ I2CxOP<GCDI>=1 のとき、I2CxSR<AD0>は、ジェネラルコール(スタートコンディション直後に受信した 8 ビットのデータが全て"0")を受信すると、"1"にセットされます。(この時、同時に I2CxSR<AAS>も、"1"にセットされます)

I2CxCR1<NOACK>=1 のとき、ジェネラルコール検出を禁止します。そのため、ジェネラルコールを受信しても、I2CxSR<AD0>は"0"のままです。(この時、同時に I2CxSR<AAS>も、"1"にセットされません)

I2CxSR<AD0>は、バス上のスタートコンディションまたはストップコンディションが検出されると"0"にクリアされます。

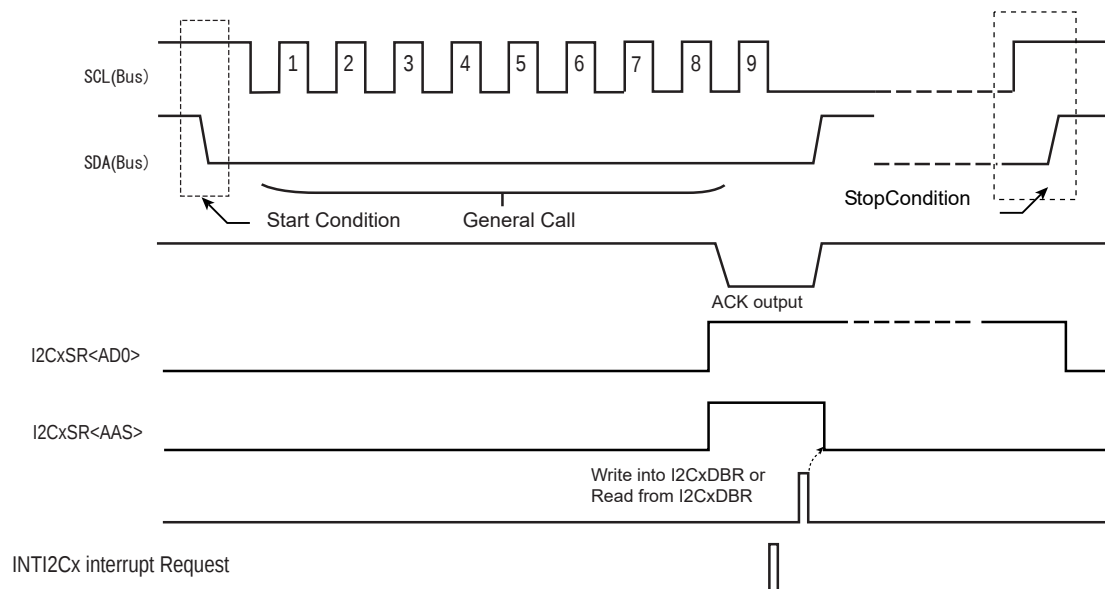


図 14-14 ジェネラルコール検出モニタの変化

14.4.13 最終受信ビットモニタ

I2CxSR<LRB>には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値が常に更新されセットされます。

そのため、アクノリッジメントモードのとき、INTI2Cx 割り込み要求発生直後に I2CxSR<LRB> を読み出すと、アクノリッジ信号を読み出すことができます。

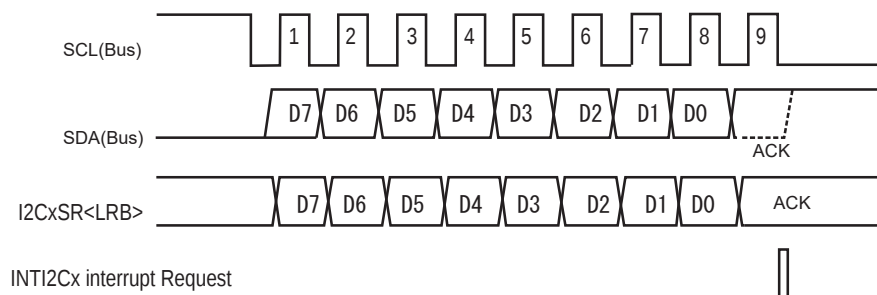


図 14-15 最終受信ビットモニタの変化

14.4.14 スレーブアドレスとアドレス認識モードの設定

I2C を、I2C バスモードで使用する際には、I2CxAR<ALS>を"0"にクリアし、I2CxAR <SA[6:0]>にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用する際には I2CxAR<ALS>を"1"に設定します。なお、I2C をフリーデータフォーマットで使用した場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

第2 スレーブアドレスを使用する場合は、I2CxAR2<SA2EN>を設定します。<SA2EN>=1 の時、第2 スレーブアドレスが有効となります。

スレーブアドレスは、第1 アドレス (I2CxAR<SA[6:0]>) → 第2 アドレス (I2CxAR2<SA2[6:0]>) の順で比較され、一致結果は、I2CxIE<SAST>、<SA2ST>へ反映されます。

第1、第2 とも同じアドレスを設定し、一致検出をした場合は、第1 アドレスのみの検出ステータスを返します。

14.4.15 ノイズキャンセル

SCL 端子、SDA 端子内にノイズキャンセル機能を内蔵しています。通常動作時は、デジタル式を選択し、I2CxOP<NFSEL>=0 を設定します。

低消費電力モードの解除にアドレス一致 WakeUp 機能を使用する場合は、低消費電力モードへ遷移する前にアナログ式を設定してください。(I2CxOP<NFSEL>=1)

デジタル式は、Tprsch(プリスケーククロック幅) 未満の信号がノイズとして除去されます。

14.4.16 反復スタート検出

スレーブモード時、バスラインに反復スタートを検出した場合には、I2CxOP<RSTA>が"1"にセットされます。反復スタートは、マスタデバイスがスレーブデバイスに対してデータ転送を終了させずに、転送の方向を変化させる場合などに使用されます。

<RTSA>は、Reset 以外で初期化されないため、STOP コンディション発生時、またはバスフリーの時などに、フラグのクリア(<RSTA>=0) 処理を行ってください。(図 14-16 参照)

マスタモードで I2CxPRS<PRSC[4:0]>≠00001 の時、<RSTA>は、スタートコンディション発生後に"1"になりますので、最初の INTI2Cx 割り込み処理等で、クリア処理を行ってください。

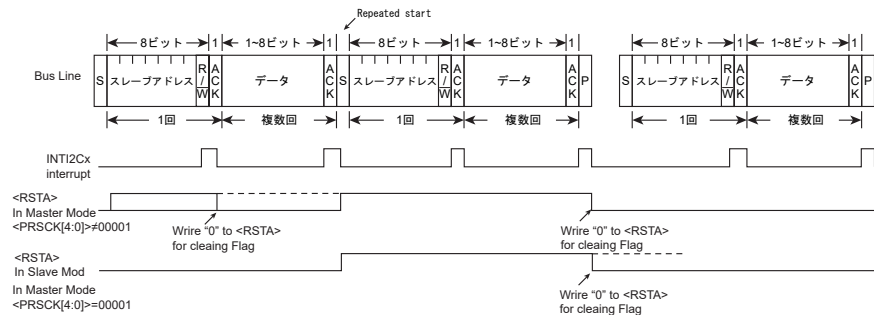


図 14-16 反復スタート検出フラグ

14.4.17 DMA リクエスト出力制御

I2C バスモードでは DMA によるデータ転送を行うことができます。ただし、バス上にマスタとスレーブが 1 つずつ接続され、あらかじめ転送するデータ数が決まっているときのみ可能です。

リクエストが出力されるタイミングは、INTI2Cx 送受信終了割り込み発生の 1 クロック後ですので、I2CxDBR とメモリ間で DMA 転送を行う事で連続転送ができます。

送信、受信個別に DMA リクエスト制御の出力ができ、I2CxIE<DMARI2CTX>、<DMARI2CRX>のレジスタで制御できます。おのおのの許可/禁止を設定してください。

DMA によりデータ転送を行う場合、何ワードのデータをやり取りするかをあらかじめ送受信の双方で決めておく必要があります。

I2C 転送の途中にアービトレーションロストが発生した場合、INTI2CALx 割り込みと INTI2Cx 割り込みが発生しますが、DMA リクエストは発生しません。

14.5 動作説明

14.5.1 I2C バスモード時のデータ転送手順

14.5.1.1 デバイスの初期化

SDA と SCL 端子の状態が"High"(バスフリー)になっていることを確認し、I2CxCR2<I2CM>に"1"を設定し、I2C をイネーブルに設定します。

次に、I2CxCR1<ACK>に"1"を、I2CxCR1<NOACK>に"0"を、I2CxCR1<BC[2:0]>に"000"をそれぞれ書き込み、アクノリッジのためのクロック数を“カウントする”、スレーブアドレス一致検出およびジェネラルコール検出を”許可”に、データ長を“8 ビット”にそれぞれ設定します。

また、I2CxCR1<SCK[2:0]>で t_{HIGH} 、 t_{LOW} を設定します。

次に I2CxAR<SA[6:0]>にスレーブアドレスを設定し、I2CxAR<ALS>を"0" に設定してアドレスリングフォーマットを設定します。

最後に、I2CxCR2<MST>、I2CxCR2<TRX>、I2CxCR2<BB>に"0"を、I2CxCR2<PIN>に"1"を、I2CxCR2<SWRES[1:0]>に"00"を設定し、初期状態をスレーブレシーバモードにします。

14.5.1.2 スタートコンディション, スレーブアドレスの発生

バスフリー状態(<BB> = 0)を確認します。

I2CxCR1<ACK>に"1"にセットし、I2CxDBR に送信するスレーブアドレスと方向ビットのデータを書き込みます。I2CxCR2<MST, TRX, BB, PIN>に"1111"を書き込むと、バス上にスタートコンディションとスレーブアドレスおよび方向ビットが出力されます。なお、スタートコンディション出力後、SCL 端子が立ち下がるまで、 t_{HIGH} の時間がかかります。

この後、SCL の 9 クロック目の立ち下がり で INTI2Cx 割り込み要求が発生し、I2CxSR<PIN> = 0 にクリアされます。

I2CxSR<PIN> = 0 の間、SCL を"Low"レベルにひきます。スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTI2Cx 割り込み要求発生タイミングで I2CxSR<TRX>が方向ビットに合わせては変化します。アクノリッジが信号が返ってこない場合、I2CxSR<TRX>は変化しません。

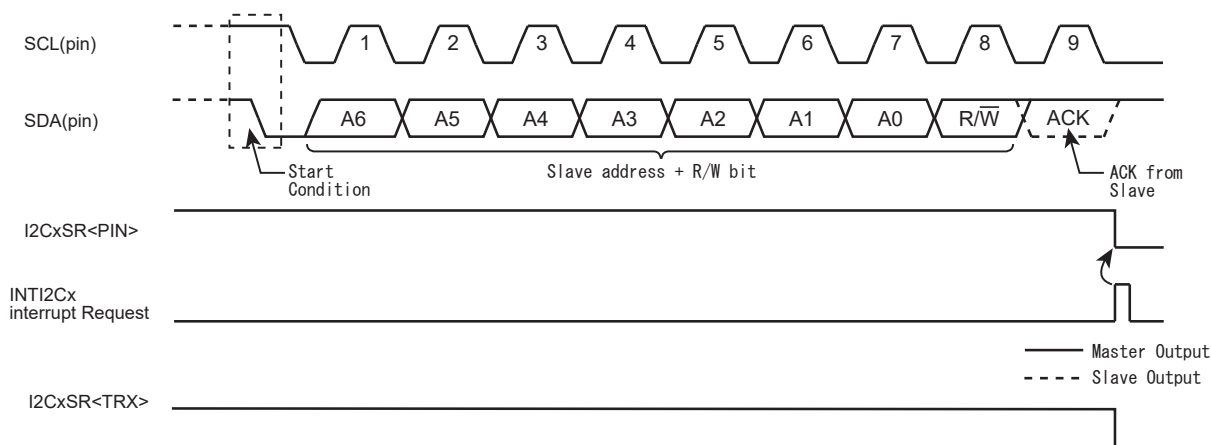


図 14-17 スタートコンディションとスレーブアドレスの発生

14.5.1.3 1 ワードのデータ転送

1 ワード転送終了の割り込みの処理で I2CxSR<MST>の状態を確認し、マスタモード/スレーブモードの判断をします。

(1) I2CxSR<MST> = 1 のとき(マスタモード)

I2CxSR<TRX>の状態を確認し、トランスミッタ/レシーバの判断をします。

(a) I2CxSR<TRX>= 1 のとき(トランスミッタモード)

I2CxSR<LRB>フラグでレシーバからのアクノリッジ状態を確認します。

I2CxSR<LRB> = 0 のとき、レシーバが次のデータを要求しているので、送信データを I2CxDBR に書き込みます。ただし、転送ビット数を変更したい場合には、I2CxCR1<BC[2:0]>を再設定し、I2CxCR1 <ACK>を"1"にセットした後、送信データを I2CxDBR に書き込んでください。データを書き込むと I2CxSR<PIN>が"1"になり、SCL からシリアルクロックが発生し、SDA からデータが送信されます。

なお、レシーバが次のデータを要求していても、ストップコンディションの発行は可能です。

送信終了後、INTI2Cx 割り込み要求が発生し、I2CxSR<PIN>が"0"になり SCL を"Low"レベルに引きます。複数ワードの転送が必要な場合は上記 I2CxSR<LRB>の状態確認から繰り返します。

I2CxSR<LRB> = 1 のとき、レシーバは次のデータを要求していないので、ストップコンディションを発生する処理(後述参照)を行ってデータ転送を終了します。

なお、レシーバがデータを要求していなくても、データの送信は可能です。

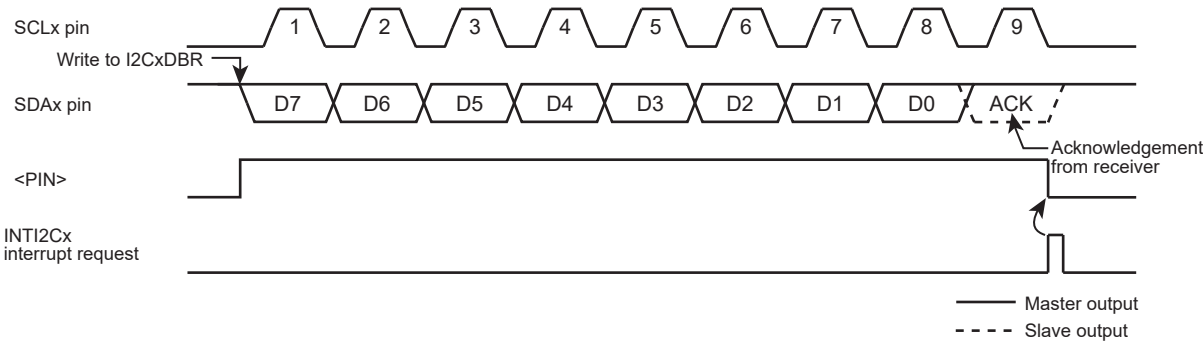


図 14-18 I2CxCR1<BC[2:0]>= 000,I2CxCR1<ACK>= 1 の場合

(b) I2CxSR<TRX>=0 のとき(レシーバモード)

I2CxDBR にダミーデータ(0x00)を書き込むか、I2CxCR2<PIN>を"1"にセットすると、1ワードの転送クロックとアクノリッジを出力します。受信完了を示す INTI2Cx 割り込み要求が発生した後、I2CxDBR から受信データを読み出します。

ただし、受信データビット数を変更したい場合には、I2CxCR1<BC[2:0]>を再設定し、I2CxCR1<ACK>に"1"をセットした後、ダミーデータ(0x00)を書き込むか、I2CxCR2<PIN>を"1"にセットしてください。(スレーブアドレス送信直後のリードデータは不定です)

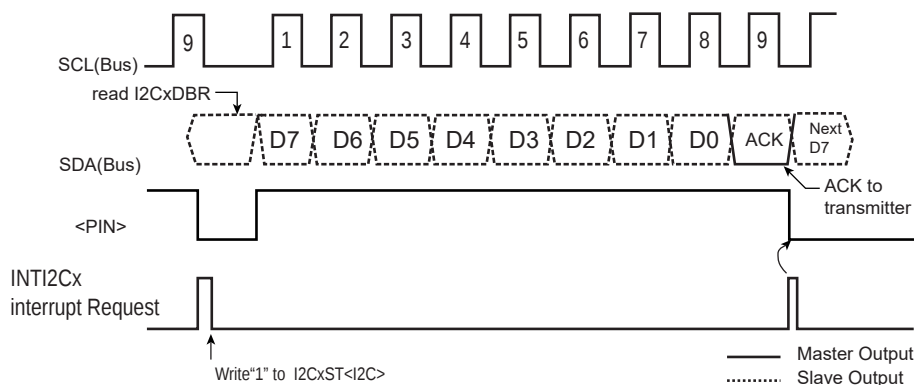


図 14-19 I2CxCR1<BC[2:0]>= 000, I2CxCR1<ACK>= 1 の場合(レシーバモード)

(c) I2CxSR<TRX>= 0 のとき(最終ワードを受信する場合)

アクノリッジを出さない疑似通信を行って最終ワードの判断をします。

以下にそのフローを説明します。

トランスミッタに対してデータの送信を終了させるときは、最後のデータを受信する前に下記の処理を行います。

1. 受信データを I2CxDBR から読み出す。
2. I2CxOP<MFAK>を"1"にセットし、NACK 送信にします。
3. I2CxCR2<PIN>を"1"にセットするために、I2CxDBR にダミーデータ(0x00)を書き込みます。

I2CxCR2<PIN>が"1"に設定されると、NACK 送信での 1 ワードの転送が実施されます。1 ワードの転送後、下記の処理を行います。

1. 受信データを I2CxDBR から読み出す。
2. ストップコンディションを発生させ、データ転送を終了。

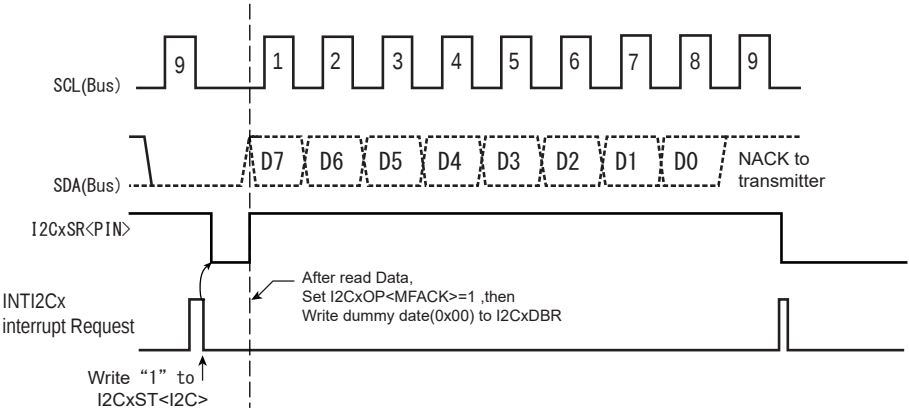


図 14-20 マスタレシーバモード時、データの送信を終了させるときの処理

(2) I2CxSR<MSR>= 0 のとき(スレーブモード)

スレーブモードのときは、通常のスレーブモードとしての処理または、I2C がアービトレーションを失いスレーブモードになったときの処理を行います。スレーブモードの場合、以下の時に INTI2Cx 割り込み要求が発生します。

- ・ I2CxCR1<NOACK>が "0" のとき、受信したスレーブアドレスが、I2CxAR<SA[6:0]> に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- ・ I2CxCR1<NOACK>が "0" のとき、ジェネラルコールを受信したときのアクノリッジ信号出力後
- ・ スレーブアドレス一致、またはジェネラルコール受信後におけるデータ転送終了時
- ・ I2C がマスタモードのときアービトレーションを失うとスレーブモードとして動作し、アービトレーションを失ったワード転送の終了時に INTI2Cx 割り込み要求が発生します。

アービトレーションを失った後の INTI2Cx 割り込み要求発生と I2CxSR<PIN>の動作を表 14-5 に示します。

表 14-5 アービトレーションロスト時の INTI2Cx 割り込み要求と I2CxSR<PIN>の動作

	マスタモード時、スレーブアドレス送信中にアービトレーションを失った場合	マスタトランスミッタモード時、データ送信中にアービトレーションを失った場合
INTI2Cx 割り込み要求	ワード転送終了時に INTI2Cx 割り込み要求発生	
I2CxSR<PIN>	I2CxSR<PIN>は"0"にクリアされます。	

INTI2Cx 割り込み要求が発生すると、I2CxSR<PIN>が"0"にリセットされ、SCL を "Low" レベルに引きます。I2CxDBR にデータを書き込むか、I2CxCR2<PIN>を"1"にセットすると SCL が t_{LOW} 後に開放されます。

I2CxSR<AL>, <TRX>, <AAS>, <AD0>をテストし、場合分けを行います。表 14-6 にスレーブモード時の状態と必要な処理を示します。

表 14-6 スレーブモード時の処理

I2CxSR <TRX>	I2CxSR <AL>	I2CxSR <AAS>	I2CxSR <AD0>	状態	処理
1	1	1	0	シリアルバスインタフェース回路が、スレーブアドレス送信中にアービトレーションを失い、ほかのマスタが送った方向ビットが"1"のスレーブアドレスを受信	1 ワードのビット数を I2CxCR1<BC[2:0]>にセットし、送信するデータを I2CxDBR に書き込みます。
		1	0	スレーブレシーバモード時、マスタが送った方向ビットが"1"のスレーブアドレスを受信	
	0	0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	I2CxSR<LRB>をテストし、"1"にセットされていた場合、レシーバが次のデータを要求していないので I2CxCR2<PIN>に"1"をセット、I2CxCR2<TRX>を"0"にリセットしバスを開放します。<LRB>が"0"にリセットされていた場合、レシーバが次のデータを要求しているので 1 ワードのビット数を I2CxCR1<BC[2:0]>にセットし、送信するデータを I2CxDBR に書き込みます。
0	1	1	1/0	シリアルバスインタフェース回路が、スレーブアドレス送信中にアービトレーションを失い、ほかのマスタが送った方向ビットが"0"のスレーブアドレス、またはジェネラルコールを受信	I2CxSR<PIN>を"1"にセットするために I2CxDBR にダミーデータ(0x00)を書き込みます。または<PIN>に"1"を書き込みます。
		0	0	シリアルバスインタフェース回路が、スレーブアドレスを送信中またはデータ送信中にアービトレーションを失い、そのワードの転送が終了	シリアルバスインタフェース回路はスレーブモードになっています。I2CxSR<AL>を"0"にクリア、I2CxSR<PIN>に"1"をセットするために I2CxDBR にダミーデータ(0x00)を書き込みます。
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが"0"のスレーブアドレス、またはジェネラルコールを受信	I2CxSR<PIN>を"1"にセットするために I2CxDBR にダミーデータ(0x00)を書き込みます。または I2CxCR2<PIN>に"1"を書き込みます。
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	1 ワードのビット数を I2CxCR1<BC[2:0]>にセットし、受信データを I2CxDBR から読み込み、ダミーデータ(0x00)を書き込みます。

注) スレーブモードで I2CxAR<SA[6:0]>が"0x00"に設定されている場合、I2C バス規格の START バイト(0x01)を受信したときにスレーブアドレスが一致したと判断し、I2CxSR<TRX>が"1"にセットされます。<SA[6:0]>に"0x00"を設定しないでください。

14.5.1.4 ストップコンディションの発生

I2CxSR<BB>=1 のときに、I2CxCR2<MST, TRX, PIN>に"1"、I2CxCR2<BB>に"0"を書き込むとバス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまでは、I2CxCR2<MST, TRX, BB, PIN>の内容を書き替えないでください。

また、ストップコンディション発生時に、SCL ラインがほかのデバイスにより"L"レベルにひかれていた場合、SCL ラインが開放された後、ストップコンディションが発生します。SCL ラインが開放されてからストップコンディションが発生するまで、 t_{HIGH} かかります。

I2CxSR<BB>のバス状態モニタによりストップコンディションが発生したどうかの確認が可能です。

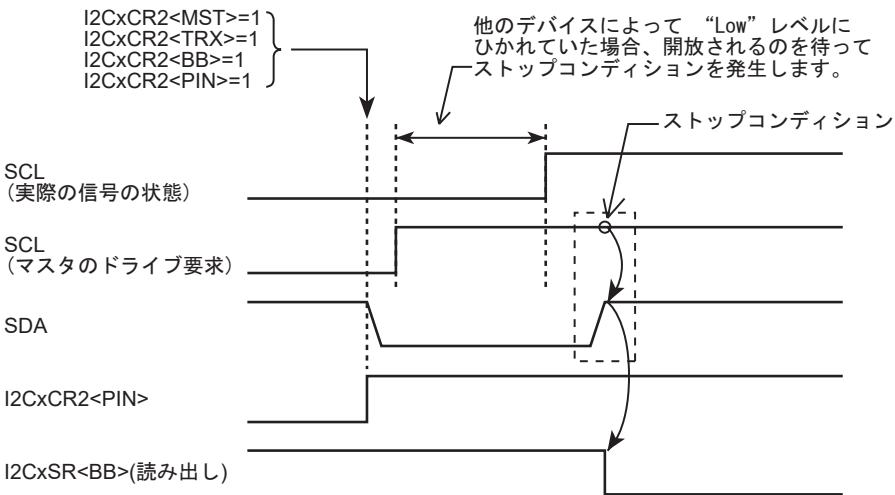


図 14-21 ストップコンディションの発生

14.5.1.5 反復スタートの手順

反復スタートは、マスタデバイスがスレーブデバイスに対してデータ転送を終了させずに、転送の方向を変化させるときに使用します。反復スタートは、INTI2Cx 割り込み発生後の ACK/NACK 出力処理後の動作です。

I2CxOPT<SREN>の操作は、割り込み発生からクロックストレッチ解除の間に行います。

反復スタートを発生される手順は以下のとおりです。

I2CxSR<BB>= 1 の時、I2CxOPT<SREN>= 1 をセットし、データバッファにスレーブアドレスと方向ビットを書き込みます。この後、I2CxCR2<MST,TRX,PIN,BB>に"1"を書き込むと、バス上に反復スタートコンディションが出力されます。

注) I2CxOPT<SREN>= 1 の時は、I2CxCR2<PIN>に"0"を設定しないでください。

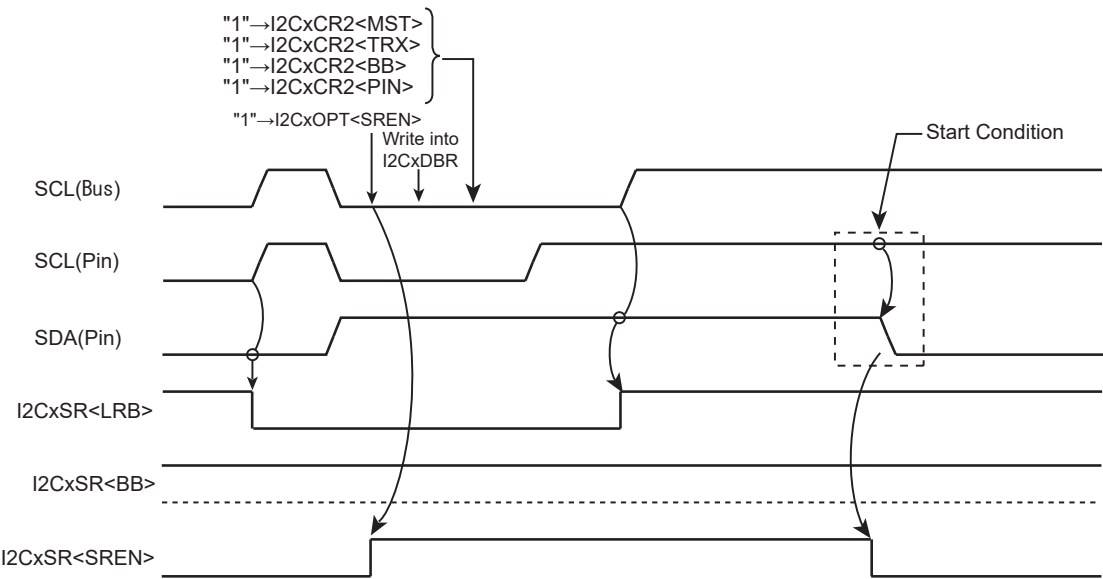


図 14-22 反復スタートを発生する場合のタイミングチャート

14.5.1.6 DMA によるデータ転送

I2C バスモードでは DMA によるデータ転送を行う事ができます。ただし、バス上にマスタとスレーブが 1 つずつ接続され、あらかじめ転送するデータ数が決まっているときのみ可能です。

I2C バスモードでは INTI2Cx 割り込みが発生すると DMA リクエストもほぼ同時(1 クロック後)に発生しますので、I2CxDBR(データバッファ)とメモリ間で DMA 転送を行う事で連続転送ができます。

DMA リクエストは送信、受信それぞれ別々に発生しますので、DMA を使用する場合には、DMAC の制御レジスタでおのこの許可/禁止を設定してください。

DMA によりデータ転送を行う場合、何ワードのデータをやり取りするかをあらかじめ送受信の双方で決めておく必要があります。

I2C 転送の途中にアービトレーションロストが発生した場合、INTI2CALx 割り込みと INTI2Cx 割り込みが発生しますが、DMA リクエストは発生しません。

なおレシーバモード時に I2CxDBR のリードで PIN を解除(I2CxSR<PIN>=1)可にするため、I2CxIE<SELPINCD>へ” 1 ”を設定してください。

以下に I2C0、DMAC (ch0)で 8 バイトデータを n 回転送する場合の転送手順例を示します。

(1) マスタモードモードでの転送手順

1. スタートコンディションの発生とスレーブアドレスの出力を行います。
2. スレーブアドレス出力後の INTI2C0 割り込みで、I2C0SR<LRB>、<TRX>を確認します。
3. <LRB>が"1"の場合、出力したスレーブアドレスにアクノリッジを返すスレーブがないため、ストップコンディションを出力して、転送を終了します。
4. <LRB>が"0"の場合、出力したスレーブアドレスにアクノリッジが返ってきているので、<TRX>を確認します。<TRX>の値によって処理が変わります。

(a) <TRX>が"1"の場合(トランスミッタモード)

- a. DMA の設定を行います。(転送ビット幅、バーストサイズ、総転送回数など) 総転送回数は実際に送信したいデータ数-1 とします。また、I2C0IE<DMAI2CTX>による DMA リクエスト受け付けを許可します。
- b. 1 ワード目のデータを I2C0DBR に書き込みます。これにより、1 ワード目の送信が開始します。
- c. 転送終了の INTI2C0 割り込みのタイミングでの DMA リクエストで DMA 転送が開始され、2 ワード目以降のデータ送信が行われます。
- d. 設定回数(n-1 回)の DMA 転送が終了すると DMA 転送終了割り込みが発生します。この割り込み処理で、DMA リクエスト受け付けを禁止します。(I2C0IE<DMARI2CTX>=0 にしてください)
- e. 転送終了の INTI2C0 割り込みでストップコンディションを発生させ、転送を終了します。

(b) <TRX>が"0"の場合(レシーバモード)

- a. DMA の設定を行います。(転送ビット幅、バーストサイズ、総転送回数など) 総転送回数は実際に送信したいデータ数-2 とします。また、I2C0IE<DMARI2CRX>による DMA リクエスト受け付けを許可します。
- b. I2C0DBR をダミー読み出しします。これにより、1 ワード目の受信が開始します。
- c. 転送終了の INTI2C0 割り込みのタイミングでの DMA リクエストで DMA 転送が開始され、2 ワード目以降のデータ受信が行われます。
- d. 設定回数(n-2 回)の DMA 転送が終了すると DMA 転送終了割り込みが発生します。この割り込み処理で、DMA リクエスト受け付けを禁止します。(I2C0IE<DMARI2CRX>=0 にしてください)
- e. (n-1 回) 転送終了の INTI2C0 割り込みで<MFACK>を"1"に設定して、ノットアクリッジ信号を発生するようにします。その後、I2C0DBR から受信データを読み出します。
- f. 転送終了の INTI2C0 割り込みでストップコンディションを発生させ、転送を終了します。

(2) スレーブモードでの転送手順

1. スタートコンディションとスレーブアドレスの受信を行います。
2. スレーブアドレス受信後の INTI2C0 割り込みで、I2C0SR<TRX>を確認します。
3. <TRX>の値によって処理が変わります。

(a) <TRX>が"1"の場合(トランスミッタモード)

- a. DMA の設定を行います。(転送ビット幅、バーストサイズ、総転送回数など) 総転送回数は実際に送信したいデータ数-1 とします。また、I2C0IE<DMARI2CTX>による DMA リクエスト受け付けを許可します。
- b. 1 ワード目のデータを I2C0DBR に書き込みます。これにより、マスタからクロックを受けとれるようになり、1 ワード目の送信が行われます。
- c. 転送終了の INTI2C0 割り込みによる DMA リクエストで DMA 転送が開始され、2 ワード目以降のデータ送信が行われます。
- d. 設定回数(n-1 回)の DMA 転送が終了すると DMA 転送終了割り込みが発生します。この割り込み処理で、DMA リクエスト受け付けを禁止します。(I2C0IE<DMARI2CTX>=0 にしてください)
- e. 転送終了の INTI2C0 割り込みでは、送信データを I2C0DBR に書き込まず、マスタからのストップコンディションを待ちます。

(b) <TRX>が"0"の場合(レシーバモード)

- a. DMA の設定を行います。(転送ビット幅、バーストサイズ、総転送回数など) 総転送回数は実際に送信したいデータ数-2 とします。また、I2C0IE<DMARI2CRX>による DMA リクエスト受け付けを許可します。
- b. I2C0DBR をダミー読み出しします。これにより、マスタからクロックを受けとれるようになり、1 ワード目の受信が行われます。
- c. 転送終了の INTI2C0 割り込みによる DMA リクエストで DMA 転送が開始され、2 ワード目以降のデータ受信が行われます。
- d. 設定回数(n-2 回)の DMA 転送が終了すると DMA 転送終了割り込みが発生します。この割り込み処理で、DMA リクエスト受け付けを禁止します。(I2C0IE<DMARI2CRX>=0 にしてください)

- e. (n-1 回)転送終了の INTI2C0 割り込みで<MFACK>を"1"に設定して、ノットアクノリッジ信号を発生するようにします。その後、I2C0DBR から受信データを読み出します。
- f. 転送終了の INTI2C0 割り込みでマスタからのストップコンディションを待ちます。

14.6 I2C アドレス一致 Wake Up 機能

スレーブモード時、低消費電力モード(STOP1) で、I2C バス上のフレームアドレスが自アドレス(スレーブアドレス) と一致した場合、割り込みを(INTI2CS) を発生し低消費電力モードを解除します。

14.6.1 構成

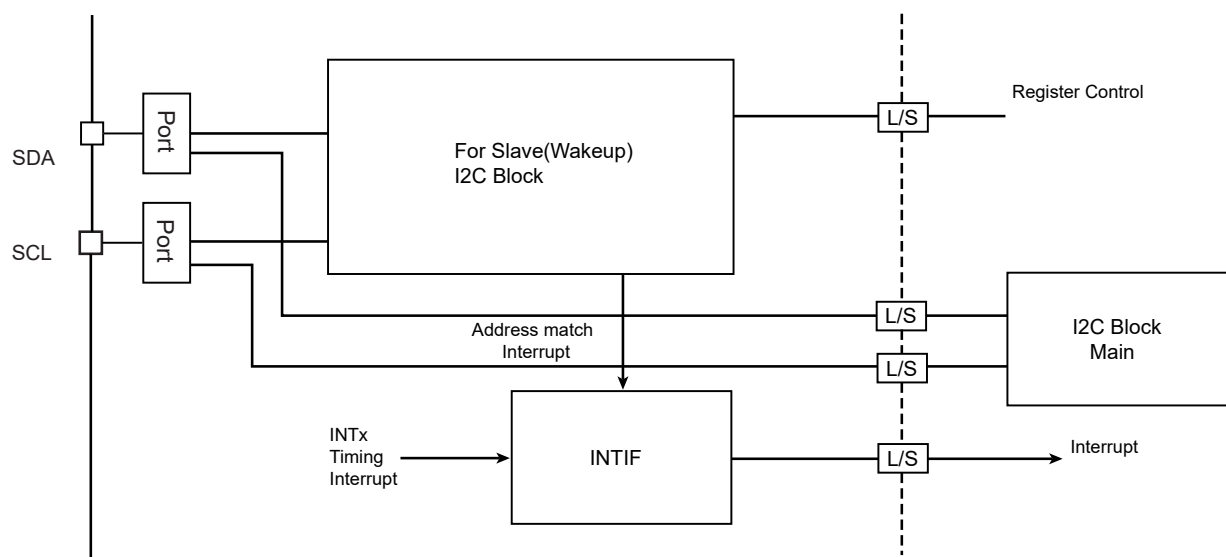


図 14-23 WakeUp 部構成

14.6.2 動作

14.6.2.1 クロックストレッチ機能

TMPM066/067/068FW では、スレーブモード時、サブアドレスの一致確認後、ACK を返した後に、SCL を”L” へ引くクロックストレッチ動作を行います。

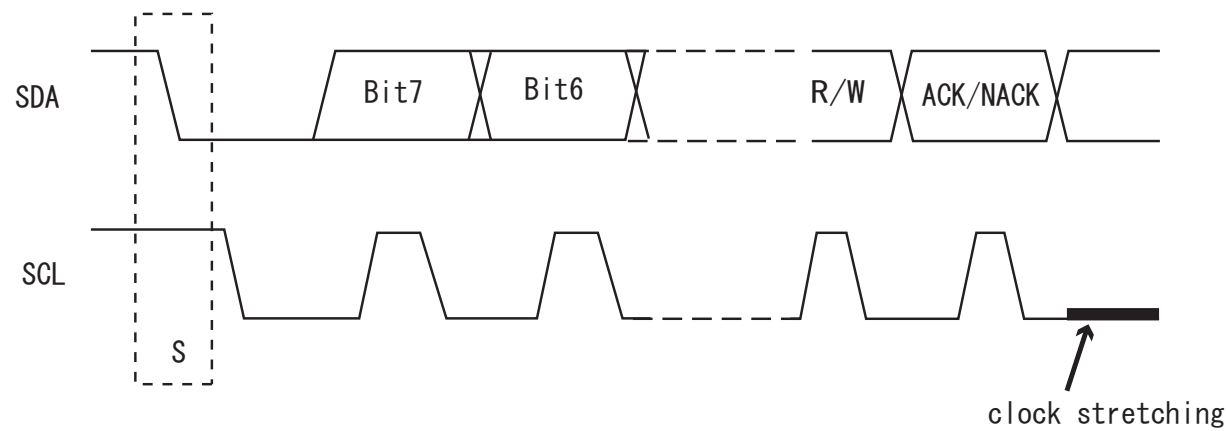


図 14-24 クロックストレッチ機能

注) クロックストレッチ動作中に低消費電力モードへ移行した場合、バスがロックされた状態が保持されるためアドレス一致 WakeUp 機能を使用することはできません。

14.6.2.2 アドレス一致 WakeUp 機能の流れ

アドレス一致検出から、割り込み発生、低消費電力モードの解除、クロックストレッチ解除までの流れを図 14-25 に示します。

1. アドレス一致検出すると ACK 応答後、INTI2CS を発生。
2. 低消費電力モードを解除するとともに、クロックストレッチを開始します。
3. 低消費電力モード解除後の割り込み処理で、I2CSWUPCR1<INTEND>による割り込み要求クリア
4. I2CSWUPCR1<I2RES>によるクロックストレッチの解除を行います。

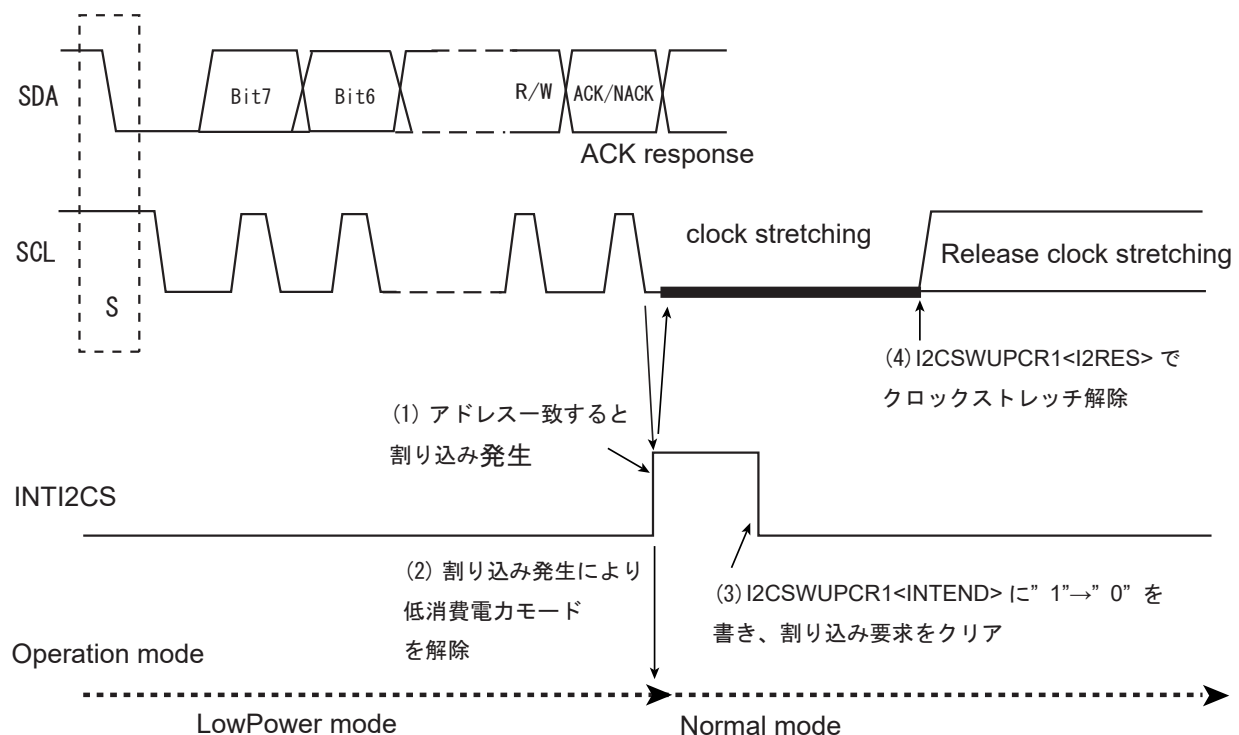


図 14-25 アドレス一致 WakeUp 機能

注 1) アドレス一致 WakeUp を検出するとノーマル動作復帰まで、I2C バスはロックされます。

注 2) 割り込み処理で、I2CSWUPCR1<INTEND>を"1"→"0"と Write することで、WakeUp 側から本体側への I2C 情報が設定されます。

WakeUp 機能を使用する際には、スレーブアドレスとジェネラルコールの検出の条件が同じになるように設定に注意してください。

- ・ I2CxAR<SA[6:0]> = I2CSWUPCR2<WUPSA1[6:0]> ; 同じアドレス、検出条件
- ・ I2CxAR2<SA2[6:0]> = I2CSWUPCR3<WUPSA2[6:0]> ; 同じアドレス、検出条件
- ・ I2CxCR1<ACK>,<NOACK>,<I2CxOP<MFAACK> の設定と、I2CSWUPCR1<ACK>,<SGCDI>

14.6.2.3 タイミング

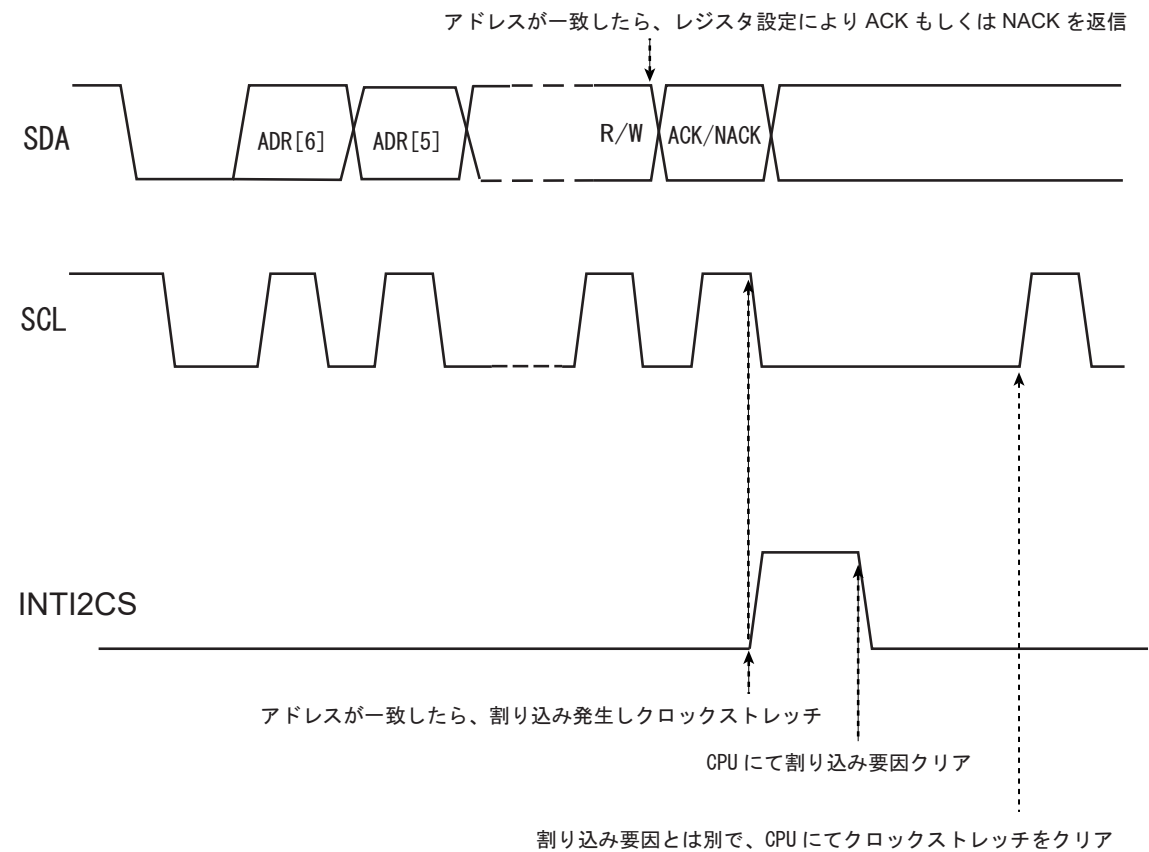
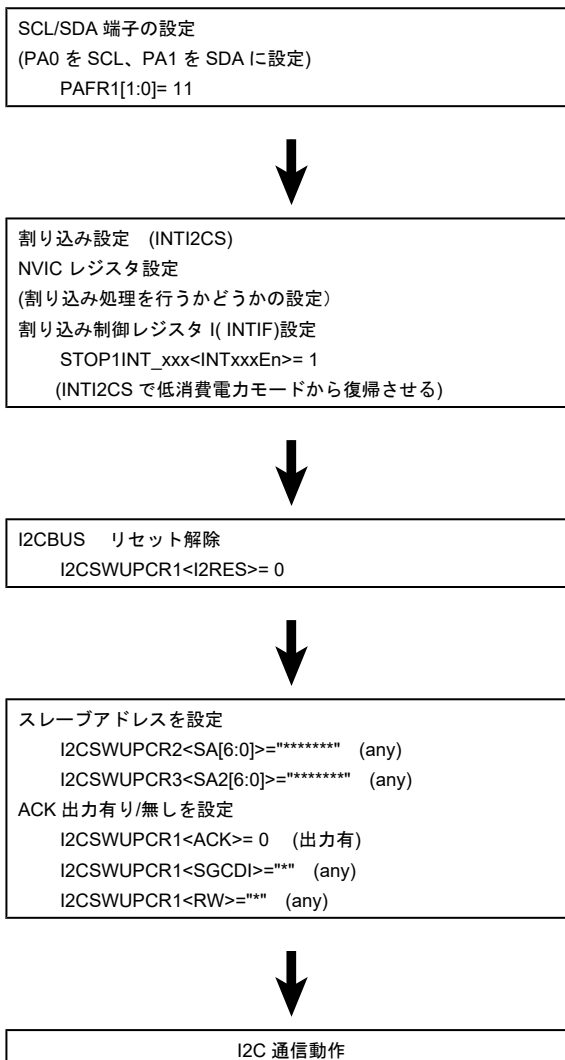


図 14-26 アドレス一致 WakeUp 機能タイミング

注) マスタ側からは ACK のみが返信され、デバイスは ACK か NACK を選択して送信します。

14.6.2.4 動作・設定手順

<初期設定>STOP1 へ入るための、WakeUp 側の設定について



注) I2CSWUPCR1<I2RES>= 1 によるリセット動作中は、リセット動作を継続していますが、レジスタへの書き込みは可能です。

I2C ブロックの Main 側は、低消費電力モード(STOP1) へ移行する前に設定を完了してください。以下のレジスタが設定されていないと WakeUp 後の通信が正しく動作しません。

I2CxCR1<BC[2:0]>,<ACK>,<NOACK>,<SCK[2:0]>

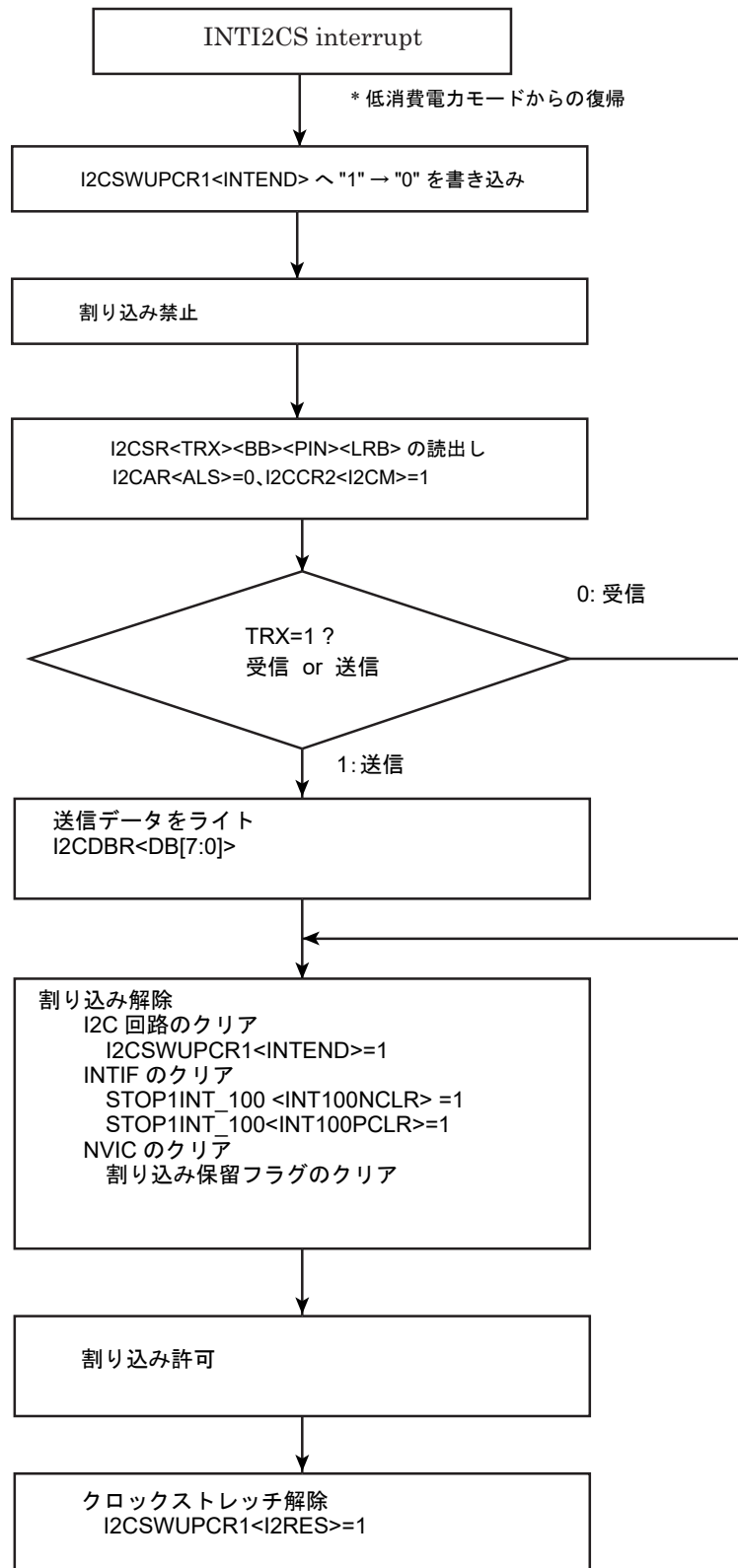
I2CxPRS<PRSCK[4:0]>

I2CxOP<NFSEL>,<MFAACK>

I2CxAR2<SA2[6:0]>,<SA2EN>; 任意

I2CxIE ; 使用する機能を設定

<割り込み発生時>



注) 割り込みクリアを行う場合は、必ず、INTIF、NVICの順にクリア処理を行ってください。順番が違うと割り込み要因が残り、再び割り込みが発生します。

第 15 章 東芝シリアルペリフェラルインタフェース(TSPI)

15.1 概要

TSPI は全 2 重同期通信が可能なシリアルインタフェースで SPI モードと SIO モードの 2 種類の通信モードを備えており、さまざまな周辺デバイスとの高速なシリアル転送が可能です。

TSPI はチップセレクト信号(TSPIxCSO、TSPIxCSIN)、シリアルクロック信号(TSPIxSCK)、および送受信データ線(TSPIxTXD と TSPIxRXD)を備えています。

データ長を 7 ビット(パリティあり)から 32 ビット(パリティなし)まで 1 ビット単位で設定することが可能です。

表 15-1 概要

項目	SPI モード (マスタ)	SPI モード (スレーブ)	SIO モード (マスタ)	SIO モード (スレーブ)
通信モード	送受信/送信/受信			
転送モード	シングル/バースト(2～255 フレーム)			
シリアルクロック最大周波数	fc/2	fc/2	fc/2	fc/2
TSPIxSCK	出力	入力	出力	入力
TSPIxCSO	出力	-	-	-
TSPIxCSIN	-	入力	未使用	未使用
アイドル時の TSPIxTXD 出力レベル設定	High、Low、最終 bit データ保持、Hi-z			
アンダランエラー発生時の TSPIxTXD の出力レベル設定	-	High、Low	-	High、Low
TSPIxCSO 極性選択	負理論/正理論	-	-	-
TSPIxCSIN 極性選択	-	負理論/正理論	-	-
TSPIxSCK 極性選択	アイドル中に"0"/アイドル中に"1"			
転送順序	MSB ファースト/LSB ファースト			
データ長	1 ビット単位で設定可能 8～32 ビット (パリティなし) 7～31 ビット (パリティあり)			
TSPIxCS 有効→ TSPIxSCK 有効時間	設定可能		-	-
転送終了→ TSPIxCS 無効時間	設定可能		-	-
フレーム間インタバル時間	設定可能			
TSPIxCS 無効→ TSPIxCS 有効時間	設定可能			
パリティ付加	あり/なし			
送信 FIFO エンプティ検出	あり			
受信 FIFO フル検出	あり			
パリティエラー検出	あり			
オーバランエラー検出 アンダランエラー検出	-	あり	-	あり
DMA 要求	受信 FIFO の Fill レベル到達 送信 FIFO の fill レベル到達			

15.2 ブロック図

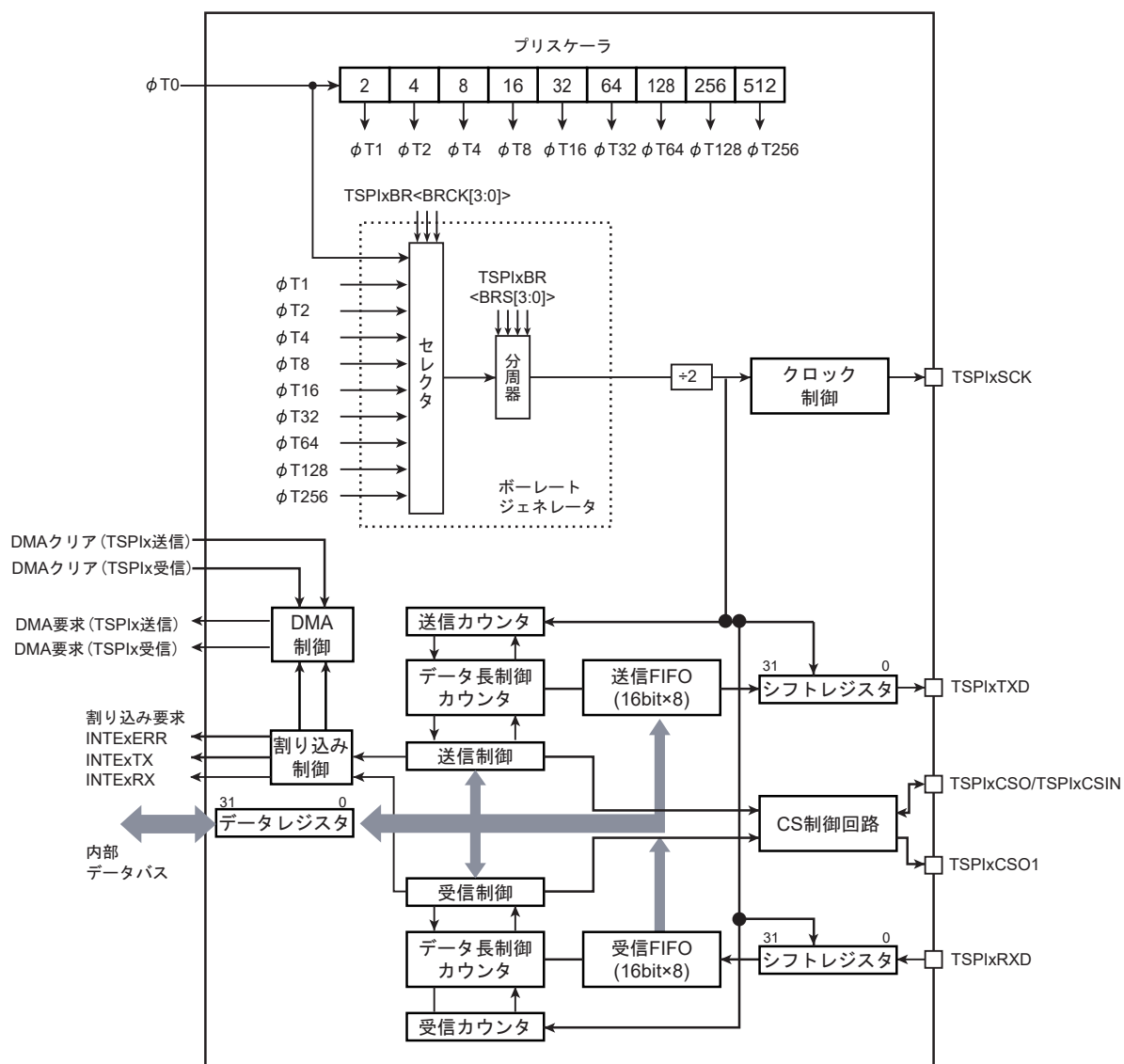


図 15-1 TSPIx のブロック図

15.3 レジスタ説明

15.3.1 レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名(x= チャンネル番号)		Address(Base+)
TSPI 制御レジスタ 0	TSPIxCR0	0x0000
TSPI 制御レジスタ 1	TSPIxCR1	0x0004
TSPI 制御レジスタ 2	TSPIxCR2	0x0008
TSPI 制御レジスタ 3	TSPIxCR3	0x000C
TSPI ボーレートレジスタ	TSPIxBR	0x0010
TSPI フォーマット制御レジスタ 0	TSPIxFMTR0	0x0014
TSPI フォーマット制御レジスタ 1	TSPIxFMTR1	0x0018
Reserved	–	0x001C~0x00FF
TSPI データレジスタ	TSPIxDR	0x0100
Reserved	–	0x0104~0x01FF
TSPI ステータスレジスタ	TSPIxSR	0x0200
TSPI エラーフラグレジスタ	TSPIxERR	0x0204
Reserved	–	0x0208~0x0FFF

- 注 1) "Reserved"表記のアドレスにはアクセスしないでください。
- 注 2) TSPIxCR0<SWRST>、TSPIxCR1<TRXE>、TSPIxDR、TSPIxSR 以外のレジスタは TSPIxSR<TSPIISUE>が"1"の状態では設定はできません。

15.3.2 TSPIxCR0 (TSPI 制御レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SWRST		-	-	-	-	-	TSPIE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-6	SWRST[1:0]	W	TSPI ソフトウェアリセット(注) "10" → "01" のライトでリセット <SWRST[1:0]>ビットに連続して"10" → "01" とライトするとソフトウェアリセットが発生します。ソフトウェアリセットにより、制御レジスタ、送受信 FIFO、送受信シフトレジスタ、および内部回路が全て初期化されます。ただし<TSPIE>ビットは初期化されません。
5-1	-	R	リードすると"0"が読めます。
0	TSPIE	R/W	TSPI の動作制御 1: 動作 0: 停止 <TSPIE>は TSPI 全体の動作/停止(クロック遮断)制御を行います。<TSPIE>=0(停止状態)では、TSPI 内部にクロックが供給されません。<TSPIE>=1(動作状態)にしてから初期設定および通信を行ってください。 <TSPIE>はソフトウェアリセットにより初期化されません。

注) ソフトウェアリセット動作が完了するには命令実行後 2 クロック必要です。

15.3.3 TSPIxCR1 (TSPI 制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	TRXE	TSPIMS	MSTR	TMMD		-	CSSEL
リセット後	0	0	0	1	1	1	0	0
	7	6	5	4	3	2	1	0
bit symbol	FC							
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-15	—	R	リードすると"0"が読めます。
14	TRXE	R/W	通信制御(注 1)(注 2)(注 3) 0 :通信停止 1 :通信許可 全 2 重モード/送信モードの場合 : 送信 FIFO やシフトレジスタに有効データが存在する場合に、送信を開始します。送信 FIFO やシフトレジスタに有効なデータ無い場合には、転送は開始されませんので、送信 FIFO にデータを書き込んだ後に送信開始するやり方と、通信許可状態で送信データを書き込む方法で送信を開始出来ます。送信中にこのビットが禁止に設定された場合はそのフレームの転送が終了してから、禁止になります。 受信モードの場合 : 通信許可にすると直ちに受信を開始します。受信中にこのビットが禁止に設定された場合はそのフレームの転送が終了してから、禁止になります。
13	TSPIMS	R/W	通信モード選択 0 : SPI モード 1 : SIO モード
12	MSTR	R/W	マスタ/スレーブ選択 0 : スレーブ動作 1 : マスタ動作
11-10	TMMD[1:0]	R/W	転送モード選択 00 : 設定禁止 01 : 送信のみ 10 : 受信のみ 11 : 全 2 重通信(送受信) 送信のみ場合は、TSPIxRXD の処理回路を動作停止。受信のみの場合は、TSPIxTXD の処理回路は動作停止。
9	—	R	リードすると"0"が読めます。
8	CSSEL	R/W	TSPIxCSO の選択 0 : TSPIxCSO が有効 1 : Reserved
7-0	FC[7:0]	R/W	転送フレーム数設定 0 : 設定禁止 1 : シングル転送 2~255 : パースト転送

- 注 1) <TRXE>はシングル転送の場合 CPU から 0 をライトしない限り 0 になりません。しかし、バースト転送の場合は設定したバースト転送数を転送完了後に自動的に 0 に戻ります。再度バースト転送を行う場合は TSPIxSR<TSPISUE>ビットが 0 に戻っていることを確認後に<TRXE>に 1 をライトしてください。
- 注 2) スレーブ動作時、<TRXE>に"1"(通信許可)を設定後、実際の通信(マスター側)が開始されていない状態で<TRXE>を"0"(通信禁止)に書き換えても、設定可能状態フラグ TSPIxSR<TSPISUE>は"0"(設定許可状態)になりません。スレーブ側では通信許可したにも関わらずマスター側の通信が開始されない場合、スレーブ側は TSPIxCR0<SWRST>でソフトリセットを行った後再設定してください。
- 注 3) スレーブ動作時、送信中に送信バッファ(FIFO)にデータが残っている状態で<TRXE>を 0(通信禁止)に書き換えてしまった場合は、送信を再開する前に TSPIxCR3<TFEMPCLR>で送信バッファをクリアするか、TSPIxCR0<SWRST>でソフトウェアリセットを行った後再設定してください。

15.3.4 TSPIxCR2 (TSPI 制御レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TIDLE		TXDEMP	-	-	-	-	-
リセット後	1	1	1	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	TIL				RIL			
リセット後	0	0	0	0	0	0	0	1
	7	6	5	4	3	2	1	0
bit symbol	INTTXFE	INTTXWE	INTRXFE	INTRXWE	-	INTERR	DMATE	DMARE
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-24	—	R	リードすると"0"が読めます。
23-22	TIDLE1:0]	R/W	TSPIxTXD のアイドル時の出力値固定機能制御 00 : Hi-z 01 : 直前の転送の最終データ 10 : Low 固定 11 : High 固定
21	TXDEMP	R/W	TSPIxTXD のアンダラン発生時の出力値固定機能制御 0 : Low 固定 1 : High 固定
20-17	—	R	リードすると"0"が読めます。
16	—	R/W	"0"を書き込んでください。
15-12	TIL[3:0]	R/W	送信 Fill レベル設定 送信 FIFO 割り込み発生条件(注)
11-8	RIL[3:0]	R/W	受信 Fill レベル設定 受信 FIFO 割り込み発生条件(注)
7	INTTXFE	R/W	送信 FIFO 割り込み制御 0 : 禁止 1 : 許可
6	INTTXWE	R/W	送信完了割り込み制御 0 : 禁止 1 : 許可
5	INTRXFE	R/W	受信 FIFO 割り込み制御 0 : 禁止 1 : 許可
4	INTRXWE	R/W	受信完了割り込み制御 0 : 禁止 1 : 許可
3	—	R	リードすると"0"が読めます。
2	INTERR	R/W	エラー割り込み制御 0 : 禁止 1 : 許可
1	DMATE	R/W	送信 DMA 制御 0 : 禁止 1 : 許可
0	DMARE	R/W	受信 DMA 制御 0 : 禁止 1 : 許可

注) Fill レベルは利用可能な Fill レベルの範囲内の値を設定してください。利用可能な Fill レベルについては「表 15-5 データフォーマットと設定可能 Fill レベルの関係」を参照してください。

15.3.5 TSPIxCR3 (TSPI 制御レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	TFEMPCLR	RFFLLCLR
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると"0"が読めます。
1	TFEMPCLR	W	送信バッファクリア 0：無効 1：クリア "1"をライトすることで、送信 FIFO の内部ポインタを初期状態、送信シフトレジスタの内部ポインタを初期状態に設定します。送信 FIFO、送信シフトレジスタの内容は影響を受けませんので、送信バッファクリア前の状態を保持します。
0	RFFLLCLR	W	受信バッファクリア 0：無効 1：クリア "1"をライトすることで、受信 FIFO の内部ポインタをエンプティ状態、受信シフトレジスタの内部ポインタを初期状態に設定します。受信 FIFO、受信シフトレジスタの内容は影響を受けませんので、受信バッファクリア前の状態を保持します。

15.3.6 TSPIxBR (TSPI ボーレートレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BRCK				BRS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	—	R	リードすると"0"が読めます。
7-4	BRCK[3:0]	R/W	ボーレートジェネレータ入力クロック選択 0000 : ϕ T0 0101 : ϕ T16 0001 : ϕ T1 0110 : ϕ T32 0010 : ϕ T2 0111 : ϕ T64 0011 : ϕ T4 1000 : ϕ T128 0100 : ϕ T8 1001 : ϕ T256 1010~1111 : 設定禁止
3-0	BRS[3:0]	R/W	ボーレートジェネレータの分周値 "N" の設定 0000 : 16 分周 0110 : 6 分周 1100 : 12 分周 0001 : 1 分周 0111 : 7 分周 1101 : 13 分周 0010 : 2 分周 1000 : 8 分周 1110 : 14 分周 0011 : 3 分周 1001 : 9 分周 1111 : 15 分周 0100 : 4 分周 1010 : 10 分周 0101 : 5 分周 1011 : 11 分周

表 15-2 ボーレート設定(一部)

BRCK[3:0]の 設定値	BRS[3:0]の 設定値	分周比	シリアルクロック周波数(MHz @ fc=24MHz)
0000	0000	32	0.75
0000	0001	2	12
0000	0010	4	6
0000	0011	6	4
0000	0100	8	3
0000	0101	10	2.4

15.3.7 TSPIxFMTR0 (TSPI フォーマット制御レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	DIR	-	FL					
リセット後	1	0	0	0	1	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	FINT				-	-	FW	
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	CKPOL	CSINT				-	CS0POL
リセット後	1	1	0	0	0	1	0	0
	7	6	5	4	3	2	1	0
bit symbol	CSSCKDL				SCKCSDL			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	DIR	R/W	転送方向 0 : LSB ファースト 1 : MSB ファースト
30	-	R	リードすると"0"が読めます。
29-24	FL[5:0]	R/W	フレーム長設定 パリティビットをふくめた 1 フレームのデータ長を設定します。 00_1000 : 8 ビット 00_1001 : 9 ビット : 01_1111 : 31 ビット 10_0000 : 32 ビット 上記以外は設定禁止
23-20	FINT[3:0]	R/W	バースト時フレーム間インタバル時間 0000 : 0 0001 : 1 x TSPIxSCK 周期 0010 : 2 x TSPIxSCK 周期 * 0111 : 14 x TSPIxSCK 周期 1111 : 15 x TSPIxSCK 周期
19-15	-	R	リードすると"0"が読めます。
14	CKPOL	R/W	シリアルクロックの極性 0 : アイドル期間の TSPI x SCK のレベルが"L" 1 : アイドル期間の TSPI x SCK のレベルが"H"
13-10	CSINT[3:0]	R/W	TSPI x CSO 無効→TSPIxCSO 有効時間 (最低アイドル時間) 0000 : 設定禁止 0001 : 1 x TSPIxSCK 周期 0010 : 2 x TSPIxSCK 周期 * 0111 : 14 x TSPIxSCK 周期 1111 : 15 x TSPIxSCK 周期
9	-	R/W	Reserved.
8	CS0POL	R/W	TSPIxCSO の極性 0: 負論理 1: 正論理
7-4	CSSCKDL[3:0]	R/W	TSPI x CSn 有効→TSPIxSCK 有効時間 (シリアルクロック遅延) マスタモード時のみ有効です。

Bit	Bit Symbol	Type	機能		
			0000 : 1 x TSPIxSCK	0110 : 7 x TSPIxSCK	1100 : 13 x TSPIxSCK
			0001 : 2 x TSPIxSCK	0111 : 8 x TSPIxSCK	1101 : 14 x TSPIxSCK
			0010 : 3 x TSPIxSCK	1000 : 9 x TSPIxSCK	1110 : 15 x TSPIxSCK
			0011 : 4 x TSPIxSCK	1001 : 10 x TSPIxSCK	1111 : 16 x TSPIxSCK
			0100 : 5 x TSPIxSCK	1010 : 11 x TSPIxSCK	
			0101 : 6 x TSPIxSCK	1011 : 12 x TSPIxSCK	
3-0	SCKCSDL[3:0]	R/W	転送終了→TSPIxCSO 無効時間 (TSPIxCSO ネゲート遅延) マスタモード時のみ有効です。		
			0000 : 1 x TSPIxSCK	0110 : 7 x TSPIxSCK	1100 : 13 x TSPIxSCK
			0001 : 2 x TSPIxSCK	0111 : 8 x TSPIxSCK	1101 : 14 x TSPIxSCK
			0010 : 3 x TSPIxSCK	1000 : 9 x TSPIxSCK	1110 : 15 x TSPIxSCK
			0011 : 4 x TSPIxSCK	1001 : 10 x TSPIxSCK	1111 : 16 x TSPIxSCK
			0100 : 5 x TSPIxSCK	1010 : 11 x TSPIxSCK	
			0101 : 6 x TSPIxSCK	1011 : 12 x TSPIxSCK	

注) <TSPIxSUE>が"0"であっても、FIFO にデータが残っている状態で<FL[5:0]>を変更すると FIFO 内データが
全て破棄されます。

15.3.8 TSPIxFMTR1 (TSPI フォーマット制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	EHOLD			-	-	VPE	VPM
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	-	R	リードすると"0"が読めます。
6-4	EHOLD[2:0]	R/W	SIO スレープモード時の TSPIxTXD 端子の最終ビットホールド時間の設定 000: 2/fc 001: 4/fc 010: 8/fc 011: 16/fc 100: 32/fc 101: 64/fc 110: 128/fc 111: Reserved
3-2	-	R	リードすると"0"が読めます。
1	VPE	R/W	パリティ機能許可 0: 禁止 1: 許可
0	VPM	R/W	パリティモード選択 0: 偶数パリティ 1: 奇数パリティ

15.3.9 TSPIxDR (TSPI データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	TSPIDR							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TSPIDR							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TSPIDR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TSPIDR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	TSPIDR[31:0]	R/W	本レジスタに書き込みを行うと、送信 FIFO にデータが書き込まれ、本レジスタから読み出しを行うと、受信 FIFO からデータが読み出されます。 [ライト]: 送信 FIFO アクセス [リード]: 受信 FIFO アクセス

注 1) 本レジスタへの書き込みは送信 FIFO がフルの状態では行わないでください。

注 2) 本レジスタの読み出しは受信 FIFO がエンプティの状態では行わないでください。

15.3.10 TSPIxSR (TSPI ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	TSPIxSUE	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TXRUN	TXEND	INTTXWF	TFEMP	TLVL			
リセット後	0	0	0	1	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RXRUN	RXEND	INTRXFF	RFFLL	RLVL			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能											
31	TSPISUE	R	TSPI 設定可能状態フラグ 0：設定可能状態 1：設定禁止状態 <TSPISUE>が"0"のとき TSPI は送信も受信も行っておらずレジスタの設定を変更することが可能です。 <TSPISUE>が"0"になるのは以下の場合です。 1.リセットが入力されたとき 2.ソフトウェアリセットがかかったとき 3.シングル転送モード時に TSPiXCR1<TRXE>=0 とし、現在転送中のフレームを転送し終えたとき 4.バースト転送モード時に設定した転送数の転送が終了したとき 5.バースト転送途中に TSPiXCR1<TRXE>=0 とし、現在転送中のフレームを転送し終えたとき ただし、上記の条件を満たしても受信 FIFO、受信シフトレジスタがフルの状態では<TSPISUE>は"0"になりません。受信 FIFO をリードし、受信シフトレジスタ内の受信値が受信 FIFO に転送されたで <TSPISUE>=0 になります。											
30-24	－	R	リードすると"0"が読めます。											
23	TXRUN	R	送信動作中フラグ 0：停止 1：動作 送信シフト動作中を示すステータスフラグです。 <TXRUN>と<TFEMP>ビットの組み合わせで、以下のような状態を示します。 <table><tr><th><TXRUN></th><th><TFEMP></th><th>状態</th></tr><tr><td rowspan="2">0</td><td>0</td><td>停止または次回送信待ち</td></tr><tr><td>1</td><td>送信 FIFO が空で、送信が完了</td></tr><tr><td>1</td><td>-</td><td>送信動作中</td></tr></table> <TXRUN>は、送信 FIFO にデータが存在しなくとも、送信シフトレジスタにデータが存在する場合は、セットされます。	<TXRUN>	<TFEMP>	状態	0	0	停止または次回送信待ち	1	送信 FIFO が空で、送信が完了	1	-	送信動作中
<TXRUN>	<TFEMP>	状態												
0	0	停止または次回送信待ち												
	1	送信 FIFO が空で、送信が完了												
1	-	送信動作中												
22	TXEND	R/W	送信完了フラグ [リード] 0：- 1：送信完了 [ライト] 1：フラグクリア 送信が終了したときにセットされるフラグです。シングル転送時およびバースト転送の最終フレーム転送時の TSPiXCSO がネゲートされたタイミングでセットされます。本ビットに"1"を書くことでクリアされます。なお、送信完了によるセットと、クリアが同時発生した場合は、送信完了によるセットが優先されます。											

Bit	Bit Symbol	Type	機能											
21	INTTXWF	R/W	送信 FIFO 割り込みフラグ [リード] 0: 割り込みなし 1: 割り込み発生 [ライト] 0; Don't care 1: フラグクリア 送信 FIFO 内データの残量が割り込み発生時の Fill レベル設定値(TIL)+1 から TIL 値になったときにセットされます。本ビットに"1"を書き込む事でクリアできます。											
20	TFEMP	R	送信 FIFO エンプティフラグ 0: FIFO にデータあり 1: エンプティ 送信 FIFO が空のとき"1"がセットされます。 送信 FIFO に送信データが書き込まれると自動的に"0"にクリアされます。											
19-16	TLVL[3:0]	R	送信 FIFO fill レベル状態 送信 FIFO フィルレベル(データ数)の現在値を示します。フレーム長により FIFO の段数が変わります。表示範囲を表 15-5 に示します。											
15-8	—	R	リードすると"0"が読めます。											
7	RXRUN	R	受信動作中フラグ 0: 停止 1: 動作 受信シフト動作中を示すステータスフラグです。 <RXRUN>と<RFFLL>ビットの組み合わせで、以下のような状態を示します <table><tr><td><RXRUN></td><td><RFFLL></td><td>状態</td></tr><tr><td rowspan="2">0</td><td>0</td><td>停止または次回受信待ち</td></tr><tr><td>1</td><td>受信 FIFO が FULL で、受信が完了</td></tr><tr><td>1</td><td>-</td><td>受信動作中</td></tr></table>	<RXRUN>	<RFFLL>	状態	0	0	停止または次回受信待ち	1	受信 FIFO が FULL で、受信が完了	1	-	受信動作中
<RXRUN>	<RFFLL>	状態												
0	0	停止または次回受信待ち												
	1	受信 FIFO が FULL で、受信が完了												
1	-	受信動作中												
6	RXEND	R/W	受信完了フラグ [リード] 0: - 1: 受信完了 受信が終了したときにセットされるフラグです。シングル転送時およびバースト転送の最終フレーム転送時は TPlxCSO がネゲートされたタイミングでセットされます。 [ライト] 0: Don't care 1: フラグクリア 本ビットに"1"を書き込む事でクリア出来ます。なお、受信完了によるセットと、クリアが同時発生した場合は、受信完了によるセットが優先されます。											
5	INTRXFF	R/W	受信 FIFO 割り込みフラグ [リード] 0: 割り込みなし 1: 割り込み発生 [ライト] 0: Don't care 1: フラグクリア 受信 FIFO 内データが割り込み発生時の Fill レベル設定値(RIL)-1 から RIL 値になったときにセットされます。本ビットに"1"を書き込む事でクリア出来ます。											
4	RFFLL	R	受信 FIFO フルフラグ 0: FIFO に空あり 1: フル 受信 FIFO がいっぱいであることを示します。 受信 FIFO からデータを読み出すと自動でクリアされます											

Bit	Bit Symbol	Type	機能
3-0	RLVL[3:0]	R	受信 FIFO fill レベル状態 受信 FIFO フィルレベル(データ数)の現在値を示します。フレーム長により FIFO の段数が変わります。<TLVL>に 表示される値の範囲を"表 15-3"に示します。

表 15-3 フレーム長よる Fill レベル現在値<TLVL>/<RLVL>の 表示範囲

フレーム長	FIFO 構成		
	FIFO 段数	受信時<RLVL>表示範囲	送信時<TLVL>表示範囲
8~16bit	8 段	0~8	0~8
17~32bit	4 段	0~4	0~4

15.3.11 TSPIxERR (TSPI エラーフラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	UDRERR	OVRERR	PERR	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-12	-	R	リードすると"0"が読めます。
11	UDRERR	R/W	アンダランエラーフラグ [リード] 0: エラーなし 1: エラーあり [ライト] 0: Don't care 1: フラグクリア アンダランエラーがあったときにセットされます。"1"を書き込む事でクリア出来ます。送受信中にクリアは行わないでください。
10	OVRERR	R/W	オーバランエラーフラグ [リード] 0: エラーなし 1: エラーあり [ライト] 0: Don't care 1: フラグクリア オーバランエラーがあったときにセットされます。"1"を書き込む事でクリア出来ます。送受信中にクリアは行わないでください。
9	PERR	R/W	パリティエラーフラグ [リード] 0: エラーなし 1: エラーあり [ライト] 0: Don't care 1: フラグクリア パリティエラーがあったときにセットされます。"1"を書き込む事でクリア出来ます。送受信中にクリアは行わないでください。
8-0	-	R	リードすると"0"が読めます。

15.4 動作説明

15.4.1 データフォーマット

TSPIxFMTR0 を設定することで、転送方向 MSB/LSB ファースト、フレーム長、パリティの有無を決定します。

注) パリティ機能を有効にした場合、データ長は最大 31 ビットになります。

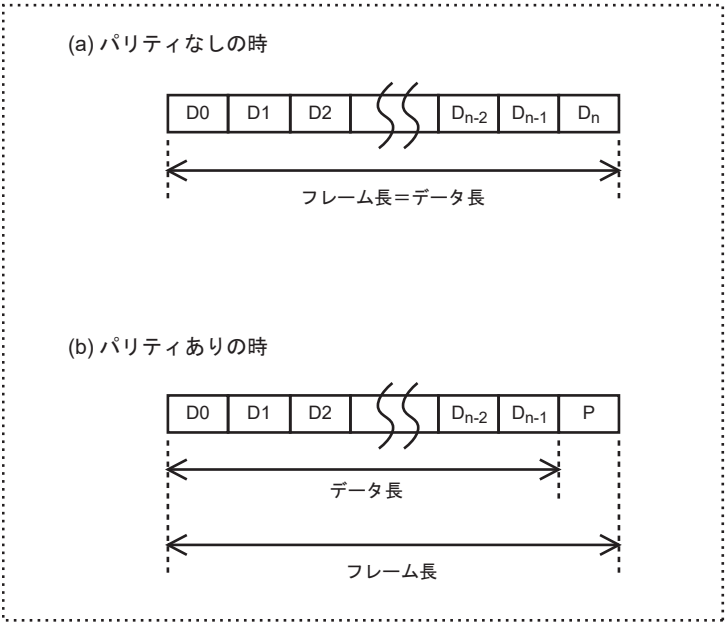


図 15-2 データフォーマット概略

15.4.1.1 パリティなしの場合のデータフォーマット

パリティなしにする場合は、フレーム長にはデータ長と同じ値を指定します。

データ長が 10 ビットの場合には TSPIx FMTR0<FL[5:0]>に 10 を設定します。

パリティなしの場合は、送信 FIFO 内のデータがそのままシフトレジスタに転送されます。

(1) MSB ファースト転送(32bit データ、パリティなし、フレーム長 32bit)

図 15-3 にパリティなしの MSB ファースト、32 ビットデータ長の送受信動作を示します。

送信時、送信 FIFO 内のデータがシフトレジスタの D31 から D0 にコピーされます。シフトレジスタにコピーされた送信データは D31 からシリアルクロックごとに D0 まで順に送信されます。

受信時、受信データをシフトレジスタの D0 へ格納し、シリアルクロックごとにシフト動作を繰り返します。シフトレジスタに 32 ビット分の受信データが格納されると、受信 FIFO へコピーされます。

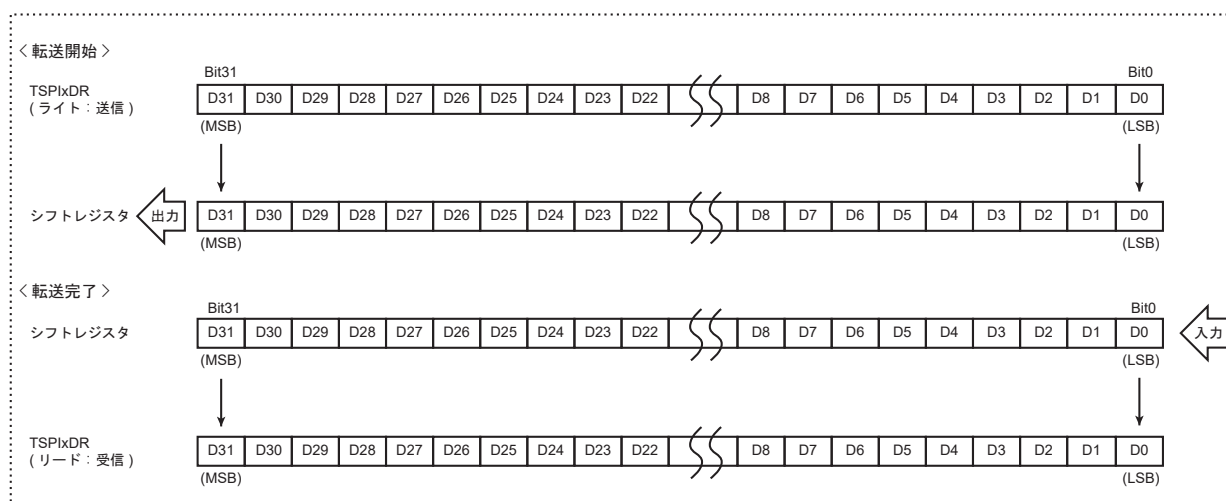


図 15-3 MSB ファースト(32bit データ、パリティなし)

(2) MSB ファースト転送 (16bit データ、パリティなし、フレーム長 16bit)

図 15-4 にパリティなしの MSB ファースト、16 ビットデータ長の送受信動作を示します。

送信時、送信 FIFO 内のデータがシフトレジスタの D15 から D0 にコピーされます。シフトレジスタにコピーされた送信データは D15 からシリアルクロックごとに D0 まで順に送信されます。

受信時、受信データをシフトレジスタの D0 へ格納し、シリアルクロックごとにシフト動作を繰り返します。シフトレジスタに 16 ビット分の受信データが格納されると、受信 FIFO へコピーされます。

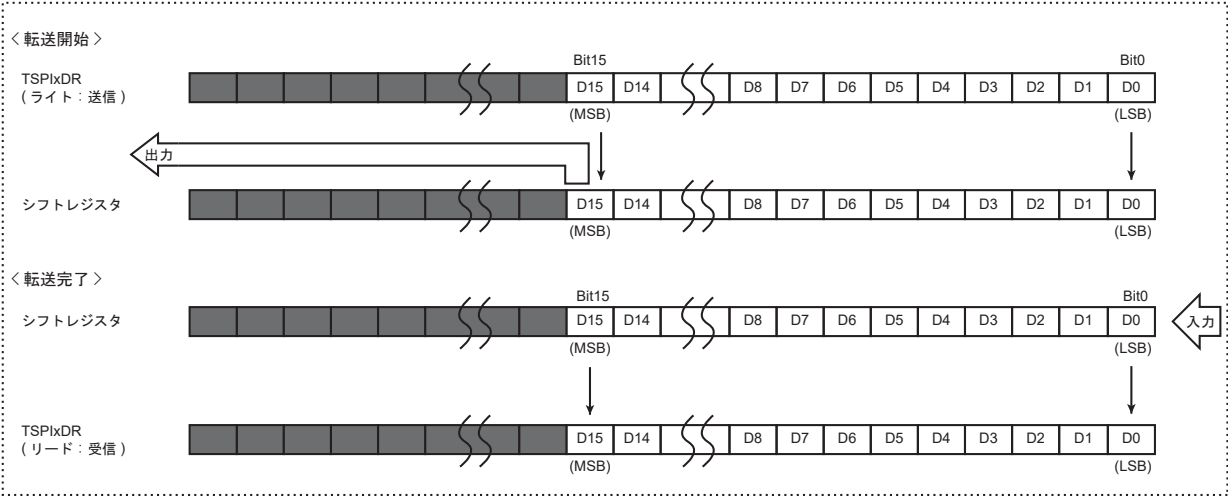


図 15-4 MSB ファースト(16bit データ、パリティなし)

(3) LSB ファースト転送 (32bit データ、パリティなし、フレーム長 32bit)

図 15-5 にパリティ機能無効時の LSB ファースト、32 ビットデータ長の送受信動作を示します。

送信時、送信 FIFO 内のデータはシフトレジスタへコピーされる際にビット単位で並べ替えられます。シフトレジスタにコピーされた送信データはシフトレジスタの D0 からシリアルクロックごとにシフト 32 ビット分送信されます。

受信時、受信データをシフトレジスタの D0 へ格納し、シリアルクロックごとにシフト動作を繰り返します。シフトレジスタに 32 ビット分の受信データが格納されると、受信データはビット単位で並べ替えられ受信 FIFO へコピーされます。

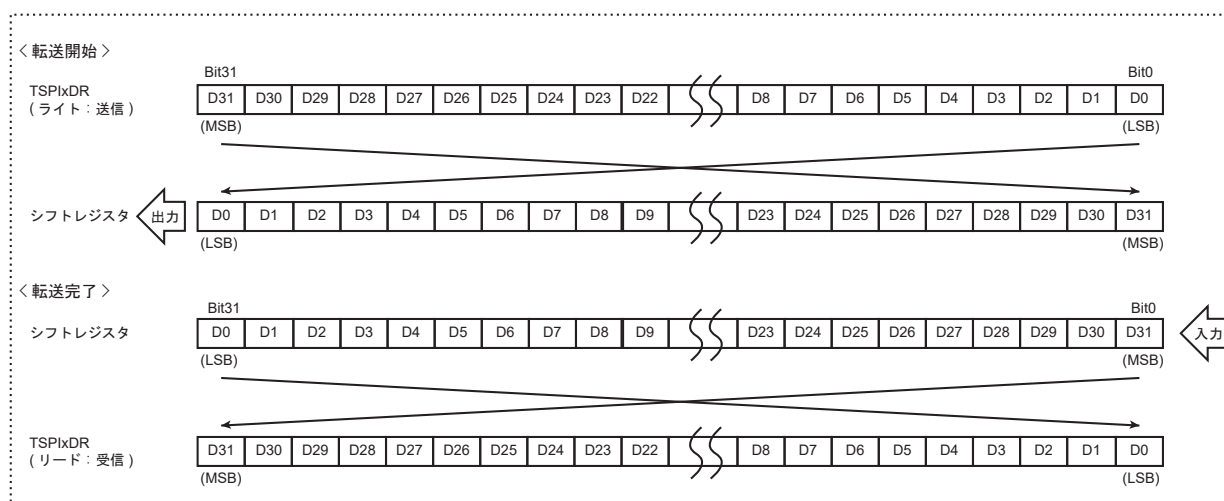


図 15-5 LSB ファースト(32bit データ、パリティなし)

(4) LSB ファースト転送 (16bit データ、パリティなし、フレーム長 16bit)

図 15-6 にパリティなしの LSB ファースト、16 ビットデータ長の送受信動作を示します。

送信時、送信 FIFO 内のデータはシフトレジスタへコピーされる際にビット単位で並べ替えられます。シフトレジスタにコピーされた送信データはシフトレジスタの D15 からシリアルクロックごとに 16 ビット分送信されます。

受信時、受信データをシフトレジスタの D0 へ格納し、シリアルクロックごとにシフト動作を繰り返します。シフトレジスタに 32 ビット分の受信データが格納されると、受信データはビット単位で並べ替えられ受信 FIFO へコピーされます。

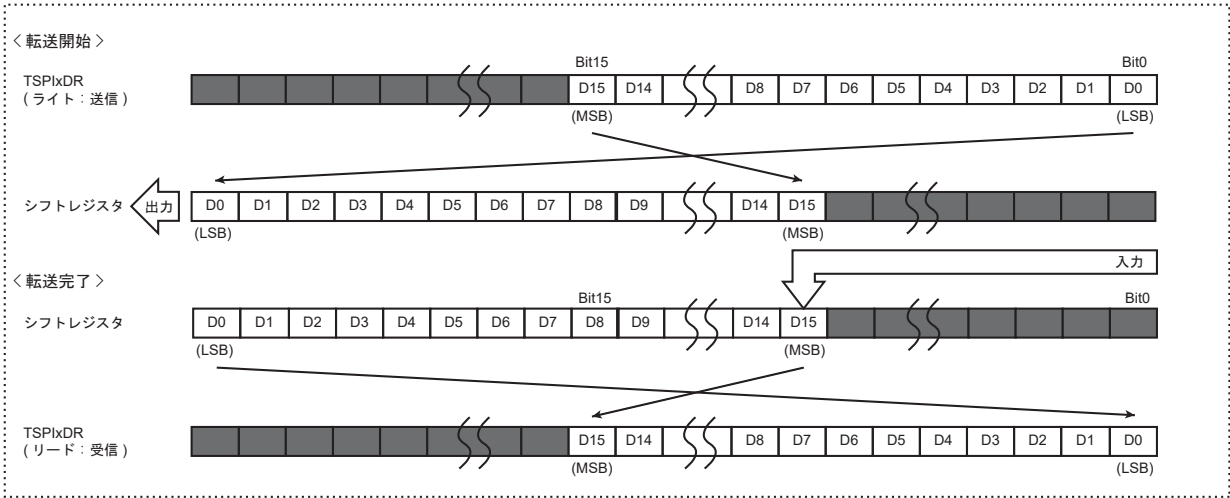


図 15-6 LSB ファースト(16bit データ、パリティなし)

15.4.1.2 パリティ有りの場合のデータフォーマット

パリティありにする場合は、フレーム長にはデータ長にパリティビット分を加えた値を指定します。

データ長が 10 ビットの場合には TSPIxFMTR0<FL[5:0]>に 11 を設定します。

パリティありの場合は、送信 FIFO 内のデータにパリティビットが自動的に付加されシフトレジスタにコピーされます。

また、受信 FIFO へは、シフトレジスタ内の受信データからパリティビットが自動的に削除されてコピーされます。

(1) MSB ファースト転送 (31bit データ パリティあり、フレーム長 32bit)

図 15-7 にパリティありの MSB ファースト、31 ビットデータ長の送受信動作を示します。フレーム長はデータ長にパリティビット分を加えた 32 ビットになります。

送信時、送信 FIFO 内の D30 から D0 のデータがシフトレジスタの D31 から D1 にコピーされます。同時にシフトレジスタの D31 から D1 のデータからパリティを計算し、その結果がシフトレジスタの D0 へ格納されます。

その後、シフトレジスタ内の送信データとパリティデータはシフトレジスタの D31 からシリアルクロックごとに D0 まで順に送信されます。

受信時、受信データをシフトレジスタの D0 へ格納し、シリアルクロックごとにシフト動作を繰り返します。シフトレジスタにフレーム長である 32 ビット分の受信データが格納されると、パリティビットをのぞいたデータのみが受信 FIFO へコピーされます。

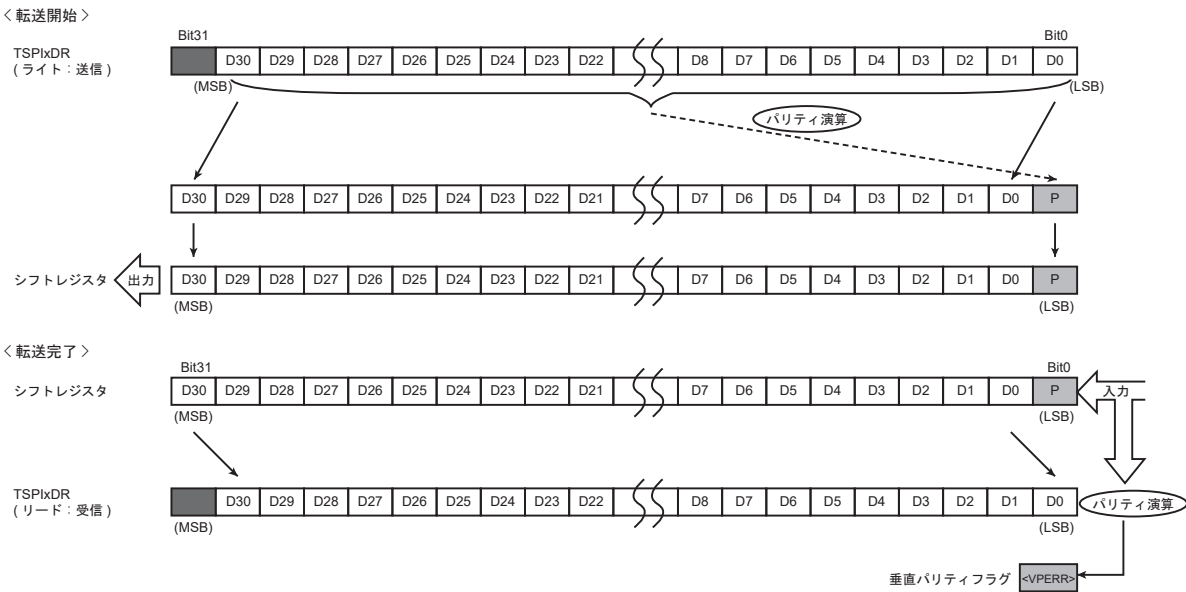


図 15-7 MSB ファースト(31bit データ、パリティあり)

(2) MSB ファースト転送 (15bit データ、パリティあり、フレーム長 16bit)

図 15-8 にパリティありの MSB ファースト、15 ビットデータ長の送受信動作を示します。フレーム長はデータ長にパリティビット分を加えた 16 ビットになります。

送信時、送信 FIFO 内の D14 から D0 のデータがシフトレジスタの D15 から D1 コピーされます。同時に D14 から D0 のデータからパリティを計算し、その結果がシフトレジスタの D0 へ格納されます。

その後、シフトレジスタ内の送信データとパリティデータはシフトレジスタの D15 からシリアルクロックごとに D0 まで順番に送信されます。

受信時、受信データをシフトレジスタの D0 へ格納し、シリアルクロックごとにシフト動作を繰り返します。シフトレジスタにフレーム長である 16 ビット分の受信データが格納されると、受信 FIFO へパリティビットをのぞいたデータのみがコピーされます。

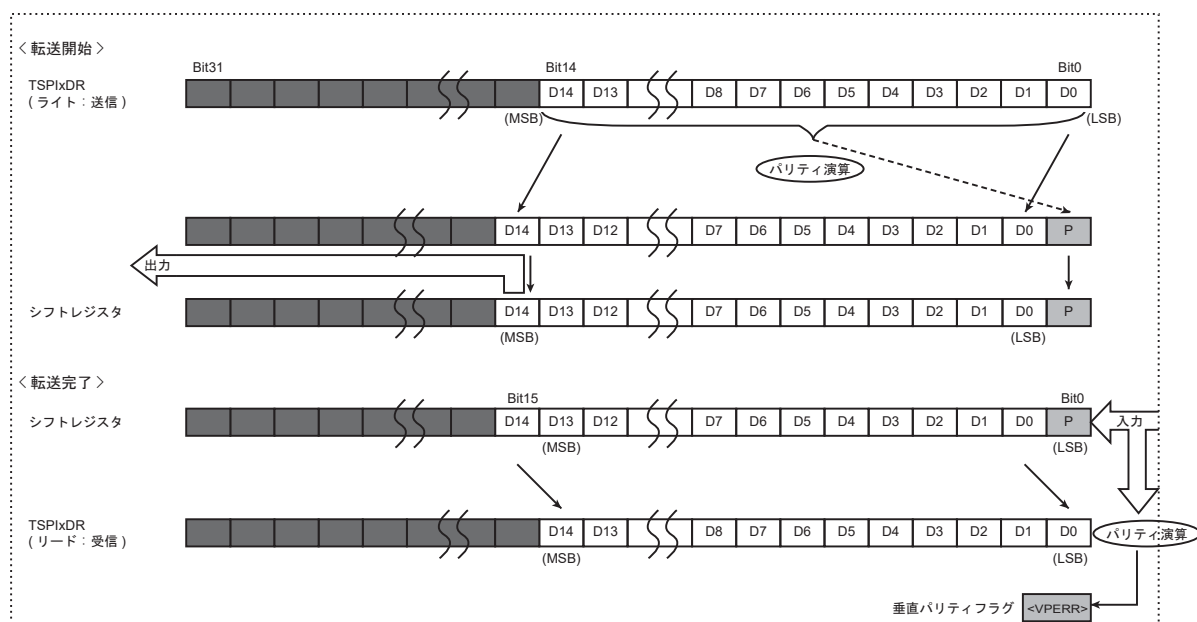


図 15-8 MSB ファースト(15bit データ、パリティあり)

(3) LSB ファースト転送 (31bit データ、パリティあり、フレーム長 32bit)

図 15-9 にパリティありの LSB ファースト、31 ビットデータ長の送受信動作を示します。フレーム長はデータ長にパリティビット分を加えた 32 ビットになります。

送信時、送信 FIFO 内の D30 から D0 のデータがビット単位で並べ替えられてシフトレジスタの bit31 から bit1 へコピーされます。同時に D30 から D0 のデータからパリティを計算し、その結果がシフトレジスタの D0 へ格納されます。

その後、シフトレジスタ内の送信データとパティデータはシフトレジスタの D31 から D0 までシリアルクロックごとに順番に送信されます。

受信時、受信データをシフトレジスタの D0 へ格納し、シリアルクロックごとにシフト動作を繰り返します。シフトレジスタにフレーム長である 31 ビット分の受信データが格納されると、受信 FIFO へパリティビットをのぞいたデータのみがコピーされます。

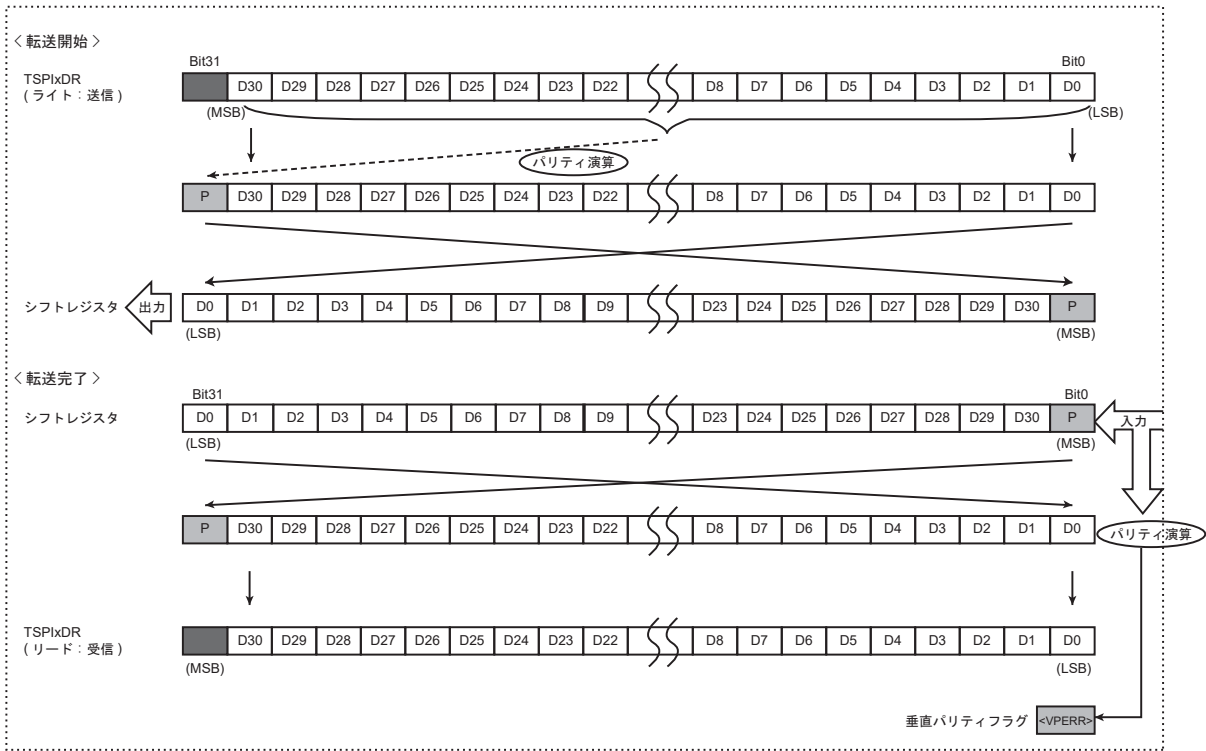


図 15-9 LSB ファースト(31bit データ、パリティあり)

(4) LSB ファースト転送 (15bit データ、パリティあり、フレーム長 16bit)

図 15-10 にパリティありの LSB ファースト、15 ビットデータ長の送受信動作を示します。フレーム長はデータ長にパリティビット分を加えた 16 ビットになります。

送信時、送信 FIFO 内の D14 から D0 のデータがビット単位で並べ替えられてシフトレジスタの D31 から D17 へコピーされます。同時に D14 から D0 のデータからパリティを計算し、その結果がシフトレジスタの D16 へ格納されます。

その後、シフトレジスタ内のデータは D31 から D16 までシリアルクロックごとに順番に送信されます。

受信時、受信データをシフトレジスタの D0 へ格納し、シリアルクロックごとにシフト動作を繰り返します。シフトレジスタにフレーム長である 16 ビット分の受信データが格納されると、受信 FIFO へパリティビットをのぞいたデータのみがコピーされます。

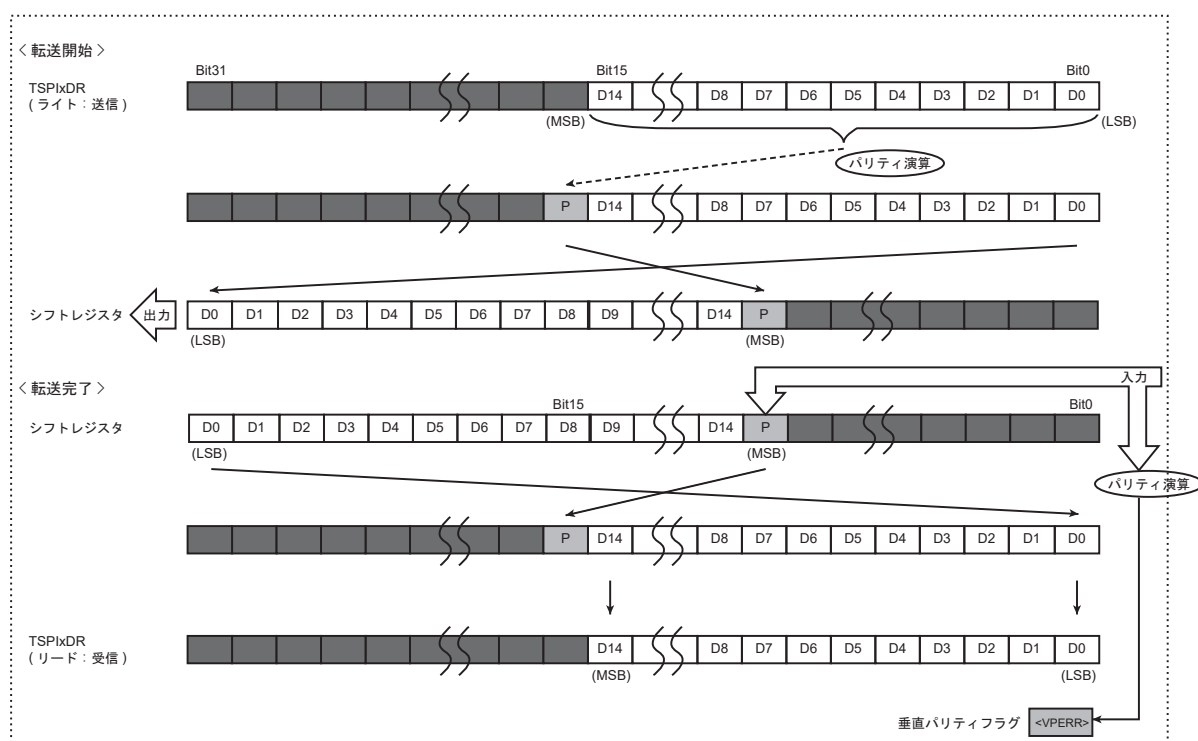


図 15-10 LSB ファースト(15bit データ、パリティあり)

15.4.2 転送フォーマット

TSPI は Chip Select 信号出力を 1 本(TSPiXCSO)持ち、外部スレーブデバイスと通信を行うことができます。

また、Chip Select 信号入力を 1 本(TSPiXCSIN)持ち、1 種類のマスタデバイスと通信を行うことができます。

シリアルクロックの極性を選択することができます。

SPI モードでは TSPiXCSO の極性および発生タイミングも選択することができます。

通信を行っていないアイドル期間の TSPiXTXD の端子状態も選択することができます。

15.4.2.1 TSPiXCS 信号の極性と発生タイミング

TSPiXCSO の極性を個別に選択することが可能です。

TSPiXFMTR0<CS0POL>で TSPiXCSO の論理を設定します。

TSPiXFMTR0<CS0POL>が"0"のときは負論理、TSPiXFMTR0<CS0POL>が"1"の時は正論理になります。

TSPiXCSO の発生タイミングを設定することができます。設定できるタイミングは以下の 4 つです。

1. シリアルクロック遅延

TSPiXCSO がアサートされてから送信クロック TSPiXSCK が最初に変化するまでの遅延時間(t_A)。シリアルクロック遅延を設定するには TSPiXFMTR0<CSSCKDL>を設定します。

2. TSPiXCSO ネゲート遅延

シリアル転送終了から TSPiXCSO をネゲートするまでの遅延時間(t_B)。TSPiXCSO ネゲート遅延を設定するには TSPiXFMTR0<SCKCSDL>を設定します。

3. バースト時フレーム間インタバル時間

バースト転送時のフレーム間 (t_C)。フレーム間インタバルを設定するには TSPiXFMTR0<FINT>を設定します。

4. 最低アイドル時間

TSPiXCSO がネゲートされてから、再度 TSPiXCSO がアサートされるまでの最低待ち時間(t_D)。最低アイドル時間を設定するには TSPiXFMTR0<CSINT>を設定します。

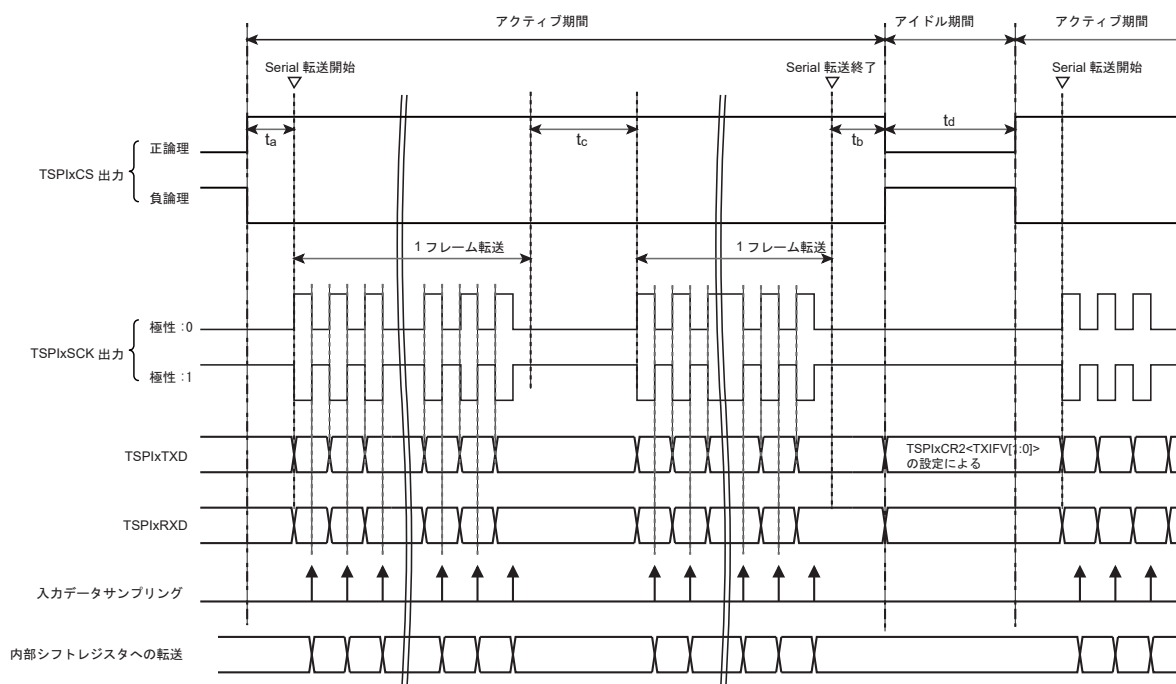


図 15-11 転送フォーマットとタイミング調整

15.4.2.2 クロックの極性

クロックの極性を選択するには TSPIxFMTR0<CKPOL>を設定します。

TSPIxFMTR0<CKPOL>=0 にした場合、TSPIxSCK はアイドル期間に Low を出力し最初のクロックエッジは立ち上がりになります。

TSPIxFMTR0<CKPOL>=1 にした場合、TSPIxSCK はアイドル期間に High を出力し最初のクロックエッジは立ち下がりになります。

15.4.2.3 アイドル期間の TSPIxTXD 出力

アイドル期間中の TSPIxTXD 出力のレベルを TSPIxCR2<TXIFV[1:0]>で選択できます。

表 15-4 アイドル期間中の TSPIxTXD 出力

TSPIxCR2<TXIFV[1:0]>	出力
00	Hi-Z
01	直前の転送の終了データ保持
10	Low
11	High

リセット解除後に、直前の転送の最終データ保持を選択した場合、TSPIxTXD は High を出力します。

TSPIxCR2<TXIFV[1:0]> = “10” : アイドル時 Low 出力の例

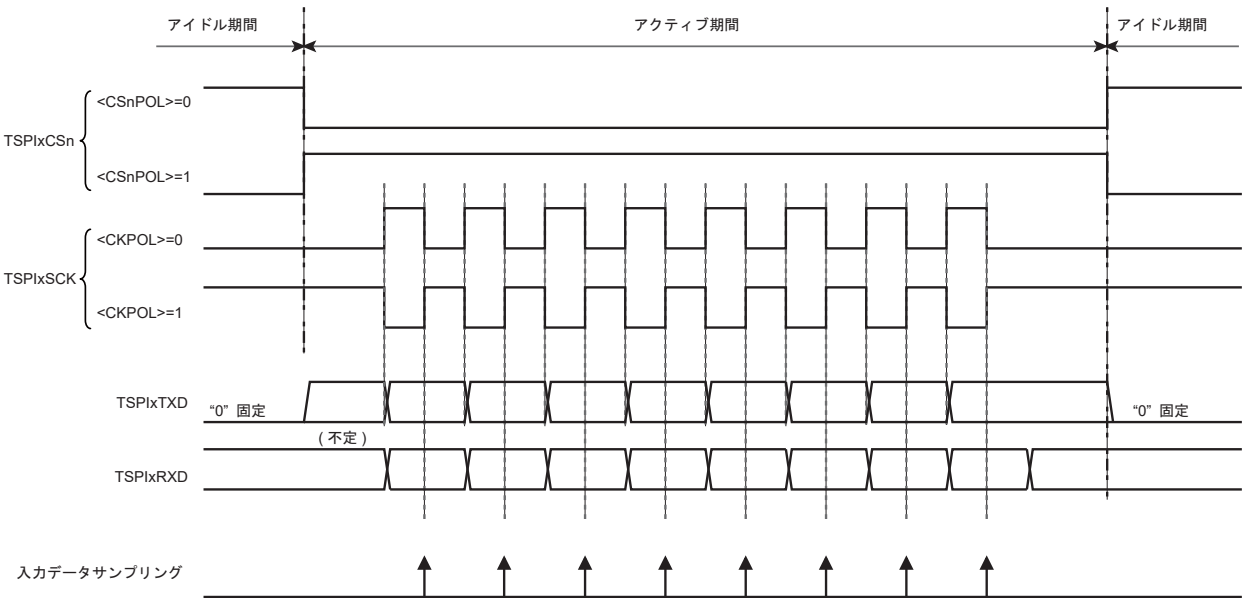


図 15-12 SPI モードのアイドル期間と送信端子状態

TSPIxCR2<TXIFV[1:0]> = "10": アイドル時 Low 出力の例

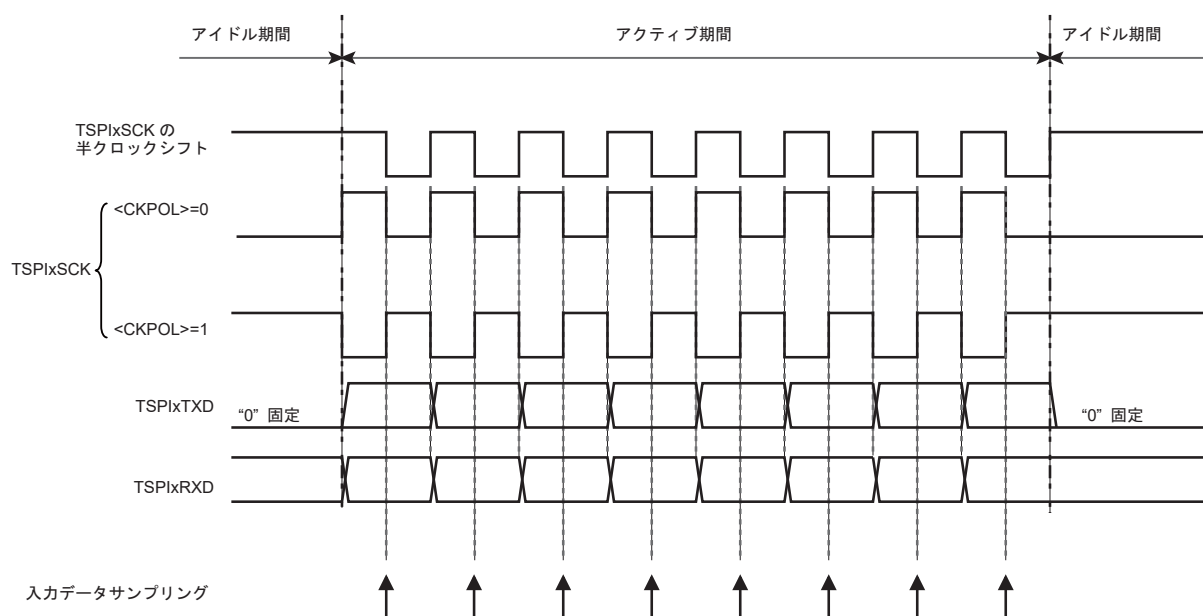


図 15-13 SIO モードのアイドル期間と送信端子状態

15.4.3 バッファ構成

送信バッファおよび受信バッファはそれぞれ独立しています。各バッファは FIFO とシフトレジスタから成るダブルバッファ構造です。

FIFO は送信 FIFO と受信用 FIFO があり、それぞれ 16bit 幅で 8 段あります。設定可能な FIFO のレベルはデータ長によって変わります。

シフトレジスタは 32bit 長です。

表 15-5 データフォーマットと設定可能 Fill レベルの関係

データ	設定可能な Fill レベル	
	送信 FIFO TSPIxCR2<TIL[3:0]>	受信 FIFO TSPIxCR2<RIL[3:0]>
7~16bit	0~7	1~8
17~32bit	0~3	1~4

注) Fill レベルは利用可能な Fill レベルの範囲内の値を設定してください。利用可能な Fill レベルの範囲外の値を設定した場合の動作は保証しません。

15.4.3.1 データ長と FIFO 動作

データレジスタは 32bit 幅で、TSPI の FIFO は DMA 転送が最も効率よく行える 32bit 幅に合わせるように動作します。

以下に FIFO の動作について受信を例に説明します。送信はデータの方角をのぞいて受信と同じです。

受信したデータをフレームごとに f0、f1 と表記します。f0 は第 1 フレームを表します。f1 は第 2 フレームです。

また、1 フレーム内の上位バイトと下位バイトをそれぞれ f1(H)、f1(L)のように表します。

(1) データ長 7~16bit の場合

データ長 7~16bit で使用する場合、1 フレーム分データの格納に FIFO を 1 段分使用します。

FIFO は 8 段あるので、8 フレーム分のデータを格納でき、設定可能な Fill レベルは最大 8 となります。

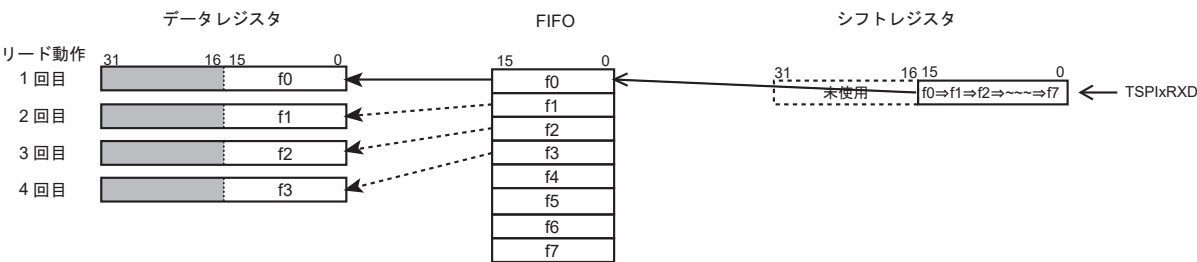


図 15-14 データ長 7~16bit の場合の動作

TSPIxRXD に入力されるデータはシフトレジスタに取り込まれます。

フレーム長分の転送が終了し、FIFO に空きがある場合にはシフトレジスタの受信データが FIFO にコピーされます。FIFO には f0、f1、f2、f3、f4、f5、f6、f7 の順でスタックされていきます。

DMAC または CPU がデータレジスタをリードすると受信 FIFO ポインタが指す段の受信 FIFO の内容が読み出されます。

1 回目のリード動作では、FIFO の 1 段目の内容 f0 がデータレジスタの下位 16bit にコピーされます。データレジスタの上位 16bit は不定となります。

受信 FIFO ポインタは 1 つインクリメントされ FIFO の 2 段目を示します。

2 回目のリード動作では、f1 がデータレジスタの下位 16bit にコピーされます。

受信 FIFO ポインタは 1 つインクリメントされ FIFO の 3 段目を示します。

以降のフレームも、データを読みだすごとに受信 FIFO ポインタがインクリメントされ、データレジスタの下位 16bit にコピーされます。

(2) データ長 17~32bit

データ長 17~32bit で使用する場合、1 フレーム分のデータ格納に FIFO を 2 段分使用します。

FIFO は 8 段ありますので 4 フレーム分のデータを格納でき、設定可能な Fill レベルは最大 4 となります。

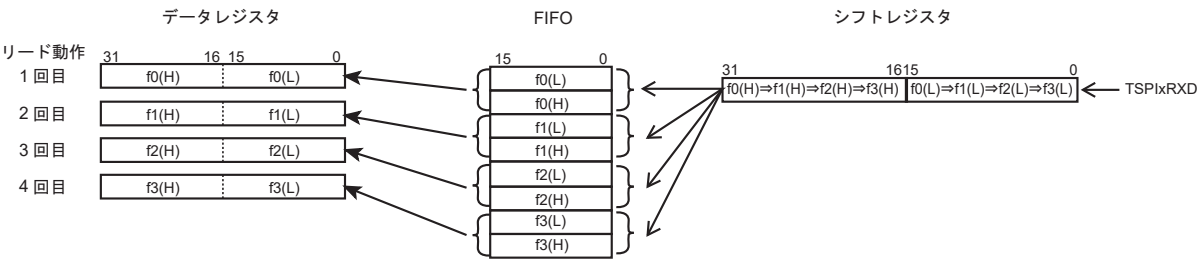


図 15-15 データ長 17-32bit の場合の動作

TSPIxRXD に入力されるデータはシフトレジスタに取り込まれます。

フレーム長分の転送が終了し、FIFO に空きがある場合にはシフトレジスタの受信データが FIFO にコピーされます。FIFO にコピーされる並びは f0(L)、f0(H)の順でスタックされます。次のフレームも同様に、f1(L)、f1(H)、f2(L)、f2(H)、f3(L)、f3(H)の順で FIFO にスタックされます。

DMAC または CPU がデータレジスタをリードすると受信 FIFO ポインタが指す段と次の段の受信 FIFO の内容が読み出されます。

1 回目のリード動作では、FIFO の 1 段目の内容 f0(L)がデータレジスタの下位 16bit に、FIFO の 2 段目の内容 f0(H)がデータレジスタの上位 16bit にコピーされます。

受信 FIFO ポインタは 2 つインクリメントされ、FIFO の 3 段目を指します。

2 回目のリード動作では、同様に f1 が読み出され、受信 FIFO ポインタは 5 段目を指します。

以降のフレームも、データを読み出すごとに受信 FIFO ポインタが 2 つインクリメントされ、fm(L)データレジスタの下位 16bit に、fm(H)がデータレジスタの上位 16bit にコピーされます。

15.4.4 割り込み要求

TSPI には、受信割り込み、送信割り込み、エラー割り込みの 3 種類の割り込みがあります。

おのおのの割り込みは関係する信号がひとつの信号にまとめられて出力されています。おのおのの割り込み信号は、許可/禁止の対応が可能です。

表 15-6 割り込み要因と割り込み要求

割り込み要求	割り込み要因	許可レジスタ
受信割り込み	受信完了割り込み	TSPIxCR2<INTRXWE>
	受信 FIFO 割り込み	TSPIxCR2<INTRXFE>
送信割り込み	送信完了割り込み	TSPIxCR2<INTTXWE>
	送信 FIFO 割り込み	TSPIxCR2<INTTXFE>
エラー割り込み	パリティエラー割り込み	TSPIxCR2<INTERR>
	オーバランエラー割り込み	
	アンダランエラー割り込み	

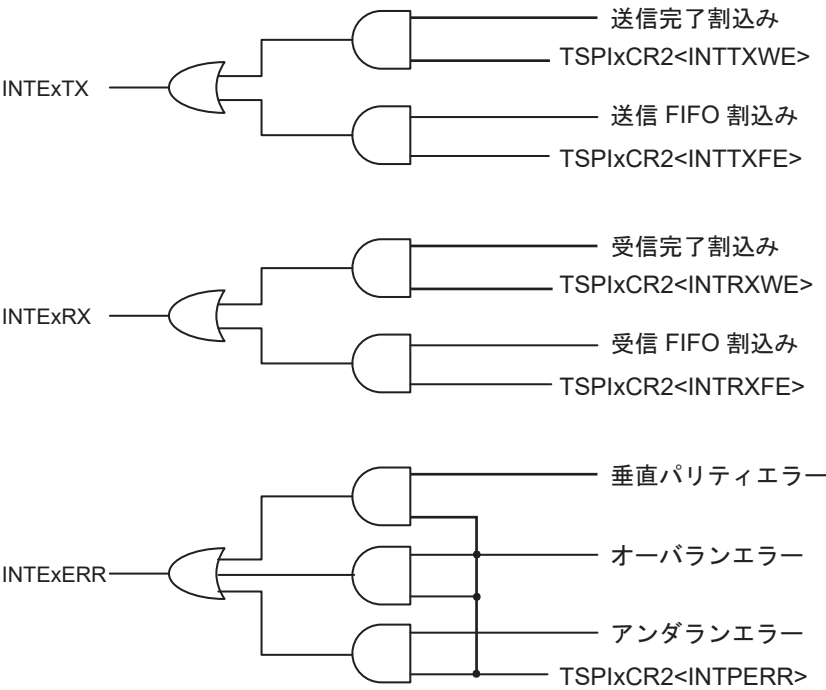


図 15-16 割り込み要因と割り込み要求

15.4.4.1 送信完了割り込み/受信完了割り込み

送信完了割り込みは送信または全 2 重通信のとき、シングル転送とバースト転送共に TSPIxCSO がネゲートされるタイミングで発生します。

受信完了割り込みは受信または全 2 重通信のとき、シングル転送とバースト転送共に TSPIxCSO がネゲートされるタイミングで発生します。

15.4.4.2 送信 FIFO 割り込み/受信 FIFO 割り込み

送信 FIFO 割り込みは、下記の条件を満たすと発生します。

- ・ TSPIxSR<TLVL[3:0]>が TSPIxCR2<TIL[3:0]>に設定された 送信 FIFO 割り込み発生条件 (Fill レベル)より 1 つ大きい状態
- ・ 送信 FIFO から送信シフトレジスタへのデータ転送が行われ送信 FIFO フィルレベルが 1 つ減り、送信割り込み発生条件(Fill レベル)と同じ値に変化したとき

送信 FIFO 割り込みは、下記の条件を満たすと発生します。

- ・ TSPIxSR<RLVL[3:0]>が TSPIxCR2<RIL[3:0]>に設定された 受信割り込み発生条件(Fill レベル)より 1 つ小さい状態
- ・ 受信シフトレジスタから受信 FIFO へのデータ転送が行われ受信 FIFO フィルレベルが 1 つ増え、受信割り込み発生条件(Fill レベル)と同じ値に変化したとき

15.4.4.3 エラー割り込み

(1) パリティエラー割り込み

パリティエラー割り込みは、パリティエラーが起こったときに発生する割り込みです。

パリティが有効なとき、フレーム長の最終ビットより 1 ビット前に受信したデータからパリティが自動計算されます。

フレーム長の最終ビットとして受信したパリティビットと比較し、一致しなかったときにパリティエラー割り込みが発生します。

割り込みが生成するタイミングは受信フレームデータが受信 FIFO に格納されるタイミングです。

(2) オーバランエラー割り込みとアンダランエラー割り込み

アンダランエラー、オーバランエラーはスレーブモードで発生します。

アンダランエラーは、送信シフトレジスタのデータを送信終了後、送信 FIFO にデータがない状態で次の転送クロックが入力されると発生します。

オーバランエラーは、受信 FIFO がフルでかつ受信シフトレジスタにもデータがある状態で次の転送クロックが入力されると発生します。

オーバランエラーが発生したフレームのデータは受信されず、受信 FIFO、受信シフトレジスタの内容は更新されません。

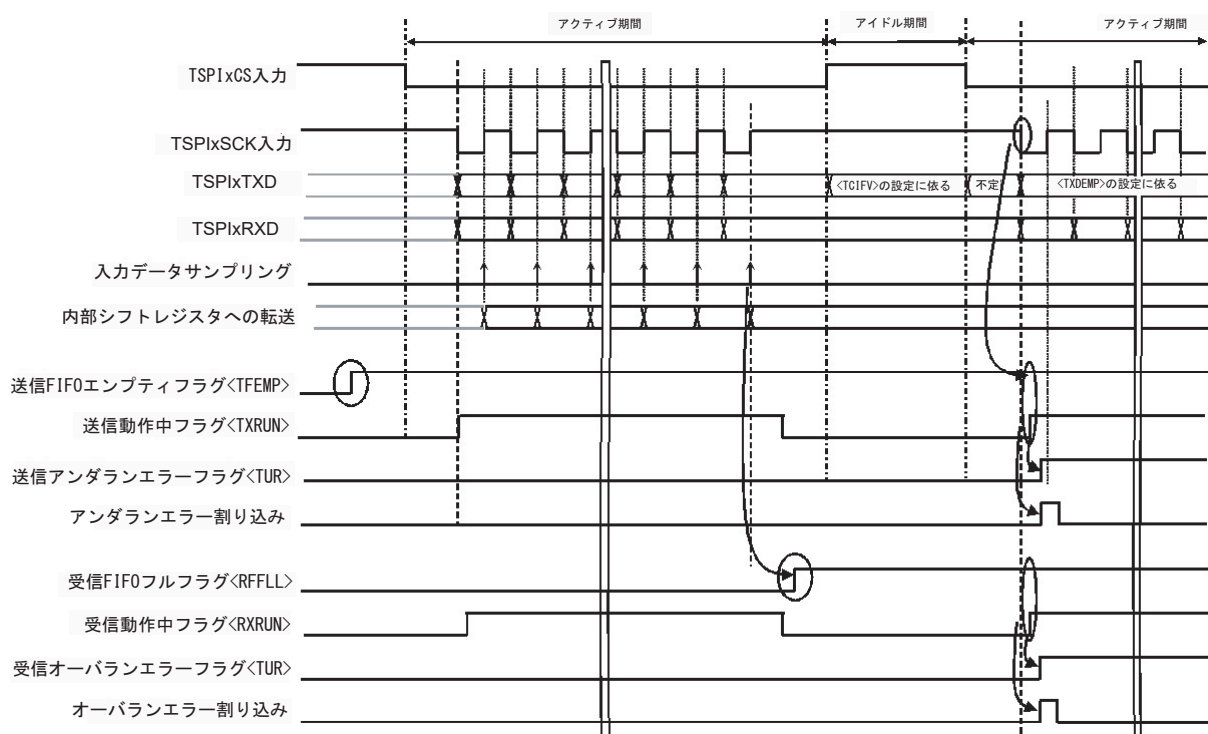


図 15-17 オーバランエラーとアンダランエラー

15.4.5 DMA 要求

送信 DMA 要求は、fill レベルの現在値を示す $TSPIxSR<TLVL[3:0]>$ の値が $TSPIxCR2<TIL[3:0]>$ に設定された送信割り込み発生条件(Fill レベル)以下になったときに DMA 要求が発生します。DMA 転送終了時にまだ Fill レベル以下であれば再度 DMA 要求が発生します。

受信 DMA 要求は、fill レベルの現在値を示す $TSPIxSR<RLVL[3:0]>$ の値が $TSPIxCR2<RIL[3:0]>$ に設定された受信割り込み発生条件(Fill レベル)以上になったときに DMA 要求が発生します。DMA 転送終了時にまだ Fill レベル以上であれば再度 DMA 要求が発生します。

15.4.6 転送モード

転送モードには 1 フレームのデータを転送するシングル転送と複数のフレームを連続して転送するバースト転送の 2 つがあります。

転送モードは TSPIxCR1<FC[7:0]>に設定したフレームで指定されます。

15.4.6.1 シングル転送

シングル転送は 1 フレームを転送するモードです。

SPI モードでは 1 フレームの転送が終了すると TSPIxCSO が必ずネゲートされます。

15.4.6.2 バースト転送

バースト転送は複数のフレームを連続して転送するモードです。

SPI モードではあらかじめ設定したフレームの転送中、TSPIxCSO をアサート状態に保ちます。

15.4.7 通信モード

通信モードには、SIO モードと SPI モードの 2 つがあります。

通信モードは、TSPIxCR1<TSPIMS>によって指定されます。

15.4.7.1 SPI モード

TSPIxCR1<TSPIMS>を"0"に設定すると SPI モードになります。

SPI モードでは、TSPIxCLK、TSPIxCSO、TSPIxCSIN、TSPIxTXD、TSPIxRXD を使って、1 つのマスタが 1 つのスレーブと通信することができます。

15.4.7.2 SIO モード

TSPIxCR1<TSPIMS>を"1"に設定すると SIO モードになります。

SIO モードでは、TSPIxCLK、TSPIxTXD、TSPIxRXD を使って、1 つのマスタが 1 つのスレーブと通信することができます。

15.4.8 マスタ/スレーブ選択

TSPI はマスタ(クロックを出力するデバイス)とスレーブ(クロックを入力するデバイス)の動作を行うことができます。

TSPIxCR1<MSTR>を"0"に設定するとスレーブデバイスとして動作します。

TSPIxCR1<MSTR>を"1"に設定するとマスタデバイスとして動作します。

15.4.8.1 SPI モード時のスレーブデバイス動作

TSPIxCSIN から入力されるチップセレクト信号が有効なときに、TSPIxCLK を受け取り、TSPIxCLK に同期して動作します。

チップセレクト信号が無効なときには TSPIxCLK は無視されます。

15.4.8.2 SPI モード時のマスタデバイス動作

TSPIxCSO からチップセレクト信号を出力するとともに、TSPIxCLK からクロックを出力します。出力する TSPIxCLK に同期して動作します。

15.4.8.3 SIO モード時のスレーブデバイス動作

TSPIxCLK を受け取り、TSPIxCLK に同期して動作します。

15.4.8.4 SIO モード時のマスタデバイス動作

TSPIxCLK からクロックを出力します。出力する TSPIxCLK に同期して動作します。

15.5 TSPI の制御

15.5.1 リセット

TSPI はリセットまたはソフトウェアリセットにより初期化されます。

ソフトウェアリセットを行うには TSPIxCR0<SWRST[1:0]>に連続して"10"→"01" とライトします。

ソフトウェアリセットにより、制御レジスタ、送受信 FIFO、送受信シフトレジスタ、および内部回路が全て初期化されます。ただし TSPIxCR0<TSPIE>は初期化されません。

注) ソフトウェアリセット動作が完了するには命令実行後 2 クロックが必要です。

表 15-7 ソフトウェアリセットにより初期化されるレジスタ

レジスタ名	シンボル名
TSPIxCR0	対象無し
TSPIxCR1	<TRXE>
TSPIxCR2	<TIL><RIL><INTTXFE><INTTXWE><INTRXFE><INTRXWE><INTERR><DMATE><DMARE>
TSPIxCR3	対象無し
TSPIxBR	対象無し
TSPIxFMTR0	対象無し
TSPIxFMTR1	対象無し
TSPIxDR	対象無し
TSPIxSR	<TSPIE><TXRUN><TXEND><INTTXWF><TFEMP> <TLVL><RXRUN><RXEND><INTRXFF><RFFLL><RLVL>
TSPIxERR	<UDRERR><OVRERR><PERR>

15.5.2 TSPI の初期設定

TSPI を設定するには、TSPIxCR0<TSPIE>を"1"に設定します

その後、TSPIxSR<TSPIE>が"0"であることを確認して、通信モード、転送モード、転送フォーマットなど必要な設定を行ってください。

15.5.3 転送の開始と停止

全 2 重通信モードおよび送信モードの場合は転送開始には 2 つの方法があります。

1. TSPIxCR1<TRXE>=1 にして通信許可にした後、データレジスタ TSPIxDR にデータを書き込む方法
2. データレジスタ TSPIxDR にデータを書き込んだあと TSPIxCR1<TRXE>=1 にして通信許可する方法

受信モードの場合は TSPIxCR1<TRXE>=1 にすると直ちに受信を開始します。

転送を停止するには、TSPIxCR1<TRXE>に"0"を設定してください。シングル転送、バースト転送とも、転送途中のフレームは転送が最後まで行われます。

停止状態では TSPIxSCK、TSPIxCSO、TSPIxTXD はアイドル状態になります。

バーストモードで転送を停止した後に再度転送許可すると、停止したバースト転送の初めから動作を開始します。

表 15-8 に通信モード、転送モードごとの開始・停止動作の詳細を示します。

表 15-8 モード設定毎の転送開始・停止動作

通信モード	転送モード	通信開始タイミング	通信停止タイミング
全 2 重	シングル転送	TSPIxCR1<TRXE>ビットが"1"かつ送信 FIFO に有効データが存在する場合に送信を開始します。どちらが先でも転送を開始します。 受信バッファ(受信 FIFO と受信シフトレジスタが)フルのときには次のフレーム転送を開始しません。受信 FIFO データをリードし、受信シフトレジスタ内のデータが自動的に FIFO に移った時点でシフトレジスタに空きがあると判断し自動的に転送を再開します	送受信中に本ビットを通信停止に設定した場合にはそのフレームの転送が終了してから停止します。
	バースト転送	TSPIxCR1<TRXE>ビットが"1"かつ送信 FIFO に有効データが存在する場合に送信を開始します。どちらが先でも転送を開始します。 バースト転送モードの場合、設定したバースト転送数を完了後に TSPIxCR1<TRXE>ビットは"0"に戻ります。再度バースト転送を行う場合は TSPIxSR<TSPISUE>ビットが"0"に戻っていることを確認後に TSPIxCR1<TRXE>を 1 に設定してください。 設定したバースト送信数の転送の途中で送信 FIFO にデータが無くなった場合、TSPIxCSO はアサート状態で待機し、送信 FIFO にデータ有効データが書かれた時点で転送を自動的に再開します。 受信バッファ(受信 FIFO と受信シフトレジスタが)フルのときには次のフレーム転送を開始しません。この時 TSPIxCSO はアサート状態を保ちます。受信 FIFO データをリードし、シフトレジスタ内のデータが自動的に FIFO に移った時点でシフトレジスタに空きがあると判断し自動的に転送を再開します。	送受信中に本ビットが通信停止に設定された場合はそのフレームの転送が終了してから、停止します。
送信モード	シングル転送	TSPIxCR1<TRXE>ビットが"1"かつ送信 FIFO に有効データが存在する場合に送信を開始します。どちらが先でも転送を開始します。	送信中に本ビットを通信停止に設定した場合にはそのフレームの転送が終了してから停止します。
	バースト転送	TSPIxCR1<TRXE>ビットが"1"かつ送信 FIFO に有効データが存在する場合に送信を開始します。どちらが先でも転送を開始します。 再度バースト転送を行う場合は TSPIxSR<TSPISUE>ビットが"0"に戻っていることを確認後に<TRXE>を"1"に設定してください。 設定したバースト送信数の転送の途中で送信 FIFO にデータが無くなった場合、TSPIxCSO はアサート状態で待機し、送信 FIFO にデータ有効データが書かれた時点で転送を自動的に再開します。	送信中に本ビットを通信停止に設定した場合はそのフレームの転送が終了してから、停止します。
受信モード	シングル転送	受信バッファ(受信 FIFO と受信シフトレジスタ)に空きがあれば受信を開始します。 受信バッファがフルのときにはシリアルクロックを停止し、次のフレーム転送を開始しません。受信 FIFO データをリードし、シフトレジスタ内のデータが自動的に FIFO に移った時点でシフトレジスタに空きがあると判断し自動的に転送を再開します。	受信中にこのビットが通信停止に設定された場合はそのフレームの転送が終了してから、停止します。
	バースト転送	受信バッファ(受信 FIFO と受信シフトレジスタ)に空きがあれば受信を開始します。 受信バッファ(受信 FIFO と受信シフトレジスタ)満杯のときには次のフレーム転送を開始しません。受信 FIFO データをリードし、シフトレジスタ内のデータが自動的に FIFO に移った時点でシフトレジスタに空きがあると判断し自動的に転送を再開します。再開まで TSPIxCSO はアサート状態を保ちます。 再度バースト転送を行う場合は TSPIxSR<TSPISUE>ビットが"0"に戻っていることを確認後に<TRXE>を"1"に設定してください。	受信中にこのビットが通信停止に設定された場合はそのフレームの転送が終了してから、停止します。

15.6 通信動作モード

15.6.1 全 2 重通信モード

図 15-18 にフレーム長 32bit、パリティなし、FIFO を 1 段利用する場合の全 2 重通信シングル転送の動作例を示します。

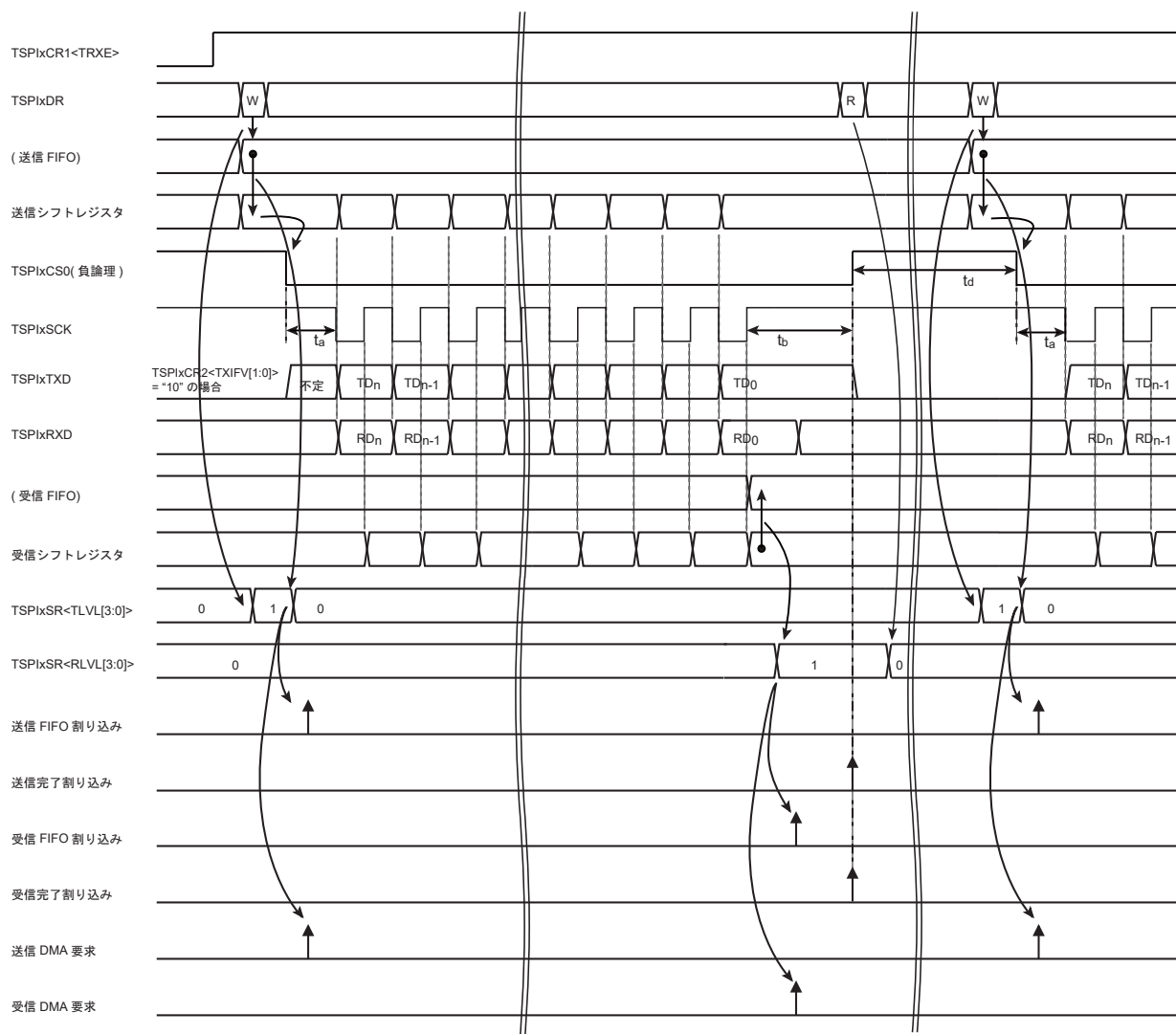


図 15-18 全 2 重通信の動作例

- TSPIxCR1<TRXE> に"1"をライトして通信を許可します。
- TSPIxDR にデータをライトします。
- TSPIxDR にデータをライトすると内部送信 FIFO ポインタが示す FIFO 段へライトされます。
- 送信 FIFO に 1 段分のデータがバッファされた為、TSPIxSR<TLVL>が"1"になります。
- 送信 FIFO にバッファされたデータはシフトレジスタにコピーされ、TSPIxSR<TLVL>が"0"になります。TSPIxFMTR0<CSSCKDL>で設定したシリアルクロック遅延時間(t_a)経過後、TSPIxSCK からシリアルクロックの出力が開始されます。
- TSPIxSR<TLVL>が"1"から"0"へ変化したため送信 FIFO 割り込み(または送信 DMA 要求)が発生します。

- g. シリアルクロックの最後の立ち上がりエッジで受信データの全てのビットが受信シフトレジスタに取り込まれ、受信 FIFO にコピーされます。シリアルクロックの最後の立ち上がりエッジから TSPIx FMTR0<SCKCSDL>で設定した CS ネゲート遅延時間(tb)経過後、TSPIxCSO がネゲートされ、送信完了割り込みと受信完了割り込みが発生されます。
- h. 受信 FIFO に 1 段分のデータがバッファされた為、TSPIxSR<RLVL>が"1"になります。
- i. TSPIxSR<RLVL>が"0"から"1"へ変化したため受信 FIFO 割り込み(または受信 DMA 要求)が発生します。
- j. TSPIxCSO がネゲートされてから TSPIx FMTR0<CSINT>で設定した最低アイドル時間(td)経過までは送信 FIFO にデータがあってもシリアル転送を開始しせず、TSPIxCSO をネゲートのまま保持します。最低アイドル時間(td)が経過した後、TSPIxCSO がアサートされシリアル転送が開始されます。

15.6.2 送信モード

図 15-19 にフレーム長 32bit、パリティなし、FIFO を 1 段利用する場合の送信モードでのシングル転送の動作例を示します。

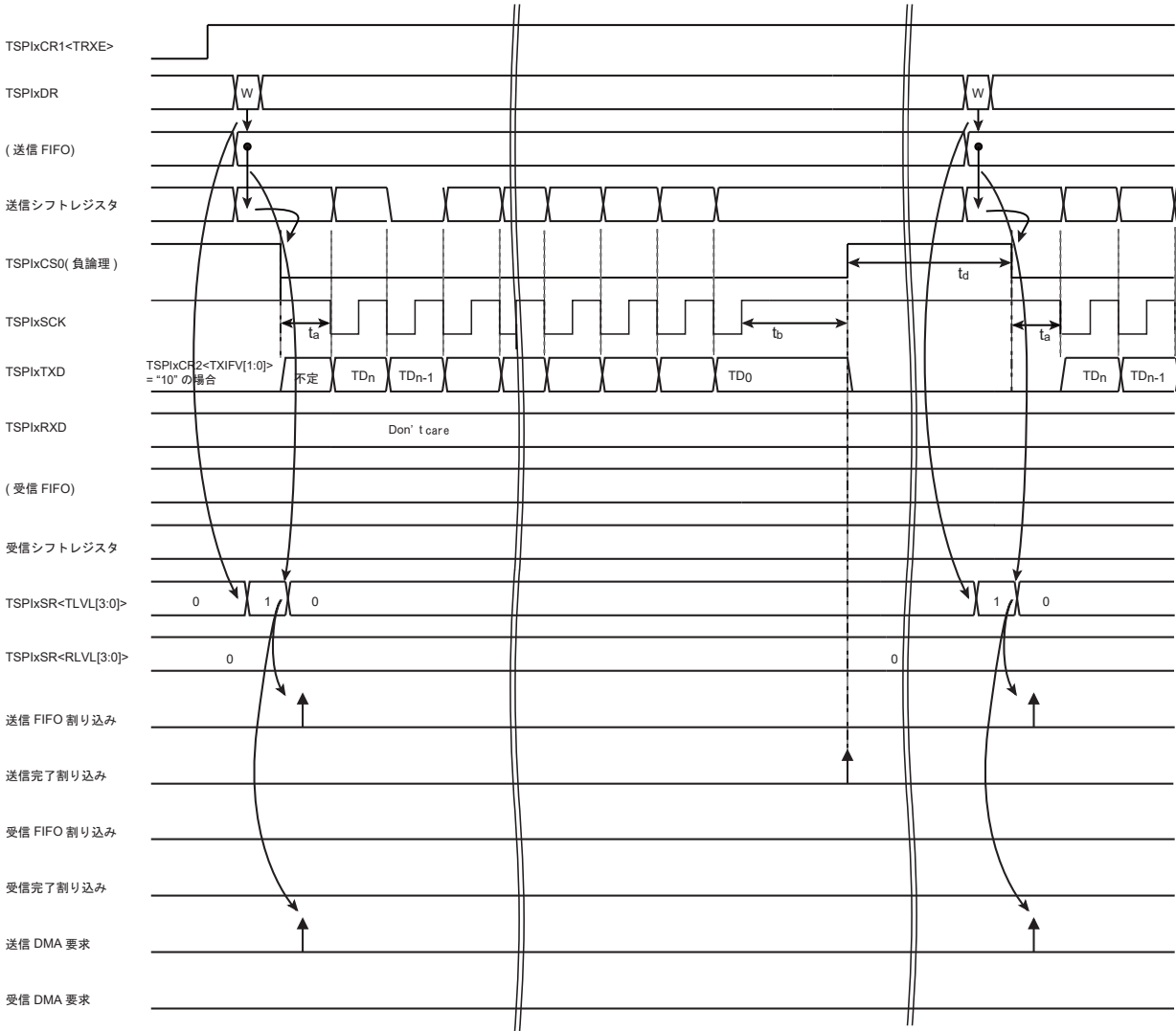


図 15-19 送信モードの動作例

- a. TSPIxCR1<TRXE> に"1"をライトして通信を許可します。
- b. TSPIxDR にデータをライトします。

- c. TSPIxDR にデータをライトすると内部送信 FIFO ポインタが示す FIFO 段へライトされます。
- d. 送信 FIFO に 1 段分のデータがバッファされた為、TSPIxSR<TLVL>が"1"になります。
- e. 送信 FIFO にバッファされたデータはシフトレジスタにコピーされ、TSPIxSR<TLVL>が"0"になります。TSPIxFMTR0<CSSCKDL>で設定したシリアルクロック遅延時間(ta)経過後、TSPIxSCK からシリアルクロックの出力が開始されます。
- f. TSPIxSR<TLVL>が"1"から"0"へ変化したため送信 FIFO 割り込み(または送信 DMA 要求)が発生します。
- g. TSPIxCSO がネゲートされてから TSPIxFMTR0<CSINT>で設定した最低アイドル時間(td)経過までは送信 FIFO にデータがあってもシリアル転送を開始しせず、TSPIxCSO をネゲートのまま保持します。最低アイドル時間(td)が経過した後、TSPIxCSO がアサートされシリアル転送が開始されます。

15.6.3 受信モード

図 15-20 にフレーム長 32bit、パリティなし、FIFO を 1 段利用する場合の受信モードでのシングル転送の動作例を示します。

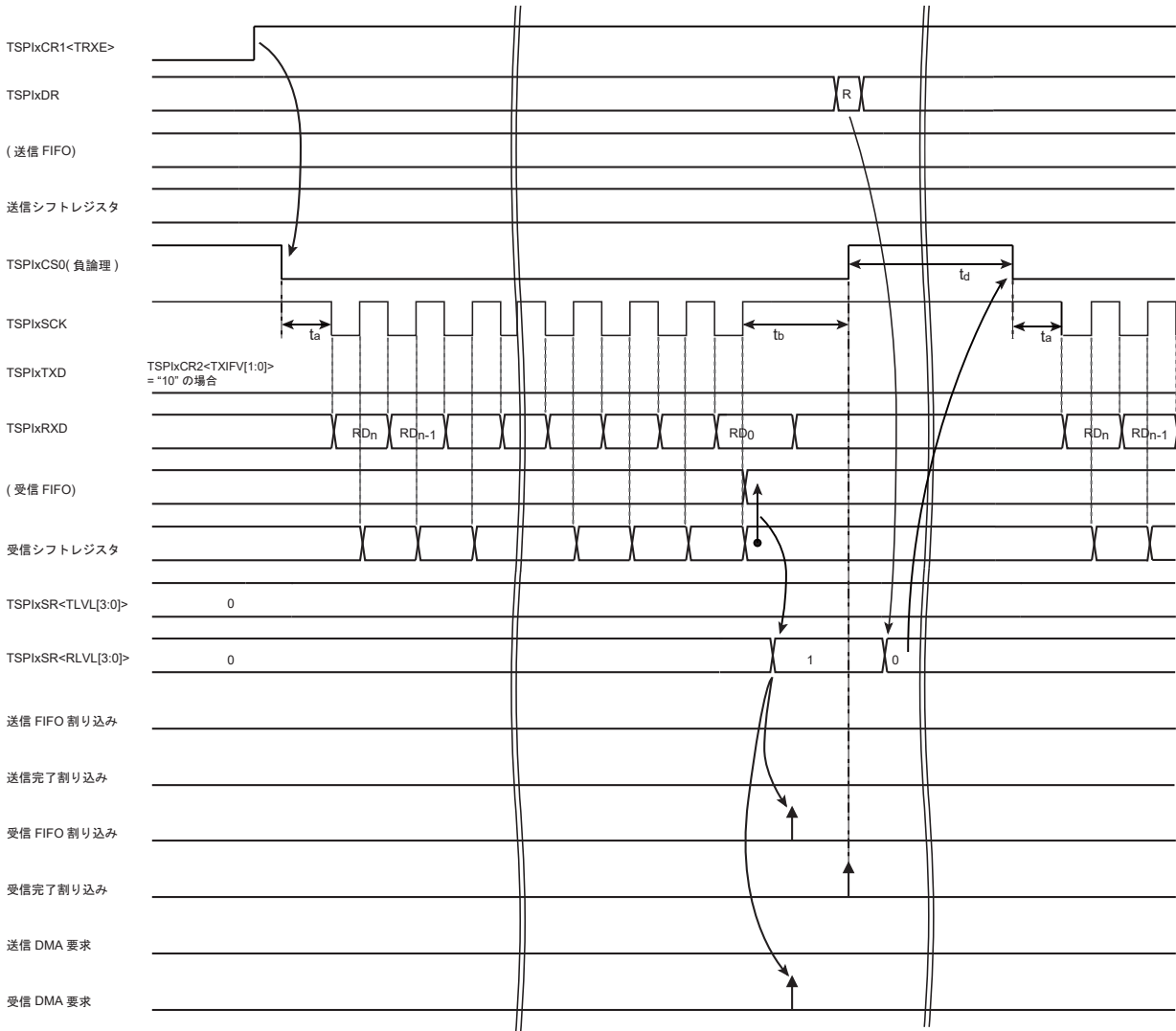


図 15-20 受信モードの動作例

- a. TSPIxCR1<TRXE> に"1"をライトして通信を許可します。受信 FIFO に空きがあるため直ちに TSPIxCS0 がアサートされ、シリアル転送が開始されます。
- b. TSPIxFMTR0<CSSCKDL>で設定したシリアルクロック遅延時間(t_a)経過後、TSPIxSCK からシリアルクロックの出力が開始されます。
- c. シリアルクロックの最後の立ち上がりエッジで受信データの全てのビットが受信シフトレジスタに取り込まれ、受信 FIFO にコピーされます。
- d. 受信 FIFO に 1 段分のデータがバッファされた為、TSPIxSR<RLVL>が"1"になります。
- e. TSPIxSR<RLVL>が"0"から"1"へ変化したため受信 FIFO 割り込み(または受信 DMA 要求)が発生します。
- f. シリアルクロックの最後の立ち上がりエッジから TSPIxFMTR0<SCKCSDL>で設定した CS ネゲート遅延時間(t_b)経過後、TSPIxCS0 がネゲートされ、受信完了割り込みが発生されます。

- g. TSPIxCSO がネゲートされてから TSPIxFMTR0<CSINT>で設定した最低アイドル時間(td)経過まではシリアル転送を開始せず、TSPIxCSO をネゲートのまま保持します。最低アイドル時間(td)が経過した後、受信 FIFO に空きがあれば再び TSPIxCSO がアサートされシリアル転送が開始されます。

第 16 章 USB デバイスコントローラ (USBD)

この章では USB デバイスコントローラについて説明します。

この章ではエンドポイントを EP と記述します。

16.1 システム概要

- 1. Universal Serial Bus Specification Rev.2.0 に準拠
- 2. Full-Speed をサポート (Low-Speed は非対応)
- 3. USB プロトコル処理
- 4. SOF/USB_RESET/SUSPEND/RESUME の検出
- 5. パケット ID の生成およびチェック
- 6. CRC5 チェック, CRC16 の生成およびチェック
- 7. 4 種類 (Control/Interrupt /Bulk/ Isochronous) の転送モードをサポート
- 8. 5 EP のサポート

表 16-1 エンドポイント

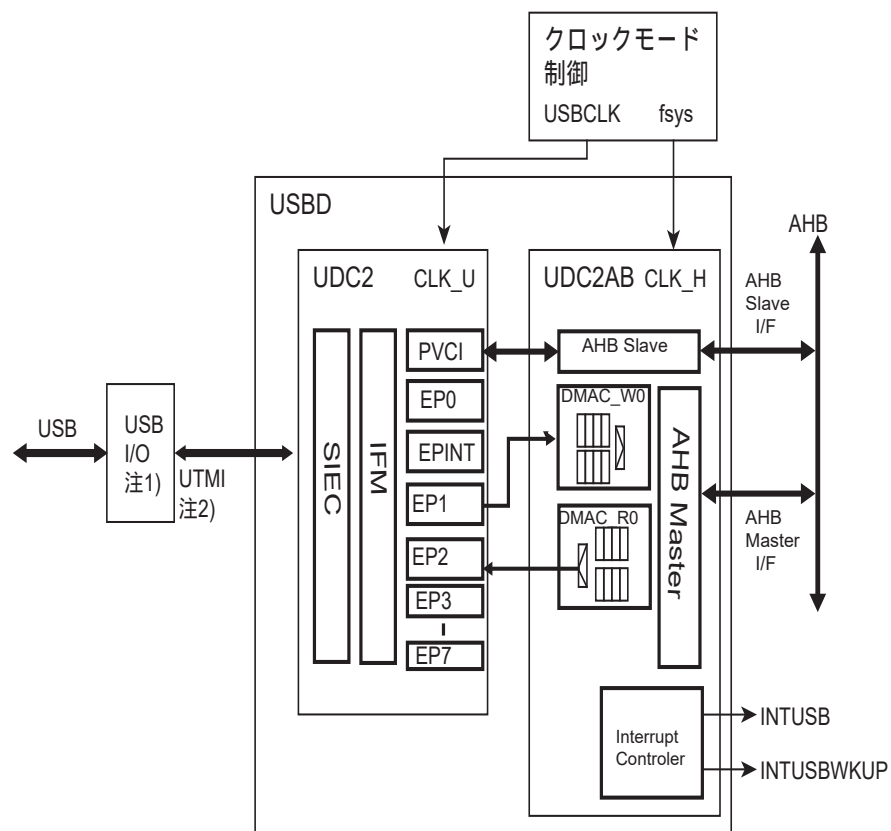
EP0:	コントロール	64byte × 1 FIFO
EP1:	コントロール/インタラプト / バルク / アイソクロナス (IN)	64byte × 2 FIFO
EP2:	コントロール/インタラプト / バルク / アイソクロナス (OUT)	64byte × 2 FIFO
EP3:	コントロール/インタラプト / バルク / アイソクロナス (IN)	64byte × 2 FIFO
EP4:	コントロール/インタラプト / バルク / アイソクロナス (OUT)	64byte × 2 FIFO

- 9. デュアルパケットモード対応 (EP 0 は除く)
- 10. 割り込みコントローラへの割り込み要因信号: INTUSB、INTUSBWKUP

16.2 システム構成

USB デバイスコントローラは、USB-Spec2.0 デバイスコントローラ(以下、UDC2)と、UDC2 と AHB バスを接続するバスブリッジ(以下、UDC2AB)から構成されています。

この章では、「16.2.1 AHB バスブリッジ (UDC2AB)」で、UDC2AB の構成を、「16.2.2 東芝 USB-Spec2.0 デバイスコントローラ (UDC2)」で UDC2 の構成を説明します。



注 1)TMPM066/067/068FW では Full Speed モードに対応 (Low Speed は非対応) した USB I/O が実装されています。文中の PHY は USB I/O と読み替えてください。
注 2)USB2.0 Transceiver Macrocell Interface

図 16-1 USB デバイスコントローラブロック図

16.2.1 AHB バスブリッジ (UDC2AB)

UDC2AB は、東芝 USB-Spec2.0 デバイスコントローラ(以下、UDC2)と AHB とのバスブリッジです。

UDC2AB は AHB マスタ転送をサポートする DMA コントローラを有し、AHB 上の指定されたアドレスと UDC2 内部の EP-FIFO(EP I/F)間の転送を制御します。

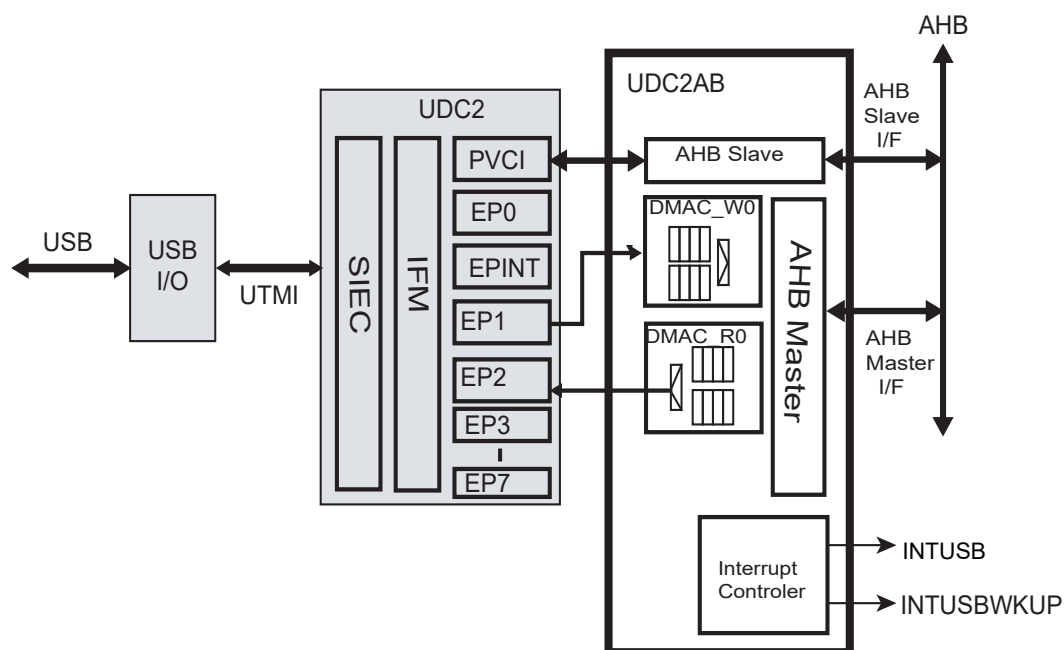


図 16-2 UDC2AB ブロック図

16.2.1.1 機能/特長

UDC2AB の機能と特長を以下に記します。

1. UDC2 との接続

接続する UDC2 の EP 構成に特に制限はありません。ただし、UDC2AB 内の DMA コントローラ(AHB マスタ機能)と接続可能なのは、Rx 用 EP が 1 個、Tx 用 EP が 1 個となります。その他の EP(EP0 を含む)へのアクセスは、UDC2AB の AHB スレーブ機能を用いて、UDC2 の PPCI I/F と行います。なお、DMA コントローラでのマスタ転送中の UDC2 EP の EPx_FIFO レジスタに対して、PPCI I/F 経由でアクセスはできません。

AHB マスタリード機能と接続する EP の Max パケットサイズが奇数となる場合には使用方法に制限があります。詳細は「16.5.4 "(3)マスタリード転送時の Max パケットサイズ設定」を参照してください。

2. AHB 機能

AHB マスタと AHB スレーブ機能を持ちます。

a. AHB マスタ機能

2つの DMA チャンネルを持ち、Rx 用 EP、Tx 用 EP に対して、それぞれ 1 チャンネルが割り当てられます。

表 16-2 AHB マスタ機能

Single Burst (INCR/INCR8) transactions	サポート
Split transaction	サポート
Little Endian	サポート
Protection Control	サポート
Early Burst Termination	サポート
アドレス幅	32 ビット
データ幅	32 ビット
Byte、Word の Transaction	サポート

Endian 変換のイメージは下図のようになります。

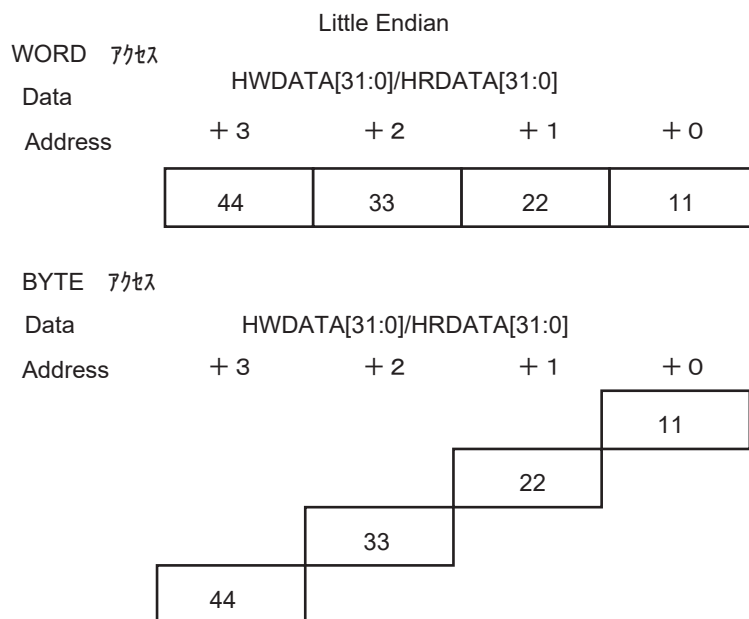


図 16-3 AHB マスタ機能 Endian 変換イメージ

b. AHB スレーブ機能

内部レジスタアクセスに使用します。

Little Endian	サポート
Single transaction	サポート
アドレス幅	32 ビット
データ幅	32 ビット
Byte、Word の Transaction	サポート

Endian 変換のイメージは下図のようになります。

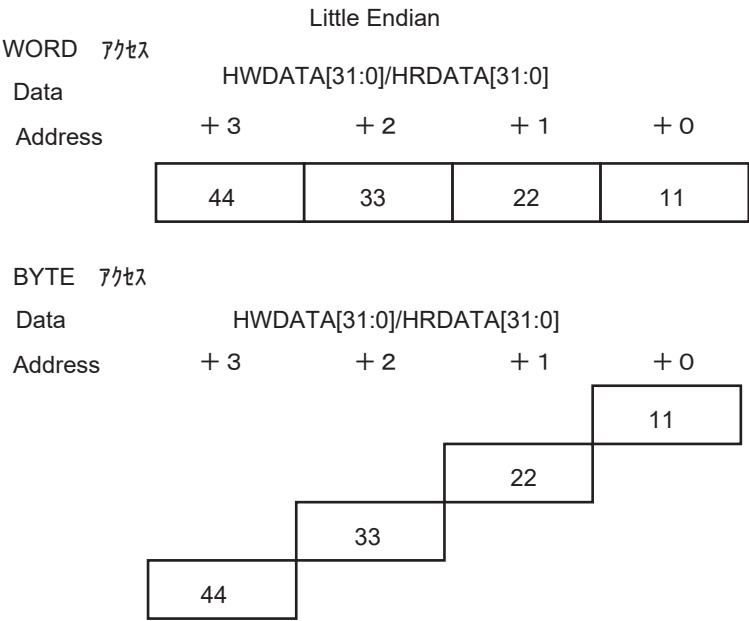


図 16-4 AHB スレーブ機能 Endian 変換イメージ

16.2.1.2 構成

UDC2AB は主に、UDC2AB レジスタおよび UDC2 レジスタ(UDC2 PPCI I/F)とのアクセスを制御する AHB スレーブ機能と、UDC2 EP I/F との DMA アクセスを制御する AHB マスタ機能から構成されます。

AHB マスタ機能には、マスタリードチャンネル(AHB→UDC2)とマスタライトチャンネル(UDC2→AHB)の計 2 チャンネルが内蔵されており、UDC2 の Rx 用 EP、Tx 用 EP の EPI/F との DMA 転送が可能です。各チャンネルは、8 ワードのバッファを 2 つずつ(計 4 つ)内蔵しています。

16.2.1.3 Clock ドメイン

UDC2AB の CLK_H はクロック/モード制御回路から供給される fsys が接続されています。fsys は TMPM066/067/068FW の低消費電力モードにあわせ、停止または動作します。

低消費電力モードに入り、fsys が停止している間は CLK_H が供給されないため、INTUSB は発生しません。

このため、VBUS のコネクとディスコネクの検出は、CLK_H の動作または停止に合わせて、使用する割り込みを INTUSB と VBUS 端子によって発生する外部割り込みから選択する必要があります。

詳細については、「16.5.5.2 USB バス電源(VBUS)のコネク/ディスコネク時のシーケンス」を参照してください。

UDC2 の CLK_U はクロック/モード制御回路から供給される USBCLK が接続されています。USBCLK はレジスタによって、停止または動作します。サスペンド、レジューム状態などの検出により、CLK_U を停止または動作させるときは、ソフトウェアにより、クロック/モード制御回路のレジスタを設定してください。

16.2.2 東芝 USB-Spec2.0 デバイスコントローラ (UDC2)

UDC2 は Universal Serial Bus への USB ファンクションの接続をコントロールする機能を持つコントローラです。UDC2 は USB プロトコルを自動処理し、PHY 側インタフェースには UTMI によりアクセス可能です。

1. SIEC (Serial Interface Engine Control) ブロック

このブロックでは、USB におけるプロトコルの管理を行います。主な機能を以下に示します。

- ・ PID のチェック、生成
- ・ CRC のチェック、生成
- ・ デバイスアドレスのチェック

2. IFM ブロック

このブロックでは、SIEC と EP の制御を行います。主な機能を以下に示します。

- ・ OUT-Token 受信時に、受信データを該当する EP へライト
- ・ IN-Token 受信時に、送信データを該当する EP からリード
- ・ UDC2.0.のステータス制御/管理

3. PVICI-I/F ブロック

このブロックでは、IFM と外部レジスタアクセスバス(PVICI)とのリード/ライトを制御します。

PVICI バスは UDC2AB を経由してアクセスします

4. EP0 ブロック

このブロックでは、Control 転送時の送受信データをコントロールします。Control 転送の DATA-Stage でデータを送受信する場合、このブロック内の FIFO へ PVICI-I/F よりアクセスしてください。

5. EPx ブロック

このブロックでは、EPx(x=1 ~ 4)の送受信データをコントロールします。EP-I/F により FIFO へ直接アクセスすることが可能です。EP-I/F では、バースト転送が可能です。

なお、EP は送信用 EP(EPTX)と、受信用 EP(EPRX)の 2 種類があります。EP の方向(送信/受信)についてはハードで固定となります。

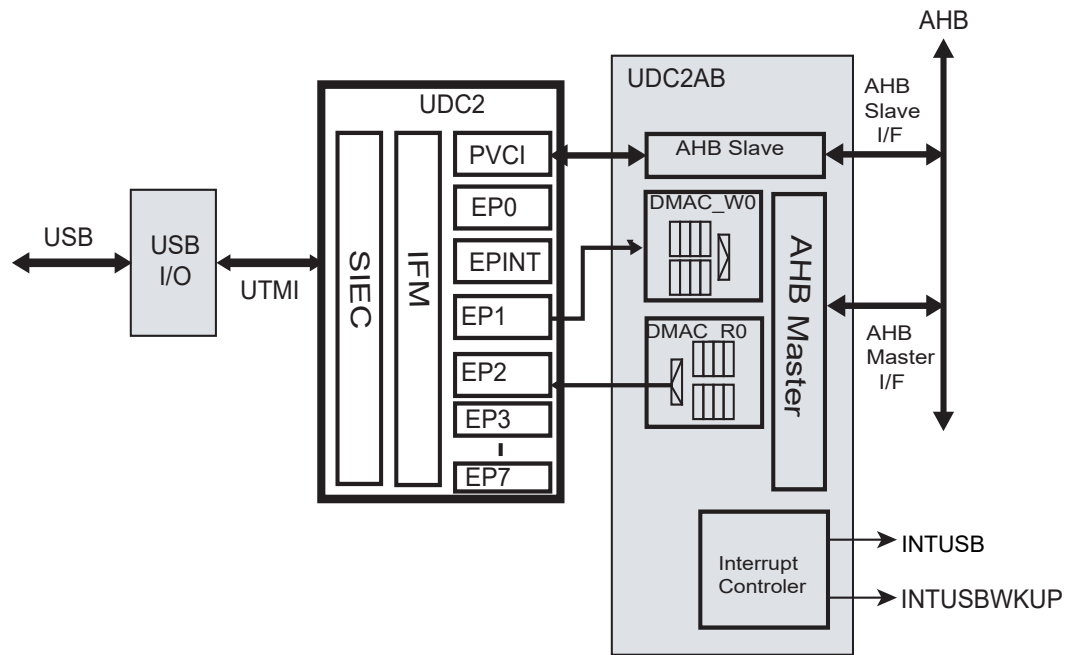


図 16-5 UDC2 ブロック図

16.2.2.1 機能/特徴

コアの主な機能と特長を以下に記します。

1. Universal Serial Bus Specification Rev. 2.0をサポート
2. Full-Speed (FS)をサポート (Low-Speed は未対応)
3. USB プロトコル処理
4. SOF/USB_RESET/SUSPEND/RESUME の検出
5. パケット ID の生成およびチェック
6. CRC5 チェック、CRC16 の生成およびチェック
7. 4 種類(Control/Interrupt/Bulk/Isochronous)の転送モードをサポート
8. 8 EP までサポート
9. デュアルパケットモード対応(EP 0 は除く)
10. EP の 1 ~ 7 については、FIFO へ直接アクセス (EP-I/F)
11. USB 2.0 Transceiver Macrocell Interface (UTMI) 対応 (8 bits @ 48 MHz)

16.2.2.2 各フラグ仕様

UDC2 は、USB バス上での各種イベント発生時に、イベントをフラグとして出力します。この章では、各フラグについて説明します。

1. USB_RESET

USB_RESET 受信期間中、"High"をアサートします。UDC2 は、USB_RESET を受信することにより、Default-State に戻りますので、アプリケーションも Default-State に戻る必要があります。

UDC2 が Full-Speed 動作時は USB バス上の SE0 を 2.5 s 以上認識したときにこのフラグをアサートします。その後、UDC2 が Chirp-K を約 1.5ms ドライブした後に、以下の 2 種類の状態のどちらかを認識するとデアサートします。

- a. ホストからの Chirp (K-J-K-J-K-J)を認識する。
- b. ホストからの Chirp(K-J-K-J-K-J)を認識しない状態で 2ms 以上経過する。

注) ホストが Chirp を開始する時間、Chirp-K、Chirp-J のドライブ時間はホストに依存しますが、USB_RESET フラグのアサート期間は 1.74ms ~ 3.5ms 程度となります。

2. INT_SETUP

Control 転送で、Setup-Token 受信後、"High"をアサートします。ソフトウェアはこの割り込みを認識したら、Setup-Data 格納レジスタ(8 バイト)をリードし、リクエストの判断をしてください。なお、この割り込みは UDFS2INT<i_setup>に 1 をライトすることによりデアサートされます。割り込みを認識した時点で UDFS2INT のクリアを行うようにしてください。

3. INT_STATUS_NAK

Control 転送で、UDC2 が DATA-Stage を処理中("Setup_Fin"コマンド発行前)に、ホストが STATUS-Stage へ移行してパケットを送信してくると、UDC2 は"NAK"を返信しこのフラグを"High"にアサートします。ソフトウェアはこの割り込みを認識したら、UDFS2CMD により"Setup_Fin"コマンドを発行し、UDC2 の STATUS-Stage を終了させる必要があります。なお、この割り込みは UDFS2INT<i_status_nak>に 1 をライトすることによりデアサートされます。割り込みを認識した時点で UDFS2INT のクリアを行うようにしてください。

4. INT_STATUS

Control 転送で、STATUS-Stage を正常に終了後、"High"をアサートします。なお、この割り込みは UDFS2INT<i_status>に 1 をライトすることによりデアサートされます。割り込みを認識した時点で UDFS2INT のクリアを行うようにしてください。

5. INT_EP0

Control 転送の DATA-Stage で、"ACK"を送受信した際(正常にトランザクションが終了した際)に"High"をアサートします。なお、この割り込みは UDFS2INT<i_ep0>に 1 をライトすることによりデアサートされます。割り込みを認識した時点で UDFS2INT のクリアを行うようにしてください。

6. INT_EP

EP0 以外の EP で、"ACK"を送受信した際(正常にトランザクションが終了した際)に"High"をアサートします。その際、UDFS2INTEPを確認することにより、どの EP への転送かを判断することができます。なお、この割り込みは UDFS2INT<i_ep>に 1 をライトするか、UDFS2INTEP のセットされている全 bit に 1 をライトすることによりデアサートされます。割り込みを認識した時点で UDFS2INT のクリアを行うようにしてください。

7. INT_RX_ZERO

Zero-Length データを受信時に"High"がアサートされます。ただし、Control 転送では DATA-Stage での Zero-Length データ受信時にのみアサートされます。STATUS-Stage での Zero-Length データ受信時にはアサートされません。どの EP に受信したかについては、UDFS2CMD<rx_nulpkt_ep>をリードするか、UDFS2INTRX0を確認することにより判断できます。なお、この割り込みは UDFS2INT<i_rx_data0>に 1 をライトするか、UDFS2INTRX0 のセットされている全 bit に 1 をライトすることによりデアサートされます。割り込みを認識した時点で UDFS2INTRX0 のクリアを行うようにしてください。

8. INT_SOF

SOF 受信時に"High"をアサートします。なお、この割り込みは UDFS2INT<i_osf>に 1 をライトすることによりデアサートされます。割り込みを認識した時点で UDFS2INT のクリアを行うようにしてください。

SOF はフレームの開始を示すパケットです。Full-Speed 転送では 1ms ごとにホストからデバイスへ送信されます。

9. INT_NAK

EP0 以外の EP で、NAK を送信するとアサートします。その際、UDFS2INTNAKを確認することにより、どの EP が NAK を送信したか判断することができます。なお、この割り込みは UDFS2INT<i_nak>に 1 をライトするか、UDFS2INTNAK のセットされている全ビットに 1 をライトすることによりデアサートされます。デフォルトでは NAK を送信してもこのフラグをアサートしないため、このフラグを使用する際には UDFS2INTNAKMASK レジスタの該当 EP に 0 をライトして、マスクを解除してください。

16.2.2.3 EP に対して発行するコマンドの説明

この章では UDFS2CMD<ep>で指定した EP に対して UDFS2CMD<com>で発行するコマンドについて説明します。

1. 0x0 : Reserved

指定しないでください。

2. 0x1 : Setup_Fin

EP0 にのみ発行してください。

Control 転送の DATA-Stage 終了を設定するコマンドです。UDC2 は、このコマンドが発行されるまで STATUS-Stage に対して"NAK"を返信しつづけますので、DATA-Stage 終了時あるいは INT_STATUS_NAK 受信時にこのコマンドを発行してください。

注) Control-WR では DATA-Stage で受信した全データをリード後に Setup-Fin コマンドを発行してください。

3. 0x2 : Set_DATA0

EP0 を除く EP に対し発行可能。EP0 へは発行しないでください。

EP のトグルをクリアするコマンドです。通常の転送時のトグル更新は UDC2 により自動的に行われますが、ソフトからクリアする必要がある場合はこのコマンドを発行してください。

4. 0x03 : EP_Reset

全ての EP に対し発行可能。

EP のデータおよびステータスをクリアするコマンドです。Set_Configuration、Set_Interface の EP 設定時、Clear_Feature による EP のリセット時など、EP をリセットしたい場合にこのコマンドを発行してください。なお、このコマンドによりリセットされるのは、

- a. UDFS2EP0STS<toggle> / UDFS2EPxSTS<toggle>を DATA0 へクリア
- b. UDFS2EP0STS<status> / UDFS2EPxSTS<status>を Ready へクリア
- c. UDFS2EP0MSZ<dset> / UDFS2EPxMSZ<dset> および UDFS2EP0DSZ / UDFS2EPxDSZ をクリア
- d. UDFS2EP0MSZ<tx0_data> / UDFS2EPxMSZ<tx_0data>をクリア
- e. UDFS2EPxSTS<disable>をクリア

の 5 点です。

UDC2 は全ての転送でハードによるトグルの制御を行っています。各 EP の転送が行われているときにこのコマンドを発行すると、該当 EP のトグルもクリアされますのでホストとの同期がとれなくなる可能性があります。前述にありますリクエスト受信時のように、ホストとの同期がとれるときにコマンドを発行してください。

5. 0x4 : EP_Stall

全ての EP に対し発行可能。

EP のステータスを "Stall" にセットするコマンドです。Set_Feature による EP の Stall 時など、EP のステータスを "Stall" にしたい場合にこのコマンドを発行してください。このコマンドを発行することにより、設定された EP については "STALL" を返信するようになります。ただし EP0 の Stall 状態は Setup-Token 受信時にクリアされます。

Isochronous 転送では Handshake 無しで転送が行われますので、Isochronous 転送を使用中の EP に対してはこのコマンドは発行しないでください。(UDFS2EPxSTS<t_type> で) Isochronous 転送を設定している EP に対してこのコマンドを発行した場合でも、"STALL" は返信しません。

6. 0x5 : EP_Invalid

EP0 を除く EP に対し発行可能。EP0 へは発行しないでください。

EP のステータスを "Invalid" にセットするコマンドです。Set_Configuration、Set_Interface による設定時、使用しない EP を使用禁止に設定する場合にこのコマンドを発行してください。このコマンドを発行することにより、設定された EP については無応答となります。各 EP の転送が行われているときにはこのコマンドを発行しないでください。

7. 0x6 : Reserved

指定しないでください。

8. 0x7 : EP_Disable

EP0 を除く EP に対し発行可能。EP0 へは発行しないでください。

EP をディセーブルにするコマンドです。このコマンドを発行することにより、設定された EP は、"NAK" を返信するようになります。Isochronous 転送では Handshake 無し

で転送が行われますので、Isochronous 転送を使用中の EP に対してはこのコマンドは発行しないでください。(UDFS2EPxSTS<t_type>で)Isochronous 転送を設定している EP に対してこのコマンドを発行した場合でも、"NAK"は返信しません。

9. 0x8 : EP_Enable

EP0 を除く EP に対し発行可能。EP0 へは発行しないでください。

EP をイネーブルにするコマンドです。"EP_Disable"コマンドによるディセーブル状態を解除する際に、このコマンドを発行してください。

10. 0x9 : All_EP_Invalid

EP の設定は無効です。

EP0 以外の全 EP のステータスを"Invalid"にセットするコマンドです。"EP_Invalid"コマンドを全 EP に行いたい場合、このコマンドを発行してください。"EP_Invalid"コマンドと同様に Set_Configuration、Set_Interface 処理時に発行してください。

11. 0xA : USB_Ready

EP0 のみ発行してください。

USB ケーブルへの接続をするためのコマンドです。ケーブルに接続されたことを確認後、ホストとの通信が可能になった時点でこのコマンドを発行してください。このコマンドが発行されて初めて DP の Pull-Up をし、ホストへケーブルコネクタ状態を知らせます。

なお、このコマンドを発行すると UDC2 のデバイスステータス(UDFS2ADR<configured><addressed><default>)は"Default"に設定されますので、このコマンドを発行する際は注意してください。

12. 0xB : Setup_Received

EP0 にのみ発行してください。

Control 転送の SETUP-Stage を認識したことを UDC2 へ知らせるためのコマンドです。INT_SETUP 割り込みを受け付けて、リクエストコードを認識した後にこのコマンドを発行してください。このコマンドが発行されるまで DATA-Stage/STATUS-Stage に対して"NAK"を返信しつづけますので、INT_SETUP 割り込み処理ルーチンの最後にこのコマンドを発行してください。

13. 0xC : EP_EOP

全ての EP に対し、発行可能です。

送信データ書き込み終了を UDC2 へ知らせるためのコマンドです。最大転送バイト数(EP の FIFO 容量か MaxPacketSize のうち小さいバイト数)よりも少ないバイト数を送信したい場合、このコマンドを発行してください。このコマンドを発行することにより Dataset フラグがセットされ、ホストからの IN-Token に対しデータを返信します。Zero-Length データ、MaxPacketSize のデータをセットする際には使用しないでください。

14. 0xD : EP_FIFO_Clear

全ての EP に対し、発行可能です。

EP のデータをクリアするコマンドです。同時に UDFS2EPxMSZ<dset>、UDFS2EPxDSZ がクリアされます。Interrupt 転送などで、ホストへデータを送信する前に現在 FIFO へ格納されているデータをクリアし、最新のデータをセットしたい場合にこのコマンドを発行してください。EP-I/F アクセス中にこのコマンドを発行すると、EP の FIFO が正常にクリアされません。このコマンドを発行するときには EP-I/F の `epx_val` を 0 にした状態で発行してください。

15. 0xE : EP_TX_0DATA

全ての EP に対し、発行可能です。

EP に Zero-Length データをセットするコマンドです。Zero-Length データを送信したい場合、このコマンドを発行してください。Bulk-IN 転送などで転送の最後を示すために Zero-Length データを送る場合には UDFS2EPxDSZ を読み、0 になった (EPx の FIFO にデータが無くなった) ことを確認して、このコマンドをセットしてください。また、EP-I/F からデータを書き込む場合書き込みが終了して、`epx_val` を 0 の状態にしてこのコマンドをセットしてください。このコマンドをセットするとセットした EP の UDFS2EPxMS<tx_0data>がセットされます。

この UDFS2EPxMS<tx_0data>が 0 になったら次のデータをセットするようになっています。Isochronous-IN 転送では、EP の FIFO にデータがセットされていない状態だと、IN-Token に対して自動で Zero-Length データを送信します。このコマンドは発行しないでください。

16. 0xF : Reserved

指定しないでください。

以下のコマンドについては、USB 転送実行中に発行された場合設定は保留され、USB 転送終了後に実行されます。なお、コマンドの保留は EP ごとに行われます。

- 0x2: Set_DATA0
- 0x3: EP_Reset
- 0x4: EP_Stall
- 0x5: EP_Invalid
- 0x7: EP_Disable
- 0x8: EP_Enable
- 0x9: All_EP_Invalid
- 0xD: EP_FIFO_Clear
- 0xE: EP_TX_0DATA

このため、USB 転送実行中に同一 EP に連続してコマンドが発行された場合、コマンドは上書きされ最後に発行したコマンドのみ有効となります。同一 EP に連続してコマンドを発行する必要がある場合は、UDFS2EPxSTS / UDFS2EPxDSZ をポーリングしてコマンドが有効になった事を確認してから発行してください。また、EP_Reset/EP_FIFO_Clear コマンドで FIFO をクリアした直後に EP-I/F アクセスを行う場合には、UDFS2EPxDSZ をポーリングして、コマンドが有効になった事を確認してから EP-I/F アクセスを再開してください。

EP0 については、Setup-Token 受信後 Setup_Received コマンドが発行されるまでは、EP0 に対する以下のコマンドは無効となります。

- 0x1: Setup_Fin
- 0x2: Set_DATA0

- 0x3: EP_Reset
- 0x4: EP_Stall
- 0xC: EP_EOP
- 0xD: EP_FIFO_Clear
- 0xE: EP_TX_0DATA

EPx へ"EP_Stall"コマンドをセットすると、UDFS2EPxSTS<status>に "Stall"がセットされます。また、EP_Disable をセットすると UDFS2EPxSTS<disable>に 1 がセットされます。この EP_Stall と EP_Disable の 2 種類のコマンドを同じ EPx へセットし、UDFS2EPxSTS<status>が "Stall" に、UDFS2EPxSTS<disable>=1 になった場合、転送では"STALL"が送信されます。

EPx へ"EP_Invalid"コマンドをセットすると、UDFS2EPxSTS<status>に "Invalid"がセットされます。EP_Invalid と EP_Disable の 2 種類のコマンドを同じ EPx へセットし、UDFS2EPxSTS<status>が "Invalid"に、UDFS2EPxSTS<disable>= 1 になった場合、転送では無反応になります。

UDFS2EPxSTS<disable>=1 で、UDFS2EPxMSZ<tx_0data>= 1 の場合には、転送では Zero-Length データが 1 回送信されます。Zero-Length データの転送が成功した後に、"NAK"が送信されるようになります。

16.3 USB バスとの接続方法

TMPM066/067/068FW を USB バスに接続するときの回路例を以下に示します。

USB 電源(VBUS)のコネクトを検出するために、VBUS を VBUS 端子に入力してください。

DP のプルアップ抵抗による Pull-Up 処理、DP、DM への直列ダンピング抵抗挿入が必要です。またプルアップ抵抗については Port による ON/OFF 制御を追加し、VBUS に電圧がかかっていないときにプルアップ抵抗を切り離す必要があります。

DP、DM が不安定になる場合は、 R_1 で Pull-Down を実施することを推奨します。

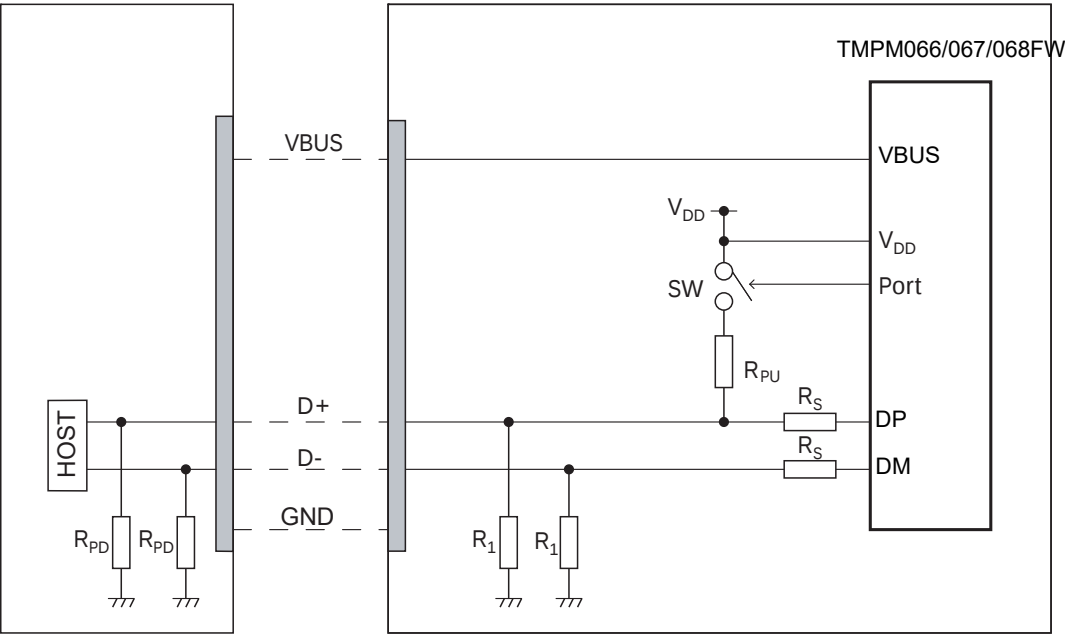


図 16-6 USB バスと TMPM066/067/068FW の接続例

注) $R_1=500\text{k}\Omega$ 以上(推奨値)、 $R_S=33\Omega$ (推奨値)、 $R_{PU}=1.5\text{k}\Omega$ (推奨値)

16.4 レジスタ 説明

USB D のレジスタは、UDC2AB のレジスタと、UDC2 のレジスタで構成されます。

UDC2 のレジスタにアクセスした場合は、UDC2AB が UDC2 へ P VCI I/F 経由で自動的にアクセスします。

UDC2AB のレジスタは 32bit 幅です。UDC2 のレジスタは 16bit 幅で、[15:0]に割り当てられます。[31:16]は読み出し値不定のリードオンリーになります。

16.4.1 UDC2AB レジスタ

16.4.1.1 UDC2AB レジスタ一覧

BaseAddress=0x4000_8000

レジスタ名		Address(Base+)
Interrupt Status Register	UDFSINTSTS	0x0000
Interrupt Enable Register	UDFSINTENB	0x0004
Master Write Timeout Register	UDFSMWTOUT	0x0008
UDC2 Setting Register	UDFSC2STSET	0x000C
DMAC Setting register	UDFSMSTSET	0x0010
DMAC Read Request Register	UDFSDMACRDREQ	0x0014
DMAC Read Value Register	UDFSDMACRDVL	0x0018
UDC2 Read Request Register	UDFSUDC2RDREQ	0x001C
UDC2 Read Value Register	UDFSUDC2RDVL	0x0020
-	Reserved	0x0024 - 0x0038 注 2)
Arbiter Setting Register	UDFSARBTSET	0x003C
Master Write Start Address Register	UDFSMWSADR	0x0040
Master Write End Address Register	UDFSMWEADR	0x0044
Master Write Current Address Register	UDFSMWCADR	0x0048 注 1)
Master Write AHB Address Register	UDFSMWAHBADR	0x004C
Master Read Start Address Register	UDFSMRSADR	0x0050
Master Read End Address Register	UDFSMREADR	0x0054
Master Read Current Address Register	UDFSMRCADR	0x0058 注 1)
Master Read AHB Address Register	UDFSMRAHBADR	0x005C
-	Reserved	0x0060 - 0x007C 注 2)
Power Detect Control Register	UDFSPWCTL	0x0080
Master Status Register	UDFSMSTSTS	0x0084
Timeout Count Register	UDFSTOUTCNT	0x0088 注 1)
-	Reserved	0x008C - 0x1FC

注 1) 必ず UDFSDMACRDREQ を経由してリードアクセスを行ってください。

注 2) 上記で Reserved と記されている領域はアクセス禁止です。リードもライトもしないでください。

16.4.1.2 UDFSINTSTS (Interrupt Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	int_mw_rerror	int_powerdetect	-	-	int_dmac_reg_rd	int_udc2_reg_rd
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	int_mr_ahberr	int_mr_ep_dset	int_mr_end_add	int_mw_ahberr	int_mw_timeout	int_mw_end_add	int_mw_set_add	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	int_usb_reset_end	int_usb_reset	int_suspend_resume
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	int_nak	int_ep	int_ep0	int_sof	int_rx_zero	int_status	int_status_nak	int_setup
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-30	-	R	Read as undefined.
29	int_mw_rerror	R/W	EP へのアクセスが共通バスアクセスの設定時(UDFS2EPxSTS<bus_sel>が 0)にマスタライト転送を起動した場合に、1 にセットされます。 0: 未検出 1: マスタライト EP リードエラー発生
28	int_powerdetect	R/W	UDC2AB の VBUSPOWER 入力のステータスが変化したときに、1 にセットされます。 0: 変化無し 1: ステータス変化
27-26	-	R	Read as undefined.
25	int_dmac_reg_rd	R/W	UDFSDMACRDREQ の設定により実行されたレジスタアクセスが完了して、UDFSDMACRDVL に読み出した値がセットされたときに、1 にセットされます。 0: 未検出 1: レジスタリード完了
24	int_udc2_reg_rd	R/W	UDFSDMACRDREQ の設定により実行された UDC2 へのアクセスが完了して、UDFSDMACRDVL に読み出した値がセットされたときに、1 にセットされます。 また、UDC2 内部レジスタへのライトアクセスが完了したときに、1 にセットされます。 0: 未検出 1: レジスタリード/ライト完了
23	int_mr_ahberr	R/W	マスタリード転送動作中に、AHB エラーが発生した場合、本ステータスが 1 にセットされます。 この割り込み発生後は、UDFSMSTSET<mr_reset>によりマスタリード転送ブロックをリセットする必要があります。 0: 未検出 1: AHB エラー発生
22	int_mr_ep_dset	R/W	マスタリード時で使用する、UDC2 Tx 用 EP の FIFO がライト可能(Full ではない状態)となったときに、1 にセットされます。 0: FIFO ライト不可 1: FIFO ライト可
21	int_mr_end_add	R/W	マスタリード転送が終了した際に、1 にセットされます。 0: 未検出 1: マスタリード転送終了
20	int_mw_ahberr	R/W	マスタライト転送動作中に、AHB エラーが発生した場合、本ステータスが 1 にセットされます。 この割り込み発生後は、UDFSMSTSET<mw_reset>によりマスタライト転送ブロックをリセットする必要があります。 0: 未検出 1: AHB エラー発生

Bit	Bit Symbol	Type	Function
19	int_mw_timeout	R/W	マスタライト転送動作中に、タイムアウトした場合、本ステータスが 1 にセットされます。 0: 未検出 1: マスタライト転送タイムアウト
18	int_mw_end_add	R/W	マスタライト転送が終了した際に、1 にセットされます。 0: 未検出 1: マスタライト転送終了
17	int_mw_set_add	R/W	マスタライト転送がディセーブル状態で、該当する Rx 用 EP にマスタライト転送されるべきデータがセットされると 1 にセットされます 0: 未検出 1: マスタライト転送アドレス要求
16-11	-	R	Read as undefined.
10	int_usb_reset_end	R/W	UDC2 が usb_reset 信号をデアサートしたかどうかを示します UDC2 が UDC2 レジスタを USB_RESET 後初期値に設定するタイミングは usb_reset 信号のデアサート時となります。このタイミングを検知したい場合は、本ビットを使用してください。なお、usb_reset 信号の状態は UDFSPWCTL<usb_reset>で確認できます。 0: このビットがクリアされてから UDC2 は usb_reset 信号をデアサートしていません 1: UDC2 が usb_reset 信号をデアサートしたことを示します
9	int_usb_reset	R/W	UDC2 が usb_reset 信号をアサートしたかどうかを示します。なお、usb_reset 信号の状態は UDFSPWCTL<usb_reset>で確認できます。 0: このビットがクリアされてから UDC2 は usb_reset 信号をアサートしていません 1:UDC2 が usb_reset 信号をアサートしたことを示します
8	int_suspend_resume	R/W	UDC2 の suspend_x 信号が変化するたびに 1 をアサートします。UDFSPWCTL<suspend_x>により状態を確認してください。 0: 変化無し 1: スタータス変化
7	int_nak	R	UDC2 の nak 信号が直接読み出せます。クリアするには UDFS2UDFS2INT または UDFS2INTNAK の該当ビットをクリアしてください。
6	int_ep	R	UDC2 の ep 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT または UDFS2INTEP の該当ビットをクリアしてください。
5	int_ep0	R	UDC2 の ep0 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT の該当ビットをクリアしてください。
4	int_sof	R	UDC2 の sof 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT の該当ビットをクリアしてください。
3	int_rx_zero	R	UDC2 の rx_zero 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT または UDFS2INTRX0 該当ビットをクリアしてください。
2	int_status	R	UDC2 の status 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT の該当ビットをクリアしてください。
1	int_status_nak	R	UDC2 の status_nak 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT の該当ビットをクリアしてください。
0	int_setup	R	UDC2 の setup 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT の該当ビットをクリアしてください。

UDC2 出力信号と本レジスタ bit[10:9]、bit[7:0]の接続関係を、以下の図に示します

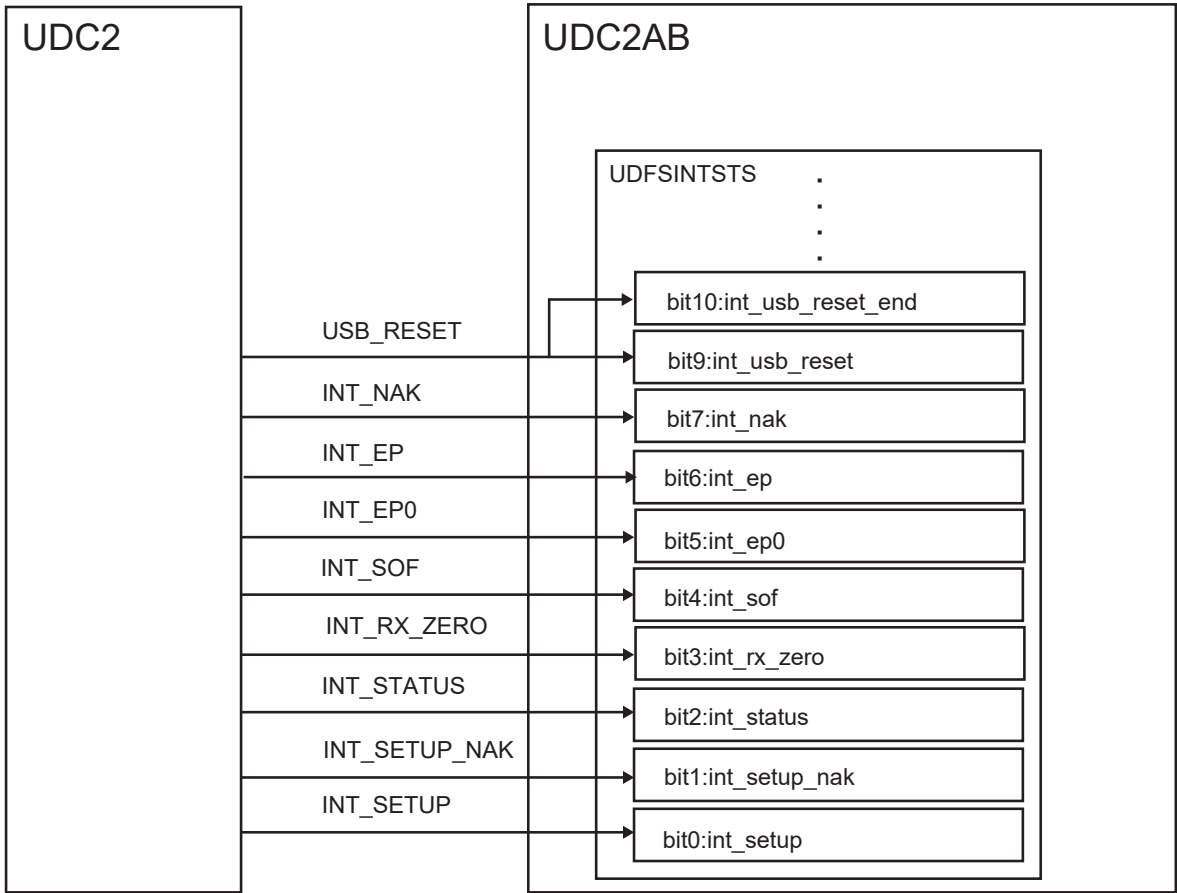


図 16-7 フラグ出力信号と割り込みビットの接続関係

16.4.1.3 UDFSINTENB(Interrupt Enable Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	mw_rerror_en	power_detect_en	-	-	dmac_reg_rd_en	udc2_reg_rd_en
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	mr_ahberr_en	mr_ep_dset_en	mr_end_add_en	mw_ahberr_en	mw_timeout_en	mw_end_add_en	mw_set_add_en	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	usb_reset_end_en	usb_reset_en	suspend_resume_en
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-30	-	R	Read as undefined.
29	mw_rerror_en	R/W	mw_rerror 割り込みを制御します。 0: 禁止 1: 許可
28	power_detect_en	R/W	power_detect 割り込みを制御します。 0: 禁止 1: 許可
27-26	-	R	Read as undefined.
25	dmac_reg_rd_en	R/W	dmac_reg_rd 割り込みを制御します。 0: 禁止 1: 許可
24	udc2_reg_rd_en	R/W	udc2_reg_rd 割り込みを制御します。 0: 禁止 1: 許可
23	mr_ahberr_en	R/W	mw_ahberr 割り込みを制御します。 0: 禁止 1: 許可
22	mr_ep_dset_en	R/W	mr_ep_dset 割り込みを制御します。 0: 禁止 1: 許可
21	mr_end_add_en	R/W	mr_end_add 割り込みを制御します。 0: 禁止 1: 許可
20	mw_ahberr_en	R/W	mw_ahberr 割り込みを制御します。 0: 禁止 1: 許可
19	mw_timeout_en	R/W	mw_timeout 割り込みを制御します。 0: 禁止 1: 許可
18	mw_end_add_en	R/W	mw_end_add 割り込みを制御します。 0: 禁止 1: 許可

Bit	Bit Symbol	Type	Function
17	mw_set_add_en	R/W	mw_set_add 割り込みを制御します。 0: 禁止 1: 許可
16-11	-	R	Read as undefined.
10	usb_reset_end_en	R/W	usb_reset_end 割り込みを制御します。 0: 禁止 1: 許可
9	usb_reset_en	R/W	usb_reset 割り込みを制御します。 0: 禁止 1: 許可
8	suspend_resume_en	R/W	suspend_resume 割り込みを制御します。 0: 禁止 1: 許可
7-0	-	R	Read as undefined.

16.4.1.4 UDFSMWTOUT(Master Write Timeout Register)

	31	30	29	28	27	26	25	24
bit symbol	timeoutset							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	timeoutset							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	timeoutset							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	timeoutset							timeout_en
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-1	timeoutset	R/W	マスタライト・タイムアウト用のタイマ設定レジスタです。. マスタライト転送中に設定を変更しないでください。マスタライト(Rx)用 EP のデータが無くなって(= 0)から、CLK_U を設定した回数カウントするとタイムアウトとなります。 タイムアウト用カウンタは 32bit で構成され、本レジスタ timeoutset[31:1]はそのカウンタの 32bit 中の上位 31bit を設定でき、カウンタの最下位 bit は 1 として設定されます。 CLK_U が 48MHz の場合は、約 20[ns] ~89[s]がタイムアウト値として設定可能です。 また、CLK_U を停止させているとき(サスペンド中など)は、カウンタの動作が止まるため、タイムアウト割り込みは発生しません。
0	timeout_en	R/W	マスタライト・タイムアウトのイネーブル設定レジスタです マスタライト・タイムアウトをイネーブルする際に使用します。初期状態はイネーブルです。マスタライト転送中に設定を変更しないでください。 0: 禁止 1: 許可

16.4.1.5 UDFSC2STSET(UDC2 Setting Register)

	31	30	29	28	27	26	25	24
bit symbol	-							
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-							
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-			eopb_enable	-	-	-	tx0
After reset	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	Function
31-5	-	R	Read as undefined.
4	eopb_enable	R/W	マスタリード EOP をイネーブルする際に使用します。初期状態はイネーブルです。マスタリード転送中に設定を変更しないでください。 本ビットが 0 の場合、最終 Word が 1Byte の場合には UDC2 への最終データ転送は行われません。最終 Word が 2byte の場合には ep _x _w_eop=0 での UDC2 への最終データ転送が行われます。 本ビットが 1 の場合、最終 Word の Byte 数に関わらず ep _x _w_eop=1 での UDC2 への最終データ転送が行われます。 注)「16.5.4.1 マスタリード転送」を参照してください。 0: マスタリード EOP 禁止 1: マスタリード EOP 許可
3-1	-	R	Read as undefined.
0	tx0	R/W	マスタリード動作側に接続されている EP で、NULL パケットを送信する際に使用します。 UDFSMSTSTS<mrepempty>が 1 の場合のみ有効で、それ以外では本ビットは無視されます。ライト後に自動的に 0 にクリアされます。 本ビットに 1 をセットすることで UDC2 EP-I/F の ep _x _tx0data 信号がアサートされ、NULL パケット送信実行中は、1 の値を保持しています。本ビットセット後は、0 にクリアされるまで Tx 用 EP への次のデータセットは行わないでください。 0: ノーオペレーション 1: NULL パケットを送信します

16.4.1.6 UDFSMSTSET(DMAC Setting Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	m_burst_type
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	mr_reset	mr_abort	mr_enable	-	mw_reset	mw_abort	mw_enable
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-9	–	R	Read as undefined.
8	m_burst_type	R/W	マスタライト/リード転送時のバースト転送実行時の HBURST[2:0]のタイプを選択します。UDC2AB が行うバースト転送のタイプは INCR8(8 ビート インクリメント式バースト)となります。従って、通常は初期値である 0 を設定してください。ただし、システムの AHB 仕様によりバースト転送のタイプとして INCR しか使用できない場合には、このビットに 1 を設定してください。この場合、UDC2AB は 8 ビートの INCR 転送を実行します。なお、バースト転送のビート数を変更することはできません。 このビットの設定は UDC2AB への初期設定で行ってください。マスタライト/リード転送を開始してからは変更しないでください。 注) UDC2AB はマスタライト/リード転送でバースト転送のみを行うわけではなく、バースト転送とシングル転送を組み合わせで転送します。このビットはあくまでバースト転送実行時にのみ影響します。 0: INCR8 1: INCR
7	-	R	Read as undefined.
6	mr_reset	R/W	UDC2AB のマスタリード転送ブロックを初期化します。ただし EP の FIFO は初期化されませんので、本リセットとは別に UDC2 の UDFS2CMD ヘアアクセスして、対応する EP の初期化を行う必要があります。 本リセットはマスタ動作を停止させてから使用してください。 本ビットを 1 ヘセット後、自動的に 0 にクリアされます。クリアされるまで次のマスタリード転送を行わないでください。 0: ノーオペレーション 1: リセット
5	mr_abort	W	マスタリード転送を制御します。本ビットに 1 をセットすることによりマスタリード動作を停止させることができます。 転送途中にアボートした場合、マスタリード用バッファの UDC2 への転送を中断し<mr_enable>がクリアされ、マスタリード転送は停止されます。 本ビットを 1 ヘセット後、<mr_enable>が 0 ヘディセーブルされるとアボート完了となります 0: ノーオペレーション 1: アボート
4	mr_enable	R/W	マスタリード転送を制御します。転送アドレスのセット完了時にイネーブルにしてください。マスタ転送の終了とともに、自動的にディセーブルされます。本レジスタではマスタリード動作のディセーブルを行うことはできませんので、マスタリード転送を停止させる際は<mr_abort>を使用してください。 0: 禁止 1: 許可
3	–	R	Read as undefined.
2	mw_reset	R/W	マスタライト転送ブロックを初期化します。ただし EP の FIFO は初期化されませんので、本リセットとは別に UDC2 の UDFS2CMD ヘアアクセスして、対応する EP の初期化を行う必要があります。 本リセットはマスタ動作を停止させてから使用してください。 本ビットを 1 ヘセット後、自動的に 0 にクリアされます。クリアされるまで次のマスタライト転送を行わないでください。 0: ノーオペレーション 1: リセット
1	mw_abort	W	マスタライト転送を制御します。本ビットに 1 をセットすることによりマスタライト動作を停止させることができます。 転送途中にアボートした場合、UDC2 からマスタライト用バッファへの転送を中断して<mw_enable>がクリアされ、マスタライト転送は停止されます。 本ビットを 1 ヘセット後、<mw_enable>が 0 ヘディセーブルされるとアボート完了となります。 0: ノーオペレーション 1: アボート
0	mw_enable	R/W	マスタライト転送を制御します。転送アドレスのセット完了時にイネーブルにしてください。マスタ転送の終了とともに、自動的にディセーブルされます。本レジスタではマスタライト動作のディセーブルを行うことはできませんのでマスタライト転送を停止させる際は、<mw_abort>を使用してください。 0: 禁止 1: 許可

16.4.1.7 UDFSDMACRDREQ(DMAC Read Request Register)

	31	30	29	28	27	26	25	24
bit symbol	dmardreq	dmardclr	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	dmardadr						-	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31	dmardreq	R/W	特定の DMAC 関連のレジスタリードアクセス要求ビットです。本ビットを 1 にセットすることにより、<dmardadr>に設定されたアドレスにリードアクセスが実行されます。リードアクセスが完了して、UDFSDMACRDVL に読み出した値がセットされると、本ビットは、自動的にクリアされ、UDFSINTSTS<dmac_reg_rd>が 1 にセットされます。 0: ノーオペレーション 1: リード要求発行
30	dmardclr	R/W	DMAC 関連のレジスタリードアクセス要求を強制的にクリアするビットです。本ビットを 1 にセットすることにより、<dmardreq>によるレジスタリード要求は強制的に終了し、<dmardreq>の値が 0 となります。強制クリア処理が完了すると、本ビットは、自動的にクリアされます。 0: ノーオペレーション 1: 強制クリア発行
29-8	-	R	Read as undefined.
7-2	dmardadr[5:0]	R/W	リード要求を発行するレジスタのアドレス(上位 6 ビット)をセットします。上記の<dmardreq>とともにセットしてください。 以下に示す何れかのアドレスをセットしてください。 0x48: UDFSWMWCADR リード時 0x58: UDFSRCRCADR リード時 0x88: UDFSOUTCNT リード時
1-0	-	R	Read as undefined.

注) <dmardreq>,<dmardclr> を同時に"1"にセットしないでください

注) UDC2 レジスタへ書き込みを行う場合は、<dmardreq>,<dmardclr>がそれぞれ"0"であることを確認してください。

16.4.1.8 UDFSDMACRDVL(DMAC Read Value Register)

	31	30	29	28	27	26	25	24
bit symbol	dmardata							
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	dmardata							
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	dmardata							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	dmardata							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-0	dmardata[31:0]	R	本レジスタは、UDFSDMACRDREQによって要求されたデータが格納されます。 UDFSDMACRDREQ<dmardreq>ビットが 1 の時は、本レジスタにアクセスしないでください。

16.4.1.9 UDFSUDC2RDREQ(UDC2 Read Request Register)

	31	30	29	28	27	26	25	24
bit symbol	udc2rdreq	udc2rdclr	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	udc2rdadr	
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	udc2rdadr						-	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31	udc2rdreq	R/W	UDC2 レジスタへのリードアクセス要求ビットです。本ビットを 1 にセットすることにより、<udc2rdadr> ビットにセットされたアドレスにリードアクセスが実行されます。リードアクセスが完了して、UDFSUDC2RDVL に読み出した値がセットされると、本ビットは、自動的にクリアされ、UDFSINTSTS<udc2_reg_rd>が 1 にセットされます。 また、UDC2 のレジスタにライトアクセス実行中は、アクセス中を示すステータスビットとして機能して、1 の値を示します。本ビットが 1 の間は UDC2 レジスタへの次のアクセスを実行しないでください。 (AHB エラー応答となります) 0: ノーオペレーション 1: リード要求発行
30	udc2rdclr	R/W	UDC2 レジスタのリード/ライトアクセス要求を強制的にクリアするビットです。本ビットを 1 にセットすることにより、<udc2rdreq>によるレジスタリード要求/UDC2 ライトアクセスは強制的に終了し、<udc2rdreq> の値が 0 となります。強制クリア処理が完了すると、本ビットは、自動的に 0 にクリアされます。中断した場合、アクセス中のリード値、ライト値は保証されません。 0: ノーオペレーション 1: 強制クリア発行
29-10	-	R	Read as undefined.
9-2	udc2rdadr[7:0]	R/W	リード要求を発行する UDC2 のレジスタアドレス[9:2]をセットします。UDC2 のレジスタアドレスは「16.4.1.1 UDC2AB レジスタ一覧」を参照してください。本レジスタ表のオフセットアドレスである 0x0200~0x0334 が該当します。上記の udc2rdreq とともにセットしてください。
1-0	-	R	Read as undefined.

注) UDC2 レジスタへ書き込みを行う場合は、<udc2rdreq>,<udc2rdclr>が共に"0"であることを確認してください。

注) <udc2rdreq>,<udc2rdclr>を同時に"1"にセットしないでください。

注) <udc2rdreq>=1 あるいは <udc2rdclr>=1 の状態で、UDC2 レジスタへ書き込み動作を行うと AHB エラー応答となります。

16.4.1.10 UDFSUDC2RDVL(UDC2 Read Value Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	udc2rdata							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	udc2rdata							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15-0	udc2rdata[15:0]	R	本レジスタは、UDFSUDC2RDREQによって要求されたデータが格納されます。UDFSUDC2RDREQ<udc2rdreq>が 1 の時は、本レジスタにアクセスしないでください。

16.4.1.11 UDFSARBTSET(Arbiter Setting Register)

	31	30	29	28	27	26	25	24
bit symbol	abt_en	-	-	abtdmod	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	abtpri_w1		-	-	abtpri_w0	
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	abtpri_r1		-	-	abtpri_r0	
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31	abt_en	R/W	DMAC-AHB 間のアクセスするとき、アービタ動作を有効にします。 本ビットは、本レジスタの<abtdmod>、<abtpri_w1>、<abtpri_w0>、<abtpri_r1>、<abtpri_r0>の各ビットをセットする場合には、0 をセットする必要があります。必ずこのビットを 1 にセットした状態で、DMA アクセスを開始してください 0: 禁止(DMA アクセス不可) 1: 許可
30-29	—	R	Read as undefined.
28	abtdmod	R/W	アービタの方式を設定します。<abt_en>ビットが 0 の時のみライトアクセス可能です。 本ビットに 0 を設定した場合は、<abtpri_w1>、<abtpri_w0>、<abtpri_r1>、<abtpri_r0>の各ビット設定値に関わらず、ラウンドロビン方式で AHB バスへのアクセス権が与えられます。 本ビットに 1 を設定した場合は、<abtpri_w1>、<abtpri_w0>、<abtpri_r1>、<abtpri_r0>の各ビット設定値によってアクセス優先順位に従って AHB バスへアクセス権が与えられます。 0: ラウンドロビン 1: 固定優先順位
27-14	—	R	Read as undefined.
13-12	abtpri_w1	R/W	固定優先順位のモードを選択したときのマスタライト 1 用 DMA アクセスの優先度を設定します。<abt_en> が 0 の時のみライトアクセス可能です。 優先順位は 00 が一番高く、11 が一番低くなります。
11-10	—	R	Read as undefined.
9-8	abtpri_w0	R/W	固定優先順位のモードを選択したときのマスタライト 0 用 DMA アクセスの優先度を設定します。<abt_en> が 0 の時のみライトアクセス可能です。 優先順位は 00 が一番高く、11 が一番低くなります。
7-6	—	R	Read as undefined.
5-4	abtpri_r1	R	固定優先順位のモードを選択したときのマスタリード 1 用 DMA アクセスの優先度を設定します。<abt_en> が 0 の時のみライトアクセス可能です。 優先順位は 00 が一番高く、11 が一番低くなります。
3-2	—	R	Read as undefined.
1-0	abtpri_r0	R/W	固定優先順位のモードを選択したときのマスタリード 0 用 DMA アクセスの優先度を設定します。<abt_en> が 0 の時のみライトアクセス可能です。 優先順位は 00 が一番高く、11 が一番低くなります。

注) <abtpri_w1>、<abtpri_w0>、<abtpri_r1>、<abtpri_r0>の各ビットには、必ず異なった優先度の値を設定してください。もし、同じ優先度の値が設定された場合には、<abt_en> に、1 をセットすることが出来ません。

(1) DMAC と Arbiter setting レジスタのプライオリティ領域との関係

UDC2AB 仕様ではマスタライト用 DMAC(DMAC_W0)を 1 個、マスタリード用 DMAC (DMAC_R0)を 1 個をサポートしています。おのこの 2 個目にあたるマスタライト用 DMAC (DMAC_W1)、マスタリード用 DMAC(DMAC_R1)はサポートしていません。

従って、DMAC_W1、DMAC_R1 への優先度の設定は実質的には意味がありませんが、前述のとおり、abtpri_w1、abtpri_w0、abtpri_r1、abtpri_r0 の各ビットには、必ず、異なった優先度の値を設定してください。

未実装の DMAC の対するレジスタ領域に、値を設定しても問題はありません。Arbiter Setting レジスタのプライオリティ領域は、以下のように DMAC と対応しています。

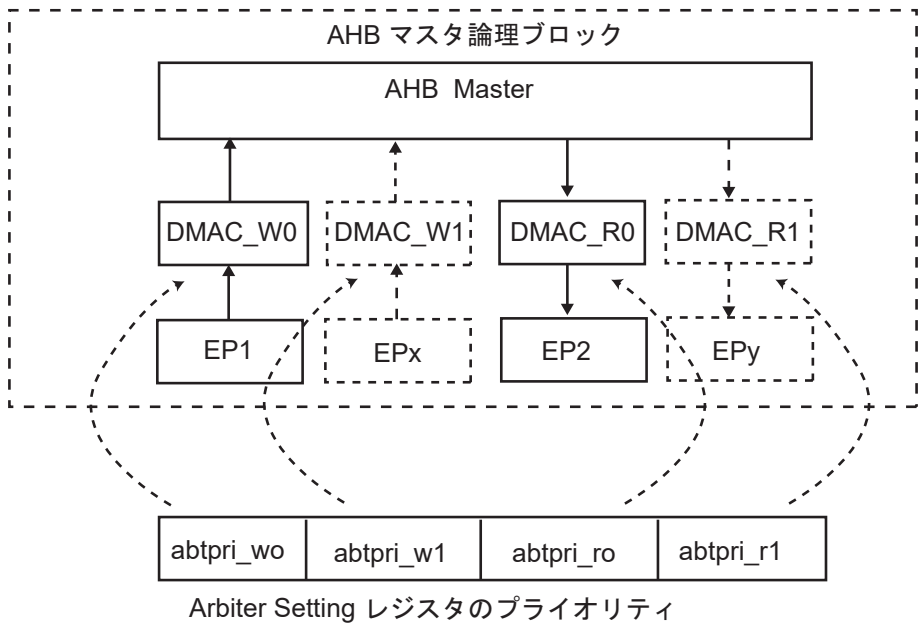


図 16-8 DMAC とプライオリティ領域の関係

16.4.1.12 UDFSMWSADR(Master Write Start Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mwsadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mwsadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mwsadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mwsadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mwsadr[31:0]	R/W	マスタライト転送のスタートアドレスを設定してください。ただし、本マスタ動作はアドレス増加にのみ対応していますので、UDFSMWEADR よりも下位の値を設定してください。

16.4.1.13 UDFSMWEADR(Master Write End Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mweadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mweadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mweadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mweadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mweadr[31:0]	R/W	マスタライト転送のエンドアドレスを設定してください。ただし、本マスタはアドレス増加にのみ対応していますので、UDFSMWSADR よりも上位の値を設定してください。

16.4.1.14 UDFSMWCADR(Master Write Current Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mwcadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mwcadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mwcadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mwcadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mwcadr[31:0]	R	マスタライト転送における EP からマスタライト用バッファへの現在までの転送完了アドレスを表示します。タイムアウト割り込みが発生した場合や、転送途中でエラーが発生した際に使用することができます。本アドレスは EP からマスタライト用バッファヘデータがセットされた時点でインクリメントされ、マスタライト転送途中では、表示アドレスまでのデータはターゲットデバイスまたはマスタライト用バッファ内に存在することとなります。

16.4.1.15 UDFSMWAHBADR(Master Write AHB Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mrsadr[31:0]	R	マスタライト転送におけるターゲットデバイスへの転送完了アドレスを表示します。タイムアウト割り込みが発生した場合や、転送途中でエラーが発生した際に使用することができます。本アドレスはターゲットデバイスヘデータがセットされた時点でインクリメントされ、マスタライト転送途中では、表示アドレスまでのデータはターゲットデバイスに存在することとなります。

16.4.1.16 UDFSMRSADR(Master Read Start Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mrsasr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mrsadr[31:0]	R/W	マスタリード転送のスタートアドレスを設定してください。ただし、本マスタはアドレス増加にのみ対応していますので、UDFSMREADR よりも下位の値を設定してください。

16.4.1.17 UDFSMREADR(Master Read End Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mreadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mreadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mreadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mreadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mreadr[31:0]	R/W	マスタリード転送のエンドアドレスを設定してください。ただし、本マスタはアドレス増加にのみ対応していますので、UDFSMRSADR よりも上位の値を設定してください。

16.4.1.18 UDFSMRCADR(Master Read Current Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mrcadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mrcadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mrcadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mrcadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mrcadr[31:0]	R	マスタリード転送におけるターゲットデバイスから EP への現在までの転送完了アドレスを表示します。 本アドレスはマスタリード用バッファから EP ヘータがセットされた時点でインクリメントされ、マスタリード転送途中では、表示アドレスまでのデータは EP 用 FIFO 内に存在することとなります。

16.4.1.19 UDFSMRAHBADR(Master Read AHB Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mrahbadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mrahbadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mrahbadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mrahbadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mrahbadr[31:0]	R	マスタリード転送におけるターゲットデバイスから、UDC2AB への転送完了アドレスを表示します。本アドレスはターゲットデバイスからデータがセットされた時点でインクリメントされ、マスタリード転送途中では、表示アドレスまでのデータは、バッファまたは、EP 用 FIFO に存在することとなります。

16.4.1.20 UDFSPWCTL(Power Detect Control Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	wakeup_en	phy_remote_wkup	phy_resetb	suspend_x	phy_suspend	pw_detect	pw_resetb	usb_reset
After reset	0	0	1	1	0	0	1	0

Bit	Bit Symbol	Type	Function
31-8	–	R	Read as 0.
7	wakeup_en	R/W	USB のサスペンド時に、TMPM066/067/068FW を低消費電力モードに移行させて CLK_H を停止するときには、本ビットを 1 にセットしてください。 本ビットを 1 にセットしているとサスペンドが解除されたとき(<suspend_x>=1)に、WAKEUP 信号が非同期で 0 にアサートされますので、INTUSBWKUP による TMPM066/067/068FW の低消費電力モードからの復帰に利用可能です。 本ビットの利用方法に関しては「16.5.7 サスペンド、レジューム」も参照してください。 0: WAKEUP 信号をアサートしない 1: WAKEUP 信号をアサートする
6	phy_remoto_wkup	R/W	USB のリモートウェイクアップ機能を実行するために使用します。本ビットに 1 をセットすることで、udc2_wakeup 出力信号(UDC2 の wakeup 入力端子)を 1 にアサートすることができます。ただし、UDC2 がサスペンドを検出していないとき(<suspend_x>= 1 の時)に本ビットを 1 にセットした場合は無視されます(1 にセットされません)ので、サスペンド検出時にのみセットしてください。USB レジューム完了時(<suspend_x>デアサート時)に自動的に 0 にクリアされます。 本ビットの利用方法に関しては「16.5.7 サスペンド、レジューム」も参照してください。 0: ノーオペレーション 1: ウェークアップ
5	phy_resetb	R/W	このビットに 0 をセットすると、PHYRESET 出力信号が 1 へアサートされます。PHYRESET 信号は PHY のリセットに利用可能です。このビットは自動解除されませんので、必ず PHY のリセット仕様時間経過後に 1 へクリアしてください。 0: リセットアサート 1: リセットデアサート
4	suspend_x	R	サスペンド信号を検出します(UDC2 からの suspend_x 信号を同期化した値です)。 0: サスペンド状態 (<suspend_x> = 0) 1: 非サスペンド状態 (<suspend_x> = 1)
3	phy_suspend	R/W	本ビットを 1 にセットすることで、PHYSUSPEND 出力信号が 0 へアサート(CLK_H 同期)されます。PHY をサスペンドするときの端子として使用可能です。 本ビットを 1 にセットすると、UDC2 レジスタと UDFSDMACRDREQ へのアクセスが禁止となります。レジューム時(UDC2 の suspend_x デアサート時)に自動的に 0 にクリアされます。 本ビットの利用方法に関しては「16.5.7 サスペンド、レジューム」も参照してください。 0: 非サスペンド状態 1: サスペンド状態
2	pw_detect	R	UDC2AB の VBUSPOWER 入力の状態を示します。 0: USB バスディスコネクト (VBUSPOWER = 0) 1: USB バスコネクト (VBUSPOWER = 1)
1	pw_resetb	R/W	UDC2AB 用のソフトウェアリセットです。(詳細は「16.5.1 リセット」参照)。本ビットを 0 にセットすることで、PW_RESETB 出力端子が 0 にアサートされます。 マスタ動作が停止した状態でリセットを行ってください。 このビットは自動解除されませんので、必ずクリアしてください。 0: リセットアサート 1: リセットデアサート
0	usb_reset	R	UDC2 からの usb_reset 信号を同期化した値です。 0: usb_reset = 0 1: usb_reset = 1

16.4.1.21 UDFSMSTSTS(Master Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	mrepempty	mrbfemp	mwbfemp	mrepdset	mwepdset
After reset	0	0	0	1	1	1	0	0

Bit	Bit Symbol	Type	Function
31-5	-	R	Reset as undefined.
4	mrepempty	R	UDC2Rx 用 EP が空であることを示すレジスタです。UDFSC2STSET<tx0>を使って NULL パケットを送信する場合には、このビットが 1 であることを確認してください。(本ビットは eptx_empty 入力信号を CLK_H 同期したものです。) 0: EP にデータがあることを示します 1: EP が空であることを示します
3	mrbfemp	R	UDC2AB 内のマスタリード DMA 用バッファが空であるかどうかを示します。 0: マスタリード DMA 用バッファが空でないことを示します 1: マスタリード DMA 用バッファが空であることを示します
2	mwbfemp	R	UDC2AB 内のマスタライト DMA 用バッファが空であるかどうかを示します 0: マスタライト DMA 用バッファが空でないことを示します 1: マスタライト DMA 用バッファが空であることを示します
1	mrepdset	R	マスタリード DMA 転送により、UDC2 の Tx 用 EP へ送信データがセットされ、EP に書き込むスペースがなくなると 1 にセットされます。ホストからの IN-Token により UDC2 からデータが転送されると 0 になります。このビットが 0 であるときは EP への DMA 転送が可能です。(本ビットは eptx_dataset 入力信号を CLK_H 同期したものです。) 0: EP 内にデータを転送可能です 1: EP 内にデータを転送するスペースがありません。
0	mwepdset	R	UDC2 の Rx 用 EP へ受信データがセットされると 1 にセットされます。全データがマスタライト用 DMA により読み出されると 0 になります。(本ビットは eprx_dataset 入力信号を CLK_H 同期したものです。) 0: EP 内にデータはありません。 1: EP 内に読み出すべきデータがあります。

16.4.1.22 UDFSTOUTCNT(Timeout Count Register)

	31	30	29	28	27	26	25	24
bit symbol	tmoutcnt							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	tmoutcnt							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	tmoutcnt							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	tmoutcnt							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	tmoutcnt[31:0]	R	タイムアウトカウント値を読み出すレジスタで、デバッグ用です。UDFSMWTOUT の timeout_en ビットをイネーブルにした場合に、タイマの値が読み出せます。マスタライト用 EP(Rx 用 EP)が空になってから CLK_U をカウントするごとにデクリメントされます。 本レジスタは、直接アドレスを指定して読み出すことはできません。読み出す場合は、UDFSDMACRDREQ に値をセットして、次に、UDFSDMACRDVL より、値を読み出します。

16.4.2 UDC2 レジスタ

16.4.2.1 UDC2 レジスタ一覧

BaseAddress=0x4000_8000

レジスタ名		Address(Base+)
UDC Address-State Register	UDFS2ADR	0x0200
UDC2 Frame Register	UDFS2FRM	0x0204
-	Reserved	0x0208
UDC2 Command Register	UDFS2CMD	0x020C
UDC2 bRequest-bmRequest Type Register	UDFS2BRQ	0x0210
UDC2 wValue register	UDFS2WVL	0x0214
UDC2 wIndex Register	UDFS2WIDX	0x0218
UDC2 wLength Register	UDFS2WLGTH	0x021C
UDC2 INT Register	UDFS2INT	0x0220
UDC2 INT EP Register	UDFS2INTEP	0x0224
UDC2 INT EP Mask Register	UDFS2INTEPMSK	0x0228
UDC2 INT RX DATA0 Register	UDFS2INTRX0	0x022C
UDC2 EP0 MaxPacketSize Register	UDFS2EP0MSZ	0x0230
UDC2 EP0 Status Register	UDFS2EP0STS	0x0234
UDC2 EP0 Datasize Register	UDFS2EP0DSZ	0x0238
UDC2 EP0 FIFO Register	UDFS2EP0FIFO	0x023C
UDC2 EP1 MaxPacketSize Register	UDFS2EP1MSZ	0x0240
UDC2 EP1 Status Register	UDFS2EP1STS	0x0244
UDC2 EP1 Datasize Register	UDFS2EP1DSZ	0x0248

BaseAddress=0x4000_8000

レジスタ名		Address(Base+)
UDC2 EP1 FIFO Register	UDFS2EP1FIFO	0x024C
UDC2 EP2 MaxPacketSize Register	UDFS2EP2MSZ	0x0250
UDC2 EP2 Status Register	UDFS2EP2STS	0x0254
UDC2 EP2 Datasize Register	UDFS2EP2DSZ	0x0258
UDC2 EP2 FIFO Register	UDFS2EP2FIFO	0x025C
UDC2 EP3 MaxPacketSize Register	UDFS2EP3MSZ	0x0260
UDC2 EP3 Status Register	UDFS2EP3STS	0x0264
UDC2 EP3 Datasize Register	UDFS2EP3DSZ	0x0268
UDC2 EP3 FIFO Register	UDFS2EP3FIFO	0x026C
UDC2 EP4 MaxPacketSize Register	UDFS2EP4MSZ	0x0270
UDC2 EP4 Status Register	UDFS2EP4STS	0x0274
UDC2 EP4 Datasize Register	UDFS2EP4DSZ	0x0278
UDC2 EP4 FIFO Register	UDFS2EP4FIFO	0x027C
UDC2 EP5 MaxPacketSize Register	UDFS2EP5MSZ	0x0280
UDC2 EP5 Status Register	UDFS2EP5STS	0x0284
UDC2 EP5 Datasize Register	UDFS2EP5DSZ	0x0288
UDC2 EP5 FIFO Register	UDFS2EP5FIFO	0x028C
UDC2 EP6 MaxPacketSize Register	UDFS2EP6MSZ	0x0290
UDC2 EP6 Status Register	UDFS2EP6STS	0x0294
UDC2 EP6 Datasize Register	UDFS2EP6DSZ	0x0298
UDC2 EP6 FIFO Register	UDFS2EP6FIFO	0x029C
UDC2 EP7 MaxPacketSize Register	UDFS2EP7MSZ	0x02A0
UDC2 EP7 Status Register	UDFS2EP7STS	0x02A4
UDC2 EP7 Datasize Register	UDFS2EP7DSZ	0x02A8
UDC2 EP7 FIFO Register	UDFS2EP7FIFO	0x02AC
-	Reserved	0x02B0 to 0x32C
UDC2 INT NAK Register	UDFS2INTNAK	0x0330
UDC2 INT NAK MASK Register	UDFS2INTNAKMSK	0x0334
-	Reserved	0x0338 to 0x03FC

注 1) 上記で Reserved と記されている領域と 0x0400 ~ 0x0FFF の領域はアクセス禁止です。リードもライトもしないでください。

注 2) 各レジスタは、reset_x と USB_RESET で初期化されます。

注 3) 本製品では、EP5 ~ EP7 のレジスタは実装されていません。

16.4.2.2 UDC2 register へのアクセス方法

UDC2AB の AHB データバスのうち、bit15-0 が UDC2 データバスに接続されています。

bit31-16 はリードオンリー(リード値: 不定)となります。

ライト/リード共に WORD(32bit)アクセスを実行してください。(ただし、EPx_FIFO レジスタへのライトアクセスでは、BYTE(8bit)アクセスを行う場合があります。詳細は後述します。)

ライト/リード共にアクセス完了までに時間がかかります

udc2_reg_rd 割り込みを利用して、必ず前の UDC2 レジスタアクセスが完了してから次のアクセスを開始してください。(リード時は UDFSUDC2RDREQ<udc2rdreq>でもアクセス状況が確認可能です。)

- ・ ライトアクセス

UDC2 レジスタへライトアクセスを実行する場合には、該当するアドレスに直接書き込んでください。

- ・ リードアクセス

UDC2 レジスタへリードアクセスを実行する場合には、UDFSUDC2RDREQ と UDFSUDC2RDVL を使用してください。

まず、UDFSUDC2RDREQ にアクセスするアドレスをセットして、次に、読み出し用の UDFSUCS2RDVL より、データを読み出してください。「16.4.2.1 UDC2 レジスタ一覧」に示されたアドレスから直接読み出すことは出来ません。

- ・ EPx_FIFO レジスタ

EPx_FIFO レジスタにライトアクセスする場合、UDC2 PSCI I/F で下位 1 バイトアクセスが必要となる場合があります。この時は、UDC2AB に対して、下位 1 バイトへの BYTE アクセスを行ってください。

リードアクセス時に下位 1 バイトのアクセスが必要な場合は、通常どおり、UDFSUDC2RDREQ 経由でアクセスを行い、UDFSUCS2RDVL からデータをリードしてください。この時、UDFSUCS2RDVL へのアクセスは、WORD/BYTE アクセスのどちらでも構いません。

- ・ UDC2 内の Reserved レジスタ

接続する UDC2 で未サポートとなっている EP のレジスタ、Reserved のレジスタにはアクセスしないでください。(仮にアクセスした場合は、UDC2AB から UDC2 へのアクセス自体は発生します。ライトアクセスの場合は、UDC2 への Dummy ライトとなります。リードアクセスの場合は、UDC2 からのリードデータ(udc2_rdata)は不定値となり、UDFSUDC2RDVL に不定値がセットされます。)

- ・ UDC2 サスペンド時のアクセス

UDC2 がサスペンド状態の時に、クロック/モード制御回路からのクロック(=CLK_U)供給が停止している場合は、UDC2 へのレジスタアクセスは不可能となります。この時は UDC2 へのレジスタアクセスは実行しないでください。なお、UDFSPWCTL<phy_suspend>を 1 にセットしているときに、UDC2 レジスタにアクセスした場合、AHB エラー応答となります。

UDC2 レジスタへのアクセスフローの図を以下に示します。

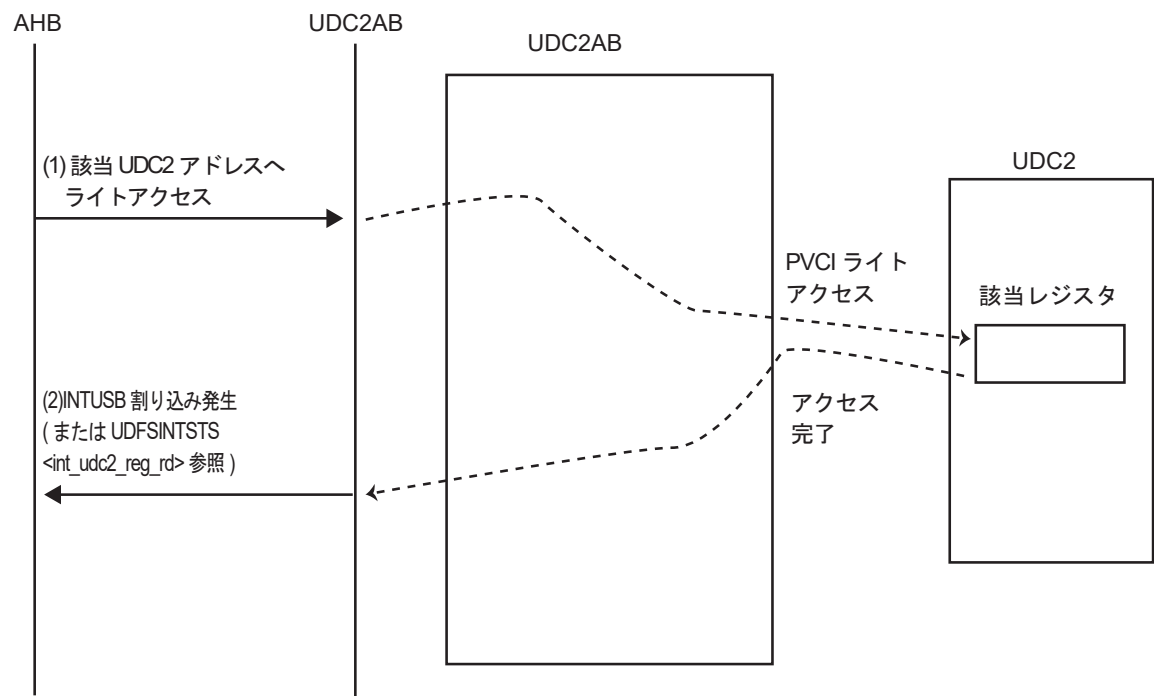


図 16-9 UDC2 レジスタ ライトアクセスフロー

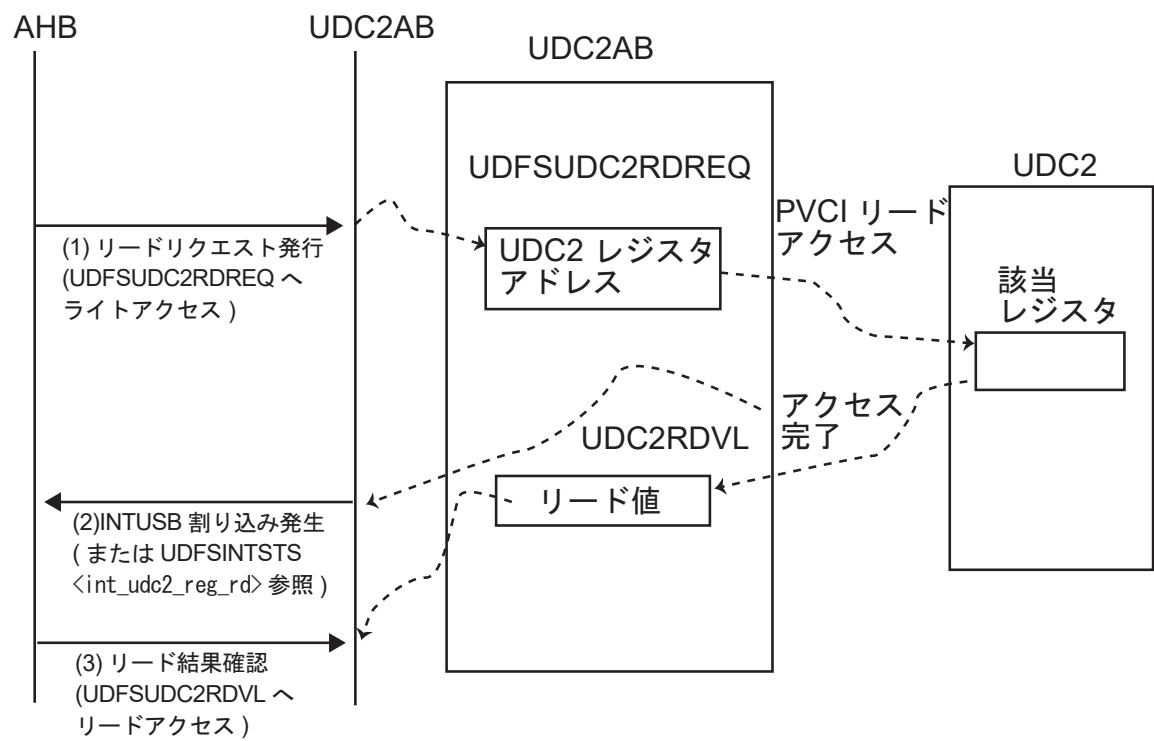


図 16-10 UDC2 レジスタ リードアクセスのフロー

16.4.2.3 UDFS2ADR(Address-State register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	stage_err	ep_bi_mode	cur_speed		suspend	configured	addressed	default
After reset	0	0	0	0	0	0	0	1
	7	6	5	4	3	2	1	0
bit symbol	-	dev_adr						
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	—	R	Read as undefined.
15	stage_err	R/W	Control 転送が正常に STATUS-Stage まで終了したかを示します。DATA-Stage/STATUS-Stage 時に Setup-Token を受信、あるいは"STALL"送信時に 1 がセットされます。セットされた場合には、次の Control 転送が正常に終了した場合にクリアされます。 0: 下記条件以外 1: DATA-Stage/STATUS-Stage 時に Setup-Token を受信、あるいは"STALL"送信
14	ep_bi_mode	R/W	EP をドライバとして双方向に使用するかを選択します。この bit を 1 にセットすることにより、USB 通信上で 1 つの EP Number を双方向に扱うことが出来ます。 0: 単方向 1: 双方向
13-12	cur_speed[1:0]	R	現在の USB バス上での転送モードを示します。 00: Reserved 01: Full-Speed 10: Reserved 11: Reserved
11	suspend	R	UDC2 がサスペンド状態かどうかを示します。 0: Normal 1: Suspend
10	configured	R/W	現在の UDC2 のデバイスステートを設定します。ホストからのリクエスト受信に併せて、セットしてください。なお、同時に複数の bit に 1 をセットしないように注意願います。 001: default(Default/Address state にいるときに Set_address リクエストで DeviceAddress=0 を指定されたときにセット) USB_RESET を受信時にはハードでセットされます。 010: addressed(Set_address リクエストが正常終了時、Address / Configured state にいるときに Set_configuration リクエストで ConfigurationVallue=0 を指定されたときにセット) 100: configured(Set_config リクエストを受信時にセット)
9	addressed	R/W	
8	default	R/W	
7	—	R	Read as undefined.
6-0	dev_adr[6:0]	R/W	ホストから割り振られたデバイスアドレスを設定します。Set_address が正常終了後(STATUS-Stage 正常終了後)にデバイスアドレス値をセットしてください。

16.4.2.4 UDFS2FRM(Frame register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	create_sof	-	f_status		-	frame		
After reset	0	0	1	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	frame							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	—	R	Read as undefined.
15	create_sof	R/W	ホストからの SOF がバスエラーにより取れない場合、SOF フラグを内部生成するかを設定します。Isochronous 転送を使用し、sof によりフレーム同期をとりたい場合にセットしてください。イネーブルにすることにより、内部のフレーム時間カウンタを動作させることにより、SOF-Token を正常に受信できなかった場合にも SOF フラグを出力します。 0: 生成しない 1: 生成する
14	—	R	read as undefined.
13-12	f_status[1:0]	R	フレーム番号の状態を示します 00: Before : <create_sof>イネーブル時にマイクロ SOF/SOF を受信から 1frame-time(FS:1ms) 経過してもマイクロ SOF/SOF を受信しなかったときにセットされます。UDFS2FRM には 1 つ前のマイクロ SOF/SOF で受信したときのフレーム番号がセットされています。 01: Valid : マイクロ SOF/SOF を受信するとセットされます。UDFS2FRM には有効なフレーム番号がセットされていることを示しています。 10: Lost : ホストが管理しているフレーム番号と UDFS2FRM の値とが同期が取れていない状態を示しています。そのため以下の 2 つの場合にセットされます。 1. システムリセット後あるいはサスペンド時 2. <create_sof>イネーブル時に前回マイクロ SOF/SOF を受信してから 2frame-time(FS:1x2ms)以上経過しても次のマイクロ SOF/SOF を受信しなかったとき <create_sof>がディセーブル時はシステムリセット後かサスペンド時しか Lost には遷移しません。
11	—	R	Read as undefined.
10-0	frame[10:0]	R	sof 受信時のフレーム番号を示します。 <f_status>が "valid" のとき有効となります。 <f_status>が "before" あるいは "lost" の時は正しい値がセットされていないので、使用しないでください。

16.4.2.5 UDFS2CMD(Command register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	int_toggle	-	-	-	rx_nulpkt_ep			
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ep				com			
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15	int_toggle	R/W	Interrupt-IN 転送時に、Handshake 未受信時の DATA-PID をトグルするように設定します。 0: 未受信はトグルしない 1: 未受信時もトグルする
14-12	–	R	Read as undefined.
11-8	rx_nulpkt_ep [3:0]	R	Zero-Length データ受信時に、受信した EP を示します。 INT_RX_ZERO フラグがアサートされたとき、この bit をリードしてどの EP に対するものかを確認してください。このレジスタの値は一度 Zero_Length データを受信し EP 番号を保持すると、次に Zero-Length データを受信するかハードウェアリセットまで保持します。また、OUT 方向の EP が複数ある場合には、Zero-Length データを受信ごとにこの bit を更新してしまいます。その場合は UDFS2INTRX0 を使用することにより、どの EP に受信したかを確認できます。
7-4	ep[3:0]	R/W	発行されるコマンドが有効となる EP を設定します(存在しない EP は指定しないでください)
3-0	com[3:0]	R/W	ep[3:0]で選択した EP に対して発行するコマンドを設定します。詳細については「16.2.2.3 EP に対して発行するコマンドの説明」を参照してください。 0x0: Reserved 0x1: Setup_Fin 0x2: Set_DATA0 0x3: EP_Reset 0x4: EP_Stall 0x5: EP_Invalid 0x6: Reserved 0x7: EP_Disable 0x8: EP_Enable 0x9: All_EP_Invalid 0xA: USB_Ready 0xB: Setup_Received 0xC: EP_EOP 0xD: EP_FIFO_Clear 0xE: EP_TX_0DATA 0xF: Reserved

16.4.2.6 UDFS2BRQ(bRequest-bmRequest Type register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	request							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	dir	req_type		recipient				
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	-	R	Read as undefined
15-8	request[7:0]	R	Setup-Token で受信した 2 バイト目のデータ(bRequest フィールド)
7	dir	R	Setup-Token で受信した 1 バイト目のデータ(b m RequestType フィールド) Control 転送の方向 0: Control-WR 転送 1: Control-RD 転送
6-5	req_type[1:0]	R	リクエストの種類 00: スタンダードリクエスト 01: クラスリクエスト 10: ペンダリクエスト 11: Reserved
4-0	recipient[4:0]	R	リクエストの受け取り先 0_0000: Device 0_0001: Interface 0_0010: EP 0_0011: etc. 0_0100-1_1111: Reserved

16.4.2.7 UDFS2WVL(wValue register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	value							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	value							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	-	R	Read as undefined.
15-8	value[15:8]	R	Setup-Token で受信した 4 バイト目のデータ (wValue(High)フィールド)を示します。
7-0	value[7:0]	R	Setup-Token で受信した 3 バイト目のデータ (wValue(Low)フィールド)を示します。

16.4.2.8 UDFS2WIDX(wIndex register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	index							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	index							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined
15-8	index[15:8]	R	Setup-Token で受信した 6 バイト目のデータ (wIndex(High)フィールド)を示します。
7-0	index[7:0]	R	Setup-Token で受信した 5 バイト目のデータ (wIndex(Low)フィールド)を示します。

16.4.2.9 UDFS2WLGTH(wLength register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	length							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	length							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined
15-8	length[15:8]	R	Setup-Token で受信した 8 バイト目のデータ(wLength(High)フィールド)を示します。
7-0	length[7:0]	R	Setup-Token で受信した 7 バイト目のデータ(wLength(Low)フィールド)を示します。

16.4.2.10 UDFS2INT(INT register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	m_nak	m_ep	m_ep0	m_sof	m_rx_data0	m_status	m_status_nak	m_setup
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	i_nak	i_ep	i_ep0	i_sof	i_rx_data0	i_status	i_status_nak	i_setup
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	—	R	Read as undefined.
15	m_nak	R/W	<i_nak>を INT_NAK 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
14	m_ep	R/W	<i_ep>を INT_EP 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
13	m_ep0	R/W	<i_ep0>を INT_EP0 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
12	m_sof	R/W	<i_sof>を INT_SOF 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
11	m_rx_data0	R/W	<i_rx_data0>を INT_RX_ZERO 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
10	m_status	R/W	<i_status>を INT_STATUS 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
9	m_status_nak	R/W	<i_status_nak>を INT_STATUS_NAK 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
8	m_setup	R/W	<i_setup>を INT_SETUP 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
7	i_nak	R/W	EP0 以外の各 EP が NAK を送信すると、1 にセットされます。 (INT_NAK フラグ出力をしたい EP については、UDFS2INTNAKMSK で選択可能です)。この bit に 1 をライトすることで UDFS2INTNAK の各 bit も 0 にクリアされます。
6	i_ep	R/W	EP0 を除く各 EP に対する転送が正常に終了時、1 にセットされます。 (フラグ出力をしたい EP については、USFS2INTEPMSK で選択可能です)。この bit に 1 をライトすることで UDFS2INTEP の各 bit も 0 にクリアされます。
5	i_ep0	R/W	EP0 に対する転送が正常に終了時、1 にセットされます。
4	i_sof	R/W	SOF-token 受信時、あるいは create_sof モードで 1frame-time カウント時に 1 にセットされます。
3	i_rx_data0	R/W	Zero-Length データを受信時に 1 にセットされます。(フラグ出力をしたい EP については、USFS2INTEPMSK で選択可能です)。この bit に 1 をライトすることで UDFS2INTRX0 の各 bit も 0 にクリアされます。また、Control-RD 転送の STATUS-Stage で Zero-Length データを受信したときには、1 にセットされません。

Bit	Bit Symbol	Type	Function
2	i_status	R/W	EP0 における Control 転送で STATUS-Stage 正常終了時、1 にセットされます。(Control-RD 転送の STATUS-Stage で Zero-Length データを受信し正常終了、Control-WR 転送の STATUS-Stage で Zero-Length データを送信した後正常終了すると 1 にセットされます。)
1	i_status_nak	R/W	EP0 における Control-RD 転送で、STATUS-Stage のパケット受信時に"NAK"を返信した場合、1 にセットされます。この bit がセットされた場合、DATA-Stage は終了していますので、UDFS2CMD により"Setup-Fin"コマンドをセットし、UDC2 のステージを STATUS-Stage へと移行させてください。また、Control-WR 転送の DATA-Stage で MaxPacketSize(64 バイト)の整数倍を受信する際に、DATA-Stage の最後を示すために Zero-Length データを受信することがあります。その後、STATUS-Stage での In-token 受信時に、この <i_status_nak>により DATA-Stage が終わったことを認識することができますので、UDC2 を STATUS-Stage へと移行させてください。
0	i_setup	R/W	EP0 における Control 転送で、Setup-token 受信時に 1 にセットされます。

16.4.2.11 UDFS2INTEP(INT_EP register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	i_ep7	i_ep6	i_ep5	i_ep4	i_ep3	i_ep2	i_ep1	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	-	R	Read as undefined.
15-8	Reserved	R/W	Write as "0".
7-1	i_ep7 - i_ep1	R/W	EP(EP0 を除く)送受信状態フラグ EP0 を除く各 EP に対する転送が正常に終了時、該当 bit が 1 にセットされます。(int_ep フラグを外部に出力したい EP については、USFS2INTEPMSK で選択可能です。) 0: 送受信なし 1: 送受信有り
0	-	R/W	Read as undefined.

16.4.2.12 UDFS2INTEPMSK(INT_EP_MASK register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	m_ep7	m_ep6	m_ep5	m_ep4	m_ep3	m_ep2	m_ep1	m_ep0
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	-	R	Read as undefined.
15-8	Reserved	R/W	Write as "0".
7-0	m_ep7 - m_ep0	R/W	フラグ出力マスク制御 0 : 出力する 1: 出力しない UDFS2INTEP および UDFS2INTRX0 の各フラグを、それぞれ int_ep 端子、int_rx_zero 端子へ出力するかどうかを設定します。各 EP がマスクされた場合、該当 EP の転送正常終了時に UDFS2INTEP の各 bit はセットされますが、int_ep 端子はアサートされません。同様に、各 EP がマスクされた場合、該当 EP の Zero-Length データ受信時に、UDFS2INTRX0 の各 bit はセットされますが、int_rx_zero 端子はアサートされません。ただし、bit0 は UDFS2INTRX0 のみに有効です。

(1) UDFS2INT / UDFS2INTEP / UDFS2INTEPMSK の使い方

EP1~3 のケースで UDFS2INT / UDFS2INTEP / UDFS2INTEPMSK の使い方の例を示します。

1. EP1/EP2 を DMA(EP-I/F)で使用し、EP3 のみ PPCI-I/F 経由で使用する場合

UDFS2INT	<i_ep>	EP3 の割り込み要因として使用します。クリア時もこの bit を使用します
	<m_ep>	EP3 の割り込み要因のマスクとして使用します
UDFS2INTEP	<i_ep1>	Don't care
	<i_ep2>	Don't care
	<i_ep3>	Don't care
UDFS2INTEP MSK	<m_ep1>	1 をセットしてマスクしてください
	<m_ep2>	1 をセットしてマスクしてください
	<m_ep3>	0 を書いてください

2. EP2/EP3 が PPCI-I/F、EP1 が DMA として使用する場合

初期化後、DMA で使用する EP の UDFS2INTEPMSK に 1 をセットしてマスクしてください。複数の EP に対して割り込み応答を行う場合は、必ず UDFS2INTEP を使用します。UDFS2INT の<i_ep>は無視して、<m_ep>については必ず 0 のイネーブルとしてください。

UDFS2INT の<i_ep>を使用した要因のクリアは行わないでください。割り込み発生後は、UDFS2INT と UDFS2INTEP の 2 つのレジスタを確認して要因を決定する必要があります。割り込み要因のクリアは UDFS2INTEP の各要因 bit を使用してクリアしてください。

UDFS2INT	<i_ep>	0 を書いてください
	<m_ep>	0 を書いてください
UDFS2INTEP	<i_ep1>	Don't care
	<i_ep2>	EP2 の割り込み要因として使用します。クリア時もこの bit を使用します。
	<i_ep3>	EP3 の割り込み要因として使用します。クリア時もこの bit を使用します。
UDFS2INTEP MSK	<m_ep1>	1 をセットしてマスクください。
	<m_ep2>	EP2 の割り込み要因のマスクとして使用します。"0"を書いてください。
	<m_ep3>	EP3 の割り込み要因のマスクとして使用します。"0"を書いてください。

16.4.2.13 UDFS2INTRX0(INT_RX_DATA0 register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	rx_d0_ep7	rx_d0_ep6	rx_d0_ep5	rx_d0_ep4	rx_d0_ep3	rx_d0_ep2	rx_d0_ep1	rx_d0_ep0
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	-	R	Read as undefined.
15-8	Reserved	R/W	Write as "0".
7-0	rx_d0_ep7 to rx_d0_ep0	R/W	EP Zero-Length データ受信フラグ 0: Zero-Length データ受信なし 1: Zero-Length データ受信あり 各 EP が Zero-Length データを受信したとき、該当 bit が 1 にセットされます。(int_rx_zero フラグを外部に出力したい EP については、UDFS2INTEPMSK で選択可能です。) なお、bit0(EP0) に関しましては、リクエスト処理中、DATA-Stage での Zero-Length データ受信時にのみ 1 にセットされます。STATUS-Stage での Zero-Length データ受信時にはセットされませんので、int_status フラグを使用してください。

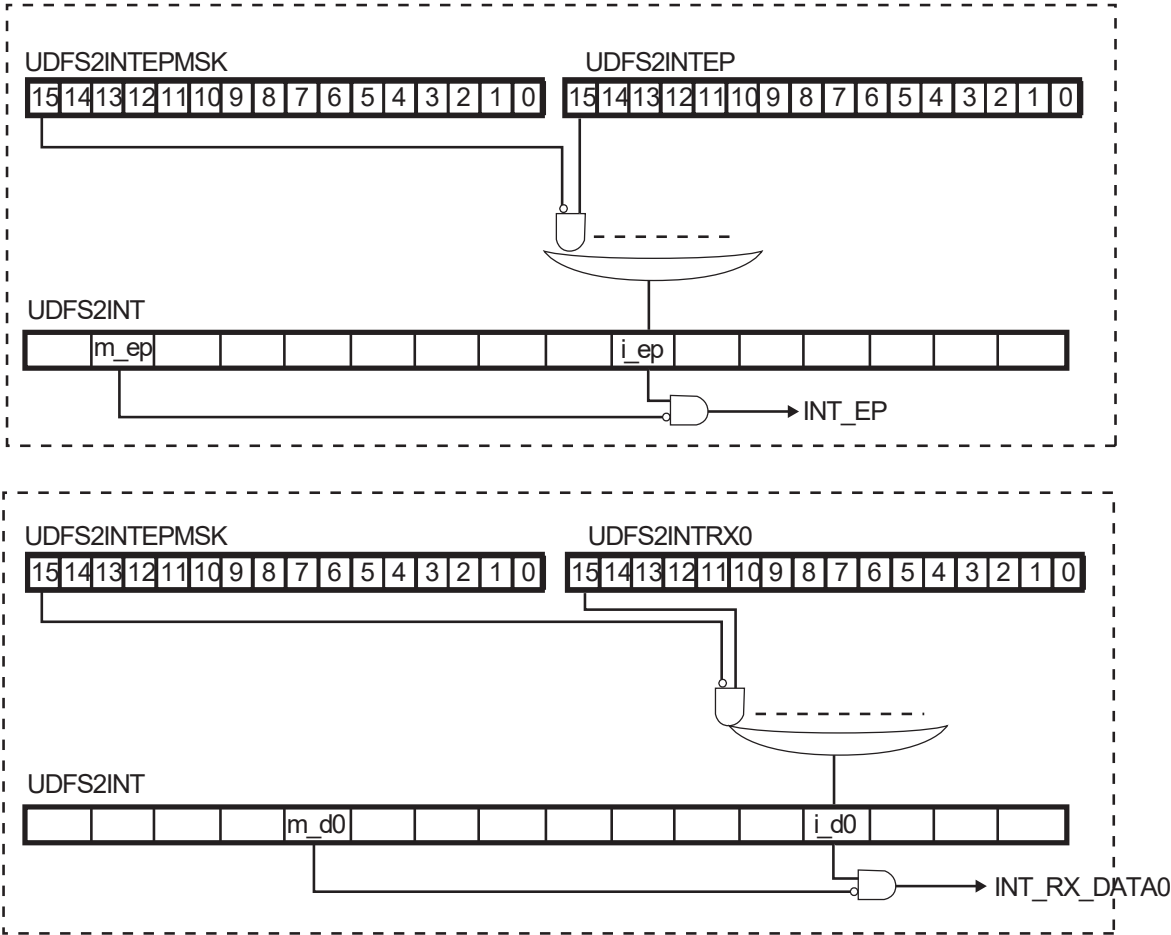


図 16-11 割り込みステータスとマスクレジスタ

16.4.2.14 UDFS2INTNAK(INT_NAK register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	i_ep7	i_ep6	i_ep5	i_ep4	i_ep3	i_ep2	i_ep1	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15-8	Reserved	R/W	Write as "0",
7-1	i_ep7 to i_ep1	R/W	EP(EP0 を除く)NAK 送信状態フラグ 0: NAK 送信なし 1: NAK 送信有り EP0 を除く各 EP が NAK を送信すると該当 bit が 1 にセットされます。(該当 EP について INT_NAK フラグを出したいときは UDFS2INTEPMSK で選択可能です。)
0	–	R	Read as undefined.

16.4.2.15 UDFS2INTNAKMSK(INT_NAK_MASK register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	m_ep7	m_ep6	m_ep5	m_ep4	m_ep3	m_ep2	m_ep1	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	-	R	Read as undefined.
15-8	Reserved	R/W	Write as "0".
7-1	m_ep7 to m_ep1	R/W	フラグ出力マスク制御 0: 出力する 1: 出力しない UDFS2INTNAK の各フラグを、それぞれ int_nak 端子へ出力するかどうかを設定します。各 EP がマスクされた場合、該当 EP の転送で NAK 送信時に UDFS2INTNAK の各 bit はセットされますが、int_nak[eqÇÔÉA サートされません。
0	-	R	Read as undefined.

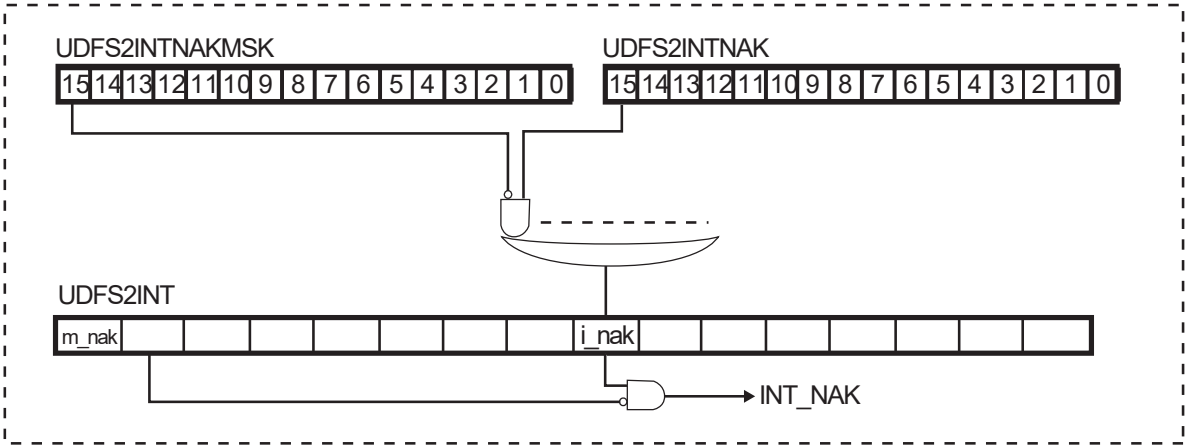


図 16-12 割り込みステータスとマスクレジスタ

16.4.2.16 UDFS2EP0MSZ(EP0_MaxPacketSize register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	tx_0data	-	-	dset	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	max_pkt						
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	-	R	Read as defined.
15	tx_0data	R	UDFS2CMD により EP0 に対して"EP_TX_0DATA"コマンドを発行すると、この bit が 1 にセットされ、Zero-Length データを送信終了後 0 にクリアされます。
14-13	-	R	Read as defined.
12	dset	R	UDFS2EP0FIFO の状態を示します。Setup-Token 受信時に 0 にクリアされます。 0: 有効データ無し 1: 有効データ有り
11-7	-	R	Read as "0".
6-0	max_pkt[6:0]	R/W	EP0 の MaxPacketSize を設定します

16.4.2.17 UDFS2EP0STS(EP0_Status register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ep0_mask	-	toggle		status			-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	-	R	Read as undefined.
15	ep0_mask	R	Setup-Token 受信後、1 にセットされます。"Setup_Received"コマンドを発行することにより 0 にクリアされます。この bit が 1 の間は、UDFS2EP0FIFO への書き込みが行われません。 0: UDFS2EP0FIFO 書き込み可 1: UDFS2EP0FIFO への書き込み不可
14	-	R	Read as undefined.
13-12	toggle[1:0]	R	現在の EP0 のトグル値を示します。 00: DATA0 01: DATA1 10: Reserved 11: Reserved
11-9	status[2:0]	R	現在の EP0 の状態を示します。なお、Setup-Token を受信すると、"Ready"にクリアされます。 000: Ready (通常の状態を示します) 001: Busy (STATUS-Stage で、"NAK"を受信した際にセットされます。) 010: Error (受信データが CRC エラーの場合、およびデータ送信後タイムアウトした際にセットされます) 011: Stall (Control-RD 転送で Length 以上のデータを要求された場合に"STALL"を返信し、status がセットされます。また、UDFS2CMD により"EP0-STALL"を発行した場合もセットされます) 100 to 111: Reserved
8-0	-	R	Read as undefined.

16.4.2.18 UDFS2EP0DSZ(EP0_Datasize register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	size						
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-7	-	R	Read as undefined.
6-0	size[6:0]	R	UDFS2EP0FIFO に格納されている有効データバイト数を示します。 Setup-Token 受信時にクリアされます。

16.4.2.19 UDFS2EP0FIFO(EP0_FIFO register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	data							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	data							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	-	R	Read as undefined.
15-0	data[15:0]	R/W	EP0 への PPCI-I/F からのデータアクセスに使用します。 このレジスタへのアクセス方法については、「16.7.1.1 Control-RD 転送」、「16.7.1.2 Control-WR 転送(DATA-Stage なし)」、「16.7.1.3 Control-WR 転送(DATA-Stage あり)」を参照ください。 このレジスタに格納されているデータは、リクエスト受信時(INT_SETUP 割り込みアサート時)にクリアされます。

16.4.2.20 UDFS2EPxMSZ(EPx_MaxPacketSizeRegister)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	tx_0data	-	-	dset 注 1)	-	max_pkt		
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	max_pkt							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	-	R	Read as undefined.
15	tx_0data	R	UDFS2CMD により EPx に対して"EPx_TX_0DATA"コマンドを発行するか、EP-I/F で Zero-Length データをセットすると、この bit が 1 にセットされます。Zero-Length データを送信終了後 0 にクリアされます。
14-13	-	R	Read as undefined.
12	dset	R	EPx_FIFO の状態を示します 0: 有効データ無し。 1: 有効データ有り。
11	-	R	Read as undefined.
10-0	max_pkt[10:0]	R/W	EPx の MaxPacketSize を設定します Set_Configuration、Set_Interface 受信時に EP の構成を行う時にセットしてください。 送信用 EP 使用時には偶数をセットしてください。USB 上、送信用 EP の MaxPacketSize を奇数として動作させる場合には、max_pkt には偶数をセットし、EP への Write アクセスで奇数アクセスを実行してください。(例えば、MaxPacketSize を 1023 バイトとする場合、max_pkt には 1024 をセットしてください。) 注) 詳細は、「16.9.2 Appendix B MaxPacketSize 奇数バイト設定関連」を参照してください。

注 1) <dset>のリセット後の初期値は、EPx が Tx 用 EP の場合は 1 に、Rx 用 EP の場合は 0 となります。

注 2) <dset>の USB_RESET 後の初期値は、EPx が Tx 用 EP の場合は 1 に、Rx 用 EP の場合は"保持"となります。

注 3) X=1~4

16.4.2.21 UDFS2EPxSTS(EPx_Status register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	pkt_mode	bus_sel	toggle		status			disable
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	dir	-	-	-	t_type		num_mf	
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15	pkt_mode	R/W	EPx のパケットモードを選択します。Dual モードを選択することにより、EPx に対する 2 つのパケットデータを保持することが可能となります。 0: Single モード 1: Dual モード
14	bus_sel	R/W	EPx の FIFO へのアクセスをするバスを選択します 0: 共通バスアクセス 1: 直接アクセス
13-12	toggle[1:0]	R	現在の EPx のトグル値を示します。 00: DATA0 01: DATA1 10: DATA2 11: MDATA
11-9	status[2:0]	R	現在の EPx の状態を示します。UDFS2CMD より EP_Reset を発行することにより status は"Ready"となります。 000: Ready (通常の状態を示します) 001: Reserved 010: Error(データパケットに受信エラーが発生したとき、または送信後タイムアウトが発生したときにセットされます。ただし、"Stall"、"Invalid"がセットされている場合にはセットされません)。 011: Stall (UDFS2CMD により"EP_Stall"を発行した場合にセットされます) 100 to 110: Reserved 111: Invalid (この EP が無効の状態であることを示します)。
8	disable	R	EPx の転送許可状態を示します。"禁止"状態にある場合、この EP に対する Token に対しては"NAK"を返信し続けます。 0: 許可 1: 禁止
7	dir	R/W	この EP に対する転送方向を設定します 0: OUT (Host-to-device) 1: IN (Device-to-host)
6-4	–	R	Read as undefined.
3-2	t_type[1:0]	R/W	この EP の転送モードを設定します。 00: Control 01: Isochronous 10: Bulk 11: Interrupt
1-0	num_mf[1:0]	R/W	Isochronous 転送を選択した場合、フレーム中に何回転送をするかを設定します。 00: 1-transaction 01: 2-transaction 10: 3-transaction 11: Reserved

注 1) このレジスタへは、Set_Configuration、Set_Interface 受信時に EP の構成を行う時にセットしてください。

注 2) x=1~4

注 3) 各 EP の設定は、製品仕様に依存します。

16.4.2.22 UDFS2EPxDSZ(EPx_Datasize register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	size		
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	size							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-11	-	R	Read as undefined.
10-0	size[10:0]	R	EPx_FIFO に格納されている有効データバイト数を示します。なお、Dual パケットモード時には、最初にアクセスするパケットのデータバイト数を示します。

注) x=1~7

16.4.2.23 UDFS2EPxFIFO(EPx_FIFO register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	data							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	data							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	-	R	0.
15-0	data[15:0]	R/W	EP x への PVCI-I/F からのデータアクセスに使用します。

注) x=1~7

16.5 UDC2AB 動作詳細

16.5.1 リセット

UDC2AB は、UDCFSPWCTL<pw_resetb>によるソフトウェアリセットをサポートしています。

また、DMA マスタ転送用に、マスタチャネルリセット(UDFSMSTSET<mr_reset><mw_reset>)もサポートしています。

- ・ ソフトウェアリセット (UDFSPWCTL<pw_resetb>)

各レジスタのビットには、ハードウェアリセットでは初期化されるもの、ソフトウェアリセットでは初期化されずに値が保持されるものがあります。詳細は各レジスタの説明に記載していますので、「16.4.1.1 UDC2AB レジスタ一覧」を参照してください。

USB バス電源を検出した際には初期化を行う必要がありますので、ソフトウェアリセットを行ってください。

- ・ マスタチャネルリセット(UDFSMSTSET<mr_reset><mw_reset>)

マスタライト転送ブロックへは<mw_reset>、マスタリード転送ブロックへは<mr_reset>を用意していますが、該当するマスタブロックの初期化を行うのみで UDC2AB レジスタは初期化されません。各リセットの使用方法については「16.4.1.6 UDFSMSTSET(DMAC Setting Register)」を参照してください。

16.5.2 割り込み

UDC2AB が発生する割り込みには、INTUSB 割り込みと INTUSBWKUP 割り込みの 2 つがあります。

16.5.2.1 INTUSB 割り込み

INTUSB 割り込みは、UDC2 から発生する割り込みと、それ以外から発生する割り込みから構成されます。

割り込み条件が成立すると、UDC2AB は UDFSINTSTS の対応ビットをセットします。このビットがセットされたとき、UDFSINTENB の該当ビットがイネーブルに設定されていると、INTUSB がアサートされます。

UDFSINTENB の該当ビットをディセーブルに設定しているときは、割り込み要因が発生すると、対応する UDFSINTSTS のビットには 1 がセットされますが、INTUSB はアサートされません。

UDFSINTSTS のビットがセットされている状態で、UDFSINTENB の該当ビットをイネーブルにセットすると、セット直後に INTUSB がアサートされます。

UDFSINTENB の初期値は、全て 0(ディセーブル) です。

INTUSB 割り込みは CLK_H が停止しているときには発生しません。

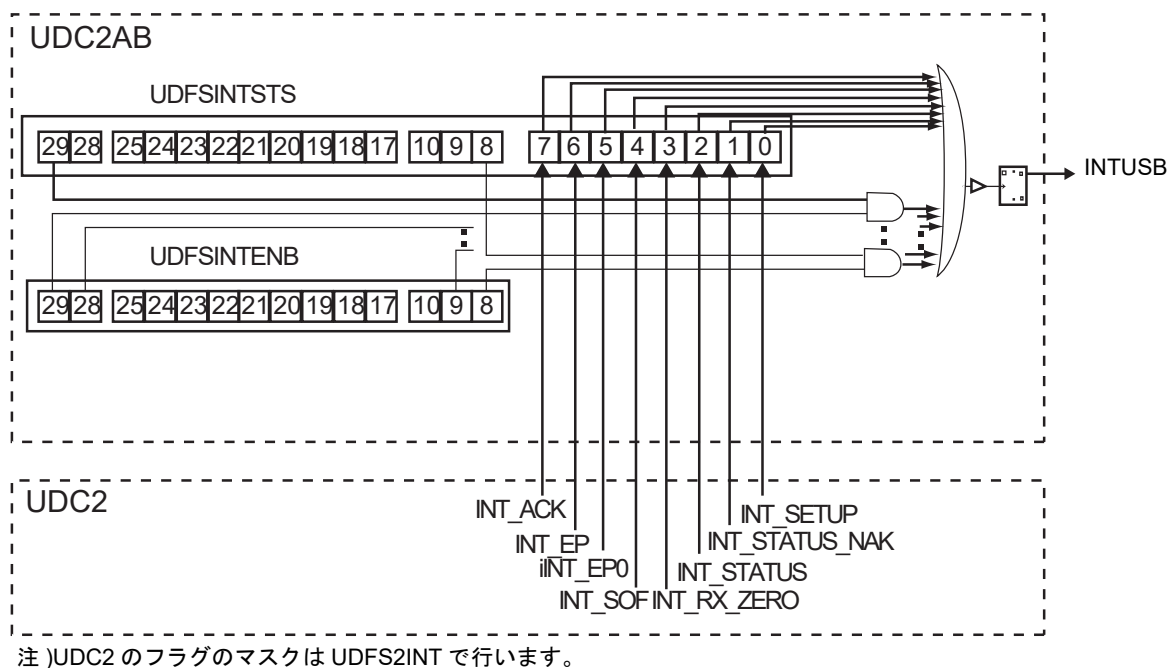


図 16-13 INTUSB とレジスタの関係

16.5.2.2 INTUSBWKUP 割り込み

INTUSBWKUP 割り込みは $\overline{\text{WAKEUP}}$ 出力信号の立ち下がりで発生します。

WAKEUP 出力信号は UDFSPWCTL<wakeup_en>が 1 で、サスペンドが解除されたとき (UDFSPWCTL<suspend_x>=1)、または VBUS がディスコネクトされたとき (VBUSPOWER=0) にアサートされます。

INTUSBWKUP 割り込みは CLK_H の状態と関係なく発生します。

16.5.3 動作シーケンス

UDC2AB を動作させるときにシーケンスは以下のとおりです。

1. ハードウェアリセット
2. 割り込み信号の設定

INTUSB 割り込み、INTUSBWKUP 割り込み、VBUS 検出割り込みの割り込み設定をしてください。
3. VBUS 検出(コネク) とリセット

詳細は、「16.5.5.2 USB バス電源(VBUS)のコネク/ディスコネク時のシーケンス」と「16.5.1 リセット」を参照してください。
4. USB エnumレーション応答

詳細は、「16.6 USB Device 応答」を参照してください。
5. マスタリード/マスタライト転送
 - a. マスタリード転送

USB ホストからの受信リクエストに対応して、マスタリード転送を行ってください。詳細は、「16.5.4.1 マスタリード転送」を参照してください。
 - b. マスタライト転送

USB ホストからの送信リクエストに対応して、マスタライト転送を行ってください。詳細は、「16.5.4.2 マスタライト転送」を参照してください。
6. VBUS 検出(ディスコネク)

任意のタイミングで USB バス電源が切断される可能性があります。

詳細は、「16.5.5.2 USB バス電源(VBUS)のコネク/ディスコネク時のシーケンス」を参照してください。

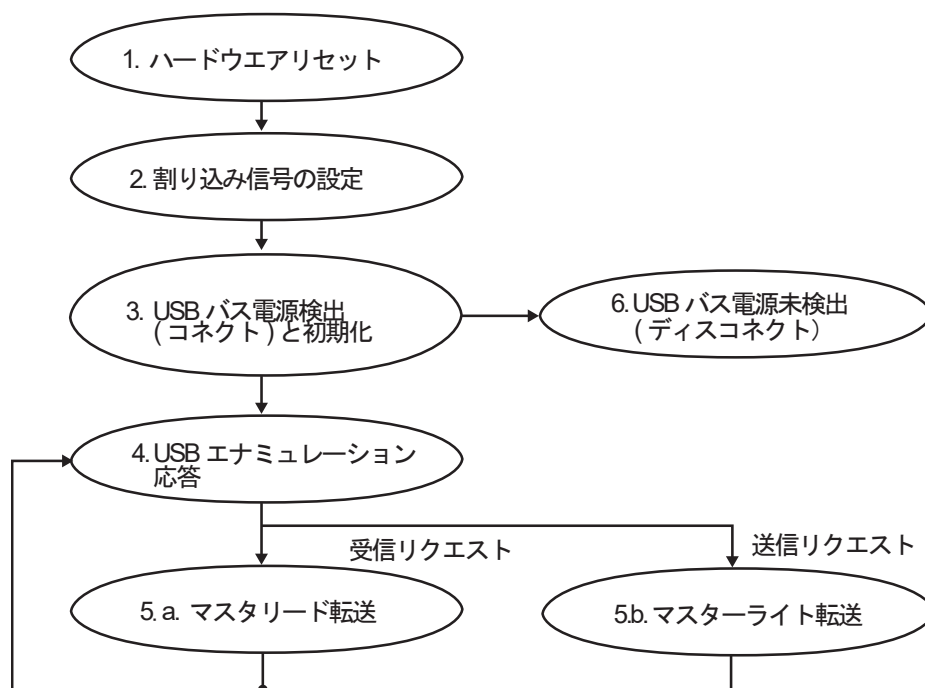


図 16-14 動作シーケンス

16.5.4 マスタ転送動作

UDC2AB のマスタ転送動作について説明します。

マスタ転送を起動する場合は、UDC2 の該当 EP の転送設定(UDFS2EPxSTS<bus_sel> (x=0 を除く)) に、必ず、"直接アクセスモード"を設定してください。"共通バスアクセス"に設定されている状態での DMAC の起動は禁止としています。

16.5.4.1 マスタリード転送

(1) マスタリードモード

マスタリードモードには、EOP イネーブルモードと EOP ディセーブルモードがあります。

(a) EOP イネーブルモード

UDC2STSET <eopb_enable>を 1(マスタリード EOP イネーブル)に設定時のマスタリード転送について説明します。マスタリード動作は下記のような動作となります。

1. UDFSMWSADR と UDFSMWEADR を設定してください。
2. UDFSMSTSET のマスタリード動作に関するビットを設定し、<mr_enable>を 1 にセットしてください。
3. UDC2AB は、UDC2 の EP へのデータ転送を開始します。UDC2 は USB ホストからの IN トークンに対してデータを転送します。
4. マスタリード転送がマスタリードエンドアドレスまで到達すると、UDC2AB は mr_end_add 割り込みをアサートします。
5. ソフトウェアによる対応が終了したならば、1 へ戻ります。

・ ショートパケットについて

転送サイズ(Master Read End Address - Master Read Start Address + 1)が Max パケットサイズの等倍ではない場合は、最後の IN 転送がショートパケットの転送となります。

例:マスタリード転送サイズ: 139 バイト、Max パケットサイズ 64 バイトの場合

下記の順で転送が行われます

1 回目	→	2 回目	→	3 回目
64 バイト		64 バイト		11 バイト

・ mr_end_add 割り込みについて

mr_end_add 割り込みは、UDC2 EP へのデータ転送が終了した時点で発生します。UDC2 から USB ホストに向かっての全てのデータ転送が終了したことを確認するためには、UDFSMSTSTS<mrepempty>を確認してください。

(b) EOP ディセーブルモード

UDC2STSET <eopb_enable>を 0(マスタリード EOP ディセーブル)に設定時のマスタリード転送について説明します。マスタリード動作は下記のような動作となります。

- UDFSMWSADR と UDFSMWEADR を設定してください。
- UDFSMSTSET のマスタリード動作に関連するレジスタを設定し、<mr_enable>に 1 をセットしてください。
- UDC2AB は、UDC2 の EP へのデータ転送を開始します。UDC2 は USB ホストからの IN トークンに対してデータを転送します。
- マスタリードエンドアドレスまで到達すると、UDC2AB は mr_end_add 割り込みをアサートします。マスタリード転送で EP の FIFO が Max パケットサイズに達している場合、USB ホストからの IN トークンに対してデータが転送されますが、達していない場合 FIFO にデータが残り、次回以降の転送に持ち越されます。
- ソフトウェアによる対応が終了したならば、1 へ戻ります。

注) UDC2AB を EOF ディセーブルモードで使用する場合、送信すべきデータ列の転送が終了してもショートパケットを送信しません。データ列が Max パケットサイズの等倍のときのみ EOP ディセーブルモードを使用してください。

データ列の合計が Max パケットサイズの等倍であれば構いませんので、例えば、以下の様な転送が可能です。

例	
1 回目マスタリード転送サイズ	:100 バイト
2 回目マスタリード転送サイズ	:28 バイト(1 回目+2 回目=128 バイト)
Max パケットサイズ	:64 バイト

といった構成の時は、IN 転送に対して 64 バイト×2 回の転送が行われます。

(2) マスタリードのアボート処理

マスタリード転送中断(アボート) 動作は下記のような動作となります。

- UDC2 Command レジスタを使用して、該当 EP のステータスをディセーブル状態 (EP_Disable)にしてください。(もし、EP をディセーブル状態にしないで、アボートした場合、意図していないデータを USB ホストに転送する可能性があります。)
- マスタリード転送を中止するため、UDFSMSTSET <mr_abort>に 1 (アボート) をセットしてください。
- アボート完了を確認するため、UDFSMSTSET<mr_enable>が 0 にディセーブルされるのを確認してください。 mr_enable が 1 の間は、次の動作を実行しないでください。
(アボート完了時の転送終了アドレス情報は、MasterReadCurrentAddress レジスタ、Master Read AHB Address レジスタで確認可能です。)
- マスタリード転送ブロックを初期化するため、UDFSMSTSET<mr_reset>を 1 (リセット) してください。
- 該当 EP に対して、Command レジスタ (EP_FIFO_Clear)を使用して FIFO を初期化してください。
- Command レジスタ (EP_Enable) を使用して該当 EP をイネーブル状態にしてください

(3) マスタリード転送時の Max パケットサイズ設定

UDC2AB のマスタリード機能と接続する EP の Max パケットサイズが奇数となる場合、以下のような制限がありますのでご注意ください。

- EP の Max パケットサイズを奇数として扱う場合でも、UDFS2EP×MSZ<max_pkt>ビットの設定は偶数としてください。

注) この設定に関する詳細は、「16.9.2 Appendix B MaxPacketSize 奇数バイト設定関連」を参照してください。

- UDC2STSET<eopb_enable>を 1 (マスタリード EOP イネーブル)にセットしてください。
- 1 回のマスタリード転送で指定する転送サイズ(Master Read End Address - Master Read Start Address + 1)を奇数である Max パケットサイズ以下としてください。

例

EP の Max パケットサイズ(USB ホストへ伝える値)を 63 バイトとする。

UDFS2EP × MSZ<max_pkt>の設定を 64 バイトとする。

1 回のマスタリード転送で指定する転送サイズを 63 バイト以下とする。

16.5.4.2 マスタライト転送

(1) マスタライト転送シーケンス

マスタライト転送シーケンスは下記のような動作となります:

- UDFSMWSADR と UDFSMWEADR を設定してください。
- UDFSMSTSET のマスタライト動作に関連するビットを設定し、<mw_enable>に 1 をセットしてください。
- UDC2AB は、USB ホストから受信した EP 内のデータに対してマスタライト転送を行います
- (タイムアウト処理が発生しない状態で)マスタライトエンドアドレスに到達するまで書き込みが終了した場合、mw_end_add 割り込みがアサートされますので、ソフトウェアにより必要な処理を行ってください。UDC2 が正常なパケットを受信すると 1 へ戻ります。

注) UDC2AB は、UDFSMSTSET<mw_enable>がディセーブル状態で、USB ホストから正常にパケットを受信すると mw_set_add 割り込みをアサートします。

(2) タイムアウト処理

マスタライト転送時、マスタライトエンドアドレスに到達する前に USB ホストからの OUT 転送が停滞してしまった場合、マスタライト転送が終了しません。この場合に備えて、タイムアウト機能を設定することが出来ます。

このタイムアウト機能を利用する場合、タイムアウト時点で UDC2AB 内バッファに格納されているデータは、全て AHB 側に転送されます。

タイムアウト処理は下記のような動作となります。

- マスタライト転送開始前に UDFSMWTOUT へアクセスし、timeoutset(タイムアウト時間)を設定し<timeout_en>=1 としてください。

- 2. 前項の説明のように、マスタライト転送を開始してください。
- 3. タイムアウトが発生した場合、mw_timeout 割り込みがアサートされます。(mw_end_add 割り込みはアサートされません。) この場合は、マスタライトエンドアドレスまでマスタライト転送が完了していません。UDC2AB はUDFSMSTSET<mw_enable>を 0 にクリアします。
- 4. Master Write Current Address レジスタで、AHB 側へ転送が完了したアドレスを確認することができます。

なお、タイムアウト機能をイネーブルとしてマスタライト転送実行中に、タイムアウト用カウンタが進みますが、USB ホストから該当 EP への OUT 転送を受信したときは、カウンタは設定値に戻り、再カウントを開始します(図 16-15)。つまり、タイムアウトするまでの時間は、「マスタライト転送を開始した時点から設定時間まで」ではなく、「マスタライト転送中に、最後に USB ホストから該当 EP へ転送が発生したときから設定時間まで」となります。

タイムアウト機能を使用しない場合は、必ずマスタライト転送開始前にUDFSMWTOOUT<timeout_en>=0 としてください。この場合は設定されたマスタライトエンドアドレスに到達するまで転送が終了しません。

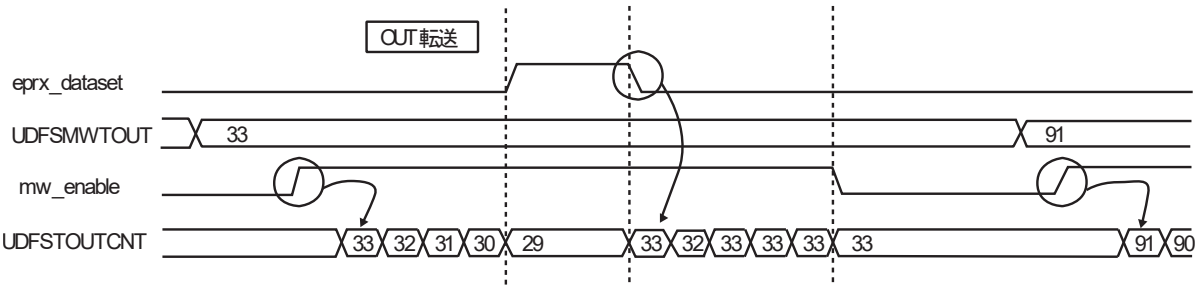


図 16-15 MW タイムアウトカウント例

(3) マスタライト転送のアボート処理

マスタライト転送中断(アボート) 動作は下記のように動作となります。

- 1. UDC2 のUDFS2CMDを使用して、該当 EP のステータスをディセーブル状態 (EP_Disable)にしてください。
- 2. マスタライト転送を中止するため、UDFSMSTSET<mw_abort>に 1(アボート)をセットしてください。
- 3. アボート完了を確認するため、UDFSMSTSET<mw_enable>が 0 にディセーブルされるのを確認してください。<mw_enable>が 1 の間は、次の動作を実行しないでください。(アボート完了時の転送終了アドレスの情報は、Master Write Current Address レジスタ、Master Write AHB Address レジスタで確認可能です。)
- 4. マスタライト転送ブロックを初期化するため、UDFSMSTSET<mw_reset>を 1(リセット)にしてください。
- 5. 該当 EP に対して、UDFS2CMD(EP_FIFO_Clear)を使用して FIFO を初期化してください。

6. UDFS2CMD を使用して、該当 EP のステータスをイネーブル状態(EP_Enable)にしてください。

16.5.5 USB パワーマネージメント制御

USB では通常の packets 転送の他にも、USB バス電源(VBUS)の検出やサスペンド、レジュームなどのパワーマネージメントに関する動作が規定されています。この章ではこれら動作時の制御方法について説明を行います。

注) 各動作については必ず USB 2.0 Spec をご覧ください。

16.5.5.1 パワーマネージメント制御信号接続図

パワーマネージメント制御に関する信号の接続図を下記に示します。

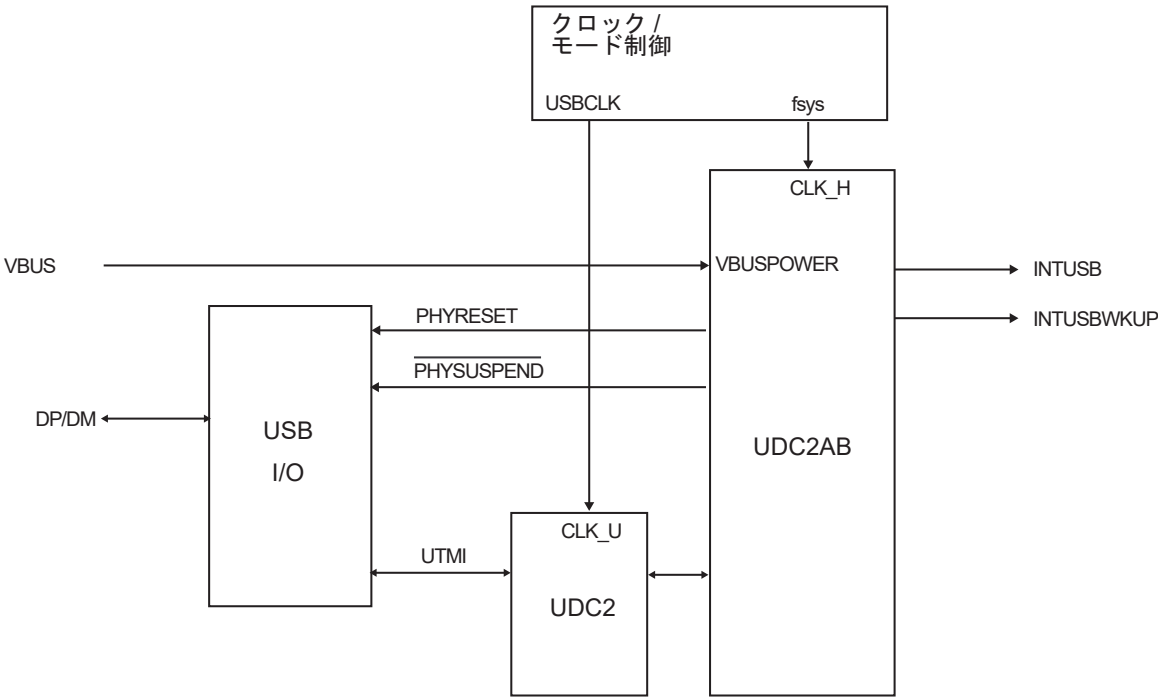


図 16-16 パワーマネージメント制御信号の接続図

16.5.5.2 USB バス電源(VBUS)のコネクト/ディスコネクト時のシーケンス

(1) コネクト

CLK_H が動作している場合は INTUSB(powerdetect)割り込みと UDFSPWCTL<pw_detect>で、UCLK_H が停止している場合は VBUS 検出割り込みで USB バス電源(VBUS)のコネクトを検出します。

USB バス電源(VBUS)のコネクト検出後に、以下の手順で UDC2AB と UDC2 の初期化を行ってください。

1. UDFSPWCTL <pw_resetb>でソフトウェアリセットを行ってください。(<pw_resetb>ビットは自動解除されないのでソフトウェアでクリアしてください。)
2. UDC2AB レジスタと UDC2 レジスタにアクセスし、必要な初期設定を行ってください。
3. UDFS2CMD で USB Ready コマンドを発行してください。UDC2 は PHY を通して USB ホストにコネクトを通知します。この状態で UDC2 は USB ホストからの USB_RESET を受け付けることが可能となります。
4. UDC2 は USB ホストからの USB_RESET を検出すると UDC2 内部レジスタの初期化を行い、USB ホストとのエニュメレーションが可能な状態となります。なお、USB_RESET 検出時には usb_reset/usb_reset_end 割り込みが発生します。

(2) ディスコネクト

CLK_H が動作している場合は INTUSB(powerdetect)割り込みと UDFSPWCTL<pw_detect>で、CLK_H が停止している場合は INTUSBWKUP 割り込みで USB バス電源(VBUS)のディスコネクトを検出します。

USB バス電源(VBUS)のディスコネクト検出後に、各マスタ転送は自動的に停止しませんので、アボート処理を実施してください。その後、UDFSPWCTL <pw_resetb>によりソフトウェアリセットを行ってください。

16.5.6 USB リセット

USB_RESET は USB ホスト接続時だけではなく、任意のタイミングで受信する可能性があります。

UDC2AB は、UDC2 が USB_RESET を受信すると usb_reset / usb_reset_end 割り込みをアサートし、Default ステートに戻ります。この時、各マスタ転送は自動的に停止することはありません。アボート機能を使用して転送を終了させてください。なお、UDC2 のレジスタには USB_RESET によって値が初期化されるものと値を保持するものがあります。

USB_RESET 認識時に UDC2 レジスタの再設定を行う場合は、usb_reset_end 割り込み発生後に行ってください。これは、UDC2 が usb_reset 信号をデアサートするタイミングで UDC2 レジスタを初期化するためです。

16.5.7 サスペンド、レジューム

16.5.7.1 サスペンド状態への移行

UDC2AB は UDC2 のサスペンド状態の検出を、INTUSB(suspend_resume)割り込みと、UDFSPWCTL<suspend_x>により行います。

この時、各マスタ転送は自動的に停止しませんので、停止する必要がある場合には各マスタ転送のアボート機能を使用して強制終了してください。

ソフトウェアで必要な処理が終了した後に、PHY をサスペンドする必要がある場合は、UDFSPWCTL<phy_suspend>をセットすることにより、UDC2AB が PHYSUSPEND をアサートし PHY がサスペンド状態となります。

16.5.7.2 サスペンド状態からの復帰(USB ホストからのレジューム)

CLK_H の状態により、サスペンド状態からの復帰(レジューム)の検出は手順で行われます。

レジュームを認識したら、各マスタ転送を再開するために再設定してください。

1. CLK_H を停止させるとき

以下に CLK_H を停止させる場合の信号変化と手順を示します。

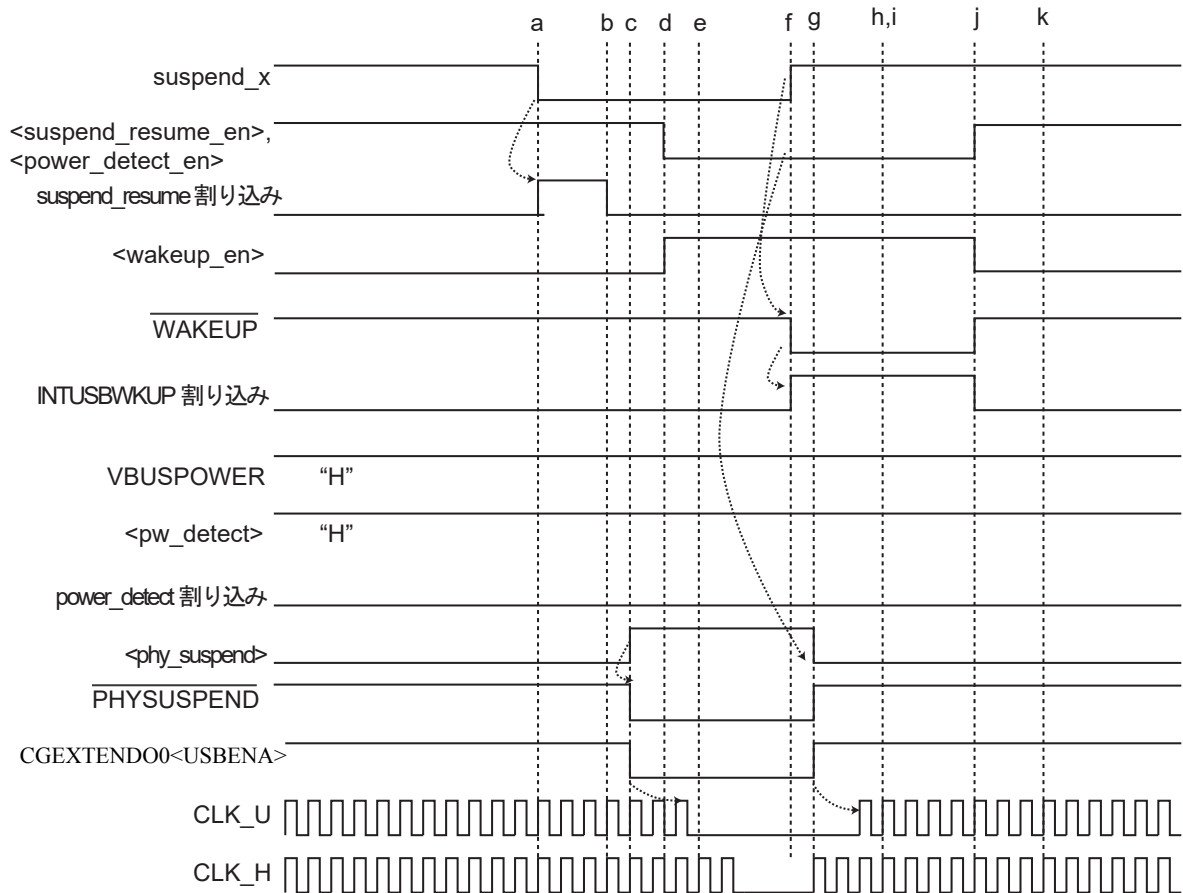


図 16-17 サスペンド、レジューム信号動作 (CLK_H を停止させるとき)

- USB バス上でサスペンド状態を検出することにより、UDC2 の suspend_x が 0 にアサートされ、INTUSB(suspend_resume) 割り込みが発生します。
- INTUSB(suspend_resume) 割り込みのサービスルーチンで、割り込み要因のクリアを行います。
- UDFSPWCTL<phy_suspend>を"1"にセットします。<phy_suspend>が"1"にセットされることで、PHYSUSPEND 出力信号が"0"にアサートされます。
クロック/モード制御回路の CGEXTENDO0<USBENA>を"0"にクリアし、CLK_U を停止させます。
- UDFSPWCTL<wakeup_en> を "1" に セ ッ ト し ま す 。
UDFSINTENB<power_detect_en><suspend_resume_en>を"0"にクリアして、INTUSB (power_detect, suspend_resume)割り込みが発生しないようにします。
- INTUSBWKUP 割り込みで低消費電力モードに移行し、CLK_H を停止させます。

- f. USB バス上で、レジュームを検出すると、 $\overline{\text{WAKEUP}}$ 出力信号が非同期で、"0"にアサートされます。 $\overline{\text{WAKEUP}}$ 出力信号によって INTUSBWKUP 割り込みが発生し、低消費電力モードが解除され、CLK_H の供給が開始します。
- g. CLK_H が供給されると、 $\overline{\text{PHYSUSPEND}}$ 出力信号が自動的に "1" にデアサート、<phy_suspend>が "0" にクリアされます。

クロック/モード制御回路の CGEXTENDO0<USBENA>を "1" にセットし、CLK_U を動作させます。
- h. 割り込みアサートから 2.5 s 以上経過してから (VBUS 切断時に信号が安定するまでの期間)、UDFSPWCTL<pw_detect>を確認します。UDFSPWCTL<pw_detect>が "1" の場合、 $\overline{\text{WAKEUP}}$ アサート原因はレジュームです。UDFSPWCTL<pw_detect>が "0" の場合、 $\overline{\text{WAKEUP}}$ アサート原因は VBUS のディスコネクトです。
- i. レジュームの場合は、以下のシーケンスを実行します。ディスコネクトの場合は「16.5.7.3 サスペンド状態からのレジューム(ディスコネクト)」のシーケンスを実施します。
- j. 割り込み要因と <wakeup_en> をクリアし、 $\overline{\text{WAKEUP}}$ 出力信号をデアサートさせます。<suspend_resume_en>を "1" にセットします。
- k. サスペンドから復帰します。

2. CLK_H を動作させるとき

以下に CLK_H を動作させるときの信号変化と手順を示します。

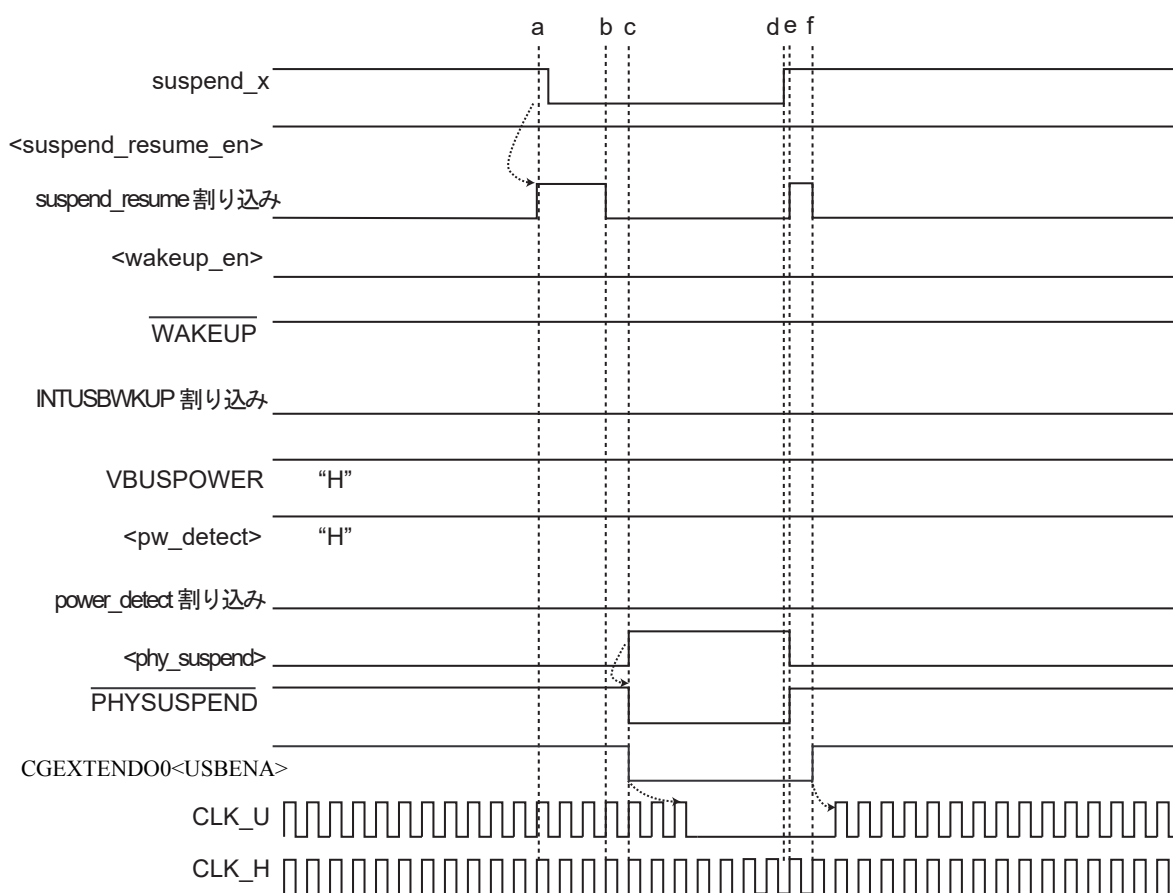


図 16-18 サスペンド、レジューム信号動作 (CLK_H を動作させるとき)

- a. USB バス上でサスペンド状態を検出することにより、INTUSB(suspend_resume)割り込みが発生する。
- b. INTUSB(suspend_resume) 割り込みのサービスルーチンで、割り込み要因のクリアを行います。
- c. UDFSPWCTL<phy_suspend>を"1"にセットします。<phy_suspend>が"1"にセットされることで、PHYSUSPEND 出力信号が"0"にアサートされます。
 クロック/モード制御回路の CGEXTENDO0<USBENA>を"0"にセットし、CLK_U を停止させます。
- d. USB バス上で、レジュームを検出することで、suspend_x が"1"になります。
 また、suspend_x の立ち上がりを検出することによって、PHYSUSPEND 出力信号が"1"にデアサートされます。
- e. INTUSB(suspend_resume)割り込みが発生します。
- f. INTUSB(suspend_resume)割り込みのサービスルーチンで、割り込み要因のクリアを行います。
 クロック/モード制御回路の CGEXTENDO0<USBENA>を"1"にセットし、CLK_U を動作させます。
- g. PHYSUSPEND 出力信号がデアサートされることで、CLK_U の供給が再開されます。

- h. サスペンドから復帰します。

16.5.7.3 サスペンド状態からのレジューム(ディスコネクト)

以下にサスペンド状態からのレジューム (ディスコネクト)時の信号変化と手順を示します。

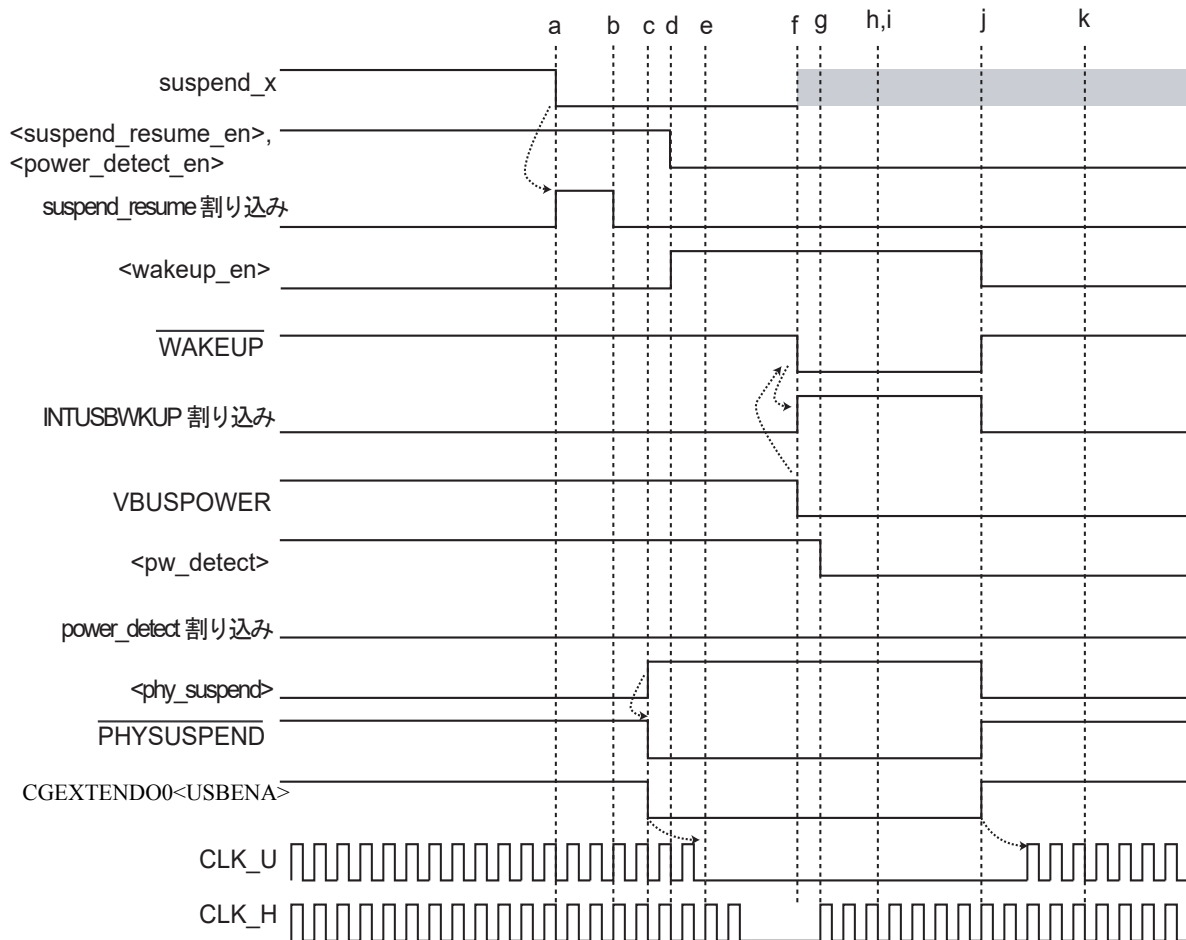


図 16-19 サスペンド、ディスコネクト信号動作 (CLK_H を停止させるとき)

- USB バス上でサスペンド状態を検出することにより、UDC2 の suspend_x が 0 にアサートされ、INTUSB(suspend_resume) 割り込みが発生します。
- INTUSB(suspend_resume) 割り込みのサービスルーチンで、割り込み要因のクリアを行います。
- UDFSPWCTL<phy_suspend>を"1"にセットします。<phy_suspend>が"1"にセットされることで、PHYSUSPEND 出力信号が"0"にアサートされます。
クロック/モード制御回路の CGEXTENDO0<USBENA>を"0"にセットし、CLK_U を停止させます。
- UDFSPWCTL<wakeup_en> を "1" に セ ッ ト し ま す 。
UDFSINTENB<power_detect_en><suspend_resume_en>を"0"にクリアして、INTUSB (power_detect, suspend_resumu)割り込みが発生しないようにします。
- INTUSBWKUP 割り込みで低消費電力モードに移行し、CLK_H を停止させます。
- USB バス上で、ディスコネクトを検出すると、VBUSPOWER 端子が"0"になり、WAKEUP 出力信号が非同期で"0"にアサートされます。
- WAKEUP 出力信号によって、INTUSBWKUP 割り込みが発生し、低消費電力モードが解除され、CLK_H の供給が開始します。

- h. 割り込みアサートから 2.5 s 以上経過してから(VBUS 切断時に信号が安定するまでの期間)、UDFSPWCTL<pw_detect>を確認します。UDFSPWCTL<pw_detect>が"1"の場合、WAKEUP アサート原因はレジュームです。UDFSPWCTL<pw_detect>が"0"の場合、WAKEUP アサート原因はVBUS のディスコネクトです。
- i. レジュームの場合は、「16.5.7.2 サスペンド状態からの復帰(USB ホストからのレジューム)」のシーケンスを実行します。ディスコネクトの場合は以下のシーケンスを実施します。
- j. <phy_suspend>を 0 にクリアして、PHYSUSPEND 出力信号をデアサートします。
クロック/モード制御回路の CGEXTENDO0<USBENA>を"1"にセットし、CLK_U を動作させます。
また、割り込み要因と<wakeup_en>をクリアし、WAKEUP 出力信号をデアサートさせます。
- k. ソフトウェアで UDFSPWCTL<pw_resetb>をセットし、UDC2AB を初期化します。」

16.5.7.4 サスペンドからのリモートウェイクアップ

以下にサスペンド状態からのリモートウェイクアップ時の信号変化と手順を示します。

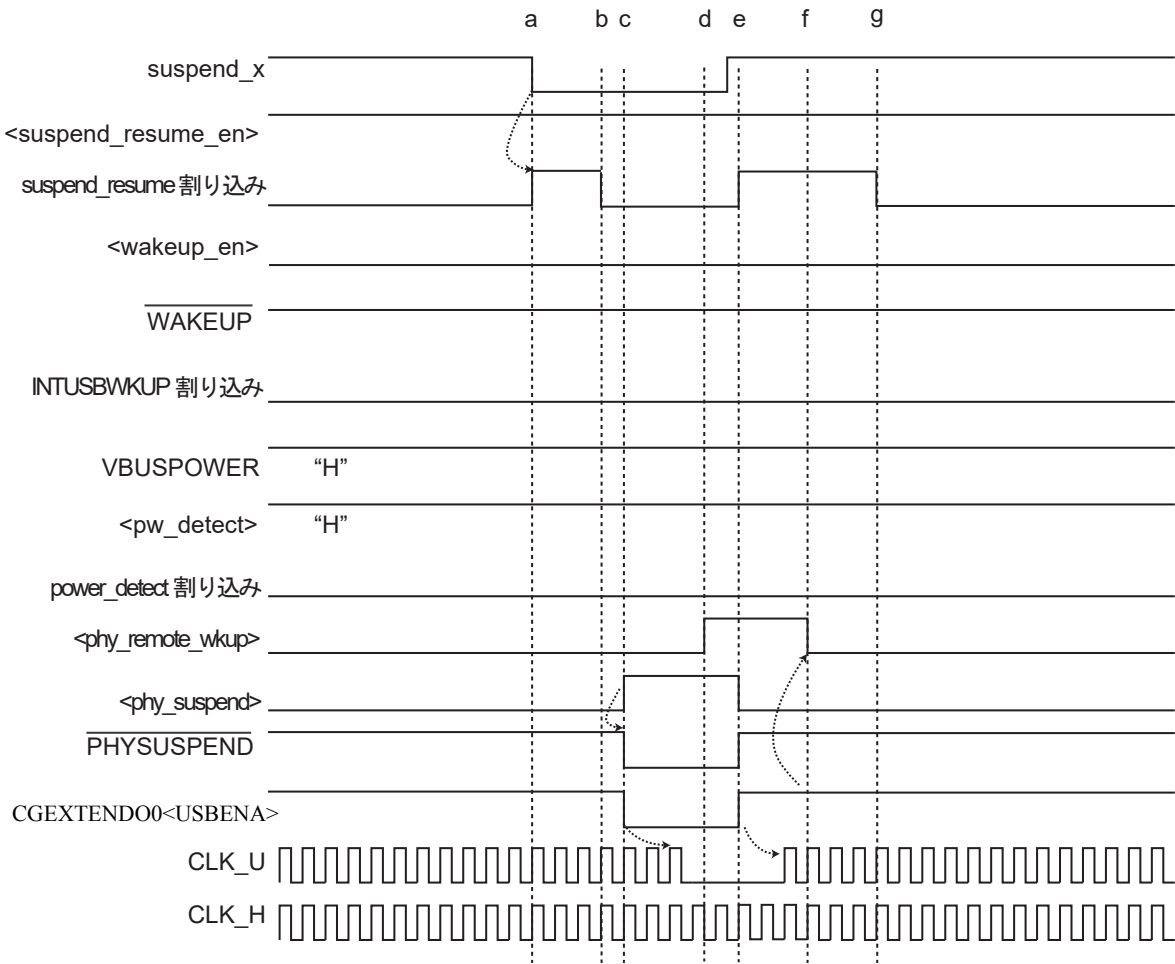


図 16-20 サスペンド、リモートウェイクアップ信号動作

- a. USB バス上でサスペンド状態を検出することにより、UDC2 の suspend_x が 0 にアサートされ、INTUSB(suspend_resume) 割り込みが発生します。

- b. INTUSB(suspend_resume) 割り込みのサービスルーチンで、割り込み要因のクリアを行います。
- c. UDFSPWCTL<phy_suspend>を"1"にセットします。<phy_suspend>が"1"にセットされることで、PHYSUSPEND 出力信号が"0"にアサートされます。
クロック/モード制御回路の CGEXTENDO0<USBENA>を"0"にセットし、CLK_U を停止させます。
- d. リモートウェイクアップを要求する場合は、UDFSPWCTL<phy_remote_wkup>を"1"にセットします。<phy_remote_wkup>を"1"にセットすることで、UDC2 から USB バス上にリモートウェイクアップ要求が行われます。また、このとき、suspend_x が非同期で"1"にデアサートされます。
- e. suspend_x がデアサートされることで、INTUSB(suspend_resume)割り込みが発生し、PHYSUSPEND 出力信号が"1"にデアサートされます。
- f. クロック/モード制御回路の CGEXTENDO0 <USBENA>を"1"にセットし、CLK_U を動作させます。
CLK_U が動作すると、<phy_remote_wkup> は自動的に"0"にクリアされます。
- g. 割り込み要因のクリアを行います。

16.6 USB Device 応答

UDC2 はハードウェアリセット検出時、USB_RESET 検出時、エニユメレーション応答時に UDC2 内部の初期化や各種レジスタの設定を行います。この章では、それぞれの状態での UDC2 の動作および外部からの制御方法を説明します。

1. ハードウェアリセット検出時

UDC2 は電源投入後必ずハードウェアリセットをかけてください。ハードウェアリセット後は、UDC2 は内部レジスタを初期化し、全ての EP は禁止状態(Invalid)になっており、デバイスとしては"Disconnect"状態になっています。

UDC2 を"Default"状態にするには、"USB_Ready"コマンドを発行してください。このコマンドを発行することにより、UDC2 は"Full-Speed"モードとなり、DP の Pull-Up 抵抗をイネーブルにし、ホストへ"Connect"を通知します。

この状態では、ホストからの信号は USB_RESET 信号のみ受け付けます。

2. USB_RESET 検出時

UDC2 は USB 信号上にバスリセット(USB_RESET)を検出すると、内部レジスタの初期化を行い、デバイスとしては "Default"状態となります。この状態では EP0 のみ "Ready"状態となり、ホストとのエニユメレーションが可能な状態となります。

3. "Set_address"リクエスト受信時

"Set_address"リクエスト受信後に UDFS2ADR<configured> <addressed> <default>に 010 を、<dev_adr>に受信したアドレス値をセットすることにより、UDC2 は"Addressed"状態となります。なお、このレジスタへのセットは、Control 転送の正常終了後(STATUS-Stage 終了後)にセットしてください。

なお、この状態ではまだ EP0 以外の EP への転送は出来ません。

4. "Set_configuration"、"Set_interface"リクエスト受信時

"Set_configuration"、"Set_interface"リクエスト受信後に UDFS2ADR<configured> <addressed> <default>に 100 をセットすることにより、UDC2 は"Configured"状態となります。

"Configured"状態では、ステータス設定をした EP について転送を行うことが可能となります。

なお、EP を"Ready"とするには、下記設定を行う必要があります。

- UDFS2EPxMSZ へのマックスパケットサイズのセット
- UDFS2EPxSTS への転送モードのセット
- UDFS2CMD への EP_Reset コマンドの発行

この設定を行うことにより、EP は送受信可能となります。

図 16-21 に Device State Diagram を示します。

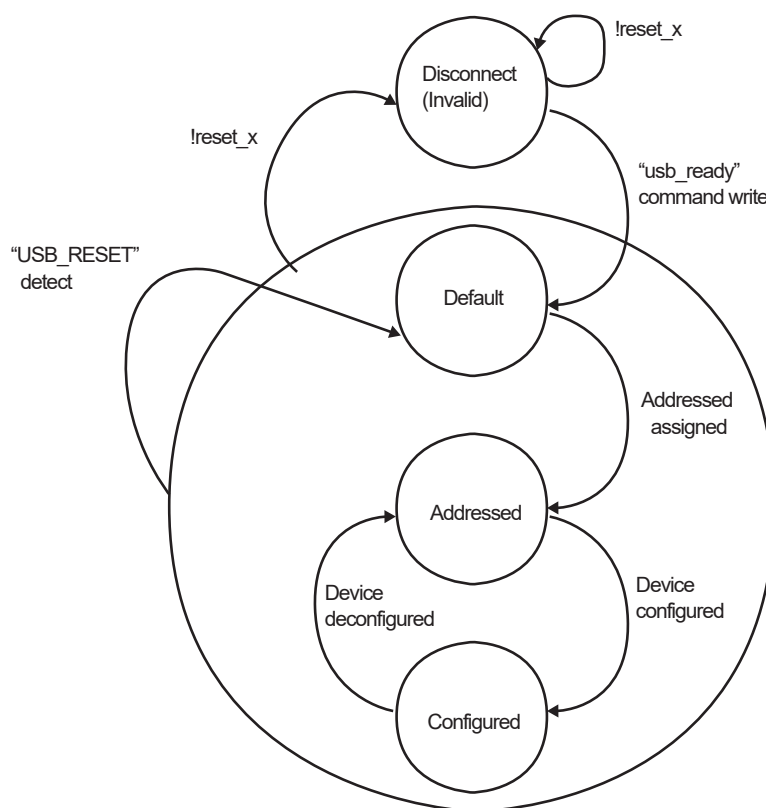


図 16-21 Device state diagram

16.7 各 EP の転送における制御フロー

16.7.1 EP0

EP0 は Control 転送をサポートしており、エニュメレーションなどデバイスの制御を行うのに使用します。なお、EP0 はシングルパケットモードのみとなります。

コントロール転送は、SETUP-Stage、DATA-Stage、STATUS-Stage から成り立っています。

また、転送の種類として、大きく以下 3 種類に分類されます：

- Control-RD 転送
- Control-WR 転送 (DATA-Stage 無し)
- Control-WR 転送 (DATA-Stage 有り)

UDC2 は、ハードウェアで 3 つのステージ管理を行います。以下に各転送における流れを示します。

16.7.1.1 Control-RD 転送

以下に Control-RD 転送時の流れを示します。

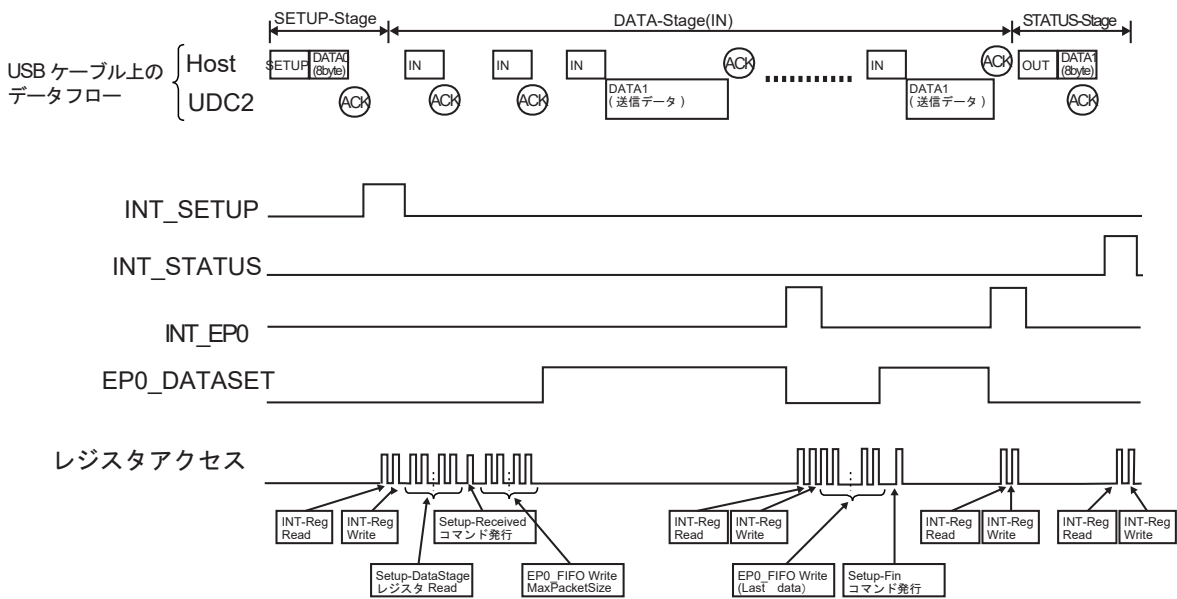


図 16-22 Control-RD 転送における制御フロー

以下の説明では UDFS2EP0MSZ<dset>を"EP0_DATASET フラグ"としています。

(1) SETUP-Stage

UDC2 は、Setup-Token を受信すると、INT_SETUP フラグをアサートします。このフラグをクリアするには、UDFS2INT<i_setup>に 1 をライトしてください。外部でフラグを束ねている場合は UDFS2INT をリードし、どのフラグがアサートされているかを確認し、該当 bit に 1 をライトしてください。

次に、Setup-Data 格納レジスタ(bRequest-bmRequestType、wValue、wIndex、wLength レジスタ)をリードし、リクエストを判断してください。

最後に、"Setup_Received"コマンドを発行し、SETUP-Stageの終了をUDC2に知らせます。UDC2はこのコマンドが発行されるまでは、EP0-FIFOへのデータライトを禁止していますので、このコマンドが発行されるまではホストからのIN-Tokenに対して"NAK"を返信します。

(2) DATA-Stage

IN-Tokenに対して送信すべきデータをEP0-FIFOへライトします。なお、送信したいデータバイト数がMaxPacketSizeより大きい場合は、MaxPacketSizeごとに分割してライトしてください。ライトデータ数がMaxPacketSizeになると、EP0_DATASETフラグがアサートされます。

ホストからのIN-Tokenに対し正常にデータ送信が終了すると、UDC2はEP0_DATASETフラグをデアサートし、INT_EP0をアサートします。送信したいデータが残っている場合、EP0-FIFOへのデータライトを行ってください。

ライトすべきデータがMaxPacketSizeより少ない場合は、EP0へ"EP_EOP"コマンドを発行することにより、UDC2にショートパケットであることを通知してください。これにより、UDC2はパケットの終了を認識し、ショートパケットデータを送信します。

最後に、"Setup_Fin"コマンドを発行することにより、UDC2へDATA-Stageの終了を知らせます。

(3) STATUS-Stage

UDC2は、"Setup_Fin"コマンドが発行されると、STATUS-Stageに対するHandshakeを自動で行います。正常にSTATUS-Stageが終了すると、INT_STATUSフラグをアサートします。"Setup_Fin"コマンドが発行される前にホストからSTATUS-Stageのパケットを受信すると、UDC2は"NAK"を返信し、INT_STATUS_NAKフラグをアサートしますので、このフラグがアサートされましたら、"Setup_Fin"コマンドを発行するようにしてください。

16.7.1.2 Control-WR 転送(DATA-Stage なし)

以下にControl-WR 転送(DATA-Stage 無し)時の流れを示します。

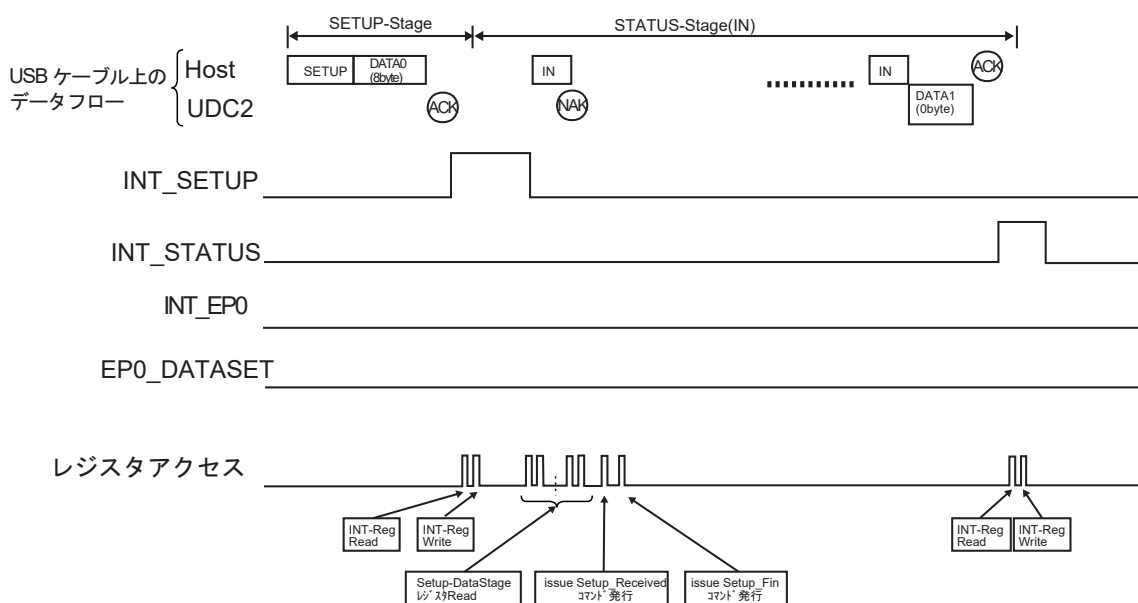


図 16-23 Control-WR 転送(DATA-Stage 無し)における制御フロー

(1) SETUP-Stage

「16.7.1.1 Control-RD 転送」の SETUP-Stage と同様の処理を行ってください。

(2) STATUS-Stage

"Setup_Received"コマンドを発行した後に、各リクエストに応じて UDC2 へのレジスタアクセスを行ってください。UDC2 へのレジスタアクセスが全て終了したときに "Setup_Fin"コマンドを発行してください。その後の処理は、基本的には「16.7.1.1 Control-RD 転送」の STATUS-Stage と同様です。UDC2 は"Setup_Fin"コマンドが発行されるまで"NAK"を返信しつづけます。

注) 基本的には、「"Setup_Received"コマンドの発行」 → 「"Setup_Fin"コマンドの発行」の間で各リクエストに必要なレジスタアクセスを UDC2 へ行うのですが、Set Address リクエストや Set Feature(TEST_MODE)のように、STATUS-Stage 終了後にレジスタアクセスが必要な場合もあります。各スタンダードリクエストでの処理については「16.7.1.5 スタンダードリクエスト受信時の処理」で説明しています。

16.7.1.3 Control-WR 転送(DATA-Stage あり)

以下に Control-WR 転送(DATA-Stage 有り)時の流れを示します。

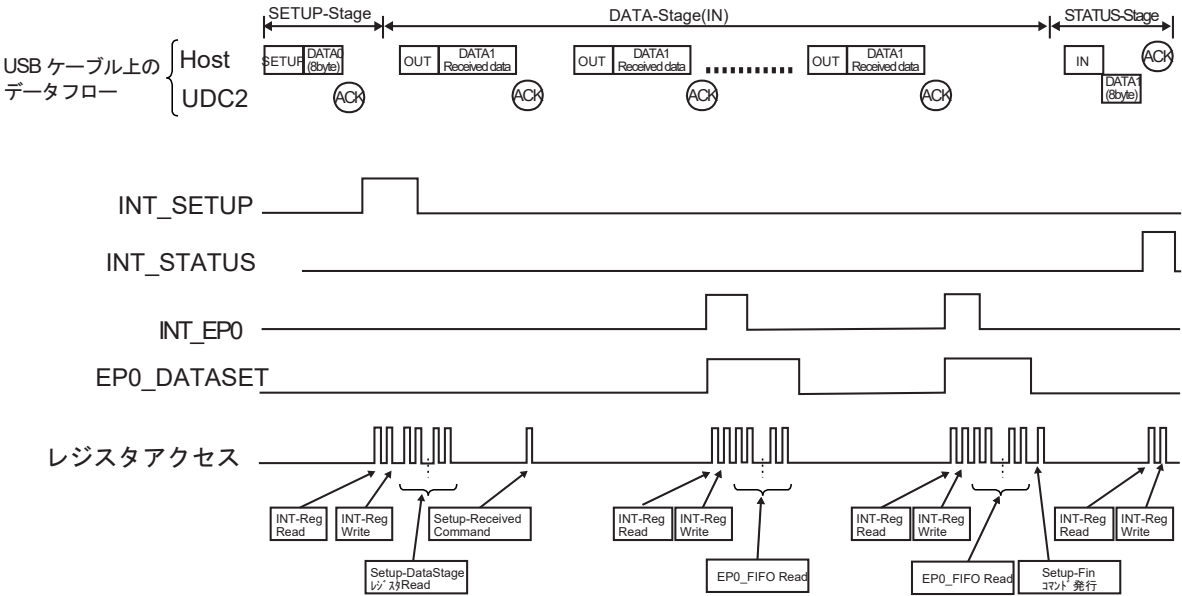


図 16-24 Control-WR 転送(DATA-Stage 有り)における制御フロー

(1) SETUP-Stage

「16.7.1.1 Control-RD 転送」の SETUP-Stage と同様の処理を行ってください。

(2) DATA-Stage

UDC2 は、ホストからデータを正常に受信すると、EP0_DATASET フラグをアサートし、INT_EP0 フラグをアサートします。このフラグがアサートされたら、受信したデータサイズを EP0_Datasize レジスタで確認した後に UDFS2EP0FIFO からデータをリードするか、EP0_DATASET フラグをポーリングしながら UDFS2EP0FIFO からデータをリードしてください。

受信データバイト数をリードすると、UDC2 は EP0_DATASET フラグをデアサートします。

(3) STATUS-Stage

「16.7.1.1 Control-RD 転送」の STATUS-Stage と同様の処理を行ってください。

16.7.1.4 INT_STATUS_NAK フラグの使用例

DATA-Stage の無いリクエストの処理では、INT_SETUP フラグのアサートを受けてからクリアをする前に、ホストからの STATUS-Stage を受信して INT_STATUS_NAK フラグがアサートされる可能性があります。このような多重割り込みの状態をなるべく回避したい場合に、データステージの無いリクエストでは INT_STATUS_NAK フラグをマスクする方法があります。その際は、基本的に UDFS2INT<m_status_nak>に 1 をセットし、DATA-Stage の有るリクエスト受信時にだけ 0 をセットする処理を行ってください。(以下は Control-RD 時の例です。)

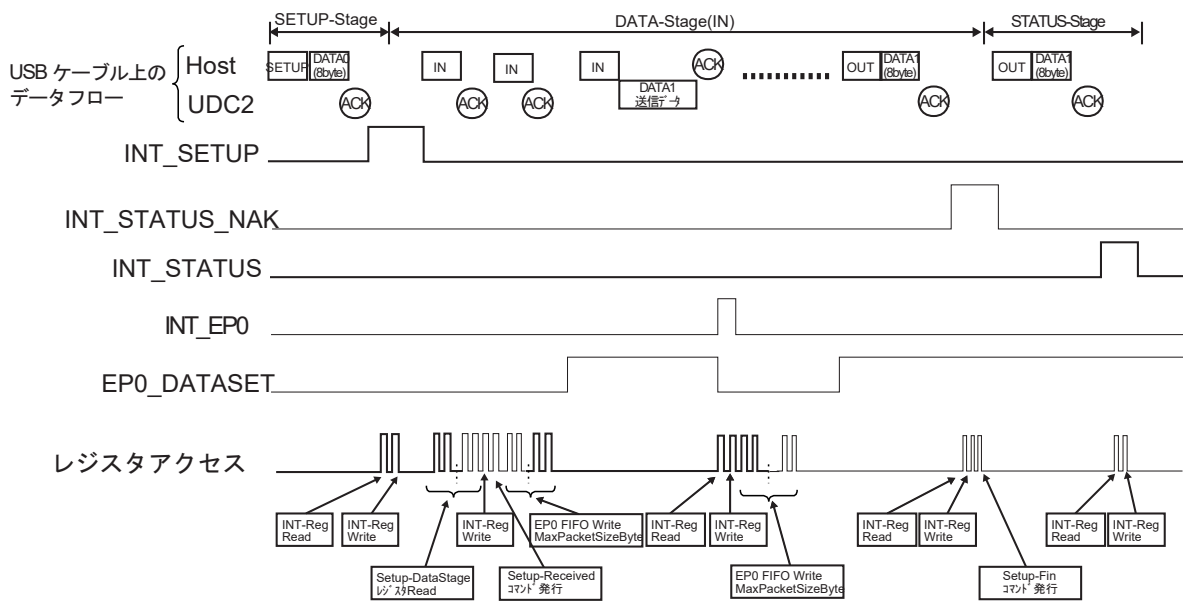


図 16-25 Control-RD 転送における INT_STATUS_NAK フラグの使用例

(1) SETUP-Stage

INT_SETUP フラグのアサートを受けて、UDFS2INT<i_setup>をクリアしてください。この時、<i_status_nak>が 1 にセットされている場合にはこの bit もクリアしてください。

次に、Setup-Data 格納レジスタをリードして DATA-Stage のあるリクエストと判断した場合には、UDFS2INT<m_status_nak>を 0 としてください。その後、"Setup_Received"コマンドを発行してください。

(2) DATA-Stage→STATUS-Stage

INT_STATUS_NAK フラグがアサートされると、デバイスも STATUS-Stage に移行する必要があります。UDFS2INT<i_status_nak>をクリアし、その後、"Setup_Fin"コマンドを発行してください。また、次からの転送に備えるため再び UDFS2INT<m_status_nak>に 1 をセットしてください。

16.7.1.5 スタンダードリクエスト受信時の処理

スタンダードリクエスト受信時の UDC2 へのレジスタアクセス例を次項から説明します。各リクエストの説明は、基本的にデバイスのステート(Default, Address, Configured)に分けています。

各リクエスト共通のレジスタアクセスに関しましては、16.7.1.1、16.7.1.2、16.7.1.3 に記載してありますのでそちらを参照してください。

ただし、次項からの説明では USB2.0 のスタンダードリクエスト仕様の全内容を記載しているわけではありません。ユーザの使用方法によってレジスタアクセス方法は異なりますので、必ず USB2.0 仕様をご覧ください。また、説明中の「Recipient」、「Descriptor Types」、「Standard Feature Selectors」、「Test Mode Selectors」などは USB2.0 仕様に記載されていますので、そちらをご覧ください。

- ・ 「16.7.1.1 Control-RD 転送」に対応するスタンダードリクエスト
Get Status Get Description Get Configuration
Get Interface Get Frame
- ・ 「16.7.1.2 Control-WR 転送(DATA-Stage なし)」に対応するスタンダードリクエスト
Clear Feature Set Feature Set Address
Set Configuration Set Interface
- ・ 「16.7.1.3 Control-WR 転送(DATA-Stage あり)」に対応するスタンダードリクエスト
Set Description

注 1) 下線が引かれている箇所は、UDC2 へのレジスタアクセスを説明しています。
注 2) UDFS2CMD へのライトアクセスは、文章の簡略化のために以下のように記述しています。

- 例 1) UDFS2CMD<ep>へ 0x0、<com>へ 0x4 をライトする場合
→EP0 へ EP-Stall コマンドを発行してください
- (例 2)UDFS2CMD<ep>へ該当 EP、<com>へ 0x5 をライトする場合
→該当 EP へ EP-Invalid コマンドを発行してください

(1) Get Status リクエスト

このリクエストにより、指定された受信側(recipient)のステータスを返信します。.

bmRequestType	bRequest	wValue	wIndex	wLength	Data
1000_0000 1000_0001 1000_0010	GET_STATUS	Zero	Zero Interface EP	Two	Device Interface, or EP Status

- ・ 全ステート共通:
wIndex で指定された EP/Interface が存在しない場合は EP0 へ EP-Stall コマンドを発行してください。
- ・ Default state:
USB2.0 仕様ではデバイスの動作に指定はありません。
- ・ Address state:

<recipient> = Device : デバイスの情報(表 16-3)を、UDFS2EP0FIFO にライトしてください。
<recipient> = Interface: EP0 へ EP-Stall コマンドを発行してください。
<recipient> = EP : wIndex=0(EP0)の場合は、EP0 の情報(表 16-5)を UDFS2EP0FIFO にライトしてください。
wIndex≠0(EPx)の場合は、EP0 へ EP-Stall コマンドを発行してください。

- Configured state:

<recipient> = Device : デバイスの情報(表 16-3)を、UDFS2EP0FIFO にライトしてください。

<recipient> = Interface: lwIndex で指定された Interface が存在する場合は、インタフェースの情報(表 16-4)をUDFS2EP0FIFO にライトしてください。

<recipient> = EP : wIndex で指定された EP が存在する場合は、該当 EP の情報(表 16-5)をUDFS2EP0FIFO にライトしてください。

表 16-3 Get Status リクエストで返信されるデバイスの情報

D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	0	0	0	0
D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	Remote Wakeup	Self Powered

RemoteWakeup 0 の場合はバスパワー、1 の場合はセルフパワーを表します。
(D1)

SelfPowered 0 の場合はリモートウェイクアップ機能がディセーブル、1 の場合はイネーブルとな
(D0) っていることを表します。

表 16-4 Get Status リクエストで返信される Interface の情報

D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	0	0	0	0
D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0

全 bit が 0 となっています。

表 16-5 Get Status リクエストで返信される EP の情報

D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	0	0	0	0
D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	Halt

Halt この bit が 1 の場合は該当 EP が Halt 状態となっていることを表します。
(D1)

(2) Clear Feature リクエスト

このリクエストにより、特定機能をクリア/ディセーブルします。

bmRequesType	bRequest	wValue	wIndex	wLength	Data
1000_0000 1000_0001 1000_0010	CLEAR_FEATURE	Feature Selector	Zero Interface EP	Zero	None

- 全ステート共通:

クリア(ディセーブル)できない、または、存在しない Feature Selector(wValue)を指定された場合は EP0 へ EP-Stall コマンドを発行してください。

wIndex で指定された EP/Interface が存在しない場合は EP0 へ EP-Stall コマンドを発行してください。
- Default state:

USB2.0 仕様ではデバイスの動作に指定はありません。
- Address state:

<recipient> = Device : wValue=1 の場合はユーザ側で DEVICE_REMOTE_WAKEUP 機能をディセーブルしてください。UDC2 へのレジスタアクセスは必要ありません。

<recipient> = Interface: EP0 へ EP-Stall コマンドを発行してください。

<recipient> = EP : wIndex≠0(EPx)の場合は、EP0 へ EP-Stall コマンドを発行してください。

wValue=0 で,wIndex=0(EP0)の場合は EP0 の Halt 状態をクリアするのですが、UDC2 へのレジスタアクセスは必要ありません。

- Configured state:

<recipient> = Device : wValue=1 の時はユーザ側で DEVICE_REMOTE_WAKEUP 機能をディセーブルしてください。UDC2 へのレジスタアクセスは必要ありません。

<recipient> = Interface: EP0 へ EP-Stall コマンドを発行してください。(注)

<recipient> = EP : wValue=0 で,wIndex≠0(EPx)の場合は、該当 EP へ EP-Reset コマンドを発行してください。wValue=0 で,wIndex=0(EP0)の場合は EP0 の Halt 状態をクリアするのですが、UDC2 へのレジスタアクセスは必要ありません。

注) ここでは、「Interface の Feature Selector は存在しない」という USB2.0 仕様の解釈で、EP0 を Stall 処理としています。仕様の詳細は USB 仕様をご覧ください。

(3) Set Feature リクエスト

このリクエストにより、特定機能をセット/イネーブルします。

BmRequesetType	BRequesdt	wValue	wIndex		wLength	Data
1000_0000 1000_0001 1000_0010	SET_FEATURE	Feature Selector	Zero Interface EP	Test Selector	Zero	None

- ・ 全ステート共通 :

セット(イネーブル) できない、または、存在しない Feature Selector (wValue)を指定された場合は、EP0 へ EP-Stall コマンドを発行してください。

wIndex 下位バイトで指定された EP/Interface が存在しない場合は、EP0 へ EP-Stall コマンドを発行してください。

注) 標準でないベンダ固有の TestSelector を使用する場合はそれに応じて処理をしてください。

- ・ Default state:

上記 TEST_MODE 時以外では、USB2.0 仕様ではデバイスの動作に指定はありません。

- ・ Address state:

<recipient> = Device : wValue=1 の場合はユーザ側で DEVICE_REMOTE_WAKEUP 機能をディセーブルしてください。UDC2 へのレジスタアクセスは必要ありません。

<recipient> = Interface: EP0 へ EP-Stall コマンドを発行してください。

<recipient> = EP : wIndex 下位バイト≠0(EPx)の場合は、EP0 へ EP-Stall コマンドを発行してください。
wValue=0 で、wIndex 下位バイト=0 (EP0)の場合は、EP 0 を Halt 状態としてください。(注 2)

- ・ Configured state:

<recipient> = Device : wValue=1 の場合はユーザ側で DEVICE_REMOTE_WAKEUP 機能をイネーブルにしてください。UDC2 へのレジスタアクセスは必要ありません。

<recipient> = Interface: EP0 へ EP-Stall コマンドを発行してください。(注 1)

<recipient> = EP : wValue=0 で、wIndex 下位バイト≠0(EPx)の場合は、該当 EP へ EP-Stall コマンドを発行してください。
wValue=0 で、wIndex 下位バイト=0(EP0)の場合は、EP0 を Halt 状態としてください。(注 2)

注 1) ここでは、「Interface の Feature Selector は存在しない」という USB 仕様の解釈で、EP0 を Stall 処理としています。仕様の詳細は USB 仕様をご覧ください。

注 2) USB2.0 仕様には、「EP0 に対して Halt 機能が実行される必要はない/推奨しない」とような記述があります。よってこの場合に、UDC2 に対して Stall 状態を設定する必要があるというような解釈が可能です。

実際に EP0 を Halt 状態にするためには、ユーザ側で「Halt 状態」を管理する必要があります

そして「Halt 状態」の時にリクエストを受けた場合に、DATA-Stage/STATUS-Stage で EP0 へ EP-Stall コマンド発行を行うといった処理が必要となります。(仮に EP0 を Stall 状態に設定しても、Setup-Token を受信すると UDC2 は Stall 状態を解除して"ACK"を返信します。)

このように EP0 に対して Set Feature/Clear Feature を受信した場合の処理は、ユーザの使用方法により異なります。

(4) Set Address リクエスト

このリクエストにより、デバイスアドレスをセットします。

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
0000_0000	SET_ADDRESS	Device Address	Zero	Zero	None

本リクエストでは、以下に示すレジスタアクセスを STATUS-Stage 終了後 2ms 以内に行ってください

(Setup_Fin コマンド発行前に、デバイスアドレスを変更しないでください。)

- Default state:

wValue=0 の場合: デフォルトステートを維持します。UDC2 へのレジスタアクセスは必要ありません。

w Value≠0 の場合: UDFS2ADR<dev_adr>に wValue、<configured> <addressed> <default>に 010 をセットしてください。UDC2 はアドレスステートに入ります。

- Address state:

wValue=0 の場合: UDFS2ADR<dev_adr>に 0x00、<configured> <addressed> <default>に 001 をセットしてください。UDC2 はデフォルトステートに入ります。

w Value≠0 の場合: UDFS2ADR<dev_adr>に wValue をセットしてください。UDC2 は新しいデバイスアドレスに設定されます。

- Configured state:

USB2.0 仕様ではデバイスの動作に指定はありません。

(5) Get Descriptor リクエスト

このリクエストにより、指定されたディスクリプタを返信します。

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
1000_0000	GET_DESCRIPTOR	Descriptor Type and Descriptor Index	Zero or Language ID	Descriptor Length	Descriptor

全ステート共通:

wValue で指定されたディスクリプタ情報を、wLength で指定されたバイト数分 UDFS2EP0FIFO にライトしてください。ライトするバイト数が EP0 の MaxPacketSize よりも大きい場合には、複数回に分けてライトする必要があります(詳細は「16.7.1.1 Control-RD 転送」を参照してください)。(ディスクリプタの長さが wLength より大きい場合は、ディスクリプタの最初から wLength バイトをライトしてください。ディスクリプタの長さが wLength より小さい場合は、そのディスクリプタ全てをライトしてください。)

wValue で指定されたディスクリプタをユーザ側がサポートしない場合は、EP0 へ EP-Stall コマンドを発行してください。

(6) Set Descriptor リクエスト

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
0000_0000	SET_DESCRIPTOR	Device Type and Descriptor Index	Language ID or Zero	Descriptor Length	Descriptor

- 全ステート共通:
本リクエストをサポートしない場合には EP0 へ EP-Stall コマンドを発行してください。
- Default state:
USB2.0 仕様ではデバイスの動作に指定はありません。
- Address state & Configured state:
UDC2 が受信したディスクリプタ情報を UDFS2EP0FIFO からリードしてください。

(7) Get Configuration リクエスト

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
0y1000 0000	GET_CONFIGURATION	Zero	Zero	One	Configuration Value

- Default state:
USB2.0 仕様ではデバイスの動作に指定はありません。
- Address state:
UDFS2EP0FIFO に 0x00 をライトしてください。 未構成なので 0 を返信する必要があります。
- Configured state:
現在の Configuration 値を UDFS2EP0FIFO にライトしてください。
構成されている状態なので、0 以外の値を返信する必要があります。

(8) Set Configuration リクエスト

このリクエストにより、デバイス構成を設定します。

BmRequestType	BRequest	wValue	wIndex	wLength	Data
0y0000 0000	SET_CONFIGURATION	Configuration Value	Zero	Zero	None

- Default state:
 - USB2.0 仕様ではデバイスの動作に指定はありません。
- Address state:
 - wValue = 0 の場合：
 - アドレスステートを維持します。UDC2 へのレジスタアクセスは必要ありません。
 - wValue ≠ 0 で、wValue がディスクリプタに適合する Configuration 値の場合：
 - UDFS2ADR<configured> <addressed> <default>に 100 をセットしてください。
 - <使用する各 EP に対して>
 - UDFS2EPxMSZ<max_pkt>に MaxPacketSize をセットしてください。
 - UDFS2EPxSTS<pkt_mode>、<bus_sel>、<dir>、<t_type>、<num_mf>に各値をセットしてください。
 - 該当 EP に EP-Reset コマンドを発行してください。
 - wValue ≠ 0 で、wValue がディスクリプタに適合しない Configuration 値の場合：
 - EP0 へ EP-Stall コマンドを発行してください。
- Configured state:
 - wValue = 0 の場合。
 - UDFS2ADR<configured> <addressed> <default>に 010 をセットしてください。
 - All-EP-Invalid コマンドを発行してください。
 - Value ≠ 0 で、ディスクリプタに適合する Configuration 値の場合：
 - <使用する各 EP に対して>
 - UDFS2EPxMSZ<max_pkt>に MaxPacketSize をセットしてください。
 - UDFS2EPxSTS<pkt_mode>、<bus_sel>、<dir>、<t_type>、<num_mf>に各値をセットしてください。
 - 該当 EP に EP-Reset コマンドを発行してください。
 - <新たに未使用となる各 EP に対して>
 - 該当 EP に EP-Invalid コマンドを発行してください。
 - wValue ≠ 0 で、wValue がディスクリプタに適合しない Configuration 値の場合：
 - EP0 へ EP-Stall コマンドを発行してください。

(9) Get Interface リクエスト

このリクエストにより、指定された Interface で設定されている Alternate Setting 値を返信します。

BmRequestType	BRequest	wValue	wIndex	wLength	Data
1000_0001	GET_INTERFACE	Zero	Interface	One	Alternate Setting

- 全ステート共通:
wIndex で指定された Interface が存在しない場合は EP0 へ EP-Stall コマンドを発行してください。
- Default state:
USB2.0 仕様ではデバイスの動作に指定はありません。
- Address state:
EP0 へ EP-Stall コマンドを発行してください。
- Configured state:
wIndex で指定された Interface の現在の AlternateSetting 値を、UDFS2EP0FIFO にライトしてください。

(10) Set Interface リクエスト

このリクエストにより、指定された Interface の Alternate Setting 値を設定します。

BmRequestType	BRequest	wValue	wIndex	wLength	Data
0000_0001	SET_INTERFACE	Alternate Setting	Interface	Zero	None

- 全ステート共通:
 - wIndex で指定された Interface が存在しない場合、または wValue で指定された Alternate Setting が存在しない場合は、EP0 へ EP-Stall コマンドを発行してください。
- Default state:
 - USB2.0 仕様ではデバイスの動作に指定はありません。
- Address state:
 - EP0 へ EP-Stall コマンドを発行してください。
- Configured state:
 - <指定された Interface の Alternate Setting で使用する各 EP に対して>
 - UDFS2EP x MSZ<max_pkt>に MaxPacketSize をセットしてください。
 - UDFS2EPxSTS<pkt_mode>、<bus_sel>、<dir>、<t_type>、<num_mf>に各値をセットしてください。
 - 該当 EP に EP-Reset コマンドを発行してください。
 - <新たに未使用となる各 EP に対して>
 - 該当 EP に EP-Invalid コマンドを発行してください。

(11) Synch Frame リクエスト

このリクエストにより、EP の同期フレームを設定し報告します。.

BmRequestType	BRequest	wValue	wIndex	wLength	Data
0y1000 0010	SYNCH_FRAME	Zero	EP	Two	Frame Number

- 全ステート共通:
 - wIndex で指定された EP で、このリクエストをサポートしない場合は EP0 へ EP-Stall コマンドを発行してください。
- Default state:
 - USB2.0 仕様ではデバイスの動作に指定はありません。
- Address state:
 - EP0 へ EP-Stall コマンドを発行してください。
- Configured state:
 - wIndex で指定された EP の Frame Number を、UDFS2EP0FIFO にライトしてください。

16.7.2 EP0 以外の EP

EP0 以外の EP は、Bulk(送信/受信)転送、Interrupt(送信/受信)転送、Isochronous(送信/受信)転送をサポートしており、データの送受信を行うのに使用します。また、デュアルパケットモードをサポートしており、高速なデータ通信が可能となっています。

16.8 サスペンドレジューム状態

UDC2 はホストからの信号状態によりサスペンド状態へと移行します。また、ホストからのレジュームあるいは UDC2 からのレジュームにより、サスペンド状態からの復帰をします。

以下にそれぞれの状態への移行について説明します。

16.8.1 サスペンド状態への移行

通常の状態では、ホストは一定時間ごと (FS: 1ms) に SOF を発行しますが、ホストがデバイスをサスペンド状態にしようとした際には、この SOF をデバイスへ発行しなくなり、USB 信号線上のデータはアイドル状態のまま無変化の状態となります。UDC2 は、PHY からの "line_state" を常にモニタしており、アイドル状態を 3ms 以上連続で検出するとサスペンド状態か USB_RESET かの判断をし、サスペンド状態であれば suspend_x を "Low" にアサートして、サスペンド状態へ入ります。

なお、サスペンド状態ではクロック/モード制御回路のクロックが供給されなくなりますので、レジスタへのアクセスなどは不可能となります。

16.8.2 サスペンド状態からの復帰

サスペンド状態からの復帰には、ホストからのレジューム状態出力による復帰と、UDC2 からのリモートウェイクアップ(レジューム状態出力)による復帰の 2 種類があります。

以下にそれぞれの場合について説明します

16.8.2.1 ホストからのレジュームによる復帰

ホストからのレジューム状態出力により UDC2 は suspend_x を "High" にデアサートして、サスペンドからの復帰を知らせます。

16.8.2.2 UDC2 からのリモートウェイクアップ

リモートウェイクアップはアプリケーションによってはサポートされない場合があります。また、バスエニュメレーション時に USB ホストから許可されている必要があります。システムで許可されていない場合は、"wakeup" をアサートしないでください。

システムで許可されている場合、"wakeup" 端子をアサートすることにより UDC2 はホストに対しレジューム状態を出力し、レジュームを促します。なお、サスペンド時はクロック/モード制御回路からのクロックを停止させているので、ソフトウェアによってクロックを再開させるまで、アサートし続けてください。また、suspend_x が "Low" にアサートされてから 2ms 以上たってから、リモートウェイクアップするようにしてください。

16.9 USB-Spec2.0 デバイスコントローラ Appendix

16.9.1 Appendix A システム・パワー・マネージメント関連

USB では Bulk 転送などの基本転送以外にも、ホストからのリセットやサスペンドなど、エニュメレーション/パワーコントロールに関係する信号(DP/DM)動作が存在します。これらの処理には UDC2 動作の他にも、接続する USB2.0-PHY の仕様やシステムとしての CLK 制御などが関係してきますので、この Appendix で処理の概略を説明します。ただし、各処理の詳細に関しましては必ず Universal Serial Bus Specification(Revision2.0)(USB-Spec2.0)を確認してください。

以下に AppendixA で使用する用語について説明します。

1. リセット:

USB ホスト(以下、ホスト)から USB デバイス(以下、デバイス)を初期化するために行われる DP/DM 信号動作です。このリセット終了後にエニュメレーションが行われ、その後、Bulk 転送などの通常転送が始まります。コネクタ後には必ずリセットが行われますが、デバイスとしてはその他の任意のタイミングでのリセットにも対応する必要があります。

2. サスペンド

ホストから 3ms 以上、SOF も含めた DP/DM 上の全てのバス・アクティビティがない場合には、デバイスはパワー制御のためサスペンド・モードに入る必要があります。デバイスとしては CLK を停止するなどの処理が必要となります。

3. レジューム

サスペンド動作から復帰をする場合に行われる DP/DM 信号動作です。ホストとデバイスのいずれかから復帰を促すことが可能です。デバイスからのレジュームは"リモート・ウェイクアップ"と呼ばれます。

以下に各動作の説明を示します。なお、()内の時間は USB2.0 Spec の値です。

16.9.1.1 コネクト/ディスコネクト動作

(1) コネクト動作

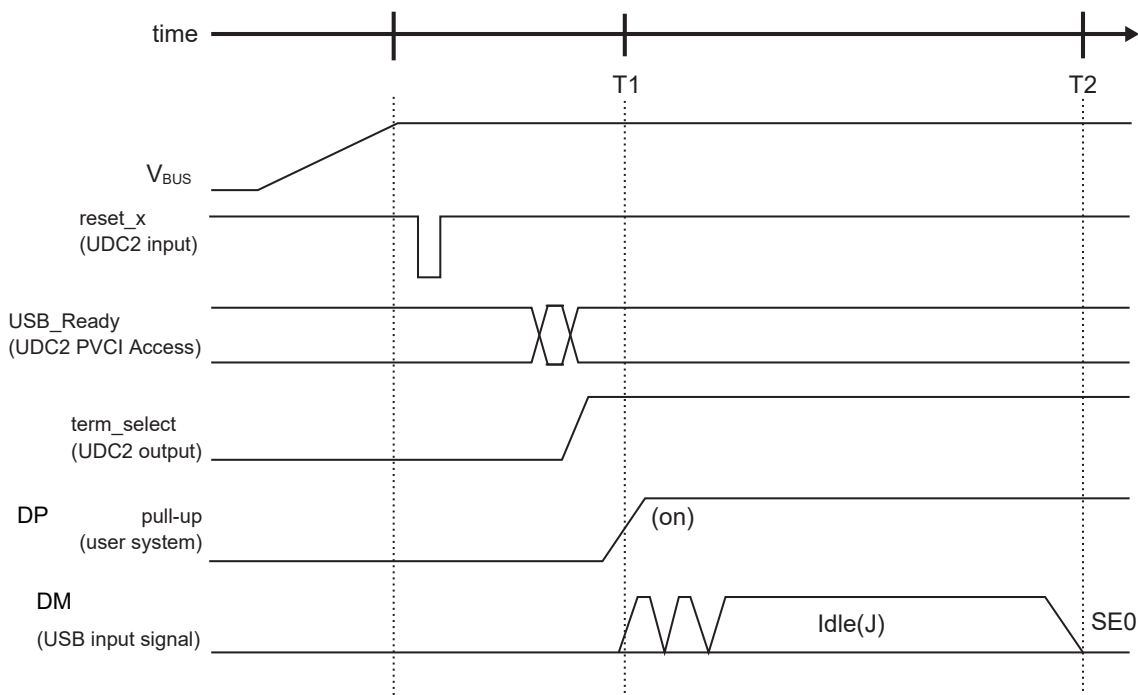


図 16-26 コネクト動作タイミング

- ・ T0: VBUS 検知
VBUS を検知したら、UDC2 へのシステム・リセット(reset_x 入力)を行ってください。
xcsr_sel は"High"、term_select は"Low"となります。
- ・ T1: デバイス・コネクト (T0 から、100ms 以内)
デバイスは VBUS 検知(T0)から 100ms 以内に、ホストにコネクト状態を知らせるため DP のプルアップをイネーブルとする必要があります。よって、システムは VBUS を検知した後に、ホストとの通信が可能となった時点で、UDC2 の UDFS2CMD へアクセスし USB_Ready を設定してください。その後、port をソフトウェアで操作して DP のプルアップをイネーブルにします。
- ・ T2: USB リセット開始 (T1 から、100ms 以上)

(2) ディスコネクト動作

ディスコネクトを検知した場合には、UDC2 へシステムリセットを行うことを推奨します。

16.9.1.2 リセット動作

ここでの"リセット"は USB2.0-Spec で定義されている"Reset Signaling"を表しています。UDC2 へのシステムリセット(reset_x)とは異なります。

(1) リセット後 FS で動作する場合

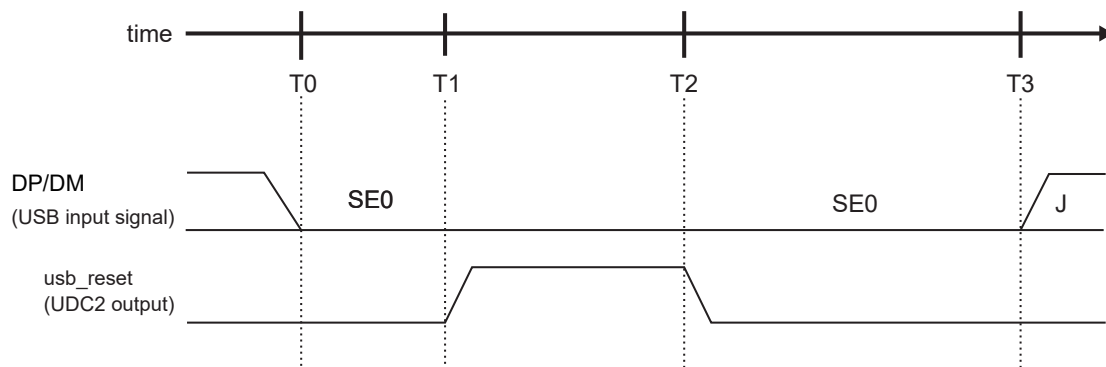


図 16-27 リセット動作タイミング図

- ・ T0: リセット開始
UDC2 はホストからの"SE0"を認識した時点で、リセットを認識するためのカウンタを始めます。
- ・ T1: リセット認識(T0 から 2.5 μ s 以上)
UDC2 は、T0 から約 68 μ s 以上の"SE0"を検知すると、ホストからのリセットを認識して、usb_reset を "High"にします。
- ・ T2: USB reset のデアサート
UDC2 は、T1 から約 3.5ms たつと usb_reset を "Low" にします。
- ・ T3: リセット終了(T0 から、10 ms 以上)
ホストからの"SE0"が終了し idle に入った時点でリセットが終了となります。ホストからのリセット期間は最小で 10ms となります。

(2) リセット時の注意点

- ・ リセット後のレジスタ初期化について
ホストからのリセットが終了した時点(usb_reset が "High" から "Low"へ変化した時点)で、UDC2 内部レジスタは全て初期化されます。(各レジスタの初期値は、「16.4 レジスタ 説明」を参照してください。)
usb_reset が "High"の間に設定されたレジスタも初期化されますので、リセット後の各レジスタの再設定はリセット終了後に行ってください。
- ・ リセット後の DMA 転送 (EP-I/F アクセス) について
DMA 転送中に、ホストからリセットを受信した場合には、UDFS2EP x STS の初期化に伴いバスアクセス選択が、" 共通バスアクセス" となります。従って、正常に DMA 転送を続けることができません。リセット受信時には、DMA コントローラの初期化も行ってください。
リセット後にはエニュメレーションが発生しますので、その際に各 EP の設定を行ったうえ、UDFS2CMD の EP_Reset コマンドを用いて EP の初期化を行ってください。

16.9.1.3 サスペンド動作

(1) サスペンド動作

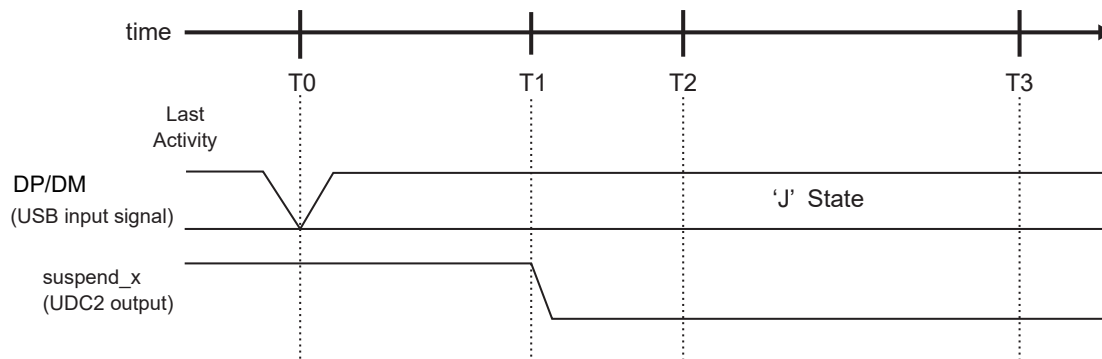


図 16-28 サスペンド動作タイミング

- ・ T0: バスアクティビティの終了
ホストからの最後のバスアクティビティ(パケットの終わり)を検知した時点で、UDC2 はサスペンドを認識するためにカウントを始めます。
- ・ T1: サスペンド認識(T0 から 3 ms)
T0 から 3ms 以上の "FS-J"を検知したとき、UDC2 はサスペンドを認識して suspend_x を"Low"とします。
- ・ T2: リモートウェイクアップ開始可能(T0 から 5 ms)
T0 から 5ms 経過した時点で、デバイスからのレジューム(=リモートウェイクアップ)が可能となります。
- ・ T3: サスペンドへの移行 (T0 から 10 ms)
T0 から 10ms 以内にデバイスとしてサスペンドに入る必要があります。CLK_U を停止させる場合など、デバイスシステムとしてサスペンドに必要な処理を行う場合には、この期間内に行ってください。
UDC2 の CLK_U を停止する場合には、クロック/モード制御回路を制御する必要があります。

(2) サスペンド動作時の注意

- ・ サスペンド中の内部レジスタについて
サスペンド中、UDC2 は内部レジスタの値や FIFO の中身、各フラグの状態を保持します。レジュームによりサスペンドから復帰した後も同様にサスペンド前の状態を保持しています。
なお UDC2 の CLK_H が停止している場合、PVC-I/F、EP-I/F を通じて UDC2 内部レジスタへのアクセスすることが不可能になります。

16.9.1.4 レジューム動作

(1) ホストレジューム動作

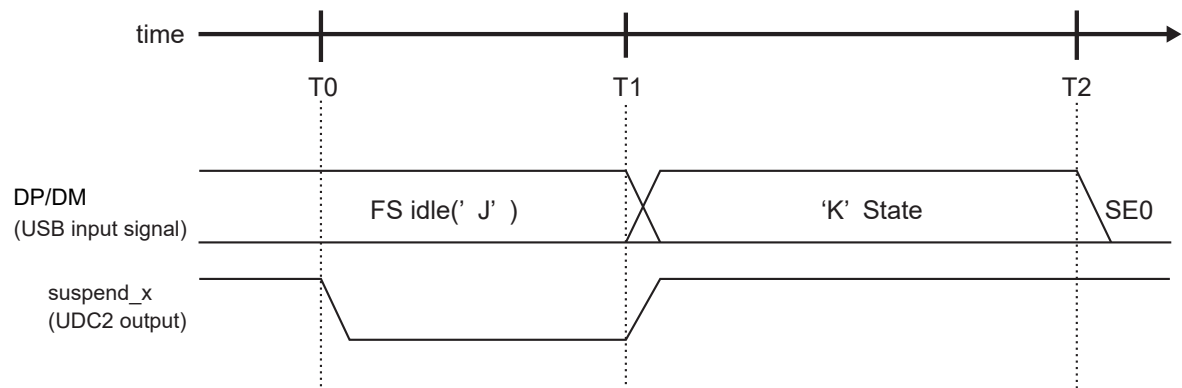


図 16-29 ホストレジューム動作タイミング

- T0: UDC2 の suspend_x 出力が、"Low"
- T1: ホストレジューム機能(タイミング規定無し)
ホストはサスペンドから復帰させるため、任意のタイミングでレジューム ("FS-K")を開始します。UDC2 はこの時点で suspend_x を "High"にします。(UDC2 の CLK_U が停止している状態でも、suspend_x は "High"になります。)
サスペンド中に UDC2 の CLK_H を停止させている場合、クロック/モード制御回路を制御し CLK_H を再開させてください。
UDC2 への CLK 入力を停止する場合には、clk_em を制御する必要があります。
- T2:ホストレジューム終了(T1 から 20 ms 以上)
ホストからのレジューム ("FS-K")は 20ms 以上続きます。その後、"SE0"を経てレジュームが終了します。

(2) デバイスレジューム(リモートウェイクアップ)動作

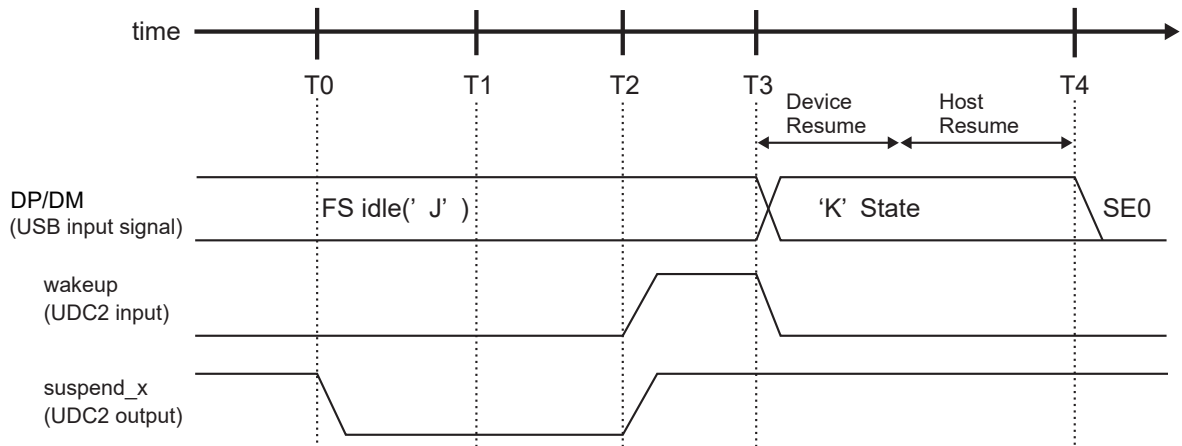


図 16-30 リモートウェイクアップ動作タイミング

- ・ T0: UDC2 の suspend_x 出力が "Low"
- ・ T1: リモートウェイクアップ開始可能 (T0 から 2 ms 以上)

デバイスからサスペンド復帰をする場合に、UDC2 の wakeup 入力を使用することで、リモートウェイクアップが可能です。ただし、USB-Spec 上、サスペンド開始から 5ms はリモートウェイクアップが禁止されています。サスペンド開始から T0 まですでに 3ms は経過しているので、T0 から 2ms 以上たってから wakeup を "H" にしてください。

- ・ T2: UDC2 への wakeup 入力を "High" (T1 以降)

任意のタイミングで wakeup を "High" にしてください。UDC2 はこの時点で suspend_x を "High" にします。(UDC2 への CLK 入力が停止している状態でも、suspend_x は "High" になります。) また、UDC2 が実際にレジューム("FS-K")を開始するためには、UDC2 へ CLK が入力されている必要があります。その後、CLK が再開されるまで、wakeup を "High" にし続けてください。

- ・ T3: デバイスレジューム開始

UDC2 の CLK_H が再開されると、UDC2 はデバイス・レジューム("FS-K")を開始します。UDC2 のデバイスレジューム期間は約 2ms となっています。ホストはデバイスレジュームを確認するとホスト・レジュームを開始します。

- ・ T4: ホストレジューム終了 (T3 から 20ms 以上)

ホストからのレジューム("FS-K")は 20ms 以上続きます。その後、"SE0"を経てレジューム動作が終了します。

(3) レジューム時の注意点

リモートウェイクアップの使用制限について下記の注意点があります。

リモートウェイクアップをデバイスシステムとしてサポートする場合には、Configuration ディスクリプタの中で、デバイスとしてリモートウェイクアップ機能がイネーブルであることをホストに伝えなければいけません。さらに、サポートする場合でも、リモートウェイクアップの使用許可はデフォルトではディセーブルとなっています。ホストからのリクエストによりイネーブルとされるまではこの機能は使用してはいけません。これらの制約を満たしている場合に限り wakeup 入力を使用してのリモートウェイクアップを行ってください。

この仕様の詳細は 16.8 に記載してありますので、使用する場合は必ず参照してください。

16.9.2 Appendix B MaxPacketSize 奇数バイト設定関連

16.9.2.1 UDFS2EPxMSZ の奇数設定について

USB-Spec 上、Isochronous/Interrupt 転送では EP の MaxPacketSize(以下、MPS)を偶数/奇数バイトのどちらかに設定可能です。(Control/Bulk 転送では偶数のみを設定可能です。)

UDC2 では MPS の設定は、UDFS2EP x MSZ<max_pkt>で行います。UDC2 で実装する EP の FIFO 構成としては偶数バイトしかサポートしていないので、通常は MPS も偶数バイトを設定することを推奨します。

もし MPS を奇数バイトとして使用したい場合には、<max_pkt>に奇数バイトに設定することも可能ですが、EP のバスアクセス方法によって、<max_pkt>設定値に表 16-6 のような制限があります。つまり、送信用 EP での直接アクセスでは<max_pkt>に奇数バイトを設定できません。この場合には、<max_pkt>へは偶数バイトを設定し、EP-FIFO へのライトアクセスで最大ライトバイト数を MPS(奇数)に制御する必要があります。(例えば、MPS を 1023 バイトにする場合は、<max_pkt>に 1024 バイトを設定します。)

表 16-6 max_pkt 設定制限

	受信用 EP	送信用 EP
共通バスアクセス(PVCI-I/F)	偶数/奇数を設定可能	偶数/奇数を設定可能
EP 直接アクセス(EP-I/F)	偶数/奇数を設定可能	偶数のみを設定可能.

上記を踏まえて、次項より、各バスアクセス方法に応じた奇数バイトの MPS 設定方法について説明します。

(1) 受信用 EP と共通バスアクセス

<max_pkt>に奇数/偶数バイトの両方を設定可能です。アクセス方法も奇数/偶数バイトで同じです。

(2) 送信用 EP と共通バスアクセス

<max_pkt>に奇数/偶数バイトの両方を設定可能です。

ただし、<max_pkt>に奇数バイトを設定して、MPS のライトを行う場合には、以下の点に気をつけて共通バスアクセスを行ってください。

以下は<max_pkt>=5 を設定し、MPS である 5 バイトをライトする場合のアクセス例です。

- 最後の 5 バイト目のアクセスでは、必ず udc_be= 01 としてください。
- MPS のアクセスなので、UDFS2CMD での EP_EOP コマンドは発行しないでください。

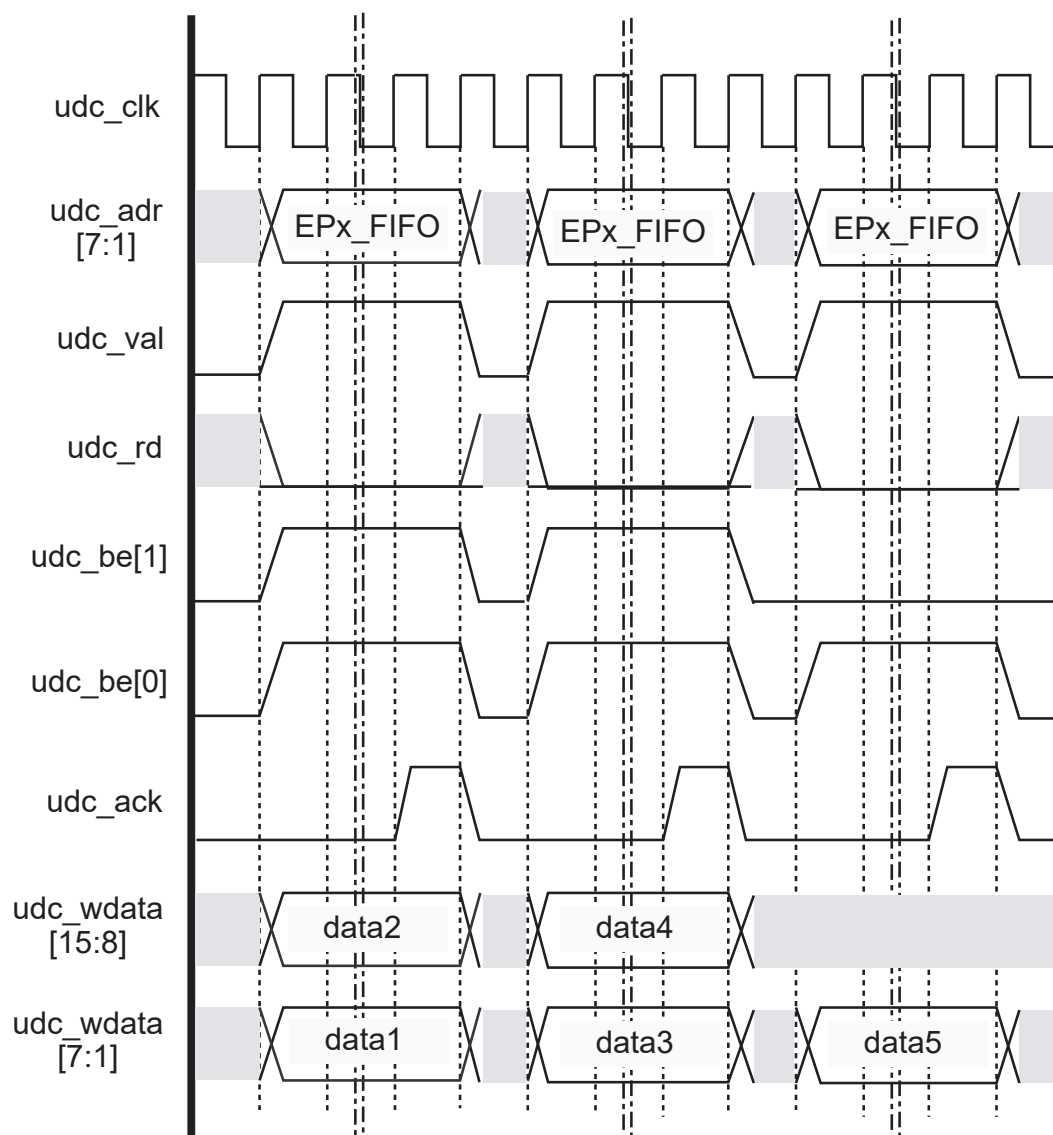


図 16-31 max_pkt=奇数で MPS ライト時のアクセス（共通バスアクセス）

(3) 受信用 EP と EP 直接アクセス

<max_pkt>に奇数/偶数バイトの両方を設定可能です。アクセス方法も奇数/偶数で同じです。

(4) 送信用 EP と EP 直接アクセス

<max_pkt>に偶数バイトのみを設定可能です。USB 上、EP の MPS を奇数バイトとして動作させる場合は以下のように設定してください。

- ・ MPS=1023 で使用する例
 - <max_pkt>=1024 を設定してください。
 - EP への最大ライトアクセスは 1023 バイトとしてください。(MPS を超える 1024 バイトはライトしないでください。)
 - ファームウェアで管理する必要がある EP ディスクリプタの"wMaxPacketSize"は、1023 を設定してください。(この値は GetDescriptor リクエストで USB-HOST へ伝える情報です。)

以下は<max_pkt>=1024 を設定し、MPS である 1023 バイトをライトする場合のアクセス例です。

- 最後の 1023 バイト目のアクセスでは、必ず `epx_w_be=01` としてください。

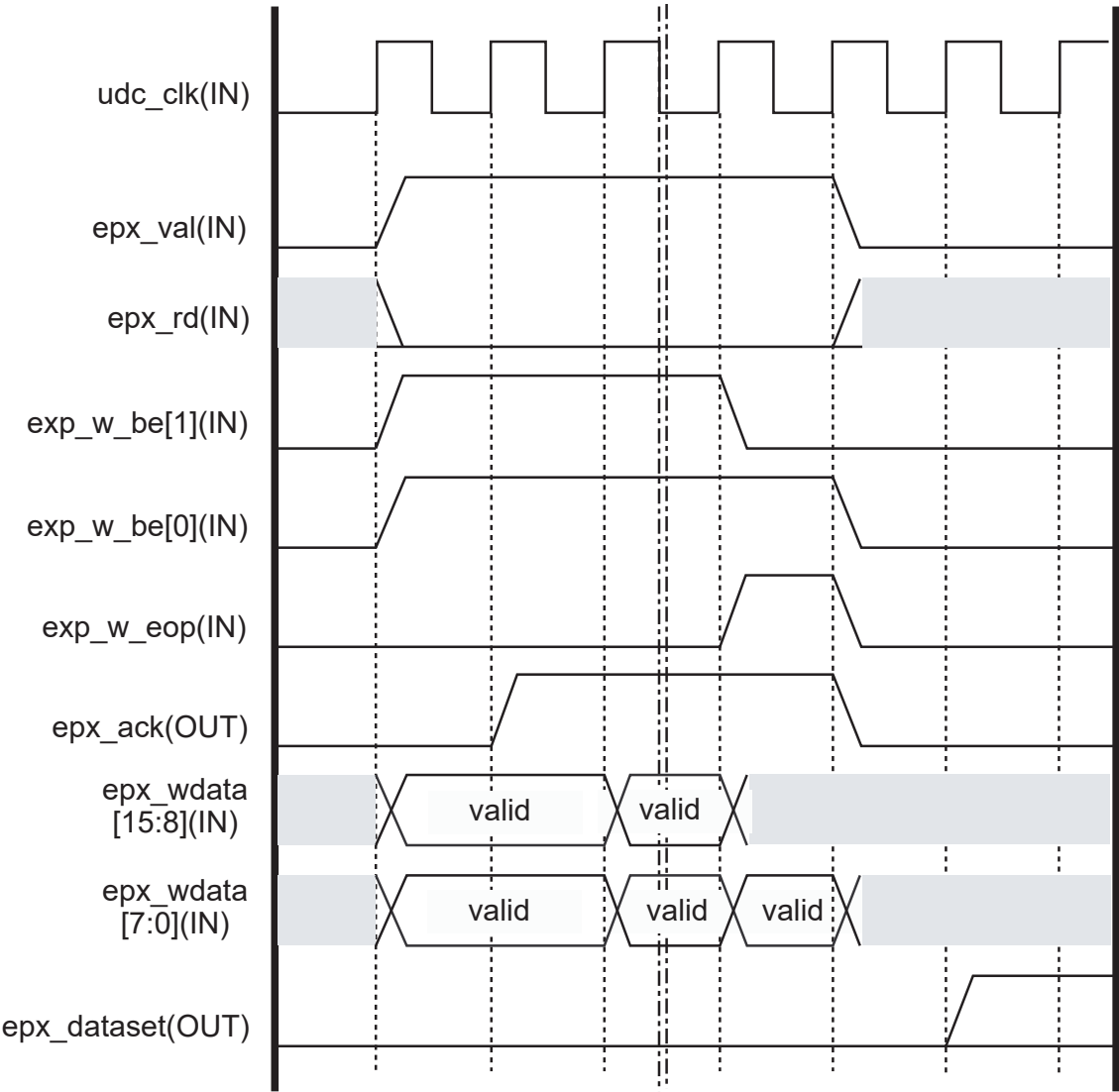


図 16-32 <max_pkt>=偶数で MPS(奇数)ライト時のアクセス (EP 直接アクセス)

16.9.3 Appendix C Isochronous 転送関連

Isochronous 転送ではデータの等時性が重要となるためフレームごとに転送が発生します。従って、Isochronous 転送を使用する EP(FIFO)へのアクセスも、ある一定のパフォーマンス(スピード)が要求されます。UDC2 では EP へのアクセス手段として PPCI-I/F か EP-I/F を選択可能です。また、FIFO 構成に関しては Single モードか Dual モードが選択可能となっています。しかし Isochronous 転送を使用する EP に関しては EP-I/F、Dual モードでの使用を推奨します。

16.9.3.1 Isochronous 転送使用 EP へのアクセスの注意点

最大データペイロードサイズは FS で 1023byte です。Dual モードを使用しペイロードサイズ 1023byte の転送を行うためには、2048byte の RAM が必要です。また、FS ではフレームごと(1ms)に転送が行われます。

(使用するペイロードサイズや transaction 数の情報は、UDC2 へのレジスタ設定が必要です。また、これらの情報はホストへ通知する EP のディスクリプタ情報として、ソフトウェアでも管理が必要です。)

16.9.3.2 Isochronous 転送使用 EP へのコマンド制約

Isochronous 転送では他の転送に比較して、handshake、トグル、フレーム内の transaction 数などの制約があるため、実際には、使用すべきコマンドが限られています。Isochronous 転送使用中の EP に対しては基本的にコマンドを使用しないでください。ただし、リクエスト処理中には EP_Reset コマンド、EP_Invalid コマンドを必要に応じて使用してください。

(EP へのアクセス手段として PPCI-IF を使用する場合には「EP_EOP コマンド」を使用します)

(Appendix に関して)

USB の仕様に関係する部分は、必ず USB Specification(Revision 2.0)で確認してください。

第 17 章 10 ビットアナログ/デジタルコンバータ(ADC)

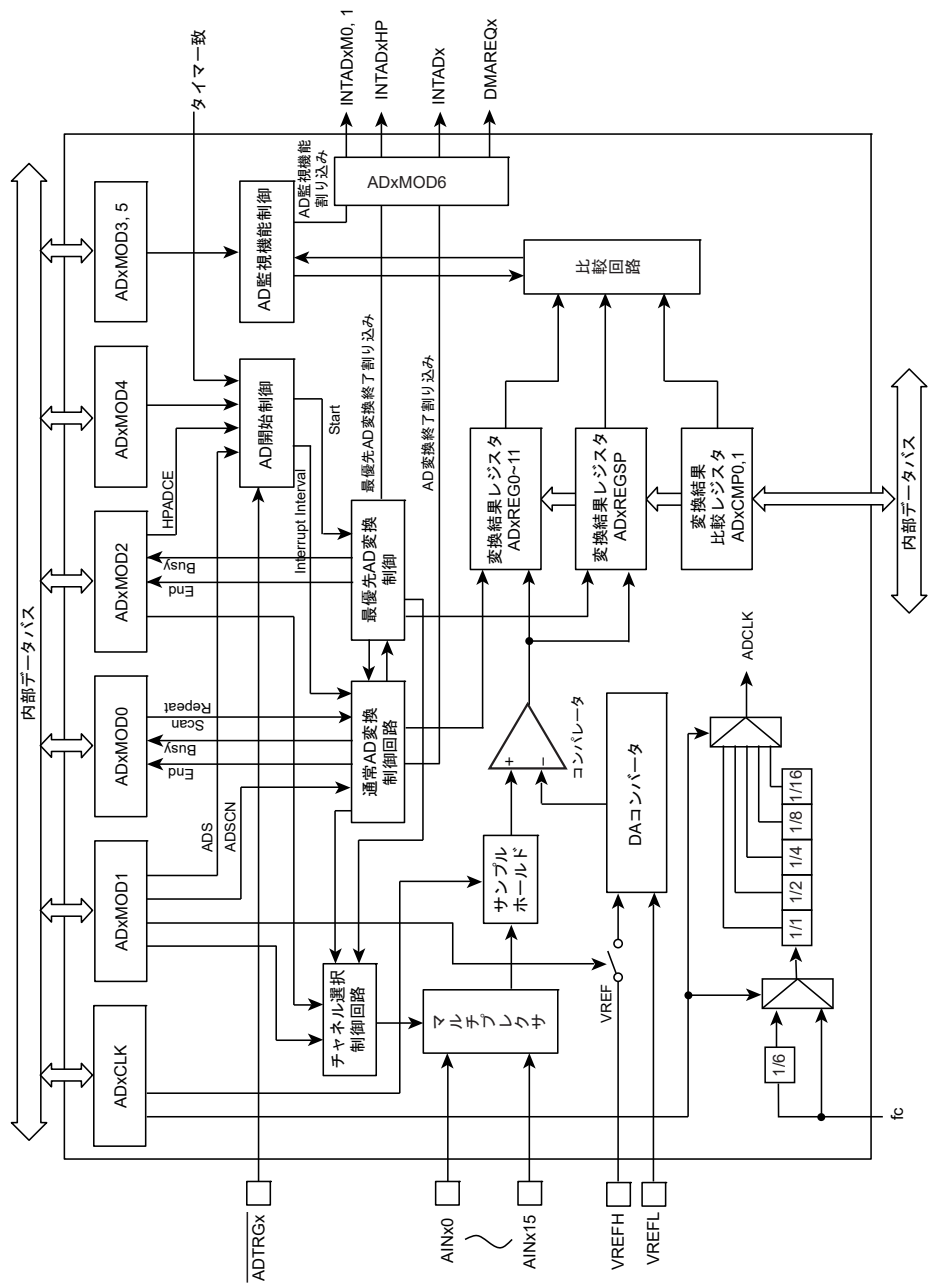
17.1 概要

TMPM066/067/068FW は、10 ビット逐次変換方式アナログ/デジタルコンバータ (ADC) を内蔵しています。

使用可能なチャネルと設定については、「製品情報」の章を参照してください。

17.2 構成

図 17-1 に AD コンバータのブロック図を示します。



注) VFREH は AVDD3 と VREFL は AVSS と共用しています。

図 17-1 10 ビット AD コンバータのブロック図

17.3 レジスタ説明

17.3.1 レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
変換クロック設定レジスタ	ADCLK	0x0000
モードコントロールレジスタ 0	ADMOD0	0x0004
モードコントロールレジスタ 1	ADMOD1	0x0008
モードコントロールレジスタ 2	ADMOD2	0x000C
モードコントロールレジスタ 3	ADMOD3	0x0010
モードコントロールレジスタ 4	ADMOD4	0x0014
モードコントロールレジスタ 5	ADMOD5	0x0018
モードコントロールレジスタ 6	ADMOD6	0x001C
変換結果レジスタ 0	ADREG0	0x0030
変換結果レジスタ 1	ADREG1	0x0034
変換結果レジスタ 2	ADREG2	0x0038
変換結果レジスタ 3	ADREG3	0x003C
変換結果レジスタ 4	ADREG4	0x0040
変換結果レジスタ 5	ADREG5	0x0044
変換結果レジスタ 6	ADREG6	0x0048
変換結果レジスタ 7	ADREG7	0x004C
変換結果レジスタ 8	ADREG8	0x0050
変換結果レジスタ 9	ADREG9	0x0054
変換結果レジスタ 10	ADREG10	0x0058
変換結果レジスタ 11	ADREG11	0x005C
変換結果レジスタ SP	ADREGSP	0x0060
変換結果比較レジスタ 0	ADCMP0	0x0064
変換結果比較レジスタ 1	ADCMP1	0x0068

17.3.2 ADCLK (変換クロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADCC		-	-	ADCLK			
リセット後	0	1	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	—	R	リードすると"0"が読めます。
7-6	ADCC[1:0]	R/W	変換クロック数選択 00: 35.5 変換クロック 01: 42 変換クロック 10: 68 変換クロック 11: 81 変換クロック
5-3	—	R	リードすると"0"が読めます。
3-0	ADCLK[3:0]	R/W	AD 変換クロック選択(注 1)(注 2) 0000: fc 0001: fc/2 0010: fc/4 0011: fc/8 0100: fc/16 0101 ~ 0111: Reserved 1000: fc/6 1001:fc/12 1010:fc/24 1011:fc/48 1100:fc/96 1101 ~ 1111:Reserved

注 1) AD 変換中に、AD 変換クロック設定を変更しないでください。
注 2) ADCLK で設定するクロックは、fsys(システムクロック) 以下に設定してください。(ADCLK ≤ fsys)

変換クロック数は以下の条件を満たすように設定してください。

VREFH AVDD	変換時間
2.7 ~ 3.6V	16.2 μs 以上
1.8 ~ 3.6V	32.4 μs 以上

17.3.3 ADMOD0 (モードコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	EOCFN	ADBFN	-	ITM		REPEAT	SCAN	ADS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	EOCFN	R	通常 AD 変換終了フラグ(注 1) 0: 変換前または変換中 1: 終了 このビットは ADMOD0 をリードすると"0"にクリアされます。
6	ADBFN	R	通常 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中
5	-	R	リードすると"0"が読めます。
4-3	ITM[1:0]	R/W	チャンネル固定リピート変換モード時の割り込み指定 00: 1 回変換するごとに割り込み発生 01: 4 回変換するごとに割り込み発生 10: 8 回変換するごとに割り込み発生 11: 設定禁止 この設定はチャンネル固定リピートモード(<REPEAT> = "1"、<SCAN> = "0")のときのみ有効です。
2	REPEAT	R/W	リピートモード指定 0: シングル変換モード 1: リピート変換モード
1	SCAN	R/W	スキャンモード指定 0: チャンネル固定モード 1: チャンネルスキャンモード チャンネルスキャンモードを指定した場合は ADMOD1<ADSCN>でスキャンするチャンネル数を指定してください。
0	ADS	W	AD 変換スタート 0: Don't care 1: 変換開始 モード設定を行ってから変換を開始してください。 このビットはリードすると常に"0"が読み出されます。

17.3.4 ADMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VREFON	I2AD	ADSCN		ADCH			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	—	R	リードすると"0"が読めます。
7	VREFON	R/W	VREF 印加制御(注) 0: OFF 1: ON
6	I2AD	R/W	IDLE モード時の動作設定 0: 停止 1: 動作
5-4	ADSCN[1:0]	R/W	チャネルスキャンモード時の動作選択 00: 4 チャネルスキャン 01: 8 チャネルスキャン 10: 12 チャネルスキャン 11: Reserved ADMOD0<SCAN>でチャネルスキャンモードを選択した際の動作を選択します。<ADCH>の設定により変換するチャネルが決まります。下表に変換チャネルを示します。
3-0	ADCH[3:0]	R/W	アナログ入力チャネル選択(下表参照)

注) AD 変換をスタートさせる場合は、必ず<VREFON>に"1"を書き込んだ後、内部基準電圧が安定するまでの 3μs 待ってから、ADMOD0<ADS>に"1"を書き込んでください。

アナログ入力チャネル選択

		<ADCH[3:0]>							
		0000	0001	0010	0011	0100	0101	0110	0111
ADMOD0 <SCAN>=0	チャネル固定	AIN0	AIN1	AIN2	AIN3	AIN4	AIN5	AIN6	AIN7
ADMOD0 <SCAN>=1	<ADSCN>=00 4 チャネルスキャン	AIN0	AIN0~ AIN1	AIN0~ AIN2	AIN0~ AIN3	AIN4	AIN4~ AIN5	AIN4~ AIN6	AIN4~ AIN7
	<ADSCN>=01 8 チャネルスキャン	AIN0	AIN0~ AIN1	AIN0~ AIN2	AIN0~ AIN3	AIN0~ AIN4	AIN0~ AIN5	AIN0~ AIN6	AIN0~ AIN7
	<ADSCN>=10 12 チャネルスキャン	AIN0	AIN0~ AIN1	AIN0~ AIN2	AIN0~ AIN3	AIN0~ AIN4	AIN0~ AIN5	AIN0~ AIN6	AIN0~ AIN7

		<ADCH[3:0]>							
		1000	1001	1010	1011	1100	1101	1110	1111
ADMOD0 <SCAN>=0	チャンネル固定	AIN8	AIN9	AIN10	AIN11	AIN12	AIN13	AIN14	AIN15
ADMOD0 <SCAN>=1	<ADSCN>=00 4 チャンネルスキャン	AIN0	AIN0~ AIN1	AIN0~ AIN2	AIN0~ AIN3	AIN4	AIN4~ AIN5	AIN4~ AIN6	AIN4~ AIN7
	<ADSCN>=01 8 チャンネルスキャン	AIN0	AIN0~ AIN1	AIN0~ AIN2	AIN0~ AIN3	AIN0~ AIN4	AIN0~ AIN5	AIN0~ AIN6	AIN0~ AIN7
	<ADSCN>=10 12 チャンネルスキャン	AIN0~ AIN8	AIN0~ AIN9	AIN0~ AIN10	AIN0~ AIN11	-	-	-	-

17.3.5 ADMOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	EOCFHP	ADBFHP	HPADCE	-	HPADCH			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	EOCFHP	R	最優先 AD 変換終了フラグ(注) 0: 変換前または変換中 1: 終了
6	ADBFHP	R	最優先 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中
5	HPADCE	W	最優先変換の起動 0: Don't care 1: 変換開始 読み出しは常に 0 が読めます。
4	-	R/W	0 をライトしてください。
3-0	HPADCH[3:0]	R/W	最優先変換起動時の変換チャンネル選択(下表参照)

注) ADMOD2 レジスタを読み出すと"0"にクリアされます。

最優先変換のチャネル選択

HPADCH[3:0]	0000	0001	0010	0011	0100	0101	0110	0111
変換チャネル	AIN0	AIN1	AIN2	AIN3	AIN4	AIN5	AIN6	AIN7

HPADCH[3:0]	1000	1001	1010	1011	1100	1101	1110	1111
変換チャネル	AIN8	AIN9	AIN10	AIN11	AIN12	AIN13	AIN14	AIN15

17.3.6 ADMOD3 (AD モードコントロールレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	ADOBIC0	ADREGS0				ADOBSV0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R/W	0 をライトしてください。
6	-	R	リードすると"0"が読めます。
5	ADOBIC0	R/W	AD 監視機能割り込み 0 の設定 0: 変換結果レジスタの値が、変換結果比較レジスタ 0 の値より小さい場合割り込み発生 1: 変換結果レジスタの値が、変換結果比較レジスタ 0 の値より大きい場合割り込み発生
4-1	ADREGS0[3:0]	R/W	AD 監視機能 0 使用時に、比較対象とする変換結果レジスタの選択(下表参照)
0	ADOBSV0	R/W	AD 監視機能 0 0: 無効 1: 有効

<ADREGS0[3:0]>	比較される AD 変換 結果レジスタ	<ADREGS0[3:0]>	比較される AD 変換 結果レジスタ
0000	ADREG0	0100	ADREG4
0001	ADREG1	0101	ADREG5
0010	ADREG2	0110	ADREG6
0011	ADREG3	0111	ADREG7
-	-	1xxx	ADREGSP

17.3.7 ADMOD4 (モードコントロールレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	HADHS	HADHTG	ADHS	ADHTG	-	-	ADRST	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	HADHS	R/W	最優先 AD 変換のハードウェア起動ソース選択 0: 外部トリガ 1: タイマー致割り込み(注 1)
6	HADHTG	R/W	最優先 AD 変換のハードウェア起動 0: 無効 1: 有効
5	ADHS	R/W	通常 AD 変換のハードウェア起動ソース(注 2) 0: 外部トリガ 1: タイマー致割り込み(注 1)
4	ADHTG	R/W	通常 AD 変換のハードウェア起動 0: 無効 1: 有効
3-2	–	R	リードすると"0"が読めます。
1-0	ADRST[1:0]	W	10 → 01 のライトで ADC をソフトウェアリセットします。(注 3)

注 1) 起動ソースの詳細は「製品情報」の章を参照してください。

注 2) 最優先 AD 変換のハードウェア起動ソースに外部トリガを使用しているときは、通常 AD 変換のハードウェア起動ソースとして外部トリガを設定できません。

注 3) ソフトウェアリセットをかけると、ADCLK<ADCLK>以外のレジスタの内容は全て初期化されます。

17.3.8 ADMOD5 (AD モードコントロールレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	ADOBIC1	ADREGS1				ADOBSV1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	-	R	リードすると"0"が読めます。
5	ADOBIC1	R/W	AD 監視機能割り込み 1 の設定 0: 変換結果レジスタの値が、変換結果 比較レジスタ 1 の値より小さい場合割り込み発生 1: 変換結果レジスタの値が、変換結果比較レジスタ 1 の値より大きい場合割り込み発生
4-1	ADREGS1[3:0]	R/W	AD 監視機能 1 使用時に、比較対象とする変換結果レジスタの選択(下表参照)
0	ADOBSV1	R/W	AD 監視機能 1 0: 無効 1: 有効

<ADREGS1[3:0]>	比較される AD 変換 結果レジスタ	<ADREGS1[3:0]>	比較される AD 変換 結果レジスタ
0000	ADREG0	0100	ADREG4
0001	ADREG1	0101	ADREG5
0010	ADREG2	0110	ADREG6
0011	ADREG3	0111	ADREG7
-	-	1xxx	ADREGSP

17.3.9 ADMOD6 (AD モードコントロールレジスタ 6)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	ADM1DMA	ADM0DMA	ADHPDMA	ADDMA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると"0"が読めます。
3	ADM1DMA	R/W	AD 変換監視 1 DMA 起動要因設定 AD 変換監視 1 割り込み(INTADM1) をトリガに DMAC を起動することが可能です。 0: 禁止 1: 許可
2	ADMDMA	R/W	AD 変換監視 0 DMA 起動要因設定 AD 変換監視 0 割り込み(INTADM0) をトリガに DMAC を起動することが可能です。 0: 禁止 1: 許可
1	ADHPDMA	R/W	最優先 AD 変換 DMA 起動要因設定 最優先 AD 変換終了割り込み(INTADHP) をトリガに DMAC を起動することが可能です 0: 禁止 1: 許可
0	ADDMA	R/W	通常 AD 変換 DMA 起動要因設定 通常 AD 変換終了割り込み(INTAD) をトリガに DMAC を起動することが可能です。 0: 禁止 1: 許可

17.3.10 ADREGn (変換結果レジスタ n: n = 0~11)

ADREG0 ~ ADREG11 まで変換結果レジスタは 12 あり、全て同様の構成です。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADRn							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRn		-	-	-	-	OVFn	ADFnRF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	—	R	リードすると"0"が読めます。
15-6	ADFn[9:0]	R	AD 変換結果 変換結果が格納されます。変換チャネルと結果レジスタの関係は 17.4.5.7 章の表 17-2、表 17-3 を参照してください。
5-2	—	R	リードすると"0"が読めます。
1	OVFn	R	オーバーランフラグ 0: 発生していない 1: 発生した <ADFn>を読み出す前に変換結果が上書きされると"1"がセットされます。 このビットは読み出すと"0"にクリアされます。
0	ADFnRF	R	AD 変換結果格納フラグ 0: 変換結果が格納されていない 1: 変換結果が格納された 変換結果が格納されると"1"がセットされます。 このビットは変換結果を読み出すと"0"にクリアされます

注) 本レジスタはハーフワードまたはワードアクセスしてください。

17.3.11 ADREGSP (変換結果レジスタ SP)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADRSP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRSP		-	-	-	-	OVRSP	ADRSRPF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	—	R	リードすると"0"が読めます。
15-6	ADRSP[9:0]	R	AD 変換結果 最優先 AD 変換の結果が格納されます。
5-2	—	R	リードすると"0"が読めます。
1	OVRSP	R	オーバーランフラグ 0: 発生していない 1: 発生した <ADRSP>を読み出す前に変換結果が上書きされると"1"がセットされます。 このビットは読み出すと"0"にクリアされます。
0	ADRSRPF	R	AD 変換結果格納フラグ 0: 変換結果が格納されていない 1: 変換結果が格納された 変換結果が格納されると"1"がセットされます。 このビットは変換結果を読み出すと"0"にクリアされます。

注) 本レジスタはハーフワードまたはワードアクセスしてください。

17.3.12 ADCMP0 (変換結果比較レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADCOM0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADCOM0		-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-6	ADCOM0[9:0]	R/W	AD 監視機能 0 が有効なとき、ADMOD3<ADREGS0>で指定された変換結果レジスタの値と比較する値を設定します。
5-0	-	R	リードすると"0"が読めます。

注) 本レジスタへの書き込みは、AD 監視機能 0 が無効な状態(ADMOD3<ADBSV0> = "0")で行ってください。

17.3.13 ADCMP1 (変換結果比較レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADCOM1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADCOM1		-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	R	リードすると"0"が読めます。
15-6	ADCOM1[9:0]	R/W	AD 監視機能 1 が有効なとき、ADMOD5<ADREGS1>で指定された変換結果レジスタの値と比較する値を設定します。
5-0	-	R	リードすると"0"が読めます。

注) 本レジスタへの書き込みは、AD 監視機能 1 が無効な状態(ADMOD5<ADBSV1>="0")で行ってください

17.4 動作説明

17.4.1 アナログ基準電圧

アナログ基準電圧の"High"レベル側を VREFH 端子に、"Low"レベル側を VREFL 端子に印加します。

AD 変換をスタートさせる場合は、必ず<VREFON>に"1"を書き込んだ後、内部基準電圧が安定するまでの 3 μ s 待ってから、ADMOD0<ADS>に"1"を書き込んで変換を開始してください。

ADC を使用しない場合、ADMOD1<VREFON>に"0"を書き込むことにより、VREFH – VREFL 間のスイッチを OFF し、アナログ回路の消費電流を抑えることができます。

注) TMPM066/067/068FW では VREFH を AVDD3 と VREFL を AVSS と共用しています。

17.4.2 AD 変換モード

AD 変換には、通常 AD 変換と最優先 AD 変換の 2 種類があります。

通常 AD 変換には 4 つの動作モードがあります。

17.4.2.1 通常 AD 変換

通常 AD 変換には、次の 4 つの動作モードが用意されており、ADMOD0<REPEAT> <SCAN>の設定により選択ができます。

- ・ チャンネル固定シングル変換モード
- ・ チャンネルスキップシングル変換モード
- ・ チャンネル固定リピート変換モード
- ・ チャンネルスキップリピート変換モード

チャンネルスキップモード(ADMOD0 <SCAN>="1")を選択した場合、ADMOD1<ADSCN>で以下のようにチャンネルスキップのモードを選択することができます。

- ・ 4 チャンネルスキップモード
- ・ 8 チャンネルスキップモード
- ・ 12 チャンネルスキップモード

4 つの変換モードについて以下に説明します。

(1) チャンネル固定シングル変換モード

ADMOD0<REPEAT, SCAN>に"00"を設定すると、チャンネル固定シングル変換モードになります。

このモードでは、選択した 1 チャンネルの変換を 1 回だけ行います。変換が終了した後、ADMOD0<EOCFN>が"1"、ADMOD0<ADBFN>が"0"となり、変換終了割り込み要求(INTAD)が発生します。<EOCFN>は読み出すことにより"0"にクリアされます。

(2) チャンネルスキップシングル変換モード

ADMOD0<REPET, SCAN>に"01"を設定すると、チャンネルスキップシングル変換モードになります。

このモードでは、選択したスキャンチャネルの変換をそれぞれ 1 回だけ行います。スキャン変換が終了した後、ADMOD0<EOCFN>が"1"にセット、ADMOD0<ADBFN>が"0"にされ、変換終了割り込み要求(INTAD)が発生します。<EOCFN>は読み出すことで 0 にクリアされます。

(3) チャネル固定リピート変換モード

ADMOD0<REPEAT, SCAN>に"10"を設定するとチャネル固定リピート変換モードになります。

このモードでは、選択した 1 チャネルの変換を繰り返し行います。変換が終了した後、ADMOD0<EOCFN>が"1"にセットされます。ADMOD0<ADBFN>は"0"にクリアされず"1"を保持します。変換終了割り込み要求(INTAD)発生タイミングは ADMOD0<ITM>の設定により選択できます。<EOCFN>がセットされるタイミングも割り込みのタイミングに連動します。

<EOCFN>は読み出すことにより 0 にクリアされます。

(4) チャネルスキャンリピート変換モード

ADMOD0<REPEAT, SCAN>に"11"を設定するとチャネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャネルの変換を繰り返し行います。1 回のスキャン変換が終了するごとに ADMOD0<EOCFN>が"1"にセットされ、変換終了割り込み要求(INTAD)が発生します。ADMOD0<ADBFN>は"0"にクリアされず"1"を保持します。<EOCFN>は読み出すことにより"0"にクリアされます。

17.4.2.2 最優先 AD 変換

最優先 AD 変換は、通常 AD 変換に割り込んで AD 変換を行うことができます。

動作モードはチャネル固定のシングル変換のみです。ADMOD0<REPEAT, SCAN>の設定は関係ありません。起動条件が成立すると、ADMOD2<HPADCH>で指定されるチャネルの変換を一度だけ行います。変換が終了すると、最優先変換終了割り込み要求(INTADHP)が発生して、ADMOD2<EOCFHP>は 1 にセットされ、<ADBFHP>は 0 に戻ります。EOCFHP フラグは読み出すとクリアされます。

また、最優先 AD 変換中の最優先 AD 変換の起動は無視されます。

17.4.3 AD 監視機能

AD 監視機能を 2 チャネル持っています。

ADMOD3<ADOBSV0>, ADMOD5<ADOBSV1>に"1"をセットすると AD 監視機能が有効になり、ADMOD3<ADREGS0>, ADMOD5<ADREGS1>で指定された変換結果レジスタの内容が比較レジスタの値より大または小(ADMOD3<ADOBIC0>, ADMOD5<ADBIC1>で大か小は指定)になると AD 監視機能割り込み要求(INTADM0, INTADM1)が発生します。この比較動作は該当変換結果レジスタへ結果が格納されるごとに行われます。

AD 監視機能に割り当てている変換結果レジスタの変換結果を読み出さないで連続的に使用した場合、変換結果が上書きされ変換結果格納フラグ<ADRxRF>およびオーバーランフラグ<OVRx>はセットされたままとなります。

17.4.4 入力チャネルの選択

変換するチャネルは、AD コンバータの動作モードにより以下のように選択されます。

1. 通常 AD 変換時

- ・ アナログ入力チャネルを固定で使用する場合 (ADM0D0<SCAN> = "0")
ADM0D1<ADCH>の設定により、アナログ入力端子の中から 1 チャネルを選択します。
- ・ アナログ入力チャネルをスキャンで使用する場合 (ADM0D0<SCAN> = "1")
ADM0D1 <ADCH><ADSCN>の設定により、スキャンモードを選択します。

2. 最優先 AD 変換時

ADM0D2<HPADCH>の設定により、アナログ入力端子の中から 1 チャネルを選択します。

17.4.5 AD 変換動作詳細

17.4.5.1 AD 変換の起動

通常 AD 変換は ADM0D0<ADS> に "1" をセットすることにより起動されます。また、最優先 AD 変換は ADM0D2<HPADCE> に "1" をセットすることにより起動されます。

通常 AD 変換は ADM0D0<REPEAT,SCAN> で指定される 4 種類の動作モードから 1 つの動作モードが選択されます。最優先 AD 変換の動作モードはチャネル固定のシングル変換のみです。

通常 AD 変換は ADM0D4<ADHS>、最優先 AD 変換は ADM0D4<HADHS> で選択されるハードウェア起動ソースにより起動することができます。<ADHS>、<HADHS> が "0" の場合は、 $\overline{\text{ADTRG}}$ 端子より立ち下がリエッジの入力により起動され、このビットが "1" の場合、タイマの一致で起動されます。

ハードウェア起動を許可するには、通常 AD 変換では ADM0D4<ADHTG>、最優先 AD 変換では ADM0D4<HADHTG> に "1" をセットします。

ハードウェア起動が許可された場合でもソフトウェア起動は有効です。

- 注 1) 製品により $\overline{\text{ADTRG}}$ 端子を持たないものがあります。
- 注 2) 最優先 AD 変換のハードウェア起動ソースに外部トリガを使用しているときは、通常 AD 変換ハードウェア起動としては外部トリガを設定できません。
- 注 3) トリガとなるタイマについては、「製品情報」の章を参照してください。

17.4.5.2 AD 変換動作

通常 AD 変換が開始されると、AD 変換中を示す AD 変換 BUSY フラグ (ADM0D0<ADBFN>) に "1" がセットされます。

また、最優先 AD 変換が開始されると、最優先 AD 変換中を示す最優先 AD 変換 BUSY フラグ (ADM0D2<ADBFHP>) に 1 がセットされます。このとき、通常 AD 変換用の BUSY フラグ ADM0D0<ADBFN> と通常 AD 変換用の変換終了フラグ ADM0D0<EOCFN> は最優先 AD 変換の開始前の値を保持します

注) 最優先 AD 変換中に通常 AD 変換を再起動させないでください

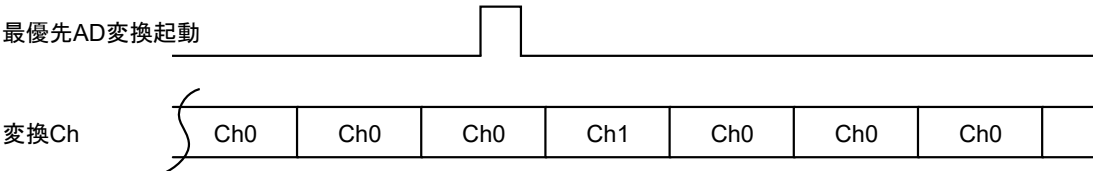
17.4.5.3 通常 AD 変換中の最優先変換要求

通常 AD 変換中に最優先 AD 変換が起動されると、通常 AD 変換を中断し、最優先 AD 変換の終了後に通常 AD 変換を再開します。

通常 AD 変換中に ADMOD2<HPADCE>に"1"をセットすると、現在変換中の AD 変換は中断されて最優先 AD 変換を起動し、ADMOD2<HPADCH>で指定されるチャンネルの AD 変換(チャンネル固定のシングル変換)が行われます。この結果を変換結果レジスタ ADREGSP へ格納すると、中断した通常 AD 変換を再開します。

通常 AD 変換中にハードウェアによる最優先 AD 変換の起動が許可されている場合は、ハードウェア起動ソースの起動条件が成立すると現在変換中の AD 変換は中断され、最優先 AD 変換が始まり ADMOD2<HPADCH>で指定されるチャンネルの AD 変換(チャンネル固定のシングル変換)が開始されます。この結果を変換結果レジスタ ADREGSP へ格納すると、中断したチャンネルから通常 AD 変換を再開します。

例えば チャンネル 0 のチャンネルリポート変換中に<HPADCE>に"1"がセットされた場合は、AIN0 の変換が中断され<HPADCH>で指定されたチャンネルの変換(下図の場合 AIN1)を行い、結果を ADREGSP へ格納後にチャンネルリポート変換を再開します。



17.4.5.4 リポート変換モードの停止

リポート変換モード(チャンネル固定リポートまたはチャンネルスキャンリポート変換モード)の動作を停止させたい場合は、ADMOD0<REPEAT> に"0"を書き込んでください。実行中の変換を終了した時点で、リポート変換モードは終了し、ADMOD0<ADBFN> は"0"にクリアされます。

17.4.5.5 通常 AD 変換の再起動

通常 AD 変換実行中に通常 AD 変換を再起動する場合はソフトウェアリセット (ADMOD3<ADRST>)を行ってから起動してください。ハードウェアによる通常 AD 変換の再起動は行わないでください。

17.4.5.6 変換終了

(1) 通常 AD 変換の終了

通常 AD 変換が終了すると、変換終了割り込み要求(INTAD)が発生します。また、AD 変換結果がレジスタに格納され、AD 変換終了を示す ADMOD0<EOCFN> と変換中を示す ADMOD0<ADBFN>が変化します。変換モードにより、割り込み要求発生タイミング、変換結果レジスタ、<EOCFN><ADBFN>の変化タイミングは異なります。

各モードでの変換結果格納レジスタは、表 17-2、表 17-3 を参照してください。

モードごとの割り込み要求発生、フラグ変化は以下のとおりです。

- ・ チャンネル固定シングル変換モード

変換が終了した後、ADMOD0<EOCFN>が"1"にセット、ADMOD0<ADBFN>が"0"にクリアされ、変換終了割り込み要求が発生します。

- ・ チャンネルスキャンシングル変換モード

スキャン変換が終了した後、ADMOD0<EOCFN>が"1"、ADMOD0<ADBFN>が"0"となり、変換終了割り込み要求が発生します。

- ・ チャンネル固定リピート変換モード

ADMOD0<ADBFN>は"0"とはならず"1"を保持します。割り込み要求発生タイミングはADMOD0<ITM>の設定により選択できます。割り込みが発生するタイミングでADMOD0<EOCFN>もセットされます。

- ・ チャンネルスキャンリピート変換モード

1 回のスキャン変換が終了するごとにADMOD0<EOCF>が"1"にセットされ、INTAD 割り込み要求が発生します。ADMOD0<ADBFN>は"0"にならず"1"を保持します。

(2) 最優先 AD 変換の終了

最優先 AD 変換が終了すると、最優先変換終了割り込み要求(INTADHP)が発生し、最優先 AD 変換終了を示すADMOD2<EOCFHP>が"1"にセットされます。

変換結果はADREGSPに格納されます。

(3) データポーリング

割り込みを使用しないで、ポーリングで変換終了を確認することもできます。変換が終了するとADMOD0<EOCFN>に"1"がセットされますのでこのビットをポーリングすることで変換終了を確認し変換結果を読み出してください。

変換結果レジスタは、ハーフワードまたはワードアクセスで読んでください。<OVRx>="0"、<ADRxRF>="1"であれば、正しい変換結果が得られたことになります。

17.4.5.7 割り込み発生タイミングと変換結果格納レジスタ

表 17-1 に、変換モードと割り込み発生タイミングとフラグの関係を、表 17-2 および表 17-3 に変換結果レジスタについてまとめます。

表 17-1 AD 変換モードと割り込み発生タイミング、フラグ動作の関係

変換モード		スキャン/リピートモード設定			割り込み発生 タイミング	ADMOD0<EOCFN>/ ADMOD2<EOCFHP> セットタイミング (注)	ADMOD0	ADMOD2
		ADMOD0 <REPEAT>	ADMOD0 <SCAN>	ADMOD0 <ITM>			<ADBFN> (割り込み 発生後)	<ADBFHP>
通常変換	チャンネル固定 シングル変換	0	0	–	変換終了後	変換終了後	0	–
	チャンネル固定 リピート変換	1	0	00	1 回変換ごと	変換 1 回終了後	1	–
				01	4 回変換ごと	変換 4 回終了後	1	–
				10	8 回変換ごと	変換 8 回終了後	1	–
	チャンネルスキャン シングル変換	0	1	–	スキャン変換 終了後	スキャン変換 終了後	0	–
	チャンネルスキャン リピート変換	1	1	–	1 回のスキャン 変換終了ごと	1 回のスキャン 変換終了後	1	–
最優先変換		–	–	–	変換終了後	変換終了	–	0

注) ADMOD0<EOCFN>,ADMOD2<EOCFHP>はリードするとクリアされます。

表 17-2 結果格納レジスタ(チャンネル固定リピート変換モード)

<ITM[1:0]>	格納レジスタ
00 1 回変換ごとに割り込み発生	ADREG0
01 4 回変換ごとに割り込み発生	ADREG0 ~ ADREG3
10 8 回変換ごとに割り込み発生	ADREG0 ~ ADREG7

表 17-3 結果格納レジスタ(チャンネル固定リピートモード以外)

ADMOD1 <ADCH[3:0]>	ADMOD0 <SCAN>=0		ADMOD0 <SCAN>=1					
	チャンネル固定		<ADSCN>=00 4 チャンネルスキャン		<ADSCN>=00 8 チャンネルスキャン		<ADSCN>=00 12 チャンネルスキャン	
	変換チャンネル	格納レジスタ	変換チャンネル	格納レジスタ	変換チャンネル	格納レジスタ	変換チャンネル	格納レジスタ
0000	AIN0	ADREG0	AIN0	ADREG0	AIN0	ADREG0	AIN0	ADREG0
0001	AIN1	ADREG1	AIN0~AIN1	ADREG0 ~ ADREG1	AIN0~AIN1	ADREG0 ~ ADREG1	AIN0~AIN1	ADREG0 ~ ADREG1
0010	AIN2	ADREG2	AIN0~AIN2	ADREG0 ~ ADREG2	AIN0~AIN2	ADREG0 ~ ADREG2	AIN0~AIN2	ADREG0 ~ ADREG2
0011	AIN3	ADREG3	AIN0~AIN3	ADREG0 ~ ADREG3	AIN0~AIN3	ADREG0 ~ ADREG3	AIN0~AIN3	ADREG0 ~ ADREG3
0100	AIN4	ADREG4	AIN4	ADREG4	AIN0~AIN4	ADREG0 ~ ADREG4	AIN0~AIN4	ADREG0 ~ ADREG4
0101	AIN5	ADREG5	AIN4~AIN5	ADREG4 ~ ADREG5	AIN0~AIN5	ADREG0 ~ ADREG5	AIN0~AIN5	ADREG0 ~ ADREG5
0110	AIN6	ADREG6	AIN4~AIN6	ADREG4 ~ ADREG6	AIN0~AIN6	ADREG0 ~ ADREG6	AIN0~AIN6	ADREG0 ~ ADREG6
0111	AIN7	ADREG7	AIN4~AIN7	ADREG4 ~ ADREG7	AIN0~AIN7	ADREG0 ~ ADREG7	AIN0~AIN7	ADREG0 ~ ADREG7
1000	AIN8	ADREG0	AIN8	ADREG0	AIN8	ADREG0	AIN0~AIN8	ADREG0 ~ ADREG8
1001	AIN9	ADREG1	AIN8~AIN9	ADREG0 ~ ADREG1	AIN8~AIN9	ADREG0 ~ ADREG1	AIN0~AIN9	ADREG0 ~ ADREG9
1010	AIN10	ADREG2	AIN8~AIN10	ADREG0 ~ ADREG2	AIN8~AIN10	ADREG0 ~ ADREG2	AIN0~AIN10	ADREG0 ~ ADREG10
1011	AIN11	ADREG3	AIN8~AIN11	ADREG0 ~ ADREG3	AIN8~AIN11	ADREG0 ~ ADREG3	AIN0~AIN11	ADREG0 ~ ADREG11
1100	AIN12	ADREG4	AIN12	ADREG4	AIN8~AIN12	ADREG0 ~ ADREG4	-	-
1101	AIN13	ADREG5	AIN12~AIN13	ADREG4 ~ ADREG5	AIN8~AIN13	ADREG0 ~ ADREG5	-	-
1110	AIN14	ADREG6	AIN12~AIN14	ADREG4 ~ ADREG6	AIN8~AIN14	ADREG0 ~ ADREG6	-	-
1111	AIN15	ADREG7	AIN12~AIN15	ADREG4 ~ ADREG7	AIN8~AIN15	ADREG0 ~ ADREG7	-	-

17.4.5.8 DMA 要求

AD 変換終了割り込みまたは AD 監視割り込みのタイミングで DMAC に対して DMA 要求を発行します。DMA 転送を行う場合は ADMOD6 レジスタの該当ビットで許可の設定を行ってください。

17.4.5.9 AD コンバータ使用時の注意

AD コンバータ使用時の注意

電源電圧の変動や周囲のノイズの影響によって AD 変換結果がばらつくことがあります。AD 変換中に AD 入力に兼用となっている端子への入力および端子出力を変化させる、または AD 変換中に出力ポートに設定している端子の出力電流が変動すると AD 変換精度が低下することがあります。プログラムで複数回の変換結果の平均値をとるなどして対策してください。

第 18 章 電圧検出回路(LVD)

電圧検出回路(LVD) は、電源電圧の低下を検出してリセットを発生します。

また、電源電圧の低下/上昇を検出して割り込み(INTLVD)を発生します。

注) INTLVD は、マスク不能割り込み(NMI)要因のひとつです。

18.1 構成

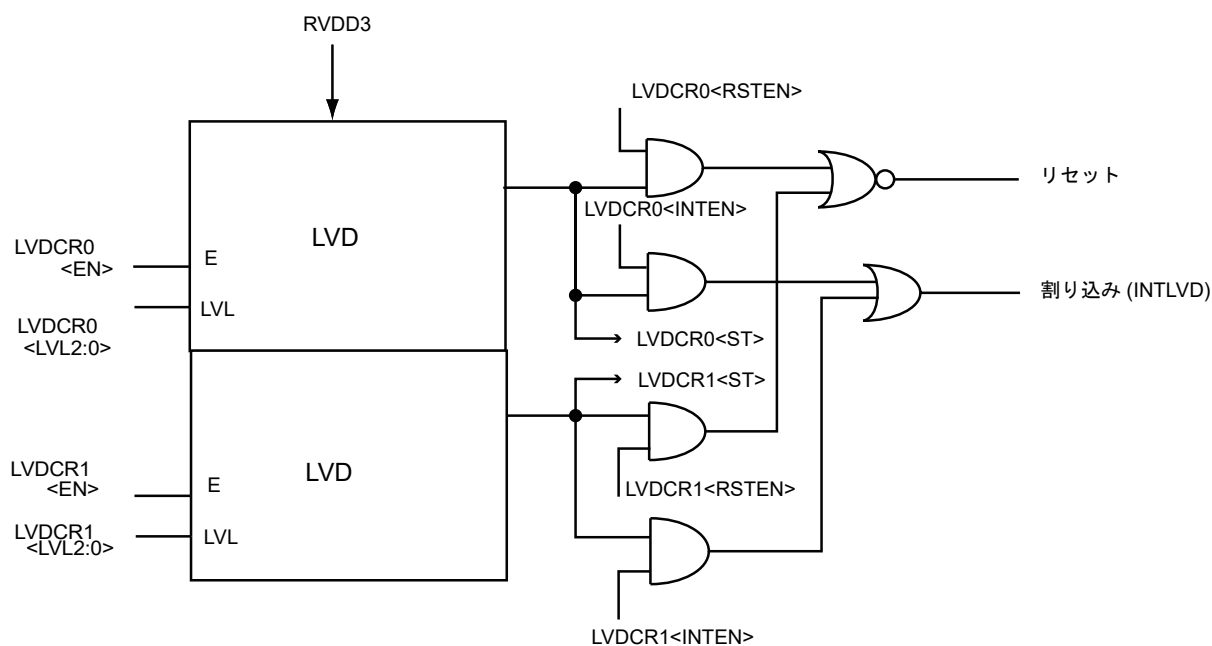


図 18-1 LVD ブロック図

18.2 レジスタ説明

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

18.2.1 レジスタ一覧

レジスタ名		Address (Base+)
検出制御レジスタ 0	LVDCR0	0x0000
検出制御レジスタ 1	LVDCR1	0x0004

18.2.2 LVDCR0 (検出制御レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ST	RSTEN	INTEN	INTSEL	LVL			EN
リセット後	0	1	0	0	1	0	0	1

Bit	Bit Symbol	Type	機能
31 - 8	–	R	リードすると"0"が読めます。
7	ST	R	電圧検出ステータス 0: 電源電圧は検出電圧以上 1: 電源電圧は検出電圧以下
6	RSTEN	R/W	リセット信号出力の禁止/許可(注 1) 0: 禁止 1: 許可
5	INTEN	R/W	割り込み発生禁止/許可(注 1) 0: 禁止 1: 許可
4	INTSEL	R/W	割り込み発生条件選択 0: 電源電圧が電源検出電圧を下回った場合に割り込み発生 1: 電源電圧が電源検出電圧を下回った場合または上回った場合に割り込み発生 このビットは、<RSTEN>="0"、<INTEN>="1"のときに有効になります。
3 - 1	LVL[2:0]	R/W	検出電圧 000: Reserved 001: Reserved 010: Reserved 011: Reserved 100: 2.0 ± 0.2V 101: 2.1 ± 0.2V 110: Reserved 111: Reserved
0	EN	R/W	電圧検出動作 0: 禁止 1: 許可

注 1) <RSTEN>、<INTEN>は同時に許可設定を行わないでください。

注 2) LVDCRn は、パワーオンリセットまたは $\overline{\text{RESET}}$ 端子によるリセットで初期化されます。

注 3) 電源電圧の検出電圧と解除電圧の間には、ヒステリシスを設けていません。電源電圧変化の傾きによっては検知結果が安定せず、検出と解除を繰り返すことがあります。

18.2.3 LVDCR1 (検出制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ST	RSTEN	INTEN	INTSEL	LVL			EN
リセット後	0	0	0	0	0	1	1	0

Bit	Bit Symbol	Type	機能
31 - 8	–	R	リードすると"0"が読めます。
7	ST	R	電圧検出ステータス 0: 電源電圧は検出電圧以上 1: 電源電圧は検出電圧以下
6	RSTEN	R/W	リセット信号出力の禁止/許可(注 1) 0: 禁止 1: 許可
5	INTEN	R/W	割り込み発生の禁止/許可(注 1) 0: 禁止 1: 許可
4	INTSEL	R/W	割り込み発生条件選択 0: 電源電圧が電源検出電圧を下回った場合に割り込み発生 1: 電源電圧が電源検出電圧を下回った場合または上回った場合に割り込み発生 このビットは、<RSTEN>="0"、<INTEN>="1"のときに有効になります。
3 - 1	LVL[2:0]	R/W	検出電圧 000: 2.2 ± 0.2V 001: 2.3 ± 0.2V 010: 2.4 ± 0.2V 011: 2.5 ± 0.2V 100: 2.6 ± 0.2V 101: 2.7 ± 0.2V 110: 2.8 ± 0.2V 111: 2.9 ± 0.2V
0	EN	R/W	電圧検出動作 0: 禁止 1: 許可

注 1) <RSTEN>、<INTEN>は同時に許可設定を行わないでください。
注 2) LVDCRn は、パワーオンリセットまたは RESET 端子によるリセットで初期化されます。
注 3) 電源電圧の検出電圧と解除電圧の間には、ヒステリシスを設けていません。電源電圧変化の傾きによっては検知結果が安定せず、検出と解除を繰り返すことがあります。

18.3 動作説明

18.3.1 検出電圧の選択と電圧検出動作の許可

LVDCRn<LVL[2:0]>で検出電圧を選択し、LVDCRn<EN>を"1"にセットすると電圧検出動作が許可されます。

18.3.2 電源電圧の検出によるリセット

LVDCRn<RSTEN>を"1"にセットした状態で、電源電圧が設定された検出電圧レベルを下回ると、リセットが発生します。

電源電圧低下が検出されリセットが発生するためには 100 μ s 程度の時間が必要です。電源電圧が検出電圧を下回る期間が短いとリセットが発生できない場合があります。

18.3.3 電源電圧の検出による割り込み

LVDCRn<RSTEN>を"0"、LVDCRn<INTEN>を"1"にセットした状態で、電源電圧が設定された検出電圧レベルを下回るあるいは上回ると割り込み(INTLVDD)が発生します。

割り込みの発生条件は LVDCRn<INTSEL>で指定できます。

LVDCRn<INTSEL>が"0"の時、電源電圧が設定された検出電圧を下回った場合に割り込みが発生します。

LVDCRn<INTSEL>が"1"の時、電源電圧が設定された検出電圧を下回った場合または上回った場合に割り込みが発生します。

電圧低下が検出され割り込みが発生されるためには 100 μ s 程度の時間が必要です。電源電圧が検出電圧を下回る期間が短いと割り込みが発生しない場合があります。

18.3.4 電源電圧の検出ステータス

LVDCRn<ST>を読み出すことで電源電圧検出の状態を確認することができます。

LVDCRn<ST>が"0"の時、電源電圧は検出電圧以上です。

LVDCRn<ST>が"1"の時、電源電圧は検出電圧以下です。

電源電圧検出で発生した割り込みサービスルーチンの中で、一定時間後に LVDCRn<ST>を読み出し想定した状態になっていることを確認することで、電源電圧の変化を安定して検出することができます。

第 19 章 ウォッチドッグタイマ(WDT)

ウォッチドッグタイマは、ノイズなどの原因により CPU が誤動作(暴走)を始めた場合、これを検出し正常な状態に戻すことを目的としています。

暴走を検出した場合、INTWDT 割り込みを発生またはマイコンをリセットします。

注) INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

また、外部周辺装置に対しては、ウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)より"Low"を出力して暴走の検出を知らせます。

注) TMPM066/067/068FW にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

19.1 構成

図 19-1 にウォッチドッグタイマのブロック図を示します。

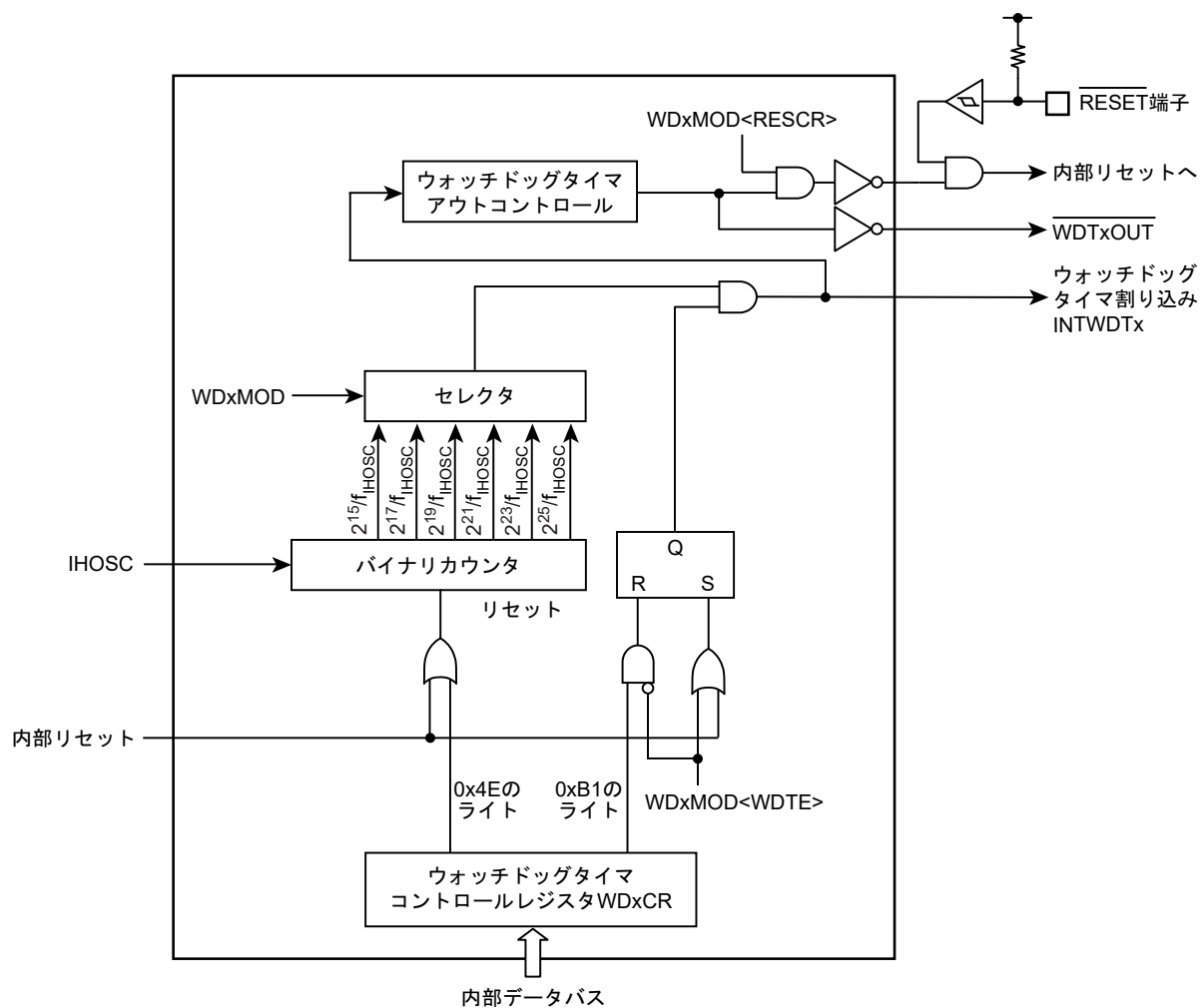


図 19-1 ウォッチドッグタイマのブロック図

19.2 レジスタ

19.2.1 レジスタ一覧

各レジスタのベースアドレスに対するオフセットアドレスを示します。

レジスタ名		Address(Base+)
ウォッチドッグタイマモードレジスタ	WDMOD	0x0000
ウォッチドッグタイマコントロールレジスタ	WDCR	0x0004
ウォッチドッグアクセスステータスレジスタ	WDFLG	0x0008

19.2.1.1 WDMOD(ウォッチドッグタイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDTE	WDTP			-	-	RESCR	-
リセット後	1	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31-8	—	R	リードすると"0"が読めます。
7	WDTE	R/W	許可/禁止制御 0: 禁止 1: 許可 暴走による誤書き込みを防止するため、ディセーブルにするには、このビットを"0"にした後で、WDCR にディセーブルコード(0xB1)を書き込む必要があります。 ディセーブル状態からイネーブル状態に戻す場合は、WDMOD<WDTE>を"1"に設定します。
6-4	WDTP[2:0]	R/W	検出時間の選択 000: 2 ¹⁵ /f _{SYS} 001: 2 ¹⁷ /f _{SYS} 010: 2 ¹⁹ /f _{SYS} 011: 2 ²¹ /f _{SYS} 100: 2 ²³ /f _{SYS} 101: 2 ²⁵ /f _{SYS} 110: 設定禁止 111: 設定禁止
3	—	R	リードすると"0"が読めます。
2	—	R/W	Reserved.
1	RESCR	R/W	暴走検出後の動作 0: INTWDT 割り込み要求を発生します。(注) 1: マイコンをリセットします。
0	—	R/W	"0"をライトしてください。

注) INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

19.2.1.2 WDCR(ウォッチドッグタイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDCR							
リセット後	-	-	-	-	-	-	-	-

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	WDCR	W	ディセーブル/クリアコード 0xB1: ディセーブルコード 0x4E: クリアコード 上記以外:Reserved

19.2.1.3 WDFLG(ウォッチドッグアクセスステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	FLG
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	FLG	W	レジスタ書き込みステータス 0: レジスタ書き込み可能 1: レジスタ書き込み禁止 WDMOD および WDCR に書き込む際はこのビットが"0"であることを確認してください。

19.3 動作説明

19.3.1 基本動作

ウォッチドッグタイマは、システムクロック f_{sys} を入力クロックとするバイナリカウンタで構成されています。検出時間は $WDMOD<WDTP[2:0]>$ によって 2^{15} , 2^{17} , 2^{19} , 2^{21} , 2^{23} および 2^{25} から選択します。検出時間経過後にウォッチドッグタイマ割り込み(INTWDT)が発生し、ウォッチドッグタイマアウト端子(WDTOUT)より"Low"が出力されます。

ノイズなどの原因による CPU の暴走を検出するために、ソフトウェア(命令)でウォッチドッグタイマ用のバイナリカウンタを INTWDT 割り込みが発生する前にクリアするように設定しておきます。クリアが行われなかった場合、INTWDT によってマスク不能割り込みが発生しますので、CPU は暴走を検知し、暴走対策プログラムにより正常な状態に戻すことができます。

また、ウォッチドッグタイマアウト端子を外部周辺装置のリセットなどへ接続することにより、CPU の誤動作(暴走)に対処することができます。

注) TMPM066/067/068FW にはウォッチドッグタイマアウト端子(WDTOUT)はありません。

19.3.2 動作モードと動作状態

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。使用しない場合はディセーブルの処理を行ってください。

ウォッチドッグタイマは高速クロックが停止するモードでは使用できません。以下に示すモードに遷移する前にディセーブルしてください。

- STOP1 mode

また、デバッグモード中は自動的にバイナリカウンタが停止します。

19.3.3 暴走検出時の動作

19.3.3.1 INTWDT 割り込み発生の場合

図 19-2 に INTWDT 割り込み発生($WDMOD<RESCR>="0"$)の場合の動作を示します。

バイナリカウンタのオーバフローにより INTWDT 割り込みが発生します。INTWDT 割り込みはマスク不能割り込み(NMI)の要因であるため、CPU はマスク不能割り込みを検出し処理を行います。

INTWDT 割り込み発生と同時にウォッチドッグタイマアウト(WDTOUT)より"Low"を出力します。WDTOUT は、ウォッチドッグタイマのクリア(WDCR レジスタにクリアコード 0x4E をライト)により"High"に戻ります。

なお割り込み処理等で IDLE_{xxx}INT レジスタへの割り込み要求のクリアを実施してください。

詳細は割り込み処理を参照してください。

注) TMPM066/067/068FW にはウォッチドッグタイマアウト端子(WDTOUT)はありません。

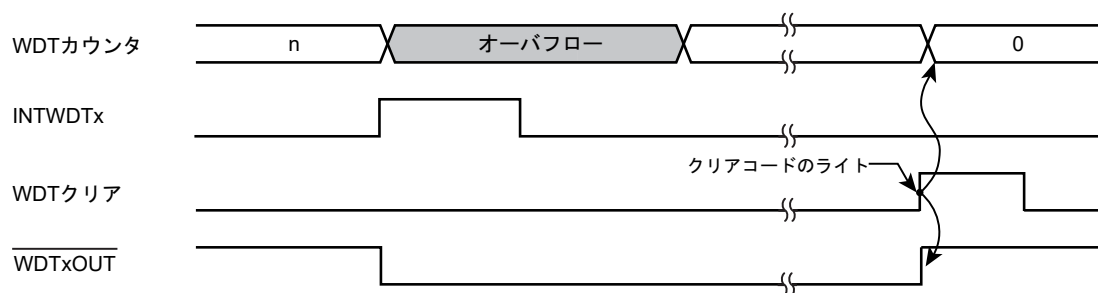


図 19-2 INTWDT 割り込み発生

19.3.3.2 内部リセット発生の場合

図 19-3 に内部リセット発生(WDMOD<RESCR>="1")の場合の動作を示します。

バイナリカウンタのオーバーフローによりマイコンをリセットします。この場合、32 ステートの期間リセットを行います。

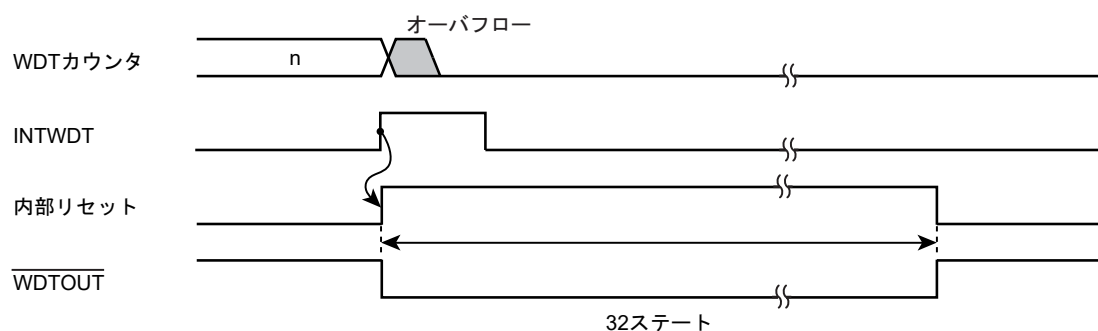


図 19-3 内部リセット発生

19.4 ウォッチドックタイマの制御

19.4.1 レジスタアクセス

WDMOD、WDCR レジスタへ書き込みを行う場合は、WDFLG<FLG>が"0"であることを確認してください。

なおディセーブル制御の場合は、WDMOD と WDCR レジスタへの連続書き込みが可能です。WDFLG<FLG>の確認は、WDMOD の書き込み前に行ってください。

19.4.2 ディセーブル制御

WDMOD<WDTE>に"0"を設定したあと、WDCR レジスタにディセーブルコード(0xB1)を書き込むとウォッチドッグタイマはディセーブルになり、バイナリカウンタはクリアされます。

19.4.3 イネーブル制御

WDMOD<WDTE>に"1"を設定します。

19.4.4 ウォッチドッグタイマのクリア制御

WDCR レジスタにクリア コード (0x4E) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

19.4.5 ウォッチドッグタイマ検出時間の設定

検出時間を WDMOD<WDTP[2:0]>に設定します。

例えば、検出時間を $2^{21}/f_{SYS}$ に設定する場合、WDMOD<WDTP[2:0]>に"011"を設定します。

第 20 章 フラッシュメモリ動作説明

フラッシュメモリについて、構成およびその動作を説明します。本文中の「1 ワード」は、32 ビットをあらわします。

20.1 フラッシュメモリの特長

20.1.1 メモリ容量と構成

TMPM066/067/068FW の内蔵するフラッシュメモリの容量と構成は、表 20-1 および図 20-1 のとおりです。

表 20-1 メモリ容量と構成

メモリ容量	ブロック構成				1 ページのワード数	ページ数	書き込み時間		消去時間	
	128 KB	64 KB	32 KB	16 KB			1 ページ	全エリア	ブロック消去	チップ消去
128 KB	–	–	4	–	32	1024	1.25ms	1.28 sec	0.1 sec	0.2 sec

注) 上記の値は理論時間を表しており、データ転送時間などは含まれていません。チップ当たりの時間はユーザの書き替え方法により異なります。

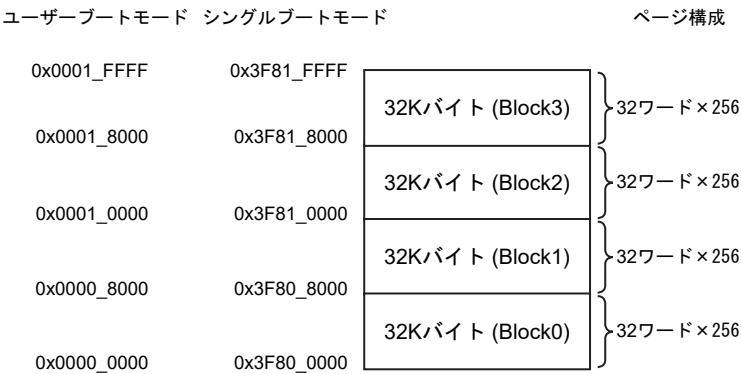


図 20-1 ブロック構成

フラッシュメモリ構成の単位として、「ブロック」と「ページ」があります。

- ・ ページ
1 ページは 32 ワードで、アドレス[31:7]が同じで、先頭アドレス[6:0] = 0、最後のアドレス[6:0] = 0x7F のグループです。
- ・ ブロック
1 ブロックは 32KB で、4 ブロックで構成されます。

書き込みはページ単位で行います。1 ページあたりの書き込み時間は 1.25ms (Typ.)です。

消去はブロック単位(自動ブロック消去コマンド使用)またはフラッシュメモリ全体(自動チップ消去コマンド使用)で行います。消去時間は使用するコマンドによって異なり、自動ブロック消去コマンドを使用した場合は1ブロックあたり 0.1 s (Typ.)、自動チップ消去コマンドを使用して全領域を消去した場合は 0.2s(Typ.)です。

また、ブロック単位でプロテクト機能を使用することができます。プロテクト機能については「20.1.5 プロテクト/セキュリティ機能」を参照してください

20.1.2 機能

本製品内蔵のフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本製品への移行が容易です。また、フラッシュメモリ内に書き込み、チップ消去など自動で行う回路を内蔵していますので、書き込み、消去動作を容易に実現できます。

JEDEC 準拠の機能	変更, 追加, 削除した機能
・ 自動プログラム ・ 自動チップ消去 ・ 自動ブロック消去 ・ データポーリング/トグルビット	<変更>ブロック単位でのライト/消去プロテクト(ソフトウェアプロテクトのみサポート) <削除>消去レジューム/サスペンド機能

20.1.3 動作モード

20.1.3.1 モードの説明

本製品には、シングルチップモードとシングルブートモードがあり、シングルチップモードにはノーマルモードとユーザブートモードがあります。モード遷移図を図 20-2 に示します。

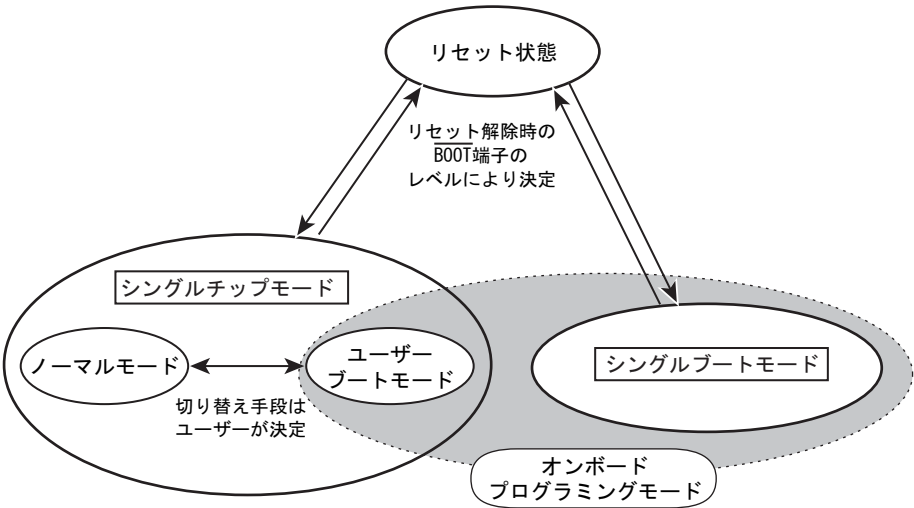


図 20-2 モード遷移図

(1) シングルチップモード

リセット解除後、フラッシュメモリから起動するモードで、以下の2つのモードがあります。

- ・ ノーマルモード
ユーザのアプリケーションプログラムを実行するモードです。
- ・ ユーザブートモード
ユーザのセット上でフラッシュメモリの書き替えを実行するモードです。

ノーマルモードとユーザブートモードの切り替えはユーザが独自に設定できます。例えばポート A の PA0 が"1" のときノーマルモード、"0" のときにユーザブートモードなど、自由に設計することが可能です。ユーザはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。

(2) シングルブートモード

リセット解除後、内蔵する BOOT ROM (Mask ROM) から起動するモードです。

BOOT ROM には、本デバイスのシリアルポートを経由してユーザのセット上で書き替えを行うことができるアルゴリズムがプログラムされています。シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことでフラッシュメモリの書き替えが実行できます。

(3) オンボードプログラミングモード

ユーザのセット上でフラッシュメモリの書き替えが可能なモードは、ユーザブートモードとシングルブートモードです。この2つをオンボードプログラミングモードと定義します。

20.1.3.2 モードの決定

シングルチップ、シングルブートの各動作モードは、リセットを解除するときの $\overline{\text{BOOT}}$ 端子の状態により決定されます。

表 20-2 動作モード設定表

動作モード	端子	
	RESET	BOOT
シングルチップモード	0 → 1	1
シングルブートモード	0 → 1	0

20.1.4 メモリマップ

図 20-3 にシングルチップモードとシングルブートモードのメモリマップの比較を示します。図のように、シングルブートモードでは、フラッシュメモリは 0x3F80_0000 番地からマッピングされます。また、0x0000_0000 番地から 0x0000_0FFF 番地には BOOT ROM がマッピングされます。

フラッシュメモリと RAM のマッピングは以下のとおりです。

FLASH サイズ	RAM サイズ	FLASH アドレス	RAM アドレス
128 KB	16 KB	0x0000_0000 ~ 0x0001_FFFF(シングルチップモード) 0x3F80_0000 ~ 0x3F81_FFFF(シングルブートモード)	0x2000_0000 ~ 0x2000_3FFF

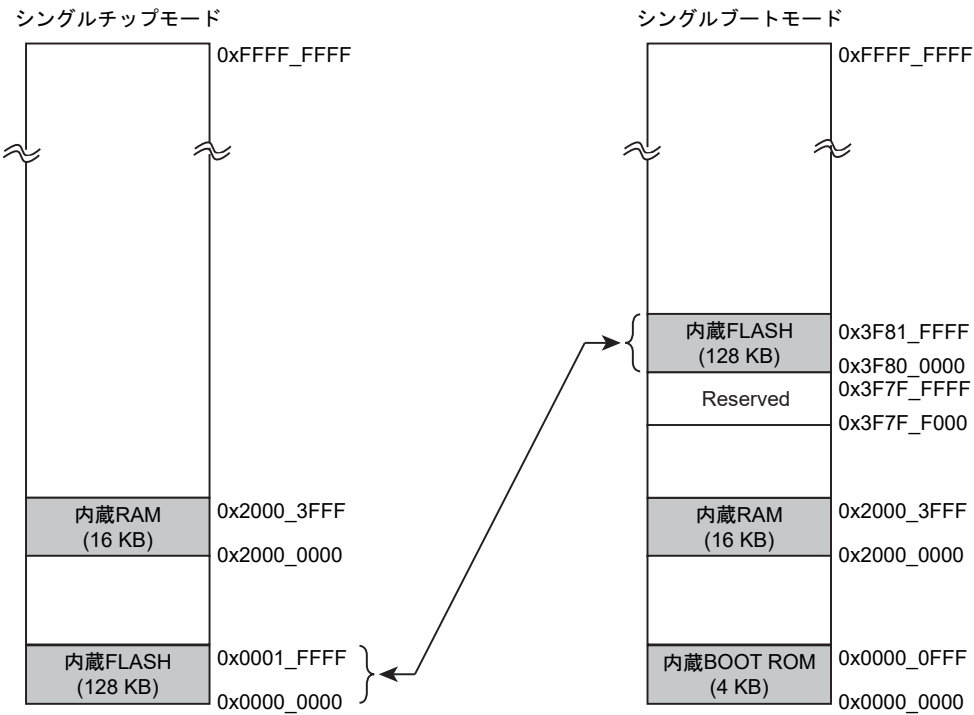


図 20-3 メモリマップの比較

20.1.5 プロテクト/セキュリティ機能

本製品は、フラッシュメモリに対して、プロテクトとセキュリティの2つの機能を持っています。

1. プロテクト機能

フラッシュメモリへの書き込み、消去をブロック単位で禁止

2. プロテクトビットマスク機能

プロテクト機能を一時的に解除

3. セキュリティ機能

フラッシュライタによるフラッシュメモリの読み出しの禁止

デバッグ機能の使用制限

20.1.5.1 プロテクト機能

ブロック単位で書き込みと消去の動作を禁止することができます。

プロテクト機能を有効にするためには、プロテクトビットプログラムコマンドを用いて対応するプロテクトビットを"1"にします。プロテクトビット消去コマンドによりプロテクトビットを"0"にすることでブロックプロテクトは解除されます。プロテクトビットは、FCPSRA <BLK[3:0]>でモニタすることができます。

プロテクトビットのプログラムは1ビット単位、消去は4ビット単位で行います。プロテクトビットのプログラムと消去の方法については、「20.2.5 コマンド説明」の章を参照してください。

20.1.5.2 プロテクトビットマスク機能

TMPM066/067/068FW は、プロテクトビットをマスクすることにより、プロテクト機能を一時的に解除することができます。

マスク機能を有効にするには、FCPMRA<BLKM[3:0]>の該当ビットを"0"にします。

なおFCPMRA<BLKM[3:0]>はシステムリセットで"1"にセットされ、プロテクトビットの情報が非マスク状態となって保持されます。

FCPMRA<BLKM[3:0]>の書き替えは以下の手順で行います。

注) 以下の1., 2.の書き込みは32bit 転送命令で行ってください。

1. FCPMRA に対して特定のコード(0xa74a9d23)を書き込む。
2. 1.の書き込みから16クロック以内にデータ(FCPMRA<BLKM[3:0]>の該当ビットへ)を書き込む。

注1) プロテクトビットをマスクしても、自動チップ消去は使用できません。

20.1.5.3 セキュリティ機能

セキュリティ機能が有効な場合の動作を、表 20-3 に示します。

表 20-3 セキュリティ機能が有効な場合の動作

項目	内容
フラッシュメモリの読み出し	CPU からの読み出しは可能です。
デバッグポート	JTAG、シリアルワイヤ、トレースの通信ができなくなります。
フラッシュメモリに対するコマンドの実行	フラッシュに対してのコマンドライトが受け付けられません。またプロテクトビットを消去しようすると、チップ消去が行われ、全てのプロテクトビットも消去されます。 (注)プロテクトビットマスク機能を設定すると、ブロック消去、ページ書き込みのみが使用可能です。

セキュリティ機能が有効になる条件は以下のとおりです。

1. FCSECBIT<SECBIT>が"1"にセットされている。
2. 全てのプロテクトビット(FCPSRA<BLK[3:0]>)が"1"にセットされている。

FCSECBIT<SECBIT>は PowerOnReset で"1"にセットされます。

FCSECBIT<SECBIT>の書き替えは以下の手順で行います。

注) 以下の 1., 2.の書き込みは 32bit 転送命令で行ってください。

1. FCSECBIT に対して特定のコード(0xa74a9d23)を書き込む。
2. 1.の書き込みから 16 クロック以内にデータを書き込む。

20.1.6 レジスタ

20.1.6.1 レジスタ一覧

ベースアドレスは、”メモリマップ”章の”周辺機能ベースアドレス一覧”を参照してください。

レジスタ名		Address(Base+)
セキュリティビットレジスタ	FCSECBIT	0x0010
フラッシュステータスレジスタ	FCSR	0x0020
フラッシュプロテクトステータスレジスタ	FCPSRA	0x0030
フラッシュプロテクトマスクレジスタ	FCPMRA	0x0038

20.1.6.2 FCSECBIT(セキュリティビットレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SECBIT
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	SECBIT	R/W	セキュリティビット 0:セキュリティ機能設定不可 1:セキュリティ機能設定可能

注) 本レジスタは、PowerOnReset で初期化されます。

20.1.6.3 FCSR(フラッシュステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RDY_BSY
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	—	R	リードすると"0"が読めます。
0	RDY_BSY	R	Ready/Busy (注 1) 0: Busy(自動動作中) 1: Ready(自動動作終了) 本ビットはフラッシュメモリの状態を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は "0" を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり "1" を出力し、次のコマンドを受け付けます。 自動動作の結果が不良であった場合、本ビットは "0" 出力を継続します。ハードウェアリセットにより "1" に復帰します。

注 1) コマンド発行は、必ずレディ状態であることを確認してから発行してください。ビジー中にコマンド発行を行った場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力できなくなる可能性があります。その際は、ハードウェアリセットで復帰してください。ハードウェアリセットを行う場合は、システムクロックによらず 0.5 μs 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2 ms 程度の時間がかかります。

20.1.6.4 FCPSRA(フラッシュプロテクトステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BLK3	BLK2	BLK1	BLK0
リセット後	0	0	0	0	(注 1)	(注 1)	(注 1)	(注 1)

Bit	Bit Symbol	Type	機能
31-4	—	R	リードすると"0"が読めます。
3-0	BLK3- BLK0	R	Block3 ~ 0 のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブ ロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。

注 1) プロテクト状態に応じた値になります。

20.1.6.5 FCPMRA(フラッシュプロテクトマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BLKM3	BLKM2	BLKM1	BLKM0
リセット後	0	0	0	0	1	1	1	1

Bit	Bit Symbol	Type	機能
31-4	-	R	リードすると"0"が読めます。
3-0	BLKM3 ~ BLKM0	R/W	Block3 ~ 0 のプロテクト Bit をマスクします 0: プロテクト解除(プロテクト Bit マスク) 1: -(プロテクト Bit 非マスク) 該当ビットが"0"の時は対応するブロックのプロテクトが解除されます。"1"の時は、対応する Flash 内のプロテクト Bit(FCPSRA の各 Bit)のプロテクト状態となります。

- 注 1) 本レジスタは、システムリセットにより初期化されます。
- 注 2) Flash 書き換え中、消去中に FCPMRA<BLKM[3:0]>は変更できません。
- 注 3) FCPMRA<BLKM[3:0]>を書き換えた場合は、レジスタを再読み出しし、書き換えを確認後に Flash アクセスをしてください。

20.2 フラッシュメモリ詳細

オンボードプログラミングモードでは、制御プログラム中でコマンドを実行することで、フラッシュメモリの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザがあらかじめ用意しておきます。フラッシュメモリの書き込み/消去を行っている間、フラッシュメモリ上のプログラムは実行できませんので、書き込み/消去制御プログラムは RAM 上で実行してください。また、リセットを除く割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

20.2.1 機能

一部の機能を除き、フラッシュメモリの書き込みおよび消去などは JEDEC 標準コマンドに準拠していますが、動作コマンドのアドレス指定が標準コマンドとは異なります。

書き込み、消去を行う場合、32 ビット(1 ワード)のストア命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的行われます。

表 20-4 フラッシュメモリの機能

主な機能	説明
自動ページプログラム	データ書き込みを自動で行います。
自動チップ消去	フラッシュメモリの全エリアの一括消去を自動で行います。
自動ブロック消去	ブロック単位での消去を自動で行います。
ライト/消去プロテクト	ブロック単位ごとに書き込みおよび消去を禁止することができます。

注) フラッシュメモリへの書き込み、消去、プロテクトビットプログラム、プロテクトビット消去の各コマンドシーケンスの処理終了を FCSR<RDY_BSY> で確認した後、フラッシュメモリからのデータ読み出し、または命令フェッチを開始するまで 200μs 以上のウェイト時間を確保してください。

20.2.2 フラッシュメモリの動作モード

フラッシュメモリには、大きく分けて以下の 2 種類の動作モードがあります。

- ・ メモリデータを読み出すモード(リードモード)
- ・ メモリデータを自動的に消去/書き替えるモード(自動動作)

電源投入後、リセット解除後、および自動動作の正常終了時にフラッシュメモリはリードモードになります。フラッシュメモリに書かれた命令の実行、およびデータの読み出しはリードモードで行います。

リードモード中にコマンドを入力すると自動動作へ移り、コマンドの処理が正常に終了するとリードモードに戻ります(ID-Read コマンドを除く)。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。

コマンドが正常に終了しないなど、強制的にリードモードに復帰させる場合には、後述する Read コマンド、Read/リセットコマンドまたはハードウェアリセットを用います。

20.2.3 ハードウェアリセット

ハードウェアリセットとは **PowerOnReset** およびウォームリセットを指しており、自動プログラム/消去動作の強制的な実行中止や、自動動作が異常終了した場合のリードモードへの復帰のために使用します。

自動動作中にハードウェアリセットが発生すると、フラッシュメモリは自動動作を中止しリードモードに戻ります。フラッシュメモリの自動プログラム/消去動作中にハードウェアリセットを行う場合は、システムクロックによらず **0.5 μ s** 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで **2 ms** 程度の時間がかかります。なお、自動動作の実行中にハードウェアリセットが入った場合は、データの書き替えが正常に行えませんので注意が必要です。再度、書き替えを行う処置をしてください。

本製品のリセット動作については、「リセット動作」の章を参照してください。所定のリセット入力後、CPU はフラッシュメモリよりリセットベクタデータをリードし、リセット解除後の動作を開始します。

20.2.4 コマンド実行方法

コマンド実行は、ストア命令を用いてフラッシュメモリに対してコマンドシーケンスを書き込むことで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します。コマンド実行の詳細は、「20.2.5 コマンド説明」を参照してください。

フラッシュメモリに対するストア命令の実行を"バスライトサイクル"と呼びます。各コマンドは幾つかのバスライトサイクルで構成されています。フラッシュメモリは、バスライトサイクルのアドレスとデータが規定の順番で実行されたときはコマンドの自動動作を実施します。規定の順番で実行されなかった場合、フラッシュメモリはコマンドの実行を中止してリードモードになります。

コマンドシーケンスの途中でキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、**Read** コマンドまたは **Read/リセット** コマンドを実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。**Read** コマンドおよび **Read/リセット** コマンドをソフトウェアリセットと呼びます。

コマンドシーケンスの書き込みが終了すると自動動作を開始し、**FCSR<RDY_BSY>**が"**0**"になります。自動動作が正常終了したときに **FCSR<RDY_BSY>="1"** となり、リードモードに復帰します。

自動動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合はハードウェアリセットを用います。また、自動動作が正常終了しない場合(**FCSR<RDY_BSY>**が"**0**"のままの場合)、フラッシュメモリはこのモードのままロックされリードモードには復帰しません。リードモードに復帰させるにはハードウェアリセットを行う必要があります。ハードウェアリセットで動作を中止させた場合は、コマンドは正常に実行されません。

コマンドを実行するには以下の事項に留意してください。

1. コマンドシーケンスがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第 1 バスライトサイクル前に **FCSR<RDY_BSY>=1** であることを確認してください。続いて **Read** コマンドを実行することを推奨します。
2. 各コマンドシーケンスは、フラッシュメモリ外のエリアから実行します。
3. 各バスライトサイクルは連続して、1 ワード(32 ビット)のデータ転送命令で行ってください。
4. 各コマンドシーケンスの実行中に、フラッシュメモリへのアクセスはしないでください。また、リセットを除く割り込み/フォールトは発生させないようにしてください。

5. コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずソフトウェアリセットを発行して、リードモードに戻してください。

20.2.5 コマンド説明

各コマンドの内容について説明します。具体的なコマンドシーケンスは「20.2.6 コマンドシーケンス」を参照してください。

20.2.5.1 自動ページプログラム

(1) 動作内容

自動ページプログラムは、ページごとにデータを書き込みます。複数のページに対してデータの書き込みを行うときは、ページごとにページプログラムコマンドを実行する必要があります。ページを跨ってデータを書き込むことはできません。

フラッシュメモリへの書き込みは、「1」データセルを「0」データにすることです。「0」データセルを「1」データにすることはできません。「0」データセルを「1」データにするには消去動作を行う必要があります。

自動ページプログラムは消去後のページに対して1回のみ可能で、「1」データセルであっても「0」データセルであっても2回以上の実行はできません。一度書き込み動作を行ったページに対して再度書き込みを行う場合は、自動ブロック消去または自動チップ消去コマンドを行った後に自動ページプログラムを実行しなおす必要があります。

注 1) 消去動作を伴わない同一ページへの2回以上ページプログラム実施はデバイス破損の可能性があります。

注 2) プロテクトされたブロックへの書き込みはできません。

(2) 実行方法

第1～第3バスライトサイクルが自動ページプログラムのコマンドシーケンスです。

第4バスライトサイクルでページの先頭アドレスとデータを書き込みます。第5バスライトサイクル以降、連続して1ページ分のデータを書き込みます。データは1ワード(32ビット)単位で書き込んでください。

ページの一部に書き込みを行う場合、書き込みが不要なアドレスのデータを「0xFFFFFFFF」として1ページ分の書き込みを行ってください。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に書き込みができたか、実行後に読み出しをして確認してください。

自動プログラム動作が正常終了しなかった場合、このページへの書き込みが不良になりますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

20.2.5.2 自動チップ消去

(1) 動作内容

自動チップ消去は、全アドレスのメモリセルに対して消去動作を行います。プロテクトされているブロックがある場合、そのブロックの消去は行いません。全てのブロックがプロテクトされている場合は自動チップ消去を実行せず、コマンドシーケンスの入力後にリードモードに戻ります。

(2) 実行方法

第 1～第 6 バスライトサイクルが自動チップ消去のコマンドシーケンスです。コマンドシーケンス入力後、自動チップ消去動作を行います。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。

20.2.5.3 自動ブロック消去

(1) 動作内容

自動ブロック消去コマンドは、指定されたブロックに対する消去動作を行います。指定されたブロックがプロテクトされている場合、消去を行いません。

(2) 実行方法

第 1～第 5 バスライトサイクルが自動ブロック消去のコマンドシーケンスです。第 6 バスライトサイクルで消去するブロックを指定します。コマンドシーケンス入力後、自動ブロック消去動作を行います。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。

20.2.5.4 自動プロテクトビットプログラム

(1) 動作内容

自動プロテクトビットプログラムは、プロテクトビットにビット単位で"1"を書き込みます。プロテクトビットを"0"にするためには自動プロテクトビット消去コマンドを使用します。

プロテクトの機能については「20.1.5 プロテクト/セキュリティ機能」を参照してください。

(2) 実行方法

第 1～第 6 バスライトサイクルが自動プロテクトビットプログラムのコマンドシーケンスになります。第 7 バスライトサイクルで書き込むプロテクトビットを指定します。コマンドシーケンス入力後、自動プロテクトビットプログラム動作を行います。正しく書き込みができたかどうか、FCPSRA<BLK[3:0]>で確認してください。

20.2.5.5 自動プロテクトビット消去

(1) 動作内容

自動プロテクトビット消去コマンドは、実行する際のセキュリティの状態によって動作内容が異なります。セキュリティ状態については、「20.1.5 プロテクト/セキュリティ機能」を参照してください。

- ・ セキュリティ状態でない場合

指定されたプロテクトビットを"0"にクリアします。プロテクトビットの消去は 4 ビット単位で行われます。

- ・ セキュリティ状態の場合

フラッシュメモリの全アドレスのデータを消去した後、全てのプロテクトビットを消去します。

(2) 実行方法

第1～第6バスライトサイクルが自動プロテクトビット消去のコマンドシーケンスになります。第7バスライトサイクルで消去するプロテクトビットを指定します。コマンドシーケンス入力後、自動動作を行います。

セキュリティ状態でない場合、指定されたプロテクトビットが消去されます。正常に消去が行われたか、FCPSRA<BLK[3:0]>で確認してください。

セキュリティ状態の場合、フラッシュメモリの全アドレスのデータ消去および全てのプロテクトビットが消去されます。データの消去およびプロテクトビットの消去が正常に行われたか読み出して確認し、必要に応じて再度自動プロテクトビット消去、自動チップ消去あるいは自動ブロック消去を実行してください。

いずれの場合も他のコマンドと同様、自動動作中はFCSR<RDY_BSY>が"0"となり、終了後"1"となりリードモードに戻ります。自動動作を中断するためにはハードウェアリセットが必要です。

20.2.5.6 ID-Read

(1) 動作内容

ID-Read コマンドは、フラッシュメモリのタイプなどの情報を読み出すことができます。読み出せる内容は、メーカーコード、デバイスコード、マクロコードの3種類です。

(2) 実行方法

第1～第3バスライトサイクルがID-Readのコマンドシーケンスになります。第4バスサイクルで読み出すコードを指定します。第4バスライトサイクル以降、任意のフラッシュ領域からのリード動作でコードが得られます。

ID-Read コマンドは連続実行が可能です。第4バスライトサイクルとIDの値の読み出しは繰り返し実行できます。

ID-Read コマンドは自動的にリードモードに戻りません。リードモードへの復帰はRead コマンド、Read/リセットコマンドまたはハードウェアリセットで行います。

20.2.5.7 Read コマンド、Read/リセットコマンド(ソフトウェアリセット)

(1) 動作内容

フラッシュメモリをリードモードに戻すコマンドです。

ID-Read コマンドを実行した場合、マクロは自動的にリードモードに復帰せず、その状態で停止します。このような状態からリードモードに復帰させるために、Read コマンドまたはRead/リセットコマンドを使用します。また、途中まで入力したコマンドをキャンセルする場合にも使用します。

(2) 実行方法

Read コマンドでは第 1 バスサイクルが、Read/リセットコマンドでは第 1～3 バスライトサイクルがコマンドシーケンスになります。コマンドシーケンス実行後、フラッシュメモリはリードモードになります。

20.2.6 コマンドシーケンス

20.2.6.1 コマンドシーケンス一覧

表 20-5 に各コマンドのバスライトサイクルのアドレスとデータを示します。

ID-Read コマンドの第 5 バスサイクル以外は全て「バスライトサイクル」です。バスライトサイクルは 32 ビット(1 ワード) のデータ転送命令で実施します(表では、データの下位 8 ビットのデータのみ示しています)。

アドレスの詳細は、表 20-6 を参照してください。表 20-6 で「コマンド」と記載された、Addr [15:9]に下記の値を使用します。

- 注 1) アドレスビット[1:0]へは常に"0"を設定してください。
- 注 2) アドレスビット[19]はフラッシュメモリサイズにより以下の値を設定してください。
メモリサイズが 1MB 以下：常に"0"
メモリサイズが 1MB を超える：1MB 以下の領域へのバスライトサイクルでは"0"
1MB を超える領域へのバスライトサイクルでは"1"

表 20-5 コマンドシーケンス

コマンド	第 1 バス サイクル	第 2 バス サイクル	第 3 バス サイクル	第 4 バス サイクル	第 5 バス サイクル	第 6 バス サイクル	第 7 バス サイクル
	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.
	Data	Data	Data	Data	Data	Data	Data
Read	0xXX	–	–	–	–	–	–
	0xF0	–	–	–	–	–	–
Read/リセット	0xX55X	0xXAAX	0xX55X	–	–	–	–
	0xAA	0x55	0xF0	–	–	–	–
ID-Read	0xX55X	0xXAAX	0xX55X	IA	0xXX	–	–
	0xAA	0x55	0x90	0x00	ID	–	–
自動ページ プログラム	0xX55X	0xXAAX	0xX55X	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
自動チップ消去	0xX55X	0xXAAX	0xX55X	0xX55X	0xXAAX	0xX55X	–
	0xAA	0x55	0x80	0xAA	0x55	0x10	–
自動 ブロック消去	0xX55X	0xXAAX	0xX55X	0xX55X	0xXAAX	BA	–
	0xAA	0x55	0x80	0xAA	0x55	0x30	–
自動プロテクトビット プログラム	0xX55X	0xXAAX	0xX55X	0xX55X	0xXAAX	0xX55X	PBA
	0xAA	0x55	0x9A	0xAA	0x55	0x9A	0x9A
自動プロテクトビット 消去	0xX55X	0xXAAX	0xX55X	0xX55X	0xXAAX	0xX55X	0xXX
	0xAA	0x55	0x6A	0xAA	0x55	0x6A	0x6A

補足説明

- ・ IA: ID アドレス

- ・ ID: ID データ
- ・ PA: プログラム ページアドレス
- ・ PD: プログラムデータ(32 ビットデータ)
第 4 バスサイクル以降 1 ページ分をアドレス順にデータ入力
- ・ BA: ブロックアドレス(表 20-7 参照)
- ・ PBA: プロテクトビットアドレス(表 20-8 参照)

20.2.6.2 バスライトサイクル時のアドレスビット構成

表 20-6 は「表 20-5 コマンドシーケンス」と併せてご使用願います。

第 1 バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行ってください。

表 20-6 バスライトサイクル時のアドレスビット構成

アドレス	Addr [31:15]	Addr [14]	Addr [13:12]	Addr [11:9]	Addr [8:7]	Addr [6:4]	Addr [3:0]
通常 コマンド	通常のバスライトサイクルアドレス設定						
	フラッシュ領域	"0"推奨		コマンド	Addr[1:0] = "0"固定、 他ビットは"0"推奨		
ID-READ	IA: ID アドレス(ID-READ の第 4 バスライトサイクルアドレス設定)						
	フラッシュ領域	"0"推奨	ID アドレス	Addr[1:0] = "0"固定、他ビットは"0"推奨			
ブロック 消去	BA: ブロックアドレス(ブロック消去の第 6 バスライトサイクルアドレス設定)						
	ブロックアドレス(表 20-7)	Addr[1:0] = "0"固定、他ビットは"0"推奨					
Auto ページ プログラム	PA: プログラムページアドレス(ページプログラムの第 4 バスライトサイクルアドレス設定)						
	ページアドレス					Addr[1:0] = "0"固定、 他ビットは"0"推奨	
プロテクト ビットプログラ ム	PBA: プロテクトビットアドレス(プロテクトビットプログラムの第 7 バスライトサイクルアドレス設定)						
	フラッシュ領域	"0"固定			プロテクトビ ット選択 (表 20-8)	Addr[1:0] = "0"固定、 他ビットは"0"推奨	

20.2.6.3 ブロックアドレス(BA)

表 20-7 にブロックアドレスを示します。自動ブロック消去コマンドの第 6 バスライトサイクルで、消去するブロックに含まれる任意のアドレスを指定します。

表 20-7 ブロックアドレス表

Block	アドレス (ユーザブートモード)	アドレス (シングルブートモード)	サイズ (Kbyte)
2	0x0001_8000 ~ 0x0001_FFFF	0x3F81_8000 ~ 0x3F81_FFFF	32
3	0x0001_0000 ~ 0x0001_7FFF	0x3F81_0000 ~ 0x3F81_7FFF	32
1	0x0000_8000 ~ 0x0000_FFFF	0x3F80_8000 ~ 0x3F80_FFFF	32
0	0x0000_0000 ~ 0x0000_7FFF	0x3F80_0000 ~ 0x3F80_7FFF	32

20.2.6.4 プロテクトビットの指定(PBA)

プロテクトビットは、プログラム時は1ビット単位、消去時は4ビット単位の操作になります。

自動プロテクトビットプログラムのプロテクトビット選択表を表 20-8 に示します。アドレス例の、上段はユーザブートモード時のアドレス、下段はシングルブートモード時のアドレスです。

消去は、自動プロテクトビット消去コマンドを実行することで4ビットのプロテクトビットがまとめて消去されます。

表 20-8 プロテクトビットプログラムアドレス表

Block	プロテクト ビット	第7バスライトサイクルのアドレス			アドレス例 [31:0]
		アドレス [14:9]	アドレス [8]	アドレス [7]	
Block0	<BLK[0]>	"0"固定	0	0	0x0000_0000 0x3F80_0000
Block1	<BLK[1]>		0	1	0x0000_0080 0x3F80_0080
Block2	<BLK[2]>		1	0	0x0000_0100 0x3F80_0100
Block3	<BLK[3]>		1	1	0x0000_0180 0x3F80_0180

20.2.6.5 ID-Read のコード(IA, ID)

ID-Read コマンドでのコード指定方法と読み出される内容を表 20-9 に示します。

下表のアドレス例の、上段はユーザブートモード時のアドレス、下段はシングルブートモード時のアドレスです。

表 20-9 ID-Read コマンドのコード指定とコードの内容

Code	ID[7:0]	IA[13:12]	アドレス例[31:0]
メーカーコード	0x98	0b00	0x0000_0000 0x3F80_0000
デバイスコード	0x5A	0b01	0x0000_1000 0x3F80_1000
—	Reserved	0b10	—
マクロコード	0x33	0b11	0x0000_3000 0x3F80_3000

20.2.6.6 コマンドシーケンス例

(1) ユーザブートモード

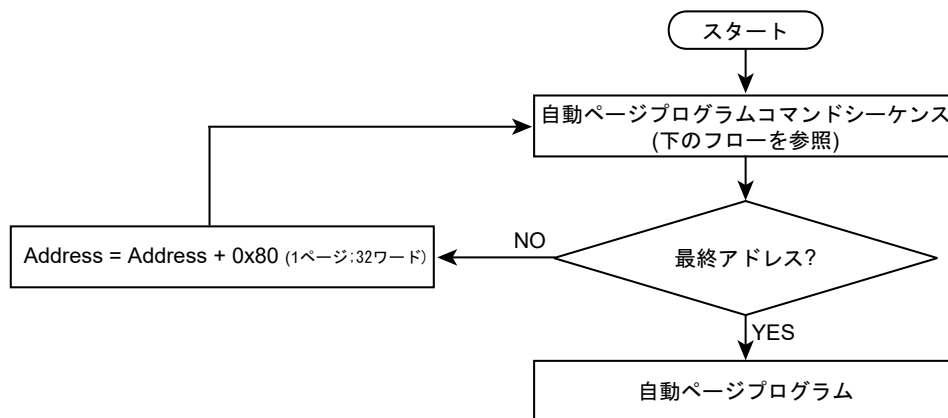
コマンド	バスサイクル							
		1	2	3	4	5	6	7
Read	アドレス	0x0000_0000	–	–	–	–	–	–
	データ	0x0000_00F0	–	–	–	–	–	–
Read/リセット	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	–	–	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_00F0	–	–	–	–
ID-Read	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	IA	0x0000_0000	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0090	0x0000_0000	ID	–	–
自動ページ プログラム	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	PA	以降、連続して 1 ページ分のアドレスとデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動チップ消去	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	0x0000_0550	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0010	–
自動ブロック消去	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	BA	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	–
自動プロテクト ビットプログラム	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	0x0000_0550	PBA
	データ	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_009A
自動プロテクト ビット消去	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550
	データ	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_006A

(2) シングルブートモード

コマンド	バスサイクル							
		1	2	3	4	5	6	7
Read	アドレス	0x3F80_0000	–	–	–	–	–	–
	データ	0x0000_00F0	–	–	–	–	–	–
Read/リセット	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	–	–	–	–
	データ	0x0000_00AA	0x3F80_0055	0x3F80_00F0	–	–	–	–
ID-Read	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	IA	0x0000_0000	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0090	0x0000_0000	ID	–	–
自動ページ プログラム	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	PA	以降、連続して 1 ページ分のアドレスとデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動チップ消去	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0010	–
自動ブロック消去	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	BA	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	–
自動プロテクト ビットプログラム	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	PBA
	データ	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_009A
自動プロテクト ビット消去	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550
	データ	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_006A

20.2.7 フローチャート

20.2.7.1 自動プログラム



自動ページプログラムコマンドシーケンス(アドレス/コマンド)

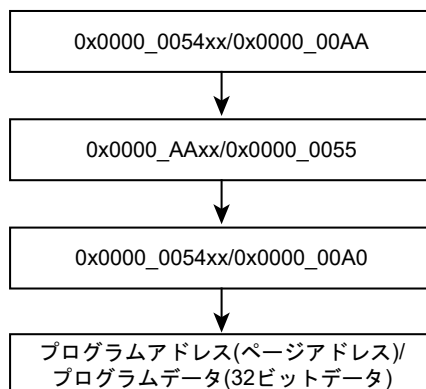


図 20-4 自動プログラムフローチャート

20.2.7.2 自動消去

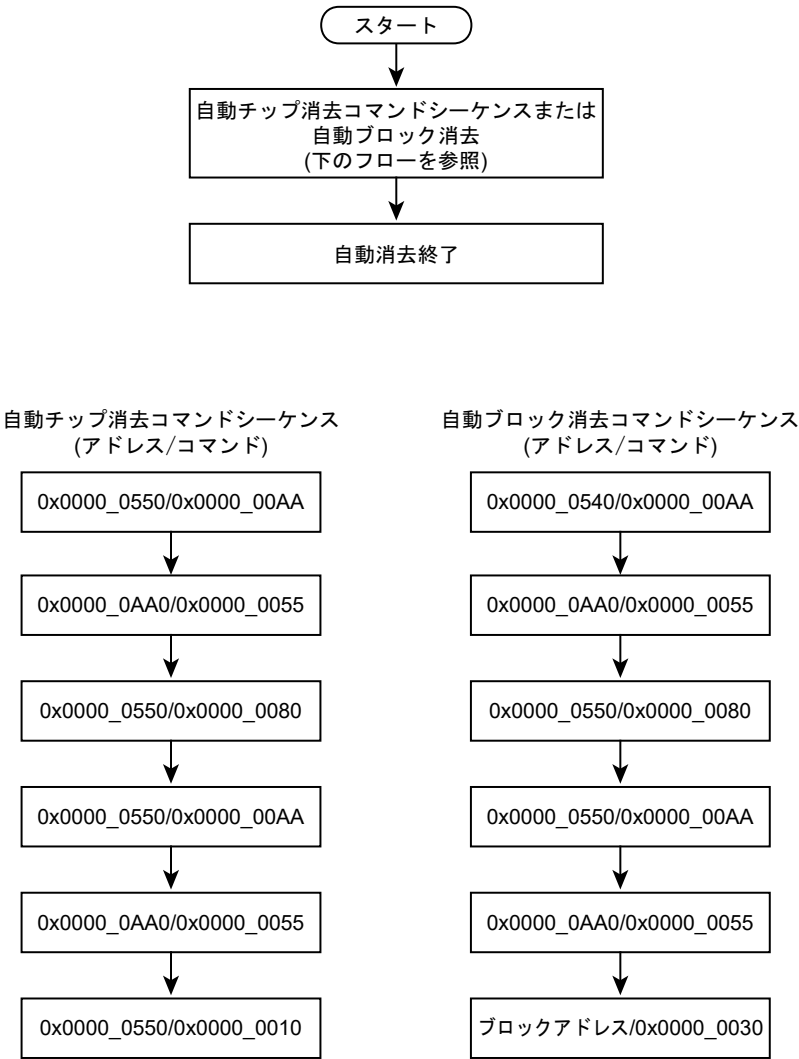


図 20-5 自動消去フローチャート

20.3 シングルブートモードによる書き替え方法

内蔵 BOOT ROM のプログラムを利用してフラッシュメモリを書き替える方法です。このモードでは、BOOT ROM が割り込みベクタテーブルを含む領域にマッピングされ、フラッシュメモリは BOOT ROM 領域とは別のアドレス空間にマッピングされます。

シングルブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリの書き替えを行います。本デバイスのシリアルチャネル(SIO/UART) と外部ホストを接続し、外部ホスト側から内蔵 RAM に書き替えプログラムをコピーし、RAM 上の書き替えルーチンを実行してフラッシュメモリの書き替えを行います。ホスト側との通信の詳細は後述のプロトコルに従ってください。

シングルブートモードでも、リセットを除く割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

シングルチップモード (通常動作モード) 中に誤ってフラッシュメモリの内容を書き替えないよう、書き替え処理が完了したら必要なブロックにライト/消去プロテクトをかけておくことを推奨します。

20.3.1 モード設定

オンボードプログラミングを実行するためには、本デバイスをシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

$\overline{\text{BOOT}} = 0$
 $\text{RESET} = 0 \rightarrow 1$

$\overline{\text{RESET}}$ 入力端子を"0"の状態にして、 $\overline{\text{BOOT}}$ 端子をあらかじめ上記条件に設定します。その後 RESET 解除を行うとシングルブートモードで起動します。

20.3.2 インタフェース仕様

シングルブートモードでの SIO/UART 通信フォーマットを以下に示します。シリアル動作のモードは、UART (非同期通信) と I/O インタフェースモード両方に対応しています。オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

- ・ UART で通信する場合
 - 通信チャネル: チャンネル 1
 - シリアル転送モード: UART (非同期通信) モード, 半 2 重通信, LSB ファスト
 - データ長: 8 ビット
 - パリティビット: なし
 - STOP ビット: 1 ビット
 - ボーレート: 任意のボーレート
- ・ I/O インタフェースモードで通信する場合
 - 通信チャネル: チャンネル 1
 - シリアル転送モード: I/O インタフェースモード, 全 2 重通信, LSB ファスト
 - 同期信号 (SCLK1): 入力モード, クロック立ち上がりエッジ設定
 - ハンドシェーク端子: PE4 (出力モード)
 - ボーレート: 任意のボーレート

ブートプログラムは、クロック/モード制御ブロックの設定は初期状態のままで動作します。クロック設定の初期状態は、「クロック/モード制御」の章を参照してください。

ボーレートは、「20.3.5.1 シリアル動作モード判定」で説明しているように 16 ビットタイマ(TMRB)を用いて判定します。判定時のボーレートは所望のボーレートの 1/16 で通信するため、このボーレートがタイマで計測可能な範囲である必要があります。タイマのカウントクロックは $\Phi T1(fc/2)$ で動作します。

I/O インタフェースモードのハンドシェーク端子は、受信待ちのときに"Low"、送信中は"High"を出力します。通信プロトコルに従って、ハンドシェーク端子の状態を確認して通信を行ってください。

ブートプログラムで使用する端子を表 20-10 にまとめます。これ以外の端子はブートプログラムでは操作しません。

表 20-10 端子の接続

端子		インタフェース	
		UART	I/O インタフェースモード
モード設定端子	BOOT	o	o
リセット端子	RESET	o	o
通信端子	TXD1 (PE2)	o	o
	RXD1 (PE1)	o	o
	SCLK1 (PE0)	x	o (入力モード)
	PE4	x	o (出力モード)

o;必要、x;不要

20.3.3 メモリの制約について

シングルブートモードでは、内蔵 RAM、内蔵フラッシュメモリに対して表 20-11 のような制約がありますのでご注意ください。

表 20-11 シングルブート時のメモリの制約

メモリ	制約内容
内蔵 RAM	0x2000_0000 ~ 0x2000_03FF 番地は BOOT プログラムのワークエリアになります。 プログラムは 0x2000_0400 から RAM の最終番地に格納してください。 プログラムの開始アドレスは偶数アドレスでなければいけません。
内蔵フラッシュメモリ	以下の番地はソフトなどの ID 情報やパスワードの格納エリアとなりますので、なるべくプログラムエリアとしての使用は避けてください。 0x3F81_FFF0 ~ 0x3F81_FFFF

注) パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

20.3.4 動作コマンド

ブートプログラムには、以下の動作コマンドが準備されています。

表 20-12 動作コマンドデータ

動作コマンドデータ	動作モード
0x10	RAM 転送
0x40	フラッシュメモリチップ消去およびプロテクトビット消去

20.3.4.1 RAM 転送

RAM 転送は、コントローラから送られてくるデータを内蔵 RAM へ格納します。転送が正常に終了するとユーザプログラムの実行を開始します。ユーザプログラム領域として、ブートプログラムで使用する領域(0x2000_0000~0x2000_03FF)を除く、0x2000_0400 以降を使用可能です。実行開始アドレスは、RAM 格納開始アドレスになります。実行開始アドレスは偶数アドレスでなければいけません。

この RAM 転送機能により、ユーザ独自のオンボードプログラミング制御を行うことができます。ユーザプログラムでオンボードプログラミングを実行するためには、「20.2.6 コマンドシーケンス」で説明するフラッシュメモリコマンドシーケンスを使う必要があります。

20.3.4.2 フラッシュメモリチップ消去および プロテクトビット消去

このコマンドは全てのブロックのフラッシュメモリを消去します。ライト/消去プロテクトおよび、セキュリティ状態にかかわらず、メモリセルの全てのブロックを消去し、全てのブロックのライト/消去プロテクトを消去します。

20.3.5 コマンドによらず共通の動作

ブートプログラム実行で、共通に行われる動作について説明します。

20.3.5.1 シリアル動作モード判定

コントローラは、UART で通信したい場合、所望のボーレートで 1 バイト目を 0x86 にし、I/O インタフェースで通信したい場合、所望のボーレート ÷ 16 で 1 バイト目を 0x30 にして送信してください。図 20-6 にそれぞれの場合の波形を示します。

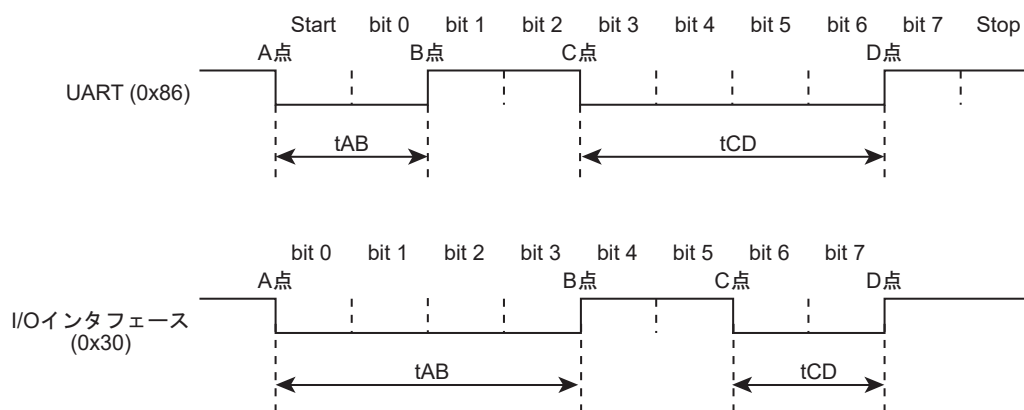


図 20-6 シリアル動作モード判定データ

ブートプログラムは図 20-7 に示すフローチャートで、リセット解除後の 1 バイト目のシリアル動作モード判定データ(0x86, 0x30)を、16 ビットタイマ(TMRB)を用いて図 20-6 の t_{AB} , t_{AC} と、 t_{AD} の時間から求めています。図 20-7 のフローチャートに示すように、CPU が受信端子のレベルをモニタしてレベルの変化があると、そのときのタイマ値を取り込みます。このため、 t_{AB} , t_{AC} と、 t_{AD} のタイマ値には誤差が生じます。また、ボーレートが速いときには、CPU は受信端子のレベルの変化を判断できない場合がありますので注意してください。特に、I/O インタフェースは UART に比べボーレートが速いため、このような場合が発生しやすくなります。このようなことが起こらないようにするために、I/O インタフェースの場合、コントローラのボーレートは所望ボーレート ÷ 16 にして送信してください。

図 20-8 のフローチャートに示すように、シリアル動作モードの判定は、受信端子が "L" レベルのときの時間幅の大小関係で判定しています。 $t_{AB} \leq t_{CD}$ の場合 UART と判定し、ボーレートの自動設定が可能かどうかを t_{AD} の時間から判定します。 $t_{AB} > t_{CD}$ の場合、I/O インタフェースと判定します。なお、先に述べたように、 t_{AB} , t_{AC} , t_{AD} のタイマ値には誤差が生じているため、ボーレートが速く、動作周波数が低い場合、各タイマ値が小さくなり、意図しない判断を行うことがありますので注意してください(書き換えルーチン内で UART の再設定を行ってください)。

例えば、コントローラは UART で通信したいのに、I/O インタフェースと判定してしまうことがあります。このようなことを考慮して、コントローラは UART で通信したい場合、1 バイト目のデータを送信後、タイムアウト時間内にデータ 0x86 を正常受信できなければ通信不可能と判断してください。I/O インタフェースで通信したい場合は 1 バイト目のデータを送信後、アイドル時間後に SCLK クロックを出力してデータを受信し、受信データが 0x30 でなければ通信不可能と判断してください。

I/O インタフェースで通信したい場合は上記のとおり、 $t_{AB} > t_{CD}$ であれば 1 バイト目のデータは 0x30 でなくても構いません。A 点と C 点の立ち下がり、B 点と D 点の立ち上りを判定できるように 0x91, 0xA1 あるいは 0xB1 を 1 バイト目のデータとして送信できます。 $t_{AB} > t_{CD}$ が成立しており、動作モード判定結果 SIO が選択された場合、(1 バイト目の送信データが 0x30 でない場合でも) 2 バイト目のデータは 0x30 となります(以下、I/O インタフェース判定用の 1 バイト目のデータは 0x30 を表記しています)。

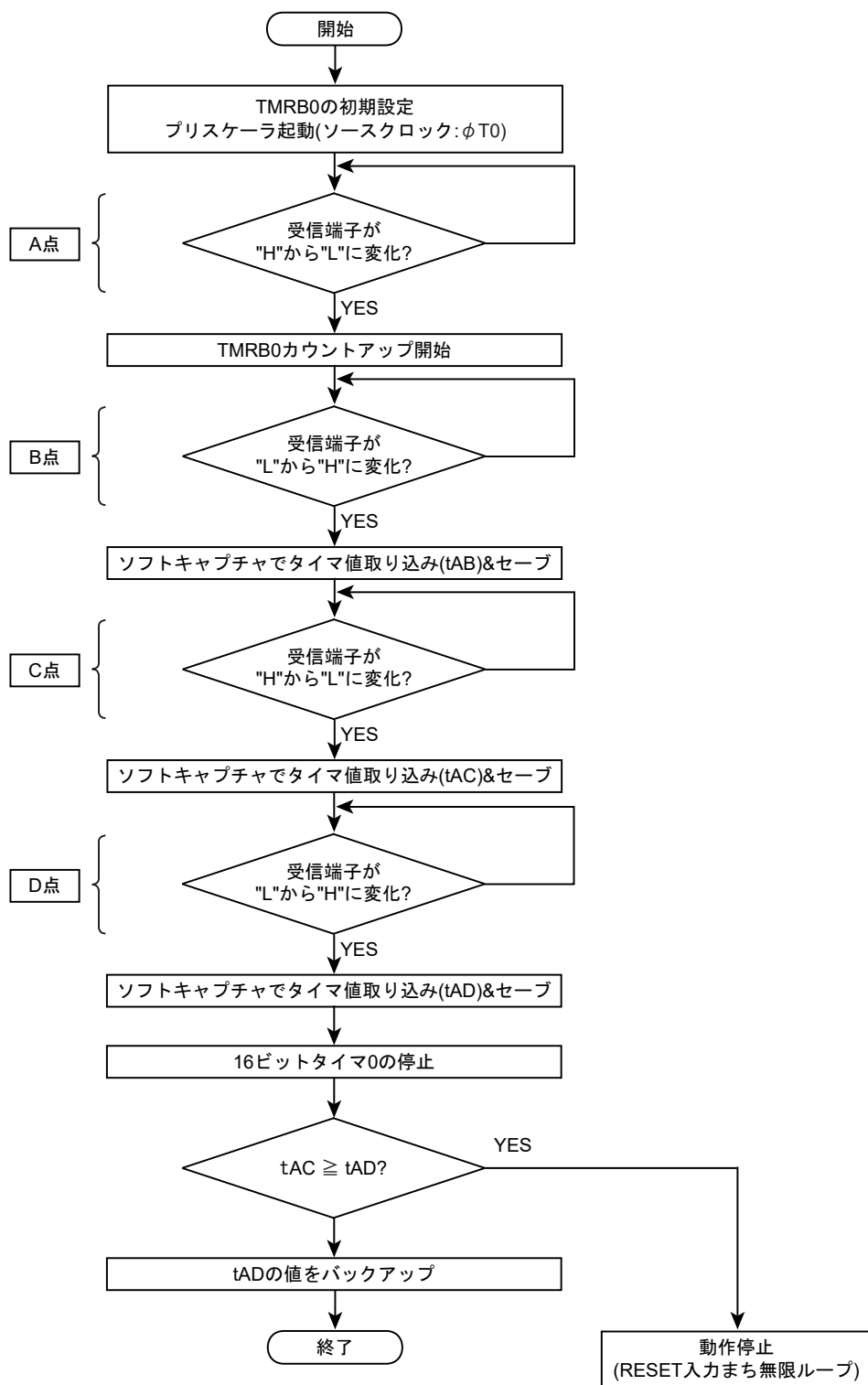


図 20-7 シリアル動作モード受信フローチャート

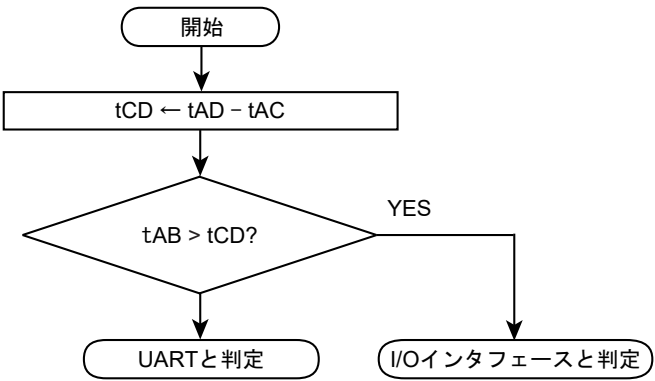


図 20-8 シリアル動作モード判定フローチャート

20.3.5.2 ACK 応答データ

ブートプログラムは処理状況を各種コードによってコントローラに送信します。表 20-13 から表 20-16 に各受信データに対する ACK 応答データを示します。

表 20-14 から表 20-16 に示す ACK 応答データの上位 4 ビットは、動作コマンドデータの上位 4 ビットになります。また 3 ビット目は受信エラーを表し、0 ビット目は動作コマンドエラー、CHECK SUM エラー、パスワードエラーの状態を表します。1 ビット目と 2 ビット目は常に 0 になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

表 20-13 シリアル動作判定データに対する ACK 応答データ

送信データ	送信データの意味
0x86	UART での通信が可能と判定した。(注)
0x30	I/O インタフェースでの通信が可能と判定した。

注) UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を停止します。

表 20-14 動作コマンドデータに対する ACK 応答データ

送信データ	送信データの意味
0x?8 (注)	動作コマンドデータに受信エラーが発生した。
0x?1 (注)	未定義の動作コマンドデータを正常受信した。
0x10	RAM 転送コマンドと判定した。
0x40	フラッシュメモリチップ消去コマンドと判定した。

注) 上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになります。

表 20-15 CHECK SUM データに対する ACK 応答データ

送信データ	送信データの意味
0xN8 (注)	受信エラーが発生していた。
0xN1 (注)	CHECK SUM エラーが発生した。あるいは、パスワードエラーが発生した。
0xN0 (注)	CHECK SUM 値は正常な値と判定した。

注) 上位 4 ビットは動作コマンドデータの上位 4 ビットになります。

表 20-16 フラッシュメモリチップ消去およびプロテクトビット消去動作に対する ACK 対応データ

送信データ	送信データの意味
0x54	消去イネーブルコマンドと判定した。
0x4F	消去コマンド終了
0x4C	消去コマンドが不正に終了した。

注) 消去コマンドが正常に行われた場合でも、ACK 応答で以上を返す場合があります。FCSR<RDY_BSY>でコマンド終了を確認した後、200μs 以上待って消去の再確認を行ってください。

20.3.5.3 パスワード判定

ブートプログラムでは、以下の領域をパスワード要否判定データおよびパスワードとして使用します。

領域	アドレス
パスワード要否判定	0x3F81_FFF0 (1byte)
パスワード領域	0x3F81_FFF4 ~ 0x3F81_FFFF (12byte)

RAM 転送コマンドでは、要否判定データにかかわらずパスワード判定を行い、フラッシュメモリチップ消去およびプロテクトビット消去コマンドでは要否判定データが「要」の場合のみパスワード判定を行います。

パスワード要否選択	データ
パスワード要	0xFF 以外
パスワード否	0xFF

パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

(1) RAM 転送コマンドでのパスワード判定

図 20-9 に示すようにパスワードエリアのデータが、0xFF 以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 0x11 を送信します。

次に、5 バイト目～16 バイト目の受信データ(パスワードデータ)の照合を行います。12 バイト分全てが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。

セキュリティ機能が有効な状態でもパスワードの参照を行います。

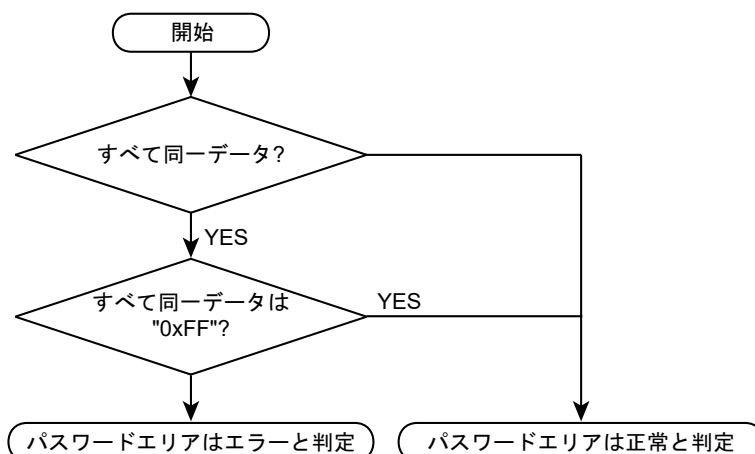


図 20-9 パスワードエリアチェックフローチャート

(2) フラッシュメモリチップ消去およびプロテクトビット消去コマンドでのパスワード判定

図 20-10 に示すように、消去パスワード要否の選択エリアがパスワード有効の場合は、パスワードエリアのデータが同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 0x41 を送信します。

次に、5 バイト目～16 バイト目の受信データ (パスワードデータ) の照合を行います。12 バイト分全てが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。セキュリティ機能が有効な状態でもパスワードの参照を行います。

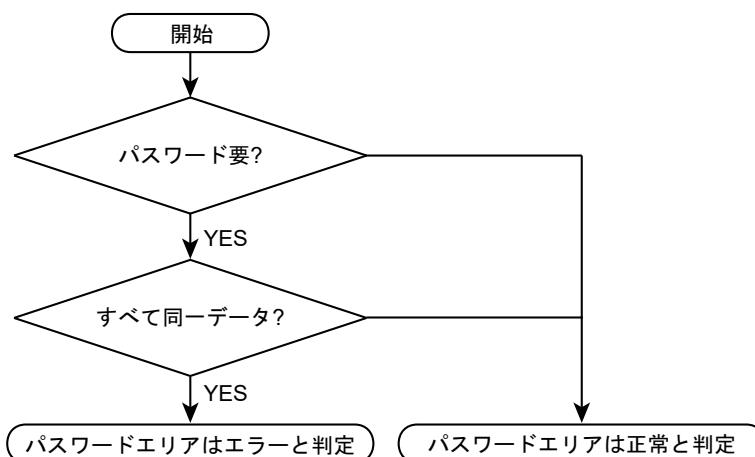


図 20-10 パスワードエリアチェックフローチャート

20.3.5.4 CHECK SUM の計算方法

CHECK SUM の計算方法は、送信データを符号なし 8 ビット加算(オーバフローを無視)して得られた下位 8 ビット値の 2 の補数値を求めています。コントローラは CHECK SUM 値を送信するときは、本計算方法を使用してください。

例)CHECK SUM 計算例

2 バイトのデータ 0xE5、0xF6 の CHECK SUM 値を求める場合、まず符号なし 8 ビット加算を行います。

$$0xE5 + 0xF6 = 0x1DB$$

この値の下位 8 ビットに対しての 2 の補数をとると以下のようになり、この値が CHECK SUM 値になります。従って、コントローラには 0x25 を送信します。

$$0 - 0xDB = 0x25$$

20.3.6 RAM 転送の転送フォーマット

RAM 転送コマンドの転送フォーマットを示します。表中の転送方向の表記が示す意味は以下のとおりです。

転送方向「C→T」：コントローラから TMPM066/067/068FW へ

転送方向「C←T」：TMPM066/067/068FW からコントローラへ

転送 バイト数	転送 方向	転送データ	内容
1	C→T	シリアル動作モード、ボーレート設定	シリアル動作モードを判定するデータを送信します。モード判定の詳細は「20.3.5.1 シリアル動作モード判定」を参照してください。
		[UART モード] 0x86	0x86 を送信してください。UART モードと判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。
2	C←T	[I/O インタフェースモード] 0x30	所望のボーレート ÷ 16 で 0x30 を送信してください。2 バイト目も同様に、所望のボーレート ÷ 16 にしてください。所望のボーレートで転送するのは、3 バイト目からにしてください。
		シリアル動作モードに対する ACK 応答	2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。設定が可能と判定した場合、SIO/UART の設定を行います。受信を許可するタイミングは、送信バッファにデータを書き込む前に行っていきます。
		[UART モード] 正常の場合: 0x86	設定が可能と判定した場合 0x86 を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。 コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間(5 秒)を設けます。タイムアウト時間内に、データ(0x86)を正常受信できなければ、通信不能と判断してください。
		[I/O インタフェースモード] 正常の場合: 0x30	送信バッファにデータ(0x30)を書き込み、SCLK クロックを待ちます。コントローラは、1 バイト目のデータ送信が終了した後、アイドル時間(数 ms)後、SCLK クロックを出力してください。このときのボーレートは、所望のボーレート ÷ 16 で行い、受信データが 0x30 なら、通信可能と判断してください。3 バイト目からは所望のボーレートで通信を行ってください。
3	C→T	動作コマンドデータ(0x10)	RAM 転送コマンドデータ(0x10)を送信してください。
4	C←T	動作コマンドに対する ACK 応答 正常の場合: 0x10 異常の場合: 0xX1 通信異常の場合: 0xX8	動作コマンドデータに対する ACK 応答データになります。 最初に、3 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります)。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。 次に、3 バイト目の受信データが、表 20-12 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信します。RAM 転送の場合、0x10 をエコーバック送信して RAM 転送処理ルーチンに分岐します。 該当しない場合は、動作コマンドエラーの ACK 応答データ 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。
5~16	C→T	パスワードデータ(12 バイト) 0x3F81_FFF4 ~ 0x3F81_FFFF	パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は「20.3.5.3 パスワード判定」を参照してください。 5 バイト目の受信データから順に、フラッシュメモリの 0x3F81_FFF0~0x3F81_FFFF のデータと照合します。一致していない場合、パスワードエラーフラグをセットします。
17	C→T	5 ~ 16 バイト目の CHECK SUM 値	5 バイト目から 16 バイト目の CHECK SUM 値を送信してください。 CHECK SUM の計算方法は 20.3.5.4 を参照してください

転送 バイト数	転送 方向	転送データ	内容
18	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	最初に、5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、17 バイト目の CHECK SUM データをチェックします。エラーの場合、0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 最後に、パスワードの照合結果をチェックします。パスワードエラーの場合、パスワードエラーの ACK 応答データ 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えて、全て正常なら、正常 ACK 応答データ 0x10 を送信します。
19	C→T	RAM 格納開始アドレス 31 ~ 24	ブロック転送における格納先の RAM の開始アドレスを送信してください。19 バイト目がアドレスの 31 ビット ~ 24 ビットに対応し、22 バイト目が 7 ビット ~ 0 ビットに対応します。RAM のアドレス 0x2000_0400 から RAM の最終番地の範囲で指定してください。RAM の開始アドレスは偶数アドレスでなければいけません。
20	C→T	RAM 格納開始アドレス 23 ~ 16	
21	C→T	RAM 格納開始アドレス 15 ~ 8	
22	C→T	RAM 格納開始アドレス 7 ~ 0	
23	C→T	RAM 格納バイト数 15 ~ 8	ブロック転送するバイト数を送信してください。23 バイト目が転送バイト数の 15 ビット ~ 8 ビット目に対応し、24 バイト目が 7 ビット ~ 0 ビット目に対応します。RAM のアドレス 0x2000_0400 から RAM の最終番地に収まるように指定してください。
24	C→T	RAM 格納バイト数 7 ~ 0	
25	C→T	19 ~ 24 バイト目の CHECK SUM 値	19 バイト目から 24 バイト目の CHECK SUM 値を送信してください。
26	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	最初に、19 バイト目 ~ 25 バイト目の受信データに受信エラーがあるかどうかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、25 バイト目の CHECK SUM データをチェックします。エラーの場合、0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えて全て正常なら、正常 ACK 応答データ 0x10 を送信します。
27~m	C→T	RAM 格納データ	RAM に格納するデータを、23 バイト目から 24 バイト目に指定されたバイト数分送信してください。
m+1	C→T	27 ~ m バイト値の CHECK SUM 値	27 バイト目 ~ m バイト目の CHECK SUM 値を送信してください。
m+2	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	最初に 27 バイト目 ~ m + 1 バイト目の受信データに受信エラーがあるかどうかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、m + 1 バイト目の CHECK SUM データをチェックします。エラーの場合、0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えて全て正常なら、正常 ACK 応答データ 0x10 を送信します。
-	-	-	m + 2 バイト目の ACK 応答データが正常 ACK 応答データの場合、19 バイト目 ~ 22 バイト目で指定されたアドレスに分歧します。

20.3.7 フラッシュメモリチップ消去およびプロテクトビット消去の転送フォーマット

フラッシュメモリチップ消去およびプロテクトビット消去コマンドの転送フォーマットを示します。表中の転送方向の表記が示す意味は以下のとおりです。

転送方向「C→T」：コントローラ→TMPM066/067/068FW

転送方向「C←T」：コントローラ←TMPM066/067/068FW

転送 バイト数	転送 方向	転送データ	内容
1	C→T	シリアル動作モード、ボーレート設定	シリアル動作モードを判定するデータを送信します。モード判定の詳細は「20.3.5.1 シリアル動作モード判定」を参照してください。
		[UART モード] 0x86	0x86 を送信してください。UART モードと判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。
		[I/O インタフェースモード] 0x30	所望のボーレート ÷ 16 で 0x30 を送信してください。2 バイト目も同様に、所望のボーレート ÷ 16 にしてください。所望のボーレートで転送するのは、3 バイト目からにしてください。
2	C←T	シリアル動作モードに対する ACK 応答	2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。設定が可能と判定した場合、SIO/UART の設定を行います。受信を許可するタイミングは、送信バッファにデータを書き込む前に行っていきます。
		[UART モード] 正常の場合: 0x86	設定が可能と判定した場合 0x86 を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。 コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間(5 秒)を設けます。タイムアウト時間内に、データ(0x86)を正常受信できなければ、通信不能と判断してください。
		[I/O インタフェースモード] 正常の場合: 0x30	送信バッファにデータ(0x30)を書き込み、SCLK0 クロックを待ちます。コントローラは、1 バイト目のデータ送信が終了した後、アイドル時間(数 ms)後、SCLK クロックを出力してください。このときのボーレートは、所望のボーレート ÷ 16 で行い、受信データが 0x30 なら、通信可能と判断してください。3 バイト目からは所望のボーレートで通信を行ってください。
3	C→T	動作コマンドデータ(0x40)	フラッシュメモリチップ消去およびプロテクトビット消去コマンドデータ(0x40)を送信してください。
4	C←T	動作コマンドに対する ACK 応答 正常の場合: 0x40 異常の場合: 0xX1 通信異常の場合: 0xX8	動作コマンドデータに対する ACK 応答データになります。 最初に、3 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります)。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。 次に、3 バイト目の受信データが、表 20-12 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信します。フラッシュメモリチップ消去およびプロテクトビット消去の場合、0x40 をエコーバック送信します。 該当しない場合は、動作コマンドエラーの ACK 応答データ 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります)。
5~16	C→T	パスワードデータ(12 バイト) 0x3F81_FFF4 ~ 0x3F81_FFFF	パスワード可否選択が「否」の場合、ダミーデータです。 パスワード可否選択が「要」の場合、パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は「20.3.5.3 パスワード判定」を参照してください。 5 バイト目の受信データから順に、フラッシュメモリの 0x3F81_FFF0~0x3F81_FFFF のデータと照合します。一致していない場合、パスワードエラーフラグをセットします。
17	C→T	5 ~ 16 バイト目の CHECK SUM 値	5 バイト目から 16 バイト目の CHECK SUM 値を送信してください。 CHECK SUM の計算方法は「20.3.5.4 CHECK SUM の計算方法」を参照してください

転送 バイト数	転送 方向	転送データ	内容
18	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x40 異常の場合: 0x41 通信異常の場合: 0x48	パスワード要否選択が「否」の場合、正常 ACK 応答データ 0x40 を送信します。 パスワード要否選択が「要」の場合、最初に 5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x48 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、17 バイト目の CHECK SUM データをチェックします。エラーの場合、0x41 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 最後に、パスワードの照合結果をチェックします。パスワードエラーの場合、パスワードエラーの ACK 応答データ 0x41 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えて、全て正常なら、正常 ACK 応答データ 0x40 を送信します。
19	C→T	消去イネーブルコマンドデータ(0x54)	消去イネーブルコマンドデータ(0x54)を送信してください。
20	C←T	消去イネーブルコマンドに対する ACK 応答 正常の場合: 0x54 異常の場合: 0xX1 通信異常の場合: 0x58	最初に、19 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 0x58 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。 次に、19 バイト目の受信データが、消去イネーブルコマンドに該当する場合は、受信データをエコーバック送信 (正常 ACK 応答データ) します。この場合、0x54 をエコーバック送信して、フラッシュメモリチップ消去処理ルーチンに分岐します。 該当しない場合は、動作コマンドエラーの ACK 応答データ (bit 0) 0xX1 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。
21	C→T	消去コマンドに対する ACK 応答(注 1) 正常の場合: 0x4F 異常の場合: 0x4C	正常に終了したときは、終了コード(0x4F)を返します。 消去 Error が起きた場合は、エラーコード(0x4C)を返します。
-	-	-	次の動作コマンドデータ待ち状態になります。

注 1) 消去コマンドが正常に行われた場合でも、ACK 応答で異常を返す場合があります。FCSR<RDY_BSY>でコマンド終了を確認した後、200μs 以上待って消去の再確認を行ってください。

20.3.8 ブートプログラム全体フローチャート

ブートプログラム全体フローチャートを示します。

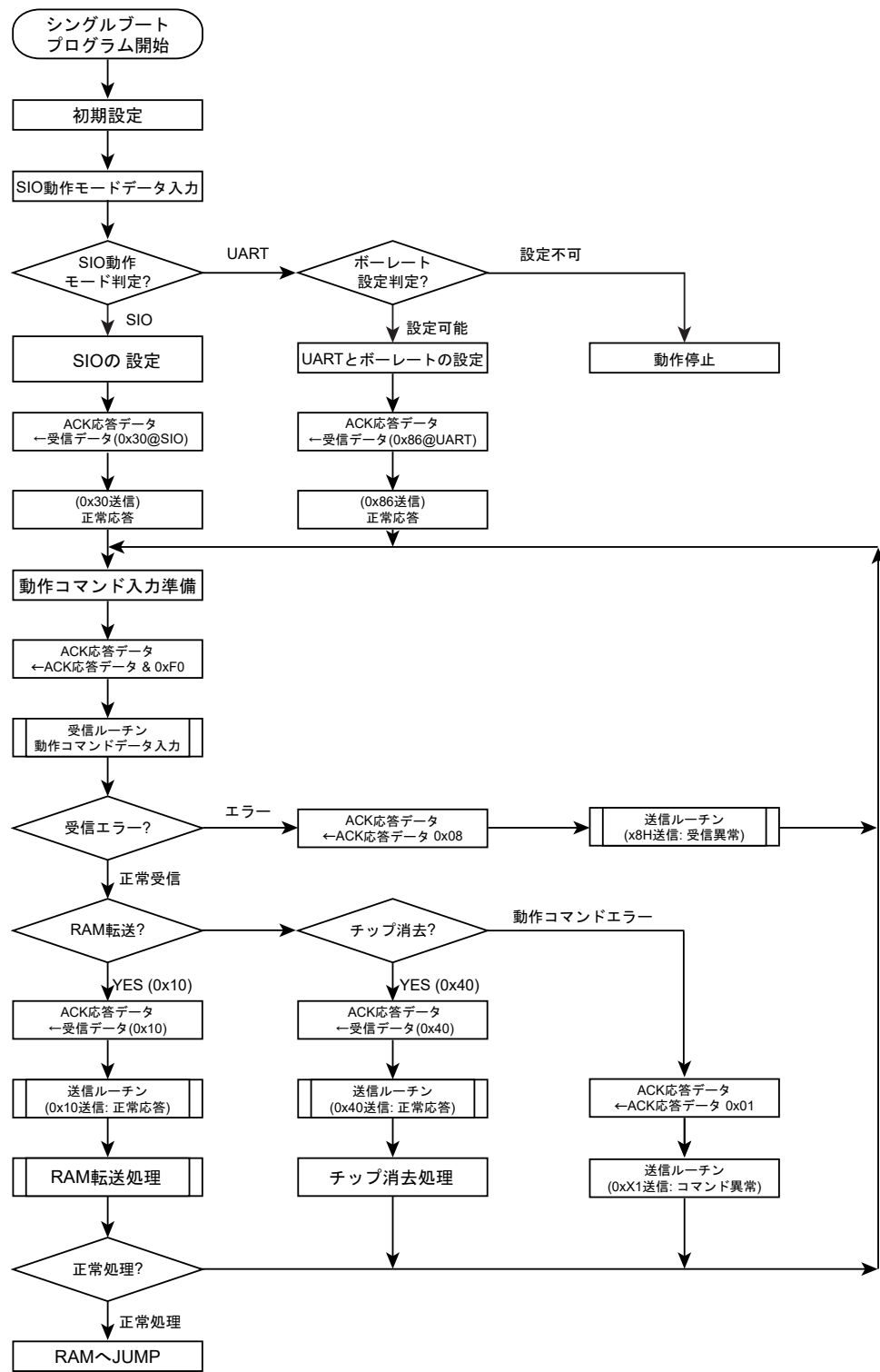


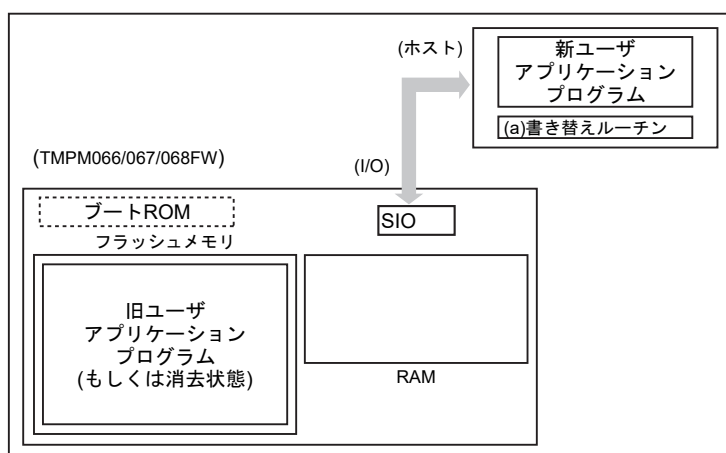
図 20-11 ブートプログラム全体フローチャート

20.3.9 内蔵 BOOT ROM の書き替えアルゴリズムを利用した書き替え手順

内蔵ブートプログラムを利用した書き替え手順を示します。

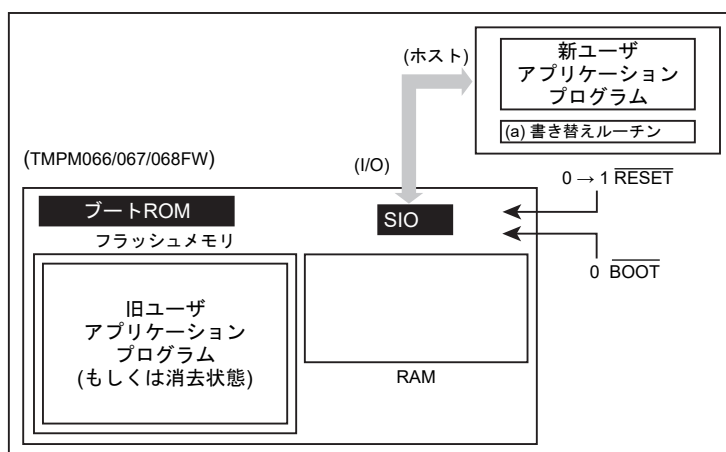
20.3.9.1 Step-1

フラッシュメモリの状態は旧バージョンのユーザプログラムが書かれた状態でも、消去されている状態でも構いません。書き替えルーチン、書き替えデータなどの転送は SIO (SIO1) を経由して行いますので、ボード上で本デバイスの SIO (SIO1) と外部ホストとをつなげます。書き替えを行うための(a)書き替えルーチンはホスト上に用意します。



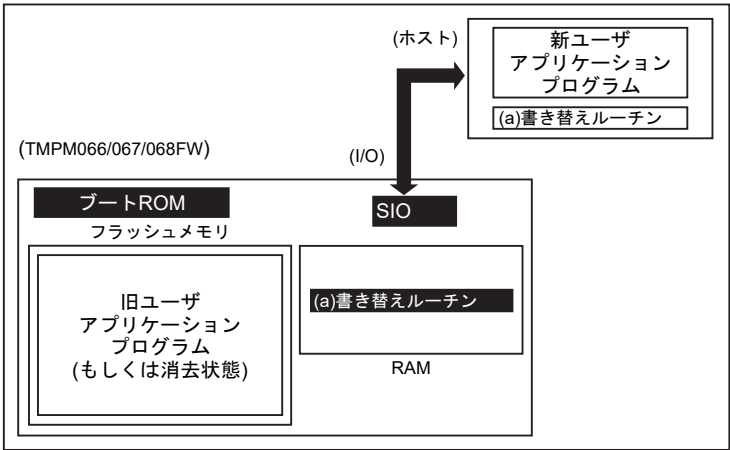
20.3.9.2 Step-2

シングルブートモードの端子条件設定でリセットを解除し、BOOT ROM で起動します。シングルブートモードの手順に従い、SIO1 を経由して転送元(ホスト)より(a)書き替えルーチンの転送を行います。最初にユーザアプリケーションプログラム上に記録されているパスワードとの照合を行います。(フラッシュメモリが消去されている状態でも、消去データ(0xFF)をパスワードとして照合を行います。)



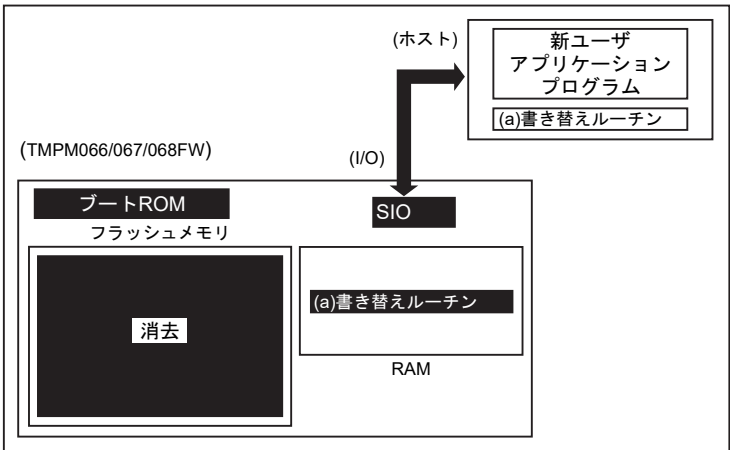
20.3.9.3 Step-3

パスワードの照合が終了すると、転送元(ホスト)から(a)書き替えルーチンを転送します。BOOT ROM はそのルーチンを内部 RAM にロードします。ただし、RAM 上のアドレス 0x2000_0400 から RAM の最終番地の範囲に格納してください。



20.3.9.4 Step-4

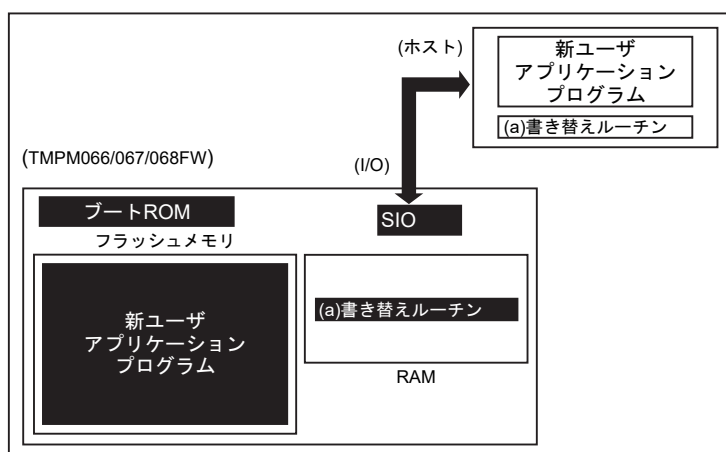
RAM 上の(a)書き替えルーチンへジャンプし、旧ユーザアプリケーションプログラムエリアの消去を行います。(ブロック単位または一括)



20.3.9.5 Step-5

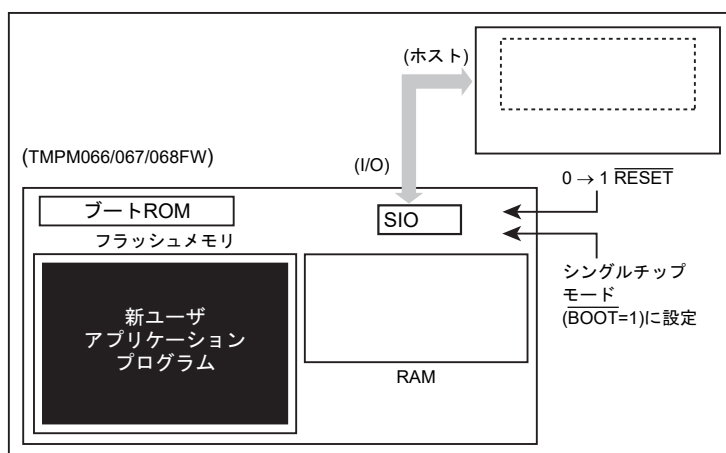
さらに、RAM 上の(a)書き換えルーチンを実行して、転送元(ホスト)より新ユーザアプリケーションプログラムデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザプログラムエリアのライト/消去プロテクトをオンにします。

下の例の場合、書き換えルーチンを転送したときと同じホストおよび SIO1 経由で書き換えデータも転送されていますが、RAM 上で動作を開始した以降では、ユーザ独自にデータバスおよび転送元を設定することもできます。方法に応じて、ボードのハードおよび書き換えルーチンを組み立ててください。



20.3.9.6 Step-6

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。この後、再度電源を入れ直し、シングルチップモード(ノーマルモード)起動し、新しいユーザアプリケーションプログラムを実行します。



20.4 ユーザブートモードによる書き替え方法

ユーザブートモードは、ユーザ独自のフラッシュメモリ書き替えルーチンを使う方法です。ユーザアプリケーション上で用意されているフラッシュメモリ書き替え用のプログラムで用いるデータ転送バスが、シリアル I/O と異なる場合に使用します。動作はシングルチップモード上で行います。このため、シングルチップモードで通常のユーザアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザブートモードに移行する必要があります。従って、条件判定を行うプログラムをユーザアプリケーションの中で、リセット処理プログラムの中に組み込んでください。

このモード切り替えの条件設定は、ユーザのシステムセット条件 に合わせて独自に構築してください。また、ユーザブートモード移行後に使用するユーザ独自のフラッシュメモリ書き替えルーチンも同様にユーザアプリケーションの中にあらかじめ組み込んでおき、ユーザブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。なお、フラッシュメモリは消去/書き込み動作モード中はフラッシュのデータを読み出せません。このため、書き替えルーチンはフラッシュメモリエリア外に格納して実行させる必要があります。また、シングルチップモード（通常動作モード）中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにライト/消去プロテクトをかけておくことを推奨します。ユーザブートモードでも、リセットを除く割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

書き替えルーチンをフラッシュメモリに置く場合と、外部から転送する場合の 2 ケースを例に、以下 (1-A), (1-B)にその手順を説明します。フラッシュメモリへの書き込み/消去 方法の詳細は、「20.2 フラッシュメモリ詳細」を参照してください。

20.4.1 (1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例

20.4.1.1 Step-1

ユーザは、あらかじめ どのような条件 (例えば端子状態) に設定されたらユーザブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 3 つのプログラムを書き込んでおきます。

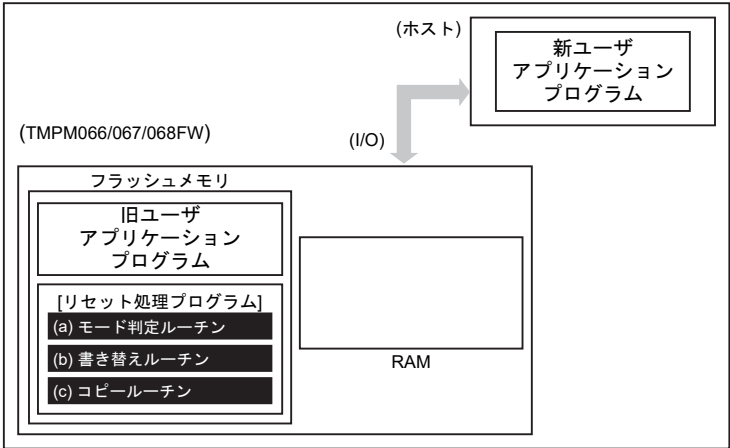
- (a) モード判定ルーチン:

(b) フラッシュ書き替えルーチン:

(c) コピールーチン:
- 書き替え動作に移るためのプログラム

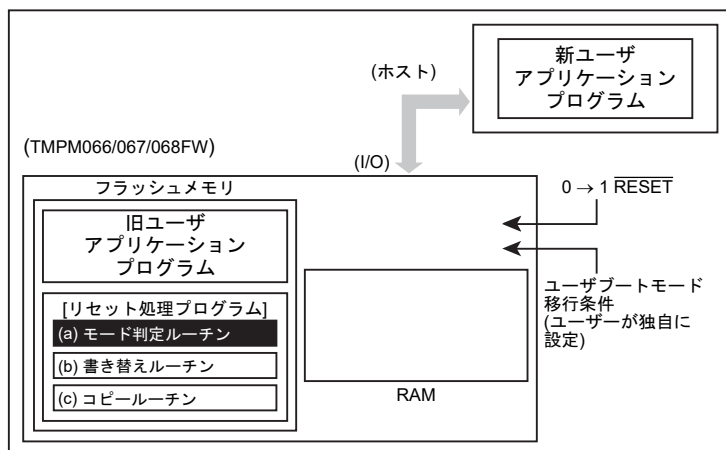
書き替えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム

上記(b)を内蔵 RAM または外部メモリにコピーするためのプログラム



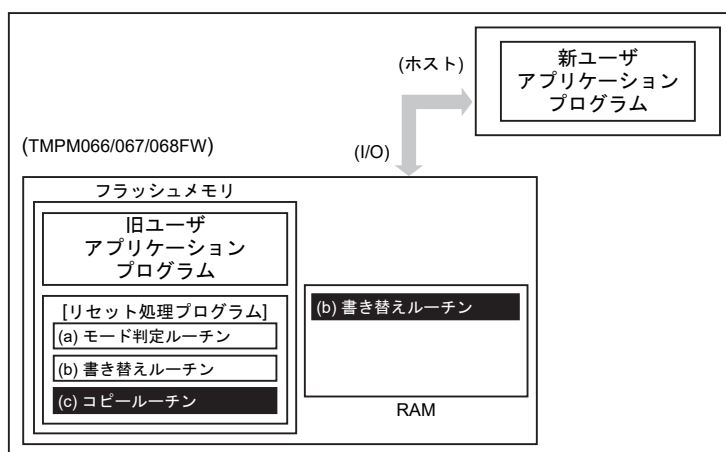
20.4.1.2 Step-2

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット処理プログラムでユーザブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザブートモードに移ります。



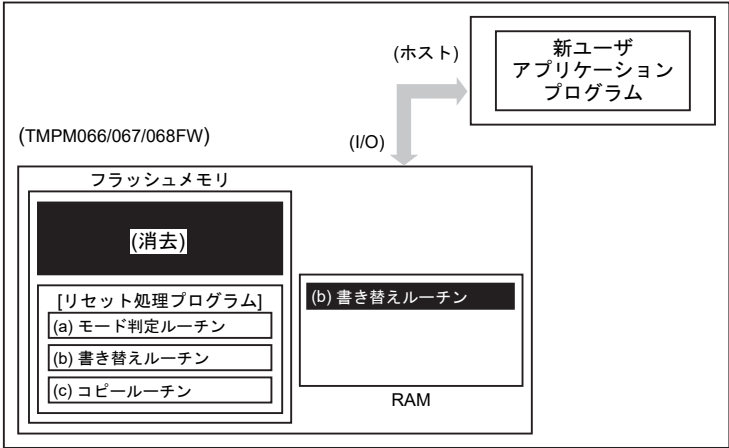
20.4.1.3 Step-3

ユーザブートモードに移ると、(c)コピールーチンを使用して、(b)書き替えルーチンを内蔵 RAM にコピーします。



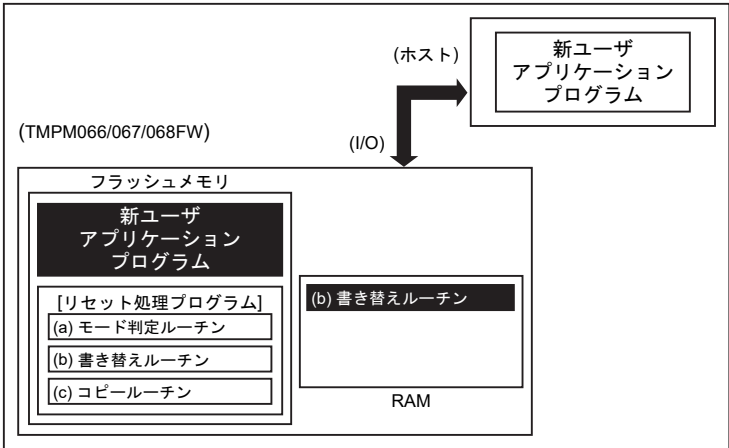
20.4.1.4 Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザプログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



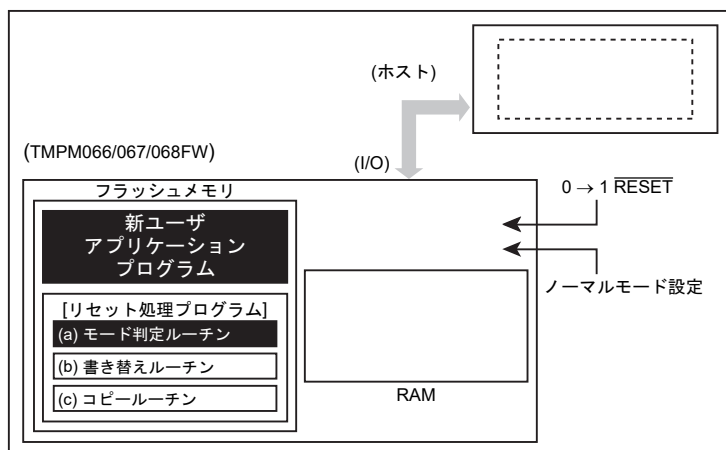
20.4.1.5 Step-5

さらに、RAM 上の書き替えルーチンを実行して、転送元 (ホスト) より新ユーザアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザプログラムエリアのライト/消去プロテクトをオンにします。



20.4.1.6 Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザアプリケーションプログラムで動作を開始します。



20.4.2 (1-B)書き替えルーチンを外部から転送する手順例

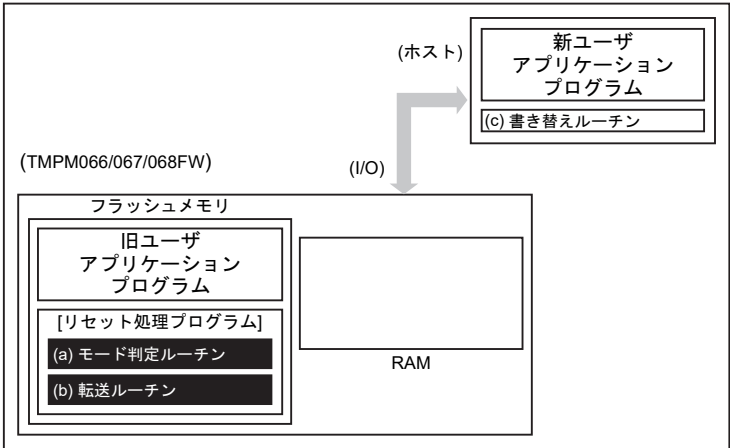
20.4.2.1 Step-1

ユーザは、あらかじめ どのような条件(例えば端子状態)に設定されたらユーザブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 2 つのプログラムを書き込んでおきます。

- (a) モード判定ルーチン: 書き替え動作に移るためのプログラム
- (b) 転送ルーチン: 書き替えプログラムを外部から取り込むためのプログラム

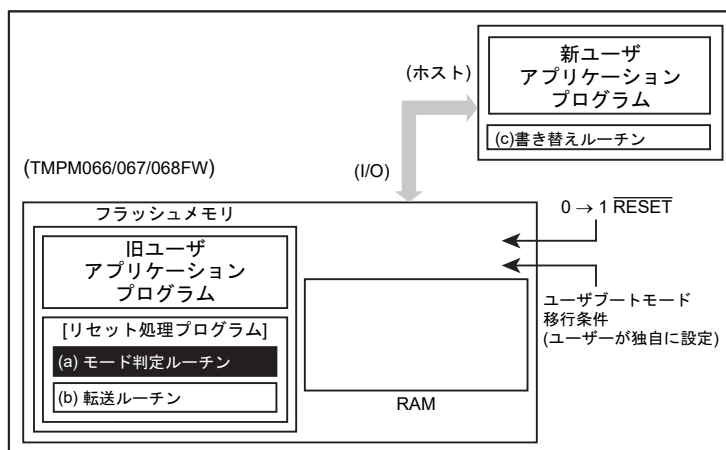
また、下記に示すプログラムはホスト上に用意します。

- (c) 書き替えルーチン: 書き替えを行うためのプログラム



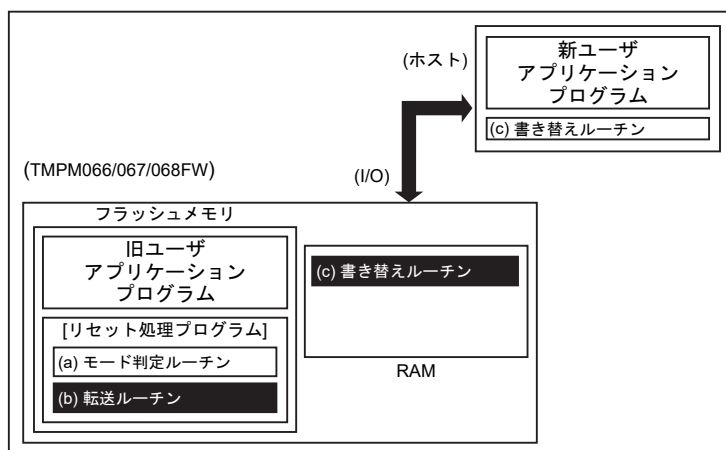
20.4.2.2 Step-2

以下、リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムでユーザブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザブートモードに移ります。



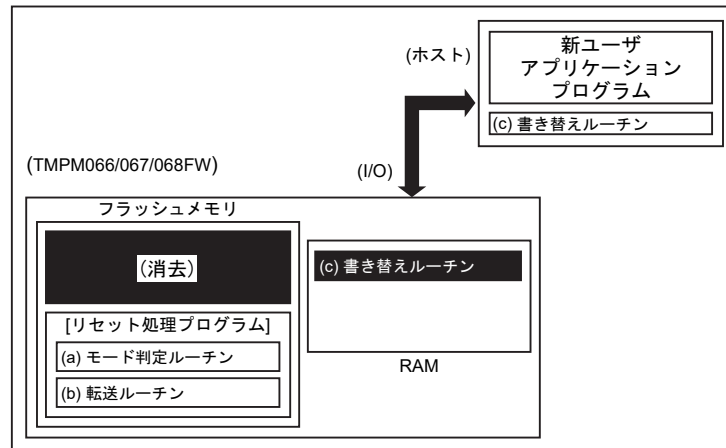
20.4.2.3 Step-3

ユーザブートモードに移ると、(b)転送ルーチンを使用して、転送元(ホスト)より(c)書き替えルーチンを内蔵 RAM にロードします。



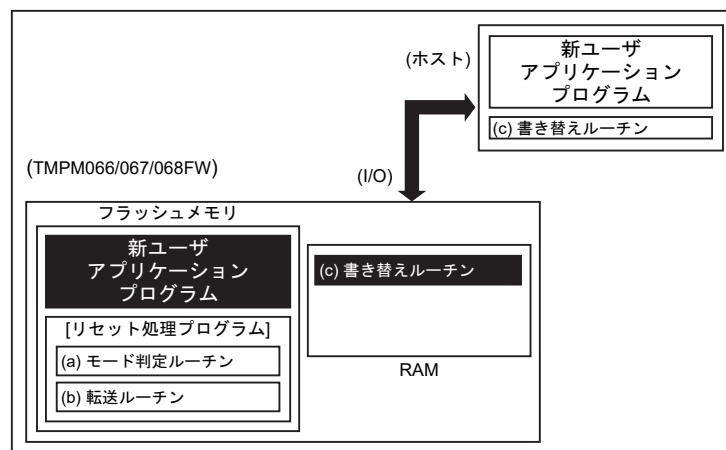
20.4.2.4 Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザプログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



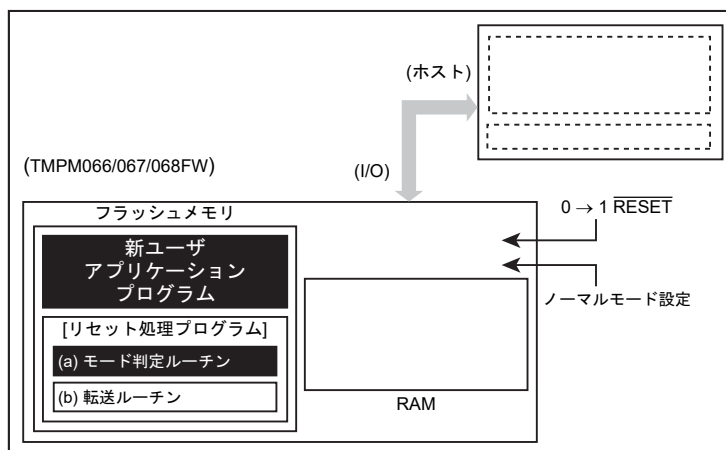
20.4.2.5 Step-5

さらに、RAM上の(c)書き替えルーチンを実行して、転送元(ホスト)より新ユーザアプリケーションプログラムのデータをロードし、消去したエリアに書き込みを行います。書き込みが完了したら、ユーザプログラムエリアのライト/消去プロテクトをオンにします。



20.4.2.6 Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードに設定します。リセット解除後、新ユーザアプリケーションプログラムで動作を開始します。



第 21 章 デバッグインタフェース

21.1 仕様概要

TMPM066/067/068FW はデバッグツールと接続するためのデバッグインタフェースとして SWJ-DP (Serial Wire JTAG Debug Port)ユニットを搭載しています。

SWJ-DP の詳細に関しましては Arm 社からリリースされる"Arm ドキュメンテーションセット Cortex-M0 用"を参照してください。

21.2 SWJ-DP

シリアルワイヤデバッグポート(SWCLK, SWDIO)をサポートしています。

Pin name	Function	Description	I/O
SWDIO	SW	Serial Wire Data Input/Output	I/O
SWCLK	SW	Serial Wire Clock	Input

21.3 ホールトモード中の周辺機能

Cortex-M0 コアがホールトモードに入ると、ウォッチドッグタイマ(WDT)が自動的に停止します。また、16 ビットタイマ(TMRB および TMR16A) はホールドモード時に動作するかどうかを指定することができます。その他の周辺機能は動作を続けます。

21.4 デバッグツールとの接続

21.4.1 接続方法

デバッグツールとの接続方法については、お使いになるツールメーカーが推奨する接続方法を参照してください。また、デバッグインタフェース端子はプルアップ/プルダウン抵抗を内蔵した端子です。外部にプルアップ/プルダウン抵抗を接続する際は注意してください。

注) デバッグツールを接続すると、STOP1 モード時の消費電流は増加します。

21.4.2 デバッグインタフェース端子を汎用ポートとして使用する際の注意

デバッグインタフェース端子は汎用ポートと兼用です。

リセット解除後、デバッグ端子となるもの以外は汎用ポート機能となります。必要に応じてデバッグ端子を使用する設定を行ってください。

デバッグ時にユーザプログラムでリセット解除後すぐに汎用ポートに設定を変更すると、デバッグツールからの制御が受け付けられず、デバッグツールによるデバッグができなくなる場合があります。

デバッグインタフェース端子の使用状況に合わせて、設定を変える場合は注意してください。

表 21-1 デバッグインタフェース端子の使用例

	使用するデバッグインタフェース端子	
	SWCLK	SWDIO
SW	o	o

o：イネーブル×：ディセーブル(汎用ポートとして使用可能)

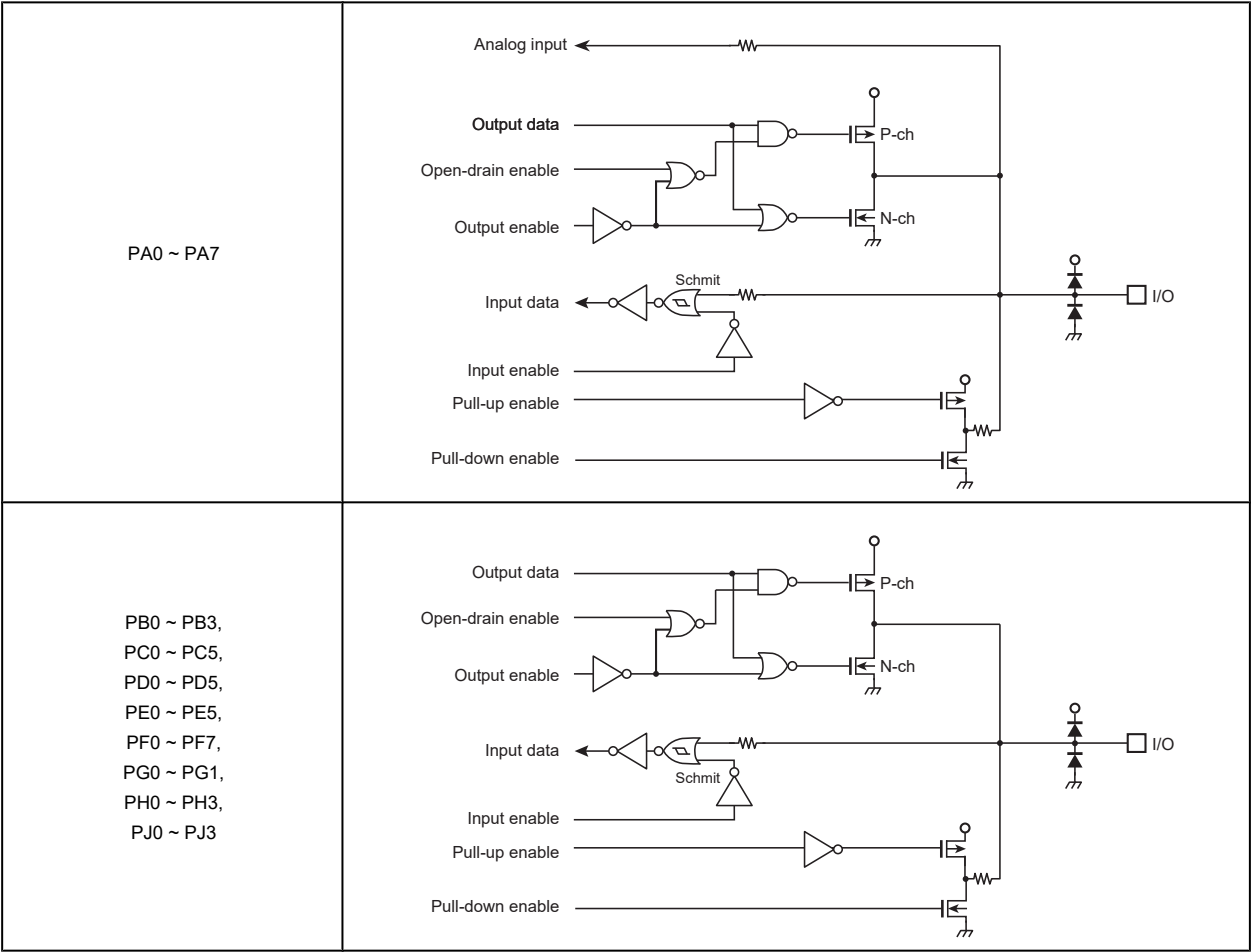
第 22 章 ポート等価回路図

ポート等価回路図は、基本的に標準 CMOS ロジック IC 「74HCxx」 シリーズと同じゲート記号を使って書かれています。

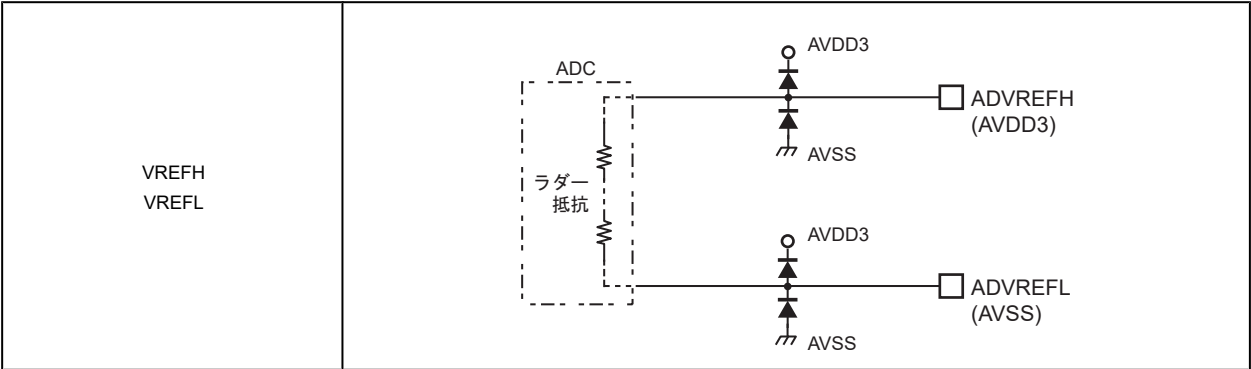
入力保護抵抗は、数十 Ω ～ 数百 Ω 程度です。X2 のダンピング抵抗値は、図中に typ. 値を記入しています。

注) 図中の数値の記載のない抵抗は、入力保護抵抗を示します。

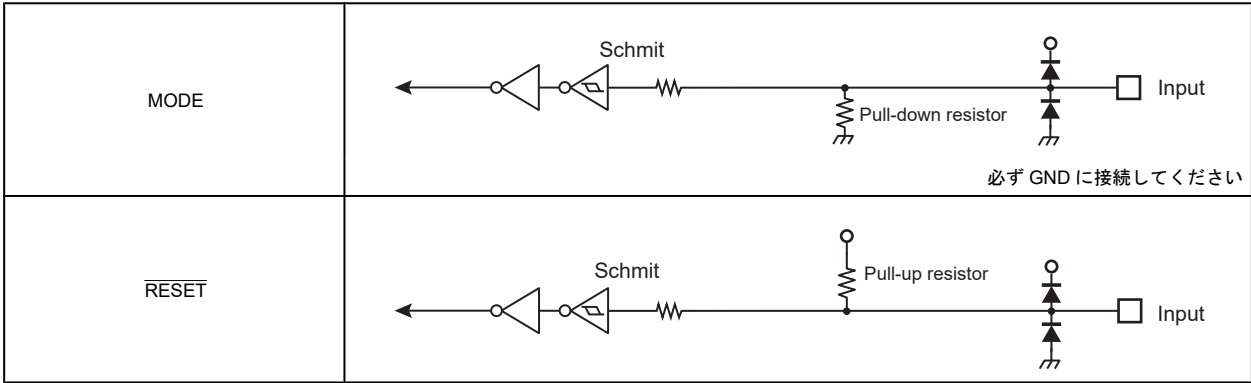
22.1 ポート



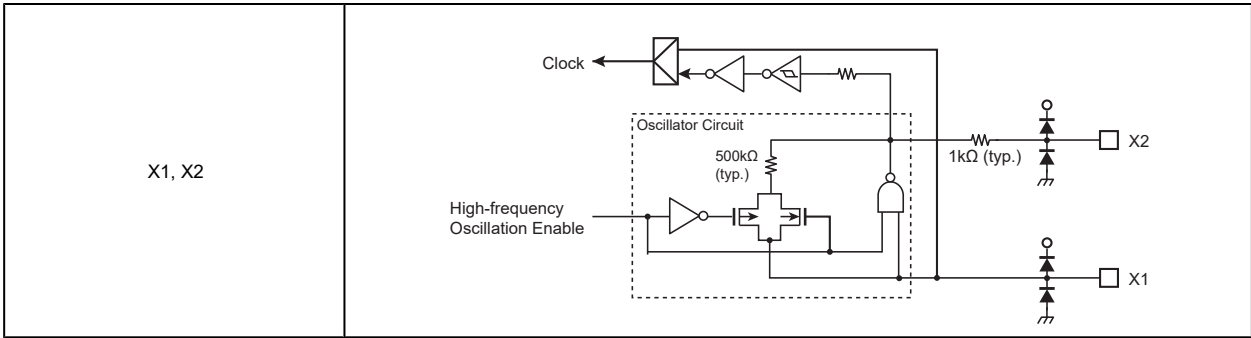
22.2 アナログ端子



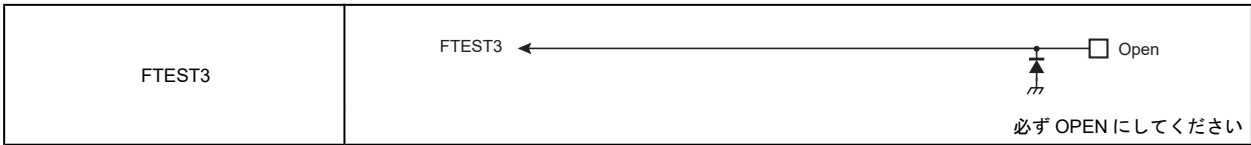
22.3 制御端子



22.4 クロック



22.5 テスト端子



第 23 章 電気的特性

23.1 絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD3	-0.3 ~ 3.9	V
		RVDD3	-0.3 ~ 3.9	
		AVDD3	-0.3 ~ 3.9	
入力電圧	デジタル端子	V _{IN1}	-0.3 ~ DVDD3 + 0.3	V
	アナログ端子	V _{IN2}	-0.3 ~ AVDD3 + 0.3	
低レベル 出力電流	1 端子(下記以外)	I _{OL1}	5	mA
	PF0,PF1,PF2,PF3	I _{OL2}	20	
	合計	ΣI _{OL}	75	
高レベル 出力電流	1 端子(下記以外)	I _{OH1}	-5	
	PF0,PF1,PF2,PF3	I _{OH2}	-20	
	合計	ΣI _{OH}	-75	
消費電力 (Ta = 85 °C)		PD	600	mW
はんだ付け温度(10 s)		T _{SOLDER}	260	°C
保存温度	(下記以外)	T _{STG}	-55 ~ 125	°C
	BGA 品		-40 ~ 125	
動作温度		T _{OPR}	-40 ~ 85	°C

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格(電流, 電圧, 消費電力, 温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

23.2 DC 電気的特性 (1/2)

DVSS = RVSS = AVSS = 0V
Ta = -40 ~ 85 °C

項目		記号	条件	Min	Typ.	Max	単位
電源電圧	DVDD3	DVDD3	fOSC = 8 ~ 16 MHz fsys = 1 ~ 24 MHz	1.8	-	3.6	V
	RVDD3	RVDD3					
	AVDD3	AVDD3					
低レベル 入力電圧	PB0 ~ 3, PC0 ~ 5, PD0 ~ 5, PE0 ~ 5, PF0 ~ PF7 PG0,1 PH0 ~ 3, PJ0 ~ PJ3(注 1)	VIL1	Schmitt 入力	-0.3	-	0.2 DVDD3	V
	PA0 ~ 7	VIL2				0.2 AVDD3	
	X1, MODE, RESET	VIL3				0.2 DVDD3	
高レベル 入力電圧	PB0 ~ 3, PC0 ~ 5, PD0 ~ 5, PE0 ~ 5, PF0 ~ PF7 PH0 ~ 3, PJ0 ~ PJ3(注 1)	VIH1	Schmitt 入力	0.8 DVDD3	-	DVDD3+0.3	V
	PA0 ~ 7	VIH2		0.8 AVDD3		AVDD3+0.3	
	X1, MODE, RESET	VIH3		0.8 DVDD3		DVDD3+0.3	
低レベル出 力電圧	PAX,PBX,PCX,PDX,PEx ,PF4-7,PGX,PHX,PJx (注 1)	VOL1	IO1 = 2 mA 2.7 ≤ DVDD3 ≤ 3.6V	-	-	0.4	V
		VOL2	IO2 = 1 mA 1.8 ≤ DVDD3 < 2.7V			0.4	
	PF0,PF1,PF2,PF3	VOL3	IO3 = 10 mA 1.8 ≤ DVDD3 ≤ 3.6V			0.4	
高レベル出 力電圧	PAX,PBX,PCX,PDX,PEx ,PF4-7,PGX,PHX,PJx (注 1)	VOH1	IOH1 = -2 mA 2.7 ≤ DVDD3 ≤ 3.6V	DVDD3-0.4	-	DVDD3	V
		VOH2	IOH2 = -1 mA 1.8 ≤ DVDD3 < 2.7V	DVDD3-0.4	-	DVDD3	
	PF0,PF1,PF2,PF3	VOH3	IOH3 = -10 mA 1.8 ≤ DVDD3 ≤ 3.6V	DVDD3-0.4	-	DVDD3	

注 1) 製品により実装されていない端子があります。詳細は端子一覧を参照してください。

DVSS = RVSS = AVSS = 0V

Ta = -40 ~ 85 °C

項目	記号	条件	Min	Typ. (注 1)	Max	単位
入力リーク電流	—	$0.0 \leq V_{IN} \leq DVDD3$ $0.0 \leq V_{IN} \leq AVDD3$	—	0.02	±5	μA
	PC0, PC1, PG0, PG1 (電源 OFF 時)	$0.0 \leq V_{IN} \leq DVDD3$ $0 \leq DVDD3 \leq 0.2$	—	—	±1.8	
出力リーク電流	I _{LO}	$0.2 \leq V_{IN} \leq DVDD3 - 0.2$ $0.2 \leq V_{IN} \leq AVDD3 - 0.2$	—	0.05	±10	
シュミット入力幅	VTH1	$2.7 \text{ V} \leq DVDD3 \leq 3.6 \text{ V}$	0.1 DVDD3	—	—	V
	VTH2	$1.8 \text{ V} \leq DVDD3 \leq 2.7 \text{ V}$	0.1 DVDD3	—		
リセットプルアップ抵抗	RRST	$1.8 \text{ V} \leq DVDD3 \leq 3.6 \text{ V}$	25	50	75	kΩ
プログラマブルプルアップ/ダウン抵抗	PKH1	$2.7 \text{ V} \leq DVDD3 \leq 3.6 \text{ V}$	25	50	75	kΩ
	PKH2	$1.8 \text{ V} \leq DVDD3 < 2.7 \text{ V}$	25	50	120	
Pin 容量 (電源端子を除く)	C _{IO}	fc = 1 MHz	—	—	10	pF
低レベル出力電流	I _{OL1}	1 端子ごと: PAx, PBx, PCx, PDx, PEx, PF4-57, PGx, PHx, PJx $1.8 \text{ V} \leq DVDD3 \leq 3.6 \text{ V}$	—	—	2	mA
	I _{OL2}	1 端子ごと: PF0, PF1, PF2, PF3 $1.8 \text{ V} \leq DVDD3 \leq 3.6 \text{ V}$	—	—	10	mA
	ΣI _{OL1}	ポートごと: PA	—	—	10	mA
	ΣI _{OL2}	ポートエリアごと: PFx, PCx	—	—	32	mA
	ΣI _{OL3}	ポートエリアごと: PBx, PDx, PEx, PGx, PHx, PJx	—	—	32	mA
高レベル出力電流	I _{OH1}	1 端子ごと: PAx, PBx, PCx, PDx, PEx, PF4-57, PGx, PHx, PJx $1.8 \text{ V} \leq DVDD3 \leq 3.6 \text{ V}$	—	—	-2	mA
	I _{OH2}	1 端子ごと: PF0, PF1, PF2, PF3 $1.8 \text{ V} \leq DVDD3 \leq 3.6 \text{ V}$	—	—	-10	mA
	ΣI _{OH1}	ポートごと: PA	—	—	-10	mA
	ΣI _{OH2}	ポートエリアごと: PFx, PCx	—	—	-32	mA
	ΣI _{OH3}	ポートエリアごと: PBx, PDx, PEx, PGx, PHx, PJx	—	—	-32	mA
	ΣI _O	全端子 (全ポート)	—	—	±60	mA

注 1) Typ. 値は特に指定のない限り Ta = 25 °C, DVDD3 = RVDD3 = AVDD3 = 3.3 V の値です。

注 2) DVDD3, RVDD3, AVDD3, は同電位で使用してください。

23.3 DC 電気的特性 (2/2)

Ta = -40 ~ 85 °C

項目	記号	条件			Min	Typ. (注)	Max	単位
		電源電圧	高速 発振器	動作条件				
NORMAL	I _{DD}	DVDD3 = RVDD3 = AVDD3 = 3.6V	発振	全回路動作	-	-	32	mA
		NORMAL1	動作条件は表 23-1 を参照ください		-	28	30	
		NORMAL2			-	13	14	
IDLE		DVDD3 = RVDD3 = AVDD3 = 3.3V	動作条件は表 23-1 を参照ください		-	7	8	mA
STOP1					-	15	320	μA

注) Typ.値は特に指定のない限り Ta = 25 °C, DVDD3 = RVDD3 = AVDD3 = 3.3 V 時の代表値です。

表 23-1 I_{DD} 測定条件 (端子設定、発振回路)

		NORMAL1	NORMAL2	IDLE	STOP1
端子設定	DVDD3 = RVDD3 = AVDD3	3.3V			
	X1, X2 端子	発振子接続 (10MHz)			
	入力端子	固定			
	出力端子	開放			
動作条件 (発振回路)	システムクロック (fsys)	24MHz			停止
	外部高速発振器 (EHOSC)	発振			停止
	内部高速発振器 (IHOSC)	停止			
	fsys 用 PLL	動作 (6 通倍, fosc=16MHz)			停止
	CPU	動作			
	周辺回路	USB	動作	停止	停止
		USB 以外	動作	停止	停止

23.4 10 ビット AD コンバータ変換特性

AVSS = DVSS = 0V, Ta = -40 ~ 85 °C

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧(+)	AVDD	–	1.8	2.7	3.6	V
アナログ入力電圧	VAIN	–	AVSS	–	AVDD	V
アナログ基準 電圧電源電流	AD 変換時	IREF DVSS = AVSS	–	0.45	0.7	mA
	AD 非変換時		–	15	50	nA
微分非直線性誤差	–	変換時間 = 16.2μ S AVDD = 2.7 ~ 3.6V	–	4.0	6.0	LSB
積分非直線性誤差			–	4.0	6.0	
ゼロ誤差			–	4.0	6.0	
フルスケール誤差			–	4.0	6.0	
総合誤差			–	4.0	6.0	
微分非直線性誤差	–	変換時間 = 32.4μ S AVDD = 1.8 ~ 3.6V	–	4.0	6.0	
積分非直線性誤差			–	4.0	6.0	
ゼロ誤差			–	4.0	6.0	
フルスケール誤差			–	4.0	6.0	
総合誤差			–	4.0	6.0	

注 1) 1LSB = (AVDD – AVSS)/1024 [V]

注 2) AD コンバータ単体動作の時の特性です。

注) Typ.値は特に指定のない限り Ta = 25 °C, DVDD3 = RVDD3 = AVDD3 = 3.3 V 時の代表値です。

23.5 AC 電気的特性

23.5.1 シリアルチャネル (SIO/UART)

23.5.1.1 AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- 出力レベル: High = $0.8 \times DVDD3$ 、Low = $0.2 \times DVDD3$
- 入力レベル: High = $0.8 \times DVDD3$ 、Low = $0.2 \times DVDD3$
- 負荷容量: CL = 30pF

23.5.1.2 AC 電気的特性(I/O インタフェースモード)

表中の x は SIO の動作クロックの周期を表します。SIO の動作クロックは、システムクロック fsys と同じ周期です。

(1) SCLK 入力モード

[データ入力]

DVDD3=2.7V to 3.6V						
項目	記号	計算式		fsys = 24 MHz		単位
		Min	Max	Min	Max	
SCLK クロック High 幅(入力)	tSCH	4x	–	166.7	–	ns
SCLK クロック Low 幅(入力)	tSCL	4x	–	166.7	–	
SCLK 周期	tSCY	tSCH + tSCL	–	333.3	–	
有効 Data 入力 ← SCLK 立ち上がり/立ち下がり (注 1)	tSRD	30	–	30	–	
SCLK 立ち上がり/立ち下がり (注 1) → 入力 Data 保持	tHSR	x + 30	–	71.7	–	

[データ出力]

DVDD3=2.7V to 3.6V						
項目	記号	計算式		fsys = 24 MHz		単位
		Min	Max	Min	Max	
SCLK クロック High 幅(入力)	tSCH	4x	–	170 (注 3)	–	ns
SCLK クロック Low 幅(入力)	tSCL	4x	–	170 (注 3)	–	
SCLK 周期	tSCY	tSCH + tSCL	–	340	–	
Output Data ← SCLK 立ち上がり/立ち下がり (注 1)	tOSS	tSCY/2 – 3x – 45	–	0 (注 2)	–	
SCLK 立ち上がり/立ち下がり (注 1) → Output Data 保持	tOHS	tSCY/2	–	170	–	

注 1) SCLK 立ち上がり/立ち下がり SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。
注 2) 計算値がマイナスにならない範囲の SCLK 周期で使用してください。
注 3) tOSS を"0"とした場合の値を示しています。計算式による値ではありません。

(2) SCLK 出力モード

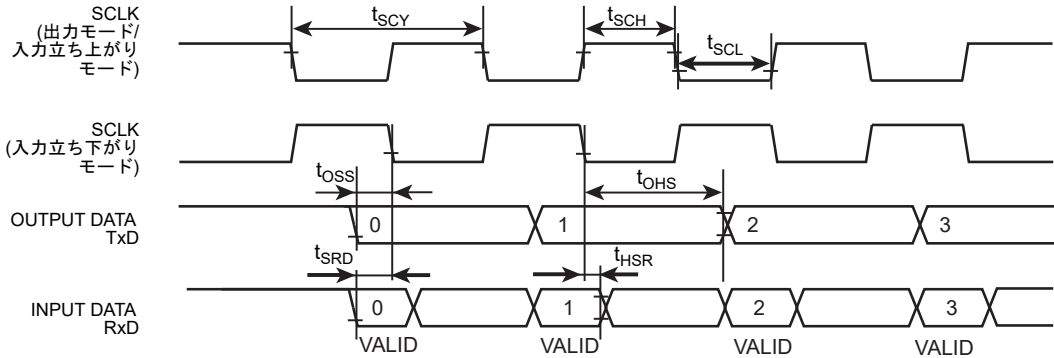
DVDD3=2.7V to 3.6V

項目	記号	計算式		fsys = 24 MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	tSCY	2x	–	84	–	ns
Output Data ← SCLK 立ち上がり	tOSS	tSCY/2 - 30	–	12	–	
SCLK 立ち上がり → Output Data 保持	tOHS	tSCY/2 - 30	–	12	–	
有効 Data 入力 ← SCLK 立ち上がり	tSRD	45	–	45	–	
SCLK 立ち上がり → Input Data 保持	tHSR	0	–	0	–	

DVDD3=1.8V to 2.7V

項目	記号	計算式		fsys = 24 MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	tSCY	2x	–	140 (注2)	–	ns
Output Data ← SCLK 立ち上がり	tOSS	tSCY/2 - 30	–	12	–	
SCLK 立ち上がり → Output Data 保持	tOHS	tSCY/2 - 70	–	0 (注1)	–	
有効 Data 入力 ← SCLK 立ち上がり	tSRD	90	–	90	–	
SCLK 立ち上がり → Input Data 保持	tHSR	0	–	0	–	

注1) 計算値がマイナスにならない範囲の SCLK 周期で使用してください。
注2) tOHS を"0"とした場合の値を示しています。計算式による値ではありません。



23.5.2 I2C インタフェース (I2C)

23.5.2.1 AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- ・ 出力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- ・ 入力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- ・ 負荷容量: CL = 30pF

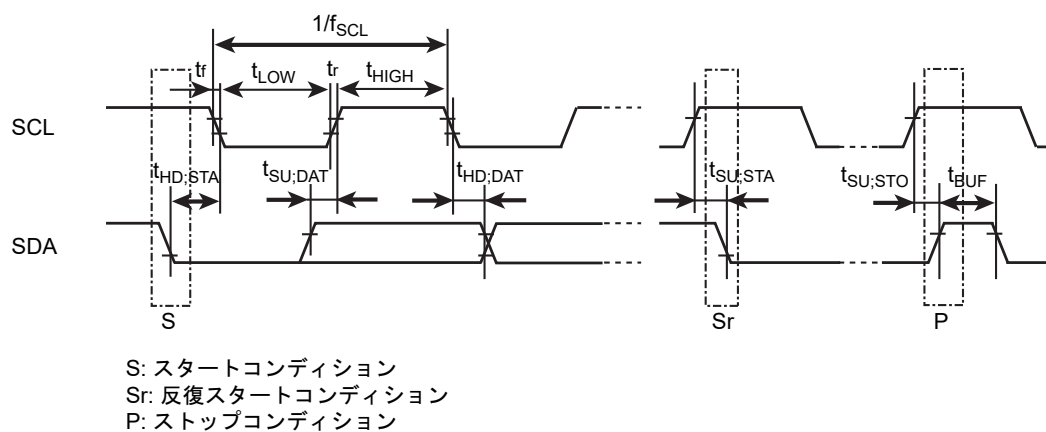
23.5.2.2 AC 電気的特性

x は I2C の動作クロックの周期を表します。I2C の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

n は I2CxCR1<SCK>で指定した SCL 出力クロックの周波数選択値、p は I2CxPRS<PRSCk>で指定したプリスケアラ分周比です。

DVDD3=2.7V to 3.6V								
項目	記号	標準モード		ファーストモード		ファーストモード+		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	fSCL	0	100	0	400	0	1000	kHz
スタートコンディション保持	tHD; STA	4.0	–	0.6	–	0.26	–	μs
SCL クロック Low 幅(入力) (注 1)	tLOW	4.7	–	1.3	–	0.5	–	
SCL クロック High 幅(入力) (注 2)	tHIGH	4.0	–	0.6	–	0.26	–	
再スタートコンディション セットアップ時間(注 5)	tSU; STA	4.7	–	0.6	–	0.26	–	
データ保持時間(入力) (注 3, 4)	tHD; DAT	0.0	–	0.0	–	0.0	–	
データセットアップ時間	tSU; DAT	250	–	100	–	50	–	ns
ストップコンディションセットアップ時間	tSU; STO	4.0	–	0.6	–	0.26	–	μs
ストップコンディションとスタート コンディション間のバスフリー時間(注 5)	tBUF	4.7	–	1.3	–	0.5	–	

- 注 1) SCL クロック LOW 幅(出力): $P \times (2^{n+1} + 10) / X$ (I2CxOP<NFSEL>=0)
- 注 2) SCL クロック HIGH 幅(出力): $P \times (2^{n+1} + 6) / X$ (I2CxOP<NFSEL>=0)
I2C 通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記注 1,注 2 の計算式で設定されますのでご注意願います (P : I2CxPRS<PRSCk[4:0]>で決まる値、n : I2CxCR1<SCK[2:0]>で決まる値)
- 注 3) データ保持時間(出力)は内部 SCL からプリスケアラクロック(Tprscck) 4 サイクル分の時間です。
- 注 4) I2C 通信規格では内部で、SDA 入力時にデータホールド 300ns を確保して SCL 立ち下がり時の不安定状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスローブコントロール機能を持っていません。従って、SCL/SDA の tr/tf を含めて BUS 上で上表のデータ保持時間(入力)を守るように設計してください。
- 注 5) ソフトウェアに依存します。



23.5.3 東芝シリアルペリフェラルインタフェース仕様 (TSPI)

23.5.3.1 AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- ・ 出力レベル: High = $0.8 \times DVDD3$ 、Low = $0.2 \times DVDD3$
- ・ 入力レベル: High = $0.8 \times DVDD3$ 、Low = $0.2 \times DVDD3$
- ・ 負荷容量: CL = 30pF (TSPIxSCLK, TSPIxTXD0~3), 30pF (TSPIxCS)

[スレーブモード]

DVDD3 = 2.7V to 3.6V

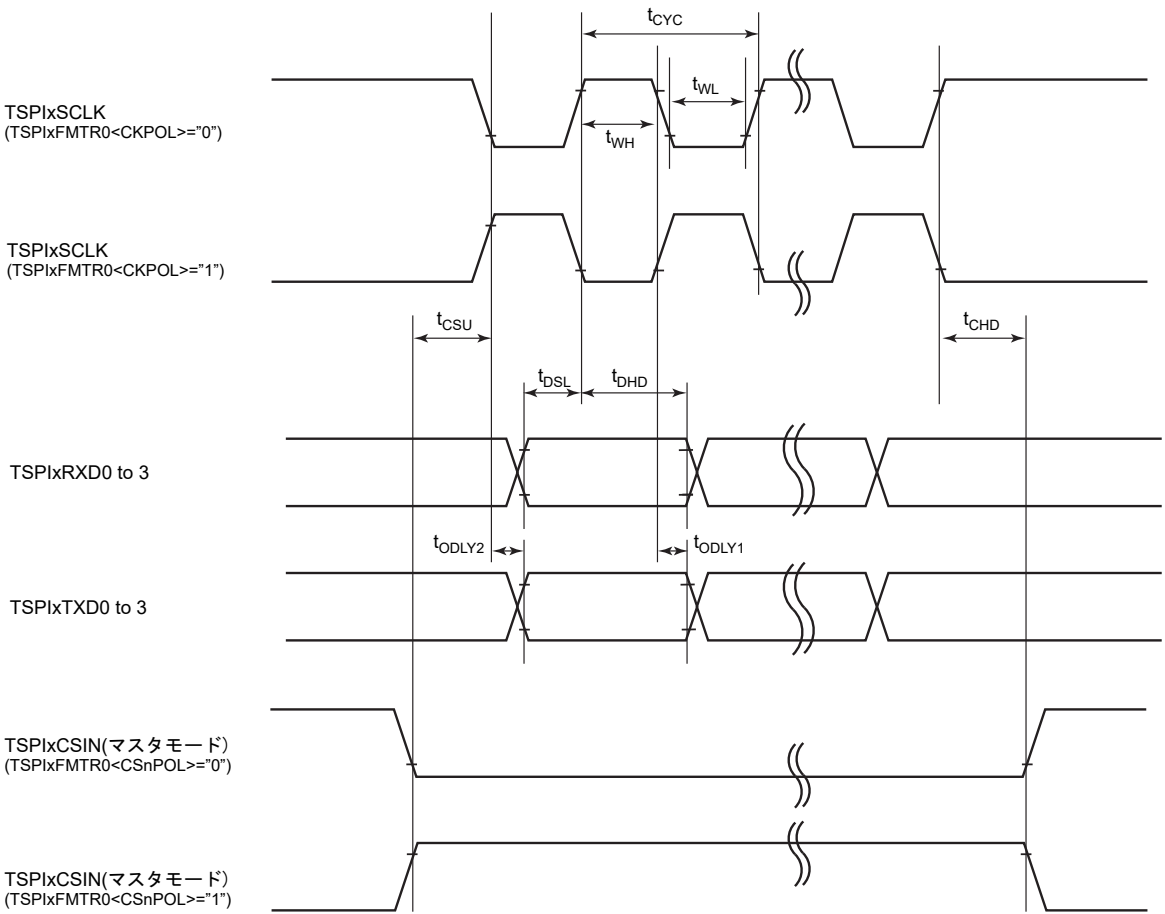
項目	記号	計算式		単位
		Min	Max	
TSPIxSCLK 入力周波数	f _{CYC}	–	12	MHz
TSPIxSCLK 入力周期	t _{CYC}	83.3	–	ns
TSPIxSCLK 低レベル入力パルス幅	t _{WL}	28.7	–	
TSPIxSCLK 高レベル入力パルス幅	t _{WH}	28.7	–	
TSPIxCsIN 入力 → TSPIxSCLK 立ち下がり時間	t _{CSU}	63.3	–	
TSPIxSCLK 立ち上がり → TSPIxCsIN 入力時間	t _{CHD}	5	–	
TSPIxRXD 入力 ← TSPIxSCLK 立ち上がりデータセットアップ時間	t _{DSU}	7	–	
TSPIxSCLK 立ち上がり → TSPIxRXD 入力データホールド時間	t _{DHD}	10	–	
TSPIxSCLK 立ち上がり → TSPIxTXD 出力データ保持時間	t _{ODLY1}	0	–	
TSPIxSCLK 立ち上がり → TSPIxTXD 出力データ遅延時間	t _{ODLY2}	–	25	

[マスタモード]

DVDD3 = 2.7V to 3.6V

項目	記号	計算式		t _{CYC} =83.3ns 時	単位
		Min	Max		
TSPIxSCLK 出力周波数	f _{CYC}	–	12	12	MHz
TSPIxSCLK 出力周期	t _{CYC}	83.3	–	83.3	ns
TSPIxSCLK 低レベル出力パルス幅	t _{WL}	(t _{CYC} /2) - 13	–	28.7	
TSPIxSCLK 高レベル出力パルス幅	t _{WH}	(t _{CYC} /2) - 13	–	28.7	
TSPIxCsN 出力 → TSPIxSCLK 立ち上がり/立ち下がり時間	t _{CSU}	t _{CYC} × k1 - 20	–	63.3	
TSPIxSCLK 立ち上がり/立ち下がり → TSPIxCsN のホールド	t _{CHD}	t _{CYC} × k2 + 0.5 - 20	–	63.3	
TSPIxSCLK 立ち上がり/立ち下がり → TSPIxRXD 入力データセットアップ時間	t _{DSU}	5	–	5	
TSPIxSCLK 立ち上がり/立ち下がり → TSPIxRXD 入力データホールド時間	t _{DHD}	f _{sys} + 0	–	41.7	
TSPIxSCLK 立ち上がり/立ち下がり → TSPIxTXD 出力データ保持時間	t _{ODLY1}	-10	–	-10	
TSPIxSCLK 立ち上がり/立ち下がり → TSPIxTXD 出力データ遅延時間	t _{ODLY2}	–	13	13	

注) k1 の値は TSPIxFMTR0<CSSCKDL[3:0]>, K2 の値は TSPIxFMTR0<SCKCSDL[3:0]>の設定値によります。

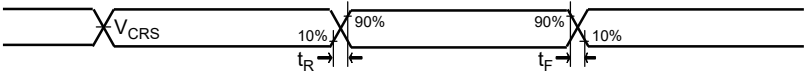


23.5.4 USB タイミング（フルスピード）

DVDD3= 3.0 V to 3.45V

項目	記号	Min	Max	単位
DP,DM 立ち上がり時間	t R	4	20	ns
DP,DM 立ち下がり時間	t F	4	20	
出力進行公差電圧	VCRS	1.3	2.0	V

USB-DP, DM



23.5.5 16-bit タイマ/イベントカウンタ(TMRB)

23.5.5.1 イベントカウンタ

(1) AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- ・ 入力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- ・ 負荷容量: CL = 30pF

(2) AC 電気的特性

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		fsys = 24 MHz		単位
		Min	Max	Min	Max	
クロック低レベルパルス幅	tVCKL	2x + 100	–	183.3	–	ns
クロック高レベルパルス幅	tVCKH	2x + 100	–	183.3	–	

23.5.5.2 キャプチャ

(1) AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- ・ 入力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- ・ 負荷容量: CL = 30pF

(2) AC 電気的特性

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		fsys = 24 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	tCPL	2x + 100	–	183.3	–	ns
高レベルパルス幅	tCPH	2x + 100	–	183.3	–	

23.5.6 高分解能 16 ビットタイマ(TMRD) PPG 出力

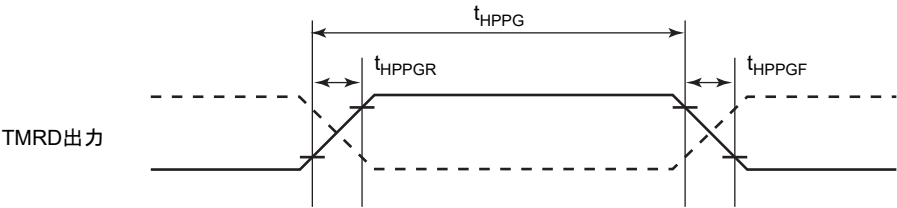
23.5.6.1 AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- 出力レベル: High = $0.8 \times DVDD3$ 、Low = $0.2 \times DVDD3$
- 負荷容量: CL = 30pF

DVDD3 = 2.7 V to 3.6 V

項目	記号	TMRD クロック = 96 MHz		単位
		Min	Max	
PPG 出力設定可能最少パルス幅	t _{HPPGP}	104.2	–	ns
PPG 出力立ち上がり時間	t _{HPPGR}	–	15	
PPG 出力立ち下がり時間	t _{HPPGF}	–	15	



23.5.7 外部割り込み

23.5.7.1 AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- ・ 入力レベル: High = $0.8 \times DVDD3$ 、Low = $0.2 \times DVDD3$
- ・ 負荷容量: CL = 30pF

23.5.7.2 AC 電気的特性

表中の x はシステムクロック fsys の周期を表します。

1. STOP1 解除割り込み以外

項目	記号	計算式		fsys = 24 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t _{INTAL}	x + 100	–	141.7	–	ns
高レベルパルス幅	t _{INTAH}	x + 100	–	141.7	–	

2. STOP1 解除割り込み

項目	記号	計算式		fsys = 24 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t _{INTBL}	500	–	500	–	ns
高レベルパルス幅	t _{INTBH}	500	–	500	–	

23.5.8 デバッグ通信

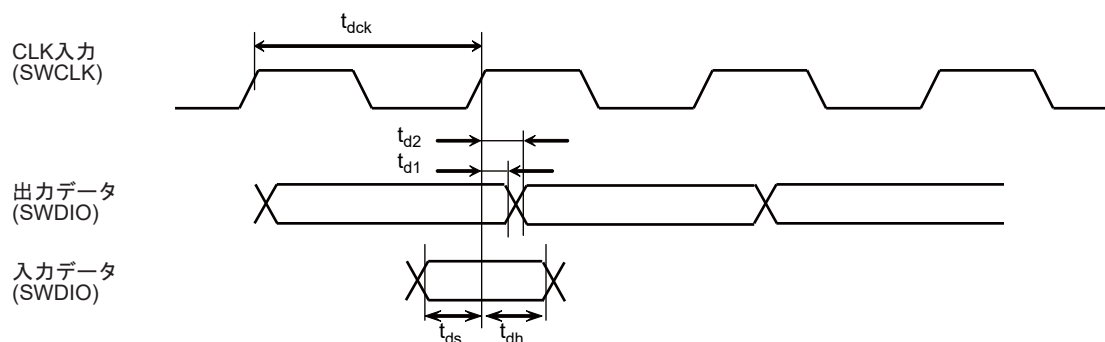
23.5.8.1 AC 測定条件

- ・ 出力レベル: High = $0.8 \times DVDD3$, Low = $0.2 \times DVDD3$
- ・ 入力レベル: Low = $0.8 \times DVDD3$, Low = $0.2 \times DVDD3$
- ・ 負荷容量: CL = 30pF (SWDIO)

23.5.8.2 SWD インタフェース

DVDD3 = 1.8V to 3.6V

項目	記号	Min	Max	単位
CLK 周期	t_{dck}	100	–	ns
CLK 立ち上がり → 出力データ保持	t_{d1}	4	–	
CLK 立ち上がり → 出力データ有効	t_{d2}	–	30	
入力データ有効 → CLK 立ち上がり	t_{ds}	20	–	
CLK 立ち上がり → 入力データ保持	t_{dh}	15	–	



23.5.9 内蔵発振回路特性

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	IHOSC	Ta = -40 to 85°C	9.0	10	11	MHz

注) 発振周波数精度を要求するシステムクロック(fsys)としては使用しないでください。

注) Typ.値は特に指定のない限り Ta = 25 °C, DVDD3 = RVDD3 = AVDD3 = 3.3 V 時の代表値です。

23.5.10 外部発振子

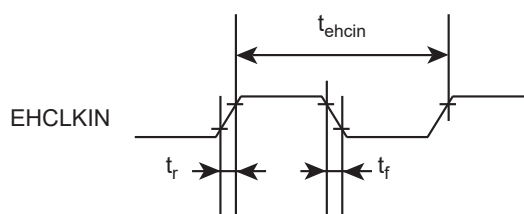
項目	記号	条件	Min	Typ.	Max	単位
高周波発振	EHOSC	Ta = -40 to 85°C	8	–	16	MHz

23.5.11 外部クロック入力

DVDD3=RVDD3=AVDD3=1.8 to 3.6V, DVSS = RVSS = AVSS = 0V

Ta = -40 ~ 85 °C

項目	記号	Min	Typ.	Max	単位
クロック周波数(注 1)	t_{ehcin}	8	—	~ 16, 48	MHz
クロック Duty	—	45	—	55	%
クロック立ち上がり時間	t_r	—	—	10	ns
クロック立ち下がり時間	t_f	—	—	10	ns

注 1) 入力クロック周波数 : $8\text{MHz} \leq \text{クロック周波数} \leq 16\text{MHz}$ 、クロック周波数=48MHz

23.5.12 フラッシュ特性

項目	条件	Min	Typ.	Max	単位
フラッシュメモリ書き換え保証回数	DVDD3 = RVDD3 = AVDD3 = 1.8 V to 3.6 V Ta = 0 ~ 70°C	—	—	100	回

23.5.13 ノイズフィルタ特性

項目	条件	Min	Typ.	Max	単位
ノイズキャンセル幅	—	15	30	60	ns

注) Typ.値は特に指定のない限り Ta = 25 °C, DVDD3 = RVDD3 = AVDD3 = 3.3 V 時の代表値です。

23.6 発振回路

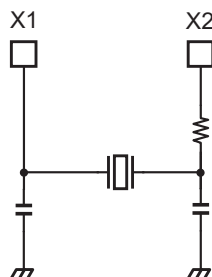


図 23-1 高周波発振回路例

注) 発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願い致します。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

23.6.1 セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。

(株)村田製作所の製品詳細につきましては、同社ホームページを参照してください。

23.6.2 水晶発振子

本製品は京セラ(株)製水晶発振子を用いて評価しています。

京セラ(株)の製品詳細につきましては、同社ホームページを参照してください。

23.6.3 プリント基板の設計に関する注意

水晶振動子と発振のための素子を接続する基板パターンは浮遊容量やインダクタンスによる特性の劣化を防止するために最短距離の配線長で設計してください。また、多層基板の場合は発振回路の直下の層には面グランドや信号パターンを配線しないようにお願いします。詳しくは、発振子メーカーのホームページを参照してください。

23.7 取り扱い上のご注意

23.7.1 電源投入時の電源立ち上がりについて

電源投入時の電源立ち上がりについては、下記の範囲としてください。

TMPM066/067/068FW には複数の電源端子があります。それぞれの端子について、電源投入を全て同時に行ってください。

電源端子=DVDD3、AVDD3、RVDD3

Ta = -40 ~ 85 °C

項目	条件	Min	Typ.	Max	単位
電源投入時の電源立ち上がり	0V → 1.8V to 3.6V	-	-	10	mV/μs

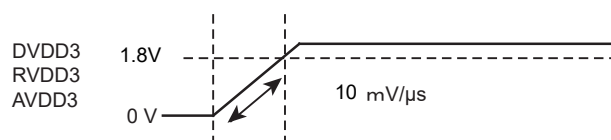


図 23-2 電源投入時の電源電圧変化の勾配

23.7.2 動作中の電圧降下発生について

動作中に電圧降下が発生し、動作電圧が動作可能電圧範囲を下回った場合(ブラウンアウト)は、再電源投入を行ってください。

23.7.3 動作範囲内電圧変動について

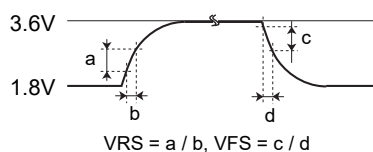
動作範囲内でも電圧変動によって誤動作を起こす場合があります。この場合は、再電源投入を行ってください。

電源端子=DVDD3、AVDD3、RVDD3

Ta = -40 ~ 85 °C

項目	記号	条件	Min	Typ.	Max	単位
動作範囲内電源変動レート	VRS	RVDD3 = DVDD3	-	-	2.25	mV/μs
	VFS		-	-	-1.8	

注 1) VRS, VFS の変動は電氣的特性に対して厳しい箇所で測定してください。



23.7.4 起動時の電圧について

TMPM066/067/068FW は、動作下限電圧 1.8V となっていますが、初期起動時は LVD 検知電圧が

2.0V±0.2 の設定になっているために、DVDD3(=RVDD3) > 2.2V で起動してください。

起動後、プログラムで LVD を動作禁止にすることにより、1.8V 下限電圧まで動作可能となります。

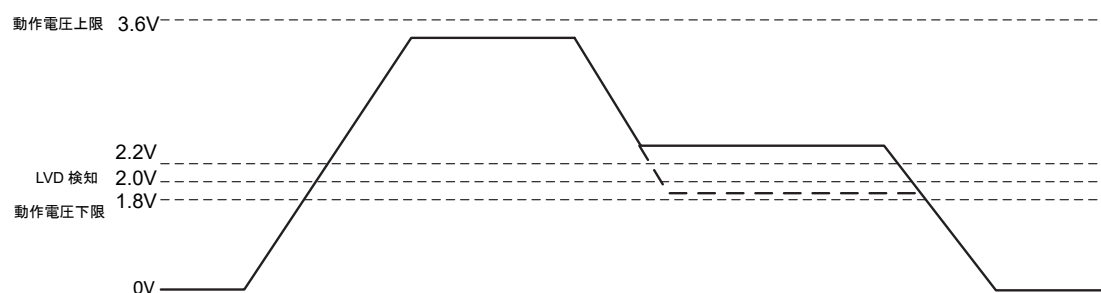


図 23-3 起動時の電圧

パッケージ型名 : LQFP64-P-1010-0.50E

外形寸法図

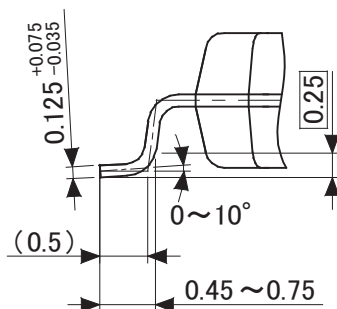


図 24-1 TMPM066FWUG

パッケージ型名：QFN48-P-0707-0.50

外形寸法図

Unit:mm

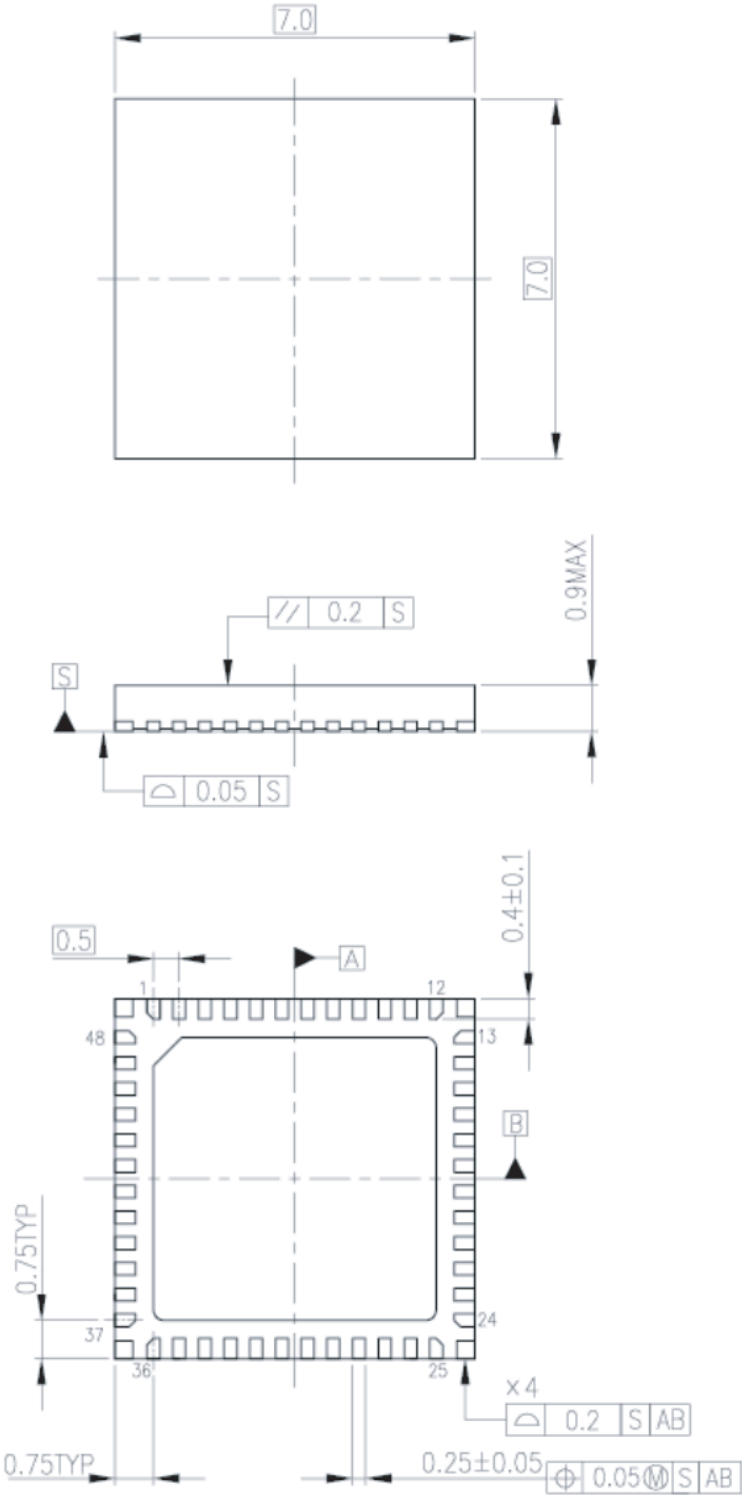


図 24-2 TMPM067FWQG

外形寸法図

Unit:mm

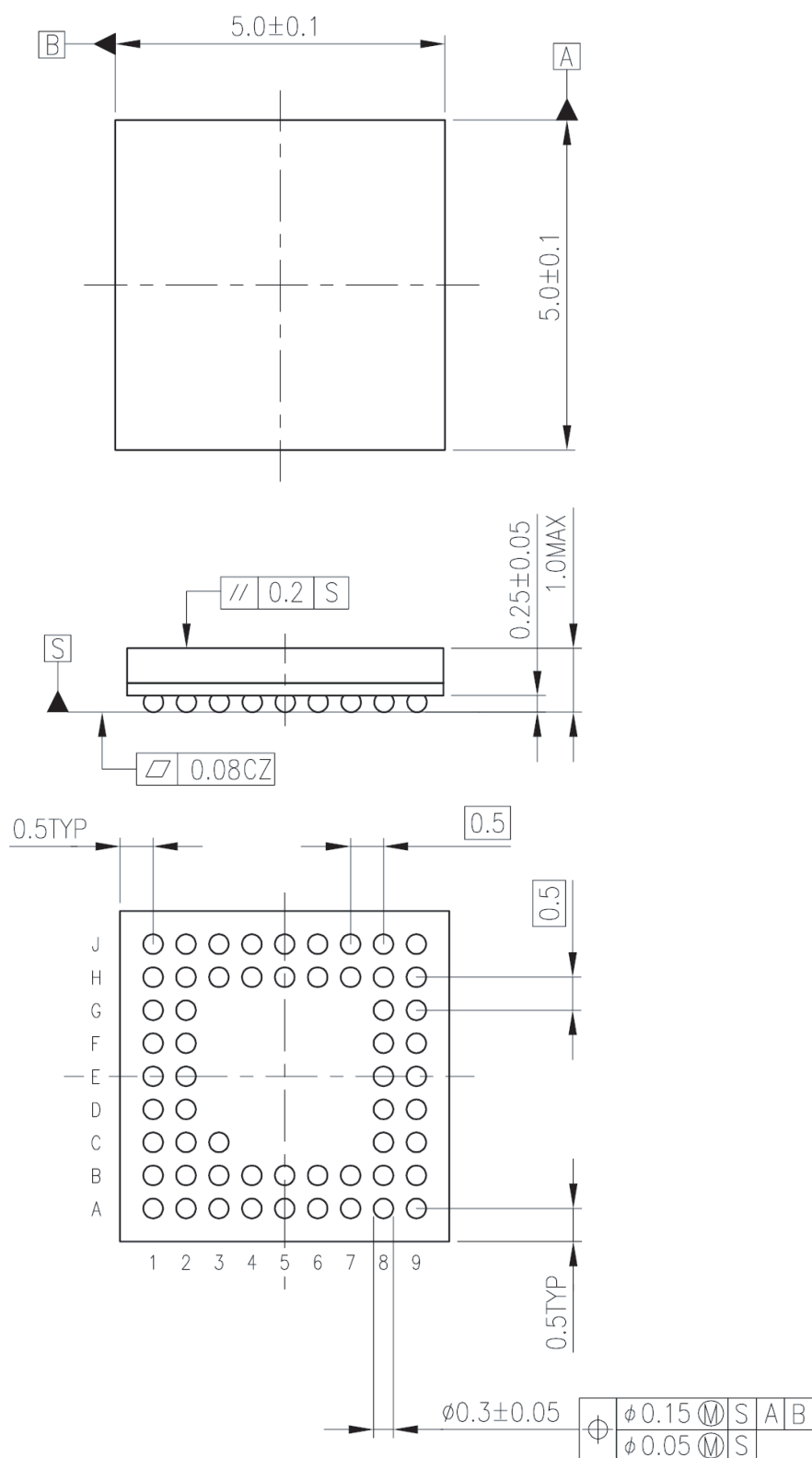


図 24-3 TMPM068FWXBG

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（生命直結機器）、車載・輸送機器、防衛関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。