

<h1>译文</h1>
-------------

## TC358770AXBG\_TC358777XBG

<p>本资料是为了参考的目的由原始文档翻译而来。 使用本资料时，请务必确认原始文档关联的最新 信息，并遵守其相关指示。</p>
---

<p>原本： “TC358770AXBG_TC358777XBG” 2016-09-01</p>
--

翻译日: 2016-09-01

CMOS 数字集成电路硅单片

# TC358770AXBG\_TC358777XBG

移动外设

## 概述

本“功能规范”对集成两种视频 DSI 数据流包（各 DSI 链路一股）连入单一 DisplayPort™ 视频流的 TC358770AXBG\_TC358777XBG 芯片的运行情况进行了详细说明。

TC358770AXBG 与 TC358777XBG 之间的唯一不同在于封装尺寸。TC358770AXBG 的封装为 5.0mm x 5.0mm，焊球间距为 0.4mm。而 TC358777XBG 的封装为 7.0mm x 7.0mm，焊球间距为 0.65mm。

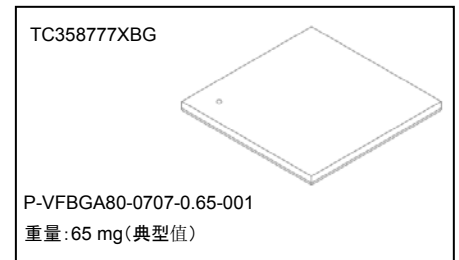
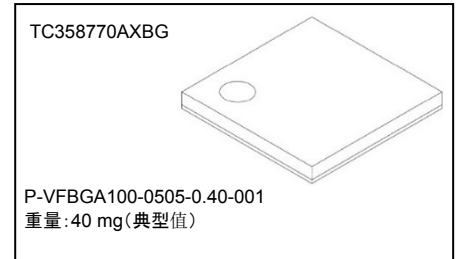
TC358770AXBG\_777XBG 支持两个独立的 4-数据通道 DSI 接收器和一个 4-通道 DisplayPort 发射机。每条 DSI 链路数据通道都能接收速率高达 1 Gbps 的数据，总输入数据传输速率达 8 Gbps。每条 DSI 接收器链路可以独立启用 0-、1-、2-、3-或 4-数据通道。DP 主链路可在 1.62 或 2.7 Gbps 切换比特率，最大输出数据传输速率为 8.64 Gbps。DP 发射机能通过主链路 1-、2-或 4-通道工作。

目标应用是高分辨率 DisplayPort 显示板，在 4 Gbps 时无法通过单个 4-数据通道达到其带宽要求。

TC358770AXBG 是颗理想桥接芯片已让应用处理器或主机通过双 DSI 链路，可驱动高达 2560 x 2048 x 24（或 18）@60fps 的 DisplayPort 显示板。

## 特点

- TC358770AXBG\_777XBG 遵循以下标准：
  - ✧ MIPI® DSI 版本 1.02, 2010.01。
  - ✧ MIPI® D-PHY 版本 1.0, 2009.05。
  - ✧ VESA DisplayPort™ 标准, 版本 1.1a, 2008.01.11。
  - ✧ 数字内容保护 LLC, HDCP, 版本 1.3, DisplayPort™ 修订版 1.1, 2010.01.15。
- DSI 接收器
  - ✧ 在双 4-数据通道 DSI 链路上，只有数据通道 0 支持双向传输，可用于 1-、2-、3- 或 4-数据通道配置。
  - ✧ 每条通道的最大传输速度为 1 Gbps。
  - ✧ 视频输入数据格式：RGB-565、RGB-666 和 RGB-888。
  - ✧ 支持新的 DSI V1.02 数据类型：16-位 YCbCr 422。
  - ✧ 不支持交错视频模式。
  - ✧ 为 DSI 主机/发射机提供路径，以控制 TC358770AXBG\_777XBG 及其附属显示板。
  - ✧ 在对 TC358770AXBG 进行编程之前，需要 DSI 链路高速时钟（DSIClk）或外部基准时钟（RefClk）。
- DisplayPort™ 时钟源/发射机
  - ✧ VESA DisplayPort™ 标准, 版本 1.1a。
    - 比特率为 1.62 或 2.7 Gbps，电压波动为 0.4、0.6、0.8 或 1.2 V，预加重水平为 0, 3.5 或 6dB。
    - DP 主链路上有 4 条通道可用，可在 1-、2-或 4-通道配置下工作的。
    - AUX 通道标称比特率为 1 Mbps。
  - ✧ 收到 DSI 链路突发数据后，TC358770AXBG\_777XBG 将视频数据重新设置到 DP 显示板像素时钟，以便进行同步（至 DisplayPort™ 链路符号时钟，LSClk）时钟运行模式。
  - ✧ SSCG 可高达 30 kHz 调制以减少 EMI。
  - ✧ 内置 PRBS7 生成器在无 DSI 输入的情况下测试 DisplayPort™ 链路。
  - ✧ 内置彩条信号发生器验证 DisplayPort™ 协议。
  - ✧ 支持 HDCP 加密, 版本 1.3, DisplayPort™ 修订版 1.1。
  - ✧ 支持 ASSR（备用种子复位器）用于 eDP 显示板。
    - 系统设计方将 ASSR\_Disable 引脚 连接至内环 VSS\_IO 引脚，如引脚 E4，以启用 eDP 显示板和 ASSR



- 通过内环 VDDS 引脚，如引脚 D5 来驱动 ASSR\_Disable 引脚，以使用 DP 显示板和禁用 ASSR
- 系统软件读取修订 ID 字段，0x0500[7:0]:
  - 0x01 表示采用 eDP 显示板，应设置 eDP 显示板 DPCD 寄存位 0x0010A[0]。
  - 0x03 假定连接 DP 显示板，不应设置 DP 显示板 DPCD 寄存位 0x0010A[0]。
- I<sup>2</sup>C 从端口
  - ◇ 支持正常(100 kHz)、快速(400 kHz)和超快模式(2 MHz, 取决于 SysClk 频率)。
  - ◇ 外部 I<sup>2</sup>C 主机能够通过该端口访问 TC358770AXBG\_777XBG 内部寄存器。
  - ◇ 支持地址自动增量。
  - ◇ TC358770AXBG\_777XBG 从端口地址为 0x68 (二进制 1101\_000x) 其中，读取时 x = 1; 写入时 x = 0。可将 SPI\_SS/I2C\_ADR\_SEL 引脚设高位，以将从属地址改为 0x0F (二进制 0001\_111x)。
- SPI 从接口
  - ◇ 支持从机选择引脚。
  - ◇ 时钟极性和相位依据 SPI MODE0(极性= 0, 相位= 0)。
  - ◇ 传输帧大小为 48 位。
  - ◇ 最大时钟速度为 30 MHz。
- 音频接口
  - ◇ 支持 I2S 或 TDM(时分多路复用)模式。
  - ◇ TDM 模式能够支持 2、4、6 和 8 通道的音频数据。
  - ◇ 支持 16、18、20 或 24-位 PCM 音频数据字。
  - ◇ 支持采样频率 fs: 32、44.1、48、88.2、96、176.4 & 192 kHz。
  - ◇ 512 \* fs 音频过采样时钟需要生成准确的音频时钟时间戳，以便 DisplayPort™ 显示板能正确恢复音频时钟。
  - ◇ 可在每个通道插入 IEC60958 状态位和 preamble 位。
- 操作
  - ◇ 主机采用 DSI 链路 0 (DSI0)、I<sup>2</sup>C 总线或 SPI 总线对 TC358770AXBG\_777XBG 进行编程。
  - ◇ TC358770AXBG\_777XBG 为主机提供“邮箱寄存器”，“20-位 AuxAddr 和 16-字节 AuxData，以便访问 DisplayPort™ 显示板的 DisplayPort™ 配置数据、DPCD、寄存器。
  - ◇ 主机将视频行式数据分为两股 DSI 视频包数据流。主机有两种方法可对视频行式数据进行分流：
    - 左-右侧：左侧（首先）视频数据包分流进入 DSI0，右侧数据分流进入 DSI1。
    - 奇-偶组：偶数（首先）像素通过 DSI0 传送，而奇数像素通过 DSI1 传送。
      - 每一组的像素数量从 1 到 64 都是可编程的。
      - 每组像素数量和/或每个视频数据包内的组数在两个 DSI 链路之间可以不同。这种特点与 TC358770AXBG 性能有关，以支持可配置的数据通道数。
  - 在传送之前，对于每条 DSI 链路，建议主机将分流的视频行式数据整合到一个视频数据包内。但是，只要 DSI 链路带宽足以使用，TC358770AXBG\_777XBG 支持多种 DSI 数据包/横行时间。
    - ◇ TC358770AXBG\_777XBG 负责按照主机设定的寄存器数值生成视频帧时序。主机不需要处理/生成视频横时序，如横前沿/后沿和横脉冲宽度。主机负责将视频数据包及时、逐行地发送至 TC358770AXBG\_777XBG 并通过 HSS 对各行式数据进行分流。
    - 在两条 DSI 链路之间，主机应在每个横同步时段准确发送一行视频数据。
    - 主机应“同时”或在它们之间以固定延时/时滞 (HSS<sub>0</sub> 早于 HSS<sub>1</sub>) 启动 HSS<sub>0</sub> (HSS DSI0 数据包) 和 HSS<sub>1</sub> (HSS DSI1 数据包)。
      - “同时”表示在+ / -5 个时钟周期以内。
    - 两条 DSI 链路 Hsync 启动之间的时滞、HSS、数据包不能在一个视频帧时段内漂移超过一个视频行时间。
      - 建议主机采用一样的时钟源，以生成两条 DSI 链路时钟，从而防止这两个时钟漂移。
      - 否则，需要 50 ppm 精度的时钟源。
    - 建议各 DSI 链路逐个发送 HSS 和视频数据包。只要带宽允许，主机可以在 HSS 与视频数据包之间插入不同长度的空白数据包。
  - ◇ 在传送到显示板之前，TC358770AXBG\_777XBG 将两个视频数据包，每个 DSI 链路一个，连接至单个 DisplayPort™ 视频流。
- 时钟源：
  - ◇ 外部基准时钟 (RefClk) 用来驱动 PLL，以生成 DisplayPort™ 数据流/像素时钟 (StrmClk/PixelClk) 和链路符号时钟 (LSClk)。
  - 支持 DisplayPort™ 同步 (StrmClk 和 LSClk) 时钟模式。
    - RefClk 频率允许值：13、19.2、26、38.4 MHz。
  - ◇ 另外，可使用/下变频 DSI DSIClk 以替代 RefClk 并驱动所用 PLL，从而生成所需时钟。
    - DSI ByteClk 除数可以为

- 3 (115.2 ÷ 3 = 38.4)
- 4 (104 ÷ 4 = 26)
- 5 (96 ÷ 5 = 19.2)
- 9 (117 ÷ 9 = 13)

- 电源

- ◇ MIPI® D-PHY 和 DP PHY: 1.2 V
- ◇ 内核: 1.2 V
- ◇ DP-PHY: 1.8 V
- ◇ I/O: 1.8V ~3.3V (所有 IO 引脚功率级别必须相同)
- ◇ HPD 输入引脚 3.3 V

- 功耗 (典型条件)

- ◇ 睡眠状态, RESX 启用
  - 12 mW
- ◇ 典型运行:
  - 2560 × 1440 × 24@60fps
  - 双 DSIRx, 每条链路@3.7Gbps
    - 两条链路 31mW
  - 内核
    - 165 mW
  - DP Tx (4 条通道的链路速度为 2.7 Gbps, 电压波动为 0.4 V, 无预加重水平)
    - 168.5 mW
  - 总功率 = 364.5 mW

## 目录

参考文献 .....	7
1. 简介 .....	8
2 特征 .....	10
3 外部引脚 .....	14
3.1 TC358770AXBG 引脚布置 .....	14
3.2 TC358777XBG 引脚布置 .....	15
3.3 TC358770AXBG 引脚分配说明 .....	16
3.4 TC358777XBG 引脚分配说明 .....	18
4 封装 .....	20
5 电气特性 .....	22
5.1 最大绝对最大额定值 .....	22
5.2 操作条件 .....	22
5.3 直流电气规格 .....	22
6 修订记录 .....	23
RESTRICTIONS ON PRODUCT USE .....	24

## 插图一览

图 1.1 TC358770AXBG_777XBG 系统应用图 .....	9
图 1.2 TC358770AXBG_777XBG 方框图和功能 .....	9
图 3.1 TC358770AXBG 芯片引脚布置 (顶视图) .....	14
图 3.2 TC358777XBG 芯片引脚布置 (顶视图) .....	15
图 4.1 TC358770AXBG 封装尺寸 .....	20
图 4.2 TC358777XBG 封装尺寸 .....	21

## 表格一览

表 3.1 TC358770AXBG 功能信号列表 .....	16
表 3.2 引脚数汇总 .....	17
表 3.3 TC358777XBG 功能信号列表 .....	18
表 3.4 引脚数汇总 .....	19
表 4.1 TC358770AXBG 封装细节 .....	20
表 4.2 TC358777XBG 封装细节 .....	21
表 6.1 修订记录 .....	23

- MIPI 是 MIPI Alliance, Inc. 的注册商标
- VESA, VESA logo 和 DisplayPort 图标是视频电子标准协会的商标。

**参考文献**

1. MIPI D-PHY, "MIPI Alliance D-PHY 规范, 版本 1.00.00 2009.05.14"
2. MIPI Alliance DSI 标准, 版本 1.02.00, 2010.06.28
3. VESA DisplayPort 标准 (版本1, 修订版1a, 2008.01.11)
4. VESA嵌入式DisplayPort (eDP) 标准 (版本1.1 - 2009.10.23)
5. 数字内容保护 LLC, HDCP (版本 1.3, DisplayPort 修订版 1.1,2010.01.15)
6. I<sup>2</sup>C 总线规范, 版本 2.1, 2000.01, 飞利浦半导体

## 1. 简介

本“功能规范”对集成两种视频包 DSI 数据流（从各 DSI 链路流入单一的 DisplayPort™ 视频流）的 TC358770AXBG\_777XBG 芯片工作进行了详细说明。

TC358770AXBG 与 TC358777XBG 之间的唯一不同在于封装尺寸。TC358770AXBG 封装尺寸为 5.0mm x 5.0mm，焊球间距为 0.4mm。而 TC358777XBG 封装尺寸为 7.0mm x 7.0mm，焊球间距为 0.65mm。

TC358770AXBG\_777XBG 有两台独立的 4-数据通道 DSI 接收器和一台 4-通道 DisplayPort™ 发射机。每条 DSI 链路数据通道都能接收速率高达 1Gbps 的数据，总输入数据传输速率达 8 Gbps。每条 DSI 接收器链路可以独立启用 0-、1-、2-、3-或 4-数据通道。DP 主链路可在 1.62 或 2.7 Gbps 切换比特率，最大输出数据传输速率为 8.64 Gbps。DP 发射机能通过主链路 1-、2-或 4-通道工作。

目标应用是高分辨率 DisplayPort™ 显示面板，在 4 Gbps 时无法通过单个 4-数据通道达到其带宽要求。TC358770AXBG 是通过双 DSI 链路启用应用处理器或主机的理想桥接芯片，以驱动 2560 x 2048 x 24（或 18）DisplayPort™ 显示面板@60fps。

DSI 主机采用 DSI 通用长写数据包控制/配置 TC358770AXBG\_777XBG 芯片。TC358770AXBG\_777XBG 为主机提供邮箱寄存器，以控制（命令）DisplayPort™ 显示面板的 DisplayPort™ 配置数据、DPCD、寄存器。在主机写入这些邮箱寄存器之后，TC358770AXBG 开始辅助通道总线周期，与 DisplayPort™ 显示面板进行通信。TC358770AXBG\_777XBG 既支持辅助本机模式，也支持 I<sup>2</sup>C 映射模式。

TC358770AXBG\_777XBG 支持双向 DSI 链路。通过采用 DSI 通用短读（2 参数）数据包，主机能够读取 TC358770AXBG 寄存器。读取数据通过数据通道 0 上的 DSI 反向低功耗数据包返回主机。通过 TC358770AXBG 邮箱寄存器发出读取命令，主机还能访问 DisplayPort™ 显示面板 DPCD 状态寄存器。每次 DSI 链路读取的最大读取数据长度限制在 8 字节。

通过 I<sup>2</sup>C 总线对 TC358770AXBG 从机地址 0x68（1101\_000x）进行寻址，主机还能访问 TC358770AXBG 寄存器和 DP 显示面板 DPCD 寄存器。在对 TC358770AXBG 进行编程之前，外部基准时钟（RefClk）或 DSI 链路高速（HS）时钟需要进行切换。RefClk 仅限于 13、19.2、26 或 38.4 MHz。

TC358770AXBG\_777XBG 含有 SPI 从属端口，为主机提供第三路径，以对寄存器进行编程。由于 SPI 端口与 I<sup>2</sup>C 端口共用引脚，所以，主机只能使用一个从属端口。I<sup>2</sup>C 从属端口在默认情况下有效，从而使输入引脚 SPI\_I2C 激活 SPI 接口。请将未使用的输入引脚接地。

音频接口可以接受 I2S 或时域多路复用、TDM 和音频数据类型。这种音频数据压缩为二级数据包，在通过 DP 主链路发送到 DP 显示面板之前，通过视频流进行多路复用。主机需要提供 512 \* fs、音频采样时钟频率、时钟，以便 DisplayPort™ 显示板精确恢复音频时钟。

本文假设两条 DSI 链路采用相同的时钟源生成 DSI 链路时序。

目标系统图和 TC358770AXBG\_777XBG 方框图分别如图 1.1 和图 1.2 所示。



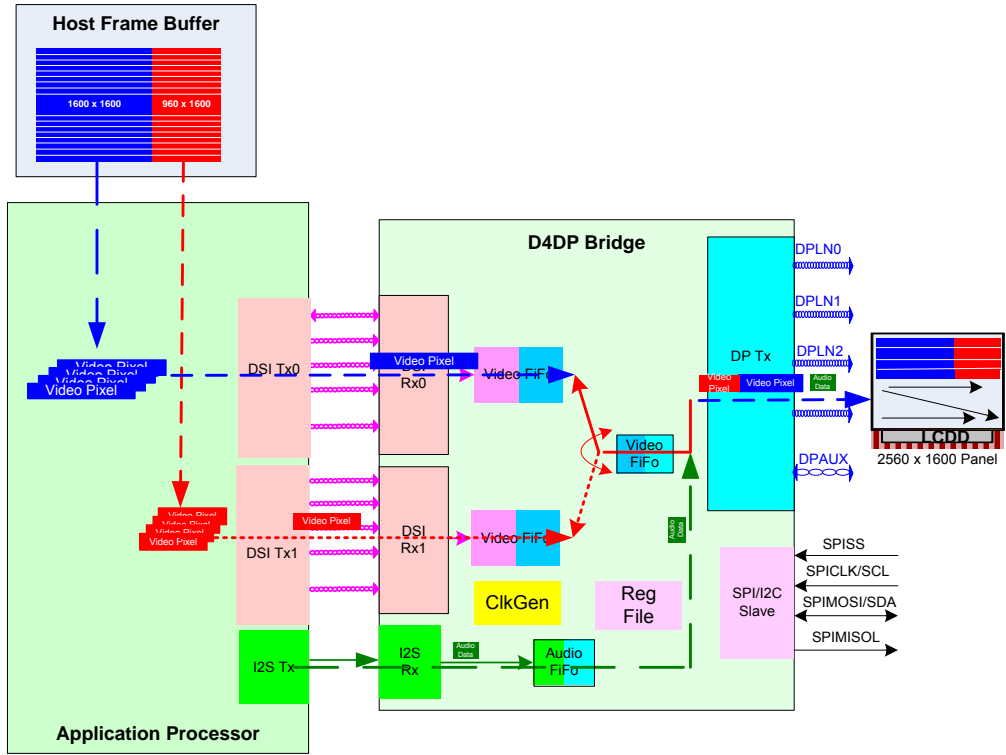


图 1.1 TC358770AXBG\_777XBG 系统应用图

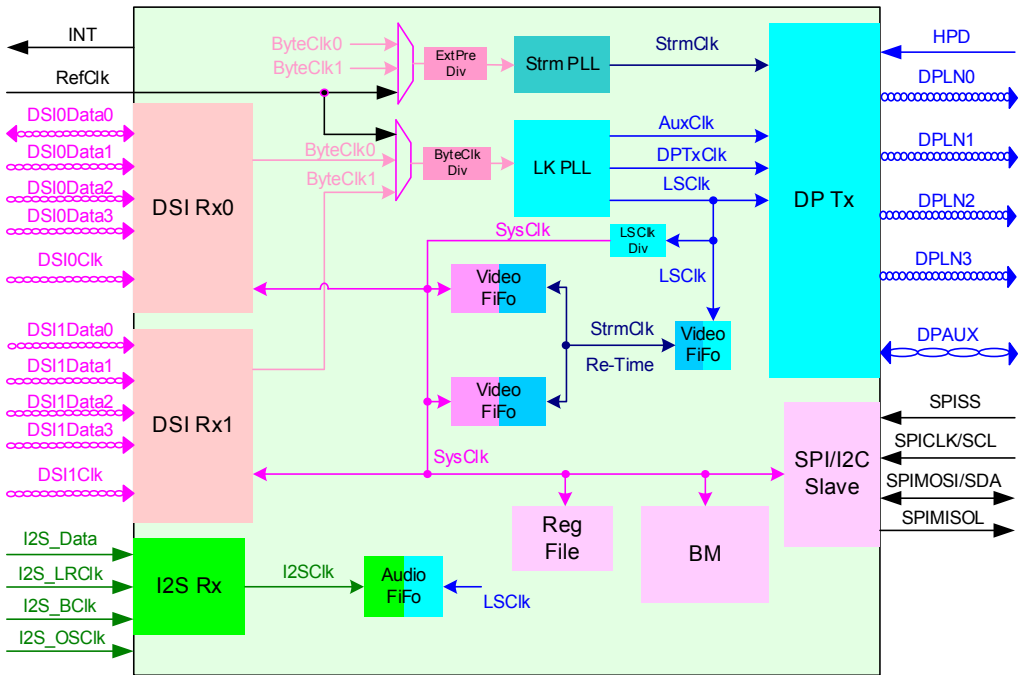


图 1.2 TC358770AXBG\_777XBG 方框图和功能

## 2 特征

- TC358770AXBG\_777XBG 遵循以下标准：
  - ◇ MIPI® DSI 版本 1.02, 2010.01
  - ◇ MIPI® D-PHY 版本 1.0, 2009.05
  - ◇ VESA DisplayPort 标准, 版本 1.1a, 2008.01.11。
  - ◇ 数字内容保护 LLC, HDCP, 版本 1.3, DisplayPort™ 修订版 1.1, 2010.01.15。
- DSI 接收器
  - ◇ 在双 4-数据通道 DSI 链路上, 只有数据通道 0 支持双向传输, 可用于 1-、2-、3- 或 4-数据通道配置。
  - ◇ 各通道最大传输速度为 1 Gbps。
  - ◇ 视频输入数据格式: RGB-565、RGB-666 和 RGB-888。
  - ◇ 支持新的 DSI V1.02 数据类型: 16-位 YCbCr 422。
  - ◇ 不支持交错视频模式。
  - ◇ 为 DSI 主机/发射机提供路径, 以控制 TC358770AXBG\_777XBG 及其附属显示板。
  - ◇ 在对 TC358770AXBG 进行编程之前, 需要 DSI 链路高速时钟 (DSIClk) 或外部基准时钟 (RefClk)。
- DisplayPort™ 时钟源/发射机
  - ◇ VESA DisplayPort 标准, 版本 1.1a。
    - 比特率为 1.62 或 2.7 Gbps, 电压波动为 0.4、0.6、0.8 或 1.2V, 预加重水平为 0、3.5 或 6dB。
    - 在 DP 主链路上, 有 4 个通道可用, 它们能在 1-、2- 或 4-通道配置下工作。
    - AUX 通道标称比特率为 1 Mbps。
  - ◇ 收到 DSI 链路突发数据后, TC358770AXBG\_777XBG 将重新设置到 DP 显示板像素时钟的视频数据, 以便进行同步 (DisplayPort™ 链路符号时钟) 时钟模式运行。
  - ◇ SSCG 高达 30 kHz 调制可减少 EMI。
  - ◇ 内置 PRBS7 生成器测试不带 DSI 输入的 DisplayPort™ 链路。
  - ◇ 内置彩条信号发生器可验证 DisplayPort™ 协议。
  - ◇ 支持 HDCP 加密, 版本 1.3, DisplayPort™ 修订版 1.1。
  - ◇ 支持 ASSR (备用种子复位器) 用于 eDP 显示板。
    - 系统设计方将 ASSR\_Disable 引脚连接至内环 VSS\_IO 引脚, 如引脚 E4, 以启用 eDP 显示板和 ASSR
    - 通过内环 VDDS 引脚, 如引脚 D5, 驱动 ASSR\_Disable 引脚, 以使用 DP 显示板和禁用 ASSR
    - 系统软件读取修订 ID 字段, 0x0500[7:0]:
      - 0x01 表示采用 eDP 显示板, 应设置 eDP 显示板 DPCD 寄存位 0x0010A[0]
      - 0x03 假定连接 DP 显示板, 不应设置 DP 显示板 DPCD 寄存位 0x0010A[0]

- I<sup>2</sup>C 从属端口
  - ◇ 支持正常(100kHz)、快速模式(400 kHz)和超快模式(2MHz, 取决于 SysClk 频率)。
  - ◇ 外部 I<sup>2</sup>C 主机能够通过该端口访问 TC358770AXBG\_777XBG 内部寄存器。
  - ◇ 支持地址自动增量。
  - ◇ TC358770AXBG\_777XBG 从属端口地址为 0x68 (二进制 1101\_000x, 其中, 读取时 x = 1; 写入时 x = 0。可将 SPI\_SS/I2C\_ADR\_SEL 引脚设高位, 以将从属地址改为 0x0F (二进制 0001\_111x)。
  
- SPI 从属接口
  - ◇ 支持从机选择引脚。
  - ◇ 时钟极性和相位依据 SPI MODE0 (极性= 0, 相位= 0)。
  - ◇ 传输帧大小为 48 位。
  - ◇ 最大时钟速度为 30 MHz。
  
- 音频接口
  - ◇ 支持 I2S 或 TDM(时分多路复用)模式。
  - ◇ TDM 模式能够支持 2、4、6 和 8 通道的音频数据。
  - ◇ 支持 16、18、20 或 24-位 PCM 音频数据字。
  - ◇ 支持采样频率 fs: 32、44.1、48、88.2、96、176.4 & 192 kHz。
  - ◇ 512 \* fs 音频过采样时钟需要生成准确的音频时钟时间戳, 以便 DisplayPort™ 显示板能正确恢复音频时钟。
  - ◇ 可在每个通道插入 IEC60958 状态位和 preamble 位。
  
- 操作
  - ◇ 主机采用 DSI 链路 0 (DSI0)、I<sup>2</sup>C 总线或 SPI 总线对 TC358770AXBG\_777XBG 进行编程。
  - ◇ TC358770AXBG\_777XBG 为主机提供“邮箱寄存器”, 20-位 AuxAddr (AUX 地址) 和 16-字节 AuxData (AUX 数据), 以便访问 DisplayPort™ 面板的 DisplayPort™ 配置数据、DPCD、寄存器。
  - ◇ 主机将视频行式数据分为两股 DSI 视频包数据流。主机有两种方法可对视频行式数据进行分流:
    - 左-右侧: 左侧(首先)视频数据包分流进入 DSI0, 右侧数据分流进入 DSI1。
    - 奇-偶组: 偶数(首先)像素通过 DSI0 传送, 而奇数像素通过 DSI1 传送。
      - 每一组的像素数量从 1 到 64 都是可编程的。
      - 每组像素数量和/或每个视频数据包内的组数在两个 DSI 链路之间是可以不同的。这种特点与 TC358770AXBG 性能有关, 以支持可配置的数据通道数。
    - 在传送之前, 对于每条 DSI 链路, 建议主机将分流的视频行式数据整合到一个视频数据包内。但是, 只要 DSI 链路带宽足以使用, TC358770AXBG\_777XBG 支持多种 DSI 数据包/横行时间。

- ◇ TC358770AXBG\_777XBG 负责按照主机设定的寄存器数值生成视频帧时序。主机不需要处理/生成视频横时序，如横前沿/后沿和横脉冲宽度。主机负责将视频数据包及时、逐行地发送至 TC358770AXBG\_777XBG 并通过 HSS 对各行式数据进行分流。
    - 在两条 DSI 链路之间，主机应会在每个横同步时段准确发送一行视频数据。
    - 主机应会“同时”或在它们之间以固定延时/时滞（HSS<sub>0</sub> 早于 HSS<sub>1</sub>）启动 HSS<sub>0</sub>（HSS DSI0 数据包）和 HSS<sub>1</sub>（HSS DSI1 数据包）。
      - “同时”表示在+ / -5 个时钟周期以内。
    - 两条 DSI 链路 Hsync 启动之间的时滞、HSS、数据包不能在一个视频帧时段内漂移超过一个视频行时间。
      - 建议主机采用相同的时钟源，以生成两条 DSI 链路时钟，从而防止这两个时钟漂移。
      - 否则，需要 50 ppm 精度的时钟源。
    - 建议各 DSI 链路逐个发送 HSS 和视频数据包。只要带宽允许，主机可以在 HSS 与视频数据包之间插入不同长度的空白数据包。
  - ◇ 在传送到显示板之前，TC358770AXBG\_777XBG 将两个视频数据包，每个 DSI 链路一个，连接至单个 DisplayPort™ 视频流。
- 时钟源：
    - ◇ 外部基准时钟（RefClk）用来驱动 PLL，以生成 DisplayPort™ 数据流/像素时钟（StrmClk/PixelClk）和链路符号时钟（LSClk）。
      - 支持 DisplayPort™ 同步（StrmClk 和 LSClk）时钟模式。
      - RefClk 频率允许值：13、19.2、26、38.4 MHz。
    - ◇ 另外，可使用/下分频 DSI DSIClk 以替代 RefClk 并驱动所用 PLL，从而生成所需时钟。
      - DSI ByteClk 除数可以为
        - 3      (115.2 ÷ 3 = 38.4)
        - 4      (104 ÷ 4 = 26)
        - 5      (96 ÷ 5 = 19.2)
        - 9      (117 ÷ 9 = 13)
- 电源
    - ◇ MIPI® D-PHY 和 DP PHY: 1.2V
    - ◇ 内核: 1.2V
    - ◇ DP-PHY: 1.8V
    - ◇ I/O: 1.8V – 3.3V（所有 IO 引脚电源级别必须相同）
    - ◇ HPD 输入引脚 3.3V
  - 功耗（典型运行期间）
    - ◇ 睡眠状态，RESX 启用
      - 12 mW
    - ◇ 典型运行：
      - 2560 x 1440 x 24@60fps
      - 双 DSIRx，每个链路@3.7Gbps

- 两条链路 31mW
- 内核
  - 165 mW
- DP Tx (2.7Gbps 链路速度@4 通道, 0.4V 波动, 无预加重)
  - 168.5 mW
- 总功率 = 364.5 mW
- 各电源轨的细分如下表所示。

	VDD_DSI (1.2 V)	VDDC (1.2 V)	PLL9 (1.2 V)	DP_12 (1.2 V)	DP_18 (1.8 V)	DPA_18 (1.8 V)	VDDS (1.8 V)	Total Power	Unit
典型运行	25.84	153.23	2.27	50.87	56.99	2.69	0		mA
	31.01	162.28	2.73	61.05	102.58	4.84	0	364.5	mW
断电	0.1	3.8	0	2.1	0	2.7	0		mA
	0.12	4.56	0	2.52	0	4.86	0	12	mW

- 封装
  - ◇ 10x10 BGA, 焊球间距为 0.4 mm
  - ◇ 5 x 5 mm<sup>2</sup>

注：注意防静电。本产品防静电能力欠佳。请小心处理。

### 3 外部引脚

#### 3.1 TC358770AXBG 引脚布置

TC358770AXBG 信号至外部引脚的映射如下图所示。

A1 DSI0DM_0	A2 DSI0DP_0	A3 DSI1DM_3	A4 DSI1DM_2	A5 DSI1CM	A6 VDD_DSI12	A7 VSS_DSI	A8 DSI1DM_1	A9 DSI1DM_0	A10 TEST
B1 DSI0DM_1	B2 DSI0DP_1	B3 DSI1DP_3	B4 DSI1DP_2	B5 DSI1CP	B6 VSS_DSI	B7 VDD_DSI12	B8 DSI1DP_1	B9 DSI1DP_0	B10 VDDS
C1 VSS_DSI	C2 VDD_DSI12	C3 DIG_4	C4 DIG_3	C5 DIG_2	C6 DIG_1	C7 VSS_IO	C8 DIG_0	C9 RESX	C10 SPL_SCLK/ I2C_SCL
D1 DSI0CM	D2 DSI0CP	D3 VDDC	D4 VSSC	D5 VDDS	D6 SPI_SS	D7 SPI_MOSI/ I2C_SDA	D8 VPGM_1	D9 SPI_MISO	D10 I2S_OSCLK
E1 VDD_DSI12	E2 VSS_DSI	E3 SPI_I2C	E4 VSS_IO	E5 Disable- ASSR	E6 DIG_5	E7 INT	E8 I2S_LRCLK	E9 I2S_BCLK	E10 I2S_DATA
F1 DSI0DM_2	F2 DSI0DP_2	F3 TM_CNT	F4 DIG_7	F5 DIG_8	F6 VSSC	F7 VDDC	F8 VPGM_0	F9 VSS_PLL9	F10 VDD_PLL912
G1 DSI0DM_3	G2 DSI0DP_3	G3 PREC_RES_0	G4 PREC_RES_1	G5 VSS_DP	G6 DIFF_SE	G7 HPD	G8 VSS_DP	G9 DPAUXP	G10 DPAUXM
H1 ATB_1	H2 VDD_PLL18	H3 VDD_PLL12	H4 VSS_PLL	H5 VDD_DP12	H6 VSS_DP	H7 VDD_DP12	H8 VDD_DP18	H9 VSS_DPA	H10 VDD_DPA18
J1 REFCLK	J2 VDD_DP12	J3 DPLNP_0	J4 VSS_DP	J5 DPLNP_1	J6 VDD_DP12	J7 DPLNP_2	J8 VSS_DP	J9 DPLNP_3	J10 VDD_DP18
K1 ATB_0	K2 VSS_DP	K3 DPLNM_0	K4 VDD_DP18	K5 DPLNM_1	K6 VSS_DP	K7 DPLNM_2	K8 VDD_DP18	K9 DPLNM_3	K10 VSS_DP

图 3.1 TC358770AXBG 芯片引脚布置（顶视图）

### 3.2 TC358777XBG 引脚布置

TC358777XBG 信号至外部引脚的映射如下图所示。

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10
DSI0DM_0	DSI0DP_0	VDD_DSI12	DSI1DM_3	DSI1DM_2	DSI1CM	VDD_DSI12	DSI1DM_1	DSI1DM_0	VDDIO
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10
DSI0DM_1	DSI0DP_1	VSS	DSI1DP_3	DSI1DP_2	DSI1CP	VSS	DSI1DP_1	DSI1DP_0	RESX
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10
DSI0CM	DSI0CP							SPI_SCLK	SPI_MISO
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10
DSI0DM_2	DSI0DP_2		TEST5	TEST6	TEST7	TEST		SPI_SS	SPI_MOSI
E1	E2	E3	E4	E5	E6	E7	E8	E9	E10
DSI0DM_3	DSI0DP_3		VSS	TEST3	TEST4	VPGM		INT	I2S_OSCLK
F1	F2	F3	F4	F5	F6	F7	F8	F9	F10
VDDC	VSS		TEST9	VSS	TEST8	Disable ASSR		I2S_BCLK	I2S_DATA
G1	G2	G3	G4	G5	G6	G7	G8	G9	G10
PREC_RES_0	PREC_RES_1		DIFF_SE	TEST2	TEST10	VSS		SPI_I2C	I2S_LRCLK
H1	H2	H3	H4	H5	H6	H7	H8	H9	H10
VDDC	VSS							HPD	VDD_PLL912
J1	J2	J3	J4	J5	J6	J7	J8	J9	J10
VDD_DP12	VSS_DP	DPLNP_0	VSS_DP	DPLNP_1	VSS_DP	DPLNP_2	VSS_DP	DPLNP_3	DPAUXP
K1	K2	K3	K4	K5	K6	K7	K8	K9	K10
VDD_PLL18	REFCLK	DPLNM_0	VDD_DP18	DPLNM_1	VDD_DP12	DPLNM_2	VDD_DP18	DPLNM_3	DPAUXM

图 3.2 TC358777XBG 芯片引脚布置 (顶视图)

## 3.3 TC358770AXBG 引脚分配说明

TC358770AXBG 信号及其功能如下表所示。

表 3.1 TC358770AXBG 功能信号列表

组别	引脚名称	I/O	类型	功能	电源
系统 (6)	REFCLK	I	SCH	13, 19.2, 26 或 38.4 MHz 基准时钟	1.8 V
	DIFF_SE	I	正常	1: 采用差分 RefClkN 0: 采用单向 RefClk	1.8 – 3.3V
	SPI_I2C	I	正常	1: 启用 SPI 从接口 0: 选择 I <sup>2</sup> C 从端口	1.8 – 3.3V
	RESX	I	SCH	系统复位-低电平有效	1.8 – 3.3V
	DISABLE_ASSR	I	正常	1: 连接至 DP 面板设置时, 禁用 ASSR 0: 启用 ASSR, 用于 eDP 面板应用	1.8 – 3.3V
	INT	O	正常	主机引脚中断	1.8 – 3.3V
DSI0Rx (10)	DSI0CP	I	MIPI-PHY	MIPI-DSI0 Rx 时钟通道有效	1.2V
	DSI0CM	I	MIPI-PHY	MIPI-DSI0 Rx 时钟通道无效	1.2V
	DSI0DP[0]	I/O	MIPI-PHY	MIPI-DSI0 Rx 数据通道有效	1.2V
	DSI0DM[0]	I/O	MIPI-PHY	MIPI-DSI0 Rx 数据通道无效	1.2V
	DSI0DP[3:1]	I	MIPI-PHY	MIPI-DSI0 Rx 数据通道有效	1.2V
	DSI0DM[3:1]	I	MIPI-PHY	MIPI-DSI0 Rx 数据通道无效	1.2V
DSI1Rx (10)	DSI1CP	I	MIPI-PHY	MIPI-DSI1Rx 时钟通道有效	1.2V
	DSI1CM	I	MIPI-PHY	MIPI-DSI1Rx 时钟通道无效	1.2V
	DSI1DP[3:0]	I	MIPI-PHY	MIPI-DSI1 Rx 数据通道有效	1.2V
	DSI1DM[3:0]	I	MIPI-PHY	MIPI-DSI1 Rx 数据通道无效	1.2V
DPTx(15)	HPD	I/O	OD	DP Rx 中断/检测	1.8 – 3.3V
	DPLNP[3:0]	O	DP-PHY	DP 输出主链路有效	1.8 – 3.3V
	DPLNM[3:0]	O	DP-PHY	DP 输出主链路无效	1.8 – 3.3V
	DPAUXP	I/O	DP-PHY	DP 输出 AUX 通道有效	1.8 – 3.3V
	DPAUXM	I/O	DP-PHY	DP 输出 AUX 通道无效	1.8 – 3.3V
	ATB[0]	I/O	DP-PHY	模拟测试总线输出 启用 DIFF_SE 时的 REFCLKN 输入	1.8 – 3.3V
	ATB[1]	O	DP-PHY	模拟测试总线输出	1.8 – 3.3V
	PREC_RES[1:0]	I	DP-PHY	精密电阻(3 k @ 1%)	1.8 – 3.3V
音频(4)	I2S_OSCLK	I	正常	512*音频采样时钟	1.8 – 3.3V
	I2S_BCLK	I	正常	音频时钟	1.8 – 3.3V
	I2S_LRCLK	I	正常	音频左/右选择器	1.8 – 3.3V
	I2S_DATA	I	正常	音频数据	1.8 – 3.3V
SPI/I2C(4)	SPI_SCLK /I2C_SCL	I	OD	SPI 时钟/ I <sup>2</sup> C 时钟	1.8 – 3.3V
	SPI_MOSI /I2C_SDA	I/O	OD	SPI 输入数据/ I <sup>2</sup> C SDA	1.8 – 3.3V
	SPI_MISO	O	N	SPI 输出数据至主机	1.8 – 3.3V
	SPI_SS_I2C_ADR_SEL	I	N	SPI 从机选择, I <sup>2</sup> C 从机地址选择	1.8 – 3.3V
DFT(10)	测试	I	N	测试引脚, 高电平有效	1.8 – 3.3V
	TM_CNT	I	N	测试引脚, 请接地	1.8 – 3.3V
	DIG[8:7], DIG[5:0]	I/O	N	测试引脚, 请接地	1.8 – 3.3V



电源 (22)	VDDS(2)	—	—	IO 电源 VDD	1.8 – 3.3V
	VDD_DP18 (4)	—	—	DP PHY 用 VDD	1.8V
	VDD_DPA18 (1)	—	—	模拟 PHY 用 VDD	1.8V
	VDD_PLL18 (1)	—	—	DP PLL 用 VDD	1.8V
	VDD_PLL12 (1)	—	—	DP PLL 用 VDD	1.2V
	VDD_DP12 (4)	—	—	DP PHY 用 VDD	1.2V
	VDD_PLL912 (1)	—	—	数据流时钟 PLL 用 VDD	1.2V
	VDD_DSI12 (4)	—	—	MIPI-DSI PHY 用 VDD	1.2V
	VDDC (2)	—	—	内核 用 VDD	1.2V
	VPGM (2)	—	—	eFUSE 编程电压	1.8 – 3.3V
接地 (19)	VSS_IO (2)	—	—	IO 电源 用 VSS	—
	VSS_DP (8)	—	—	DP PHY 用 VSS	—
	VSS_DPA (1)	—	—	DP PHY 用 VSS	—
	VSS_PLL (1)	—	—	DP PLL 用 VSS	—
	VSS_PLL9 (1)	—	—	数据流时钟 PLL 用 VSS	—
	VSS_DSI12 (4)	—	—	MIPI-DSI PHY 用 VSS	—
	VSSC (2)	—	—	内核 用 VSS	—

正常: 正常 IO (4mA)  
 OD: 漏极开路输出, schmitt 输入  
 FS/SCH: 故障安全 schmitt 输入缓冲器  
 MIPI-PHY: MIPI® 前端模拟 IO  
 DP-PHY: DisplayPort™ 前端模拟 IO

表 3.2 引脚数汇总

组名	引脚数
系统	6
DSI Rx	20
DisplayPort Tx	15
音频	4
SPI/I2C	4
测试	10
电源	22
接地	19
<b>总计</b>	<b>100</b>

## 3.4 TC358777XBG 引脚分配说明

TC358777XBG 信号及其功能如下表所示。

表 3.3 TC358777XBG 功能信号列表

组别	引脚名称	I/O	类型	功能	电源
系统 (6)	REFCLK	I	SCH	13, 19.2, 26 或 38.4 MHz 基准时钟	1.8 V
	DIFF_SE	I	正常	1: 采用差分 RefClkN 0: 采用单向 RefClk	1.8 – 3.3V
	SPI_I2C	I	正常	1: 启用 SPI 从接口 0: 选择 I <sup>2</sup> C 从端口	1.8 – 3.3V
	DISABLE_ASSR	I	正常	1: 连接至 DP 显示板设置时, 禁用 ASSR 0: 启用 ASSR, 用于 eDP 显示板应用	1.8 – 3.3V
	RESX	I	SCH	系统复位-低电平有效	1.8 – 3.3V
	INT	O	正常	主机引脚中断	1.8 – 3.3V
DSI0Rx(10)	DSI0CP	I	MIPI-PHY	MIPI-DSI0 Rx 时钟通道有效	1.2V
	DSI0CM	I	MIPI-PHY	MIPI-DSI0 Rx 时钟通道无效	1.2V
	DSI0DP[0]	I/O	MIPI-PHY	MIPI-DSI0 Rx 数据通道有效	1.2V
	DSI0DM[0]	I/O	MIPI-PHY	MIPI-DSI0 Rx 数据通道无效	1.2V
	DSI0DP[3:1]	I	MIPI-PHY	MIPI-DSI0 Rx 数据通道有效	1.2V
	DSI0DM[3:1]	I	MIPI-PHY	MIPI-DSI0 Rx 数据通道无效	1.2V
DSI1Rx(10)	DSI1CP	I	MIPI-PHY	MIPI-DSI1 Rx 时钟通道有效	1.2V
	DSI1CM	I	MIPI-PHY	MIPI-DSI1 Rx 时钟通道无效	1.2V
	DSI1DP[3:0]	I	MIPI-PHY	MIPI-DSI1 Rx 数据通道有效	1.2V
	DSI1DM[3:0]	I	MIPI-PHY	MIPI-DSI1 Rx 数据通道无效	1.2V
DPTx(13)	HPD	I/O	OD	DP Rx 中断/检测	1.8 – 3.3V
	DPLNP[3:0]	O	DP-PHY	DP 输出主链路有效	1.8 – 3.3V
	DPLNM[3:0]	O	DP-PHY	DP 输出主链路无效	1.8 – 3.3V
	DPAUXP	I/O	DP-PHY	DP 输出 AUX 通道有效	1.8 – 3.3V
	DPAUXM	I/O	DP-PHY	DP 输出 AUX 通道有效	1.8 – 3.3V
	PREC_RES[1:0]	I	DP-PHY	精密电阻(3 k @ 1%)	1.8 – 3.3V
音频(4)	I2S_OSCLK	I	正常	512* 音频采样时钟	18 – 3.3V
	I2S_BCLK	I	正常	音频时钟	1.8 – 3.3V
	I2S_LRCLK	I	正常	音频左/右选择器	1.8 – 3.3V
	I2S_DATA	I	正常	音频数据	1.8 – 3.3V
SPI/I2C (4)	SPI_SCLK / I2C_SCL	I	OD	SPI 时钟/ I <sup>2</sup> C 时钟	1.8 – 3.3V
	SPI_MOSI / I2C_SDA	I/O	OD	SPI 输入数据/ I <sup>2</sup> C SDA	1.8 – 3.3V
	SPI_MISO	O	N	SPI 输出数据至主机	1.8 – 3.3V
	SPI_SS_I2C_ADR_SEL	I	N	SPI 从机选择, I <sup>2</sup> C 从机地址选择	1.8 – 3.3V
DFT(10)	测试	I	N	测试引脚, 高电平有效	1.8 – 3.3V
	TEST[10:2]	I	N	测试引脚, 请接地	—
Power (12)	VDD_IO(1)	—	—	IO 电源 用 VDD	1.8 – 3.3V
	VDD_DP18 (2)	—	—	DP PHY/模拟 PHY 用 VDD	1.8V
	VDD_PLL18 (1)	—	—	DP PLL 用 VDD	1.8V
	VDD_DP12 (2)	—	—	PHY/PLL 用 VDD	1.2V
	VDD_PLL912 (1)	—	—	数据流时钟 PLL 用 VDD	1.2V
	VDD_DSI12 (2)	—	—	MIPI-DSI PHY 用 VDD	1.2V
	VDDC (2)	—	—	内核用 VDD	1.2V
	VPGM (1)	—	—	eFUSE 编程电压	1.8 – 3.3V
接地 (11)	VSS_DP (4)	—	—	PHY/PLL 用 VSS	—
	VSS (7)	—	—	内核/MIPI/IO 用 VSS	—

正常: 正常 IO (4mA)  
OD: 漏极开路输出, Schmitt 输入

FS/SCH: 故障安全 Schmitt 输入缓冲器  
MIPI-PHY: MIPI<sup>®</sup> 前端模拟 IO  
DP-PHY: DisplayPort<sup>™</sup> 前端模拟 IO

表 3.4 引脚数汇总

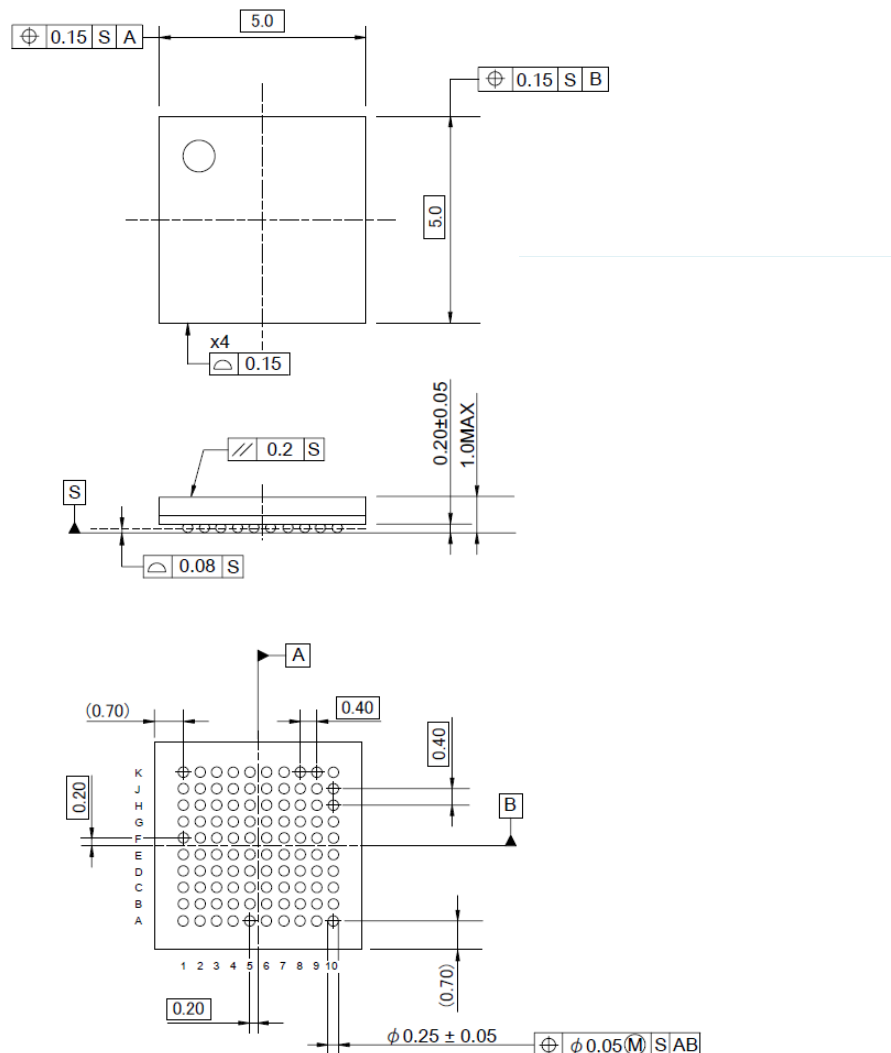
组名	引脚数
系统	6
DSI Rx	20
DisplayPort Tx	13
I2S	4
SPI/I2C	4
测试	10
电源	12
接地	11
<b>总计</b>	<b>80</b>

4 封装

TC358770AXBG 封装尺寸为 5.0mm x 5.0mm，焊球间距为 0.4mm。详细封装图如下所示。

P-VFBGA100-0505-0.40-001

"Unit:mm"



重量：40 mg (Typ.)

图 4.1 TC358770AXBG 封装尺寸

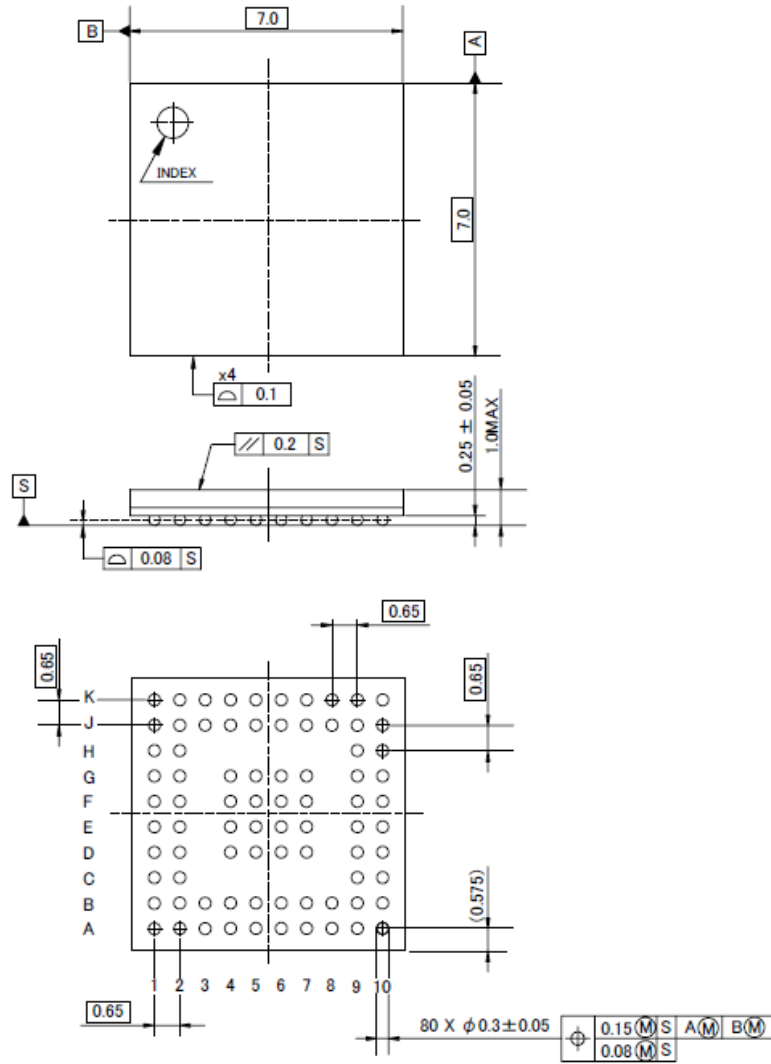
表 4.1 TC358770AXBG 封装细节

说明	正常值
体积尺寸 (W,mm)	5
体积尺寸 (L,mm)	5
总厚度 (t,mm)	1
端子间距 (mm)	0.4

TC358777XBG 封装尺寸为 7.0mm x 7.0mm，焊球间距为 0.65mm。详细封装图如下所示。

P-VFBGA80-0707-0.65-001

"Unit:mm"



重量：65mg (Typ.)

图 4.2 TC358777XBG 封装尺寸

表 4.2 TC358777XBG 封装细节

说明	正常
体积尺寸 (W,mm)	7
体积尺寸 (L,mm)	7
总厚度 (t,mm)	1
端子间距 (mm)	0.65

## 5 电气特性

### 5.1 最大绝对最大额定值

VSS= 0V 基准

VDD18 用于 VDDIO 以及 VDD-DP18; VDD12 用于 VDDC 以及 VDD-DSI12

参数	符号	额定值	单位
电源电压(1.8V)	VDD18	-0.3 ~ +3.5	V
电源电压(1.2V)	VDD12	-0.3 ~ +2.0	V
电源电压 (IO)	VDD18	-0.3 ~ +3.5	V
	VREF	-0.3 ~ +3.5	V
输入电压	VIN	-0.3 ~VDDIO+0.3	V
输出电压	VOUT	-0.3 ~VDDIO+0.3	V
存储温度	Tstg	-40 ~ +125	°C

### 5.2 操作条件

VSS= 0V 基准

VDD18 用于 VDDIO 以及 VDD-DP18; VDD12 用于 VDDC 以及 VDD-DSI12

参数	符号	最小值	典型值	最大值	单位
电源电压(1.8V)	VDD18	1.71	1.8	1.89	V
电源电压(1.2V)	VDD12	1.14	1.2	1.26	V
工作频率(内部)	Fop	-	-	270	MHz
工作温度	Ta	-20	-	+70	°C

### 5.3 直流电气规格

VSS=VSS\_C=VSS\_IO=VSS\_DSI=VSS\_DP=VSS\_PLL=VSS\_REG=0V 基准

参数	符号	最小值	典型值	最大值	单位
输入电压, 高电平 CMOS 输入 (注 1)	VIH	0.7 VDDIO		VDDIO	V
输入电压, 低电平 CMOS 输入 (注 1)	VIL	0		0.3 VDDIO	V
输入电压, 高电平 CMOS Schmitt 触发器 (注 1)	VIHS	0.7 VDDIO		VDDIO	V
输入电压, 低电平 CMOS Schmitt 触发器 (注 1)	VILS	0		0.3 VDDIO	V
输出电压, 高电平 (注 1, 注 2)	VOH	0.8 VDDIO		VDDIO	V
输出电压, 低电平 (注 1, 注 2)	VOL	0		0.2 VDDIO	V
输入漏电流, 高电平	I <sub>IH1</sub> <sup>注3</sup>	-10	-	10	μA
输入漏电流, 低电平	I <sub>IL1</sub> <sup>注4</sup>	-10	-	10	μA
	I <sub>IL2</sub> <sup>注5</sup>	-200	-	-10	μA

注 1: VDDIO 在建议操作条件下。

注 2: 输出电流值要依据各 IO 缓冲器规范。输出电压随输出电流值变化。

注 3: “正常”引脚或“上拉 I/O”引脚向输入引脚施加 VDD18\_IO 电源电压

注 4: “正常”引脚向输入引脚施加 VSS (0V)

注 5: “上拉 I/O”引脚向输入引脚施加 VSS (0V)

## 6 修订记录

表 6.1 修订记录

修订	日期	描述
1.0	2012-11-10	1. 从 770XBG 修 版 0.99D 开始 2. 增加 ASSR 支持 3. 为各电压轨增加功耗
1.1	2013-01-15	1. 更新 MIPI 版权脚注: 将 "Toshiba America Electronic Components, Inc."更改为 "Toshiba Corporation and its affiliates." 2. 更新 VSDelay 计算 (假设 DP 数据通道为 2 或 4 通道)
1.2	2013-10-25	1. 纠正寄存器 Tx_Rx_TA 排印错误 2. 增加音 频功能描述
1.3	2013-11-17	1. 为 0x0644[23:18]更新寄存器字段描述
1.4	2014-06-20	1. 增加 777XBG package
1.41	2016-07-20	1. 纠正 DSI1DP[3:0]/DSI1DM[3:0]排印错误
1.42	2016-09-01	1. 修改重复 DSI1CP/ DSI1CM。

## RESTRICTIONS ON PRODUCT USE

- Toshiba Corporation, and its subsidiaries and affiliates (collectively "TOSHIBA"), reserve the right to make changes to the information in this document, and related hardware, software and systems (collectively "Product") without notice.
- This document and any information herein may not be reproduced without prior written permission from TOSHIBA. Even with TOSHIBA's written permission, reproduction is permissible only if reproduction is without alteration/omission.
- Though TOSHIBA works continually to improve Product's quality and reliability, Product can malfunction or fail. Customers are responsible for complying with safety standards and for providing adequate designs and safeguards for their hardware, software and systems which minimize risk and avoid situations in which a malfunction or failure of Product could cause loss of human life, bodily injury or damage to property, including data loss or corruption. Before customers use the Product, create designs including the Product, or incorporate the Product into their own applications, customers must also refer to and comply with (a) the latest versions of all relevant TOSHIBA information, including without limitation, this document, the specifications, the data sheets and application notes for Product and the precautions and conditions set forth in the "TOSHIBA Semiconductor Reliability Handbook" and (b) the instructions for the application with which the Product will be used with or for. Customers are solely responsible for all aspects of their own product design or applications, including but not limited to (a) determining the appropriateness of the use of this Product in such design or applications; (b) evaluating and determining the applicability of any information contained in this document, or in charts, diagrams, programs, algorithms, sample application circuits, or any other referenced documents; and (c) validating all operating parameters for such designs and applications. **TOSHIBA ASSUMES NO LIABILITY FOR CUSTOMERS' PRODUCT DESIGN OR APPLICATIONS.**
- **PRODUCT IS NEITHER INTENDED NOR WARRANTED FOR USE IN EQUIPMENTS OR SYSTEMS THAT REQUIRE EXTRAORDINARILY HIGH LEVELS OF QUALITY AND/OR RELIABILITY, AND/OR A MALFUNCTION OR FAILURE OF WHICH MAY CAUSE LOSS OF HUMAN LIFE, BODILY INJURY, SERIOUS PROPERTY DAMAGE AND/OR SERIOUS PUBLIC IMPACT ("UNINTENDED USE").** Except for specific applications as expressly stated in this document, Unintended Use includes, without limitation, equipment used in nuclear facilities, equipment used in the aerospace industry, medical equipment, equipment used for automobiles, trains, ships and other transportation, traffic signaling equipment, equipment used to control combustions or explosions, safety devices, elevators and escalators, devices related to electric power, and equipment used in finance-related fields. **IF YOU USE PRODUCT FOR UNINTENDED USE, TOSHIBA ASSUMES NO LIABILITY FOR PRODUCT.** For details, please contact your TOSHIBA sales representative.
- Do not disassemble, analyze, reverse-engineer, alter, modify, translate or copy Product, whether in whole or in part.
- Product shall not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable laws or regulations.
- The information contained herein is presented only as guidance for Product use. No responsibility is assumed by TOSHIBA for any infringement of patents or any other intellectual property rights of third parties that may result from the use of Product. No license to any intellectual property right is granted by this document, whether express or implied, by estoppel or otherwise.
- **ABSENT A WRITTEN SIGNED AGREEMENT, EXCEPT AS PROVIDED IN THE RELEVANT TERMS AND CONDITIONS OF SALE FOR PRODUCT, AND TO THE MAXIMUM EXTENT ALLOWABLE BY LAW, TOSHIBA (1) ASSUMES NO LIABILITY WHATSOEVER, INCLUDING WITHOUT LIMITATION, INDIRECT, CONSEQUENTIAL, SPECIAL, OR INCIDENTAL DAMAGES OR LOSS, INCLUDING WITHOUT LIMITATION, LOSS OF PROFITS, LOSS OF OPPORTUNITIES, BUSINESS INTERRUPTION AND LOSS OF DATA, AND (2) DISCLAIMS ANY AND ALL EXPRESS OR IMPLIED WARRANTIES AND CONDITIONS RELATED TO SALE, USE OF PRODUCT, OR INFORMATION, INCLUDING WARRANTIES OR CONDITIONS OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, ACCURACY OF INFORMATION, OR NONINFRINGEMENT.**
- Do not use or otherwise make available Product or related software or technology for any military purposes, including without limitation, for the design, development, use, stockpiling or manufacturing of nuclear, chemical, or biological weapons or missile technology products (mass destruction weapons). Product and related software and technology may be controlled under the applicable export laws and regulations including, without limitation, the Japanese Foreign Exchange and Foreign Trade Law and the U.S. Export Administration Regulations. Export and re-export of Product or related software or technology are strictly prohibited except in compliance with all applicable export laws and regulations.
- Please contact your TOSHIBA sales representative for details as to environmental matters such as the RoHS compatibility of Product. Please use Product in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. **TOSHIBA ASSUMES NO LIABILITY FOR DAMAGES OR LOSSES OCCURRING AS A RESULT OF NONCOMPLIANCE WITH APPLICABLE LAWS AND REGULATIONS.**