

東芝CMOSデジタル集積回路 シリコン モノリシック

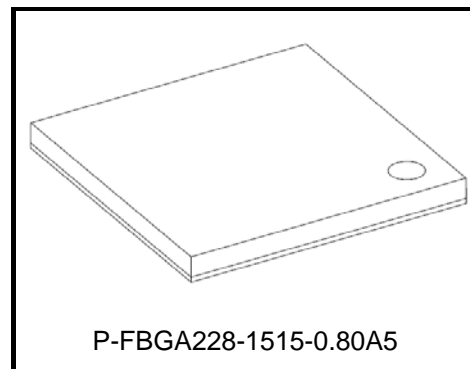
TC90193SBG

小型液晶用映像処理 IC

1. 概要

TC90193SBG は、小型液晶(QVGA~WVGA)用映像処理 IC です。アナログ(CVBS)入力とデジタル(RGB/YUV)入力が可能で、選択した入力信号に対し映像処理を行いデジタル RGB とパネル制御信号を出力します。

また、内蔵 SRAM フォントによる OSD 機能とパーキング用のライン描画機能を持っています。



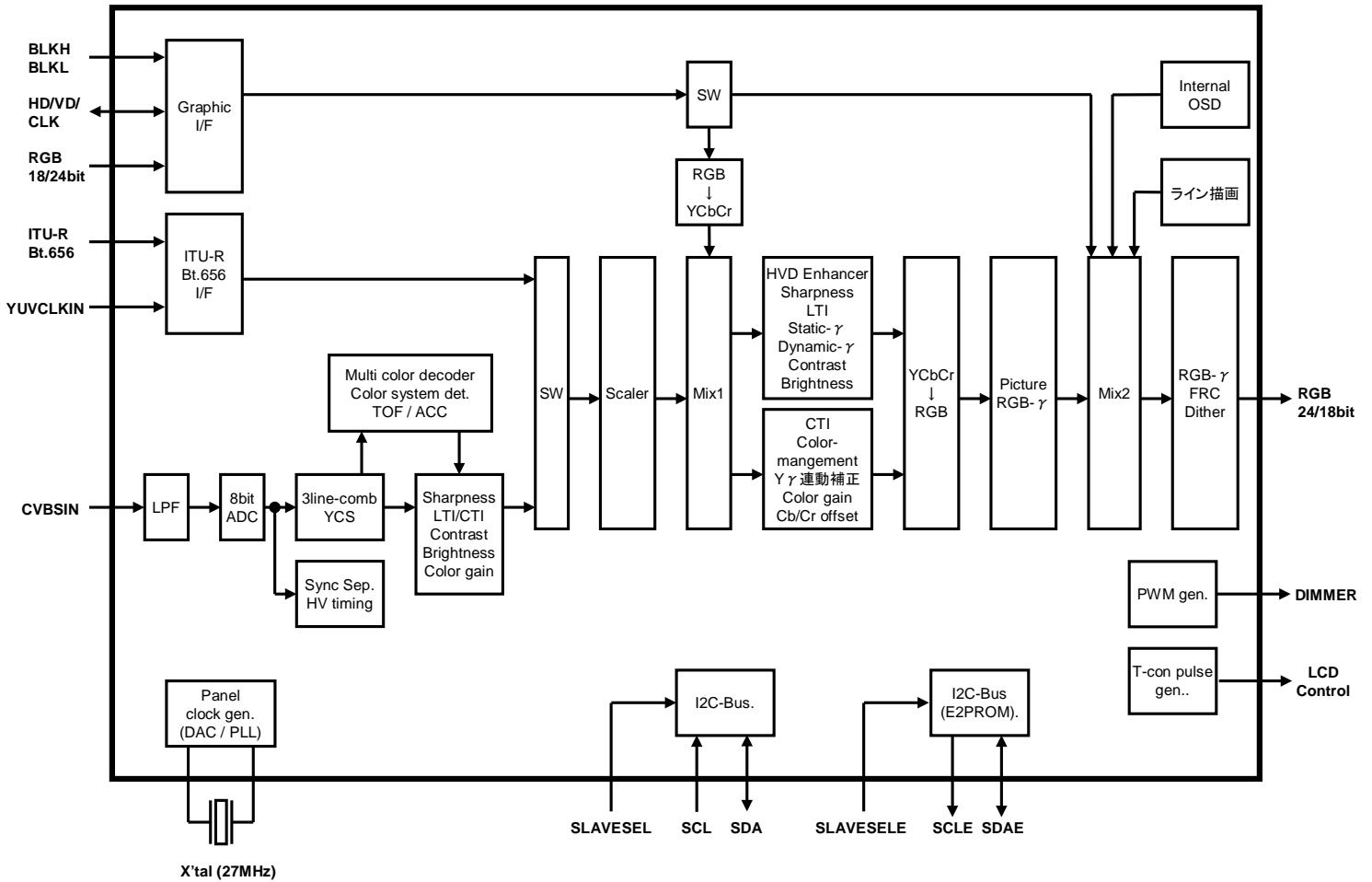
P-FBGA228-1515-0.80A5

重量:0.50g (標準)

1.1 特徴

- 映像信号入力
アナログ CVBS(NTSC/PAL) / ITU-R BT.656 (デジタル YUV)
デジタル RGB (6bit×3 または 8bit×3)
- 8bit ADC、プリフィルタ (LPF) 内蔵
- 3 ライン Y/C 分離
- マルチカラーシステム対応カラーデコーダ
- デジタル RGB 信号出力 (24bit)
QVGA (320x240)
WQVGA (400x234, 400x240, 480x234, 480x240, 480x272)
VGA (640x480)
WVGA (800x480)
- パネル制御用信号出力
- スケーリング機能
水平収差補正、水平圧縮、水平・垂直オーバースキャン
- 画質改善機能
<輝度信号補正>
・HVD エンハンサ
・シャープネス、LTI、ノイズキャンセラ
・スタティック Y- γ 補正、ダイナミック Y- γ 補正
・コントラスト、ブライトネス
<色信号補正>
・CTI、ノイズキャンセラ
・Y- γ 補正連動色ゲイン調整
・カラーマネジメント
・カラーゲイン、Cb/Cr オフセット調整
<RGB 信号補正>
・オフセット、ゲイン調整
・RGB- γ 補正
・Dither、FRC
- PWM 信号出力
- SRAM Font OSD 機能
- ライン描画機能
- 外部デジタル RGB 入力重畳機能(内部シンク同期)
- I²C-BUS 制御
- パッケージ:P-FBGA228-1515-0.80A5
- 電源電圧:3 系統 (3.3V、2.5V、1.5V)
- 動作周囲温度:-40°C~85°C

2. ブロック図



3. 端子配列図

Package TOP VIEW

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	
A	BLKL	BLKH	DINCLK	PTH	BOUT0	VDDIO	BOUT3	BOUT5	DVDD	DVDD	GOUT0	GOUT2	VDDIO	VDDIO	GOUT6	ROUT0	ROUT2	A
B	DIN1	DIN0	DINHd	DINVD	OSDCLK	BOUT1	BOUT2	BOUT4	BOUT6	BOUT7	GOUT1	GOUT3	GOUT4	GOUT5	GOUT7	ROUT1	ROUT3	B
C	DIN3	DIN2	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	ROUT4	ROUT5	C
D	DIN5	DIN4	DVSS	-	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	-	DVSS	ROUT6	VDDIO	D
E	VDDIO	DIN6	DVSS	DVSS	-	-	-	-	-	-	-	-	-	DVSS	DVSS	ROUT7	LOAD	E
F	DIN8	DIN7	DVSS	DVSS	-	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	-	-	DVSS	DVSS	DIMMER	ENABLE	F
G	DIN10	DIN9	DVSS	DVSS	-	DVSS	DVSS	-	-	-	-	DVSS	-	DVSS	DVSS	STH	HCOM	G
H	DVDD	DIN11	DVSS	DVSS	-	DVSS	-	-	-	-	-	DVSS	-	DVSS	DVSS	GOE	DVDD	H
J	DVDD	DIN12	DVSS	DVSS	-	DVSS	-	-	-	-	-	DVSS	-	DVSS	DVSS	STV2	DVDD	J
K	DIN13	DIN14	DVSS	DVSS	-	DVSS	-	-	-	-	-	DVSS	-	DVSS	DVSS	CPH	STV1	K
L	DIN15	DIN16	DVSS	DVSS	-	DVSS	-	-	-	-	-	DVSS	-	DVSS	DVSS	CPV	VLOAD	L
M	DIN17	DIN18	DVSS	DVSS	-	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	-	DVSS	DVSS	VCOM2	VCOM1	M
N	VDDIO	DIN19	DVSS	DVSS	-	-	-	-	-	-	-	-	-	AVSS	DVSS	UD	VDDIO	N
P	DIN20	DIN21	DVSS	-	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	XVSS	DAVSS	DAVSS	-	AVSS	AVSS	AVSS	P
R	DIN22	DIN23	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	DVSS	XVSS	DAVSS	DAVSS	DAVSS	AVSS	BIAS	CVBSIN	R
T	DIN24	DIN25	SDA	SDAE	SCLE	SLVSEL	SGSEL	TEST3	TEST2	TEST1	XI	PLL1IN	DAVSS	PLL1FIL	DACOUT	AVSS	VRB	T
U	YUVCLKIN	PANELSELECT	SCL	VDDIO	SLVSELE	RESET	MUTEIN	DVDD	DVDD	TEST0	XO	XVDD	DAVSS	DAVDD	AVDD	VRT	AVSS	U
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	

4. 端子説明

端子番号	Pin Name	Block	IO	機能説明	耐電圧[V]
A1	BLKL	Digital	I	OSD ブランキング制御入力端子(ハーフトーン処理用)	3.3
B1	DIN1	Digital	I	R1<8bit>入力 / R1<6bit>入力	3.3
C1	DIN3	Digital	I	R3<8bit>入力 / R3<6bit>入力	3.3
D1	DIN5	Digital	I	R5<8bit>入力 / R5<6bit>入力	3.3
E1	VDDIO	Power	-	I/O 電源 3.3V	-
F1	DIN8	Digital	I	G0<8bit>入力 / G2<6bit>入力	3.3
G1	DIN10	Digital	I	G2<8bit>入力 / G4<6bit>入力	3.3
H1	DVDD	Power	-	Digital 電源 1.5V	-
J1	DVDD	Power	-	Digital 電源 1.5V	-
K1	DIN13	Digital	I	G5<8bit>入力 / B1<6bit>入力	3.3
L1	DIN15	Digital	I	G7<8bit>入力 / B3<6bit>入力	3.3
M1	DIN17	Digital	I	B1<8bit>入力 / B5<6bit>入力	3.3
N1	VDDIO	Power	-	I/O 電源 3.3V	-
P1	DIN20	Digital	I	B4<8bit>入力 / ITU-R Bt.656[2]入力	3.3
R1	DIN22	Digital	I	B6<8bit>入力 / ITU-R Bt.656[4]入力	3.3
T1	DIN24	Digital	I	GND 接続 / ITU-R Bt.656[6]入力	3.3
U1	YUVCLKIN	Digital	I	GND 接続 / ITU-R Bt.656[clock]入力	3.3
A2	BLKH	Digital	I	OSD ブランキング制御入力端子	3.3
B2	DIN0	Digital	I	R0<8bit>入力 / R0<6bit>入力	3.3
C2	DIN2	Digital	I	R2<8bit>入力 / R2<6bit>入力	3.3
D2	DIN4	Digital	I	R4<8bit>入力 / R4<6bit>入力	3.3
E2	DIN6	Digital	I	R6<8bit>入力 / G0<6bit>入力	3.3
F2	DIN7	Digital	I	R7<8bit>入力 / G1<6bit>入力	3.3
G2	DIN9	Digital	I	G1<8bit>入力 / G3<6bit>入力	3.3
H2	DIN11	Digital	I	G3<8bit>入力 / G5<6bit>入力	3.3
J2	DIN12	Digital	I	G4<8bit>入力 / B0<6bit>入力	3.3
K2	DIN14	Digital	I	G6<8bit>入力 / B2<6bit>入力	3.3
L2	DIN16	Digital	I	B0<8bit>入力 / B4<6bit>入力	3.3
M2	DIN18	Digital	I	B2<8bit>入力 / ITU-R Bt.656[0]入力	3.3
N2	DIN19	Digital	I	B3<8bit>入力 / ITU-R Bt.656[1]入力	3.3
P2	DIN21	Digital	I	B5<8bit>入力 / ITU-R Bt.656[3]入力	3.3
R2	DIN23	Digital	I	B7<8bit>入力 / ITU-R Bt.656[5]入力	3.3
T2	DIN25	Digital	I	GND 接続 / ITU-R Bt.656[7]入力	3.3
U2	PANELSELECT	Digital	I	GOE 用極性選択端子	3.3
A3	DINCLK	Digital	I	RGB Clock 入力	3.3
B3	DINH D	Digital	I/O	RGB HD 入力(デフォルト設定)/ OSD HD 出力	3.3
C3	DVSS	Power	-	Digital GND	-
D3	DVSS	Power	-	Digital GND	-
E3	DVSS	Power	-	Digital GND	-
F3	DVSS	Power	-	Digital GND	-
G3	DVSS	Power	-	Digital GND	-
H3	DVSS	Power	-	Digital GND	-
J3	DVSS	Power	-	Digital GND	-
K3	DVSS	Power	-	Digital GND	-
L3	DVSS	Power	-	Digital GND	-
M3	DVSS	Power	-	Digital GND	-
N3	DVSS	Power	-	Digital GND	-
P3	DVSS	Power	-	Digital GND	-
R3	DVSS	Power	-	Digital GND	-
T3	SDA	Digital	I/O	I ² C バス SDA	5
U3	SCL	Digital	I	I ² C バス SCL	5

端子番号	Pin Name	Block	IO	機能説明	耐電圧[V]
A4	PTH	Digital	I	Digital 入力画質 Mask 制御	3.3
B4	DINVD	Digital	I/O	RGB VD 入力(デフォルト設定)/ OSD VD 出力	3.3
C4	DVSS	Power	-	Digital GND	-
D4	-	-	-	非接続端子(ball 無し)	-
E4	DVSS	Power	-	Digital GND	-
F4	DVSS	Power	-	Digital GND	-
G4	DVSS	Power	-	Digital GND	-
H4	DVSS	Power	-	Digital GND	-
J4	DVSS	Power	-	Digital GND	-
K4	DVSS	Power	-	Digital GND	-
L4	DVSS	Power	-	Digital GND	-
M4	DVSS	Power	-	Digital GND	-
N4	DVSS	Power	-	Digital GND	-
P4	-	-	-	非接続端子(ball 無し)	-
R4	DVSS	Power	-	Digital GND	-
T4	SDAE	Digital	I/O	E2PROM 制御用 I ² C バス Data	5
U4	VDDIO	Power	-	I/O 電源 3.3V	-
A5	BOU0	Digital	O	デジタル B0 出力	3.3
B5	OSDCLK	Digital	O	OSD Clock 出力	3.3
C5	DVSS	Power	-	Digital GND	-
D5	DVSS	Power	-	Digital GND	-
E5	-	-	-	非接続端子(ball 無し)	-
F5	-	-	-	非接続端子(ball 無し)	-
G5	-	-	-	非接続端子(ball 無し)	-
H5	-	-	-	非接続端子(ball 無し)	-
J5	-	-	-	非接続端子(ball 無し)	-
K5	-	-	-	非接続端子(ball 無し)	-
L5	-	-	-	非接続端子(ball 無し)	-
M5	-	-	-	非接続端子(ball 無し)	-
N5	-	-	-	非接続端子(ball 無し)	-
P5	DVSS	Power	-	Digital GND	-
R5	DVSS	Power	-	Digital GND	-
T5	SCLE	Digital	O	E2PROM 制御用 I ² C バス Clock	5
U5	SLVSELE	Digital	I	E2PROM Slave アドレス制御	3.3
A6	VDDIO	Power	-	I/O 電源 3.3V	-
B6	BOU1	Digital	O	デジタル B1 出力	3.3
C6	DVSS	Power	-	Digital GND	-
D6	DVSS	Power	-	Digital GND	-
E6	-	-	-	非接続端子(ball 無し)	-
F6	DVSS	Power	-	Digital GND	-
G6	DVSS	Power	-	Digital GND	-
H6	DVSS	Power	-	Digital GND	-
J6	DVSS	Power	-	Digital GND	-
K6	DVSS	Power	-	Digital GND	-
L6	DVSS	Power	-	Digital GND	-
M6	DVSS	Power	-	Digital GND	-
N6	-	-	-	非接続端子(ball 無し)	-
P6	DVSS	Power	-	Digital GND	-
R6	DVSS	Power	-	Digital GND	-
T6	SLVSEL	Digital	I	I ² C Slave アドレス制御	3.3
U6	RESET	Digital	I	Reset	5

端子番号	Pin Name	Block	IO	機能説明	耐電圧[V]
A7	BOUT3	Digital	O	デジタル B3 出力	3.3
B7	BOUT2	Digital	O	デジタル B2 出力	3.3
C7	DVSS	Power	-	Digital GND	-
D7	DVSS	Power	-	Digital GND	-
E7	-	-	-	非接続端子(ball 無し)	-
F7	DVSS	Power	-	Digital GND	-
G7	DVSS	Power	-	Digital GND	-
H7	-	-	-	非接続端子(ball 無し)	-
J7	-	-	-	非接続端子(ball 無し)	-
K7	-	-	-	非接続端子(ball 無し)	-
L7	-	-	-	非接続端子(ball 無し)	-
M7	DVSS	Power	-	Digital GND	-
N7	-	-	-	非接続端子(ball 無し)	-
P7	DVSS	Power	-	Digital GND	-
R7	DVSS	Power	-	Digital GND	-
T7	SGSEL	Digital	I	CVBS 入力/Digital 入力制御 (H:Digital / L:強制 CVBS)	3.3
U7	MUTEIN	Digital	I	外部強制 Mute 入力端子	3.3
A8	BOUT5	Digital	O	デジタル B5 出力	3.3
B8	BOUT4	Digital	O	デジタル B4 出力	3.3
C8	DVSS	Power	-	Digital GND	-
D8	DVSS	Power	-	Digital GND	-
E8	-	-	-	非接続端子(ball 無し)	-
F8	DVSS	Power	-	Digital GND	-
G8	-	-	-	非接続端子(ball 無し)	-
H8	-	-	-	非接続端子(ball 無し)	-
J8	-	-	-	非接続端子(ball 無し)	-
K8	-	-	-	非接続端子(ball 無し)	-
L8	-	-	-	非接続端子(ball 無し)	-
M8	DVSS	Power	-	Digital GND	-
N8	-	-	-	非接続端子(ball 無し)	-
P8	DVSS	Power	-	Digital GND	-
R8	DVSS	Power	-	Digital GND	-
T8	TEST3	Digital	I	TEST 用	3.3
U8	DVDD	Power	-	Digital 電源 1.5V	-
A9	DVDD	Power	-	Digital 電源 1.5V	-
B9	BOUT6	Digital	O	デジタル B6 出力	3.3
C9	DVSS	Power	-	Digital GND	-
D9	DVSS	Power	-	Digital GND	-
E9	-	-	-	非接続端子(ball 無し)	-
F9	DVSS	Power	-	Digital GND	-
G9	-	-	-	非接続端子(ball 無し)	-
H9	-	-	-	非接続端子(ball 無し)	-
J9	-	-	-	非接続端子(ball 無し)	-
K9	-	-	-	非接続端子(ball 無し)	-
L9	-	-	-	非接続端子(ball 無し)	-
M9	DVSS	Power	-	Digital GND	-
N9	-	-	-	非接続端子(ball 無し)	-
P9	DVSS	Power	-	Digital GND	-
R9	DVSS	Power	-	Digital GND	-
T9	TEST2	Digital	I	TEST 用	3.3
U9	DVDD	Power	-	Digital 電源 1.5V	-

端子番号	Pin Name	Block	IO	機能説明	耐電圧[V]
A10	DVDD	Power	-	Digital 電源 1.5V	-
B10	BOUT7	Digital	O	デジタル B7 出力	3.3
C10	DVSS	Power	-	Digital GND	-
D10	DVSS	Power	-	Digital GND	-
E10	-	-	-	非接続端子(ball 無し)	-
F10	DVSS	Power	-	Digital GND	-
G10	-	-	-	非接続端子(ball 無し)	-
H10	-	-	-	非接続端子(ball 無し)	-
J10	-	-	-	非接続端子(ball 無し)	-
K10	-	-	-	非接続端子(ball 無し)	-
L10	-	-	-	非接続端子(ball 無し)	-
M10	DVSS	Power	-	Digital GND	-
N10	-	-	-	非接続端子(ball 無し)	-
P10	DVSS	Power	-	Digital GND	-
R10	DVSS	Power	-	Digital GND	-
T10	TEST1	Digital	I	TEST 用	3.3
U10	TEST0	Digital	I	TEST 用	3.3
A11	GOUT0	Digital	O	デジタル G0 出力	3.3
B11	GOUT1	Digital	O	デジタル G1 出力	3.3
C11	DVSS	Power	-	Digital GND	-
D11	DVSS	Power	-	Digital GND	-
E11	-	-	-	非接続端子(ball 無し)	-
F11	DVSS	Power	-	Digital GND	-
G11	-	-	-	非接続端子(ball 無し)	-
H11	-	-	-	非接続端子(ball 無し)	-
J11	-	-	-	非接続端子(ball 無し)	-
K11	-	-	-	非接続端子(ball 無し)	-
L11	-	-	-	非接続端子(ball 無し)	-
M11	DVSS	Power	-	Digital GND	-
N11	-	-	-	非接続端子(ball 無し)	-
P11	XVSS	Power	-	X'tal GND	-
R11	XVSS	Power	-	X'tal GND	-
T11	XI	XTAL	I	X'tal 入力	-
U11	XO	XTAL	O	X'tal 出力	-
A12	GOUT2	Digital	O	デジタル G2 出力	3.3
B12	GOUT3	Digital	O	デジタル G3 出力	3.3
C12	DVSS	Power	-	Digital GND	-
D12	DVSS	Power	-	Digital GND	-
E12	-	-	-	非接続端子(ball 無し)	-
F12	-	-	-	非接続端子(ball 無し)	-
G12	DVSS	Power	-	Digital GND	-
H12	DVSS	Power	-	Digital GND	-
J12	DVSS	Power	-	Digital GND	-
K12	DVSS	Power	-	Digital GND	-
L12	DVSS	Power	-	Digital GND	-
M12	DVSS	Power	-	Digital GND	-
N12	-	-	-	非接続端子(ball 無し)	-
P12	DAVSS	Analog Power	-	DAC/PLL1 GND	-
R12	DAVSS	Analog Power	-	DAC/PLL1 GND	-
T12	PLL1IN	Analog IN	I	PLL1 入力	-
U12	XVDD	Power	-	2.5V X'tal 電源	-

端子番号	Pin Name	Block	IO	機能説明	耐電圧[V]
A13	VDDIO	Power	-	I/O 電源 3.3V	-
B13	GOUT4	Digital	O	デジタル G4 出力	3.3
C13	DVSS	Power	-	Digital GND	-
D13	DVSS	Power	-	Digital GND	-
E13	-	-	-	非接続端子(ball 無し)	-
F13	-	-	-	非接続端子(ball 無し)	-
G13	-	-	-	非接続端子(ball 無し)	-
H13	-	-	-	非接続端子(ball 無し)	-
J13	-	-	-	非接続端子(ball 無し)	-
K13	-	-	-	非接続端子(ball 無し)	-
L13	-	-	-	非接続端子(ball 無し)	-
M13	-	-	-	非接続端子(ball 無し)	-
N13	-	-	-	非接続端子(ball 無し)	-
P13	DAVSS	Analog Power	-	DAC/PLL1 GND	-
R13	DAVSS	Analog Power	-	DAC/PLL1 GND	-
T13	DAVSS	Analog Power	-	DAC/PLL1 GND	-
U13	DAVSS	Analog Power	-	DAC/PLL1 GND	-
A14	VDDIO	Power	-	I/O 電源 3.3V	-
B14	GOUT5	Digital	O	デジタル G5 出力	3.3
C14	DVSS	Power	-	Digital GND	-
D14	-	-	-	非接続端子(ball 無し)	-
E14	DVSS	Power	-	Digital GND	-
F14	DVSS	Power	-	Digital GND	-
G14	DVSS	Power	-	Digital GND	-
H14	DVSS	Power	-	Digital GND	-
J14	DVSS	Power	-	Digital GND	-
K14	DVSS	Power	-	Digital GND	-
L14	DVSS	Power	-	Digital GND	-
M14	DVSS	Power	-	Digital GND	-
N14	AVSS	Analog Power	-	ADC GND	-
P14	-	-	-	非接続端子(ball 無し)	-
R14	DAVSS	Analog Power	-	DAC/PLL1 GND	-
T14	PLL1FIL	Analog Bias	O	PLL1 Filter 端子	-
U14	DAVDD	Analog Power	-	2.5V DAC/PLL1 電源	-
A15	GOUT6	Digital	O	デジタル G6 出力	3.3
B15	GOUT7	Digital	O	デジタル G7 出力	3.3
C15	DVSS	Power	-	Digital GND	-
D15	DVSS	Power	-	Digital GND	-
E15	DVSS	Power	-	Digital GND	-
F15	DVSS	Power	-	Digital GND	-
G15	DVSS	Power	-	Digital GND	-
H15	DVSS	Power	-	Digital GND	-
J15	DVSS	Power	-	Digital GND	-
K15	DVSS	Power	-	Digital GND	-
L15	DVSS	Power	-	Digital GND	-
M15	DVSS	Power	-	Digital GND	-
N15	DVSS	Power	-	Digital GND	-
P15	AVSS	Analog Power	-	ADC GND	-
R15	AVSS	Analog Power	-	ADC GND	-
T15	DACOUT	Analog OUT	O	DAC 出力	-
U15	AVDD	Analog Power	-	2.5V ADC 電源	-

端子番号	Pin Name	Block	IO	機能説明	耐電圧[V]
A16	ROUT0	Digital	O	デジタル R0 出力	3.3
B16	ROUT1	Digital	O	デジタル R1 出力	3.3
C16	ROUT4	Digital	O	デジタル R4 出力	3.3
D16	ROUT6	Digital	O	デジタル R6 出力	3.3
E16	ROUT7	Digital	O	デジタル R7 出力	3.3
F16	DIMMER	Digital	O	PWM 出力	3.3
G16	STH	Digital	O	パネル制御用 水平スタート	3.3
H16	GOE	Digital	O	Panel Reset 制御出力 (U2 PANELSELECT にて)	3.3
J16	STV2	Digital	O	パネル制御用 垂直スタート 2	3.3
K16	CPH	Digital	O	パネル制御用 水平 Clock	3.3
L16	CPV	Digital	O	パネル制御用 垂直 Clock	3.3
M16	VCOM2	Digital	O	パネル制御用 対向(コモン)電圧出力 2	3.3
N16	UD	Digital	O	パネル制御用 上下転送方向制御	3.3
P16	AVSS	Analog Power	-	ADC GND	-
R16	BIAS	Analog Bias	-	ADC バイアス	-
T16	AVSS	Analog Power	-	ADC GND	-
U16	VRT	Analog Bias	-	ADC 上限バイアス	-
A17	ROUT2	Digital	O	デジタル R2 出力	3.3
B17	ROUT3	Digital	O	デジタル R3 出力	3.3
C17	ROUT5	Digital	O	デジタル R5 出力	3.3
D17	VDDIO	Power	-	I/O 電源 3.3V	-
E17	LOAD	Digital	O	パネル制御用 水平ラッチ信号	3.3
F17	ENABLE	Digital	O	パネル制御用 データイネーブル	3.3
G17	HCOM	Digital	O	パネル制御用 Dot 毎反転	3.3
H17	DVDD	Power	-	Digital 電源 1.5V	-
J17	DVDD	Power	-	Digital 電源 1.5V	-
K17	STV1	Digital	O	パネル制御用 垂直スタート 1	3.3
L17	VLOAD	Digital	O	パネル制御用 垂直ラッチ信号	3.3
M17	VCOM1	Digital	O	パネル制御用 対向(コモン)電圧出力 1	3.3
N17	VDDIO	Power	-	I/O 電源 3.3V	-
P17	AVSS	Analog Power	-	ADC GND	-
R17	CVBSIN	Analog IN	I	CVBS 入力	-
T17	VRB	Analog Bias	-	ADC 下限バイアス	-
U17	AVSS	Analog Power	-	ADC GND	-

5. 機能説明

5.1 映像入力信号

TC90193SBG は、アナログ CVBS 信号 1 系統、デジタル YUV(ITU-R Bt.656 準拠) 1 系統、デジタル RGB 信号(8bit)の 3 つの信号を入力することができます。

アナログ CVBS 信号入力およびデジタル YUV 信号入力を選択した時には、TC90193SBG から出力される同期信号出力（水平同期信号、垂直同期信号、クロック信号）に合わせたデジタル RGB 映像信号入力することで、アナログ CVBS 信号およびデジタル YUV 信号に対してデジタル RGB 信号(例えば OSD 等)を重畳することができます。

(デジタル YUV 信号入力を使用する場合には、デジタル RGB 信号入力は 6bit 入力となります。)

デジタル RGB 入力モードを選択すると、デジタル RGB に同期した水平同期信号、垂直同期信号およびクロック信号を入力させ、デジタル RGB が表示できます。

有効画素数は、内部レジスタ設定によって、下表の中から選択することができます。

<デジタル RGB 信号の有効画素>

解像度	水平有効画素	垂直有効画素
QVGA	320	234
WQVGA	400	234
WQVGA	400	240
WQVGA	480	234
WQVGA	480	240
WQVGA	480	272
VGA	640	480
WVGA	800	480

デジタル YUV 信号を使用しない場合には、デジタル RGB 信号入力は 8bit で入力することができます。

<TC90193SBG のメイン映像とデジタル RGB(OSD)入力との関係>

メイン映像	デジタル RGB(OSD)
CVBS	○ (8bit/6bit)
D-YUV(ITU-R Bt.656)	○ (6bit)
D-RGB	× (選択不可)

5.1.1 CVBS 入力

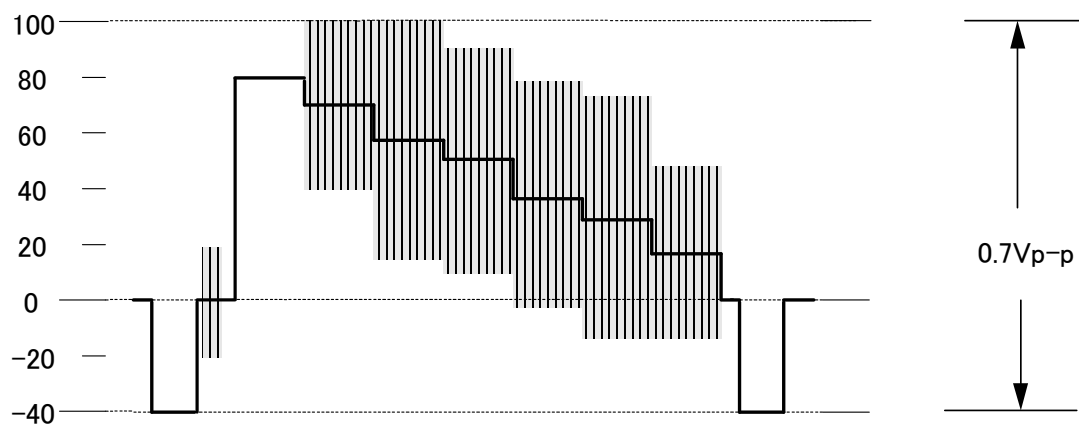
5.1.1.1. 入力信号について

TC90193SBG は、CVBS 1 系統入力用に、8bit ADC を 1ch 内蔵しています。
ADC の入力ダイナミックレンジは $AVDD \times 0.4$ で設計されており、通常入力ダイナミックレンジは $1.0V_{p-p}$ ($AVDD=2.5V$) となります。
推奨標準入力振幅は、140IRE 入力で $0.7V_{p-p}$ (0.7 倍) としてください。

入力信号のクランプ処理は、シンクフィードバックによるペDESTALクランプを行っています。
なお、AD 変換後にデジタル方式によるクランプ処理が行えます。

5.1.1.2. アナログ映像信号入力レベル

Composite Video 信号の Y 信号の白 100% 時の標準入力レベル
<IRE>



5.1.1.3. LPF 機能

アンチエイリアシング用 LPF を ADC 前に内蔵しており、ON とスルーの経路選択が可能です。

5.1.2 デジタル信号入力端子割り当て

デジタル映像信号入力の関連端子の信号割り当てを、下表に図示します。

●入出力信号の説明

OSD CLK out : RGB(OSD 用)重畳用出力で TC90193 内部に同期したクロック信号を出力
 OSD HD out : RGB(OSD 用)重畳用出力で TC90193 内部に同期した水平同期信号を出力
 OSD VD out : RGB(OSD 用)重畳用出力で TC90193 内部に同期した垂直同期信号を出力

RGB CLK in : RGB(OSD 用)入力の為のクロック信号
 RGB HD in : RGB(OSD 用)入力の為の水平同期信号
 RGB VD in : RGB(OSD 用)入力の為の垂直同期信号

656 CLK 入力 : ITU-R Bt.656 入力用のクロック信号

端子番号	端子名	I/O	端子説明	モード1	モード2	モード3
				D-RGBのみ入力	メインがデジタル YUV656 入力、D-RGB 入力、OSD になるモード	メインが CV BS 入力、D-RGB 入力、OSD 入力になるモード
B5	OSDCLK	O	OSD クロック	Low out	OSD CLK out	OSD CLK out
A3	DINCLK	I	デジタルRGB入力クロック	RGB CLK in	—	—
B4	DINVD	I/O	RGB VD 入力/OSD VD 出力	RGB VD in	OSD VD out	OSD VD out
B3	DINHD	I/O	RGB HD 入力/OSD HD 出力	RGB HD in	OSD HD out	OSD HD out
B2	DIN0	I	R0 入力/R2 入力	R0 入力	R2 入力	R0 入力
B1	DIN1	I	R1 入力/R3 入力	R1 入力	R3 入力	R1 入力
C2	DIN2	I	R2 入力/R4 入力	R2 入力	R4 入力	R2 入力
C1	DIN3	I	R3 入力/R5 入力	R3 入力	R5 入力	R3 入力
D2	DIN4	I	R4 入力/R6 入力	R4 入力	R6 入力	R4 入力
D1	DIN5	I	R5 入力/R7 入力	R5 入力	R7 入力	R5 入力
E2	DIN6	I	R6 入力/G2 入力	R6 入力	G2 入力	R6 入力
F2	DIN7	I	R7 入力/G3 入力	R7 入力	G3 入力	R7 入力
F1	DIN8	I	G0 入力/G4 入力	G0 入力	G4 入力	G0 入力
G2	DIN9	I	G1 入力/G5 入力	G1 入力	G5 入力	G1 入力
G1	DIN10	I	G2 入力/G6 入力	G2 入力	G6 入力	G2 入力
H2	DIN11	I	G3 入力/G7 入力	G3 入力	G7 入力	G3 入力
J2	DIN12	I	G4 入力/B2 入力	G4 入力	B2 入力	G4 入力
K1	DIN13	I	G5 入力/B3 入力	G5 入力	B3 入力	G5 入力
K2	DIN14	I	G6 入力/B4 入力	G6 入力	B4 入力	G6 入力
L1	DIN15	I	G7 入力/B5 入力	G7 入力	B5 入力	G7 入力
L2	DIN16	I	B0 入力/B6 入力	B0 入力	B6 入力	B0 入力
M1	DIN17	I	B1 入力/B7 入力	B1 入力	B7 入力	B1 入力
M2	DIN18	I	B2 入力/656[0]入力	B2 入力	656[0]入力	B2 入力
N2	DIN19	I	B3 入力/656[1]入力	B3 入力	656[1]入力	B3 入力
P1	DIN20	I	B4 入力/656[2]入力	B4 入力	656[2]入力	B4 入力
P2	DIN21	I	B5 入力/656[3]入力	B5 入力	656[3]入力	B5 入力
R1	DIN22	I	B6 入力/656[4]入力	B6 入力	656[4]入力	B6 入力
R2	DIN23	I	B7 入力/656[5]入力	B7 入力	656[5]入力	B7 入力
T1	DIN24	I	VSS 固定/656[6]入力	—	656[6]入力	—
T2	DIN25	I	VSS 固定/656[7]入力	—	656[7]入力	—
U1	YUVCLKIN	I	VSS 固定/656CLK 入力	—	656CLK 入力	—

5.1.3 デジタルRGB信号入力

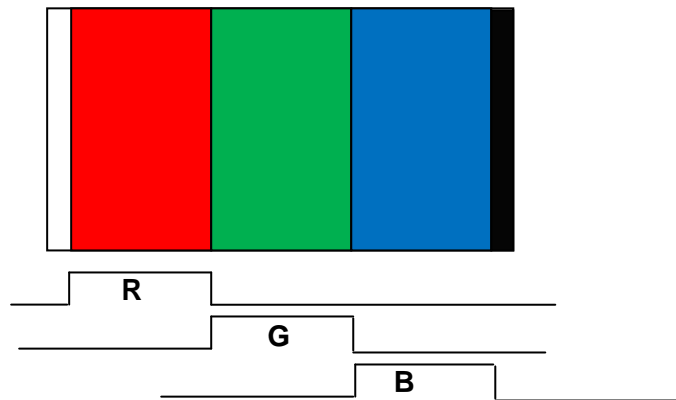
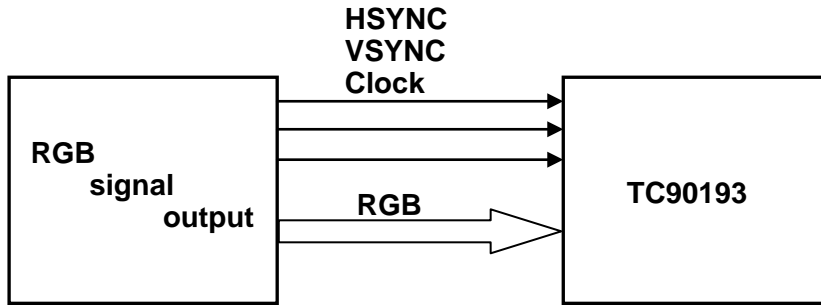
5.1.3.1. ノーマルモード (モード1)

ノーマルモード (モード1) 時は、デジタル RGB 入力を表示するのみです。
RGB と HD、VD、CLK 信号を入力します。

(Seg:0x00,Sub:0x00, D7D6:1*)

なお、水平および垂直のバックポーチ幅(同期信号前縁から有効開始までの幅) が一定値でなければなりません。

また、HD 信号のパルス幅は 300ns 以上必要です。もし 300ns 以下ですと、入力信号を無信号と判別してしまいますのでご注意ください。



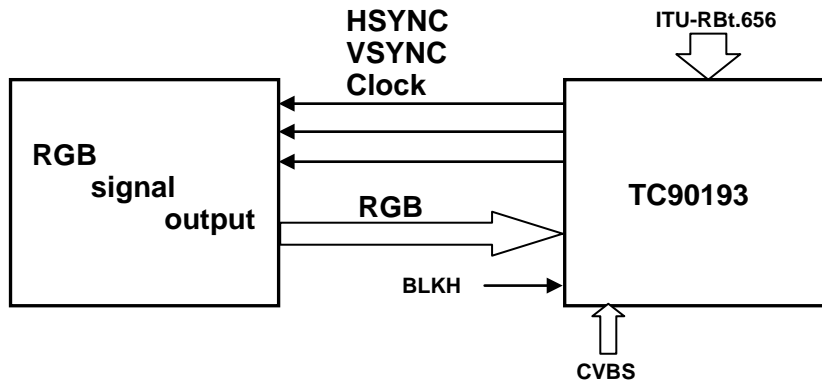
RGB 入力と映像のイメージ

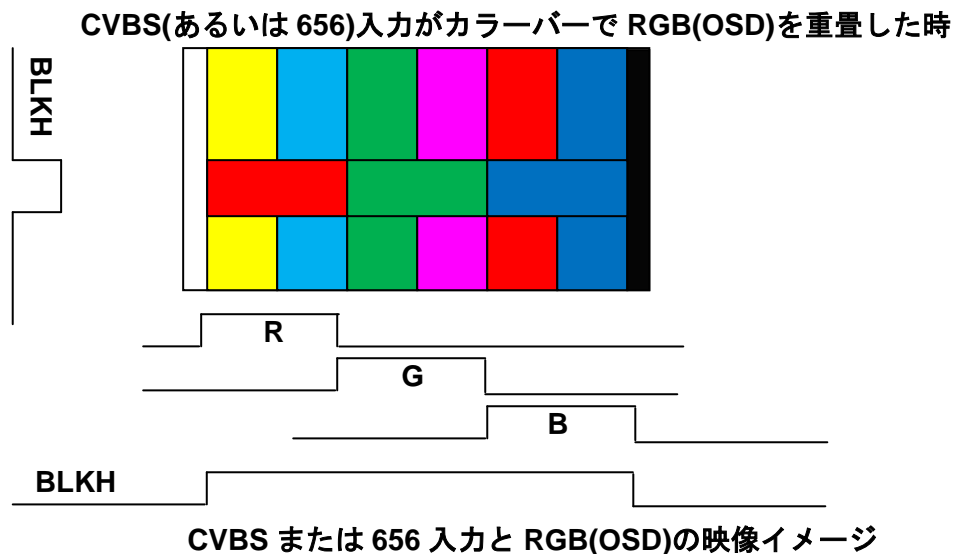
5.1.3.2. 同期モード (モード2,モード3)

このモードを用いると、デジタル RGB 信号を、CVBS 信号入力もしくは ITU-R Bt.656 入力の映像に重畳することができます。OSD 重畳用として使われます。

SGSEL 端子を High にし、Seg:0x00,Sub:0x00,D7D6:00 で CVBS、D7D6:01 で 656 になります。

この同期モードとは、TC90193 から出力される HSYNC、VSYNC およびクロックに同期させて、デジタル RGB 信号を入力するモードです。(Seg:0x00,Sub:0x50,D7:1、0x56,D7:1)





同期モードでのデジタル RGB 信号の重畳方法は 2 種類あります。

1. Mix1(Seg:0x00,Sub:0x56,D3:0)

デジタル RGB 信号を一度 YCbCr に変換し、スケーラ処理後の CVBS もしくは ITU-R Bt.656 信号に重畳します。

この重畳方法では、デジタル RGB 信号に YCbCr の画質改善処理を行うことが可能です。ただし、ハーフトーン処理は非対応です。

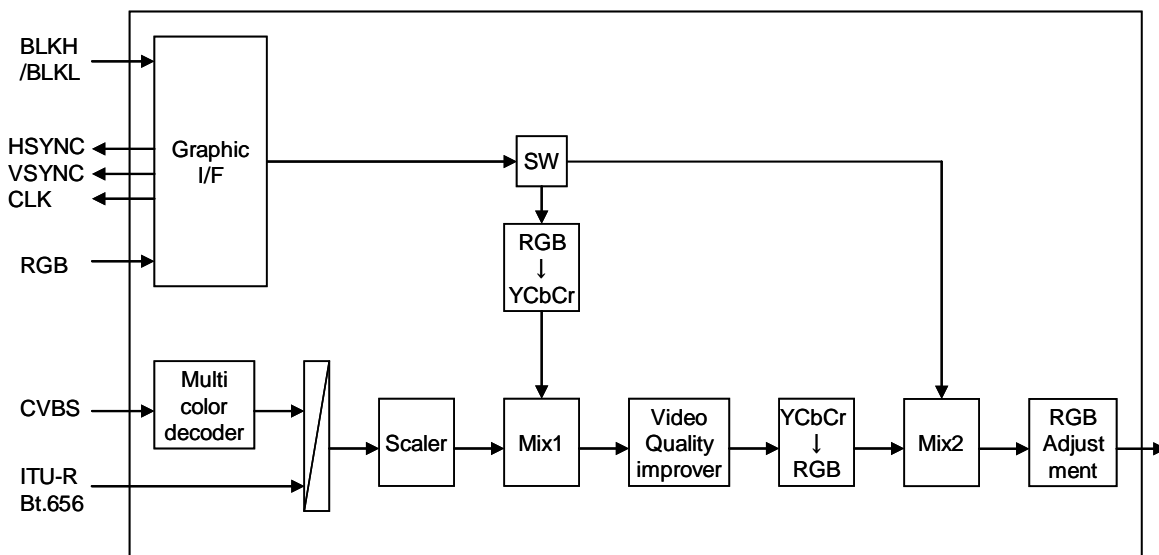
2. Mix2(Seg:0x00,Sub:0x56,D3:1)

デジタル RGB 信号を RGB のままスケーラ処理後の CVBS もしくは ITU-R Bt.656 信号に重畳します。

ハーフトーン処理を行うことができます。

ハーフトーン処理は、BLKH および BLKL 端子とレジスタ設定で選択・設定することができます。

以下のブロック図に Mix 位置を示します。



5.2 映像出力信号

下表のパネル解像度に応じたデジタル RGB 映像信号を出力します。
デジタル RGB 入力の場合には、入力設定と同一設定ですので、入力で設定した解像度と同一解像度で出力します。

解像度	水平有効画素	垂直有効画素
QVGA	320	234
WQVGA	400	234
WQVGA	400	240
WQVGA	480	234
WQVGA	480	240
WQVGA	480	272
VGA	640	480
WVGA	800	480

5.3 パネル制御用タイミング信号出力

パネル制御信号は、出力有効期間の前縁を基準に生成されます。
なお、データイネーブル期間前縁から時間軸上で前方向に出力できる位置の設定には制限が発生いたします。

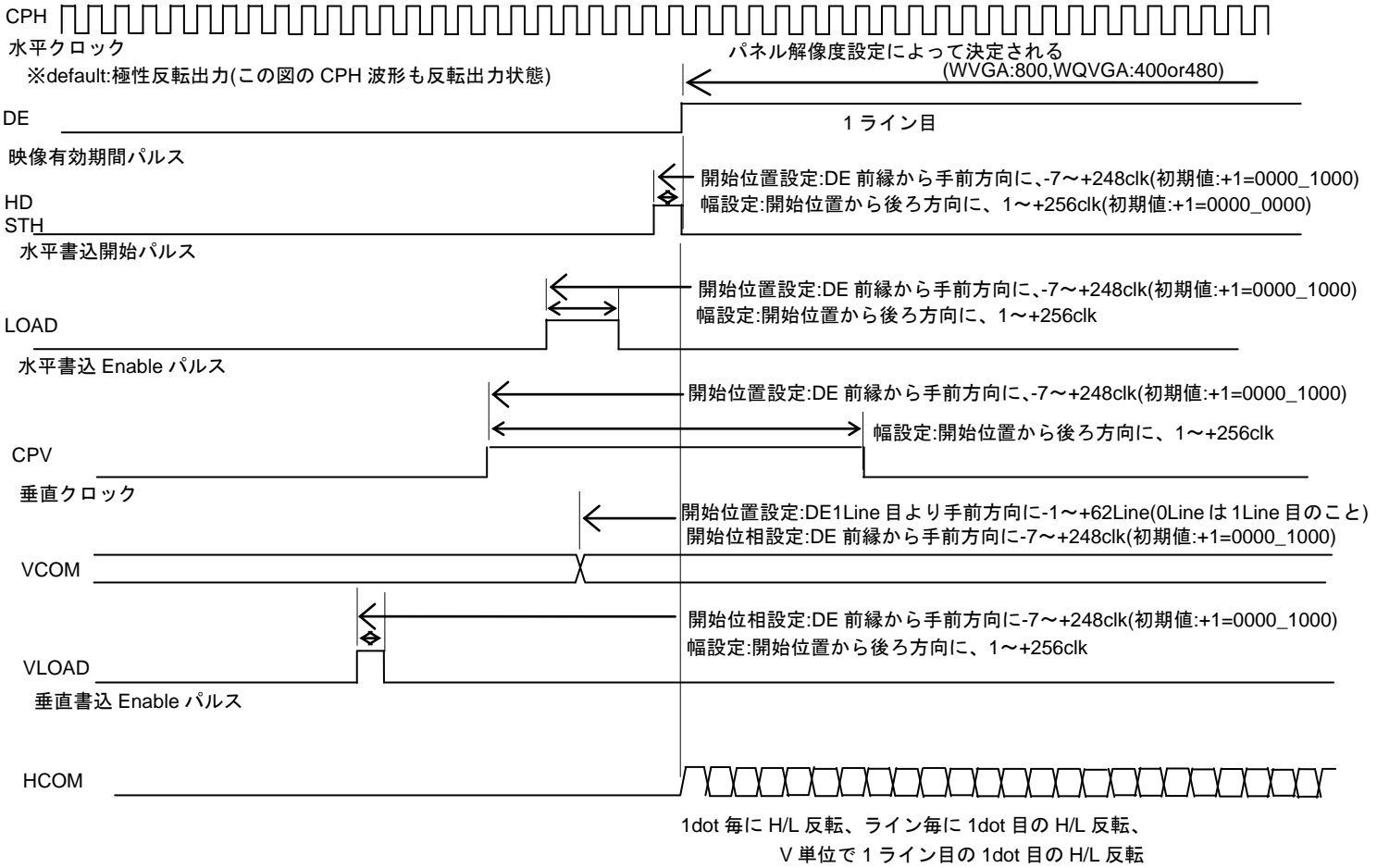
<水平>

パネル制御用水平開始位相は D-RGB 入力設定の水平バックポーチの幅に制限されます。
出力水平バックポーチ = 入力バックポーチ -1[clk]

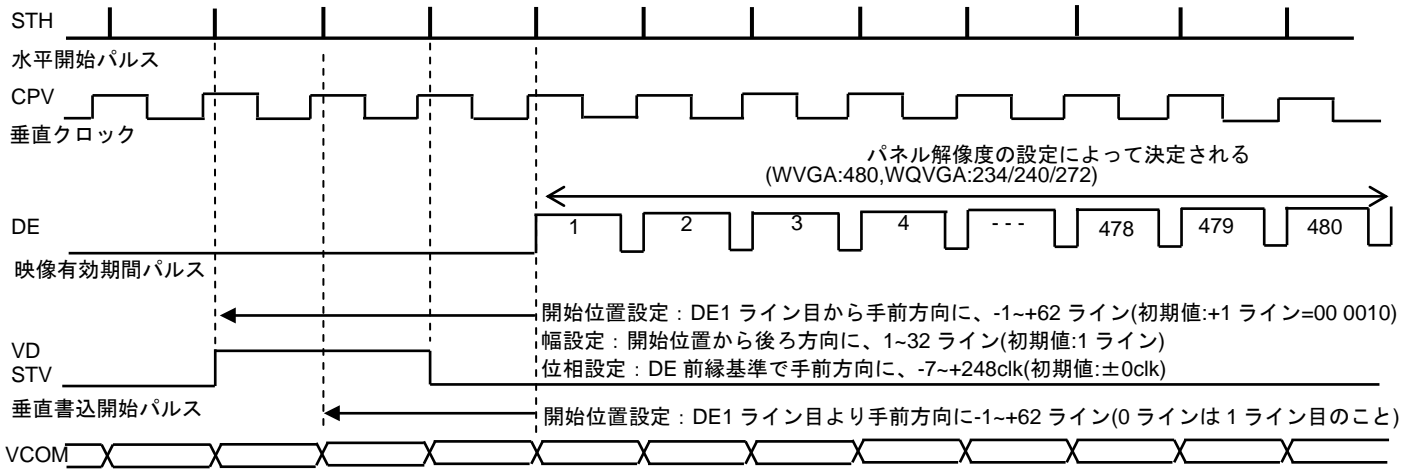
<垂直>

パネル制御信号用の垂直スタート位相は D-RGB 入力設定の垂直バックポーチの幅に制限されます。
出力垂直バックポーチ = 入力バックポーチ +1[line]

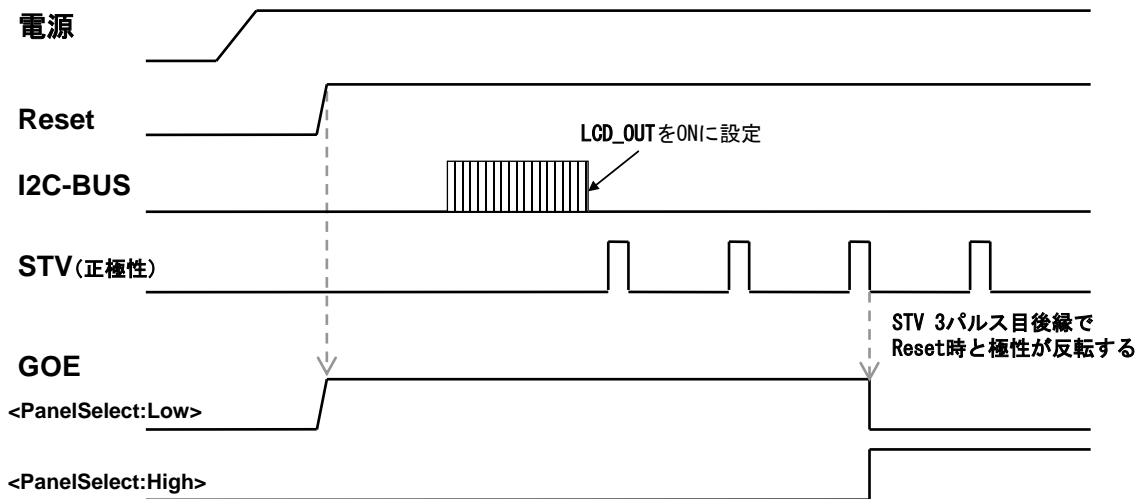
<水平>



<垂直>



<電源投入から出力開始シーケンス>



6. 絶対最大定格

絶対最大定格は、瞬時たりとも超えてはならない規格です。

絶対最大定格を超えると IC の破壊や劣化、損傷の原因となり、IC 以外にも破壊や劣化、損傷を与える恐れがあります。

いかなる動作条件においても、必ず絶対最大定格を超えないように周辺回路／応用機器の設計を行っていただくようお願いいたします。

項目	該当端子番号	記号	定格	単位
電源電圧 1 (1.5V 系)	A9,A10,H1,H17,J1,J17, U8,U9	VDD1	-0.3 ~ VSS+2.0	V
電源電圧 2 (2.5V 系)	U12,U14,U15	VDD2	-0.3 ~ VSS+3.5	V
電源電圧 3 (3.3V 系)	A6,A13,A14,D17,E1,N1, N17,U4	VDD3	-0.3 ~ VSS+3.9	V
入力電圧 (3.3V 系)	A1,A2,A3,A4,B1,B2,B3,B4, C1,C2,D1,D2,E2,F1,F2,G1, G2,H2,J2,K1,K2,L1,L2,M1, M2,N2,P1,P2,R1,R2,T1,T2, T6,T7,U1,U2,U5,U7	VIN3	-0.3 ~ VDD3+0.3	V
入力電圧 (3.3V 系 5V 耐圧)	T3,T4,T5,U3,U6	VIN4 (注 1)	-0.3 ~ VSS+5.5	V
電源端子間電位差 (1.5V 系電源端子間)	A9,A10,H1,H17,J1,J17, U8,U9	Δ V _{VDG1} (注 2)	0.3	V
電源端子間電位差 (2.5V 系電源端子間)	U12,U14,U15	Δ V _{VDG2} (注 3)	0.3	V
電源端子間電位差 (3.3V 系電源端子間)	A6,A13,A14,D17,E1,N1, N17,U4	Δ V _{VDG3} (注 4)	0.3	V
許容損失		PD (注 5)	2777	mW
保存温度		T _{stg}	-55 ~ 125	°C

(注 1) SCL(U3)、SDA(T3)、SCLE(T5)、SDAE(T4)、RESET(U6)の各端子の耐圧は 5V です。

(注 2) 1.5V の VDD 端子グループ間を同電位で接続(ショート)した状態で、各電圧系の VDD 端子グループ間の最大電位差がそれぞれ定格を超えないようにしてください。

この時、全 VSS 端子間の最大電位差は 0.01V 以内としてください。

(注 3) 2.5V の VDD 端子グループを同電位で接続(ショート)した状態で、各電圧系の VDD 端子グループ間の最大電位差は定格値を超えないようにしてください。

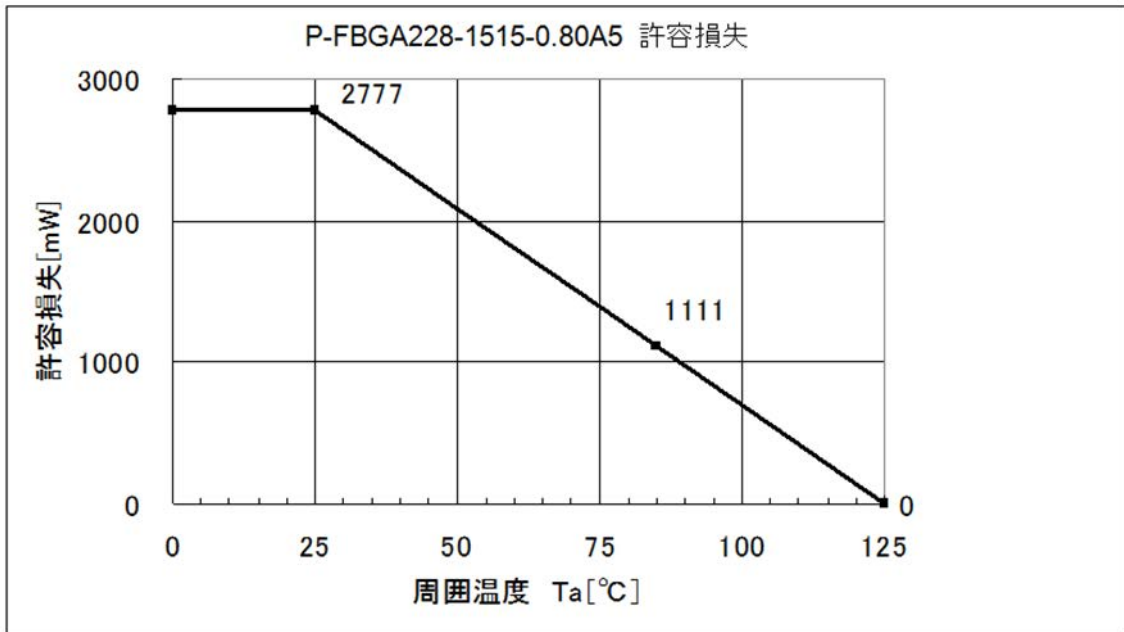
この時、全 VSS 端子間の最大電位差は 0.01V 以内としてください。

(注 4) 3.3V の VDD 端子グループを同電位で接続(ショート)した状態で、各電圧系の VDD 端子グループ間の最大電位差は定格値を超えないようにしてください。

この時、全 VSS 端子間の最大電位差は 0.01V 以内としてください。

(注 5) Ta=25°C以上で使用する場合は、1°Cにつき 27.77mW 減じて考えてください。

(Ta=85°Cの場合、1111mW が最大許容損失となります。)



7. 動作条件

本 IC は、電源電圧範囲（1.4V～1.6V、2.3V～2.7V、3.0V～3.6V）を外れた場合の動作は保証できませんので、ご使用に際しては、記載された動作条件の範囲内でのご使用をお願いいたします。

一旦、動作条件の範囲を外れてから範囲内に戻った場合、外れる前の状態とは異なりますので、一旦電源を立ち下げ、新たに立ち上げる必要があります。

項目	該当端子番号	記号	最小	標準	最大	単位
デジタル電源電圧	A9,A10,H1,H17,J1,J17, U8,U9	VDD-D	1.4	1.5	1.6	V
XO 電源電圧(*1)	U12	VDD-XO	2.3	2.5	2.7	V
PLL/DAC 電源電圧(*1)	U14	VDD-DA	2.3	2.5	2.7	V
アナログ(ADC)電源電圧(*1)	U15	VDD-AD	2.3	2.5	2.7	V
I/O 電源電圧	A6,A13,A14,D17,E1,N1, N17,U4	VDD-IO	3.0	3.3	3.6	V
動作温度	-	Topr	-40	—	85	°C

(*1)XO 電源電圧と PLL 電源電圧とアナログ電源電圧は、極力同電位となるようにご配慮願います。

8. 電気特性

8.1 DC 特性

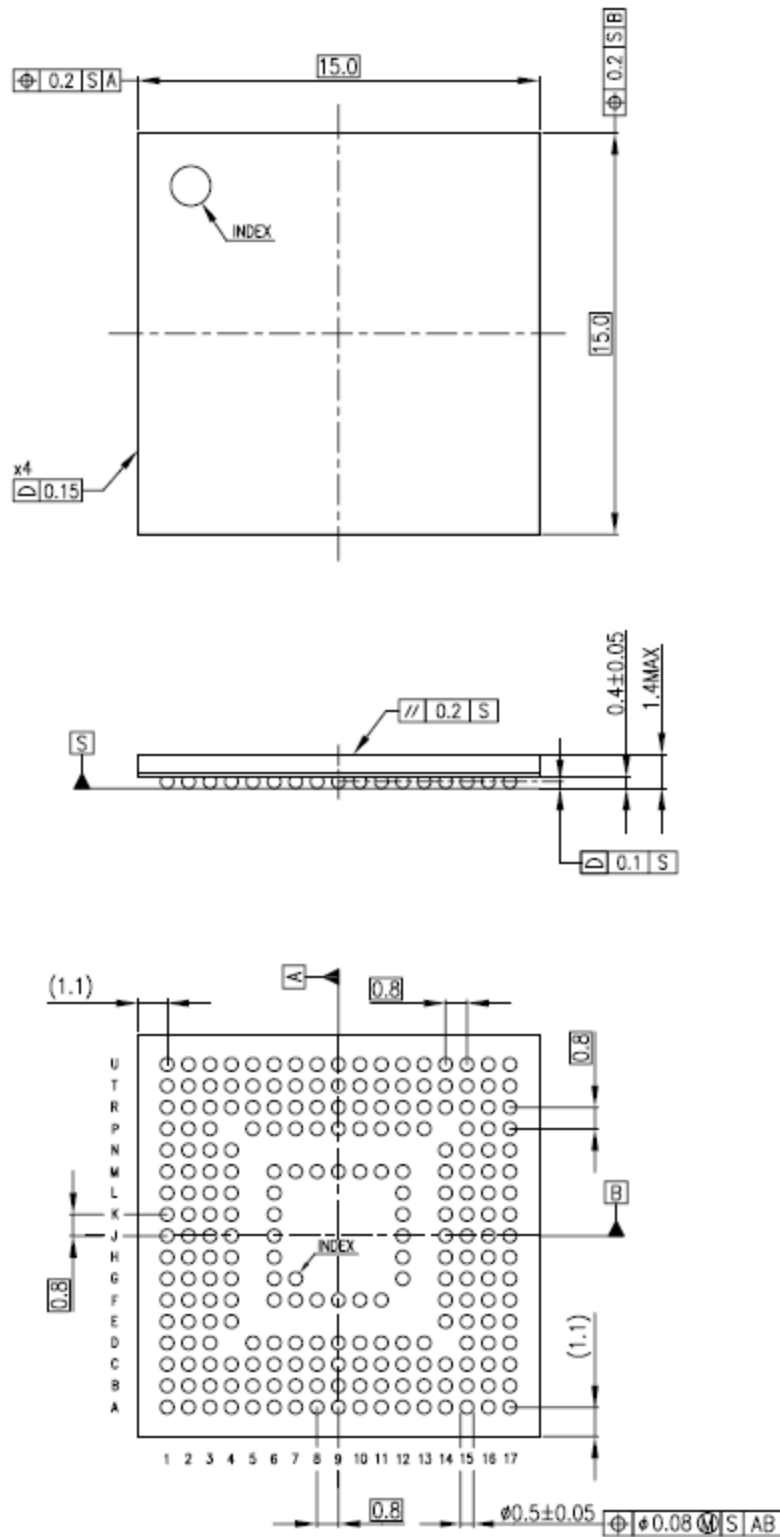
(Ta=25°C, VDD1=1.50±0.1V、VDD2=2.50±0.2V、VDD3=3.30±0.3V)

項目	該当端子番号	記号	最小	標準	最大	単位	備考
電源電流	A9,A10,H1,H17,J1,J17,U8,U9	IDD1	-	-	150	mA	1.5V 系
	U12,U14,U15	IDD2	-	-	75	mA	2.5V 系
	A6,A13,A14,D17,E1,N1,N17,U4	IDD3	-	-	100	mA	3.3V 系 ※ 1
入力電圧	A1,A2,A3,A4,B1,B2,B3,B4,C1,C2,D1,D2,E2,F1,F2,G1,G2,H2,J2,K1,K2,L1,L2,M1,M2,N2,P1,P2,R1,R2,T1,T2,T6,T7,U1,U2,U5,U7	VIH	VDD3x0.8	-	VDD3	V	3.3V 系 I/O 入力端子
	T3,T4,T5,U3,U6						5.0V 系 I/O 入力端子
	A1,A2,A3,A4,B1,B2,B3,B4,C1,C2,D1,D2,E2,F1,F2,G1,G2,H2,J2,K1,K2,L1,L2,M1,M2,N2,P1,P2,R1,R2,T1,T2,T6,T7,U1,U2,U5,U7	VIL	VSS	-	VDD3x0.2	V	3.3V 系 I/O 入力端子
	T3,T4,T5,U3,U6						5.0V 系 I/O 入力端子
入力電流	A1,A2,A3,A4,B1,B2,B3,B4,C1,C2,D1,D2,E2,F1,F2,G1,G2,H2,J2,K1,K2,L1,L2,M1,M2,N2,P1,P2,R1,R2,T1,T2,T6,T7,U1,U2,U5,U7	IIH	-10	-	10	μA	3.3V 系 I/O 入力端子
	T3,T4,T5,U3,U6						5.0V 系 I/O 入力端子
	A1,A2,A3,A4,B1,B2,B3,B4,C1,C2,D1,D2,E2,F1,F2,G1,G2,H2,J2,K1,K2,L1,L2,M1,M2,N2,P1,P2,R1,R2,T1,T2,T6,T7,U1,U2,U5,U7	IIL	-10	-	10	μA	3.3V 系 I/O 入力端子
	T3,T4,T5,U3,U6						5.0V 系 I/O 入力端子

※ 1 3.3V 系電源電圧の電流値は、接続するパネルの負荷容量に依存致します。
 接続するパネルの負荷容量が大きい場合には、記載している最大値を超える可能性があります。

項目	該当端子番号	記号	最小	標準	最大	単位	備考
出力 電圧	A5,A7,A8,A11,A12,A15,A16, A17,B5,B6,B7,B8,B9,B10, B11,B12,B13,B14,B15,B16, B17,C16,C17,D16,E16,E17, F16,F17,G16,G17,H16,J16, K17,L16,L17,M16,M17,N16	V _{OH}	VDD3-0.6	—	VDD3	V	3.3V 系 I/O 出力端子 4mA 流出負荷時
	K16		VDD3-0.6	—	VDD3	V	3.3V 系 I/O 出力端子 8mA 流出負荷時
	A5,A7,A8,A11,A12,A15,A16, A17,B5,B6,B7,B8,B9,B10, B11,B12,B13,B14,B15,B16, B17,C16,C17,D16,E16,E17, F16,F17,G16,G17,H16,J16, K17,L16,L17,M16,M17,N16	V _{OL}	VSS	—	0.4	V	3.3V 系 I/O 出力端子 4mA 流入負荷時
	T3,T4,T5,U3		VSS	—	0.4	V	5.0V 系 I/O 出力端子
K16	VSS		—	0.4	V	3.3V 系 I/O 出力端子 8mA 流入負荷時	
入出力間 電圧 差	T3,T4,T5,U3	ΔV_{IOL}	+0.3	—	+0.6	V	EEPROM へアクセス する時の、 T3(SDA)と T4(SDAE) の電圧差、および U3(SCL)と T5(SCLE) の電圧差。 (Low レベルを入出力 する時)

9. 外形图



Unit:mm

10. 変更履歴

Revision	Date	Description
1.00	2016/12/08	初版

製品取り扱い上のお願い

- 本資料に掲載されているハードウェア、ソフトウェアおよびシステム（以下、本製品という）に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（生命直結機器）、車載・輸送機器、防衛関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。