

**TC35661SBG-009**  
**Bluetooth<sup>®</sup> HCI IC**  
**Rev 1.01**



※Bluetooth<sup>®</sup>は Bluetooth SIG Inc.の登録商標です。

※ARM<sup>®</sup>は ARM 社の EU およびその他の国における登録商標です。

## 目次

1.	機能概要と特長	4
1.1.	機能概要	4
1.2.	機能特長	4
2.	端子説明	5
2.1.	端子配置	5
2.2.	端子機能説明	6
2.2.1.	電源端子	13
3.	システム構成図	15
3.1.	内部ブロックダイアグラム	15
4.	ハードウェアインタフェース	16
4.1.	リセットインタフェース(電源シーケンス)	16
4.1.1.	特長	16
4.1.2.	接続例	16
4.2.	UART インタフェース	17
4.2.1.	特長	17
4.2.2.	接続例	17
4.2.3.	フレームフォーマット	18
4.2.4.	フロー制御機能	18
4.2.5.	UART ボーレート	19
4.2.6.	エラー検出機能	19
4.3.	音声コーデックデジタルインタフェース	20
4.3.1.	特長	20
4.3.2.	接続例	20
4.3.3.	フレームフォーマット	22
4.3.4.	プログラマブル極性切り替え	25
4.3.5.	マスタモードのビットクロック周波数	27
4.4.	シリアルメモリインタフェース	29
4.4.1.	特長	29
4.4.2.	接続例	29
4.4.3.	I <sup>2</sup> C インタフェース用外付けプルアップ抵抗値の選択	32
4.4.4.	フレームフォーマット	33
4.5.	Wi-Fi co-existence インタフェース	36
4.5.1.	特長	36
4.5.2.	接続例	36
4.6.	基本クロックインタフェース	37
4.6.1.	特長	37
4.6.2.	水晶振動子接続例	37
4.6.3.	発振周波数微調整機能	37
4.7.	JTAG インタフェース	38
4.7.1.	特長	38
4.7.2.	接続例	38
5.	電気的特性	39
5.1.	絶対最大定格	39
5.2.	動作条件	40
5.3.	DC 電気的特性	41
5.3.1.	消費電流	41
5.4.	内蔵レギュレータ特性	43

---

5.5.	RF 特性.....	44
5.5.1.	Basic Rate.....	44
5.5.2.	Enhanced Data Rate.....	46
5.5.3.	Bluetooth® Low Energy .....	48
5.6.	AC 電気的特性.....	50
5.6.1.	UART インタフェース.....	50
5.6.2.	I <sup>2</sup> C インタフェース.....	51
5.6.2.1.	標準モード.....	51
5.6.2.2.	ファーストモード.....	52
6.	システム構成例.....	53
6.1.	システム構成例.....	53
6.2.	応用回路例.....	54
7.	パッケージ.....	55
7.1.	外形寸法図.....	55
	製品取り扱い上のお願い .....	56

## 1. 機能概要と特長

### 1.1. 機能概要

TC35661SBG-009 は、2.4 GHz 無線通信 Bluetooth<sup>®</sup>用 1-chip IC です。Bluetooth<sup>®</sup> Ver4.2 規格に準拠しています。RF 部と Baseband 部を内蔵し、Bluetooth<sup>®</sup> Core Spec の HCI (Host Control Interface)機能、EDR 機能、LE(Low Energy)機能を提供します。

TC35661 を外部 Host Processor に接続し Bluetooth<sup>®</sup> プロファイル/スタックおよび信号処理を実行することで、Bluetooth<sup>®</sup> アプリケーションが容易に実現できます。

### 1.2. 機能特長

- Bluetooth<sup>®</sup> Ver4.2 規格準拠
  - ◇ Bluetooth<sup>®</sup> Baseband 回路内蔵
  - ◇ Bluetooth<sup>®</sup> RF 回路内蔵
  - ◇ マルチクロック入力対応用 PLL 内蔵
  - ◇ ARM7TDMI-S<sup>™</sup> コア内蔵
  - ◇ Bluetooth<sup>®</sup> プログラム用マスク ROM 内蔵
  - ◇ Bluetooth<sup>®</sup> Baseband 処理用ワーク RAM 内蔵
  - ◇ パッチプログラムローダ機能をサポート
- 音声通話用コーデック内蔵
  - ◇ CVSD (Continuous Variable Slope Delta Modulation)コーデック
  - ◇ PCM (Pulse Code Modulation)コーデック
  - ◇ Wide Band Speech 用 mSBC
- 外部シリアルメモリインタフェースに Serial Flash ROM/EEPROM を接続可能
  - ◇ Serial Flash ROM インタフェース (SPI)
  - ◇ EEPROM インタフェース (I<sup>2</sup>C/SPI)
- ホストインタフェース (IC 製造時に設定)
  - ◇ UART インタフェース(2400 bps~4.33 Mbps)
- 音声/ オーディオコーデックデジタルインタフェース
  - ◇ I<sup>2</sup>S (The Inter-IC Sound Bus) インタフェース
  - ◇ 前詰めインタフェース
  - ◇ PCM (Pulse Code Modulation) デジタルインタフェース
- プルアップ/プルダウン抵抗付き汎用 IO(最大 19 本)
- ウェイクアップインタフェース
  - ◇ ウェイクアップ入力機能およびリモートウェイクアップ出力機能
- Wi-Fi co-existence インタフェース (2 線式、3 線式、4 線式)
- テストインタフェース
  - ◇ JTAG サポート(ICE インタフェース)
- 基本動作クロック (26 MHz)
  - ◇ 外部入力対応
  - ◇ 発振子接続用発振回路内蔵
- スリープクロック対応
  - ◇ 基本動作クロックからの分周回路内蔵
  - ◇ 外部入力対応
- スリープ機能内蔵
- 電源電圧 1.8 V または 3.3 V 単一電源
- パッケージ
  - ◇ P-TFBGA64-0505-0.50 [64 balls、5 mm□、0.5 mm ピッチ、1.2 mm 厚]

2. 端子説明

2.1. 端子配置

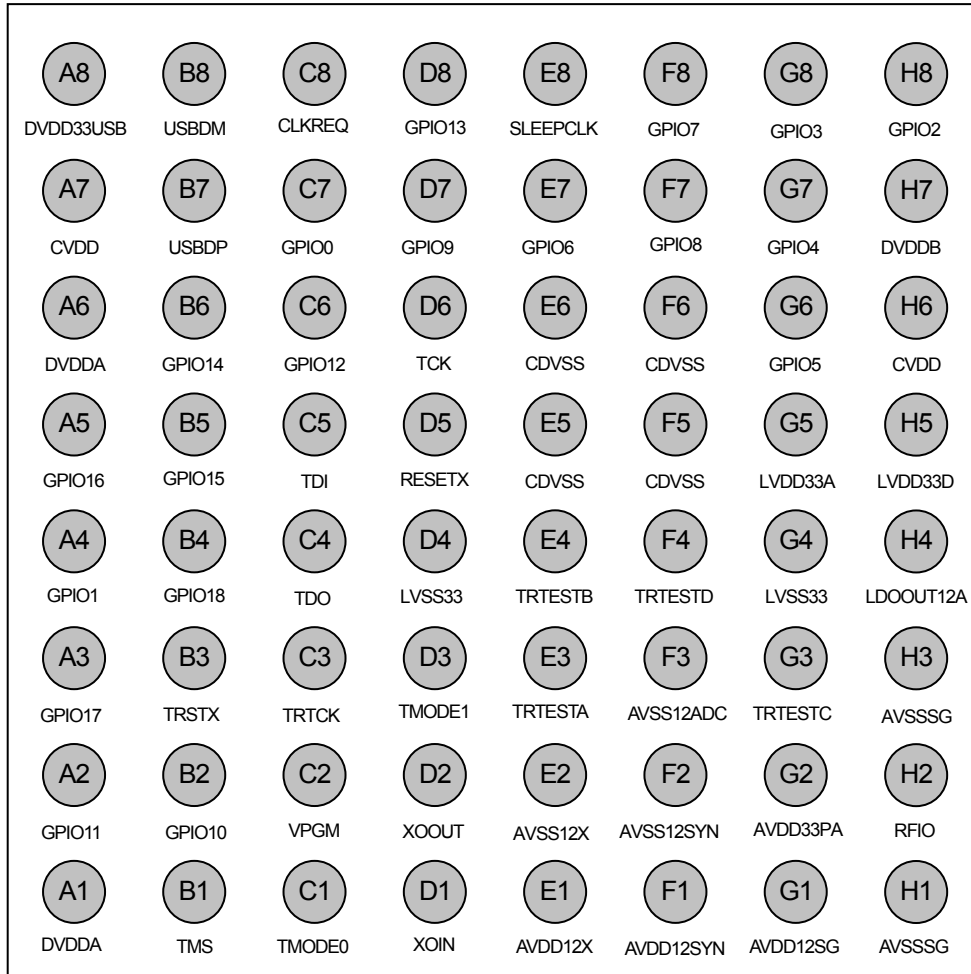


图 2-1 端子配置图 (Top View)

## 2.2. 端子機能説明

各機能端子の属性や動作状態に応じた入出力状態や端子説明を表 2-1 に示します。

なお、各電源端子説明については、表 2-2 に示します。

表 2-1 機能端子説明

端子名	端子番号	属性	状態	説明
		電源分類 方向 タイプ	BT 通信中 リセット中 リセット解除直後	
リセットインタフェース				
RESETX	D5	DVDDA IN シュミットトリガ	IN IN IN	ハードウェアリセット端子 Low レベルでリセット状態となります。
クロックインタフェース				
XOIN	D1	AVDD12X IN OSC	IN IN IN	基本クロック入力端子 TCXO または発振子による入力クロックです。 ±20 ppm 以下の 26 MHz クロックを供給してください。 XOIN 端子と XOOUT 端子の間に帰還抵抗を内蔵しています。 使用 X'tal に適合する出力抵抗と容量を IC 外部に接続してください。 IC 内部のリファレンスクロックとして使用します。
XOOUT	D2	AVDD12X OUT OSC	OUT OUT OUT	基本クロック帰還出力端子 発振子による出力クロックです。 XOIN 端子と XOOUT 端子の間に帰還抵抗を内蔵しています。 使用 X'tal に適合する出力抵抗と容量を IC 外部に接続してください。 IC 内部のリファレンスクロックとして使用します。 クロック供給に TCXO を使用する場合は、基板実装時にオープン処理をしてください。
CLKREQ	C8	DVDDA OUT 2 mA	OUT OUT OUT	基本クロック(26 MHz)要求端子 基本クロックの要求信号です。 本信号を使って外部クロック信号の ON/OFF を制御することにより、より低消費電力のハードウェアシステムを実現できます。 クロック供給要求状態で High を出力します。リセット中、および、SLEEPCLK を使用せず X'tal だけで使用する場合には、High を出力します。クロック供給が必要無い状態では、Low を出力します。 未使用時はオープン処理をしてください。
SLEEPCLK	E8	DVDDA IN シュミットトリガ	IN IN IN	スリープクロック入力端子 低消費動作入力クロックです。 ±250 ppm 以下の 32.768 kHz クロックを供給してください。 未使用時は基板実装時に 100 kΩ でプルダウン処理をしてください。

端子名	端子番号	属性	状態	説明
		電源分類 方向 タイプ	BT 通信中 リセット中 リセット解除直後	
RF インタフェース				
RFIO	H2	AVDD12SG IN/OUT Analog	IN/OUT GND GND	RF 入出力信号端子  本端子を 50 Ω にマッチングする回路の外部接続例を 6 章に示します。  接続例を参考にお客様の環境下で動作確認と部品定数の調整をしてください。  マッチング回路前後のパターンは可能な限り 50 Ω 伝送線路で配線し、電源ラインと干渉が生じないようにして下さい。DC を印加しないでください。
汎用 I/O ポート				
GPIO0	C7	DVDDA IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ無し プルアップ無し	汎用 I/O 端子 0  リセット中はプルアップ抵抗が Off し入力状態となります。リセット解除直後もプルアップ抵抗が Off の入力状態ですが、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後、入力/ 出力の汎用端子として動作させることが可能です。  未使用時は端子を 100 kΩ でプルダウン処理してください。
GPIO1	A4	DVDDA IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ プルアップ	汎用 I/O 端子 1  リセット中はプルアップ抵抗が On し、かつ、入力状態となります。リセット解除直後もプルアップ抵抗が On の入力状態となり、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後は、入力/ 出力の汎用端子として動作させることが可能です。  未使用時は端子をオープン処理してください。
GPIO2	H8	DVDDDB IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ プルアップ	汎用 I/O 端子 2  リセット中はプルアップ抵抗が On し、かつ、入力状態となります。リセット解除直後もプルアップ抵抗が On の入力状態となり、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後は、入力/ 出力の汎用端子として動作させることが可能です。ブート後のコンフィグレーション設定により、PCM コーデックインタフェースの PCMOUT 端子に切り替わります。  未使用時は端子をオープン処理してください。
GPIO3	G8	DVDDDB IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ プルアップ	汎用 I/O 端子 3  リセット中はプルアップ抵抗が On し、かつ、入力状態となります。リセット解除直後もプルアップ抵抗が On の入力状態となり、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後は、入力/ 出力の汎用端子として動作させることが可能です。ブート後のコンフィグレーション設定により、PCM コーデックインタフェースの PCMIN 端子に切り替わります。  未使用時は端子をオープン処理してください。

端子名	端子番号	属性	状態	説明
		電源分類 方向 タイプ	BT 通信中 リセット中 リセット解除直後	
GPIO4	G7	DVDDDB IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ プルアップ	汎用 I/O 端子 4  リセット中はプルアップ抵抗が On し、かつ、入力状態となります。リセット解除直後もプルアップ抵抗が On の入力状態となり、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後は、入力/出力の汎用端子として動作させることが可能です。ブート後のコンフィグレーション設定により、PCM コーデックインタフェースの PCMCLK 端子に切り替わります。  未使用時は端子をオープン処理してください。
GPIO5	G6	DVDDDB IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ プルアップ	汎用 I/O 端子 5  リセット中はプルアップ抵抗が On し、かつ、入力状態となります。リセット解除直後もプルアップ抵抗が On の入力状態となり、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後は、入力/出力の汎用端子として動作させることが可能です。ブート後のコンフィグレーション設定により、PCM コーデックインタフェースの FSYNC 端子に切り替わります。  未使用時は端子をオープン処理してください。
GPIO6	E7	DVDDA IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ プルアップ	汎用 I/O 端子 6  リセット中はプルアップ抵抗が On し、かつ、入力状態となります。リセット解除直後もプルアップ抵抗が On の入力状態となり、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後は、ホスト CPU インタフェースの UART-TX 端子に切り替わります。  未使用時は端子をオープン処理してください。
GPIO7	F8	DVDDA IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ プルアップ	汎用 I/O 端子 7  リセット中はプルアップ抵抗が On し、かつ、入力状態となります。リセット解除直後もプルアップ抵抗が On の入力状態となり、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後は、ホスト CPU インタフェースの UART-RX 端子に切り替わります。  未使用時は端子をオープン処理してください。
GPIO8	F7	DVDDA IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ プルアップ	汎用 I/O 端子 8  リセット中はプルアップ抵抗が On し、かつ、入力状態となります。リセット解除直後もプルアップ抵抗が On の入力状態であり、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後は、ホスト CPU インタフェースの UART-RTSX(Request to send)端子に切り替わります。  未使用時は端子をオープン処理してください。



端子名	端子番号	属性	状態	説明
		電源分類 方向 タイプ	BT 通信中 リセット中 リセット解除直後	
GPIO9	D7	DVDDA IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ プルアップ	汎用 I/O 端子 9  リセット中はプルアップ抵抗が On し、かつ、入力状態となります。リセット解除直後もプルアップ抵抗が On の入力状態となり、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後は、ホスト CPU インタフェースの UART-CTS(X)(Clear to send)端子に切り替わります。  未使用時は端子をオープン処理してください。
GPIO10	B2	DVDDA IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ プルアップ	汎用 I/O 端子 10  リセット中はプルアップ抵抗が On し、かつ、入力状態となります。リセット解除直後もプルアップ抵抗が On の入力状態となり、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後は、入力/出力の汎用端子として動作させることが可能です。ブート後のコンフィグレーション設定により、Wi-Fi デバイス共存インタフェースの BtActivity 信号端子に切り替わります。  未使用時は端子をオープン処理してください。
GPIO11	A2	DVDDA IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ プルアップ	汎用 I/O 端子 11  リセット中はプルアップ抵抗が On し、かつ、入力状態となります。リセット解除直後もプルアップ抵抗が On の入力状態となり、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後は、入力/出力の汎用端子として動作させることが可能です。ブート後のコンフィグレーション設定により、Wi-Fi デバイス共存インタフェースの BtState 信号端子に切り替わります。  未使用時は端子をオープン処理してください。
GPIO12	C6	DVDDA IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ プルアップ	汎用 I/O 端子 12  リセット中はプルアップ抵抗が On し、かつ、入力状態となります。リセット解除直後もプルアップ抵抗が On の入力状態となり、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後は、入力/出力の汎用端子として動作させることが可能です。ブート後のコンフィグレーション設定により、Wi-Fi デバイス共存インタフェースの WiActivity 信号端子に切り替わります。  未使用時は端子をオープン処理してください。
GPIO13	D8	DVDDA IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ プルアップ	汎用 I/O 端子 13  リセット中はプルアップ抵抗が On し、かつ、入力状態となります。リセット解除直後もプルアップ抵抗が On の入力状態となり、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後は、入力/出力の汎用端子として動作させることが可能です。ブート後のコンフィグレーション設定により、Wi-Fi デバイス共存インタフェースの BtInband 信号端子に切り替わります。  未使用時は端子をオープン処理してください。

端子名	端子番号	属性	状態	説明
		電源分類 方向 タイプ	BT 通信中 リセット中 リセット解除直後	
GPIO14	B6	DVDDA IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ プルアップ	汎用 I/O 端子 14  リセット中はプルアップ抵抗が On し、かつ、入力状態となります。リセット解除直後もプルアップ抵抗が On の入力状態となり、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後は、入力/出力の汎用端子として動作させることが可能です。ブート後のコンフィグレーション設定により、シリアルメモリーインタフェースの SCL 信号端子に切り替わります。シリアルメモリーインタフェースとして、I <sup>2</sup> C または SPI が選択可能です。  本機能を使用しない場合、端子はオープン処理をしてください。
GPIO15	B5	DVDDA IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ プルアップ	汎用 I/O 端子 15  リセット中はプルアップ抵抗が On し、かつ、入力状態となります。リセット解除直後もプルアップ抵抗が On の入力状態となり、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後は、入力/出力の汎用端子として動作させることが可能です。ブート後のコンフィグレーション設定により、シリアルメモリーインタフェースの SDA/DOUT 信号端子に切り替わります。シリアルメモリーインタフェースとして、I <sup>2</sup> C または SPI が選択可能です。  未使用時は端子をオープン処理してください。
GPIO16	A5	DVDDA IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ プルアップ	汎用 I/O 端子 16  リセット中はプルアップ抵抗が On し、かつ、入力状態となります。リセット解除直後もプルアップ抵抗が On の入力状態となり、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後は、入力/出力の汎用端子として動作させることが可能です。ブート後のコンフィグレーション設定により、シリアルメモリーインタフェースの DIN 信号端子に切り替わります。シリアルメモリーインタフェースとして、I <sup>2</sup> C または SPI が選択可能です。  未使用時は端子をオープン処理してください。
GPIO17	A3	DVDDA IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ プルアップ	汎用 I/O 端子 17  リセット中はプルアップ抵抗が On し、かつ、入力状態となります。リセット解除直後もプルアップ抵抗が On の入力状態となり、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後は、入力/出力の汎用端子として動作させることが可能です。ブート後のコンフィグレーション設定により、シリアルメモリーインタフェースの CS0X 信号端子に切り替わります。シリアルメモリーインタフェースとして、I <sup>2</sup> C または SPI が選択可能です。  未使用時は端子をオープン処理してください。

端子名	端子番号	属性	状態	説明
		電源分類 方向 タイプ	BT 通信中 リセット中 リセット解除直後	
GPIO18	B4	DVDDA IN/OUT プルアップ/ プルダウン シュミットトリガ 1,2,4 mA	IN/OUT プルアップ プルアップ	汎用 I/O 端子 18  リセット中はプルアップ抵抗が On し、かつ、入力状態となります。リセット解除直後もプルアップ抵抗が On の入力状態となり、以後は内部ソフトウェアにより制御されます。内部ソフトウェア処理による端子コンフィグレーション後は、入力/出力の汎用端子として動作させることが可能です。ブート後のコンフィグレーション設定により、シリアルメモリアインタフェースの CS1X 信号端子に切り替わりません。シリアルメモリアインタフェースとして、I <sup>2</sup> C または SPI が選択可能です。  未使用時は端子をオープン処理してください。
IC テストインタフェース				
TMODE0	C1	DVDDA IN シュミットトリガ	IN IN IN	テストモード設定端子 弊社で IC 製造テスト時に使用します。基板実装時には GND 固定処理をしてください。
TMODE1	D3			
TRTESTA	E3	LVDD33A	IN	アナログ用テスト端子
TRTESTB	E4	IN/OUT	IN	IC テストモード時にアナログ入出力テストに用いる端子です。 弊社で IC 製造テスト時に使用します。基板実装時には GND 固定処理をしてください。
TRTESTC	G3	Analog	IN	
TRTESTD	F4			
USBDP	B7	DVDD33USB IN/OUT Differential	IN/OUT ハイインピーダンス ハイインピーダンス	テスト端子 GND に固定処理してください。
USBDM	B8	DVDD33USB IN/OUT Differential	IN/OUT ハイインピーダンス ハイインピーダンス	テスト端子 GND に固定処理してください。

端子名	端子番号	属性	状態	説明
		電源分類 方向 タイプ	BT 通信中 リセット中 リセット解除直後	
JTAG インタフェース				
TRSTX	B3	DVDDA IN シュミットトリガ	プルダウン プルダウン プルダウン	JTAG リセット端子  テストやデバッグ時のリセット端子です。リセット中はプルダウン抵抗が On し、かつ、入力状態となります。 Low レベル : JTAG リセット High レベル : JTAG 動作状態  未使用時は端子をオープン処理またはプルダウン処理してください。
TCK	D6	DVDDA IN シュミットトリガ	プルアップ プルアップ プルアップ	JTAG クロック端子  テストやデバッグ時のクロック入力端子です。  未使用時は端子をオープン処理またはプルアップ処理してください。
TMS	B1	DVDDA IN シュミットトリガ	プルアップ プルアップ プルアップ	JTAG モード選択端子  テストやデバッグ時のモード選択のシリアル信号入力端子です。  未使用時は端子をオープン処理またはプルアップ処理してください。
TDI	C5	DVDDA IN シュミットトリガ	プルアップ プルアップ プルアップ	JTAG データ入力端子  テストやデバッグ時のシリアルデータ入力端子です。 チップバウンダリテスト時、FW 開発時に使用します。  未使用時は端子をオープン処理またはプルアップ処理してください。
TDO	C4	DVDDA TristateOUT 4 mA	ハイインピーダンス ハイインピーダンス ハイインピーダンス	JTAG データ出力端子 テストやデバッグ時のシリアルデータ出力端子です。 未使用時は端子をオープン処理してください。
TRTCK	C3	DVDDA OUT 4 mA	OUT OUT OUT	ICE リターンクロック端子  ICE 使用時の JTAG クロックウェイト制御信号出力端子です。ICE による FW 開発時に使用します。 未使用時は端子をオープン処理してください。

## 2.2.1. 電源端子

各電源端子の属性や通常動作時の電圧を表 2-2 に示します。

表 2-2 電源端子説明

端子名	端子番号	属性	状態	説明
		電源分類 VDD/GND	通常時 例外動作時	
電源・グラウンド				
VPGM	C2	Digital VDD/GND	GND 3.3 V	IC 製造用テスト端子 GND に接続してください。
DVDDA	A1 A6	Digital VDD	3.3 V —	IO 電源(GPIO0~1、GPIO6~18 用) 3.3 V を印加してください。 DVDDA 端子同士は IC 内部でショートしています。
DVddb	H7	Digital VDD	3.3 V —	IO 電源端子(GPIO2~5 用) 3.3 V を印加してください。
DVDD33USB	A8	Digital VDD/GND	GND —	テスト用電源端子 通常使用時は GND に接続してください。
CVDD	A7 H6	Digital VDD	1.2 V —	IC コア用電源 IC 内部で LDO 出力電圧(1.2 V)が Digital 回路へ印加されています。 LDO の負荷として使用温度範囲で 0.8 $\mu$ F 以上のコンデンサを接続してください。CVDD 端子同士は IC 内部でショートしていません。
CDVSS	E5 E6 F5 F6	Digital GND	GND —	各種 IO と IC コア用の共用グラウンド GND に接続してください。
AVDD12X	E1	Analog VDD	1.2 V —	XtalOSC 用電源 IC 内部で LDO 出力電圧(1.2 V)が Digital 回路へ印加されています。 LDO の負荷として使用温度範囲で 0.8 $\mu$ F 以上のコンデンサを接続してください。
AVDD12SYN	F1	Analog VDD	1.2 V —	RFPLL 用電源 LDOOUT12A に接続してください。
AVDD12SG	G1	Analog VDD	1.2 V —	LNA/RxMIX/ADC/DAC/LPF/PAcontrol/BasebandPLL 用電源 LDOOUT12A に接続してください。
AVDD33PA	G2	Analog VDD	3.3 V —	PA 用電源 3.3 V を印加してください。
AVSS12X	E2	Analog GND	GND —	XtalOSC 用グラウンド GND に接続してください。
AVSS12SYN	F2	Analog GND	GND —	RFPLL 用グラウンド GND に接続してください。
AVSS12ADC	F3	Analog GND	GND —	ADC/DAC/LPF/BasebandPLL 用グラウンド GND に接続してください。
AVSSSG	H1 H3	Analog GND	GND —	LNA/ RxMIX/PAcontrol/PA 用グラウンド GND に接続してください。
LVDD33D	H5	LDO IN VDD	3.3 V —	IC 内蔵レギュレータ用電源(デジタル用) 3.3 V を印加してください。
LVDD33A	G5	LDO IN VDD	3.3 V —	IC 内蔵レギュレータ用電源(アナログ用) 3.3 V を印加してください。
LVSS33	D4 G4	LDO GND GND	GND —	IC 内蔵レギュレータ用グラウンド GND に接続してください。

端子名	端子番号	属性	状態	説明
		電源分類 VDD/GND	通常時 例外動作時	
LDOOUT12A	H4	LDO OUT OUT	OUT —	IC 内蔵レギュレータ出力(アナログ用) AVDD12SYN、AVDD12SG に接続してください。 LDO の負荷として使用温度範囲で 0.8 $\mu$ F 以上のコンデンサを接続してください。

### 3. システム構成図

#### 3.1. 内部ブロックダイアグラム

TC35661 内部ブロックダイアグラムおよび周辺 IC との接続構成例を図 3-1 に示します。

TC35661 は外部から 3.3 V または 1.8 V の単一の電源供給を必要とします。

LDO を内蔵しており、外付けコンデンサの接続を必要とします。

基本動作クロックは 26 MHz を入力します。

低消費電力動作用途としてスリープクロックに対応しており、外部供給と内蔵システムクロック分周の選択が可能です。より低消費電力を実現するためには外部供給 32.768 kHz クロックをご使用ください。

シリアルメモリとの接続は SPI あるいは I<sup>2</sup>C インタフェースを使用します。

ホスト CPU インタフェースは UART が可能です。

ブロック図内の機能ブロック/ 回路/ 定数などは、機能を説明するため、一部省略/ 簡略化している場合があります。

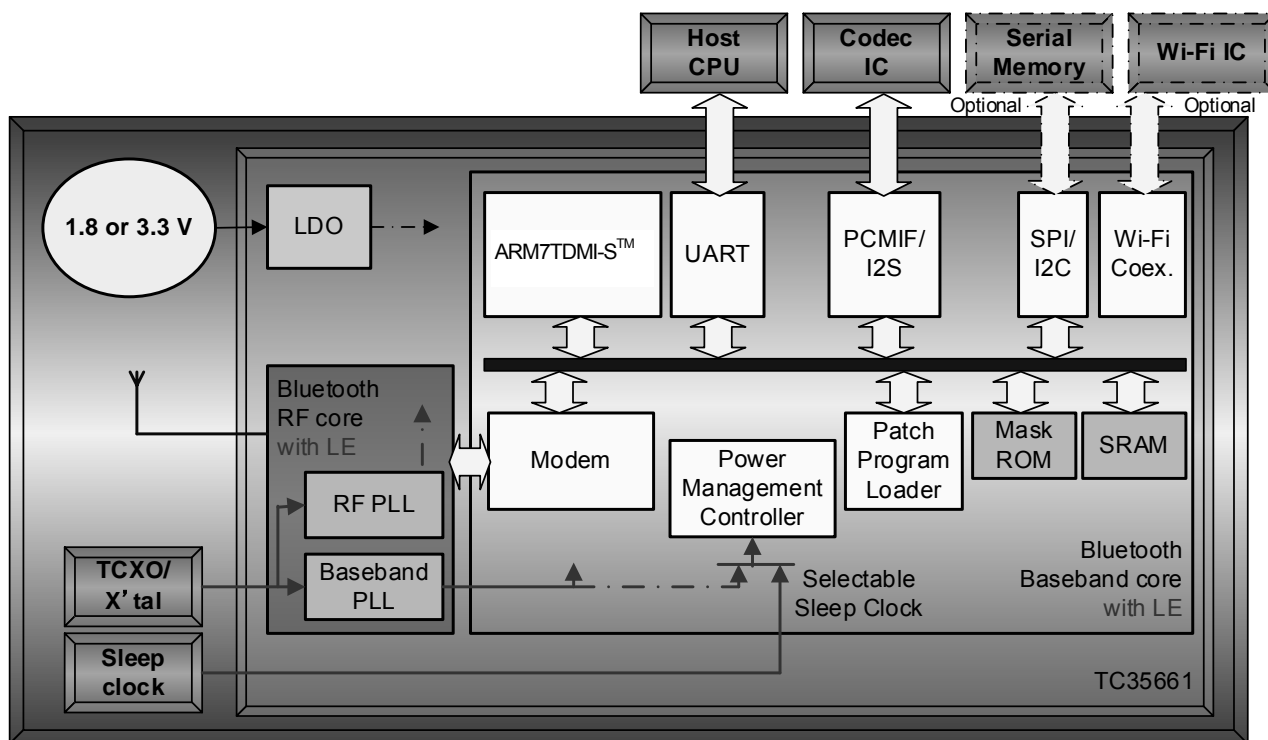


図 3-1 TC35661 内部ブロックダイアグラムと周辺 IC との接続例

## 4. ハードウェアインタフェース

### 4.1. リセットインタフェース(電源シーケンス)

#### 4.1.1. 特長

リセットインタフェースは以下の特長を持っています。

- 3.3Vまたは1.8V動作
- レベルセンシティブな非同期リセット(Lowレベルでリセット状態となる)

TC35661に接続するリセット信号は電源投入時にリセット状態(RESETX=Low)で立ち上がるようにしてください。電源とクロック供給が安定したのちにリセットを解除してください。

水晶振動子の発振が安定するには約2msかかりますので、十分に評価を行ってからリセット解除の時間を設定してください。

また、電源を落とす際には、先にリセット状態(RESETX=Low)にしてから電源を落としてください。リセット端子をHighにしたまま電源を落とすと、VDD端子方向に過電流が流れ、破壊の原因となりますのでご注意ください。

#### 4.1.2. 接続例

リセットインタフェースはリセットICあるいはレベルセンシティブな非同期リセット機能を持つICと接続可能です。一般的なリセットIC接続例を図4-1に示します。電源に対するリセット解除・リセットタイミングを図4-2、図4-3に示します。

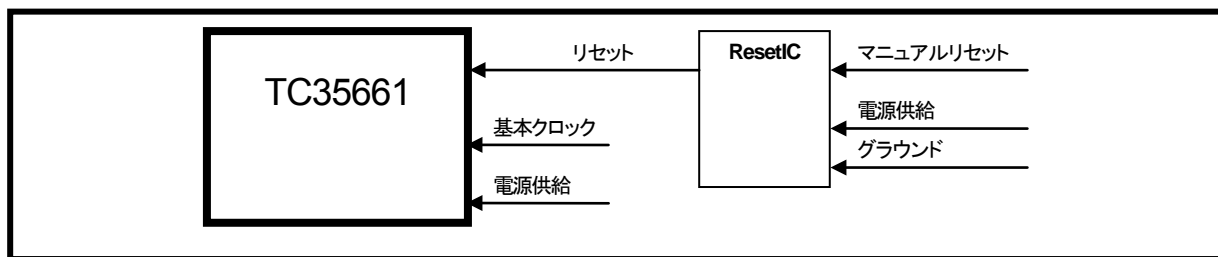


図 4-1 リセット IC 接続例

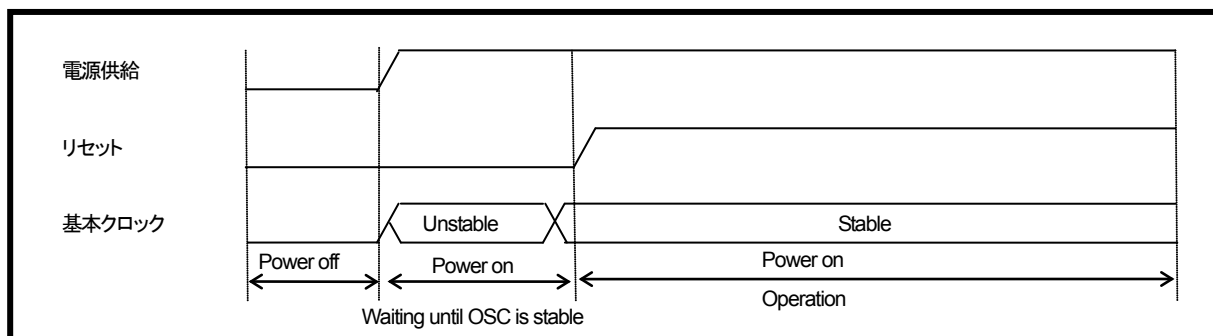


図 4-2 電源オン時のリセット解除

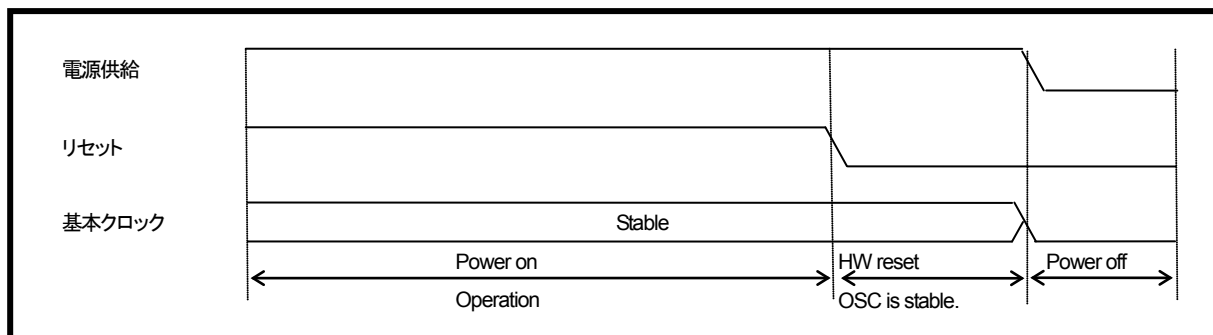


図 4-3 電源オフ時のリセット



## 4.2. UART インタフェース

### 4.2.1. 特長

UART インタフェースは以下の特長を持っています。

- 動作電圧: 3.3V または 1.8V
- 全 2 重、4 線調歩同期転送: 受信データ、送信データ、受信フロー制御、送信フロー制御
- Data format (No parity bits): LSB first
  - Start bit (1-bit)
  - Data bit (8-bit)
  - Stop bit (1-bit)
- プログラマブルボーレート設定: 2400 bps~4.33 Mbps (初期値 115200 bps)
- エラー検出機能: キャラクタ間タイムアウト、オーバラン、フレーミングエラー検出機能

TC35661 は、UART インタフェースを介して、ホスト CPU とコマンド、ステータス、データを通信します。

UART インタフェースの端子は GPIO 端子と兼用になっており、リセット解除後の Boot プロセス過程で、内蔵ファームウェアが UART インタフェースとして機能するように GPIO 端子を割付けます。

供給電源電圧に応じて 3.3V 動作が可能です。ただし、他のハードウェアインタフェースと電源供給口を共用しているため、UART インタフェース単独で異なる動作電圧でのご使用はできません。

### 4.2.2. 接続例

UART インタフェースは UART 機能を持つホスト CPU と接続可能です。ホスト CPU との接続例を図 4-4 に示します。GPIO 端子の UART 機能割付けのタイミングを図 4-5 に示します。

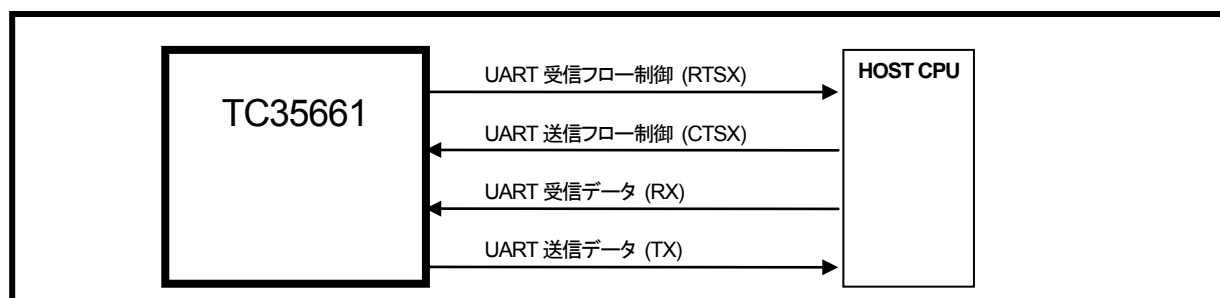


図 4-4 UART 接続例

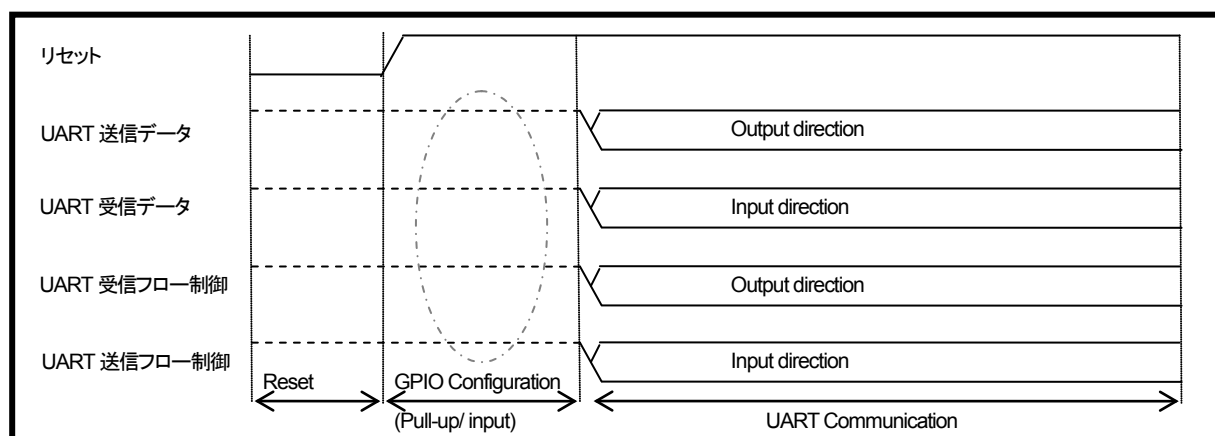


図 4-5 UART 機能割付け

### 4.2.3. フレームフォーマット

TC35661 でサポートされるフォーマットは、以下となります。

- Number of data bits: 8 bits
- Parity bit: no parity
- Stop bit: 1 stop bit
- Flow control: RTSX/CTS

UART データフレームを図 4-6 に示します。

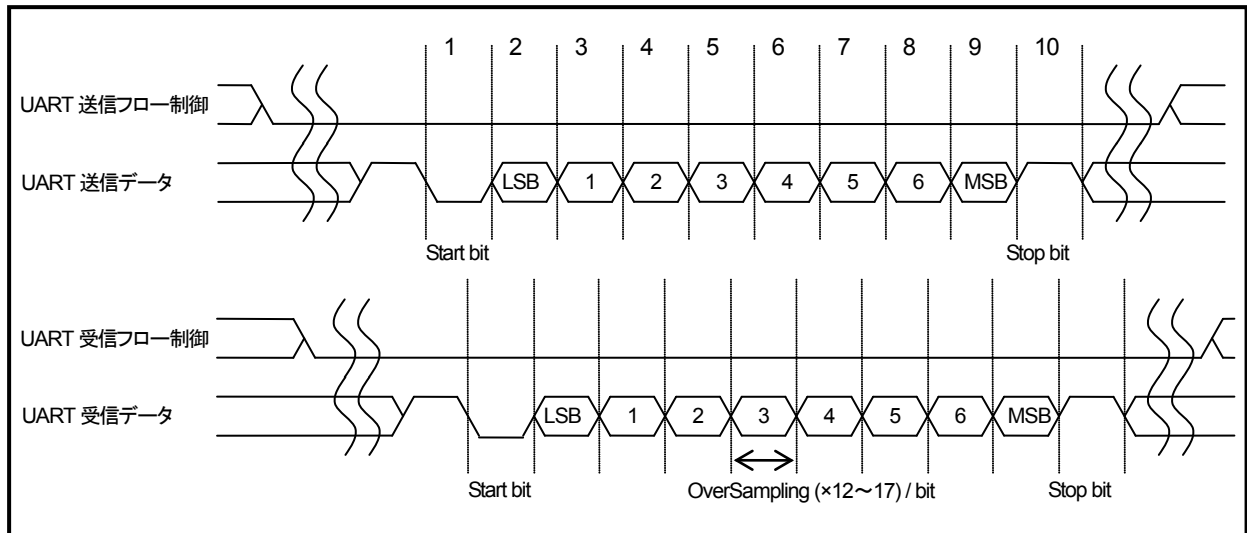


図 4-6 UART データフレーム

### 4.2.4. フロー制御機能

TC35661 の UART 通信はハードウェア信号によるフロー制御機能を用います。送信フロー制御信号(CTS)と受信フロー制御信号(RTS)です。これらの信号の入出力方向は、図 4-4 を参照してください。また、信号極性は図 4-6 を参照してください。

CTS 入力信号は、TC35661 が UART 送信するときに用います。Low レベルの入力は、相手の UART 受信側デバイスがデータ受信の準備を完了したことを示しますが、このとき TC35661 は送信すべきデータがあれば UART 送信します。一方、High レベルが入力された場合には、TC35661 は UART フレームの単位で、送信を停止させます。

RTS 出力信号は、TC35661 が UART 受信するときに用います。Low レベルの出力は、相手の UART 送信側デバイスに対してデータ送信を要求することを示します。TC35661 はデータ受信が可能な状態になると、RTS から Low レベルを出力し UART 受信に備えます。データ受信が不可能なビジー状態になると High レベルを出力して、UART のフレーム単位で UART 通信を停止させます。

フロー制御信号に対する UART 送受信のレスポンスタイムは、ボーレートやフレームの内部処理状態に依存し、最小 1 フレームから、最大 4 フレームの間となります。

#### 4.2.5. UART ボーレート

TC35661 の UART ボーレートは、IC 内部のボーレート生成クロック周波数をもとに、オーバーサンプリング数と分周比の選択に応じ、下式に基づいて設定することが可能です。ボーレート生成クロック周波数は、39 MHz と 52 MHz のいずれかを選択します。オーバーサンプリング数は、12 から 17 までの範囲の整数を選択します。分周比は、1 から 65,535 の範囲の整数を選択します。

$$\text{UARTボーレート} = \frac{\text{ボーレート生成クロック周波数}}{\text{オーバーサンプリング数} \times \text{分周比}}$$

TC35661 で対応可能な理想ボーレートのうち、代表的なものを表 4-1 に示します。このほかの理想ボーレートの利用をご希望の場合は、弊社技術部まで、お問い合わせください。

表 4-1 代表的な UART ボーレート設定

理想ボーレート [bps]	実ボーレート [bps]	ボーレート生成 クロック周波数 [MHz]	オーバ サンプリング数	分周比	偏差 [%]
115,200	116,071	52	14	32	+0.7564
921,600	928,571	52	14	4	+0.7564
1,843,200	1,857,143	52	14	2	+0.7564
4,329,600	4,333,333	52	12	1	+0.0862

#### 4.2.6. エラー検出機能

TC35661 の UART インタフェースには 3 種類のエラー検出機能があります。

- 受信タイムアウトエラー
- 受信オーバランエラー
- 受信フレームエラー

受信タイムアウトエラーは、TC35661 内部のタイマで測定された受信フレーム間隔が所定時間以上になった場合にエラーと判定します。

受信オーバランエラーは、TC35661 内部の UART 受信フレームバッファがオーバーフローした場合に、エラーと判定します。通常、4.2.4 節のフロー制御機能に従ってデータが送受信される場合には、本オーバーフローは生じません。

受信フレームエラーは、フレーム単位の認識に失敗した場合に、エラーと判定します。スタートビット検出後、それに対するストップビットフィールドとして“0”を検出すると、フレーム形成の失敗とみなします。

### 4.3. 音声コーデックデジタルインタフェース

#### 4.3.1. 特長

音声コーデックデジタルインタフェースは以下の特長を持っています。

- 動作電圧: 3.3V または 1.8V 動作
- データフォーマット: A-law/  $\mu$ -law/ LinearPCM
- フレームフォーマット: MSB 前詰め/ I<sup>2</sup>S/ PCM デジタル
- フレーム周波数: 8 kHz/ 16 kHz
- データ語長: 16 bits/ 8 bits
- ビットクロック機能: マスタまたはスレーブ (Master/ Slave)
- 送受信サンプリングエッジ切り替え: Rise/ Fall エッジ
- フレーム同期信号極性切り替え: HighActive/ LowActive
- 内蔵コーデック:
  - CVSD コーデック (Continuous Variable Slope Delta Modulation)
  - PCM コーデック (Pulse Code Modulation)

TC35661 は音声コーデックデジタルインタフェースを介して、音声データを送受信します。

音声コーデックデジタルインタフェースは、GPIO 端子と兼用になっており、リセット解除後の Boot 過程で内蔵ファームウェアが音声コーデックデジタルインタフェース機能を割付けます。

このインタフェースは他のハードウェアインタフェースと電源供給端子を共有していないので、単独で異なる動作電圧でご使用できます。

#### 4.3.2. 接続例

コーデックデジタルインタフェースはデジタルインタフェース機能を持つコーデックまたは DSP (digital signal processor) などと接続可能です。各動作モードの接続例を図 4-7 から図 4-9 に示します。コンフィグレーション設定で、マスタモード/スレーブモードを選択します。スレーブモードで使用する場合、ビットクロックとフレーム同期信号の制御機能を持つ IC がマスタモードとなります。

GPIO 端子のコーデック機能割付けのタイミングを図 4-10 に示します。



図 4-7 コーデック接続例(TC35661 がマスタモードの場合)

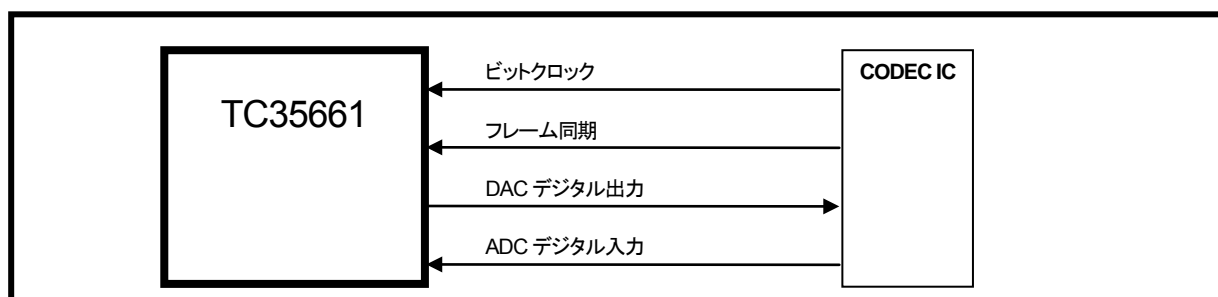


図 4-8 コーデック接続例(TC35661 がスレーブモードの場合)

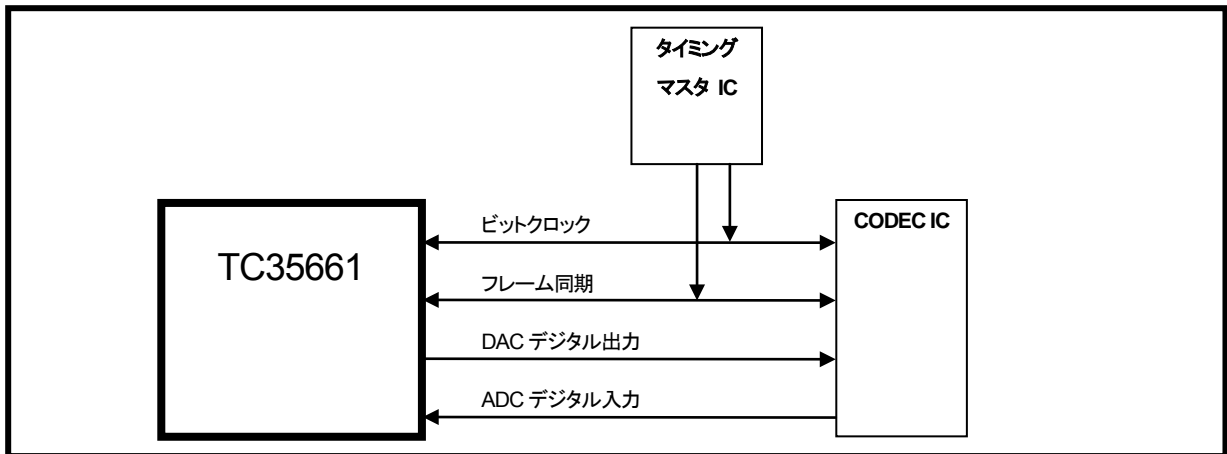


図 4-9 コーデック接続例(TC35661 とコーデック IC がスレーブモードの場合)

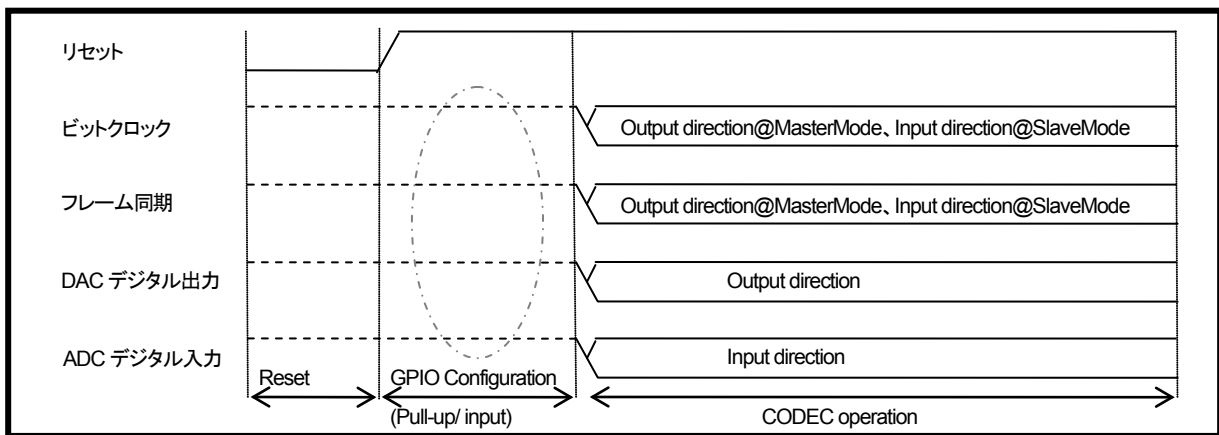


図 4-10 コーデック機能割付け

### 4.3.3. フレームフォーマット

一般的なコーデックデジタルインタフェースのフレームフォーマットは複数ありますが、TC35661 では一般的なフレームフォーマットをサポートしています。

- MSB 前詰め
- MSB 後ろ詰め
- I<sup>2</sup>S
- PCM デジタルショートフレーム
- PCM デジタルロングフレーム

データ語長は以下の 2 種類をサポートしています。

- 8 bits
- 16 bits

音声コーデックデジタルインタフェースのフレームフォーマットを図 4-11 から図 4-15 に示します。

MSB 前詰めと I<sup>2</sup>S フォーマットにおけるモノラルデータを扱う場合は、片チャンネルにはダミーデータとして、0、1、または直前のデータが出力されます。

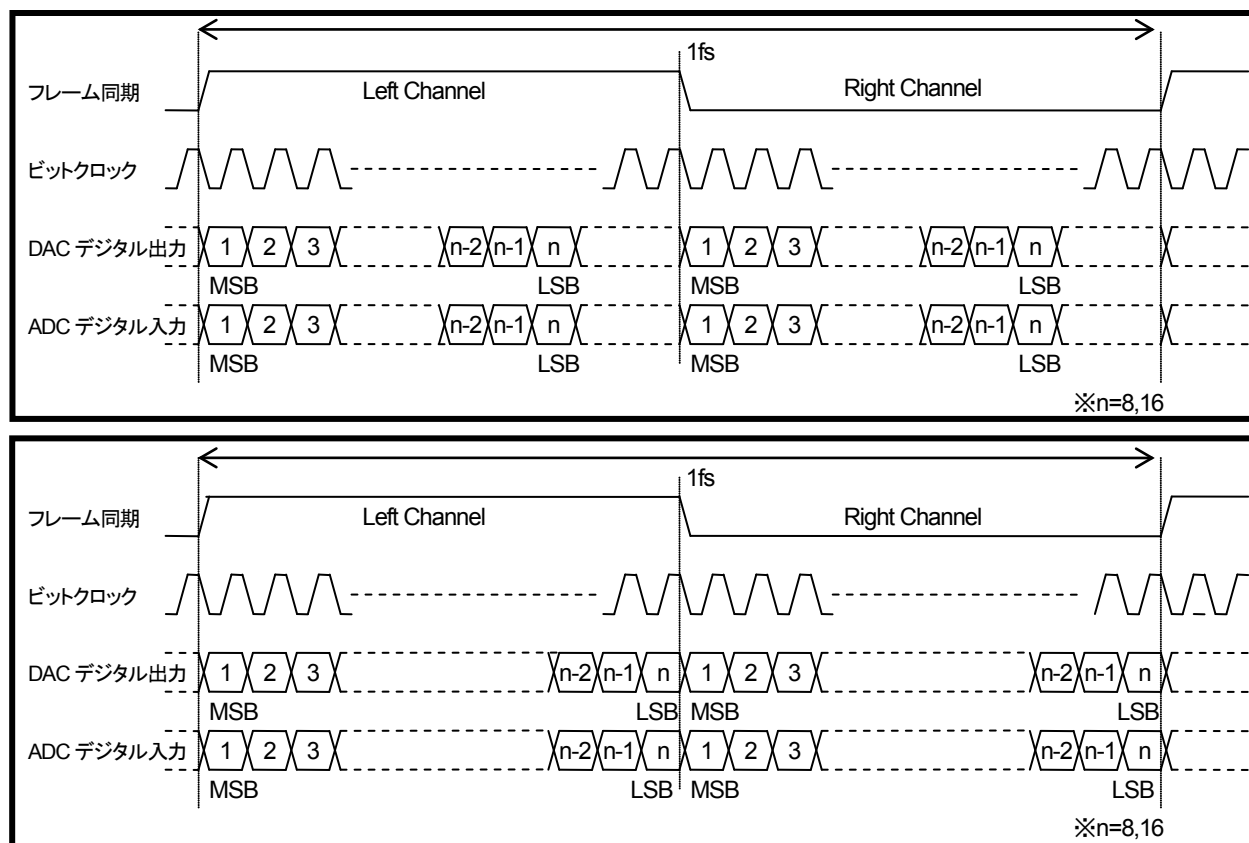


図 4-11 MSB 前詰めフォーマット



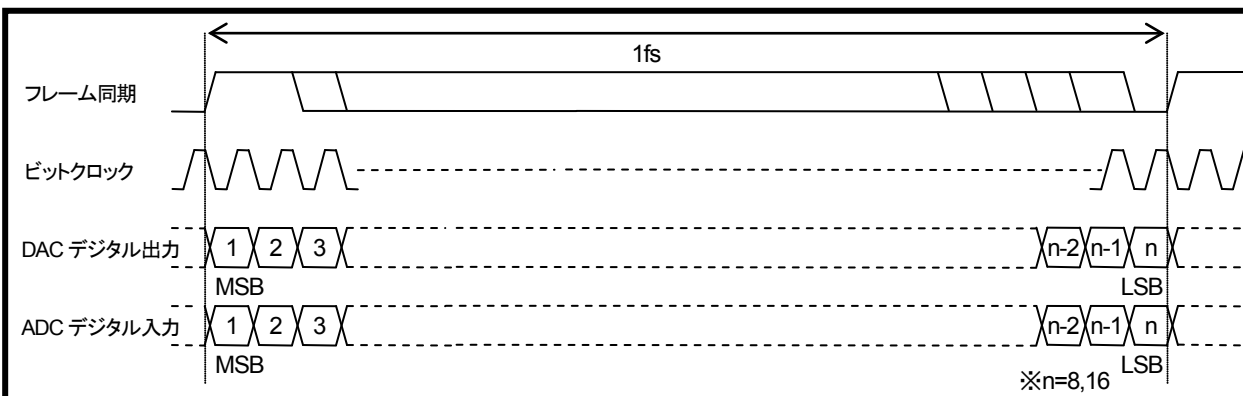
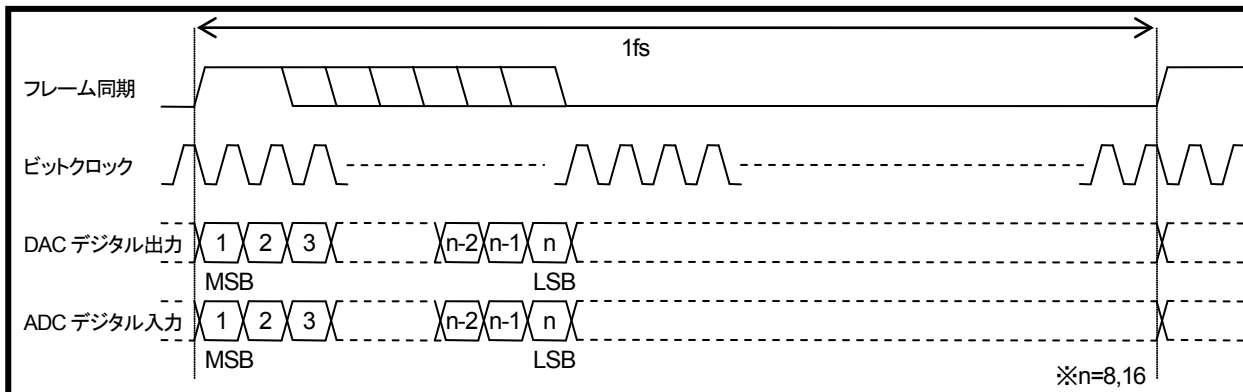


図 4-14 PCM デジタルロングフレームフォーマット

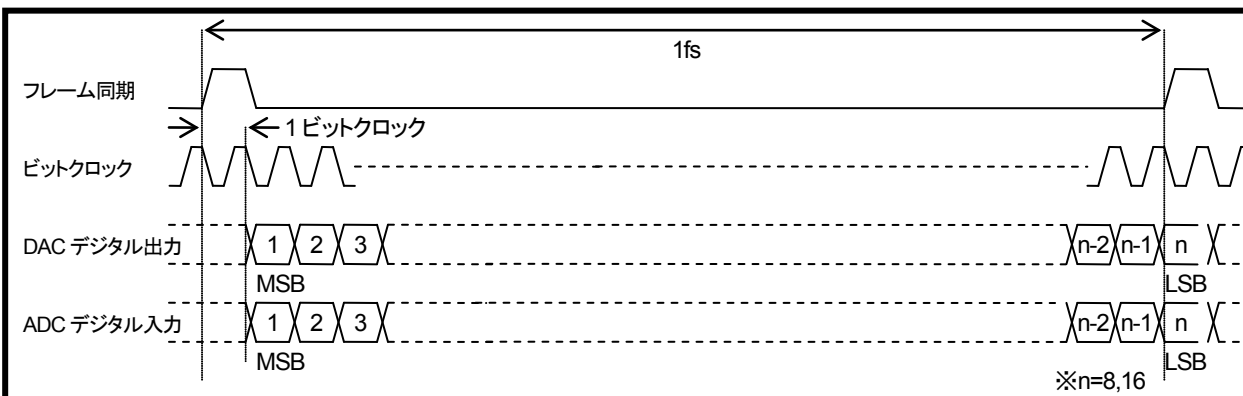
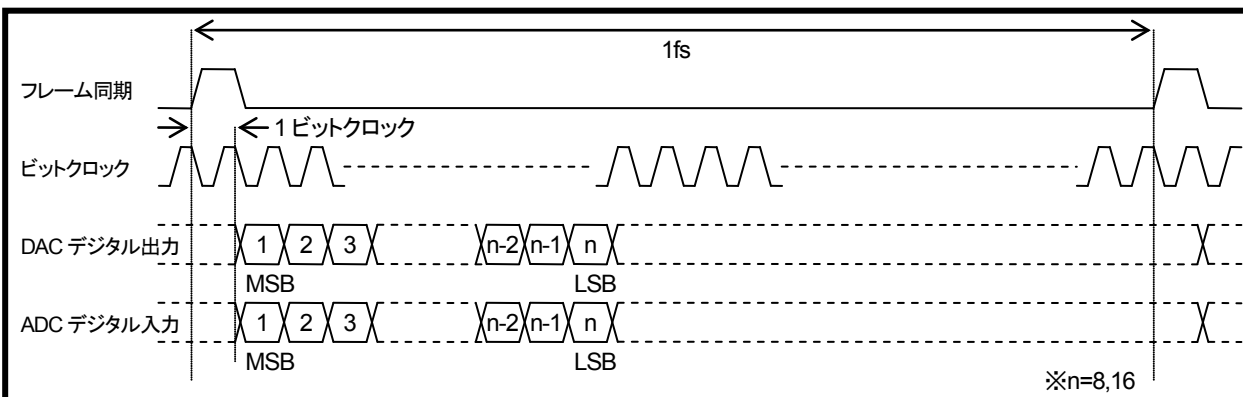


図 4-15 PCM デジタルショートフレームフォーマット



### 4.3.4. プログラマブル極性切り替え

音声コーデックデジタルインタフェースは多種 IC との接続性を高めるために、サンプリングエッジとフレーム同期信号の極性をそれぞれプログラマブルに切り替えることが可能です。

図 4-16 に送受信サンプリングエッジのタイミングチャートを示します。エッジ極性は 2 通りの設定が可能です。

- A: 送信タイミング@立ち下がりエッジ、受信サンプリング@立ち上がりエッジ
- B: 送信タイミング@立ち上がりエッジ、受信サンプリング@立ち下がりエッジ (デフォルト)

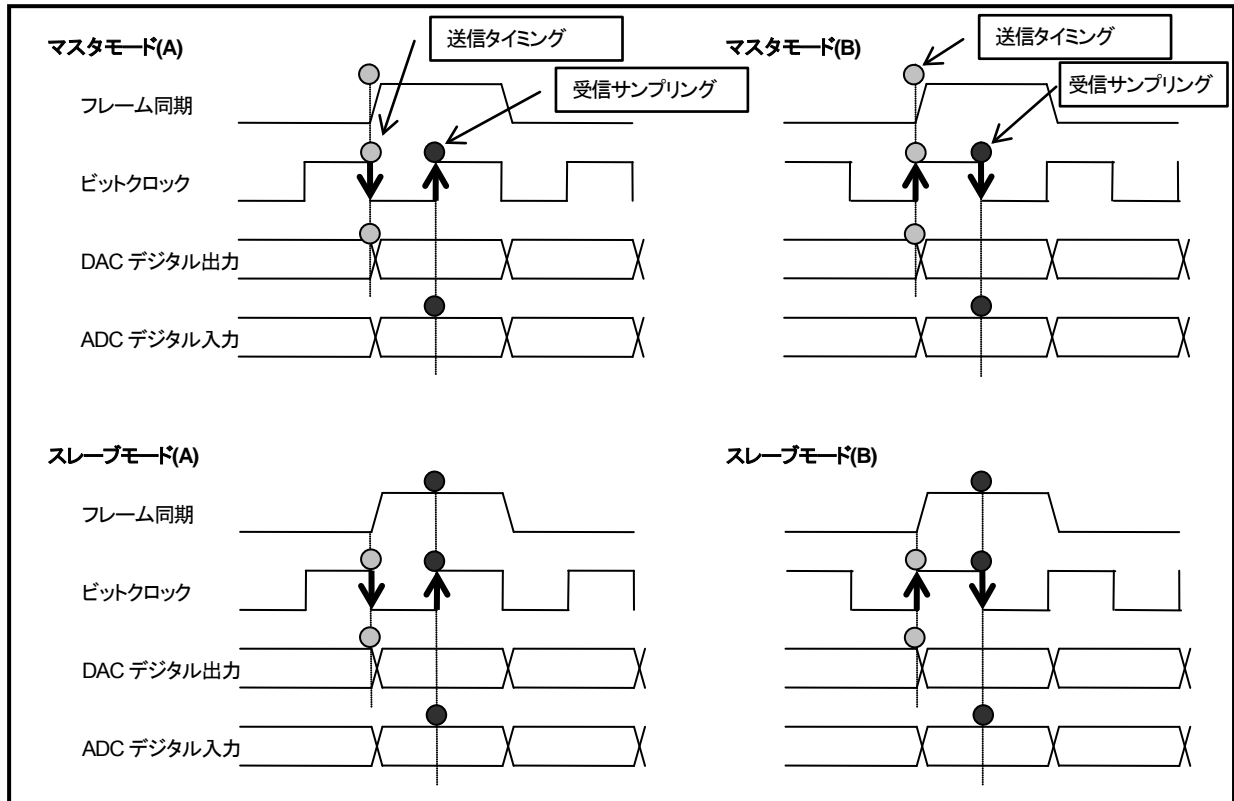


図 4-16 送受信サンプリングエッジ

図 4-17 にフレーム同期極性とデータチャンネルのタイミングチャートを示します。フレーム同期極性やステレオデータ L/R スワップなどの 4 通りの設定が可能です。

- A: フレーム同期信号: Low (Lch) → High (Rch)
- B: フレーム同期信号: High (Lch) → Low (Rch) (デフォルト)
- C: フレーム同期信号: Low (Rch) → High (Lch)
- D: フレーム同期信号: High (Rch) → Low (Lch)

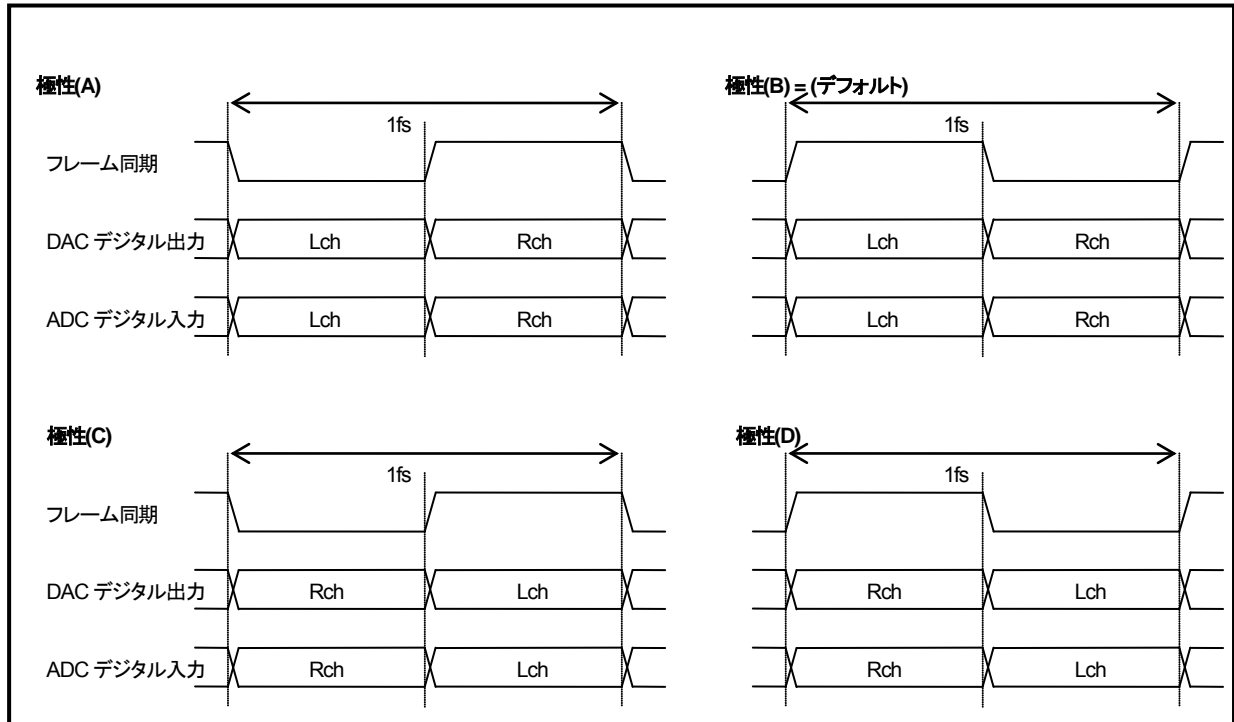


図 4-17 フレーム同期極性とデータチャンネル

### 4.3.5. マスタモードのビットクロック周波数

音声コーデックデジタルインタフェースにはビットクロックとフレーム同期信号の制御機能を持つ IC をマスタモードとスレーブモードがあります。この章ではそのうちのマスタモードについて説明します。

ビットクロックマスタモードでは、ビットクロックとフレーム信号は、TC35661 からコーデックへ出力する状態となります。このとき、生成するビットクロック周波数に応じて、1 フレーム中に 2 種類のビットクロック周波数を混在する場合と、一定のビットクロック周波数を出力する場合とがあります。これは基本クロックを分周してビットクロックを生成しているためです。2 種類のビットクロック周波数が混在する例を図 4-18、図 4-19 に示し、ビットクロック周波数が一定の例を図 4-20 に示します。

なお、ビットクロックスレーブモードでは、サンプリング周波数の整数倍のビットクロック周波数であれば、いずれのビットクロック周波数でも動作可能です。

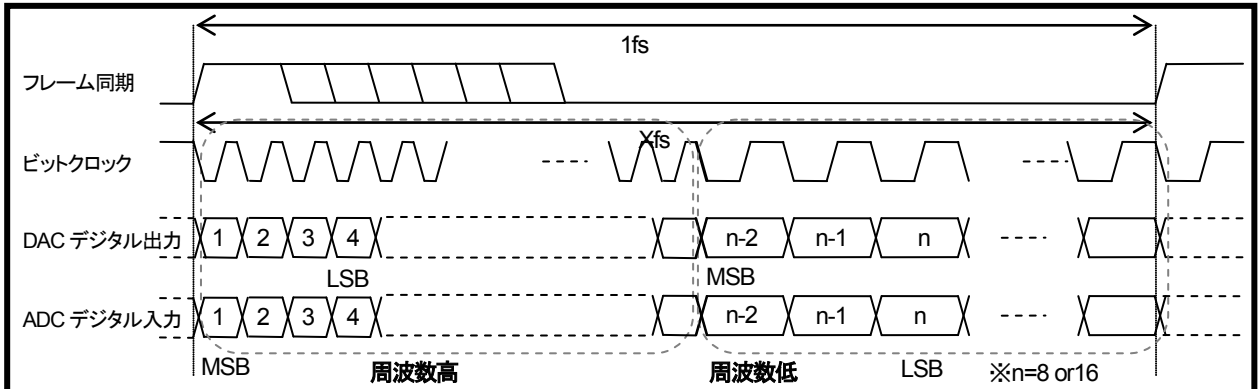


図 4-18 ビットクロック周波数混在(1)

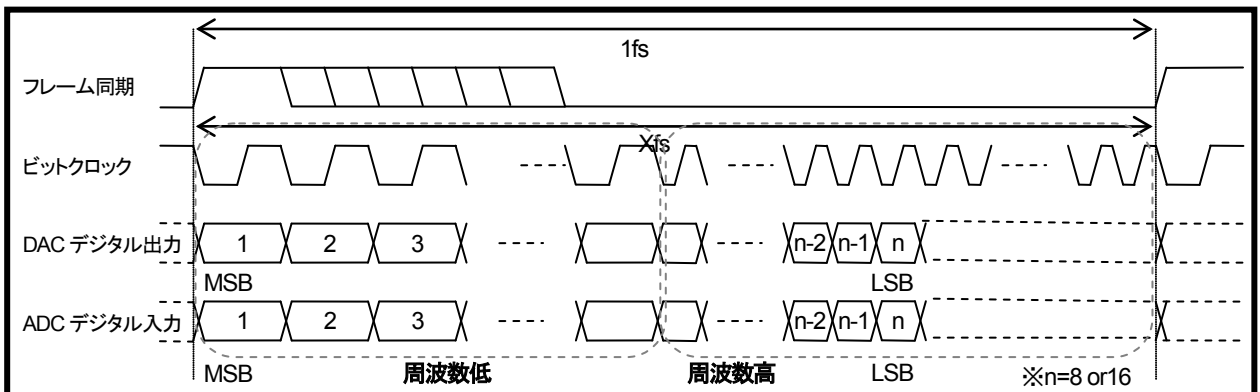


図 4-19 ビットクロック周波数混在(2)

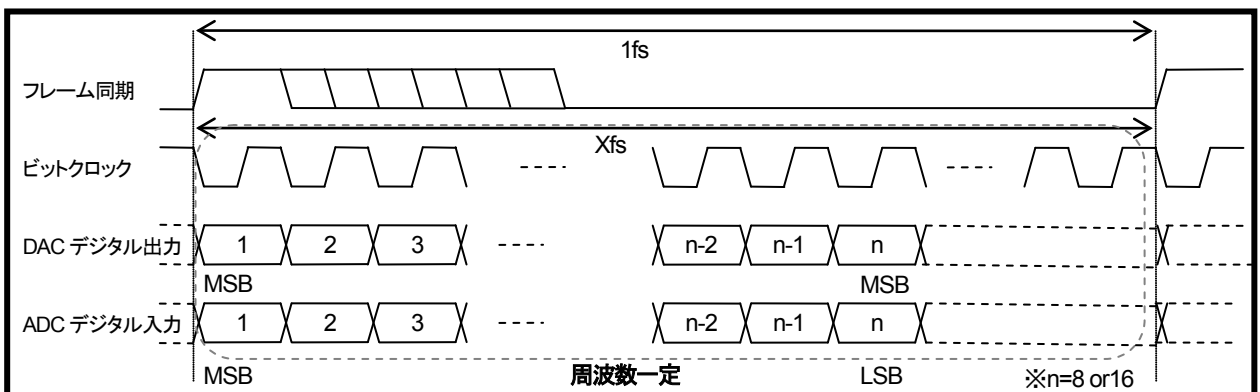


図 4-20 ビットクロック周波数一定

生成可能なビットクロック周波数の一覧を表 4-2 に示します。

表 4-2 生成可能なビットクロック周波数

Frame synch frequency [kHz]	Number of Bit clock [FS]	Bit clock frequency switching	Bit clock frequency for a short cycle time [kHz]	Bit clock frequency for a long cycle time [kHz]
8	50	No	400	—
	52		416	—
	100		800	—
	130		1040	—
	250		2000	—
	8	Yes	64.20	63.88
	16		128.71	127.45
	32		257.43	254.90
	64		520.00	500.00
	128		1040	1000.00
16	50	No	800	—
	130		2080	—
	250		4000	—
	32	Yes	509.80	514.85
	64		1040	1000.00
	128		2080	2000.00

## 4.4. シリアルメモリインタフェース

### 4.4.1. 特長

シリアルメモリインタフェースは以下の特長を持っています。

- 動作電源: 3.3V
- 2種類のフォーマットに対応(I<sup>2</sup>C か SPI のいずれか一方を選択)
  - ✓ SPI インタフェース
    - チップセレクト: 2チャンネル
    - チップセレクト極性: High アクティブと Low アクティブのいずれかを選択可能
    - シリアルクロックマスタ動作: クロックの極性と位相を調整可能(4種類の組み合わせの中から選択)
    - シリアルクロック周波数: 101.96 kHz~26 MHz (52 MHz時)
    - シリアルデータ転送方式: MSB ファースト、LSB ファーストの両方に対応
  - ✓ I<sup>2</sup>C バスインタフェース
    - シリアルクロックマスタ動作
    - シリアルクロック周波数: 標準モード(100 kHz 以下)、ファーストモード(400 kHz 以下)の両方に対応
    - 出力モード: オープンドレイン出力、CMOS 出力の両方に対応
    - デバイスアドレスフォーマット: 7-bit アドレスに対応(10-bit アドレスには非対応)

### 4.4.2. 接続例

シリアルメモリインタフェースはシリアル EEPROM やシリアル Flash-ROM を接続可能です。これらシリアルメモリのフレームフォーマットとして I<sup>2</sup>C と SPI の両フォーマットに対応しています。SPI フォーマットは音声コーデックの制御インタフェースとして利用可能な場合があります。

I<sup>2</sup>C によるシリアル EEPROM の接続例を図 4-21 と図 4-22 に示します。図 4-21 のようなオープンドレイン出力モードの場合、シリアルクロックラインとデータラインには、プルアップ抵抗(Rext)を接続します。

一方、図 4-22 のような CMOS 出力モードの場合は、データラインだけにプルアップ抵抗(Rext)を接続します。これは TC35661 とシリアル EEPROM の両方が入力方向となったときのための対策です。

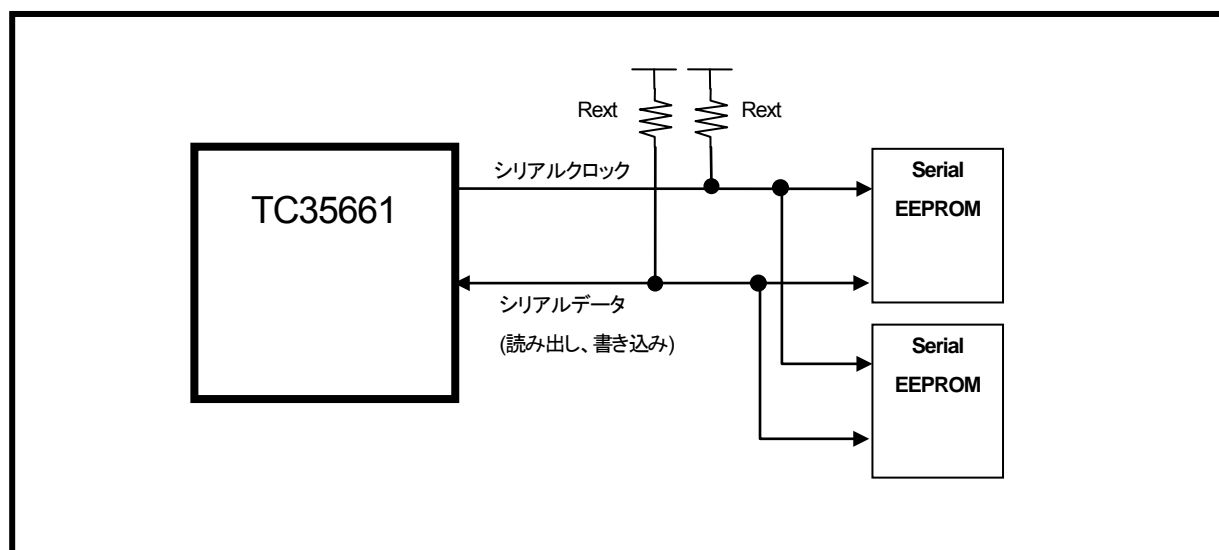


図 4-21 I<sup>2</sup>C(オープンドレイン出力モード)によるシリアル EEPROM 接続例

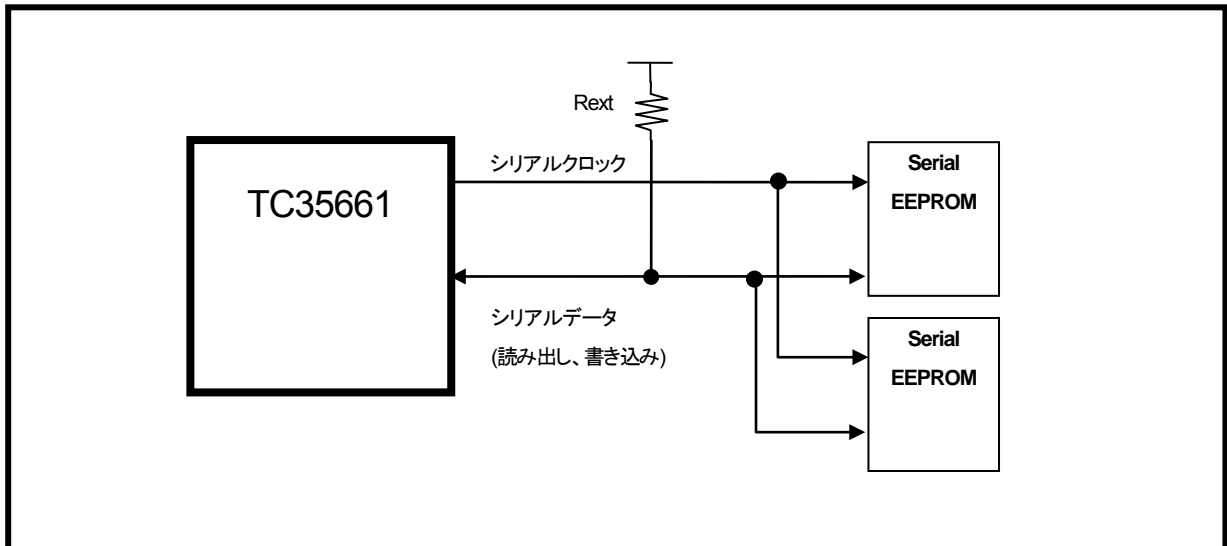


図 4-22 I<sup>2</sup>C(CMOS 出力モード)によるシリアル EEPROM 接続例

TC35661 は、SPI インタフェースでは 2 本のチップセレクト端子を有します。TC35661 の SPI インタフェースにシリアル Flash-ROM と音声コーデック制御インタフェースを接続する例を図 4-23 に示します。

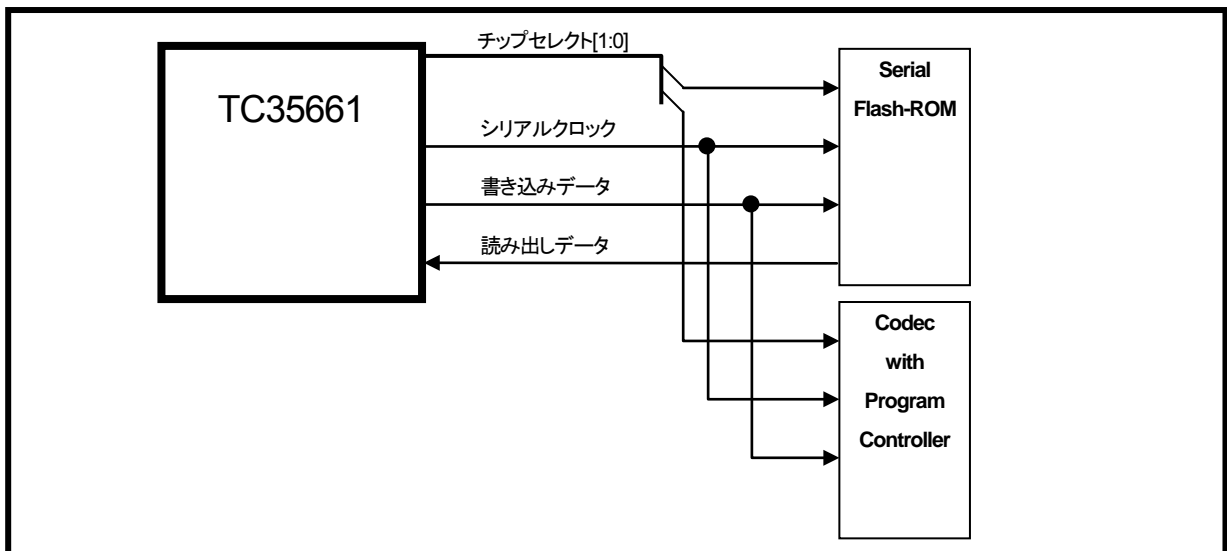


図 4-23 SPI によるシリアル Flash-ROM とコーデック IC 接続例

SPI インタフェースによって 2 個のシリアル Flash-ROM を TC35661 に接続する例を図 4-24 に示します。

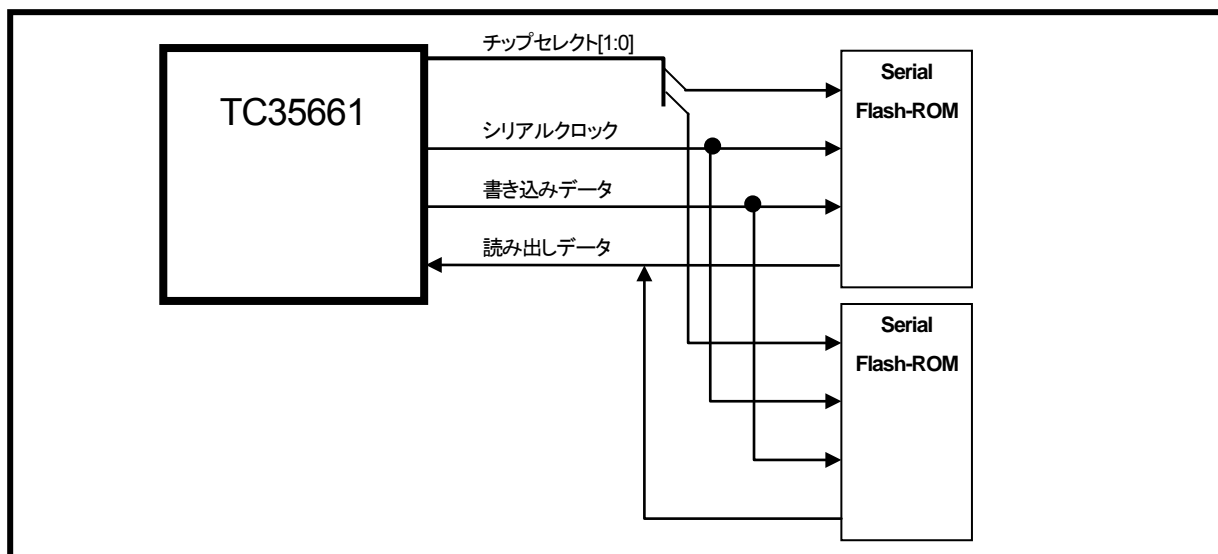


図 4-24 SPI によるシリアル Flash-ROM 接続例(2 個のシリアル Flash-ROM 接続例)

注: 使用方法に応じて、データラインにプルアップ抵抗が必要な場合があります。

#### 4.4.3. I<sup>2</sup>C インタフェース用外付けプルアップ抵抗値の選択

I<sup>2</sup>C インタフェースの場合、外付けプルアップ抵抗値を選択する必要があります。この抵抗値の上限は、I<sup>2</sup>C バス規格で規定されているシリアルクロックとシリアルデータの立ち上がり時間( $t_r$ ) と I<sup>2</sup>C バス容量( $C_b$ )により、式(1)によって決定されます。一方、プルアップ抵抗値の下限値は、供給電圧( $V_{dd}$ )、Lowレベル出力電圧の最大値( $V_{ol\_max}$ )、Lowレベル出力電流を用い、式(2)によって決められます。外付けプルアップ抵抗値は、これらの上限値と下限値の範囲内で設定するよう、お願い致します。

$$R_{ext\_max} = \frac{t_r}{0.8473 \times C_b} \quad (1)$$

$$R_{ext\_min} = \frac{V_{dd} - V_{ol\_max}}{I_{ol}} \quad (2)$$

TC35661 は標準モード(100 kHz 以下)とファーストモード(400 kHz 以下)に対応しますが、 $t_r$  は、標準モードで 1000 ns、ファーストモードで 300 ns となっています。 $C_b$  については、IC 実装基板や実装状況に応じて変動が予想されます。表 4-3 と表 4-4 では、 $C_b$  を 20 pF と仮定した場合の計算例を示しています。

表 4-3 I<sup>2</sup>C 標準モードでの外付けプルアップ抵抗値(I<sup>2</sup>C バス容量を 20 pF と仮定)

I <sup>2</sup> C バス周波数	100 kHz 以下								
$t_r$ [ns]	1000								
$C_b$ [pF]	20								
$V_{dd}$ [V]	1.8			3.0			3.3		
$V_{ol\_max}$ [V]	0.3			0.4			0.4		
$I_{ol}$ [mA]	1	2	4	1	2	4	1	2	4
$R_{ext\_min}$ [k $\Omega$ ]	1.50	0.75	0.38	2.60	1.30	0.65	2.90	1.45	0.73
$R_{ext\_max}$ [k $\Omega$ ]	59.01								

表 4-4 I<sup>2</sup>C ファーストモードでの外付けプルアップ抵抗値(I<sup>2</sup>C バス容量を 20 pF と仮定)

I <sup>2</sup> C バス周波数	400 kHz 以下								
$t_r$ [ns]	300								
$C_b$ [pF]	20								
$V_{dd}$ [V]	1.8			3.0			3.3		
$V_{ol\_max}$ [V]	0.3			0.4			0.4		
$I_{ol}$ [mA]	1	2	4	1	2	4	1	2	4
$R_{ext\_min}$ [k $\Omega$ ]	1.50	0.75	0.38	2.60	1.30	0.65	2.90	1.45	0.73
$R_{ext\_max}$ [k $\Omega$ ]	17.70								



### 4.4.4. フレームフォーマット

一般的なシリアルメモインタフェースのフレームフォーマットにはいくつもの種類ありますが、TC35661 では SPI フォーマットと I<sup>2</sup>C フォーマットに対応しています。ただし、TC35661 は両インタフェースを同時に存在させることができませんので、ご注意ください。いずれか一方のフォーマットのインタフェースを選択し、ご利用ください。

SPI フォーマットシリアルメモリの場合、TC35661 は、書き込みデータとして、順にコマンド識別コード(C<sub>k</sub>~C<sub>0</sub>)とアドレス(A<sub>m</sub>~A<sub>0</sub>)を送信します。例えば、リードコマンドの場合(図 4-25)、シリアルメモリは、このアドレスで指定された番地からバイトデータ(読み出しデータ)を送信します。TC35661 は読み出しデータが所望のバイト数に到達するまで、チップセレクトの有効設定を継続します。また、プログラミングコマンドの場合(図 4-26)、TC35661 は、所望のバイト数に到達するまでチップセレクトの有効設定を継続し、書き込みデータを 1 バイトずつ送信します。

なお、コマンド識別コード体系とアドレスビット幅は、使用するシリアルメモリの仕様に合わせて合わせる必要があります。

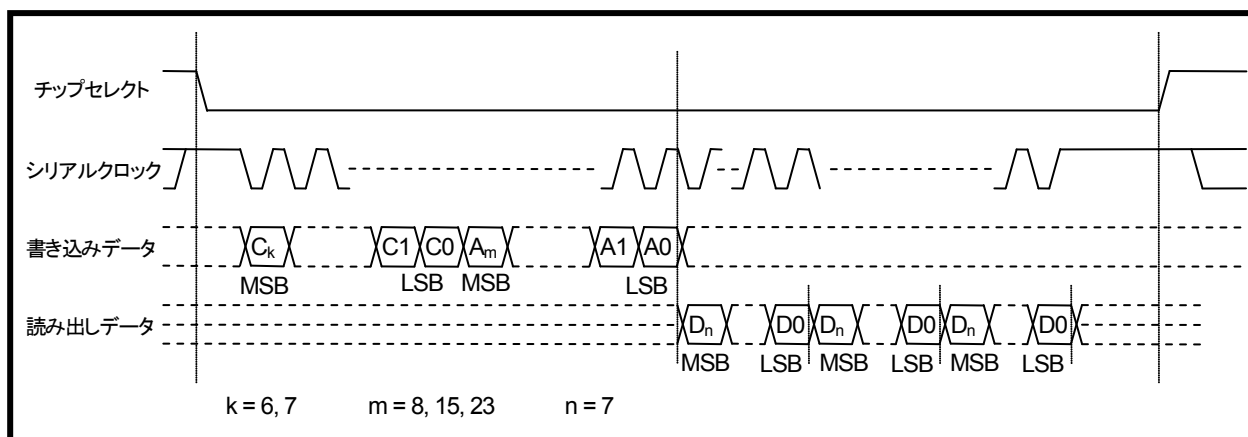


図 4-25 SPI フォーマット(シリアルメモリ、リードコマンド)

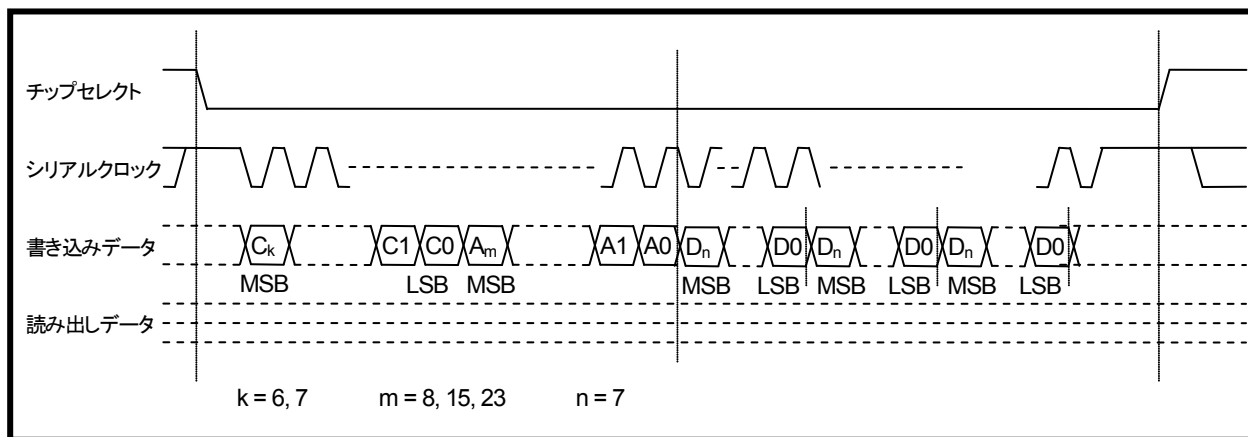


図 4-26 SPI フォーマット(シリアルメモリ、プログラミングコマンド)

I<sup>2</sup>C フォーマットシリアルメモリの場合、TC35661 は、まずスタートコンディションを発生させます。その後、デバイス識別アドレス(7ビット: [A6:A0])と、アクセス対象の先頭バイトアドレス([B7:B0])を送信して、リードまたはライトの手順を踏みます。I<sup>2</sup>C では、いずれのデータも、MSB ファーストで転送されます。デバイス識別アドレスの値、および、バイトアドレスの指定方法は、接続するデバイスに応じて決められていますので、それに合わせる必要があります。リードでは、TC35661 は、1 バイト受信するごとに、受信確認ビット(ACK: Acknowledge)、または、受信否認ビット(NACK: Not acknowledge)をシリアルメモリに返します。ライトでは、TC35661 は、1 バイト送信するごとに、シリアルメモリから ACK または NACK を受信します。1 バイトに限らず、複数バイトを連続して扱うことができます。全てのバイトのリードまたは送信が完了したとき、TC35661 はストップコンディションを発生させます。

図 4-27 は 2 バイトのデータをリードする例を示します。図 4-28 は 2 バイトのデータをライトする例を示します。これらの例で灰色の文字と線はシリアルメモリから発せられた信号であることを示すものです。リードの場合、最後のバイトデータをリードした後、TC35661 は NACK を返しますが、シリアルメモリは、これによって、リード完了を知ることができます。

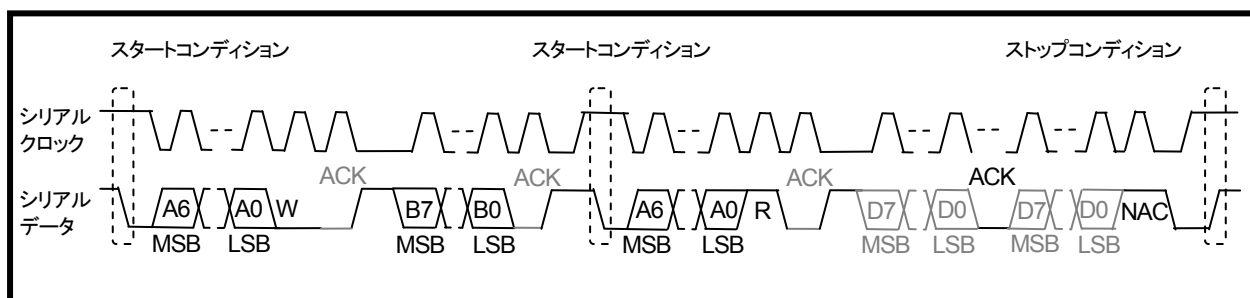


図 4-27 I<sup>2</sup>C フォーマット(シリアルメモリ、リード)

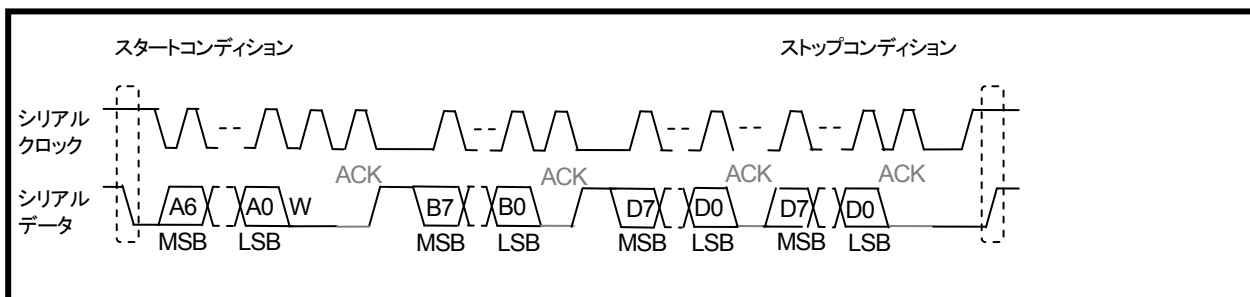


図 4-28 I<sup>2</sup>C フォーマット(シリアルメモリ、ライト)

制御インターフェースが SPI インターフェースであるコーデック IC を接続する場合、最初の 8 ビット(X7~X0)で、アドレスとリード/ライト種別などを指定します。そのフォーマットは、各コーデック IC の技術資料をご確認ください。図 4-29 は指定アドレスのバイトデータをリードする例です。図 4-30 は指定アドレスのバイトデータライトの例で、図 4-31 は指定アドレス以降にバイトデータを連続してライトする例となっています。

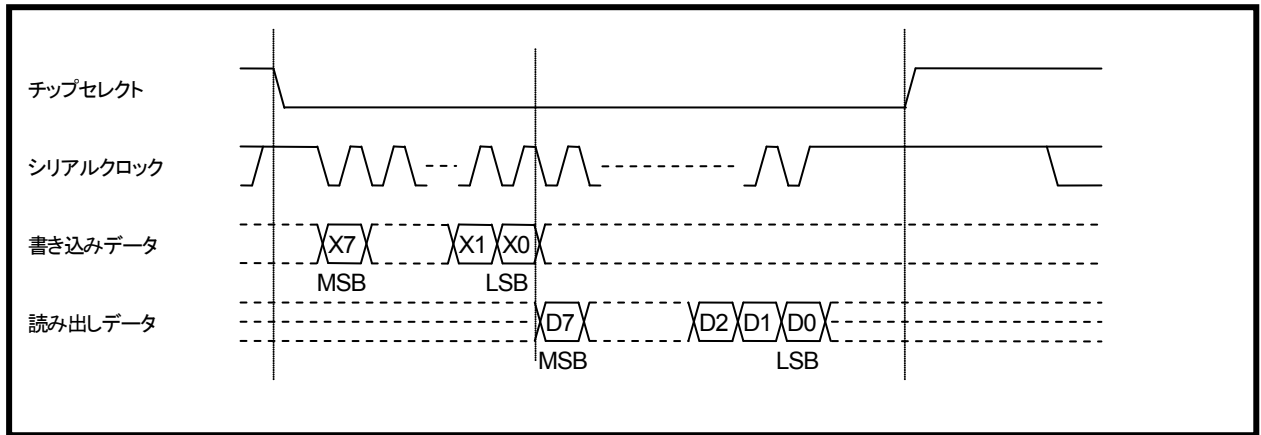


図 4-29 SPI フォーマット(コーデック IC、シングルバイトリード)

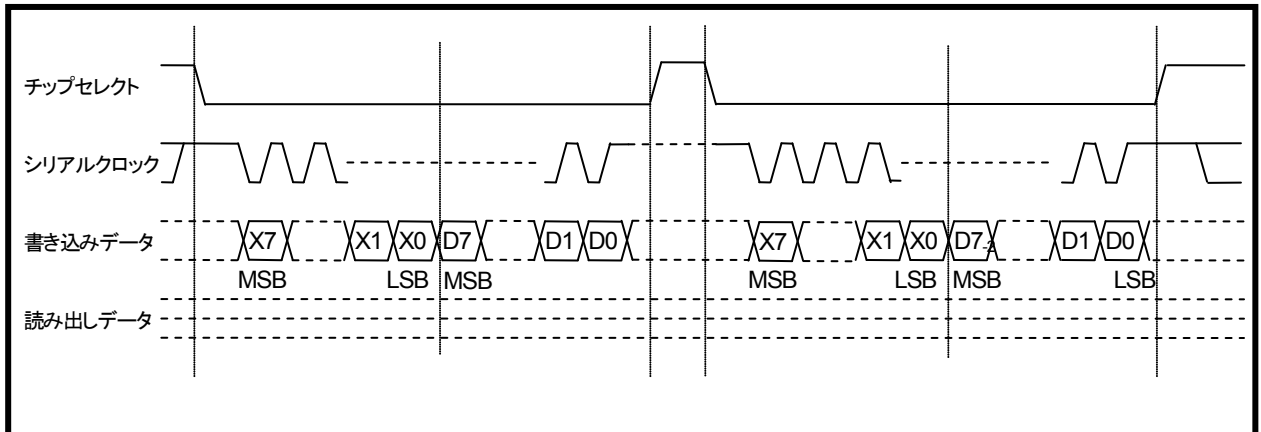


図 4-30 SPI フォーマット(コーデック IC、シングルバイトライト)

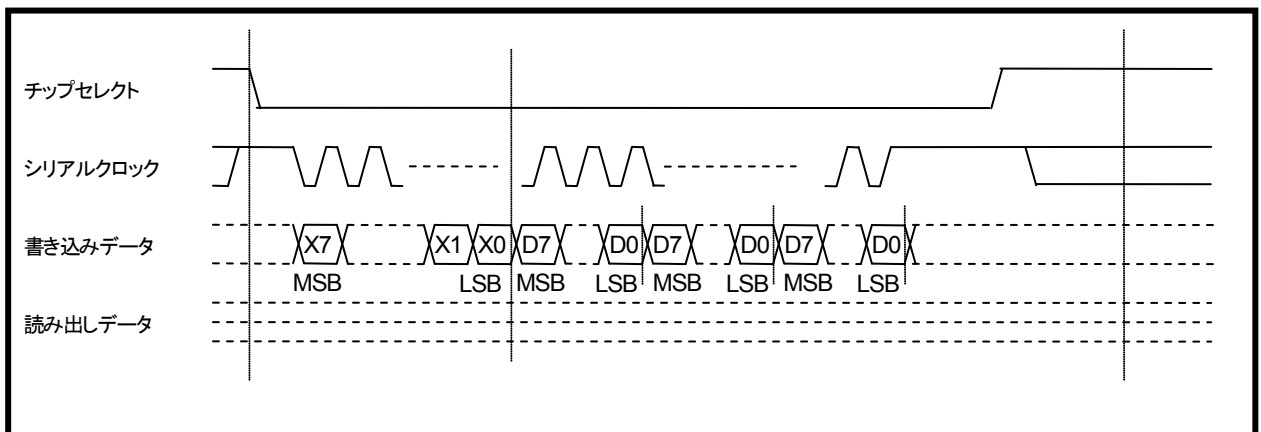


図 4-31 SPI フォーマット(コーデック IC、連続バイトライト)

## 4.5. Wi-Fi co-existence インタフェース

### 4.5.1. 特長

TC35661はWi-Fi co-existence インタフェースを持っています。このインタフェースは以下の特長を持っています。TC35661は、2.4 GHz 周波数帯を利用する同一筐体内のWi-Fi ICと、専用制御信号線を接続して、相互の通信が干渉しないように協調動作させることができます。

- 3.3Vまたは1.8V動作
- 2線式、3線式、4線式に対応可能

### 4.5.2. 接続例

接続例を図 4-32、図 4-33、図 4-34 に示します。



図 4-32 2線式接続例



図 4-33 3線式接続例



図 4-34 4線式接続例

## 4.6. 基本クロックインタフェース

### 4.6.1. 特長

TC35661 は、以下の特長の基本クロックインタフェースを持っています。

- 水晶振動子、または、TCXO を接続可能
- 基本クロックの周波数: 26 MHz (周波数精度は使用温度下で $\pm 20$  ppm 以下に調整してください)

水晶発振子を使用する場合は、XOIN 端子と XOOOUT 端子の間に水晶振動子を接続します。TC35661 には XOIN 端子と XOOOUT 端子の間に帰還抵抗が内蔵されていますので、外部に帰還抵抗の接続は不要です。ご使用の水晶発振子の仕様に適合した容量の接続を忘れないようにご注意ください。なお、出力抵抗については、TC35661 を実装するプリント基板における配線状況に応じて、適宜、抵抗値や接続方法をご検討ください。

TCXO を使用する場合は、XOIN 端子を用い、XOOOUT 端子はオープン処理してください。

### 4.6.2. 水晶振動子接続例

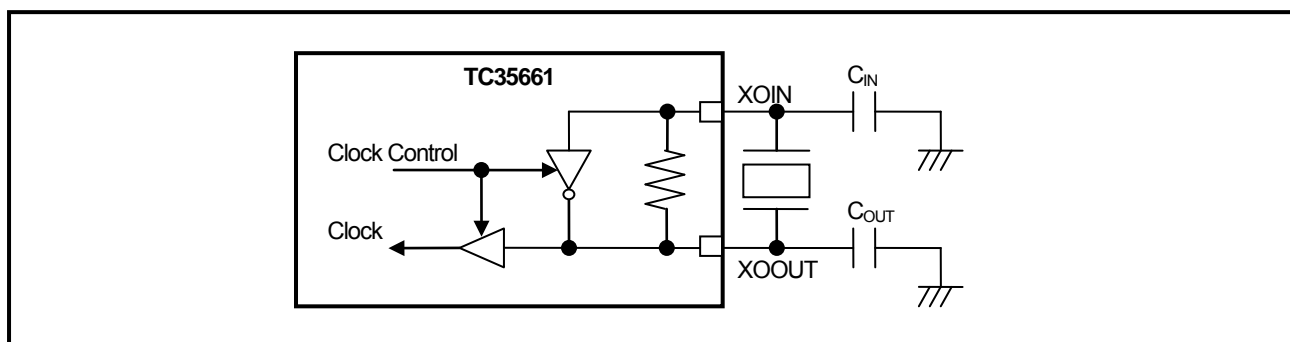


図 4-35 水晶振動子接続例

### 4.6.3. 発振周波数微調整機能

水晶発振回路にはパラメータ設定が可能なキャパシタアレイが内蔵されています。設定値は 0 から 31 までとなっており、この機能を用いて発振周波数を微調整することができます。

図 4-36 に、26 MHz クリスタルを用いた弊社測定基板での例を示します。

なお、この特性は、水晶振動子、外付けのコンデンサ、抵抗値、基板パターンなどに依存して変化します。

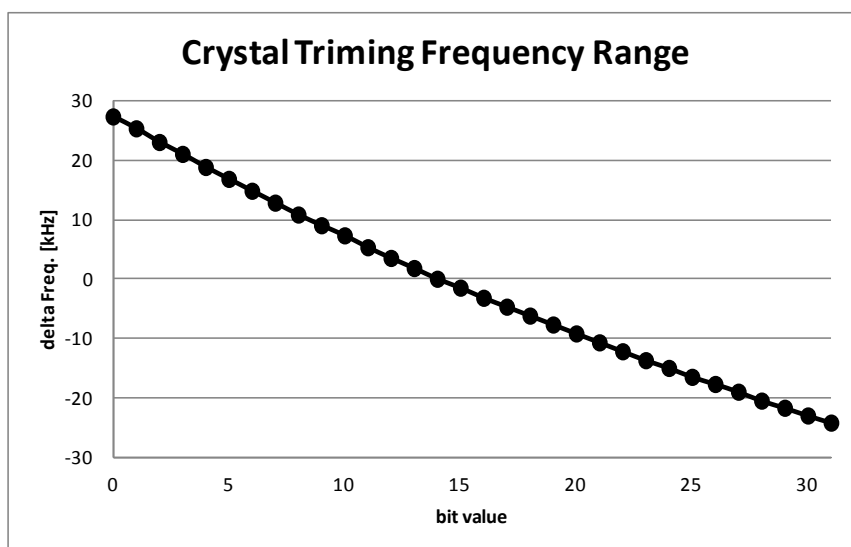


図 4-36 周波数トリミング範囲例

## 4.7. JTAG インタフェース

### 4.7.1. 特長

TC35661 は JTAG インタフェースを持っています。このインタフェースの特長を以下に示します。

- 動作電圧: 3.3 V または 1.8 V 動作
- ICE 接続機能
- チップバウンダリテスト機能

### 4.7.2. 接続例

図 4-37 に、TC35661 に ICE を接続させた例を示します。なお、JTAG インタフェースへ ICE を接続した際のタイミングチャートに関しては、ARM 社より提供される情報をご参照ください。

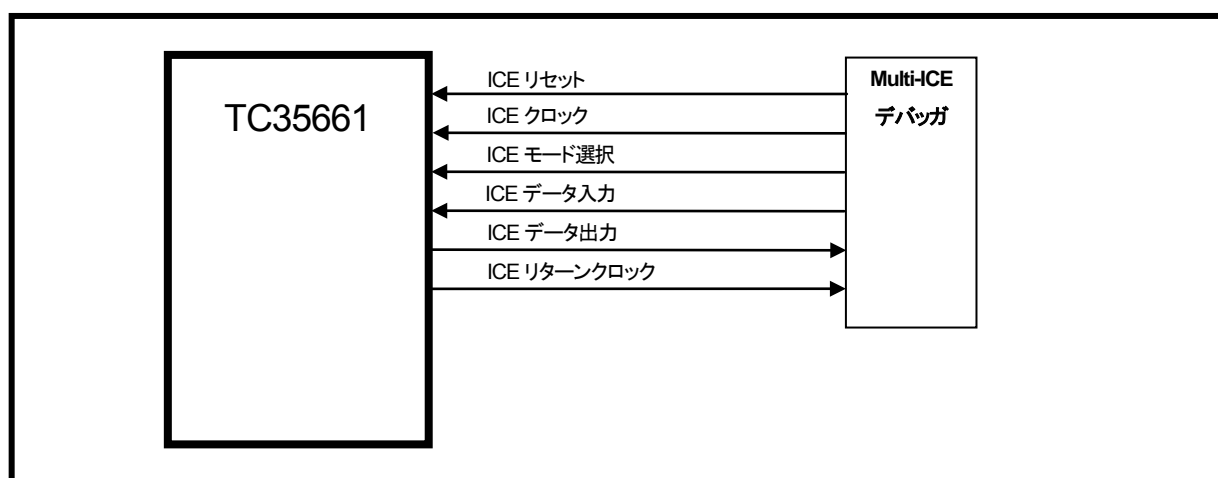


図 4-37 ICE 接続例

## 5. 電气的特性

### 5.1. 絶対最大定格

絶対最大定格は、瞬時たりとも超えてはならない規格です。絶対最大定格を超えると IC の破壊や劣化や損傷の原因となり、IC 以外にも破壊や損傷や劣化を与える恐れがあります。いかなる動作条件でも絶対最大定格を超えないように、応用機器の設計を行ってください。

表 5-1 絶対最大定格(CDVSS=AVSS\*=LVSS33=0 V)

項目	記号(電源供給系統)	定格		単位
		最小	最大	
電源電圧	DVDD*	-0.3	+3.9	V
	LVDD33*	-0.3	+3.9	V
	AVDD12*	-0.3	+1.8	V
	AVDD33PA	-0.3	+3.9	V
	CVDD	-0.3	+1.8	V
入力電圧	VIN (DVDDA)	-0.3	DVDDA +0.3	V
	VIN (DVddb)	-0.3	DVddb +0.3	V
	VIN (AVDD12X)	-0.3	AVDD12X +0.3	V
	GPIO*	-0.3	DVDD* +0.3	V
	XOIN	-0.3	AVDD12X +0.3	V
	その他 IO 端子	-0.3	DVDDA +0.3	V
出力電圧	VOUT (DVDDA)	-0.3	DVDDA +0.3	V
	VOUT (DVddb)	-0.3	DVddb +0.3	V
	VOUT (AVDD12X)	-0.3	AVDD12X +0.3	V
	VOUT (LDOOUT12A)	-0.3	CVDD +0.3	V
	GPIO*	-0.3	DVDD* +0.3	V
	XOOUT	-0.3	AVDD12X +0.3	V
	その他 IO 端子	-0.3	DVDDA +0.3	V
入力電流	IIN (DVDD*)	-10	+10	mA
入力電力	RFIO (AVDD12SG)	—	+6	dBm
保存温度	—	-40	+125	°C

注: AVSS\*: AVSS12X、AVSS12SYN、AVSS12ADC、AVSSSG

DVDD\*: DVDDA、DVddb

LVDD33\*: LVDD33D、LVDD33A

AVDD12\*: AVDD12X、AVDD12SYN、AVDD12SG

GPIO\*: GPIO0~GPIO18

## 5.2. 動作条件

動作条件とは、本製品が一定の品質を保って正常動作する条件を指します。動作条件のうち、いずれか1つの項目でも外れた状態で使用された場合には誤動作の恐れがあります。したがって、本製品ご使用の条件に対して、必ず動作条件の範囲を超えないように応用機器の設計を行ってください。

表 5-2 動作温度・電圧範囲(CDVSS= AVSS\*=LVSS33=0 V)

項目	記号(端子名称)	定格			単位
		最小	標準	最大	
電源電圧	DVDDA DVddb LVDD33* AVDD33PA(注1)	1.7 2.7	1.8 or 3.3	1.9 3.6	V
	AVDD12SG AVDD12SYN AVDD12X	—	1.2	—	V
	CVDD	—	1.2	—	V
周囲動作温度 (注2)	Ta	-40	+25	+85	°C

注1: 各電源端子の弊社接続例は別途資料を参照してください。

CVDD は内蔵レギュレータから IC 内部で電圧が直接供給されています。バイパスコンデンサを接続してご利用ください。

AVDD12X は内蔵レギュレータから IC 内部で電圧が直接供給されています。バイパスコンデンサを接続してご利用ください。

AVDD12SYN と AVDD12SG は LDOOUT12A から電圧を供給します。LDOOUT12A は 1.2 V のレギュレータ出力になりますので、他の部品・端子への利用はしないでください。

LVDD33\* と DVDDA には、同一の電圧レベルを供給してください。

電源電圧は雑音の少ないものをご使用ください。

注2: 設計値です。

注3: AVSS\*: AVSS12X、AVSS12SYN、AVSS12ADC、AVSSSG

LVDD33\*: LVDD33D、LVDD33A



### 5.3. DC 電気的特性

#### 5.3.1. 消費電流

消費電流を表 5-3 に示します。周囲動作温度(Ta)=25°C 条件下での、各電源端子の弊社推奨接続状態における動作時平均電流値となります。なお、特性記載にあたり、一部は測定値ではなく、設計値を記載していますので、ご注意ください。

表 5-3 DC 電気的特性 [消費電流](CDVSS=LVSS33=AVSS\*=0 V)

項目	記号	条件		測定対象端子 (注2)	定格			単位
		供給電圧	他条件		最小	標準	最大	
デジタル部動作時 LVDD33D 平均消費電流	IDDDIG	3.3 V or 1.8 V	—	LVDD33D	—	6.5	—	mA
デジタル部動作時 水晶発振回路 平均消費電流	IDDANA	3.3 V or 1.8 V	—	LVDD33A	—	2.0	—	
アナログ部受信時 平均消費電流	IDDDRFX	3.3 V or 1.8 V	—	LVDD33A	—	54	—	
アナログ部送信時 平均消費電流	IDDDTX	3.3 V or 1.8 V	—	LVDD33A	—	24	—	
		3.3 V or 1.8 V	—	AVDD33PA	—	30	—	
IO 部動作時 平均消費電流 (注1)	IDDDIOA	3.3 V or 1.8 V	—	DVDDA	—	0.40	—	
	IDDDIOB	3.3 V or 1.8 V	—	DVddb	—	0.16	—	
低電力時消費電流 水晶振動子発振停止 SLEEPCLK 供給	IDDPDIG	3.3 V or 1.8 V	—	LVDD33D	—	0.028	—	
	IDDPANA	3.3 V or 1.8 V		LVDD33A	—	0.000	—	
	IDDP33PA	3.3 V or 1.8 V		AVDD33PA	—	0.001	—	
	IDDPPIO (注1)	3.3 V or 1.8 V		DVDD*	—	—	—	
スタンバイ消費電流 水晶振動子発振 SLEEPCLK 供給停止 リセット状態	IDDPDIG	3.3 V or 1.8 V	—	LVDD33D	—	0.37	—	
	IDDPANA	3.3 V or 1.8 V		LVDD33A	—	2.0	—	
	IDDP33PA	3.3 V or 1.8 V		AVDD33PA	—	0.020	—	
	IDDPPIO (注1)	3.3 V or 1.8 V		DVDD*	—	—	—	

注1: IO 部の動作時電流は、バッファ設定により変化致します。

注2: 各測定対象端子は、表 2-2 の電源端子表に記載している端子のうち、LDO 出力端子での測定となります。

注3: AVSS\*: AVSS12X、AVSS12SYN、AVSS12ADC、AVSSSG

DVDD\*: DVDDA、DVddb

表 5-4 に各端子の DC 電気的特性を示します。周囲動作温度(Ta)=25°C 条件下での特性となります。なお、特性記載にあたり、一部は測定値ではなく、設計値を記載していますので、ご注意ください。

表 5-4 DC 電気的特性 (CDVSS= LVSS33= AVSS\*=0 V)

項目	記号	条件		対象端子 (注 1)	定格			単位
		I/F 電圧条件	他条件		最小	標準	最大	
高レベル 入力電圧	VIH	3.3 V	LVCMOS	DVDDA, DVDDDB 系統	0.8×DVDD*	—	—	V
		1.8 V			0.8×DVDD*	—	—	
低レベル 入力電圧	VIL	3.3 V	LVCMOS	DVDDA, DVDDDB 系統	—	—	0.2× DVDD*	V
		1.8 V			—	—	0.2× DVDD*	
高レベル 入力電流	IIH	DVDD*電源電圧 = 各端子入力電圧	Pull-down Off	DVDDA, DVDDDB 系統	-10	—	10	μA
低レベル 入力電流	IIL		Pull-down On		10	—	200	
			Pull-up Off		-10	—	10	
			Pull-up On		-200	—	-10	
高レベル 出力電圧	VOH	3.3 V	IOH = 1 mA	DVDDA, DVDDDB 系統	DVDD* - 0.6	—	—	V
			IOH = 2 mA		DVDD* - 0.6	—	—	
			IOH = 4 mA		DVDD* - 0.6	—	—	
		1.8 V	IOH = 1 mA		DVDD* - 0.3	—	—	
			IOH = 2 mA		DVDD* - 0.3	—	—	
			IOH = 4 mA		DVDD* - 0.3	—	—	
低レベル 出力電圧	VOL	3.3 V	IOL = 1 mA	DVDDA, DVDDDB 系統	—	—	0.4	V
			IOL = 2 mA		—	—	0.4	
			IOL = 4 mA		—	—	0.4	
		1.8 V	IOL = 1 mA		—	—	0.3	
			IOL = 2 mA		—	—	0.3	
			IOL = 4 mA		—	—	0.3	
外部 クロック 入力レベル (注 2)	VCLK	1.2 V	—	XOIN	—	1.0	—	Vpp
外部 32 kHz クロック 高レベル入 力	V Sleep CLKH	3.3 V	—	SLEEPCLK	0.8×DVDDA	—	DVDDA +0.2	V
外部 32 kHz クロック 低レベル入 力	V Sleep CLKL	3.3 V	—	SLEEPCLK	—	—	0.2× DVDDA	V

注 1: 各対象端子の電源系統は、表 2-2 の電源分類欄をご覧ください。各機能端子の電源系統を示しています。

注 2: 水晶振動子を使用せず、外部の発振器を用いた場合です。

注 3: AVSS\*: AVSS12X、AVSS12SYN、AVSS12ADC、AVSSSG

DVDD\*: DVDDA、DVDDDB

## 5.4. 内蔵レギュレータ特性

表 5-5 内蔵レギュレータ特性

項目	記号	ピン名称	定格			単位
			最小	標準	最大	
入力電圧	Vin	LVDD33*	2.7	3.3	3.6	V
			1.7	1.8	1.9	V
出力電圧	Vout1	LDOOUT12A	—	1.2	—	V
	Vout2	AVDD12X	—	1.2	—	V
	Vout3	CVDD	—	1.2	—	V

注: LVDD33\*: LVDD33D、LVDD33A

## 5.5. RF 特性

特に指定のない限り、以下の条件を前提とします。

- Ta=25°C
- DVDDA=DVddb=LVDD33A=LVDD33D=3.3 V
- f=2441 MHz (39 ch)
- fx<sub>tal</sub>=26 MHz (調整精度±2 ppm)
- PAOUT1=+2.0 dBm
- 測定箇所: 東芝製評価ボードの測定端子

### 5.5.1. Basic Rate

Basic RateにおけるRF受信特性を表 5-6に、RF送信特性を表 5-7に示します。なお、特性記載にあたり、一部は測定値ではなく、設計値を記載していますので、ご注意ください。

表 5-6 RF 受信特性(Basic Rate)

項目	記号	条件	定格			単位
			最小	標準	最大	
感度	Sense1	BER=0.1%以下 f=2402 MHz, 2441 MHz, 2480 MHz	—	-91.0	—	dBm
受信信号最大入力レベル	maxRange1	—	-20	-10	—	dBm
妨害信号特性 (注1)	CI_Co	—	—	9	—	dB
	CI+1 MHz	—	—	-4.5	—	dB
	CI-1 MHz	—	—	-2.8	—	dB
	CI+2 MHz	—	—	-36	—	dB
	CI-2 MHz	—	—	-34	—	dB
	CI+3 MHz	—	—	-28	—	dB
	CI-3 MHz	—	—	-43	—	dB
	CI+4 MHz	—	—	-40	—	dB
	CI+5 MHz 以上	—	—	-45	—	dB
	CI-4 MHz 以下	—	—	-45	—	dB
Intermodulation	IM	f1-f2 =5 MHz	-39	-26	—	dBm
Out of band blocking (注2)	OBB1	fTX=fRX=2460 MHz, 30~2000 MHz	-10	0	—	dBm
	OBB2	fTX=fRX=2460 MHz, 2~2.4 GHz	-27	—	—	dBm
	OBB3	fTX=fRX=2460 MHz, 2.498~3 GHz	-27	—	—	dBm
	OBB4	fTX=fRX=2460 MHz, 3~12.75 GHz	-10	0	—	dBm

注1: 妨害特性について、-3 MHz、±26 MHz、±52 MHz のチャンネルで Bluetooth® のロゴ認証テストの緩和スペックである-17 dB を適用します。

注2: 820 MHz、1230 MHz、2356 MHz、2564 MHz、4921 MHz、4922 MHz で、Bluetooth® のロゴ認証テストの緩和スペックである、-50 dBm を適用します。

注3: 条件は Bluetooth SIG Inc. の仕様に準じます。

表 5-7 RF 送信特性(Basic Rate)

項目	記号	条件	定格			単位
			最小	標準	最大	
送信信号出力レベル(注 1)	PAOUT1	f=2402 MHz, 2441 MHz, 2480 MHz	—	2.0	—	dBm
Frequency range	Frange	—	2400	—	2483.5	MHz
20 dB バンド幅	20 dBBW	—	—	915	1000	kHz
Frequency deviation1	Dev1(TX)	—	140	162	175	kHz
Frequency deviation2	Dev2(TX)	—	115	132	—	kHz
Frequency deviation ratio	Deviation(TX)	$\Delta f_{2ave}/\Delta f_{1avg}$	0.8	0.93	—	—
Initial carrier Frequency Tolerance	ICFT	—	-75	-4.7	75	kHz
Frequency drift1 DH1	Fdrift1	DH1 packet	-25	2.5	25	kHz
Frequency drift2 DH5	Fdrift2	DH5 packet	-40	2.5	40	kHz
Frequency drift rate	Fdrift rate	—	-20	6.7	20	kHz/ 50 $\mu$ s
Adjacent channel power	IBsp1	2 MHz offset	—	-47	-20	dBm
	IBsp2	$\geq 3$ MHz offset	—	-52	-40	

注 1: 挿入損失 2 dB の外付けフィルタが接続されることを想定しています。

注 2: 条件は Bluetooth SIG Inc.の仕様に準じます。

## 5.5.2. Enhanced Data Rate

Enhanced Data Rate における RF 受信特性を表 5-8 に、RF 送信特性を表 5-9 に示します。特性記載にあたり、一部は測定値ではなく、設計値を記載しています。

表 5-8 RF 受信特性(Enhanced Data Rate)

項目	記号	条件	定格			単位	
			最小	標準	最大		
感度	$\pi/4$ DQPSK	Sense2	BER=0.01 %以下	—	-92.0	—	dBm
	8DPSK	Sense3	BER=0.01 %以下	—	-85.5	—	
受信信号最大 入力レベル	$\pi/4$ DQPSK	maxRange2	—	-20	—	—	dBm
	8DPSK	maxRange3	—	-20	—	—	
BER Floor Performance	$\pi/4$ DQPSK	BERfloor2	RFin=-60 dBm	—	0	$10^{-5}$	BER
	8DPSK	BERfloor3	RFin=-60 dBm	—	0	$10^{-5}$	
妨害信号特性 (注 1)	$\pi/4$ DQPSK	CI_Co2	—	—	10.5	—	dB
		CI+1 MHz_2	—	—	-10	—	
		CI-1 MHz_2	—	—	-10	—	
		CI+2 MHz_2	—	—	-37	—	
		CI-2 MHz_2	—	—	-35	—	
		CI+3 MHz_2	—	—	-28	—	
		CI-3 MHz_2	—	—	-45	—	
		CI+4 MHz_2	—	—	-46	—	
		CI+5 MHz 以上_2	—	—	-47	—	
	CI-4 MHz 以下_2	—	—	-47	—		
	8DPSK	CI_Co3	—	—	18	—	dB
		CI+1 MHz_3	—	—	-5	—	
		CI-1 MHz_3	—	—	-5	—	
		CI+2 MHz_3	—	—	-32	—	
		CI-2 MHz_3	—	—	-30	—	
		CI+3 MHz_3	—	—	-22	—	
		CI-3 MHz_3	—	—	-40	—	
		CI+4 MHz_3	—	—	-40	—	
CI+5 MHz 以上_3		—	—	-42	—		
CI-4 MHz 以下_3	—	—	-42	—			

注 1: 妨害特性について、-3 MHz、±26 MHz、±52 MHz のチャンネルで Bluetooth<sup>®</sup> のロゴ認証テストの緩和スペックである、 $\pi/4$ DQPSK では-15 dB、8DPSK では-10 dB を適用します。

注 2: 条件は Bluetooth SIG Inc.の仕様に準じます。

表 5-9 RF 送信特性(Enhanced Data Rate)

項目	記号	条件	定格			単位	
			最小	標準	最大		
Relative Transmit Power	Prtv	—	-4.0	-0.6	1.0	dB	
Carrier Frequency Stability	$\pi/4$ DQPSK	$\omega_i\_2$	—	-75	-3.4	75	kHz
		$\omega_i+\omega_0\_2$	—	-75	-3.1	75	
		$\omega_0\_2$	—	-10	0.6	10	
	8DPSK	$\omega_i\_3$	—	-75	-3.4	75	
		$\omega_i+\omega_0\_3$	—	-75	-3.1	75	
		$\omega_0\_3$	—	-10	0.6	10	
Modulation Accuracy	$\pi/4$ DQPSK	DEVM_R2	RMS DEVM	—	6	20	%
		DEVM_P2	Peak_DEVM	—	15	35	
		DEVM_99_2	99 % DEVM、DEVM $\leq$ 30 %	99	100	—	
	8DPSK	DEVM_R3	RMS DEVM	—	6	13	
		DEVM_P3	Peak_DEVM	—	15	25	
		DEVM_99_3	99 % DEVM、DEVM $\leq$ 20 %	99	100	—	
In-band Spurious Emission (注 1)	$ M-N =1$	IBSE1	—	—	-39	-26	dBm
	$ M-N =2$	IBSE2	—	—	-37	-20	
	$ M-N  \geq 3$	IBSE3	—	—	-44	-40	
Differential Phase Encoding	$\pi/4$ DQPSK	DFE_2	—	99	100	—	%
	8DPSK	DFE_3	—	99	100	—	

注 1: 挿入損失 2 dB の外付けフィルタが接続されることを想定しています。

注 2: 条件は Bluetooth SIG Inc.の仕様に準じます。

5.5.3. Bluetooth® Low Energy

Bluetooth® Low EnergyにおけるRF 受信特性を表 5-10に、RF 送信特性を表 5-11に示します。特性記載にあたり、一部は測定値ではなく、設計値を記載しています。

表 5-10 RF 受信特性(Bluetooth® Low Energy)

項目	記号	条件	定格			単位
			最小	標準	最大	
感度	Sense_4	PER=30.8 %以下 f=2402 MHz, 2426 MHz, 2440 MHz, 2480 MHz	—	-95.0	—	dBm
受信信号最大入力レベル	maxRange_4	PER=30.8 %以下	-10	—	—	dBm
PER Report Integrity	PERReport_4	—	50.0	—	65.4	%
妨害信号特性	CI_Co_4	—	—	12	—	dB
	CI+1 MHz_4	—	—	3	—	
	CI-1 MHz_4	—	—	3	—	
	CI+2 MHz_4	—	—	—	-34	
	CI-2 MHz_4	—	—	—	-33	
	CI+3 MHz_4	—	—	—	-28	
	CI+4 MHz_4	—	—	—	-37	
	CI+5 MHz 以上_4	—	—	—	-42	
CI-3 MHz 以下_4	—	—	—	-42		
Intermodulation	IM_4	f1-f2 =5 MHz	-50	-38	—	dBm
Blocking Performance	OBB1_4	30~2000 MHz	-30	0	—	dBm
	OBB2_4	2003~2399 MHz	-35	—	—	
	OBB3_4	2484~2997 MHz	-35	—	—	
	OBB4_4	3.0~12.75 GHz	-30	0	—	

注: 条件は Bluetooth SIG Inc.の仕様に準じます。



表 5-11 RF 送信特性(Bluetooth® Low Energy)

項目	記号	条件	定格			単位	
			最小	標準	最大		
送信信号出力レベル	PAOUT_4	—	—	2.0	—	dBm	
	PDiff_4	平均電力とピーク値の差	—	0.5	—	dB	
Carrier Frequency Offset and Drift	Carrier freq. offset	Cfreqoffset_4	$f_n ; n=0,1,2,\dots,k$	-150	0	150	kHz
	Drift	Fdrift1_4	$f_0-f_n ; n=2,3,4,\dots,k$	-50	4.6	50	
	Drift rate	Fdrift rate_4	$f_1-f_0, f_n-f_{(n-5)}$ ; $n=6,7,8,\dots,k$	-20	3.7	20	kHz
Modulation Characteristics	$\Delta f_{1avg}$	Dev1_4	$\Delta f_{1avg}$	225	247	275	kHz
	$\Delta f_{2max}$	Dev2_4	$\Delta f_{2max}$	185	218	—	
	$\Delta f_{2avg}/\Delta f_{1avg}$	Devratio_4	$\Delta f_{2avg}/\Delta f_{1avg}$	80	96	—	%
In-band Emission	$ M-N =2$	IBE2_4	2 MHz offset	—	-47	-20	dBm
	$ M-N \geq 3$	IBE3_4	$\geq 3$ MHz offset	—	-53	-30	

注: 条件は Bluetooth SIG Inc.の仕様に準じます。

5.6. AC 電气的特性

5.6.1. UART インタフェース

表 5-12 UART インタフェース AC 特性

記号	項目	最小	標準	最大	単位
tCLDTDLY	CTS <sub>X</sub> の立ち下がりからデータ送信開始まで	96	—	—	ns
tCHDTDLY	CTS <sub>X</sub> の立ち上がりからデータ送信完了まで	—	—	2	byte
tTXDIV	送信データ偏差 (注)	-0.756	—	+0.756	%
tRLDTDLY	RTS <sub>X</sub> の立ち下がりからデータ受信開始まで	0	—	—	ns
tRHDTDLY	RTS <sub>X</sub> の立ち上がりからデータ受信完了まで	—	—	8	byte
tRXDIV	受信データ許容偏差 (注)	-2.0	—	+2.0	%

注: 1 シンボルあたり、IC 内部のボーレートに対する偏差になります。

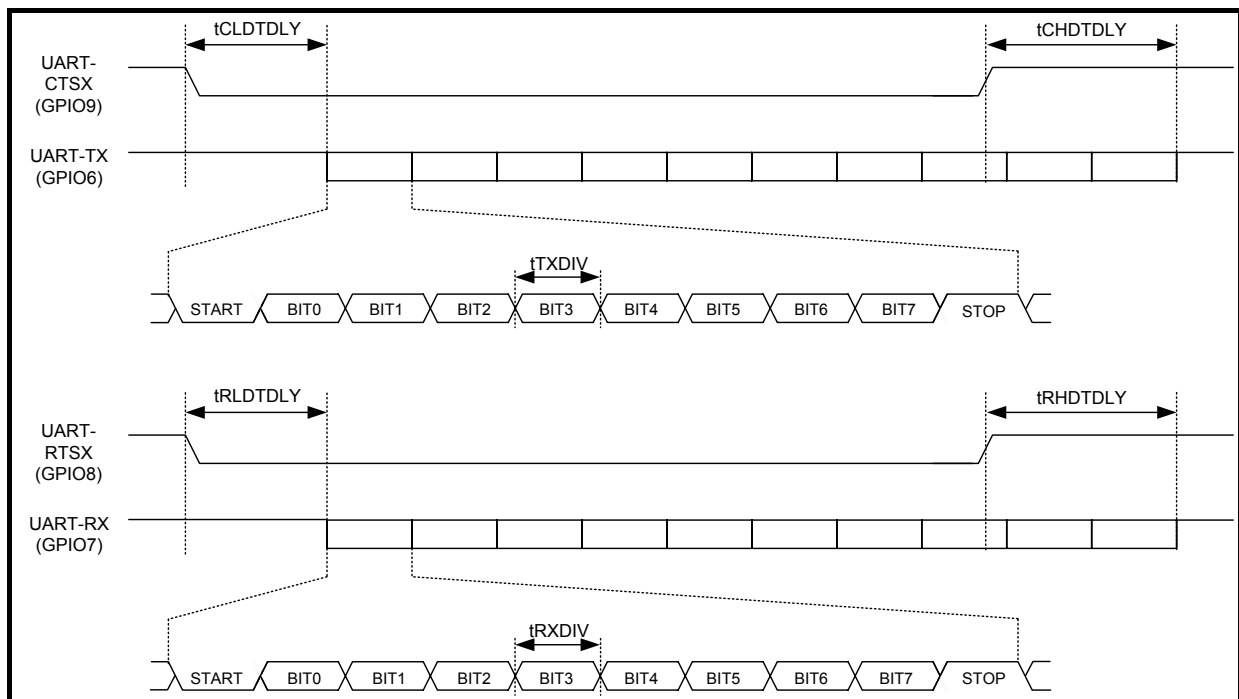


図 5-1 UART インタフェース AC 特性

5.6.2. I<sup>2</sup>C インタフェース

5.6.2.1. 標準モード

表 5-13 I<sup>2</sup>C インタフェース(標準モード)AC 特性

記号	項目	最小	標準	最大	単位
tDATS	データセットアップ時間	250	—	—	ns
tDATH	データホールド時間	300	—	—	ns
tDATVD	データ有効期間	—	—	3450	ns
tACKVD	ACK 有効期間	—	—	3450	ns
tSTAS	再スタートコンディションセットアップ時間	4700	—	—	ns
tSTAH	再スタートコンディションホールド時間	4000	—	—	ns
tSTOS	ストップコンディションセットアップ時間	4000	—	—	ns
tBUF	ストップコンディションからスタートコンディションまでのバス開放期間	4700	—	—	ns
tr	立ち上がり時間	—	—	1000	ns
tf	立ち下がり時間	—	—	300	ns
tHIGH	シリアルクロック High 期間	4000	—	—	ns
tLOW	シリアルクロック Low 期間	4700	—	—	ns
Cb	バス負荷容量	—	—	400	pF

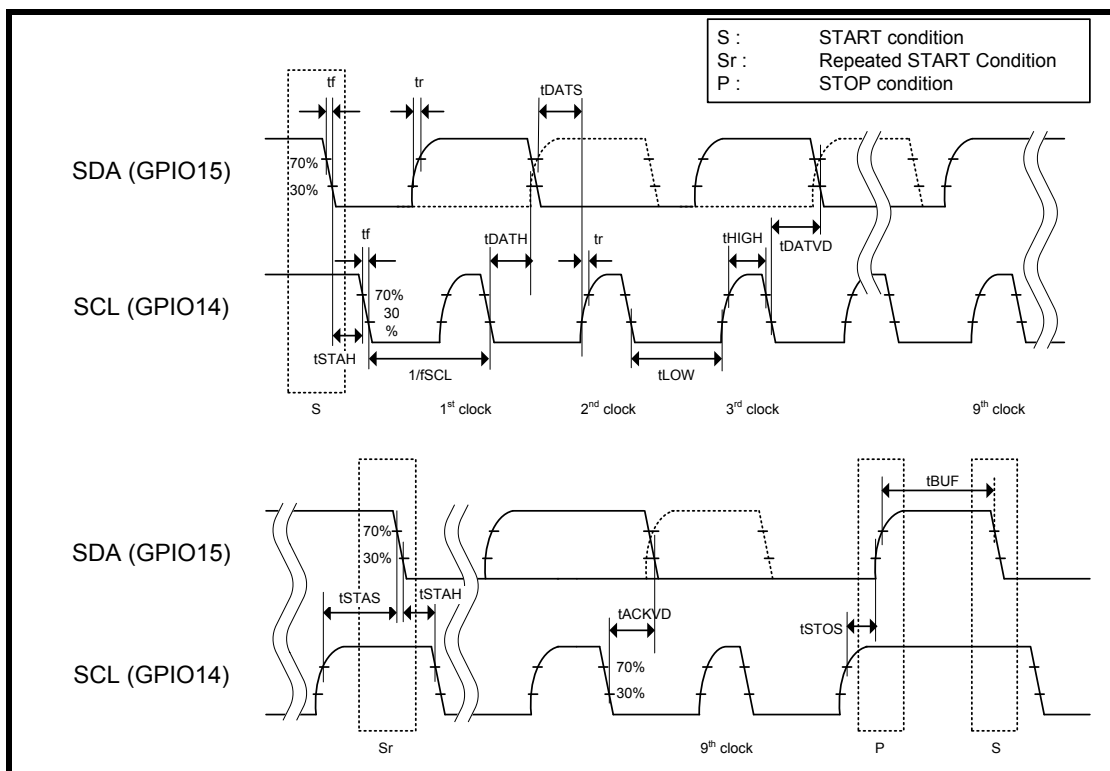


図 5-2 I<sup>2</sup>C インタフェース(標準モード)AC 特性

5.6.2.2. ファーストモード

表 5-14 I<sup>2</sup>C インタフェース(ファーストモード)AC 特性

記号	項目	最小	標準	最大	単位
tDATS	データセットアップ時間	100	—	—	ns
tDATH	データホールド時間	300	—	—	ns
tDATVD	データ有効期間	—	—	900	ns
tACKVD	ACK 有効期間	—	—	900	ns
tSTAS	再スタートコンディションセットアップ時間	600	—	—	ns
tSTAH	再スタートコンディションホールド時間	600	—	—	ns
tSTOS	ストップコンディションセットアップ時間	600	—	—	ns
tBUF	ストップコンディションからスタートコンディションまでのバス開放期間	1300	—	—	ns
tr	立ち上がり時間	20 + 0.1 Cb	—	300	ns
tf	立ち下がり時間	20 + 0.1 Cb	—	300	ns
tSP	除去可能なスパイクパルス幅	0	—	50	ns
tHIGH	シリアルクロック High 期間	600	—	—	ns
tLOW	シリアルクロック Low 期間	1300	—	—	ns
Cb	バス負荷容量	—	—	400	pF

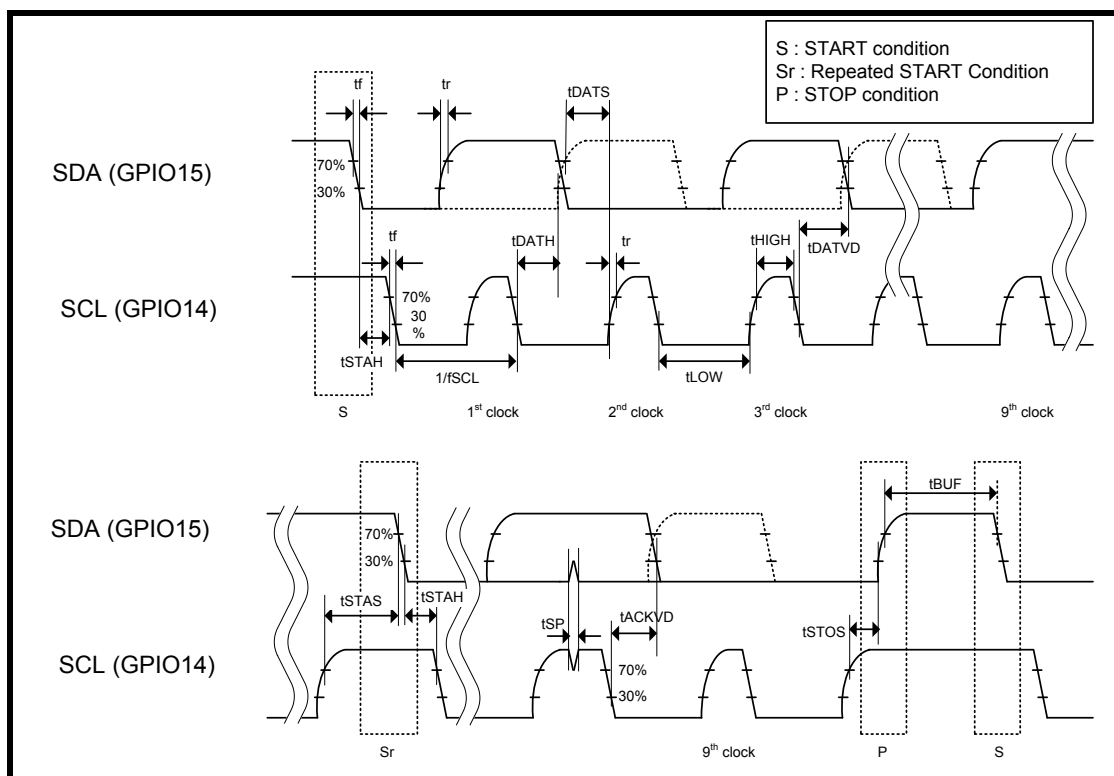


図 5-3 I<sup>2</sup>C インタフェース(ファーストモード)AC 特性

## 6. システム構成例

### 6.1. システム構成例

図 6-1 にシステム構成例を示します。

[Case]

Host interface=UART, Reference Clock= OSC Connection, external EEPROM connection

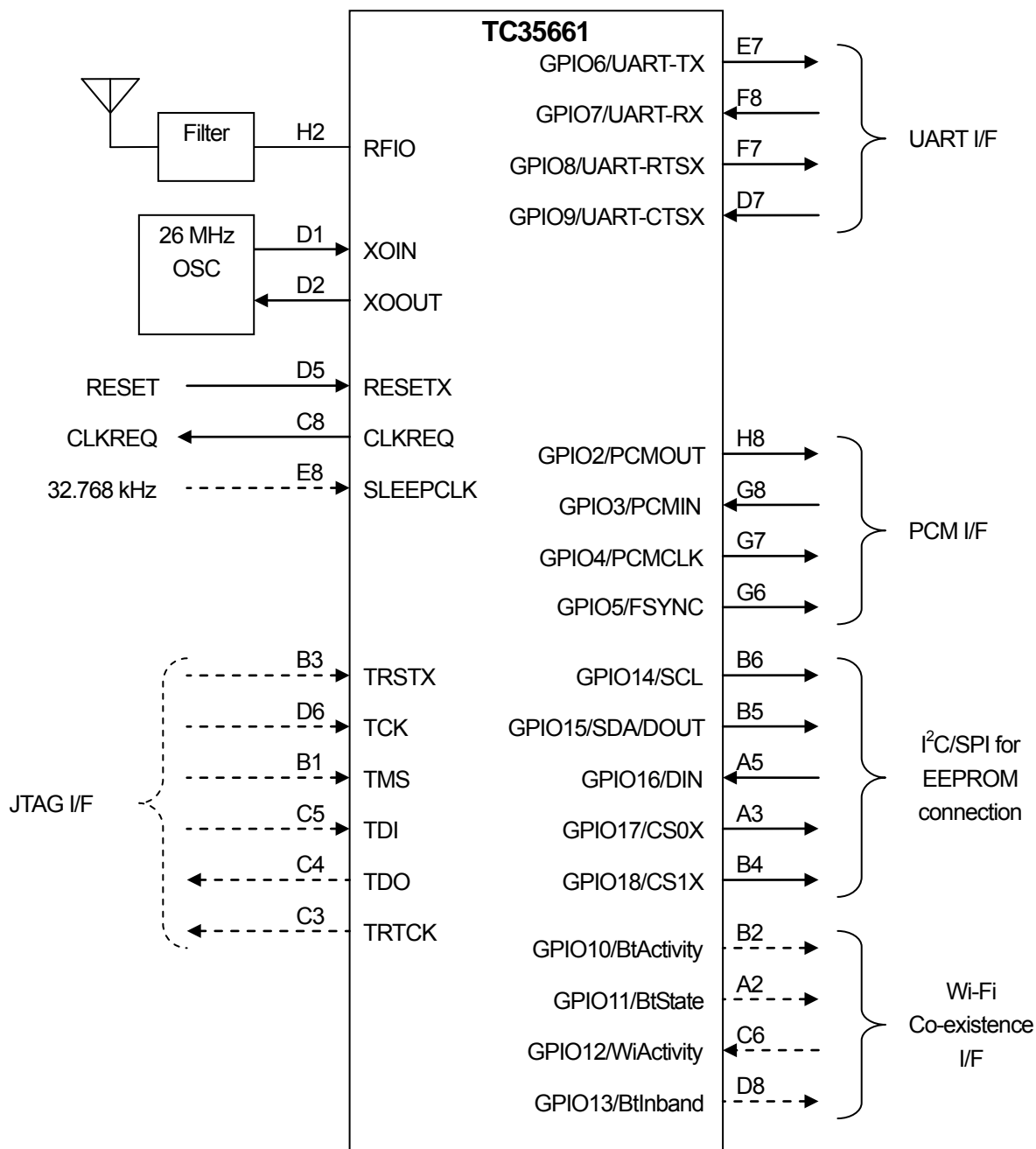


図 6-1 システム構成例

## 6.2. 応用回路例

応用回路例は、参考例であり、量産設計に際しては、十分な評価を行ってください。また、工業所有権の使用の許諾を行うものではありません。

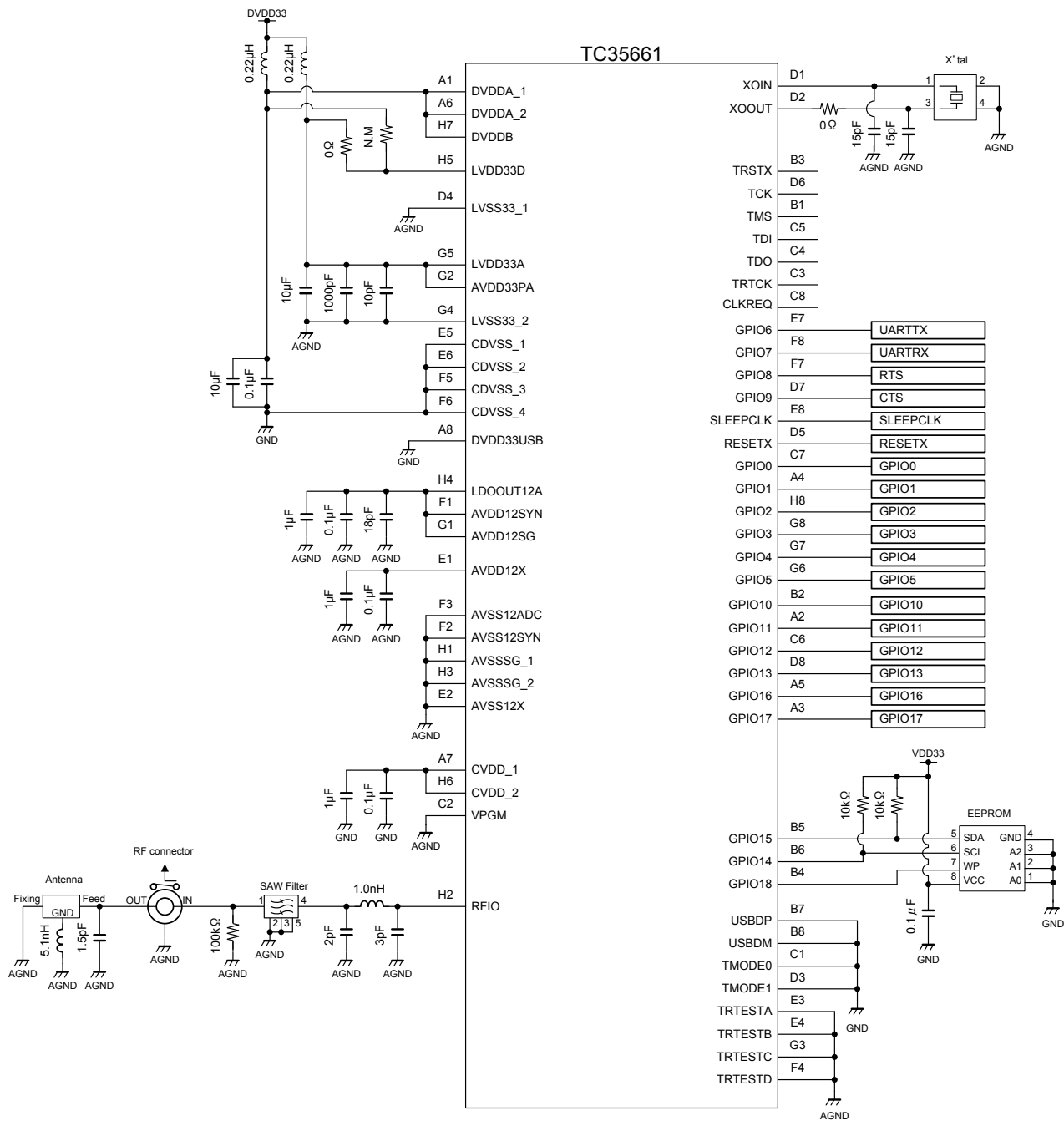


图 6-2 応用回路例

7. パッケージ

7.1. 外形寸法図

単位: mm

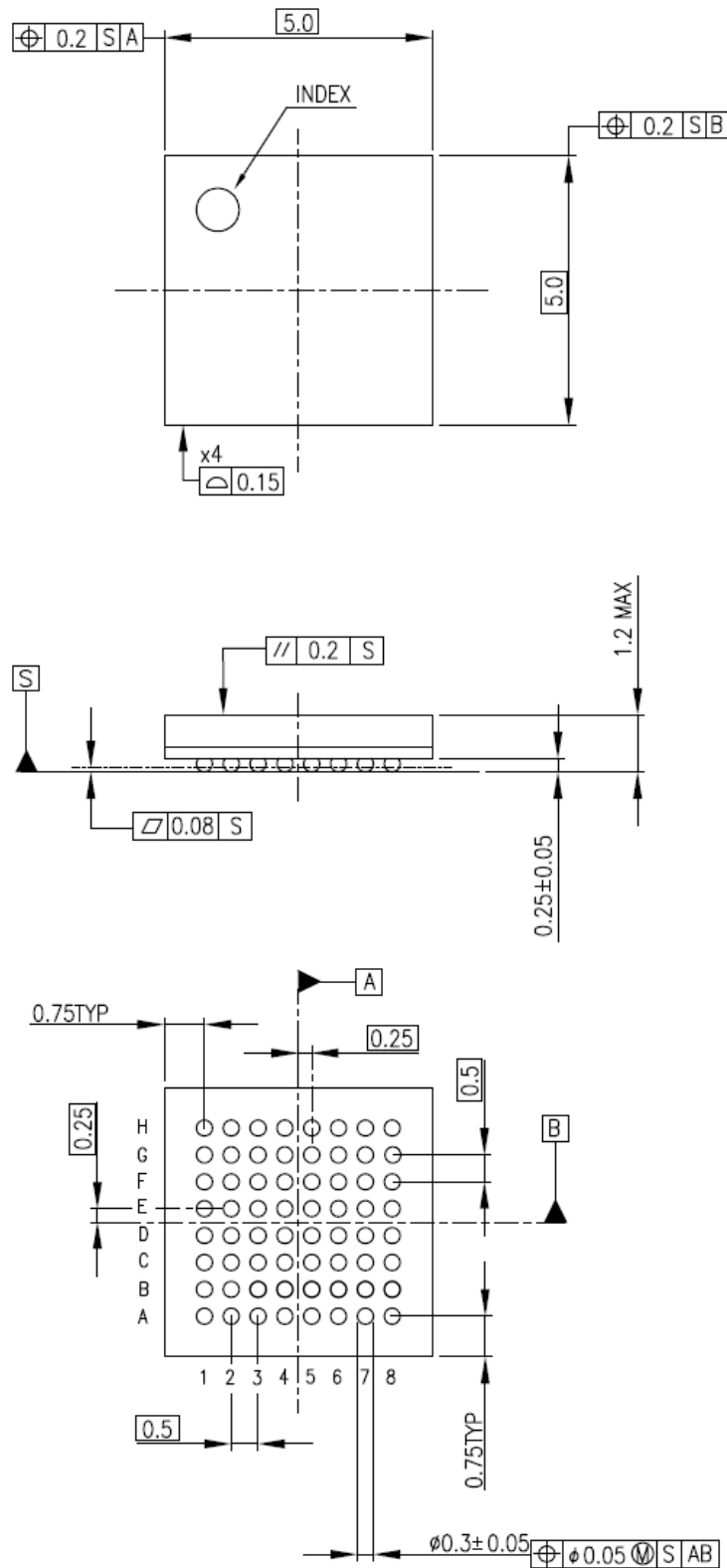


図 7-1 パッケージ外形図 (P-TFBGA64-0505-0.50)

質量: 0.049 g (標準)

注: 本図面は説明のための図です。図面上に表記されていない寸法などについては弊社担当までお問い合わせください。

## 製品取り扱い上のお願ひ

- 本資料に掲載されているハードウェア、ソフトウェアおよびシステム（以下、本製品という）に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品のRoHS適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。