

TC35679FSG-002 Bluetooth[®] low energy IC

Rev 1.20



ARM[®]

※ Bluetooth[®] のワードマークおよびロゴは、Bluetooth SIG, Inc.が所有する登録商標です。
※ ARM および Cortex は、ARM Limited (またはその子会社) の EU またはその他の国における登録商標です。

目次

| | | |
|----------|-----------------------------|----|
| 1. | 機能概要と特長 | 4 |
| 1.1. | 機能概要 | 4 |
| 1.2. | 機能特長 | 4 |
| 2. | 端子説明 | 5 |
| 2.1. | TC35679FSG 端子配置図 (Top View) | 5 |
| 2.2. | 端子機能説明 | 6 |
| 2.3. | GPIO 端子機能一覧 | 9 |
| 2.4. | 電源端子 | 11 |
| 3. | システム構成図 | 12 |
| 3.1. | 内部ブロックダイアグラム | 12 |
| 4. | 機能仕様 | 13 |
| 4.1. | Bluetooth [®] 機能 | 13 |
| 4.1.1. | サポート機能 | 13 |
| 4.1.2. | プロトコルレイヤについて | 14 |
| 4.1.3. | RF | 14 |
| 4.1.4. | オートアダプタイズ機能 | 14 |
| 4.2. | リセットインタフェース (電源シーケンス) | 15 |
| 4.2.1. | 特長 | 15 |
| 4.2.2. | 接続例 | 15 |
| 4.3. | UART インタフェース | 16 |
| 4.3.1. | 特長 | 16 |
| 4.3.2. | 接続例 | 16 |
| 4.3.3. | フレームフォーマット | 17 |
| 4.3.4. | フロー制御機能 | 17 |
| 4.3.5. | UART ポーレート | 18 |
| 4.3.6. | 送信メッセージ間スペーシング機能 | 18 |
| 4.3.7. | エラー検出機能 | 19 |
| 4.3.8. | ホストウェイクアップ機能 | 20 |
| 4.3.9. | HCI モード | 20 |
| 4.3.9.1. | HCI リセット | 20 |
| 4.4. | SPI インタフェース | 21 |
| 4.4.1. | 特長 | 21 |
| 4.4.2. | 接続例 | 21 |
| 4.4.3. | フレームフォーマット | 22 |
| 4.5. | I ² C インタフェース | 23 |
| 4.5.1. | 特長 | 23 |
| 4.5.2. | 接続例 | 23 |
| 4.5.3. | 外付け Pull-up 抵抗値の選択 | 24 |
| 4.5.4. | フレームフォーマット | 25 |
| 4.6. | PWM インタフェース | 26 |
| 4.6.1. | パルス生成機能 | 26 |
| 4.6.2. | リズム機能 (出力マスク) | 27 |
| 4.7. | ADC | 28 |
| 4.7.1. | 特長 | 28 |
| 4.7.2. | 機能説明 | 28 |
| 4.8. | 基本クロックインタフェース | 29 |

| | | |
|----------|---|----|
| 4.8.1. | 特長 | 29 |
| 4.8.2. | 水晶振動子接続例 | 29 |
| 4.9. | スリープクロックインタフェース | 30 |
| 4.9.1. | 水晶振動子接続例 | 30 |
| 4.9.2. | 外部発振器接続例 | 30 |
| 5. | 電気的特性 | 31 |
| 5.1. | 絶対最大定格 | 31 |
| 5.2. | 動作条件 | 32 |
| 5.3. | DC 電気的特性 | 33 |
| 5.3.1. | 消費電流 (設計値) | 33 |
| 5.4. | 内蔵レギュレータ特性 | 35 |
| 5.5. | ADC 特性 | 35 |
| 5.6. | RF 特性 | 36 |
| 5.7. | AC 電気的特性(設計値) | 38 |
| 5.7.1. | UART インタフェース | 38 |
| 5.7.2. | I ² C インタフェース | 39 |
| 5.7.2.1. | 標準モード | 39 |
| 5.7.2.2. | ファーストモード | 40 |
| 5.7.3. | SPI インタフェース | 41 |
| 6. | システム構成例 | 42 |
| 6.1. | ホスト CPU 接続の場合 | 42 |
| 6.2. | スタンドアロンの場合 | 43 |
| 7. | パッケージ | 44 |
| 7.1. | 外形寸法図 TC35679FSG-002 (P-VQFN40-0505-0.40-005/F01) | 44 |
| | 製品取り扱い上のお願い | 45 |

1. 機能概要と特長

1.1. 機能概要

TC35679FSG (以下 TC35679)は、2.4 GHz 無線通信 Bluetooth® V4.2 low energy 規格に準拠した IC です。RF 部と Baseband 部を内蔵し、Bluetooth® Core Spec の HCI (Host Control Interface)機能、low energy GATT Profile 機能を提供します。

TC35679 に不揮発メモリを接続することや、外部 Host Processor から制御することで、Bluetooth® low energy 通信を用いたアプリケーションが容易に実現できます。

1.2. 機能特長

- Bluetooth® Ver4.2 low energy 規格準拠
 - ◇ ARM® Cortex®-M0 内蔵 (13 MHz/26 MHz 動作周波数切り替え可能)
 - ◇ Bluetooth® プログラム用マスク ROM 内蔵 (384 KB)
 - ◇ Bluetooth® 通信処理用ワーク RAM 内蔵 (192 KB)
 - ◇ パッチプログラムローダ機能
- 汎用 IO (17 本)
- 汎用シリアルインタフェース
 - ◇ SPI インタフェース (1 ch、汎用 IO 兼用)
 - ◇ I²C インタフェース (1 ch、汎用 IO 兼用)
- ホストインタフェース
 - ◇ UART インタフェース (9600 bps~921.6 kbps、2 ch、汎用 IO 兼用)
 - ◇ SPI インタフェース
- エミュレータデバッグ制御インタフェース
 - ◇ SWD (Serial Wire Debug) 2 線式 (1 ch)
- ウェイクアップインタフェース (2 ch、汎用 IO 兼用)
 - ◇ スリープ、ディープスリープ解除用ウェイクアップ入力機能
- PWM インタフェース (4 ch、汎用 IO ピンに割り当て)
- 基本動作クロック入力 (26 MHz)
 - ◇ 発振子接続用発振回路内蔵
- スリープクロック入力 (32.768 kHz)
 - ◇ 外部入力対応
 - ◇ 発振子接続用発振回路内蔵
- 外部ホスト制御動作、およびスタンドアロン動作可能
(制御ソフトウェアの作成方法は、ソフトウェアアプリケーションノートとプログラミングガイドを参照ください)
- スリープ、ディープスリープ機能
- DCDC、LDO 内蔵
 - ◇ 幅広い電源電圧入力をサポート (電源電圧 1.8~3.6 V、電池用低電圧検出回路内蔵)
- AD コンバータ内蔵
 - ◇ 汎用電圧測定用 (5 ch、汎用 IO 兼用)
 - ◇ 電源電圧測定用 (1 ch、内部接続)
- 外付け無線フロントエンド接続制御
 - ◇ 無線送受信タイミング信号出力 (1 ch、汎用 IO 兼用)
- パッケージ:
 - ◇ TC35679FSG: QFN パッケージ[40 pin, 5 mm□, 0.4 mm ピッチ, 0.9 mm 厚]

2. 端子説明

2.1. TC35679FSG 端子配置図 (Top View)

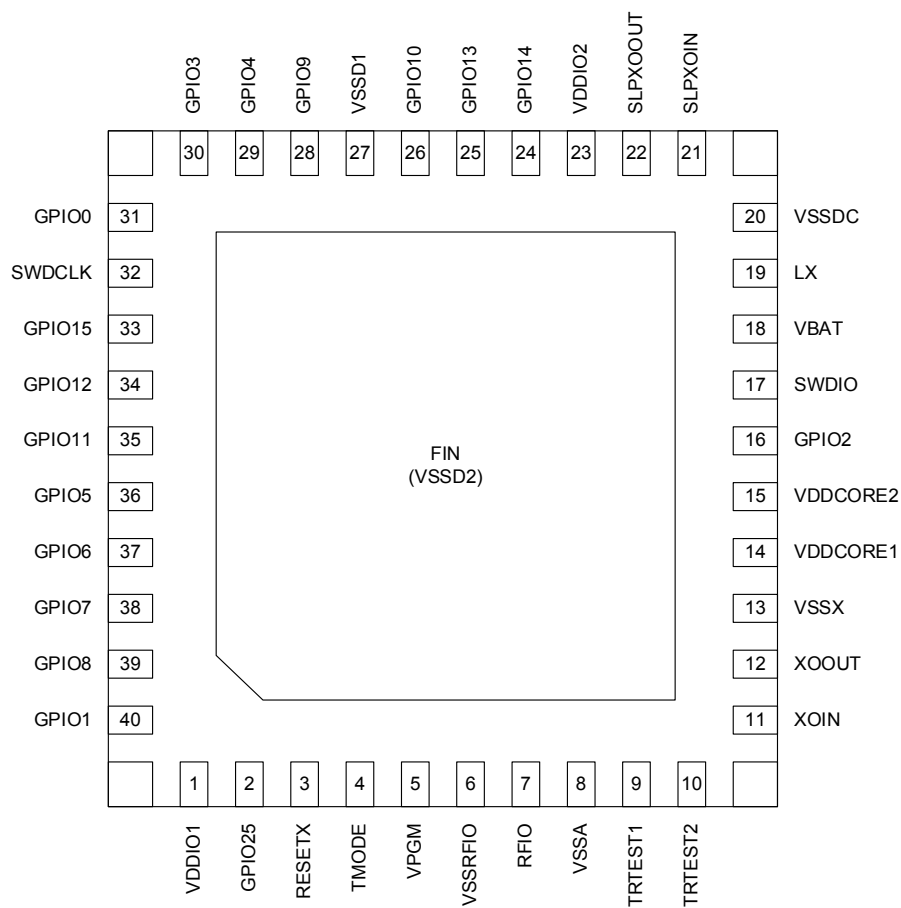


图 2-1TC35679FSG 端子配置图 (Top View)

2.2. 端子機能説明

各機能端子の属性や動作状態に応じた入出力状態や端子説明を表 2-1 に示します。

なお、各電源端子説明については、表 2-4 に示します。

表 2-1 機能端子説明

| 端子名 | 端子番号 | 属性 | 状態 | 説明 |
|-------------|------|------------------------|---------------|---|
| | | 電源分類 方向 タイプ | 初期状態 リセット中 | |
| リセットインタフェース | | | | |
| RESETX | 3 | VDDIO IN シュミットリガ | — | ハードウェアリセット端子 Low レベルでリセット状態となります。 |
| クロックインタフェース | | | | |
| XOIN | 11 | VDDCORE IN OSC | IN | 基本クロック発振用入力端子です。 周波数 26.0 MHz、精度±50 ppm 以内の発振子を使用してください。XOIN 端子と XOOOUT 端子の間に帰還抵抗、水晶発振回路にはパラメータ設定が可能なキャパシタアレイが内蔵されていますので、外部に帰還抵抗や容量の接続は不要です。 |
| XOOOUT | 12 | VDDCORE OUT OSC | OUT | 基本クロック発振用出力 (帰還)端子です。 XOIN 端子と XOOOUT 端子の間に帰還抵抗、水晶発振回路にはパラメータ設定が可能なキャパシタアレイが内蔵されていますので、外部に帰還抵抗や容量の接続は不要です。 |
| SLPXOIN | 21 | VDDIO IN OSC | IN | 発振子によるスリープクロック発振用入力端子です。 周波数 32.768 kHz、精度±500 ppm 以内のクロック発振子を使用してください。 SLPXOIN 端子と SLPXOOOUT 端子の間に帰還抵抗、水晶発振回路にはパラメータ設定が可能なキャパシタアレイが内蔵されていますので、外部に帰還抵抗や容量の接続は不要です。クロックを外部から供給する場合は、この端子から入力することができます。水晶発振回路を使用しない場合や、外部からクロックを供給しない場合は、端子を GND に接続してください。 |
| SLPXOOOUT | 22 | VDDIO IN/OUT OSC | OUT | 発振子による発振用出力端子です。 SLPXOIN 端子と SLPXOOOUT 端子の間に帰還抵抗、水晶発振回路にはパラメータ設定が可能なキャパシタアレイが内蔵されていますので、外部に帰還抵抗や容量の接続は不要です。水晶発振回路を使用しない場合や、外部からクロックを供給しない場合は、端子を GND に接続してください。 |

| 端子名 | 端子番号 | 属性 | 状態 | 説明 |
|------------|------|--|---------------|---|
| | | 電源分類 方向 タイプ | 初期状態 リセット中 | |
| RF インタフェース | | | | |
| RFIO | 7 | VDDCORE IN/OUT Analog | — | RF 信号入出力端子 本製品は 50 Ω マッチング回路が内蔵されており、外部にマッチング回路は不要です。 RF 出力のパターンは 50 Ω 伝送線路で配線してください。詳細は本製品のハードウェアアプリケーションノートを参考にしてください。 |
| 汎用 IO ポート | | | | |
| GPIO0 | 31 | VDDIO IN/OUT プルアップ/ プルダウン抵抗 シュミットトリガ | ハイインピーダンス | 汎用 I/O 端子 リセット中は Pull-up / Pull-Down 抵抗が Off の入力 Disable 状態となります。リセット解除直後も同じ状態が継続し、以後はソフトウェアにより制御されます。ソフトウェア処理による端子コンフィグレーション後、表 2-2 に示す機能端子、または、入力・出力の GPIO 端子として動作させることが可能です。 本機能を使用しない場合の端子処理は、表 2-2 を参照ください。(注) |
| GPIO1 | 40 | VDDIO | プルアップ | 汎用 I/O 端子 |
| GPIO2 | 16 | IN/OUT | | リセット中は Pull-up 抵抗が on の入力 Disable 状態となります。リセット解除直後は Pull-up 抵抗が on の入力状態となり、以後はソフトウェアにより制御されます。ソフトウェア処理による端子コンフィグレーション後、表 2-2 に示す機能端子、または、入力・出力の GPIO 端子として動作させることが可能です。 |
| GPIO5 | 36 | プルアップ/ プルダウン抵抗 | | 本機能を使用しない場合の端子処理は、表 2-2 を参照ください。 |
| GPIO6 | 37 | プルダウン抵抗 | | なお、GPIO1 は、動作モードを切り換える条件に用いられます。(注) |
| GPIO7 | 38 | シュミットトリガ | | |
| GPIO8 | 39 | | | |
| GPIO11 | 35 | | | |
| GPIO12 | 34 | | | |
| GPIO25 | 2 | | | |
| GPIO3 | 30 | VDDIO | ハイインピーダンス | ADC 入力・汎用 I/O 端子 |
| GPIO4 | 29 | IN/OUT | | リセット中は Pull-up / Pull-Down 抵抗が Off の入力 Disable 状態となります。リセット解除直後も同じ状態が継続し、以後はソフトウェアにより制御されます。ソフトウェア処理による端子コンフィグレーション後、Pull-up/ Pull-Down 抵抗の設定と、汎用 ADC チャンネル端子、または入力・出力の GPIO 端子を選択して動作させることが可能です。 |
| GPIO9 | 28 | プルアップ/ プルダウン抵抗 | | 本機能を使用しない場合の端子処理は、表 2-2 を参照してください。(注) |
| GPIO10 | 26 | プルダウン抵抗 | | |
| GPIO14 | 24 | シュミットトリガ | | |

| 端子名 | 端子番号 | 属性 | 状態 | 説明 |
|---------------|------|--|---------------|---|
| | | 電源分類 方向 タイプ | 初期状態 リセット中 | |
| GPIO13 | 25 | VDDIO IN/OUT プルアップ/ プルダウン抵抗 シュミットトリガ | プルアップ | 汎用 I/O 端子 リセット中は Pull-up 抵抗が on の入力 Disable 状態となります。リセット解除直後は Pull-up / Pull-Down 抵抗が Off の入力 Disable 状態となり、以後はソフトウェアにより制御されます。ソフトウェア処理による端子コンフィグレーション後、表 2-2 に示す機能端子、または、入力・出力の GPIO 端子として動作させることが可能です。(注) |
| GPIO15 | 33 | VDDIO IN/OUT プルアップ/ プルダウン抵抗 シュミットトリガ | ハイインピーダンス | 汎用 I/O 端子 リセット中は Pull-up / Pull-Down 抵抗が Off の入力 Disable 状態となります。リセット解除直後に Pull-up 抵抗が on の入力状態となり、以後はソフトウェアにより制御されます。ソフトウェア処理による端子コンフィグレーション後、表 2-2 に示す機能端子、または、入力・出力の GPIO 端子として動作させることが可能です。 本機能を使用しない場合の端子処理は、表 2-2 を参照ください。(注) |
| デバッグインタフェース | | | | |
| SWDCLK | 32 | VDDIO IN プルアップ/ プルダウン抵抗 シュミットトリガ | プルダウン | シリアルワイヤデバッグクロック端子 リセット中は Pull-down 抵抗が On し、入力状態となります。リセットが解除された後、シリアルワイヤデバッグクロックの入力となります。 本機能を使用しない場合、端子はオープン処理をしてください。 |
| SWDIO | 17 | VDDIO IN/OUT プルアップ/ プルダウン抵抗 シュミットトリガ | プルアップ | シリアルワイヤデバッグデータ端子、および動作モード切り換え端子 リセット中は Pull-up 抵抗が On し、入力状態となります。リセットが解除された後、シリアルワイヤデバッグデータの入出力となります。 本機能を使用しない場合、端子はオープン処理をしてください。 |
| IC テストインタフェース | | | | |
| TMODE | 4 | VDDIO IN シュミットトリガ | — | テスト設定端子 IC 製造テストで使用します。基板実装時には GND 固定処理をしてください。 |
| TRTEST1 | 9 | VDD12A | — | アナログ用テスト端子 |
| TRTEST2 | 10 | IN/OUT Analog | — | IC 製造テストで使用します。基板実装時には GND 固定処理をしてください。 |

注: GPIO 端子の状態はユーザアプリケーションモードで使用している場合の状態を示します。HCI モードで立ち上げる場合は一部状態が異なりますので、各端子の詳細な状態とその設定方法についてはソフトウェアアプリケーションノートを参照ください。

2.3. GPIO 端子機能一覧

GPIO 端子の機能は、ROM に実装されているファームウェアや、外部ホストからのコマンドによって、UART インタフェース、シリアルメモリインタフェースなどに割り当てられます。表 2-2 に各 GPIO 端子の設定可能な機能、未使用時の端子処理一覧、表 2-3 に各機能設定例を示しますので参照ください。

表 2-2 に示した機能名が同一で複数のピンに割り当てられているものについて、同時に複数のピンを選択して割り当てることはできませんのでご注意ください。

表 2-2 GPIO 機能多重化表

| 端子名 | 機能 1 | 機能 2 | 機能 3 | 機能 4 | アナログ 入力 | 未使用時 端子処理 |
|--------|---------------|-------------|----------------|------------------|------------|--------------|
| GPIO0 | WakeUp0 入力 | — | — | — | — | オープン処理 |
| GPIO1 | PWM0 出力 | — | — | — | — | オープン処理(注) |
| GPIO2 | PWM1 出力 | — | — | — | — | オープン処理 |
| GPIO3 | PWM2 出力 | SPI-DOUT 出力 | — | — | ADC1 入力 | オープン処理 |
| GPIO4 | PWM3 出力 | SPI-DIN 入力 | — | — | ADC2 入力 | オープン処理 |
| GPIO5 | UART1-TX 出力 | SPI-DOUT 出力 | — | — | — | オープン処理 |
| GPIO6 | UART1-RX 入力 | SPI-DIN 入力 | — | — | — | オープン処理 |
| GPIO7 | I2C-SCL 出力 | UART2-TX 出力 | SPI-SCS 出力 | UART1-RTSX 出力 | — | オープン処理 |
| GPIO8 | I2C-SDA 入出力 | UART2-RX 入力 | SPI-SCLK 出力 | UART1-CTS 入力 | — | オープン処理 |
| GPIO9 | — | — | — | — | ADC3 入力 | オープン処理 |
| GPIO10 | — | — | — | — | ADC4 入力 | オープン処理 |
| GPIO11 | I2C-SCL 出力 | SPI-DOUT 出力 | — | — | — | オープン処理 |
| GPIO12 | I2C-SDA 入出力 | SPI-DIN 入力 | — | — | — | オープン処理 |
| GPIO13 | UART1-RTSX 出力 | — | — | — | — | オープン処理 |
| GPIO14 | UART1-CTS 入力 | — | — | — | ADC5 入力 | オープン処理 |
| GPIO15 | WakeUp1 入力 | — | — | — | — | オープン処理 |
| GPIO25 | — | — | — | — | — | オープン処理 |

注: 動作モードの切り換え端子として用いられるため、注意が必要です。

表 2-3 GPIO 機能設定例一覧

| 端子名 | 基本 設定例 | SPI 未使用 設定例 | SPI+I ² C 設定例 | UART2 線+SPI+ I ² C 設定例 |
|--------|------------------------|------------------------|-----------------------------|--------------------------------------|
| GPIO0 | WakeUp0 | WakeUp0 | WakeUp0 | WakeUp0 |
| GPIO1 | PWM0 | PWM0 | PWM0 | PWM0 |
| GPIO2 | PWM1 | PWM1 | PWM1 | PWM1 |
| GPIO3 | SPI-DOUT | PWM2 | PWM2 | SPI-DOUT |
| GPIO4 | SPI-DIN | ADC2 | PWM3 | SPI-DIN |
| GPIO5 | UART1-TX | UART1-TX | SPI-DOUT | UART1-TX |
| GPIO6 | UART1-RX | UART1-RX | SPI-DIN | UART1-RX |
| GPIO7 | SPI-SCS | UART1-RTSX | SPI-SCS | SPI-SCS |
| GPIO8 | SPI-SCLK | UART1-CTS _X | SPI-SCLK | SPI-SCLK |
| GPIO9 | ADC3 | ADC3 | ADC3 | ADC3 |
| GPIO10 | ADC4 | ADC4 | ADC4 | ADC4 |
| GPIO11 | I ² C-SCL | I ² C-SCL | I ² C-SCL | I ² C-SCL |
| GPIO12 | I ² C-SDA | I ² C-SDA | I ² C-SDA | I ² C-SDA |
| GPIO13 | UART1-RTSX | GPIO13 | GPIO13 | GPIO13 |
| GPIO14 | UART1-CTS _X | ADC5 | ADC5 | ADC5 |
| GPIO15 | WakeUp1 | WakeUp1 | WakeUp1 | WakeUp1 |
| GPIO25 | GPIO25 | GPIO25 | GPIO25 | GPIO25 |

注: 本設定例以外の設定についても可能な場合がありますので、詳細はファームウェア仕様書をご確認ください。

2.4. 電源端子

各電源端子の属性や通常動作時の電圧を表 2-4 に示します。

表 2-4 電源端子説明

| 端子名 | 端子番号 | 属性 | 説明 |
|----------|------|-----------------|---|
| | | 電源分類 VDD/GND | |
| | | | 電源・グラウンド |
| VPGM | 5 | TEST — | IC 製造テスト用電源端子 GND に接続してください。 |
| VBAT | 18 | VBAT VDD | DCDC 用電源、スリープ回路電源端子 IC 内蔵 DCDC、内蔵 LDO 用の外部電源を接続してください。 |
| LX | 19 | VBAT VDD | DCDC 出力端子 DCDC 用の外部コイルに接続してください。 |
| VDDCORE1 | 14 | — VDD | DCDC 用フィードバック入力、アナログ回路電源端子 DCDC 用の外部コイルに接続してください。 |
| VDDCORE2 | 15 | — VDD | DCDC 用フィードバック入力、デジタル回路電源端子 DCDC 用の外部コイルに接続してください。 |
| VDDIO1 | 1 | VDDIO | IO 電源端子 |
| VDDIO2 | 23 | VDD | GPIO 端子用の電源電圧を印加してください。 |
| VSSA | 8 | Analog GND | Analog 用グラウンド GND に接続してください。 |
| VSSRFIO | 6 | Analog GND | RFIO 用グラウンド GND に接続してください。 |
| VSSX | 13 | Analog GND | OSC 用グラウンド GND に接続してください。 |
| VSSDC | 20 | Digital GND | DCDC 用グラウンド GND に接続してください。 |
| VSSD1 | 27 | Analog、Digital | Analog、Digital 共用グラウンド |
| VSSD2 | FIN | GND | GND に接続してください。 パッケージ下部の露出したダイパッドも GND に接続してください。 |

3. システム構成図

3.1. 内部ブロックダイアグラム

TC35679 内部ブロックダイアグラムおよび周辺 IC との接続構成例を図 3-1 に示します。

TC35679 は外部から 1.8 V~3.6 V の単一の電源供給を必要とします。

DCDC および LDO を内蔵しており、外付けコンデンサの接続を必要とします。

基本動作クロックは 26 MHz、スリープクロックは 32.768 kHz を使用します。

外部メモリとの接続は SPI あるいは I²C インタフェースを、ホスト CPU インタフェースは UART を使用します。

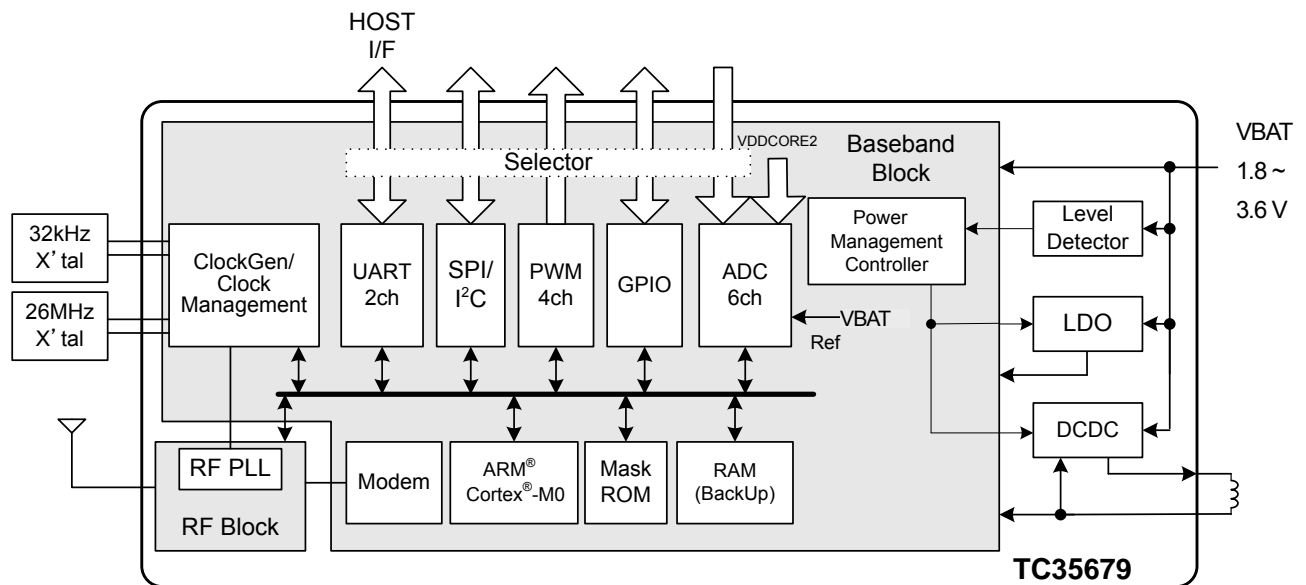


図 3-1 TC35679 内部ブロックダイアグラムと周辺部品接続例

4. 機能仕様

4.1. Bluetooth® 機能

RF回路やベースバンドで構成されるハードウェアと、マスクROM上のソフトウェアでBluetooth®機能を実現します。外部に水晶振動子と幾つかのディスクリート部品を接続するだけで、Bluetooth®による無線通信を行うことが可能です。

4.1.1. サポート機能

Bluetooth® V4.2 low energy 規格に準拠します。主なサポート機能を下記に示します。

表 4-1 サポート機能一覧

| Items | Description | Notes |
|---|--|------------------|
| Bluetooth® Core | 4.2 | LE is supported. |
| v4.0 features | Central | Supported |
| | Peripheral | Supported |
| | Multi Profile/point | Supported |
| | Connection Update | Supported |
| | Random Address | Supported |
| | WhiteList | Supported |
| | Security Property (Just Works) | Supported |
| | Security Property (PassKey Entry) | Supported |
| | Security Property (OOB) | Supported |
| | Security Property (Numeric Comparison) | Supported |
| | GATT-Client | Supported |
| | GATT-Server | Supported |
| | Broadcaster | Supported |
| | Observer | Supported |
| v4.1 features | Low Duty Cycle Directed Advertising | Supported |
| | 32-bit UUID support in LE | Supported |
| | LE L2CAP Connection Oriented Channel Support | Supported |
| | LE Privacy v1.1 | Supported |
| | Connection Parameter Request Procedure | Supported |
| | Extended Reject Indication | Supported |
| | Slave-initiated Features Exchange | Supported |
| | LE Ping | Supported |
| | Act as LE Master and LE Slave at the same time | Supported |
| Act as LE Slave to more than one LE Master at the same time | Supported | |
| v4.2 features | LE Data Packet Length Extension | Supported |
| | LE Secure Connections | Supported |
| | Link Layer Privacy | Supported |
| | Link Layer Extended Scanner Filter Policies | Supported |

4.1.2. プロトコルレイヤについて

下記に Bluetooth プロトコルとプロファイルレイヤを示します。RF control, Link layer, internal HCI, L2CAP, ATT, SMP, GATT のレイヤをサポートします。

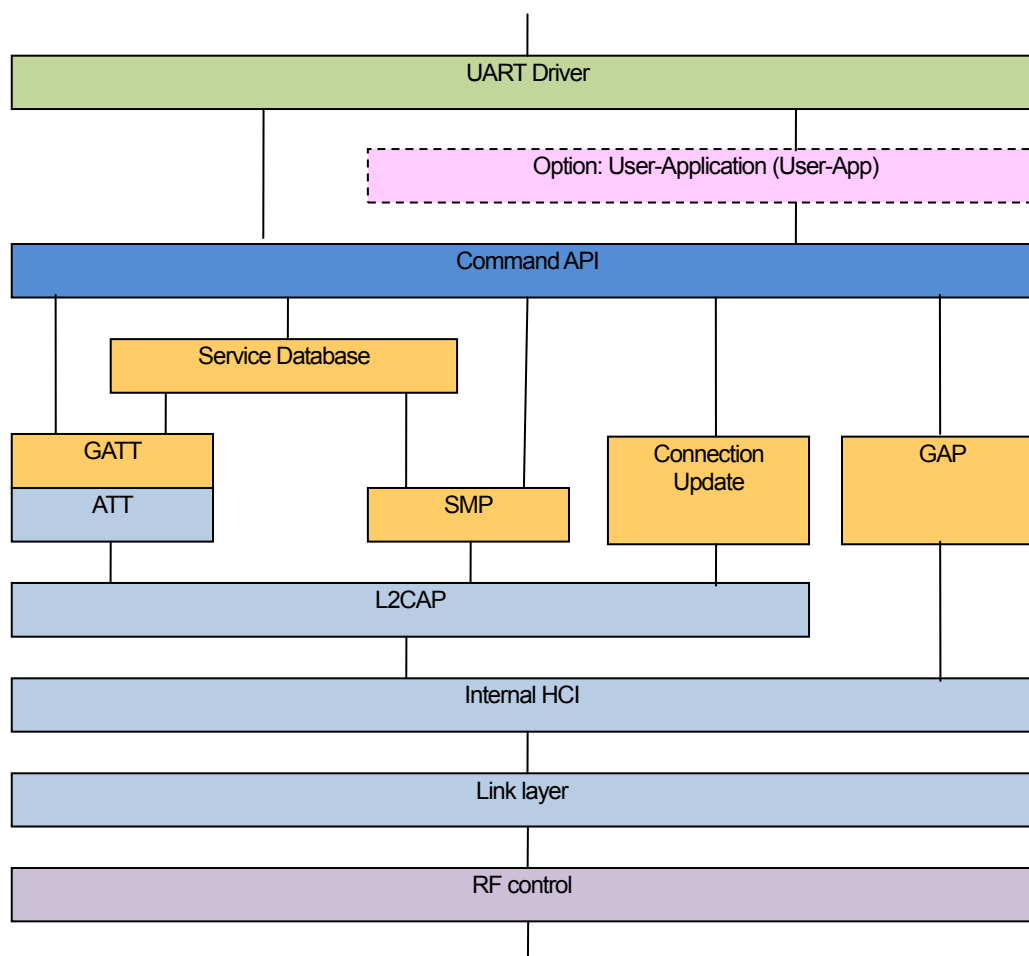


図 4-1 プロトコルレイヤ

4.1.3. RF

TC35679 の RF 部は送受信回路だけでなく、バランや RF スイッチ、さらに整合回路も内蔵していますので、シングル入出力の RFIO 端子は外部に整合回路を必要としません。50 Ω の配線に接続していただくことで、Bluetooth[®] low energy の RF PHY スペックに適合する無線機を容易に実現できます。

送信電力は、0 ~ -20 dBm (4 dB ステップ)の間の所望の電力を選択できます。デフォルトの送信電力だけでなく、特定の接続相手に対する送信電力を設定できます。受信部の RSSI は、-90 ~ -10 dBm の入力信号に対して±2 dB (標準)の精度を有します。

4.1.4. オートアドバタイズ機能

オートアドバタイズ機能をご使用いただくと、非常に小さい電力でアドバタイズパケットの送信を繰り返すことができます。オートアドバタイズ機能は、Backup モードで CPU を起こさずに所望のアドバタイズパケットを送信する機能で、その際にスキャン要求や接続要求を受信することも可能です。スキャン要求受信時のリモートデバイスへの応答は事前に設定でき、一方接続要求を受信すると CPU を起こして、ユーザソフトウェアにその後の処理を委ねる機能になっています。

4.2. リセットインタフェース (電源シーケンス)

4.2.1. 特長

リセットインタフェースは下記特長を持っています。

- 1.8~3.6 V 動作
- レベルセンシティブな非同期リセット (Lowレベルでリセット状態となる)

TC35679 に接続する外部リセット信号は、電源投入時はリセット状態 (RESETX=Low) を保持し、電源の供給が 1.8 V 以上に達して安定したのちに解除 (RESETX=High) してください。その後、水晶振動子の発振を開始し、IC 内部のタイマにより水晶振動子の発振安定時間経過後に内部リセットが解除されます。

4.2.2. 接続例

リセット信号は RC 時定数回路で電源から供給、あるいはレベルセンシティブな非同期リセット機能を持つ IC と接続可能です。RC 時定数回路で電源から供給する接続例を図 4-2 に示します。電源に対するリセット解除・リセットタイミングを図 4-3 に示します。

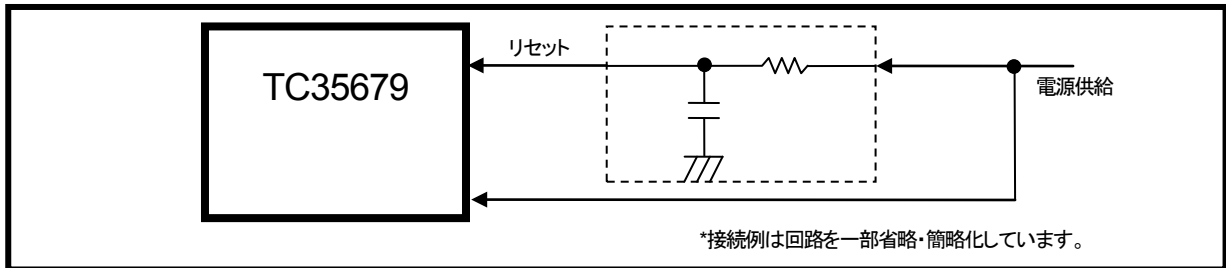


図 4-2 リセット信号接続例

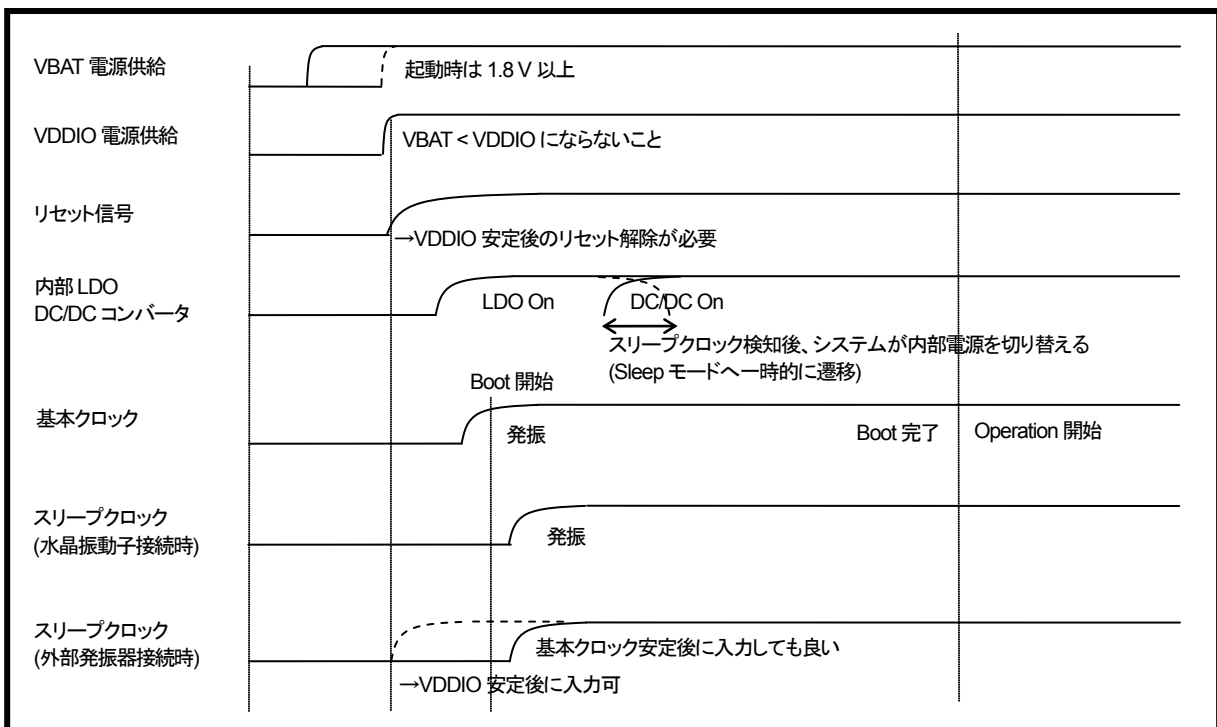


図 4-3 電源オン時のリセット解除

4.3. UART インタフェース

4.3.1. 特長

UART インタフェースは以下の特長があります。

- 1.8~3.6 V 動作
- 全 2 重、4 線調歩同期転送 (受信データ、送信データ、受信フロー制御、送信フロー制御)
- 設定により、2 線式調歩同期転送 (受信データ、送信データ)、4 線式調歩同期転送 (受信データ、送信データ、受信フロー制御、送信フロー制御) のいずれかを選択可能です。
- Start bit field (1 bit)、Data bit field (8 bits LSB first)、Stop bit field (1 bit)、No parity bit
- HCI モードでは、UART 送受信データ端子をコマンドにより切り替えることが可能です。(UART2 機能)
- プログラマブルボーレート設定 (9600 bps~921.6 kbps)
- 送信メッセージと送信メッセージの間に 3 キャラクタ (以上) の隙間を挿入します。この間隔はコマンドで変更可能です。
- エラー検出機能 (受信タイムアウトエラー、受信オーバーランエラー、受信フレームエラー)
- ホストウェイクアップ機能

TC35679 は、UART インタフェースを介して、ホスト CPU とコマンド、ステータス、データを通信します。

UART インタフェースの端子は GPIO 端子と兼用になっており、リセット解除後の Boot プロセス過程で、内蔵ファームウェアが UART インタフェースとして機能するように GPIO 端子を割り付けます。

VDDIO 供給電源電圧に応じて 1.8~3.6 V 動作が可能です。ただし、他のハードウェアインタフェースと電源供給口を共用しているため、UART インタフェース単独で異なる動作電圧でのご使用はできません。

4.3.2. 接続例

UART インタフェースは UART 機能を持つホスト CPU と接続可能です。2 線式調歩同期転送 (受信データ、送信データ)でのホスト CPU との接続例を図 4-4 に示します。GPIO 端子の UART 機能割付けのタイミングを図 4-5 に示します。

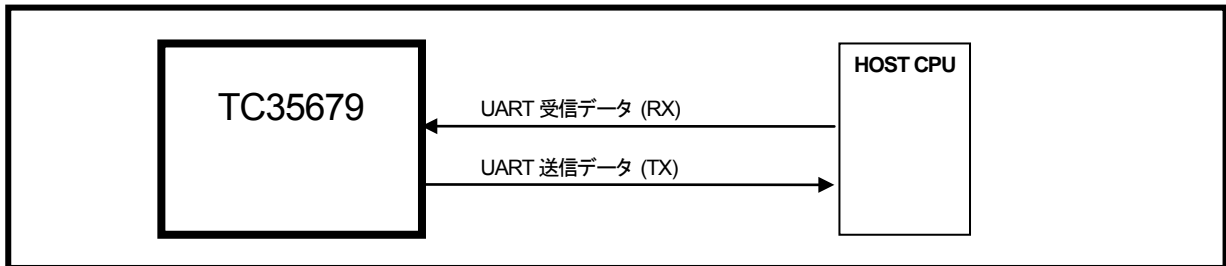


図 4-4 UART 接続例

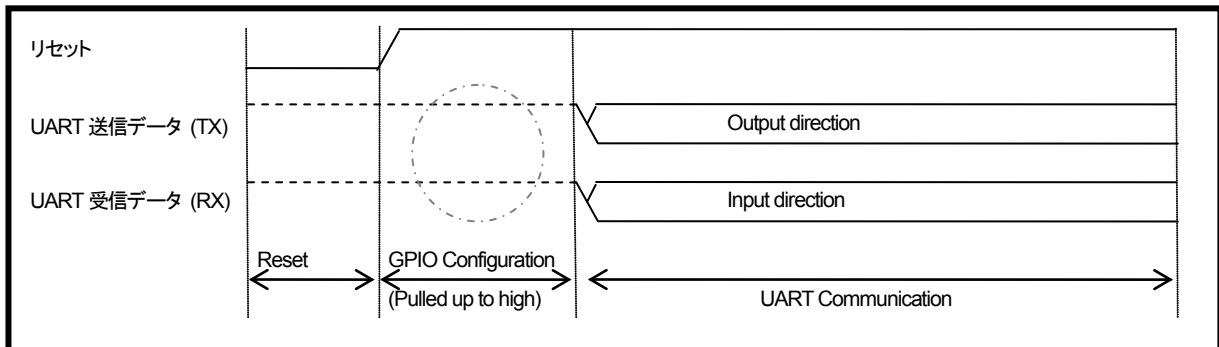


図 4-5 UART 機能割り付けタイミング

4.3.3. フレームフォーマット

TC35679 でサポートされるフォーマットは、下記となります。

- Number of data bits: 8 bits (LSB first)
- Parity bit: no parity
- Stop bit: 1 stop bit
- Flow control: RTSX / CTSX

UART データフレームを図 4-6 に示します。

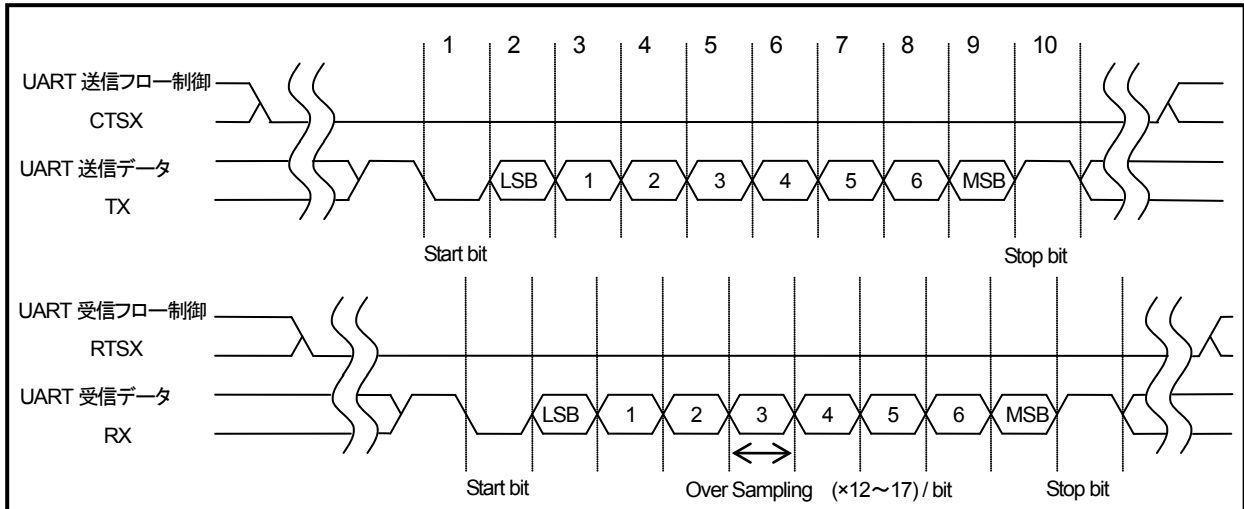


図 4-6 UART データフレーム

4.3.4. フロー制御機能

TC35679 の UART 通信を GPIO5 ~ 8(GPIO5 ~ 6, 13 ~ 14)へ 4 線式(UART1)のインタフェースに割り当てた場合に、ハードウェア信号によるフロー制御機能を使用可能です。送信フロー制御信号(CTS_X)と受信フロー制御信号(RTS_X)です。これらの信号の入出力方向は、図 4-7 を参照してください。

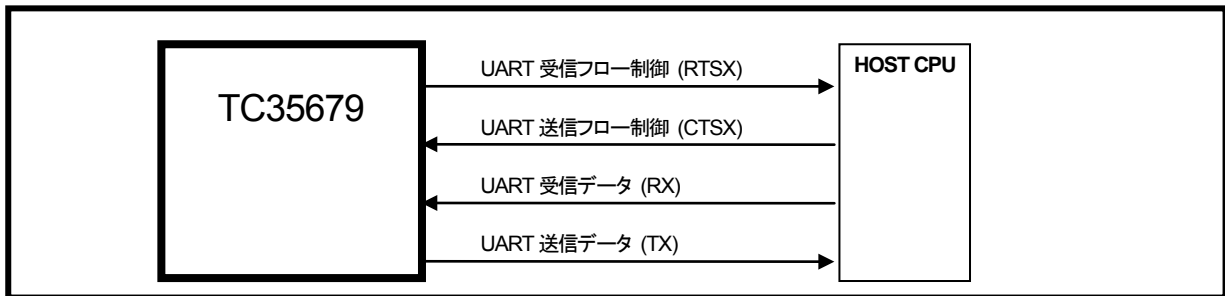


図 4-7 UART 接続例

CTS_X(Clear to Send)入力信号は、TC35679 が UART 送信するときに用います。Lowレベルの入力は、相手の UART デバイス(図の例ではホスト CPU)がデータ受信の準備を完了させたことを示しますが、このとき TC35679 は、送信すべきデータを有すれば、UART 送信します。一方、Highレベルが入力された場合には、TC35679 は、UART フレームの単位で、送信を停止させます。

RTS_X(Request to Send)出力信号は、TC35679 が UART 受信するときに用います。Lowレベルの出力は、相手の UART デバイス(図の例ではホスト CPU)に対してデータ送信を要求することを示します。TC35679 は、データ受信が可能な状態になると、RTS_X から Lowレベルを出力し UART 受信に備えます。データ受信が不可能なビジー状態になると Highレベルを出力して、UART のフレーム単位で UART 通信を停止させます。

フロー制御信号に対する UART 送受信のレスポンスタイムは、ポーレートやフレームの内部処理状態に依存し、最小1フレームから、最大4フレームの間となります。

4.3.5. UART ボーレート

TC35679 の UART ボーレートは、26 MHz クロックから生成され、オーバーサンプリング数と分周比の選択に応じ、下式に基づいて計算されます。

$$UART \text{ボーレート} = \frac{\text{ボーレート生成クロック周波数}}{\text{オーバーサンプリング数} \times \text{分周比}}$$

TC35679 で対応可能な理想ボーレートを表 4-2 に示します。

表 4-2 代表的な UART ボーレート設定

| 理想ボーレート [bps] | 実ボーレート [bps] | オーバーサンプリング数 | 分周比 |
|---------------|--------------|-------------|-----|
| 9600 | 9587.021 | 12 | 226 |
| 14400 | 14396.46 | 14 | 129 |
| 19200 | 19174.04 | 12 | 113 |
| 28800 | 28856.83 | 17 | 53 |
| 38400 | 38461.54 | 13 | 52 |
| 57600 | 57777.78 | 15 | 30 |
| 76800 | 76923.08 | 13 | 26 |
| 115200 | 115555.6 | 15 | 15 |
| 153600 | 153846.15 | 13 | 13 |
| 230400 | 232142.9 | 16 | 7 |
| 307200 | 305882.4 | 17 | 5 |
| 460800 | 464285.7 | 14 | 4 |
| 921600 | 928571.4 | 14 | 2 |

注: 理想ボーレートと実ボーレートの誤差は 1% 以内に設定してください。

4.3.6. 送信メッセージ間スペーシング機能

TC35679 は、複数の送信フレームがひとつの UART 送信メッセージを構成している場合、ひとつの UART 送信メッセージを構成する送信フレームと送信フレームの間隔は 12 フレーム時間未満とし、異なる UART 送信メッセージ間の送信フレームと送信フレームの間隔は 12 フレーム時間以上とします。

ホスト CPU は、送信フレームと送信フレームの時間間隔を計測することで送信メッセージの境界を判定することが可能です。

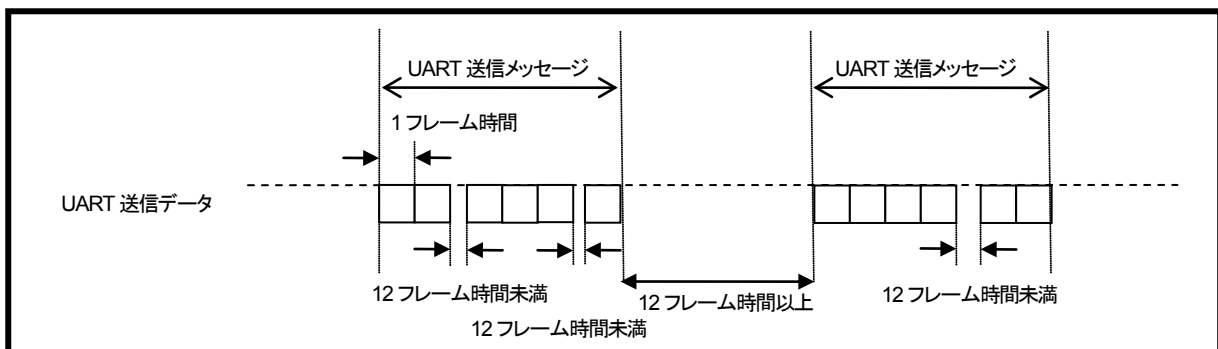


図 4-8 送信フレームと送信メッセージ

4.3.7. エラー検出機能

TC35679 の UART インタフェースには 3 種類のエラー検出機能があります。

- 受信タイムアウトエラー
- 受信オーバーランエラー
- 受信フレームエラー

受信タイムアウトエラーは、複数の受信フレームがひとつの UART 受信メッセージを構成している場合、その UART 受信メッセージに関して、TC35679 内部のタイマで測定された受信フレーム間隔が一定時間以上になった場合にエラーと検出させるものです。

ひとつの UART 受信メッセージを構成する受信フレームと受信フレームの間隔は 12 フレーム時間未満としてください。

異なる UART 受信メッセージの間隔は、UART1 の場合 12 フレーム時間以上としてください。例えば 115200 bps の場合は、1 フレーム時間が 0.087 ms なので、 $(0.087 \text{ ms} \times 12) = 1.04 \text{ ms}$ 以上となります。異なる UART 受信メッセージの間隔が 12 フレーム時間未満の場合、TC35679 はそれらを 1 つの UART 受信メッセージとみなすため、エラーとなります。受信フレームの間隔はデフォルトで 12 フレーム時間ですが、コマンドにより変更可能です。

一方、UART2 の場合、異なる UART 受信メッセージの間隔は 14 ms 以上としてください。

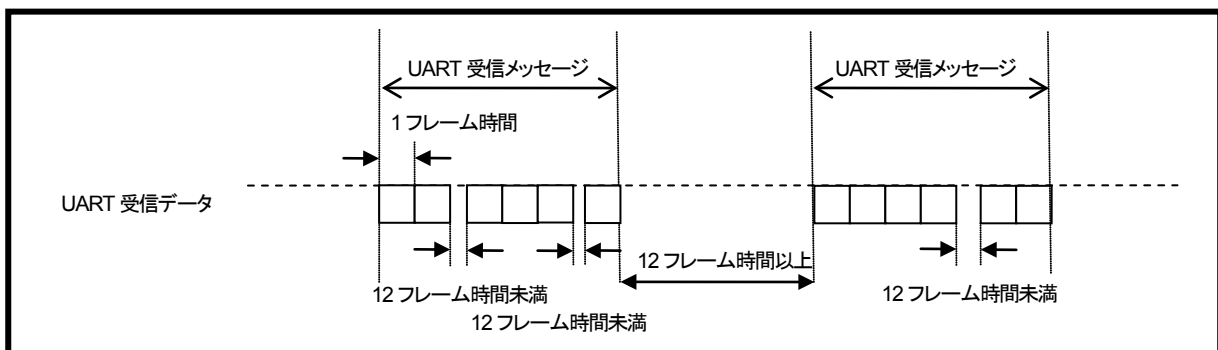


図 4-9 受信フレームと受信メッセージ

受信オーバーランエラーは、TC35679 内部の UART 受信フレームバッファがオーバーフローした場合に、エラーと判定します。通常、4.3.4 節のフロー制御機能に従ってデータが送受信される場合には、本オーバーフローは生じません。

受信フレームエラーは、フレーム単位の認識に失敗した場合に、エラーと判定します。スタートビット検出後、それに対するストップビットフィールドとして“0”を検出すると、フレーム形成の失敗とみなします。

4.3.8. ホストウェイクアップ機能

TC35679 は、UART へ送信メッセージを送信する前にホスト CPU がウェイクアップするための信号を出力することが可能です。本機能はデフォルト無効ですが、コマンドで指定した GPIO にホストウェイクアップ機能を割り付けることが可能です。

また、ホストウェイクアップ時間はコマンドで変更することが可能です (デフォルトは 10 ms)。



図 4-10 ホストウェイクアップ

4.3.9. HCI モード

TC35679 を HCI モードで使用する場合、UART が HCI コマンドを入力するホストインタフェースになります。HCI モードで、無線性能を測定する機器に直接 UART を接続し Bluetooth[®] 無線性能を試験することができます。

4.3.9.1. HCI リセット

HCI リセットコマンドをホストから送信し、コマンドコンプリート イベントから 150 μ s 以上待たないと、次のコマンドを正常に処理できませんのでご注意ください。

4.4. SPI インタフェース

4.4.1. 特長

シリアルメモリインタフェースは以下の特長があります。

- 動作電圧: 1.8~3.6 V 動作
- SPI インタフェース
 - ◇ チップセレクト: 1 チャンネル
 - ◇ チップセレクト極性: High アクティブと Low アクティブのいずれかを選択可能
 - ◇ シリアルクロックマスタ動作: クロックの極性と位相を調整可能 (4 種類の組み合わせの中から選択)
 - ◇ シリアルクロック周波数: 25 Hz~6.5 MHz
 - ◇ シリアルデータ転送方式: MSB ファースト、LSB ファーストの両方に対応

VDDIO 供給電源電圧に応じて 1.8~3.6 V 動作が可能です。ただし、他のハードウェアインタフェースと電源供給口を共用しているため、SPI インタフェース単独で異なる動作電圧でのご使用はできません。

4.4.2. 接続例

SPI インタフェースは Serial EEPROM や Serial Flash-ROM を接続可能です。

TC35679 は、SPI インタフェースでは 1 本のチップセレクト端子を有します。TC35679 の SPI インタフェースに Serial Flash-ROM を接続する例を図 4-11 に示します。

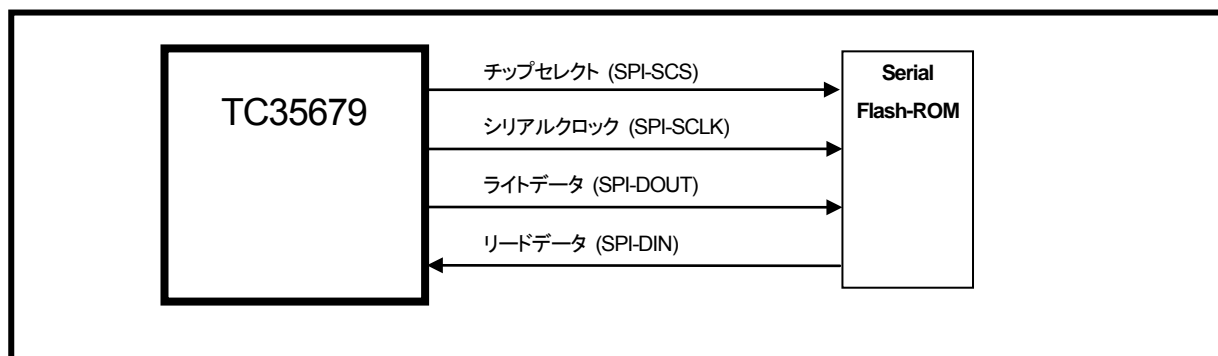


図 4-11 SPI による Serial Flash-ROM 接続例

4.4.3. フレームフォーマット

SPI インタフェースで外部 IC に接続する場合、最初の 8 bit (x7 ~ x0) でアドレスとリードライト種別などを指定します。コマンド識別コード体系とアドレスビット幅は、使用する外部 IC の仕様に合わせてする必要があります。詳しいフォーマットは外部 IC の技術資料をご確認ください。

図 4-12 に、アドレス 8 bit ライト後に 8 bit のデータをリードした例を示します。図 4-13 に、アドレス 8 bit ライト後に 8 bit のデータをライトした例を示します。

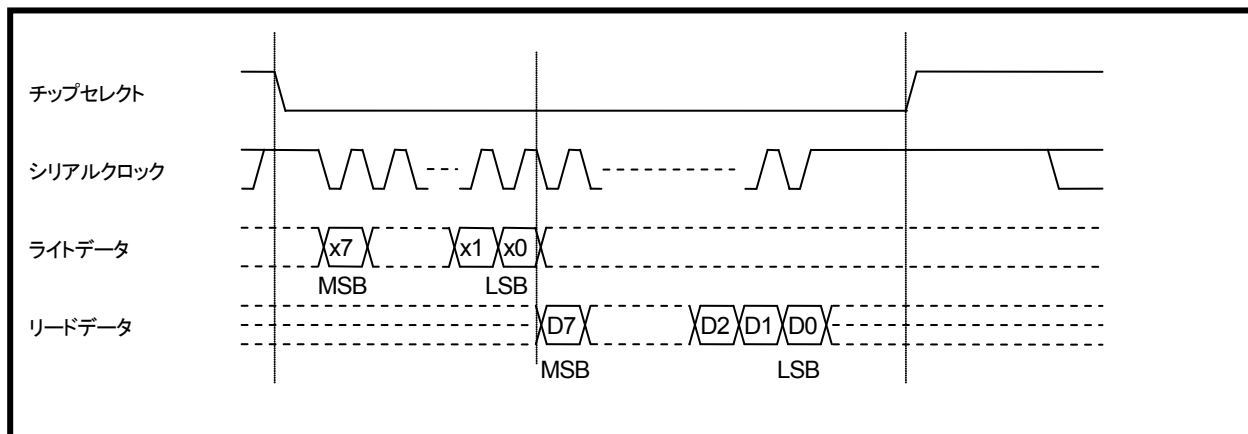


図 4-12 SPI フォーマット(シングルバイトリード)

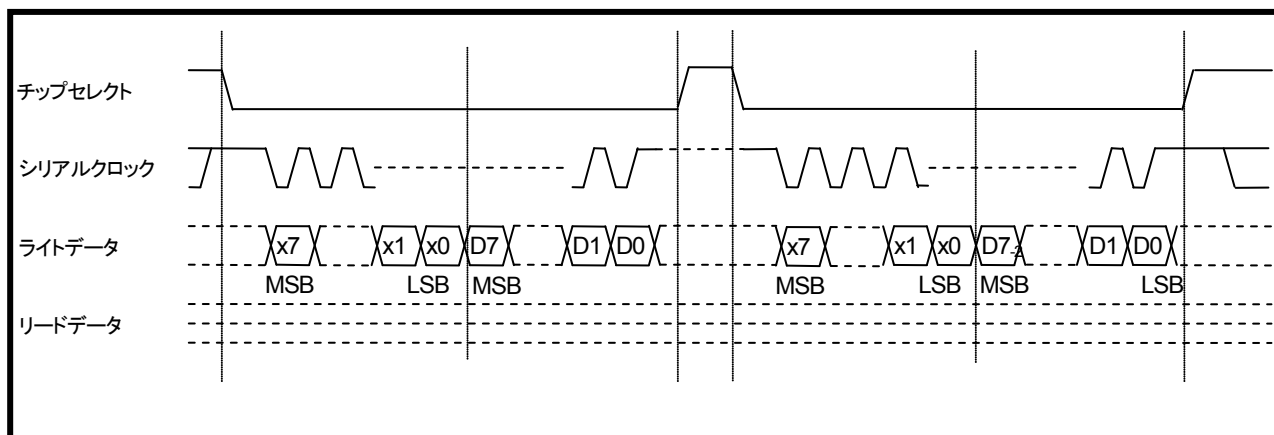


図 4-13 SPI フォーマット(シングルバイトライト)

4.5. I²C インタフェース

4.5.1. 特長

シリアルメモリインタフェースは以下の特長があります。

- 動作電圧: 1.8~3.6 V 動作
- I²C インタフェース
 - ◇ 動作モード: I²C バスマスタ
 - ◇ シリアルクロック (I2C-SCL)周波数: 標準モード(Max 100 kHz)、ファーストモード(Min 100 kHz~ Max400 kHz)
 - ◇ 出力モード: オープンドレイン出力、CMOS 出力の選択可能
 - ◇ デバイスアドレスフォーマット: 7 bit アドレスに対応(10 bit アドレスには非対応)

VDDIO 供給電源電圧に応じて 1.8~3.6 V 動作が可能です。ただし、他のハードウェアインタフェースと電源供給口を共用しているため、I²C インタフェース単独で異なる動作電圧でのご使用はできません。

4.5.2. 接続例

I²C による Serial EEPROM の接続例を図 4-14 に示します。図 4-14 のようなオープンドレイン出力モードの場合、シリアルクロックラインとデータラインには、Pull-up 抵抗(Rext)を接続します。

一方、図 4-15 のような CMOS 出力モードの場合は、データラインだけに Pull-up 抵抗(Rext)を接続します。これは TC35679 と Serial EEPROM の両方が入力方向となったときに、それぞれの入力が不定とならないための対策です。

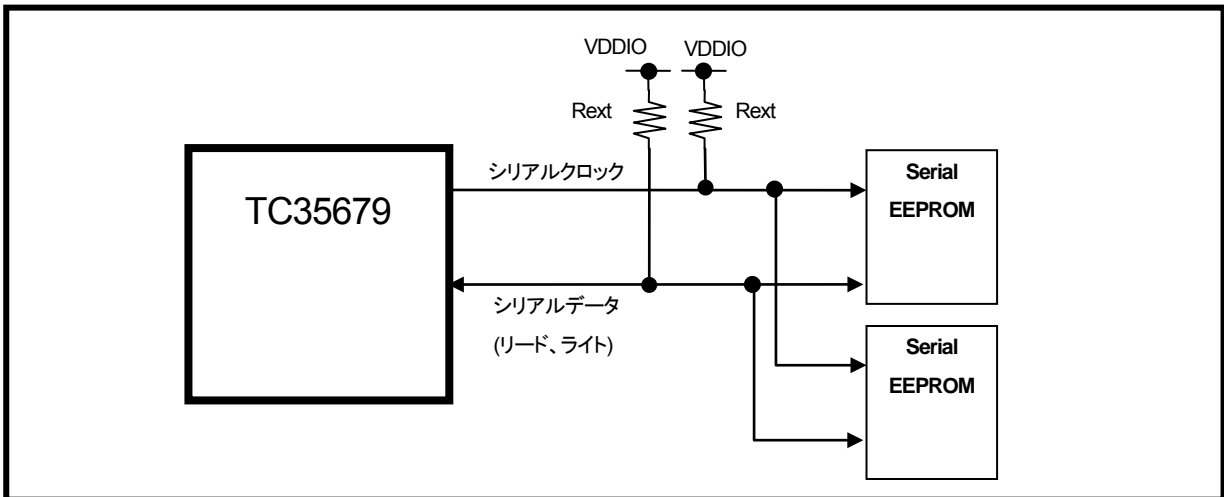


図 4-14 I²C (オープンドレイン出力モード)による Serial EEPROM 接続例

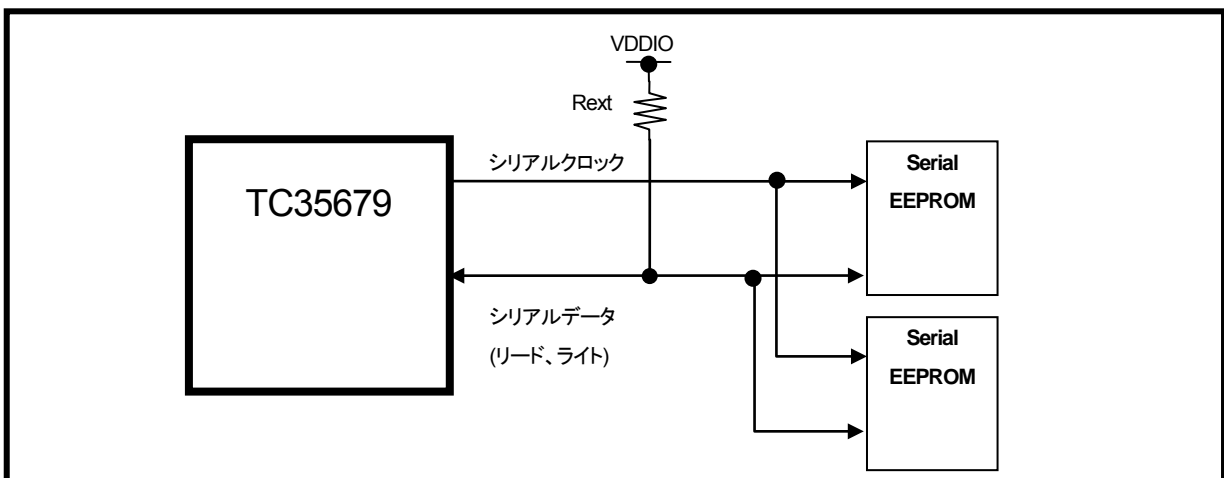


図 4-15 I²C (CMOS 出力モード)による Serial EEPROM 接続例

4.5.3. 外付け Pull-up 抵抗値の選択

I²C インタフェースの場合、外付け Pull-up 抵抗値を選択する必要があります。この抵抗値の上限(Rext_max)は、I²C バス規格で規定されているシリアルクロックとシリアルデータの立ち上がり時間(tr) と I²C バス容量(Cb)により、式(1)によって決定されます。

一方、Pull-up 抵抗値の下限値(Rext_min)は、供給電圧(VDDIO)、Lowレベル出力電圧の最大値(Vol_max)、Lowレベル出力電流を用い、式(2)によって決められます。外付け Pull-up 抵抗値は、これらの上限値と下限値の範囲内で設定するよう、お願い致します。

$$R_{ext_max} = \frac{t_r}{0.8473 \times C_b} \quad (1)$$

$$R_{ext_min} = \frac{VDDIO - V_{ol_max}}{I_{ol}} \quad (2)$$

TC35679 は標準モード(Max 100 kHz)とファーストモード(Min 100 kHz ~ Max 400 kHz)に対応しますが、tr は、標準モードで 1000 [ns]、ファーストモードで 300 [ns]となっています。Cb については、IC 実装基板や実装状況に応じて変動が予想されます。表 4-3、表 4-4 は、Cb を 20 pF と仮定した場合の Rext_max、Rext_min の計算例です。

表 4-3 I²C 標準モードでの外付け Pull-up 抵抗値(I²C バス容量を 20 pF と仮定)

| I ² C バス速度 | Max 100 kHz | | | | | | | | |
|-----------------------|-------------|------|------|------|------|------|------|------|------|
| tr [ns] | 1000 | | | | | | | | |
| Cb [pF] | 20 | | | | | | | | |
| VDDIO [V] | 1.8 | | | 3.0 | | | 3.6 | | |
| Vol_max [V] | 0.3 | | | 0.4 | | | 0.4 | | |
| I _{ol} [mA] | 1 | 2 | 4 | 1 | 2 | 4 | 1 | 2 | 4 |
| Rext_min [kΩ] | 1.50 | 0.75 | 0.38 | 2.60 | 1.30 | 0.65 | 3.20 | 1.60 | 0.80 |
| Rext_max [kΩ] | 59.01 | | | | | | | | |

表 4-4 I²C ファーストモードでの外付け Pull-up 抵抗値(I²C バス容量を 20 pF と仮定)

| I ² C バス速度 | Min 100 ~ Max 400 kHz | | | | | | | | |
|-----------------------|-----------------------|------|------|------|------|------|------|------|------|
| tr [ns] | 300 | | | | | | | | |
| Cb [pF] | 20 | | | | | | | | |
| VDDIO [V] | 1.8 | | | 3.0 | | | 3.6 | | |
| Vol_max [V] | 0.3 | | | 0.4 | | | 0.4 | | |
| I _{ol} [mA] | 1 | 2 | 4 | 1 | 2 | 4 | 1 | 2 | 4 |
| Rext_min [kΩ] | 1.50 | 0.75 | 0.38 | 2.60 | 1.30 | 0.65 | 3.20 | 1.60 | 0.80 |
| Rext_max [kΩ] | 17.70 | | | | | | | | |

4.5.4. フレームフォーマット

I²C フォーマットの場合、TC35679 は、まずスタートコンディションを発生させます。その後、デバイス識別アドレス(7 ビット:[A6:A0])と、アクセス対象の先頭バイトアドレス([B7:B0])を送信して、リードまたはライトの手順を踏みます。I²C では、いずれのデータも、MSBファーストで転送されます。装置識別アドレスの値とバイトアドレスを指定する方法は、接続する機器に応じて決定されています。

接続するには、それは接続する機器と一致する必要があります。リードでは、TC35679 は、1 バイト受信すること、受信確認ビット(ACK: Acknowledge)、または、受信否認ビット(NACK: Not acknowledge)をシリアルメモリに返します。ライトでは、TC35679 は、1 バイト送信すること、シリアルメモリから ACK または NACK を受信します。1 バイトに限らず、複数バイトを連続して扱うことができます。全てのバイトのリードまたは送信が完了したとき、TC35679 はストップコンディションを発生させます。

図 4-16、図 4-17 に、それぞれ 2 バイトのデータをリード、ライトする場合のフォーマットを示します。これらのフォーマットで薄い色の文字と線はシリアルメモリから発せられた信号であることを示すものです。リードの場合、最後のバイトデータをリードした後、TC35679 は NACK を返しますが、シリアルメモリは、これによって、リード完了を知ることができます。

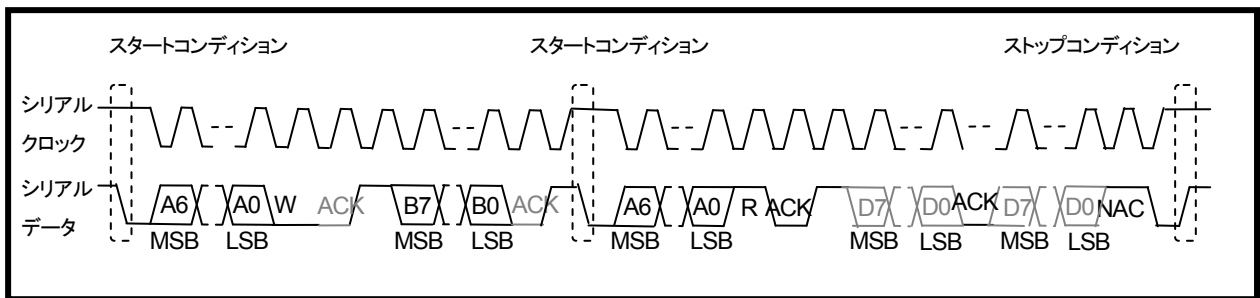


図 4-16 I²C フォーマット(シリアルメモリ、リード)

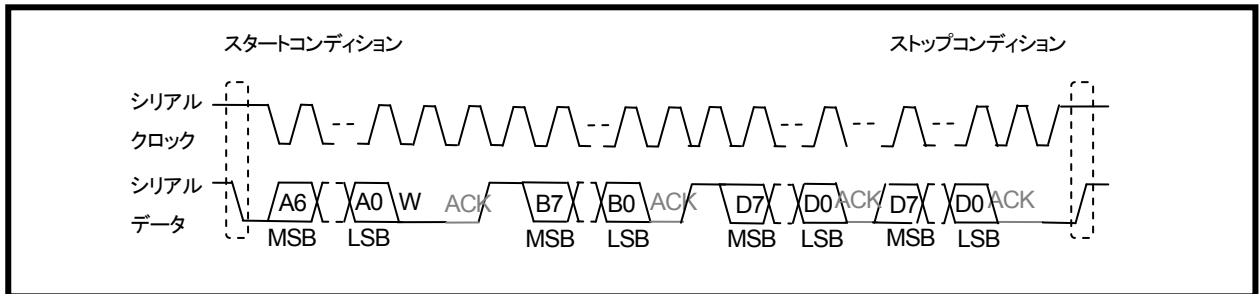


図 4-17 I²C フォーマット(シリアルメモリ、ライト)

4.6. PWM インタフェース

TC35679 は LED、ブザー制御などに使用可能な PWM インタフェースを内蔵しています。
PWM インタフェースは以下の特長があります。

- 任意パルス発生機能
- 13 MHz、32.768 kHz の 2 種類のクロックソースから選択してパルス発生が可能。
- 分周設定は 12 bit で最大 1/4096 まで 8 Hz～16.384 kHz (32.768 kHz)、3.17 kHz～6.5 MHz (13 MHz)
- パルス出力を、50 ms 単位で、1 s 周期の規則的なパターンでマスクできます (リズム機能)
- リズムパターン周期 1 s に同期した割り込みを発生できます。
- パルスを反転した出力に切り替えることができます。
- パルス出力のデューティ比を調節可能です。

4.6.1. パルス生成機能

パルス生成機能の概要を図 4-18 に示します。サイクル時間を可変することによりパルス信号の周波数を調整ができます、デューティ比を可変することで On と Off の比率を制御できます。

周波数 (周期) は、8 Hz～16.384 kHz @32.768 kHz クロック、3.17 kHz～6.5 MHz@13 MHz クロックの間で設定できます。
デューティ比は 0～100 %の間で設定できます。

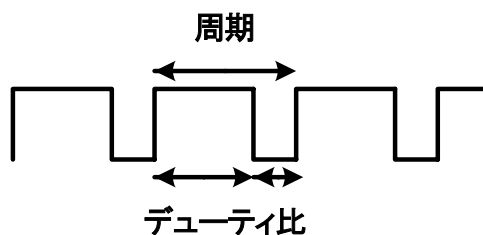


図 4-18 PWM パルス生成機能

4.6.2. リズム機能 (出カマスク)

図 4-19にPWMリズム機能の概要を示します。パルス生成機能とは別に50ms×20=1sのタイマ(リズムカウンタ)を内蔵しています。20bitのレジスタ(パターンレジスタ)を持っており、各bitが50msごとにカウントダウンするリズムカウンタと対応しています。パターンレジスタが0の時はPWM出力がマスクされ0 or 1となります。これにより1s周期の規則的なパターンでLEDの点滅やブザーを鳴らすことが可能となります。

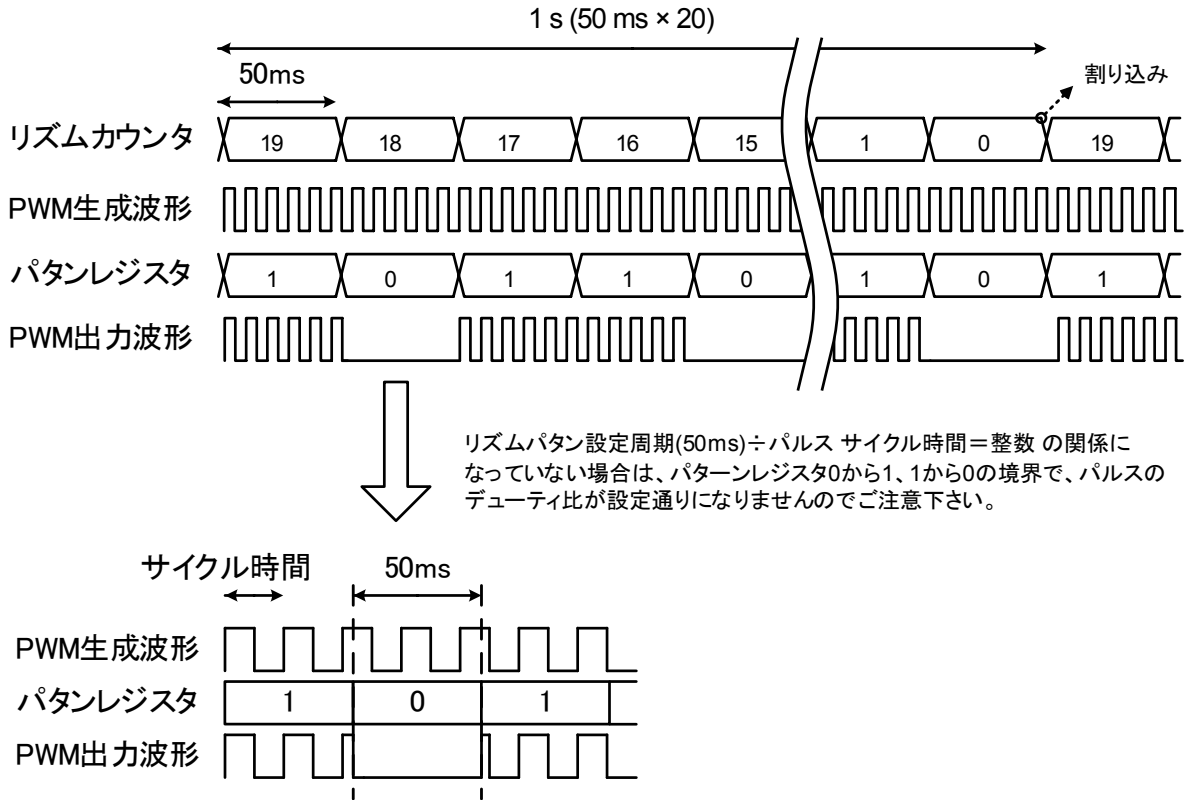


図 4-19 PWM リズム機能のマスクと出力波形

4.7. ADC

4.7.1. 特長

TC35679 は電池残量監視、外部センサからのアナログ入力などに使用可能な 10 bit ADC を 6 ch 内蔵しています。内蔵 ADC は以下の特長があります。

- アナログ入力 5 ch (GPIO 端子と兼用)
- VBAT 電圧モニタ用 1 ch

注: リファレンス電圧入力に VBAT 電源入力、アナログ入力に VDDCORE2 出力を内部接続しています。電圧の算出方法は 4.7.2 機能説明を参照ください。

- 最大変換レート 1 MS/s

4.7.2. 機能説明

ADC は 10 bit の変換精度を持ち、0 V~3.6 V (VBAT 電圧) までの入力電圧に対応しています。6 ch のアナログ入力チャンネルを持ち、チャンネル 0 には VDDCORE2 出力が接続されています。チャンネル 1-5 は GPIO に機能多重されています。ADC リファレンス電圧入力に VBAT 電源が接続されていますので、電池を VBAT に接続し使用する場合は電池残量減少に伴い ADC リファレンス電圧が時間経過とともに変動します。そのような場合にも、チャンネル 0 に供給される VDDCORE2 出力電圧を AD 変換後のデータを基準として、チャンネル 1-5 に入力されるアナログ入力の電圧値を CPU 演算により換算することができます。換算方法を下記に示します。

時刻 T での電圧 A の値を求めたい場合、

- (1) チャンネル 0 に入力される VDDCORE2 出力電圧を AD 変換し、デジタル値 X として読み出します。
- (2) チャンネル 1 に入力されるアナログ信号を AD 変換しデジタル値 Y として読み出します。
- (3) チャンネル 1 に入力されるアナログ信号の電圧絶対値を A (V) とすると $VDDCORE2 (V) / A (V) = X / Y$ の関係が成り立つため、 $A (V) = VDDCORE2 (V) \times Y / X$ と求められます。

(計算例)

ch0 (VDDCORE2 出力 = 1.1 V の場合) のデジタル値が 0x0134、ch1 (測定対象) のデジタル値が 0x0188 の場合 ch1 の絶対電圧 A (V) は $A = 1.1 \times 0x0188 / 0x0134 = 1.1 \times 392 / 308 = 1.4 (V)$ となります。

図 4-20 に、電圧換算の概念図を示します。

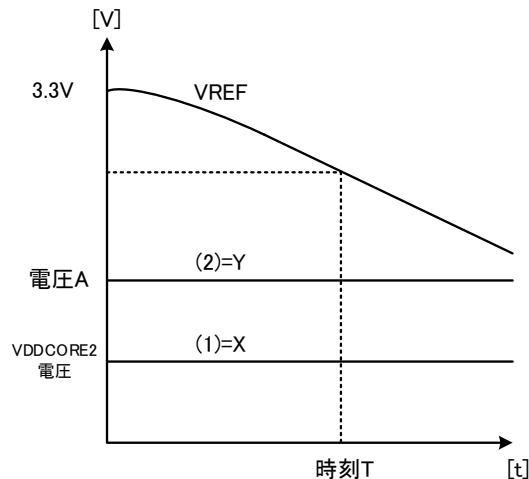


図 4-20 電圧換算概念図

ADC は CPU からのレジスタ設定により、選択したチャンネルの AD 変換を行います。変換完了を割り込みまたはレジスタポーリングで検知し、CPU が結果を読み出します。最大サンプリングレートはソフトウェアの負荷に依存します。

注: 数値表記は以下の規則に従います。

16 進数表記: 0xABC

4.8. 基本クロックインタフェース

4.8.1. 特長

TC35679 は、下記の特長の基本クロックインタフェースを有します。

- 基本クロックの周波数: 26 MHz (周波数精度は使用温度下で ± 50 ppm 以下に調整してください)

TC35679 には XOIN 端子と XOOUT 端子の間に帰還抵抗、水晶発振回路にはパラメータ設定が可能なキャパシタアレイが内蔵されていますので、外部に帰還抵抗や容量の接続は不要です。水晶発振子の仕様に適合した範囲の容量で、TC35679 を実装するプリント基板における配線状況に応じて、適宜、キャパシタアレイのパラメータを調整してください。

4.8.2. 水晶振動子接続例

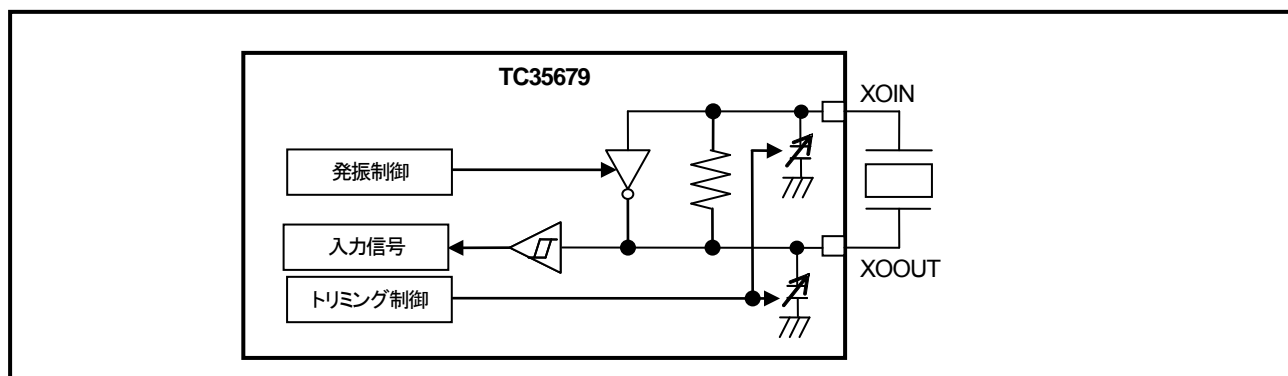


図 4-21 水晶振動子接続例

4.9. スリープクロックインタフェース

TC35679 は、下記の特長のスリープクロックインタフェースを有します。

- 水晶発振子を接続可能
- スリープクロックの周波数: 32.768 kHz (周波数精度は使用温度下で±500 ppm 以下に調整してください)

水晶発振子の場合、SLPXOIN 端子と SLPXOOOUT 端子の両方を用いて接続します。TC35679 には SLPXOIN 端子と SLPXOOOUT 端子の間に帰還抵抗、パラメータ設定が可能なキャパシタアレイが内蔵されていますので、外部に帰還抵抗や容量の接続は不要です。水晶発振子の仕様に適合した範囲の容量で、TC35679 を実装するプリント基板における配線状況に応じて、適宜、キャパシタアレイのパラメータを調整してください。

外部発振器から信号を入れる場合は、SLPXOIN 端子から信号を入力し、SLPXOOOUT 端子は GND へ接続してください。発振器が使用されず、外部からクロックを供給しない場合、これらのピンは共に GND に接続する必要があります。

4.9.1. 水晶振動子接続例

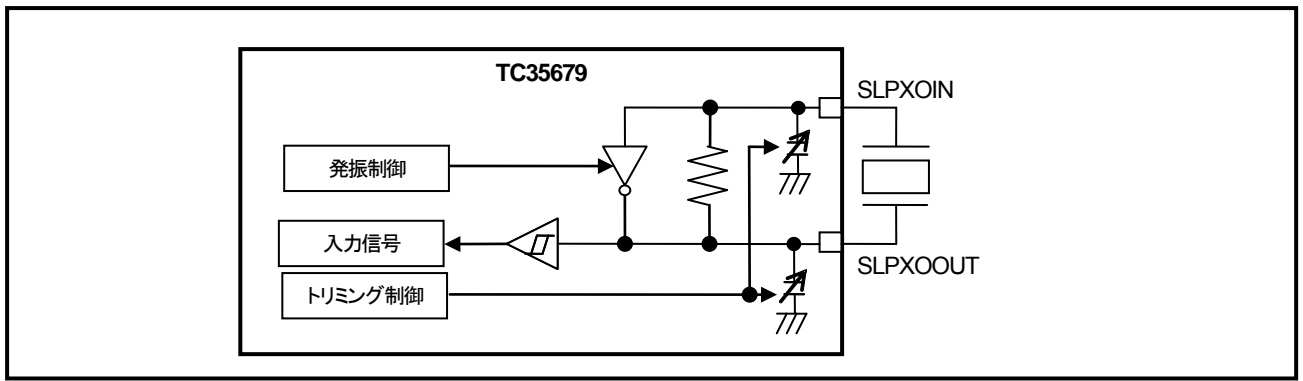


図 4-22 水晶振動子接続例

4.9.2. 外部発振器接続例

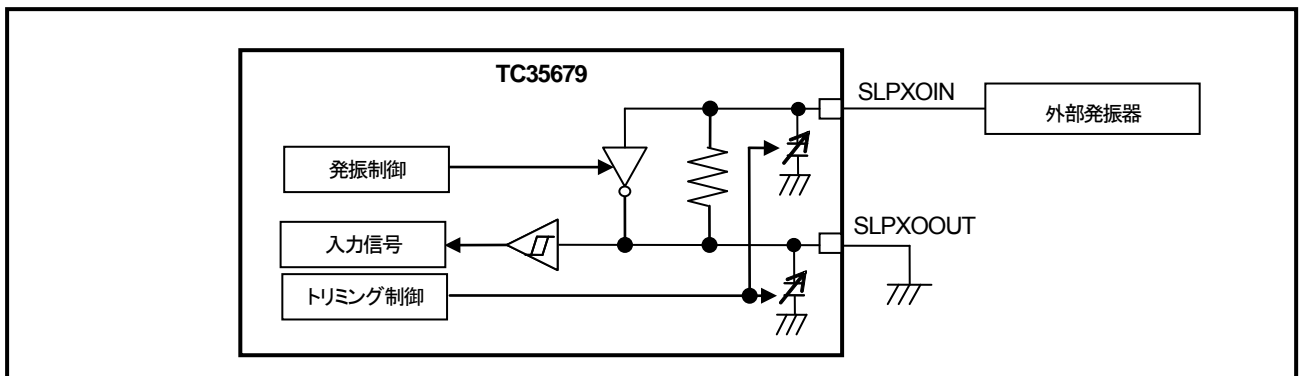


図 4-23 外部発振器接続例

5. 電気的特性

5.1. 絶対最大定格

絶対最大定格は、瞬時たりとも超えてはならない規格です。絶対最大定格を超えると IC の破壊や劣化や損傷の原因となり、IC 以外にも破壊や損傷や劣化を与える恐れがあります。いかなる動作条件でも絶対最大定格を超えないように、応用機器の設計を行ってください。

表 5-1 絶対最大定格
(VSSX=VSSDC=VSSRFIO=VSSA=VSSD1=VSSD2=0 V)

| 項目 | 記号 (電源供給系統) | 定格 | | 単位 |
|------------|---------------------|------|----------------|-----|
| | | 最小 | 最大 | |
| 電源電圧 | VBAT、 VDDIO (注1) | -0.3 | +3.9 | V |
| 入力電圧 | V _{IN} | -0.3 | VDDIO+0.3 (注2) | V |
| 出力電圧 | V _{OUT} | -0.3 | VDDIO+0.3 (注2) | V |
| I/O 端子入力電流 | I _{IN} | -10 | +10 | mA |
| 入力電力 | RFIO | — | +6 | dBm |
| 保存温度 | T _{stg} | -40 | +125 | °C |

注 1: VDDIO 電源印加時に、VBAT を GND に接続しないでください。

VDDIO から VBAT に IC 内部の回路を通じて電流が流れ、破壊、損傷および劣化の原因となります。

注 2: VDDIO+0.3 V が 3.9 V を超えないようにご使用ください。

5.2. 動作条件

動作条件とは、本製品が一定の品質を保って正常動作する条件を指します。動作条件のうち、いずれか 1 つの項目でも外れた状態で使用された場合には誤動作の恐れがあります。したがって、本製品ご使用の条件に対して、必ず動作条件の範囲を超えないように応用機器の設計を行ってください。

表 5-2 動作温度・電圧範囲
(VSSX=VSSDC=VSSRFIO=VSSA=VSSD1=VSSD2=0 V)

| 項目 | 記号(端子名称、条件) | 定格 | | | 単位 | |
|--------|-------------------|-----------------------|-----------|--------------------|------|---|
| | | 最小 | 標準 | 最大 | | |
| 電源電圧 | VBAT 動作電圧 1 (注 1) | VBATopr1 | 1.80 | 3.00 | 3.60 | V |
| | VDDIO 動作電圧(注 2) | VDDIOopr | 1.80 | 3.00 | 3.60 | V |
| | VDDCORE 電圧(注 2) | VDDCORE1/ VDDCORE2 | — | 1.1 / 1.2 (注 3) | — | V |
| RF 周波数 | Fc | 2400 | — | 2483.5 | MHz | |
| 入力周波数 | 基本クロック Fck | 25.99870 | 26.00000 | 26.00130 | MHz | |
| | スリープクロック fsclk | 32.751616 | 32.768000 | 32.784384 | kHz | |
| 周囲動作温度 | Ta | -40 | +25 | +85 | °C | |

注 1: VBAT 端子は低電圧検出機能が内蔵されており、起動時は VBAT 動作電圧 1 の最小電圧以上の電圧が必要となります。

注 2: 各電源端子の弊社推奨接続例は別途資料 (アプリケーションノート) を参照してください。

注 3: RF ブロック動作時および CPU の 26 MHz 動作時、本電圧は 1.2 V (標準)となります。

それ以外の動作時は 1.1 V (標準)となります。

5.3. DC 電気的特性

5.3.1. 消費電流 (設計値)

消費電流を表 5-3 に示します。周囲動作温度 (Ta)=25°C 条件下での、各電源端子の弊社推奨接続状態における動作時平均電流値となります。

表 5-3 DC 電気的特性[消費電流] (VBAT=VDDIO1= VDDIO2=3.0 V)
(VSSX=VSSDC=VSSRFIO=VSSA=VSSD1=VSSD2=0 V)

| 項目 | 記号 | 条件 | 測定対象端子 (注) | 定格 | | | 単位 |
|--------------------------|---------------------------------|--|---------------|----|------|----|----|
| | | | | 最小 | 標準 | 最大 | |
| デジタル部動作時 消費電流 | IDD _{DIG} (Active1) | — | VBAT | — | 0.7 | — | mA |
| 受信時 消費電流 | IDD _{RX} (Active2) | — | | — | 3.3 | — | |
| 送信時 消費電流 | IDD _{TX} (Active3) | Output Power= 0 dBm | | — | 3.3 | — | |
| 低電力時消費電流 Connection 有 | IDDS1 (Sleep) | 26 MHz 水晶発振停止 32 kHz 水晶発振 RAM 144 KB リテンション時 | VBAT | — | 1.8 | — | μA |
| 低電力時消費電流 Connection 無 | IDDS2 (Backup) | 26 MHz 水晶発振停止 32 kHz 水晶発振 RAM 64 KB リテンション時 | | — | 1.3 | — | |
| 低電力時消費電流 Connection 無 | IDDS (Deep Sleep) | 26 MHz 水晶発振停止 32 kHz 水晶発振停止 | | — | 0.05 | — | |

注: Active 動作中の IO 部の動作時電流は、バッファ設定により変化致します。

表 5-4 に各端子の DC 電気的特性を示します。周囲動作温度(Ta)=25°C 条件下での特性となります。

表 5-4 DC 電気的特性 (VBAT=VDDIO1= VDDIO2=3.0 V)
(VSSX=VSSDC=VSSRFIO=VSSA=VSSD1=VSSD2=0 V)

| 項目 | 記号 | 条件 | | 対象端子 (注 1) | 定格 | | | 単位 |
|---------------------------------|---------------|-------------------|---------------|---------------|-----------|----|-----------|----|
| | | I/F 電圧条件 | 他条件 | | 最小 | 標準 | 最大 | |
| 高レベル 入力電圧 | VIH | 3.0 V | LVC MOS | VDDIO 系統 | 0.8×VDDIO | — | — | V |
| 低レベル 入力電圧 | VIL | 3.0 V | LVC MOS | VDDIO 系統 | — | — | 0.2×VDDIO | |
| 高レベル 入力電流 | IIH | VDDIO= 各端子入力電圧 | Pull-down Off | VDDIO 系統 | -10 | — | 10 | μA |
| | | | Pull-down On | | 10 | — | 200 | |
| 低レベル 入力電流 | IIL | | Pull-up Off | | -10 | — | 10 | |
| | | | Pull-up On | | -200 | — | -10 | |
| 高レベル 出力電圧 | VOH | 3.0 V | IOH = 1 mA | VDDIO 系統 | VDDIO-0.6 | — | — | V |
| 低レベル 出力電圧 | VOL | 3.0 V | IOL = 1 mA | VDDIO 系統 | — | — | 0.4 | V |
| 外部 32 kHz クロック入力 レベル(注 2) | VIH SLPCLK | 3.0 V | — | SLPXOIN | 0.8×VDDIO | — | — | V |
| | VIL SLPCLK | 3.0 V | — | SLPXOIN | — | — | 0.2×VDDIO | V |

注 1: 各対象端子の電源系統は、表 2-4 の電源分類欄をご覧ください。各機能端子の電源系統を示しています。

注 2: 水晶振動子を使用せず、外部の発振器を用いた場合です。

5.4. 内蔵レギュレータ特性

表 5-5 内蔵レギュレータ特性 (VBAT=1.8~3.6 V)
(VSSX=VSSDC=VSSRFIO=VSSA=VSSD1=VSSD2=0 V)

| 項目 | 記号 | ピン名称、条件 | 定格 | | | 単位 |
|------|-------|-----------------------|----|------------------|----|----|
| | | | 最小 | 標準 | 最大 | |
| 出力電圧 | Vout1 | VDDCORE1/ VDDCORE2 | — | 1.1 / 1.2 (注) | — | V |

注: RF ブロック動作時および CPU の 26 MHz 動作時、本電圧は 1.2 V (標準)となります。
それ以外の動作時は 1.1 V (標準)となります。

5.5. ADC 特性

表 5-6 ADC 特性 (VBAT=1.8~3.6 V)
(VSSX=VSSDC=VSSRFIO=VSSA=VSSD1=VSSD2=0 V)

| 項目 | 記号 | 条件 | 定格 | | | 単位 |
|----------|-------|----|------|-----|-------|----|
| | | | 最小 | 標準 | 最大 | |
| アナログ基準電圧 | VREFH | — | 1.8 | 3.0 | 3.6 | V |
| アナログ入力電圧 | VAIN | — | VSSD | — | VREFH | V |

5.6. RF 特性

特に指定のない限り、以下の条件を前提とします。

- Ta=25°C
- VBAT =3.0 V
- fxtal=26 MHz (常温で周波数精度を±2 ppm に調整)、
- PAOUT=0 dBm

Bluetooth® Core Spec. V4.2 low energy 規格における RF 受信特性を表 5-7 に、RF 送信特性を表 5-8 に示します。なお、一部特性は設計値となります。

表 5-7 RF 特性

| テスト項目 | パケット | ビット | チャネル | 条件 | 定格 | | | 単位 |
|--------------------------------|------------|----------|----------------|-------------------------------------|------|-------|---------------|----------------|
| | | | | | 最小 | 標準 | 最大 | |
| Output Power | 255 octets | PRBS9 | 0,12, 19,39 | peak | — | — | Pavg+ 3 dB | dBm |
| | | | | average | — | 0 | — | |
| In-band Emissions | 255 octets | PRBS9 | 0,12, 19,39 | -5 MHz | — | -60 | -30 | dBm |
| | | | | -4 MHz | — | -55 | -30 | |
| | | | | -3 MHz | — | -53 | -30 | |
| | | | | -2 MHz | — | -48 | -20 | |
| | | | | 2 MHz | — | -50 | -20 | |
| | | | | 3 MHz | — | -53 | -30 | |
| | | | | 4 MHz | — | -56 | -30 | |
| Modulation Characteristics | 255 octets | 11110000 | 0,12, 19,39 | Δf_{1avg} (11110000) | 225 | 249.3 | 275 | kHz |
| | | 10101010 | | Δf_{2max} (99.9%) | 99.9 | 100 | — | % |
| | | — | | $\Delta f_{2avg} / \Delta f_{1avg}$ | 0.8 | 0.90 | — | Ratio |
| Carrier frequency offset (CFO) | 255 octets | 10101010 | 0,12, 19,39 | average | — | 4.4 | — | kHz |
| | | | | worst | -150 | — | 150 | |
| Carrier frequency drift | 255 octets | 10101010 | 0,12, 19,39 | Absolute maximum | — | 4.9 | 50 | kHz |
| Carrier frequency drift Rate | 255 octets | 10101010 | | Absolute maximum | — | 4.9 | 20 | kHz/50 μ s |

表 5-8 RF 特性

| テスト項目 | サブアイテム | パケット | ビット | チャネル | 条件 | 定格 | | | 単位 |
|--|--|------------|--|-------------------------|---|------|--------|------|-----|
| | | | | | | 最小 | 標準 | 最大 | |
| Rx Sensitivity | — | 37 octets | — | 0,12, 19,3 | PER=30.8 % at 1500 packets with dirty | — | -93.5 | — | dBm |
| C/I and Receiver Selectivity Performance | PER=30.8 % at 1500 packets with dirty | 255 octets | D 波: PRBS9 U 波: GFSK PRBS15 | 0,2,12, 19,37, 39 | -7 MHz 以下 | — | -38 以下 | — | dB |
| | | | | | -6 MHz | — | -32 | — | |
| | | | | | -5 MHz | — | -26 | — | |
| | | | | | -4 MHz | — | -30 | — | |
| | | | | | -3 MHz | — | -32 | — | |
| | | | | | -2 MHz | — | -35 | — | |
| | | | | | -1 MHz | — | -2 | — | |
| | | | | | 0 MHz | — | 8 | — | |
| | | | | | 1 MHz | — | -2 | — | |
| | | | | | 2 MHz | — | -30 | — | |
| | | | | | 3 MHz | — | -38 | — | |
| 4 MHz | — | -40 | — | | | | | | |
| 5 MHz | — | -44 | — | | | | | | |
| 6 MHz 以上 | — | -38 以下 | — | | | | | | |
| Blocking Performance | — | 255 octets | D 波: PRBS9 U 波: CW | 12 | 30-2000 MHz | -30 | — | — | dBm |
| | | | | | 2003-2399 MHz | -35 | — | — | |
| | | | | | 2484-2997 MHz | -35 | — | — | |
| | | | | | 3000 M-12.75 GHz | -30 | — | — | |
| Intermodulation Performance | 1500 packets | 255 octets | f1=-50 dBm with un-modulation f2=-50 dBm with PRBS15 | 0,12, 19,39 | -4 MHz | 30.8 | 0 | — | % |
| | | | | | +4 MHz | | | | |
| Maximum input signal level | PER | 255 octets | PRBS9 | 0,12, 19,39 | -10 dBm | 30.8 | 0 | — | % |
| PER Report Integrity | PER | 255 octets | PRBS9 | 0,12, 19,39 | -30 dBm | 50 | 50 | 65.4 | % |

注: C/I 特性、ブロッキング特性で、Bluetooth® のロゴ認証テストの緩和スペックを適用する場合があります。
遮断特性は、12 ch として D 波を測定します。

5.7. AC 電气的特性(設計値)

5.7.1. UART インタフェース

表 5-9 UART インタフェース AC 特性

| 記号 | 項目 | 最小 | 標準 | 最大 | 単位 |
|----------|-------------------------------------|-----|----|----|------|
| tCLDTDLY | CTS _X の立ち下がりにからデータ送信開始まで | 192 | — | — | ns |
| tCHDTDLY | CTS _X の立ち上がりからデータ送信完了まで | — | — | 2 | byte |
| tRLDTDLY | RTS _X の立ち下がりにからデータ受信開始まで | 0 | — | — | ns |
| tRHDTDLY | RTS _X の立ち上がりからデータ受信完了まで | — | — | 8 | byte |

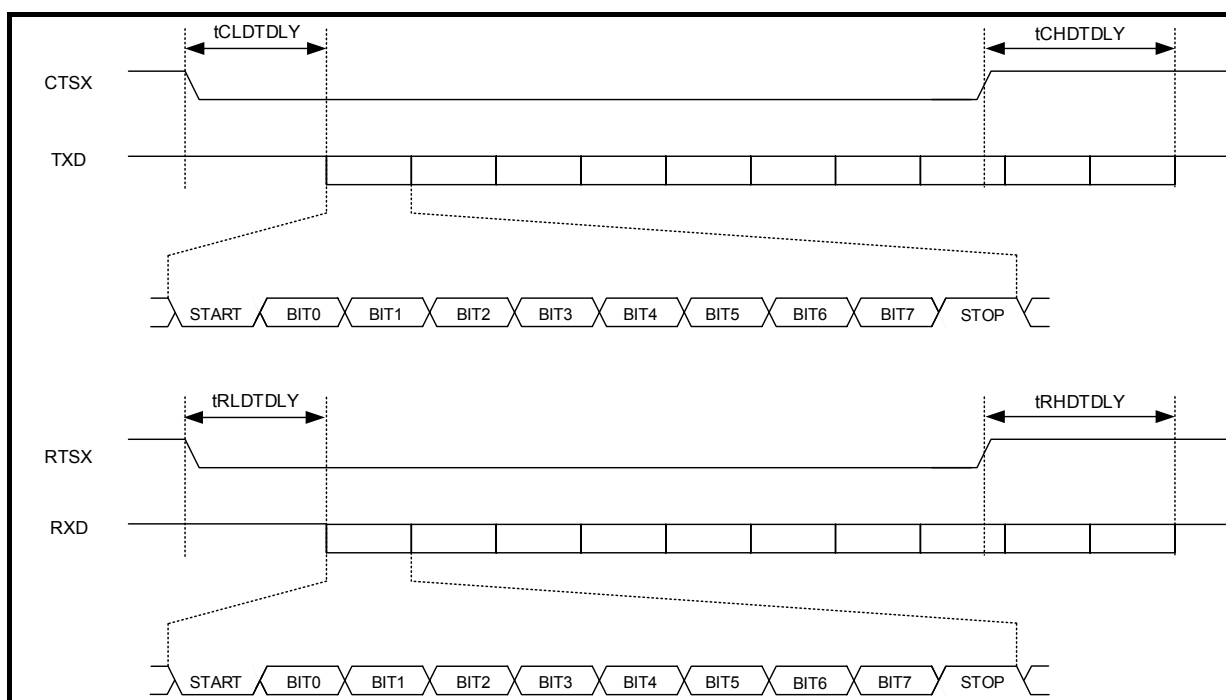


図 5-1 UART インタフェース AC 特性

5.7.2. I²C インタフェース

5.7.2.1. 標準モード

表 5-10 I²C インタフェース (標準モード) AC 特性

| 記号 | 項目 | 最小 | 標準 | 最大 | 単位 |
|--------|-----------------------------------|------|----|------|----|
| tDATS | データセットアップ時間 | 250 | — | — | ns |
| tDATH | データホールド時間 | 300 | — | — | ns |
| tDATVD | データ有効期間 | — | — | 3450 | ns |
| tACKVD | ACK 有効期間 | — | — | 3450 | ns |
| tSTAS | 再起スタートコンディションセットアップ時間 | 4700 | — | — | ns |
| tSTAH | 再起スタートコンディションホールド時間 | 4000 | — | — | ns |
| tSTOS | ストップコンディションセットアップ時間 | 4000 | — | — | ns |
| tBUF | ストップコンディションからスタートコンディションまでのバス開放期間 | 4700 | — | — | ns |
| tr | 立ち上がり時間 | — | — | 1000 | ns |
| tf | 立ち下がり時間 | — | — | 300 | ns |
| tHIGH | シリアルクロック High 期間 | 4000 | — | — | ns |
| tLOW | シリアルクロック Low 期間 | 4700 | — | — | ns |
| Cb | バス負荷容量 | — | — | 400 | pF |

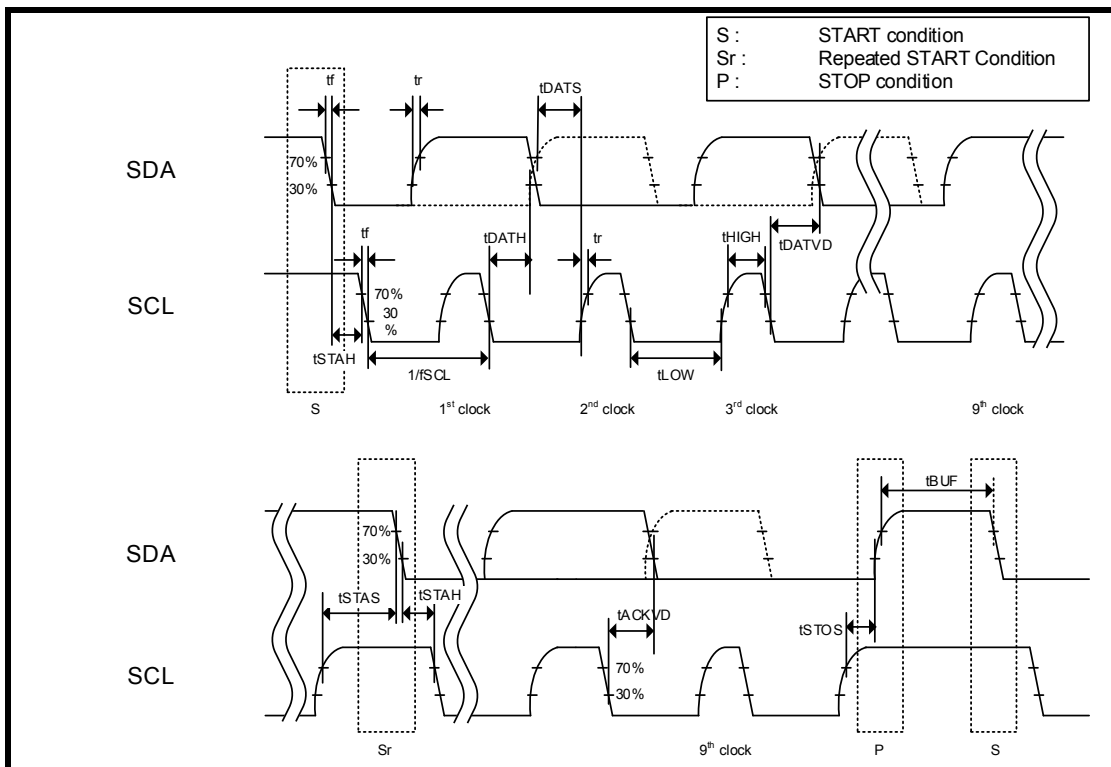


図 5-2 I²C インタフェース (標準モード) AC 特性

5.7.2.2. ファーストモード

表 5-11 I²C インタフェース (ファーストモード) AC 特性

| 記号 | 項目 | 最小 | 標準 | 最大 | 単位 |
|--------|-----------------------------------|-------------|------|-----|----|
| tDATS | データセットアップ時間 | 100 | — | — | ns |
| tDATH | データホールド時間 | 300 | — | — | ns |
| tDATVD | データ有効期間 | — | — | 900 | ns |
| tACKVD | ACK 有効期間 | — | — | 900 | ns |
| tSTAS | 再スタートコンディションセットアップ時間 | 600 | — | — | ns |
| tSTAH | 再スタートコンディションホールド時間 | 600 | — | — | ns |
| tSTOS | ストップコンディションセットアップ時間 | 600 | — | — | ns |
| tBUF | ストップコンディションからスタートコンディションまでのバス開放期間 | 1300 | — | — | ns |
| tr | 立ち上がり時間 | 20 + 0.1 Cb | — | 300 | ns |
| tf | 立ち下がり時間 | 20 + 0.1 Cb | — | 300 | ns |
| tSP | 除去可能なスパイクパルス幅 | 0 | — | 50 | ns |
| tHIGH | シリアルクロック High 期間 | — | 1423 | — | ns |
| tLOW | シリアルクロック Low 期間 | — | 1423 | — | ns |
| Cb | バス負荷容量 | — | — | 400 | pF |

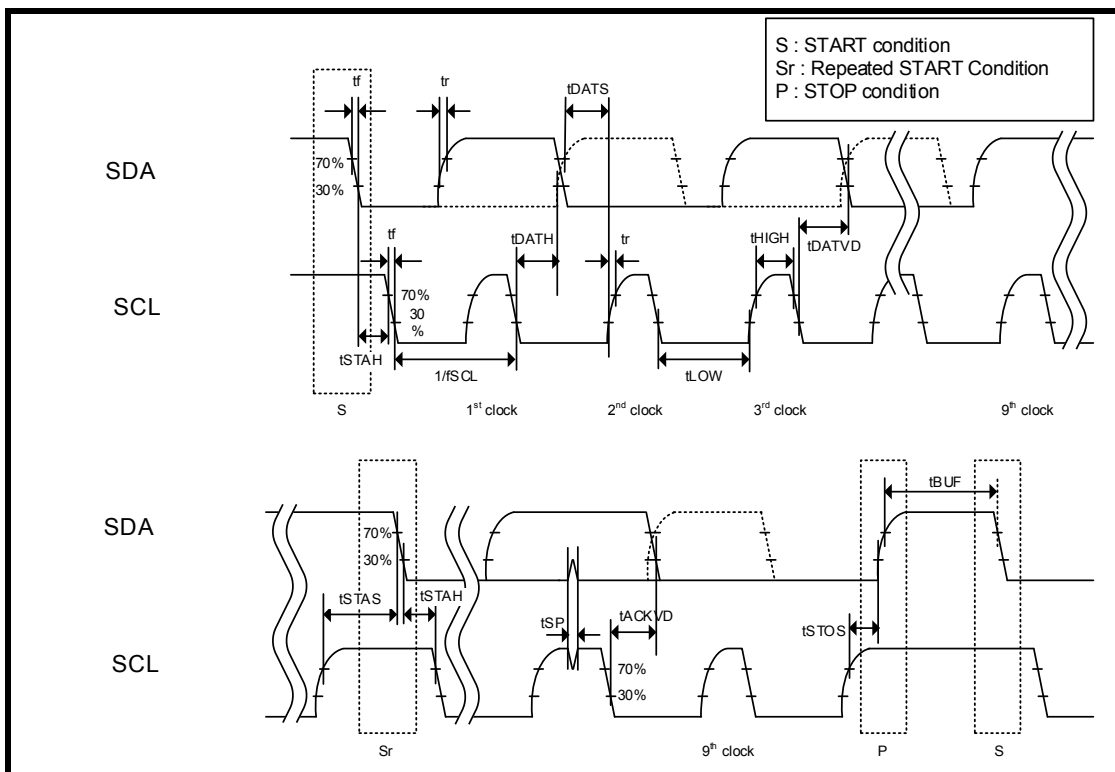


図 5-3 I²C インタフェース (ファーストモード) AC 特性

5.7.3. SPI インタフェース

表 5-12 SPI インタフェース

| 記号 | 項目 | 最小 | 標準 | 最大 | 単位 |
|------------|----------------------|-----|----|----|----|
| tSPICLKCYC | SPI クロック周期 | 154 | — | — | ns |
| tSPICLKHPW | SPI クロック High パルス幅 | 77 | — | — | ns |
| tSPICLKPW | SPI クロック Low パルス幅 | 77 | — | — | ns |
| tSPICSS | SPI チップセレクトセットアップタイム | 38 | — | — | ns |
| tSPICSH | SPI チップセレクトホールドタイム | 77 | — | — | ns |
| tSPIIW | SPI 転送アイドルパルス幅 | 54 | — | — | ns |
| tSPIAS | SPI アドレスセットアップタイム | 38 | — | — | ns |
| tSPIAH | SPI アドレスホールドタイム | 77 | — | — | ns |
| tSPIDS | SPI データセットアップタイム | 38 | — | — | ns |
| tSPIDH | SPI データホールドタイム | 77 | — | — | ns |

注: SPI インタフェースは、ARM[®] Cortex[®]-M0 コア動作クロックの 1/2 (13 MHz の場合 6.5 MHz) の 1/n を基準に動作します。

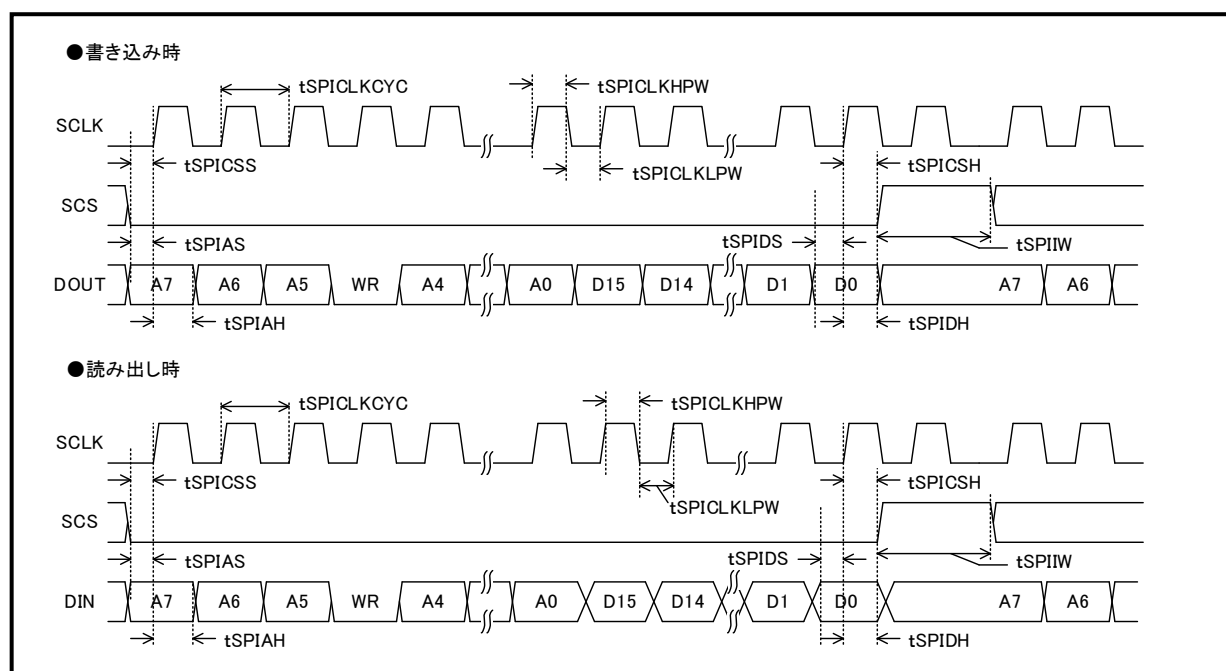


図 5-4 SPI インタフェース AC 特性

6. システム構成例

下記の図にシステム構成例を示します。

6.1. ホスト CPU 接続の場合

- Host interface=UART、26 MHz Reference Clock= XOSC Connection
- 点線囲み XOSC (32.768 kHz) は、外部入力 (HOST 共用) を選択した場合不要です。

HOST I/F 接続以外の GPIO、SWD 端子は未使用時の処理例です。

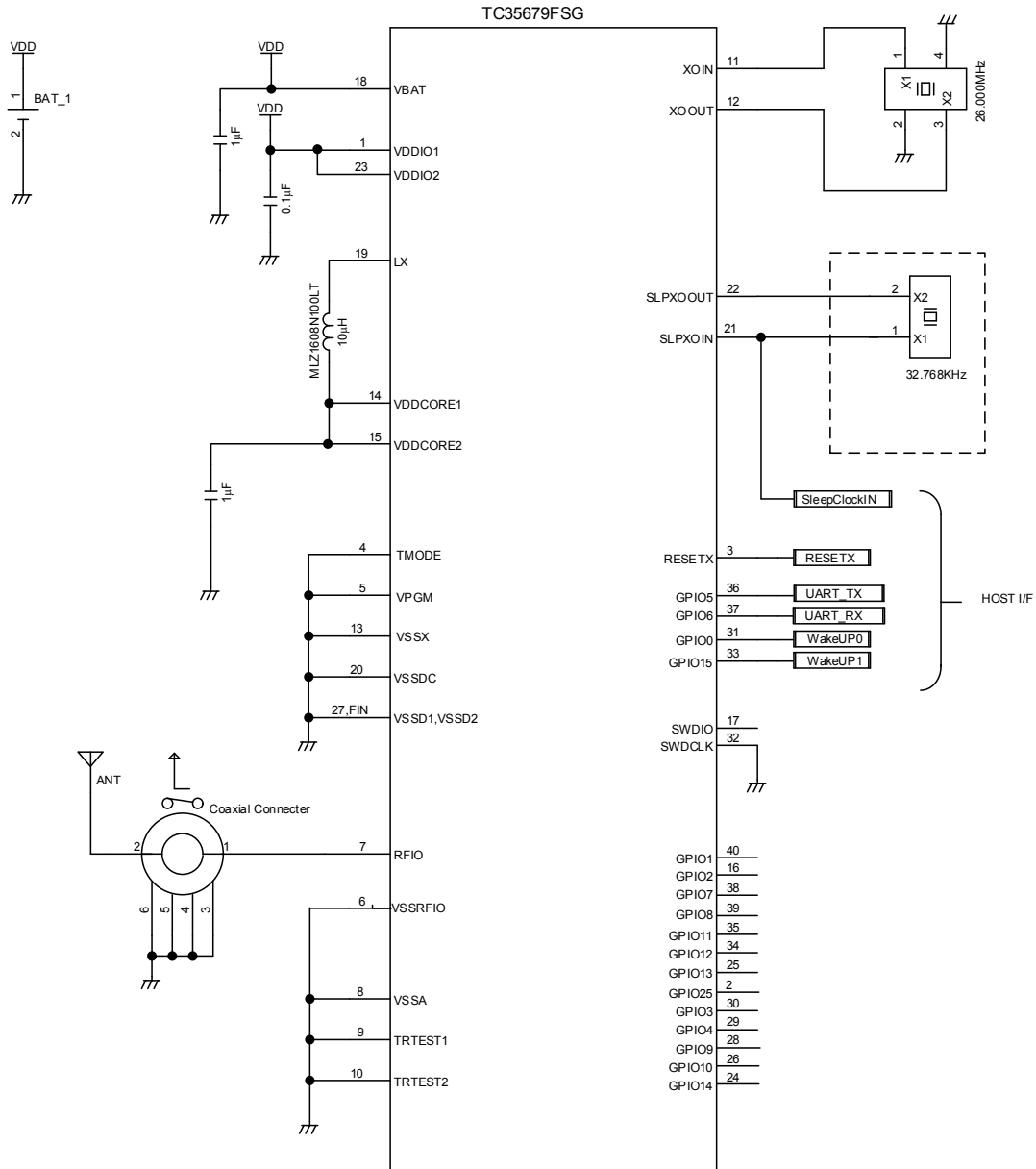


図 6-1 TC35679FSG のシステム構成例 (ホスト CPU 接続)

6.2. スタンドアロンの場合

- 点線囲み XOSC(32.768 kHz)は、外部入力を選択した場合不要です。
- GPIO、SWD 端子は未使用時の処理例です。

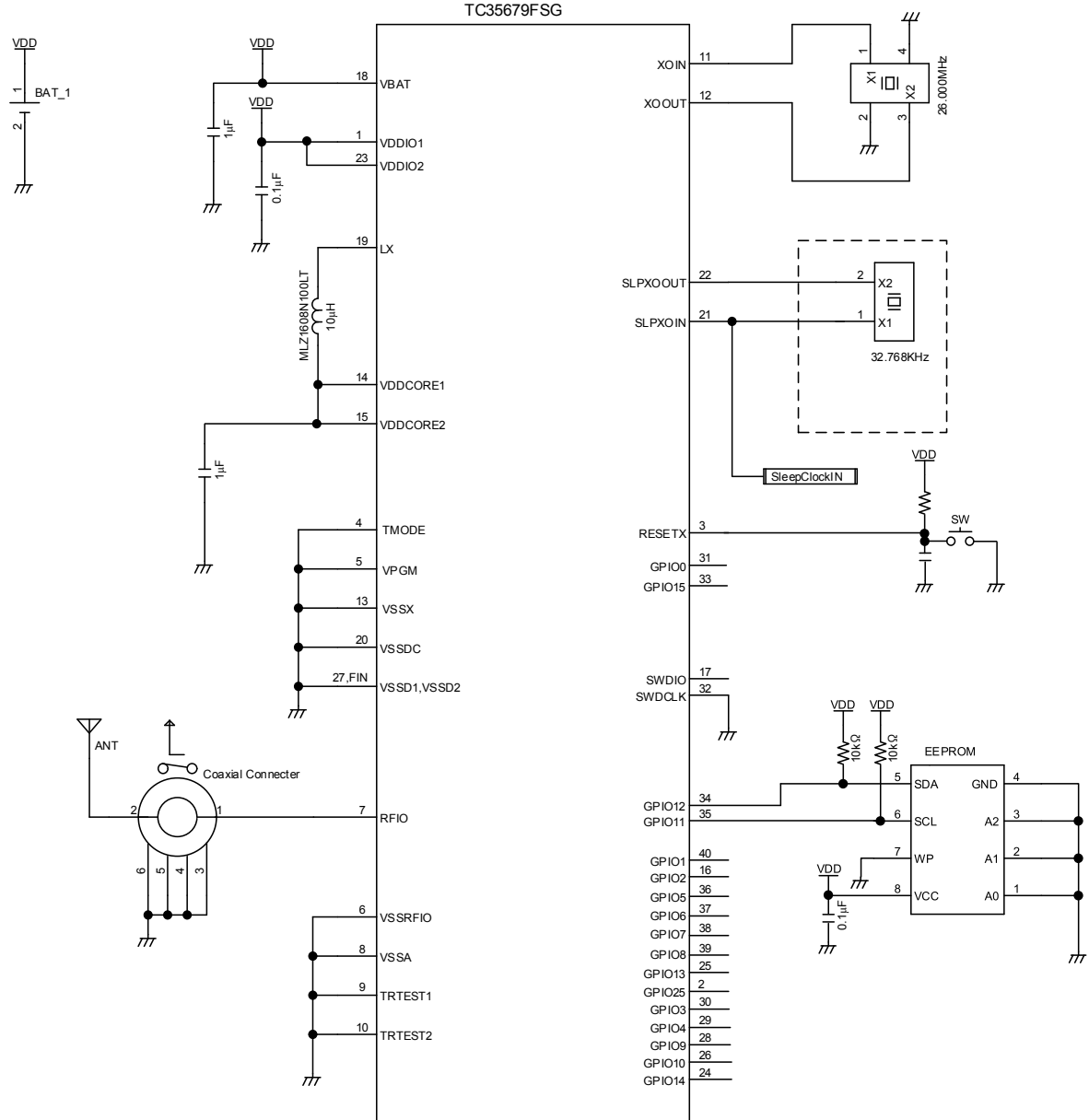


図 6-2 TC35679FSG のシステム構成例 (スタンドアロン接続)

製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品のRoHS適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。