












CMOS 形 デジタル集積回路 シリコン モノリシック

TMPM3H グループ(1)

概要

- Arm® Cortex®-M3、動作周波数：1~40MHz、動作電圧：2.7~5.5V
- 32K~128K バイトコードフラッシュ、8K~32K バイトデータフラッシュ
- 32~100 ピン、11 種類のパッケージ展開

	VQFN48	6x6mm 0.4mm	ピッチ
	LQFP32	7x7mm 0.8mm	ピッチ
	LQFP48	7x7mm 0.5mm	ピッチ
	LQFP44	10x10mm	0.8mm
	LQFP52	10x10mm	0.65mm
	LQFP64	10x10mm	0.5mm
	LQFP64	14x14mm	0.8mm
	LQFP80	12x12mm	0.5mm
	LQFP80	14x14mm	0.65mm
	LQFP100	14x14mm	0.5mm
	QFP100	14x20mm	0.65mm

用途

家電、OA、住設、AV 機器、モータ制御など民生・産業機器に幅広く使用可能

特長

- Arm Cortex-M3 コア搭載
 - 動作周波数：1~40MHz
 - メモリ保護ユニット(MPU)搭載
- 動作電圧と消費電力
 - 動作電圧：2.7~5.5V
 - 100µA/MHz(基本動作時)
 - 低消費電力動作：IDLE、STOP1、STOP2
- 動作温度範囲：-40~+85°C
- 内蔵メモリ
 - コードフラッシュ：32K~128KB、書き換え：1万回
 - データフラッシュ：8K~32KB、書き換え：10万回
 - 命令実行と並行してデータフラッシュを書き換え可能
 - RAM：6K~16KB + バックアップ RAM：2KB
- クロック
 - 外部高速発振器：6MHz~12MHz (セラミック、水晶)
 - 外部高速クロック入力：6~20MHz
 - 内蔵高速発振器(IHOSC1)：10MHz、ユーザトリミング
 - PLL：40MHz
 - 外部低速発振器：32.768kHz
- 周波数検知回路(OFD)：システムクロック異常検知
- 電圧検知回路(LVD)：8レベル、割り込みとリセット出力選択
- 割り込み
 - 外部：6~16要因、DNF:デジタルノイズフィルタ付き
 - 内部：85~100要因
- 入出力ポート：24~87本 (入力：2~4本、出力：1本)
 - プルアップ/ダウン、オープンドレイン、5Vトレラントあり
- オンチップデバッグ(JTAG/SW)
- トリガセレクト(TRGSEL)
 - DMAコントローラやタイマカウンタなどの起動要因を拡張
- DMAコントローラ(DMAC)
 - 起動要因：32要因、内部/外部トリガ
- 非同期シリアル通信回路(UART)：2~3チャンネル
 - 最大2.5Mbps、FIFO(送信×8、受信×8)
- シリアルペリフェラルインタフェース(TSPI)：1~2チャンネル
 - SIO/SPIモード、最大20Mbps、FIFO(送信16ビット×8、受信16ビット×8)
- I²Cインタフェース(I2C)：1~3チャンネル
 - マルチマスタ、Fm+対応、低消費電力動作解除機能
- 8ビットDAコンバータ(DAC)：0~2チャンネル
- 12ビットADコンバータ(ADC)：4~16チャンネル入力
 - サンプル&ホールド回路内蔵
 - 変換時間：1.5µs@40MHz
 - 自己診断サポート機能
- モータ制御回路(PMD+)：1チャンネル
 - 3相相補PWM出力、12ビットADCとの同期動作
 - 外部入力による緊急停止機能(EMG_N端子、OVV_N端子)
- アドバンスドエンコーダ入力回路(A-ENC)：1チャンネル
 - エンコーダ/センサ(3種)/タイマ/位相カウンタモード
- 32ビットタイマイイベントカウンタ(T32A)
 - 16ビットモード時12チャンネル、32ビットモード時6チャンネル
 - インタバルタイマ、イベントカウント、インプットキャプチャ、2相カウンタ入力、PPG出力、同期スタート、トリガスタート
- リアルタイムクロック(RTC)：0~1チャンネル
- ウォッチドッグタイマ(SIWD)：1チャンネル
 - システムクロックと別系統のソースクロックを選択
 - クリアウィンドウ、割り込みとリセット出力選択
- リモコン受信回路(RMC)：1チャンネル
- バウンダリスキャン対応(BSC)

製品量産開始時期
2017-06

機能別製品一覧

この表は開発中製品を含みます。
各製品の最新開発状況は、弊社営業担当までお問い合わせください。

表1 機能別製品一覧(1)

内蔵機能		TMPM3H6FWFG TMPM3H6FUFG TMPM3H6FSFG	TMPM3H6FWDFG TMPM3H6FUDFG TMPM3H6FSDFG	TMPM3H5FWFG TMPM3H5FUFG TMPM3H5FSFG	TMPM3H5FWDFG TMPM3H5FUDFG TMPM3H5FSDFG	TMPM3H4FWUG TMPM3H4FUUG TMPM3H4FSUG	TMPM3H4FWFG TMPM3H4FUFG TMPM3H4FSFG
Memory	Code Flash (KB)	128	128	128	128	128	128
		96	96	96	96	96	96
		64	64	64	64	64	64
	Data Flash (KB)	32	32	32	32	32	32
32		32	32	32	32	32	
16		16	16	16	16	16	
RAM (KB)	16	16	16	16	16	16	16
	12	12	12	12	12	12	12
	8	8	8	8	8	8	8
Backup RAM (KB)	2	2	2	2	2	2	2
I/O port	PORT (Pin)	87	87	67	67	53	53
External interrupt	INT (Pin)	16	16	15	15	11	11
DMA	DMAC (ch)	32	32	32	32	32	32
Timer function	T32A (ch)	6	6	6	6	6	6
	RTC (ch)	1	1	1	1	1	1
Serial communication function	UART (ch)	3	3	3	3	3	3
	I ² C (ch)	3	3	3	3	3	3
	TSPI (ch)	2	2	2	2	2	2
Analog function	12-bit ADC (ch)	16	16	10	10	8	8
	8-bit DAC (ch)	2	2	2	2	1	1
Motor Control peripherals	A-ENC (ch)	1	1	1	1	1	1
	PMD+ (ch)	1	1	1	1	1	1
Remote Control Receiver peripherals	RMC (ch)	1	1	1	1	1	1
System function	LVD (ch)	1	1	1	1	1	1
	SIWDT (ch)	1	1	1	1	1	1
	OFD (ch)	1	1	1	1	1	1
	POR	1	1	1	1	1	1
Debug interface	Debug	JTAG/SW/ TRACE	JTAG/SW	JTAG/SW	JTAG/SW	JTAG/SW	JTAG/SW
BSC		1	1	1	1	1	1
Package	Package type	LQFP100 (14 mm x 14 mm, 0.5 mm pitch)	QFP100 (14 mm x 20 mm, 0.65 mm pitch)	LQFP80 (12 mm x 12 mm, 0.5 mm pitch)	LQFP80 (14 mm x 14 mm, 0.65 mm pitch)	LQFP64 (10 mm x 10 mm, 0.5 mm pitch)	LQFP64 (14 mm x 14 mm, 0.8 mm pitch)
	Package name	LQFP100-P-1414 -0.50H	P-QFP100-1420 -0.65-001	LQFP80-P-1212 -0.50F	P-LQFP80-1414 -0.65-001	LQFP64-P-1010 -0.50E	P-LQFP64-1414 0.80-002

表2 機能別製品一覧(2)

内蔵機能		TMPM3H3FWUG TMPM3H3FUUG TMPM3H3FSUG	TMPM3H2FWDUG TMPM3H2FUDUG TMPM3H2FSDUG	TMPM3H2FWQG TMPM3H2FUQG TMPM3H2FSQG	TMPM3H1FWUG TMPM3H1FUUG TMPM3H1FSUG TMPM3H1FPUG	TMPM3H0FSDUG TMPM3H0FMDUG
Memory	Code Flash (KB)	128 96 64	128 96 64	128 96 64	128 96 64 48	64 32
	Data Flash (KB)	32 32 16	32 32 16	32 32 16	32 32 16 8	16 8
	RAM (KB)	16 12 8	16 12 8	16 12 8	16 12 8 6	8 6
	Backup RAM (KB)	2	2	2	2	2
I/O port	PORT (Pin)	43	40	40	36	24
External interrupt	INT (Pin)	8	7	7	6	6
DMA	DMAC (ch)	32	30	30	30	24
Timer function	T32A (ch)	6	6	6	6	6
	RTC (ch)	1	1	1	0	0
Serial communication function	UART (ch)	3	3	3	3	2
	I ² C (ch)	3	2	2	2	1
	TSPI (ch)	2	2	2	2	1
Analog function	12-bit ADC (ch)	8	8	8	8	4
	8-bit DAC (ch)	1	1	1	0	0
Motor Control peripherals	A-ENC (ch)	1	1	1	1	1
	PMD+ (ch)	1	1	1	1	1
Remote Control Receiver peripherals	RMC (ch)	1	1	1	1	1
System function	LVD (ch)	1	1	1	1	1
	SIWDT (ch)	1	1	1	1	1
	OFD (ch)	1	1	1	1	1
	POR	1	1	1	1	1
Debug interface	Debug	JTAG/SW	JTAG/SW	JTAG/SW	JTAG/SW	SW
BSC		1	0	0	0	0
Package	Package type	LQFP52 (10 mm x 10 mm, 0.65 mm pitch)	LQFP48 (7 mm x 7 mm, 0.5 mm pitch)	VQFN48 (6 mm x 6 mm, 0.4 mm pitch)	LQFP44 (10 mm x 10 mm, 0.8 mm pitch)	LQFP32 (7 mm x 7 mm, 0.8 mm pitch)
	Package name	P-LQFP52-1010 -0.65-001	LQFP48-P-0707 -0.50C	P-VQFN48-0606 -0.40-003	LQFP44-P-1010 -0.80A	P-LQFP32-0707 -0.80-002

目次

概要	1
用途	1
特長	1
機能別製品一覧	2
目次	4
図目次	7
表目次	7
序章	9
表記規約	9
用語・略語	11
1. ブロック図	12
2. 端子配置図	13
2.1. LQFP100	13
2.2. QFP100	14
2.3. LQFP80	15
2.4. LQFP64	16
2.5. LQFP52	17
2.6. LQFP48	18
2.7. VQFN48	19
2.8. LQFP44	20
2.9. LQFP32	21
3. メモリマップ	22
3.1. メモリ容量一覧	23
4. 端子説明	24
4.1. 機能端子名称と機能	24
4.1.1. 周辺機能端子	24
4.1.2. デバッグ端子	26
4.1.3. 制御端子	27
4.1.4. 電源端子	28
4.1.5. 電源間コンデンサ	29
4.2. 機能端子とポート割り当て(端子番号)	30
4.3. ポート	41
4.3.1. ポート仕様一覧	42
5. 機能説明・動作説明	45
5.1. リファレンスマニュアル	45
5.2. プロセッサコア	46
5.2.1. コアに関する情報	46

5.2.2. 構成可能なオプション.....	46
5.3. クロック制御と動作モード (CG).....	47
5.4. フラッシュメモリ(コードフラッシュ、データフラッシュ).....	47
5.5. 発振器.....	48
5.6. トリミング回路 (TRM).....	48
5.7. 周波数検知回路 (OFD).....	48
5.8. 電圧検知回路 (LVD).....	49
5.9. デジタルノイズフィルタ回路 (DNF).....	49
5.10. デバッグインタフェース (DEBUG).....	50
5.11. DMA コントローラ (DMAC).....	51
5.12. 非同期シリアル通信回路 (UART).....	51
5.13. シリアルペリフェラルインタフェース (TSPI).....	51
5.14. I ² C インタフェース (I ² C).....	52
5.15. 8 ビットデジタルアナログコンバータ (DAC).....	52
5.16. 12 ビットアナログデジタルコンバータ (ADC).....	53
5.17. モータ制御回路プラス (PMD+).....	53
5.18. アドバンスドエンコーダ入力回路 (A-ENC).....	53
5.19. 32 ビットタイマイイベントカウンタ (T32A).....	54
5.20. リアルタイムクロック (RTC).....	54
5.21. クロック選択式ウォッチドッグタイマ (SIWDT).....	55
5.22. リモコン受信回路 (RMC).....	55
5.23. バウンダリスキャン (BSC).....	55
6. 等価回路図.....	56
6.1. ポート.....	56
6.2. アナログ関連端子.....	60
6.3. 制御端子.....	61
6.4. クロック制御.....	62
7. 電気的特性.....	63
7.1. 絶対最大定格.....	63
7.2. DC 電気的特性(1/2).....	64
7.3. DC 電気的特性(2/2) (消費電流).....	68
7.4. 12 ビット AD コンバータ特性.....	70
7.5. 8 ビット DA コンバータ変換特性.....	71
7.6. リセット時内部処理特性.....	72
7.7. パワーオンリセット特性.....	72
7.8. 電圧検知回路特性.....	73
7.9. AC 電気的特性.....	74

7.9.1. シリアルペリフェラルインタフェース (TSPI).....	74
7.9.2. I ² C インタフェース (I ² C).....	79
7.9.3. 32 ビットタイマイベントカウンタ (T32A).....	81
7.9.4. 外部割り込み.....	82
7.9.5. 端子トリガ入力 (TRGINx).....	83
7.9.6. デバッグ通信.....	84
7.9.7. SCOUT 端子.....	87
7.9.8. ノイズフィルタ特性.....	87
7.9.9. 外部クロック入力.....	88
7.10. フラッシュ特性.....	89
7.10.1. コードフラッシュ特性.....	89
7.10.2. データフラッシュ特性.....	89
7.10.3. チップ消去特性.....	89
7.11. レギュレータ.....	90
7.12. 発振回路.....	90
7.12.1. 内蔵発振器.....	90
7.12.2. 外部発振器.....	90
7.12.3. 発振回路例.....	91
7.12.4. セラミック発振子.....	91
7.12.5. 水晶発振子.....	91
7.12.6. プリント基板の設計に関する注意.....	91
8. 外形寸法図.....	92
8.1. LQFP100-P-1414-0.50H.....	92
8.2. P-QFP100-1420-0.65-001.....	93
8.3. LQFP80-P-1212-0.50F.....	94
8.4. P-LQFP80-1414-0.65-001.....	95
8.5. LQFP64-P-1010-0.50E.....	96
8.6. P-LQFP64-1414-0.80-002.....	97
8.7. P-LQFP52-1010-0.65-001.....	98
8.8. LQFP48-P-0707-0.50C.....	99
8.9. P-VQFN48-0606-0.40-003.....	100
8.10. LQFP44-P-1010-0.80A.....	101
8.11. P-LQFP32-0707-0.80-002.....	102
9. 使用上のご注意およびお願い事項.....	103
10. 改訂履歴.....	104
Appendix.....	106
全端子一覧表.....	106
● 品番付与情報.....	108
製品取り扱い上のお願ひ.....	109

図目次

図 1.1	TMPM3H グループ(1)のブロック図	12
図 3.1	TMPM3H6FW の例	22
図 4.1	電源間コンデンサ	29
図 7.1	1 st クロックエッジサンプリング(マスタ)	77
図 7.2	2 nd クロックエッジサンプリング(マスタ)	77
図 7.3	2 nd クロックエッジサンプリング(スレーブ)	78
図 7.4	I ² C の AC タイミング	80
図 7.5	カウントパルス入力	82
図 7.6	SWD 波形	84
図 7.7	JTAG 波形	85
図 7.8	トレース信号波形	86
図 7.9	SCOUT 出力波形	87
図 7.10	外部クロック入力波形	88
図 7.11	発振回路例	91

表目次

表 1	機能別製品一覧(1)	2
表 2	機能別製品一覧(2)	3
表 3.1	メモリ容量とアドレス	23
表 4.1	周辺端子名称と機能	24
表 4.2	デバッグ端子名称と機能	26
表 4.3	制御端子名称と機能	27
表 4.4	電源端子名称と機能	28
表 4.5	SCOUT	30
表 4.6	INTx	30
表 4.7	T32A00, T32A01	31
表 4.8	T32A02, T32A03	32
表 4.9	T32A04, T32A05	33
表 4.10	TSPI0, TSPI1	34
表 4.11	UART0, UART1	35
表 4.12	UART2	36
表 4.13	I ² C0, I ² C1, I ² C2	36
表 4.14	PMD+, A-ENC	37
表 4.15	AINAx, DACx	38
表 4.16	TRGINx, RXINx, RTCOUT	38
表 4.17	デバッグ端子	39
表 4.18	制御端子	39
表 4.19	電源端子とポート	40
表 4.20	ポート A,B,C,D,E のポート名、仕様	42
表 4.21	ポート F,G,H,I,J,K のポート名、仕様	43
表 4.22	ポート L,M,N,P,R のポート名、仕様	44
表 5.1	TMPM3H グループ(1) リファレンスマニュアル一覧	45
表 5.2	コアリビジョン	46
表 5.3	構成可能なオプションと実装	46
表 5.4	搭載発振器	48
表 5.5	TRM 搭載一覧	48
表 5.6	OFD 搭載一覧	48
表 5.7	LVD 搭載一覧	49
表 5.8	外部割り込み数(DNF 搭載数)	49
表 5.9	デバッグインタフェース搭載一覧	50

表 5.10	DMAC 搭載一覧	51
表 5.11	UART 搭載一覧	51
表 5.12	TSPI 搭載一覧	51
表 5.13	I ² C 搭載一覧	52
表 5.14	DAC 搭載一覧	52
表 5.15	ADC 搭載一覧	53
表 5.16	アナログ入力数	53
表 5.17	PMD+搭載一覧	53
表 5.18	A-ENC 搭載一覧	53
表 5.19	T32A 搭載一覧	54
表 5.20	RTC 搭載一覧	54
表 5.21	SIWDT 搭載一覧	55
表 5.22	RMC 搭載一覧	55
表 5.23	バウンダリスキャン搭載一覧	55
表 7.1	絶対最大定格	63
表 7.2	IDD 測定条件(端子設定、発振回路)	68
表 7.3	IDD 測定条件(CPU、周辺回路)	69
表 10.1	改訂履歴	104

Not Recommended for New Design

序章

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C...を表します。
例: [ADACR0], [ADBCR0], [ADCCR0]→[ADxCR0]
チャンネルの場合、「x」は 0,1,2,...を表します。
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA]→[T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



Flash については、米国 SST 社 (Silicon Storage Technology, Inc.) からライセンスを受けた Super Flash® 技術を使用しています。Super Flash® は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

Not Recommended for New Design

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC	Advanced Encoder Input Circuit
BSC	Boundary Scan
DAC	Digital to Analog Converter
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
EHOSC	External High Speed Oscillator
ELOSC	External Low Speed Oscillator
Fm+	I ² C Fast Mode Plus
IHOSC	Internal High Speed Oscillator
INT	Interrupt
I ² C	Inter-Integrated Circuit
I ² CS	I ² C wake-up circuit from Stand-by mode
LVD	Voltage Detection Circuit
NMI	Non-Maskable Interrupt
OFD	Oscillation Frequency Detector
PMD+	Programmable Motor Control Circuit Plus
POR	Power On Reset Circuit
RMC	Remote Control Signal Preprocessor
RTC	Real Time Clock
SIWDT	Clock Selective Watchdog Timer
TRGSEL	Trigger Selection Circuit
TSPI	Toshiba Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Universal Asynchronous Receiver Transmitter

Not Recommended for New Design

1. ブロック図

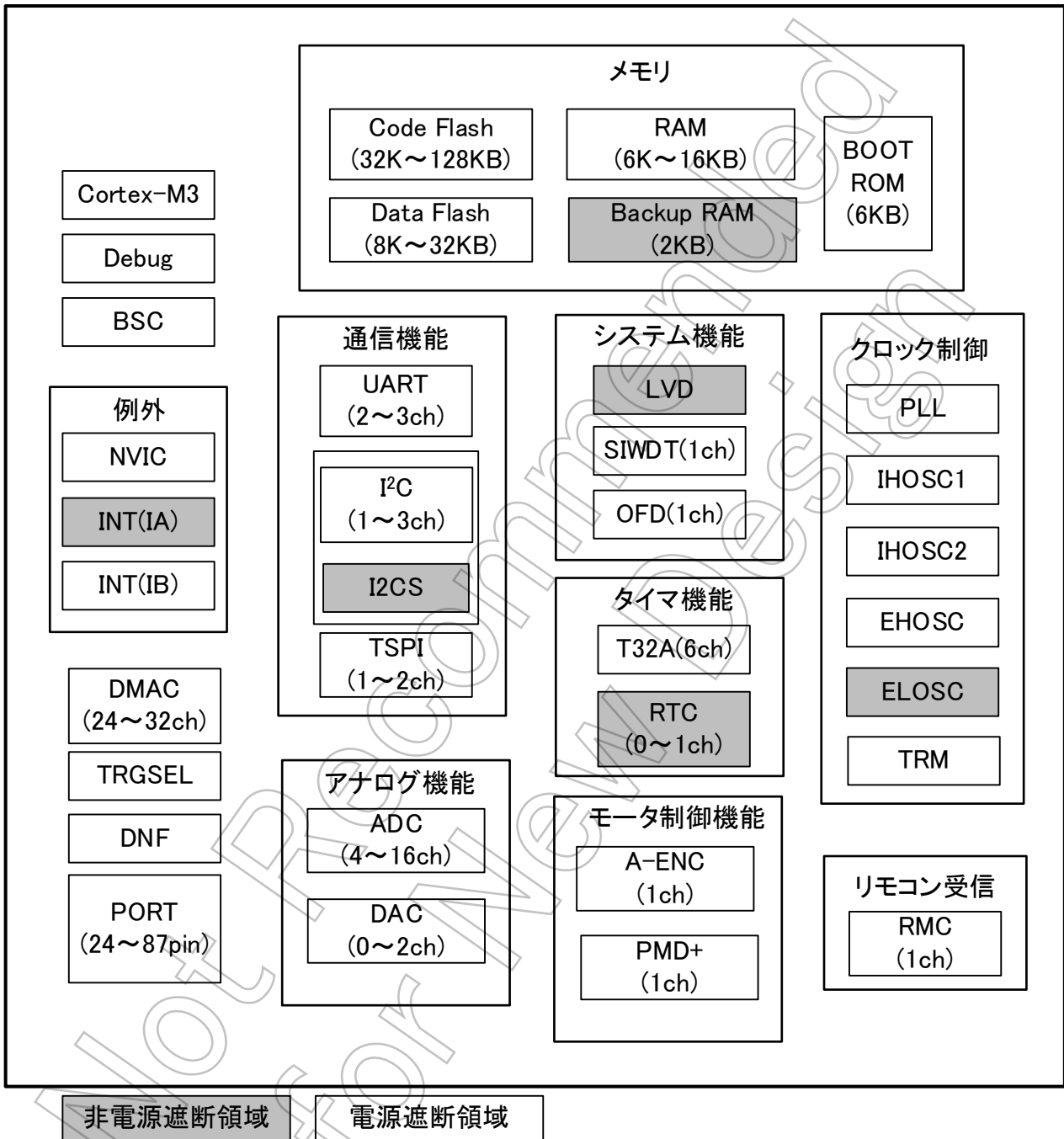
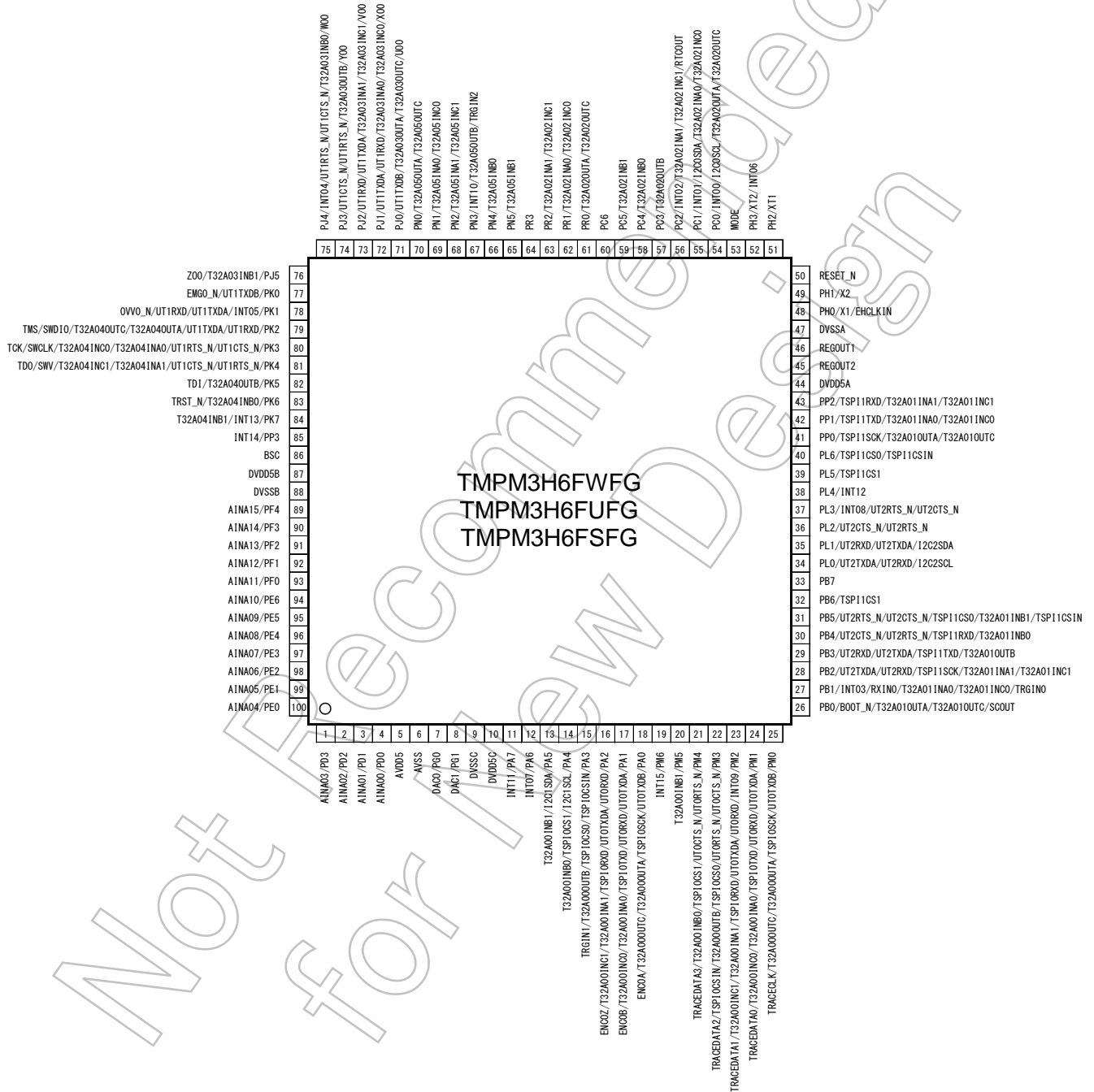


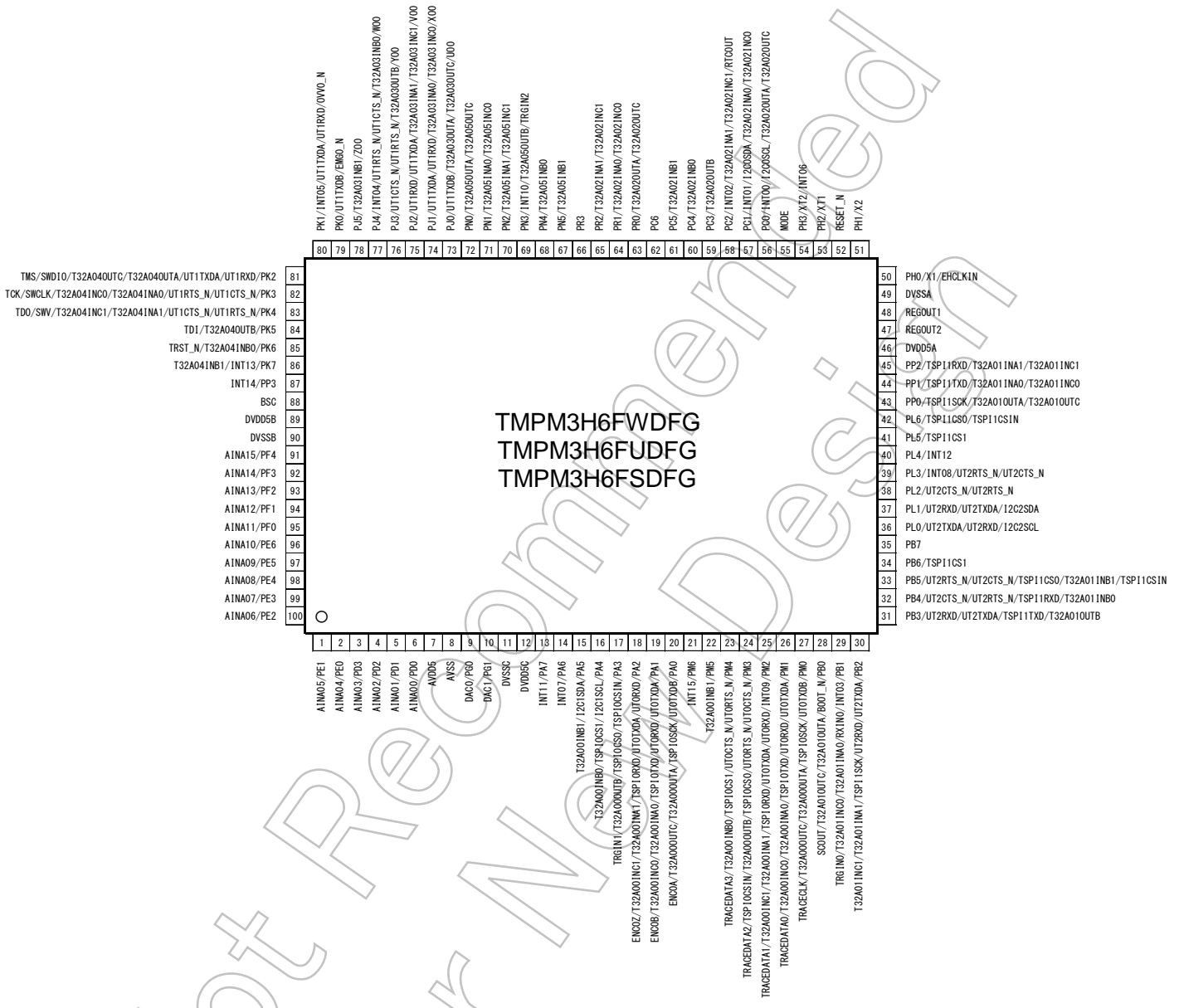
図 1.1 TMPM3Hグループ(1)のブロック図

2. 端子配置図

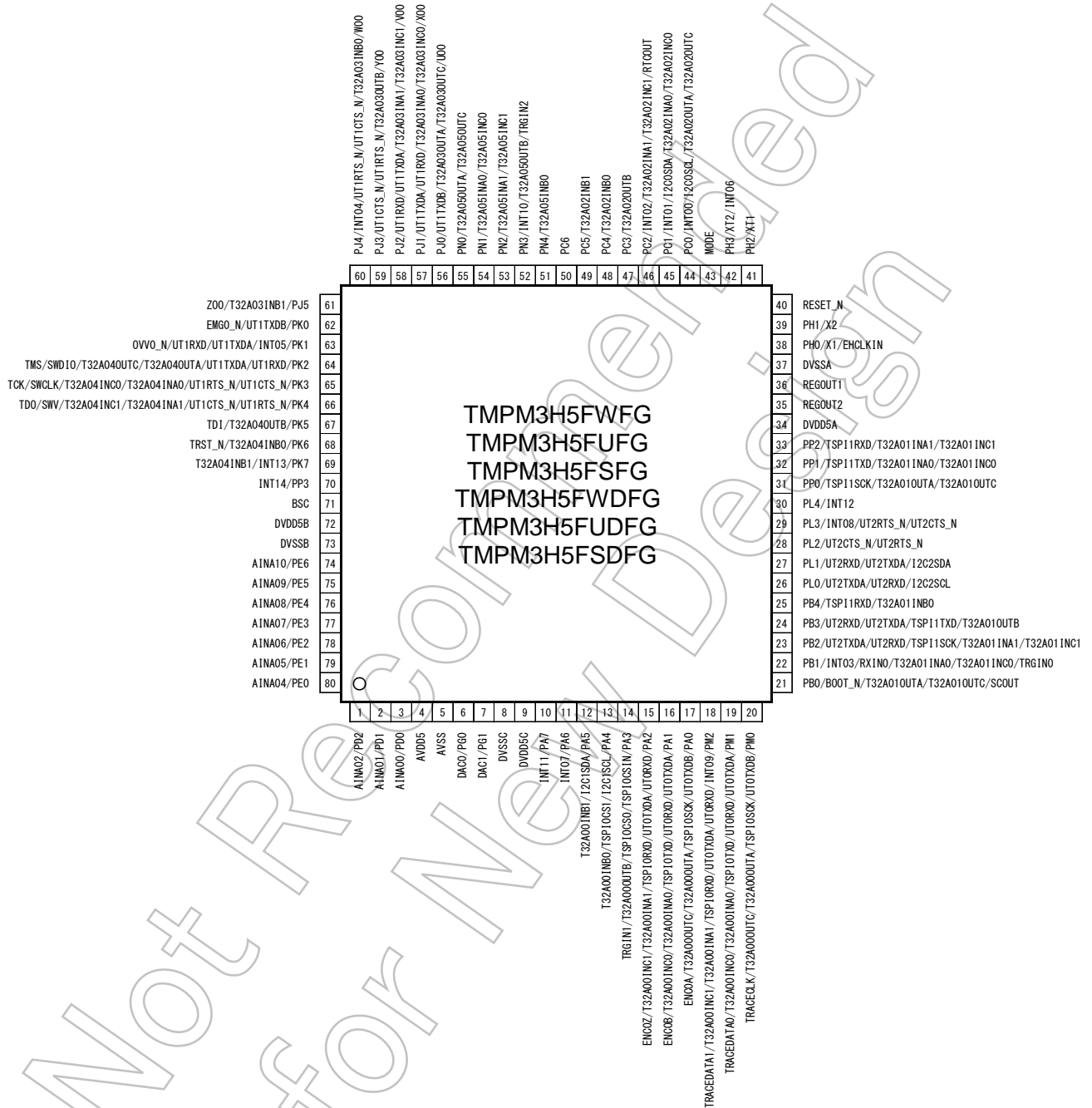
2.1. LQFP100



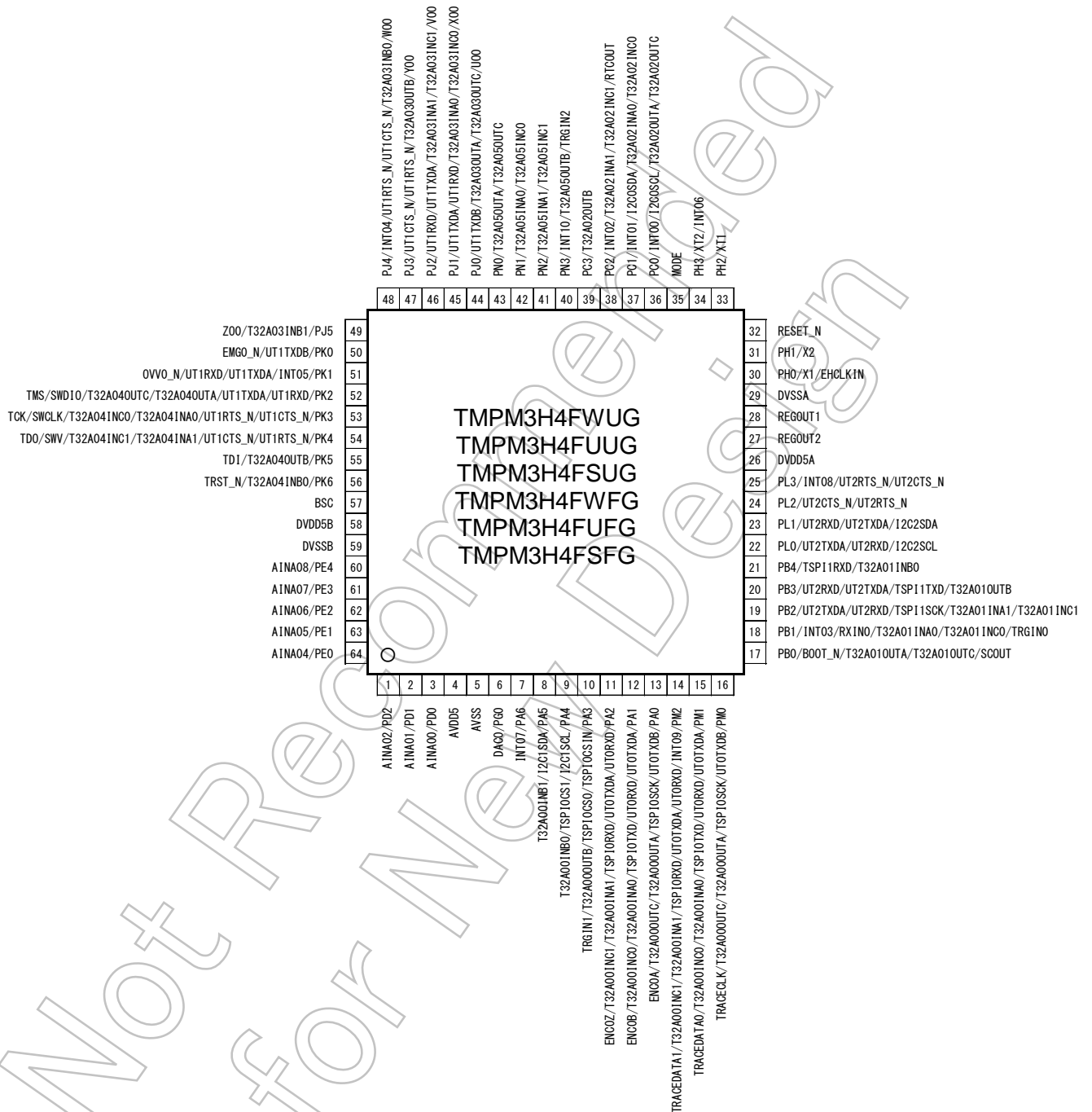
2.2. QFP100



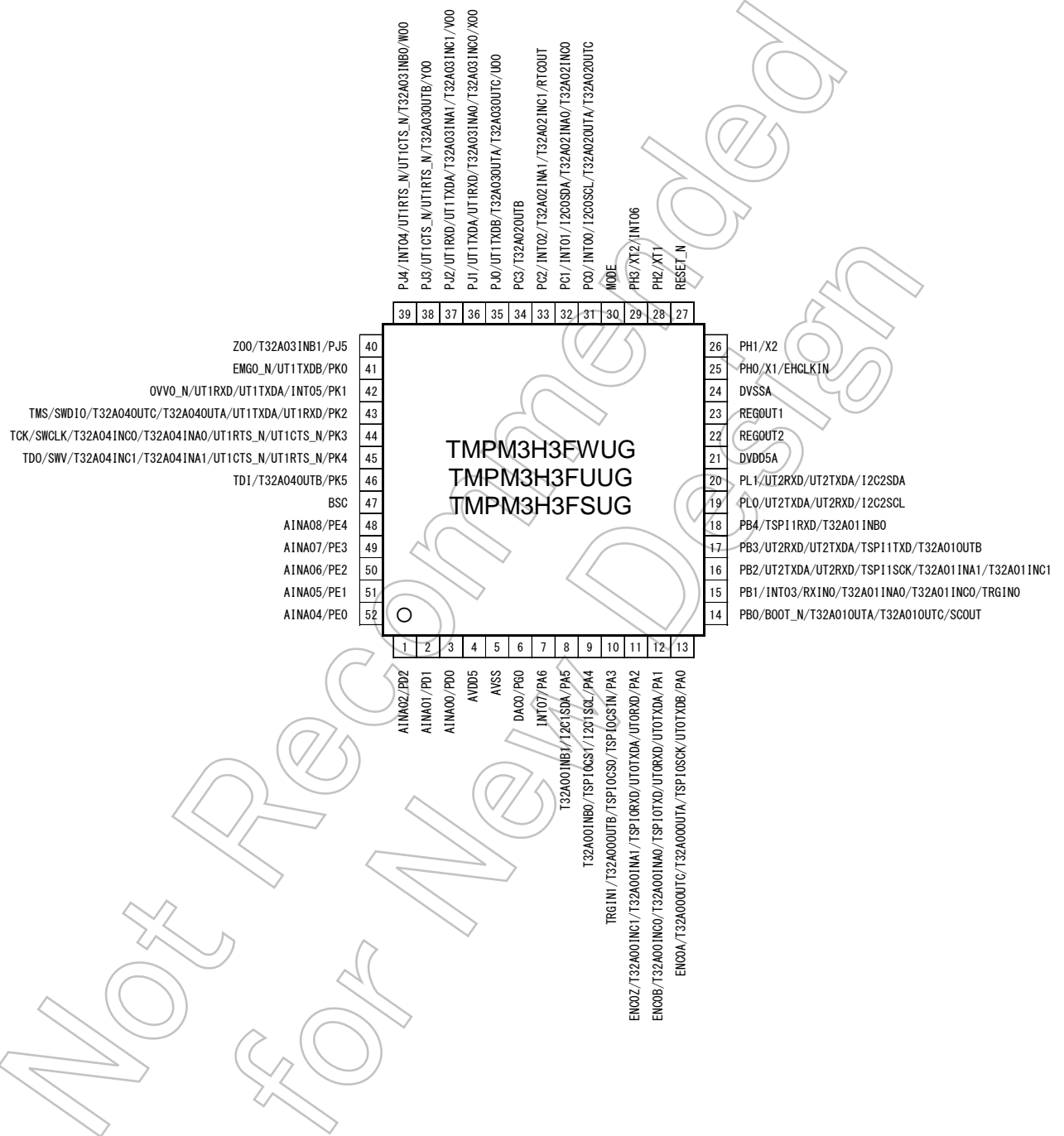
2.3. LQFP80



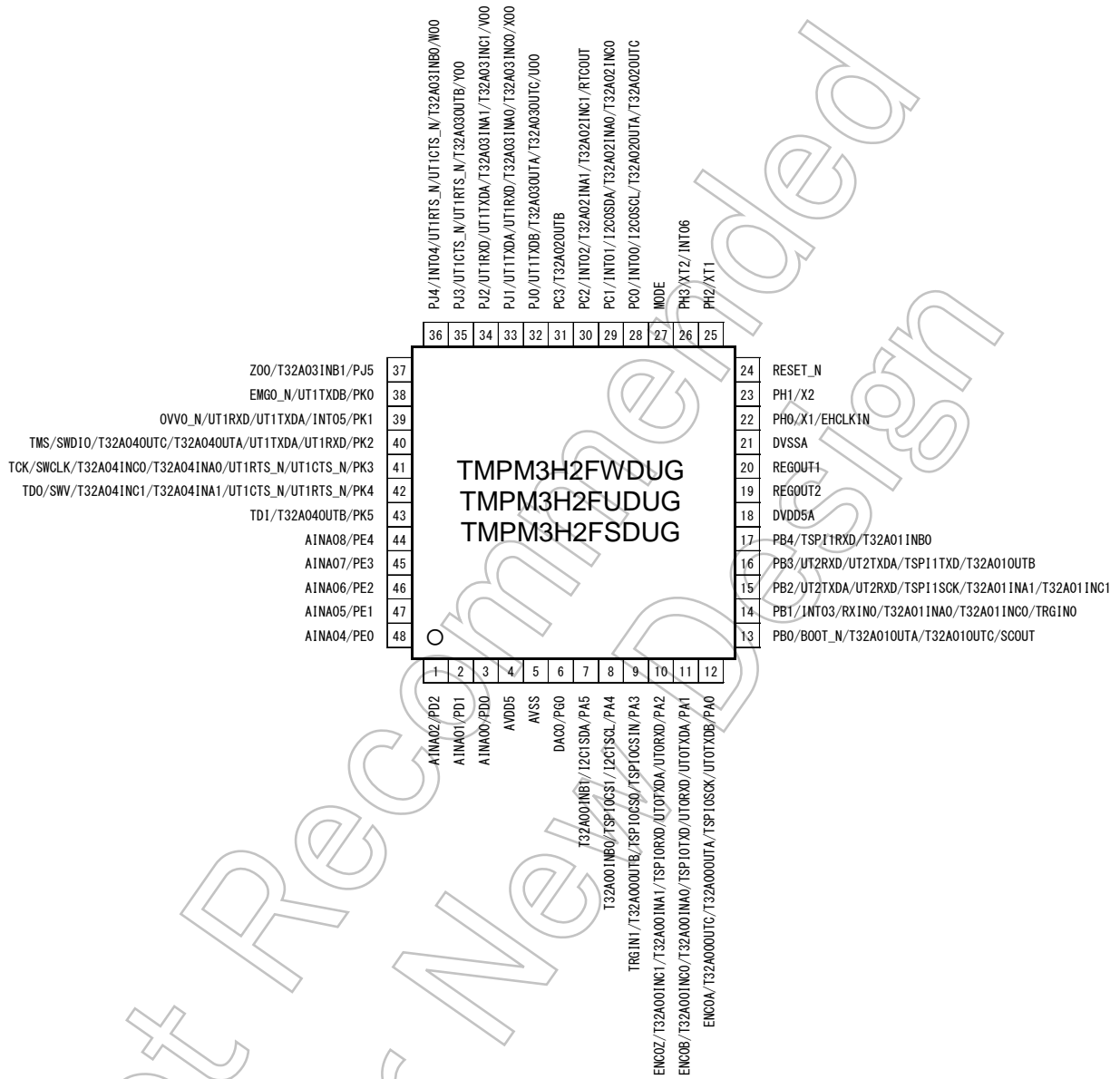
2.4. LQFP64



2.5. LQFP52



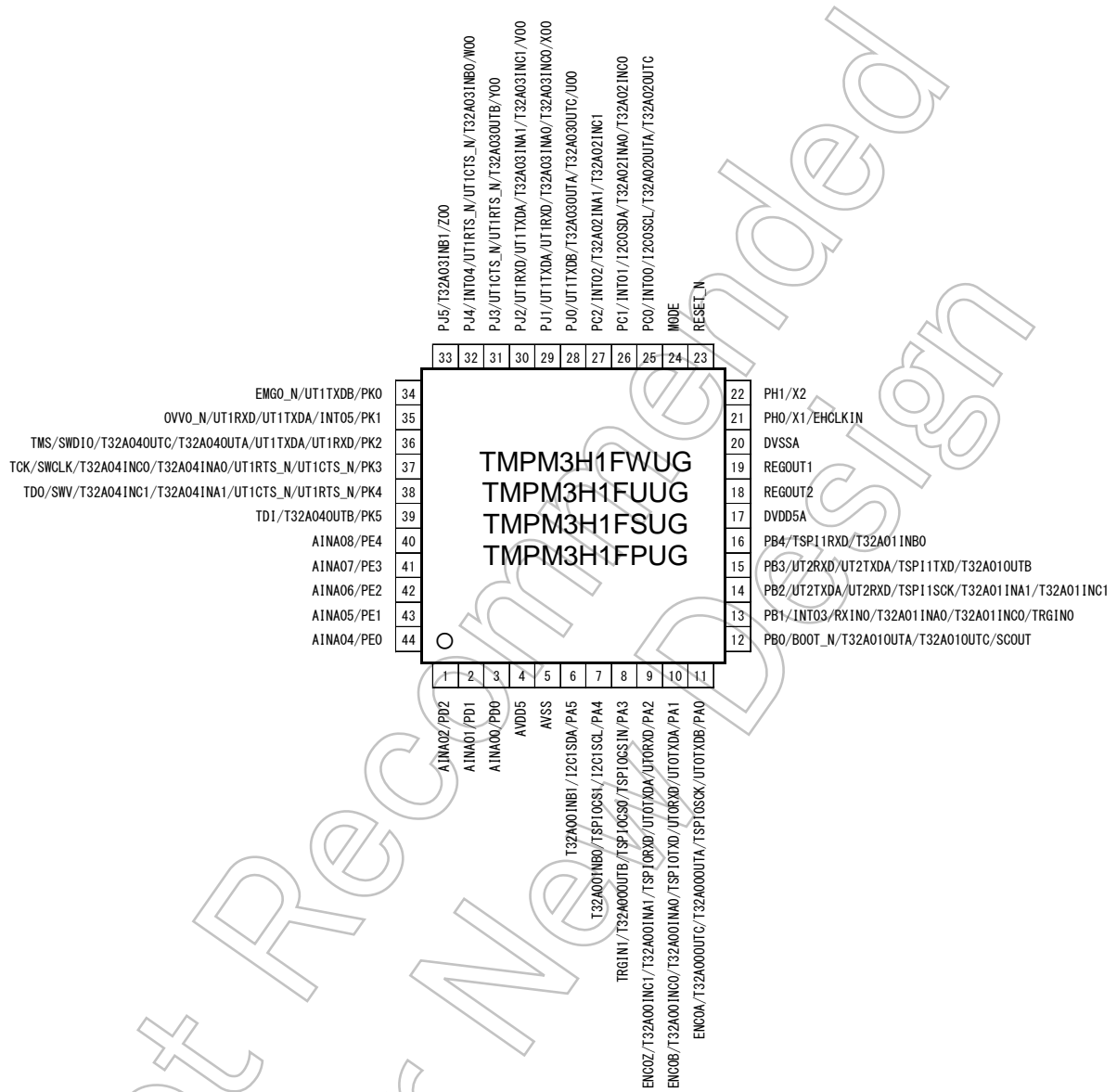
2.6. LQFP48



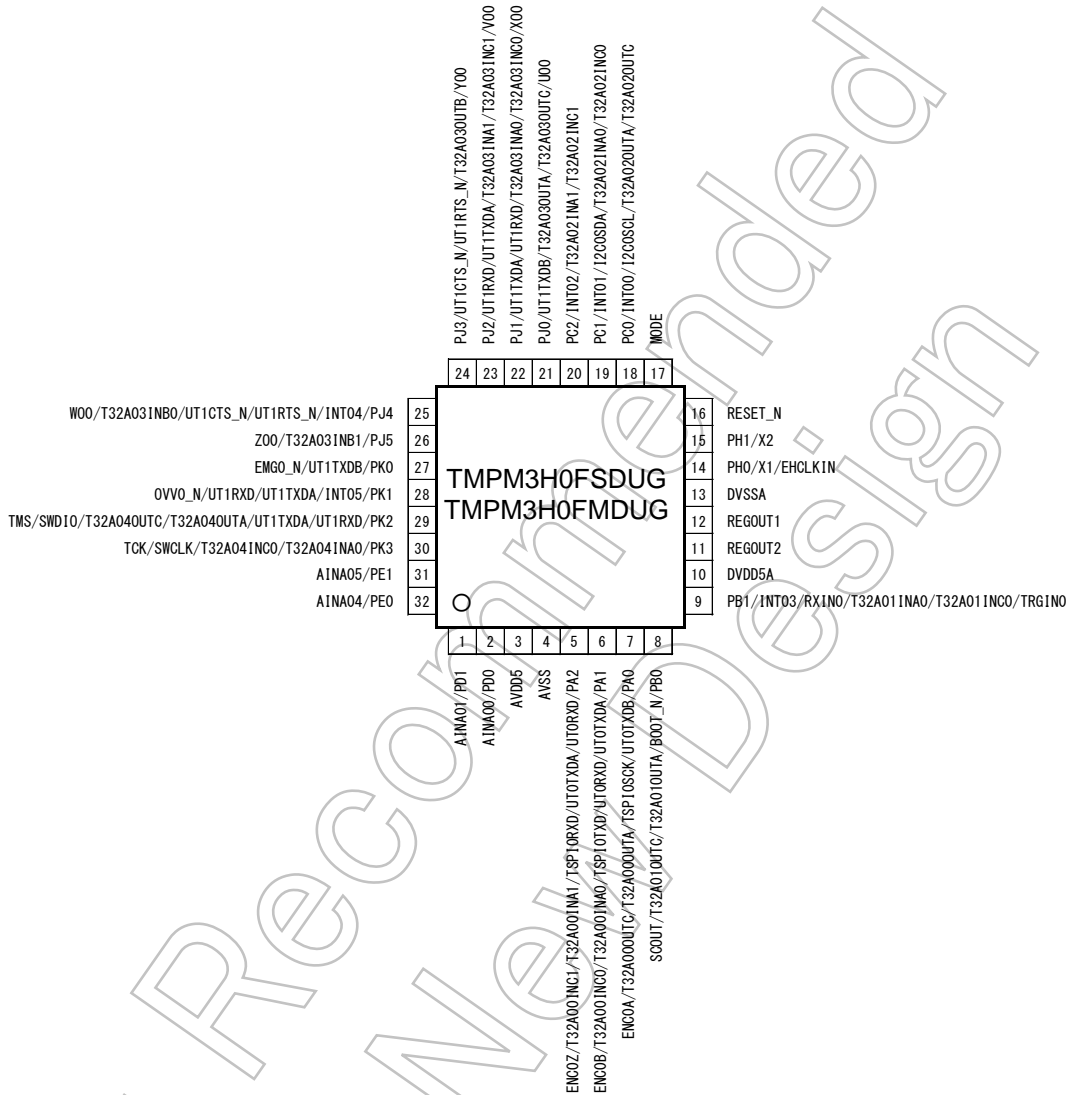
2.7. VQFN48



2.8. LQFP44



2.9. LQFP32



3. メモリマップ

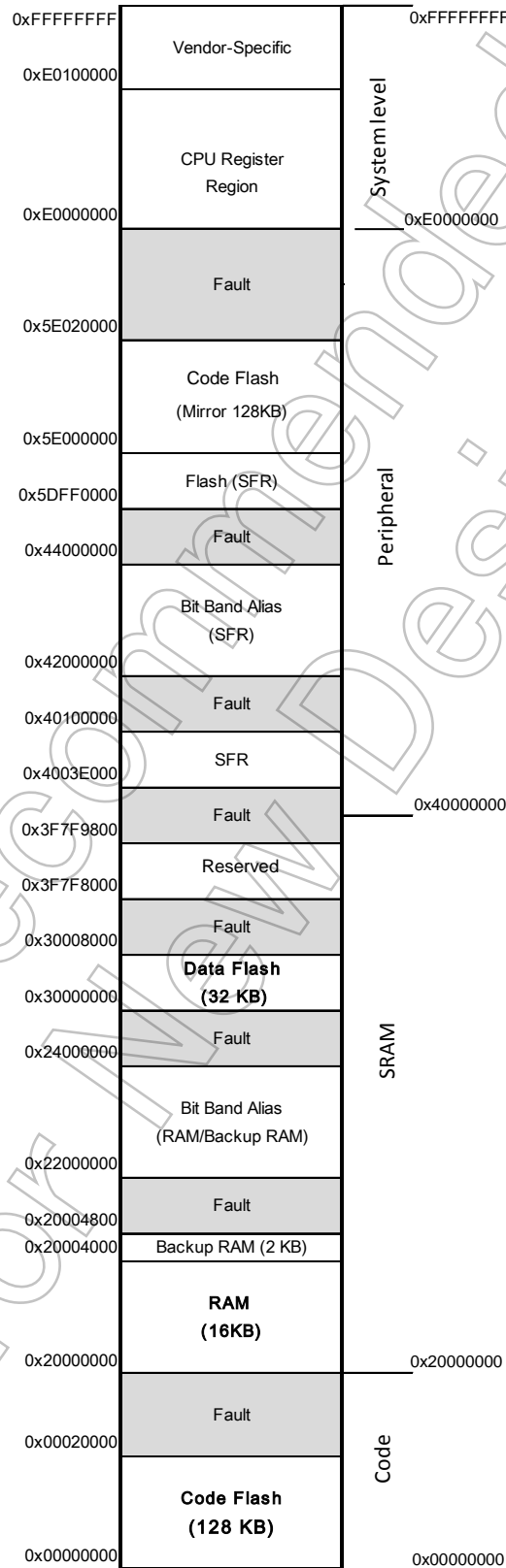


図 3.1 TMPM3H6FWの例

3.1. メモリ容量一覧

表 3.1 メモリ容量とアドレス

Products		TMPM3H6FWFG	TMPM3H6FUFG	TMPM3H6FSFG	TMPM3H1FPUG	TMPM3H0FMDUG	
		TMPM3H6FWDFG	TMPM3H6FUDFG	TMPM3H6FSDFG			
		TMPM3H5FWFG	TMPM3H5FUFG	TMPM3H5FSFG			
		TMPM3H5FWDFG	TMPM3H5FUDFG	TMPM3H5FSDFG			
		TMPM3H4FWFG	TMPM3H4FUFG	TMPM3H4FSFG			
		TMPM3H4FWUG	TMPM3H4FUUG	TMPM3H4FSUG			
		TMPM3H3FWUG	TMPM3H3FUUG	TMPM3H3FSUG			
		TMPM3H2FWDUG	TMPM3H2FUDUG	TMPM3H2FSUG			
		TMPM3H2FWQG	TMPM3H2FUQG	TMPM3H2FSQG			
		TMPM3H1FWUG	TMPM3H1FUUG	TMPM3H1FSUG			
		TMPM3H0FSDUG					
Peripheral region	Code Flash (Mirror)	Size	128KB	96KB	64KB	48KB	32KB
		START	0x5E000000	0x5E000000	0x5E000000	0x5E000000	0x5E000000
		END	0x5E01FFFF	0x5E017FFF	0x5E00FFFF	0x5E00BFFF	0x5E007FFF
SRAM region	Data Flash	Size	32KB		16KB	8KB	
		START	0x30000000		0x30000000	0x30000000	
		END	0x30007FFF		0x30003FFF	0x30001FFF	
	Backup RAM	Size	2KB				
		START	0x20004000				
		END	0x200047FF				
	RAM	Size	16KB	12KB	8KB	6KB	
		START	0x20000000	0x20000000	0x20000000	0x20000000	
		END	0x20003FFF	0x20002FFF	0x20001FFF	0x200017FF	
Code Region	Code Flash	Size	128KB	96KB	64KB	48KB	32KB
		START	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
		END	0x0001FFFF	0x00017FFF	0x0000FFFF	0x0000BFFF	0x00007FFF

4. 端子説明

4.1. 機能端子名称と機能

4.1.1. 周辺機能端子

表 4.1 周辺端子名称と機能

周辺機能	端子名称	Input or Output	機能
クロック/モード制御 (CG)	SCOUT	Output	クロック出力端子
割り込み制御 (IA/IB)	INTx	Input	外部割り込み入力端子 ノイズフィルタ(フィルタ幅: Typ. 30ns)を内蔵しています。
32ビットタイムイベントカウンタ (T32A)	T32AxINA0	Input	16ビットタイム A インพุットキャプチャ入力端子 0
	T32AxINA1	Input	16ビットタイム A インพุットキャプチャ入力端子 1
	T32AxOUTA	Output	16ビットタイム A 出力端子
	T32AxINB0	Input	16ビットタイム B インพุットキャプチャ入力端子 0
	T32AxINB1	Input	16ビットタイム B インพุットキャプチャ入力端子 1
	T32AxOUTB	Output	16ビットタイム B 出力端子
	T32AxINC0	Input	32ビットタイム インพุットキャプチャ入力端子 0
	T32AxINC1	Input	32ビットタイム インพุットキャプチャ入力端子 1
	T32AxOUTC	Output	32ビットタイム出力端子
シリアルペリフェラル インタフェース (TSPI)	TSPIxCSIN	Input	チップセレクト入力端子
	TSPIxCS0	Output	チップセレクト出力端子 0
	TSPIxCS1	Output	チップセレクト出力端子 1
	TSPIxRXD	Input	データ入力端子
	TSPIxTXD	Output	データ出力端子
	TSPIxSCK	I/O	クロック入出力端子
非同期シリアル 通信回路 (UART)	UTxRXD	Input	データ入力端子
	UTxTXDA	Output	データ出力端子 A
	UTxTXDB	Output	データ出力端子 B
	UTxCTS_N	Input	送信可能入力端子
	UTxRTS_N	Output	送信要求出力端子
I ² C インタフェース (I ² C)	I2CxSDA	I/O	データ入出力端子
	I2CxSCL	I/O	クロック入出力端子

モータ制御回路 (PMD+)	EMGx_N	Input	異常検出入力端子
	Ovvx_N	Input	過電圧検出入力端子
	UOx	Output	U 相出力端子
	VOx	Output	V 相出力端子
	WOx	Output	W 相出力端子
	XOx	Output	X 相出力端子
	YOx	Output	Y 相出力端子
	ZOx	Output	Z 相出力端子
エンコーダ入力回路 (A-ENC)	ENCxA	Input	エンコーダ入力端子 A
	ENCxB	Input	エンコーダ入力端子 B
	ENCxZ	Input	エンコーダ入力端子 Z
アナログデジタル コンバータ (ADC)	AINAx	Input	アナログ入力端子
デジタルアナログ コンバータ (DAC)	DACx	Output	DAC 出力端子
トリガ入力	TRGINx	Input	外部トリガ入力端子
リモコン受信回路 (RMC)	RXINx	Input	リモコンデータ入力端子
リアルタイムクロック (RTC)	RTCOUT	Output	1Hz クロック出力端子

注) 端子名称の"x"にはチャンネル番号、ユニット番号、割り込み番号が入ります。

4.1.2. デバッグ端子

表 4.2 デバッグ端子名称と機能

デバッグポート	端子名称	Input or Output	機能
JTAG	TMS	Input	JTAG テストモード選択入力端子
	TCK	Input	JTAG シリアルクロック入力端子
	TDO	Output	JTAG シリアルデータ出力端子
	TDI	Input	JTAG シリアルデータ入力端子
	TRST_N	Input	JTAG テストリセット入力端子
SW	SWDIO	I/O	シリアルワイヤデータ入出力端子
	SWCLK	Input	シリアルワイヤクロック入力端子
	SWV	Output	シリアルワイヤビューワ出力端子
TRACE	TRACECLK	Output	トレースクロック出力端子
	TRACEDATA0	Output	トレースデータ出力端子 0
	TRACEDATA1	Output	トレースデータ出力端子 1
	TRACEDATA2	Output	トレースデータ出力端子 2
	TRACEDATA3	Output	トレースデータ出力端子 3

4.1.3. 制御端子

表 4.3 制御端子名称と機能

	端子名	Input or Output	機能
制御端子	X1	Input	高速発振子接続端子
	X2	Output	高速発振子接続端子
	XT1	Input	低速発振子接続端子
	XT2	Output	低速発振子接続端子
	EHCLKIN	Input	外部クロック入力端子
	BOOT_N	Input	BOOT モード制御用端子 RESET_N 端子入力の立ち上がりで BOOT モード制御用端子がサンプリングされます。内部リセット要因ではサンプリングされません。 BOOT モード制御用端子のレベルが"Low"の場合、シングルブートモードになります。"High"の場合、シングルチップモードになります。 シングルブートモードの詳細については、リファレンスマニュアル「フラッシュメモリ」を参照してください。
	RESET_N	Input	リセット信号入力端子
	MODE	Input	モード端子 必ず"Low"レベルに固定してください。
	BSC	Input	バウンダリスキャンモード制御用端子

4.1.4. 電源端子

表 4.4 電源端子名称と機能

	端子名	機能
電源	DVDD5A (注 1) DVDD5B (注 1) DVDD5C (注 1)	デジタル用電源端子 DVDD5A/B/C は下記の端子に電源を供給しています。 PA~PC, PH~PR, MODE, RESET_N, BOOT_N, BSC 発振回路には、内蔵レギュレータを経由して端子に電源を供給しています。 X1, X2, XT1, XT2
	DVSSA (注 2) DVSSB (注 2) DVSSC (注 2)	デジタル用 GND 端子
	REGOUT1 (注 3)	レギュレータ用コンデンサ接続端子(注 4)
	REGOUT2 (注 3)	レギュレータ用コンデンサ接続端子(注 4)
	AVDD5	アナログ用電源端子、アナログ基準電源端子(VREFH)と兼用です AVDD5 は下記の端子に電源を供給しています。 PD, PE, PF, PG
	AVSS	アナログ用 GND 端子、アナログ基準 GND 端子(VREFL)と兼用です。

注1) DVDD5A, DVDD5B, DVDD5C は、端子が無い場合を除き外部で同電位の電圧を印加してください。

注2) DVSSA, DVSSB, DVSSC は、端子が無い場合を除き外部で同電位の電圧を印加してください。

注3) REGOUT1, REGOUT2 は、DVDD5A, DVDD5B, DVDD5C や DVSSA, DVSSB, DVSSC とショートしないでください。

注4) コンデンサ容量は電気的特性を参照してください。

4.1.5. 電源間コンデンサ

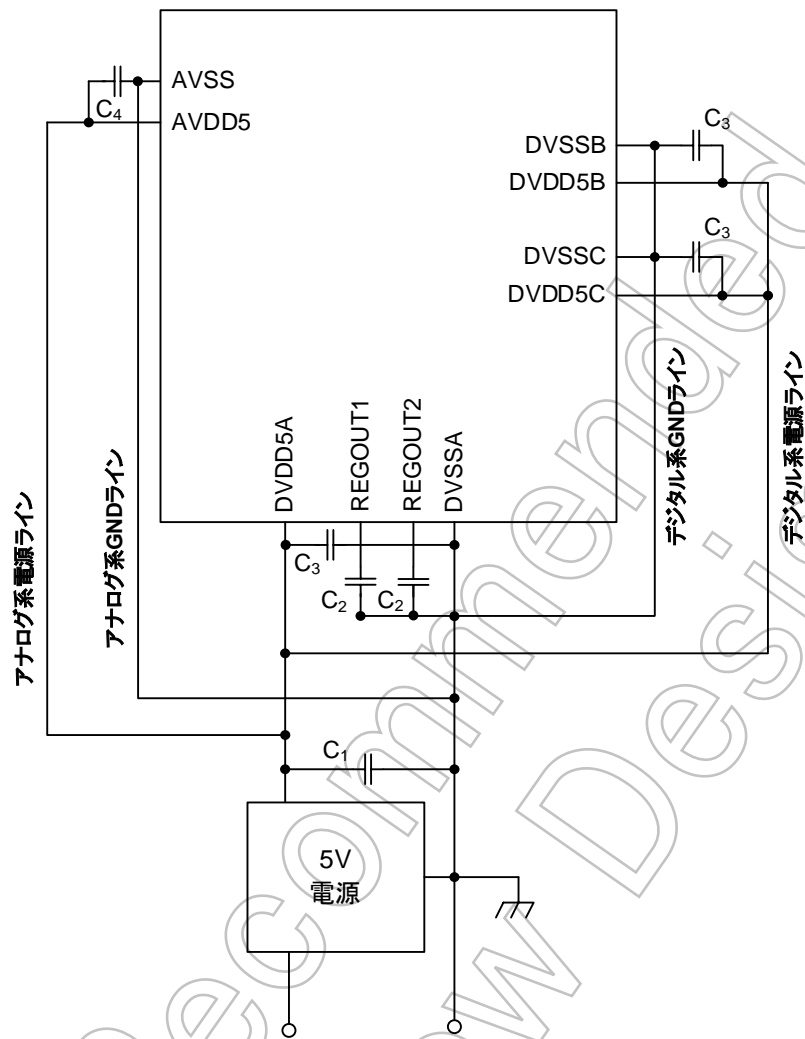


図 4.1 電源間コンデンサ

- 注1) 5V 電源出力端子近くに $1\mu\text{F}$ 以上のコンデンサ(C_1)を挿入してください。セラミックコンデンサを推奨します。
- 注2) 各 MCU 電源端子の近傍に電源-GND 間にバイパスコンデンサ($C_3, C_4: 0.01\sim 0.1\mu\text{F}$ 程度)を挿入してください。
- 注3) 内蔵レギュレータ用コンデンサ接続端子(REGOUT1, REGOUT2)には同容量の電源安定用コンデンサ($C_2: 4.7\mu\text{F}$)を挿入してください。セラミックコンデンサを推奨します。これらのコンデンサは DVSSA 近傍に配置してください。
- 注4) デジタル電源からアナログ回路へのノイズ混入を抑制するため、アナログ電源ラインとデジタル電源ラインは 5V 電源出力端子の近くで分離してください。
- 注5) 周辺回路からアナログ回路へのノイズ混入を抑制するため、アナログ電源系の入出力端子にフィルタ回路やプルアップ/ダウン抵抗を挿入する場合は、それらの回路を構成する部品はアナログ電源ラインに接続してください。
- 注6) 電源ラインと GND ラインとコンデンサによるループ回路で受ける高周波ノイズなどを抑制するため、電源ラインと GND ラインは離さずに配線してください。

4.2. 機能端子とポート割り当て(端子番号)

機能端子から見たポート割り当てと各製品の端子番号です。
表中の“-“の部分は、「端子がありません」または「機能の割り当てがありません」。

表 4.5 SCOUT

兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
SCOUT	PB0	26	28	21	17	14	13	12	8

表 4.6 INTx

兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
INT00	PC0	54	56	44	36	31	28	25	18
INT01	PC1	55	57	45	37	32	29	26	19
INT02	PC2	56	58	46	38	33	30	27	20
INT03	PB1	27	29	22	18	15	14	13	9
INT04	PJ4	75	77	60	48	39	36	32	25
INT05	PK1	78	80	63	51	42	39	35	28
INT06	PH3	52	54	42	34	29	26	-	-
INT07	PA6	12	14	11	7	7	-	-	-
INT08	PL3	37	39	29	25	-	-	-	-
INT09	PM2	23	25	18	14	-	-	-	-
INT10	PN3	67	69	52	40	-	-	-	-
INT11	PA7	11	13	10	-	-	-	-	-
INT12	PL4	38	40	30	-	-	-	-	-
INT13	PK7	84	86	69	-	-	-	-	-
INT14	PP3	85	87	70	-	-	-	-	-
INT15	PM6	19	21	-	-	-	-	-	-

表 4.7 T32A00, T32A01

兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
T32A00INA0	PA1	17	19	16	12	12	11	10	6
	PM1	24	26	19	15	-	-	-	-
T32A00INA1	PA2	16	18	15	11	11	10	9	5
	PM2	23	25	18	14	-	-	-	-
T32A00OUTA	PA0	18	20	17	13	13	12	11	7
	PM0	25	27	20	16	-	-	-	-
T32A00INB0	PA4	14	16	13	9	9	8	7	-
	PM4	21	23	-	-	-	-	-	-
T32A00INB1	PA5	13	15	12	8	8	7	6	-
	PM5	20	22	-	-	-	-	-	-
T32A00OUTB	PA3	15	17	14	10	10	9	8	-
	PM3	22	24	-	-	-	-	-	-
T32A00INC0	PA1	17	19	16	12	12	11	10	6
	PM1	24	26	19	15	-	-	-	-
T32A00INC1	PA2	16	18	15	11	11	10	9	5
	PM2	23	25	18	14	-	-	-	-
T32A00OUTC	PA0	18	20	17	13	13	12	11	7
	PM0	25	27	20	16	-	-	-	-
兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
T32A01INA0	PB1	27	29	22	18	15	14	13	9
	PP1	42	44	32	-	-	-	-	-
T32A01INA1	PB2	28	30	23	19	16	15	14	-
	PP2	43	45	33	-	-	-	-	-
T32A01OUTA	PB0	26	28	21	17	14	13	12	8
	PP0	41	43	31	-	-	-	-	-
T32A01INB0	PB4	30	32	25	21	18	17	16	-
T32A01INB1	PB5	31	33	-	-	-	-	-	-
T32A01OUTB	PB3	29	31	24	20	17	16	15	-
T32A01INC0	PB1	27	29	22	18	15	14	13	9
	PP1	42	44	32	-	-	-	-	-
T32A01INC1	PB2	28	30	23	19	16	15	14	-
	PP2	43	45	33	-	-	-	-	-
T32A01OUTC	PB0	26	28	21	17	14	13	12	8
	PP0	41	43	31	-	-	-	-	-

表 4.8 T32A02, T32A03

兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
T32A02INA0	PC1	55	57	45	37	32	29	26	19
	PR1	62	64	-	-	-	-	-	-
T32A02INA1	PC2	56	58	46	38	33	30	27	20
	PR2	63	65	-	-	-	-	-	-
T32A02OUTA	PC0	54	56	44	36	31	28	25	18
	PR0	61	63	-	-	-	-	-	-
T32A02INB0	PC4	58	60	48	-	-	-	-	-
T32A02INB1	PC5	59	61	49	-	-	-	-	-
T32A02OUTB	PC3	57	59	47	39	34	31	-	-
T32A02INC0	PC1	55	57	45	37	32	29	26	19
	PR1	62	64	-	-	-	-	-	-
T32A02INC1	PC2	56	58	46	38	33	30	27	20
	PR2	63	65	-	-	-	-	-	-
T32A02OUTC	PC0	54	56	44	36	31	28	25	18
	PR0	61	63	-	-	-	-	-	-
兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
T32A03INA0	PJ1	72	74	57	45	36	33	29	22
T32A03INA1	PJ2	73	75	58	46	37	34	30	23
T32A03OUTA	PJ0	71	73	56	44	35	32	28	21
T32A03INB0	PJ4	75	77	60	48	39	36	32	25
T32A03INB1	PJ5	76	78	61	49	40	37	33	26
T32A03OUTB	PJ3	74	76	59	47	38	35	31	24
T32A03INC0	PJ1	72	74	57	45	36	33	29	22
T32A03INC1	PJ2	73	75	58	46	37	34	30	23
T32A03OUTC	PJ0	71	73	56	44	35	32	28	21

表 4.9 T32A04, T32A05

兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
T32A04INA0	PK3	80	82	65	53	44	41	37	30
T32A04INA1	PK4	81	83	66	54	45	42	38	-
T32A04OUTA	PK2	79	81	64	52	43	40	36	29
T32A04INB0	PK6	83	85	68	56	-	-	-	-
T32A04INB1	PK7	84	86	69	-	-	-	-	-
T32A04OUTB	PK5	82	84	67	55	46	43	39	-
T32A04INC0	PK3	80	82	65	53	44	41	37	30
T32A04INC1	PK4	81	83	66	54	45	42	38	-
T32A04OUTC	PK2	79	81	64	52	43	40	36	29
兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
T32A05INA0	PN1	69	71	54	42	-	-	-	-
T32A05INA1	PN2	68	70	53	41	-	-	-	-
T32A05OUTA	PN0	70	72	55	43	-	-	-	-
T32A05INB0	PN4	66	68	51	-	-	-	-	-
T32A05INB1	PN5	65	67	-	-	-	-	-	-
T32A05OUTB	PN3	67	69	52	40	-	-	-	-
T32A05INC0	PN1	69	71	54	42	-	-	-	-
T32A05INC1	PN2	68	70	53	41	-	-	-	-
T32A05OUTC	PN0	70	72	55	43	-	-	-	-

表 4.10 TSPi0, TSPi1

兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
TSPi0CSiN	PM3	22	24	-	-	-	-	-	-
	PA3	15	17	14	10	10	9	8	-
TSPi0CS0	PM3	22	24	-	-	-	-	-	-
	PA3	15	17	14	10	10	9	8	-
TSPi0CS1	PM4	21	23	-	-	-	-	-	-
	PA4	14	16	13	9	9	8	7	-
TSPi0RXD	PM2	23	25	18	14	-	-	-	-
	PA2	16	18	15	11	11	10	9	5
TSPi0TXD	PM1	24	26	19	15	-	-	-	-
	PA1	17	19	16	12	12	11	10	6
TSPi0SCK	PM0	25	27	20	16	-	-	-	-
	PA0	18	20	17	13	13	12	11	7
兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
TSPi1CSiN	PL6	40	42	-	-	-	-	-	-
	PB5	31	33	-	-	-	-	-	-
TSPi1CS0	PL6	40	42	-	-	-	-	-	-
	PB5	31	33	-	-	-	-	-	-
TSPi1CS1	PL5	39	41	-	-	-	-	-	-
	PB6	32	34	-	-	-	-	-	-
TSPi1RXD	PP2	43	45	33	-	-	-	-	-
	PB4	30	32	25	21	18	17	16	-
TSPi1TXD	PP1	42	44	32	-	-	-	-	-
	PB3	29	31	24	20	17	16	15	-
TSPi1SCK	PP0	41	43	31	-	-	-	-	-
	PB2	28	30	23	19	16	15	14	-

表 4.11 UART0, UART1

兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
UT0RXD	PA2	16	18	15	11	11	10	9	5
	PA1	17	19	16	12	12	11	10	6
	PM2	23	25	18	14	-	-	-	-
	PM1	24	26	19	15	-	-	-	-
UT0TXDA	PA1	17	19	16	12	12	11	10	6
	PA2	16	18	15	11	11	10	9	5
	PM1	24	26	19	15	-	-	-	-
	PM2	23	25	18	14	-	-	-	-
UT0TXDB	PA0	18	20	17	13	13	12	11	7
	PM0	25	27	20	16	-	-	-	-
UT0CTS_N	PM3	22	24	-	-	-	-	-	-
	PM4	21	23	-	-	-	-	-	-
UT0RTS_N	PM4	21	23	-	-	-	-	-	-
	PM3	22	24	-	-	-	-	-	-
兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
UT1RXD	PJ2	73	75	58	46	37	34	30	23
	PJ1	72	74	57	45	36	33	29	22
	PK2	79	81	64	52	43	40	36	29
	PK1	78	80	63	51	42	39	35	28
UT1TXDA	PJ1	72	74	57	45	36	33	29	22
	PJ2	73	75	58	46	37	34	30	23
	PK1	78	80	63	51	42	39	35	28
	PK2	79	81	64	52	43	40	36	29
UT1TXDB	PJ0	71	73	56	44	35	32	28	21
	PK0	77	79	62	50	41	38	34	27
UT1CTS_N	PJ3	74	76	59	47	38	35	31	24
	PJ4	75	77	60	48	39	36	32	25
	PK3	80	82	65	53	44	41	37	-
	PK4	81	83	66	54	45	42	38	-
UT1RTS_N	PJ4	75	77	60	48	39	36	32	25
	PJ3	74	76	59	47	38	35	31	24
	PK4	81	83	66	54	45	42	38	-
	PK3	80	82	65	53	44	41	37	-

表 4.12 UART2

兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
UT2RXD	PB3	29	31	24	20	17	16	15	-
	PB2	28	30	23	19	16	15	14	-
	PL1	35	37	27	23	20	-	-	-
	PL0	34	36	26	22	19	-	-	-
UT2TXDA	PB2	28	30	23	19	16	15	14	-
	PB3	29	31	24	20	17	16	15	-
	PL0	34	36	26	22	19	-	-	-
	PL1	35	37	27	23	20	-	-	-
UT2CTS_N	PB4	30	32	-	-	-	-	-	-
	PB5	31	33	-	-	-	-	-	-
	PL2	36	38	28	24	-	-	-	-
	PL3	37	39	29	25	-	-	-	-
UT2RTS_N	PB5	31	33	-	-	-	-	-	-
	PB4	30	32	-	-	-	-	-	-
	PL3	37	39	29	25	-	-	-	-
	PL2	36	38	28	24	-	-	-	-

表 4.13 I²C0, I²C1, I²C2

兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
I2C0SDA	PC1	55	57	45	37	32	29	26	19
I2C0SCL	PC0	54	56	44	36	31	28	25	18
I2C1SDA	PA5	13	15	12	8	8	7	6	-
I2C1SCL	PA4	14	16	13	9	9	8	7	-
I2C2SDA	PL1	35	37	27	23	20	-	-	-
I2C2SCL	PL0	34	36	26	22	19	-	-	-

表 4.14 PMD+, A-ENC

兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
EMG0_N	PK0	77	79	62	50	41	38	34	27
OVV0_N	PK1	78	80	63	51	42	39	35	28
U00	PJ0	71	73	56	44	35	32	28	21
VO0	PJ2	73	75	58	46	37	34	30	23
WO0	PJ4	75	77	60	48	39	36	32	25
XO0	PJ1	72	74	57	45	36	33	29	22
YO0	PJ3	74	76	59	47	38	35	31	24
ZO0	PJ5	76	78	61	49	40	37	33	26
兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
ENC0A	PA0	18	20	17	13	13	12	11	7
ENC0B	PA1	17	19	16	12	12	11	10	6
ENC0Z	PA2	16	18	15	11	11	10	9	5

Not Recommended for New Design

表 4.15 AINAx, DACx

兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
AINA00	PD0	4	6	3	3	3	3	3	2
AINA01	PD1	3	5	2	2	2	2	2	1
AINA02	PD2	2	4	1	1	1	1	1	-
AINA03	PD3	1	3	-	-	-	-	-	-
AINA04	PE0	100	2	80	64	52	48	44	32
AINA05	PE1	99	1	79	63	51	47	43	31
AINA06	PE2	98	100	78	62	50	46	42	-
AINA07	PE3	97	99	77	61	49	45	41	-
AINA08	PE4	96	98	76	60	48	44	40	-
AINA09	PE5	95	97	75	-	-	-	-	-
AINA10	PE6	94	96	74	-	-	-	-	-
AINA11	PF0	93	95	-	-	-	-	-	-
AINA12	PF1	92	94	-	-	-	-	-	-
AINA13	PF2	91	93	-	-	-	-	-	-
AINA14	PF3	90	92	-	-	-	-	-	-
AINA15	PF4	89	91	-	-	-	-	-	-
兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
DAC0	PG0	7	9	6	6	6	6	-	-
DAC1	PG1	8	10	7	-	-	-	-	-

表 4.16 TRGINx, RXINx, RTCOUT

兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
TRGIN0	PB1	27	29	22	18	15	14	13	9
TRGIN1	PA3	15	17	14	10	10	9	8	-
TRGIN2	PN3	67	69	52	40	-	-	-	-
兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
RXIN0	PB1	27	29	22	18	15	14	13	9
兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
RTCOUT	PC2	56	58	46	38	33	30	-	-

表 4.17 デバッグ端子

兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
TMS	PK2	79	81	64	52	43	40	36	29
TCK	PK3	80	82	65	53	44	41	37	30
TDO	PK4	81	83	66	54	45	42	38	-
TDI	PK5	82	84	67	55	46	43	39	-
TRST_N	PK6	83	85	68	56	-	-	-	-
SWDIO	PK2	79	81	64	52	43	40	36	29
SWCLK	PK3	80	82	65	53	44	41	37	30
SWV	PK4	81	83	66	54	45	42	38	-
TRACECLK	PM0	25	27	20	16	-	-	-	-
TRACEDATA0	PM1	24	26	19	15	-	-	-	-
TRACEDATA1	PM2	23	25	18	14	-	-	-	-
TRACEDATA2	PM3	22	24	-	-	-	-	-	-
TRACEDATA3	PM4	21	23	-	-	-	-	-	-

表 4.18 制御端子

端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
X1	PH0	48	50	38	30	25	22	21	14
X2	PH1	49	51	39	31	26	23	22	15
XT1	PH2	51	53	41	33	28	25	-	-
XT2	PH3	52	54	42	34	29	26	-	-
EHCLKIN	PH0	48	50	38	30	25	22	21	14
BOOT_N	PB0	26	28	21	17	14	13	12	8
RESET_N		50	52	40	32	27	24	23	16
MODE		53	55	43	35	30	27	24	17
BSC		86	88	71	57	47	-	-	-

表 4.19 電源端子とポート

端子名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
DVDD5A	44	46	34	26	21	18	17	10
DVDD5B	87	89	72	58	-	-	-	-
DVDD5C	10	12	9	-	-	-	-	-
DVSSA	47	49	37	29	24	21	20	13
DVSSB	88	90	73	59	-	-	-	-
DVSSC	9	11	8	-	-	-	-	-
REGOUT1	46	48	36	28	23	20	19	12
REGOUT2	45	47	35	27	22	19	18	11
AVDD5	5	7	4	4	4	4	4	3
AVSS	6	8	5	5	5	5	5	4
ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
PB7	33	35	-	-	-	-	-	-
PC6	60	62	50	-	-	-	-	-
PR3	64	66	-	-	-	-	-	-

Not Recommended for New

4.3. ポート

表中の記号の意味は下記のとおりです。

- Input/Output : ポートの入出力
Input : 入力
Output : 出力
I/O : 入出力
- PU/PD : プログラマブル プルアップ/プルダウン対応
PU : プログラマブル プルアップ選択可能
PD : プログラマブル プルダウン選択可能
- OD : プログラマブル オープンドレイン出力対応
YES : 対応
NO : 非対応
- 5V_T : 5V トレラント対応
YES : 対応
N/A : 非対応
- SMT/CMOS:入力ゲート
SMT : シュミット入力
CMOS : CMOS 入力
- リセット中の状態 : リセット期間中の端子状態です
Hi-z : ハイインピーダンス
PU : プルアップ
PD : プルダウン
- リセット後の状態 : リセット解除直後の端子状態です
Hi-z : ハイインピーダンス
PU : プルアップ
PD : プルダウン

4.3.1. ポート仕様一覧

表 4.20 ポートA,B,C,D,Eのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/ CMOS	リセット中 の状態	リセット後 の状態
PA0	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PA1	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PA2	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PA3	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PA4	I/O	PU/PD	YES	YES	SMT	Hi-z	Hi-z
PA5	I/O	PU/PD	YES	YES	SMT	Hi-z	Hi-z
PA6	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PA7	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PB0	Output	PU/PD (注)	YES	N/A	SMT	Hi-z (注)	Hi-z
PB1	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PB2	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PB3	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PB4	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PB5	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PB6	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PB7	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PC0	I/O	PU/PD	YES	YES	SMT	Hi-z	Hi-z
PC1	I/O	PU/PD	YES	YES	SMT	Hi-z	Hi-z
PC2	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PC3	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PC4	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PC5	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PC6	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PD0	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PD1	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PD2	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PD3	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PE0	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PE1	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PE2	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PE3	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PE4	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PE5	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PE6	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z

注) BOOT_N 端子と兼用です。RESET_N 端子=0 の時プルアップ(PU)となります。
RESET_N 端子=1 の時に内部リセットがかかった場合は Hi-z です。

表 4.21 ポートF,G,H,I,J,Kのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/CMOS	リセット中の状態	リセット後の状態
PF0	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PF1	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PF2	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PF3	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PF4	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PG0	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PG1	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PH0	Input	PD	N/A	N/A	SMT	Hi-z	Hi-z
PH1	Input	PD	N/A	N/A	SMT	Hi-z	Hi-z
PH2	Input	PD	N/A	N/A	SMT	Hi-z	Hi-z
PH3	Input	PD	N/A	N/A	SMT	Hi-z	Hi-z
PJ0	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PJ1	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PJ2	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PJ3	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PJ4	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PJ5	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PK0	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PK1	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PK2	I/O	PU/PD	YES	N/A	SMT	PU(注)	PU(注)
PK3	I/O	PU/PD	YES	N/A	SMT	PD(注)	PD(注)
PK4	I/O	PU/PD	YES	N/A	SMT	Hi-z(注)	Hi-z(注)
PK5	I/O	PU/PD	YES	N/A	SMT	PU(注)	PU(注)
PK6	I/O	PU/PD	YES	N/A	SMT	PU(注)	PU(注)
PK7	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z

注) 初期値はデバッグ用端子に割り当てられています(PK2:TMS/SWDIO、PK3:TCK/SWCLK、PK4:TDO/SWV、PK5:TDI、PK6:TRST_N)。

表 4.22 ポートL,M,N,P,Rのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/CMOS	リセット中の状態	リセット後の状態
PL0	I/O	PU/PD	YES	YES	SMT	Hi-z	Hi-z
PL1	I/O	PU/PD	YES	YES	SMT	Hi-z	Hi-z
PL2	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PL3	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PL4	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PL5	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PL6	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PM0	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PM1	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PM2	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PM3	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PM4	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PM5	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PM6	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PN0	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PN1	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PN2	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PN3	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PN4	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PN5	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PP0	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PP1	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PP2	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PP3	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PR0	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PR1	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PR2	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z
PR3	I/O	PU/PD	YES	N/A	SMT	Hi-z	Hi-z

Not for use

5. 機能説明・動作説明

5.1. リファレンスマニュアル

TMPM3H グループ(1)製品の搭載機能詳細は下表のリファレンスマニュアルを参照してください。

表 5.1 TMPM3Hグループ(1) リファレンスマニュアル一覧

リファレンスマニュアル	IP 記号	分類
入出力ポート (TMPM3H グループ(1))	PORT-M3H(1)	システム
メモリマップ (TMPM3H グループ(1))	MMAP-M3H(1)	システム
例外 (TMPM3H グループ(1))	EXCEPT-M3H(1)	システム
クロック制御と動作モード (TMPM3H グループ(1))	CG-M3H(1)-D	システム
製品個別情報 (TMPM3H グループ(1))	PINFO-M3H(1)	システム
電源とリセット動作 (TMPM3H グループ(1))	RESET-M3H(1)	システム
フラッシュメモリ (コードフラッシュ:128KB データフラッシュ:32KB)	FLASH128_32-A	周辺機能
トリミング回路	TRM-A	周辺機能
周波数検知回路	OFD-A	周辺機能
電圧検知回路	LVD-A	周辺機能
デジタルノイズフィルタ回路	DNF-A	周辺機能
デバッグインタフェース	DEBUG-A	周辺機能
DMA コントローラ	DMAC-B	周辺機能
非同期シリアル通信回路	UART-C	周辺機能
シリアルペリフェラルインタフェース	TSPI-B	周辺機能
I ² C インタフェース	I2C-B	周辺機能
8ビットデジタルアナログコンバータ	DAC-A	周辺機能
12ビットアナログデジタルコンバータ	ADC-A	周辺機能
モータ制御回路プラス	PMD+-A	周辺機能
アドバンスドエンコーダ入力回路	A-ENC-A	周辺機能
32ビットタイマイベントカウンタ	T32A-B	周辺機能
リアルタイムクロック	RTC-A	周辺機能
クロック選択式ウォッチドッグタイマ	SIWDT-A	周辺機能
リモコン受信回路	RMC-A	周辺機能
バウンダリスキャン	BSC-A	周辺機能

5.2. プロセッサコア

TMPM3H グループ(1)には、高性能 32 ビットプロセッサコア(Arm 社 Cortex-M3 コア)が内蔵されています。

プロセッサコアの動作については、Arm 社からリリースされる"Cortex-M シリーズプロセッサの Arm ドキュメンテーションセット"を参照してください。この章では、製品固有の情報について説明します。

5.2.1. コアに関する情報

TMPM3H グループ(1)で使用している Cortex-M3 コアのリビジョンは以下のとおりです。CPU コア部、アーキテクチャなどの詳細は、Arm 社の下記 URL よりドキュメントを参照してください。

<http://infocenter.arm.com/help/index.jsp>

表 5.2 コアリビジョン

グループ名	コアリビジョン
TMPM3H グループ(1)	r2p1

5.2.2. 構成可能なオプション

Cortex-M3 コアは、一部のブロックについて実装するかどうかを選択することができます。TMPM3H グループ(1)での構成は以下のとおりです。

表 5.3 構成可能なオプションと実装

構成可能なオプション	実装
FWB	リテラルコンパレータ:2 本 命令コンパレータ:6 本
DWT	コンパレータ:4 本
ITM	あり
MPU	あり
ETM	あり
AHB-AP	あり
AHBトレースマクロセルインタフェース	なし
TPIU	あり
WIC	なし
デバッグポート	JTAG/シリアルワイヤ
ビットバンド	あり
AHB の継続的な制御	なし

5.3. クロック制御と動作モード (CG)

CGは、クロックギアやプリスケラクロックの選択、発振器のウォーミングアップなどを設定する機能です。

動作モードとして NORMAL モードと低消費電力モードがあり、使用方法に応じてモード遷移を行うことで消費電力を抑えることができます。

クロック制御回路の概要は、下記のとおりです。

- 内部高速発振器: 10MHz
- 外部高速発振器と内部高速発振器が選択可能
- PLL(通倍回路): 高速発振器の周波数に合わせて倍率を変更して 40MHz 出力可能
- クロックギア:
 - 高速クロックを 1/1、1/2、1/4、1/8、1/16 分周し、システムクロック(fsys)として選択可能。
- 低消費電力モード:
 - IDLE : CPU が停止します。周辺機能は動作可能です。
 - STOP1 : システムクロックが停止します。低周波クロックは動作可能(RTC、RMC へ供給)。
 - STOP2 : システムクロックが停止し、内部回路の電源を遮断します。設定によって、低周波クロック(RTC へ供給)や、I²C(スレーブ、アドレス一致による割り込み発生)は動作可能です。

5.4. フラッシュメモリ(コードフラッシュ、データフラッシュ)

コードフラッシュは命令コードを格納し、CPU がリードして実行します。データフラッシュはデータを格納し、電源が遮断されてもデータが消えません。

コードフラッシュで命令を実行しながら、データフラッシュを書き換えることが可能なデュアルモードを搭載しています。データフラッシュへのデータ保存時にもコードフラッシュ上でアプリプログラムの実行を継続することができます。

また、ブロック単位で書き込み/消去を禁止するプロテクト機能、第三者によるプログラムコードの読み出しを禁止するセキュリティ機能などを搭載しています。

5.5. 発振器

外部高速発振器(EHOSC)：外部にクリスタル発振子またはセラミック発振子を接続して、システムクロックの源発振に使用します。

外部低速発振器(ELOSC)：外部に 32.768kHz のクリスタル発振子を接続して、時計用クロックや低消費動作時の源発振に使用します。

内蔵高速発振器 1(IHOSC1)：10MHz の発振器です。システムクロックの源発振に使用します。

内蔵高速発振器 2(IHOSC2)：10MHz の発振器です。OFD、SIWDT の基準クロック、カウントクロックの源発振に使用します。

表 5.4 搭載発振器

	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
EHOSC	○	○	○	○	○	○	○
ELOSC	○	○	○	○	○	-	-
IHOSC1	○	○	○	○	○	○	○
IHOSC2	○	○	○	○	○	○	○

注) ○：搭載、-：非搭載

5.6. トリミング回路 (TRM)

内蔵高速発振器 1 (IHOSC1)の発振周波数を調整する回路です。

表 5.5 TRM搭載一覧

	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
TRM	○	○	○	○	○	○	○

注) ○：搭載、-：非搭載

5.7. 周波数検知回路 (OFD)

周波数検知回路(OFD)はクロックの異常を検知します。計測対象として外部高速クロック(f_{EHOSC})または高速クロック(f_c)のどちらかを選択できます。内蔵の基準クロック(f_{IHOSC2})を用いて、選択したクロックを計測し、設定範囲から外れると内部リセット信号を発生します。

検出範囲として、検出する周波数の上限と下限を個別に設定することができます。

表 5.6 OFD搭載一覧

	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
OFD	○	○	○	○	○	○	○

注) ○：搭載、-：非搭載

5.8. 電圧検知回路 (LVD)

電圧検知回路 (LVD)は、電源電圧があらかじめ設定した電圧を下回るあるいは上回ったことを検知すると、割り込み要求または内部リセット信号を発生します。

設定電圧は8種類から選択することができます。電源投入時、リセット時からイネーブルです。

表 5.7 LVD搭載一覧

	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
LVD	○	○	○	○	○	○	○

注) ○：搭載、－：非搭載

5.9. デジタルノイズフィルタ回路 (DNF)

DNF は外部割り込み入力に搭載したデジタルノイズフィルタ回路です。外部割り込み信号 INTx の High レベル/Low レベル入力ともにノイズを除去します。

表 5.8 外部割り込み数(DNF搭載数)

	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
外部割り込み数	16	15	11	8	7	6	6

5.10. デバッグインタフェース (DEBUG)

デバッグツールと接続するためのデバッグインタフェースとして、シリアルワイヤデバッグポート (SWCLK,SWDIO)と、JTAG デバッグポート(TDI,TDO,TMS,TCK,TRST_N)の2種類あります。これらの端子をデバッグツールと接続してプログラム開発を行います。また、デバッグ作業を軽減するためにトレースクロック(TRACECLK)とトレース出力(TRACEDATA0~3)があります。

表 5.9 デバッグインタフェース搭載一覧

端子名	ポート	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
TMS/SWDIO	PK2	○	○	○	○	○	○	○
TCK/SWCLK	PK3	○	○	○	○	○	○	○
TDO/SWV	PK4	○	○	○	○	○	○	-
TDI	PK5	○	○	○	○	○	○	-
TRST_N	PK6	○	○	○	-	-	-	-
TRACECLK	PM0	○	○	○	-	-	-	-
TRACEDATA0	PM1	○	○	○	-	-	-	-
TRACEDATA1	PM2	○	○	○	-	-	-	-
TRACEDATA2	PM3	○	-	-	-	-	-	-
TRACEDATA3	PM4	○	-	-	-	-	-	-

注) ○ : 搭載、- : 非搭載

5.11. DMA コントローラ (DMAC)

DMAC は、周辺機能からメモリへ、メモリから周辺機能へ、あるいはメモリからメモリへデータを移動させることができる周辺機能です。これらの動作は CPU 制御と別に行われるため、DMA を使用することで、CPU の負荷を著しく減らすことができます。

TMPM3H グループ(1)製品は、DMA コントローラ(DMAC)を 1 ユニット搭載しており、ユニット当たり最大 32 チャンネルの起動要因があります。

表 5.10 DMAC搭載一覧

UNIT	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
UNIT A	○	○	○	○	○	○	○

注) ○：搭載、－：非搭載

5.12. 非同期シリアル通信回路 (UART)

UART は、非同期シリアル通信機能です。7,8,9 ビットのデータ長、パリティ有無、STOP ビット長を選択できます。MSB ファースト/LSB ファーストの選択、データ極性の反転の他にポート設定で TXD/RXD の端子入れ替えができます。FIFO バッファは、送信で 8 段、受信で 8 段を内蔵しています。また、CTS/RTS による通信制御やハーフクロックモードをサポートしています。

表 5.11 UART搭載一覧

Channel	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
Channel 0	○	○	○	○	○	○	○
Channel 1	○	○	○	○	○	○	○
Channel 2	○	○	○	○	○	○	-

注 1) ○：搭載、－：非搭載

注 2) 外部端子は製品によって異なります。「2.端子配置図」を参照してください。

5.13. シリアルペリフェラルインタフェース (TSPI)

TSPI は通信時に CS(チップセレクト)信号を使用する SPI 方式と、CS 信号を使用しない SIO 方式の 2 つの通信方式に対応し、他のデバイスと高速なシリアル転送が可能な通信機能です。データ長は、7 ビット(パリティあり)から 32 ビット(パリティなし)まで 1 ビット単位で変更可能です。受信、送信ともに 16 ビットの FIFO が 8 段あります。マスタ、スレーブに対応します。

表 5.12 TSPI搭載一覧

Channel	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
Channel 0	○	○	○	○	○	○	○
Channel 1	○	○	○	○	○	○	-

注 1) ○：搭載、－：非搭載

注 2) 外部端子は製品によって異なります。「2 端子配置図」を参照してください。

5.14. I²C インタフェース (I²C)

I²Cは二線式双方向シリアル通信機能です。マスタとスレーブの関係で通信をしますが、同一バス上に複数のマスタが存在可能なマルチマスタをサポートしています。また、通信スピードは標準モード(最大 100kbps)、ファストモード(最大 400kbps)、ファストモードプラス:Fm+(最大 1Mbps)に対応しています。

設定により IDLE などの低消費電力モードでもデータを受信動作できます。また、チャンネル0にはスレーブアドレス一致でSTOP1,STOP2などの低消費電力モードから復帰する低消費電力動作解除機能(注2)があります。

表 5.13 I²C搭載一覧

Channel	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
Channel 0 (注 2)	○	○	○	○	○	○	○
Channel 1	○	○	○	○	○	○	-
Channel 2	○	○	○	○	-	-	-

注 1) ○ : 搭載、- : 非搭載

注 2) アドレス一致ウエイクアップ機能あり

5.15. 8 ビットデジタルアナログコンバータ (DAC)

DAC は、設定した電圧を出力することができる R-2R 型の 8 ビットのデジタルアナログコンバータです。バッファアンプは非搭載です。

表 5.14 DAC搭載一覧

Channel	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
Channel 0	○	○	○	○	○	-	-
Channel 1	○	○	-	-	-	-	-

注) ○ : 搭載、- : 非搭載

5.16. 12 ビットアナログデジタルコンバータ (ADC)

ADCは、12ビット逐次変換方式のアナログ/デジタルコンバータ(ADコンバータ)です。最大16チャンネルのアナログ入力に対応します。変換結果レジスタとアナログ入力の組み合わせは、AD変換の開始要因ごとにプログラム可能です(最大24個)。アナログデジタル変換の起動要因は、ソフトウェアまたは周辺機能(PMD+のトリガ出力、タイマ/イベントカウンタ出力、ポート入力)から選択できます。特にPMD+と連携することでモータを容易に制御することができます。

また、変換結果監視機能があり、比較条件と一致した場合に割り込み要求を発生させることができます。

表 5.15 ADC搭載一覧

UNIT	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
UNIT A	○	○	○	○	○	○	○

注) ○：搭載、－：非搭載

表 5.16 アナログ入力数

	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
アナログ入力数	16	10	8	8	8	8	4

5.17. モータ制御回路プラス (PMD+)

モータ制御回路プラス(PMD+)は、ブラシレス DC モータを容易に制御することができます。パルス幅変調回路(PWM)、デッドタイム回路によって3相相補PWM出力が可能です。ADCと連携してモータ制御用の波形を容易に発生できます。

また、過電圧検出入力や異常検出入力を内蔵しており、緊急時の安全対策も実現できます。

表 5.17 PMD+搭載一覧

Channel	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
Channel 0	○	○	○	○	○	○	○

注) ○：搭載、－：非搭載

5.18. アドバンスドエンコーダ入力回路 (A-ENC)

アドバンスドエンコーダ入力回路(A-ENC)は、インクリメンタル型エンコーダに対応し、モータの位置を容易に得ることができます。信号の入力端子にノイズキャンセラが内蔵されているので、インクリメンタルエンコーダ、ホールセンサの信号を直接入力することができます。

エンコーダモード、センサモード(3種類)、タイマモードおよび位相カウンタモードの6つの動作モードに対応しています。

表 5.18 A-ENC搭載一覧

Channel	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
Channel 0	○	○	○	○	○	○	○

注) ○：搭載、－：非搭載

5.19. 32 ビットタイマイベントカウンタ (T32A)

T32A は、32 ビットタイマまたは、2 本の 16 ビットタイマとして動作するタイマイベントカウンタです。32 ビットタイマか 16 ビットタイマかどちらで動作するか選択が可能です。32 ビットタイマの場合、32 ビットカウンタのタイマ C として動作します。16 ビットタイマの場合、16 ビットカウンタのタイマ A とタイマ B の構成で動作します。

インタバルタイマ、イベントカウント、インプットキャプチャ、2 相カウンタ入力、PPG 出力、同期スタート、トリガスタート/ストップなど多彩な機能を内蔵しています。

表 5.19 T32A搭載一覧

Channel	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
Channel 0	○	○	○	○	○	○	○
Channel 1	○	○	○	○	○	○	○
Channel 2	○	○	○	○	○	○	○
Channel 3	○	○	○	○	○	○	○
Channel 4	○	○	○	○	○	○	○
Channel 5	○	○	○	○	○	○	○

注 1) ○：搭載、－：非搭載

注 2) 外部端子は製品によって異なります。「2 端子配置図」を参照してください。

5.20. リアルタイムクロック (RTC)

リアルタイムクロック(RTC)は秒カウンタをもち、時計機能、うるう年対応のカレンダー機能を実現できる周辺機能です。アラーム機能は、あらかじめ設定した日時に割り込み要求を発生することができます。

RTC は低周波クロックで動作するため、設定により IDLE、STOP1 や STOP2 などの低消費電力モードでも動作します。また、RTC の割り込み要求で低消費電力モードからの復帰が可能です。

クロック補正機能により、低周波発振周波数の誤差による時計の進みや遅れを簡単に補正することができます。

表 5.20 RTC搭載一覧

	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
RTC	○	○	○	○	○	-	-

注) ○：搭載、－：非搭載

5.21. クロック選択式ウォッチドッグタイマ (SIWDT)

クロック選択式ウォッチドッグタイマ(SIWDT)は、ノイズなどの原因により CPU が誤動作(暴走)した結果あらかじめ設定した検出時間以内にカウンタをクリアできなかった場合、カウンタのオーバフローを検出して割り込み要求を発生またはリセットを発生する周辺機能です。

カウントクロックとして、システムクロック($f_{sys}/4$)の他に内蔵発振器1(f_{IHOSC1})、内蔵発振器2(f_{IHOSC2})の3つから選択が可能です。

指定された期間のみカウンタクリアが可能な、カウンタクリアウィンドウ機能があります。

また、プロテクトモードに設定することでリセットがかかるまでレジスタの変更を禁止することができます(カウンタクリアは可能)。

表 5.21 SIWDT搭載一覧

	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
SIWDT	○	○	○	○	○	○	○

注) ○：搭載、－：非搭載

5.22. リモコン受信回路 (RMC)

RMCは、搬送波が取り除かれたリモコン信号の受信を行う機能です。リーダ信号を検出し、72ビット分のデータを一括して受信できます。受信できるデータのフォーマットは、同期方式、同期固定の位相方式の2種類です。

また、デジタル式のノイズキャンセラを内蔵しているため外乱ノイズを防ぐことができます。

RMCは低周波クロックでも動作可能で、設定により IDLE, STOP1 など(STOP2 は除く)の低消費電力モードでも動作します。また、RMCの割り込み要求で低消費電力モードからの復帰が可能です。

表 5.22 RMC搭載一覧

Channel	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
Channel 0	○	○	○	○	○	○	○

注) ○：搭載、－：非搭載

5.23. バウンダリスキャン (BSC)

バウンダリスキャンは基板実装後の検査に使用することができます。このインタフェースには業界標準の JTAG プロトコル (IEEE Std 1149.1・1990(Includes IEEE Std 1149.1a・1993))を使用しています。

表 5.23 バウンダリスキャン搭載一覧

	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
バウンダリスキャン	○	○	○	○	－	－	－

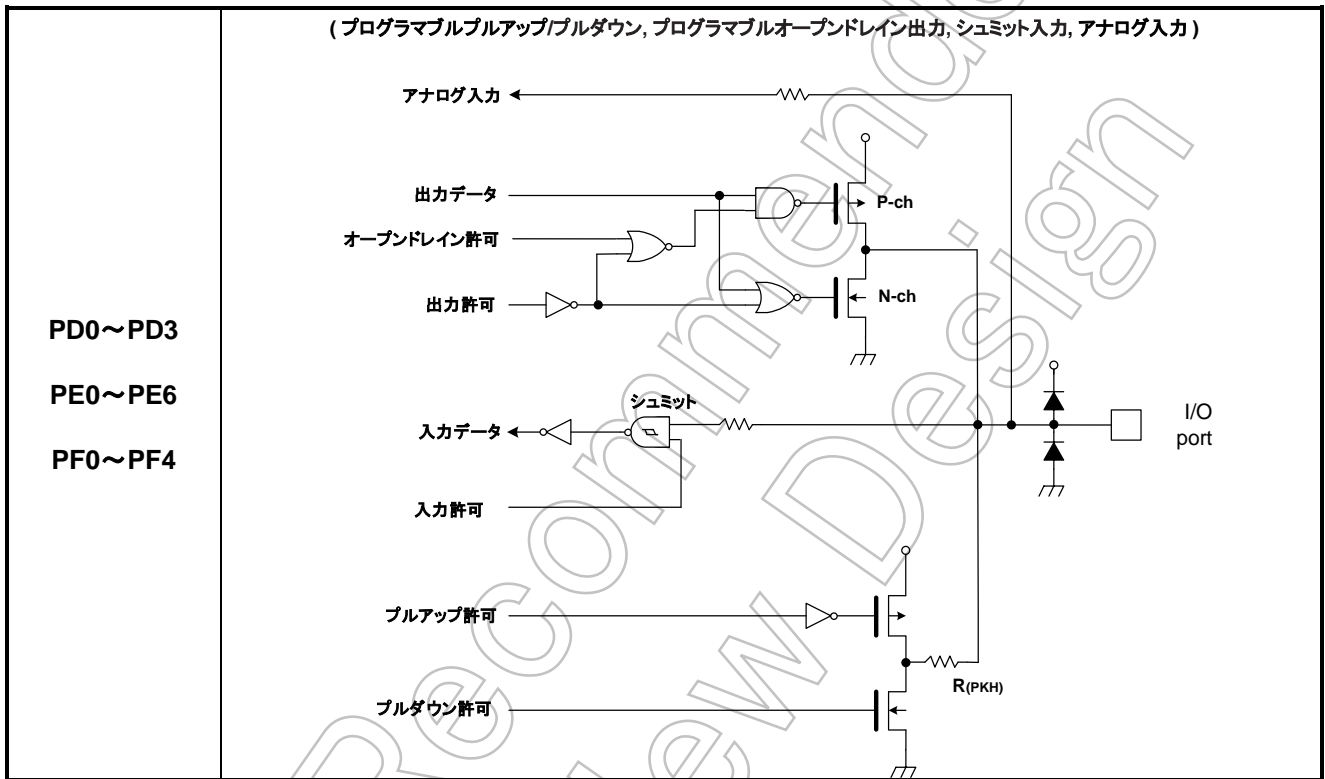
注) ○：搭載、－：非搭載

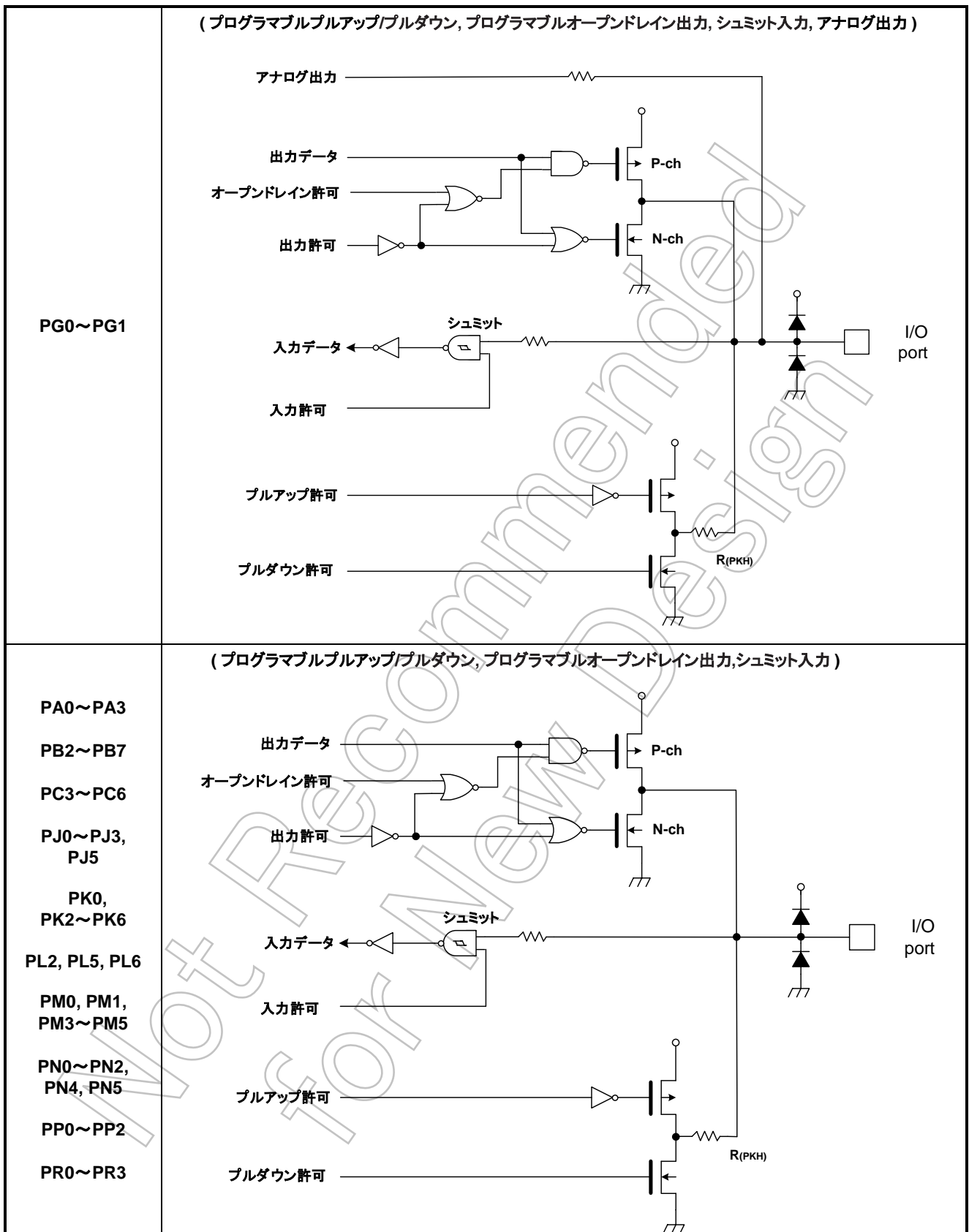
6. 等価回路図

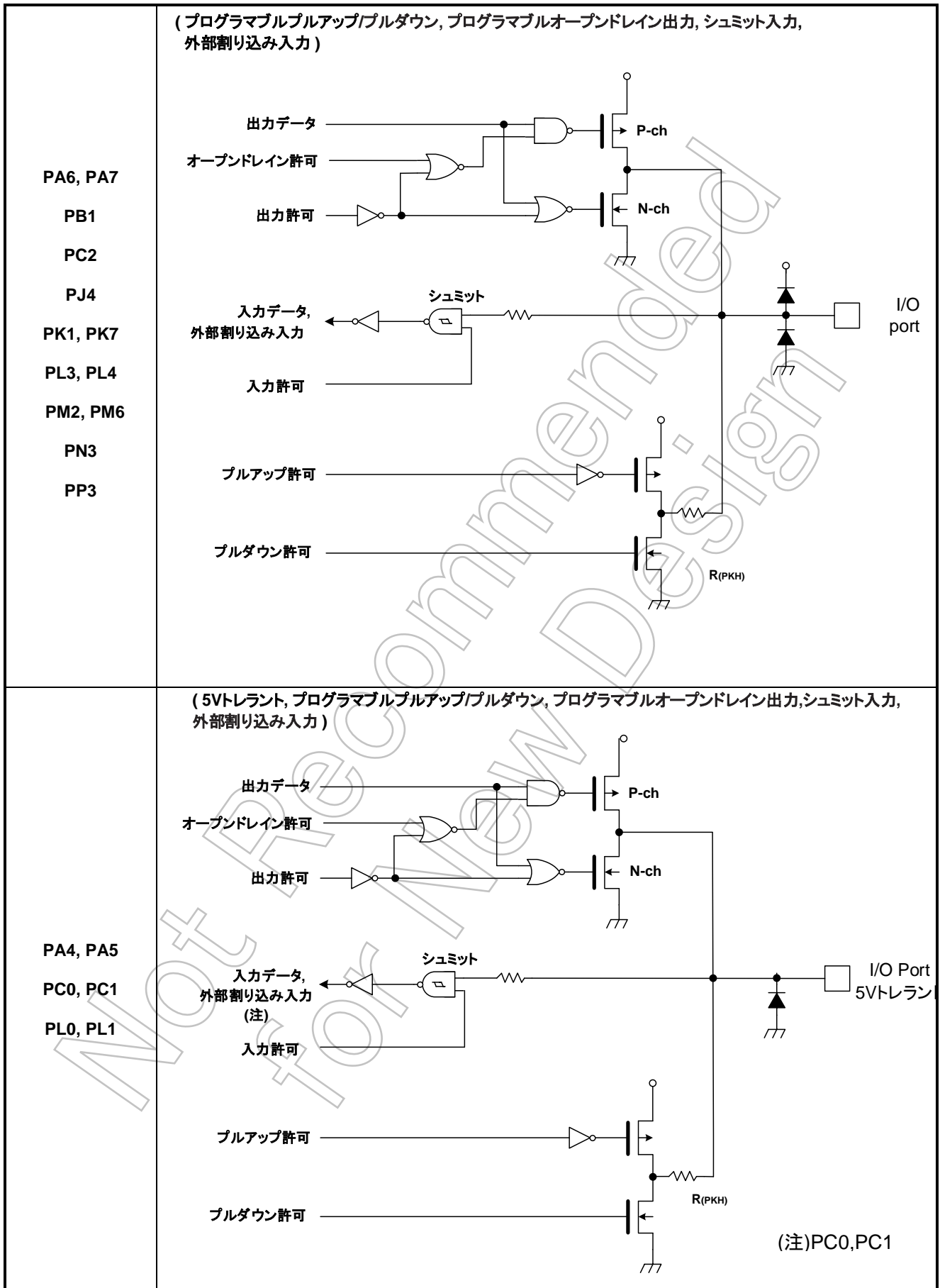
ポート等価回路図は、基本的に標準 CMOS ロジック IC 「74HCxx」 シリーズと同じゲート記号を使って書かれています。入力保護抵抗は、数十 Ω ~ 数百 Ω 程度です。

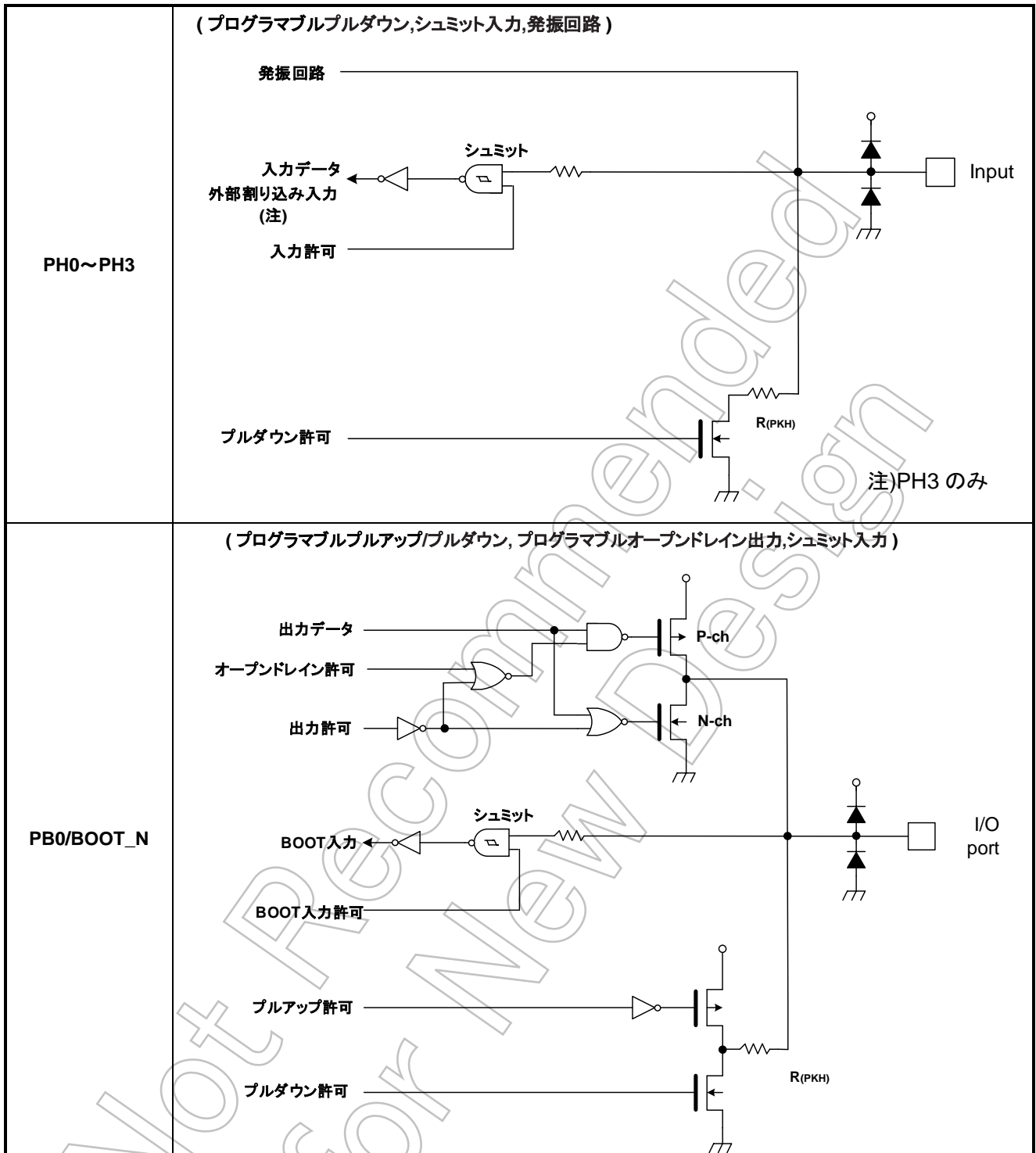
注) 図中の数値の記載のない抵抗は、入力保護抵抗を示します。

6.1. ポート

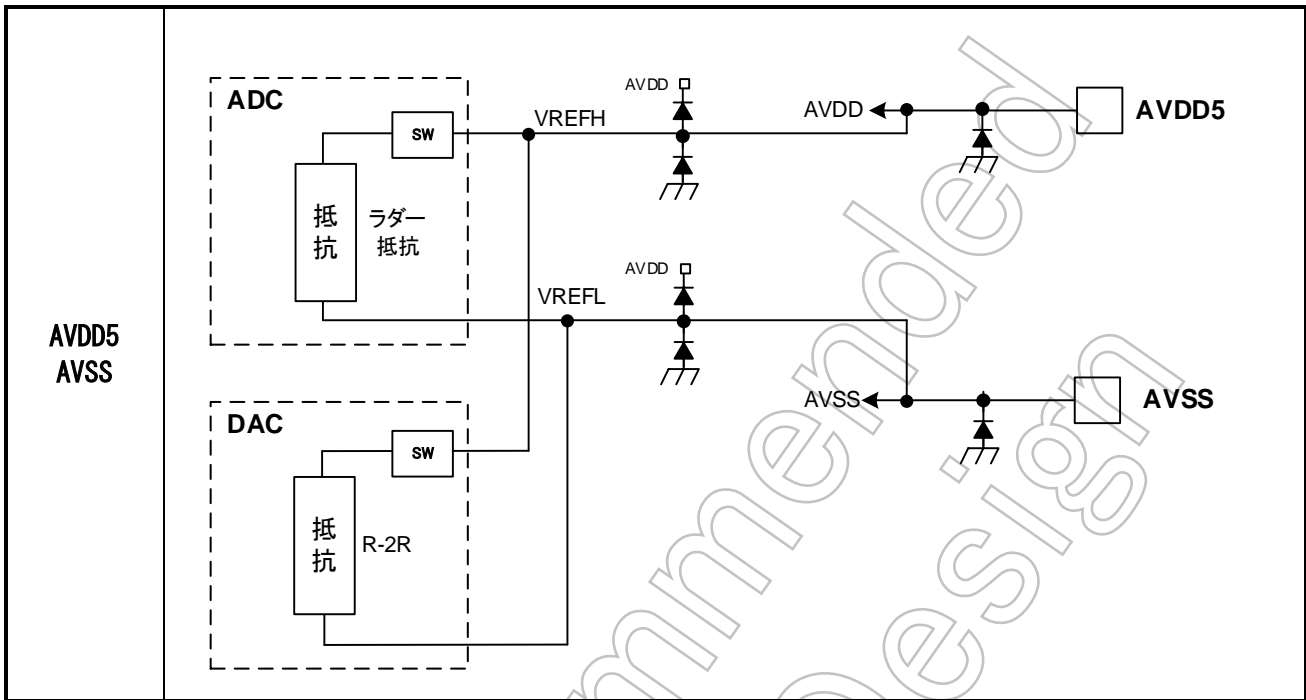






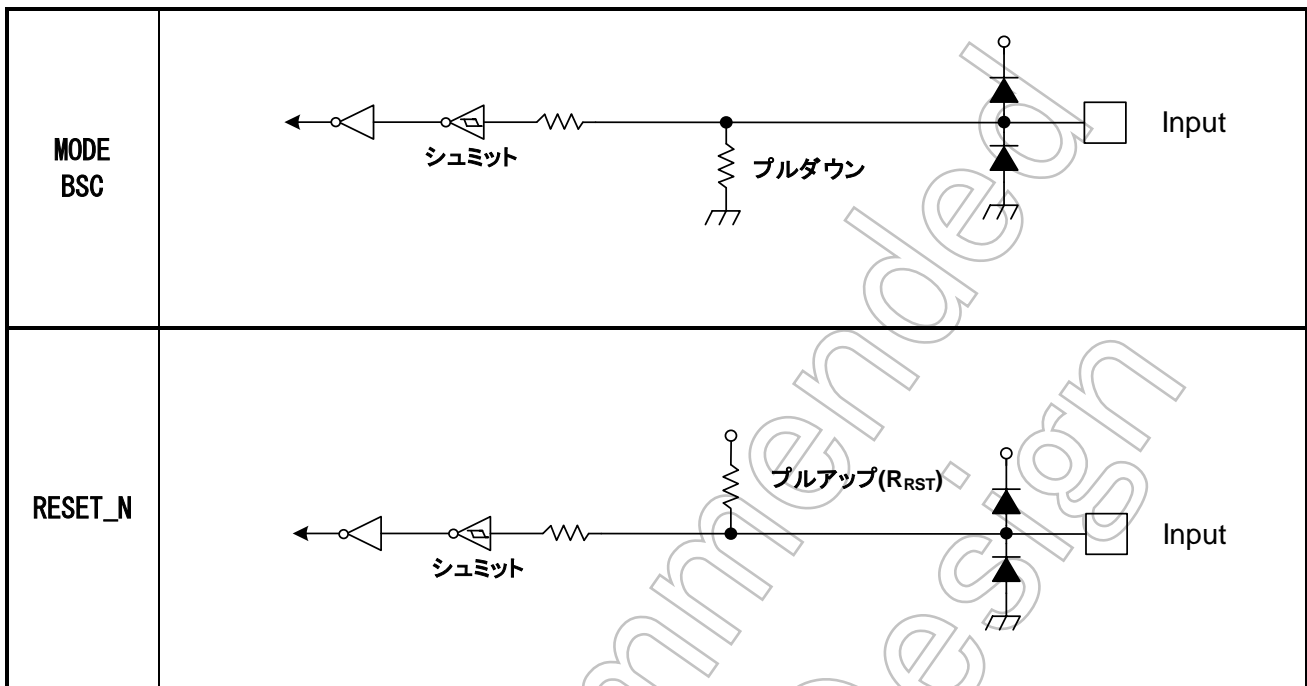


6.2. アナログ関連端子



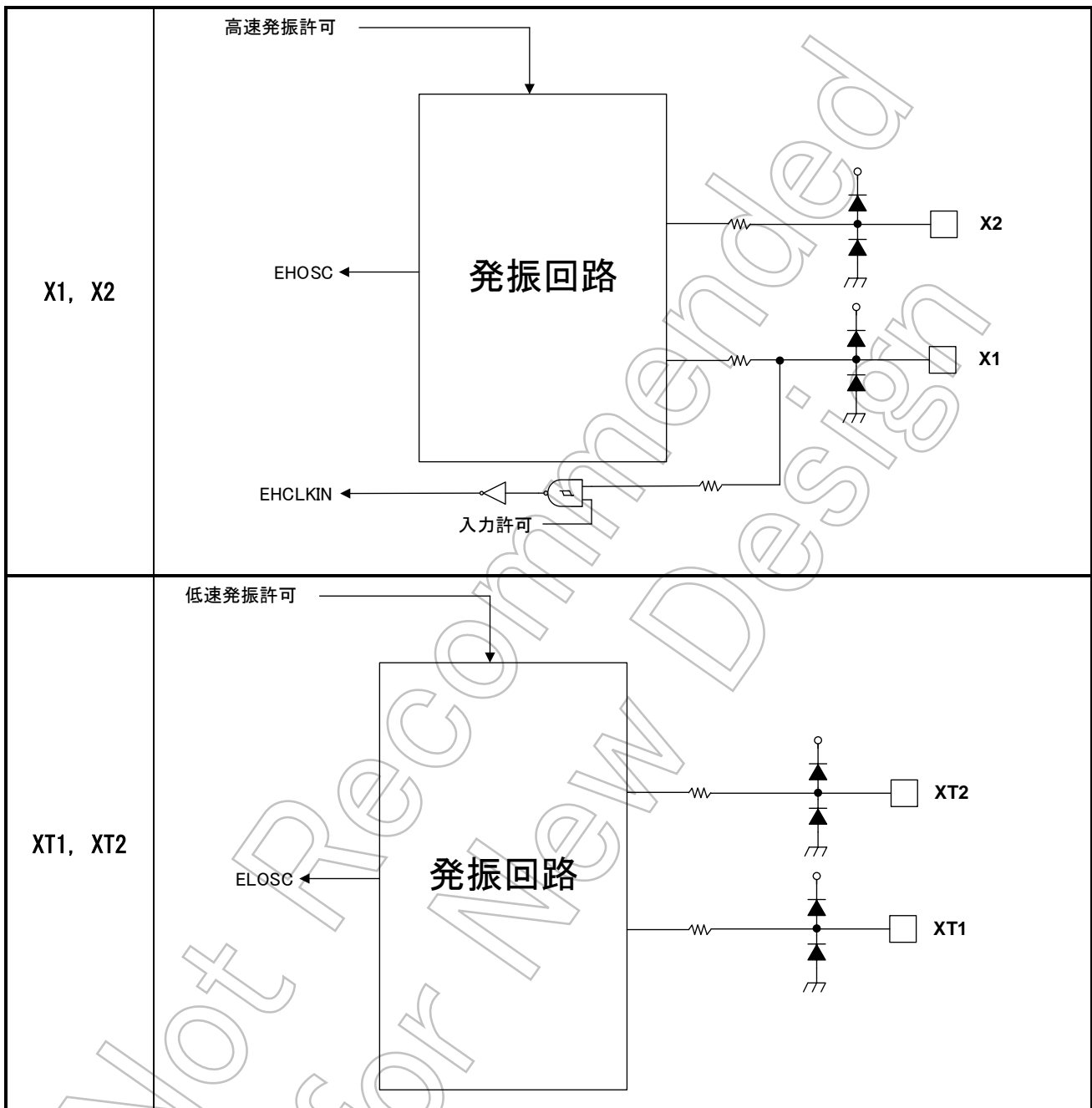
注) SW : ON/OFF スイッチ回路

6.3. 制御端子



Not Recommended for New Design

6.4. クロック制御



7. 電気的特性

7.1. 絶対最大定格

表 7.1 絶対最大定格

項目	記号	定格	単位	
電源電圧	DVDD5A DVDD5B DVDD5C	-0.3~6.0	V	
	AVDD5	-0.3~DVDD5 (注 1)		
電圧保持用キャパシタ端子電圧	REGOUT1	-0.3~1.7	V	
	REGOUT2	-0.3~3.9		
入力電圧	PA0~3, PA6~7, PB1~7, PC2~6, PH0~3, PJ0~5, PK0~7, PL2~6, PM0~6, PN0~5, PP0~3, PR0~3, MODE,RESET_N,BOOT_N, BSC	V_{IN1} V_{IN2} -0.3~DVDD5+0.3($\leq 6.0V$) (注 1)	V	
	PD0~3, PE0~6, PF0~4, PG0~1	V_{IN3} -0.3~AVDD5+0.3($\leq 6.0V$)		
	PA4~5, PC0~1, PL0~1	V_{IN4} -0.3~6.0		
低レベル 出力電流	1 端子ごと PA0~3, PA6~7, PB0~7, PC2~6, PJ0~5, PK0~7, PL2~6, PM0~6,PN0~5, PP0~3, PR0~3	I_{OL}	5	mA
	1 端子ごと PA4~5, PC0~1, PL0~1	I_{OL4}	25	
	全端子合計	ΣI_{OL}	50	
高レベル 出力電流	1 端子ごと PA0~7, PB0~7, PC0~6, PJ0~5, PK0~7, PL0~6, PM0~6, PN0~5,PP0~3, PR0~3	I_{OH}	-5	
	全端子合計	ΣI_{OH}	-50	
消費電力 (Ta=85°C)	PD	500	mW	
はんだ付け温度	T _{SOLDER}	260	°C	
保存温度	T _{STG}	-55~125	°C	
動作温度	T _{OPR}	-40~85	°C	

注1) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。DVDD5 と AVDD5 は同電位で使用してください。

注2) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格(電流、電圧、消費電力、温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

7.2. DC 電気的特性(1/2)

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V
DVSS=AVSS=0V
Ta= -40~85°C

項目	記号	条件	Min	Typ.	Max	単位
電源電圧	VDD	fosc = 6~12MHz fsys = 1~40MHz fs = 30~34kHz	4.5	-	5.5	V
低レベル入力電圧	V _{IL1} V _{IL2}	PA0~3, PA6~7, PB1~7, PC2~6, PH0~3, PJ0~5, PK0~7, PL2~6, PM0~6, PN0~5, PP0~3, PR0~3, MODE,RESET_N,BOOT_N, BSC	-0.3	-	DVDD5×0.25	V
	V _{IL3}	PD0~3, PE0~6, PF0~4, PG0~1			AVDD5×0.25	
	V _{IL4}	PA4~5, PC0~1, PL0~1			DVDD5×0.3	
高レベル入力電圧	V _{IH1} V _{IH2}	PA0~3, PA6~7, PB1~7, PC2~6, PH0~3, PJ0~5, PK0~7, PL2~6, PM0~6, PN0~5, PP0~3, PR0~3, MODE,RESET_N,BOOT_N, BSC	DVDD5×0.75	-	DVDD5+0.3	V
	V _{IH3}	PD0~3, PE0~6, PF0~4, PG0~1			AVDD5+0.3	
	V _{IH4}	PA4~5, PC0~1, PL0~1			DVDD5+0.3	
低レベル出力電圧	V _{OL1} V _{OL2}	PA0~7, PB0~7, PC0~6, PJ0~5, PK0~7, PL0~6, PM0~6, PN0~5, PP0~3, PR0~3	-	-	0.4	V
	V _{OL3}	PD0~3, PE0~6, PF0~4, PG0~1			0.4	
	V _{OL4}	PA4~5, PC0~1, PL0~1			1.0	
高レベル出力電圧	V _{OH1} V _{OH2}	PA0~7, PB0~7, PC0~6, PJ0~5, PK0~7, PL0~6, PM0~6, PN0~5, PP0~3, PR0~3, PA4~5	DVDD5-0.4	-	-	-
	V _{OH3}	PD0~3, PE0~6, PF0~4, PG0~1			AVDD5-0.4	

注1) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。

注2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注3) DVDD5, AVDD5 は同電位で使用してください。

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V
DVSS=AVSS=0V
Ta = -40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位	
入力リーク電流	I _{LI}	0.0V ≤ VIN ≤ DVDD5 0.0V ≤ VIN ≤ AVDD5	-5	0.05	5	μA	
出力リーク電流	I _{LO}	0.2 ≤ VIN ≤ DVDD5-0.2 0.2 ≤ VIN ≤ AVDD5-0.2	-10	0.05	10		
シュミット入力幅	V _{TH}	DVDD5=AVDD5=5.0V	-	1.0	-	V	
リセットプルアップ抵抗	R _{RST}		25	30	100	kΩ	
プログラマブルプルアップ/ダウン抵抗	P _{KH}	Pull-up	25	30	100		
		Pull-down	25	50	100		
Pin 容量(電源端子を除く)	C _{IO}	fc = 1MHz	-	-	10	pF	
低レベル出力電流	1端子ごと 下欄を除くポート	I _{OL}	DVDD5=5V AVDD5=5V	-	-	2 (注4)	mA
	1端子ごと PA4~5, PC0~1, PL0~1	I _{OL4}	DVDD5=5V	-	-	12 (注4)	
	下記ポート全体で PC0~6, PJ0~5, PK0~7, PN0~5, PP3, PR0~3	Σ _{OL1}	DVDD5=5V	-	-	35 (注5)	
	下記ポート全体で PA0~7, PB0~7, PM0~6, PL0~6, PP0~2	Σ _{OL2}	DVDD5=5V	-	-	35 (注5)	
	下記ポート全体で PD0~3, PE0~6, PF0~4, PG0~1	Σ _{OL3}	AVDD5=5V	-	-	20 (注5)	
高レベル出力電流	1端子ごと	I _{OH}	DVDD5=5V AVDD5=5V	-2 (注4)	-	-	mA
	下記ポート全体で PC0~6, PJ0~5, PK0~7, PN0~5, PP3, PR0~3	Σ _{OH1}	DVDD5=5V	-35 (注5)	-	-	
	下記ポート全体で PA0~7, PB0~7, PM0~6, PL0~6, PP0~2	Σ _{OH2}	DVDD5=5V	-35 (注5)	-	-	
	下記ポート全体で PD0~3, PE0~6, PF0~4, PG0~1	Σ _{OH3}	AVDD5=5V	-20 (注5)	-	-	

注1) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。

注2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注3) DVDD5, AVDD5 は同電位で使用してください。

注4) 端子の電流合計が各グループ電流の合計を越えないこと。

注5) 各グループ電流の合計が、絶対最大定格を越えないこと。

2.7V ≤ DVDD5=AVDD5 < 4.5V
DVSS=AVSS=0V
Ta = -40~85°C

項目		記号	条件	Min	Typ.	Max	単位
電源電圧	DVDD5A,DVDD5B,DVDD5C AVDD5	VDD	fosc = 6~12MHz fsys = 1~40MHz fs = 30~34kHz	2.7	-	4.5	V
低レベル入力電圧	PA0~3, PA6~7, PB1~7, PC2~6, PH0~3, PJ0~5, PK0~7, PL2~6, PM0~6, PN0~5, PP0~3, PR0~3, MODE,RESET_N,BOOT_N, BSC	V _{IL1} V _{IL2}		-0.3	-	DVDD5×0.25	V
	PD0~3, PE0~6, PF0~4, PG0~1	V _{IL3}				AVDD5×0.25	
	PA4~5, PC0~1, PL0~1	V _{IL4}				DVDD5×0.3	
高レベル入力電圧	PA0~3, PA6~7, PB1~7, PC2~6, PH0~3, PJ0~5, PK0~7, PL2~6, PM0~6, PN0~5, PP0~3, PR0~3, MODE,RESET_N,BOOT_N, BSC	V _{IH1} V _{IH2}		DVDD5×0.75	-	DVDD5+0.3	V
	PD0~3, PE0~6, PF0~4, PG0~1	V _{IH3}		AVDD5×0.75		AVDD5+0.3	
	PA4~5, PC0~1, PL0~1	V _{IH4}		DVDD5×0.7		DVDD5+0.3	
低レベル出力電圧	PA0~7, PB0~7, PC0~6, PJ0~5, PK0~7, PL0~6, PM0~6, PN0~5, PP0~3, PR0~3	V _{OL1} V _{OL2}	DVDD5=2.7V IOL=0.8mA	-	-	0.4	V
	PD0~3, PE0~6, PF0~4, PG0~1	V _{OL3}	AVDD5=2.7V IOL=0.8mA	-	-	0.4	
	PA4~5, PC0~1, PL0~1	V _{OL4}	DVDD5=2.7V IOL=4mA	-	-	1.0	
高レベル出力電圧	PA0~7, PB0~7, PC0~6, PJ0~5, PK0~7, PL0~6, PM0~6, PN0~5, PP0~3, PR0~3, PA4~5	V _{OH1} V _{OH2}	DVDD5=2.7V IOL= -0.8mA	DVDD5-0.4	-	-	V
	PD0~3, PE0~6, PF0~4, PG0~1	V _{OH3}	AVDD5=2.7V IOL= -0.8mA	AVDD5-0.4	-	-	

- 注1) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。
 注2) Typ.値は特に指定のない限り Ta=25°C,DVDD5=AVDD5=3.0V の値です。
 注3) DVDD5,AVDD5 は同電位で使用してください

2.7V ≤ DVDD5=AVDD5 < 4.5V
DVSS=AVSS=0V
Ta = -40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位	
入力リーク電流	I _{LI}	0.0V ≤ VIN ≤ DVDD5 0.0V ≤ VIN ≤ AVDD5	-5	0.05	5	μA	
出力リーク電流	I _{LO}	0.2 ≤ VIN ≤ DVDD5-0.2 0.2 ≤ VIN ≤ AVDD5-0.2	-10	0.05	10		
シュミット入力幅	V _{TH}	DVDD5=AVDD5=3V	-	0.5	-	V	
リセットプルアップ抵抗	R _{RST}		25	100	200	kΩ	
プログラマブルプルアップ/ダウン抵抗	P _{KH}	Pull-Up	25	100	200		
		Pull-down	25	100	200		
Pin 容量(電源端子を除く)	C _{IO}	f _c = 1MHz	-	-	10	pF	
低レベル出力電流	1 端子ごと 下欄を除くポート	I _{OL}	DVDD5=3V AVDD5=3V	-	-	1 (注 4)	mA
	1 端子ごと PA4~5, PC0~1, PL0~1	I _{OL4}	DVDD5=3V	-	-	6 (注 4)	
	下記ポート全体で PC0~6, PJ0~5, PK0~7, PN0~5, PP3, PR0~3	Σ _{OL1}	DVDD5=3V	-	-	18 (注 5)	
	下記ポート全体で PA0~7, PB0~7, PM0~6, PL0~6, PP0~2	Σ _{OL2}	DVDD5=3V	-	-	18 (注 5)	
	下記ポート全体で PD0~3, PE0~6, PF0~4, PG0~1	Σ _{OL3}	AVDD5=3V	-	-	10 (注 5)	
高レベル出力電流	1 端子ごと	I _{OH}	DVDD5=3V AVDD5=3V	-1 (注 4)	-	-	mA
	下記ポート全体で PC0~6, PJ0~5, PK0~7, PN0~5, PP3, PR0~3	Σ _{OH1}	DVDD5=3V	-18 (注 5)	-	-	
	下記ポート全体で PA0~7, PB0~7, PM0~6, PL0~6, PP0~2	Σ _{OH2}	DVDD5=3V	-18 (注 5)	-	-	
	下記ポート全体で PD0~3, PE0~6, PF0~4, PG0~1	Σ _{OH3}	AVDD5=3V	-10 (注 5)	-	-	

注1) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。

注2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=3.0V の値です。

注3) DVDD5, AVDD5 は同電位で使用してください。

注4) 端子の電流合計が各グループ電流の合計を越えないこと。

注5) 各グループ電流の合計が、絶対最大定格を越えないこと。

7.3. DC 電气的特性(2/2) (消費電流)

Ta = -40 ~ 85°C

項目	記号	条件			Min	Typ. (注2)	Max	単位	
		電源電圧	高速 クロック	低速 クロック					動作条件
Normal	IDD	DVDD5= AVDD5= 5.5V	動作条件は表 7.2、表 7.3を参照してください。			-	9.5	12.5	mA
IDLE			発振	発振	動作条件は表 7.2、 表 7.3を参照してくだ さい。	-	1.2	3.7	
STOP1			停止	発振		-	140	1900	μA
STOP2				停止		-	13	100	
				停止	-	12	100		

注1) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。

注2) Typ. 値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注3) DVDD5, AVDD5 は同電位で使用してください。

注4) 入力端子は固定、出力端子は解放。

表 7.2 IDD測定条件(端子設定、発振回路)

		NORMAL	IDLE	STOP1	STOP2
				低速発振器発振	低速発振器停止
端子設定	DVDD5= AVDD5=	5.0V(Typ.), 5.5V(Max)			
	X1, X2 端子	発振子接続(10MHz)			
	XT1, XT2 端子	発振子接続(32.768kHz)			
	入力端子	固定			
	出力端子	開放			
動作条件 (発振回路)	システムクロック (fsys)	40MHz		停止	
	外部高速発振器 (EHOSC)	発振		停止	
	内部高速発振器 (IHOSC)			停止	
	PLL	動作(4倍)		停止	
	外部低速発振器 (ELOSC)			発振	停止

表 7.3 IDD測定条件(CPU、周辺回路)

回路	搭載回路数	NORMAL	IDLE	STOP1	STOP2
				低速発振器発振	低速発振器停止
CPU	1	動作 (ドライストン Ver.2.1)		停止	
DMAC	1	(UARTch0 送信で起動, 転送先:RAM)		停止	
ADC	1	動作 (1.5 μ s,リピート変換)		停止	
DAC	2	動作		停止	
T32A	6	全 ch:動作		停止	
PMD+	1	動作		停止	
A-ENC	1	動作		停止	
RTC	1		動作		
SIWDT	1	動作		停止	
UART	3	全 ch:UART,送信(2.5Mbps)		停止	
I ² C	3		停止		
TSPI	2	Ch0, Ch1:送信,20MHz		停止	
RMC	1	動作		停止	
LVD	1		停止		
OFD	1		停止		
入出力ポート	—	動作		停止	

f_{sys}=40MHz
T_a= -40~85°C

項目	記号	条件	Min	Typ.	Max	単位
消費電流 (ADC,DAC 動作時)	I _{AVDD}	AVDD=5.0V	-	3.3	4	mA
		AVDD=3.0V	-	2	3.2	

7.4. 12 ビット AD コンバータ特性

DVDD5=AVDD5=2.7V~5.5V
DVSS=AVSS=0V
Ta= -40~85°C

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧(+)	AVDD5 (VREFH)		AVDD5-0.3	-	AVDD5+0.3	V
アナログ入力電圧	VAIN		AVSS	-	AVDD5 (VREFH)	V
積分非直線性誤差(INL)	-	4.5V ≤ AVDD5 ≤ 5.5V AIN 負荷抵抗 = 600Ω AIN 負荷容量 ≥ 0.1μF 変換時間 = 1.5μs	-3.5	-	3.5	LSB
微分非直線性誤差(DNL)			-2	-	2.5	
ゼロスケール誤差			-1.5	-	5	
フルスケール誤差			-5	-	6	
総合誤差			-6	-	6	
積分非直線性誤差(INL)	-	2.7V ≤ AVDD5 < 4.5V AIN 負荷抵抗 = 600Ω AIN 負荷容量 ≥ 0.1μF 変換時間 = 2.95μs	-4	-	4	LSB
微分非直線性誤差(DNL)			-2	-	4	
ゼロスケール誤差			-3	-	6.5	
フルスケール誤差			-6	-	7.5	
総合誤差			-7.5	-	7.5	
安定待ち時間	t _{sta}	[ADMOD0] < DACON > = 1 設定後	3	-	-	μs
変換時間	t _{conv}	4.5V ≤ AVDD5 ≤ 5.5V SCLK = 40MHz (注3)	1.5	-	16.3	
		2.7V ≤ AVDD5 < 4.5V SCLK = 40MHz (注3)	2.95	-	16.65	

注1) 1LSB=(AVDD5(VREFH)-AVSS(VREFL))/4096[V]

注2) AD コンバータ単体動作の時の特性です。

注3) 設定の詳細はリファレンスマニュアル「アナログデジタルコンバータ」を参照してください。

DVDD5=AVDD5=2.7V~5.5V
DVSS=AVSS=0V
Ta= -40~85°C

項目	条件	Min	Typ.	Max	単位
リファレンス電源	ch18 選択	1.1	-	1.3	V

注) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。

7.5.8 ビット DA コンバータ 変換特性

DVDD5=AVDD5=2.7V~5.5V

DVSS=AVSS=0V

Ta= -40~85°C

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧(+)	AVDD5 (VREFH)		AVDD5-0.3	-	AVDD5+0.3	V
積分非直線性誤差(INL)	-	4.5V ≤ AVDD5 ≤ 5.5V Rload = 10MΩ	-1	-	+1	LSB
微分非直線性誤差(DNL)			-1	-	+1	
総合誤差			-1	-	+1	
積分非直線性誤差(INL)	-	2.7V ≤ AVDD5 < 4.5V Rload = 10MΩ	-2	-	+2	LSB
微分非直線性誤差(DNL)			-1	-	+1	
総合誤差			-2	-	+2	
安定時間	t _{sta}	Cload = 20pF	4.5	-	-	μs

注1) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。

注2) Typ. 値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注3) 1LSB=(AVDD5(VREFH)-AVSS(VREFL))/256[V]

注4) DA コンバータ単体動作の時の特性です。

7.6. リセット時内部処理特性

DVSS=AVSS=0V
Ta=-40~85°C

項目	記号	条件	Min	Typ.	Max	単位
内部初期化時間	t _{IINIT}	パワーオン時	-	-	2.15	ms
		STOP2をRESET_N端子リセットで解除時	-	-	1.8	
		STOP2 割り込み解除時	-	-	1.55	
内部処理時間	t _{IRST}		0.16	-	0.2	
CPU 動作待ち時間	t _{CPUWT}	コールドリセット	12	-	15	μs
		ウォームリセット	55	-	90	
電源傾斜	V _{PON}		0.01	-	100	mV/μs

7.7. パワーオンリセット特性

DVSS=AVSS=0V
Ta=-40~85°C

項目	記号	条件	Min	Typ.	Max	単位
検知電圧	V _{PREL}	電源立ち上がり	2.25	2.4	2.55	V
	V _{PDET}	電源立ち下がり	2.2	2.35	2.5	
検知パルス幅	T _{PDET}		200	-	-	μs

7.8. 電圧検知回路特性

DVDD5=AVDD5=2.7V~5.5V

DVSS=AVSS=0V

Ta=-40~85°C

項目	記号	条件	Min	Typ.	Max	単位	
検知電圧	V _{LVL0}	電源立ち上がり	2.55	2.65	2.75	V	
		電源立ち下がり	2.5	2.6	2.7		
	V _{LVL1}	電源立ち上がり	2.65	2.75	2.85	V	
		電源立ち下がり	2.6	2.7	2.8		
	V _{LVL2}	電源立ち上がり	2.75	2.85	2.95	V	
		電源立ち下がり	2.7	2.8	2.9		
	V _{LVL3}	電源立ち上がり	2.85	2.95	3.05	V	
		電源立ち下がり	2.8	2.9	3.0		
	V _{LVL4}	電源立ち上がり	3.75	3.85	3.95	V	
		電源立ち下がり	3.7	3.8	3.9		
	V _{LVL5}	電源立ち上がり	3.95	4.05	4.15	V	
		電源立ち下がり	3.9	4.0	4.1		
	V _{LVL6}	電源立ち上がり	4.15	4.25	4.35	V	
		電源立ち下がり	4.1	4.2	4.3		
	V _{LVL7}	電源立ち上がり	4.35	4.45	4.55	V	
		電源立ち下がり	4.3	4.4	4.5		
	検知応答時間	t _{VDDT1}	電源立ち下がり	-	50	200	μs
	解除応答時間	t _{VDDT2}	電源立ち上がり	-	250	-	
セットアップ時間	t _{LV DEN}		-	-	100		
検知最小パルス幅	t _{LVDPW}		200	-	-		

7.9. AC 電気的特性

7.9.1. シリアルペリフェラルインタフェース (TSPI)

7.9.1.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5=AVDD5=2.7V~5.5V
- Ta = -40°C~85°C
- 出力レベル: High = 0.8×DVDD5、Low = 0.2×DVDD5
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。

7.9.1.2. AC 電気的特性

T は TSPI の動作クロックの周期を表します。TSPI の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

k1 の値は[TSPIxFMTR0]<CSSCKDL[3:0]>, k2 の値は[TSPIxFMTR0]<SCKCSDL[3:0]>で設定された TSPIxSCK のサイクル数で、1~16 の値になります。

(1) マスタモード

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	計算式		fsys=40MHz 時 k1=k2=1		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	fcyc	-	20	-	20	MHz
TSPIxSCK 出力周期	tcyc	50	-	50	-	ns
TSPIxSCK 低レベル出力パルス幅	twl	(tcyc/2)-13	-	12	-	
TSPIxSCK 高レベル出力パルス幅	twh	(tcyc/2)-13	-	12	-	
TSPIxCS0/1/2/3 出力 ←TSPIxSCK 立ち上がり/立ち下がり時間	tcsu	(tcyc×k1)-20	(tcyc×k1)+15	30	65	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCS0/1/2/3 ホールド時間	tchd	(tcyc×(k2+0.5))-20	-	55	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	tdsu	35-T(注)	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	tdhd	T(注)	-	25	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	todly1	-18	-	-18	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	todly2	-	16	-	16	
TSPIxCSIN 立ち下がり→TSPIxTXD 遅延時間	todly3	(tcyc×(k1-0.5))-25	(tcyc×(k1-0.5))+17	0	42	

注) [TSPIxCR2]<RXDLY>=0 時

2.7V ≤ DVDD5=AVDD5 < 4.5V
TSPI1, TSPI2, TSPI3

項目	記号	計算式		fsys=40MHz 時 k1=k2=1		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f _{cyC}	-	20	-	20	MHz
TSPIxSCK 出力周期	t _{cyC}	50	-	50	-	ns
TSPIxSCK 低レベル出力パルス幅	t _{wL}	(t _{cyC} /2)-16	-	9	-	
TSPIxSCK 高レベル出力パルス幅	t _{wH}	(t _{cyC} /2)-16	-	9	-	
TSPIxCS0/1/2/3 出力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{csU}	(t _{cyC} ×k1)-20	(t _{cyC} ×k1)+20	30	70	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCS0/1/2/3 ホールド時間	t _{chD}	(t _{cyC} ×(k2+0.5))-20	-	55	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{dsU}	46-T(注)	-	21	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{dHd}	T(注)	-	25	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{odLY1}	-24	-	-24	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{odLY2}	-	21	-	21	
TSPIxCSIN 立ち下がり→TSPIxTXD 遅延時間	t _{odLY3}	(t _{cyC} ×(k1-0.5))-25	(t _{cyC} ×(k1-0.5))+21	0	46	

注) [TSPIxCR2] < RXDLY > = 0 時

2.7V ≤ DVDD5=AVDD5 < 4.5V
TSPI0

項目	記号	計算式		fsys=40MHz 時 k1=k2=1		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f _{cyC}	-	20	-	20	MHz
TSPIxSCK 出力周期	t _{cyC}	50	-	50	-	ns
TSPIxSCK 低レベル出力パルス幅	t _{wL}	(t _{cyC} /2)-16	-	9	-	
TSPIxSCK 高レベル出力パルス幅	t _{wH}	(t _{cyC} /2)-16	-	9	-	
TSPIxCS0/1/2/3 出力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{csU}	(t _{cyC} ×k1)-34	(t _{cyC} ×k1)+20	16	70	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCS0/1/2/3 ホールド時間	t _{chD}	(t _{cyC} ×(k2+0.5))-20	-	55	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{dsU}	46-T(注)	-	21	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{dHd}	T(注)	-	25	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{odLY1}	-24	-	-24	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{odLY2}	-	21	-	21	
TSPIxCSIN 立ち下がり→TSPIxTXD 遅延時間	t _{odLY3}	(t _{cyC} ×(k1-0.5))-39	(t _{cyC} ×(k1-0.5))+24	-14	49	

注) [TSPIxCR2] < RXDLY > = 0 時

(2) スレープモード

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	計算式		fsys=40MHz 時 k1=1		単位
		Min	Max	Min	Max	
TSPIxSCK 入力周波数	f _{cyC}	-	10	-	10	MHz
TSPIxSCK 入力周期	t _{cyC}	100	-	100	-	ns
TSPIxSCK 低レベル入力パルス幅	t _{wL}	t _{cyC} /2-13	-	37	-	
TSPIxSCK 高レベル入力パルス幅	t _{wH}	t _{cyC} /2-13	-	37	-	
TSPIxCSIN 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{csU1}	(t _{cyC} ×(k1+0.5))+ 20	-	170	-	
TSPIxCSIN 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{csU2}	(t _{cyC} ×k1)-20	-	80	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間	t _{chD}	5	-	5	-	
TSPIxRXD 入力 ←SPIxSCK 立ち上がり/立ち下がり時間	t _{dsU}	7	-	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{dhD}	10	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{odLY1}	0	-	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{odLY2}	-	36	-	36	
TSPIxCSIN 立ち下がり →TSPIxTXD 遅延時間	t _{odLY3}	-	(t _{cyC} ×(k1-0.5))+5	-	55	
TSPIxCSIN 高レベル入力パルス幅	t _{wDIS}	T×2+20	-	70	-	

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	計算式		fsys=40MHz 時		単位
		Min	Max	Min	Max	
TSPIxSCK 入力周波数	f _{cyC}	-	10	-	10	MHz
TSPIxSCK 入力周期	t _{cyC}	100	-	100	-	ns
TSPIxSCK 低レベル入力パルス幅	t _{wL}	t _{cyC} /2-13	-	37	-	
TSPIxSCK 高レベル入力パルス幅	t _{wH}	t _{cyC} /2-13	-	37	-	
TSPIxCSIN 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{csU1}	(t _{cyC} ×(k1+0.5))+ 20	-	170	-	
TSPIxCSIN 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{csU2}	(t _{cyC} ×k1)-20	-	80	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間	t _{chD}	5	-	5	-	
TSPIxRXD 入力 ←SPIxSCK 立ち上がり/立ち下がり時間	t _{dsU}	7	-	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{dhD}	10	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{odLY1}	0	-	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{odLY2}	-	48	-	48	
TSPIxCSIN 立ち下がり →TSPIxTXD 遅延時間	t _{odLY3}	-	(t _{cyC} ×(k1-0.5))+5	-	55	
TSPIxCSIN 高レベル入力パルス幅	t _{wDIS}	T×2+20	-	70	-	

(1) 1st クロックエッジサンプリング(マスタ)

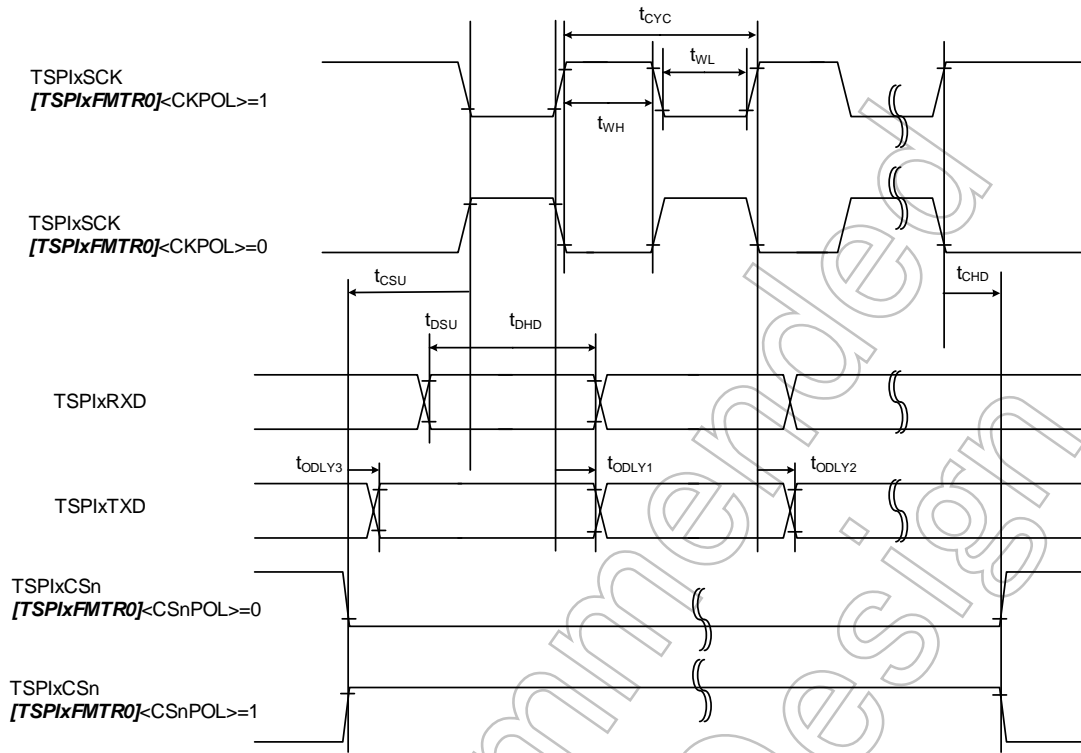


図 7.1 1st クロックエッジサンプリング(マスタ)

(2) 2nd クロックエッジサンプリング(マスタ)

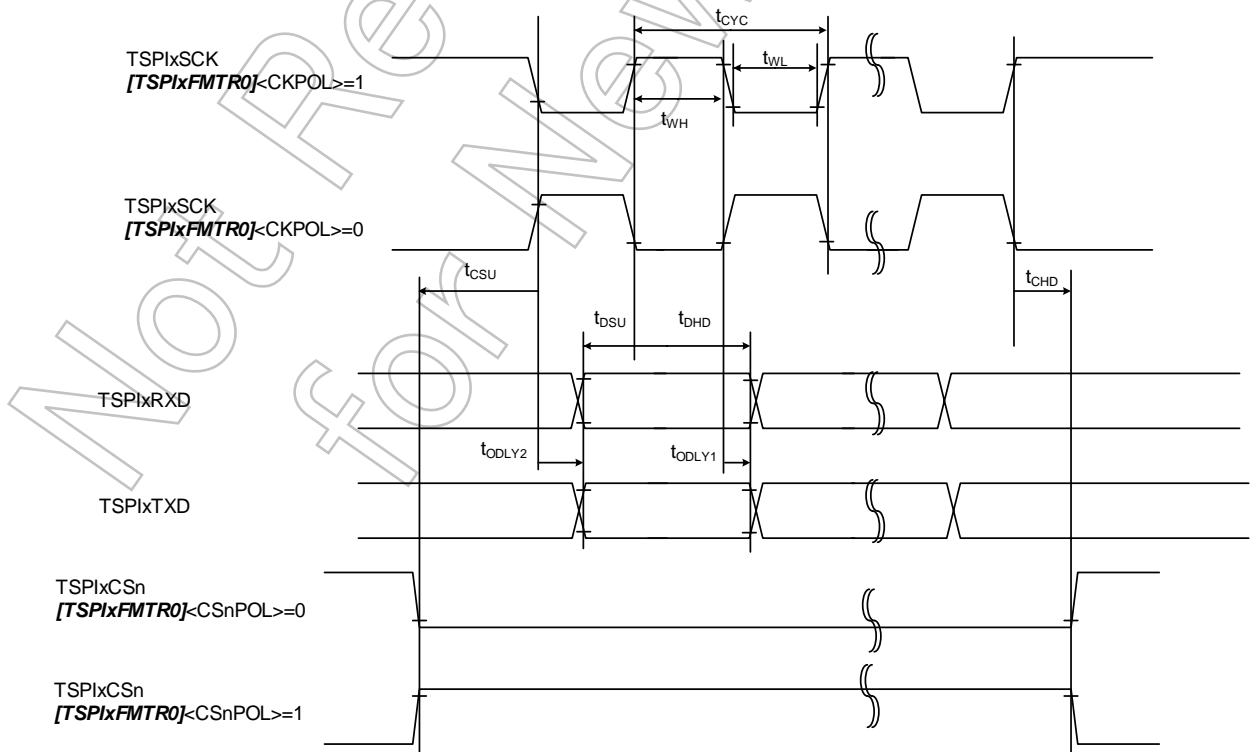


図 7.2 2nd クロックエッジサンプリング(マスタ)

(3) 2nd クロックエッジサンプリング(スレーブ)

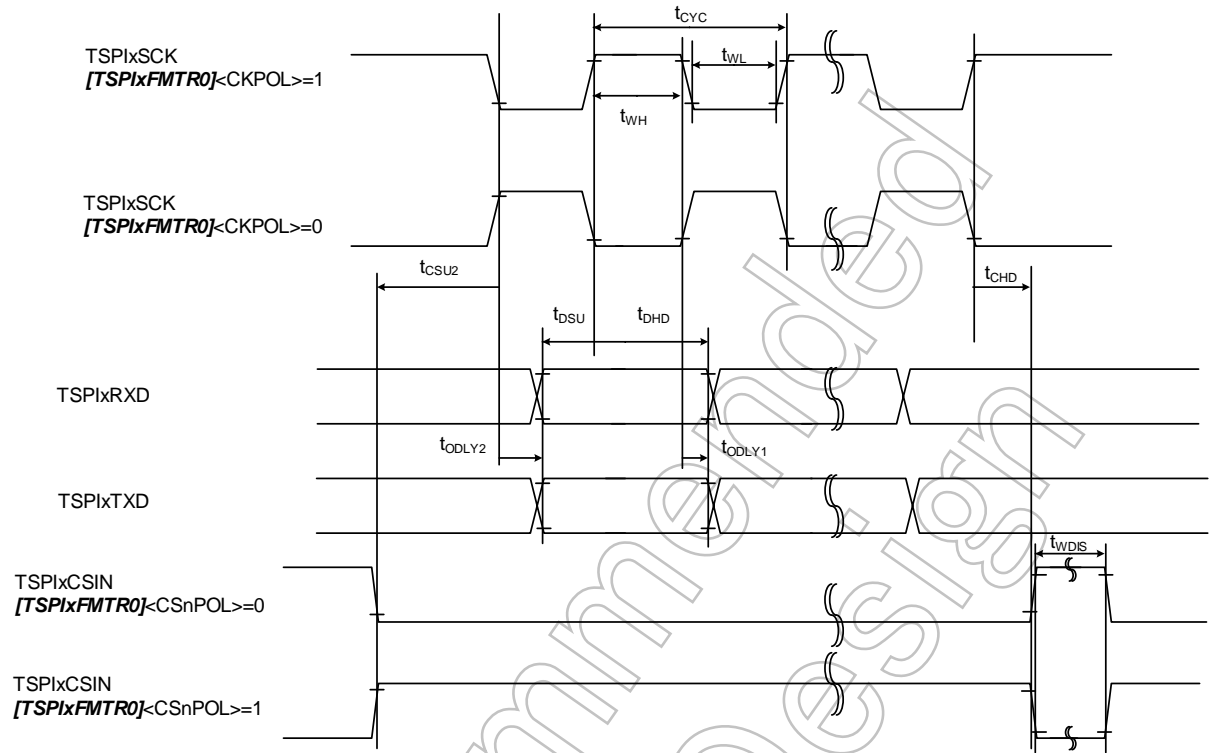


図 7.3 2nd クロックエッジサンプリング(スレーブ)

7.9.2. I²C インタフェース (I²C)

7.9.2.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5=AVDD5=2.7V~5.5V
- Ta = -40°C~85°C
- 出力レベル: Low = 0.4V
- 入力レベル: High = 0.7×DVDD5、Low = 0.3×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。

7.9.2.2. AC 電気的特性

T は I²C の動作クロック周期です。I²C の動作クロックは、システムクロック f_{sys} と同じ周期です。この周期は、クロックギアの設定に依存します。

n は [I2CxCR]<SCK> で指定した SCL 出力クロックの周波数選択値、p は [I2CxPRS]<PRSCK> で指定したプリスケアラ分周比です。

項目	記号	標準モード		ファストモード		ファストモードプラス		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	f _{SCL}	0	100	0	400	0	1000	kHz
スタートコンディション保持	t _{HD, STA}	4.0	-	0.6	-	0.26	-	
SCL クロック Low 幅(入力)(注 1)	t _{LOW}	4.7	-	1.3	-	0.5	-	μs
SCL クロック High 幅(入力)(注 2)	t _{HIGH}	4.0	-	0.6	-	0.26	-	
再スタートコンディションセットアップ時間(注 5)	t _{SU, STA}	4.7	-	0.6	-	0.26	-	
データ保持時間(入力)(注 3,4)	t _{HD, DAT}	0	-	0	-	0	-	ns
データセットアップ時間	t _{SU, DAT}	250	-	100	-	50	-	
ストップコンディションセットアップ時間	t _{SU, STO}	4.0	-	0.6	-	0.26	-	μs
ストップコンディションとスタートコンディション間のバスフリー時間(注 5)	t _{BUF}	4.7	-	1.3	-	0.5	-	

注1) SCL クロック Low 幅(出力): $p \times (2^{n+1} + 10) / T$ ([I2CxOP]<NFSEL>=0 の時)

注2) SCL クロック High 幅(出力): $p \times (2^{n+1} + 6) / T$ ([I2CxOP]<NFSEL>=0 の時)

通信規格上、標準モード/ファストモード/ファストモードプラスの最高速度は 100kHz/400kHz/1MHz です。内部 SCL クロックの周波数の設定は、使用される f_{sys} と上記の注 1、注 2 の計算式で設定されますのでご注意ください。

注3) データ保持時間(出力)は、内部 SCL からプリスケアラクロック(T_{prscck}) 4 サイクル分の時間です。

注4) 通信規格では、SDA 入力時に内部でデータ保持時間を 300ns 確保して、SCL 立ち下がり時の不安定な状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL/SDA の tr/tf を含めて、バス上で上表のデータ保持時間(入力)を守るように、設計してください。

注5) ソフトウェアに依存します。

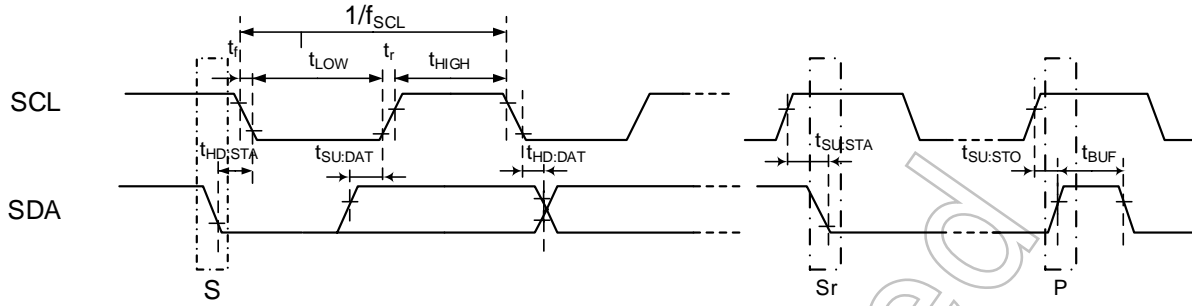


図 7.4 I²CのACタイミング

Not Recommended for New Design

7.9.3. 32 ビットタイマイイベントカウンタ (T32A)

T32AxINA0/A1, T32AxINB0/B1, T32AxINC0/C1 入力に対する AC 電気的特性です。

7.9.3.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~85°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。

7.9.3.2. AC 電気的特性

T は T32A の動作クロックの周期を表します。T32A の動作クロックは、クロック $\phi T0$ と同じ周期です。この周期は、プリスケラクロックの設定に依存します。

(1) パルスカウント動作時以外

項目	記号	計算式		$\phi T0=40\text{MHz}$		単位
		Min	Max	Min	Max	
低レベルパルス幅	t _{VCKL}	2T + 20	-	70	-	ns
高レベルパルス幅	t _{VCKH}	2T + 20	-	70	-	

(2) パルスカウント動作時

項目	記号	計算式		$\phi T0=40\text{MHz}$ NF=4 の場合の例		単位
		Min	Max	Min	Max	
パルス周期	t _{DCYC}	1000	-	1000	-	ns
低レベルパルス幅	t _{PWL}	500	-	500	-	
高レベルパルス幅	t _{PWH}	500	-	500	-	
入力セットアップ	t _{ABS}	(NF+1)×T+20	-	145	-	
入力ホールド	t _{ABH}	(NF+1)×T+20	-	145	-	

NF の値は [T32AxPLSCR]<NF[1:0]> の設定により以下の値になります。

[T32AxPLSCR]<NF[1:0]>	計算式の NF 値
00	0
01	2
10	4
11	8

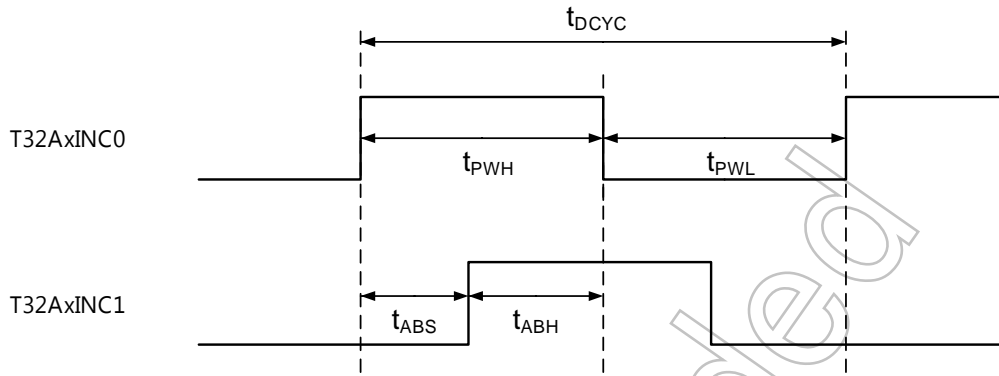


図 7.5 カウントパルス入力

7.9.4. 外部割り込み

7.9.4.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~85°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。

7.9.4.2. AC 電気的特性

表中の T はシステムクロック fsys の周期を表します。

(1) NORMAL, IDLE モード時

項目	記号	計算式		fsys=40MHz		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t _{INTAL1}	T + 100	-	125	-	ns
High レベルパルス幅	t _{INTAH1}	T + 100	-	125	-	

(2) STOP1, STOP2 モード時

項目	記号	計算式				単位
		Min	Max	Min	Max	
Low レベルパルス幅	t _{INTCL2}	125	-	125	-	ns
High レベルパルス幅	t _{INTCH2}	125	-	125	-	

7.9.5. 端子トリガ入力 (TRGINx)

7.9.5.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~85°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。

7.9.5.2. AC 電気的特性

表中の T はシステムクロック fsys の周期を表します。

項目	記号	計算式		fsys=40 MHz		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t _{ADL}	2T+ 20	-	70	-	ns
High レベルパルス幅	t _{ADH}	2T+ 20	-	70	-	

7.9.6. デバッグ通信

7.9.6.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~85°C
- 出力レベル: High = 0.8×DVDD5、Low = 0.2×DVDD5
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。

7.9.6.2. SWD インタフェース

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	Min	Max	単位
CLK 周期	t_{dck}	100	-	ns
CLK 立ち上がりから出力データ保持	t_{d1}	4	-	
CLK 立ち上がりから出力データ有効	t_{d2}	-	30	
入力データ有効から CLK 立ち上がり	t_{ds}	20	-	
CLK 立ち上がりから入力データ保持	t_{dh}	15	-	

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	Min	Max	単位
CLK 周期	t_{dck}	100	-	ns
CLK 立ち上がりから出力データ保持	t_{d1}	4	-	
CLK 立ち上がりから出力データ有効	t_{d2}	-	42	
入力データ有効から CLK 立ち上がり	t_{ds}	20	-	
CLK 立ち上がりから入力データ保持	t_{dh}	15	-	

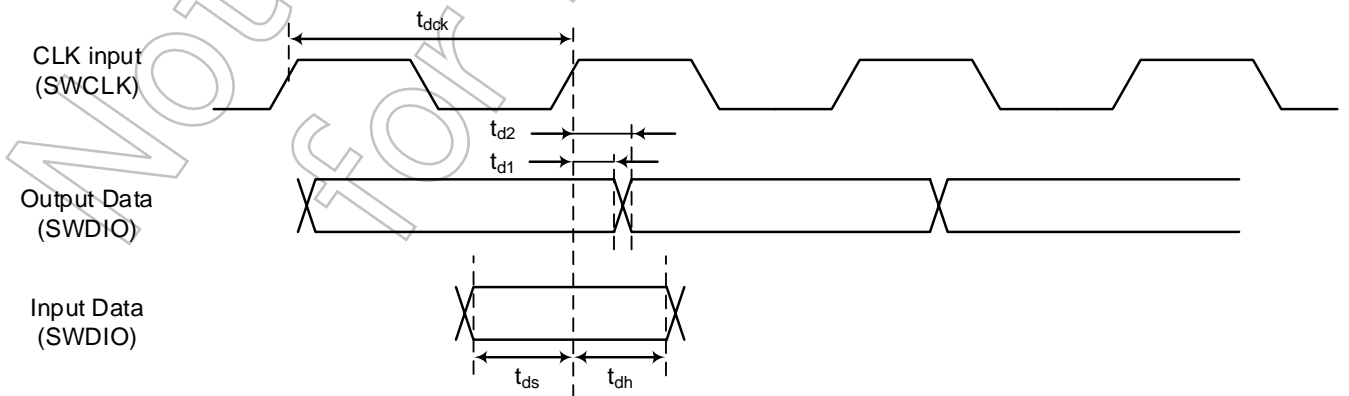


図 7.6 SWD波形

7.9.6.3. JTAG インタフェース

$4.5V \leq DVDD5=AVDD5 \leq 5.5V$

項目	記号	Min	Max	単位
CLK 周期	t_{dck}	100	-	ns
CLK 立ち下がりから出力データ保持	t_{d3}	4	-	
CLK 立ち下がりから出力データ有効	t_{d4}	-	33	
入力データ有効から CLK 立ち上がり	t_{ds}	20	-	
CLK 立ち上がりから入力データ保持	t_{dh}	15	-	

$2.7V \leq DVDD5=AVDD5 < 4.5V$

項目	記号	Min	Max	単位
CLK 周期	t_{dck}	100	-	ns
CLK 立ち下がりから出力データ保持	t_{d3}	4	-	
CLK 立ち下がりから出力データ有効	t_{d4}	-	45	
入力データ有効から CLK 立ち上がり	t_{ds}	20	-	
CLK 立ち上がりから入力データ保持	t_{dh}	15	-	

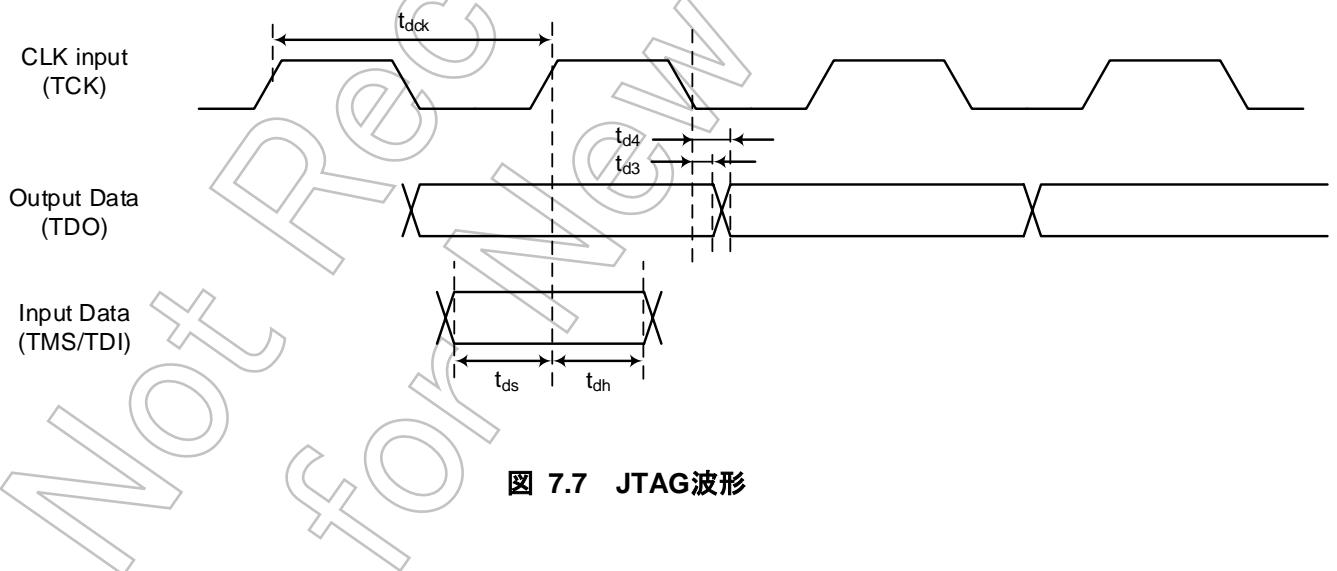


図 7.7 JTAG波形

7.9.6.4. ETM トレース

$4.5V \leq DVDD5=AVDD5 \leq 5.5V$

項目	記号	Min	Max	単位
TRACECLK 周期	t_{clk}	50	-	ns
TRACECLK 立ち上がりから DATA 有効	t_{setupr}	2	-	
TRACECLK 立ち上がりから TRACEDATA 保持	t_{holdr}	1	-	
TRACECLK 立ち下がりから TRACEDATA 有効	t_{setupf}	2	-	
TRACECLK 立ち下がりから TRACEDATA 保持	t_{holdf}	1	-	

$2.7V \leq DVDD5=AVDD5 < 4.5V$

項目	記号	Min	Max	単位
TRACECLK 周期	t_{clk}	100	-	ns
TRACECLK 立ち上がりから DATA 有効	t_{setupr}	2	-	
TRACECLK 立ち上がりから TRACEDATA 保持	t_{holdr}	1	-	
TRACECLK 立ち下がりから TRACEDATA 有効	t_{setupf}	2	-	
TRACECLK 立ち下がりから TRACEDATA 保持	t_{holdf}	1	-	

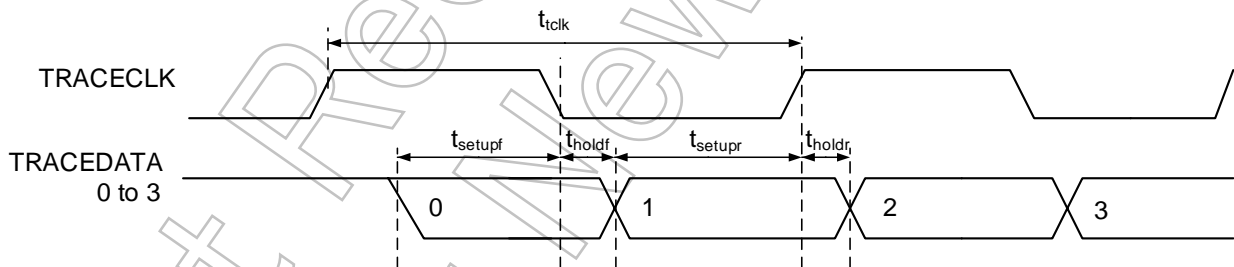


図 7.8 トレース信号波形

7.9.7. SCOUT 端子

7.9.7.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~85°C
- 出力レベル: High = 0.8×DVDD5、Low = 0.2×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。

7.9.7.2. AC 電気的特性

表中の T は SCOUT 出力波形の周期を示します。

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	計算式		SCOUT の周波数 に 20MHz を設定		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t _{SCL}	0.5T-10	-	15	-	ns
High レベルパルス幅	t _{SCH}	0.5T-10	-	15	-	

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	計算式		SCOUT の周波数 に 20MHz を設定		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t _{SCL}	0.5T-12	-	13	-	ns
High レベルパルス幅	t _{SCH}	0.5T-12	-	13	-	

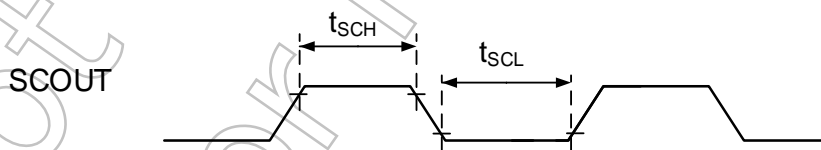


図 7.9 SCOUT出力波形

7.9.8. ノイズフィルタ特性

項目	条件	Min	Typ.	Max	単位
ノイズキャンセル幅	DVDD5=2.7V~5.5V Ta=-40~85°C	15	30	60	ns

7.9.9. 外部クロック入力

7.9.9.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~85°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。

7.9.9.2. AC 電気的特性

項目	記号	Min	Typ.	Max	単位
クロック周波数(1/t _{echin})	f _{EHCLKIN}	6	-	20	MHz
クロック Duty	-	45	-	55	%
クロック立ち上がり時間	t _r	-	-	10	ns
クロック立ち下がり時間	t _f	-	-	10	ns

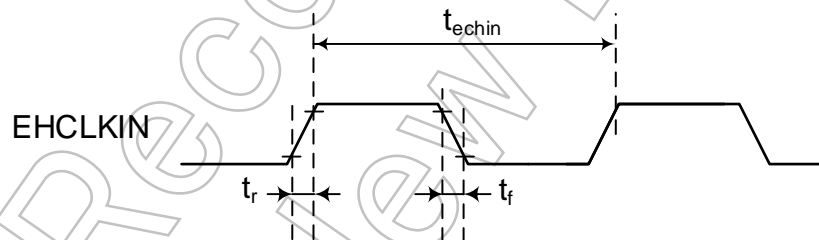


図 7.10 外部クロック入力波形

7.10. フラッシュ特性

7.10.1. コードフラッシュ特性

DVDD5=2.7V~5.5V
Ta=-40~85°C

項目	条件	Min	Typ.	Max	単位
フラッシュメモリ書き換え回数		-	-	10,000	回
書き込み時間	1word あたりに換算	-	29.5	-	μs
消去時間	ページ	1.1	-	4.3	ms
	ブロック	8.6	-	34	
	エリア(注 2)	-	9.2	-	

注1) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。

注2) プロテクトが有効なブロックが無い場合です。

7.10.2. データフラッシュ特性

DVDD5=2.7V~5.5V
Ta=-40~85°C

項目	条件	Min	Typ.	Max	単位
フラッシュメモリ書き換え回数		-	-	100,000	回
書き込み時間		-	64.7	-	μs
消去時間	ページ	1	-	3.9	ms
	ブロック	15.4	-	62.1	
	エリア(注 2)	-	9.2	-	

注1) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。

注2) プロテクトが有効なブロックが無い場合です。

7.10.3. チップ消去特性

DVDD5=2.7V~5.5V
Ta=-40~85°C

項目	条件	Min	Typ.	Max	単位
チップ消去時間	消去対象: コードフラッシュ データフラッシュ プロテクトビット(コード) プロテクトビット(データ) ユーザインフォメーション エリア セキュリティビット	23.4	-	62.7	ms

注1) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。

注2) チップ消去コマンド実行時、プロテクトが有効なブロックが無い場合の時間です。

7.11. レギュレータ

項目	条件	Min	Typ.	Max	単位
REGOUT2 コンデンサ容量	DVDD5=2.7V~5.5V Ta=-40~85°C	-	4.7	-	μF
REGOUT1 コンデンサ容量		-	4.7	-	

注) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。

7.12. 発振回路

7.12.1. 内蔵発振器

DVDD5=2.7V~5.5V
Ta= -40~85°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f _{IHOSC1}	出荷時、IC 単体時 (注 2)	-	10	-	MHz
	f _{IHOSC2}		-	10	-	

注1) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。

注2) 出荷後の変動影響は含みません。IHOSC1 は必要に応じてトリミングを行ってください。
IHOSC2 はトリミングできません。

7.12.2. 外部発振器

DVDD5=2.7V~5.5V
Ta= -40~85°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f _{EHOSC}		6	-	12	MHz
	f _{ELOSC}		30	-	34	kHz

注1) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。

注2) 接続する発振子とのマッチングは発振子メーカーへ依頼してください。

7.12.3. 発振回路例

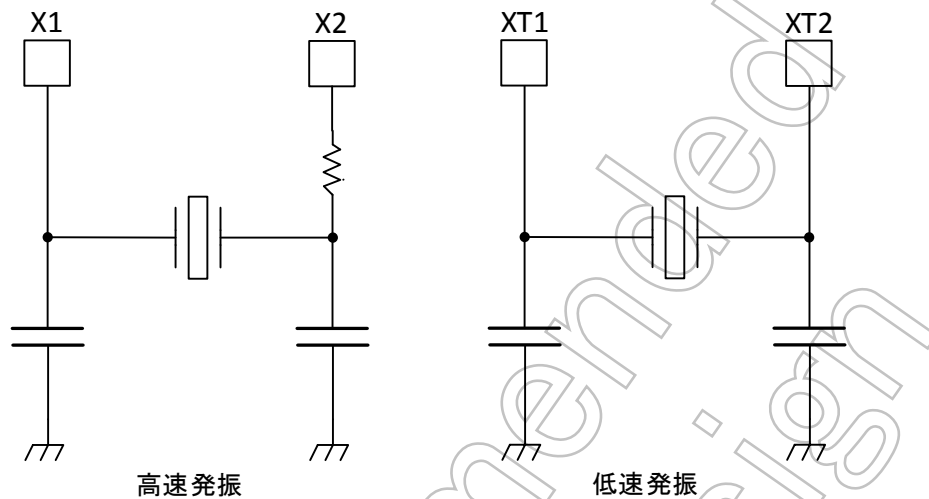


図 7.11 発振回路例

発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

7.12.4. セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。
(株)村田製作所の製品詳細につきましては、同社ホームページを参照してください。

7.12.5. 水晶発振子

本製品は京セラ(株)水晶発振子を用いて評価しています。
京セラ(株)の製品詳細につきましては、同社ホームページを参照してください。

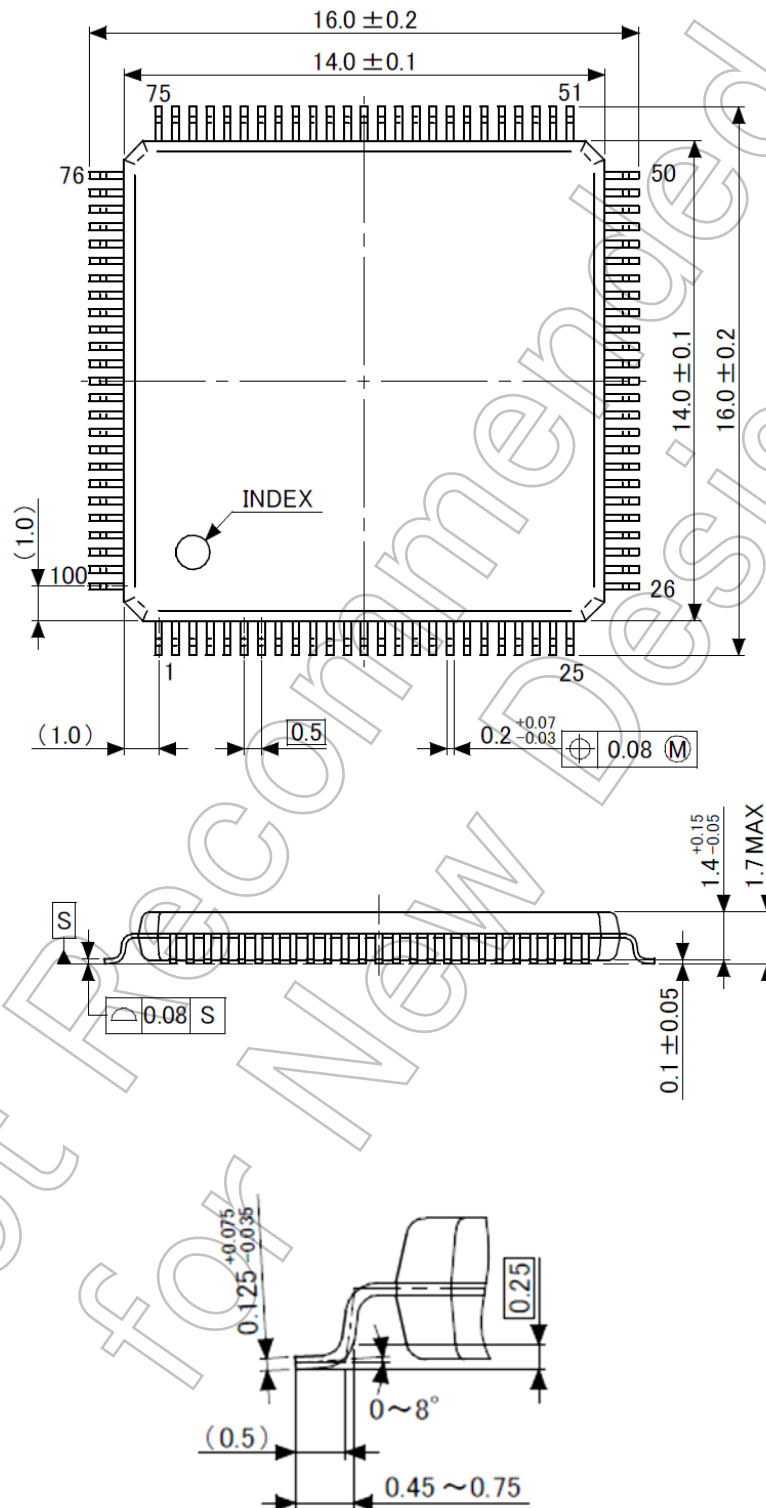
7.12.6. プリント基板の設計に関する注意

水晶振動子と発振のための素子を接続する基板パターンは浮遊容量やインダクタンスによる特性の劣化を防止するために最短距離の配線長で設計してください。また、多層基板の場合は発振回路の直下の層には面グランドや信号パターンを配線しないようにお願いします。詳しくは、発振子メーカーのホームページを参照してください。

8. 外形寸法図

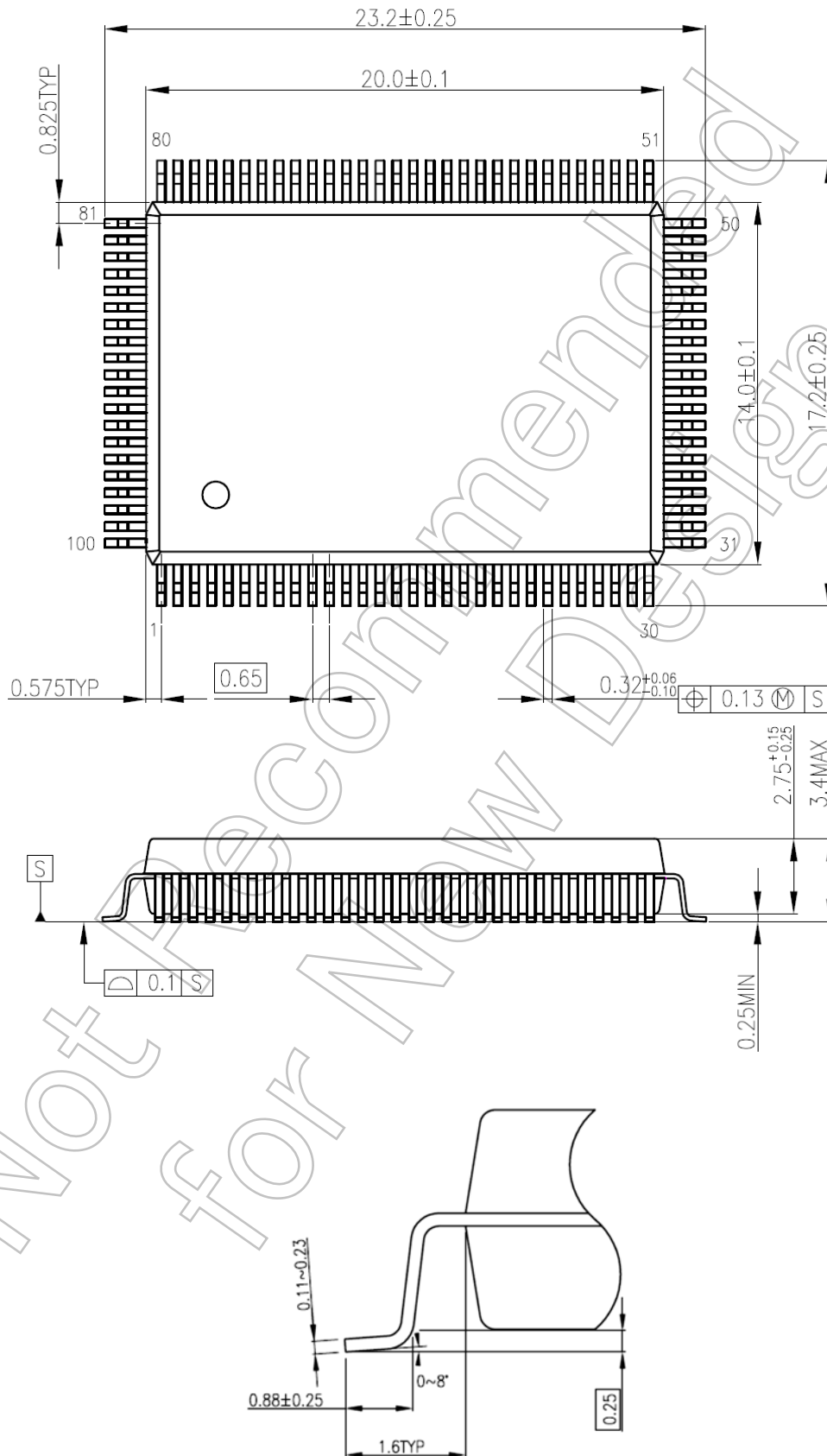
8.1. LQFP100-P-1414-0.50H

Unit: mm



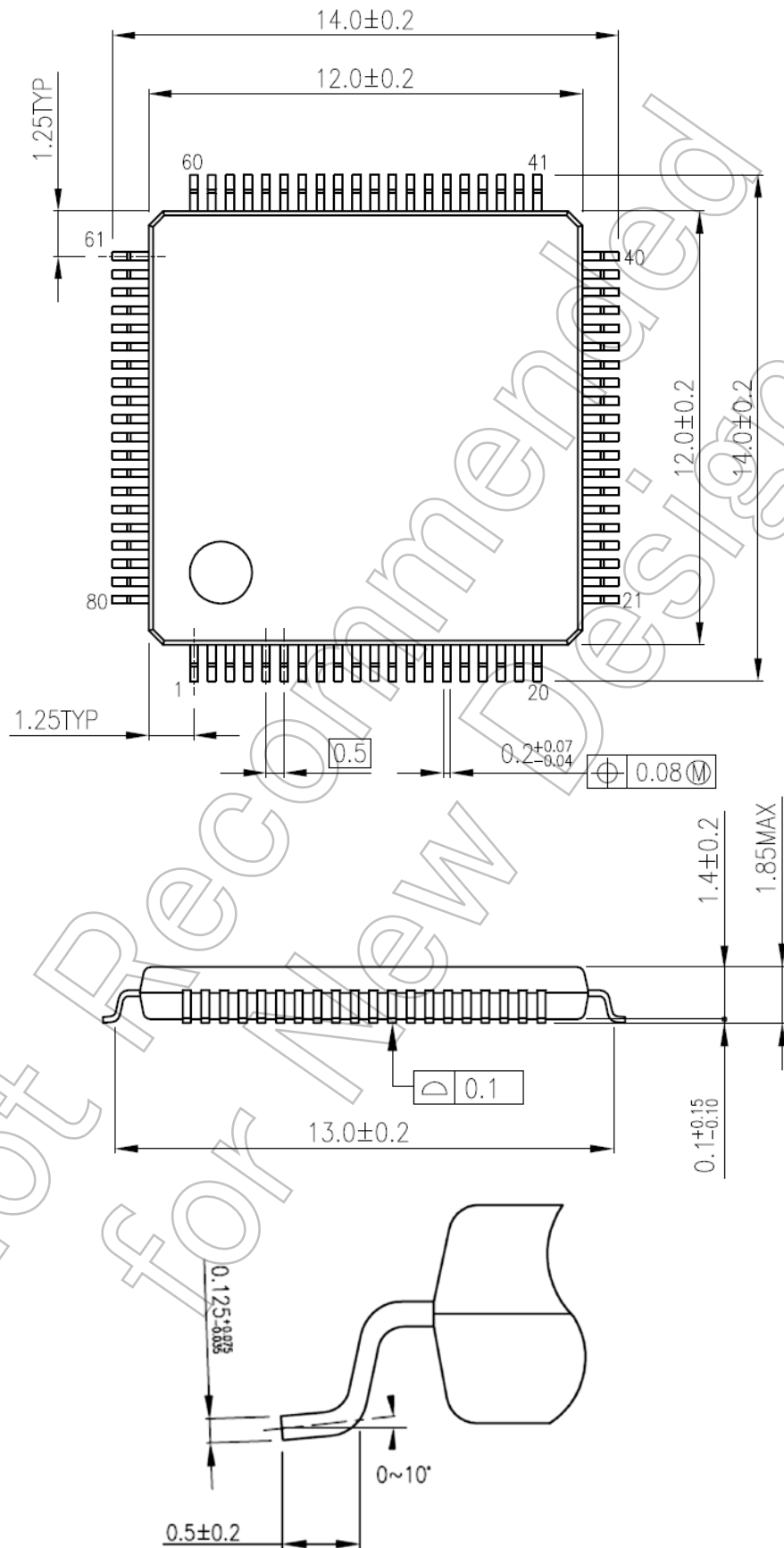
8.2. P-QFP100-1420-0.65-001

Unit: mm



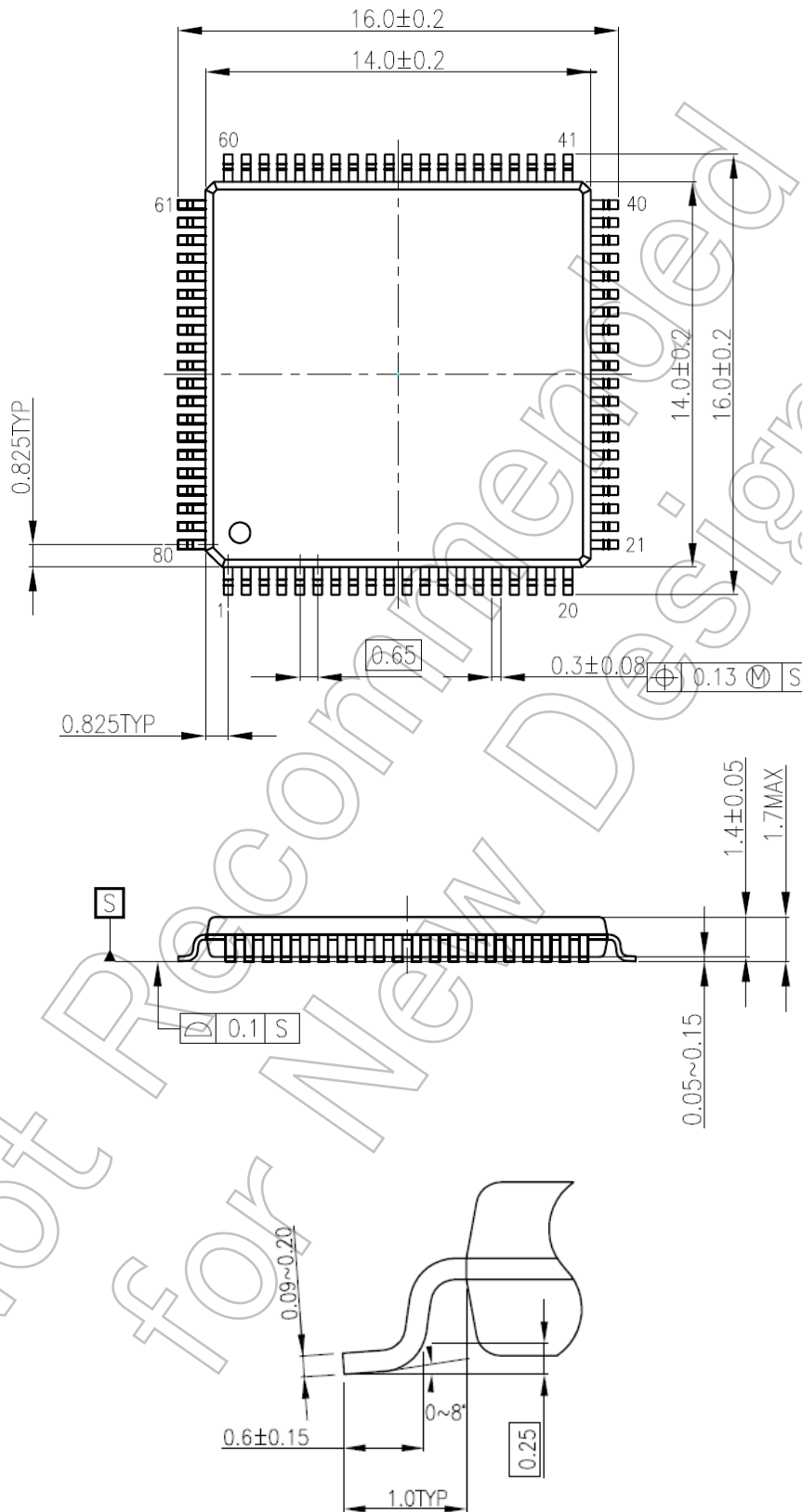
8.3. LQFP80-P-1212-0.50F

Unit: mm



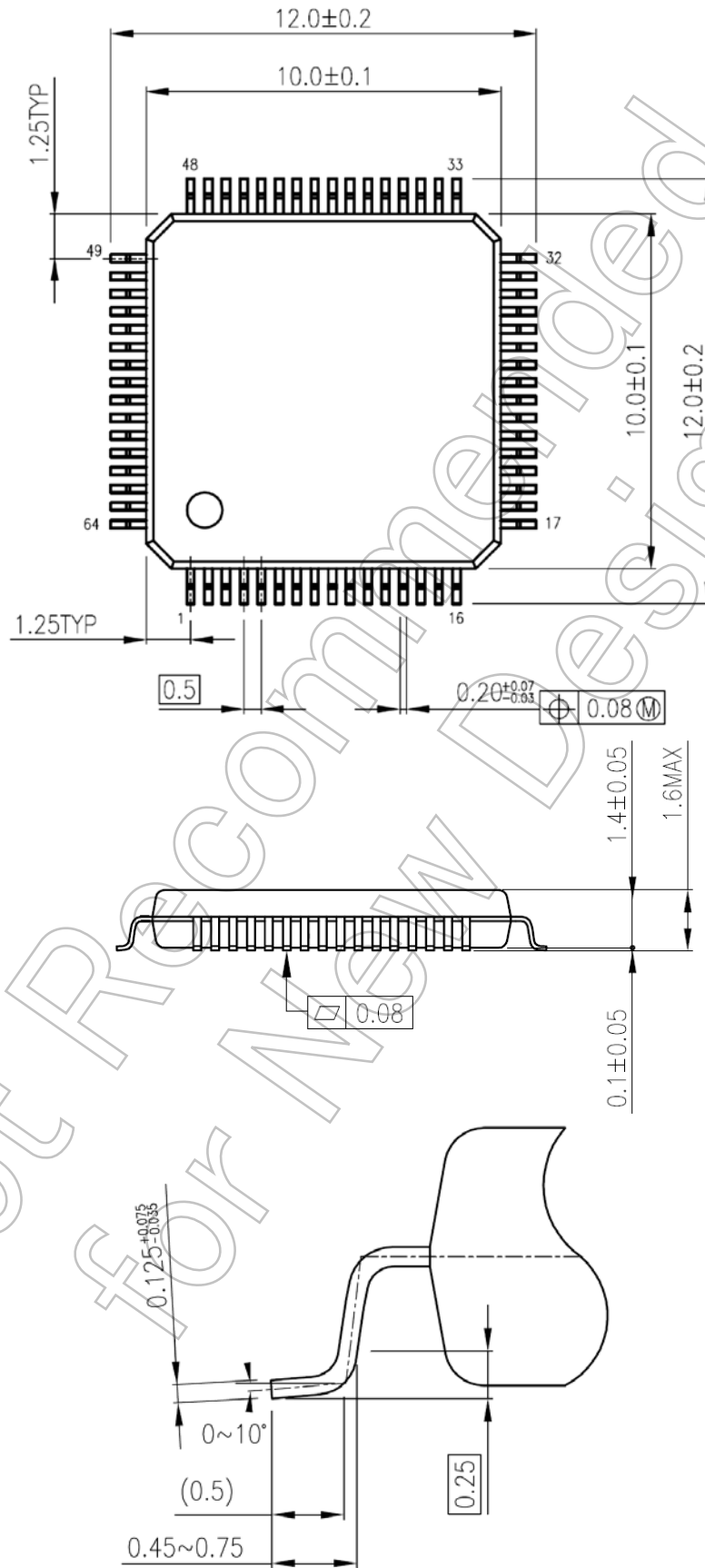
8.4. P-LQFP80-1414-0.65-001

Unit: mm



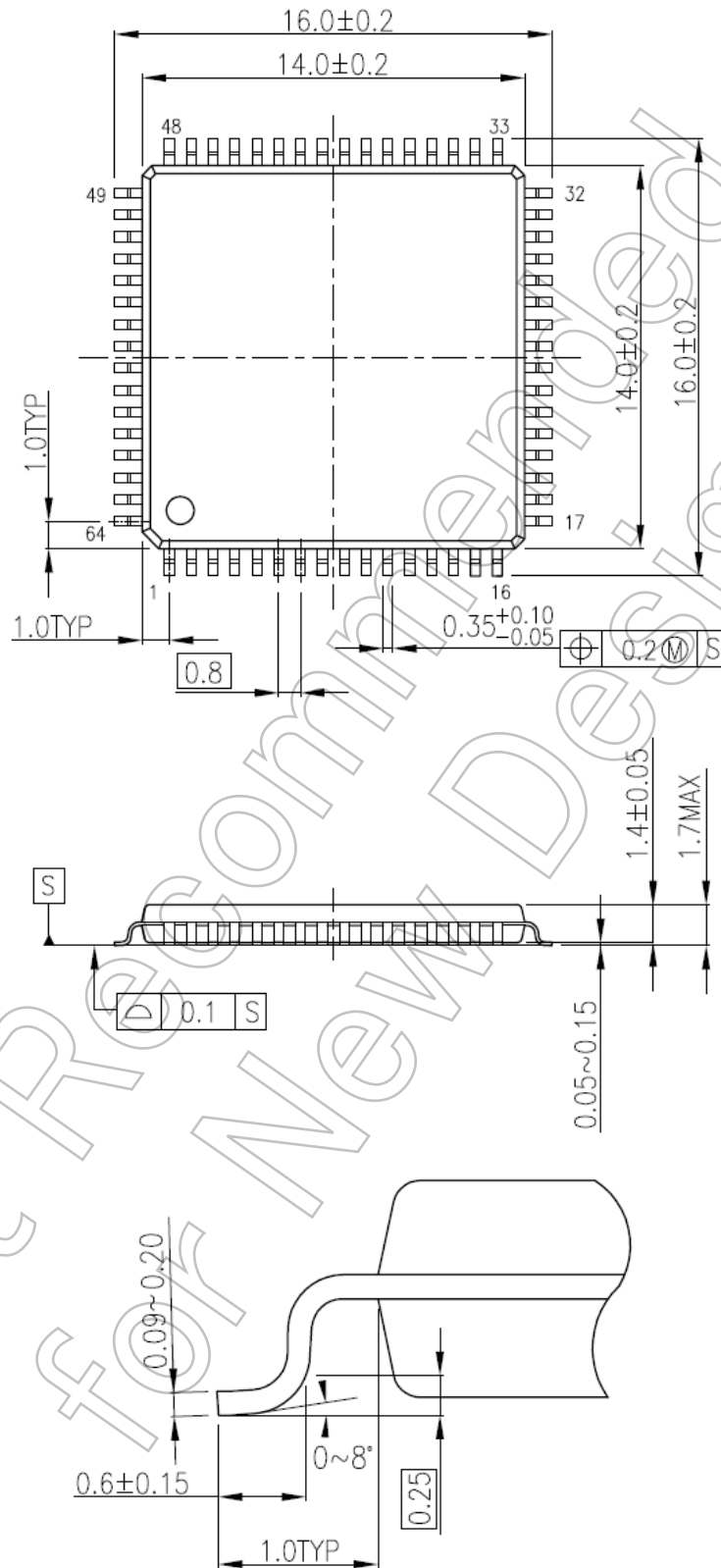
8.5. LQFP64-P-1010-0.50E

Unit: mm



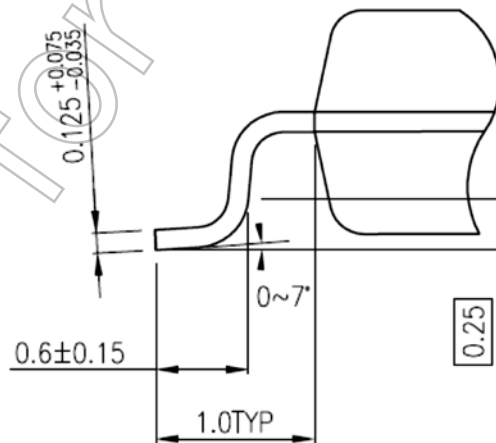
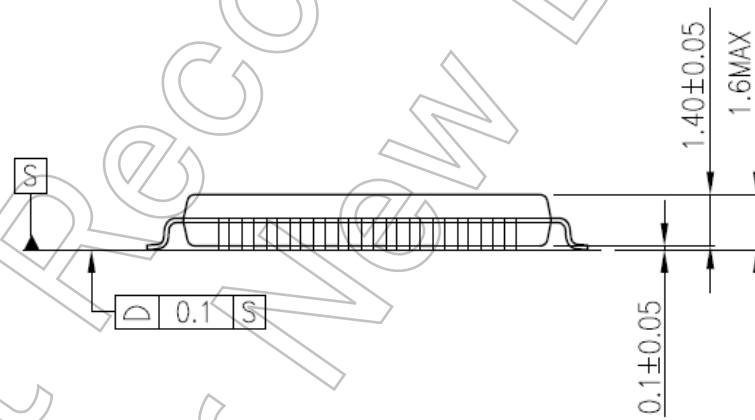
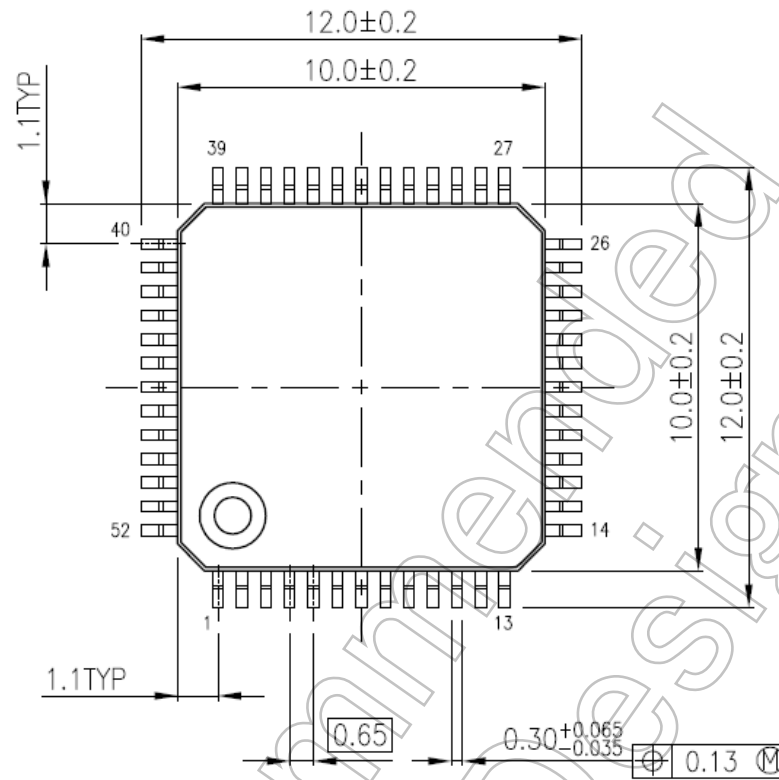
8.6. P-LQFP64-1414-0.80-002

Unit: mm



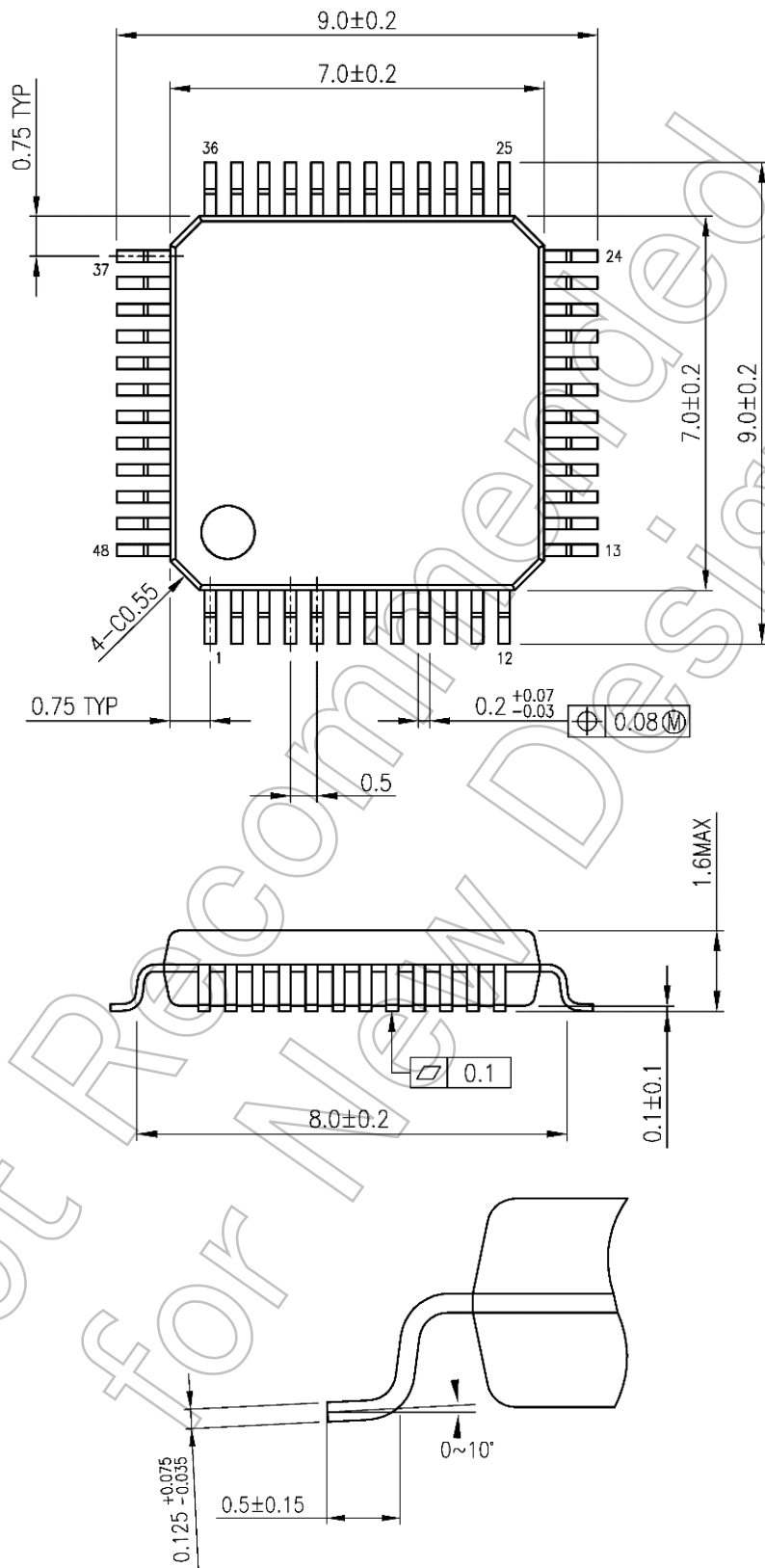
8.7. P-LQFP52-1010-0.65-001

Unit: mm



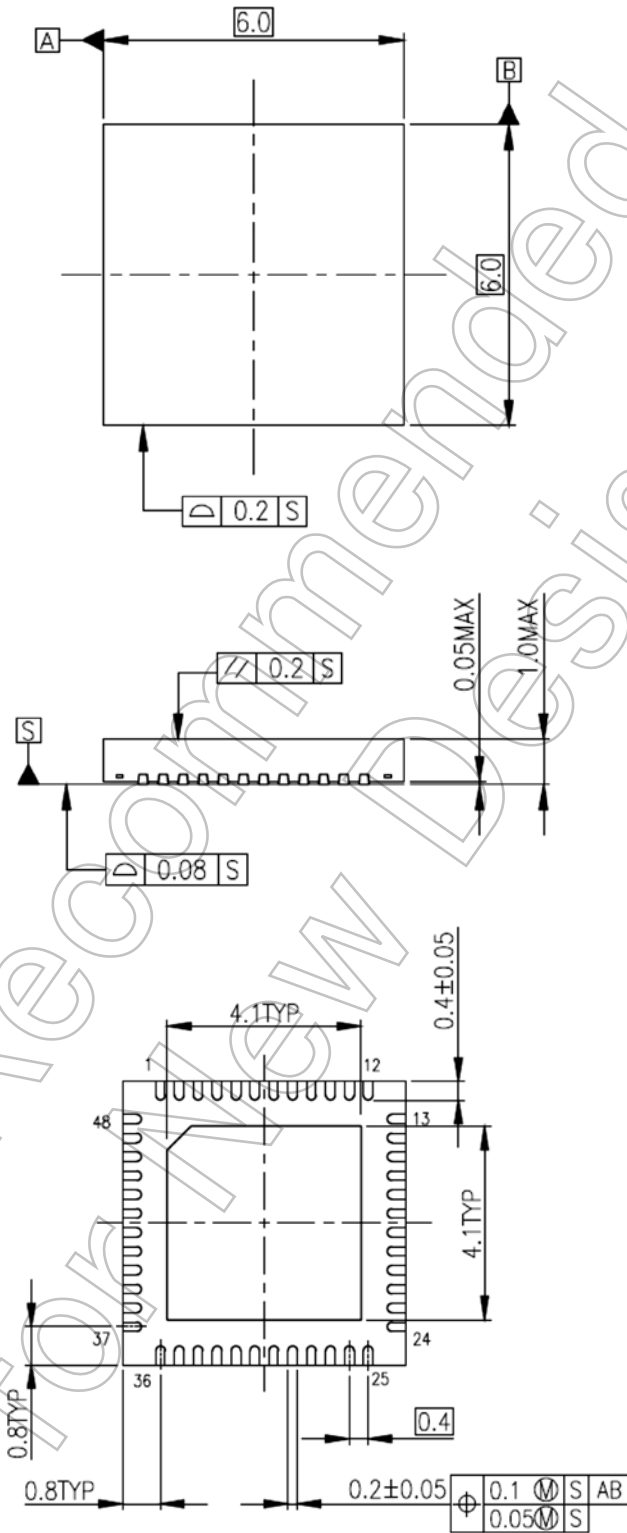
8.8. LQFP48-P-0707-0.50C

Unit: mm



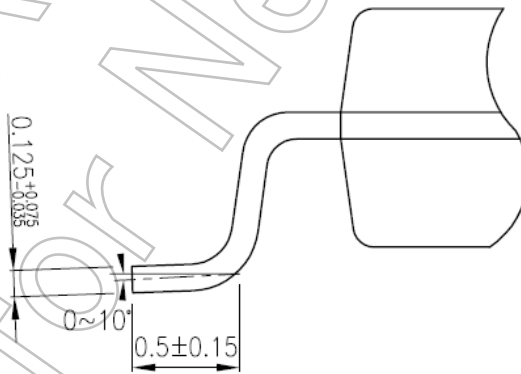
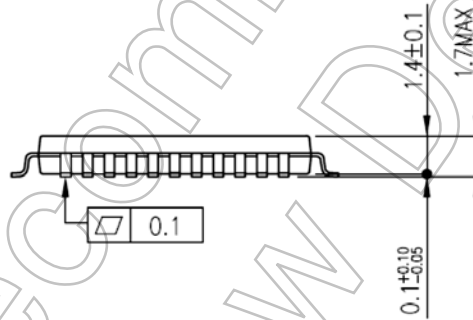
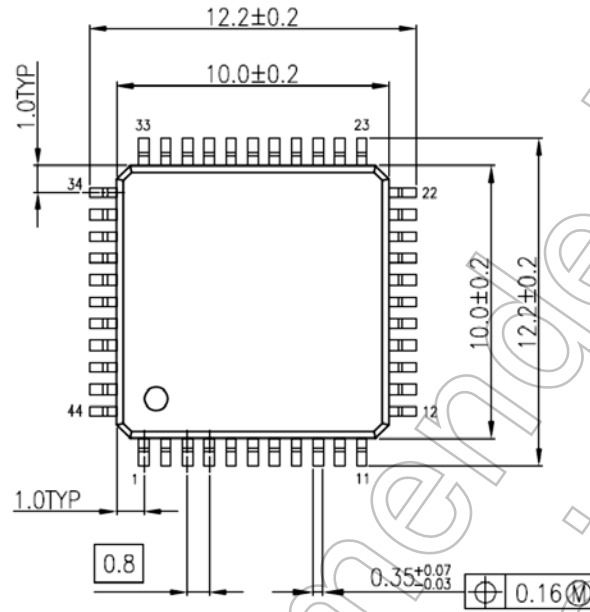
8.9. P-VQFN48-0606-0.40-003

Unit: mm



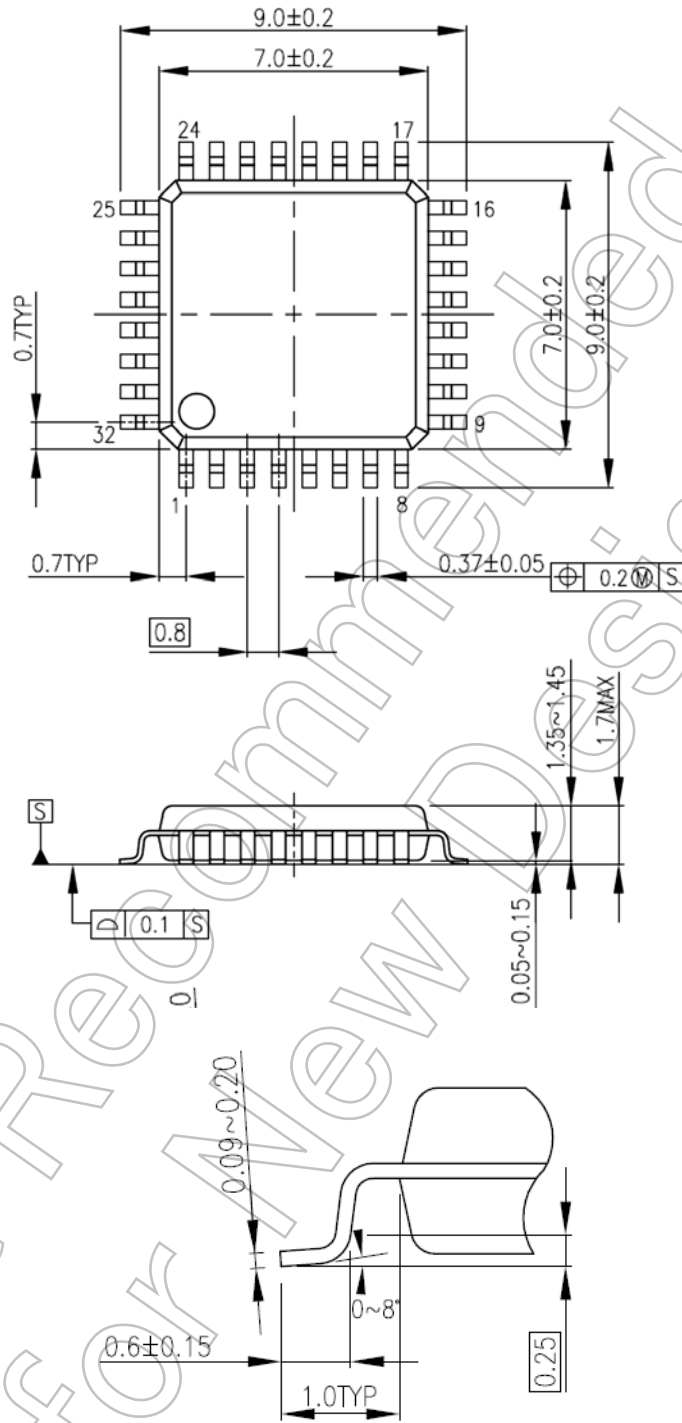
8.10. LQFP44-P-1010-0.80A

Unit: mm



8.11. P-LQFP32-0707-0.80-002

Unit: mm



9. 使用上のご注意およびお願い事項

本資料に掲載されている製品について、使用上の注意点を説明します。

なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

(1) 電源投入時の動作について

電源投入時、本資料に掲載されている製品の内部は不定状態となります。

このため、リセットが有効となるまで、端子の状態は不定となります。

外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有効になるまでの間、端子の状態は不定となります。

また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。

(2) 未使用端子の処置について

本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生してLSI内部で静電破壊やラッチアップが発生することがあります。

未使用端子については、1本ずつ抵抗を通して電源端子または1本ずつ抵抗を通してGND端子に固定することを推奨します。

(3) クロック発振の安定について

リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。

Not Recommended for New Designs

10. 改訂履歴

表 10.1 改訂履歴

Revision	Date	Description
1.0	2017-05-10	<p>新規</p> <ul style="list-style-type: none"> ・社名変更、Arm 関連記述の変更 ・機能別製品一覧: 内蔵機能説明のスペル修正 ・用語・略語: 修正 ・特徴: UART の FIFO ビット数削除, TSPI の FIFO 段数修正(16→8) ・1.ブロック図: 図 1.1 の"I2CS"の"2"の上付き解除修正 ・3.1.メモリ容量一覧: 表 3.1 の最上段に"Size"を追加 ・4.1.1.周辺機能端子: 表 4.1 の PMD+ の OVvX_N および A-ENC の ENCxA/B/C の説明の"入力"→"入力端子"に修正 ・4.1.2.デバッグ端子: 表 4.2 のタイトルの"機能"→"デバッグポート"に修正 ・4.1.3.制御端子: 表 4.3 のタイトルの左側の"機能"削除 ・4.1.4.電源端子: 表 4.4 のタイトルの左側の"機能"削除 ・4.2.機能端子とポート割り当て(端子番号): 表 4.17 の M3H0 の"TMS"と"TCK"は"- "に修正, 表 4.19 を電源端子とポートに変更しポートを追加 ・4.3.ポート: 説明に Input/Output を追加 ・4.3.1.ポート仕様一覧: 章題変更、表 4.20~22…表 3 つまとめ直し、Input/Output を追加 ・5.1.リファレンスマニュアル: 表 5.1 の CG-M3H(1)-B を CG-M3H(1)-D に修正 ・5.6.トリミング回路: 説明の一部を削除 ・5.7.周波数検知回路: 「内蔵高速発振…」→「外部高速発振…」に修正 ・5.9.デジタルノイズフィルタ回路: 説明の一部を削除 ・5.10.デバッグインタフェース: 説明の一部を削除 ・5.11.DMA コントローラ: 「ユニット当たり最大 32 チャンネル」に修正、説明の一部を削除 ・5.12.非同期シリアル通信回路: 「送信で 8 段、受信で 8 段」に修正 ・5.14.I2C インタフェース: 説明を一部修正 ・5.19. 32 ビットタイマイイベントカウンタ: 説明を一部変更
2.0	2017-09-06	<ul style="list-style-type: none"> ・6.1.ポート: PA6~PP3 の図に R(PKH)を追記修正、PH0~3 の図と PB0/BOOT_N の図の隙間を削除 ・7.電気的特性: 章中の表中の"-"→"- "に変更、項目のポート名を並べ直し ・7.2.DC 電気的特性(1/2): 表中の項目のポート名の並びを調整し不要なカンマ等削除 1 番目の表の不要な線を削除、VOLT→VOL4 に修正 2 番目の表の IIL/ILO 表記変更、VTH の条件記載追加し Typ. 表記を 1.0→1 に変更、IOL 項目修正し(注 4)追加、IOLT→IOL4 に修正し(注 5)追加、ΣIOL1/2/3 に(注 5)追加、IOH 条件追記修正し(注 4)追加、ΣIOH1/2/3 に(注 5)追加、表外の注)に注 4)、注 5)追記 3 番目の表の不要な線を削除、VOLT→VOL4 に修正 4 番目の表の IIL/ILO 表記変更、VTH の記号と条件記載追加、RRST 記号追加、PKH 記号と条件追加、IOL 項目修正し(注 4)追加、IOLT→IOL4 に修正し(注 5)追加、ΣIOL1/2/3 に(注 5)追加、IOH 項目追記と条件修正し(注 4)追加、ΣIOH1/2/3 に(注 5)追加、表外の注)に注 4)、注 5)追記 ・7.4.12 ビット AD コンバータ特性: Tconv の Max 値記載 ・7.6.リセット時内部処理特性: 電源傾斜の Min 値を削除 ・7.8.電圧検知回路特性: 「LVD setup 時間」→「セットアップ時間」に変更 ・7.9.AC 電気的特性の各 AC 条件に「Ta=-40°C~85°C」を追加 ・7.9.1.2.AC 電気的特性(TSPI): [TSPIxSCK]→TSPIxSCK に修正、表中 tDHD の「T-0」→「T」に変更、図 7.1~7.4 を書き直し ・7.9.2.I2C インタフェース(I2C): AC 条件から「Pull-up 抵抗: 200 Ω」を削除、表中「SCL クロック周波数」の記号を TSCL→fSCL に修正、注 1)、注 2)に追記、図 7.5 を書き直し TSCL→fSCL に修正 ・7.9.3.2.AC電気的特性(T32A): 説明一部修正、(2)パルスカウント動作の表の単位を変更(数値も合わせて変更)、図 7.6 を書き直し tPWHM→tPWH、tPWML→tPWL修正 ・7.9.6.3.JTAG インタフェース: 図 7.7 を書き直し ・7.9.6.4.ETMトレース: 図 7.8 を書き直し ・7.9.7.2.AC 電気的特性(SCOUT): 表中記号 tsch と tscl を入れ替え(2ヶ所)、図 7.9 を書き直し ・7.9.9.2.AC 電気的特性(外部クロック入力): 図 7.10 を書き直し ・7.10.3.チップ消去特性: 数値修正 ・7.12.3.発振回路例: 図 7.11 を書き直し、"高速発振"、"低速発振"へ変更
3.0	2018-04-12	<ul style="list-style-type: none"> ・特長: 非同期シリアル通信回路(UART) "最大 2.4Mbps"→"最大 2.5Mbps"へ修正 ・機能別製品一覧: 表 2 の"Remote Control Receiver peripherals" →"Remote Control Receiver peripherals"

		<ul style="list-style-type: none"> ・用語・略語: 修正 ・1. ブロック図: 図 1.1 の DMAC を修正 ・4.1.1. 周辺機能端子: 表 4.1 の "(フィルタ幅 約 30ns)" -> "(フィルタ幅: Typ. 30ns)" へ修正 ・4.2. 機能端子とポート割り当て: 表 4.17 の TMS の "-" -> "29"、TCK の "-" -> "30" 表 4.21 からポート"E"を削除 ・5.1. リファレンスマニュアル: 表 5.1 の "(Version x)"を削除、 "モータ制御回路" -> "モータ制御回路プラス" ・5.17. モータ制御回路プラス (PMD+): "モータ制御回路" -> "モータ制御回路プラス" ・5.23. バウンダリスキャン (BSC): "Includes IEEEStd" -> "Includes IEEE Std" へ修正 ・6.1. ポート: PA6, PA7....., PA4, PA5....., PH0~PH3 を修正 ・6.3. 制御端子: MODE BSC へ文章を追記 ・6.4. クロック制御: X1, X2 を修正("高周波"->"高速" 発振許可、入力許可)、 XT1, XT2 を修正("低周波"->"低速" 低速発振許可) ・7.1. 絶対最大定格: 表 7.1 を修正。、 AVDD5 欄: "-0.3~6.0"->"-0.3~DVDD5 (注 1)" VIN1 VIN2 欄: "(DVDD5 は DVDD5A/B/C の総称です)" -> "(注 1) 注 1)を追記 ・7.4. 12ビット AD コンバータ特性: スペック表を修正。(条件, 値, 注) ・7.5. 8ビット DA コンバータ変換特性: スペック表を修正。(条件) ・7.6. リセット時内部処理特性: 電源傾斜の min 値 "-" -> "0.01" ・7.8. 電圧検知回路特性: 検知応答時間の MAX を修正 ("250"->"200") ・7.9.1.2. AC 電気的特性: (1)マスタモード, (2)スレーブモードの表を修正 ("保持時間"->"ホールド時間")、図 7.1~4 の "<CKPOL>=0"->"<CKPOL>=1"、"<CKPOL>=1"->"<CKPOL>=0"へ修正 ・7.9.3.2. AC 電気的特性: (2)パルスカウント動作時 "tPWH" -> "tPWL"、"tPWL" -> "tPWH" 図 7.6 の信号名を修正 "PHCxIN0" -> "T32AxINA0 T32AxINB0 T32AxINC0" "PHCxIN1" -> "T32AxINA1 T32AxINB1 T32AxINC1" ・7.10.3. チップ消去特性: チップ消去時間 "23.7" -> "23.4" ・7.12.1. 内蔵発振器: 条件欄に"注 2"を追記。 ・7.12.4. セラミック発振子: URL を削除 ・7.12.5. 水晶発振子: 説明修正及び URL を削除 ・品番付与情報: 更新
4.0	2018-08-20	<ul style="list-style-type: none"> ・概要: 製品量産開始時期を追記。 ・3. メモリマップ: 図 3.1 の "Flash for code" -> "Code Flash" へ修正。 ・4.1.1. 周辺機能端子: 表 4.1 の周辺機能欄の "トリガ入力(TRGSEL)" -> "トリガ入力"へ修正。 ・5.14. I2C インタフェース(I²C): 表 5.13 の注 2)を "低消費電力動作解除機能あり" -> "アドレス一致ウエイクアップ機能あり"へ修正。 ・7.3. DC 電気的特性(2/2) (消費電流): IDLE の動作条件を"動作条件は表 7.2、表 7.3 を参照してください。"へ修正。表 7.3 の UART の "送信(2.4Mbps)" -> "送信(2.5Mbps)" へ修正。 ・7.4. 12ビット AD コンバータ特性: 項目欄の変換時間の(注 3)の位置を変更。 ・7.9.1.2. AC 電気的特性: 各表の記号欄(tODLY1)の "ホールド時間" -> "遅延時間" へ修正。 " (2) 1st クロックエッジサンプリング(スレーブ)" 及び図 7.2 を削除。 ・7.9.3.2. AC 電気的特性: 図 7.6 の "T32AxINA0", "T32AxINB0", "T32AxINA1", "T32AxINB1"を削除。 ・製品取り扱い上のお願: 表記内容更新。
4.1	2019-07-10	<ul style="list-style-type: none"> ・4.1.1 表 4.1 TSPI/UART/I2C 機能説明を修正 ・4.1.5 電源間コンデンサの章を追加 ・6.3 RESET 修正 ・7.1 絶対最大定格 (出力電流: 1 端子ごとを追記。合計→全端子合計へ修正) ・7.6. tCPUWT(ウォームリセット(Min) 70→55 へ修正) ・7.9.1.2 動作クロックの記載条件を修正 ・7.9.6.2 SWD 波形図追加 ・7.9.6.3 JTGA 波形図へ修正 ・7.12.1 注 2 を修正(IHOSC1/2 について) ・Appendix 全端子一覧表を修正 品番付与情報を更新

Appendix

全端子一覧表

兼用機能 A~B:ポートファンクションレジスタの設定なしにポートに割り当てられる兼用機能です。
 兼用機能 1~6 :ポートファンクションレジスタの設定によりポートに割り当てられる兼用機能です。
 なお一覧表のノイズフィルタに、ノイズキャンセラ、デジタルノイズフィルタ(DNF)等は含まれません。

全端子一覧表(1)

M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP84)	M3H3 (LQFP92)	M3H2 (LQFP48 VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)	ポート名	兼用機能A	兼用機能B	兼用機能1	兼用機能2	兼用機能3	兼用機能4	兼用機能5	兼用機能6	PU/PD	OD	5V_T	SMT/ CMOS	ノイズ フィルタ	リセット 中の 状態	リセット 後の 状態	
1	3	-	-	-	-	-	-	PD3	ANA03								PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
2	4	1	1	1	1	1	1	PD2	ANA02								PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
3	5	2	2	2	2	2	1	PD1	ANA01								PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
4	6	3	3	3	3	3	2	PD0	ANA00								PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
5	7	4	4	4	4	4	3	AVDD5									-	-	-	-	-	-	-	
6	8	5	5	5	5	5	4	AVSS									-	-	-	-	-	-	-	
7	9	6	6	6	6	-	-	PG0	DAC0								PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
8	10	7	-	-	-	-	-	PG1	DAC1								PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
9	11	8	-	-	-	-	-	DVSSC									-	-	-	-	-	-	-	
10	12	9	-	-	-	-	-	DVDD5C									-	-	-	-	-	-	-	
11	13	10	-	-	-	-	-	PA7		INT11							PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z	
12	14	11	7	7	-	-	-	PA6		INT07							PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z	
13	15	12	8	8	7	6	-	PA5		I2C1SDA				T32A00NB1			PU/PD	YES	YES	SMT	N/A	Hi-Z	Hi-Z	
14	16	13	9	9	8	7	-	PA4		I2C1SCL				TSP1CS1	T32A00NB1		PU/PD	YES	YES	SMT	N/A	Hi-Z	Hi-Z	
15	17	14	10	10	9	8	-	PA3			TSP1CSIN	TSP1CSO				PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z		
16	18	15	11	11	10	9	5	PA2		UT0RXD	UT0TXDA	TSP1RXD	T32A00NA1	T32A00NC1	ENC0Z	PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z		
17	19	16	12	12	11	10	6	PA1		UT0TXDA	UT1RXD	TSP1TXD	T32A00NA0	T32A00NC0	ENC0B	PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z		
18	20	17	13	13	12	11	7	PA0		UT0TXDB			T32A00OUTA	T32A00OUTC	ENC0A	PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z		
19	21	-	-	-	-	-	-	PM6		INT15							PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z	
20	22	-	-	-	-	-	-	PM5							T32A00NB1		PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
21	23	-	-	-	-	-	-	PM4			UT0RTS_N	UT0CTS_N	TSP1CS1	T32A00NB0			PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
22	24	-	-	-	-	-	-	PM3			UT0CTS_N	UT0RTS_N	TSP1CS0	T32A00OUTB	TSP1CSIN	TRACEDATA2	PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
23	25	18	14	-	-	-	-	PM2		INT09				T32A00NB1	T32A00NC1	TRACEDATA1	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z	
24	26	19	15	-	-	-	-	PM1			UT0TXDA	UT0RXD	TSP1RXD	T32A00NA0	T32A00NC0	TRACEDATA0	PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
25	27	20	16	-	-	-	-	PM0			UT0TXDB		TSP1RXD	T32A00OUTA	T32A00OUTC	TRACECLK	PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
26	28	21	17	14	13	12	8	PB0	BOOT_N						T32A01OUTA	T32A01OUTC	SCOUT	PU/PD	YES	N/A	SMT	N/A	Hi-Z(注1)	Hi-Z
27	29	22	18	15	14	13	9	PB1		INT08	RX1N0				T32A01NA0	T32A01NC0	TRGN0	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z
28	30	23	19	16	15	14	-	PB2			UT2TXDA	UT2RXD	TSP1CS0	T32A01NA1	T32A01NC1		PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
29	31	24	20	17	16	15	-	PB3			UT2RXD	UT2TXDA	TSP1TXD	T32A01OUTB			PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
30	32	25	21	18	17	16	-	PB4			UT2CTS_N(注3)	UT2RTS_N(注3)	TSP1RXD	T32A01NB0			PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
31	33	-	-	-	-	-	-	PB5			UT2RTS_N	UT2CTS_N	TSP1CS0	T32A01NB1	TSP1CSIN		PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
32	34	-	-	-	-	-	-	PB6					TSP1CS1				PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
33	35	-	-	-	-	-	-	PB7									PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
34	36	26	22	19	-	-	-	PL0			UT2TXDA	UT2RXD	I2C2SCL				PU/PD	YES	YES	SMT	N/A	Hi-Z	Hi-Z	
35	37	27	23	20	-	-	-	PL1			UT2RXD	UT2TXDA	I2C2SDA				PU/PD	YES	YES	SMT	N/A	Hi-Z	Hi-Z	
36	38	28	24	-	-	-	-	PL2			UT2CTS_N	UT2RTS_N					PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
37	39	29	25	-	-	-	-	PL3		INT08	UT2RTS_N	UT2CTS_N					PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z	
38	40	30	-	-	-	-	-	PL4		INT12							PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z	
39	41	-	-	-	-	-	-	PL5			TSP1CS1						PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
40	42	-	-	-	-	-	-	PL6			TSP1CS0	TSP1CSIN					PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
41	43	31	-	-	-	-	-	PP0			TSP1CSK		T32A01OUTA	T32A01OUTC			PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
42	44	32	-	-	-	-	-	PP1			TSP1TXD		T32A01NA0	T32A01NC0			PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
43	45	33	-	-	-	-	-	PP2			TSP1RXD		T32A01NA1	T32A01NC1			PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
44	46	34	26	21	18	17	10	DVDD5A									-	-	-	-	-	-	-	
45	47	35	27	22	19	18	11	REGOUT2									-	-	-	-	-	-	-	
46	48	36	28	20	19	12	-	REGOUT1									-	-	-	-	-	-	-	
47	49	37	29	24	21	20	13	DVSSA									-	-	-	-	-	-	-	
48	50	38	30	25	22	21	14	PH0	X1	EHLKIN							PD	N/A	N/A	SMT	N/A	Hi-Z	Hi-Z	
49	51	39	31	26	23	22	15	PH1	X2								PD	N/A	N/A	SMT	N/A	Hi-Z	Hi-Z	
50	52	40	32	27	24	23	16	RESET_N									PU	-	-	SMT	-	-	-	
51	53	41	33	28	25	-	-	PH2	X1L								PD	N/A	N/A	SMT	N/A	Hi-Z	Hi-Z	
52	54	42	34	29	26	-	-	PH3	X1Z	INT06							PD	N/A	N/A	SMT	YES	Hi-Z	Hi-Z	
53	55	43	35	30	27	24	17	MODE									PD	N/A	N/A	SMT	N/A	-	-	
54	56	44	36	31	28	25	18	PC0		INT00	I2COSCL			T32A02OUTA	T32A02OUTC		PU/PD	YES	YES	SMT	YES	Hi-Z	Hi-Z	
55	57	45	37	32	29	26	19	PC1		INT01	I2COSDA			T32A02NA0	T32A02NC0		PU/PD	YES	YES	SMT	YES	Hi-Z	Hi-Z	
56	58	46	38	30	27	20	-	PC2		INT02				T32A02NA1	T32A02NC1	RTCOOUT(注2)	PU/PD	YES	N/A	SMT	YES	Hi-Z	Hi-Z	
57	59	47	39	34	31	-	-	PC3						T32A02OUTB			PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
58	60	48	-	-	-	-	-	PC4							T32A02NB0		PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
59	61	49	-	-	-	-	-	PC5							T32A02NB1		PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	
60	62	50	-	-	-	-	-	PC6									PU/PD	YES	N/A	SMT	N/A	Hi-Z	Hi-Z	

注1) RESET_N 端子が"Low"の時、内蔵 pull-up が ON です。
 注2) RTCOUT は M3H1,M3H0 では使えません。
 注3) PB4 の UT2CTS_N/UT2RTS_N は M3H5,M3H4,M3H3,M3H2,M3H1,M3H0 では使えません。

全端子一覧表(2)

M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48 VGFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)	ポート名	兼用機能A	兼用機能B	兼用機能1	兼用機能2	兼用機能3	兼用機能4	兼用機能5	兼用機能6	PU/PD	OD	5V_T	SMT/ CMOS	ノイズ フィルタ	リセット 中の状態	リセット 後の状態
61	63	-	-	-	-	-	-	PR0					T32A02OUTA	T32A02OUTC			PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
62	64	-	-	-	-	-	-	PR1					T32A02INA0	T32A02INC0			PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
63	65	-	-	-	-	-	-	PR2					T32A02INA1	T32A02INC1			PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
64	66	-	-	-	-	-	-	PR3									PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
65	67	-	-	-	-	-	-	PN5					T32A05INB1				PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
66	68	51	-	-	-	-	-	PN4					T32A05INB0				PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
67	69	52	40	-	-	-	-	PN3		INT10			T32A05OUTB		TRGN2		PU/PD	YES	N/A	SMT	YES	Hi-z	Hi-z
68	70	53	41	-	-	-	-	PN2					T32A05INA1	T32A05INC1			PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
69	71	54	42	-	-	-	-	PN1					T32A05INA0	T32A05INC0			PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
70	72	55	43	-	-	-	-	PN0					T32A05OUTA	T32A05OUTC			PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
71	73	56	44	35	32	28	21	PJ0			UT1TXDB		T32A03OUTA	T32A03OUTC	U00		PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
72	74	57	45	36	33	29	22	PJ1			UT1TXDA	UT1RXD	T32A03INA0	T32A03INC0	X00		PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
73	75	58	46	37	34	30	23	PJ2			UT1RXD	UT1TXDA	T32A03INA1	T32A03INC1	Y00		PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
74	76	59	47	38	35	31	24	PJ3			UT1CTS_N	UT1RTS_N	T32A03OUTB		Y00		PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
75	77	60	48	39	36	32	25	PJ4		INT04			T32A03INB0		W00		PU/PD	YES	N/A	SMT	YES	Hi-z	Hi-z
76	78	61	49	40	37	33	26	PJ5					T32A03INB1		Z00		PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
77	79	62	50	41	38	34	27	PK0			UT1TXDB				EM00_N		PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
78	80	63	51	42	39	35	28	PK1		INT05		UT1TXDA	UT1RXD		OV00_N		PU/PD	YES	N/A	SMT	YES	Hi-z	Hi-z
79	81	64	52	43	40	36	29	PK2			UT1RXD	UT1TXDA	T32A04OUTA	T32A04OUTC	TMS/SWD0		PU/PD	YES	N/A	SMT	N/A	PU	PU
80	82	65	53	44	41	37	30	PK3			UT1CTS_N(注1)	UT1RTS_N(注1)	T32A04INA0	T32A04INC0	TK0/SWCLK		PU/PD	YES	N/A	SMT	N/A	PD	PD
81	83	66	54	45	42	38	-	PK4			UT1RTS_N	UT1CTS_N	T32A04INA1	T32A04INC1	TDO/SWV		PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
82	84	67	55	46	43	39	-	PK5					T32A04OUTB		TDI		PU/PD	YES	N/A	SMT	N/A	PU	PU
83	85	68	56	-	-	-	-	PK6					T32A04INB0		TRST_N		PU/PD	YES	N/A	SMT	N/A	PU	PU
84	86	69	-	-	-	-	-	PK7		INT13			T32A04INB1				PU/PD	YES	N/A	SMT	YES	Hi-z	Hi-z
85	87	70	-	-	-	-	-	PP3		INT14							PU/PD	YES	N/A	SMT	YES	Hi-z	Hi-z
86	88	71	57	47	-	-	-	BSC									PD	N/A	N/A	SMT	N/A	-	-
87	89	72	58	-	-	-	-	DVDD5B															
88	90	73	59	-	-	-	-	DVSSB															
89	91	-	-	-	-	-	-	PF4	ANA15								PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
90	92	-	-	-	-	-	-	PF3	ANA14								PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
91	93	-	-	-	-	-	-	PF2	ANA13								PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
92	94	-	-	-	-	-	-	PF1	ANA12								PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
93	95	-	-	-	-	-	-	PF0	ANA11								PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
94	96	74	-	-	-	-	-	PE6	ANA10								PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
95	97	75	-	-	-	-	-	PE5	ANA09								PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
96	98	76	60	48	44	40	-	PE4	ANA08								PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
97	99	77	61	49	45	41	-	PE3	ANA07								PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
98	100	78	62	50	46	42	-	PE2	ANA06								PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
99	1	79	63	51	47	43	31	PE1	ANA05								PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z
100	2	80	64	52	48	44	32	PE0	ANA04								PU/PD	YES	N/A	SMT	N/A	Hi-z	Hi-z

注1) PK3のUT1CTS_N/UT1RTS_NはM3H0では使えません。

● 品番付与情報

TMP M3H 4 F W x UG

The identification of Toshiba microcontrollers

Core/コア

記号	説明
M4	Arm Cortex-M4(FPU 機能搭載)
M3	Arm Cortex-M3
M0	Arm Cortex-M0

Revision/変更記号

Package/パッケージ

記号	説明
QG	Plastic shrink quad outline non-leaded package; dry-packed プラスチック縮小クアットアウトラインノンリードパッケージ、防湿梱包品
UG,DUG, FG,DFG	Plastic quad flat package; dry-packed プラスチックフラットパッケージ、防湿梱包品
MG,DMG	Plastic small-outline package; dry-packed プラスチックスモールアウトラインパッケージ、防湿梱包品
XBG	Plastic ball grid array; dry-packed プラスチックボールグリッドアレイ、防湿梱包品

Product Group /グループ

ファミリ	記号	説明
TXZ	H	汎用・コンシューマエレクトロニクス
	K	モータ/インバータ制御・産業機器 (MCU+AMP/COMP)
	G	OA/デジタル製品・産業機
	E	小型精密機器
	P	ヘルスケア/バッテリー駆動機器
	J	FA/ロボティクス機器

ROM Size /メモリ容量

記号	容量[KB]
M	32
P	48
S	64
U	96
W	128
Y	256
Z	384
D	512
E	768
10	1,023
15	1,536
20	2,048
40	4,096
80	8,192

Pin Count / ピン数 ,ファンクション

記号	説明	記号	説明
0	G 32pin 以下	8	Q 129pin to 144pin
1	H 33pin to 44pin	9	R 145pin to 176pin
2	J 45pin to 48pin	A	S 177pin to 200pin
3	K 49pin to 52pin	B	T 201pin to 224pin
4	L 53pin to 64pin	C	U 225pin to 250pin
5	M 65pin to 80pin	D	V 251pin to 300pin
6	N 81pin to 100pin		
7	P 101pin to 128pin		

ROM Type / ROM タイプ

記号	説明
F	Flash
C	Mask

製品取り扱い上のお願

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。