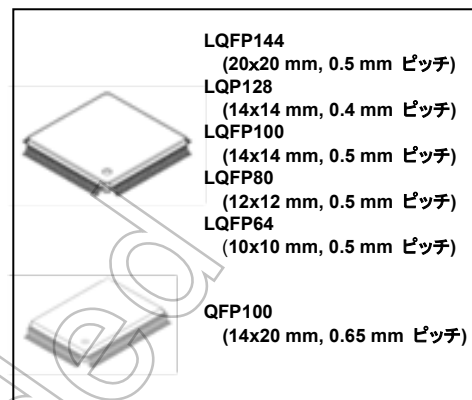


CMOS 形 デジタル集積回路 シリコン モノリシック

TMPM3H グループ(2)

概要

- Arm® Cortex®-M3、動作周波数：1~80MHz、動作電圧：2.7~5.5V
- 256K~512K バイトコードフラッシュ、32K バイトデータフラッシュ
- 64~144 ピン、6 種類のパッケージ展開



用途

家電、OA、住設、AV 機器、モーター制御など民生・産業機器に幅広く使用可能

特長

- Arm Cortex-M3 コア搭載
 - 動作周波数：1~80MHz
 - メモリー保護ユニット(MPU)搭載
- 動作電圧と消費電力
 - 動作電圧：2.7~5.5V
 - 低消費電力動作：IDLE、STOP1、STOP2
- 動作温度範囲：-40~+85°C
- 内蔵メモリー
 - コードフラッシュ：256K~512KB、書き換え：1 万回
 - データフラッシュ：32KB、書き換え：10 万回
 - 命令実行と並行してデータフラッシュを書き換え可能
 - RAM(パリティ付)：64 KB + バックアップ RAM：2KB
- クロック
 - 外部高速発振器：6MHz~12MHz (セラミック、水晶)
 - 外部高速クロック入力：6~20MHz
 - 内蔵高速発振器(IHOSC1)：10MHz、ユーザートリミング
 - PLL：80MHz
 - 外部低速発振器：32.768kHz
- 周波数検知(OFD)：システムクロック異常検知
- 電圧検知(LVD)：8 レベル、割り込みとリセット出力選択
- 割り込み
 - 外部：12~32 要因、DNF:デジタルノイズフィルター付き
 - 内部：116~136 要因
- 入出力ポート：56~134 本(入力：4 本、出力：1 本)
 - プルアップ/ダウン、オーブンドレイン、5V トレラントあり
- オンチップデバッグ(JTAG/SW)
- トリガーセレクト(TRGSEL)
 - DMA コントローラーやタイマーカウンタなどの起動要因を拡張
- DMA コントローラー(DMAC)
 - 起動要因：2 ユニット 54~64 要因、内部/外部トリガー
- UART：6 チャンネル
 - 最大 2.5Mbps、FIFO(送信×8、受信×8)
- TSPI：1~5 チャンネル
 - SIO/SPI モード、最大 20MHz、FIFO (送信 16 ビット×8、受信 16 ビット×8)
- I²C：2~4 チャンネル マルチマスター、低消費電力動作解除機能
- コンパレータ：1 チャンネル A-PMD に EMG 信号出力
- 8 ビット DA コンバータ：2 チャンネル
- 12 ビット AD コンバータ：10~21 チャンネル入力
 - サンプル&ホールド回路内蔵
 - 変換時間：1.5μs@ADCLK=40MHz
 - 自己診断サポート機能
- アドバンストプログラマブルモーター制御回路(A-PMD)：1 チャンネル
 - 3 相相補 PWM 出力、12 ビット ADC との同期動作
 - 外部入力による緊急停止機能(EMG 0 端子、OVV 0 端子)
- アドバンストエンコーダ入力回路(A-ENC)：1 チャンネル
 - エンコーダ/センサー(3 種)/タイマー/位相カウンタモード
- 32 ビットタイマーイベントカウンタ(T32A)
 - 32 ビットタイマー時 8 チャンネル、16 ビットタイマー時 16 チャンネル
 - インターバルタイマー、イベントカウント、インプットキャプチャー、2 相カウンタ入力、PPG 出力、同期スタート、トリガースタート
- リアルタイムクロック(RTC)：1 チャンネル
- ウォッチドッグタイマー(SIWD)：1 チャンネル
 - システムクロックと別系統のソースクロックを選択
 - クリアウインドウ、割り込みとリセット出力選択
- リモコン受信回路(RMC)：1 チャンネル
- CRC 計算回路(CRC)：1 チャンネル CRC32、CRC16

製品量産開始時期
2018-03

機能別製品一覧

この表は開発中製品を含みます。
各製品の最新開発状況は、弊社営業担当までお問い合わせください。

表1 機能別製品一覧

内蔵機能		TMPM3HQDFDG TMPM3HQFZFG TMPM3HQFYFG	TMPM3HPDFDG TMPM3HPFZFG TMPM3HPFYFG	TMPM3HNFDFG TMPM3HNFZFG TMPM3HNFYFG	TMPM3HNFDDFG TMPM3HNFZDFG TMPM3HNFYDFG	TMPM3HMFDFG TMPM3HMFZFG TMPM3HMFYFG	TMPM3HLFDUG TMPM3HLFZUG TMPM3HLFYUG
Memory	Code Flash (KB)	512	512	512	512	512	512
		384	384	384	384	384	384
		256	256	256	256	256	256
	Data Flash (KB)	32	32	32	32	32	32
32		32	32	32	32	32	
32		32	32	32	32	32	
RAM (KB)	64	64	64	64	64	64	
	64	64	64	64	64	64	
	64	64	64	64	64	64	
Backup RAM (KB)	2	2	2	2	2	2	
I/O port	PORT (Pin)	134	118	92	92	72	56
External interrupt	INT (Pin)	32	29	19	19	15	12
DMA	DMAC (ch)	64	64	64	64	62	53
Timer function	T32A (ch)	8	8	8	8	8	8
	RTC (ch)	1	1	1	1	1	1
Serial communication function	UART (ch)	6	6	6	6	6	6
	I ² C (ch)	4	4	3	3	3	2
	TSPI (ch)	5	5	4	4	4	1
Analog function	12-bit ADC (ch)	21	19	13	13	10	10
	8-bit DAC (ch)	2	2	2	2	2	2
	Comparator (ch)	1	1	1	1	1	1
Motor Control peripherals	A-ENC (ch)	1	1	1	1	1	1
	A-PMD (ch)	1	1	1	1	1	1
Other peripherals	RMC (ch)	1	1	1	1	1	1
	CRC (ch)	1	1	1	1	1	1
System function	RAMP	1	1	1	1	1	1
	LVD (ch)	1	1	1	1	1	1
	SIWDT (ch)	1	1	1	1	1	1
	OFD (ch)	1	1	1	1	1	1
	POR	1	1	1	1	1	1
Debug interface	Debug	JTAG/SW TRACE(4bit)	JTAG/SW TRACE(4bit)	JTAG/SW TRACE(4bit)	JTAG/SW TRACE(4bit)	JTAG/SW TRACE(2bit)	JTAG/SW
Package	Package type	LQFP144 (20 mm x 20 mm, 0.5 mm pitch)	LQFP128 (14 mm x 14 mm, 0.4 mm pitch)	LQFP100 (14 mm x 14 mm, 0.5 mm pitch)	QFP100 (14 mm x 20 mm, 0.65 mm pitch)	LQFP80 (12 mm x 12 mm, 0.5 mm pitch)	LQFP64 (10 mm x 10 mm, 0.5 mm pitch)
	Package name	P-LQFP144-2020-0.50-002	P-LQFP128-1414-0.40-001	P-LQFP100-1414-0.50-002	P-QFP100-1420-0.65-001	P-LQFP80-1212-0.50-003	P-LQFP64-1010-0.50-003

目次

概要	1
用途	1
特長	1
機能別製品一覧	2
目次	3
図目次	6
表目次	6
序章	8
表記規約	8
用語・略語	10
1. ブロック図	11
2. 端子配置図	12
2.1. LQFP144	12
2.2. LQFP128	13
2.3. LQFP100	14
2.4. QFP100	15
2.5. LQFP80	16
2.6. LQFP64	17
3. メモリーマップ	18
3.1. メモリー容量一覧	19
4. 端子説明	20
4.1. 機能端子名称と機能	20
4.1.1. 周辺機能端子	20
4.1.2. デバッグ端子	22
4.1.3. 制御端子	23
4.1.4. 電源端子	23
4.1.5. 電源間コンデンサー	24
4.2. 機能端子とポート割り当て(端子番号)	25
4.3. ポート	38
4.3.1. ポート仕様一覧	39
5. 機能説明・動作説明	43
5.1. リファレンスマニュアル	43
5.2. プロセッサコア	44
5.2.1. コアに関する情報	44
5.2.2. 構成可能なオプション	44
5.3. クロック制御回路と動作モード (CG)	45
5.4. フラッシュメモリー(コードフラッシュ、データフラッシュ)	45

5.5. 発振器	46
5.6. トリミング回路 (TRM)	46
5.7. 周波数検知回路 (OFD).....	46
5.8. 電圧検知回路 (LVD).....	47
5.9. デジタルノイズフィルター回路 (DNF)	47
5.10. デバッグインターフェース (DEBUG).....	48
5.11. DMA コントローラー (DMAC)	49
5.12. 非同期シリアル通信回路 (UART).....	49
5.13. シリアルペリフェラルインターフェース (TSPI).....	50
5.14. I ² C インターフェース (I ² C).....	50
5.15. 8 ビットデジタルアナログコンバーター (DAC).....	51
5.16. 12 ビットアナログデジタルコンバーター (ADC).....	51
5.17. コンパレーター (COMP)	51
5.18. アドバンストプログラマブルモーター制御回路 (A-PMD).....	52
5.19. アドバンストエンコーダー入力回路 (A-ENC).....	52
5.20. 32 ビットタイマーイベントカウンタ (T32A).....	53
5.21. リアルタイムクロック (RTC).....	53
5.22. クロック選択式ウォッチドッグタイマー (SIWDT).....	54
5.23. リモコン受信回路 (RMC)	54
5.24. CRC 計算回路 (CRC)	54
5.25. RAM パリティ (RAMP).....	55
6. 等価回路図	56
6.1. ポート	56
6.2. アナログ関連端子.....	60
6.3. 制御端子.....	60
6.4. クロック制御	61
7. 電気的特性	62
7.1. 絶対最大定格	62
7.2. DC 電気的特性(1/2).....	63
7.3. DC 電気的特性 (2/2)(消費電流).....	67
7.4. 12 ビット AD コンバーター特性	69
7.5. 8 ビット DA コンバーター変換特性.....	70
7.6. コンパレーター特性	70
7.7. リセット時内部処理特性	71
7.8. パワーオンリセット特性	71
7.9. 電圧検知回路特性	72
7.10. AC 電気的特性.....	73

7.10.1. シリアルペリフェラルインターフェース(TSPI).....	73
7.10.2. I ² C インターフェース(I2C).....	81
7.10.3. 32 ビットタイマーイベントカウンター (T32A).....	83
7.10.4. 外部割り込み	84
7.10.5. 端子トリガー入力(TRGINx).....	85
7.10.6. デバッグ通信	86
7.10.7. SCOUT 端子.....	89
7.10.8. ノイズフィルター特性.....	89
7.10.9. 外部クロック入力.....	90
7.11. フラッシュ特性.....	91
7.11.1. コードフラッシュ特性.....	91
7.11.2. データフラッシュ特性.....	91
7.11.3. チップ消去特性.....	91
7.12. レギュレーター.....	92
7.13. 発振回路.....	92
7.13.1. 内蔵発振器.....	92
7.13.2. 外部発振器.....	92
7.13.3. 発振回路例.....	93
7.13.4. セラミック発振子.....	93
7.13.5. 水晶発振子.....	93
7.13.6. プリント基板の設計に関する注意.....	93
8. 外形寸法図.....	94
8.1. P-LQFP144-2020-0.50-002.....	94
8.2. P-LQFP128-1414-0.40-001.....	95
8.3. P-LQFP100-1414-0.50-002.....	96
8.4. P-QFP100-1420-0.65-001.....	97
8.5. P-LQFP80-1212-0.50-003.....	98
8.6. P-LQFP64-1010-0.50-003.....	99
9. 使用上のご注意およびお願い事項.....	100
10. 改訂履歴.....	101
Appendix.....	103
全端子一覧表.....	103
品番付与情報.....	107
製品取り扱い上のお願い.....	108

図目次

図 1.1	TMPM3H グループ(2)製品のブロック図	11
図 3.1	TMPM3HQDFDG の例	18
図 4.1	電源間コンデンサの接続図	24
図 7.1	1st クロックエッジサンプリング(マスター)	79
図 7.2	2nd クロックエッジサンプリング(マスター)	79
図 7.3	2nd クロックエッジサンプリング(スレーブ)	80
図 7.4	I ² C の AC タイミング	82
図 7.5	カウントパルス入力	84
図 7.6	JTAG/SWD 波形	87
図 7.7	トレース信号波形	88
図 7.8	SCOUT 出力波形	89
図 7.9	外部クロック入力波形	90
図 7.10	発振回路例	93

表目次

表 1	機能別製品一覧	2
表 3.1	メモリー容量とアドレス	19
表 4.1	周辺端子名称と機能	20
表 4.2	デバッグ端子名称と機能	22
表 4.3	制御端子名称と機能	23
表 4.4	電源端子名称と機能	23
表 4.5	信号接続一覧(1/13)	25
表 4.6	信号接続一覧(2/13)	26
表 4.7	信号接続一覧(3/13)	27
表 4.8	信号接続一覧(4/13)	28
表 4.9	信号接続一覧(5/13)	29
表 4.10	信号接続一覧(6/13)	30
表 4.11	信号接続一覧(7/13)	31
表 4.12	信号接続一覧(8/13)	32
表 4.13	信号接続一覧(9/13)	33
表 4.14	信号接続一覧(10/13)	34
表 4.15	信号接続一覧(11/13)	35
表 4.16	信号接続一覧(12/13)	36
表 4.17	信号接続一覧(13/13)	37
表 4.18	ポート A,B,C,D,E のポート名、仕様	39
表 4.19	ポート F,G,H,J,K のポート名、仕様	40
表 4.20	ポート L,M,N,P,R のポート名、仕様	41
表 4.21	ポート T,U,V のポート名、仕様	42
表 5.1	TMPM3H グループ(2) リファレンスマニュアル一覧	43
表 5.2	コアリビジョン	44
表 5.3	構成可能なオプションと実装	44
表 5.4	搭載発振器	46
表 5.5	TRM 搭載一覧	46
表 5.6	OFD 搭載一覧	46
表 5.7	LVD 搭載一覧	47
表 5.8	外部割り込み数(DNF 搭載数)	47
表 5.9	デバッグインターフェース搭載一覧	48
表 5.10	DMAC 搭載一覧	49
表 5.11	UART 搭載一覧	49
表 5.12	TSPI 搭載一覧	50
表 5.13	I ² C 搭載一覧	50

表 5.14	DAC 搭載一覧	51
表 5.15	ADC 搭載一覧	51
表 5.16	アナログ入力数	51
表 5.17	コンパレータ搭載一覧	51
表 5.18	A-PMD 搭載一覧	52
表 5.19	A-ENC 搭載一覧	52
表 5.20	T32A 搭載一覧	53
表 5.21	RTC 搭載一覧	53
表 5.22	SIWDT 搭載一覧	54
表 5.23	RMC 搭載一覧	54
表 5.24	CRC 計算回路搭載一覧	54
表 5.25	RAM パリティ回路搭載一覧	55
表 7.1	絶対最大定格	62
表 7.2	IDD 測定条件(端子設定、発振回路)	67
表 7.3	IDD 測定条件(CPU、周辺回路)	68
表 10.1	改訂履歴	101

Not Recommended
for New Design

序章

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
 - 例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
 - 例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
 - 例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャネルは「x」で一括表記しています。
 - ユニットの場合、「x」は A,B,C...を表します。
 - 例: [ADACR0], [ADBCR0], [ADCCR0]→[ADxCR0]
 - チャネルの場合、「x」は 0,1,2,...を表します。
 - 例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA]→[T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
 - 例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
 - 例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
 - Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



Flash については、米国 SST 社 (Silicon Storage Technology, Inc.) からライセンスを受けた Super Flash® 技術を使用しています。 SuperFlash® は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

Not Recommended for New Design

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC	Advanced Encoder input Circuit
A-PMD	Advanced Programmable Motor Control Circuit
COMP	Comparator
CRC	Cyclic Redundancy Check
DAC	Digital to Analog Converter
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
EHOSC	External High speed Oscillator
ELOSC	External Low speed Oscillator
Fm	I ² C Fast Mode
IHOSC	Internal High speed Oscillator
INT	Interrupt
I ² C	Inter-Integrated Circuit
I2CS	I ² C wake-up circuit from Stand-by mode
LVD	Voltage Detection Circuit
NMI	Non-Maskable Interrupt
OFD	Oscillation Frequency Detector
POR	Power On Reset Circuit
RAMP	RAM Parity
RMC	Remote control signal preprocessor
RTC	Real Time Clock
SIWDT	Clock Selective Watchdog timer
TRGSEL	Trigger Selection circuit
TRM	Trimming circuit
TSPI	Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Universal Asynchronous Receiver Transmitter

Not Recommended for New Design

1. ブロック図

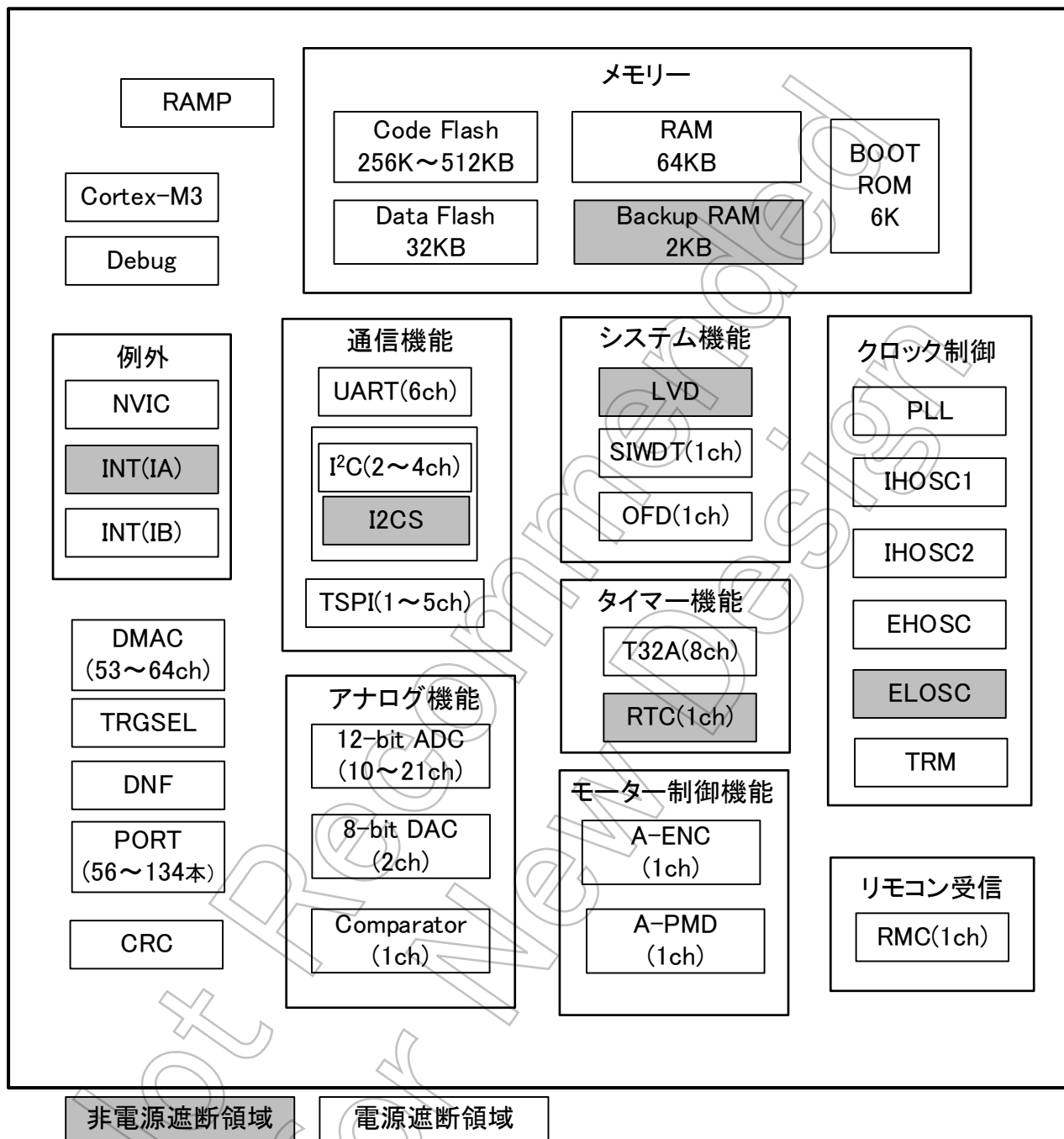
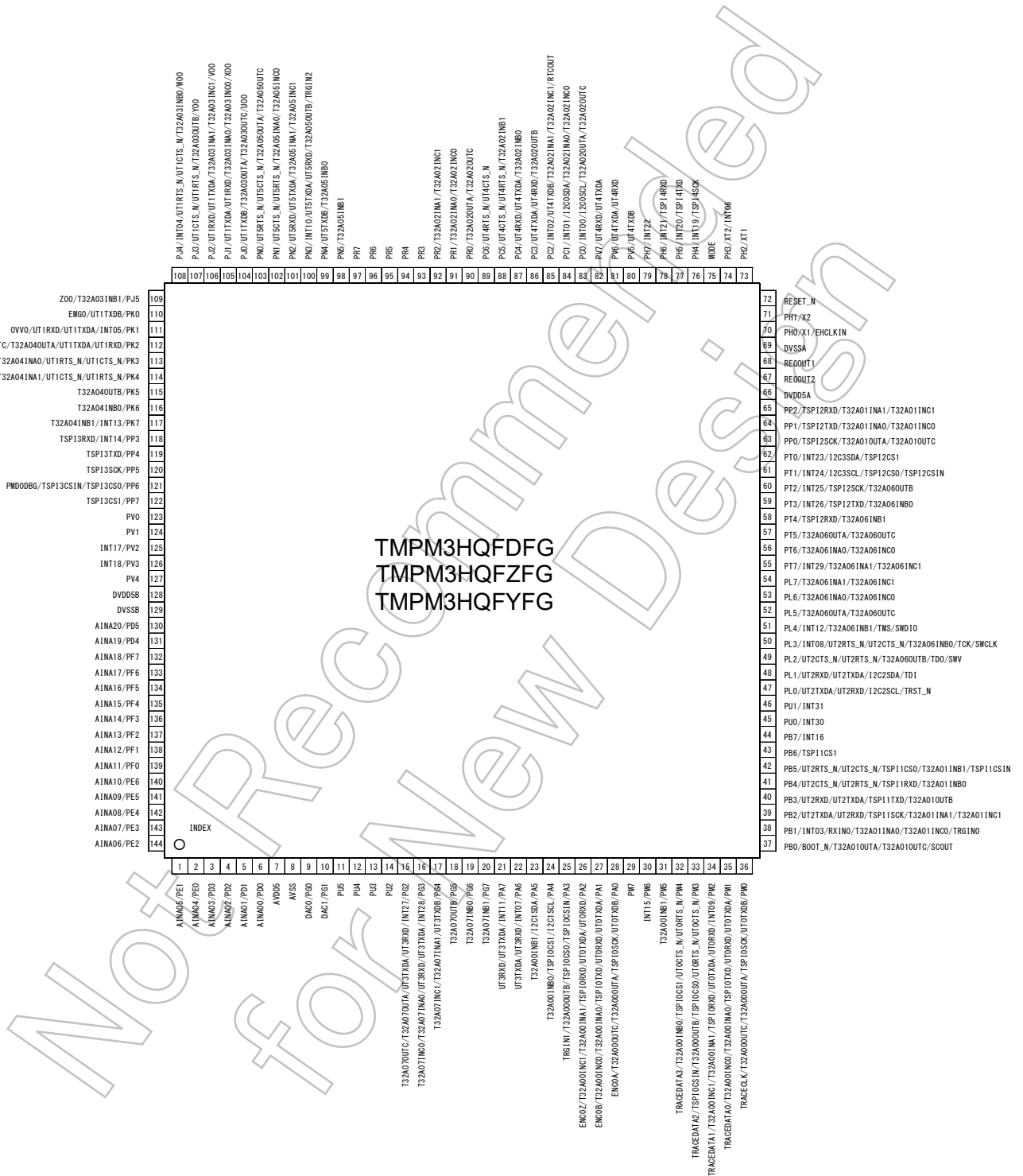


図 1.1 TMPM3Hグループ(2)製品のブロック図

2. 端子配置図

2.1. LQFP144

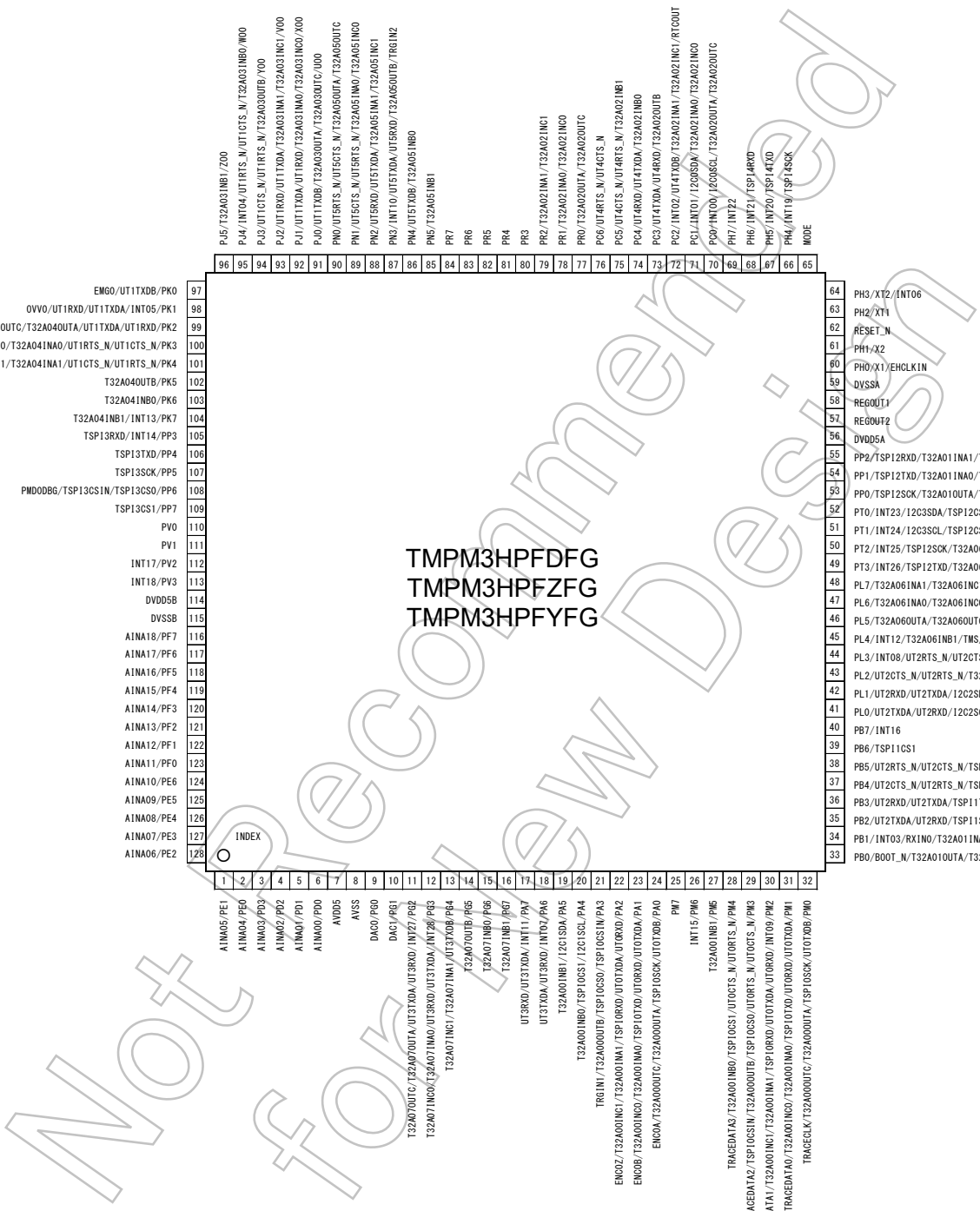


2.2. LQFP128

Pin No.	Signal Name	Pin No.	Signal Name
96	PJ5/UT1XDB/VOO	64	PH3/XT2/INT06
95	PJ4/INT04/UT1RTS_N/UT1CTS_N/T32A03INB0/W00	63	PH2/XT1
94	PJ3/UT1CTS_N/UT1RTS_N/T32A03OUTB/Y00	62	RESET_N
93	PJ2/UT1RXD/UT1TXDA/T32A03INA1/T32A03INCI/V00	61	PH1/X2
92	PJ1/UT1TXDA/UT1RXD/T32A03INA0/T32A03INCO/X00	60	PH0/X1/EHCLKIN
91	PJ0/UT1TXDB/T32A03OUTA/T32A03OUTC/U00	59	DYSSA
90	PM0/UT5RTS_N/UT5CTS_N/T32A05OUTA/T32A05OUTC	58	REGOUT1
89	PM1/UT5CTS_N/UT5RTS_N/T32A05INAO/T32A05INCO	57	REGOUT2
88	PM2/UT5RXD/UT5TXDA/T32A05INA1/T32A05INCI	56	DYVDS5A
87	PM3/INT10/UT5TXDA/UT5RXD/T32A05OUTB/TRGIN2	55	PP2/TSP12RXD/T32A01INA1/T32A01INCI
86	PM4/UT5TXDB/T32A05INB0	54	PP1/TSP12TXD/T32A01INA0/T32A01INCO
85	PM5/T32A05INB1	53	PP0/TSP12SCK/T32A01OUTA/T32A01OUTC
84	PR7	52	PT0/INT23/12C3SDA/TSP12CSI
83	PR6	51	PT1/INT24/12C3SCL/TSP12CS0/TSP12CSIN
82	PR5	50	PT2/INT25/TSP12SCK/T32A06OUTB
81	PR4	49	PT3/INT26/TSP12TXD/T32A06INB0
80	PR3	48	PL7/T32A06INA1/T32A06INCI
79	PR2/T32A02INA1/T32A02INCI	47	PL6/T32A06INAO/T32A06INCO
78	PR1/T32A02INAO/T32A02INCO	46	PL5/T32A06OUTA/T32A06OUTC
77	PR0/T32A02OUTA/T32A02OUTC	45	PL4/INT12/T32A06INB1/TMS/SWD10
76	PG6/UT4RTS_N/UT4CTS_N	44	PL3/INT08/UT2RTS_N/UT2CTS_N/T32A06INB0/TCK/SWCLK
75	PG5/UT4CTS_N/UT4RTS_N/T32A02INB1	43	PL2/UT2CTS_N/UT2RTS_N/T32A06OUTB/TDO/SWV
74	PG4/UT4RXD/UT4TXDA/UT4RXD/T32A02OUTB	42	PL1/UT2RXD/UT2TXDA/12C2SDA/TD1
73	PC2/INT02/UT4TXDB/T32A02INA1/T32A02INCO	41	PL0/UT2TXDA/UT2RXD/12C2SCL/TRST_N
72	PC1/INT01/1209SDA/T32A02INAO/T32A02INCO	40	PB7/INT16
71	PC0/INT00/1209SCL/T32A02OUTA/T32A02OUTC	39	PB6/TSP11CSI
70	PH7/INT72	38	PB5/UT2RTS_N/UT2CTS_N/TSP11CS0/T32A01INB1/TSP11CSIN
69	PH6/INT71/1SP14RXD	37	PB4/UT2CTS_N/UT2RTS_N/TSP11RXD/T32A01INB0
68	PH5/INT70/1SP14TXD	36	PB3/UT2RXD/UT2TXDA/TSP11TXD/T32A01OUTB
67	PH4/INT19/1SP14SCK	35	PB2/UT2TXDA/UT2RXD/TSP11SCK/T32A01INA1/T32A01INCI
66	MODE	34	PB1/INT03/RX1NO/T32A01INA0/T32A01INCO/TRGIN0
65		33	PB0/BOOT_N/T32A01OUTA/T32A01OUTC/SCOUT

TMPM3HPFDFG
 TMPM3HPFZFG
 TMPM3HPFYFG

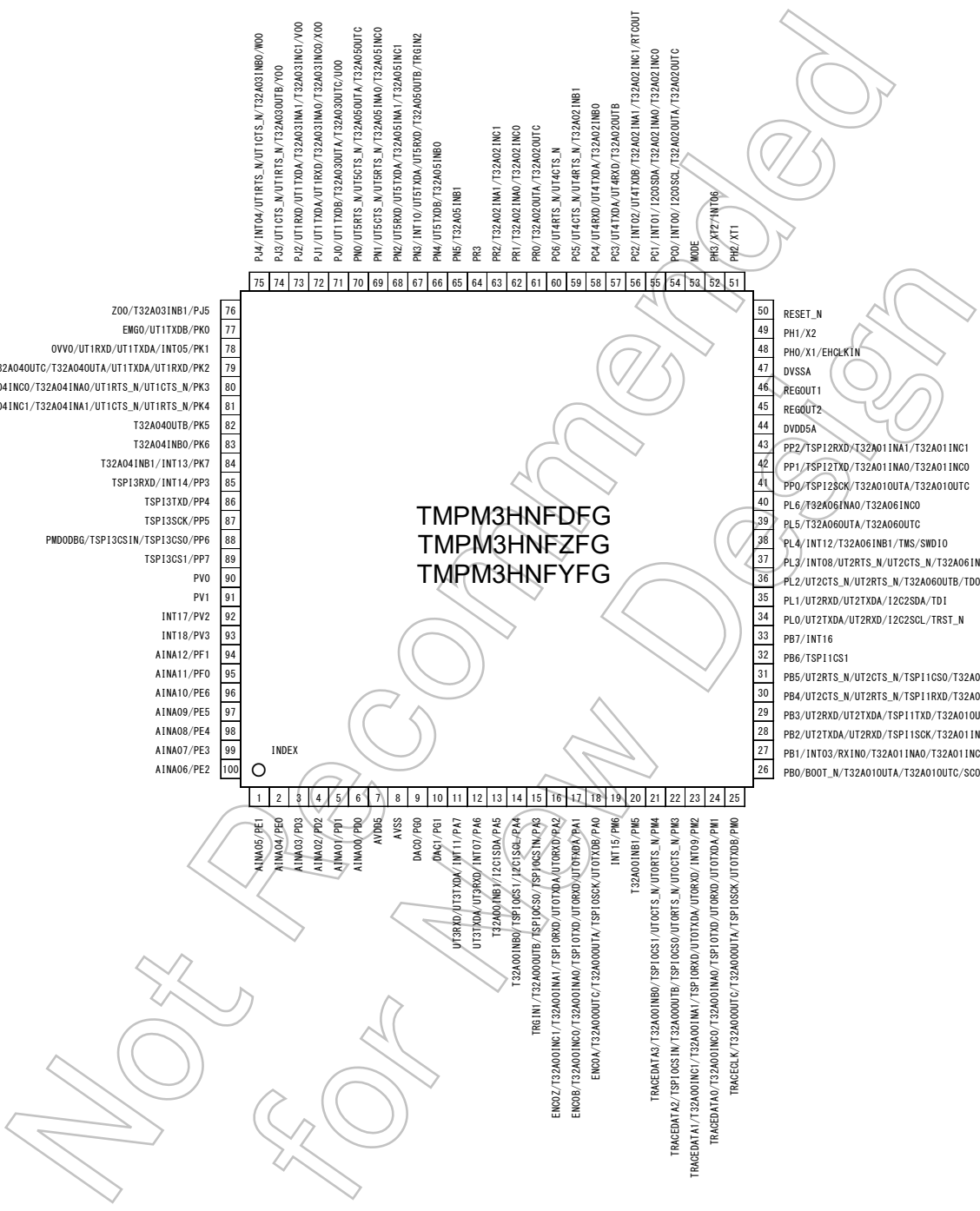
INDEX



2.3. LQFP100

Pin No.	Signal Name	Pin No.	Signal Name
75	P-4/INT04/UT1RTS_N/UT1CTS_N/T32A03INB0/IN0	50	RESET_N
74	P-3/UT1CTS_N/UT1RTS_N/T32A03OUTB/Y00	49	PH1/X2
73	P-2/UT1RXD/UT1TXDA/T32A03INA1/T32A03INC1/Y00	48	PH0/X1/EHCLKIN
72	P-1/UT1TXDA/UT1RXD/T32A03INA0/T32A03INC0/X00	47	DVSSA
71	P-0/UT1TXDB/T32A03OUTA/T32A03OUTC/Y00	46	REGOUT1
70	PM0/UT5RTS_N/UT5CTS_N/T32A05OUTA/T32A05OUTC	45	REGOUT2
69	PM1/UT5CTS_N/UT5RTS_N/T32A05INA0/T32A05INCO	44	DVDD5A
68	PM2/UT5RXD/UT5TXDA/T32A05INA1/T32A05INC1	43	PP2/TSP12RXD/T32A01INA1/T32A01INC1
67	PM3/INT10/UT5TXDA/UT5RXD/T32A05OUTB/TRGIN2	42	PP1/TSP12TXD/T32A01INA0/T32A01INC0
66	PM4/UT5TXDB/T32A05INB0	41	PP0/TSP12SCK/T32A01OUTA/T32A01OUTC
65	PM5/T32A05INB1	40	PL6/T32A06INA0/T32A06INCO
64	PR3	39	PL5/T32A06OUTA/T32A06OUTC
63	PR2/T32A02INA1/T32A02INC1	38	PL4/INT12/T32A06INB1/TMS/SWD10
62	PR1/T32A02INA0/T32A02INCO	37	PL3/INT08/UT2RTS_N/UT2CTS_N/T32A06INB0/TCK/SWCLK
61	PR0/T32A02OUTA/T32A02OUTC	36	PL2/UT2CTS_N/UT2RTS_N/T32A06OUTB/TDO/SWV
60	PR6/UT4RTS_N/UT4CTS_N	35	PL1/UT2RXD/UT2TXDA/I2C2SDA/TD1
59	RS5/UT4CTS_N/UT4RTS_N/T32A02INB1	34	PL0/UT2TXDA/UT2RXD/I2C2SCL/TRST_N
58	PC4/UT4RXD/UT4TXDA/T32A02INB0	33	PB7/INT16
57	PC3/UT4TXDA/UT4RXD/T32A02OUTB	32	PB6/TSP11CS1
56	PC2/INT02/UT4TXDB/T32A02INA1/T32A02INC1/RTCOU1	31	PB5/UT2RTS_N/UT2CTS_N/TSP11CS0/T32A01INB1/TSP11CS1N
55	PC1/INT01/I2C0S0A/T32A02INA0/T32A02INCO	30	PB4/UT2CTS_N/UT2RTS_N/TSP11RXD/T32A01INB0
54	PC0/INT00/I2C0SCL/T32A02OUTA/T32A02OUTC	29	PB3/UT2RXD/UT2TXDA/TSP11TXD/T32A01OUTB
53	MODE	28	PB2/UT2TXDA/UT2RXD/TSP11SCK/T32A01INA1/T32A01INC1
52	PH3/X12/INT06	27	PB1/INT03/RX1N0/T32A01INA0/T32A01INCO/TRGIN0
51	PH2/X11	26	PB0/BOOT_N/T32A01OUTA/T32A01OUTC/SCOUT
76	Z00/T32A03INB1/PJ5		
77	EM60/UT1TXDB/PK0		
78	OVVO/UT1RXD/UT1TXDA/INT05/PK1		
79	T32A04OUTC/T32A04OUTA/UT1TXDA/UT1RXD/PK2		
80	T32A04INCO/T32A04INA0/UT1RTS_N/UT1CTS_N/PK3		
81	T32A04INC1/T32A04INA1/UT1CTS_N/UT1RTS_N/PK4		
82	T32A04OUTB/PK5		
83	T32A04INB0/PK6		
84	T32A04INB1/INT13/PK7		
85	TSP13RXD/INT14/PP3		
86	TSP13TXD/PP4		
87	TSP13SCK/PP5		
88	PMD00B6/TSP13CS1N/TSP13CS0/PP6		
89	TSP13CS1/PP7		
90	PV0		
91	PV1		
92	INT17/PV2		
93	INT18/PV3		
94	A1NA12/PF1		
95	A1NA11/PF0		
96	A1NA10/PE6		
97	A1NA09/PE5		
98	A1NA08/PE4		
99	A1NA07/PE3		
100	A1NA06/PE2		
1	A1NA05/PE1		
2	A1NA04/PE0		
3	A1NA03/PD3		
4	A1NA02/PD2		
5	A1NA01/PP1		
6	A1NA00/PD0		
7	AVDD5		
8	AVSS		
9	DAC0/PD0		
10	DAC1/PD1		
11	INT11/PA7		
12	UT3RXD/UT3TXDA/INT07/PAB		
13	UT3TXDA/UT3RXD/INT07/PAB		
14	T32A00INB1/I2C1SDA/PAS		
15	T32A00INB0/TSP10CS1/I2C1SCL/PAA		
16	TRG1IN/T32A00OUTB/TSP10CS0/TSP10CS1N/PAB		
17	ENC0B/T32A00INCO/T32A00INA0/TSP10TXD/UT0RXD/PAB		
18	ENC0A/T32A00OUTC/T32A00OUTA/TSP10SCK/UT0TXDB/PAB		
19	INT15/PM6		
20	T32A00INB1/PM5		
21	TRACEDAT3/T32A00INB0/TSP10CS1/UT0CTS_N/UT0RTS_N/PM4		
22	TRACEDAT2/TSP10CS1IN/T32A00OUTB/TSP10CS0/UT0RTS_N/UT0CTS_N/PM3		
23	TRACEDATA1/T32A00INC1/T32A00INA1/TSP10RXD/UT0TXDA/UT0RXD/INT09/PM2		
24	TRACEDATA0/T32A00INCO/T32A00INA0/TSP10TXD/UT0RXD/UT0TXDA/PM1		
25	TRACECLK/T32A00OUTC/T32A00OUTA/TSP10SCK/UT0TXDB/PM0		

TMPM3HNFDFG
TMPM3HNFZFG
TMPM3HNFYFG



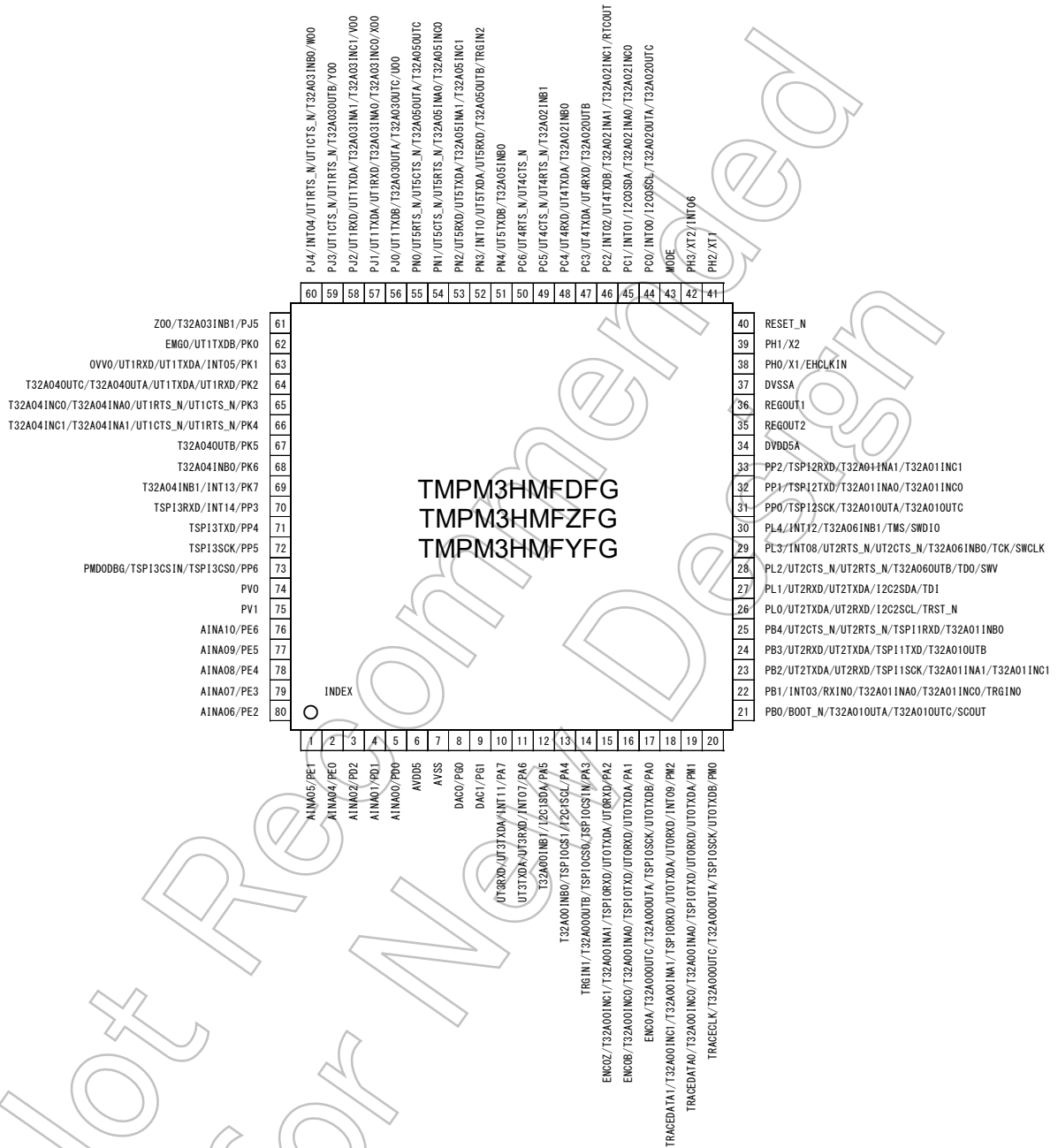
2.4. QFP100

PK1/INT05/UT1TXDA/UT1RXD/0VDD	80	PH0/X1/EHCLKIN	50
RK0/UT1TXDB/EM60	79	DVSSA	49
PA5/T32A031NB1/Z00	78	REGOUT1	48
PA4/INT04/UT1RTS_N/UT1CTS_N/T32A031NBO/W00	77	REGOUT2	47
PA3/UT1CTS_N/UT1RTS_N/T32A030UTB/Y00	76	DVDD5A	46
PA2/UT1RXD/UT1TXDA/T32A031NA1/T32A031NC1/V00	75	PP2/TSP12RXD/T32A011NA1/T32A011NC1	45
PA1/UT1TXDA/UT1RXD/T32A031NA0/T32A031NC0/X00	74	PP4/TSP12TXD/T32A011NA0/T32A011NC0	44
PA0/UT1TXDB/T32A030UTA/T32A030UTC/U00	73	PP0/TSP12SCK/T32A010UTA/T32A010UTC	43
PMD/UT1RTS_N/UT1SCTS_N/T32A050UTA/T32A050UTC	72	PL6/T32A061NA0/T32A061NC0	42
PN1/UT1SCTS_N/UT1SRTS_N/T32A051NMO/T32A051MCO	71	PL5/T32A060UTA/T32A060UTC	41
PN2/UT1RXD/UT1TXDA/T32A051NA1/T32A051NC1	70	PL4/INT12/T32A061NB1/TMS/SWB10	40
PN3/INT10/UT15TXDA/UT15RXD/T32A050UTB/TR61N2	69	PL3/INT08/UT2RTS_N/UT2CTS_N/T32A061NBO/TCK/SWCLK	39
PN4/UT15TXDB/T32A051NBO	68	PL2/UT2CTS_N/UT2RTS_N/T32A060UTB/TD0/SWV	38
PN5/T32A051NB1	67	PL1/UT2RXD/UT2TXDA/12C2SDA/TD1	37
PR3	66	PLO/UT2TXDA/UT2RXD/12C2SCL/TRST_N	36
PR2/T32A021NA1/T32A021NC1	65	PB7/INT16	35
PR1/T32A021NA0/T32A021MCO	64	PB6/TSP11CS1	34
PR0/T32A020UTA/T32A020UTC	63	PB5/UT2RTS_N/UT2CTS_N/TSP11CS0/T32A011NB1/TSP11CS1N	33
PG6/UT4RTS_N/UT4CTS_N	62	PB4/UT2CTS_N/UT2RTS_N/TSP11RXD/T32A011NBO	32
PG5/UT4CTS_N/UT4RTS_N/T32A021NB1	61	PB3/UT2RXD/UT2TXDA/TSP11TXD/T32A010UTB	31
PC4/UT4RXD/UT4TXDA/T32A021NBO	60		
PC3/UT4TXDA/UT4RXD/T32A021MCO	59		
PC2/INT02/UT4TXDB/T32A021NA1/T32A021NC1/PTC0UT	58		
PC1/INT01/12C0SDA/T32A021NA0/T32A021MCO	57		
PC0/INT00/12C0SCL/T32A020UTA/T32A020UTC	56		
MODE	55		
PH3/XT2/INT06	54		
PH2/XT1	53		
RESET_N	52		
PHY/X2	51		
	81		
T32A040UTC/T32A040UTA/UT1TXDA/UT1RXD/PK2	82		
T32A041MCO/T32A041NA0/UT1RTS_N/UT1CTS_N/PK3	83		
T32A041NC1/T32A041NA1/UT1CTS_N/UT1RTS_N/PK4	84		
T32A040UTB/PK5	85		
T32A041NBO/PK6	86		
T32A041NB1/INT13/PK7	87		
TSP13RXD/INT14/PP3	88		
TSP13TXD/PP4	89		
TSP13SCK/PP5	90		
PMD0DB6/TSP13CS1M/TSP13CS0/PP6	91		
TSP13CS1/PP7	92		
PV0	93		
PV1	94		
INT17/PV2	95		
INT18/PV3	96		
A1NA12/PF1	97		
A1NA11/PF0	98		
A1NA10/PE6	99		
A1NA09/PE5	100		
A1NA08/PE4			
	1	A1MA07/FE3	
	2	A1MA06/FE2	
	3	A1MA05/FE1	
	4	A1MA04/FE0	
	5	A1MA03/FP3	
	6	A1MA02/FP2	
	7	A1MA01/FP1	
	8	A1MA00/FP0	
	9	AVDD5	
	10	AVSS	
	11	DAC0/FP0	
	12	DAC1/FP1	
	13	UT3RXD/UT3TXDA/INT11/PX1	
	14	UT3TXDA/UT3RXD/INT07/PA6	
	15	T32A001NBO/T32A001NA1/12C1SDA/PA5	
	16	T32A001MCO/T32A001NA0/12C1SCL/PA4	
	17	T32A001NB1/T32A001NA1/TSP10CS1/TSP10CS0/PA3	
	18	T32A001NB0/T32A001NA0/TSP10CS1/TSP10CS0/PA2	
	19	TR61M/T32A000UTB/TSP10CS0/UT0RXD/PA1	
	20	ENC02/T32A001NC1/T32A001NA0/TSP10TXD/UT0RXD/PA1	
	21	ENC08/T32A001MCO/T32A001NA1/TSP10TXD/UT0RXD/PA1	
	22	ENC0A/T32A000UTC/T32A000UTA/TSP10SCK/UT0TXDB/PA0	
	23	INT15/PN6	
	24	T32A001NB1/PN5	
	25	TRACEDATA5/T32A001MBO/TSP10CS1/UT0CTS_N/UT0RTS_N/PH4	
	26	TRACEDATA2/TSP10CS1IN/T32A000UTB/TSP10CS0/UT0RTS_N/UT0CTS_N/PH3	
	27	TRACEDATA1/T32A001MCO/T32A001NA1/TSP10RXD/UT0TXDA/UT0RXD/INT09/PH2	
	28	TRACECLK/T32A000UTC/T32A000UTA/TSP10SCK/UT0TXDB/PH1	
	29	TRACECLK/T32A000UTC/T32A000UTA/TSP10SCK/UT0TXDB/PH1	
	30	TRACECLK/T32A000UTC/T32A000UTA/TSP10SCK/UT0TXDB/PH1	
		SCOUT/T32A010UTC/T32A010UTA/BOOT_N/FP0	
		TR61M/T32A01MCO/T32A01NA0/RX1M0/INT03/FP1	
		T32A001NC1/T32A01NA1/TSP11SCK/UT2RXD/UT2TXDA/FP2	

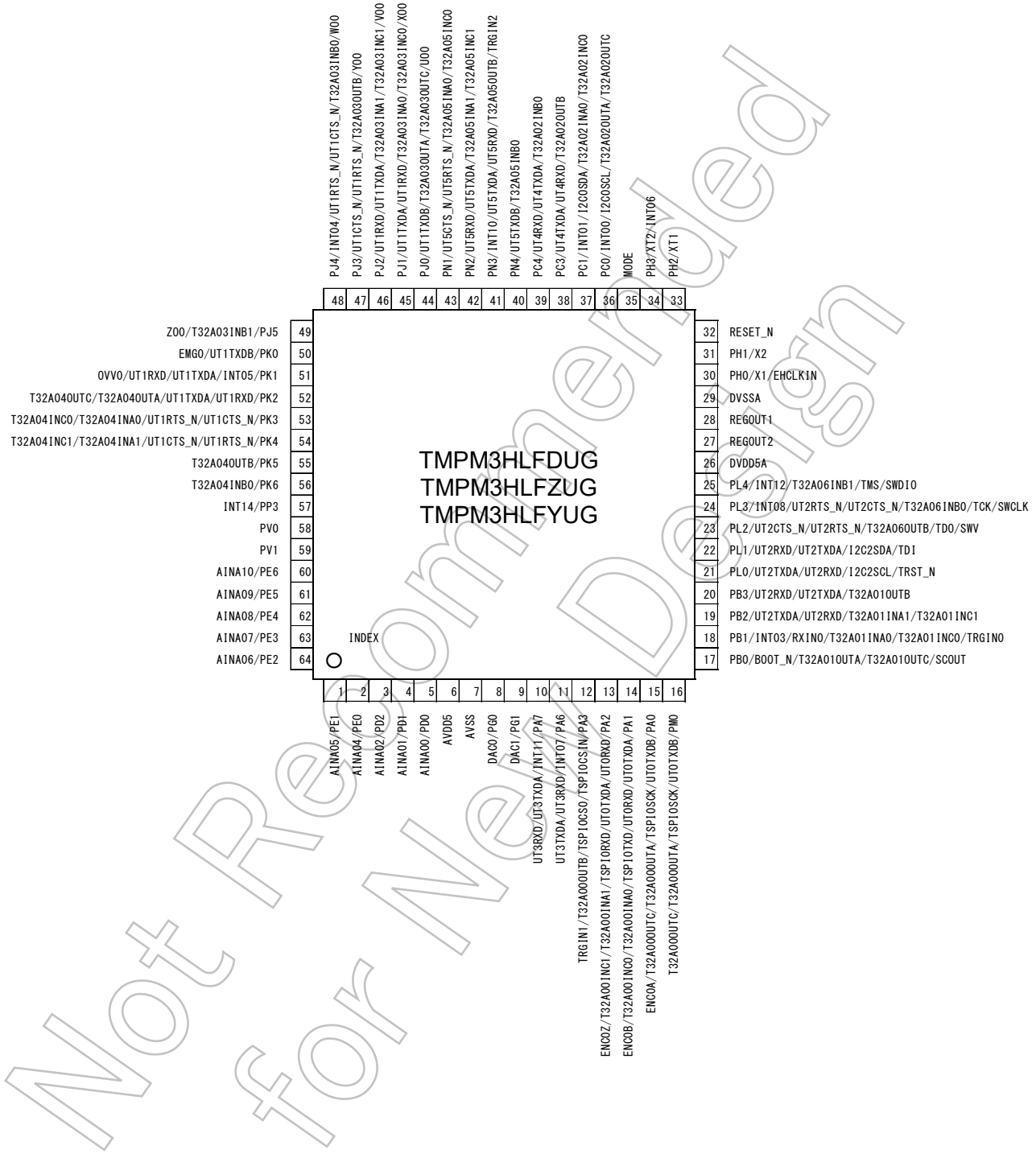
TMPM3HNFDDFG
TMPM3HNFZDFG
TMPM3HNFYDFG

Not Recommended for New Design

2.5. LQFP80



2.6. LQFP64



3. メモリーマップ

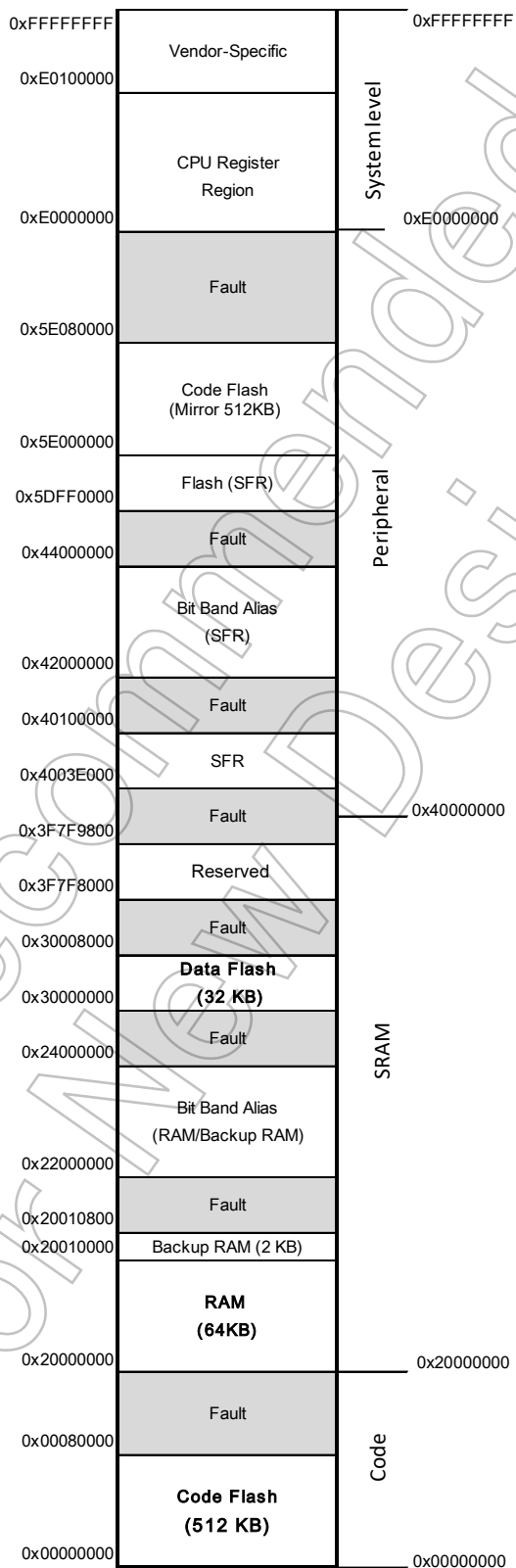


図 3.1 TMPM3HQDFDGの例

3.1. メモリー容量一覧

表 3.1 メモリー容量とアドレス

Products			TMPM3HQDFG TMPM3HPDFG TMPM3HNFDFG TMPM3HNFDDFG TMPM3HMFDFG TMPM3HLFDUG	TMPM3HQFZFG TMPM3HPFZFG TMPM3HNFZFG TMPM3HNFZDFG TMPM3HMFZFG TMPM3HLFZUG	TMPM3HQFYFG TMPM3HPFYFG TMPM3HNFYFG TMPM3HNFYDFG TMPM3HMFYFG TMPM3HLFYUG
Peripheral region	Code Flash (Mirror)	Size	512KB	384KB	256KB
		START	0x5E000000	0x5E000000	0x5E000000
		END	0x5E07FFFF	0x5E05FFFF	0x5E03FFFF
SRAM region	Data Flash	Size	32KB		
		START	0x30000000		
		END	0x30007FFF		
	Backup RAM	Size	2KB		
		START	0x20010000		
		END	0x200107FF		
	RAM	Size	64KB		
		START	0x20000000		
		END	0x2000FFFF		
Code Region	Code Flash	Size	512KB	384KB	256KB
		START	0x00000000	0x00000000	0x00000000
		END	0x0007FFFF	0x0005FFFF	0x0003FFFF

4. 端子説明

4.1. 機能端子名称と機能

4.1.1. 周辺機能端子

表 4.1 周辺端子名称と機能

周辺機能	端子名称	Input or Output	機能
クロック制御と動作モード(CG)	SCOUT	Output	クロック出力端子
割り込み制御 (IA/IB)	INTx	Input	外部割り込み入力端子 ノイズフィルタ(フィルタ幅 typ. 30ns)を内蔵しています。
32ビットタイマー イベントカウンター (T32A)	T32AxINA0	Input	16ビットタイマーA インพุットキャプチャ入力端子 0
	T32AxINA1	Input	16ビットタイマーA インพุットキャプチャ入力端子 1
	T32AxOUTA	Output	16ビットタイマーA 出力端子
	T32AxINB0	Input	16ビットタイマーB インพุットキャプチャ入力端子 0
	T32AxINB1	Input	16ビットタイマーB インพุットキャプチャ入力端子 1
	T32AxOUTB	Output	16ビットタイマーB 出力端子
	T32AxINC0	Input	32ビットタイマー インพุットキャプチャ入力端子 0
	T32AxINC1	Input	32ビットタイマー インพุットキャプチャ入力端子 1
	T32AxOUTC	Output	32ビットタイマー出力端子
シリアルペリフェラル インターフェース (TSPI)	TSPIxCSIN	Input	TSPI チップセレクト入力端子
	TSPIxCS0	Output	TSPI チップセレクト出力端子 0
	TSPIxCS1	Output	TSPI チップセレクト出力端子 1
	TSPIxRXD	Input	TSPI データ入力端子
	TSPIxTXD	Output	TSPI データ出力端子
	TSPIxSCK	I/O	TSPI クロック入出力端子
非同期シリアル 通信回路 (UART)	UTxRXD	Input	UART データ入力端子
	UTxTXDA	Output	UART データ出力端子 A
	UTxTXDB	Output	UART データ出力端子 B
	UTxCTS_N	Input	UART 送信可能入力端子
	UTxRTS_N	Output	UART 送信要求出力端子
I ² C インターフェース (I ² C)	I2CxSDA	I/O	I ² C データ入出力端子
	I2CxSCL	I/O	I ² C クロック入出力端子

アドバンスト プログラマブル モーター制御回路 (A-PMD)	EMGx	Input	異常検出入力端子
	OVVx	Input	過電圧検出入力端子
	UOx	Output	U 相出力端子
	VOx	Output	V 相出力端子
	WOx	Output	W 相出力端子
	XOx	Output	X 相出力端子
	YOx	Output	Y 相出力端子
	ZOx	Output	Z 相出力端子
	PMDxDBG	Output	PMD 動作ステータス出力端子
アドバンスト エンコーダー入力回路 (A-ENC)	ENCxA	Input	エンコーダー入力端子 A
	ENCxB	Input	エンコーダー入力端子 B
	ENCxZ	Input	エンコーダー入力端子 Z
アナログデジタル コンバーター (ADC)	AINAx	Input	アナログ入力端子
デジタルアナログ コンバーター (DAC)	DACx	Output	DAC 出力端子
トリガー入力	TRGINx	Input	外部トリガー入力端子
リモコン受信回路 (RMC)	RXINx	Input	リモコンデータ入力端子
リアルタイムクロック (RTC)	RTCOUT	Output	1Hz クロック出力端子

注) 端子名称の"x"にはチャンネル番号、ユニット番号、割り込み番号が入ります

4.1.2. デバッグ端子

表 4.2 デバッグ端子名称と機能

デバッグポート	端子名称	Input or Output	機能
JTAG	TMS	Input	JTAG テストモード選択入力端子
	TCK	Input	JTAG シリアルクロック入力端子
	TDO	Output	JTAG シリアルデータ出力端子
	TDI	Input	JTAG シリアルデータ入力端子
	TRST_N	Input	JTAG テストリセット入力端子
SW	SWDIO	I/O	シリアルワイヤデータ入出力端子
	SWCLK	Input	シリアルワイヤクロック入力端子
	SWV	Output	シリアルワイヤビューワ出力端子
TRACE	TRACECLK	Output	トレースクロック出力端子
	TRACEDATA0	Output	トレースデータ出力端子 0
	TRACEDATA1	Output	トレースデータ出力端子 1
	TRACEDATA2	Output	トレースデータ出力端子 2
	TRACEDATA3	Output	トレースデータ出力端子 3

4.1.3. 制御端子

表 4.3 制御端子名称と機能

	端子名	Input or Output	機能
制御端子	X1	Input	高速発振子接続端子
	X2	Output	高速発振子接続端子
	XT1	Input	低速発振子接続端子
	XT2	Output	低速発振子接続端子
	EHCLKIN	Input	外部クロック入力端子
	BOOT_N	Input	BOOT モード制御用端子 RESET_N 端子入力の立ち上がりで BOOT モード制御用端子がサンプリングされます。内部リセット要因ではサンプリングされません。 BOOT モード制御用端子のレベルが"Low"の場合、シングルブートモードになります。"High"の場合、シングルチップモードになります。 シングルブートモードの詳細については、リファレンスマニュアル「フラッシュメモリー」を参照してください。
	RESET_N	Input	リセット信号入力端子
MODE	Input	モード端子 必ず"Low"レベルに固定してください。	

4.1.4. 電源端子

表 4.4 電源端子名称と機能

	端子名	機能
電源	DVDD5A (注 1) DVDD5B (注 1)	デジタル用電源端子 DVDD5A/B は下記の端子に電源を供給しています。 PA~PC, PG2~PG7, PH~PV, MODE, RESET_N, BOOT_N 発振回路には、内蔵レギュレーターを経由して端子に電源を供給しています。 X1, X2, XT1, XT2
	DVSSA (注 2) DVSSB (注 2)	デジタル用 GND 端子
	REGOUT1 (注 3)	レギュレーター用コンデンサー接続端子(注 4)
	REGOUT2 (注 3)	レギュレーター用コンデンサー接続端子(注 4)
	AVDD5	アナログ用電源端子、アナログ基準電源端子(VREFH)と兼用です AVDD5 は下記の端子に電源を供給しています。 PD, PE, PF, PG0~1
	AVSS	アナログ用 GND 端子、アナログ基準 GND 端子(VREFL)と兼用です。

注1) DVDD5A, DVDD5B は、端子が無い場合を除き外部で同電位の電圧を印加してください。

注2) DVSSA, DVSSB は、端子が無い場合を除き外部で同電位の電圧を印加してください。

注3) REGOUT1, REGOUT2 は、DVDD5A, DVDD5B や DVSSA, DVSSB とショートしないでください。

注4) コンデンサー容量は電気的特性を参照してください。

4.1.5. 電源間コンデンサー

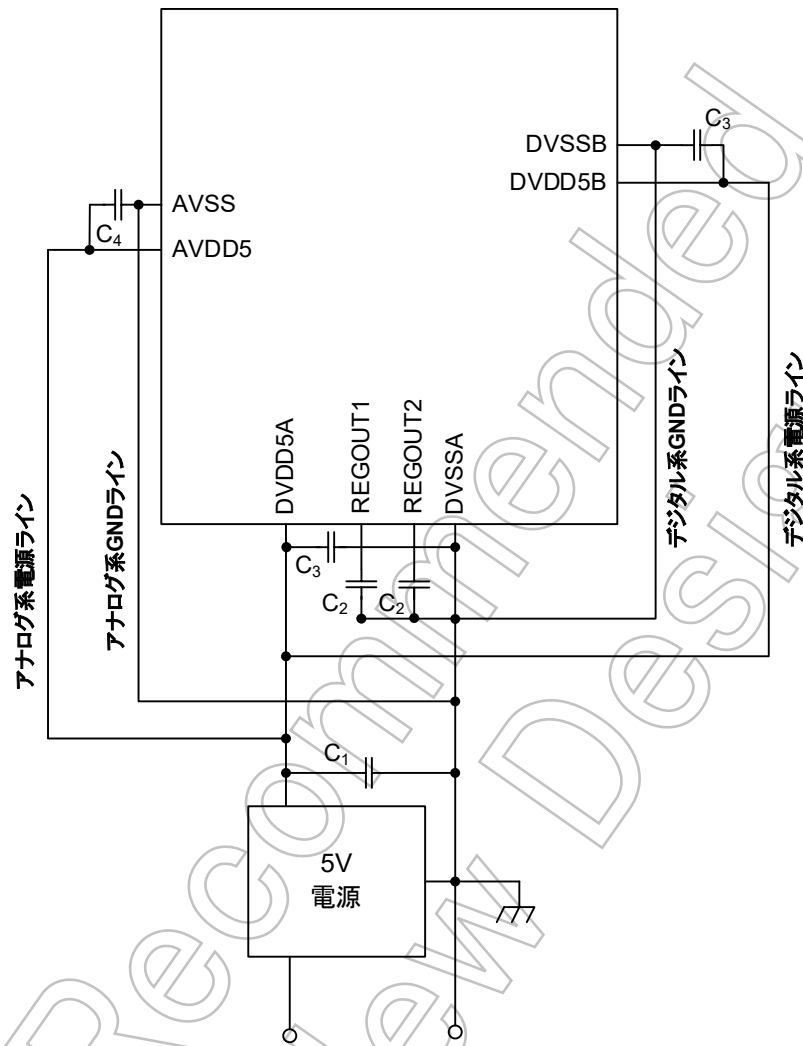


図 4.1 電源間コンデンサーの接続図

- 注 1) 5V 電源の出力端子近くに電源の出力コンデンサー(C1:1 μ F 以上)を配置してください。セラミックコンデンサーを推奨します。
- 注 2) 各 MCU 電源端子の近傍に電源-GND 間にバイパスコンデンサー(C3,C4:0.01~0.1 μ F 程度)を挿入してください。
- 注 3) 内蔵レギュレーター用コンデンサー接続端子(REGOUT1, REGOUT2)には同容量の電源安定用コンデンサー(C2:4.7 μ F)を挿入してください。セラミックコンデンサーを推奨します。これらのコンデンサーは DVSSA 近傍に配置してください。
- 注 4) デジタル電源からアナログ回路へのノイズ混入を抑制するため、アナログ電源ラインとデジタル電源ラインは 5V 電源出力端子の近くで分離してください。
- 注 5) 周辺回路からアナログ回路へのノイズ混入を抑制するため、アナログ電源系の入出力端子にフィルター回路やプルアップ/ダウン抵抗を挿入する場合は、それらの回路を構成する部品はアナログ電源ラインに接続してください。
- 注 6) 電源ラインと GND ラインとコンデンサーによるループ回路で受ける高周波ノイズなどを抑制するため、電源ラインと GND ラインは離さずに配線してください。

4.2. 機能端子とポート割り当て(端子番号)

機能端子から見たポート割り当てと各製品の端子番号です。表中の"-"の部分は、「端子がありません」または「機能の割り当てがありません」

表 4.5 信号接続一覧(1/13)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
UT0TXDA	PA1	27	23	17	19	16	14
	PA2	26	22	16	18	15	13
	PM1	35	31	24	26	19	—
	PM2	34	30	23	25	18	—
UT0TXDB	PA0	28	24	18	20	17	15
	PM0	36	32	25	27	20	16
UT0RXD	PA2	26	22	16	18	15	13
	PA1	27	23	17	19	16	14
	PM2	34	30	23	25	18	—
	PM1	35	31	24	26	19	—
UT0CTS_N	PM3	33	29	22	24	—	—
	PM4	32	28	21	23	—	—
UT0RTS_N	PM4	32	28	21	23	—	—
	PM3	33	29	22	24	—	—
兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
UT1TXDA	PJ1	105	92	72	74	57	45
	PJ2	106	93	73	75	58	46
	PK1	111	98	78	80	63	51
	PK2	112	99	79	81	64	52
UT1TXDB	PJ0	104	91	71	73	56	44
	PK0	110	97	77	79	62	50
UT1RXD	PJ2	106	93	73	75	58	46
	PJ1	105	92	72	74	57	45
	PK2	112	99	79	81	64	52
	PK1	111	98	78	80	63	51
UT1CTS_N	PJ3	107	94	74	76	59	47
	PJ4	108	95	75	77	60	48
	PK3	113	100	80	82	65	53
	PK4	114	101	81	83	66	54
UT1RTS_N	PJ4	108	95	75	77	60	48
	PJ3	107	94	74	76	59	47
	PK4	114	101	81	83	66	54
	PK3	113	100	80	82	65	53

表 4.6 信号接続一覧(2/13)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
UT2TXDA	PB2	39	35	28	30	23	19
	PB3	40	36	29	31	24	20
	PL0	47	41	34	36	26	21
	PL1	48	42	35	37	27	22
UT2RXD	PB3	40	36	29	31	24	20
	PB2	39	35	28	30	23	19
	PL1	48	42	35	37	27	22
	PL0	47	41	34	36	26	21
UT2CTS_N	PB4	41	37	30	32	25	—
	PB5	42	38	31	33	—	—
	PL2	49	43	36	38	28	23
	PL3	50	44	37	39	29	24
UT2RTS_N	PB5	42	38	31	33	—	—
	PB4	41	37	30	32	25	—
	PL3	50	44	37	39	29	24
	PL2	49	43	36	38	28	23
兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
UT3TXDA	PA7	21	17	11	13	10	10
	PA6	22	18	12	14	11	11
	PG3	16	12	—	—	—	—
	PG2	15	11	—	—	—	—
UT3TXDB	PG4	17	13	—	—	—	—
UT3RXD	PA6	22	18	12	14	11	11
	PA7	21	17	11	13	10	10
	PG2	15	11	—	—	—	—
	PG3	16	12	—	—	—	—

表 4.7 信号接続一覧(3/13)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
UT4TXDA	PC3	86	73	57	59	47	38
	PC4	87	74	58	60	48	39
	PV6	81	—	—	—	—	—
	PV7	82	—	—	—	—	—
UT4TXDB	PC2	85	72	56	58	46	—
	PV5	80	—	—	—	—	—
UT4RXD	PC4	87	74	58	60	48	39
	PC3	86	73	57	59	47	38
	PV7	82	—	—	—	—	—
	PV6	81	—	—	—	—	—
UT4CTS_N	PC5	88	75	59	61	49	—
	PC6	89	76	60	62	50	—
UT4RTS_N	PC6	89	76	60	62	50	—
	PC5	88	75	59	61	49	—
兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
UT5TXDA	PN3	100	87	67	69	52	41
	PN2	101	88	68	70	53	42
UT5TXDB	PN4	99	86	66	68	51	40
UT5RXD	PN2	101	88	68	70	53	42
	PN3	100	87	67	69	52	41
UT5CTS_N	PN1	102	89	69	71	54	43
	PN0	103	90	70	72	55	—
UT5RTS_N	PN0	103	90	70	72	55	—
	PN1	102	89	69	71	54	43
兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
I2C0SCL	PC0	83	70	54	56	44	36
I2C0SDA	PC1	84	71	55	57	45	37
I2C1SCL	PA4	24	20	14	16	13	—
I2C1SDA	PA5	23	19	13	15	12	—
I2C2SCL	PL0	47	41	34	36	26	21
I2C2SDA	PL1	48	42	35	37	27	22
I2C3SCL	PT1	61	51	—	—	—	—
I2C3SDA	PT0	62	52	—	—	—	—

表 4.8 信号接続一覧(4/13)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
TSPI0SCK	PM0	36	32	25	27	20	16
	PA0	28	24	18	20	17	15
TSPI0TXD	PM1	35	31	24	26	19	—
	PA1	27	23	17	19	16	14
TSPI0RXD	PM2	34	30	23	25	18	—
	PA2	26	22	16	18	15	13
TSPI0CS0	PM3	33	29	22	24	—	—
	PA3	25	21	15	17	14	12
TSPI0CS1	PM4	32	28	21	23	—	—
	PA4	24	20	14	16	13	—
TSPI0CSIN	PM3	33	29	22	24	—	—
	PA3	25	21	15	17	14	12
兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
TSPI1SCK	PB2	39	35	28	30	23	—
TSPI1TXD	PB3	40	36	29	31	24	—
TSPI1RXD	PB4	41	37	30	32	25	—
TSPI1CS0	PB5	42	38	31	33	—	—
TSPI1CS1	PB6	43	39	32	34	—	—
TSPI1CSIN	PB5	42	38	31	33	—	—
兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
TSPI2SCK	PP0	63	53	41	43	31	—
	PT2	60	50	—	—	—	—
TSPI2TXD	PP1	64	54	42	44	32	—
	PT3	59	49	—	—	—	—
TSPI2RXD	PP2	65	55	43	45	33	—
	PT4	58	—	—	—	—	—
TSPI2CS0	PT1	61	51	—	—	—	—
TSPI2CS1	PT0	62	52	—	—	—	—
TSPI2CSIN	PT1	61	51	—	—	—	—

表 4.9 信号接続一覧(5/13)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
TSPi3SCK	PP5	120	107	87	89	72	—
TSPi3TXD	PP4	119	106	86	88	71	—
TSPi3RXD	PP3	118	105	85	87	70	—
TSPi3CS0	PP6	121	108	88	90	73	—
TSPi3CS1	PP7	122	109	89	91	—	—
TSPi3CSIN	PP6	121	108	88	90	73	—
兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
TSPi4SCK	PH4	76	66	—	—	—	—
TSPi4TXD	PH5	77	67	—	—	—	—
TSPi4RXD	PH6	78	68	—	—	—	—
兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
T32A00OUTA	PA0	28	24	18	20	17	15
	PM0	36	32	25	27	20	16
T32A00OUTB	PA3	25	21	15	17	14	12
	PM3	33	29	22	24	—	—
T32A00OUTC	PA0	28	24	18	20	17	15
	PM0	36	32	25	27	20	16
T32A00INA0	PA1	27	23	17	19	16	14
	PM1	35	31	24	26	19	—
T32A00INA1	PA2	26	22	16	18	15	13
	PM2	34	30	23	25	18	—
T32A00INB0	PA4	24	20	14	16	13	—
	PM4	32	28	21	23	—	—
T32A00INB1	PA5	23	19	13	15	12	—
	PM5	31	27	20	22	—	—
T32A00INC0	PA1	27	23	17	19	16	14
	PM1	35	31	24	26	19	—
T32A00INC1	PA2	26	22	16	18	15	13
	PM2	34	30	23	25	18	—

表 4.10 信号接続一覧(6/13)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
T32A01OUTA	PB0	37	33	26	28	21	17
	PP0	63	53	41	43	31	—
T32A01OUTB	PB3	40	36	29	31	24	20
T32A01OUTC	PB0	37	33	26	28	21	17
	PP0	63	53	41	43	31	—
T32A01INA0	PB1	38	34	27	29	22	18
	PP1	64	54	42	44	32	—
T32A01INA1	PB2	39	35	28	30	23	19
	PP2	65	55	43	45	33	—
T32A01INB0	PB4	41	37	30	32	25	—
T32A01INB1	PB5	42	38	31	33	—	—
T32A01INC0	PB1	38	34	27	29	22	18
	PP1	64	54	42	44	32	—
T32A01INC1	PB2	39	35	28	30	23	19
	PP2	65	55	43	45	33	—
兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
T32A02OUTA	PC0	83	70	54	56	44	36
	PR0	90	77	61	63	—	—
T32A02OUTB	PC3	86	73	57	59	47	38
T32A02OUTC	PC0	83	70	54	56	44	36
	PR0	90	77	61	63	—	—
T32A02INA0	PC1	84	71	55	57	45	37
	PR1	91	78	62	64	—	—
T32A02INA1	PC2	85	72	56	58	46	—
	PR2	92	79	63	65	—	—
T32A02INB0	PC4	87	74	58	60	48	39
T32A02INB1	PC5	88	75	59	61	49	—
T32A02INC0	PC1	84	71	55	57	45	37
	PR1	91	78	62	64	—	—
T32A02INC1	PC2	85	72	56	58	46	—
	PR2	92	79	63	65	—	—

表 4.11 信号接続一覧(7/13)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
T32A03OUTB	PJ3	107	94	74	76	59	47
T32A03OUTA	PJ0	104	91	71	73	56	44
T32A03OUTC	PJ0	104	91	71	73	56	44
T32A03INA0	PJ1	105	92	72	74	57	45
T32A03INA1	PJ2	106	93	73	75	58	46
T32A03INB0	PJ4	108	95	75	77	60	48
T32A03INB1	PJ5	109	96	76	78	61	49
T32A03INC0	PJ1	105	92	72	74	57	45
T32A03INC1	PJ2	106	93	73	75	58	46
兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
T32A04OUTA	PK2	112	99	79	81	64	52
T32A04INA0	PK3	113	100	80	82	65	53
T32A04INA1	PK4	114	101	81	83	66	54
T32A04OUTB	PK5	115	102	82	84	67	55
T32A04INB0	PK6	116	103	83	85	68	56
T32A04INB1	PK7	117	104	84	86	69	—
T32A04OUTC	PK2	112	99	79	81	64	52
T32A04INC0	PK3	113	100	80	82	65	53
T32A04INC1	PK4	114	101	81	83	66	54
兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
T32A05OUTA	PN0	103	90	70	72	55	—
T32A05INA0	PN1	102	89	69	71	54	43
T32A05INA1	PN2	101	88	68	70	53	42
T32A05OUTB	PN3	100	87	67	69	52	41
T32A05INB0	PN4	99	86	66	68	51	40
T32A05INB1	PN5	98	85	65	67	—	—
T32A05OUTC	PN0	103	90	70	72	55	—
T32A05INC0	PN1	102	89	69	71	54	43
T32A05INC1	PN2	101	88	68	70	53	42

表 4.12 信号接続一覧(8/13)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
T32A06OUTA	PL5	52	46	39	41	—	—
	PT5	57	—	—	—	—	—
T32A06INA0	PL6	53	47	40	42	—	—
	PT6	56	—	—	—	—	—
T32A06INA1	PL7	54	48	—	—	—	—
	PT7	55	—	—	—	—	—
T32A06OUTB	PL2	49	43	36	38	28	23
	PT2	60	50	—	—	—	—
T32A06INB0	PL3	50	44	37	39	29	24
	PT3	59	49	—	—	—	—
T32A06INB1	PL4	51	45	38	40	30	25
	PT4	58	—	—	—	—	—
T32A06OUTC	PL5	52	46	39	41	—	—
	PT5	57	—	—	—	—	—
T32A06INC0	PL6	53	47	40	42	—	—
	PT6	56	—	—	—	—	—
T32A06INC1	PL7	54	48	—	—	—	—
	PT7	55	—	—	—	—	—
兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
T32A07OUTA	PG2	15	11	—	—	—	—
T32A07INA0	PG3	16	12	—	—	—	—
T32A07INA1	PG4	17	13	—	—	—	—
T32A07OUTB	PG5	18	14	—	—	—	—
T32A07INB0	PG6	19	15	—	—	—	—
T32A07INB1	PG7	20	16	—	—	—	—
T32A07OUTC	PG2	15	11	—	—	—	—
T32A07INC0	PG3	16	12	—	—	—	—
T32A07INC1	PG4	17	13	—	—	—	—

表 4.13 信号接続一覧(9/13)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
AINA00	PD0	6	6	6	8	5	5
AINA01	PD1	5	5	5	7	4	4
AINA02	PD2	4	4	4	6	3	3
AINA03	PD3	3	3	3	5	—	—
AINA04	PE0	2	2	2	4	2	2
AINA05	PE1	1	1	1	3	1	1
AINA06	PE2	144	128	100	2	80	64
AINA07	PE3	143	127	99	1	79	63
AINA08	PE4	142	126	98	100	78	62
AINA09	PE5	141	125	97	99	77	61
AINA10	PE6	140	124	96	98	76	60
AINA11	PF0	139	123	95	97	—	—
AINA12	PF1	138	122	94	96	—	—
AINA13	PF2	137	121	—	—	—	—
AINA14	PF3	136	120	—	—	—	—
AINA15	PF4	135	119	—	—	—	—
AINA16	PF5	134	118	—	—	—	—
AINA17	PF6	133	117	—	—	—	—
AINA18	PF7	132	116	—	—	—	—
AINA19	PD4	131	—	—	—	—	—
AINA20	PD5	130	—	—	—	—	—
兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
DAC0	PG0	9	9	9	11	8	8
DAC1	PG1	10	10	10	12	9	9

表 4.14 信号接続一覧(10/13)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
INT00	PC0	83	70	54	56	44	36
INT01	PC1	84	71	55	57	45	37
INT02	PC2	85	72	56	58	46	—
INT03	PB1	38	34	27	29	22	18
INT04	PJ4	108	95	75	77	60	48
INT05	PK1	111	98	78	80	63	51
INT06	PH3	74	64	52	54	42	34
INT07	PA6	22	18	12	14	11	11
INT08	PL3	50	44	37	39	29	24
INT09	PM2	34	30	23	25	18	—
INT10	PN3	100	87	67	69	52	41
INT11	PA7	21	17	11	13	10	10
INT12	PL4	51	45	38	40	30	25
INT13	PK7	117	104	84	86	69	—
INT14	PP3	118	105	85	87	70	57
INT15	PM6	30	26	19	21	—	—
INT16	PB7	44	40	33	35	—	—
INT17	PV2	125	112	92	94	—	—
INT18	PV3	126	113	93	95	—	—
INT19	PH4	76	66	—	—	—	—
INT20	PH5	77	67	—	—	—	—
INT21	PH6	78	68	—	—	—	—
INT22	PH7	79	69	—	—	—	—
INT23	PT0	62	52	—	—	—	—
INT24	PT1	61	51	—	—	—	—
INT25	PT2	60	50	—	—	—	—
INT26	PT3	59	49	—	—	—	—
INT27	PG2	15	11	—	—	—	—
INT28	PG3	16	12	—	—	—	—
INT29	PT7	55	—	—	—	—	—
INT30	PU0	45	—	—	—	—	—
INT31	PU1	46	—	—	—	—	—

表 4.15 信号接続一覧(11/13)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
U00	PJ0	104	91	71	73	56	44
X00	PJ1	105	92	72	74	57	45
VO0	PJ2	106	93	73	75	58	46
YO0	PJ3	107	94	74	76	59	47
WO0	PJ4	108	95	75	77	60	48
ZO0	PJ5	109	96	76	78	61	49
EMG0	PK0	110	97	77	79	62	50
OVV0	PK1	111	98	78	80	63	51
ENC0A	PA0	28	24	18	20	17	15
ENC0B	PA1	27	23	17	19	16	14
ENC0Z	PA2	26	22	16	18	15	13
PMD0DBG	PP6	121	108	88	90	73	—
兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
SCOUT	PB0	37	33	26	28	21	17
兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
TRGIN0	PB1	38	34	27	29	22	18
TRGIN1	PA3	25	21	15	17	14	12
TRGIN2	PN3	100	87	67	69	52	41
兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
RXIN0	PB1	38	34	27	29	22	18
兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
RTCOUT	PC2	85	72	56	58	46	—

表 4.16 信号接続一覧(12/13)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
TMS	PL4	51	45	38	40	30	25
TCK	PL3	50	44	37	39	29	24
TDO	PL2	49	43	36	38	28	23
TDI	PL1	48	42	35	37	27	22
TRST_N	PL0	47	41	34	36	26	21
SWDIO	PL4	51	45	38	40	30	25
SWCLK	PL3	50	44	37	39	29	24
SWV	PL2	49	43	36	38	28	23
TRACECLK	PM0	36	32	25	27	20	—
TRACEDATA0	PM1	35	31	24	26	19	—
TRACEDATA1	PM2	34	30	23	25	18	—
TRACEDATA2	PM3	33	29	22	24	—	—
TRACEDATA3	PM4	32	28	21	23	—	—
兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
X1	PH0	70	60	48	50	38	30
X2	PH1	71	61	49	51	39	31
XT1	PH2	73	63	51	53	41	33
XT2	PH3	74	64	52	54	42	34
EHCLKIN	PH0	70	60	48	50	38	30
BOOT_N	PB0	37	33	26	28	21	17

表 4.17 信号接続一覧(13/13)

ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
PM7	29	25	—	—	—	—
PR3	93	80	64	66	—	—
PR4	94	81	—	—	—	—
PR5	95	82	—	—	—	—
PR6	96	83	—	—	—	—
PR7	97	84	—	—	—	—
PU2	14	—	—	—	—	—
PU3	13	—	—	—	—	—
PU4	12	—	—	—	—	—
PU5	11	—	—	—	—	—
PV0	123	110	90	92	74	58
PV1	124	111	91	93	75	59
PV4	127	—	—	—	—	—
端子名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
RESET_N	72	62	50	52	40	32
MODE	75	65	53	55	43	35
AVDD5	7	7	7	9	6	6
AVSS	8	8	8	10	7	7
DVDD5A	66	56	44	46	34	26
DVDD5B	128	114	—	—	—	—
DVSSA	69	59	47	49	37	29
DVSSB	129	115	—	—	—	—
REGOUT1	68	58	46	47	36	28
REGOUT2	67	57	45	48	35	27

4.3. ポート

表中の記号の意味は下記のとおりです。

ポートの右側は仕様を記号で示しています。

記号の意味は下記のとおりです。

- Input/Output : ポートの入出力
Input : 入力
Output : 出力
I/O : 入出力
- PU/PD : プログラマブル プルアップ/プルダウン対応
PU : プログラマブル プルアップ選択可能
PD : プログラマブル プルダウン選択可能
- OD : プログラマブル オープンドレイン出力対応
YES : 対応
NO : 非対応
- 5V_T : 5V トレラント対応
YES : 対応
N/A : 非対応
- SMT/CMOS:入力ゲート
SMT : シュミット入力
CMOS : CMOS 入力
- リセット中の状態 : リセット期間中の端子状態です
Hi-Z : ハイインピーダンス
PU : プルアップ
PD : プルダウン
- リセット後の状態 : リセット解除直後の端子状態です
Hi-Z : ハイインピーダンス
PU : プルアップ
PD : プルダウン

4.3.1. ポート仕様一覧

表 4.18 ポートA,B,C,D,Eのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/CMOS	リセット中の状態	リセット後の状態
PA0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA4	I/O	PU/PD	YES	YES	SMT	Hi-Z	Hi-Z
PA5	I/O	PU/PD	YES	YES	SMT	Hi-Z	Hi-Z
PA6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB0	Output	PU/PD (注)	YES	N/A	SMT	Hi-Z (注)	Hi-Z
PB1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

注) BOOT_N 端子と兼用です。RESET_N 端子=0 の時プルアップ(PU)となります。
RESET_N 端子=1 の時に内部リセットがかかった場合は Hi-Z です。

表 4.19 ポートF,G,H,J,Kのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/CMOS	リセット中の状態	リセット後の状態
PF0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH0	Input	PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH1	Input	PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH2	Input	PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH3	Input	PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

表 4.20 ポートL,M,N,P,Rのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/CMOS	リセット中の状態	リセット後の状態
PL0	I/O	PU/PD	YES	N/A	SMT	PU(注)	PU(注)
PL1	I/O	PU/PD	YES	N/A	SMT	PU(注)	PU(注)
PL2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL3	I/O	PU/PD	YES	N/A	SMT	PD(注)	PD(注)
PL4	I/O	PU/PD	YES	N/A	SMT	PU(注)	PU(注)
PL5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

注) 初期値はデバッグ用端子に割り当てられています(PL4:TMS/SWDIO、PL3:TCK/SWCLK、PL2:TDO/SWV、PL1:TDI、PL0:TRST_N)。

表 4.21 ポートT,U,Vのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/CMOS	リセット中の状態	リセット後の状態
PT0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

5. 機能説明・動作説明

5.1. リファレンスマニュアル

TMPM3H グループ(2)製品の搭載機能詳細は下表のリファレンスマニュアルを参照してください。

表 5.1 TMPM3Hグループ(2) リファレンスマニュアル一覧

リファレンスマニュアル	IP 記号	分類
入出力ポート (TMPM3H グループ(2))	PORT-M3H(2)	システム
メモリーマップ (TMPM3H グループ(2))	MMAP-M3H(2)	システム
例外 (TMPM3H グループ(2))	EXCEPT-M3H(2)	システム
クロック制御と動作モード (TMPM3H グループ(2))	CG-M3H(2)-D	システム
製品個別情報 (TMPM3H グループ(2))	PINFO-M3H(2)	システム
電源とリセット動作 (TMPM3H グループ(2))	RESET-M3H(2)	システム
フラッシュメモリー (コードフラッシュ:512KB データフラッシュ:32KB)	FLASH512_32-A	周辺機能
トリミング回路	TRM-A	周辺機能
周波数検知回路	OFD-A	周辺機能
電圧検知回路	LVD-A	周辺機能
デジタルノイズフィルター回路	DNF-A	周辺機能
デバッグインターフェース	DEBUG-A	周辺機能
DMA コントローラー	DMAC-B	周辺機能
非同期シリアル通信回路	UART-C	周辺機能
シリアルペリフェラルインターフェース	TSPI-B	周辺機能
I ² C インターフェース	I2C-B	周辺機能
8ビットデジタルアナログコンバーター	DAC-A	周辺機能
12ビットアナログデジタルコンバーター	ADC-A	周辺機能
コンパレーター	COMP-B	周辺機能
アドバンストプログラマブルモーター制御回路	A-PMD-B	周辺機能
アドバンストエンコーダー入力回路	A-ENC-A	周辺機能
32ビットタイマーイベントカウンター	T32A-B	周辺機能
リアルタイムクロック	RTC-A	周辺機能
クロック選択式ウオッチドックタイマー	SIWDT-A	周辺機能
リモコン受信回路	RMC-A	周辺機能
CRC 計算回路	CRC-A	周辺機能
RAM パリティ	RAMP-A	周辺機能

5.2. プロセッサコア

TMPM3H グループ(2)には、高性能 32 ビットプロセッサコア(Arm 社 Cortex-M3 コア)が内蔵されています。

プロセッサコアの動作については、Arm 社からリリースされている"Cortex-M シリーズプロセッサの Arm ドキュメンテーションセット"を参照してください。この章では、製品固有の情報について説明します。

5.2.1. コアに関する情報

TMPM3H グループ(2)で使用している Cortex-M3 コアのリビジョンは以下のとおりです。CPU コア部、アーキテクチャーなどの詳細は、Arm 社の下記 URL よりドキュメントを参照してください。

<http://infocenter.arm.com/help/index.jsp>

表 5.2 コアリビジョン

グループ名	コアリビジョン
TMPM3H グループ(2)	r2p1

5.2.2. 構成可能なオプション

Cortex-M3 コアは、一部のブロックについて実装するかどうかを選択することができます。TMPM3H グループ(2)での構成は以下のとおりです。

表 5.3 構成可能なオプションと実装

構成可能なオプション	実装
FWB	リテラルコンパレーター:2 本 命令コンパレーター:6 本
DWT	コンパレーター:4 本
ITM	あり
MPU	あり
ETM	あり
AHB-AP	あり
AHBトレースマクロ セルインターフェース	なし
TPIU	あり
WIC	なし
デバッグポート	JTAG/シリアルワイヤ
ビットバンド	あり
AHB の継続的な制御	なし

5.3. クロック制御回路と動作モード (CG)

CGは、クロックギアやプリスケラークロックの選択、発振器のウォーミングアップなどを設定する機能です。

動作モードとして NORMAL モードと低消費電力モードがあり、使用方法に応じてモード遷移を行うことで消費電力を抑えることができます。

クロック制御回路の概要は、下記のとおりです。

- 内部高速発振器: 10MHz
- 外部高速発振器と内部高速発振器が選択可能
- PLL(通倍回路): 高速発振器の周波数に合わせて倍率を変更して 80MHz 出力可能
- クロックギア:
 - 高速クロックを 1/1、1/2、1/4、1/8、1/16 分周し、システムクロック (fsys)として選択可能。
- 低消費電力モード:
 - IDLE : CPU が停止します。周辺機能は動作可能です。
 - STOP1 : システムクロックが停止します。低周波クロックは動作可能(RTC、RMCへ供給)。
 - STOP2 : システムクロックが停止し、内部回路の電源を遮断します。設定によって、低周波クロック(RTCへ供給)や、I²C(スレーブ、アドレス一致による割り込み発生)は動作可能です。

5.4. フラッシュメモリー(コードフラッシュ、データフラッシュ)

コードフラッシュは命令コードを格納し、CPUがリードして実行します。データフラッシュはデータを格納し、電源が遮断されてもデータが消えません。

コードフラッシュで命令を実行しながら、データフラッシュを書き換えることが可能なデュアルモードを搭載しています。データフラッシュへのデータ保存時にもコードフラッシュ上でアプリプログラムの実行を継続することができます。

また、ブロック単位で書き込み/消去を禁止するプロテクト機能、第3者によるプログラムコードの読み出しを禁止するセキュリティー機能などを搭載しています。

5.5. 発振器

外部高速発振器(EHOSC)：外部にクリスタル発振子またはセラミック発振子を接続して、システムクロックの源発振に使用します。

外部低速発振器(ELOSC)：外部に 32.768kHz のクリスタル発振子を接続して、時計用クロックや低消費動作時の源発振に使用します。

内蔵高速発振器 1(IHOSC1)：10MHz の発振器です。システムクロックの源発振に使用します。

内蔵高速発振器 2(IHOSC2)：10MHz の発振器です。OFD、SIWDT の基準クロック、カウントクロックの源発振に使用します。

表 5.4 搭載発振器

	M3HQ	M3HP	M3HN	M3HM	M3HL
EHOSC	○	○	○	○	○
ELOSC	○	○	○	○	○
IHOSC1	○	○	○	○	○
IHOSC2	○	○	○	○	○

注) ○：搭載、－：非搭載

5.6. トリミング回路 (TRM)

内蔵高速発振器 1 (IHOSC1)の発振周波数を調整する回路です。

表 5.5 TRM搭載一覧

	M3HQ	M3HP	M3HN	M3HM	M3HL
TRM	○	○	○	○	○

注) ○：搭載、－：非搭載

5.7. 周波数検知回路 (OFD)

周波数検知回路(OFD)はクロックの異常を検知します。計測対象として外部高速発振クロック(f_{EHOSC})または高速クロック(f_c)のどちらかを選択できます。内蔵の基準クロック(f_{IHOSC2})を用いて、選択したクロックを計測し、設定範囲から外れると内部リセット信号を発生します。

検出範囲として、検出する周波数の上限と下限を個別に設定することができます。

表 5.6 OFD搭載一覧

	M3HQ	M3HP	M3HN	M3HM	M3HL
OFD	○	○	○	○	○

注) ○：搭載、－：非搭載

5.8. 電圧検知回路 (LVD)

電圧検知回路 (LVD)は、電源電圧があらかじめ設定した電圧を下回るあるいは上回ったことを検知すると、割り込み要求または内部リセット信号を発生します。

設定電圧は8種類から選択することができます。電源投入時、リセット時からイネーブルです。

表 5.7 LVD搭載一覧

	M3HQ	M3HP	M3HN	M3HM	M3HL
LVD	○	○	○	○	○

注) ○ : 搭載、- : 非搭載

5.9. デジタルノイズフィルター回路 (DNF)

DNF は外部割り込み入力に搭載したデジタルノイズフィルター回路です。外部割り込み信号 INTx の High レベル/Low レベル入力ともにノイズを除去します。

表 5.8 外部割り込み数(DNF搭載数)

	M3HQ	M3HP	M3HN	M3HM	M3HL
外部 割り込み数	32	29	19	15	12

5.10. デバッグインターフェース (DEBUG)

デバッグツールと接続するためのデバッグインターフェースとして、シリアルワイヤデバッグポート (SWCLK, SWDIO) と、JTAG デバッグポート (TDI, TDO, TMS, TCK, TRST_N) の2種類あります。これらの端子をデバッグツールと接続してプログラム開発を行います。また、デバッグ作業を軽減するためにトレースクロック (TRACECLK) とトレース出力 (TRACEDATA0~3) があります。

表 5.9 デバッグインターフェース搭載一覧

デバッグ端子 (信号名)	ポート	M3HQ	M3HP	M3HN	M3HM	M3HL
SWDIO	PL4	○	○	○	○	○
TMS						
SWCLK	PL3	○	○	○	○	○
TCK						
SWV	PL2	○	○	○	○	○
TDO						
TDI	PL1	○	○	○	○	○
TRST_N	PL0	○	○	○	○	○
TRACECLK	PM0	○	○	○	○	—
TRACEDATA0	PM1	○	○	○	○	—
TRACEDATA1	PM2	○	○	○	○	—
TRACEDATA2	PM3	○	○	○	—	—
TRACEDATA3	PM4	○	○	○	—	—

注) ○ : 搭載、— : 非搭載

5.11. DMA コントローラー (DMAC)

DMACは、周辺機能からメモリーへ、メモリーから周辺機能へ、あるいはメモリーからメモリーへデータを移動させることができる周辺機能です。これらの動作はCPU制御と別に行われるため、DMAを使用することで、CPUの負荷を著しく減らすことができます。

TMPM3H グループ(2)製品は、DMA コントローラー(DMAC)を2ユニット搭載しており、ユニット当たり最大32チャンネルの起動要因があります。

表 5.10 DMAC搭載一覧

UNIT	M3HQ	M3HP	M3HN	M3HM	M3HL
UNIT A	○	○	○	○	○
UNIT B	○	○	○	○	○

注) ○：搭載、－：非搭載

5.12. 非同期シリアル通信回路 (UART)

UARTは、非同期シリアル通信機能です。7,8,9ビットのデータ長,パリティ有無,STOPビット長を選択できます。MSB ファースト/LSB ファーストの選択、データ極性の反転の他に TXD/RXD の端子入れ替えができます(ポート設定による)。FIFO バッファは、送信で×8 段、受信で×8 段を内蔵しています。また、CTS/RTS による通信制御やハーフクロックモードをサポートしています。

表 5.11 UART搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel 0	○	○	○	○	○
Channel 1	○	○	○	○	○
Channel 2	○	○	○	○	○
Channel 3	○	○	○	○	○
Channel 4	○	○	○	○	○
Channel 5	○	○	○	○	○

注1) ○：搭載、－：非搭載

注2) 外部端子は製品によって異なります。「2.端子配置図」を参照してください。

5.13. シリアルペリフェラルインターフェース (TSPI)

TSPI は通信時に CS(チップセレクト)信号を使用する SPI 方式と、CS 信号を使用しない SIO 方式の 2 つの通信方式に対応し、他のデバイスと高速なシリアル転送が可能な通信機能です。データ長は、7 ビット(パリティあり)から 32 ビット(パリティなし)まで 1 ビット単位で変更可能です。受信、送信ともに 16 ビットの FIFO が 8 段あります。マスター、スレーブに対応します。

表 5.12 TSPI搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel 0	○	○	○	○	○
Channel 1	○	○	○	○	-
Channel 2	○	○	○	○	-
Channel 3	○	○	○	○	-
Channel 4	○	○	-	-	-

注 1) ○：搭載、-：非搭載

注 2) 外部端子は製品によって異なります。「2 端子配置図」を参照してください。

5.14. I²C インターフェース (I²C)

I²C は二線式双方向シリアル通信機能です。マスターとスレーブの関係で通信をしますが、同一バス上に複数のマスターが存在可能なマルチマスターをサポートしています。また、通信スピードは標準モード(最大 100kHz)、ファストモード(最大 400kHz)に対応しています。

設定により IDLE、STOP1 や STOP2 などの低消費電力モードでもデータを受信動作できます。また、チャンネル 0 にはスレーブアドレス一致でスタンバイモードから復帰する低消費電力動作解除機能(注 2)があります。

表 5.13 I²C搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel 0 (注 2)	○	○	○	○	○
Channel 1	○	○	○	○	-
Channel 2	○	○	○	○	○
Channel 3	○	○	-	-	-

注 1) ○：搭載、-：非搭載

注 2) アドレス一致ウエイクアップ機能あり

5.15. 8 ビットデジタルアナログコンバーター (DAC)

DAC は、設定した電圧を出力することができる R-2R 型の 8 ビットのデジタルアナログコンバーターです。バッファアンプは非搭載です。

チャンネル 0(DAC0)は、コンパレータ(COMP)の基準電圧(VREFC)としても使用可能です。

表 5.14 DAC搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel 0	○	○	○	○	○
Channel 1	○	○	○	○	○

注) ○ : 搭載、- : 非搭載

5.16. 12 ビットアナログデジタルコンバーター (ADC)

ADC は、12 ビット逐次変換方式のアナログ/デジタルコンバーター(AD コンバーター)です。最大 21 チャンネルのアナログ入力に対応します。変換結果レジスタとアナログ入力の組み合わせは、AD 変換の開始要因ごとにプログラム可能です(最大 24 個)。アナログデジタル変換の起動要因は、ソフトウェアまたは周辺機能(A-PMD のトリガー出力、タイマー/イベントカウンタ出力、ポート入力)から選択できます。特に A-PMD と連携することでモーターを容易に制御することができます。

また、変換結果監視機能があり、比較条件と一致した場合に割り込み要求を発生させることができます。

表 5.15 ADC搭載一覧

UNIT	M3HQ	M3HP	M3HN	M3HM	M3HL
UNIT A	○	○	○	○	○

注) ○ : 搭載、- : 非搭載

表 5.16 アナログ入力数

	M3HQ	M3HP	M3HN	M3HM	M3HL
アナログ入力数	21	19	13	10	10

5.17. コンパレータ (COMP)

コンパレータはアナログ入力値と内蔵 8 ビット DAC の出力値を比較して、比較結果を A-PMD の EMG 入力へ出力します。

表 5.17 コンパレータ搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel 0	○	○	○	○	○

注) ○ : 搭載、- : 非搭載

5.18. アドバンストプログラマブルモーター制御回路 (A-PMD)

アドバンストプログラマブルモーター制御回路(A-PMD)は、ブラシレス DC モーターを容易に制御することができます。パルス幅変調回路、デッドタイム回路を持ち、3 相相補 PWM 出力や ADC と連携してモーター制御用の波形を容易に発生できます。

また、過電圧検出入力や異常検出入力をもっており、緊急時の安全対策も実現できます。

表 5.18 A-PMD搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel 0	○	○	○	○	○

注) ○ : 搭載、— : 非搭載

5.19. アドバンストエンコーダー入力回路 (A-ENC)

アドバンストエンコーダー入力回路(A-ENC)は、インクリメンタル型エンコーダーに対応し、モーターの位置を容易に得ることができます。信号の入力端子にノイズキャンセラーが内蔵されているので、インクリメンタルエンコーダー、ホールセンサーの信号を直接入力することができます。

エンコーダーモード、センサーモード(3種類)、タイマーモードおよび位相カウンターモードの6つの動作モードに対応しています。

表 5.19 A-ENC搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel 0	○	○	○	○	○

注) ○ : 搭載、— : 非搭載

5.20. 32 ビットタイマーイベントカウンター (T32A)

T32A は、32 ビットタイマーまたは、2 本の 16 ビットタイマーとして動作するタイマーイベントカウンターです。32 ビットタイマーか 16 ビットタイマーかどちらで動作するか選択が可能です。32 ビットタイマーの場合、32 ビットカウンターのタイマー C として動作します。16 ビットタイマーの場合、16 ビットカウンターのタイマー A とタイマー B の構成で動作します。

インターバルタイマー、イベントカウント、インプットキャプチャー、2 相カウンター入力、PPG 出力、同期スタート、トリガースタート/ストップなど多彩な機能を内蔵しています。

表 5.20 T32A搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel 0	○	○	○	○	○
Channel 1	○	○	○	○	○
Channel 2	○	○	○	○	○
Channel 3	○	○	○	○	○
Channel 4	○	○	○	○	○
Channel 5	○	○	○	○	○
Channel 6	○	○	○	○	○
Channel 7	○	○	○	○	○

注 1) ○：搭載、－：非搭載

注 2) 外部端子は製品によって異なります。「2 端子配置図」を参照してください。

5.21. リアルタイムクロック (RTC)

リアルタイムクロック(RTC)は秒カウンターをもち、時計機能、うるう年対応のカレンダー機能を実現できる周辺機能です。アラーム機能は、あらかじめ設定した日時に割り込み要求を発生することができます。

RTCは低周波クロックで動作するため、設定により IDLE、STOP1 や STOP2 などの低消費電力モードでも動作します。また、RTC の割り込み要求で低消費電力モードからの復帰が可能です。

クロック補正機能により、低周波発振周波数の誤差による時計の進みや遅れを簡単に補正することができます。

表 5.21 RTC搭載一覧

	M3HQ	M3HP	M3HN	M3HM	M3HL
RTC	○	○	○	○	○

注) ○：搭載、－：非搭載

5.22. クロック選択式ウォッチドッグタイマー (SIWDT)

クロック選択式ウォッチドッグタイマー(SIWDT)は、ノイズなどの原因により CPU が誤動作(暴走)した結果あらかじめ設定した検出時間以内にカウンタをクリアできなかった場合、カウンタのオーバフローを検出して割り込み要求を発生またはリセットを発生する周辺機能です。

カウンタクロックとして、システムクロック (fsys/4)の他に内蔵発振器 1 (fIHOSC1), 内蔵発振器 2 (fIHOSC2) の3つから選択が可能です。

指定された期間のみカウンタクリアが可能な、カウンタクリアウィンドウ機能があります。

また、プロテクトモードに設定することでリセットがかかるまでレジスタの変更を禁止することができます(カウンタクリアは可能)。

表 5.22 SIWDT搭載一覧

	M3HQ	M3HP	M3HN	M3HM	M3HL
SIWDT	○	○	○	○	○

注) ○：搭載、－：非搭載

5.23. リモコン受信回路 (RMC)

RMC は、搬送波が取り除かれたリモコン信号の受信を行う機能です。リーダー信号を検出し、72 ビット分のデータを一括して受信できます。受信できるデータのフォーマットは、同期方式、同期固定の位相方式の2種類です。

また、デジタル式のノイズキャンセラーを内蔵しているため外乱ノイズを防ぐことができます。

RMC は低周波クロックでも動作可能で、設定により IDLE, STOP1 など(STOP2 は除く)の低消費電力モードでも動作します。また、RMC の割り込み要求で低消費電力モードからの復帰が可能です。

表 5.23 RMC搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel0	○	○	○	○	○

注) ○：搭載、－：非搭載

5.24. CRC 計算回路 (CRC)

CRC32 および CRC16 のハードウェア計算回路を内蔵しています。メモリーや通信データを処理してエラーを検出することに使用できます。

表 5.24 CRC計算回路搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel0	○	○	○	○	○

注) ○：搭載、－：非搭載

5.25. RAM パリティ (RAMP)

RAM へのライト時に偶数パリティデータを生成(8 ビット単位)して格納し、リード時にはパリティ判定を行います。判定でエラーとなった場合は割り込みを発生します。また、エラーが発生したステータスとアドレスが分かります。パリティ生成/判定はハードウェアなので、リアルタイムでパリティエラーを検出することができます。

表 5.25 RAMパリティ回路搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
RAMP	○	○	○	○	○

注) ○ : 搭載、- : 非搭載

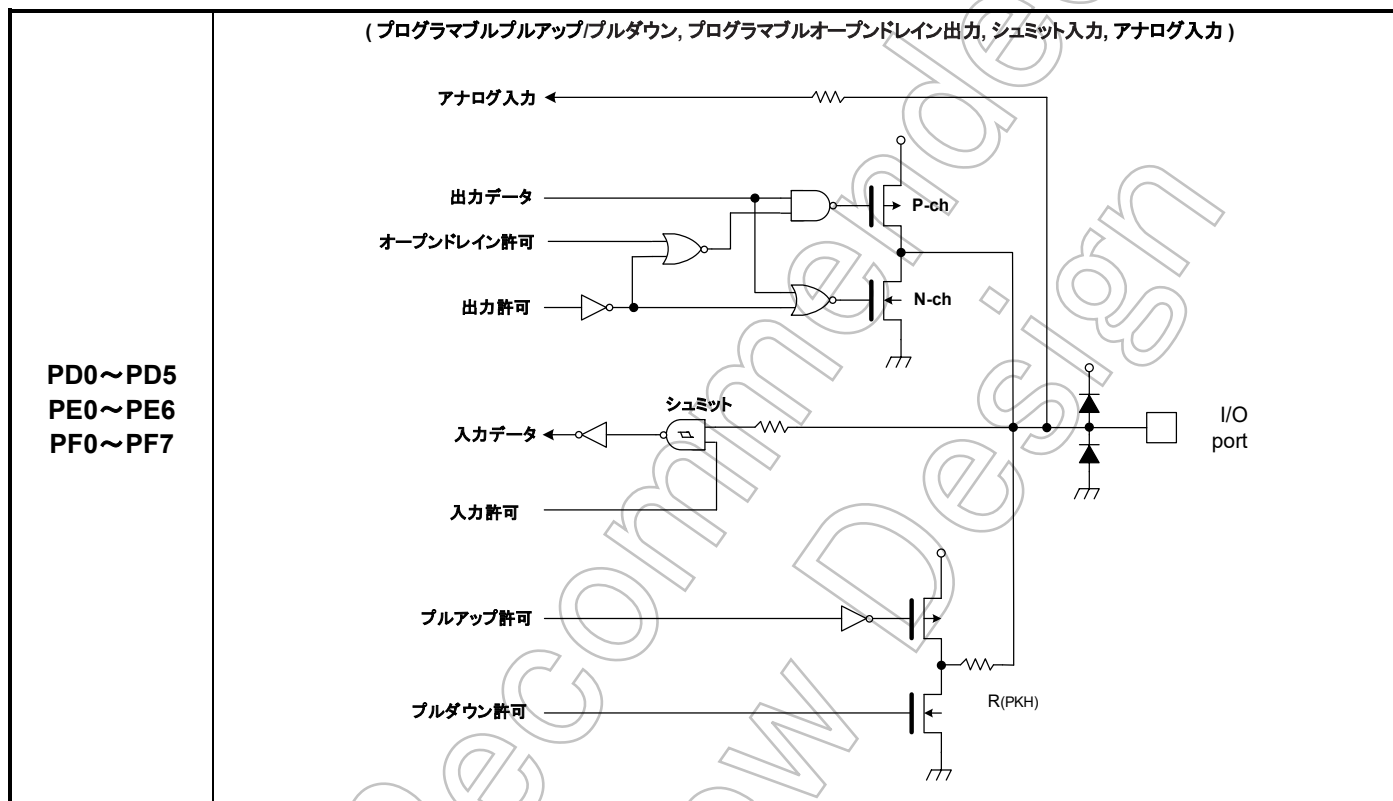
Not Recommended for New Design

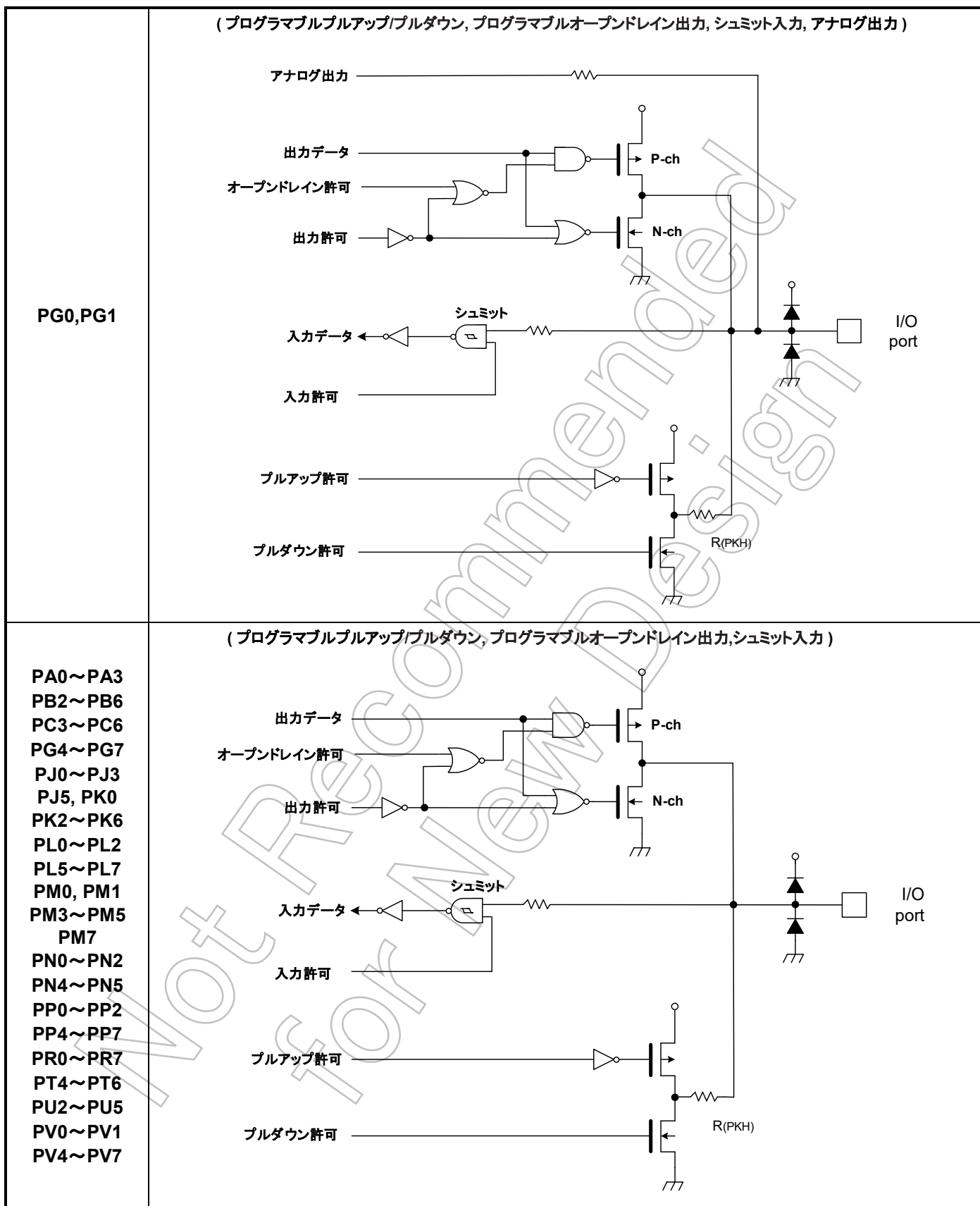
6. 等価回路図

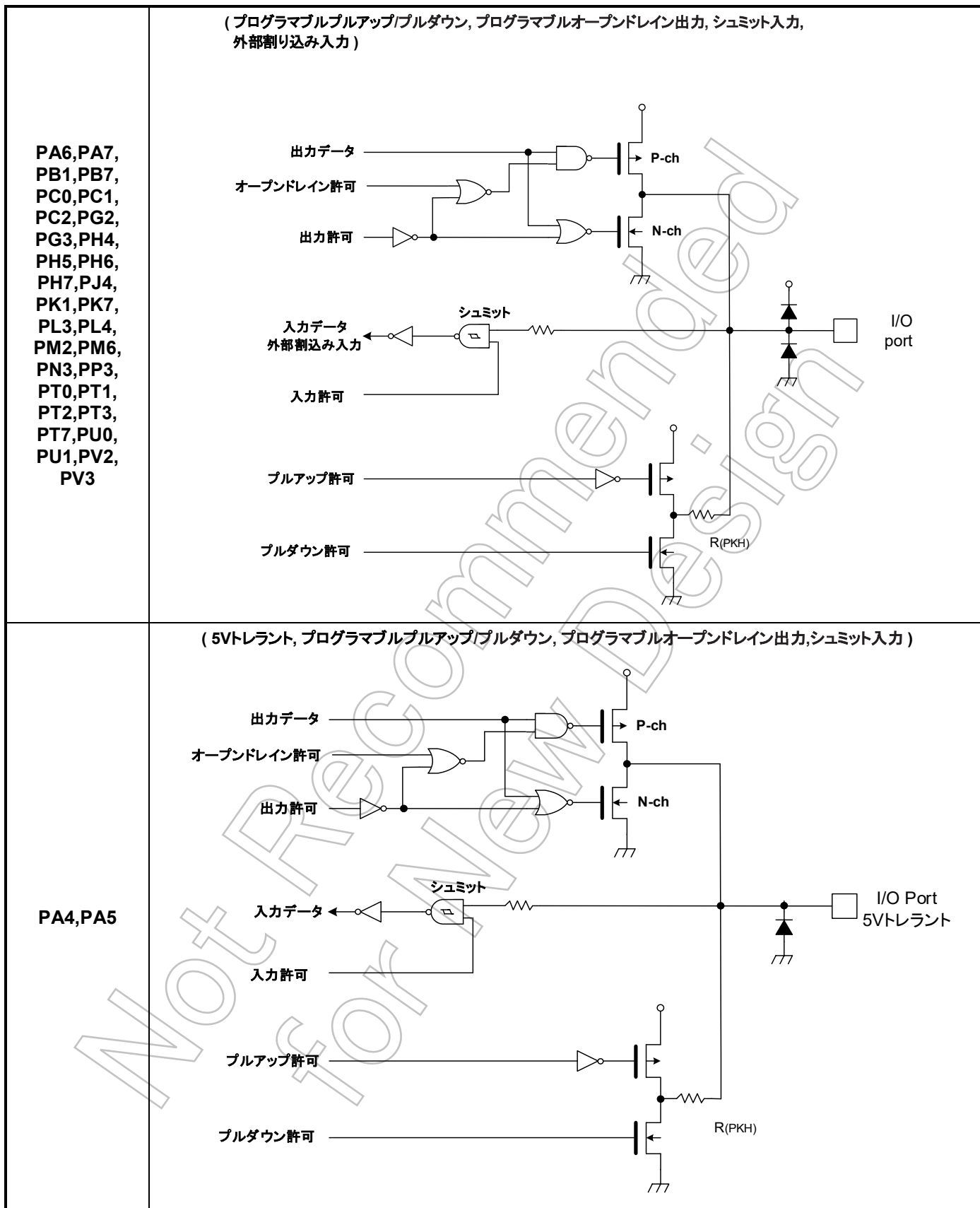
ポート等価回路図は、基本的に標準 CMOS ロジック IC 「74HCxx」 シリーズと同じゲート記号を使って書かれています。入力保護抵抗は、数十 Ω ~ 数百 Ω 程度です。

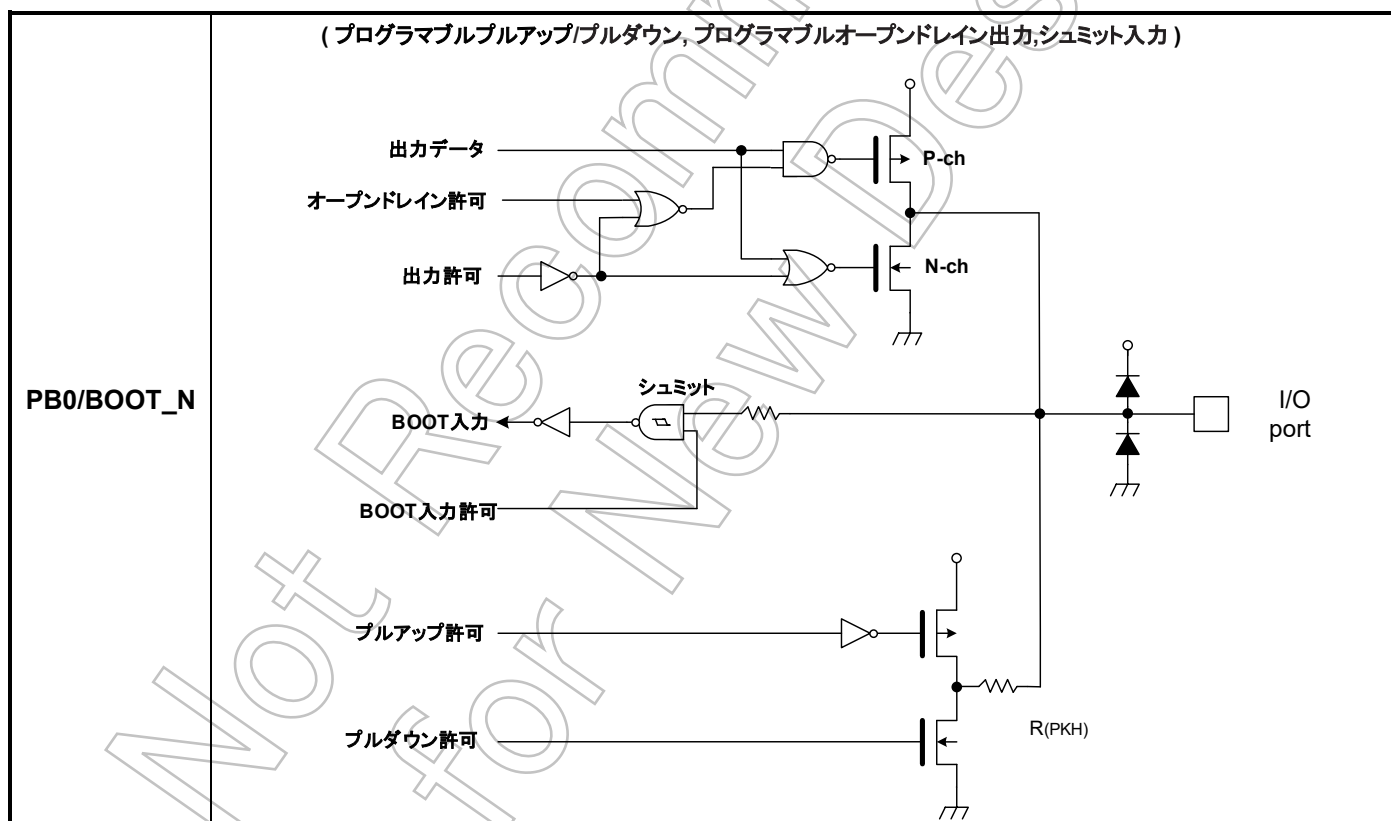
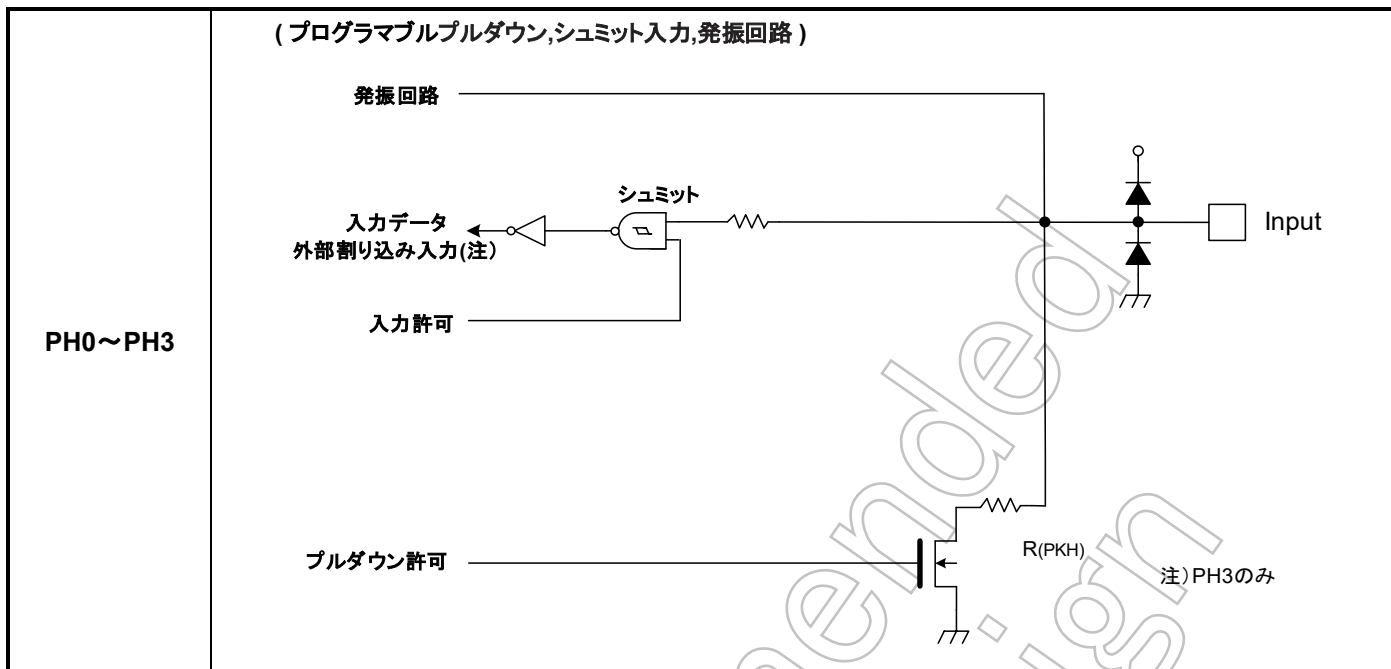
注) 図中の数値の記載のない抵抗は、入力保護抵抗を示します。

6.1. ポート

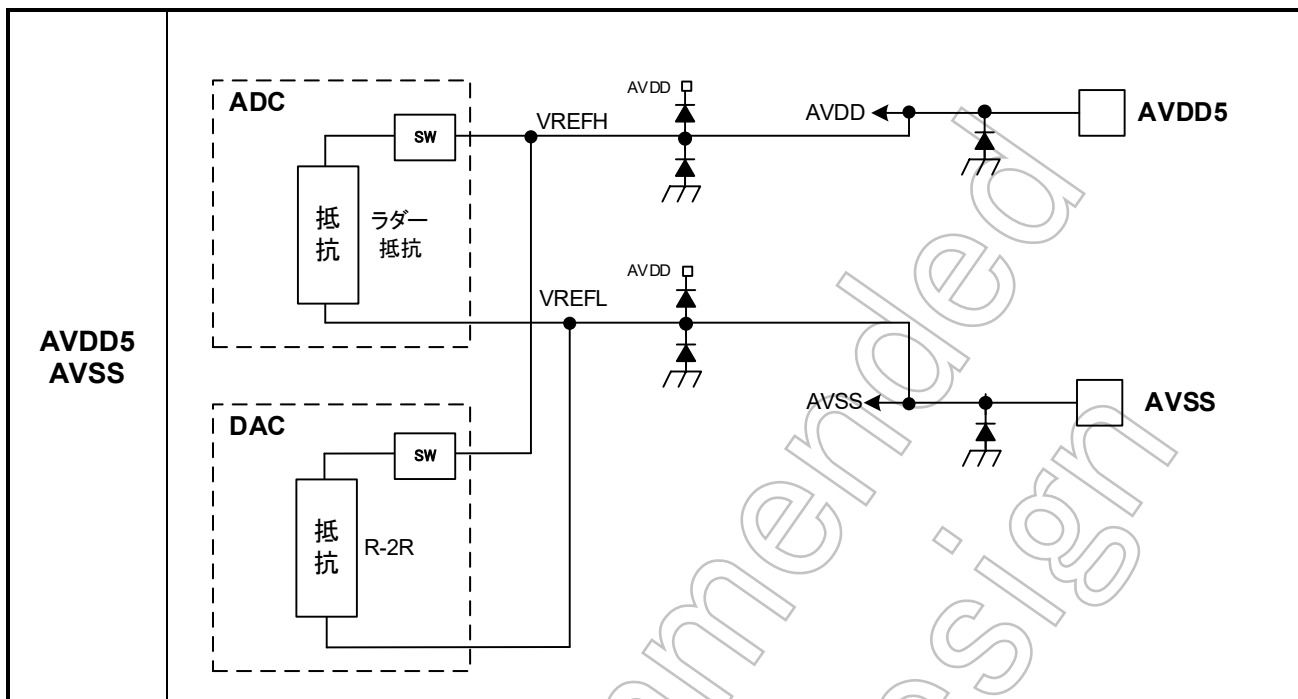






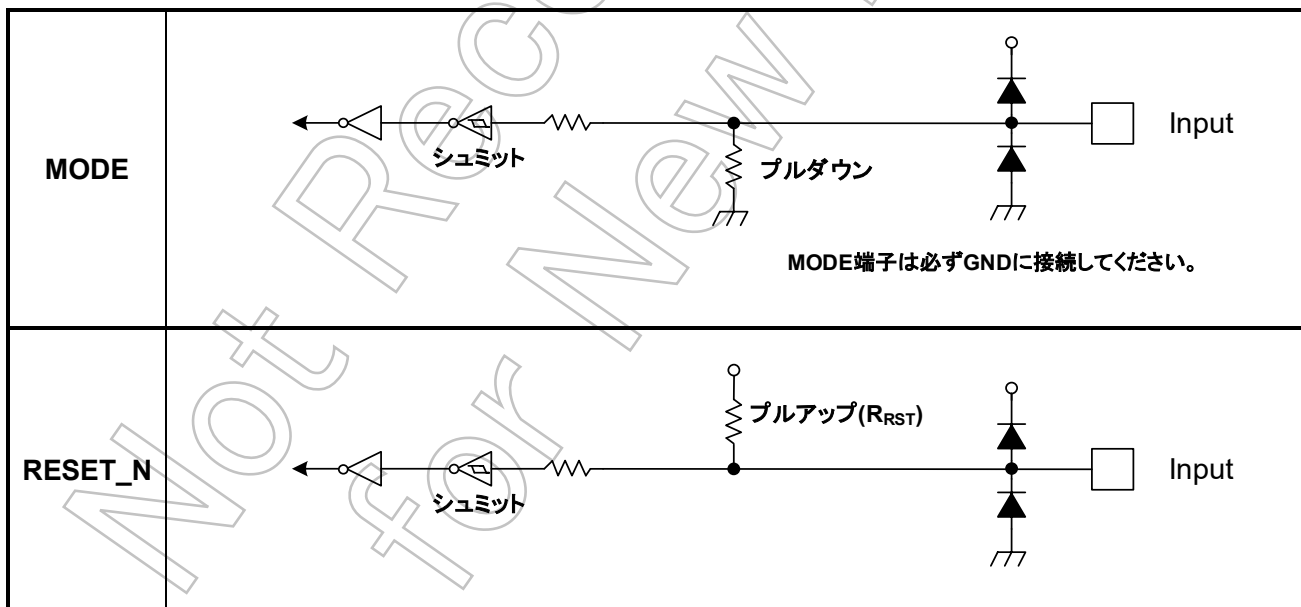


6.2. アナログ関連端子

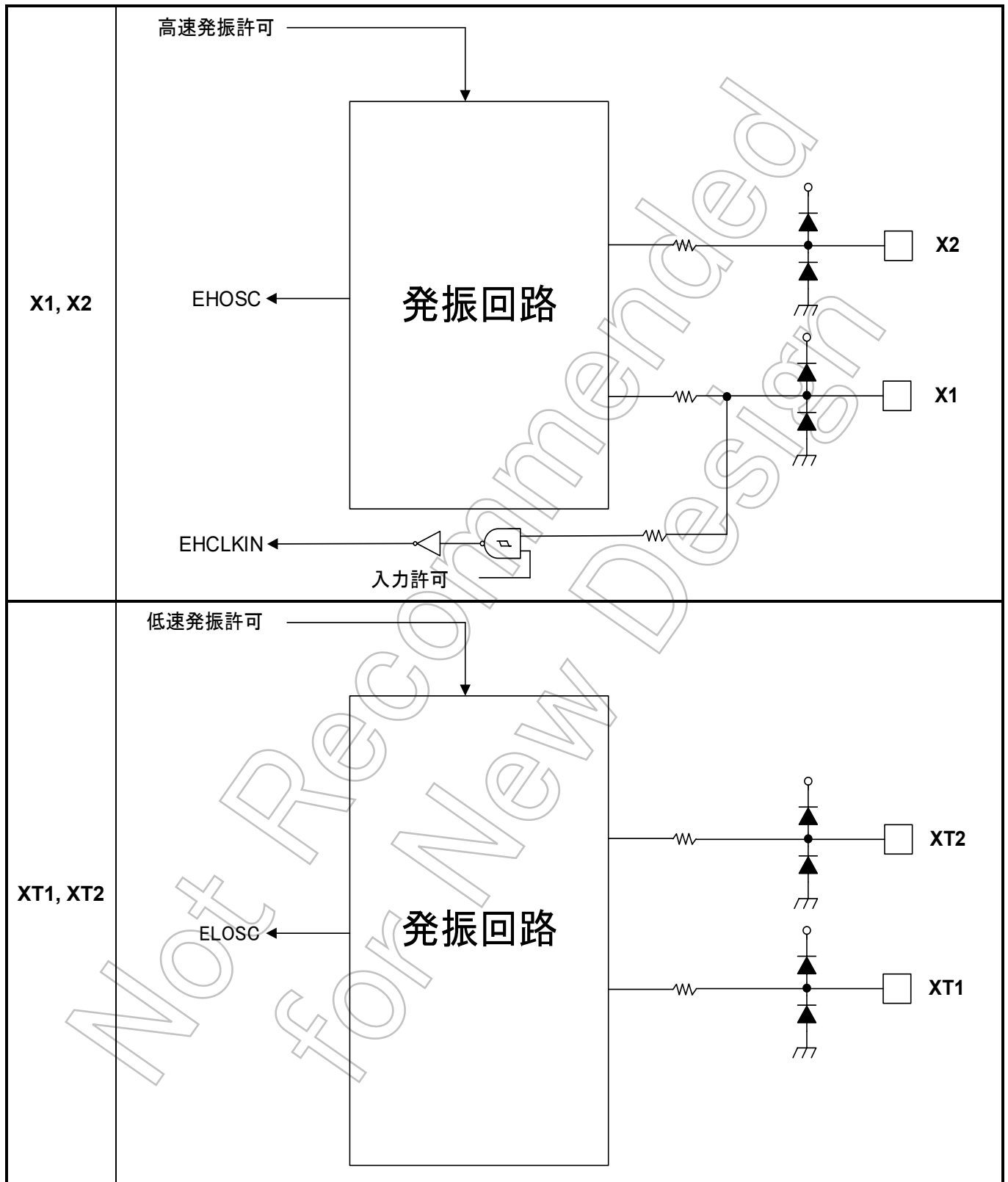


注) SW : ON/OFF スイッチ回路

6.3. 制御端子



6.4. クロック制御



7. 電気的特性

7.1. 絶対最大定格

表 7.1 絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD5A DVDD5B	-0.3~6.0	V
		AVDD5	-0.3~DVDD5(注 1)	
電圧保持用キャパシター端子電圧		REGOUT1	-0.3~1.7	V
		REGOUT2	-0.3~3.9	
入力電圧	PC0~6, PH0~7, PJ0~5, PK0~7, PN0~5, PR0~7, PV0~7, PA0~3, PA6~7, PB1~7, PG2~7, PL0~7, PM0~7, PP0~7, PT0~7, PU0~5, MODE, RESET_N,BOOT_N	V _{IN1} V _{IN2}	-0.3~DVDD5+0.3(≦6.0V) (注 1)	V
	PD0~5, PE0~6, PF0~7, PG0~1	V _{IN3}	-0.3~AVDD5+0.3(≦6.0V)(注 1)	
	PA4~5	V _{IN4}	-0.3 ~ 6.0	
低レベル 出力電流	1 端子ごと PC0~6, PH4~7, PJ0~5, PK0~7, PN0~5, PR0~7, PV0~7, PA0~3, PA6~7, PB0~7, PG2~7, PL0~7, PM0~7, PP0~7, PT0~7, PU0~5, PD0~5, PE0~6,PF0~7, PG0~1	I _{OL}	5	mA
	1 端子ごと PA4~5	I _{OL4}	25	
	全端子合計	ΣI _{OL}	50	
高レベル 出力電流	1 端子ごと PC0~6, PH4~7, PJ0~5, PK0~7, PN0~5, PR0~7, PV0~7, PA0~7, PB0~7, PG2~7, PL0~7, PM0~7, PP0~7, PT0~7, PU0~5, PD0~5, PE0~6, PF0~7, PG0~1	I _{OH}	-5	
	全端子合計	ΣI _{OH}	-50	
消費電力 (Ta=85°C)		PD	600	mW
はんだ付け温度		T _{SOLDER}	260	°C
保存温度		T _{STG}	-55~125	°C
動作温度		T _{OPR}	-40~85	°C

注 1) DVDD5 は DVDD5A、DVDD5B の総称です。DVDD5 と AVDD5 は同電位で使用してください。

注 2) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格(電流, 電圧, 消費電力, 温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負う ことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

7.2. DC 電気的特性(1/2)

$$4.5V \leq DVDD5 = AVDD5 \leq 5.5V$$

$$DVSS = AVSS = 0V$$

$$T_a = -40 \sim 85^\circ C$$

項目	記号	条件	Min	Typ.	Max	単位	
電源電圧	DVDD5A, DVDD5B, AVDD5	VDD fosc = 6~12MHz fsys = 1~80MHz fs = 30~34kHz	4.5	-	5.5	V	
低レベル入力電圧	PC0~6, PH0~7, PJ0~5, PK0~7, PN0~5, PP3~7, PR0~7, PV0~7, MODE, RESET_N	V _{IL1}			DVDD5×0.25	V	
	PA0~3, PA6~7, PB1~7, PG2~7, PL0~7, PM0~7, PP0~2, PT0~7, PU0~5, BOOT_N	V _{IL2}	-	-0.3			
	PD0~5, PE0~6, PF0~7, PG0~1	V _{IL3}			AVDD5×0.25		
	PA4~5	V _{IL4}			DVDD5×0.3		
高レベル入力電圧	PC0~6, PH0~7, PJ0~5, PK0~7, PN0~5, PP3~7, PR0~7, PV0~7, MODE, RESET_N	V _{IH1}			DVDD5×0.75	V	
	PA0~3, PA6~7, PB1~7, PG2~7, PL0~7, PM0~7, PP0~2, PT0~7, PU0~5, BOOT_N	V _{IH2}					
	PD0~5, PE0~6, PF0~7, PG0~1	V _{IH3}			AVDD5×0.75		
	PA4~5	V _{IH4}			DVDD5×0.7		
低レベル出力電圧	PC0~6, PH4~7, PJ0~5, PK0~7, PN0~5, PP0~7, PR0~7, PV0~7, PA0~3, PA6~7, PB0~7, PG2~7, PL0~7, PM0~7, PT0~7, PU0~5	V _{OL1} V _{OL2}	DVDD5=4.5V I _{OL} = 1.6mA	-	-	0.4	V
	PD0~5, PE0~6, PF0~7, PG0~1	V _{OL3}	AVDD5=4.5V I _{OL} = 1.6mA	-	-	0.4	
	PA4~5	V _{OL4}	DVDD5=4.5V I _{OL} = 8mA	-	-	1.0	
高レベル出力電圧	PC0~6, PH4~7, PJ0~5, PK0~7, PN0~5, PP0~7, PR0~7, PV0~7, PA0~7, PB0~7, PG2~7, PL0~7, PM0~7, PT0~7, PU0~5	V _{OH1} V _{OH2}	DVDD5=4.5V I _{OH} = -1.6mA	DVDD5-0.4	-	-	V
	PD0~5, PE0~6, PF0~7, PG0~1	V _{OH3}	AVDD5=4.5V I _{OH} = -1.6mA	AVDD5-0.4	-	-	

注1) DVDD5 は DVDD5A、DVDD5B の総称です。

注2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注3) DVDD5, AVDD5, は同電位で使用してください。

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

DVSS=AVSS=0V

Ta = -40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位	
入力リーク電流	I _{LI}	0.0V ≤ VIN ≤ DVDD5 0.0V ≤ VIN ≤ AVDD5	-5	0.05	5	μA	
出力リーク電流	I _{LO}	0.2 ≤ VIN ≤ DVDD5-0.2 0.2 ≤ VIN ≤ AVDD5-0.2	-10	0.05	10		
シュミット入力幅	V _{TH}	DVDD5 = AVDD5 = 5V	-	1	-	V	
リセットプルアップ抵抗	R _{RST}	-	25	30	100	kΩ	
プログラマブルプルアップ/ダウン抵抗	P _{KH}	Pull-up	25	30	100	kΩ	
		Pull-down	25	50	100		
Pin 容量(電源端子を除く)	C _{IO}	fc = 1MHz	-	-	10	pF	
低レベル出力電流	1 端子ごと (PA4, PA5 を除く)	I _{OL}	DVDD5=5V AVDD5=5V	-	-	2 (注4)	mA
	1 端子ごと PA4~5	I _{OL4}	DVDD5=5V	-	-	12 (注4)	
	グループ単位(下記全ポート) PC0~6, PH4~7, PJ0~5, PK0~7, PN0~5, PP3~7, PR0~7, PV0~7	ΣI _{OL1}	DVDD5=5V	-	-	35 (注5)	
	グループ単位(下記全ポート) PA0~7, PB0~7, PG2~7, PL0~7, PM0~7, PP0~2, PT0~7, PU0~5	ΣI _{OL2}	DVDD5=5V	-	-	35 (注5)	
	グループ単位(下記全ポート) PD0~5, PE0~6, PF0~7, PG0~1	ΣI _{OL3}	AVDD5=5V	-	-	20 (注5)	
高レベル出力電流	1 端子ごと	I _{OH}	DVDD5=5V AVDD5=5V	-2 (注4)	-	-	mA
	グループ単位(下記全ポート) PC0~6, PH4~7, PJ0~5, PK0~7, PN0~5, PP3~7, PR0~7, PV0~7	ΣI _{OH1}	DVDD5=5V	-35 (注5)	-	-	
	グループ単位(下記全ポート) PA0~7, PB0~7, PG2~7, PL0~7, PM0~7, PP0~2, PT0~7, PU0~5	ΣI _{OH2}	DVDD5=5V	-35 (注5)	-	-	
	グループ単位(下記全ポート) PD0~5, PE0~6, PF0~7, PG0~1	ΣI _{OH3}	AVDD5=5V	-20 (注5)	-	-	

注1) DVDD5 は DVDD5A、DVDD5B の総称です。

注2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注3) DVDD5, AVDD5, は同電位で使用してください。

注4) 端子の電流合計が各グループ電流の合計を越えないこと。

注5) 各グループ電流の合計が、絶対最大定格を越えないこと。

2.7V ≤ DVDD5 = AVDD5 < 4.5V
DVSS = AVSS = 0V
Ta = -40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位	
電源電圧	DVDD5A, DVDD5B, AVDD5	VDD fosc = 6 ~ 12MHz fsys = 1 ~ 80MHz fs = 30 ~ 34kHz	2.7	-	4.5	V	
低レベル入力電圧	PC0 ~ 6, PH0 ~ 7, PJ0 ~ 5, PK0 ~ 7, PN0 ~ 5, PP3 ~ 7, PR0 ~ 7, PV0 ~ 7 MODE, RESET_N	V _{IL1}	-	-	DVDD5 × 0.25	V	
	PA0 ~ 3, PA6 ~ 7, PB1 ~ 7, PG2 ~ 7, PL0 ~ 7, PM0 ~ 7, PP0 ~ 2, PT0 ~ 7, PU0 ~ 5 BOOT_N	V _{IL2}	-0.3	-	AVDD5 × 0.25		
	PD0 ~ 5, PE0 ~ 6, PF0 ~ 7, PG0 ~ 1	V _{IL3}	-	-	DVDD5 × 0.3		
	PA4 ~ 5	V _{IL4}	-	-	-		
高レベル入力電圧	PC0 ~ 6, PH0 ~ 7, PJ0 ~ 5, PK0 ~ 7, PN0 ~ 5, PP3 ~ 7, PR0 ~ 7, PV0 ~ 7 MODE, RESET_N	V _{IH1}	-	DVDD5 × 0.75	DVDD5 + 0.3	V	
	PA0 ~ 3, PA6 ~ 7, PB1 ~ 7, PG2 ~ 7, PL0 ~ 7, PM0 ~ 7, PP0 ~ 2, PT0 ~ 7, PU0 ~ 5 BOOT_N	V _{IH2}	-	-	AVDD5 + 0.3		
	PD0 ~ 5, PE0 ~ 6, PF0 ~ 7, PG0 ~ 1	V _{IH3}	-	AVDD5 × 0.75	DVDD5 + 0.3		
	PA4 ~ 5	V _{IH4}	-	DVDD5 × 0.7	DVDD5 + 0.3		
低レベル出力電圧	PC0 ~ 6, PH4 ~ 7, PJ0 ~ 5, PK0 ~ 7, PN0 ~ 5, PP0 ~ 7, PR0 ~ 7, PV0 ~ 7, PA0 ~ 3, PA6 ~ 7, PB0 ~ 7, PG2 ~ 7, PL0 ~ 7, PM0 ~ 7, PT0 ~ 7, PU0 ~ 5	V _{OL1} V _{OL2}	DVDD5 = 2.7V I _{OL} = 0.8mA	-	-	0.4	V
	PD0 ~ 5, PE0 ~ 6, PF0 ~ 7, PG0 ~ 1	V _{OL3}	AVDD5 = 2.7V I _{OL} = 0.8mA	-	-	0.4	
	PA4 ~ 5	V _{OL4}	DVDD5 = 2.7V I _{OL} = 4mA	-	-	1.0	
高レベル出力電圧	PC0 ~ 6, PH4 ~ 7, PJ0 ~ 5, PK0 ~ 7, PN0 ~ 5, PP0 ~ 7, PR0 ~ 7, PV0 ~ 7, PA0 ~ 7, PB0 ~ 7, PG2 ~ 7, PL0 ~ 7, PM0 ~ 7, PT0 ~ 7, PU0 ~ 5	V _{OH1} V _{OH2}	DVDD5 = 2.7V I _{OH} = -0.8mA	DVDD5 - 0.4	-	-	V
	PD0 ~ 5, PE0 ~ 6, PF0 ~ 7, PG0 ~ 1	V _{OH3}	AVDD5 = 2.7V I _{OH} = -0.8mA	AVDD5 - 0.4	-	-	

- 注1) DVDD5 は DVDD5A、DVDD5B の総称です。
 注2) Typ. 値は特に指定のない限り Ta = 25°C, DVDD5 = AVDD5 = 3.0V の値です。
 注3) DVDD5, AVDD5, は同電位で使用してください。

2.7V ≤ DVDD5 = AVDD5 < 4.5V

DVSS = AVSS = 0V

Ta = -40 ~ 85°C

項目	記号	条件	Min	Typ.	Max	単位	
入力リーク電流	I _{LI}	0.0V ≤ VIN ≤ DVDD5 0.0V ≤ VIN ≤ AVDD5	-5	0.05	5	μA	
出力リーク電流	I _{LO}	0.2 ≤ VIN ≤ DVDD5-0.2 0.2 ≤ VIN ≤ AVDD5-0.2	-10	0.05	10		
シュミット入力幅	V _{TH}	DVDD5 = AVDD5 = 3V	-	0.5	-	V	
リセットプルアップ抵抗	R _{RST}	-	25	100	200	kΩ	
プログラマブルプルアップ/ダウン抵抗	P _{KH}	Pull-up	25	100	200	kΩ	
		Pull-down	25	100	200		
Pin 容量(電源端子を除く)	C _{IO}	fc = 1MHz	-	-	10	pF	
低レベル出力電流	1 端子ごと (PA4, PA5 を除く)	I _{OL}	DVDD5=3V AVDD5=3V	-	-	1 (注 4)	mA
	1 端子ごと PA4~5	I _{OL4}	DVDD5=3V	-	-	6 (注 4)	
	グループ単位(下記全ポート) PC0~6, PH4~7, PJ0~5, PK0~7, PN0~5, PP3~7, PR0~7, PV0~7	ΣI _{OL1}	DVDD5=3V	-	-	18 (注 5)	
	グループ単位(下記全ポート) PA0~7, PB0~7, PG2~7, PL0~7, PM0~7, PP0~2, PT0~7, PU0~5	ΣI _{OL2}	DVDD5=3V	-	-	18 (注 5)	
	グループ単位(下記全ポート) PD0~5, PE0~6, PF0~7, PG0~1	ΣI _{OL3}	AVDD5=3V	-	-	10 (注 5)	
高レベル出力電流	1 端子ごと	I _{OH}	DVDD5=3V AVDD5=3V	-1 (注 4)	-	-	mA
	グループ単位(下記全ポート) PC0~6, PH4~7, PJ0~5, PK0~7, PN0~5, PP3~7, PR0~7, PV0~7	ΣI _{OH1}	DVDD5=3V	-18 (注 5)	-	-	
	グループ単位(下記全ポート) PA0~7, PB0~7, PG2~7, PL0~7, PM0~7, PP0~2, PT0~7, PU0~5	ΣI _{OH2}	DVDD5=3V	-18 (注 5)	-	-	
	グループ単位(下記全ポート) PD0~5, PE0~6, PF0~7, PG0~1	ΣI _{OH3}	AVDD5=3V	-10 (注 5)	-	-	

注1) DVDD5 は DVDD5A、DVDD5B の総称です。

注2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=3.0V の値です。

注3) DVDD5, AVDD5, は同電位で使用してください。

注4) 端子の電流合計が各グループ電流の合計を越えないこと。

注5) 各グループ電流の合計が、絶対最大定格を越えないこと。

7.3. DC 電气的特性 (2/2)(消費電流)

Ta = -40~85°C

項目	記号	条件				Min	Typ. (注2)	Max	単位
		電源電圧	高速 クロック	低速 クロック	動作条件				
Normal	I _{DD}	DVDD5= AVDD5= 5.5V	動作条件は表 7.2、表 7.3を参照してください。			-	19.6	27.4	mA
IDLE			発振	発振	動作条件は表 7.2、 表 7.3を参照してくだ さい。	-	3.2	12.2	
STOP1			停止	発振		-	220	5200	μA
STOP2				停止		-	17	300	

注1) DVDD5 は DVDD5A, DVDD5B の総称です。

注2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注3) DVDD5, AVDD5 は同電位で使用してください。

注4) 入力端子は固定、出力端子は解放。

表 7.2 IDD測定条件(端子設定、発振回路)

		NORMAL	IDLE	STOP1	STOP2
				低速発振器発振	低速発振器停止
端子設定	DVDD5= AVDD5=	5.0V(Typ.), 5.5V(max)			
	X1, X2 端子	発振子接続(10MHz)			
	XT1, XT2 端子	発振子接続(32.768kHz)			
	入力端子	固定			
	出力端子	開放			
動作条件 (発振回路)	システムクロック (fsys)	80MHz		停止	
	外部高速発振器 (EHOSC)	発振		停止	
	内部高速発振器 (IHOSC1)			停止	
	PLL	動作(8倍)		停止	
	外部低速発振器 (ELOSC)		発振		停止

表 7.3 IDD測定条件(CPU、周辺回路)

回路	搭載回路数	NORMAL	IDLE	STOP1	STOP2
				低速発振器発振	低速発振器停止
CPU	1	動作 (ドライストン Ver.2.1)		停止	
DMAC	1	(UARTch0 送信で起動, 転送先:RAM)		停止	
ADC	1	動作 (1.5 μ s,リポート変換)		停止	
DAC	2	動作		停止	
T32A	6	全 ch:動作		停止	
A-PMD	1	動作		停止	
A-ENC	1	動作		停止	
RTC	1		動作		
SIWDT	1	動作		停止	
UART	6	全 ch:UART,送信(2.5Mbps)		停止	
I ² C	4		停止		
TSPI	5	Ch0, Ch1:送信,20MHz		停止	
RMC	1	動作		停止	
LVD	1		停止		
OFD	1		停止		
入出力ポート	-	動作		停止	

7.4. 12 ビット AD コンバーター特性

DVDD5=AVDD5=2.7V~5.5V

DVSS=AVSS=0V

Ta= -40~85°C

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧(+)	AVDD5 (VREFH)		AVDD5-0.3	-	AVDD5+0.3	V
アナログ入力電圧	VAIN		AVSS (VREFL)	-	AVDD5 (VREFH)	V
積分非直線性誤差(INL)	-	4.5V ≤ AVDD5 ≤ 5.5V AIN 負荷抵抗 = 600Ω AIN 負荷容量 ≥ 0.1μF 変換時間 = 1.5μs	-2.5	-	2.5	LSB
微分非直線性誤差(DNL)			-2	-	1.5	
ゼロスケール誤差			-1	-	3	
フルスケール誤差			-2	-	3	
総合誤差			-3	-	3	
積分非直線性誤差(INL)	-	2.7V ≤ AVDD5 < 4.5V AIN 負荷抵抗 = 600Ω AIN 負荷容量 ≥ 0.1μF 変換時間 = 2.95μs	-3	-	3	LSB
微分非直線性誤差(DNL)			-2	-	1.5	
ゼロスケール誤差			-4	-	4.5	
フルスケール誤差			-4	-	4.5	
総合誤差			-5.5	-	4	
安定待ち時間	t _{sta}	[ADMOD0]<DACON>=1 設定後	3	-	-	μs
変換時間	t _{conv}	4.5V ≤ AVDD5 ≤ 5.5V SCLK=40MHz (注3)	1.5	-	16.3	μs
		2.7V ≤ AVDD5 < 4.5V SCLK=40MHz (注3)	2.95	-	16.65	

注1) 1LSB=(AVDD5(VREFH)-AVSS(VREFL))/4096[V]

注2) AD コンバーター単体動作の時の特性です。

注3) 設定の詳細はリファレンスマニュアル“アナログデジタルコンバーター”を参照してください。

DVDD5=AVDD5=2.7V~5.5V

DVSS=AVSS=0V

Ta= -40~85°C

項目	条件	Min	Typ.	Max	単位
リファレンス電源	ch23 選択	1.1	-	1.3	V

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.5. 8 ビット DA コンバーター変換特性

DVDD5=AVDD5=2.7V~5.5V
DVSS=AVSS=0V
Ta= -40~85°C

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧(+)	AVDD5 (VREFH)		AVDD5-0.3	-	AVDD5+0.3	V
積分非直線性誤差(INL)	-	4.5V ≤ AVDD5 ≤ 5.5V Rload = 10MΩ	-1	-	+1	LSB
微分非直線性誤差(DNL)			-1	-	+1	
総合誤差			-1	-	+1	
積分非直線性誤差(INL)	-	2.7V ≤ AVDD5 < 4.5V Rload = 10MΩ	-2	-	+2	LSB
微分非直線性誤差(DNL)			-1	-	+1	
総合誤差			-2	-	+2	
安定時間	t _{sta}	Cload = 20pF	4.5	-	-	μs

注1) DVDD5 は DVDD5A、DVDD5B の総称です。

注2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注3) 1LSB=(AVDD5(VREFH) - AVSS(VREFL))/256[V]

注4) DA コンバーター単体動作の時の特性です。

注5) DAC0 をコンパレーターの基準電圧として使用する場合は、DAC0 の端子はオープンにしてください。

7.6. コンパレーター特性

DVDD5=AVDD5=2.7V~5.5V
DVSS=AVSS=0V
Ta=-40~85°C

項目	記号	条件	Min	Typ.	Max	単位
AIN 入力範囲電圧	VINC		VREF-1.5	-	VREF+1.5	V
基準電圧範囲(注 1)	VREFC		0.2	-	AVDD5-0.5	V
応答時間(注 2)	-		-	-	0.7	μs
コンパレーターイネーブル時間	Tsta		-	-	5	μs

注1) 内蔵 8bitDA コンバーター(DAC0)の出力です。

注2) VIN が VREF-100mV→VREF+100mV に、または VREF+100mV→VREF-100mV に変化する場合。

注3) コンパレーター単体動作の時の特性です。

7.7. リセット時内部処理特性

DVSS=AVSS=0V
Ta= -40~85°C

項目	記号	条件	Min	Typ.	Max	単位
内部初期化時間	t _{INIT}	パワーオン時	-	-	2.15	ms
		STOP2をRESET_N端子 リセットで解除時	-	-	1.8	
		STOP2 割り込み解除時	-	-	1.55	
内部処理時間	t _{IRST}		0.16	-	0.2	
CPU 動作待ち時間	t _{CPUWT}	コールドリセット	12	-	15	μs
		ウォームリセット	70	-	90	
電源傾斜	V _{PON}		0.01	-	100	mV/μs

7.8. パワーオンリセット特性

DVSS=AVSS=0V
Ta= -40~85°C

項目	記号	条件	Min	Typ.	Max	単位
検知電圧	V _{PREL}	電源立ち上がり	2.25	2.4	2.55	V
	V _{PDET}	電源立ち下がり	2.2	2.35	2.5	
検知パルス幅	T _{PDET}		200	-	-	μs

7.9. 電圧検知回路特性

DVDD5=AVDD5=2.7V~5.5V

DVSS=AVSS=0V

Ta= -40~85°C

項目	記号	条件	Min	Typ.	Max	単位	
検知電圧	V _{LVL0}	電源立ち上がり	2.55	2.65	2.75	V	
		電源立ち下がり	2.5	2.6	2.7		
	V _{LVL1}	電源立ち上がり	2.65	2.75	2.85	V	
		電源立ち下がり	2.6	2.7	2.8		
	V _{LVL2}	電源立ち上がり	2.75	2.85	2.95	V	
		電源立ち下がり	2.7	2.8	2.9		
	V _{LVL3}	電源立ち上がり	2.85	2.95	3.05	V	
		電源立ち下がり	2.8	2.9	3.0		
	V _{LVL4}	電源立ち上がり	3.75	3.85	3.95	V	
		電源立ち下がり	3.7	3.8	3.9		
	V _{LVL5}	電源立ち上がり	3.95	4.05	4.15	V	
		電源立ち下がり	3.9	4.0	4.1		
	V _{LVL6}	電源立ち上がり	4.15	4.25	4.35	V	
		電源立ち下がり	4.1	4.2	4.3		
	V _{LVL7}	電源立ち上がり	4.35	4.45	4.55	V	
		電源立ち下がり	4.3	4.4	4.5		
	検知応答時間	t _{VDDT1}	電源立ち下がり	-	50	200	μs
	検知解除時間	t _{VDDT2}	電源立ち上がり	-	250	-	
セットアップ時間	t _{LV DEN}		-	-	100		
検知最小パルス幅	t _{LVDPW}		200	-	-		

7.10. AC 電気的特性

7.10.1. シリアルペリフェラルインターフェース(TSPI)

7.10.1.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~85°C
- 出力レベル: High = 0.8×DVDD5、Low = 0.2×DVDD5
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.10.1.2. AC 電気的特性

T は TSPI の動作クロックの周期を表します。TSPI の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

k1 の値は $[TSPIxFMTR0] < CSSCKDL[3:0] >$ 、k2 の値は $[TSPIxFMTR0] < SCKCSDL[3:0] >$ で設定された TSPIxSCK のサイクル数で、1~16 の値になります。

(1) SPIモード マスター (TSPI1/2/3/4)

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	計算式		fsys=80MHz k1=k2=1		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f _{CYC}	-	20	-	20	MHz
TSPIxSCK 出力周期	t _{CYC}	50	-	50	-	ns
TSPIxSCK 低レベル出力パルス幅	t _{WL}	(t _{CYC} /2)-13	-	12	-	
TSPIxSCK 高レベル出力パルス幅	t _{WH}	(t _{CYC} /2)-13	-	12	-	
TSPIxCS0/1/2/3 出力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{CSU}	(t _{CYC} ×k1)-20	(t _{CYC} ×k1)+9	30	59	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCS0/1/2/3 ホールド時間	t _{CHD}	(t _{CYC} ×(k2+0.5))-20	-	55	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	35-2×T (注1) 35-T (注2)	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	2×T-10.5 (注1) T-10.5 (注2)	-	14.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY1}	-18	-	-18	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY2}	-	16	-	16	
TSPIxCSn 立ち下がり→TSPIxTXD 遅延時間	t _{ODLY3}	(t _{CYC} ×(k1-0.5))-25	(t _{CYC} ×(k1-0.5))+9	0	34	

注1) [TSPIxCR2]<RXDLY>=1 時、fsys=80MHz

注2) [TSPIxCR2]<RXDLY>=0 時、fsys=40MHz

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	計算式		fsys=80MHz k1=k2=1		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f _{CYC}	-	20	-	20	MHz
TSPIxSCK 出力周期	t _{CYC}	50	-	50	-	ns
TSPIxSCK 低レベル出力パルス幅	t _{WL}	(t _{CYC} /2)-16	-	9	-	
TSPIxSCK 高レベル出力パルス幅	t _{WH}	(t _{CYC} /2)-16	-	9	-	
TSPIxCS0/1/2/3 出力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{CSU}	(t _{CYC} ×k1)-20	(t _{CYC} ×k1)+11	30	61	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCS0/1/2/3 ホールド時間	t _{CHD}	(t _{CYC} ×(k2+0.5))-20	-	55	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	45-2×T (注1) 45-T (注2)	-	20	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	2×T-10.5 (注1) T-10.5 (注2)	-	14.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY1}	-18	-	-18	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY2}	-	16	-	16	
TSPIxCSn 立ち下がり→TSPIxTXD 遅延時間	t _{ODLY3}	(t _{CYC} ×(k1-0.5))-25	(t _{CYC} ×(k1-0.5))+13	0	38	

注1) [TSPIxCR2]<RXDLY>=1 時、fsys=80MHz

注2) [TSPIxCR2]<RXDLY>=0 時、fsys=40MHz

(2) SPI モード マスター (TSPIO)

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	計算式		fsys=80MHz k1=k2=1		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f _{CYC}	-	5.88	-	5.88	MHz
TSPIxSCK 出力周期	t _{CYC}	170	-	170	-	ns
TSPIxSCK 低レベル出力パルス幅	t _{WL}	(t _{CYC} /2)-13	-	72	-	
TSPIxSCK 高レベル出力パルス幅	t _{WH}	(t _{CYC} /2)-13	-	72	-	
TSPIxCS0/1/2/3 出力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{CSU}	(t _{CYC} ×k1)-140	(t _{CYC} ×k1)+9	30	179	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCS0/1/2/3 ホールド時間	t _{CHD}	(t _{CYC} ×(k2+0.5))-20	-	235	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	35-2×T (注 1) 35-T (注 2)	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	2×T-10.5 (注 1) T-10.5 (注 2)	-	14.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{DLY1}	-18	-	-18	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{DLY2}	-	16	-	16	
TSPIxCSn 立ち下がり→TSPIxTXD 遅延時間	t _{DLY3}	(t _{CYC} ×(k1-0.5))-145	(t _{CYC} ×(k1-0.5))+9	-60	94	

注1) [TSPIxCR2]<RXDLY>=1 時、fsys=80MHz

注2) [TSPIxCR2]<RXDLY>=0 時、fsys=40MHz

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	計算式		fsys=80MHz k1=k2=1		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f _{CYC}	-	4.34	-	4.34	MHz
TSPIxSCK 出力周期	t _{CYC}	230	-	230	-	ns
TSPIxSCK 低レベル出力パルス幅	t _{WL}	(t _{CYC} /2)-16	-	99	-	
TSPIxSCK 高レベル出力パルス幅	t _{WH}	(t _{CYC} /2)-16	-	99	-	
TSPIxCS0/1/2/3 出力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{CSU}	(t _{CYC} ×k1)-200	(t _{CYC} ×k1)+9	30	239	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCS0/1/2/3 ホールド時間	t _{CHD}	(t _{CYC} ×(k2+0.5))-20	-	325	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	45-2×T (注 1) 45-T (注 2)	-	20	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	2×T-10.5 (注 1) T-10.5 (注 2)	-	14.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{DLY1}	-18	-	-18	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{DLY2}	-	16	-	16	
TSPIxCSn 立ち下がり→TSPIxTXD 遅延時間	t _{DLY3}	(t _{CYC} ×(k1-0.5))-211	(t _{CYC} ×(k1-0.5))+13	-96	128	

注1) [TSPIxCR2]<RXDLY>=1 時、fsys=80MHz

注2) [TSPIxCR2]<RXDLY>=0 時、fsys=40MHz

(3) SPI モード スレーブ (TSPI0/1/2/3/4)

4.5V ≤ DVDD5 = AVDD5 ≤ 5.5V

項目	記号	計算式		fsys=80MHz k1=1		単位
		Min	Max	Min	Max	
TSPIxSCK 入力周波数	f _{cyC}	-	10	-	10	MHz
TSPIxSCK 入力周期	t _{cyC}	100	-	100	-	ns
TSPIxSCK 低レベル入力パルス幅	t _{wL}	37	-	37	-	
TSPIxSCK 高レベル入力パルス幅	t _{wH}	37	-	37	-	
TSPIxCSIN 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{csu1}	(t _{cyC} × (k1 + 0.5)) + 20	-	170	-	
TSPIxCSIN 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{csu2}	(t _{cyC} × k1) - 20	-	80	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間	t _{chD}	7	-	7	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{dsu}	7	-	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{dhd}	10	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{odly1}	0	-	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{odly2}	-	49	-	49	
TSPIxCSIN 立ち下がり →TSPIxTXD 遅延時間	t _{odly3}	-	(t _{cyC} × (k1 - 0.5)) + 5	-	55	
TSPIxCSIN 高レベル入力パルス幅	t _{wdis}	T × 2 + 20	-	45	-	

2.7V ≤ DVDD5 = AVDD5 < 4.5V

項目	記号	計算式		fsys=80MHz k1=1		単位
		Min	Max	Min	Max	
TSPIxSCK 入力周波数	f _{cyC}	-	10	-	10	MHz
TSPIxSCK 入力周期	t _{cyC}	100	-	100	-	ns
TSPIxSCK 低レベル入力パルス幅	t _{wL}	37	-	37	-	
TSPIxSCK 高レベル入力パルス幅	t _{wH}	37	-	37	-	
TSPIxCSIN 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{csu1}	(t _{cyC} × (k1 + 0.5)) + 20	-	170	-	
TSPIxCSIN 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{csu2}	(t _{cyC} × k1) - 20	-	80	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間	t _{chD}	7	-	7	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{dsu}	7	-	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{dhd}	10	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{odly1}	0	-	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{odly2}	-	55	-	55	
TSPIxCSIN 立ち下がり →TSPIxTXD 遅延時間	t _{odly3}	-	(t _{cyC} × (k1 - 0.5)) + 5	-	55	
TSPIxCSIN 高レベル入力パルス幅	t _{wdis}	T × 2 + 20	-	45	-	

(4) SIO モード マスター (TSPI0/1/2/3/4)

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	計算式		f _{sys} = 80MHz 時		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f _{CYC}	-	20	-	20	MHz
TSPIxSCK 出力周期	t _{CYC}	50	-	50	-	ns
TSPIxSCK 低レベル出力パルス幅	t _{WL}	(t _{CYC} /2)-13	-	12	-	
TSPIxSCK 高レベル出力パルス幅	t _{WH}	(t _{CYC} /2)-13	-	12	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	35-2×T (注 1)	-	10	-	
		35-T (注 2)	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	2×T-10.5 (注 1)	-	14.5	-	
		T-10.5 (注 2)	-	14.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY1}	-18	-	-18	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY2}	-	16	-	16	

注1) $[TSPIxCR2] < RXDLY > = 1$ 時、f_{sys}=80MHz

注2) $[TSPIxCR2] < RXDLY > = 0$ 時、f_{sys}=40MHz

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	計算式		f _{sys} = 80MHz 時		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f _{CYC}	-	20	-	20	MHz
TSPIxSCK 出力周期	t _{CYC}	50	-	50	-	ns
TSPIxSCK 低レベル出力パルス幅	t _{WL}	(t _{CYC} /2)-16	-	9	-	
TSPIxSCK 高レベル出力パルス幅	t _{WH}	(t _{CYC} /2)-16	-	9	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	45-2×T (注 1)	-	20	-	
		45-T (注 2)	-	20	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	2×T-10.5 (注 1)	-	14.5	-	
		T-10.5 (注 2)	-	14.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY1}	-18	-	-18	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY2}	-	16	-	16	

注1) $[TSPIxCR2] < RXDLY > = 1$ 時、f_{sys}=80MHz

注2) $[TSPIxCR2] < RXDLY > = 0$ 時、f_{sys}=40MHz

(5) SIO モード スレーブ (TSPI0/1/2/3/4)

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	計算式		fsys= 80MHz 時		単位
		Min	Max	Min	Max	
TSPIxSCK 入力周波数	f _{CYC}	-	10	-	10	MHz
TSPIxSCK 入力周期	t _{CYC}	100	-	100	-	ns
TSPIxSCK 低レベル入力パルス幅	t _{WL}	37	-	37	-	
TSPIxSCK 高レベル入力パルス幅	t _{WH}	37	-	37	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間	t _{CHD}	7	-	7	-	
TSPIxRXD 入力 ← TSPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	7	-	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	10	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY1}	0	-	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY2}	-	49	-	49	

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	計算式		fsys= 80MHz 時		単位
		Min	Max	Min	Max	
TSPIxSCK 入力周波数	f _{CYC}	-	10	-	10	MHz
TSPIxSCK 入力周期	t _{CYC}	100	-	100	-	ns
TSPIxSCK 低レベル入力パルス幅	t _{WL}	37	-	37	-	
TSPIxSCK 高レベル入力パルス幅	t _{WH}	37	-	37	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間	t _{CHD}	7	-	7	-	
TSPIxRXD 入力 ← TSPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	7	-	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	10	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY1}	0	-	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY2}	-	55	-	55	

(1) 1st クロックエッジサンプリング(マスター)

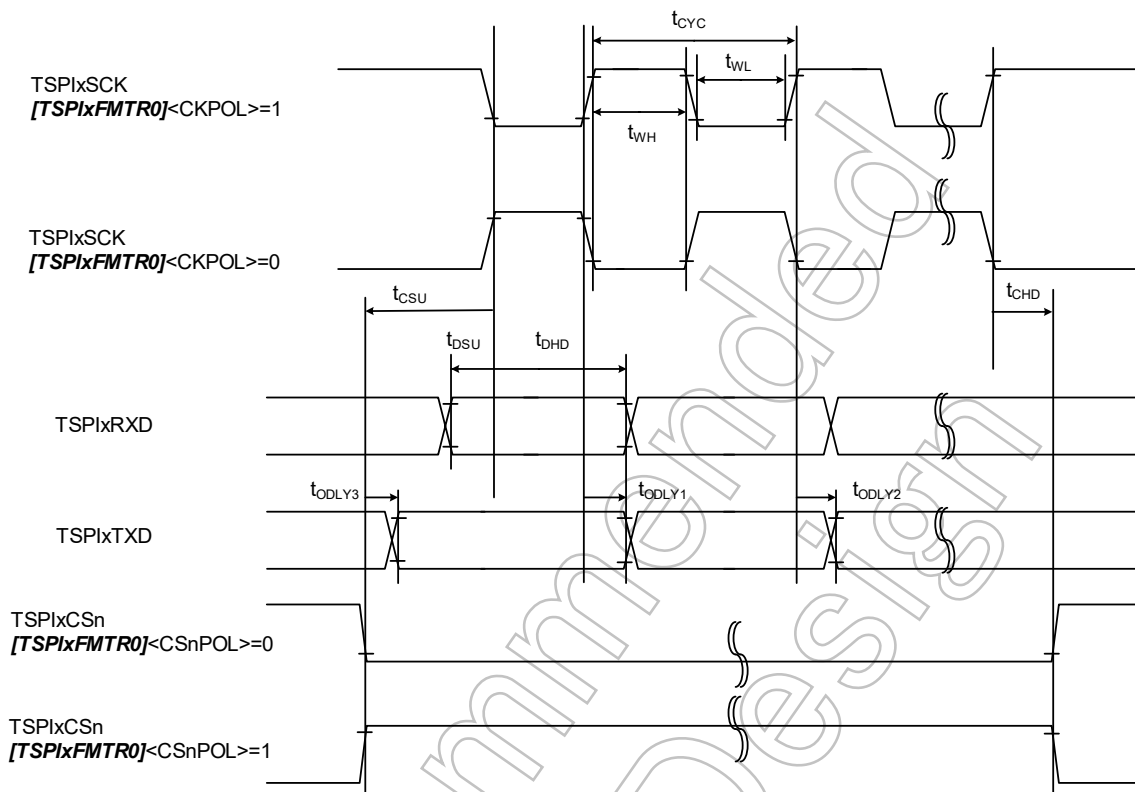


図 7.1 1st クロックエッジサンプリング(マスター)

(2) 2nd クロックエッジサンプリング(マスター)

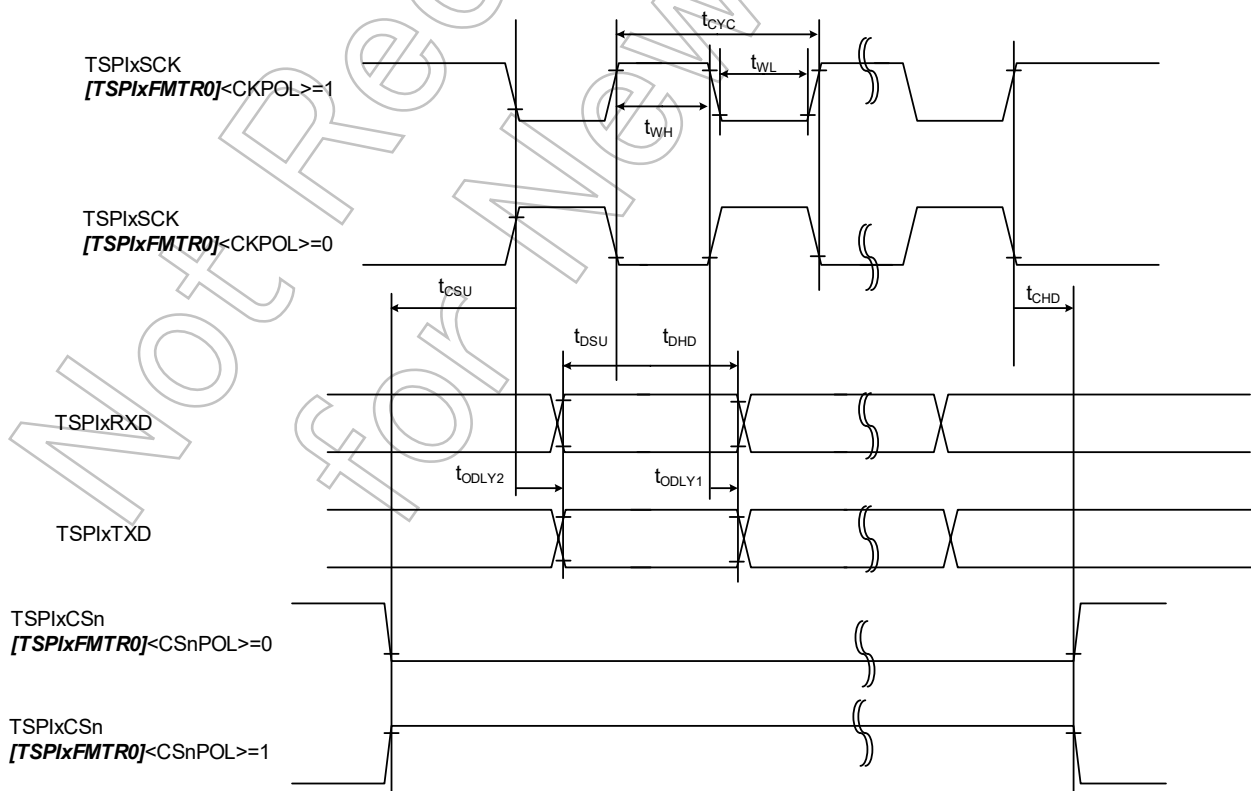


図 7.2 2nd クロックエッジサンプリング(マスター)

(3) 2nd クロックエッジサンプリング(スレーブ)

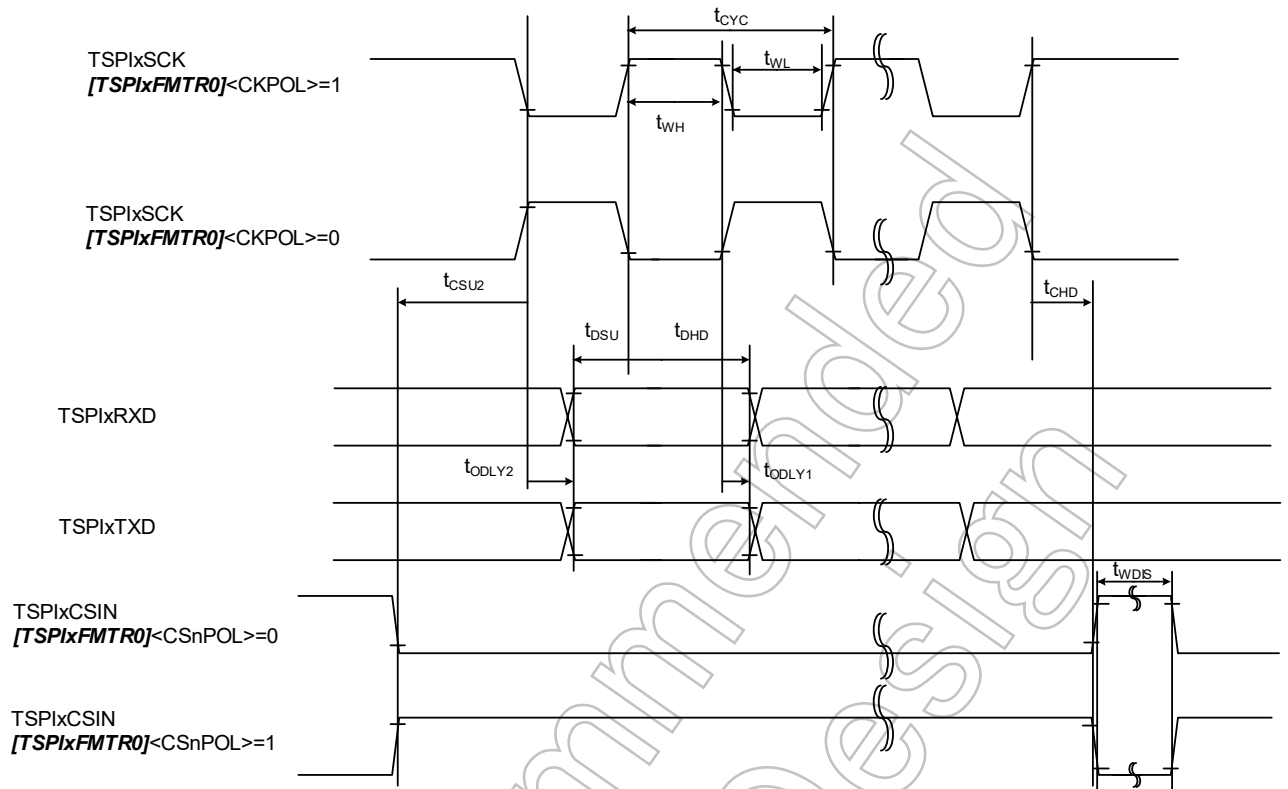


図 7.3 2ndクロックエッジサンプリング(スレーブ)

Not Recommended for New Design

7.10.2. I²C インターフェース(I2C)

7.10.2.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~85°C
- 出力レベル: Low = 0.4V
- 入力レベル: High = 0.7×DVDD5、Low = 0.3×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.10.2.2. AC 電氣的特性

T は I²C の動作クロック周期です。n は $[I2CxCR] <SCK>$ で指定した SCL 出力クロックの周波数選択値、p は $[I2CxPRS] <PRSCCK>$ で指定したプリスケイラー分周比です。

項目	記号	標準モード		ファストモード		単位	
		Min	Max	Min	Max		
SCL クロック周波数	f _{SCL}	0	100	0	400	kHz	
スタートコンディション保持	t _{HD, STA}	4.0	-	0.6	-		
SCL クロック Low 幅(入力)(注 1)	t _{LOW}	4.7	-	1.3	-	μs	
SCL クロック High 幅(入力)(注 2)	t _{HIGH}	4.0	-	0.6	-		
再スタートコンディション セットアップ時間	t _{SU, STA}	<SREN>=0	4.7(注 5)	-	0.6(注 5)		-
		<SREN>=1	4.7(注 5)	-	0.6		-
データ保持時間(入力)(注 3,4)	t _{HD, DAT}	0	-	0	-	ns	
データセットアップ時間	t _{SU, DAT}	250	-	100	-		
ストップコンディションセットアップ時間	t _{SU, STO}	4.0	-	0.6	-	μs	
ストップコンディションとスタートコンディション間の バスフリー時間(注 5)	t _{BUF}	4.7	-	1.3	-		
入力フィルタで抑制必要なスパイクパルス幅	t _{SP}	-	-	0	50	ns	
SDA と SCL 信号の立ち上がり時間	t _r	-	1000	20	300		
SDA と SCL 信号の立ち下がり時間	t _f	-	300	20 × (V _{DD} /5.5V)	300		

注1) SCL クロック Low 幅(出力): $p(2^{n+1}+10)/T$ ($[I2CxOP] <NFSEL>=0$ の時)

注2) SCL クロック High 幅(出力): $p(2^{n+1}+6)/T$ ($[I2CxOP] <NFSEL>=0$ の時)

通信規格上、標準モード/ファストモードの最高速度は 100kHz/400kHz です。内部 SCL クロックの周波数の設定は、使用される f_{sys} と上記の注 1、注 2 の計算式で設定されますのでご注意ください。

注3) データ保持時間(出力)は、内部 SCL からプリスケイラークロック (T_{prscck}) 4 サイクル分の時間です。

注4) 通信規格では、SDA 入力時に内部でデータ保持時間を 300ns 確保して、SCL 立ち下がり時の不安定な状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL/SDA の t_r/t_f を含めて、バス上で上表のデータ保持時間(入力)を守るように、設計してください。

注5) ソフトウェアで時間を確保してください。

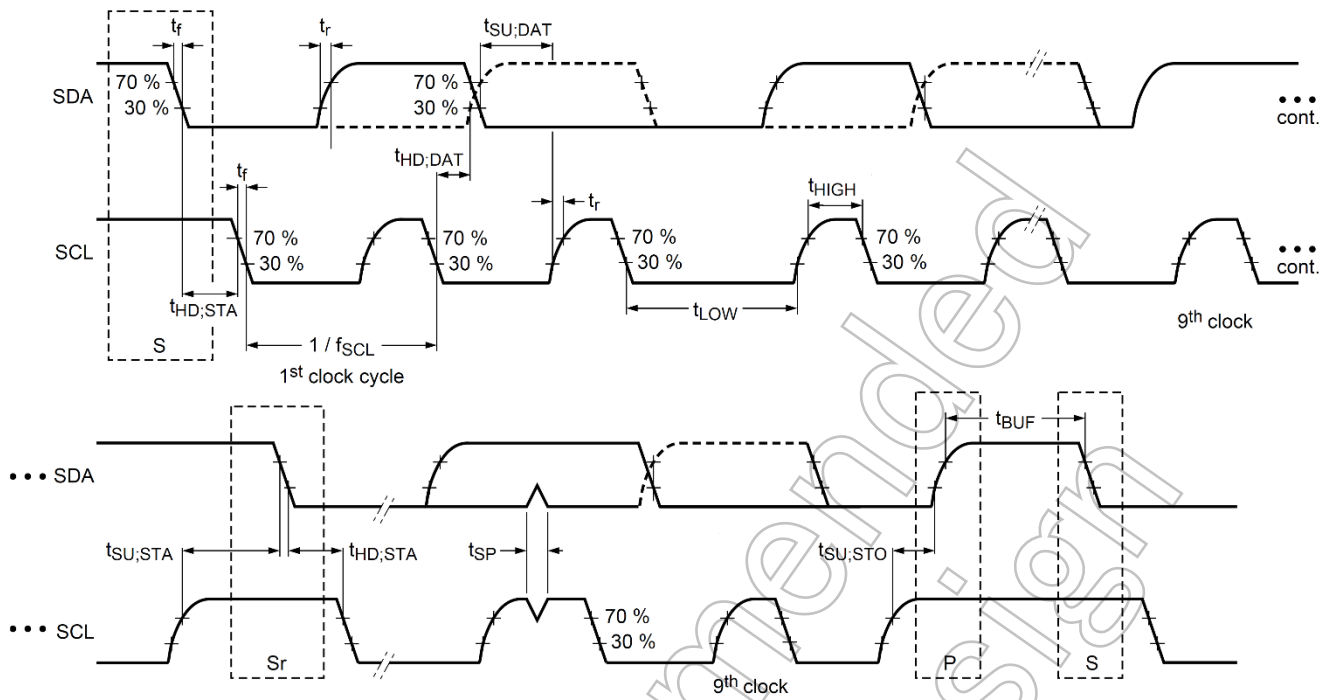


図 7.4 I²CのACタイミング

Not Recommended for New Design

7.10.3. 32 ビットタイマーイベントカウンタ (T32A)

T32AxINA0/A1, T32AxINB0/B1, T32AxINC0/C1 入力に対する AC 電気的特性です。

7.10.3.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~85°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.10.3.2. AC 電気的特性

T は T32A の動作クロックの周期を表します。T32A の動作クロックは、クロック $\phi T0$ と同じ周期です。この周期は、プリスケラークロックの設定に依存します。

(1) パルスカウント動作時以外

項目	記号	計算式		$\phi T0=80\text{MHz}$		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t _{VCKL}	2T + 20	-	45	-	ns
High レベルパルス幅	t _{VCKH}	2T + 20	-	45	-	

(2) パルスカウント動作時

項目	記号	計算式		$\phi T0=80\text{MHz}$ NF=4		単位
		Min	Max	Min	Max	
パルス周期	t _{DCYC}	1000	-	1000	-	ns
低レベルパルス幅	t _{PWL}	500	-	500	-	
高レベルパルス幅	t _{PWH}	500	-	500	-	
入力セットアップ	t _{ABS}	(NF+1)×T+20	-	82.5	-	
入力ホールド	t _{ABH}	(NF+1)×T+20	-	82.5	-	

NF の値は $[T32AxPLSCR]<NF[1:0]>$ の設定により以下の値になります。

$[T32AxPLSCR]<NF[1:0]>$	計算式の NF 値
00	0
01	2
10	4
11	8

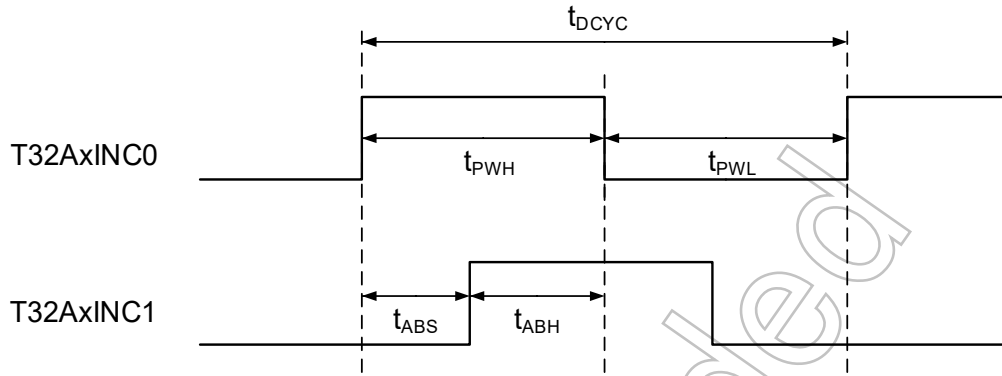


図 7.5 カウントパルス入力

7.10.4. 外部割り込み

7.10.4.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~85°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.10.4.2. AC 電気的特性

表中の T はシステムクロック fsys の周期を表します。

(1) NORMAL, IDLE モード時

項目	記号	計算式		fsys=80MHz		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t _{INTAL1}	T + 100	-	112.5	-	ns
High レベルパルス幅	t _{INTAH1}	T + 100	-	112.5	-	

(2) STOP1, STOP2 モード時

項目	記号	計算式		fsys=80MHz		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t _{INTCL2}	125	-	125	-	ns
High レベルパルス幅	t _{INTCH2}	125	-	125	-	

7.10.5. 端子トリガー入力(TRGINx)

7.10.5.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~85°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.10.5.2. AC 電気的特性

表中の T はシステムクロック fsys の周期を表します。

項目	記号	計算式		fsys=80 MHz		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t _{ADL}	2T + 20	-	45	-	ns
High レベルパルス幅	t _{ADH}	2T + 20	-	45	-	

7.10.6. デバッグ通信

7.10.6.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~85°C
- 出力レベル: High = 0.8×DVDD5、Low = 0.2×DVDD5
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.10.6.2. SWD インターフェース

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	Min	Max	単位
CLK 周期	t _{dck}	100	-	ns
CLK 立ち上がりから出力データ保持	t _{d1}	4	-	
CLK 立ち上がりから出力データ有効	t _{d2}	-	33	
入力データ有効から CLK 立ち上がり	t _{ds}	20	-	
CLK 立ち上がりから入力データ保持	t _{dh}	15	-	

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	Min	Max	単位
CLK 周期	t _{dck}	100	-	ns
CLK 立ち上がりから出力データ保持	t _{d1}	4	-	
CLK 立ち上がりから出力データ有効	t _{d2}	-	45	
入力データ有効から CLK 立ち上がり	t _{ds}	20	-	
CLK 立ち上がりから入力データ保持	t _{dh}	15	-	

7.10.6.3. JTAG インターフェース

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	Min	Max	単位
CLK 周期	t_{dck}	100	-	ns
CLK 立ち上がりから出力データ保持	t_{d3}	4	-	
CLK 立ち上がりから出力データ有効	t_{d4}	-	33	
入力データ有効から CLK 立ち上がり	t_{ds}	20	-	
CLK 立ち上がりから入力データ保持	t_{dh}	15	-	

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	Min	Max	単位
CLK 周期	t_{dck}	100	-	ns
CLK 立ち上がりから出力データ保持	t_{d3}	4	-	
CLK 立ち上がりから出力データ有効	t_{d4}	-	45	
入力データ有効から CLK 立ち上がり	t_{ds}	20	-	
CLK 立ち上がりから入力データ保持	t_{dh}	15	-	

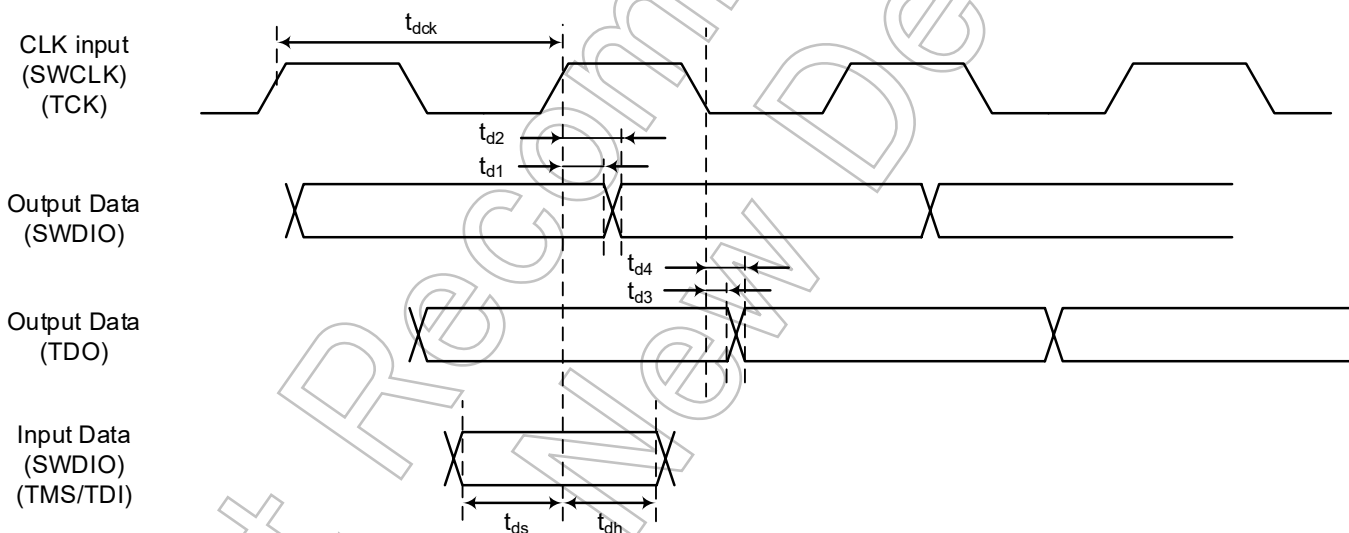


図 7.6 JTAG/SWD波形

7.10.6.4. ETM トレース

$4.5V \leq DVDD5=AVDD5 \leq 5.5V$

項目	記号	Min	Max	単位
TRACECLK 周期	t_{clk}	50	-	ns
TRACECLK 立ち上がりから DATA 有効	t_{setupr}	2	-	
TRACECLK 立ち上がりから TRACEDATA 保持	t_{holdr}	1	-	
TRACECLK 立ち下がりから TRACEDATA 有効	t_{setupf}	2	-	
TRACECLK 立ち下がりから TRACEDATA 保持	t_{holdf}	1	-	

$2.7V \leq DVDD5=AVDD5 < 4.5V$

項目	記号	Min	Max	単位
TRACECLK 周期	t_{clk}	100	-	ns
TRACECLK 立ち上がりから DATA 有効	t_{setupr}	2	-	
TRACECLK 立ち上がりから TRACEDATA 保持	t_{holdr}	1	-	
TRACECLK 立ち下がりから TRACEDATA 有効	t_{setupf}	2	-	
TRACECLK 立ち下がりから TRACEDATA 保持	t_{holdf}	1	-	

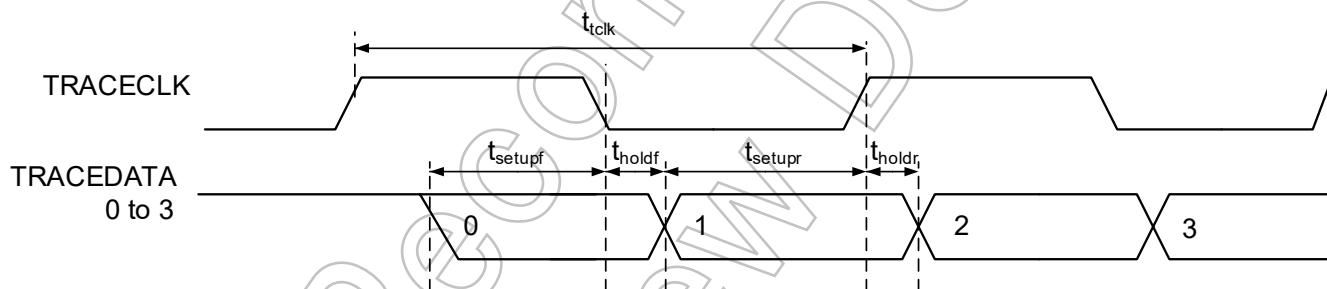


図 7.7 トレース信号波形

7.10.7. SCOUT 端子

7.10.7.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~85°C
- 出力レベル: High = 0.8×DVDD5、Low = 0.2×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.10.7.2. AC 電気的特性

表中の T は SCOUT 出力波形の周期を示します。

項目	記号	計算式		SCOUT の周波数 に 20MHz を設定		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t _{SCL}	0.5T-10	-	15	-	ns
High レベルパルス幅	t _{SCH}	0.5T-10	-	15	-	

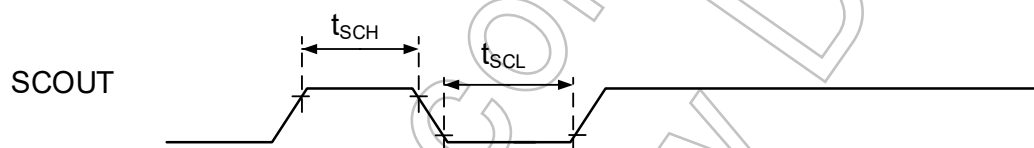


図 7.8 SCOUT出力波形

7.10.8. ノイズフィルター特性

項目	条件	Min	Typ.	Max	単位
ノイズキャンセル幅	-	15	30	60	ns

7.10.9. 外部クロック入力

7.10.9.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~85°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.10.9.2. AC 電気的特性

項目	記号	Min	Typ.	Max	単位
クロック周波数($1/t_{\text{echin}}$)	f_{EHCLKIN}	6	-	20	MHz
クロック Duty	-	45	-	55	%
クロック立ち上がり時間	t_r	-	-	10	ns
クロック立ち下がり時間	t_f	-	-	10	ns

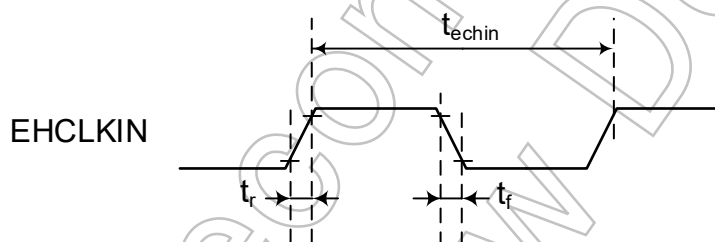


図 7.9 外部クロック入力波形

7.11. フラッシュ特性

7.11.1. コードフラッシュ特性

DVDD5=2.7V~5.5V
Ta= -40~85°C

項目	条件	Min	Typ.	Max	単位
フラッシュメモリー書き換え回数		-	-	10,000	回
書き込み時間	1word あたりに換算	-	29.5	-	μs
消去時間	ページ	1.1	-	4.3	ms
	ブロック	8.6	-	34	
	エリア(注 2)	-	9.2	-	

注1) DVDD5 は DVDD5A、DVDD5B の総称です。

注2) プロテクトが有効なブロックが無い場合です。

7.11.2. データフラッシュ特性

DVDD5=2.7V~5.5V
Ta= -40~85°C

項目	条件	Min	Typ.	Max	単位
フラッシュメモリー書き換え回数		-	-	100,000	回
書き込み時間		-	64.7	-	μs
消去時間	ページ	1	-	3.9	ms
	ブロック	15.4	-	62.1	
	エリア(注 2)	-	9.2	-	

注1) DVDD5 は DVDD5A、DVDD5B の総称です。

注2) プロテクトが有効なブロックが無い場合です。

7.11.3. チップ消去特性

DVDD5=2.7V~5.5V
Ta= -40~85°C

項目	条件	Min	Typ.	Max	単位
チップ消去時間	コードフラッシュ データフラッシュ プロテクトビット(コード) プロテクトビット(データ) ユーザーインフォメーションエリア セキュリティービット	23.4	-	62.7	ms

注1) DVDD5 は DVDD5A、DVDD5B の総称です。

注2) チップ消去コマンド実行時、プロテクトが有効なブロックが無い場合の時間です。

7.12. レギュレーター

項目	条件	Min	Typ.	Max	単位
REGOUT2 コンデンサー容量	DVDD5=2.7V~5.5V Ta=-40~85°C	-	4.7	-	μF
REGOUT1 コンデンサー容量		-	4.7	-	

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.13. 発振回路

7.13.1. 内蔵発振器

DVDD5=2.7V~5.5V
Ta=-40~85°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f _{IHOSC1}	出荷時、IC 単体時	-	10	-	MHz
	f _{IHOSC2}		-	10	-	

注1) DVDD5 は DVDD5A、DVDD5B の総称です。

注2) 出荷後の変動影響は含みません。IHOSC1 は必要に応じてトリミングを行ってください。
IHOSC2 はトリミングできません。

7.13.2. 外部発振器

DVDD5=2.7V~5.5V
Ta=-40~85°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f _{EHOSC}	-	6	-	12	MHz
	f _{ELOSC}		30	-	34	kHz

注1) DVDD5 は DVDD5A、DVDD5B の総称です。

注2) 接続する発振器とのマッチングは発振器メーカーへ依頼してください。

7.13.3. 発振回路例

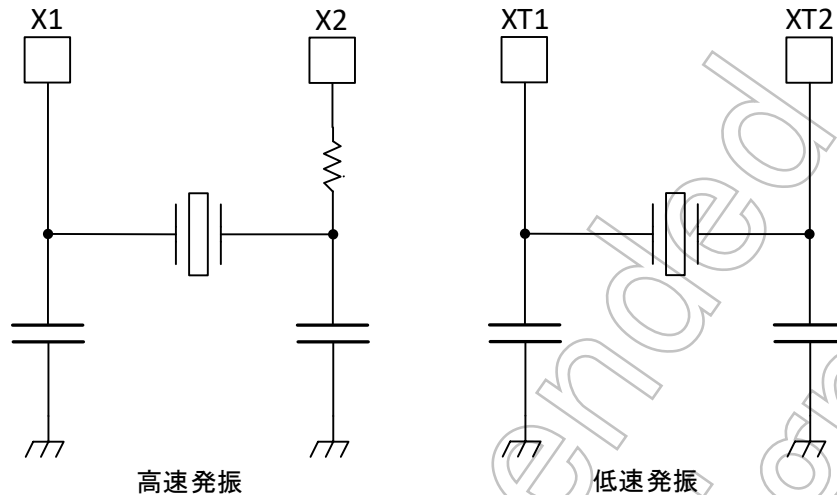


図 7.10 発振回路例

発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

7.13.4. セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。
(株)村田製作所の製品詳細につきましては、同社ホームページを参照してください。

7.13.5. 水晶発振子

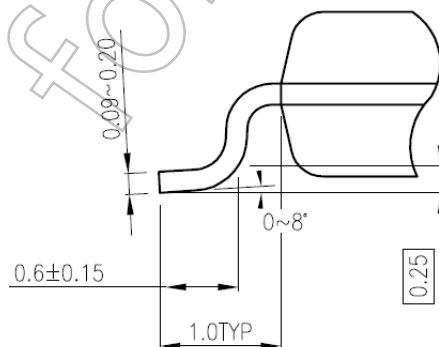
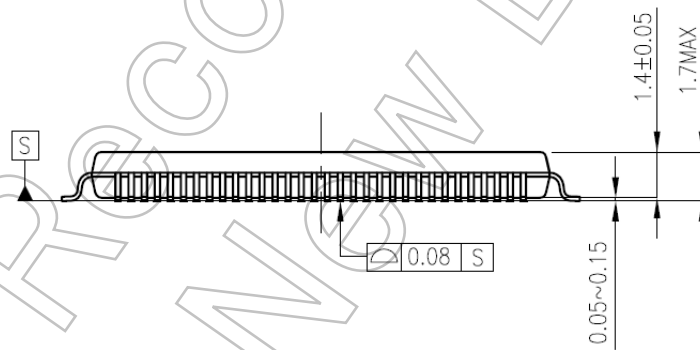
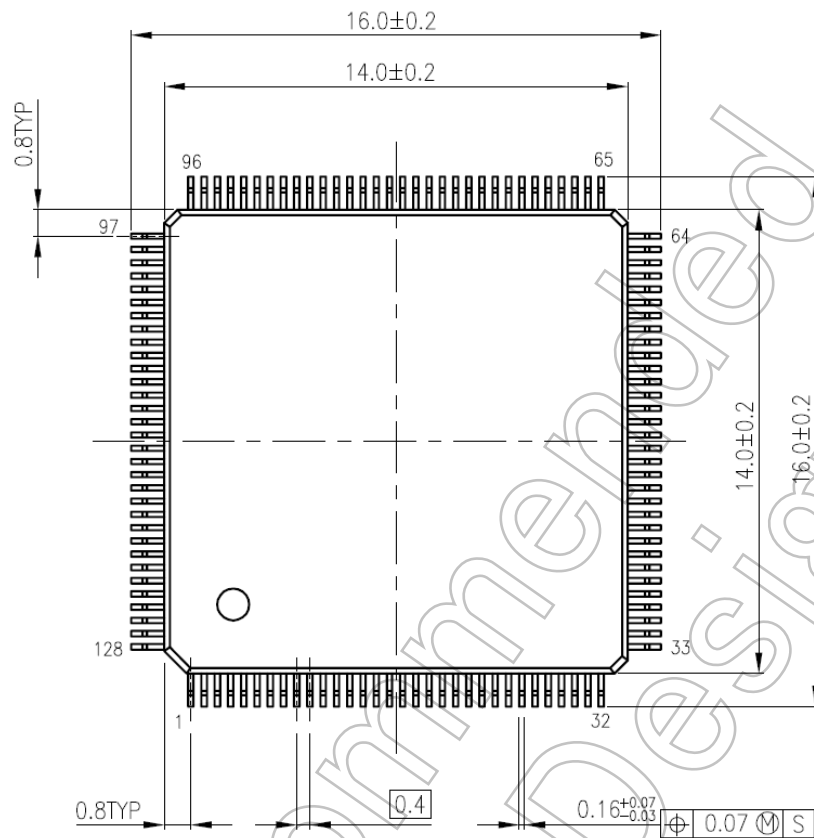
本製品は京セラ(株)製水晶発振子を用いて評価しています。
京セラ(株)の製品詳細につきましては、同社ホームページを参照してください。

7.13.6. プリント基板の設計に関する注意

水晶振動子と発振のための素子を接続する基板パターンは浮遊容量やインダクタンスによる特性の劣化を防止するために最短距離の配線長で設計してください。また、多層基板の場合は発振回路の直下の層には面グランドや信号パターンを配線しないようにお願いします。詳しくは、発振子メーカーのホームページを参照してください。

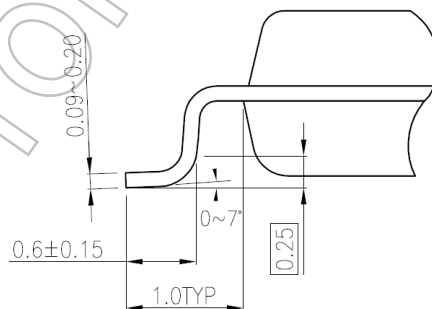
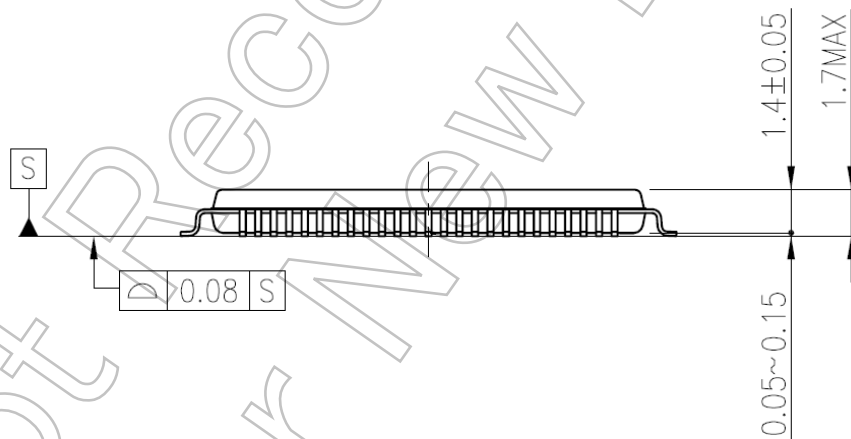
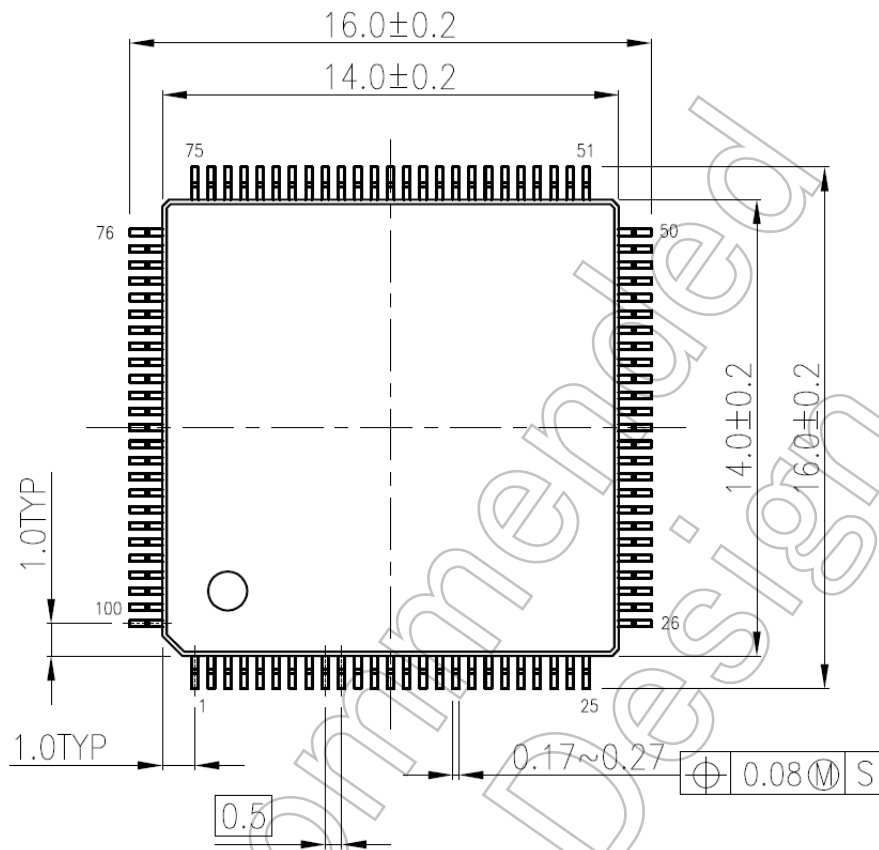
8.2. P-LQFP128-1414-0.40-001

単位：mm



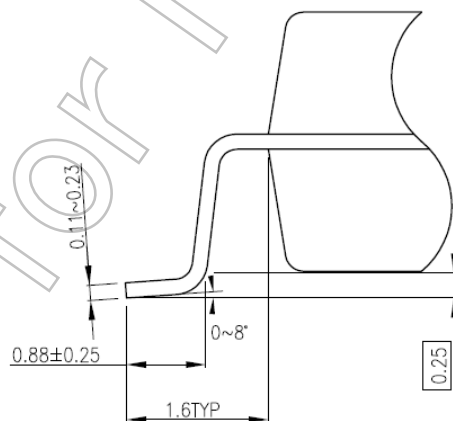
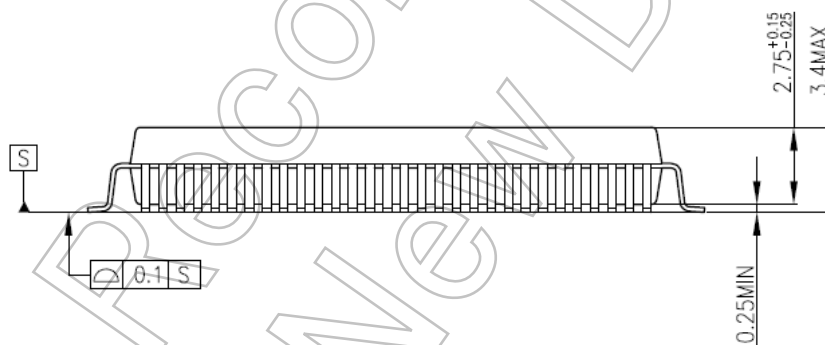
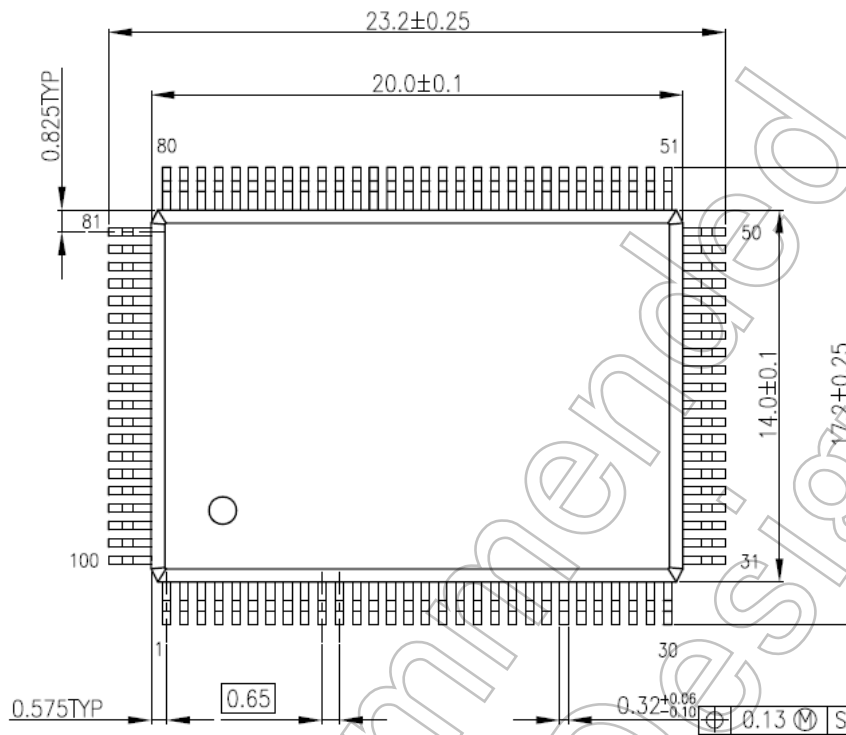
8.3. P-LQFP100-1414-0.50-002

単位：mm



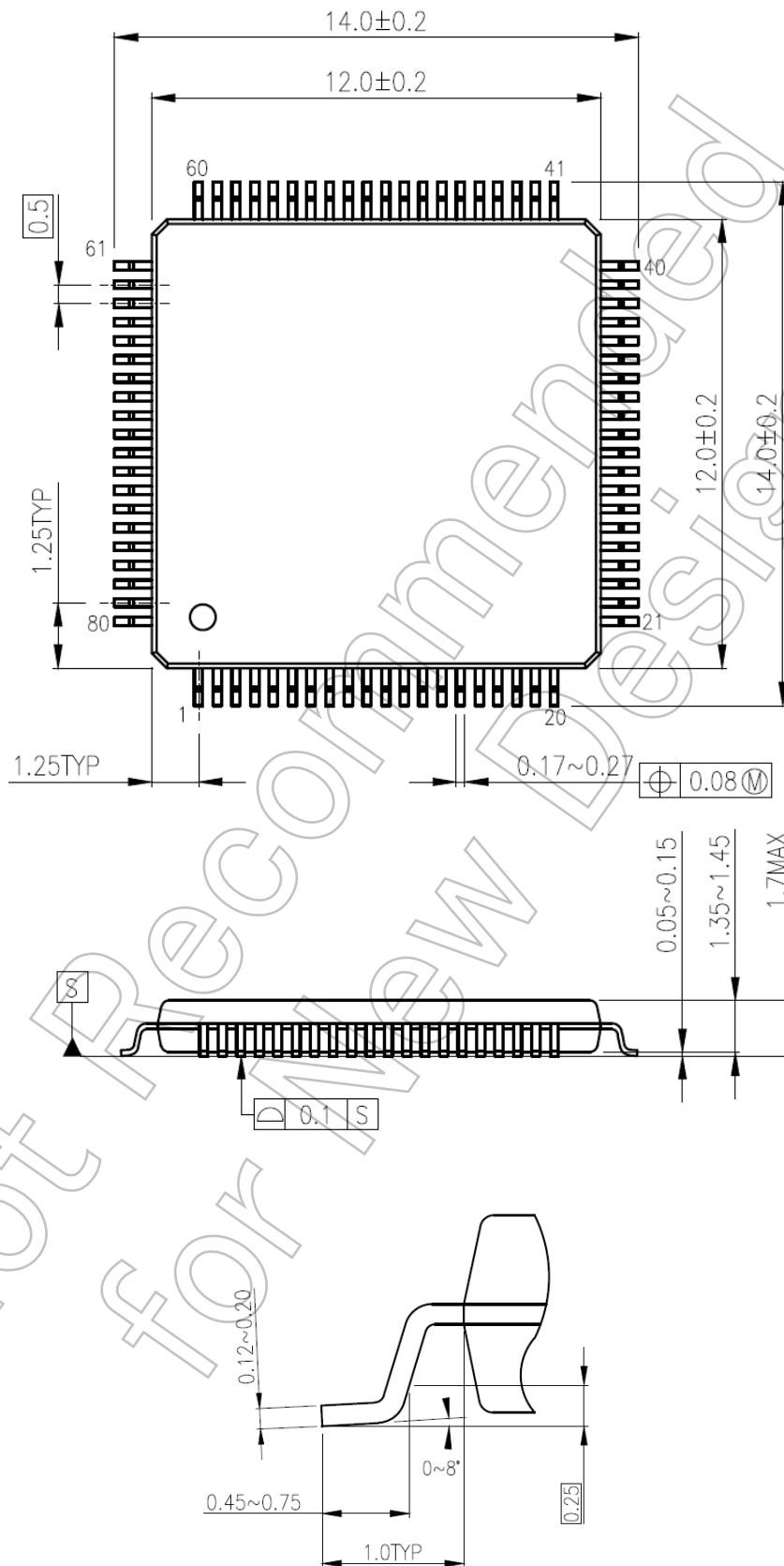
8.4. P-QFP100-1420-0.65-001

単位 : mm



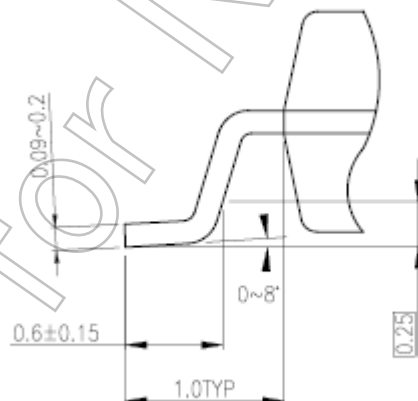
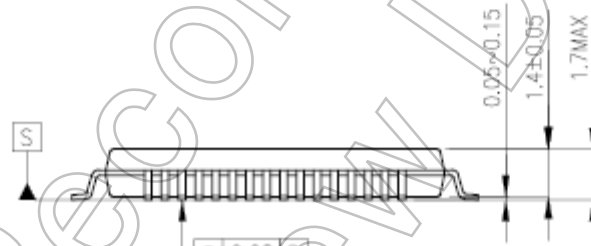
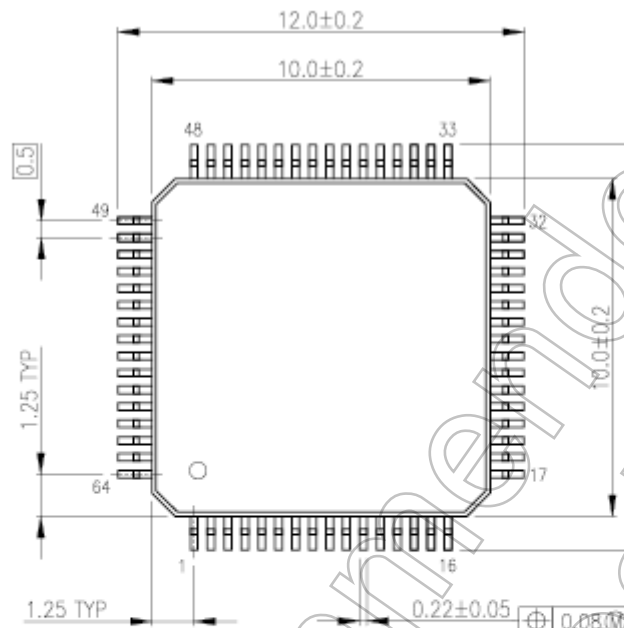
8.5. P-LQFP80-1212-0.50-003

単位 : mm



8.6. P-LQFP64-1010-0.50-003

単位 : mm



9. 使用上のご注意およびお願い事項

本資料に掲載されている製品について、使用上の注意点を説明します。

なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

(1) 電源投入時の動作について

電源投入時、本資料に掲載されている製品の内部は不定状態となります。

このため、リセットが有効となるまで、端子の状態は不定となります。

外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有効になるまでの間、端子の状態は不定となります。

また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。

(2) 未使用端子の処置について

本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。

未使用端子については、1本ずつ抵抗を通して電源端子または1本ずつ抵抗を通して GND 端子に固定することを推奨します。

(3) クロック発振の安定について

リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。

Not Recommended for New Design

10. 改訂履歴

表 10.1 改訂履歴

Revision	日付	内容
1.0	2017-06-13	新規
2.0	2017-09-11	<ul style="list-style-type: none"> ・社名変更および Arm 関連記述の更新 ・特長: UART の説明変更(FIFO のビット数削除)、TSPI の説明修正(FIFO 段数)。入出力ポートに追記(入力/出力) ・機能別製品一覧: 表 1 の内蔵機能の記述を修正"Comparator","Motor Control peripherals"," Remote Control Receiver peripherals" ・用語・略語: 修正(A-PMD,COMP,EHOSC,ELOSC,IHOSCx,I2CS,POR,RMC,SIWDT) ・1.ブロック図: 図 1.1 修正(COMP を Comparator,I2CS の 2 の上付き解除,PORT 本数追記) ・4.1.1.周辺機能端子: 表 4.1"INTx"の説明を変更,"OVVx"と"ENCxA/B/C"の説明を変更("入力端子") ・4.2 機能端子とポート割り当ての表 4.5~表 4.17 の線幅調整,表 4.13 の AINA03 の M3HM のセルを"-に修正 ・5.12.非同期シリアル通信回路: 説明変更(FIFO のビット幅削除) ・5.15.8 ビットデジタルアナログコンバータ: 変更(チャンネル 0(DAC0)は) ・6. 等価回路図: 説明文の FONT 調整 ・7.電気的特性: 章全体で記載の"=の半角/全角混在を半角に統一 ・7.1.絶対最大定格: 入力電圧/低レベル出力電流/高レベル出力電流から"PP3~4"の記述を削除、表中の対象ポート名表記を"Px 番号~番号"に統一 ・7.2.DC 電気的特性(1/2): 表中の対象ポート名表記を"Px 番号~番号"に統一、1 番目の表の不要な罫線を削除、2 番目の表の ILI の FONT 修正,IOL の項目に"(PA4,PA5 を除く)"を追記,IOH の条件に AVDD5=5V を追記、3 番目の表の不要な罫線を削除、4 番目の表の ILI の FONT 修正,IOL の項目に"(PA4, PA5 を除く)"を追記,IOH の条件に AVDD5=3V を追記 ・7.3.DC 電気的特性(2/2): 消費電流の表の STOP1/2 の Typ. 値を修正 ・7.4.2 ビット AD コンバータ特性: 2.7~4.5V のゼロスケール誤差の値から"."を削除 ・7.7.リセット時内部処理特性: VPON の Min 値修正 ・7.9.電圧検知回路特性: VLVL4 の Min 値修正 ・7.10.1.シリアルペリフェラルインタフェース: (5)の 1 番目の表の tODLY2 の計算式 Max 値を 49 に修正 ・7.10.2.I2C インタフェース: AC 測定条件から"Pull-up 抵抗: 200Ω"を削除,表中および図 7.5 の tSCL を 1/fSCL に修正 ・7.10.3.32 ビットタイマイイベントカウンタ: (2)表の"低/高レベルパルス幅"の記号修正(L/H 逆) ・7.10.6.4.ETMトレース: "TRACECLK 立ち上がりから DATA 有効"を"tsetupr", "TRACECLK 立ち上がりから TRACEDATA 保持"を" tholdr"に修正 ・7.10.7.SCOUT 端子: 表の記号修正(L/H 逆) ・7.11.3.チップ消去特性: 条件の並びを調整 ・7.12 レギュレータ: 表の空欄を"-" ・7.13.1.内蔵発振器: 表下の"。"を削除 ・7.13.3.発振回路例: 図 7.11 の図内説明文を"高速発振"と"低速発振"に変更
3.0	2018-02-15	<ul style="list-style-type: none"> ・TMPM3HMFDDFG/FZDFG/FYDFG を削除 ・表紙: LVD 低電圧検知→電圧検知に修正、UART 最大 2.4Mbps→最大 2.5Mbps に修正 ・用語・略語: DMAC Access→Access に修正 ・5.1.リファレンスマニュアル: 表 5.1 のリファレンスマニュアル名から(バージョン...)を削除 ・6.1.ポート: PA6,PA7...の図"外部割り込み入力"→"外部割り込み入力/I2C 低消費電力動作解除入力"に修正 ・7.1.絶対最大定格: 表 7.1AVDD5 の定格を"-0.3~6.0"→"-0.3~DVDD5 (注 1)"に変更,入力電圧の定格の文言は表外に移動して注 1)。注 1)に文言を追加 "DVDD5 と AVDD5 は同電位..."、VIN1/2/3 に(注 1)を追加、旧 注)を注 2)に修正 ・7.3.DC 電気的特性(2/2): 表 7.2 の"内部高速発振器(IHOSC)"→"内部高速発振器 1 (IHOSC1)" ・7.4.12.12 ビット AD コンバータ特性: 誤差項目の測定条件を変更(統合/不等号、変換時間=3.0μs→2.95μs)、変換時間に注 3)追加、条件に SCLK=40MHz を追加 Min/Max 値変更、注 3)追加 ・7.5.8 ビット DA コンバータ変換特性: 誤差の測定条件の Rload を 4MΩ→10MΩ に修正 ・7.7.リセット時内部処理特性: 電源傾斜(VPON)の Min 値を"-→"0.01"に変更 ・7.9.電圧検知回路特性: 検知応答時間の Max 値 250→200 に修正

		<ul style="list-style-type: none"> ・7.10.3.2.AC 電気的特性: 図 7.6 の信号名を PHCxxx→T32Axxxx に修正 ・7.13.4.セラミック発振子: url を削除、社名変更 ・7.13.5.水晶発振子: url を削除 ・Appendix: 品番付与情報を更新
4.0	2018-07-03	<ul style="list-style-type: none"> ・フッタ 量産開始時期を追記 ・概要 最小 Pin の PKG 変更(80→64)、5 種類→6 種類。PKG 外観: LQFP64 追加、割り込み要因、入出力ポート数、DMAC、TSPI、I2C の ch 数(最小)変更 ・表 1 TMPM3HLxxxを追加 ・1 ブロック図: DMAC を ch 表記へ修正、Port、TSPI、I2C の ch 数変更 ・2.6 LQFP64 を追加 ・表 3.1 TMPM3HLFDUG,TMPM3HLFZUG,TMPM3HLFYUG を追加 ・表 4.2 項目名修正(機能→デバックポート、デバッグ端子名称→端子名称) ・表 4.3 項目名修正(制御端子の項目;機能を削除) ・表 4.4 項目名修正(電源端子の項目;機能を削除) ・表 4.5 文言追加 信号接続一覧(1/13)~ 表 4/17(13/13) M3HL(LQFP64)の情報を追加 ・表 5.1 フォント修正(入出力ポート) ・表 5.4 搭載発振器へ M3HL の情報を追加。表 5.25 RAM パリティ回路搭載一覧 まで M3HL の情報を追加。 ・5.17 表題修正(Comp→COMP) ・6.1 ポート A6,PA7…の図“I2C 低消費電力動作解除入力”を削除し、シュミット入力後を修正 ポート PH0(外部割込みのラインを削除、シュミット入力側へ移動)、 ・6.4 クロック制御 X1,X2(ゲート追加) ・表 7.1 入力電圧 端子名修正(~PD5,~PE6,~PF7→ ~5、~6、~7) ・7.3 消費電流の表、IDLE の動作条件を修正 ・表 7.3 I2C → I²C、UART(2.4Mbps→2.5Mbps) ・7.10.1 図 7.2 を削除(1st クロックエッジサンプリング(スレーブ)) (1) SPI モード マスタ (TSPI1/2/3/4) ~ (5) SIO モード スレーブ (TSPI0/1/2/3/4) TSPIxTXD 保持時間 → TSPIxTXD 遅延時間へ修正 ・8.6 M3HL 用 LQFP64 の正式 PKG 図面を追加 ・10. 改訂履歴 日付と Revision の列を入替え ・Appendix: 全端子一覧表へ 64Pin を追加、PU→PU/PD へ修正
4.1	2018-07-25	<ul style="list-style-type: none"> ・5.10 表 5.9 修正(ポート: PK3→PL3,PK4→PL2,PK5→PL1,PK6→PL0)
4.2	2019-08-19	<ul style="list-style-type: none"> ・日付と Copyright のレイアウト変更 ・表 1: M3HL DMA ch(54→53)、RMC を Other peripherals へ、System function に RAMP を追加 ・用語、略語 IHOSCx →IHOSC ・1 ブロック図 DMAC 修正(54 →53) ・2.6 64Pin 端子配置図修正(57pin:TSPI3RXD を削除) ・4.1.5 電源間コンデンサの節を追加 ・5.11 ”また、チャンネル 16~31. . .”を削除 ・表 5.13 注 2)スレーブアドレス一致→アドレス一致 ・6.1 ポート PP0~PP7 → PP0~PP2, PP4~PP7 ・7.7 記号 T → t ・7.10.1.2 (1)、(2) k1=k2=1 の条件追加、(3) k1=1 の条件追加、 tcsu1((tcyc×(k1+0.5))+15)→(tcyc×(k1+0.5))+20)、tcsu2((tcyc×k1)-15)→(tcyc×k1)-20 ・7.10.2.2. 表の追記更新(tsu,STA 変更、tsp、tr,tr 追加) 図 7.4 変更 ・7.10.3.2 (1)、(2) fsys→ φT0 変更、(2)NF=4 を追加 ・Appendix 全端子表(4)修正(TSPI ch3 を削除) ・品番付与情報を更新 ・製品取り扱い上のお願いを更新(URL 付き)
4.3	2021-01-21	<ul style="list-style-type: none"> ・フッター更新(Copyright、境界線) ・特長 TSPI 修正: 20Mbps-->20MKHz ・4.2 表 4.5(4/13)の修正 (M3HL: TSPI1CSIN "19 "--> "-") ・5.14 I2C 修正: 100kbps-->100kHz、400kbps-->400kHz

全端子一覧表(2)

M3HQ (LOFP144)	M3HP (LOFP128)	M3HN (LOFP100)	M3HN (OPF100)	M3HM (LOFP80)	端子名称	兼用機能A	兼用機能B	兼用機能1	兼用機能2	兼用機能3	兼用機能4	兼用機能5	兼用機能6	入出力	PU/PD	SV.T	SMT/ CMOS	リセット中 の状態	リセット後 の状態
104	81	71	73	56	PJ0			UTI1XDB		T32A03OUTA	T32A03OUTC	U00		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
105	92	72	74	57	PJ1			UTI1XDA	UT1RXD	T32A03INA0	T32A03INC0	X00		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
106	83	73	75	58	PJ2			UT1RXD	UT1TXDA	T32A03INA1	T32A03INC1	Y00		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
107	84	74	76	59	PJ3			UT1CTS.N	UT1RTS.N	T32A03OUTB		Y00		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
108	85	75	77	60	PJ4		INT04	UT1RTS.N	UT1CTS.N	T32A03INB0		W00		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
109	86	76	78	61	PJ5			UT1XDB		T32A03INB1		Z00		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
110	97	77	79	62	PK0			UT1XDB				EM00		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
111	86	78	80	63	PK1		INT05	UT1XDA	UT1RXD			OVV0		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
112	89	79	81	64	PK2			UT1RXD	UT1TXDA	T32A04OUTA	T32A04OUTC			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
113	100	80	82	65	PK3			UT1CTS.N	UT1RTS.N	T32A04INA0	T32A04INC0			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
114	101	81	83	66	PK4			UT1RTS.N	UT1CTS.N	T32A04INA1	T32A04INC1			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
115	102	82	84	67	PK5					T32A04OUTB				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
116	103	83	85	68	PK6					T32A04INB0				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
117	104	84	86	69	PK7		INT13			T32A04INB1				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
118	105	85	87	70	PP3		INT14	TSPI3RXD						入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
119	106	86	88	71	PP4			TSPI3TXD						入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
120	107	87	89	72	PP5			TSPI3SCK						入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
121	108	88	90	73	PP6			TSPI3CS0	TSPI3CSIN	PMD0DBG				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
122	109	89	91	-	PP7			TSPI3CS1						入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
123	110	90	92	74	PV0									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
124	111	91	93	75	PV1									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
125	112	92	94	-	PV2		INT17							入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
126	113	93	95	-	PV3		INT18							入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
127	-	-	-	-	PV4									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
128	114	-	-	-	DVDDSB									-	-	-	-	-	-
129	115	-	-	-	DVSSB									-	-	-	-	-	-
130	-	-	-	-	PD5	AINA20								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
131	-	-	-	-	PD4	AINA19								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
132	116	-	-	-	PF7	AINA18								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
133	117	-	-	-	PF6	AINA17								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
134	118	-	-	-	PF5	AINA16								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
135	119	-	-	-	PF4	AINA15								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
136	120	-	-	-	PF3	AINA14								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
137	121	-	-	-	PF2	AINA13								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
138	122	94	96	-	PF1	AINA12								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
139	123	95	97	-	PE0	AINA11								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
140	124	96	98	76	PE8	AINA10								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
141	125	97	99	77	PE5	AINA09								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
142	126	98	100	78	PE4	AINA08								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
143	127	99	1	79	PE3	AINA07								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
144	128	100	2	80	PE2	AINA06								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z

Not Recommended for New Design

全端子一覧表(3)

M3HL (LQFP64)	端子名称	兼用機能A	兼用機能B	兼用機能1	兼用機能2	兼用機能3	兼用機能4	兼用機能5	兼用機能6	入出力	PU/PD	5V_T	SMT/CMOS	リセット中の状態	リセット後の状態
1	PE1	AINA05								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
2	PE0	AINA04								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PD3	AINA03								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
3	PD2	AINA02								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
4	PD1	AINA01								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
5	PD0	AINA00								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
6	AVDD5									-	-	-	-	-	-
7	AVSS									-	-	-	-	-	-
8	PG0	DAC0								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
9	PG1	DAC1								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PU5									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PU4									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PU3									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PU2									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PG2		INT27	UT3RXD	UT3TXDA	T32A07OUTA	T32A07OUTC			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PG3		INT28	UT3TXDA	UT3RXD	T32A07INA0	T32A07INC0			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PG4			UT3TXDB		T32A07INA1	T32A07INC1			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PG5					T32A07OUTB				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PG6					T32A07INB0				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PG7					T32A07INB1				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
10	PA7		INT11	UT3TXDA	UT3RXD					入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
11	PA6		INT07	UT3RXD	UT3TXDA					入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PA5			I2C1SDA			T32A00INB1			入出力	PU/PD	T	SMT	Hi-z	Hi-z
-	PA4			I2C1SCL			T32A00INB0			入出力	PU/PD	T	SMT	Hi-z	Hi-z
12	PA3					TSP10CSIN	TSP10CS0	T32A00OUTB	TRGIN1	入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
13	PA2			UT0RXD	UT0TXDA	TSP10RXD	T32A00INA1	T32A00INC1	ENC0Z	入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
14	PA1			UT0TXDA	UT0RXD	TSP10TXD	T32A00INA0	T32A00INC0	ENC0B	入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
15	PA0			UT0TXDB		TSP10SCK	T32A00OUTA	T32A00OUTC	ENC0A	入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PM7									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PM6		INT15							入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PM5						T32A00INB1			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PM4			UT0RTS_N	UT0CTS_N	TSP10CS1	T32A00INB0		TRACEDATA3	入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PM3			UT0CTS_N	UT0RTS_N	TSP10CS0	T32A00OUTB	TSP10GSIN	TRACEDATA2	入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PM2		INT09	UT0RXD	UT0TXDA	TSP10RXD	T32A00INA1	T32A00INC1	TRACEDATA1	入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PM1			UT0TXDA	UT0RXD	TSP10TXD	T32A00INA0	T32A00INC0	TRACEDATA0	入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
16	PM0			UT0TXDB		TSP10SCK	T32A00OUTA	T32A00OUTC		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
17	PB0	BOOT_N					T32A01OUTA	T32A01OUTC	SCOUT	出力	PU/PD	N/A	SMT	Hi-z(注1)	Hi-z
18	PB1		INT03	RXIN0			T32A01INA0	T32A01INC0	TRGIN0	入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
19	PB2			UT2TXDA	UT2RXD		T32A01INA1	T32A01INC1		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
20	PB3			UT2RXD	UT2TXDA		T32A01OUTB			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PB4			UT2CTS_N	UT2RTS_N	TSP11RXD	T32A01INB0			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PB5			UT2RTS_N	UT2CTS_N	TSP11CS0	T32A01INB1	TSP11CSIN		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PB6					TSP11CS1				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PB7		INT16							入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PU0		INT30							入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PU1		INT31							入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
21	PL0			UT2TXDA	UT2RXD	I2C2SCL		TRST_N		入出力	PU/PD	N/A	SMT	PU(注2)	PU(注2)
22	PL1			UT2RXD	UT2TXDA	I2C2SDA		TDI		入出力	PU/PD	N/A	SMT	PU(注2)	PU(注2)
23	PL2			UT2CTS_N	UT2RTS_N	T32A06OUTB		TDO/SWV		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
24	PL3		INT08	UT2RTS_N	UT2CTS_N	T32A06INB0		TCK/SWCLK		入出力	PU/PD	N/A	SMT	PD(注2)	PD(注2)
25	PL4		INT12			T32A06INB1		TMS/SWDIO		入出力	PU/PD	N/A	SMT	PU(注2)	PU(注2)
-	PL5					T32A06OUTA	T32A06OUTC			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PL6					T32A06INA0	T32A06INC0			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PL7					T32A06INA1	T32A06INC1			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PT7		INT29			T32A06INA1	T32A06INC1			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PT6					T32A06INA0	T32A06INC0			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PT5					T32A06OUTA	T32A06OUTC			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PT4					T32A06INB1				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PT3		INT26	TSP12RXD		T32A06INB0				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PT2		INT25	TSP12TXD		T32A06OUTB				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PT1		INT24	TSP12SCK		T32A06OUTA				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PT0		INT23	I2C3SCL	TSP12CS0	TSP12CSIN				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PP0			I2C3SDA	TSP12CS1					入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PP1				TSP12SCK	T32A01OUTA	T32A01OUTC			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PP2				TSP12TXD	T32A01INA0	T32A01INC0			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PP2				TSP12RXD	T32A01INA1	T32A01INC1			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
26	DVDD5A									-	-	-	-	-	-
27	REGOUT2									-	-	-	-	-	-
28	REGOUT1									-	-	-	-	-	-
29	DVSSA									-	-	-	-	-	-
30	PH0	X1								入力	PD	N/A	SMT	Hi-z	Hi-z
31	PH1	X2								入力	PD	N/A	SMT	Hi-z	Hi-z
32	RESET_N									-	PU	-	SMT	-	-
33	PH2	XT1								入力	PD	N/A	SMT	Hi-z	Hi-z
34	PH3	XT2								入力	PD	N/A	SMT	Hi-z	Hi-z
35	MODE									入力	PD	-	SMT	-	-
-	PH4		INT19	TSP14SCK						入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PH5		INT20	TSP14TXD						入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PH6		INT21	TSP14RXD						入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PH7		INT22							入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PV5			UT4TXDB						入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PV6			UT4TXDA	UT4RXD					入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PV7			UT4RXD	UT4TXDA					入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
36	PC0		INT00	I2C0SCL		T32A02OUTA	T32A02OUTC			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
37	PC1		INT01	I2C0SDA		T32A02INA0	T32A02INC0			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PC2		INT02	UT4TXDB		T32A02INA1	T32A02INC1	RTCOUT		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
38	PC3			UT4TXDA	UT4RXD	T32A02OUTB				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
39	PC4			UT4RXD	UT4TXDA	T32A02INB0				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PC5			UT4CTS_N	UT4RTS_N	T32A02INB1				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PC6			UT4RTS_N	UT4CTS_N					入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PR0					T32A02OUTA	T32A02OUTC			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PR1					T32A02INA0	T32A02INC0			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PR2					T32A02INA1	T32A02INC1			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PR3									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PR4									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PR5									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PR6									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PR7									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PN5					T32A05INB1				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
40	PN4			UT5TXDB		T32A05INB0				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
41	PN3		INT10	UT5TXDA	UT5RXD	T32A05OUTB		TRGIN2		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
42	PN2			UT5RXD	UT5TXDA	T32A05INA1	T32A05INC1			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
43	PN1			UT5CTS_N	UT5RTS_N	T32A05INA0	T32A05INC0			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z

注1) RESET_N 端子が"Low"の時、内蔵 pull-up が ON です。

注2) 初期値で内蔵 pull-up/pull-down が ON です。

全端子一覧表(4)

M3HL (LQFP64)	端子名称	兼用機能A	兼用機能B	兼用機能1	兼用機能2	兼用機能3	兼用機能4	兼用機能5	兼用機能6	入出力	PU/PD	5V_T	SMT/ CMOS	リセット中 の状態	リセット後 の状態
44	PJ0			UT1TXDB		T32A03OUTA	T32A03OUTC	U00		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
45	PJ1			UT1TXDA	UT1RXD	T32A03INA0	T32A03INC0	X00		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
46	PJ2			UT1RXD	UT1TXDA	T32A03INA1	T32A03INC1	Y00		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
47	PJ3			UT1CTS_N	UT1RTS_N	T32A03OUTB		Y00		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
48	PJ4		INT04	UT1RTS_N	UT1CTS_N	T32A03INB0		W00		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
49	PJ5					T32A03INB1		Z00		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
50	PK0			UT1TXDB				EMG0		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
51	PK1		INT05	UT1TXDA	UT1RXD			OVV0		入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
52	PK2			UT1RXD	UT1TXDA	T32A04OUTA	T32A04OUTC			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
53	PK3			UT1CTS_N	UT1RTS_N	T32A04INA0	T32A04INC0			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
54	PK4			UT1RTS_N	UT1CTS_N	T32A04INA1	T32A04INC1			入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
55	PK5					T32A04OUTB				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
56	PK6					T32A04INB0				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PK7		INT13			T32A04INB1				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
57	PP3		INT14							入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PP4									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PP5									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PP6					PMD0DBG				入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PP7									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
58	PV0									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
59	PV1									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PV2		INT17							入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PV3		INT18							入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PV4									入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	DVDD5B									-	-	-	-	-	-
-	DVSSB									-	-	-	-	-	-
-	PD5	A1NA20								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PD4	A1NA19								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PF7	A1NA18								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PF6	A1NA17								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PF5	A1NA16								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PF4	A1NA15								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PF3	A1NA14								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PF2	A1NA13								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PF1	A1NA12								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
-	PF0	A1NA11								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
60	PE6	A1NA10								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
61	PE5	A1NA09								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
62	PE4	A1NA08								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
63	PE3	A1NA07								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z
64	PE2	A1NA06								入出力	PU/PD	N/A	SMT	Hi-z	Hi-z

Not Recommended for New Design

品番付与情報

TMP M3H Q F D x FG

The identification of Toshiba microcontrollers

Core/コア

記号	説明
M4	Arm Cortex-M4(FPU 機能搭載)
M3	Arm Cortex-M3
M0	Arm Cortex-M0

Revision/変更記号

Package/パッケージ

記号	説明
QG	Plastic shrink quad outline non-leaded package; dry-packed プラスチック縮小クアドアウトラインノンリードパッケージ、防湿梱包品
UG,DUG, FG,DFG	Plastic quad flat package; dry-packed プラスチックフラットパッケージ、防湿梱包品
MG,DMG	Plastic small-outline package; dry-packed プラスチックスモールアウトラインパッケージ、防湿梱包品
XBG	Plastic ball grid array; dry-packed プラスチックボールグリッドアレイ、防湿梱包品

Product Group /グループ

ファミリー	記号	説明
TXZ	H	汎用・コンシューマーエレクトロニクス
	K	モーター/インバーター制御・産業機器 (MCU+AMP/COMP)
	G	OA/デジタル製品・産業機器
	E	小型精密機器
	P	ヘルスケア/バッテリー駆動機器
	J	FA/ロボティクス機器

ROM Size /メモリー容量

記号	容量[KB]
M	32
P	48
S	64
U	96
W	128
Y	256
Z	384
D	512
E	768
10	1,024
15	1,536
20	2,048
40	4,096
80	8,192

Pin Count / ピン数 ,ファンクション

記号	説明	記号	説明	
0	G	32pin 以下	8 Q	129pin to 144pin
1	H	33pin to 44pin	9 R	145pin to 176pin
2	J	45pin to 48pin	A S	177pin to 200pin
3	K	49pin to 52pin	B T	201pin to 224pin
4	L	53pin to 64pin	C U	225pin to 250pin
5	M	65pin to 80pin	D V	251pin to 300pin
6	N	81pin to 100pin		
7	P	101pin to 128pin		

ROM Type / ROM タイプ

記号	説明
F	Flash
C	Mask

製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事情報の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。