
32 ビット RISC マイクロコントローラ

TMPM3H グループ(1)

リファレンスマニュアル

入出力ポート

(PORT-M3H(1))

Revision 2.2

2019-07

東芝デバイス&ストレージ株式会社

目次

序章	4
関連するドキュメント	4
表記規約	5
用語・略語	7
1. 概要	8
2. 動作説明	9
2.1. クロック供給	9
3. 信号接続一覧	10
4. レジスタ説明	17
4.1. レジスタ一覧	18
4.2. ポート機能とレジスタ設定	21
4.2.1. 機能端子を使用する際の設定について	21
4.2.2. PORT A	22
4.2.3. PORT B	23
4.2.4. PORT C	24
4.2.5. PORT D	25
4.2.6. PORT E	25
4.2.7. PORT F	26
4.2.8. PORT G	27
4.2.9. PORT H	27
4.2.10. PORT J	28
4.2.11. PORT K	29
4.2.12. PORT L	30
4.2.13. PORT M	31
4.2.14. PORT N	32
4.2.15. PORT P	33
4.2.16. PORT R	33
5. ポート回路図	34
5.1. タイプ FT1	35
5.2. タイプ FT2	36
5.3. タイプ FT3	37
5.4. タイプ FT4	38
5.5. タイプ FT5	39
5.6. タイプ FT6	40
5.7. タイプ FT11	41
5.8. タイプ FT12	42
5.9. タイプ FT13	43
6. 使用上のご注意およびお願い事項	44
6.1. リセット期間中の端子状態について	44

6.2. 未使用端子の処理について.....	44
6.3. デバッグインタフェース端子を汎用ポートとして使用する際の注意.....	44
7. 改訂履歴.....	45
製品取り扱い上のお願い.....	47

図目次

図 5.1 ポートタイプ FT1.....	35
図 5.2 ポートタイプ FT2.....	36
図 5.3 ポートタイプ FT3.....	37
図 5.4 ポートタイプ FT4.....	38
図 5.5 ポートタイプ FT5.....	39
図 5.6 ポートタイプ FT6.....	40
図 5.7 ポートタイプ FT11.....	41
図 5.8 ポートタイプ FT12.....	42
図 5.9 ポートタイプ FT13.....	43

表目次

表 1.1 機能概要.....	8
表 3.1 信号接続一覧(1/7).....	10
表 3.2 信号接続一覧(2/7).....	11
表 3.3 信号接続一覧(3/7).....	12
表 3.4 信号接続一覧(4/7).....	13
表 3.5 信号接続一覧(5/7).....	14
表 3.6 信号接続一覧(6/7).....	15
表 3.7 信号接続一覧(7/7).....	16
表 4.1 ポートベースアドレス.....	18
表 4.2 レジスタ一覧.....	19
表 4.3 ポート A レジスタ設定.....	22
表 4.4 ポート B レジスタ設定.....	23
表 4.5 ポート C レジスタ設定.....	24
表 4.6 ポート D レジスタ設定.....	25
表 4.7 ポート E レジスタ設定.....	25
表 4.8 ポート F レジスタ設定.....	26
表 4.9 ポート G レジスタ設定.....	27
表 4.10 ポート H レジスタ設定.....	27
表 4.11 ポート J レジスタ設定.....	28
表 4.12 ポート K レジスタ設定.....	29
表 4.13 ポート L レジスタ設定.....	30
表 4.14 ポート M レジスタ設定.....	31
表 4.15 ポート N レジスタ設定.....	32
表 4.16 ポート P レジスタ設定.....	33
表 4.17 ポート R レジスタ設定.....	33
表 7.1 改訂履歴.....	45

序章

関連するドキュメント

文書名
製品個別情報
クロック制御と動作モード
例外
フラッシュメモリ
8ビットデジタルアナログコンバータ
I ² C インタフェース
シリアルペリフェラルインタフェース
12ビットアナログデジタルコンバータ
32ビットタイマイイベントカウンタ
非同期シリアル通信回路
リアルタイムクロック
リモコン受信回路
モータ制御回路
アドバンスドエンコーダ入力回路
デバッグインタフェース
バウンダリスキャン

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1], [XYZ2], [XYZ3]→[XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C...を表します。
例: [ADACR0], [ADBCR0], [ADCCR0]→[ADxCR0]
チャンネルの場合、「x」は 0,1,2,...を表します。
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA]→[T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
バイト: 8 ビット
ハーフワード: 16 ビット
ワード: 32 ビット
ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
R: リードオンリー
W: ライトオンリー
R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASHについては、米国 SST 社 (Silicon Storage Technology, Inc.) からライセンスを受けた Super Flash® 技術を使用しています。Super Flash® は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

JTAG	Joint Test Action Group
SW	Serial Wire

1. 概要

ポート関連のレジスタとその設定について説明します。以下に機能の一覧を示します。

表 1.1 機能概要

機能分類	機能	説明
ポート	-	内蔵プログラマブルプルアップ/プルダウンの選択、オープンドレイン出力選択が可能
周辺機能端子	クロック出力	SCOUT 端子
	外部割り込み	ノイズフィルタ(フィルタ幅 Typ. 30ns)付き 外部割り込み端子
	32ビットタイマイベントカウンタ	外部トリガ入力端子、タイマ出力端子
	リアルタイムクロック	1Hz クロック出力端子
	シリアルペリフェラルインタフェース	スレーブ動作用チップセレクト入力 1 端子、チップセレクト 2 端子、送信シリアルデータ端子、受信シリアルデータ端子、シリアルクロック入力/出力端子
	非同期シリアル通信回路	データ入力端子、データ出力 2 端子、送信要求出力端子、受信可能入力端子
	I ² C インタフェース	SCL 端子、SDA 端子
	リモコン受信回路	リモコンデータ入力端子
	アナログデジタルコンバータ	アナログ入力端子
	デジタルアナログコンバータ	DAC 出力端子
	モータ制御回路	X/Y/Z相出力端子、U/V/W相出力端子、異常検出入力端子、過電圧検出入力端子
	エンコーダ入力回路	エンコーダ入力端子
デバッグ端子	トリガ入力	外部トリガ入力端子
	JTAG	JTAG テストモード選択端子、JTAG シリアルクロック入力端子、JTAG シリアルデータ出力端子、JTAG シリアルデータ入力端子、JTAG テストリセット入力端子
	SW	シリアルワイヤデータ入出力端子、シリアルワイヤクロック端子、シリアルワイヤビューワ端子
制御端子	トレース	トレースクロック端子、トレースデータ 4 端子
	高速発振器	高速発振子接続端子、外部クロック入力
	低速発振器	低速発振子接続端子
	BOOT モード制御	BOOT モード制御用端子

2. 動作説明

2.1. クロック供給

ポートを使用する場合は、f_{sys} 供給停止レジスタ A または B (*[CGFSYSENA],[CGFSYSENB]*) で該当するクロックイネーブルビットを 1(クロック供給)に設定してください。該当レジスタ、ビット位置は製品によって異なります。そのため製品によって、レジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

3. 信号接続一覧

各リファレンスマニュアルのブロック図(信号一覧表)に記載された信号名を機能端子順に変換した表です。周辺機能のレジスタ設定はポート順に説明していますので、ポート名の逆引きにご使用ください。

数値は端子番号を表します。

表 3.1 信号接続一覧(1/7)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
非同期シリアル通信回路	UT0RXD	PA2	16	18	15	11	11	10	9	5
		PA1	17	19	16	12	12	11	10	6
		PM2	23	25	18	14	-	-	-	-
		PM1	24	26	19	15	-	-	-	-
	UT0TXDB	PA0	18	20	17	13	13	12	11	7
		PM0	25	27	20	16	-	-	-	-
	UT0TXDA	PA1	17	19	16	12	12	11	10	6
		PA2	16	18	15	11	11	10	9	5
		PM1	24	26	19	15	-	-	-	-
		PM2	23	25	18	14	-	-	-	-
	UT0CTS_N	PM3	22	24	-	-	-	-	-	-
		PM4	21	23	-	-	-	-	-	-
UT0RTS_N	PM4	21	23	-	-	-	-	-	-	
	PM3	22	24	-	-	-	-	-	-	
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
非同期シリアル通信回路	UT1RXD	PJ2	73	75	58	46	37	34	30	23
		PJ1	72	74	57	45	36	33	29	22
		PK2	79	81	64	52	43	40	36	29
		PK1	78	80	63	51	42	39	35	28
	UT1TXDB	PJ0	71	73	56	44	35	32	28	21
		PK0	77	79	62	50	41	38	34	27
	UT1TXDA	PJ1	72	74	57	45	36	33	29	22
		PJ2	73	75	58	46	37	34	30	23
		PK1	78	80	63	51	42	39	35	28
		PK2	79	81	64	52	43	40	36	29
	UT1CTS_N	PJ3	74	76	59	47	38	35	31	24
		PJ4	75	77	60	48	39	36	32	25
		PK3	80	82	65	53	44	41	37	-
		PK4	81	83	66	54	45	42	38	-
	UT1RTS_N	PJ4	75	77	60	48	39	36	32	25
		PJ3	74	76	59	47	38	35	31	24
		PK4	81	83	66	54	45	42	38	-
		PK3	80	82	65	53	44	41	37	-

表 3.2 信号接続一覧(2/7)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
非同期シリアル通信回路	UT2RXD	PB3	29	31	24	20	17	16	15	-
		PB2	28	30	23	19	16	15	14	-
		PL1	35	37	27	23	20	-	-	-
		PL0	34	36	26	22	19	-	-	-
	UT2TXDA	PB2	28	30	23	19	16	15	14	-
		PB3	29	31	24	20	17	16	15	-
		PL0	34	36	26	22	19	-	-	-
	UT2CTS_N	PB4	30	32	-	-	-	-	-	-
		PB5	31	33	-	-	-	-	-	-
		PL2	36	38	28	24	-	-	-	-
	UT2RTS_N	PL3	37	39	29	25	-	-	-	-
		PB5	31	33	-	-	-	-	-	-
PB4		30	32	-	-	-	-	-	-	
		PL3	37	39	29	25	-	-	-	-
		PL2	36	38	28	24	-	-	-	-
		PL2	36	38	28	24	-	-	-	-
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
I2C インタフェース	I2C0SDA	PC1	55	57	45	37	32	29	26	19
	I2C0SCL	PC0	54	56	44	36	31	28	25	18
	I2C1SDA	PA5	13	15	12	8	8	7	6	-
	I2C1SCL	PA4	14	16	13	9	9	8	7	-
	I2C2SDA	PL1	35	37	27	23	20	-	-	-
	I2C2SCL	PL0	34	36	26	22	19	-	-	-
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
シリアルペリフェラル インタフェース	TSPI0CSIN	PM3	22	24	-	-	-	-	-	-
		PA3	15	17	14	10	10	9	8	-
	TSPI0CS0	PM3	22	24	-	-	-	-	-	-
		PA3	15	17	14	10	10	9	8	-
	TSPI0CS1	PM4	21	23	-	-	-	-	-	-
		PA4	14	16	13	9	9	8	7	-
	TSPI0RXD	PM2	23	25	18	14	-	-	-	-
		PA2	16	18	15	11	11	10	9	5
	TSPI0TXD	PM1	24	26	19	15	-	-	-	-
		PA1	17	19	16	12	12	11	10	6
TSPI0SCK	PM0	25	27	20	16	-	-	-	-	
	PA0	18	20	17	13	13	12	11	7	

表 3.3 信号接続一覧(3/7)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
シリアルペリフェラル インタフェース	TSP11CSIN	PL6	40	42	-	-	-	-	-	-
		PB5	31	33	-	-	-	-	-	-
	TSP11CS0	PL6	40	42	-	-	-	-	-	-
		PB5	31	33	-	-	-	-	-	-
	TSP11CS1	PL5	39	41	-	-	-	-	-	-
		PB6	32	34	-	-	-	-	-	-
	TSP11RXD	PP2	43	45	33	-	-	-	-	-
		PB4	30	32	25	21	18	17	16	-
	TSP11TXD	PP1	42	44	32	-	-	-	-	-
		PB3	29	31	24	20	17	16	15	-
	TSP11SCK	PP0	41	43	31	-	-	-	-	-
		PB2	28	30	23	19	16	15	14	-
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
32 ビットタイマイイベント カウンタ	T32A00INA0	PA1	17	19	16	12	12	11	10	6
		PM1	24	26	19	15	-	-	-	-
	T32A00INA1	PA2	16	18	15	11	11	10	9	5
		PM2	23	25	18	14	-	-	-	-
	T32A00OUTA	PA0	18	20	17	13	13	12	11	7
		PM0	25	27	20	16	-	-	-	-
	T32A00INB0	PA4	14	16	13	9	9	8	7	-
		PM4	21	23	-	-	-	-	-	-
	T32A00INB1	PA5	13	15	12	8	8	7	6	-
		PM5	20	22	-	-	-	-	-	-
	T32A00OUTB	PA3	15	17	14	10	10	9	8	-
		PM3	22	24	-	-	-	-	-	-
	T32A00INC0	PA1	17	19	16	12	12	11	10	6
		PM1	24	26	19	15	-	-	-	-
	T32A00INC1	PA2	16	18	15	11	11	10	9	5
		PM2	23	25	18	14	-	-	-	-
	T32A00OUTC	PA0	18	20	17	13	13	12	11	7
		PM0	25	27	20	16	-	-	-	-

表 3.4 信号接続一覧(4/7)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
32 ビットタイマイイベント カウンタ	T32A01INA0	PB1	27	29	22	18	15	14	13	9
		PP1	42	44	32	-	-	-	-	-
	T32A01INA1	PB2	28	30	23	19	16	15	14	-
		PP2	43	45	33	-	-	-	-	-
	T32A01OUTA	PB0	26	28	21	17	14	13	12	8
		PP0	41	43	31	-	-	-	-	-
	T32A01INB0	PB4	30	32	25	21	18	17	16	-
	T32A01INB1	PB5	31	33	-	-	-	-	-	-
	T32A01OUTB	PB3	29	31	24	20	17	16	15	-
	T32A01INC0	PB1	27	29	22	18	15	14	13	9
		PP1	42	44	32	-	-	-	-	-
	T32A01INC1	PB2	28	30	23	19	16	15	14	-
		PP2	43	45	33	-	-	-	-	-
	T32A01OUTC	PB0	26	28	21	17	14	13	12	8
		PP0	41	43	31	-	-	-	-	-
	参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)
32 ビットタイマイイベント カウンタ	T32A02INA0	PC1	55	57	45	37	32	29	26	19
		PR1	62	64	-	-	-	-	-	-
	T32A02INA1	PC2	56	58	46	38	33	30	27	20
		PR2	63	65	-	-	-	-	-	-
	T32A02OUTA	PC0	54	56	44	36	31	28	25	18
		PR0	61	63	-	-	-	-	-	-
	T32A02INB0	PC4	58	60	48	-	-	-	-	-
	T32A02INB1	PC5	59	61	49	-	-	-	-	-
	T32A02OUTB	PC3	57	59	47	39	34	31	-	-
	T32A02INC0	PC1	55	57	45	37	32	29	26	19
		PR1	62	64	-	-	-	-	-	-
	T32A02INC1	PC2	56	58	46	38	33	30	27	20
		PR2	63	65	-	-	-	-	-	-
	T32A02OUTC	PC0	54	56	44	36	31	28	25	18
		PR0	61	63	-	-	-	-	-	-

表 3.5 信号接続一覧(5/7)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
32 ビットタイマイイベント カウンタ	T32A03INA0	PJ1	72	74	57	45	36	33	29	22
	T32A03INA1	PJ2	73	75	58	46	37	34	30	23
	T32A03OUTA	PJ0	71	73	56	44	35	32	28	21
	T32A03INB0	PJ4	75	77	60	48	39	36	32	25
	T32A03INB1	PJ5	76	78	61	49	40	37	33	26
	T32A03OUTB	PJ3	74	76	59	47	38	35	31	24
	T32A03INC0	PJ1	72	74	57	45	36	33	29	22
	T32A03INC1	PJ2	73	75	58	46	37	34	30	23
T32A03OUTC	PJ0	71	73	56	44	35	32	28	21	
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
32 ビットタイマイイベント カウンタ	T32A04INA0	PK3	80	82	65	53	44	41	37	30
	T32A04INA1	PK4	81	83	66	54	45	42	38	-
	T32A04OUTA	PK2	79	81	64	52	43	40	36	29
	T32A04INB0	PK6	83	85	68	56	-	-	-	-
	T32A04INB1	PK7	84	86	69	-	-	-	-	-
	T32A04OUTB	PK5	82	84	67	55	46	43	39	-
	T32A04INC0	PK3	80	82	65	53	44	41	37	30
	T32A04INC1	PK4	81	83	66	54	45	42	38	-
T32A04OUTC	PK2	79	81	64	52	43	40	36	29	
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
32 ビットタイマイイベント カウンタ	T32A05INA0	PN1	69	71	54	42	-	-	-	-
	T32A05INA1	PN2	68	70	53	41	-	-	-	-
	T32A05OUTA	PN0	70	72	55	43	-	-	-	-
	T32A05INB0	PN4	66	68	51	-	-	-	-	-
	T32A05INB1	PN5	65	67	-	-	-	-	-	-
	T32A05OUTB	PN3	67	69	52	40	-	-	-	-
	T32A05INC0	PN1	69	71	54	42	-	-	-	-
	T32A05INC1	PN2	68	70	53	41	-	-	-	-
T32A05OUTC	PN0	70	72	55	43	-	-	-	-	

表 3.6 信号接続一覧(6/7)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
12ビットアナログデジタルコンバータ	AINA00	PD0	4	6	3	3	3	3	3	2
	AINA01	PD1	3	5	2	2	2	2	2	1
	AINA02	PD2	2	4	1	1	1	1	1	-
	AINA03	PD3	1	3	-	-	-	-	-	-
	AINA04	PE0	100	2	80	64	52	48	44	32
	AINA05	PE1	99	1	79	63	51	47	43	31
	AINA06	PE2	98	100	78	62	50	46	42	-
	AINA07	PE3	97	99	77	61	49	45	41	-
	AINA08	PE4	96	98	76	60	48	44	40	-
	AINA09	PE5	95	97	75	-	-	-	-	-
	AINA10	PE6	94	96	74	-	-	-	-	-
	AINA11	PF0	93	95	-	-	-	-	-	-
	AINA12	PF1	92	94	-	-	-	-	-	-
	AINA13	PF2	91	93	-	-	-	-	-	-
	AINA14	PF3	90	92	-	-	-	-	-	-
AINA15	PF4	89	91	-	-	-	-	-	-	
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
8ビットデジタルアナログコンバータ	DAC0	PG0	7	9	6	6	6	6	-	-
	DAC1	PG1	8	10	7	-	-	-	-	-
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
例外	INT00	PC0	54	56	44	36	31	28	25	18
	INT01	PC1	55	57	45	37	32	29	26	19
	INT02	PC2	56	58	46	38	33	30	27	20
	INT03	PB1	27	29	22	18	15	14	13	9
	INT04	PJ4	75	77	60	48	39	36	32	25
	INT05	PK1	78	80	63	51	42	39	35	28
	INT06	PH3	52	54	42	34	29	26	-	-
	INT07	PA6	12	14	11	7	7	-	-	-
	INT08	PL3	37	39	29	25	-	-	-	-
	INT09	PM2	23	25	18	14	-	-	-	-
	INT10	PN3	67	69	52	40	-	-	-	-
	INT11	PA7	11	13	10	-	-	-	-	-
	INT12	PL4	38	40	30	-	-	-	-	-
	INT13	PK7	84	86	69	-	-	-	-	-
	INT14	PP3	85	87	70	-	-	-	-	-
INT15	PM6	19	21	-	-	-	-	-	-	

表 3.7 信号接続一覧(7/7)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
プログラマブルモータ 制御回路プラス	EMG0_N	PK0	77	79	62	50	41	38	34	27
	OVV0_N	PK1	78	80	63	51	42	39	35	28
	U00	PJ0	71	73	56	44	35	32	28	21
	VO0	PJ2	73	75	58	46	37	34	30	23
	WO0	PJ4	75	77	60	48	39	36	32	25
	X00	PJ1	72	74	57	45	36	33	29	22
	Y00	PJ3	74	76	59	47	38	35	31	24
Z00	PJ5	76	78	61	49	40	37	33	26	
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
アドバンストエンコーダ 入力回路	ENC0A	PA0	18	20	17	13	13	12	11	7
	ENC0B	PA1	17	19	16	12	12	11	10	6
	ENC0Z	PA2	16	18	15	11	11	10	9	5
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
製品個別情報 (トリガセレクト)	TRGIN0	PB1	27	29	22	18	15	14	13	9
	TRGIN1	PA3	15	17	14	10	10	9	8	-
	TRGIN2	PN3	67	69	52	40	-	-	-	-
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
リモコン受信回路	RXIN0	PB1	27	29	22	18	15	14	13	9
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
リアルタイムクロック	RTCOUT	PC2	56	58	46	38	33	30	-	-
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
バウンダリスキャン(注)	TMS	PK2	79	81	64	52	43	-	-	-
	TCK	PK3	80	82	65	53	44	-	-	-
	TDO	PK4	81	83	66	54	45	-	-	-
	TDI	PK5	82	84	67	55	46	-	-	-
	TRST_N	PK6	83	85	68	56	-	-	-	-
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
デバッグインタフェース	TMS	PK2	79	81	64	52	43	40	36	-
	TCK	PK3	80	82	65	53	44	41	37	-
	TDO	PK4	81	83	66	54	45	42	38	-
	TDI	PK5	82	84	67	55	46	43	39	-
	TRST_N	PK6	83	85	68	56	-	-	-	-
	SWDIO	PK2	79	81	64	52	43	40	36	29
	SWCLK	PK3	80	82	65	53	44	41	37	30
	SWV	PK4	81	83	66	54	45	42	38	-
	TRACECLK	PM0	25	27	20	16	-	-	-	-
	TRACEDATA0	PM1	24	26	19	15	-	-	-	-
	TRACEDATA1	PM2	23	25	18	14	-	-	-	-
	TRACEDATA2	PM3	22	24	-	-	-	-	-	-
	TRACEDATA3	PM4	21	23	-	-	-	-	-	-
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
クロック制御と動作モード	SCOUT	PB0	26	28	21	17	14	13	12	8
	X1	PH0	48	50	38	30	25	22	21	14
	X2	PH1	49	51	39	31	26	23	22	15
	XT1	PH2	51	53	41	33	28	25	-	-
	XT2	PH3	52	54	42	34	29	26	-	-
	EHCLKIN	PH0	48	50	38	30	25	22	21	14
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3H6 (LQFP100)	M3H6 (QFP100)	M3H5 (LQFP80)	M3H4 (LQFP64)	M3H3 (LQFP52)	M3H2 (LQFP48) (VQFN48)	M3H1 (LQFP44)	M3H0 (LQFP32)
フラッシュメモリ	BOOT_N	PB0	26	28	21	17	14	13	12	8

注) バウンダリスキャンを使用する場合は、BSC 端子を“High”にして電源を立ち上げなおしてください。

4. レジスタ説明

ポートを使用するには以下のレジスタを設定する必要があります。

レジスタは全て 32 ビットですが、ポートのビット数、機能の割り当てにより構成が異なります。

以下の説明では"x"はポート名、"n"はファンクション番号を示します。

レジスタ名		Type	設定値	説明
[PxDATA]	データレジスタ	R/W	0 または 1	ポートのデータ読み込み、データ書き込みを行います。
[PxCR]	出力コントロールレジスタ	R/W	0: 出力禁止 1: 出力許可	出力の制御を行います。
[PxFRn]	ファンクションレジスタ n	R/W	0: PORT 1: 機能	機能設定を行いません。 "1"をセットすることにより割り当てられている機能を使用できるようになります。ファンクションレジスタはポートに割り当てられている機能ごとに存在します。複数の機能が割り当てられている場合、1つの機能のみ有効になるように設定してください。
[PxOD]	オープンドレインコントロールレジスタ	R/W	0: CMOS 1: オープンドレイン	プログラマブルオープンドレインの制御を行います。 プログラマブルオープンドレインは、 [PxOD]=1 の設定で、出力データが"1"の場合に出力バッファをディセーブルにし、擬似的にオープンドレインを実現する機能です。
[PxPUP]	プルアップコントロールレジスタ	R/W	0: プルアップ禁止 1: プルアップ許可	プログラマブルプルアップを制御します。
[PxPDN]	プルダウンコントロールレジスタ	R/W	0: プルダウン禁止 1: プルダウン許可	プログラマブルプルダウンを制御します。
[PxIE]	入力コントロールレジスタ	R/W	0: 入力禁止 1: 入力許可	入力の制御を行いません。 [PxIE] をイネーブルにしてから外部データが [PxDATA] に反映されるまで 100ns(最大)の時間が必要です。

4.1. レジスタ一覧

機能の存在しないビットをリードすると"0"が読めます。ライトは意味を持ちません。

表 4.1 ポートベースアドレス

周辺機能	チャンネル/ユニット	ベースアドレス	
入出力ポート	PA	-	0x400C0000
	PB	-	0x400C0100
	PC	-	0x400C0200
	PD	-	0x400C0300
	PE	-	0x400C0400
	PF	-	0x400C0500
	PG	-	0x400C0600
	PH	-	0x400C0700
	PJ	-	0x400C0800
	PK	-	0x400C0900
	PL	-	0x400C0A00
	PM	-	0x400C0B00
	PN	-	0x400C0C00
	PP	-	0x400C0D00
PR	-	0x400C0E00	

表 4.2 レジスタ一覧

レジスタ名	アドレス (Base+)	ポート A	ポート B	ポート C	ポート D	ポート E
データ レジスタ	0x0000	[PADATA]	[PBDATA]	[PCDATA]	[PDDATA]	[PEDATA]
出力コントロールレジスタ	0x0004	[PACR]	[PBCR]	[PCCR]	[PDCR]	[PECR]
ファンクションレジスタ 1	0x0008	[PAFR1]	[PBFR1]	[PCFR1]	-	-
ファンクションレジスタ 2	0x000C	[PAFR2]	[PBFR2]	-	-	-
ファンクションレジスタ 3	0x0010	[PAFR3]	[PBFR3]	[PCFR3]	-	-
ファンクションレジスタ 4	0x0014	[PAFR4]	[PBFR4]	[PCFR4]	-	-
ファンクションレジスタ 5	0x0018	[PAFR5]	[PBFR5]	[PCFR5]	-	-
ファンクションレジスタ 6	0x001C	[PAFR6]	[PBFR6]	-	-	-
オープンドレインコントロールレジスタ	0x0028	[PAOD]	[PBOD]	[PCOD]	[PDOD]	[PEOD]
プルアップコントロールレジスタ	0x002C	[PAPUP]	[PBUP]	[PCUP]	[PDPUP]	[PEPUP]
プルダウンコントロールレジスタ	0x0030	[PAPDN]	[PBPDN]	[PCPDN]	[PDPDN]	[PEPDN]
入力コントロールレジスタ	0x0038	[PAIE]	[PBIE]	[PCIE]	[PDIE]	[PEIE]

注) " - " 表記のアドレスにはアクセスしないでください。

レジスタ名	アドレス (Base+)	ポート F	ポート G	ポート H	ポート J	ポート K
データ レジスタ	0x0000	[PFDATA]	[PGDATA]	[PHDATA]	[PJDATA]	[PKDATA]
出力コントロールレジスタ	0x0004	[PFCR]	[PGCR]	-	[PJCR]	[PKCR]
ファンクションレジスタ 1	0x0008	-	-	-	[PJFR1]	[PKFR1]
ファンクションレジスタ 2	0x000C	-	-	-	[PJFR2]	[PKFR2]
ファンクションレジスタ 3	0x0010	-	-	-	[PJFR3]	[PKFR3]
ファンクションレジスタ 4	0x0014	-	-	-	[PJFR4]	[PKFR4]
ファンクションレジスタ 5	0x0018	-	-	-	[PJFR5]	[PKFR5]
オープンドレインコントロールレジスタ	0x0028	[PFOD]	[PGOD]	-	[PJOD]	[PKOD]
プルアップコントロールレジスタ	0x002C	[PFPUP]	[PGPUP]	-	[PJPUP]	[PKPUP]
プルダウンコントロールレジスタ	0x0030	[PFPDN]	[PGPDN]	[PHPDN]	[PJPDN]	[PKPDN]
入力コントロールレジスタ	0x0038	[PFIE]	[PGIE]	[PHIE]	[PJIE]	[PKIE]

注) " - " 表記のアドレスにはアクセスしないでください。

レジスタ名	アドレス (Base+)	ポート L	ポート M	ポート N	ポート P	ポート R
データ レジスタ	0x0000	[PLDATA]	[PMDATA]	[PNDATA]	[PPDATA]	[PRDATA]
出力コントロールレジスタ	0x0004	[PLCR]	[PMCR]	[PNCR]	[PPCR]	[PRCR]
ファンクションレジスタ 1	0x0008	[PLFR1]	[PMFR1]	-	[PPFR1]	-
ファンクションレジスタ 2	0x000C	[PLFR2]	[PMFR2]	-	-	-
ファンクションレジスタ 3	0x0010	[PLFR3]	[PMFR3]	[PNFR3]	[PPFR3]	[PRFR3]
ファンクションレジスタ 4	0x0014	-	[PMFR4]	[PNFR4]	[PPFR4]	[PRFR4]
ファンクションレジスタ 5	0x0018	-	[PMFR5]	[PNFR5]	-	-
ファンクションレジスタ 6	0x001C	-	[PMFR6]	-	-	-
オーブンドレインコントロールレジスタ	0x0028	[PLOD]	[PMOD]	[PNOD]	[PPOD]	[PROD]
プルアップコントロールレジスタ	0x002C	[PLPUP]	[PMPUP]	[PNPUP]	[PPPUP]	[PRPUP]
プルダウンコントロールレジスタ	0x0030	[PLPDN]	[PMPDN]	[PNPDN]	[PPPDN]	[PRPDN]
入力コントロールレジスタ	0x0038	[PLIE]	[PMIE]	[PNIE]	[PPIE]	[PRIE]

注) " - " 表記のアドレスにはアクセスしないでください。

4.2. ポート機能とレジスタ設定

ポート機能レジスタ設定一覧の表の見方を説明します。

[PxFRn]の欄は、設定の必要なファンクションレジスタを示します。このレジスタを"1"に設定するとその機能が有効となります。(xはポート名、nはファンクション番号)

表中の"N/A"のビットはリードすると"0"が読め、ライトは意味を持ちません。

表中の"0"、"1"は設定値を示し、"0/1"は任意に設定可能であることを示します。

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PADATA]	[PACR]	[PAFRn]	[PAOD]	[PAPUP]	[PAPDN]	[PAIE]
PA0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0TXDB	Output	FT1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	TSPI0SCK	Input	FT1	0/1	0	[PAFR3]	0/1	0/1	0/1	1
	T32A00OUTA	Output	FT1	0/1	1	[PAFR4]	0/1	0/1	0/1	0
	T32A00OUTC	Output	FT1	0/1	1	[PAFR5]	0/1	0/1	0/1	0
ENC0A	Input	FT1	0/1	0	[PAFR6]	0/1	0/1	0/1	1	
PA7	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	INT11	Input	FT4	0/1	0	N/A	0/1	0/1	0/1	1

[PxFRn]	端子					
	ENC0A	T32A00OUTC	T32A00OUTA	TSPI0SCK	UT0TXDB	Input Port Output Port
[PAFR1]<bit0>	0	0	0	0	1	0
[PAFR3]<bit0>	0	0	0	1	0	0
[PAFR4]<bit0>	0	0	1	0	0	0
[PAFR5]<bit0>	0	1	0	0	0	0
[PAFR6]<bit0>	1	0	0	0	0	0

4.2.1. 機能端子を使用する際の設定について

機能端子を周辺機能の出力端子として使用する際には、ファンクションレジスタを使用する周辺機能([PxFRn]<bit m>=1)に設定し、出力コントロールレジスタを出力許可([PxCR]<bit m>=1)に設定した後、周辺機能の設定をしてください。ファンクションレジスタの設定よりも先に出力許可すると、ファンクションレジスタが設定されるまで、ポートのデータレジスタ値が出力されます。

機能端子を周辺機能の入力端子として使用する際には、ポートの入力コントロールレジスタを入力([PxIE]<bit m>=1)に設定し、ファンクションレジスタを使用する周辺機能([PxFRn]<bit m>=1)に設定した後、周辺機能の設定をしてください。

また、I²C など入出力端子となる周辺機能を使用する場合は、ポートの入力コントロールレジスタを入力([PxIE]<bit m>=1)に設定し、ファンクションレジスタを使用する周辺機能([PxFRn]<bit m>=1)に設定し、出力コントロールレジスタを出力許可([PxCR]<bit m>=1)に設定した後、周辺機能の設定をしてください。

- 複数の機能が割り当てられているポートは、使用する機能を一つだけ選択してください。
- 同一機能が複数ポートに割り当てられている端子は、排他的に使用してください。

4.2.2. PORT A

表 4.3 ポート A レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PADATA]	[PACR]	[PAFRn]	[PAOD]	[PAPUP]	[PAPDN]	[PAIE]
PA0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0TXDB	Output	FT1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	TSPI0SCK	Input	FT1	0/1	0	[PAFR3]	0/1	0/1	0/1	1
		Output		0/1	1		0/1	0/1	0/1	0
	T32A00OUTA	Output	FT1	0/1	1	[PAFR4]	0/1	0/1	0/1	0
	T32A00OUTC	Output	FT1	0/1	1	[PAFR5]	0/1	0/1	0/1	0
ENC0A	Input	FT1	0/1	0	[PAFR6]	0/1	0/1	0/1	1	
PA1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0TXDA	Output	FT1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	UT0RXD	Input	FT1	0/1	0	[PAFR2]	0/1	0/1	0/1	1
	TSPI0TXD	Output	FT2	0/1	1	[PAFR3]	0/1	0/1	0/1	0
	T32A00INA0	Input	FT1	0/1	0	[PAFR4]	0/1	0/1	0/1	1
	T32A00INC0	Input	FT1	0/1	0	[PAFR5]	0/1	0/1	0/1	1
ENC0B	Input	FT1	0/1	0	[PAFR6]	0/1	0/1	0/1	1	
PA2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0RXD	Input	FT1	0/1	0	[PAFR1]	0/1	0/1	0/1	1
	UT0TXDA	Output	FT1	0/1	1	[PAFR2]	0/1	0/1	0/1	0
	TSPI0RXD	Input	FT1	0/1	0	[PAFR3]	0/1	0/1	0/1	1
	T32A00INA1	Input	FT1	0/1	0	[PAFR4]	0/1	0/1	0/1	1
	T32A00INC1	Input	FT1	0/1	0	[PAFR5]	0/1	0/1	0/1	1
ENC0Z	Input	FT1	0/1	0	[PAFR6]	0/1	0/1	0/1	1	
PA3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI0CSIN	Input	FT1	0/1	0	[PAFR2]	0/1	0/1	0/1	1
	TSPI0CS0	Output	FT1	0/1	1	[PAFR3]	0/1	0/1	0/1	0
	T32A00OUTB	Output	FT1	0/1	1	[PAFR4]	0/1	0/1	0/1	0
	TRGIN1	Input	FT1	0/1	0	[PAFR6]	0/1	0/1	0/1	1
PA4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	I2C1SCL	I/O	FT1	0/1	1	[PAFR1]	1	0/1	0/1	1
	TSPI0CS1	Output	FT1	0/1	1	[PAFR3]	0/1	0/1	0/1	0
T32A00INB0	Input	FT1	0/1	0	[PAFR4]	0/1	0/1	0/1	1	
PA5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	I2C1SDA	I/O	FT1	0/1	1	[PAFR1]	1	0/1	0/1	1
T32A00INB1	Input	FT1	0/1	0	[PAFR4]	0/1	0/1	0/1	1	
PA6	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	INT07	Input	FT4	0/1	0	N/A	0/1	0/1	0/1	1
PA7	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	INT11	Input	FT4	0/1	0	N/A	0/1	0/1	0/1	1

4.2.3. PORT B

表 4.4 ポート B レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PBDATA]	[PBCR]	[PBFRn]	[PBOD]	[PBPUP]	[PBPDN]	[PBIE]
PB0	リセット中 (BOOT_N)	Input	FT6	0	0	0	0	1 (注)	0	N/A
	リセット後			0	0	0	0	0	0	N/A
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	N/A
	T32A01OUTA	Output	FT1	0/1	1	[PBFR4]	0/1	0/1	0/1	N/A
	T32A01OUTC	Output	FT1	0/1	1	[PBFR5]	0/1	0/1	0/1	N/A
	SCOUT	Output	FT1	0/1	1	[PBFR6]	0/1	0/1	0/1	N/A
PB1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT03	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	RXIN0	Input	FT1	0/1	0	[PBFR1]	0/1	0/1	0/1	1
	T32A01INA0	Input	FT1	0/1	0	[PBFR4]	0/1	0/1	0/1	1
	T32A01INC0	Input	FT1	0/1	0	[PBFR5]	0/1	0/1	0/1	1
	TRGIN0	Input	FT1	0/1	0	[PBFR6]	0/1	0/1	0/1	1
PB2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2TXDA	Output	FT1	0/1	1	[PBFR1]	0/1	0/1	0/1	0
	UT2RXD	Input	FT1	0/1	0	[PBFR2]	0/1	0/1	0/1	1
	TSP1SCK	Input	FT1	0/1	0	[PBFR3]	0/1	0/1	0/1	1
		Output		0/1	1		0/1	0/1	0/1	0
	T32A01INA1	Input	FT1	0/1	0	[PBFR4]	0/1	0/1	0/1	1
T32A01INC1	Input	FT1	0/1	0	[PBFR5]	0/1	0/1	0/1	1	
PB3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2RXD	Input	FT1	0/1	0	[PBFR1]	0/1	0/1	0/1	1
	UT2TXDA	Output	FT1	0/1	1	[PBFR2]	0/1	0/1	0/1	0
	TSP1TXD	Output	FT2	0/1	1	[PBFR3]	0/1	0/1	0/1	0
	T32A01OUTB	Output	FT1	0/1	1	[PBFR4]	0/1	0/1	0/1	0
PB4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2CTS_N	Input	FT1	0/1	0	[PBFR1]	0/1	0/1	0/1	1
	UT2RTS_N	Output	FT1	0/1	1	[PBFR2]	0/1	0/1	0/1	0
	TSP1RXD	Output	FT1	0/1	1	[PBFR3]	0/1	0/1	0/1	0
	T32A01INB0	Input	FT1	0/1	0	[PBFR4]	0/1	0/1	0/1	1
PB5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2RTS_N	Output	FT1	0/1	1	[PBFR1]	0/1	0/1	0/1	0
	UT2CTS_N	Input	FT1	0/1	0	[PBFR2]	0/1	0/1	0/1	1
	TSP1CS0	Output	FT1	0/1	1	[PBFR3]	0/1	0/1	0/1	0
	T32A01INB1	Input	FT1	0/1	0	[PBFR4]	0/1	0/1	0/1	1
	TSP1CSIN	Input	FT1	0/1	0	[PBFR5]	0/1	0/1	0/1	1

PB6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1CS1	Output	FT1	0/1	1	[PBF3]	0/1	0/1	0/1	0
PB7	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0

注) リセット端子(RESET_N)によるリセット期間中は[PBPUP]は許可状態("1")となります。[PBIE]レジスタはN/Aですが、BOOT_N信号が入力可能となります。

4.2.4. PORT C

表 4.5 ポート C レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PCDATA]	[PCCR]	[PCFRn]	[PCOD]	[PCPUP]	[PCPDN]	[PCIE]
PC0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT00	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	I2C0SCL	I/O	FT12	0/1	1	[PCFR1]	1	0/1	0/1	1
	T32A02OUTA	Output	FT1	0/1	1	[PCFR3]	0/1	0/1	0/1	0
	T32A02OUTC	Output	FT1	0/1	1	[PCFR4]	0/1	0/1	0/1	0
PC1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT01	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	I2C0SDA	I/O	FT12	0/1	1	[PCFR1]	1	0/1	0/1	1
	T32A02INA0	Input	FT1	0/1	0	[PCFR3]	0/1	0/1	0/1	1
	T32A02INC0	Input	FT1	0/1	0	[PCFR4]	0/1	0/1	0/1	1
PC2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT02	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A02INA1	Input	FT1	0/1	0	[PCFR3]	0/1	0/1	0/1	1
	T32A02INC1	Input	FT1	0/1	0	[PCFR4]	0/1	0/1	0/1	1
	RTCOUT	Output	FT1	0/1	1	[PCFR5]	0/1	0/1	0/1	0
PC3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A02OUTB	Output	FT1	0/1	1	[PCFR3]	0/1	0/1	0/1	0
PC4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A02INB0	Input	FT1	0/1	0	[PCFR3]	0/1	0/1	0/1	1
PC5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A02INB1	Input	FT1	0/1	0	[PCFR3]	0/1	0/1	0/1	1
PC6	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0

4.2.5. PORT D

表 4.6 ポート D レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PDDATA]	[PDCR]	[PDFRn]	[PDOD]	[PDPUP]	[PDPDN]	[PDIE]
PD0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA00	Input	FT5	0/1	0	N/A	0/1	0	0	0
PD1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA01	Input	FT5	0/1	0	N/A	0/1	0	0	0
PD2	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA02	Input	FT5	0/1	0	N/A	0/1	0	0	0
PD3	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA03	Input	FT5	0/1	0	N/A	0/1	0	0	0

注) アナログ入力(AINAx)として使用する場合、[PDCR]は出力禁止"0"、[PDIE]は入力禁止"0"、[PDPUP]はプルアップ禁止"0"、[PDPDN]はプルダウン禁止"0"にしてください。

4.2.6. PORT E

表 4.7 ポート E レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PEDATA]	[PECR]	[PEFRn]	[PEOD]	[PEPUP]	[PEPDN]	[PEIE]
PE0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA04	Input	FT5	0/1	0	N/A	0/1	0	0	0
PE1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA05	Input	FT5	0/1	0	N/A	0/1	0	0	0
PE2	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA06	Input	FT5	0/1	0	N/A	0/1	0	0	0
PE3	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA07	Input	FT5	0/1	0	N/A	0/1	0	0	0
PE4	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA08	Input	FT5	0/1	0	N/A	0/1	0	0	0

PE5	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA09	Input	FT5	0/1	0	N/A	0/1	0	0	0
PE6	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA10	Input	FT5	0/1	0	N/A	0/1	0	0	0

注) アナログ入力(AINAx)として使用する場合、**[PECR]**は出力禁止"0"、**[PEIE]**は入力禁止"0"、**[PEPUP]**はプルアップ禁止"0"、**[PEPDN]**はプルダウン禁止"0"にしてください。

4.2.7. PORT F

表 4.8 ポート F レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PFDATA]	[PFCR]	[PFFRn]	[PFOD]	[PFPUP]	[PFPDN]	[PFIE]
PF0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA11	Input	FT5	0/1	0	N/A	0/1	0	0	0
PF1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA12	Input	FT5	0/1	0	N/A	0/1	0	0	0
PF2	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA13	Input	FT5	0/1	0	N/A	0/1	0	0	0
PF3	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA14	Input	FT5	0/1	0	N/A	0/1	0	0	0
PF4	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA15	Input	FT5	0/1	0	N/A	0/1	0	0	0

注) アナログ入力(AINAx)として使用する場合、**[PFCR]**は出力禁止"0"、**[PFIE]**は入力禁止"0"、**[PFPUP]**はプルアップ禁止"0"、**[PFPDN]**はプルダウン禁止"0"にしてください。

4.2.8. PORT G

表 4.9 ポート G レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PGDATA]	[PGCR]	[PGFRn]	[PGOD]	[PGPUP]	[PGPDN]	[PGIE]
PG0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	DAC0	Output	FT13	0/1	0	N/A	0/1	0	0	0
PG1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	DAC1	Output	FT13	0/1	0	N/A	0/1	0	0	0

注) アナログ出力(DACx)として使用する場合、[PGCR]は出力禁止"0"、[PGIE]は入力禁止"0"、[PGPUP]はプルアップ禁止"0"、[PGPDN]はプルダウン禁止"0"にしてください。

4.2.9. PORT H

表 4.10 ポート H レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PHDATA]	[PHCR]	[PHFRn]	[PHOD]	[PHPUP]	[PHPDN]	[PHIE]
PH0	リセット後			0	N/A	N/A	N/A	N/A	0	0
	Input Port	Input		0/1	N/A	N/A	N/A	N/A	0/1	1
	X1	Input	FT11	0/1	N/A	N/A	N/A	N/A	0	0
	EHCLKIN	Input	FT11	0/1	N/A	N/A	N/A	N/A	0	1
PH1	リセット後			0	N/A	N/A	N/A	N/A	0	0
	Input Port	Input		0/1	N/A	N/A	N/A	N/A	0/1	1
	X2	Output	FT11	0/1	N/A	N/A	N/A	N/A	0	0
PH2	リセット後			0	N/A	N/A	N/A	N/A	0	0
	Input Port	Input		0/1	N/A	N/A	N/A	N/A	0/1	1
	XT1	Input	FT11	0/1	N/A	N/A	N/A	N/A	0	0
PH3	リセット後			0	N/A	N/A	N/A	N/A	0	0
	Input Port	Input		0/1	N/A	N/A	N/A	N/A	0/1	1
	XT2	Output	FT11	0/1	N/A	N/A	N/A	N/A	0	0
	INT06	Input	FT11	0/1	N/A	N/A	N/A	N/A	0/1	1

4.2.10. PORT J

表 4.11 ポート J レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PJDATA]	[PJCR]	[PJFRn]	[PJOD]	[PJPUP]	[PJPDN]	[PJIE]
PJ0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1TXDB	Output	FT1	0/1	1	[PJFR1]	0/1	0/1	0/1	0
	T32A03OUTA	Output	FT1	0/1	1	[PJFR3]	0/1	0/1	0/1	0
	T32A03OUTC	Output	FT1	0/1	1	[PJFR4]	0/1	0/1	0/1	0
	UO0	Output	FT2	0/1	1	[PJFR5]	0/1	0/1	0/1	0
PJ1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1TXDA	Output	FT1	0/1	1	[PJFR1]	0/1	0/1	0/1	0
	UT1RXD	Input	FT1	0/1	0	[PJFR2]	0/1	0/1	0/1	1
	T32A03INA0	Input	FT1	0/1	0	[PJFR3]	0/1	0/1	0/1	1
	T32A03INC0	Input	FT1	0/1	0	[PJFR4]	0/1	0/1	0/1	1
XO0	Output	FT2	0/1	1	[PJFR5]	0/1	0/1	0/1	0	
PJ2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1RXD	Input	FT1	0/1	0	[PJFR1]	0/1	0/1	0/1	1
	UT1TXDA	Output	FT1	0/1	1	[PJFR2]	0/1	0/1	0/1	0
	T32A03INA1	Input	FT1	0/1	0	[PJFR3]	0/1	0/1	0/1	1
	T32A03INC1	Input	FT1	0/1	0	[PJFR4]	0/1	0/1	0/1	1
VO0	Output	FT2	0/1	1	[PJFR5]	0/1	0/1	0/1	0	
PJ3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1CTS_N	Input	FT1	0/1	0	[PJFR1]	0/1	0/1	0/1	1
	UT1RTS_N	Output	FT1	0/1	1	[PJFR2]	0/1	0/1	0/1	0
	T32A03OUTB	Output	FT1	0/1	1	[PJFR3]	0/1	0/1	0/1	0
	YO0	Output	FT2	0/1	1	[PJFR5]	0/1	0/1	0/1	0
PJ4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT04	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	UT1RTS_N	Output	FT1	0/1	1	[PJFR1]	0/1	0/1	0/1	0
	UT1CTS_N	Input	FT1	0/1	0	[PJFR2]	0/1	0/1	0/1	1
	T32A03INB0	Input	FT1	0/1	0	[PJFR3]	0/1	0/1	0/1	1
WO0	Output	FT2	0/1	1	[PJFR5]	0/1	0/1	0/1	0	
PJ5	リセット後	Input		0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A03INB1	Input	FT1	0/1	0	[PJFR3]	0/1	0/1	0/1	1
ZO0	Output	FT2	0/1	1	[PJFR5]	0/1	0/1	0/1	0	

4.2.11. PORT K

表 4.12 ポート K レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PKDATA]	[PKCR]	[PKFRn]	[PKOD]	[PKPUP]	[PKPDN]	[PKIE]
PK0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1TXDB	Output	FT1	0/1	1	[PKFR1]	0/1	0/1	0/1	0
	EMG0_N	Input	FT1	0/1	0	[PKFR5]	0/1	0/1	0/1	1
PK1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT05	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	UT1TXDA	Output	FT1	0/1	1	[PKFR1]	0/1	0/1	0/1	0
	UT1RXD	Input	FT1	0/1	0	[PKFR2]	0/1	0/1	0/1	1
	OVV0_N	Input	FT1	0/1	0	[PKFR5]	0/1	0/1	0/1	1
PK2	リセット後 (TMS/SWDIO)	I/O	FT2	0	1(注)	[PKFR5]	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1RXD	Input	FT1	0/1	0	[PKFR1]	0/1	0/1	0/1	1
	UT1TXDA	Output	FT1	0/1	1	[PKFR2]	0/1	0/1	0/1	0
	T32A04OUTA	Output	FT1	0/1	1	[PKFR3]	0/1	0/1	0/1	0
	T32A04OUTC	Output	FT1	0/1	1	[PKFR4]	0/1	0/1	0/1	0
PK3	リセット後 (TCK/SWCLK)	Input	FT1	0	0	[PKFR5]	0	0	1	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1CTS_N	Input	FT1	0/1	0	[PKFR1]	0/1	0/1	0/1	1
	UT1RTS_N	Output	FT1	0/1	1	[PKFR2]	0/1	0/1	0/1	0
	T32A04INA0	Input	FT1	0/1	0	[PKFR3]	0/1	0/1	0/1	1
	T32A04INC0	Input	FT1	0/1	0	[PKFR4]	0/1	0/1	0/1	1
PK4	リセット後 (TDO/SWV)	Output	FT2	0	1(注)	[PKFR5]	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1RTS_N	Output	FT1	0/1	1	[PKFR1]	0/1	0/1	0/1	0
	UT1CTS_N	Input	FT1	0/1	0	[PKFR2]	0/1	0/1	0/1	1
	T32A04INA1	Input	FT1	0/1	0	[PKFR3]	0/1	0/1	0/1	1
	T32A04INC1	Input	FT1	0/1	0	[PKFR4]	0/1	0/1	0/1	1
PK5	リセット後 (TDI)	Input	FT1	0	0	[PKFR5]	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A04OUTB	Output	FT1	0/1	1	[PKFR3]	0/1	0/1	0/1	0
PK6	リセット後 (TRST_N)	Input	FT3	0	0	[PKFR5]	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A04INB0	Input	FT1	0/1	0	[PKFR3]	0/1	0/1	0/1	1
PK7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT13	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A04INB1	Input	FT1	0/1	0	[PKFR3]	0/1	0/1	0/1	1

(注) ツールからのコマンドを受け付けるまでは出力にはなりません。

4.2.12. PORT L

表 4.13 ポート L レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PLDATA]	[PLCR]	[PLFRn]	[PLOD]	[PLPUP]	[PLPDN]	[PLIE]
PL0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2TXDA	Output	FT1	0/1	1	[PLFR1]	0/1	0/1	0/1	0
	UT2RXD	Input	FT1	0/1	0	[PLFR2]	0/1	0/1	0/1	1
I2C2SCL	I/O	FT1	0/1	1	[PLFR3]	1	0/1	0/1	1	
PL1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2RXD	Input	FT1	0/1	0	[PLFR1]	0/1	0/1	0/1	1
	UT2TXDA	Output	FT1	0/1	1	[PLFR2]	0/1	0/1	0/1	0
I2C2SDA	I/O	FT1	0/1	1	[PLFR3]	1	0/1	0/1	1	
PL2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2CTS_N	Input	FT1	0/1	0	[PLFR1]	0/1	0/1	0/1	1
UT2RTS_N	Output	FT1	0/1	1	[PLFR2]	0/1	0/1	0/1	0	
PL3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT08	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	UT2RTS_N	Output	FT1	0/1	1	[PLFR1]	0/1	0/1	0/1	0
UT2CTS_N	Input	FT1	0/1	0	[PLFR2]	0/1	0/1	0/1	1	
PL4	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	INT12	Input	FT4	0/1	0	N/A	0/1	0/1	0/1	1
PL5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1CS1	Output	FT1	0/1	1	[PLFR1]	0/1	0/1	0/1	0
PL6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1CS0	Output	FT1	0/1	1	[PLFR1]	0/1	0/1	0/1	0
TSPI1CSIN	Input	FT1	0/1	0	[PLFR2]	0/1	0/1	0/1	1	

4.2.13. PORT M

表 4.14 ポート M レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PMDATA]	[PMCR]	[PMFRn]	[PMOD]	[PMPUP]	[PMPDN]	[PMIE]
PM0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0TXDB	Output	FT1	0/1	1	[PMFR1]	0/1	0/1	0/1	0
	TSPI0SCK	Input	FT1	0/1	0	[PMFR3]	0/1	0/1	0/1	1
		Output	FT1	0/1	1		0/1	0/1	0/1	0
	T32A00OUTA	Output	FT1	0/1	1	[PMFR4]	0/1	0/1	0/1	0
	T32A00OUTC	Output	FT1	0/1	1	[PMFR5]	0/1	0/1	0/1	0
TRACECLK	Output	FT1	0/1	1	[PMFR6]	0/1	0/1	0/1	0	
PM1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0TXDA	Output	FT1	0/1	1	[PMFR1]	0/1	0/1	0/1	0
	UT0RXD	Input	FT1	0/1	0	[PMFR2]	0/1	0/1	0/1	1
	TSPI0TXD	Output	FT2	0/1	1	[PMFR3]	0/1	0/1	0/1	0
	T32A00INA0	Input	FT1	0/1	0	[PMFR4]	0/1	0/1	0/1	1
	T32A00INC0	Input	FT1	0/1	0	[PMFR5]	0/1	0/1	0/1	1
TRACEDATA0	Output	FT1	0/1	1	[PMFR6]	0/1	0/1	0/1	0	
PM2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT09	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	UT0RXD	Input	FT1	0/1	0	[PMFR1]	0/1	0/1	0/1	1
	UT0TXDA	Output	FT1	0/1	1	[PMFR2]	0/1	0/1	0/1	0
	TSPI0RXD	Input	FT1	0/1	0	[PMFR3]	0/1	0/1	0/1	1
	T32A00INA1	Input	FT1	0/1	0	[PMFR4]	0/1	0/1	0/1	1
T32A00INC1	Input	FT1	0/1	0	[PMFR5]	0/1	0/1	0/1	1	
TRACEDATA1	Output	FT1	0/1	1	[PMFR6]	0/1	0/1	0/1	0	
PM3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0CTS_N	Input	FT1	0/1	0	[PMFR1]	0/1	0/1	0/1	1
	UT0RTS_N	Output	FT1	0/1	1	[PMFR2]	0/1	0/1	0/1	0
	TSPI0CS0	Output	FT1	0/1	1	[PMFR3]	0/1	0/1	0/1	0
	T32A00OUTB	Output	FT1	0/1	1	[PMFR4]	0/1	0/1	0/1	0
	TSPI0CSIN	Input	FT1	0/1	0	[PMFR5]	0/1	0/1	0/1	1
TRACEDATA2	Output	FT1	0/1	1	[PMFR6]	0/1	0/1	0/1	0	
PM4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0RTS_N	Output	FT1	0/1	1	[PMFR1]	0/1	0/1	0/1	0
	UT0CTS_N	Input	FT1	0/1	0	[PMFR2]	0/1	0/1	0/1	1
	TSPI0CS1	Output	FT1	0/1	1	[PMFR3]	0/1	0/1	0/1	0
	T32A00INB0	Input	FT1	0/1	0	[PMFR4]	0/1	0/1	0/1	1
	TRACEDATA3	Output	FT1	0/1	1	[PMFR6]	0/1	0/1	0/1	0
PM5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A00INB1	Input	FT1	0/1	0	[PMFR4]	0/1	0/1	0/1	1
PM6	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	INT15	Input	FT4	0/1	0	N/A	0/1	0/1	0/1	1

4.2.14. PORT N

表 4.15 ポート N レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PNDATA]	[PNCR]	[PNFRn]	[PNOD]	[PNPUP]	[PNPDN]	[PNIE]
PN0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A05OUTA	Output	FT1	0/1	1	[PNFR3]	0/1	0/1	0/1	0
	T32A05OUTC	Output	FT1	0/1	1	[PNFR4]	0/1	0/1	0/1	0
PN1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A05INA0	Input	FT1	0/1	0	[PNFR3]	0/1	0/1	0/1	1
	T32A05INC0	Input	FT1	0/1	0	[PNFR4]	0/1	0/1	0/1	1
PN2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A05INA1	Input	FT1	0/1	0	[PNFR3]	0/1	0/1	0/1	1
	T32A05INC1	Input	FT1	0/1	0	[PNFR4]	0/1	0/1	0/1	1
PN3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT10	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A05OUTB	Output	FT1	0/1	1	[PNFR3]	0/1	0/1	0/1	0
	TRGIN2	Input	FT1	0/1	0	[PNFR5]	0/1	0/1	0/1	1
PN4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A05INB0	Input	FT1	0/1	0	[PNFR3]	0/1	0/1	0/1	1
PN5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A05INB1	Input	FT1	0/1	0	[PNFR3]	0/1	0/1	0/1	1

4.2.15. PORT P

表 4.16 ポート P レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PPDATA]	[PPCR]	[PPFRn]	[PPOD]	[PPPUP]	[PPPDN]	[PPIE]
PP0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1SCK	Input	FT1	0/1	0	[PPFR1]	0/1	0/1	0/1	1
		Output		0/1	1		0/1	0/1	0/1	0
	T32A01OUTA	Output	FT1	0/1	1	[PPFR3]	0/1	0/1	0/1	0
T32A01OUTC	Output	FT1	0/1	1	[PPFR4]	0/1	0/1	0/1	0	
PP1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1TXD	Output	FT2	0/1	1	[PPFR1]	0/1	0/1	0/1	0
	T32A01INA0	Input	FT1	0/1	0	[PPFR3]	0/1	0/1	0/1	1
	T32A01INC0	Input	FT1	0/1	0	[PPFR4]	0/1	0/1	0/1	1
PP2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1RXD	Input	FT1	0/1	0	[PPFR1]	0/1	0/1	0/1	1
	T32A01INA1	Input	FT1	0/1	0	[PPFR3]	0/1	0/1	0/1	1
	T32A01INC1	Input	FT1	0/1	0	[PPFR4]	0/1	0/1	0/1	1
PP3	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	INT14	Input	FT4	0/1	0	N/A	0/1	0/1	0/1	1

4.2.16. PORT R

表 4.17 ポート R レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PRDATA]	[PRCR]	[PRFRn]	[PROD]	[PRPUP]	[PRPDN]	[PRIE]
PR0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A02OUTA	Output	FT1	0/1	1	[PRFR3]	0/1	0/1	0/1	0
	T32A02OUTC	Output	FT1	0/1	1	[PRFR4]	0/1	0/1	0/1	0
PR1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A02INA0	Input	FT1	0/1	0	[PRFR3]	0/1	0/1	0/1	1
	T32A02INC0	Input	FT1	0/1	0	[PRFR4]	0/1	0/1	0/1	1
PR2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A02INA1	Input	FT1	0/1	0	[PRFR3]	0/1	0/1	0/1	1
	T32A02INC1	Input	FT1	0/1	0	[PRFR4]	0/1	0/1	0/1	1
PR3	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0

5. ポート回路図

ポートには、FT1～FT6、FT11～FT13 のタイプがあります。それぞれの回路図を次ページから示します。図中の点線は、データシートの「等価回路図」で記されている等価回路の範囲を示します。

回路図内の"IO リセット"は、パワーオンリセット(POR)または端子リセット(RESET_N)を示します。ただし、デバッグ用端子(TMS/SWDIO.TDI,TDO/SWV,TCK/SWCLK,TRST_N)のIOリセットは、パワーオンリセット(POR)のみとなります。

5.1. タイプ FT1

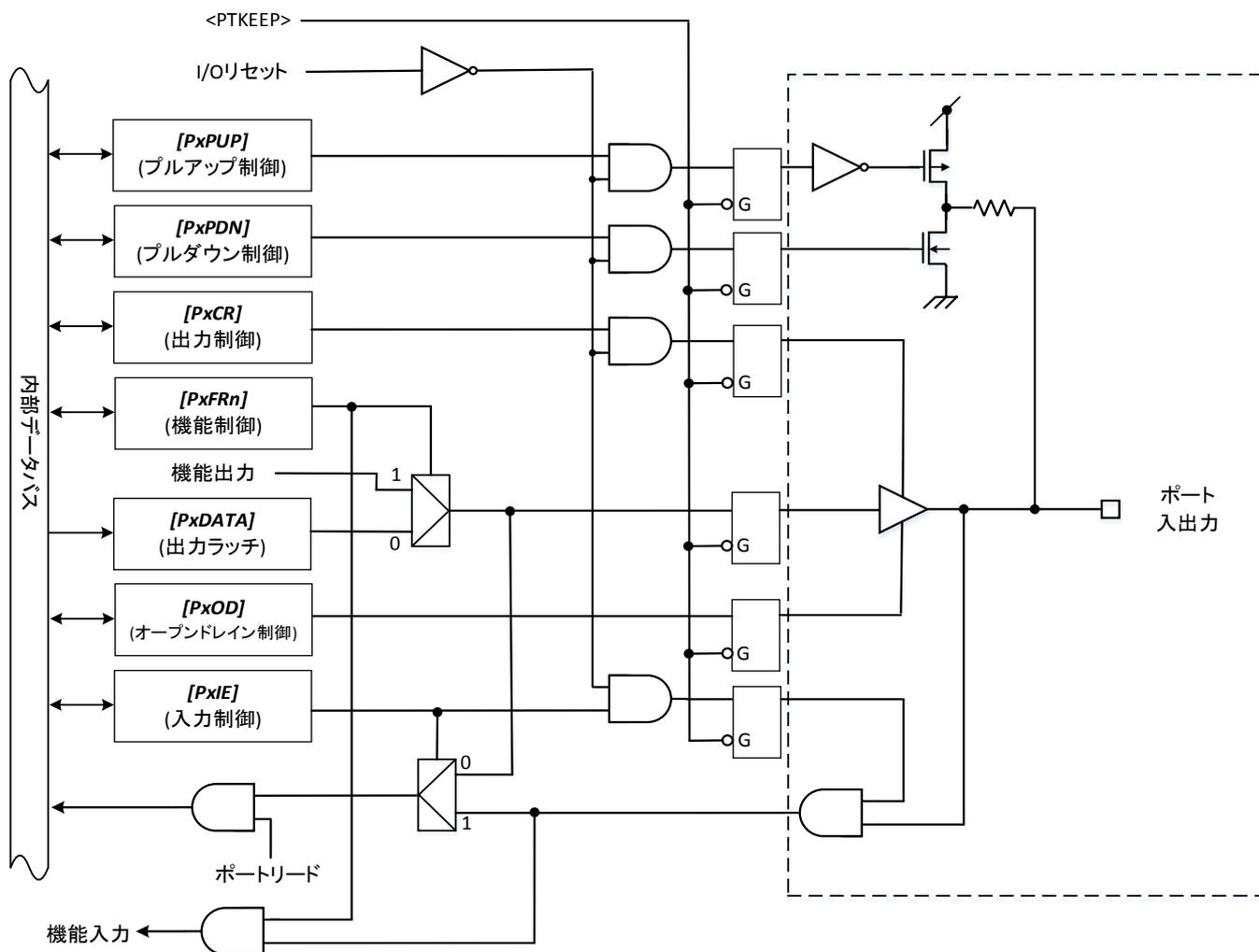


図 5.1 ポートタイプFT1

注) PB0 端子に $[PxIE]$ はありません。

5.2. タイプ FT2

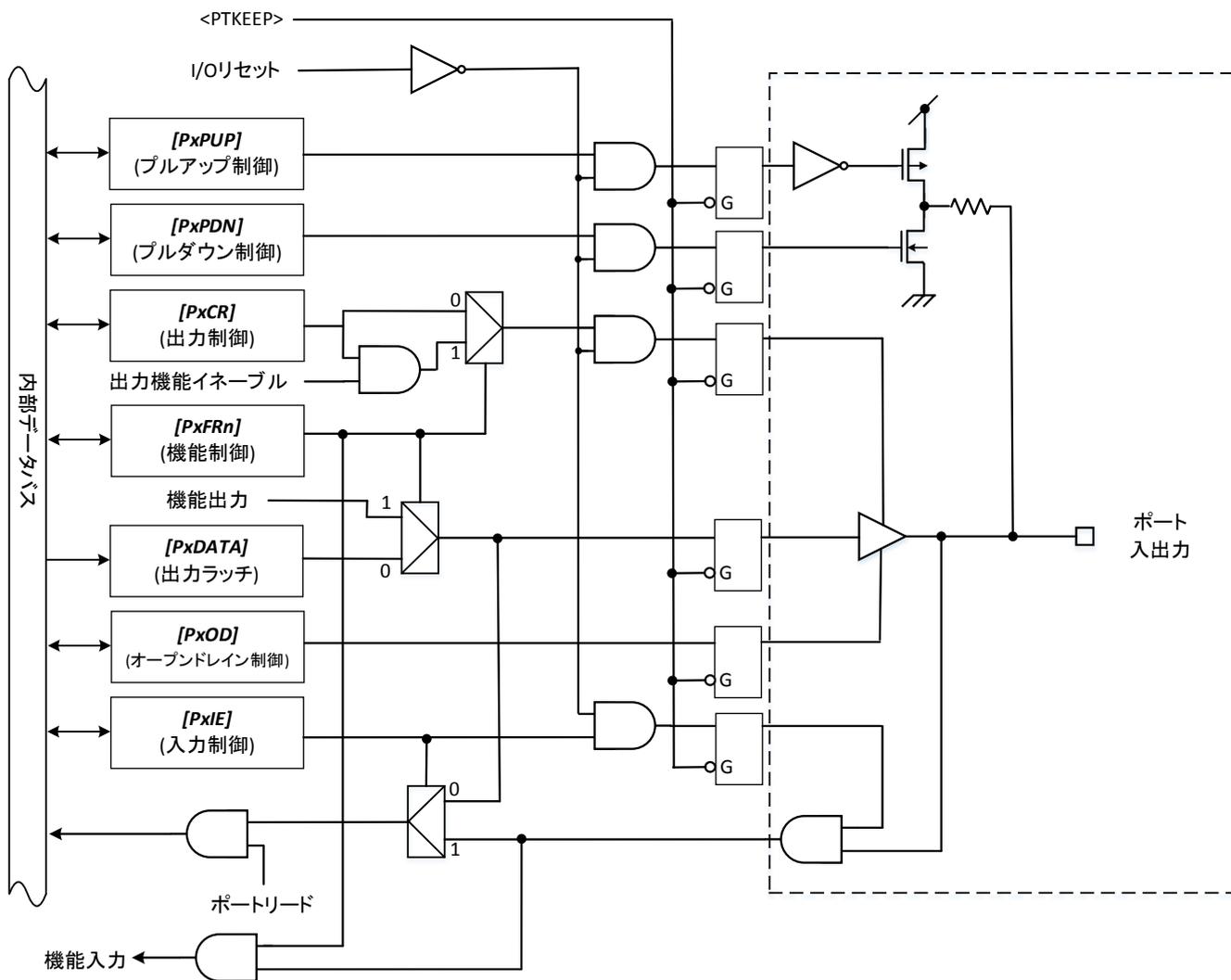


図 5.2 ポートタイプFT2

5.3. タイプ FT3

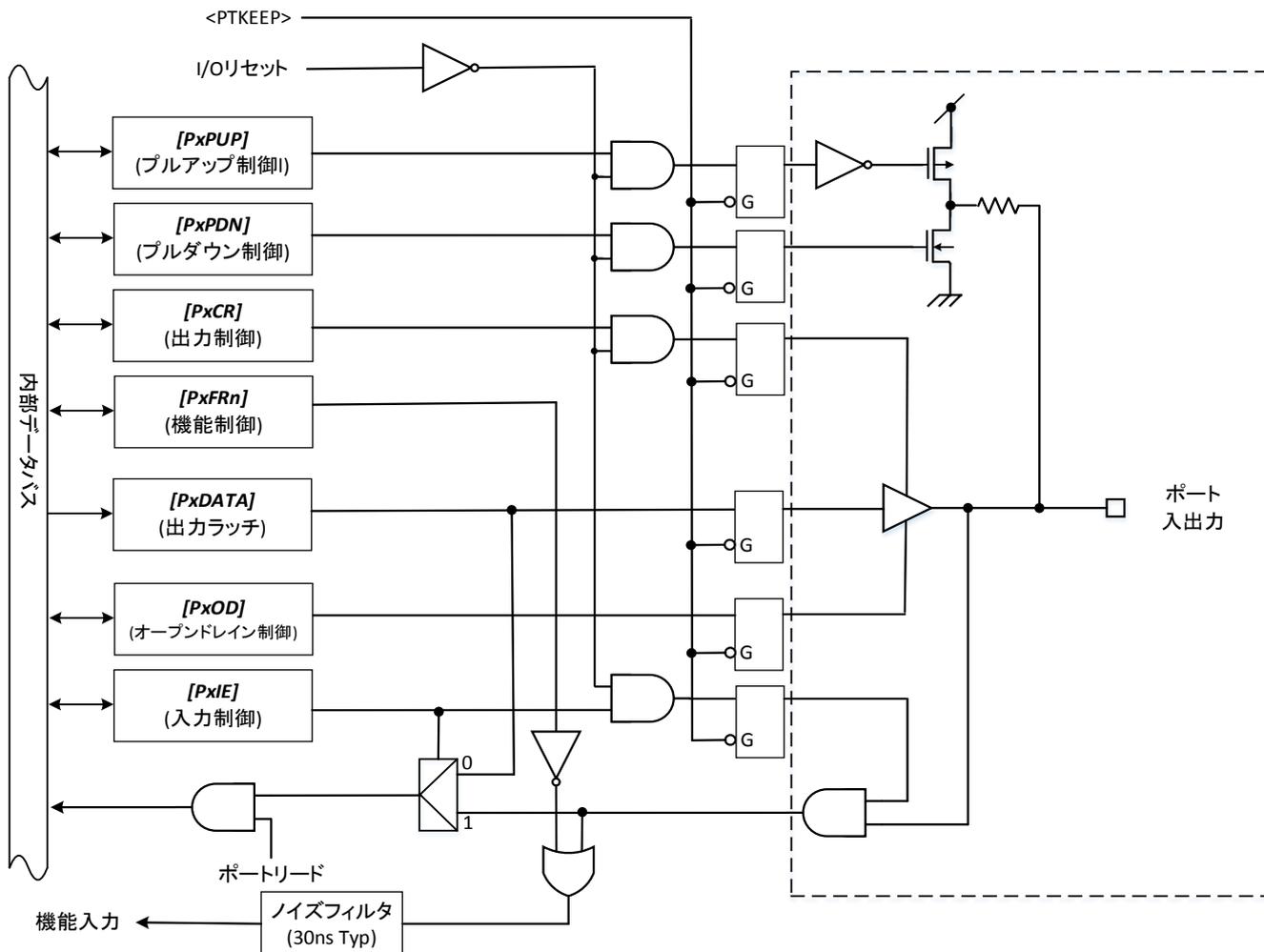


図 5.3 ポートタイプFT3

5.4. タイプ FT4

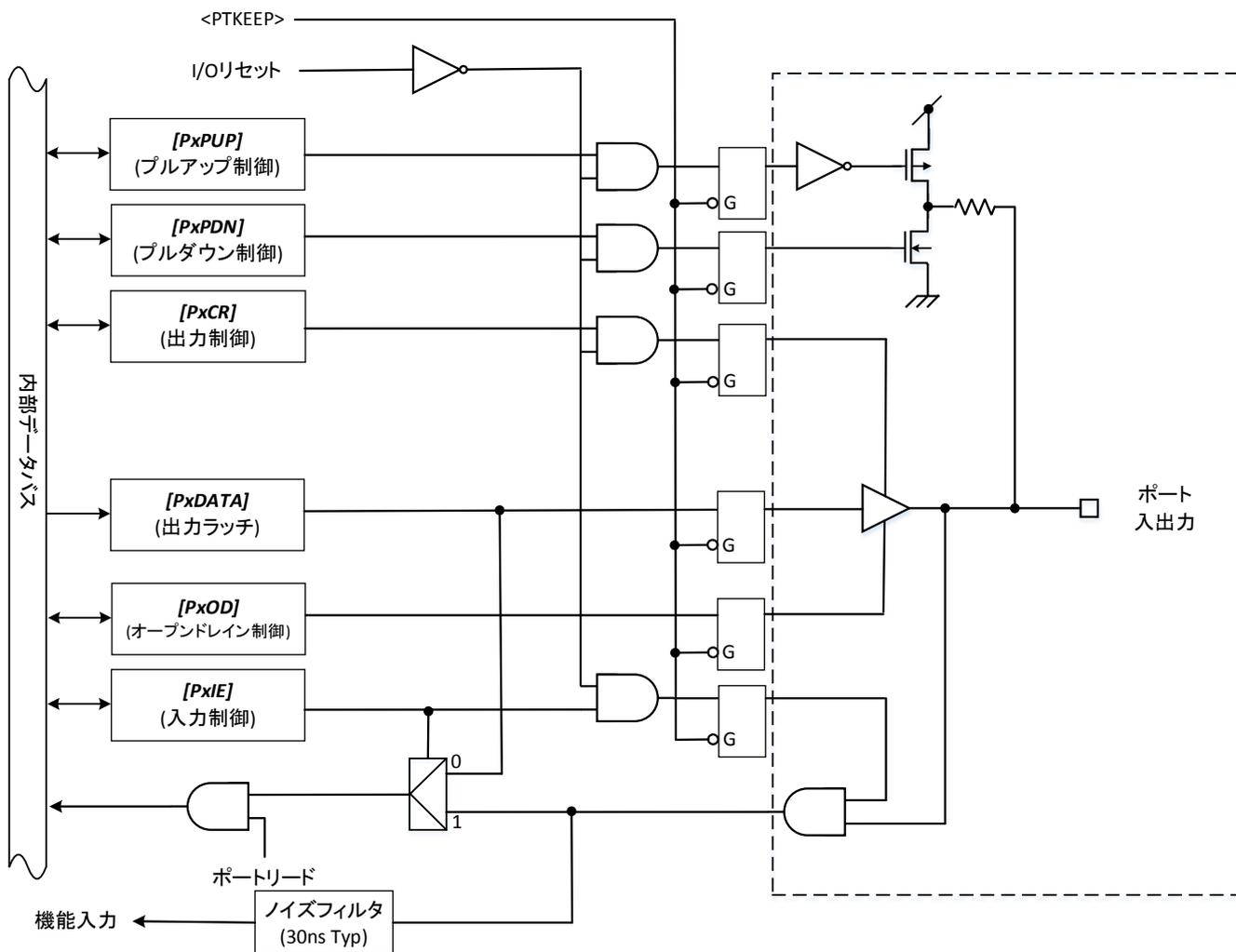


図 5.4 ポートタイプFT4

5.5. タイプ FT5

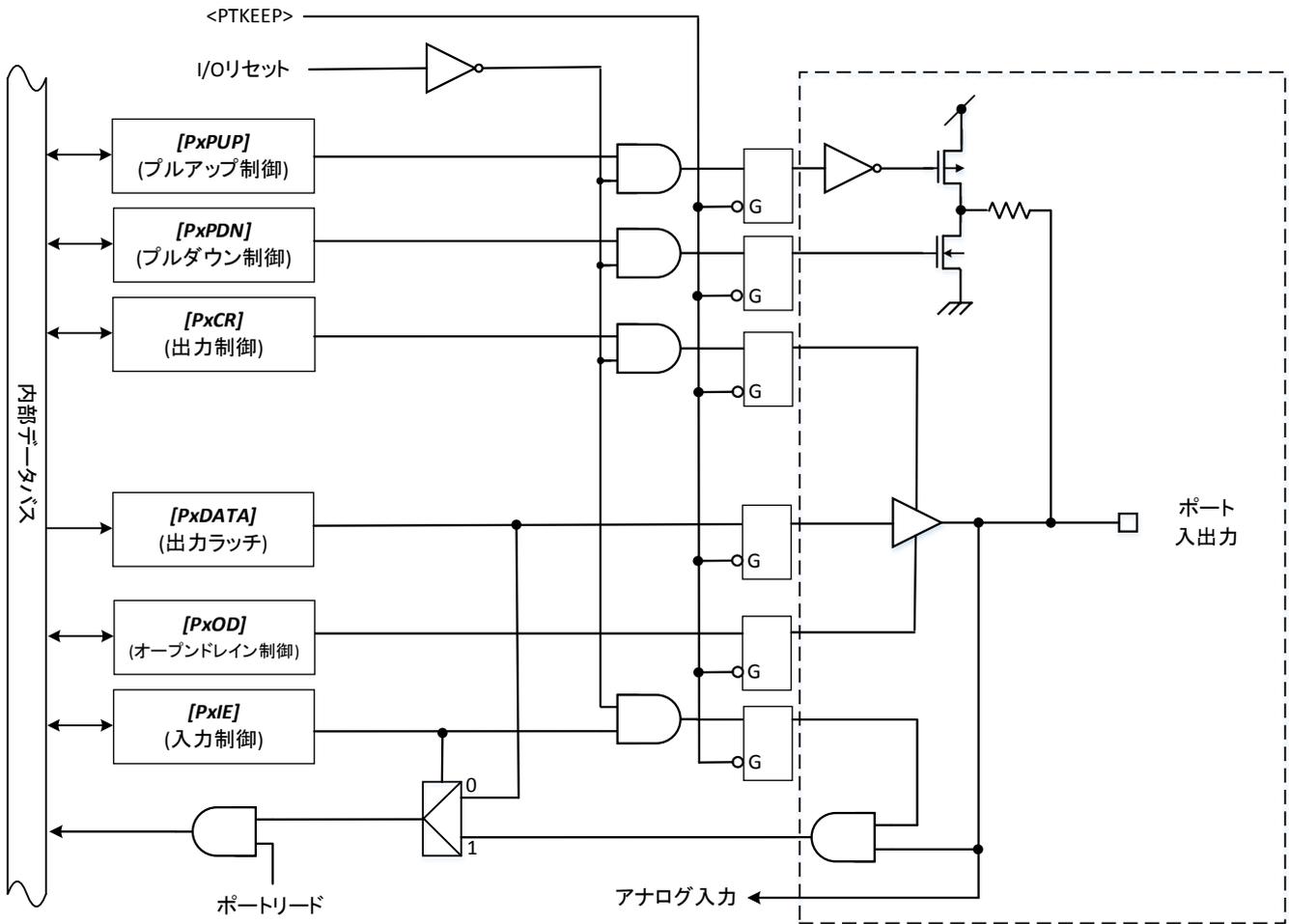


図 5.5 ポートタイプFT5

5.6. タイプ FT6

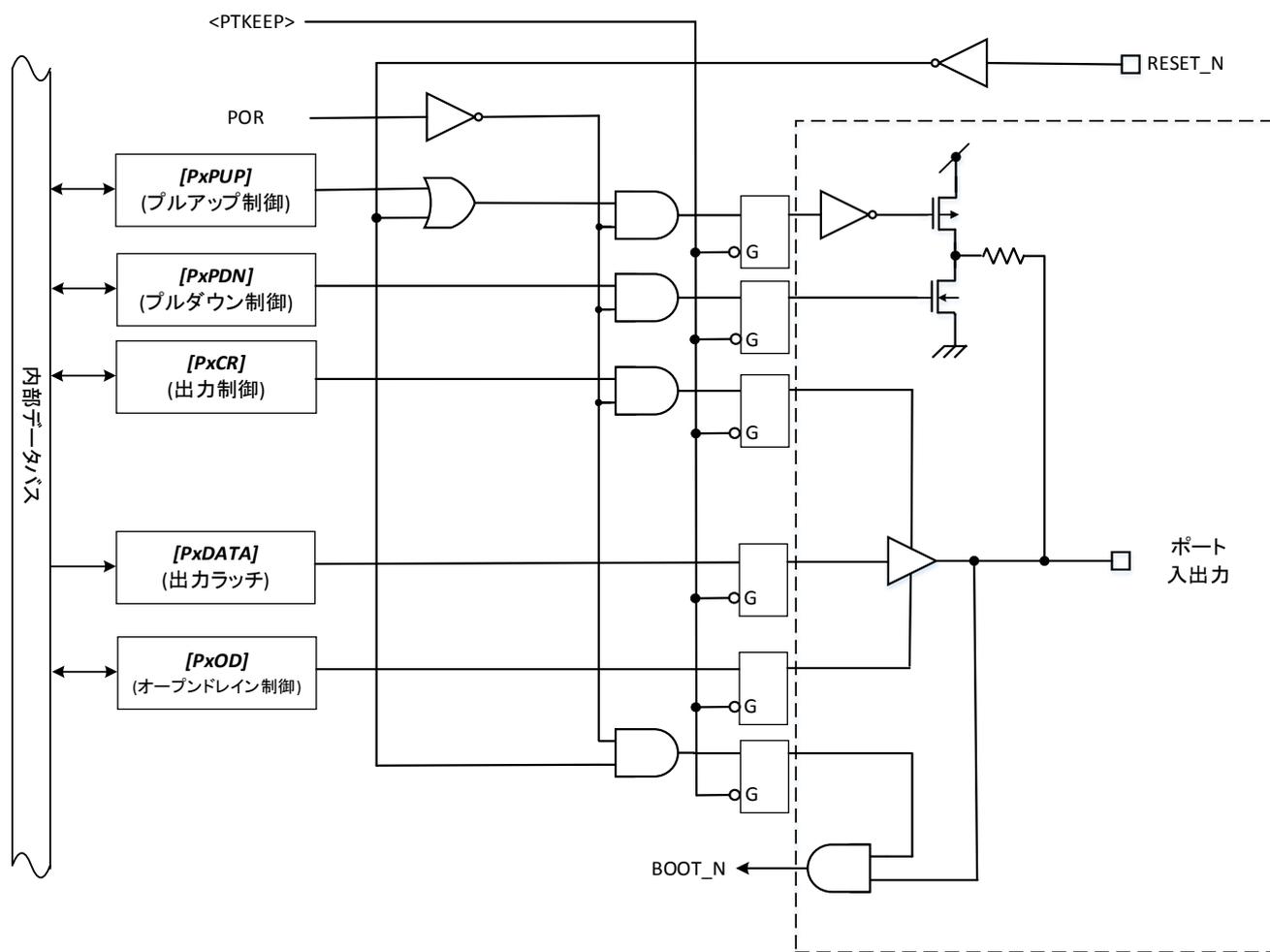


図 5.6 ポートタイプFT6

5.7. タイプ FT11

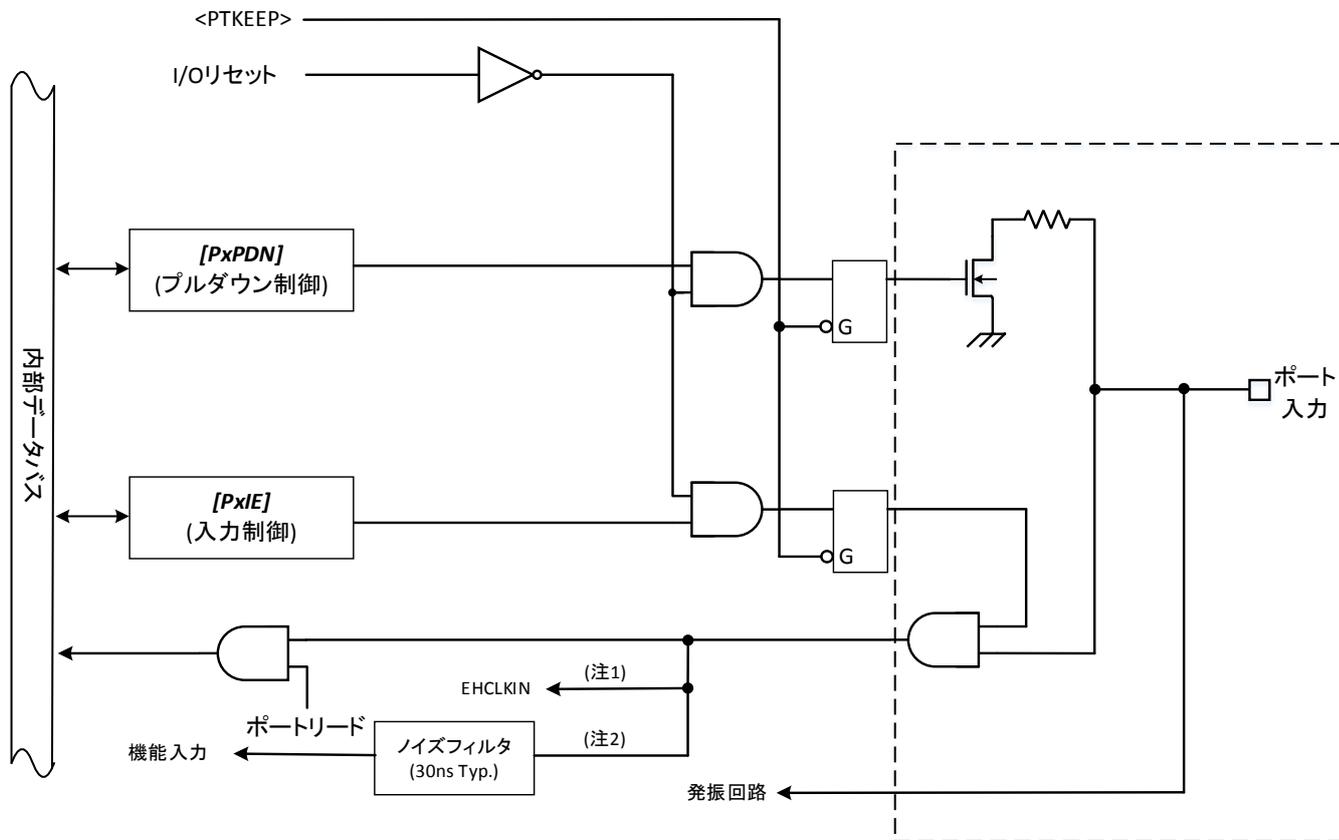


図 5.7 ポートタイプFT11

注1) PH0/X1/EHCLKIN 端子

注2) PH3/XT2/INT06 端子

5.9. タイプ FT13

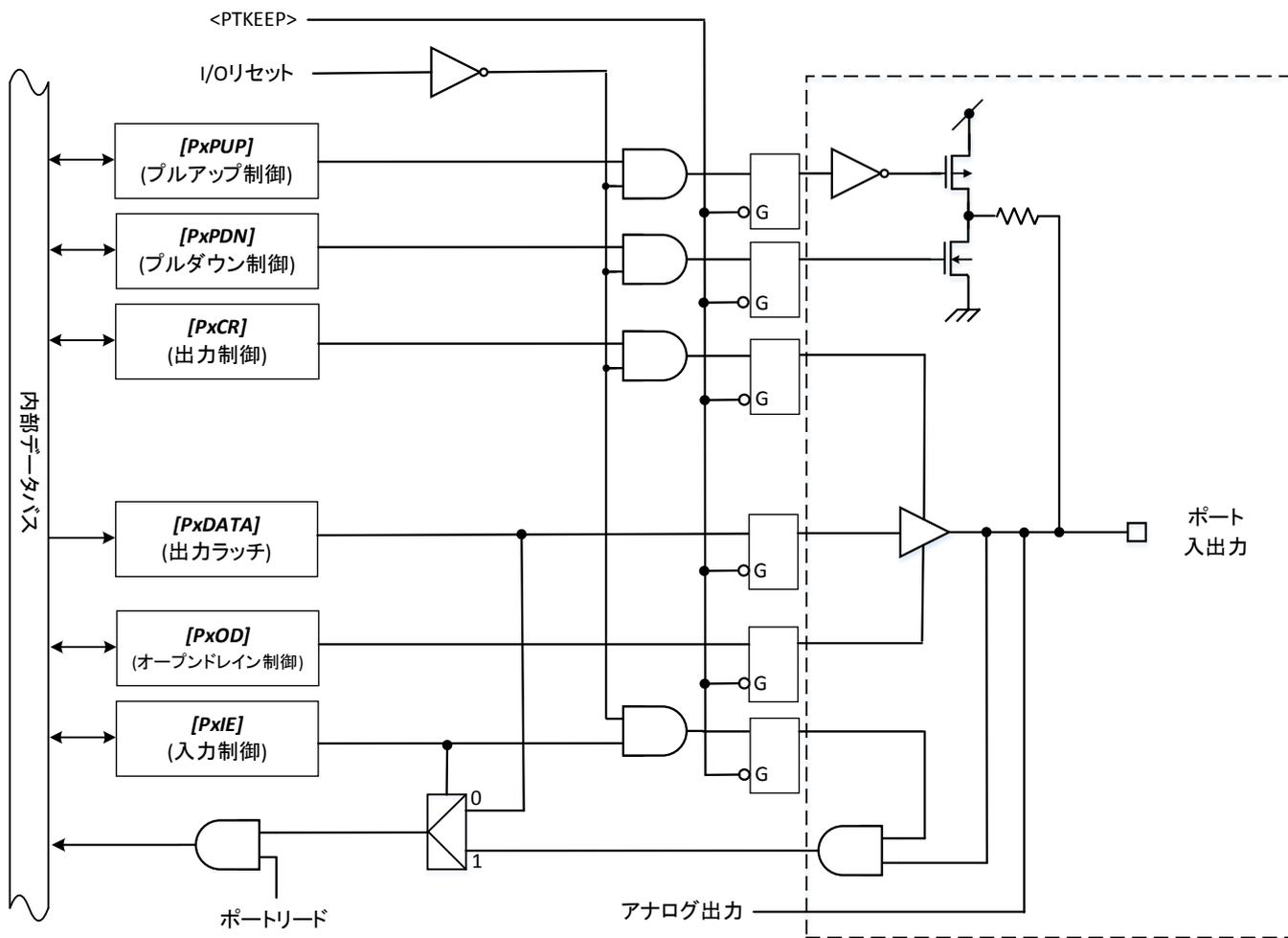


図 5.9 ポートタイプFT13

6. 使用上のご注意およびお願い事項

6.1. リセット期間中の端子状態について

リセット期間中、下記以外の端子はハイインピーダンス入力状態となり、プルアップ・プルダウンも無効状態となります。

- ・デバッグインタフェース兼用端子 (PK2~PK6) はデバック端子状態となります。
- ・PB0(BOOT_N)は端子リセット期間中は入力およびプルアップが許可となっており、リセット信号の立ち上がりで、PB0が"High"の場合、シングルチップモードとなり内蔵Flashメモリから起動し、PB0が"Low"の場合、シングルブートモードとなり内蔵BOOTプログラムから起動します。

6.2. 未使用端子の処理について

未使用端子は、1本ずつ抵抗を通して電源端子または1本ずつ抵抗を通してGND端子に固定することを推奨します。

一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生してLSI内部で静電破壊やラッチアップが発生することがあります。

6.3. デバッグインタフェース端子を汎用ポートとして使用する際の注意

リセット解除後ユーザプログラムでデバッグインタフェース端子を汎用ポートに設定すると、それ以降はデバッグツールからの接続ができなくなり制御ができなくなります。

デバッグツールによるデバッグができなくなった場合、シングルブートモードに設定し外部からUART接続でフラッシュ消去することで、再度デバックツールと接続することができます。詳細はリファレンスマニュアルの「フラッシュメモリ」を参照してください。

7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2017-03-07	新規
1.1	2017-04-17	・「2.2 機能端子」を「4.2.1 機能端子を使用する際の設定について」にマージ
1.2	2017-08-23	<ul style="list-style-type: none"> ・社名変更による変更 表紙 商標の見直し 製品取り扱い上のお願いの差し替え ・4.2.9 PH4(INT06)のポートタイプを FT4->FT11 に修正 ・図 5.7 ポートタイプ FT11: 図に信号追加、注 1)、注 2)追加 ・図 5.8 ポートタイプ FT12: 図に信号追加
2.0	2018-03-05	<ul style="list-style-type: none"> ・1. 概要 <ul style="list-style-type: none"> 修正: 表 1.1 の機能 "割り込み制御"→"外部割り込み" "高速発振子"→"高速発振器" "低速発振子"→"低速発振器" 表 1.1 の説明 "高速発振子接続端子" →"高速発振子接続端子、外部高速クロック入力" ・2.1. クロック供給 <ul style="list-style-type: none"> 追記: "該当レジスタ、ビット位置は製品によって異なります。そのため製品によって、レジスタが存在しない場合があります。" ・3. 信号接続一覧 <ul style="list-style-type: none"> 追記: 表 3.1~3、5 兼用機能端子名のチャンネルごとに項目行を追記。 ・4. レジスタ説明 <ul style="list-style-type: none"> 修正: 表の [PxIE]説明欄 "に反映されるまで若干の時間が必要です。" →"100ns(最大)の時間が必要です。" ・4.1. レジスタ一覧 <ul style="list-style-type: none"> 追記: 表 4.2 "注) - " 表記のアドレスにはアクセスしないでください。" (2 箇所) ・4.2.1. 機能端子を使用する際の設定について <ul style="list-style-type: none"> 修正: 説明内容 ・4.2.3. PORT B <ul style="list-style-type: none"> 追記: 表 4.4 の注) " [PBIE]レジスタは N/A ですが、BOOT_N 信号が入力可能となります。" ・4.2.5. PORT D <ul style="list-style-type: none"> 修正: 表 4.6 の注) "にしてください。" →"、[PDPUP]はプルアップ禁止"0"、[PDPDN]はプルダウン禁止"0"にしてください。" ・4.2.6. PORT E <ul style="list-style-type: none"> 修正: 表 4.7 の注) " [PDCR]は出力禁止"0"-----" →" [PECR]は出力禁止"0"、[PEPUP]はプルアップ禁止"0"、[PEPDN]はプルダウン禁止"0"にしてください。" ・4.2.7. PORT F <ul style="list-style-type: none"> 修正: 表 4.8 の注) " [PDCR]は出力禁止"0"-----" →" [PFCR]は出力禁止"0"、[PFUP]はプルアップ禁止"0"、[PFDPN]はプルダウン禁止"0"にしてください。" ・4.2.8. PORT G <ul style="list-style-type: none"> 追記: 表 4.9 "注) アナログ出力(DACx)として使用する場合、[PGCR]は出力禁止"0"、[PGIE]は入力禁止"0"、[PGPUP]はプルアップ禁止"0"、[PGPDN]はプルダウン禁止"0"にしてください。" ・4.2.9. PORT H <ul style="list-style-type: none"> 修正: 表 4.10 EHCLKIN [PHIE] "0"→"1"

		<ul style="list-style-type: none"> ・4.2.10. PORT J 修正: 表 4.11 PJ0 のリセット後 [PJPDN] 空欄→"0" ・4.2.11. PORT K 修正: 表 4.12 PK7 T32A04INB1 [PKFRn] " [PKFR2] "→" [PKFR3] " ・5.ポート回路図 追記: "または端子リセットを示します." →"または端子リセット(RESET_N)を示します。" ・5.7. タイプ FT11 修正: 図 5.7 EHCLKIN の分岐 ・5.8. タイプ FT12 修正: 図 5.8 ノイズフィルタの位置
2.1	2018-10-18	<ul style="list-style-type: none"> ・3. 信号接続一覧 修正: 表 3.7 "モータ制御回路" → "プログラマブルモータ制御回路プラス" ・4. レジスタ説明 追記: 表に "Type"欄を追記。 ・4.2.11. PORT K 修正: PK1 の OVVO_N "Output" → "Input", [PKCR] "1" → "0", [PKIE] "0" → "1" ・6.1. リセット期間中の端子状態について 修正: "内蔵 BOOT ROM" → "内蔵 BOOT プログラム" ・製品取り扱い上のお願 文言を更新。
2.2	2019-07-26	<ul style="list-style-type: none"> ・1 概要 表 1.1 の端子名称の用語を各リファレンスマニュアルの表記に統一 ・2.1 クロック供給 未使用のレジスタ[CGFCEN]を削除 ・3 信号接続一覧 表 3.7 バウンダリスキャン/デバッグインタフェースをバウンダリスキャンとデバッグインタフェースに分けて記載 ・4.2.11 PORT K TDI,TDO/SWV のポートタイプ FT2→FT1 に修正 ・4.2.12 PORT L PL4 の[PLFRn]0→N/A に修正 ・5. ポート回路図 説明追加 ・5.1 タイプ FT1 注)を追加 ・5.7 タイプ FT11 機能入力の接続を修正

製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍사용途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。