32 ビット RISC マイクロコントローラ

TMPM3H グループ(1)
リファレンスマニュアル
メモリマップ
(MMAP-M3H(1))

Revision 1.4

2019-07

東芝デバイス&ストレージ株式会社

© 2017-2019
Toshiba Electronic Devices & Storage Corporation

目次

序章 4
関連するドキュメント 4
表記規約 5
用語・略語 7
1. メモリマップ 8
1.1. TMPM3HxFW 9
1.2. TMPM3HxFU 10
1.3. TMPM3HxFS 11
1.4. TMPM3HxFP 12
1.5. TMPM3HxFM 13
2. バスマトリクス 14
2.1. 構成 14
2.1.1. シングルチップモード 14
2.1.2. シングルブートモード 15
2.2. 接続表 16
2.2.1. メモリ関連の接続 16
2.2.2. 周辺機能の接続 17
3. 改訂履歴 18
製品取り扱い上のお願い 19

図目次

図 1.1　TMPM3HxFW 9
図 1.2　TMPM3HxFU 10
図 1.3　TMPM3HxFS 11
図 1.4　TMPM3HxFP 12
図 1.5　TMPM3HxFM 13
図 2.1　シングルチップモード 14
図 2.2　シングルブートモード 15

表目次

表 2.1　シングルチップモード 16
表 2.2　シングルブートモード 16
表 2.3　周辺機能の接続 17
表 3.1　改訂履歴 18

序章

関連するドキュメント

文書名
Arm® ドキュメンテーションセット Cortex®-M3 編

表記規約

- 数値表記は以下の規則に従います。
  16 進数表記:　0xABC
  10 進数表記:　123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
  2 進数表記:　0b111　(ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
  例: S[3: 0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 ***[ ]*** で囲まれたものはレジスタを定義しています。
  例: ***[ABCD]***
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
  例: ***[XYZ1]***, ***[XYZ2]***, ***[XYZ3]*** → ***[XYZn]***
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャネルは「x」で一括表記しています。
  ユニットの場合、「x」は A,B,C, ... を表します。
  例: ***[ADACR0]***, ***[ADBCR0]***, ***[ADCCR0]*** → ***[ADxCR0]***
  チャネルの場合、「x」は 0,1,2, ... を表します。
  例: ***[T32A0RUNA]***, ***[T32A1RUNA]***, ***[T32A2RUNA]*** → ***[T32AxRUNA]***
- レジスタのビット範囲は [m:n] と表記します。
  例: [3: 0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
  例: ***[ABCD]***<EFG> = 0x01 (16 進数)、***[XYZn]***<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
  バイト:　8 ビット
  ハーフワード:　16 ビット
  ワード:　32 ビット
  ダブルワード:　64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
  R:　リードオンリー
  W:　ライトオンリー
  R/W:　リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。
  また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
  Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

****
Arm,Cortex および **Thumb** は **Arm Limited(**またはその子会社**)**の **US** またはその他の国における登録商標です。 **All rights reserved.**
****

FLASH メモリについては、米国 SST 社(Silicon Storage Technology, Inc.)からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

APB	Advanced Peripheral Bus
ADC	Analog to Digital Converter
A-ENC	Advanced Encoder Input Circuit
AO	Constant energization region(8bit Bus)
CG	Clock control & Generations
DAC	Digital to Analog Converter
D-Bus	DCode memory interface
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
I^2C	Inter-Integrated Circuit
I2CS	I^2C wake-up circuit from Stand-by mode
IA(INTIF)	Interrupt control register A
IB(INTIF)	Interrupt control register B
I-Bus	ICode memory interface
IMN	Interrupt Monitor
IO	IO Bus(32bit Peripheral Bus)
LVD	Voltage Detection Circuit
OFD	Oscillation Frequency Detector
PMD+	Programmable Motor Control Circuit Plus
RLM	Low speed oscillation / power supply control / reset
RMC	Remote Control Signal Preprocessor
RTC	Real Time Clock
S-Bus	System interface
SIWDT	Clock Selective Watchdog Timer
TRGSEL	Trigger Selection Circuit
TRM	Trimming Circuit
TSPI	Toshiba Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Universal Asynchronous Receiver Transmitter

1. メモリマップ

TMPM3H グループ(1)は、Arm Cortex-M3 コアのメモリマップに沿って作られており、内蔵 ROM 領域は Cortex-M3 コアメモリマップの Code 領域、内蔵 RAM 領域は SRAM 領域、特殊機能レジスタ(SFR)領域は Peripheral 領域に割り付けられています。特殊機能レジスタ(SFR：Special function register)とは、入出力ポートおよび周辺機能のコントロールレジスタを示します。

CPU Register Region はコア内部のレジスタ領域です。

各領域の詳細については、"Arm ドキュメンテーションセット Cortex-M3 編"を参照してください。

"Fault"と記載された領域では、アクセスするとバスフォールトが有効な場合にはバスフォールト、無効な場合にはハードフォールトが発生します。また、ベンダ固有領域にはアクセスしないでください。

1.1. TMPM3HxFW

- Code Flash : 128KB
- RAM : 16KB
- Data Flash : 32KB
- 対象製品 : TMPM3H6FWFG, TMPM3H6FWDFG, TMPM3H5FWFG, TMPM3H5FWDFG, TMPM3H4FWUG, TMPM3H4FWFG, TMPM3H3FWUG, TMPM3H2FWQG, TMPM3H2FWDUG, TMPM3H1FWUG

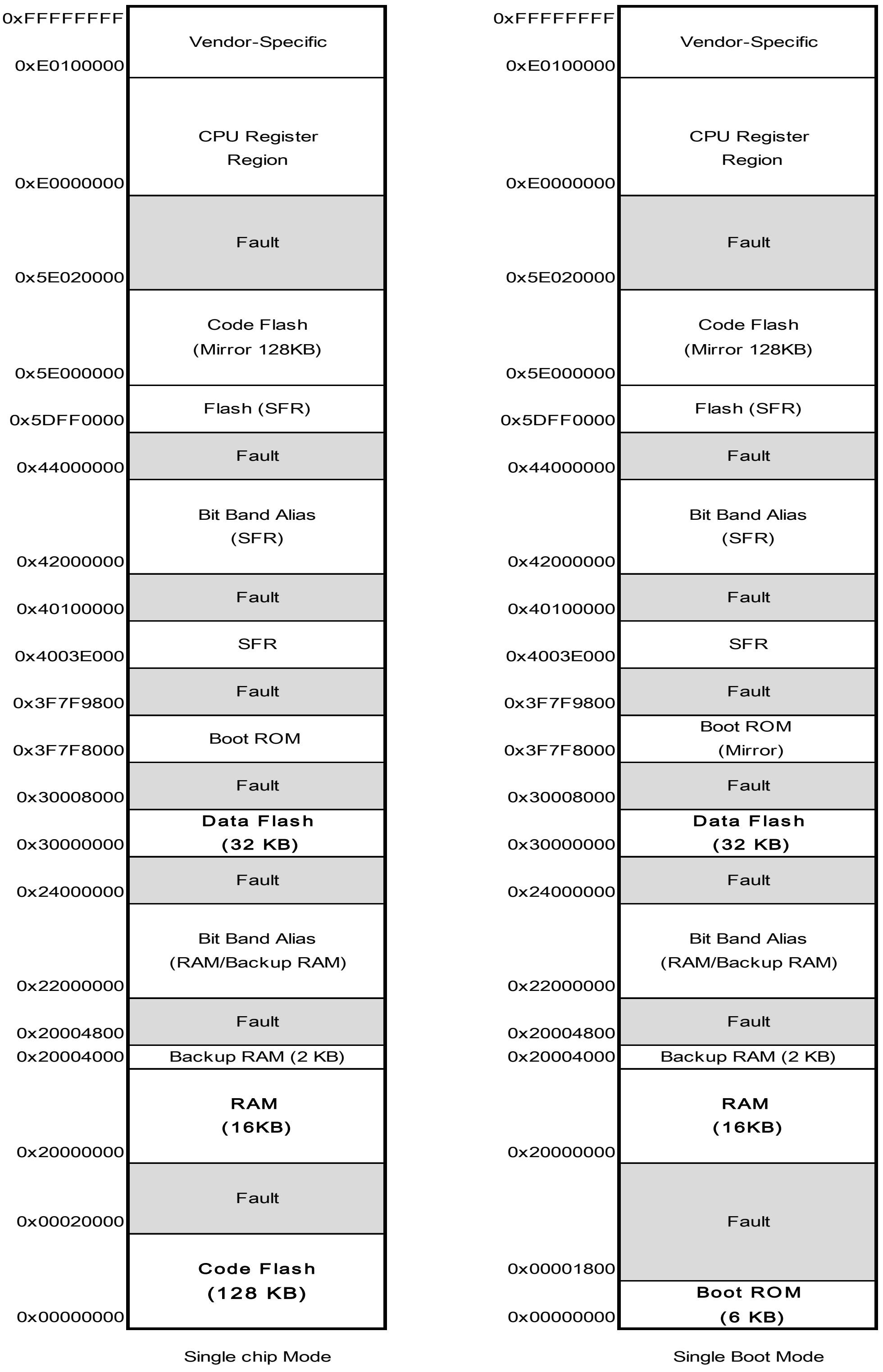

図 1.1 TMPM3HxFW

1.2. TMPM3HxFU

- Code Flash : 96KB
- RAM : 12KB
- Data Flash : 32KB
- 対象製品 : TMPM3H6FUFG, TMPM3H6FUDFG, TMPM3H5FUFG, TMPM3H5FUDFG, TMPM3H4FUUG, TMPM3H4FUFG, TMPM3H3FUUG, TMPM3H2FUQG, TMPM3H2FUDUG, TMPM3H1FUUG

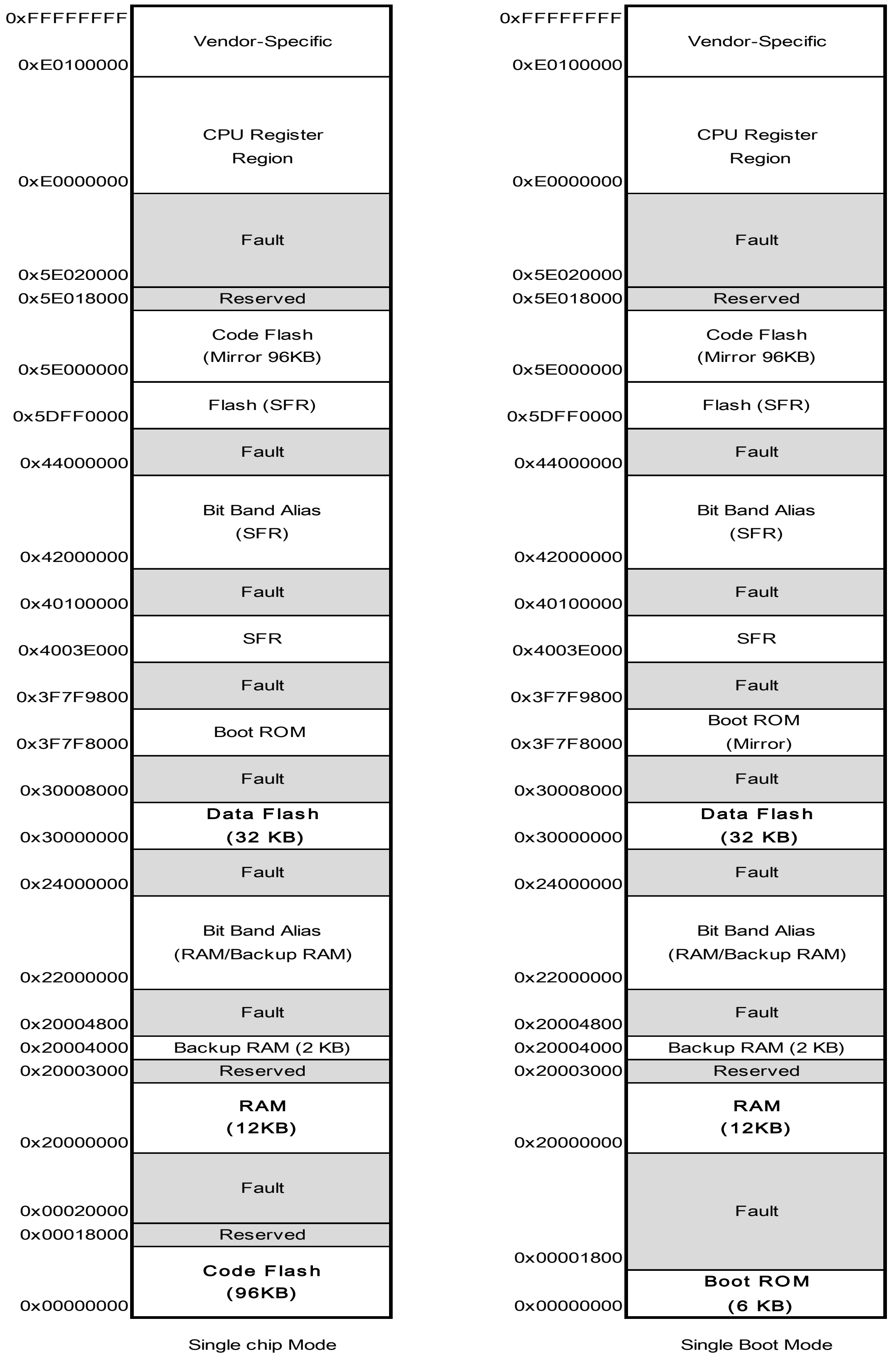

図 1.2 TMPM3HxFU

1.3. TMPM3HxFS

- Code Flash　:　64KB
- RAM　:　8KB
- Data Flash　:　16KB
- 対象製品　:　TMPM3H6FSFG, TMPM3H6FSDFG, TMPM3H5FSFG, TMPM3H5FSDFG, TMPM3H4FSUG, TMPM3H4FSFG, TMPM3H3FSUG, TMPM3H2FSQG TMPM3H2FSDUG, TMPM3H1FSUG, TMPM3H0FSDUG

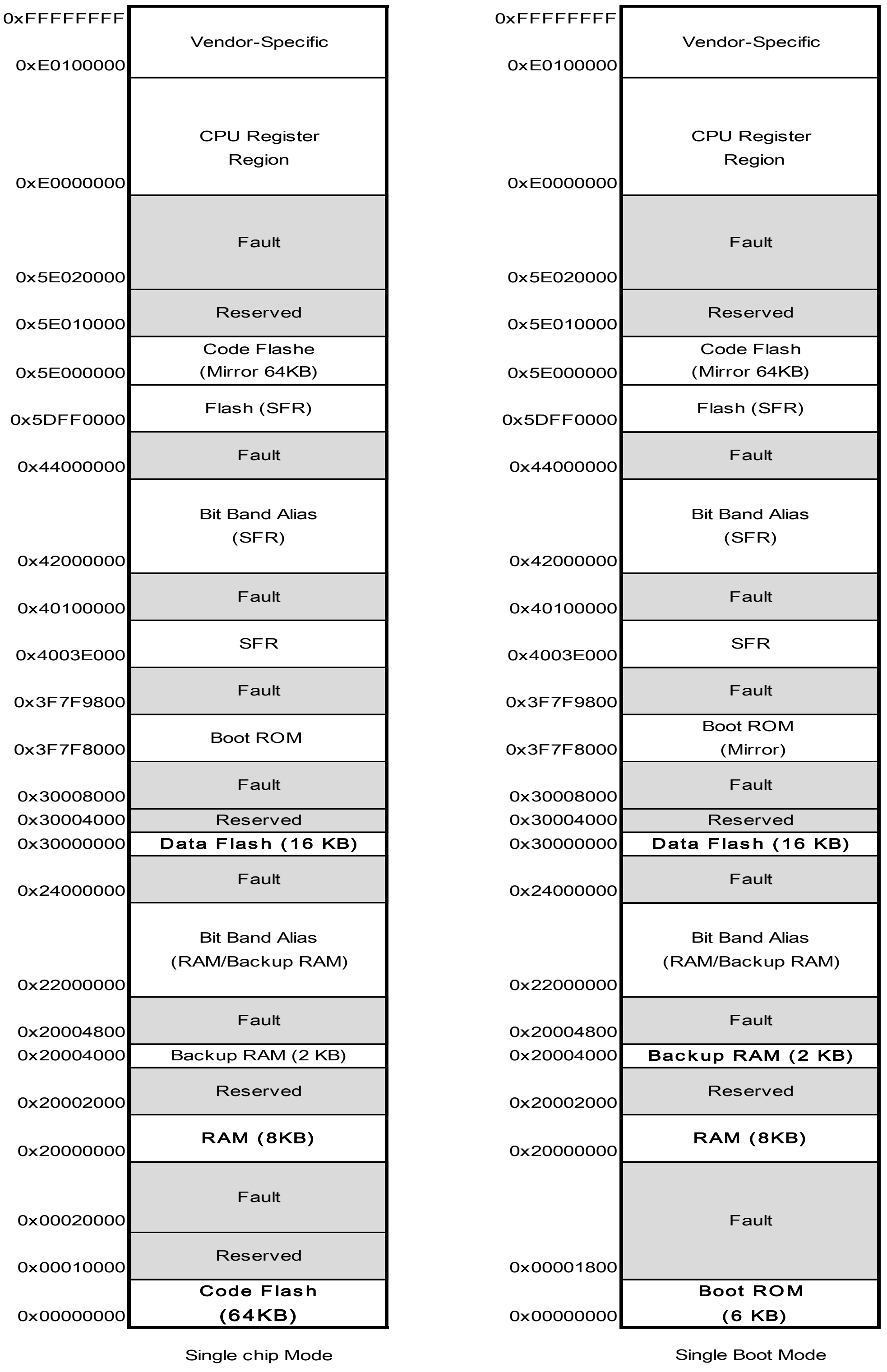

図 1.3　TMPM3HxFS

1.4. TMPM3HxFP

- Code Flash : 48KB
- RAM : 6KB
- Data Flash : 8KB
- 対象製品 : TMPM3H1FPUG

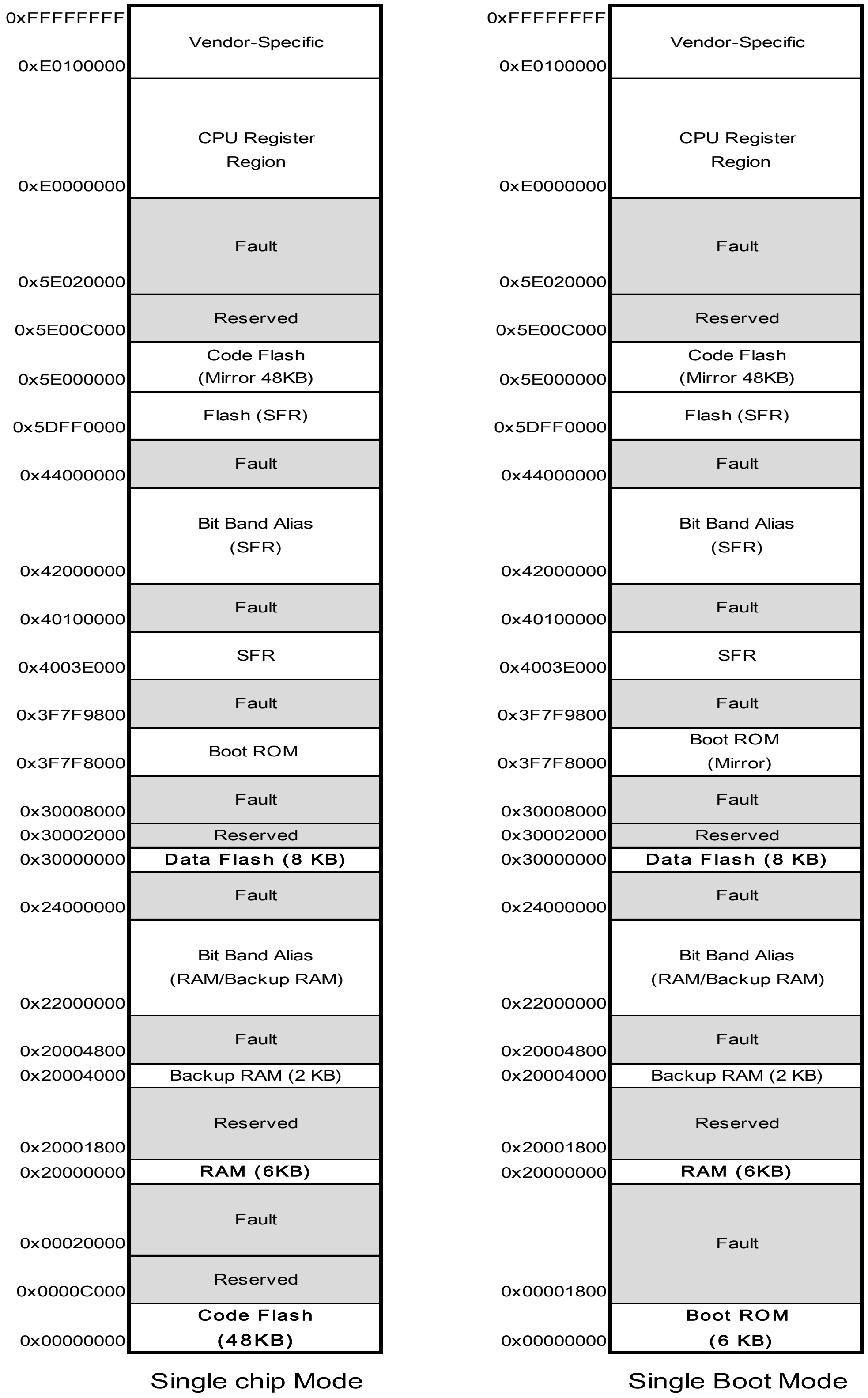

図 1.4 TMPM3HxFP

1.5. TMPM3HxFM

- Code Flash : 32KB
- RAM : 6KB
- Data Flash : 8KB
- 対象製品 : TMPM3H0FMDUG

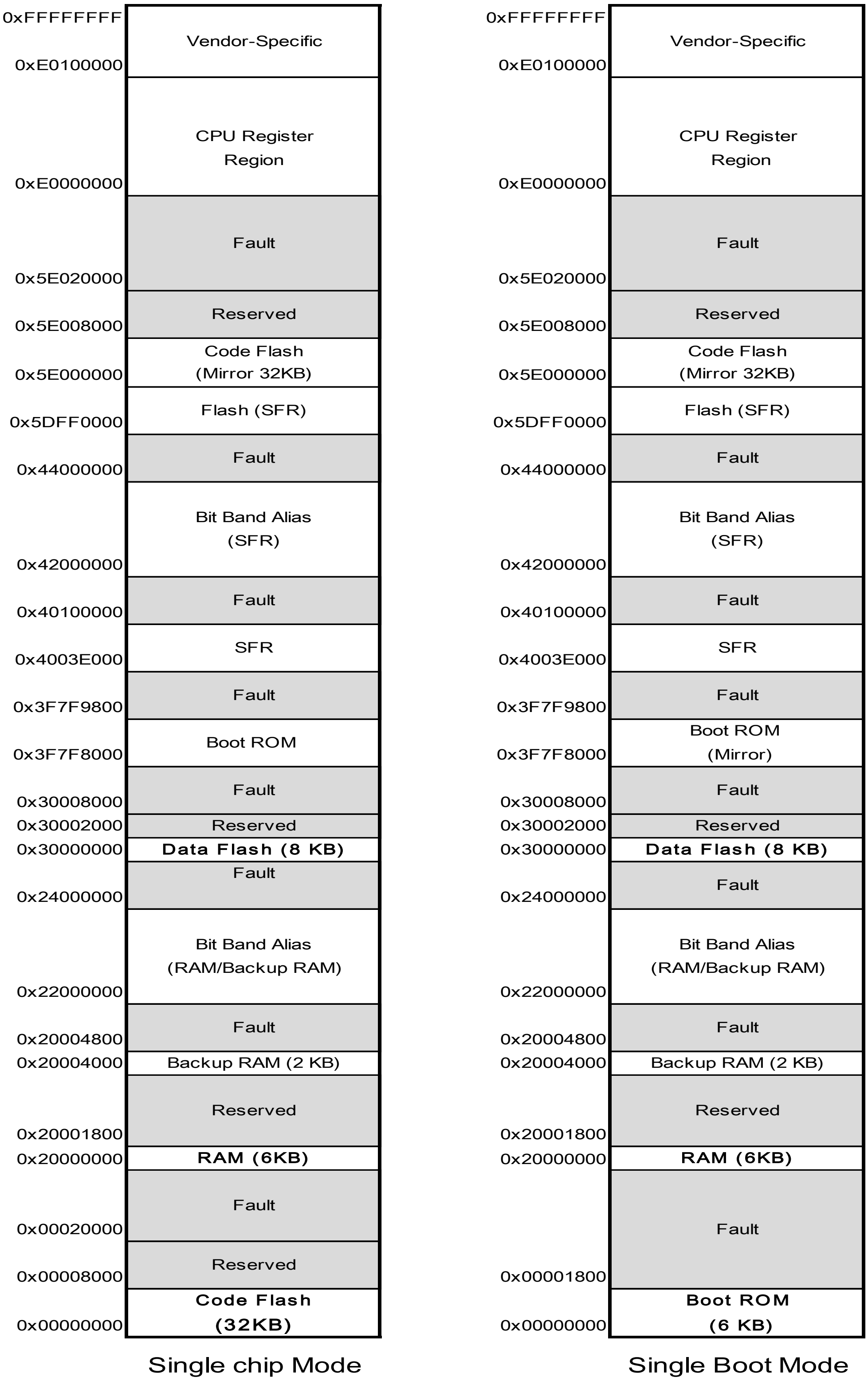

図 1.5 TMPM3HxFM

2. バスマトリクス

本マイコンでは、CPU コア、DMA コントローラ 2 種類のバスマスタが搭載されています。

バスマスタは、バスマトリクスのスレーブポート(S0～S3)に接続され、バスマトリクス内で、接続を示す記号(○,●)を経由して、マスタポート(M0～M14)から、周辺機能に接続されます。●は、ミラー領域への接続を示します。

バスマトリクス内の同一マスタライン上に、複数のスレーブが接続されている場合で、同一タイミングで複数のスレーブにアクセスが発生した場合は、スレーブ番号の小さいマスタのアクセスが優先されます。

2.1. 構成

2.1.1. シングルチップモード

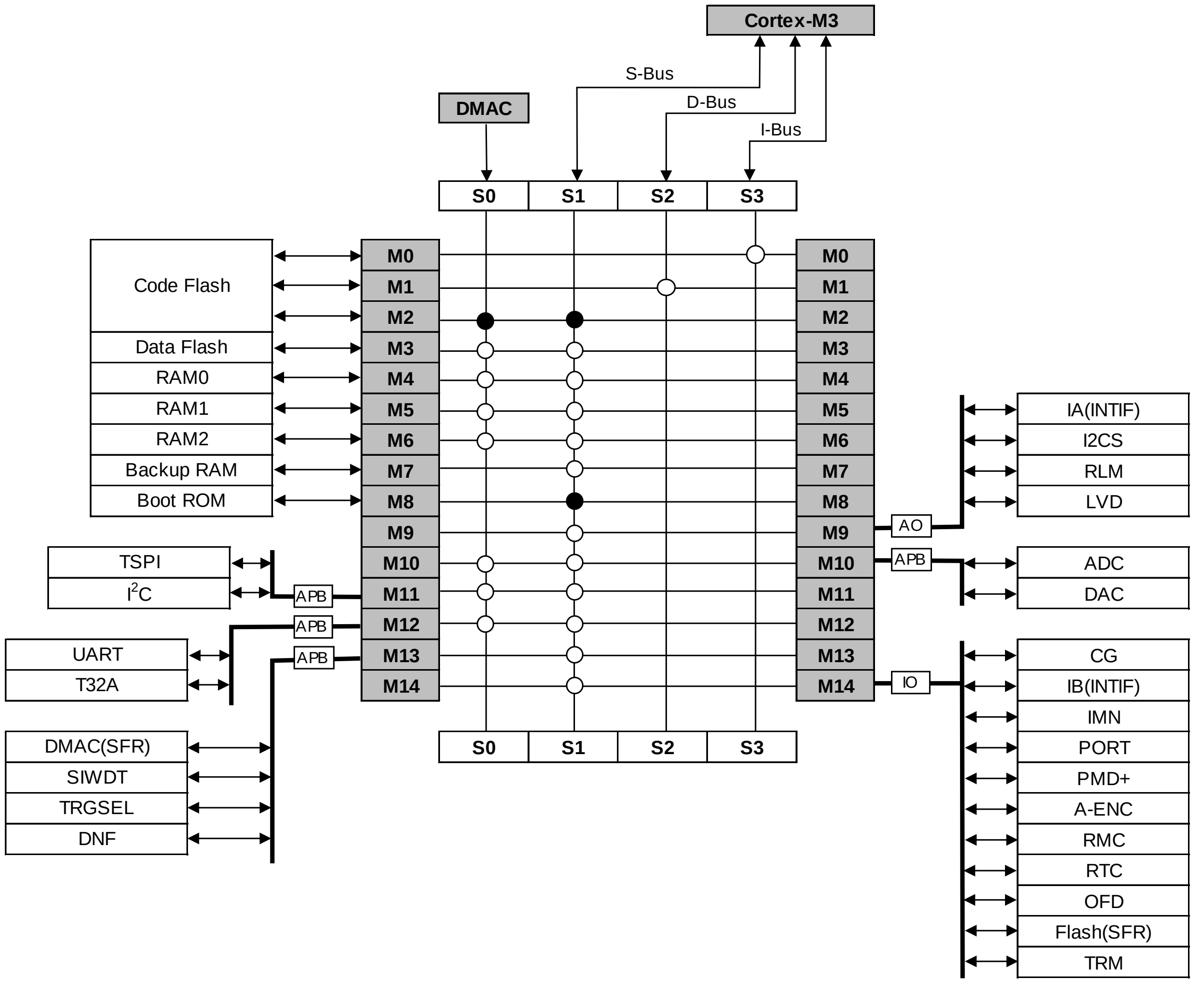

図 2.1　シングルチップモード

2.1.2. シングルブートモード

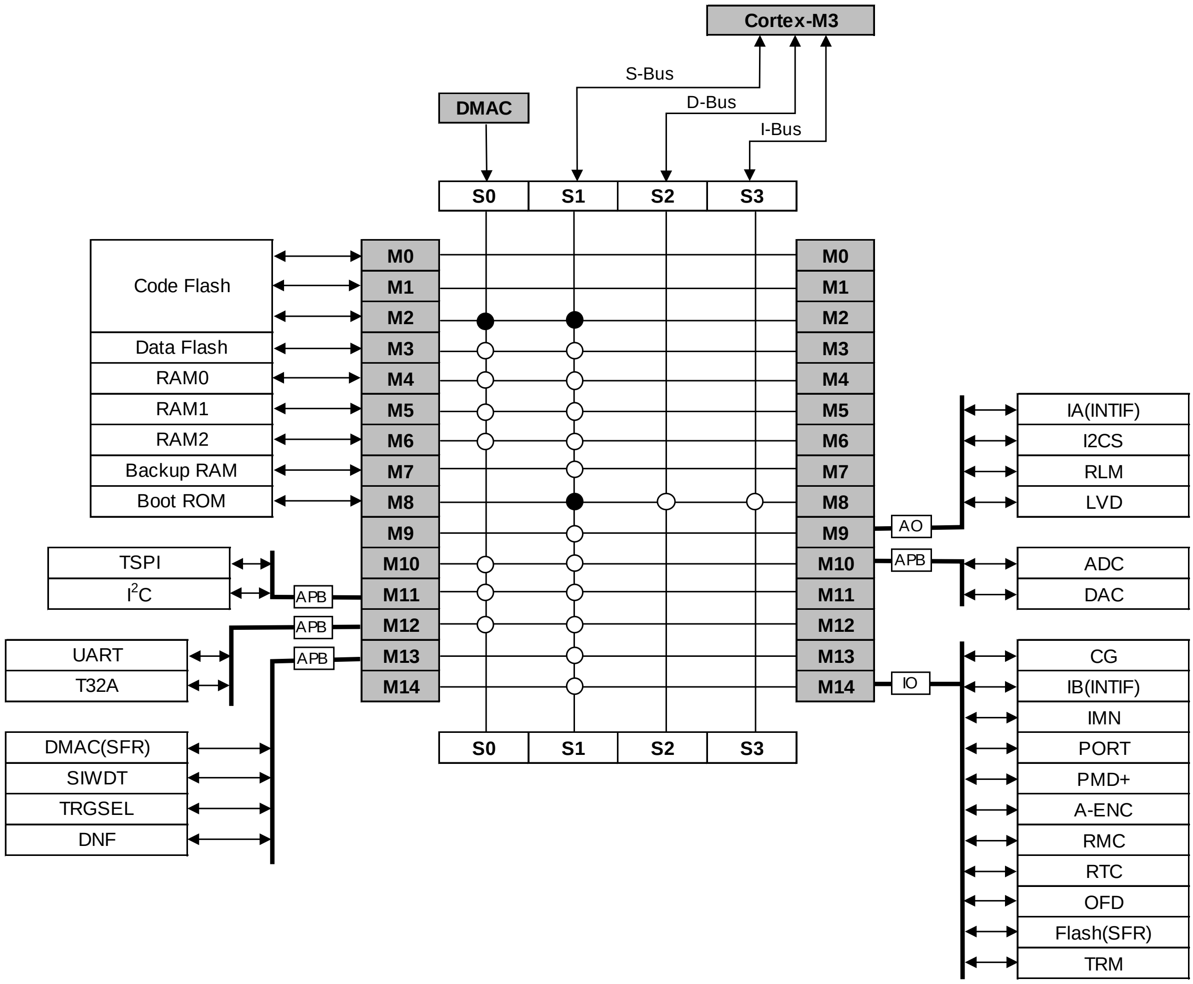

図 2.2 シングルブートモード

2.2. 接続表

2.2.1. メモリ関連の接続

(1) シングルチップモード

表 2.1 シングルチップモード

Start Address	スレーブ		マスタ			
			DMAC	Core S-Bus	Core D-Bus	Core I-Bus
			S0	S1	S2	S3
0x00000000	Code Flash	M0	Fault	-	Fault	○
		M1	Fault	-	○	Fault
0x00020000	Fault	-	Fault	-	Fault	Fault
0x20000000	RAM0	M4	○	○	-	-
0x20001000	RAM1	M5	○	○	-	-
0x20002000	RAM2	M6	○	○	-	-
0x20004000	Backup RAM	M7	Fault	○	-	-
0x20004800	Fault	-	Fault	Fault	-	-
0x22000000	Bit band alias	-	Fault	○	-	-
0x24000000	Fault	-	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	○	-	-
0x30008000	Fault	-	Fault	Fault	-	-
0x3F7F8000	Boot ROM	M8	Fault	○	-	-
0x3F7F9800	Fault	-	Fault	Fault	-	-
この間のアドレスは「表 2.3 周辺機能の接続」を参照願います。						
0x5E000000	Code Flash (Mirror)	M2	○	○	-	-

○：アクセス可、-：アクセス不可、Fault：フォールト発生

(2) シングルブートモード

表 2.2 シングルブートモード

Start Address	スレーブ		マスタ			
			DMAC	Core S-Bus	Core D-Bus	Core I-Bus
			S0	S1	S2	S3
0x00000000	Boot ROM	M8	Fault	-	○	○
0x00001800	Fault	-	Fault	-	Fault	Fault
0x20000000	RAM0	M4	○	○	-	-
0x20001000	RAM1	M5	○	○	-	-
0x20002000	RAM2	M6	○	○	-	-
0x20004000	Backup RAM	M7	Fault	○	-	-
0x20004800	Fault	-	Fault	Fault	-	-
0x22000000	Bit band alias	-	Fault	○	-	-
0x24000000	Fault	-	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	○	-	-
0x30008000	Fault	-	Fault	Fault	-	-
0x3F7F8000	Boot ROM (Mirror)	M8	Fault	○	-	-
0x3F7F9800	Fault	-	Fault	Fault	-	-
この間のアドレスは「表 2.3 周辺機能の接続」を参照願います。						
0x5E000000	Code Flash (Mirror)	M2	○	○	-	-

○：アクセス可、-：アクセス不可、Fault：フォールト発生

2.2.2. 周辺機能の接続

表 2.3 周辺機能の接続

Start Address	スレーブ		マスタ DMAC S0	マスタ Core S-Bus S1	マスタ Core D-Bus S2	マスタ Core I-Bus S3
0x40000000	Fault	-	Fault	Fault	-	-
0x4003E000	IA (INTIF)	M9	Fault	○	-	-
0x4003E400	RLM	M9	Fault	○	-	-
0x4003E800	I2CS	M9	Fault	○	-	-
0x4003EC00	LVD	M9	Fault	○	-	-
0x4004C000	DMAC (SFR)	M13	Fault	○	-	-
0x40054000	DAC (ch0-1)	M10	○	○	-	-
0x40098000	TSPI (ch0-1)	M11	○	○	-	-
0x400A0000	I^2C (ch0-2)	M11	○	○	-	-
0x400B8800	ADC	M10	○	○	-	-
0x400BA000	T32A (ch0-5)	M12	○	○	-	-
0x400BB000	UART (ch0-3)	M12	○	○	-	-
0x400BB400	SIWDT	M13	Fault	○	-	-
0x400BB600	DNF	M13	Fault	○	-	-
0x400BB800	TRGSEL	M13	Fault	○	-	-
0x400C0000	PORT	M14	Fault	○	-	-
0x400CC000	RTC	M14	Fault	○	-	-
0x400E7000	RMC	M14	Fault	○	-	-
0x400F1000	OFD	M14	Fault	○	-	-
0x400F3000	CG	M14	Fault	○	-	-
0x400F3200	TRM	M14	Fault	○	-	-
0x400F4E00	IB (INTIF)	M14	Fault	○	-	-
0x400F4F00	IMN	M14	Fault	○	-	-
0x400F6000	PMD+	M14	Fault	○	-	-
0x400F7000	A-ENC	M14	Fault	○	-	-
0x40100000	Fault	-	Fault	Fault	-	-
0x42000000	Bit Band Alias	-	Fault	○	-	-
0x44000000	Fault	-	Fault	Fault	-	-
0x5DFF0000	Flash (SFR)	M14	Fault	○	-	-

○：アクセス可、-：アクセス不可、Fault：フォールト発生

3. 改訂履歴

表 3.1　改訂履歴

Revision	Date	Description
1.0	2017-03-09	新規
1.1	2017-04-20	･2.1.1.シングルチップモード 図 2.1　DMAC(Register) → DMAC(SFR) へ修正。 FC(Register) → Flash(SFR) へ修正。 ･2.1.2.シングルブートモード 図 2.2　DMAC(Register) → DMAC(SFR) へ修正。 FC(Register) → Flash(SFR) へ修正。
1.2	2017-08-23	･社名変更による変更 表紙 商標の見直し 製品取り扱い上のお願いの差し替え
1.3	2018-06-25	･用語･略語: 内容見直し。 ･2.1.1. シングルチップモード/2.1.2. シングルブートモード 削除: 図 2.1/図 2.2 の“APB: Advanced Peripheral Bus ,AO: 非遮断領域用 8bit-Bus ,IO: 遮断領域用 32bit-Bus” ･2.2.1. Code 領域/ SRAM 領域 修正: 表 2.1, 表 2.2 ･2.2.2. Peripheral 領域 章題修正: “Peripheral 領域/ 外部バス領域”->” Peripheral 領域” 表 2.3 表題修正: “Peripheral 領域/ 外部バス領域”->” Peripheral 領域” 修正: 表 2.3
1.4	2019-07-23	･「表記規約」 表記訳更新 商標: " Technology, Inc" →" Technology, Inc." ･「用語･略語」 D-Bus,I-Bus,S-Bus 追加 "INT-I/F" →"INTIF" ･「1.メモリマップ」 "CPU 内レジスタ領域" →"CPU Register Region" "メモリフォールト" →"バスフォールト" ･「2.1.構成」 図 2.1,図 2.2: "System" →"S-Bus"、"Data" →"D-Bus" "Instruction" →"I-Bus" ･「2.1.1.」 タイトル: "Code 領域/SRAM 領域" →"メモリ関連の接続" 表 2.1　Start Address 0x00020000 の D-Bus,I-Bus: "-" →"Fault" ･「2.2.2.」 タイトル: "Peripheral 領域" →"周辺機能の接続" 表 2.3　タイトル: "Peripheral 領域" →"周辺機能の接続" ･「製品取り扱い上のお願い」 更新

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウエア、ソフトウエアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウエア・ソフトウエア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。