

32 ビット RISC マイクロコントローラー

TXZ/TXZ+ファミリー

リファレンスマニュアル
シリアルペリフェラルインターフェース
(TSPI-B)

Revision 4.1

2021-10

東芝デバイス&ストレージ株式会社

目次

序章	5
関連するドキュメント	5
表記規約	6
用語・略語	8
1. 概要	9
2. 構成	14
3. 機能説明・動作説明	16
3.1. 基本操作	16
3.1.1. クロック供給	16
3.1.2. 初期設定	16
3.1.3. 転送の開始と停止	16
3.2. データフォーマット	17
3.2.1. パリティなしの場合のデータフォーマット	18
3.2.2. パリティ有りの場合のデータフォーマット	22
3.3. 動作説明	26
3.3.1. 転送クロック	26
3.3.1.1. マスター動作	26
3.3.1.2. スレーブ動作	27
3.3.2. 通信モード	28
3.3.2.1. SPI モード	28
3.3.2.2. SIO モード	28
3.3.2.3. マスター/スレーブ選択	28
3.3.3. バッファ構成	29
3.3.3.1. データ長と FIFO 動作	29
3.3.4. 通信動作モード	31
3.3.4.1. 全二重通信モード	31
3.3.4.2. 送信モード	33
3.3.4.3. 受信モード	35
3.3.5. 転送モード	37
3.3.5.1. シングル転送	37
3.3.5.2. バースト転送	37
3.3.5.3. 連続転送	37
3.3.6. データサンプリングタイミング	38
3.3.7. 特殊制御	41
3.3.7.1. TSPIxCS0/1/2/3 信号の極性と発生タイミング	41
3.3.7.2. クロックの極性	42
3.3.7.3. アイドル期間の TSPIxTXD 出力	42
3.3.8. トリガーによる通信制御	44

3.3.9. 割り込み要求	45
3.3.9.1. 送信完了割り込み/受信完了割り込み	46
3.3.9.2. 送信 FIFO 割り込み/受信 FIFO 割り込み	46
3.3.9.3. エラー割り込み	47
3.3.10. DMA 要求	48
3.3.10.1. 送信	48
3.3.10.2. 受信	48
3.3.11. 通信完了による連携動作	48
3.3.12. ソフトウェアリセット	48
4. レジスタ説明	49
4.1. レジスタ一覧	49
4.2. レジスタ詳細	50
4.2.1. [TSPIxCR0] (TSPI 制御レジスタ-0)	50
4.2.2. [TSPIxCR1] (TSPI 制御レジスタ-1)	51
4.2.3. [TSPIxCR2] (TSPI 制御レジスタ-2)	53
4.2.4. [TSPIxCR3] (TSPI 制御レジスタ-3)	55
4.2.5. [TSPIxBR] (TSPI ボーレートレジスタ)	55
4.2.6. [TSPIxFMTR0] (TSPI フォーマット制御レジスタ-0)	56
4.2.7. [TSPIxFMTR1] (TSPI フォーマット制御レジスタ-1)	58
4.2.8. [TSPIxDR] (TSPI データレジスタ)	58
4.2.9. [TSPIxSR] (TSPI ステータスレジスタ)	59
4.2.10. [TSPIxERR] (TSPI エラーフラグレジスタ)	62
5. 使用方法の例	63
6. 使用上のご注意およびお願い事項	65
7. 改訂履歴	66
製品取り扱い上のお願ひ	69

目次

図 2.1	TSPI のブロック図	14
図 3.1	データフォーマット概略	17
図 3.2	MSB ファースト(32bit データ、パリティなし)	18
図 3.3	MSB ファースト(16bit データ、パリティなし)	19
図 3.4	LSB ファースト(32bit データ、パリティなし)	20
図 3.5	LSB ファースト(16bit データ、パリティなし)	21
図 3.6	MSB ファースト(31bit データ、パリティあり)	22
図 3.7	MSB ファースト(15bit データ、パリティあり)	23
図 3.8	LSB ファースト(31bit データ、パリティあり)	24
図 3.9	LSB ファースト(15bit データ、パリティあり)	25
図 3.10	転送クロック生成回路	26
図 3.11	データ長 7~16bit の場合の動作	29
図 3.12	データ長 17~32bit の場合の動作	30
図 3.13	全二重通信の動作例	31
図 3.14	送信モードの動作例	33
図 3.15	受信モードの動作例	35
図 3.16	SPI モード(マスター)のデータサンプリングタイミング	39
図 3.17	SPI モード(スレーブ)のデータサンプリングタイミング	40
図 3.18	SIO モード(マスター)のデータサンプリングタイミング	40
図 3.19	SIO モード(スレーブ)のデータサンプリングタイミング	40
図 3.20	転送フォーマットとタイミング調整(2nd エッジの例)	41
図 3.21	SPI モードのアイドル期間と送信端子状態	43
図 3.22	SIO モードのアイドル期間と送信端子状態	43
図 3.23	割り込み要求回路	45
図 3.24	オーバーランエラーとアンダーランエラー	47

表目次

表 1.1	機能概要(SPI モード、マスター)	10
表 1.2	機能概要(SPI モード、スレーブ)	11
表 1.3	機能概要(SIO モード、マスター)	12
表 1.4	機能概要(SIO モード、スレーブ)	13
表 2.1	信号一覧	15
表 3.1	f_{clk} / Φ_{Tx} 転送クロックの組み合わせと使用可否の例	27
表 3.2	データ長と設定可能 Fill レベルの関係	29
表 3.3	通信モードとデータサンプリングタイミングの使用可否	38
表 3.4	データ取り込みタイミング	38
表 3.5	アイドル期間中の TSPIxTXD 出力	42
表 3.6	割り込み要因と割り込み要求	45
表 4.1	ソフトウェアリセットにより初期化されるレジスタ	50
表 4.2	<TRXE>に"0"をライトするタイミングと<TSPISUE>の変化	61
表 4.3	フレーム長よる Fill レベル現在値<TLVL>/<RLVL>の表示範囲	61
表 5.1	モード設定毎の転送開始・停止(マスター)	63
表 7.1	改訂履歴	66

序章

関連するドキュメント

文書名
クロック制御と動作モード
例外
入出力ポート
製品個別情報

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
 - 例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスターを定義しています。
 - 例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
 - 例: [XYZ1],[XYZ2],[XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。
 - ユニットの場合、「x」は A,B,C...を表します。
 - 例: [ADACR0],[ADBCR0],[ADCCR0]→[ADxCR0]
 - チャンネルの場合、「x」は 0,1,2,...を表します。
 - 例: [T32A0RUNA],[T32A1RUNA],[T32A2RUNA]→[T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。
 - 例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。
 - 例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
 - Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
 - Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ACK	Acknowledgement
DMA	Direct Memory Access
FIFO	First-In First-Out
LSB	Least Significant Bit
MSB	Most Significant Bit
SIO	Serial Input/Output
TSPI	Serial Peripheral Interface

1. 概要

TSPI (シリアルペリフェラルインターフェース)は、SPI または SIO の切り替えと、クロックマスターまたはクロックスレーブの切り替えで、計4モードを備えており、1ユニット回路単位で1ch (TSPIxTXD, TSPIxRXD, TSPIxSCK, TSPIxCS0/1/2/3, TSPIxCSIN)の送受信回路として動作することが出来ます。表 1.1～表 1.4 に、機能の一覧を示します。

表 1.1 機能概要(SPIモード、マスター)

機能分類	機能	動作説明または範囲	
SPIモード (マスター)	通信速度制御	プリスケラークロック	プリスケラークロックを 1/1, 1/2, 1/4 ~ 1/512 に分周
		ボーレートジェネレーター	ボーレートジェネレーターへのクロック入力に対して、 1/N × 1/2 分周 (N=1~16)
	データフォーマット	データ長	1ビット単位で設定可能 8~32ビット(パリティなし) 7~31ビット(パリティあり)
		パリティ	パリティ付加あり/なしの選択が可能 偶数パリティ/奇数パリティの選択が可能
		データ転送方向	LSBファースト/MSBファーストの選択が可能
	送受信制御	FIFO段数	送信: 8段(16ビット)、4段(32ビット) 受信: 8段(16ビット)、4段(32ビット)
		通信動作モード	全二重(送受信)、送信、受信
		転送モード	シングル転送(バースト転送1回) バースト転送(2~255回) 連続転送(転送回数指定無し)
		データサンプリングタイミング	1stエッジでデータをサンプリング 2ndエッジでデータをサンプリング
		CS制御	TSPIxCS0/1/2/3の選択が可能 極性: 正論理/負論理の選択が可能
	連動制御	割り込み	送信完了割り込み、送信FIFO割り込み、受信完了割り込み、 受信FIFO割り込み、垂直パリティエラー割り込み、トリガーエラー割り込み
		各種ステータス検出	TSPI設定可能状態、送信動作中、送信完了、送信FIFOレベル/エンプティ検出、 受信動作中、受信完了、受信FIFOレベル/フル検出
		DMA要求	送信: シングルDMA要求、バーストDMA要求 受信: シングルDMA要求、バーストDMA要求
		トリガー通信制御	トリガーで通信開始。トリガーソースはリファレンスマニュアルの「製品個別情報」を参照
	特殊制御	アイドル期間中のTSPIxTXD出力レベル設定	High、Low、最終bitデータ保持、Hi-Z
		アイドル期間中TSPIxSCKの極性	アイドル期間中にLow アイドル期間中にHigh
		バースト転送時フレーム間インターバル	0xTSPIxSCK周期~15xTSPIxSCK周期
		連続転送時アイドル時間	TSPIxCS0/1/2/3有効→無効→TSPIxCS0/1/2/3有効時間 1xTSPIxSCK周期~15xTSPIxSCK周期
		TSPIxSCK遅延	TSPIxCS0/1/2/3有効→TSPIxSCK開始遅延時間 1xTSPIxSCK周期~16xTSPIxSCK周期
		TSPIxCS0/1/2/3デアサート遅延	最終データからTSPIxCS0/1/2/3端子がデアサートされるまでの時間 1xTSPIxSCK周期~16xTSPIxSCK周期
		ソフトウェアリセット	ソフトウェアによる初期化

表 1.2 機能概要(SPIモード、スレーブ)

機能分類		機能	動作説明または範囲
SPIモード (スレーブ)	データ フォーマット	データ長	1ビット単位で設定可能 8~32ビット(パリティなし) 7~31ビット(パリティあり)
		パリティ	パリティ付加あり/なしの選択が可能 偶数パリティ/奇数パリティの選択が可能
		データ転送方向	LSBファースト/MSBファーストの選択が可能
	送受信制御	FIFO段数	送信: 8段(16ビット)、4段(32ビット) 受信: 8段(16ビット)、4段(32ビット)
		通信動作モード	全二重(送受信)、送信、受信
		転送モード	シングル転送(バースト転送1回) バースト転送(2~255回) 連続転送(転送回数指定無し)
		データサンプリングタイミング	2ndエッジでデータをサンプリング
		CS制御	TSPIxCSIN 極性: 正論理/負論理の選択が可能
	連動制御	割り込み	送信完了割り込み、送信FIFO割り込み、受信完了 割り込み、受信FIFO割り込み 垂直パリティエラー割り込み、オーバーラン割り 込み、アンダーラン割り込み
		各種ステータス検出	TSPI設定可能状態、送信動作中、送信完了、送信 FIFOレベル/エンプティ検出、受信動作中、受信完 了、受信FIFOレベル/フル検出
		DMA要求	送信: シングルDMA要求、バーストDMA要求 受信: シングルDMA要求、バーストDMA要求
	特殊制御	アイドル期間中のTSPIxTXD出 カレベル設定	High、Low、最終bitデータ保持、Hi-Z
		アンダーランエラー発生時の TSPIxTXDの出カレベル設定	High、Low
		ソフトウェアリセット	ソフトウェアによる初期化が可能

表 1.3 機能概要(SIOモード、マスター)

機能分類	機能	動作説明または範囲	
SIO モード (マスター)	通信速度 制御	プリスケラー分周選択	プリスケラークロックを 1/1,1/2,1/4~1/512 に分周
		ボーレートジェネレーター	ボーレートジェネレーターへのクロック入力に対して、 1/N×1/2 分周 (N=1~16)
	データ フォーマット	データ長	1 ビット単位で設定可能 8~32 ビット(パリティなし) 7~31 ビット(パリティあり)
		パリティ	パリティ付加あり/なしの選択が可能 偶数パリティ/奇数パリティの選択が可能
		データ転送方向	LSB ファースト/ MSB ファーストの選択が可能
	送受信制御	FIFO 段数	送信: 8 段(16 ビット)、4 段(32 ビット) 受信: 8 段(16 ビット)、4 段(32 ビット)
		通信動作モード	全二重(送受信)、送信、受信
		転送モード	シングル転送(バースト転送 1 回) バースト転送(2~255 回) 連続転送(転送回数指定無し)
		データサンプリングタイミング	2nd エッジでデータをサンプリング
	連動制御	割り込み	送信完了割り込み、送信 FIFO 割り込み、受信完了割 り込み、受信 FIFO 割り込み 垂直パリティエラー割り込み、トリガーエラー割り込み
		各種ステータス検出	TSPI 設定可能状態、送信動作中、送信完了、送信 FIFO レベル/エンプティ検出、受信動作中、受信完 了、受信 FIFO レベル/フル検出
		DMA 要求	送信: シングル DMA 要求、バースト DMA 要求 受信: シングル DMA 要求、バースト DMA 要求
		トリガー通信制御	トリガーで通信開始。トリガーソースはリファレンスマニ ュアルの「製品個別情報」を参照
	特殊制御	アイドル期間中の TSPIxTXD 出 力レベル設定	High、Low、最終 bit データ保持、Hi-Z
		アイドル期間中 TSPIxSCK の極 性	アイドル期間中に Low アイドル期間中に High
		バースト転送時フレーム間インタ ーバル	0xTSPIxSCK 周期~15xTSPIxSCK 周期
		連続転送時アイドル時間	1xTSPIxSCK 周期~15xTSPIxSCK 周期
		ソフトウェアリセット	ソフトウェアによる初期化が可能

表 1.4 機能概要(SIOモード、スレーブ)

機能分類		機能	動作説明または範囲
SIO モード (スレーブ)	データ フォーマット	データ長	1ビット単位で設定可能 8~32ビット(パリティなし) 7~31ビット(パリティあり)
		パリティ	パリティ付加あり/なしの選択が可能 偶数パリティ/奇数パリティの選択が可能
		データ転送方向	LSB ファースト/ MSB ファーストの選択が可能
	送受信制御	FIFO 段数	送信: 8 段(16 ビット)、4 段(32 ビット) 受信: 8 段(16 ビット)、4 段(32 ビット)
		通信動作モード	全二重(送受信)、送信、受信
		転送モード	シングル転送(バースト転送 1 回) バースト転送(2~255 回) 連続転送(転送回数指定無し)
		データサンプリングタイミング	2nd エッジでデータをサンプリング
	連動制御	割り込み	送信完了割り込み、送信 FIFO 割り込み、受信完了 割り込み、受信 FIFO 割り込み 垂直パリティエラー割り込み、オーバーラン割り込 み、アンダーラン割り込み
		各種ステータス検出	TSPI 設定可能状態、送信動作中、送信完了、送信 FIFO レベル/エンプティ検出、受信動作中、受信完 了、受信 FIFO レベル/フル検出
		DMA 要求	送信: シングル DMA 要求、バースト DMA 要求 受信: シングル DMA 要求、バースト DMA 要求
	特殊制御	TSPIxTXD 端子の最終ビットホ ールド時間	$2/f_{clk} \sim 128/f_{clk}$ (注)
		アイドル期間中の TSPIxTXD 出 カレベル設定	High、Low、最終 bit データ保持、Hi-Z
		アンダーランエラー発生時の TSPIxTXD の出力レベル設定	High、Low
		ソフトウェアリセット	ソフトウェアによる初期化が可能

注) f_{clk} はシステムクロック (fsys) または高速クロック (fc) のいずれかで、製品によって異なります。詳細は、リファレンスマニュアルの「製品個別情報」を参照してください。

2. 構成

TSPIのブロック図と信号一覧を示します。

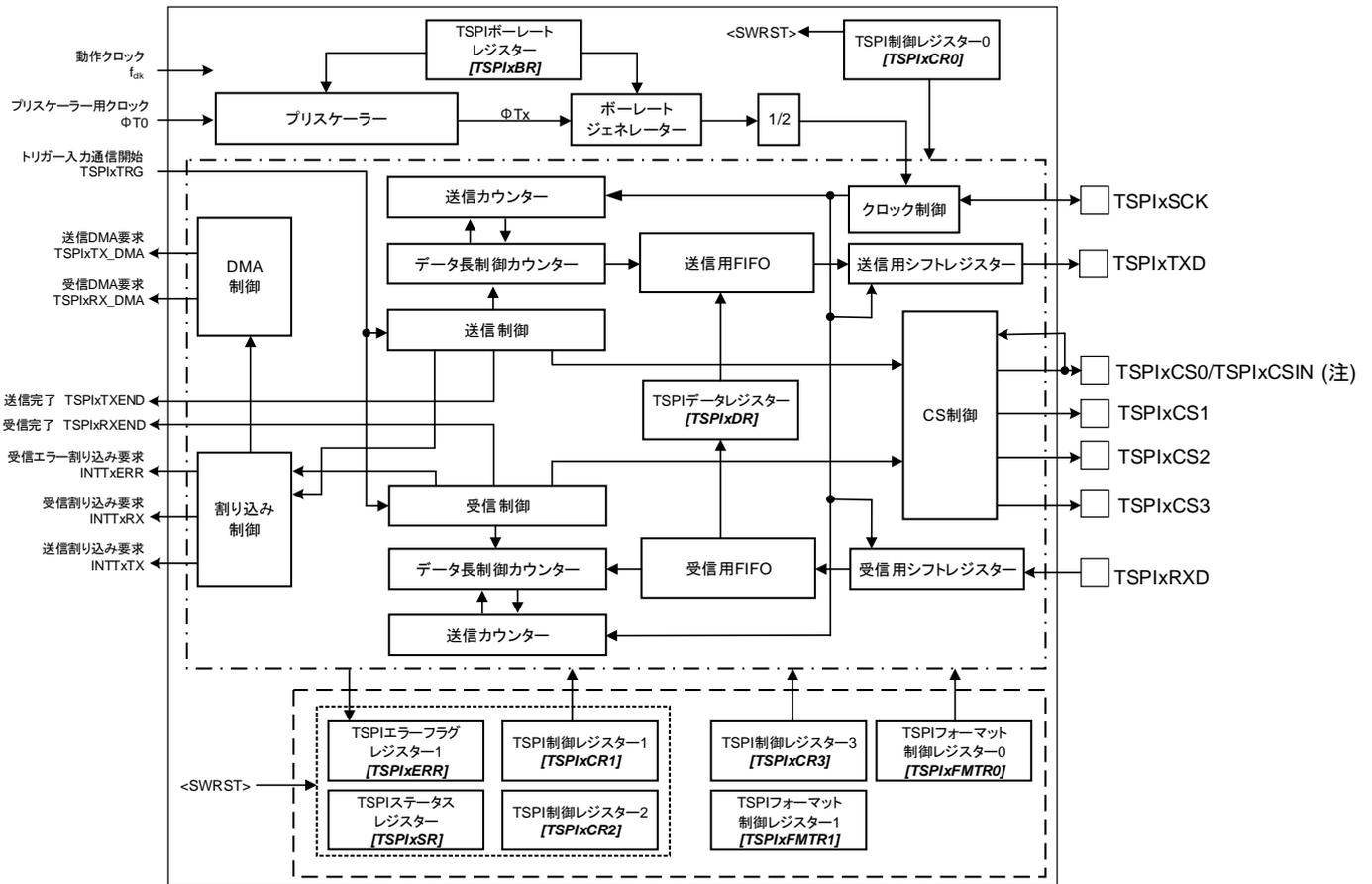


図 2.1 TSPIのブロック図

注) TSPIxCS0とTSPIxCSINは、異なる端子に割り当てられる場合があります。詳細はリファレンスマニュアルの“入出力ポート”を参照してください。

表 2.1 信号一覧

No	信号名	信号名称	I/O	参照リファレンスマニュアル
1	f _{clk} (注)	動作クロック	入力	クロック制御と動作モード 製品個別情報
2	ΦT0	プリスケラー用クロック	入力	クロック制御と動作モード
3	TSPIxSCK	シリアルクロック出力/シリアルクロック入力	入出力	入出力ポート
4	TSPIxCS0	チップセレクト 0	出力	入出力ポート
5	TSPIxCS1	チップセレクト 1	出力	入出力ポート
6	TSPIxCS2	チップセレクト 2	出力	入出力ポート
7	TSPIxCS3	チップセレクト 3	出力	入出力ポート
8	TSPIxCSIN	スレーブ動作用チップセレクト入力	入力	入出力ポート
9	TSPIxTXD	送信シリアルデータ	出力	入出力ポート
10	TSPIxRXD	受信シリアルデータ	入力	入出力ポート
11	INTTxTX	送信割り込み	出力	例外
12	INTTxRX	受信割り込み	出力	例外
13	INTTxERR	エラー割り込み	出力	例外
14	TSPIxTRG	トリガー入力通信開始	入力	製品個別情報
15	TSPIxTX_DMA	送信 DMA 要求	出力	製品個別情報
16	TSPIxRX_DMA	受信 DMA 要求	出力	製品個別情報
17	TSPIxTXEND	送信完了信号	出力	製品個別情報
18	TSPIxRXEND	受信完了信号	出力	製品個別情報

注) f_{clk} はシステムクロック (fsys) または高速クロック (fc) のいずれかで、製品によって異なります。詳細は、リファレンスマニュアルの「製品個別情報」を参照してください。

3. 機能説明・動作説明

3.1. 基本操作

3.1.1. クロック供給

TSPI を使用する場合は、f_{sys} 供給停止レジスタA([CGFSYSENA]、[CGFSYSMENA])、f_{sys} 供給停止レジスタB([CGFSYSENB]、[CGFSYSMENB])、f_{sys} 供給停止レジスタC([CGFSYSMENC])、fc 供給停止レジスタ([CGFCEN])で該当するクロックイネーブルビットを"1"(クロック供給)に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため、製品によってレジスタが存在しない場合があります。詳細はリファレンスマニュアル「クロック制御と動作モード」を参照してください。

クロックの供給を停止する場合、TSPI が停止していること([TSPIxCR0]<TSPIE>(動作制御レジスタ)=0)を確認してください。また、STOP1/STOP2 モードに遷移する際も同様に TSPI が停止していることを確認してください。

3.1.2. 初期設定

はじめに[TSPIxCR0]<TSPIE>(動作制御レジスタ)を"1"に設定し、[TSPIxSR]<TSPISUE>(設定可能状態フラグレジスタ)が"0"であることを確認したあとに、通信モード、転送モード、転送フォーマットなど必要な設定を行ってください。

3.1.3. 転送の開始と停止

全二重通信モードおよび送信モードの場合は転送開始には2つの方法があります。

1. 通信制御レジスタ[TSPIxCRI]<TRXE>=1にして通信許可にした後、データレジスタ[TSPIxDR]にデータを書き込む。
2. データレジスタ[TSPIxDR]にデータを書き込んだ後、[TSPIxCRI]<TRXE>=1にして通信許可する。

受信モードの場合は[TSPIxCRI]<TRXE>=1にすると直ちに受信を開始します。

転送を停止するには、[TSPIxCRI]<TRXE>に"0"を設定してください。シングル転送、バースト転送、連続転送とも、転送途中のフレームは転送が最後まで行われます。

停止状態ではTSPIxSCK、TSPIxCS0/1/2/3、TSPIxTXDはアイドル状態になります。詳細は「3.3.7 特殊制御」を参照してください。

バーストモードで転送を停止した後に再度転送許可すると、停止したバースト転送の初めから動作を開始します。

3.2. データフォーマット

転送方向 MSB/LSB ファースト、フレーム長を指定する場合は、 $[TSPIxFMTR0]$ (TSPI フォーマット制御レジスタ0)を設定します。パリティの有無と偶奇を指定する場合は、 $[TSPIxFMTR1]$ (TSPI フォーマット制御レジスタ1)を設定します。

注) パリティ機能を有効にした場合、データ長は最大 31 ビットになります。

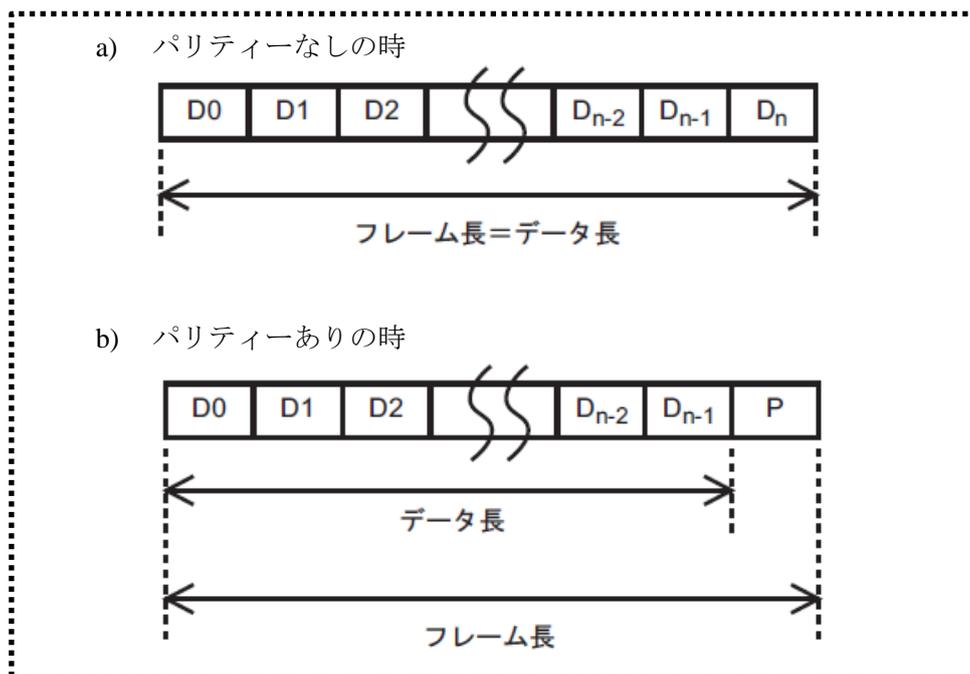


図 3.1 データフォーマット概略

3.2.1. パリティなしの場合のデータフォーマット

パリティなしのデータフォーマットでは、フレーム長にはデータ長と同じ値を指定します。データ長が 10 ビットの場合には[*TSPIxFMTR0*]<FL[5:0]>(フレーム長設定レジスター)に"001010"を設定します。パリティなしの場合は、送信 FIFO 内のデータがそのままシフトレジスターに転送されます。

(1) MSB ファースト転送 (32bit データ、パリティなし、フレーム長 32bit)

図 3.2 にパリティなしの MSB ファースト、32 ビットデータ長の送受信動作を示します。

送信時、送信 FIFO 内のデータがシフトレジスターの D31 から D0 にコピーされます。シフトレジスターにコピーされた送信データは D31 からシリアルクロックごとに D0 まで順に送信されます。

受信時、受信データをシフトレジスターの D0 へ格納し、シリアルクロックごとにシフト動作を繰り返します。シフトレジスターに 32 ビット分の受信データが格納されると、受信 FIFO へコピーされます。

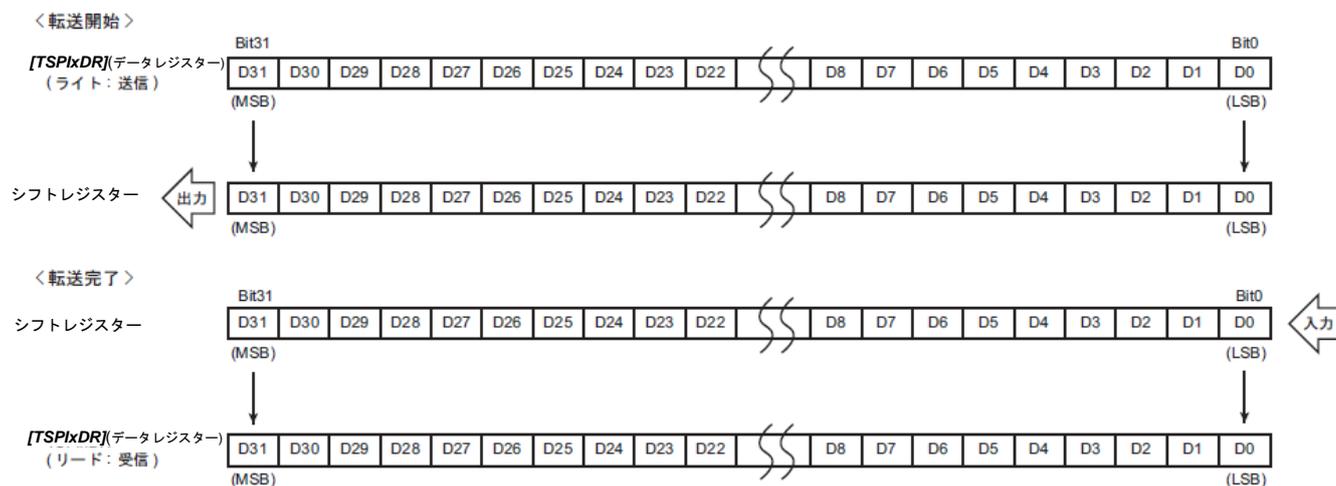


図 3.2 MSBファースト(32bitデータ、パリティなし)

(2) MSB ファースト転送 (16bit データ、パリティなし、フレーム長 16bit)

図 3.3 にパリティなしの MSB ファースト、16 ビットデータ長の送受信動作を示します。

送信時、送信 FIFO 内のデータがシフトレジスタの D15 から D0 にコピーされます。シフトレジスタにコピーされた送信データは D15 からシリアルクロックごとに D0 まで順に送信されます。

受信時、受信データをシフトレジスタの D0 へ格納し、シリアルクロックごとにシフト動作を繰り返します。シフトレジスタに 16 ビット分の受信データが格納されると、受信 FIFO へコピーされます。

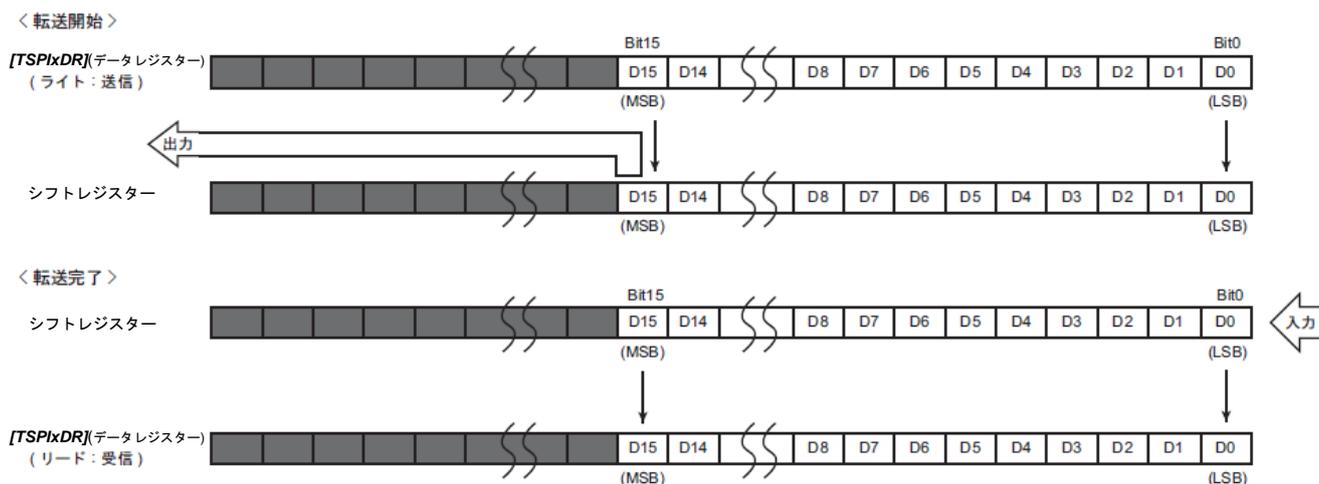


図 3.3 MSBファースト(16bitデータ、パリティなし)

(3) LSB ファースト転送 (32bit データ、パリティなし、フレーム長 32bit)

図 3.4 にパリティ機能無効時の LSB ファースト、32 ビットデータ長の送受信動作を示します。

送信時、送信 FIFO 内のデータはシフトレジスタへコピーされる際にビット単位で並べ替えられます。シフトレジスタにコピーされた送信データはシフトレジスタの D0 からシリアルクロックごとに 32 ビット分送信されます。

受信時、受信データをシフトレジスタの D31 へ格納し、シリアルクロックごとにシフト動作を繰り返します。シフトレジスタに 32 ビット分の受信データが格納されると、受信データはビット単位で並べ替えられ受信 FIFO へコピーされます。

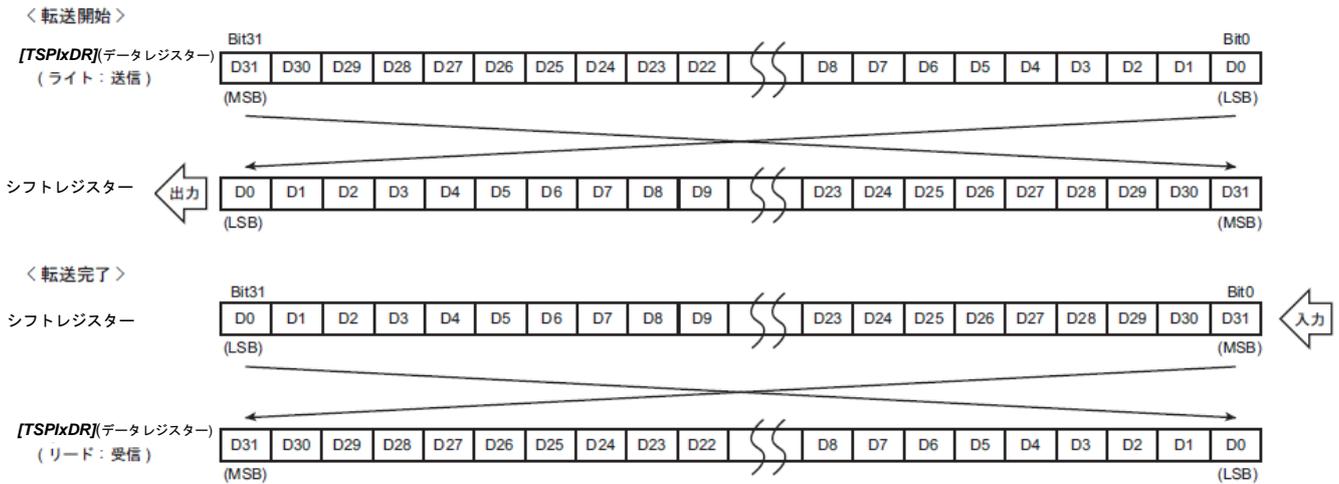


図 3.4 LSBファースト(32bitデータ、パリティなし)

(4) LSB ファースト転送 (16bit データ、パリティなし、フレーム長 16bit)

図 3.5 にパリティなしの LSB ファースト、16 ビットデータ長の送受信動作を示します。

送信時、送信 FIFO 内のデータはシフトレジスタへコピーされる際にビット単位で並べ替えられます。シフトレジスタにコピーされた送信データはシフトレジスタの D15 からシリアルクロックごとに 16 ビット分送信されます。

受信時、受信データをシフトレジスタの D15 へ格納し、シリアルクロックごとにシフト動作を繰り返します。シフトレジスタに 16 ビット分の受信データが格納されると、受信データはビット単位で並べ替えられ受信 FIFO へコピーされます。

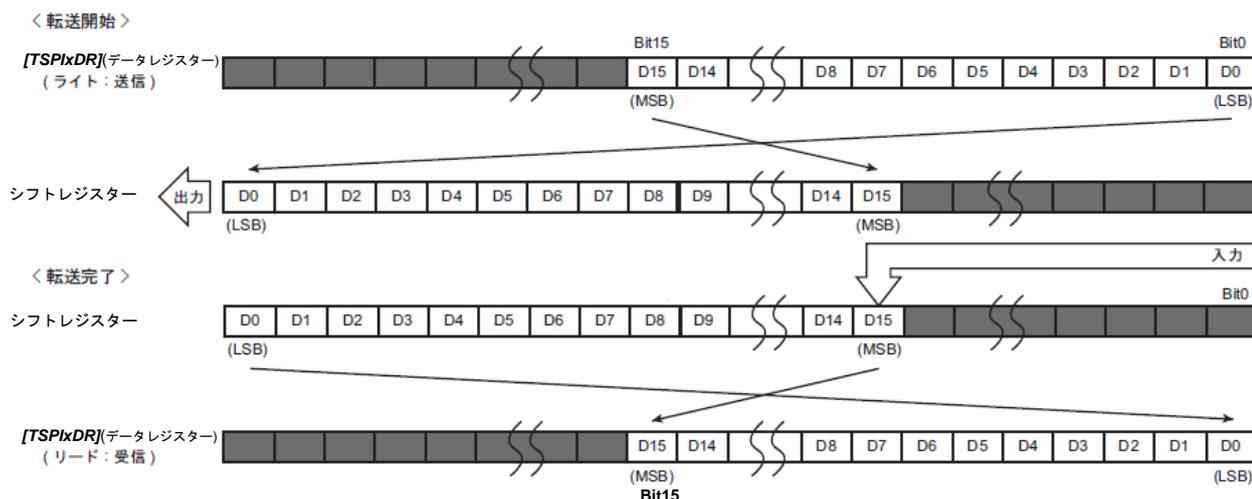


図 3.5 LSBファースト(16bitデータ、パリティなし)

3.2.2. パリティありの場合のデータフォーマット

パリティありのフォーマットでは、フレーム長にはデータ長にパリティビット分を加えた値を指定します。

データ長が 10 ビットの場合には[*TSPIx*FMTR0]<FL[5:0]>(フレーム長設定レジスタ)に"001011"を設定します。パリティありの場合は、送信 FIFO 内のデータにパリティビットが自動的に付加されシフトレジスタにコピーされます。また、受信 FIFO へはシフトレジスタ内の受信データからパリティビットが自動的に削除されてコピーされます。

(1) MSB ファースト転送 (31bit データパリティあり、フレーム長 32bit)

図 3.6 にパリティありの MSB ファースト、31 ビットデータ長の送受信動作を示します。フレーム長はデータ長にパリティビット分を加えた 32 ビットになります。

送信時、送信 FIFO 内の D30 から D0 のデータがシフトレジスタの D31 から D1 にコピーされます。同時にシフトレジスタの D31 から D1 のデータからパリティを計算し、その結果がシフトレジスタの D0 へ格納されます。

その後、シフトレジスタ内の送信データとパリティデータはシフトレジスタの D31 からシリアルクロックごとに D0 まで順に送信されます。

受信時、受信データをシフトレジスタの D0 へ格納し、シリアルクロックごとにシフト動作を繰り返します。シフトレジスタにフレーム長である 32 ビット分の受信データが格納されると、パリティビットをのぞいたデータのみが受信 FIFO へコピーされます。

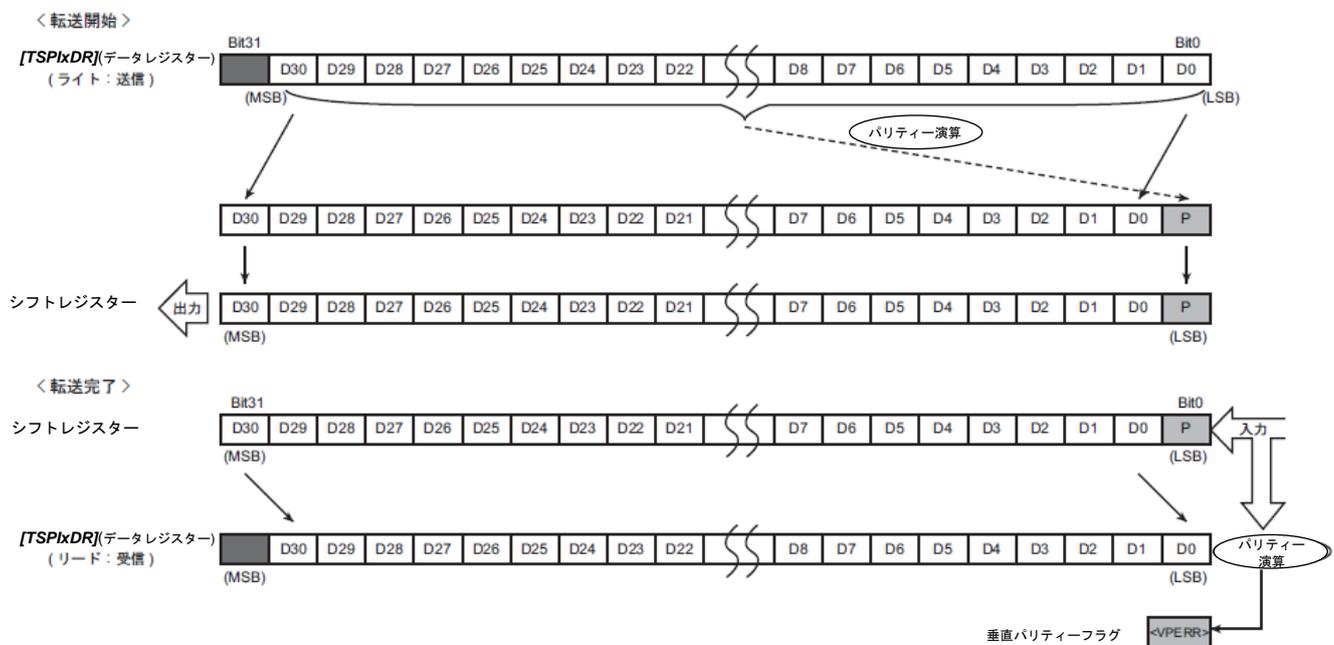


図 3.6 MSBファースト(31bitデータ、パリティあり)

(2) MSB ファースト転送 (15bit データ、パリティあり、フレーム長 16bit)

図 3.7 にパリティありの MSB ファースト、15 ビットデータ長の送受信動作を示します。フレーム長はデータ長にパリティビット分を加えた 16 ビットになります。

送信時、送信 FIFO 内の D14 から D0 のデータがシフトレジスタの D15 から D1 にコピーされます。同時に D14 から D0 のデータからパリティを計算し、その結果がシフトレジスタの D0 へ格納されます。

その後、シフトレジスタ内の送信データとパリティデータはシフトレジスタの D15 からシリアルクロックごとに D0 まで順番に送信されます。

受信時、受信データをシフトレジスタの D0 へ格納し、シリアルクロックごとにシフト動作を繰り返します。シフトレジスタにフレーム長である 16 ビット分の受信データが格納されると、受信 FIFO へパリティビットをのぞいたデータのみがコピーされます。

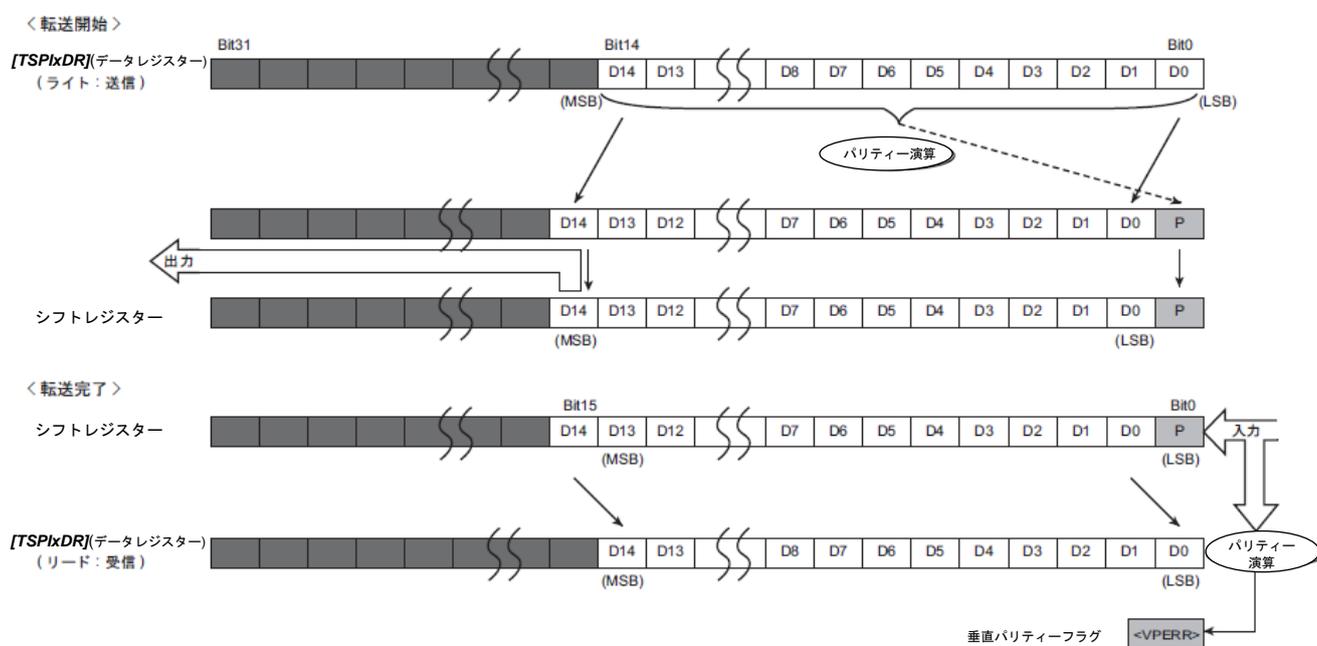


図 3.7 MSBファースト(15bitデータ、パリティあり)

(3) LSB ファースト転送 (31bit データ、パリティあり、フレーム長 32bit)

図 3.8 にパリティありの LSB ファースト、31 ビットデータ長の送受信動作を示します。フレーム長はデータ長にパリティビット分を加えた 32 ビットになります。

送信時、送信 FIFO 内の D30 から D0 のデータがビット単位で並べ替えられてシフトレジスタの bit31 から bit1 へコピーされます。同時に D30 から D0 のデータからパリティを計算し、その結果がシフトレジスタの D0 へ格納されます。

その後、シフトレジスタ内の送信データとパリティデータはシフトレジスタの D31 から D0 までシリアルクロックごとに順番に送信されます。

受信時、受信データをシフトレジスタの D0 へ格納し、シリアルクロックごとにシフト動作を繰り返します。シフトレジスタにフレーム長である 32 ビット分の受信データが格納されると、受信 FIFO へパリティビットをのぞいたデータのみがコピーされます。

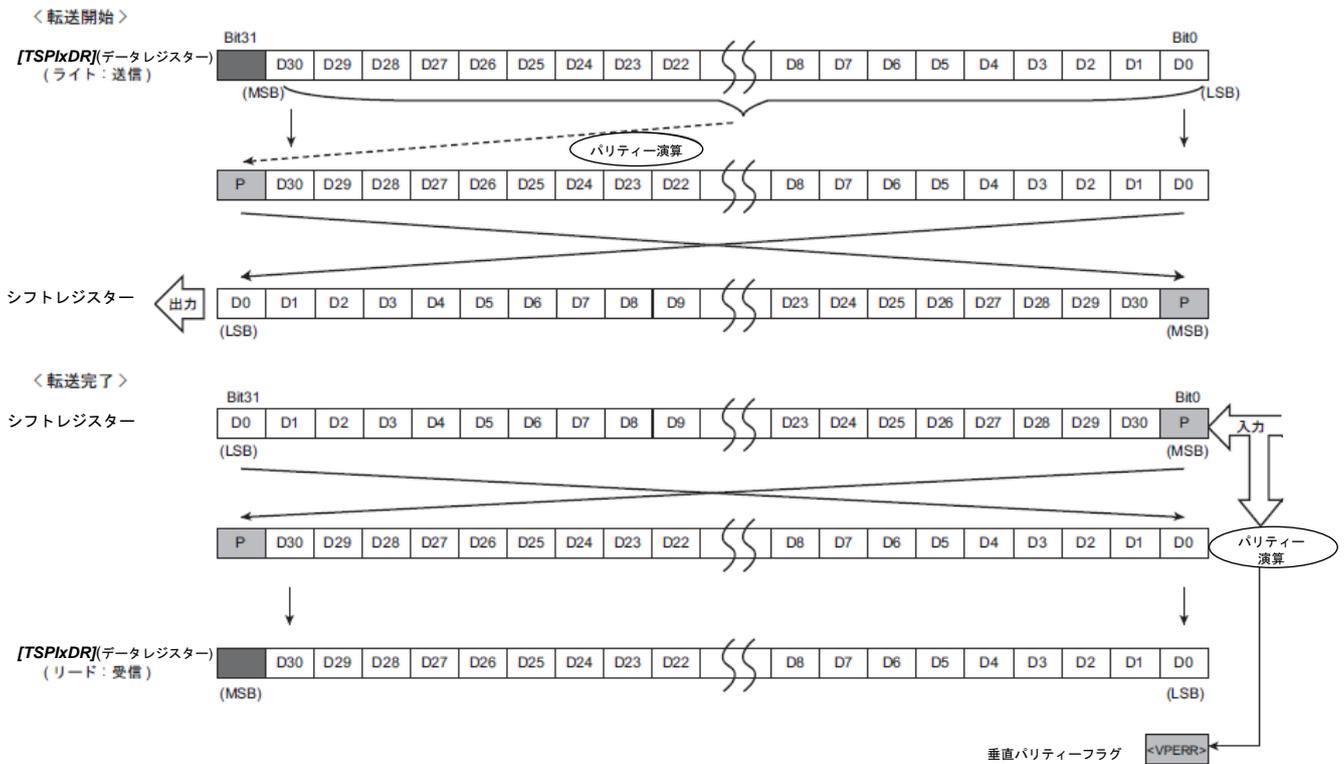


図 3.8 LSBファースト(31bitデータ、パリティあり)

(4) LSB ファースト転送 (15bit データ、パリティあり、フレーム長 16bit)

図 3.9 にパリティありの LSB ファースト、15 ビットデータ長の送受信動作を示します。フレーム長はデータ長にパリティビット分を加えた 16 ビットになります。

送信時、送信 FIFO 内の D14 から D0 のデータがビット単位で並べ替えられてシフトレジスタの D31 から D17 へコピーされます。同時に D14 から D0 のデータからパリティを計算し、その結果がシフトレジスタの D16 へ格納されます。

その後、シフトレジスタ内のデータは D31 から D16 までシリアルクロックごとに順番に送信されます。

受信時、受信データをシフトレジスタの Bit15 へ格納し、シリアルクロックごとにシフト動作を繰り返します。シフトレジスタにフレーム長である 16 ビット分の受信データが格納されると、受信 FIFO へパリティビットをのぞいたデータのみがコピーされます。

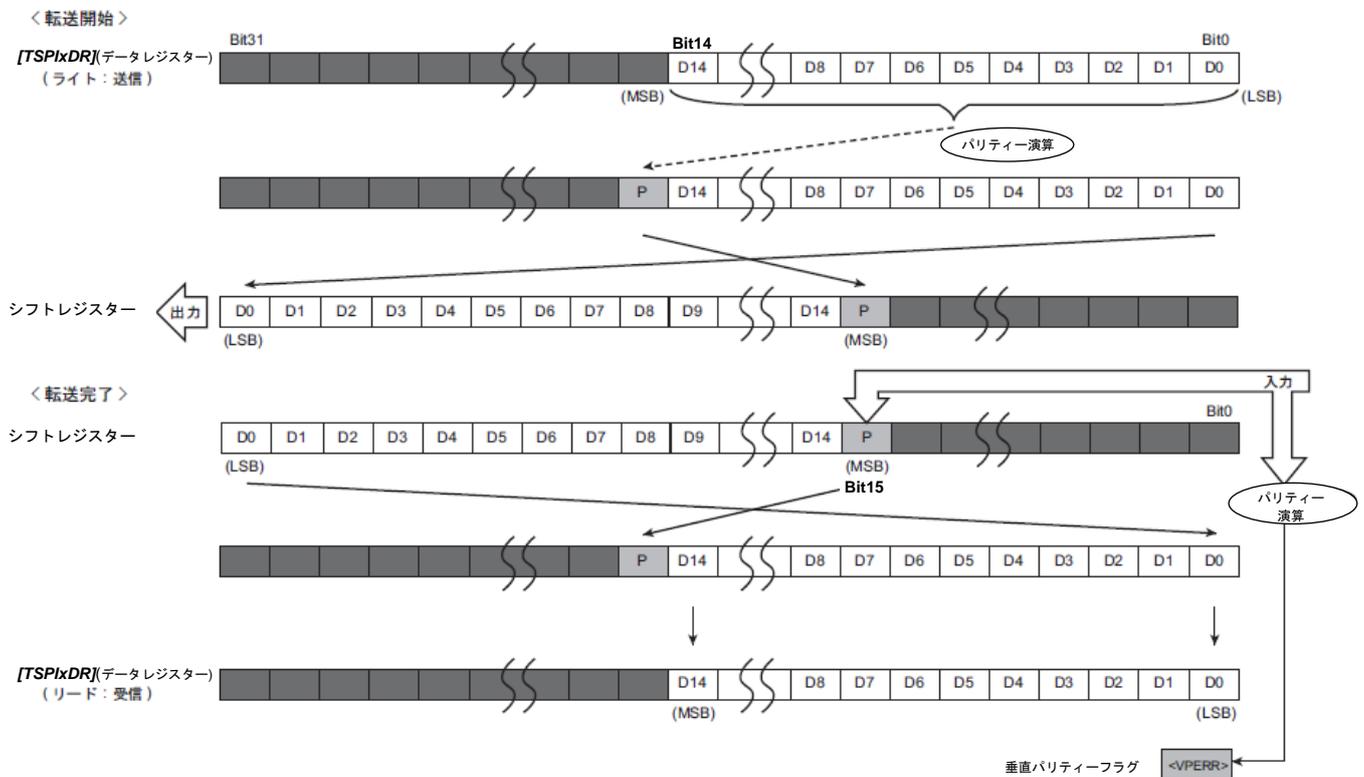


図 3.9 LSBファースト(15bitデータ、パリティあり)

3.3. 動作説明

3.3.1. 転送クロック

3.3.1.1. マスター動作

転送クロックの生成回路を図 3.10 に示します。

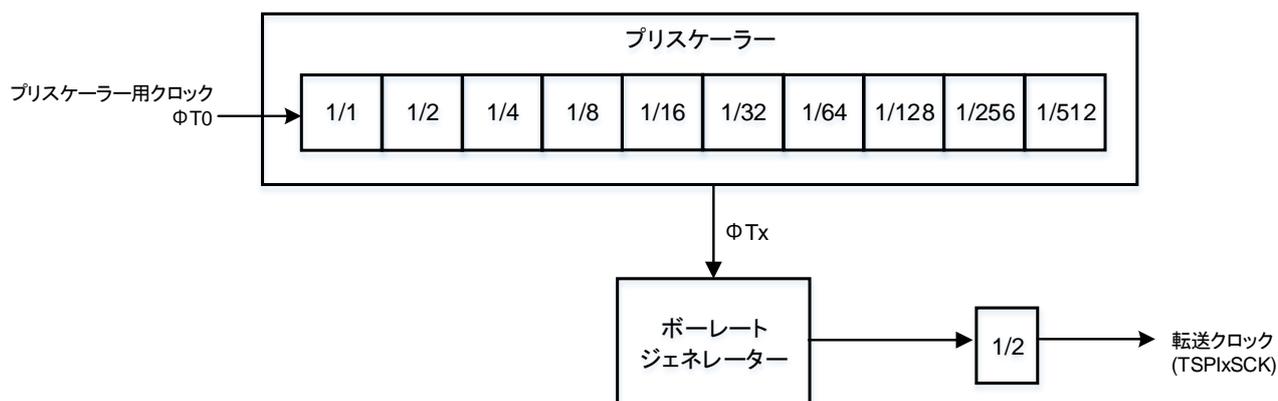


図 3.10 転送クロック生成回路

プリスケラーは、ΦT0 を 1/1 ~ 1/512 (ΦT0 ~ ΦT256) に分周します。分周の選択は、 $[TSPIxBR] < BRCK >$ で行います。

転送クロック周波数(以降は転送クロック)の計算の例を以下に示します。

$$\text{転送クロック} = \Phi T0 \times [TSPIxBR] < BRCK > \text{設定}(1/x) \times [TSPIxBR] < BRS > \text{設定}(1/N) \times 1/2$$

(x=1,2,4,8,16...256,512, N=1,2,3,4,...16)

ただし、

$[TSPIxCR2] < RXDLY > = 0$ の場合、 $f_{clk} / 2 = \text{転送クロック}$

$[TSPIxCR2] < RXDLY > = 1$ の場合、 $f_{clk} / 4 \geq \text{転送クロック}$

かつ

$f_{clk} \geq \Phi T0$

となるように設定してください。

表 3.1 $f_{clk}/\Phi Tx$ /転送クロックの組み合わせと使用可否の例

条件: $[TSPIxCR2]<RXDLY>=1 \Rightarrow f_{clk}/\text{転送クロック} \geq 4$
 転送クロック = $\Phi Tx/2$ 、製品転送クロック $\leq 20\text{MHz}$

f_{clk} (MHz)	$\Phi T0$ (MHz)	ΦTx (MHz)	転送クロック TSPIxSCK(MHz)	使用可否
160	160	80	40	×
160	160	40	20	○
160	80	40	20	○
160	40	40	20	○
160	20	20	20	×
160	20	20	10	○
120	120	60	30	×
120	60	60	30	×
120	120	30	15	○
120	30	30	15	○
100	100	50	25	×
100	100	25	12.5	○
100	50	25	25	×
100	50	25	12.5	○
80	80	40	20	○
80	40	40	20	○
80	20	20	20	×
80	20	20	10	○

○: 使用可能、×: 使用不可

条件: $[TSPIxCR2]<RXDLY>=0 \Rightarrow f_{clk}/\text{転送クロック} \geq 2$
 転送クロック = $\Phi Tx/2$ 、製品転送クロック $\leq 20\text{MHz}$

f_{clk} (MHz)	$\Phi T0$ (MHz)	ΦTx (MHz)	転送クロック TSPIxSCK(MHz)	使用可否
40	40	40	20	○
40	20	20	20	×
40	20	20	10	○
40	10	10	10	×
20	20	10	10	×
20	10	10	5	○

○: 使用可能、×: 使用不可

- 注1) 動作周波数、転送クロックの最大周波数は、製品ごとのデータシートの電気的特性を参照してください。
- 注2) f_{CLK} はシステムクロック (f_{sys}) または高速クロック (f_c) のいずれかで、製品によって異なります。詳細は、リファレンスマニュアルの「製品個別情報」を参照してください。

3.3.1.2. スレーブ動作

転送クロック周波数は以下の条件となるように設定してください。

$$1/2 \times f_{clk} \geq \text{転送クロック}$$

- 注) f_{clk} はシステムクロック (f_{sys}) または高速クロック (f_c) のいずれかで、製品によって異なります。詳細は、リファレンスマニュアルの「製品個別情報」を参照してください。

3.3.2. 通信モード

通信モードには、SIO モードと SPI モードの 2 つがあり、**[TSPIxCRI]<TSPIMS>**(通信モード選択レジスター)によってモードを指定できます。

3.3.2.1. SPI モード

SPI モードにする場合は、**[TSPIxCRI]<TSPIMS>**(通信モード選択レジスター)を"0"に設定します。SPI モードでは、TSPIxSCK(クロック出力)、TSPIxCS0/1/2/3(チップセレクト信号出力)、TSPIxCSIN(チップセレクト信号入力)、TSPIxTXD(データ送信)、TSPIxRXD(データ受信)の端子を使用することにより、マスターまたはスレーブとして通信することができます。

また、チップセレクト信号出力を 4 本(TSPIxCS0/1/2/3)搭載しており、4 つの外部スレーブデバイスと通信を行うことができます(注)。また、チップセレクト信号入力を 1 本(TSPIxCSIN)搭載しており、1 つのマスターデバイスと通信を行うことができます。

注) 製品によってチップセレクト信号出力の数が異なりますので、製品ごとのデータシートおよびリファレンスマニュアル「製品個別情報」を参照してください。

- マスター動作

TSPIxCS0/1/2/3 からチップセレクト信号を出力するとともに、TSPIxSCK から出力するクロックに同期して通信動作を行います。

- スレーブ動作

TSPIxCSIN から入力されるチップセレクト信号により選択されたときに、TSPIxSCK から入力されたクロックに同期して通信動作を行います。チップセレクト信号により選択されていないときは、TSPIxSCK への入力は無視されます。

3.3.2.2. SIO モード

SIO モードにする場合は、**[TSPIxCRI]<TSPIMS>**(通信モード選択レジスター)を"1"に設定します。SIO モードでは、TSPIxSCK、TSPIxTXD、TSPIxRXD により、マスターまたはスレーブとして通信することができます。マスターデバイスとスレーブデバイスは 1 対 1 で通信します。

- マスター動作

TSPIxSCK から出力するクロックに同期して通信動作を行います。

- スレーブ動作

TSPIxSCK から入力されたクロックに同期して通信動作を行います。

注) SIO モード使用時は、ポート設定で TSPIxCS0/1/2/3 および TSPIxCSIN を選択しないでください。

3.3.2.3. マスター/スレーブ選択

マスター(クロックを出力するデバイス)とスレーブ(クロックを入力するデバイス)の動作を行うことができます。**[TSPIxCRI]<MSTR>**(マスター/スレーブ選択レジスター)を"0"に設定するとスレーブデバイスとして動作し、**[TSPIxCRI]<MSTR>**を"1"に設定するとマスターデバイスとして動作します。

3.3.3. バッファ構成

送信バッファおよび受信バッファはそれぞれ独立しており、各バッファは FIFO と 32bit 幅のシフトレジスタから構成されるダブルバッファ構造です。また、FIFO は送信 FIFO と受信用 FIFO がそれぞれあり、それぞれ 16bit 幅で 8 段あります。設定可能な FIFO のレベルはデータ長によって変わります。

表 3.2 データ長と設定可能 Fill レベルの関係

データ長	設定可能な Fill レベル	
	送信 FIFO [TSPIxCR2]<TIL[3:0]>	受信 FIFO [TSPIxCR2]<RIL[3:0]>
7~16bit	0~7	1~8
17~32bit	0~3	1~4

注) Fill レベルは利用可能な Fill レベルの範囲内の値を設定してください。利用可能な Fill レベルの範囲外の値を設定した場合の動作は保証しません。

3.3.3.1. データ長と FIFO 動作

データレジスタ [TSPIxDR] は 32bit 幅で、TSPI の FIFO は DMA 転送が最も効率よく行える 32bit 幅に合わせるように動作します。以下に、受信を例にした FIFO の動作を説明します。受信したデータをフレームごとに f0、f1 と表記します。f0 は第 1 フレームを表し、f1 は第 2 フレームを表します。また、1 フレーム内の上位 16bit と下位 16bit をそれぞれ f1(H)、f1(L) のように表します。

(1) データ長 7~16bit の場合

データ長 7~16bit で使用する場合、1 フレーム分データの格納に FIFO を 1 段分使用します。FIFO は 8 段あるので、8 フレーム分のデータを格納でき、設定可能な Fill レベルは最大 8 となります。

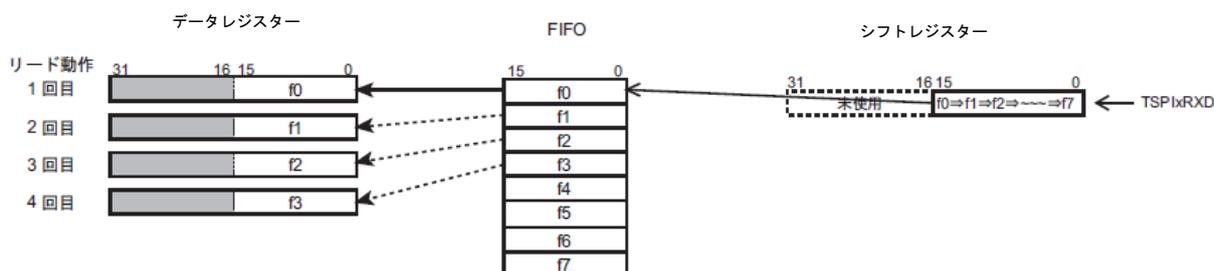


図 3.11 データ長7~16bitの場合の動作

TSPIxRXD に入力されるデータはシフトレジスタに取り込まれます。

フレーム長分の転送が終了し、FIFO に空きがある場合にはシフトレジスタの受信データが FIFO にコピーされます。FIFO には f0、f1、f2、f3、f4、f5、f6、f7 の順でスタックされていきます。

DMAC または CPU がデータレジスタをリードすると受信 FIFO ポインターが指す段の受信 FIFO の内容が読み出されます。

1回目のリード動作では、FIFOの1段目の内容f0がデータレジスタの下位16bitにコピーされます。データレジスタの上位16bitは不定となります。

受信FIFOポインタは1つインクリメントされ、FIFOの2段目を示します。2回目のリード動作では、f1がデータレジスタの下位16bitにコピーされます。さらに、受信FIFOポインタは1つインクリメントされ、FIFOの3段目を示します。

以降のフレームも、データを読み出すごとに受信FIFOポインタがインクリメントされ、データレジスタの下位16bitにコピーされます。

(2) データ長17~32bit

データ長17~32bitで使用する場合、1フレーム分のデータ格納にFIFOを2段分使用します。

FIFOは8段ありますので4フレーム分のデータを格納でき、設定可能なFillレベルは最大4となります。

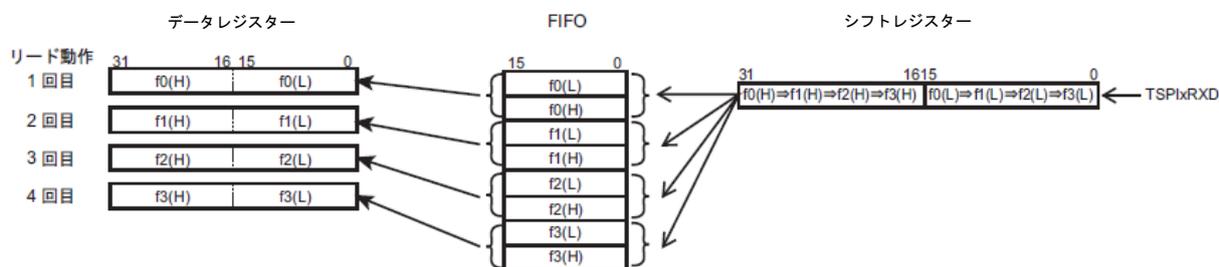


図 3.12 データ長17~32bitの場合の動作

TSPIxRXDに入力されるデータはシフトレジスタに取り込まれます。

フレーム長分の転送が終了し、FIFOに空きがある場合にはシフトレジスタの受信データがFIFOにコピーされます。FIFOにコピーされる並びはf0(L)、f0(H)の順でスタックされます。次のフレームも同様に、f1(L)、f1(H)、f2(L)、f2(H)、f3(L)、f3(H)の順でFIFOにスタックされます。

DMACまたはCPUがデータレジスタをリードすると受信FIFOポインタが指す段と次の段の受信FIFOの内容が読み出されます。

1回目のリード動作では、FIFOの1段目の内容f0(L)がデータレジスタの下位16bitに、FIFOの2段目の内容f0(H)がデータレジスタの上位16bitにコピーされます。さらに、受信FIFOポインタは2つインクリメントされ、FIFOの3段目を指します。

2回目のリード動作では、同様にf1が読み出され、受信FIFOポインタは5段目を指します。

以降のフレームも、データを読み出すごとに受信FIFOポインタが2つインクリメントされ、fm(L)がデータレジスタの下位16bitに、fm(H)がデータレジスタの上位16bitにコピーされます。

3.3.4. 通信動作モード

3.3.4.1. 全二重通信モード

図 3.13 にマスター動作、フレーム長 32bit、パリティなし、FIFO を 1 段利用する場合の全二重通信連続転送の動作例を示します。([TSPIxCR2]<TIDLE[1:0]>=10)

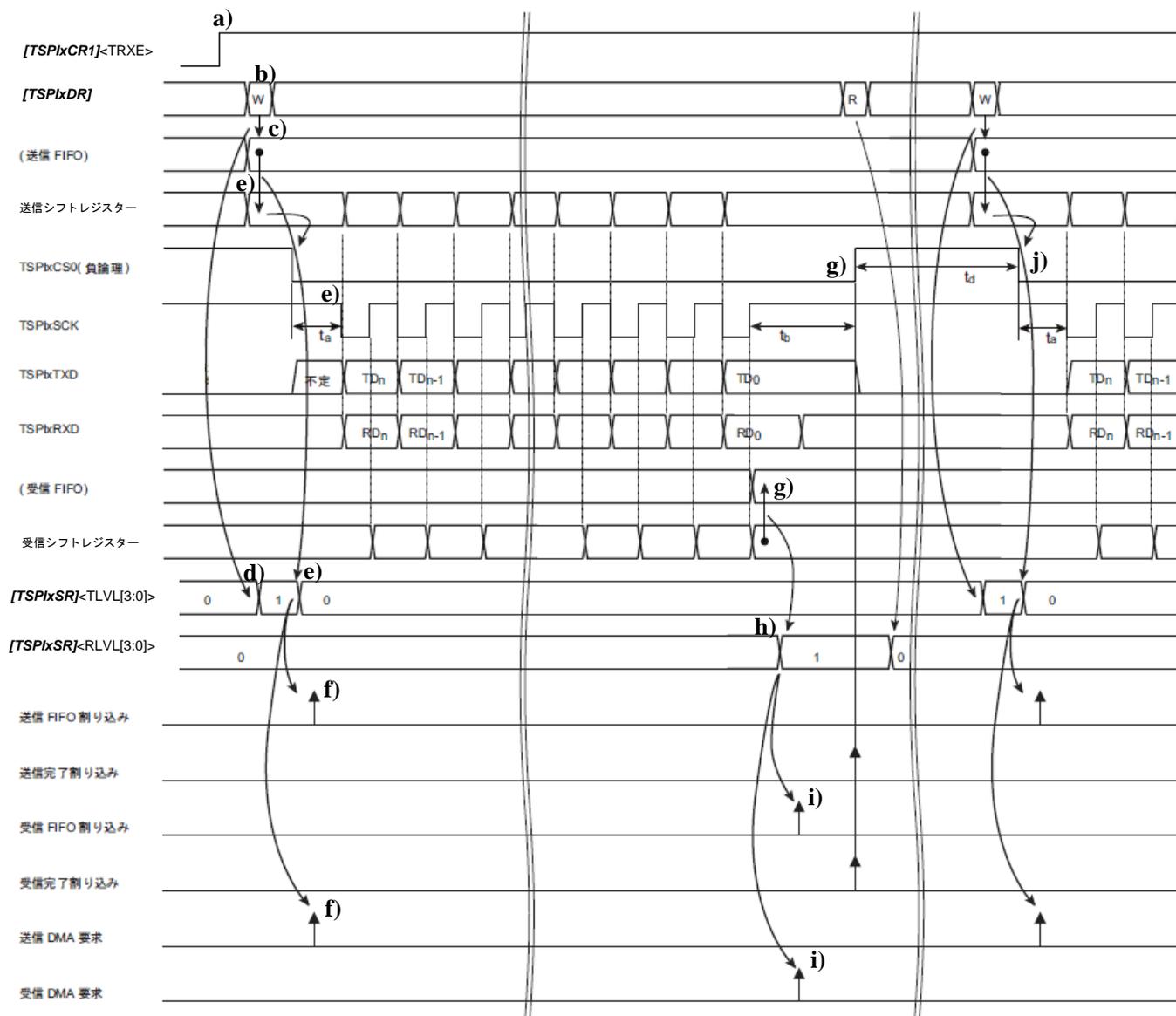


図 3.13 全二重通信の動作例

- [TSPIxCR1]<TRXE>(通信制御レジスタ)に"1"をライトして通信を許可します。
- [TSPIxDR](TSPI データレジスタ)にデータをライトします。
- [TSPIxDR]にデータをライトすると内部送信 FIFO ポインターが示す FIFO 段へライトされます。
- 送信 FIFO に 1 段分のデータがバッファされた為、[TSPIxSR]<TLVL>が"1"になります。
- 送信 FIFO にバッファされたデータはシフトレジスタにコピーされ、[TSPIxSR]<TLVL>が"0"になります。[TSPIxFMTR0]<CSSCKDL>(シリアルクロック遅延レジスタ)で設定したシリアルクロック遅延時間(ta)経過後、TSPiSCK からシリアルクロックの出力が開始されます。

- f) $[TSPIxSR]<TLVL>$ が"1"から"0"へ変化したため、送信 FIFO 割り込みや送信 DMA 要求が発生します。
- g) シリアルクロックの最後の立ち上がりエッジで受信データの全てのビットが受信シフトレジスタに取り込まれ、受信 FIFO にコピーされます。さらに、シリアルクロックの最後の立ち上がりエッジから $[TSPIxFMTR0]<SCKCSDL>$ (デアサート遅延レジスタ)で設定した CS デアサート遅延時間(tb)経過後、 $TSPIxCS0$ がデアサートされ、送信完了割り込みと受信完了割り込みが発生されます。
- h) 受信 FIFO に 1 段分のデータがバッファされたため、 $[TSPIxSR]<RLVL>$ が"1"になります。
- i) $[TSPIxSR]<RLVL>$ が"0"から"1"へ変化したため受信 FIFO 割り込み(または受信 DMA 要求)が発生します。
- j) $TSPIxCS0$ がデアサートされてから $[TSPIxFMTR0]<CSINT>$ (最低アイドル時間レジスタ)で設定した最低アイドル時間(td)経過までは送信 FIFO にデータがあってもシリアル転送を開始せず、 $TSPIxCS0$ をデアサートのまま保持します。最低アイドル時間(td)が経過した後、 $TSPIxCS0$ がアサートされシリアル転送が開始されます。

3.3.4.2. 送信モード

図 3.14 にマスター動作、フレーム長 32bit、パリティなし、FIFO を 1 段利用する場合の送信モードでの連続転送の動作例を示します。($[TSPIxCR2]<TIDLE[1:0]>=10$)

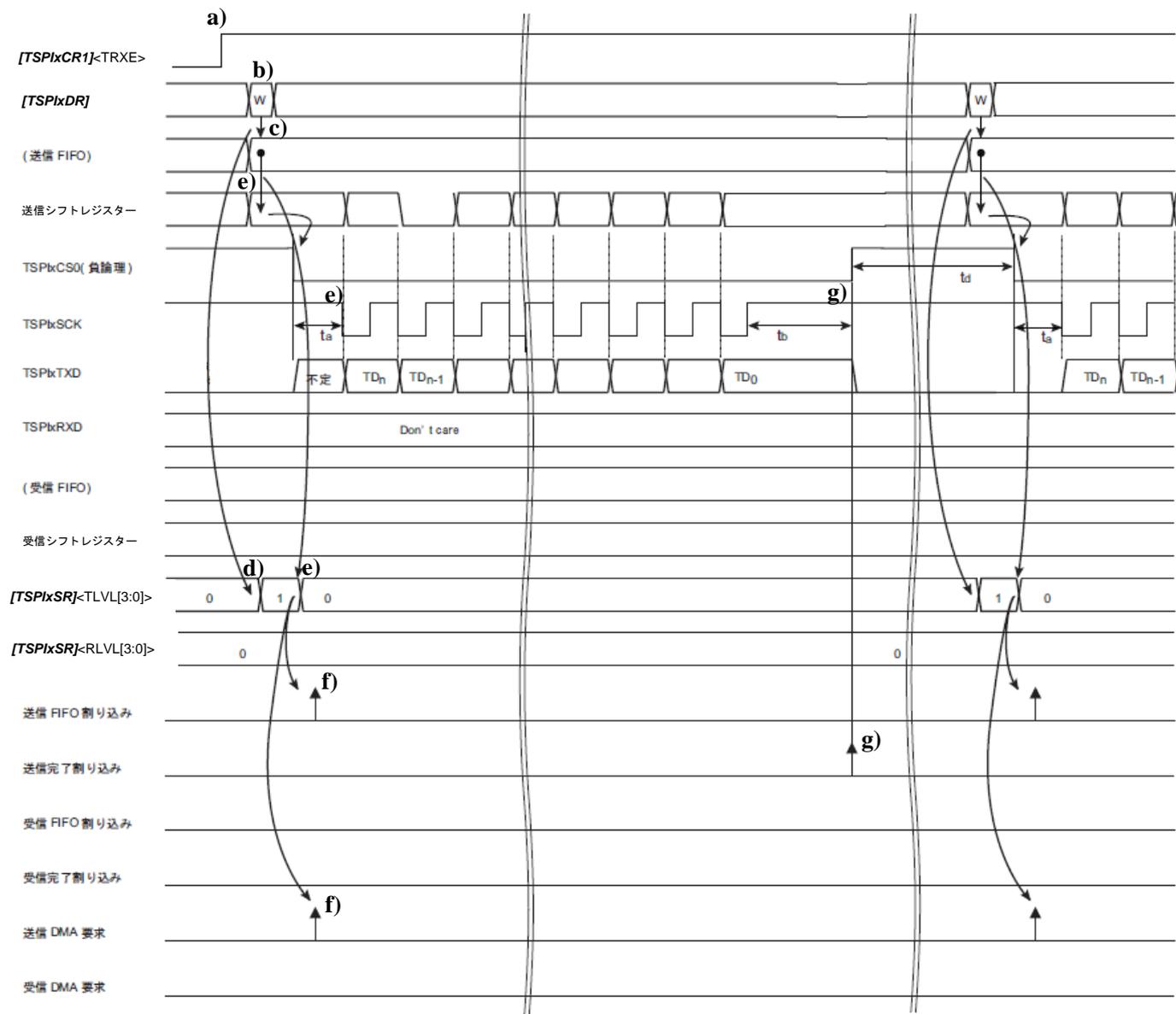


図 3.14 送信モードの動作例

- $[TSPIxCR1]<TRXE>$ に"1"をライトして通信を許可します。
- $[TSPIxDR]$ にデータをライトします。
- $[TSPIxDR]$ にデータをライトすると内部送信 FIFO ポインターが示す FIFO 段へライトされます。
- 送信 FIFO に 1 段分のデータがバッファされた為、 $[TSPIxSR]<TLVL[3:0]>$ が"1"になります。
- 送信 FIFO にバッファされたデータはシフトレジスタにコピーされ、 $[TSPIxSR]<TLVL[3:0]>$ が"0"になります。 $[TSPIxFMTR0]<CSSCKDL>$ で設定したシリアルクロック遅延時間(t_a)経過後、 $TSPiSCK$ からシリアルクロックの出力が開始されます。
- $[TSPIxSR]<TLVL[3:0]>$ が"1"から"0"へ変化したため、送信 FIFO 割り込みや送信 DMA 要求が発生しま

- す。
- g) TSPIxCS0 がデアサートされてから[*TSPIxFMTR0*]<CSINT>で設定した最低アイドル時間(td)経過までは送信 FIFO にデータがあってもシリアル転送を開始せず、TSPIxCS0 をデアサートのまま保持します。最低アイドル時間(td)が経過した後、TSPIxCS0 がアサートされシリアル転送が開始されます。

3.3.4.3. 受信モード

図 3.15 にマスター動作、フレーム長 32bit、パリティなし、FIFO を 1 段利用する場合の受信モードでの連続転送の動作例を示します。([TSPIxCR2]<TIDLE[1:0]>=10)

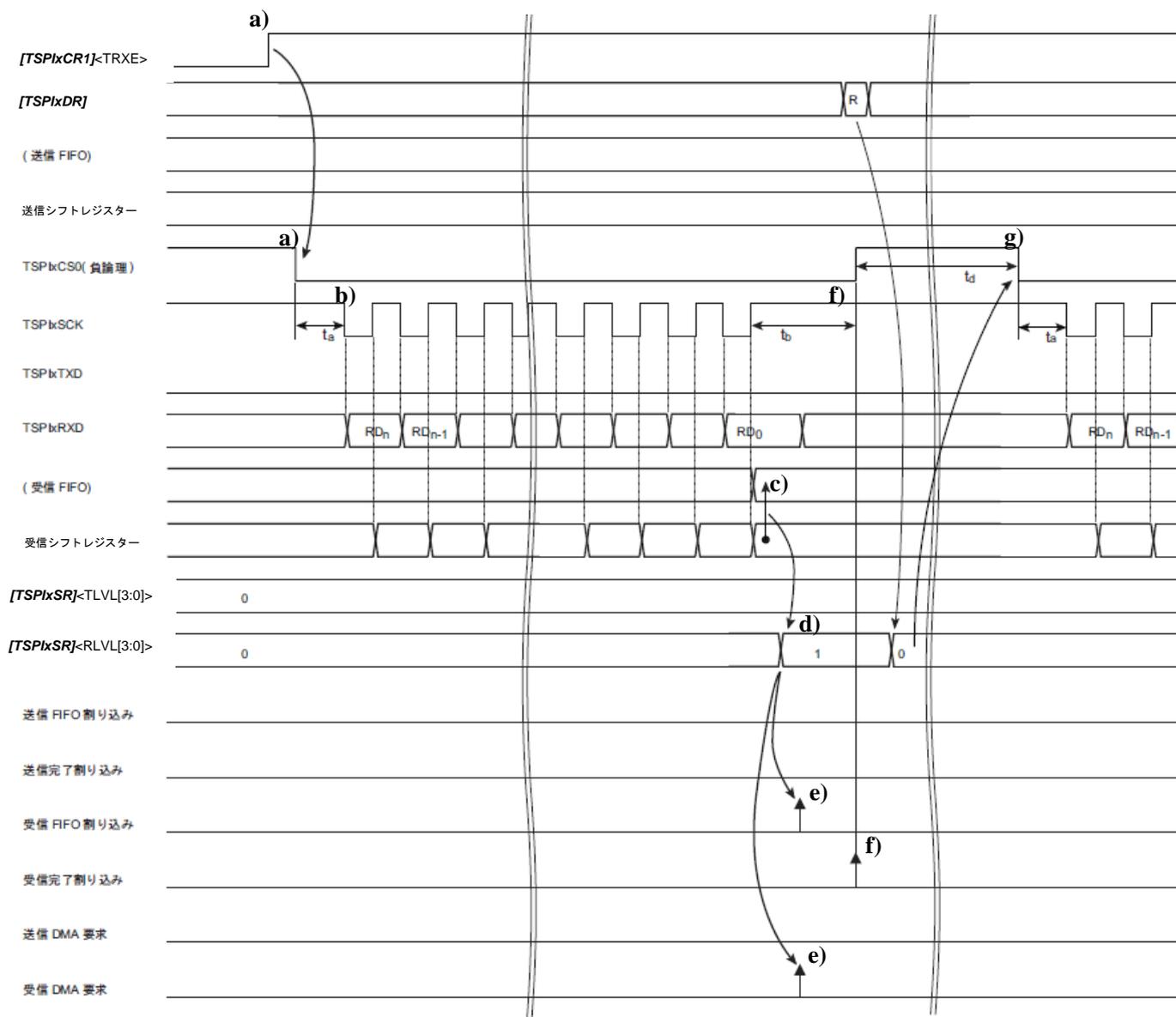


図 3.15 受信モードの動作例

- [TSPIxCR1]<TRXE>に"1"をライトして通信を許可します。受信 FIFO に空きがあるため直ちに TSPkCS0 がアサートされ、シリアル転送が開始されます。
- [TSPIxCR0]<CSSCKDL>で設定したシリアルクロック遅延時間(t_a)経過後、TSPkSCK からシリアルクロックの出力が開始されます。
- シリアルクロックの最後の立ち上がりエッジで受信データの全てのビットが受信シフトレジスタに取り込まれ、受信 FIFO にコピーされます。
- 受信 FIFO に 1 段分のデータがバッファされたため、[TSPIxSR]<RLVVL>が"1"になります。
- [TSPIxSR]<RLVVL>が"0"から"1"へ変化したため受信 FIFO 割り込みや受信 DMA 要求が発生します。

- f) シリアルクロックの最後の立ち上がりエッジから[*TSPIxFMTR0*]<SCKCSDL>で設定した CS デアサート遅延時間(tb)経過後、TSPIxCS0 がデアサートされ、受信完了割り込みが発生されます。
- g) TSPIxCS0 がデアサートされてから[*TSPIxFMTR0*]<CSINT>で設定した最低アイドル時間(td)経過まではシリアル転送を開始せず、TSPIxCS0 をデアサートのまま保持します。最低アイドル時間(td)が経過した後、受信 FIFO に空きがあれば再び TSPIxCS0 がアサートされシリアル転送が開始されます。

3.3.5. 転送モード

転送モードには、1 フレームのデータを転送するシングル転送と複数のフレームを連続して転送するバースト転送、転送フレーム数を指定しない連続転送の 3 つがあります。転送モードは、`[TSPIxCR1]<FC[7:0]>`(転送フレーム数設定レジスター)で指定できます。

3.3.5.1. シングル転送

シングル転送は 1 フレームを転送するモードです。バースト転送の 1 回転送を特にこのように呼びます。SPI モードでマスターの場合は、1 フレームの転送中は `TSPIxCS0/1/2/3` がアサートされ、転送が終了すると `TSPIxCS0/1/2/3` がデアサートされます。

3.3.5.2. バースト転送

バースト転送は複数のフレームを連続して転送するモードです。SPI モードでマスターの場合は、あらかじめ設定したフレームの転送中は `TSPIxCS0/1/2/3` をアサート状態に保持します。設定したフレームの転送が終了すると、`TSPIxCS0/1/2/3` はデアサートされます。

3.3.5.3. 連続転送

転送フレーム数を指定しないで 1 フレームのバースト転送を繰り返すモードです。SPI モードでマスターの場合は、1 フレーム転送ごとに `TSPIxCS0/1/2/3` が必ずデアサートされ、次のフレームの転送時に `TSPIxCS0/1/2/3` がアサートされます。

3.3.6. データサンプリングタイミング

データサンプリングのタイミングを[TSPIxFMTR0]<CKPHA>(シリアルクロックのエッジ選択レジスター)で切り替えることができます。[TSPIxFMTR0]<CKPHA>=1 のときは、2nd エッジでデータをサンプリングし、[TSPIxFMTR0]<CKPHA>=0 のときは、1st エッジでデータをサンプリングします。

表 3.3 に通信モードとデータサンプリングの使用可否を、表 3.4 にデータ取り込みタイミングを示します。

表 3.3 通信モードとデータサンプリングタイミングの使用可否

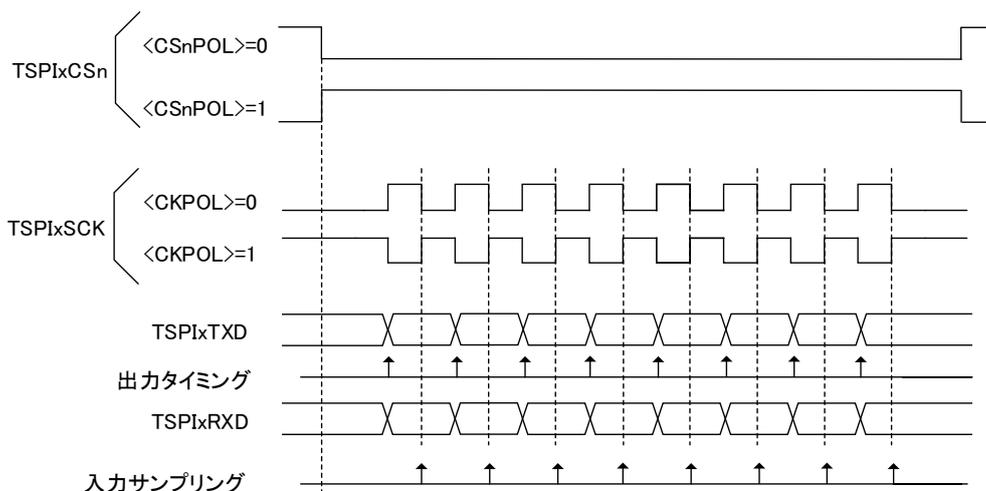
データサンプリングタイミング	SPI モード		SIO モード	
	マスター動作	スレーブ動作	マスター動作	スレーブ動作
2nd エッジ	○	○	○	○
1st エッジ	○	×	×	×

○:使用可能 ×:使用禁止

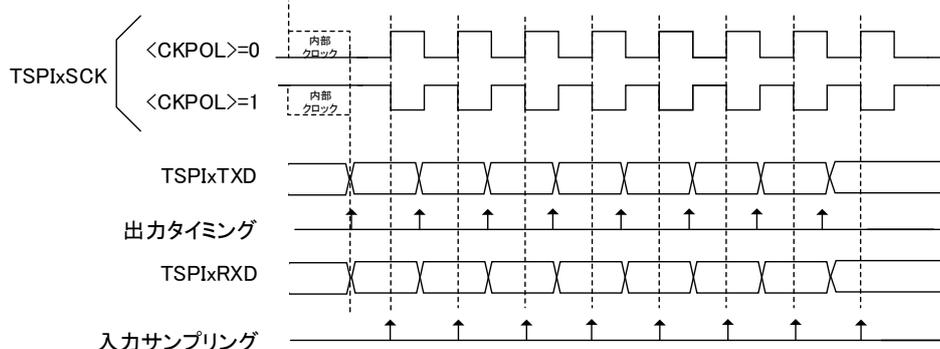
表 3.4 データ取り込みタイミング

TSPIxSCK のアイドル期間の極性 [TSPIxFMTR0]<CKPOL>	データ取り込みタイミング [TSPIxFMTR0]<CKPHA>	
	0 (1st エッジサンプリング)	1 (2nd エッジサンプリング)
0 (アイドル期間の極性が"Low")	立ち上がりエッジ	立ち下がりエッジ
1 (アイドル期間の極性が"High")	立ち下がりエッジ	立ち上がりエッジ

[SPIモード(マスター) 2ndエッジデータサンプリング<CKPHA>=1]



[SPIモード(マスター) 1stエッジデータサンプリング<CKPHA>=0]



[SPIモード(マスター) 1stエッジデータサンプリング<CKPHA>=0 アイドル期間の出力制御Hi-Z<TIDLE>=00]

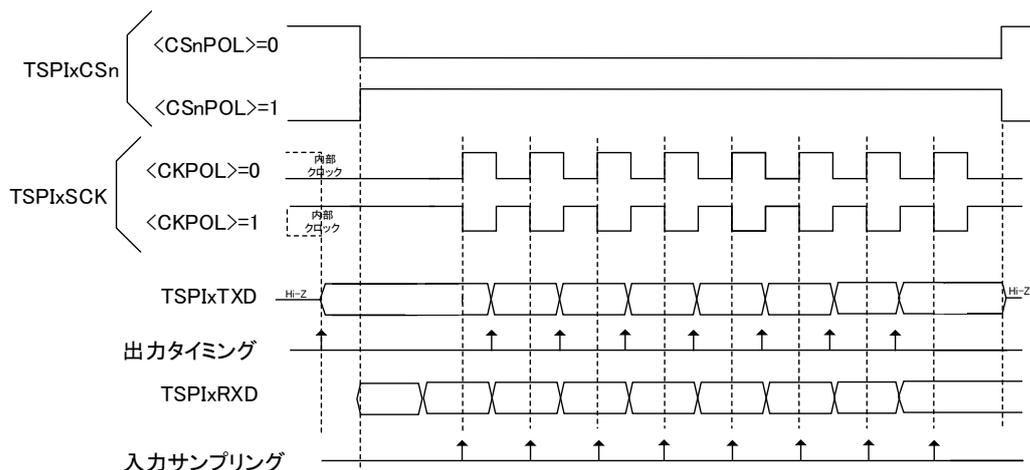


図 3.16 SPIモード(マスター)のデータサンプリングタイミング

[SPIモード(スレーブ) 2ndエッジデータサンプリング<CKPHA>=1]

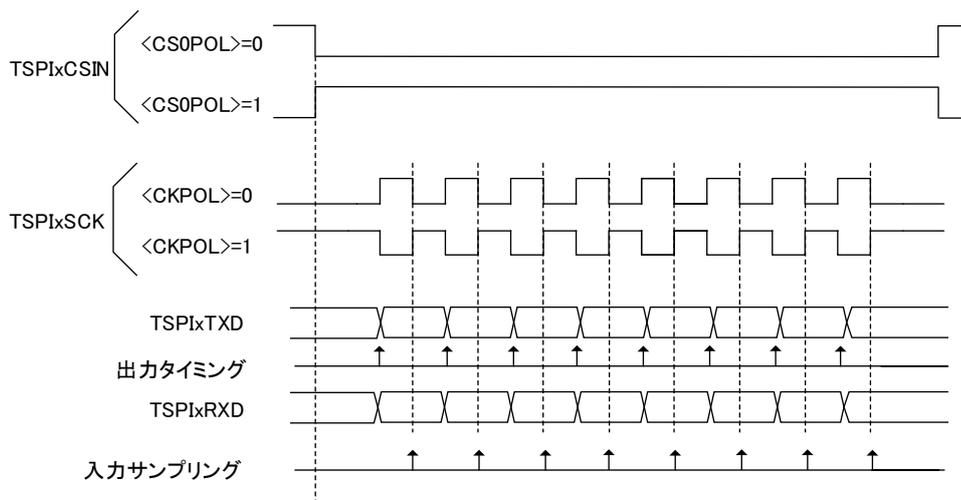


図 3.17 SPIモード(スレーブ)のデータサンプリングタイミング

[SIOモード(マスター)2ndエッジデータサンプリング<CKPHA>=1]

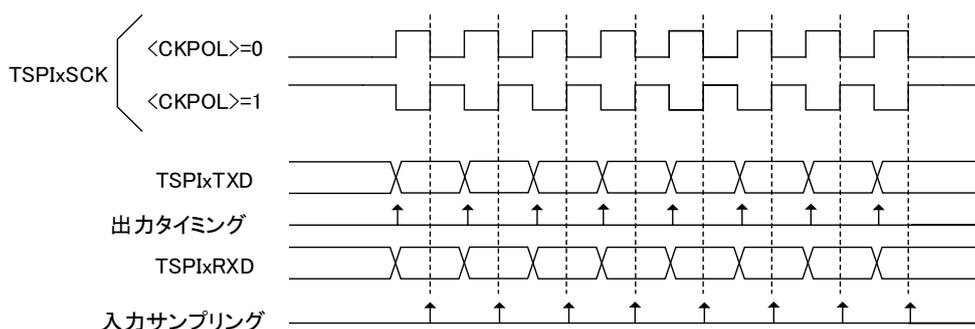


図 3.18 SIOモード(マスター)のデータサンプリングタイミング

[SIOモード(スレーブ)2ndエッジデータサンプリング<CKPHA>=1]

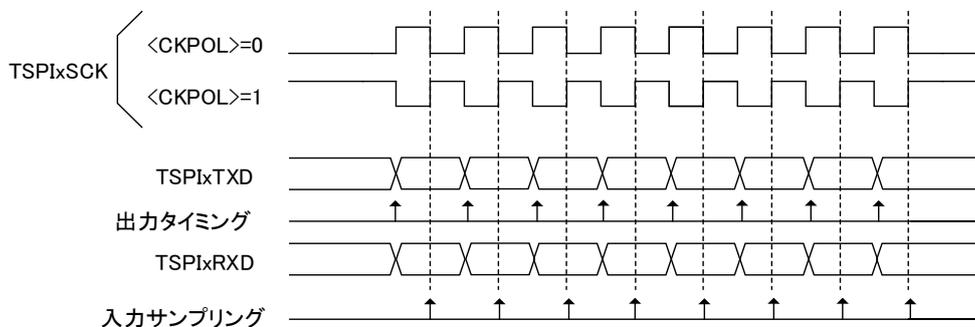


図 3.19 SIOモード(スレーブ)のデータサンプリングタイミング

3.3.7. 特殊制御

3.3.7.1. TSPiXCS0/1/2/3 信号の極性と発生タイミング

TSPiXCS0/1/2/3 の極性を $[TSPiXFMTR0]<CSnPOL>$ (TSPiXCS0/1/2/3の極性レジスター) で個別に選択することができます。 $[TSPiXFMTR0]<CSnPOL>=0$ の場合は負論理、 $[TSPiXFMTR0]<CSnPOL>=1$ の場合は正論理になります。また、以下のように TSPiXCS0/1/2/3 の発生タイミングを設定することができます。

1. シリアルクロック遅延

TSPiXCS0/1/2/3 がアサートされてから送信クロック TSPiXSCK が最初に変化するまでの遅延時間 (t_a) を $[TSPiXFMTR0]<CSSCKDL>$ に設定します。

2. TSPiXCS0/1/2/3 デアサート遅延

シリアル転送終了から TSPiXCS0/1/2/3 をデアサートするまでの遅延時間 (t_b) を $[TSPiXFMTR0]<SCKCSDL>$ に設定します。

3. バースト時フレーム間インターバル時間

バースト転送時のフレーム間インターバル時間 (t_c) を $[TSPiXFMTR0]<FINT>$ (バースト時フレーム間インターバル時間レジスター) に設定します。

4. 最低アイドル時間

TSPiXCS0/1/2/3 がデアサートされてから再度 TSPiXCS0/1/2/3 がアサートされるまでの最低待ち時間 (t_d) は $[TSPiXFMTR0]<CSINT>$ に設定します。

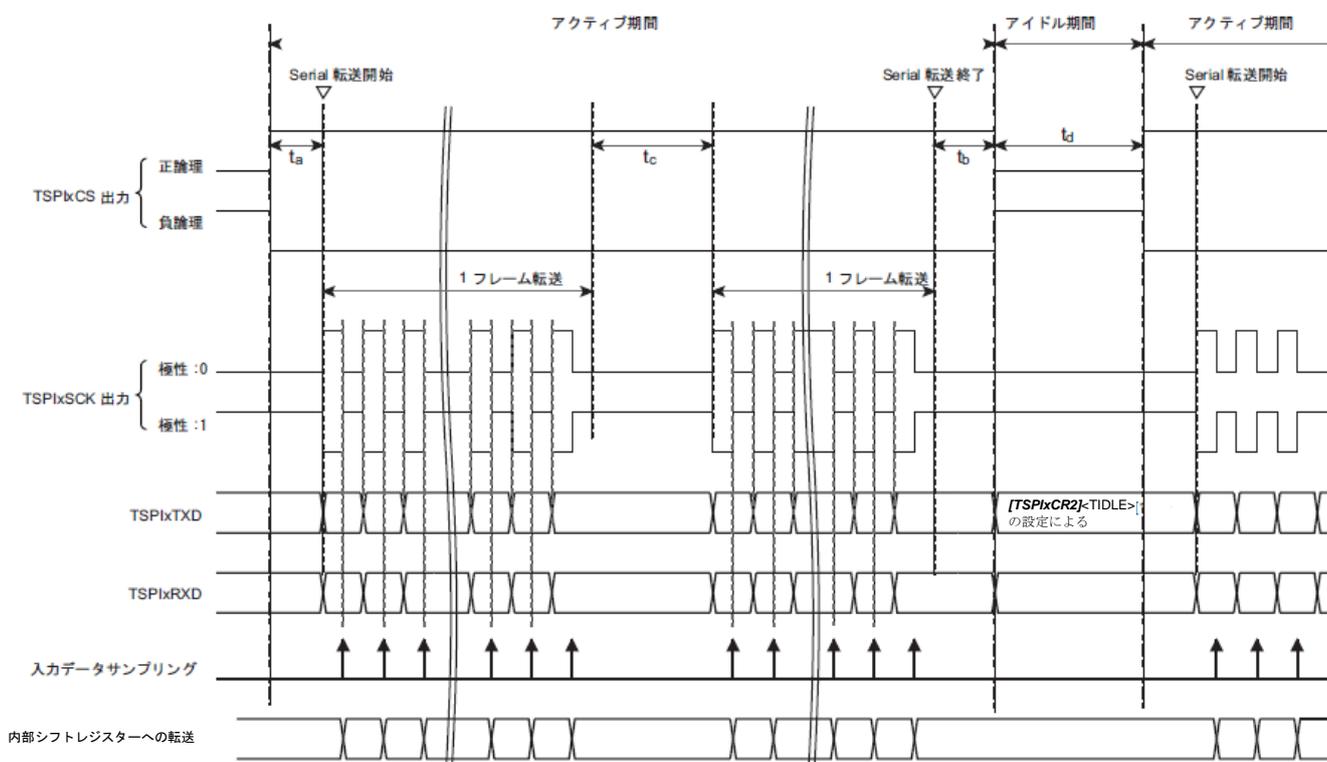


図 3.20 転送フォーマットとタイミング調整(2ndエッジの例)

3.3.7.2. クロックの極性

クロックの極性は、 $[TSPIxFMTR0]<CKPOL>$ (シリアルクロックのアイドル期間の極性レジスター)で選択できます。 $[TSPIxFMTR0]<CKPOL>=0$ にした場合は、 $TSPIxSCK$ はアイドル期間に"Low"を出力し、最初のクロックエッジは立ち上がりになります。 $[TSPIxFMTR0]<CKPOL>=1$ にした場合、 $TSPIxSCK$ はアイドル期間に"High"を出力し、最初のクロックエッジは立ち下がりになります。

3.3.7.3. アイドル期間の $TSPIxTXD$ 出力

アイドル期間中の $TSPIxTXD$ 出力のレベルを $[TSPIxCR2]<TIDLE[1:0]>$ (アイドル期間の出力値制御レジスター)で選択できます。

$[TSPIxCR2]<TIDLE[1:0]>$ を設定したタイミングで設定値に応じた値が $TSPIxTXD$ 出力値になります。ただし、マスター動作時に、いったん"Low 固定"または"High 固定"を設定し、その後直前転送の最終データに設定した場合は、次の転送が始まるまでいったん設定した固定出力が維持されます。スレーブ動作時に、最終データ出力設定でアンダーランエラーが発生した場合は、フレーム転送中は $[TSPIxCR2]<TXDEMP>$ ビットで指定した値が出力され、転送終了で最後に行ったデータ出力値に変化します。

バースト転送中のフレームインターバル期間は直前の最終データを維持します。リセット解除直後など直前の転送の最終データに相当するデータが無い場合には"High"が出力されます。

表 3.5 アイドル期間中の $TSPIxTXD$ 出力

$[TSPIxCR2]<TIDLE[1:0]>$	出力
00	Hi-Z
01	直前の転送の終了データ
10	Low
11	High

注) SIO モードのマスター動作で送信を行う場合、送信開始直前の 1 クロック($TSPIxSCK$)前から不定値が出力されます。

[TSPIxCR2]<TIDLE[1:0]>=10, [TSPIxFMTR0]<CKPHA>=1: アイドル期間中"Low"出力の例

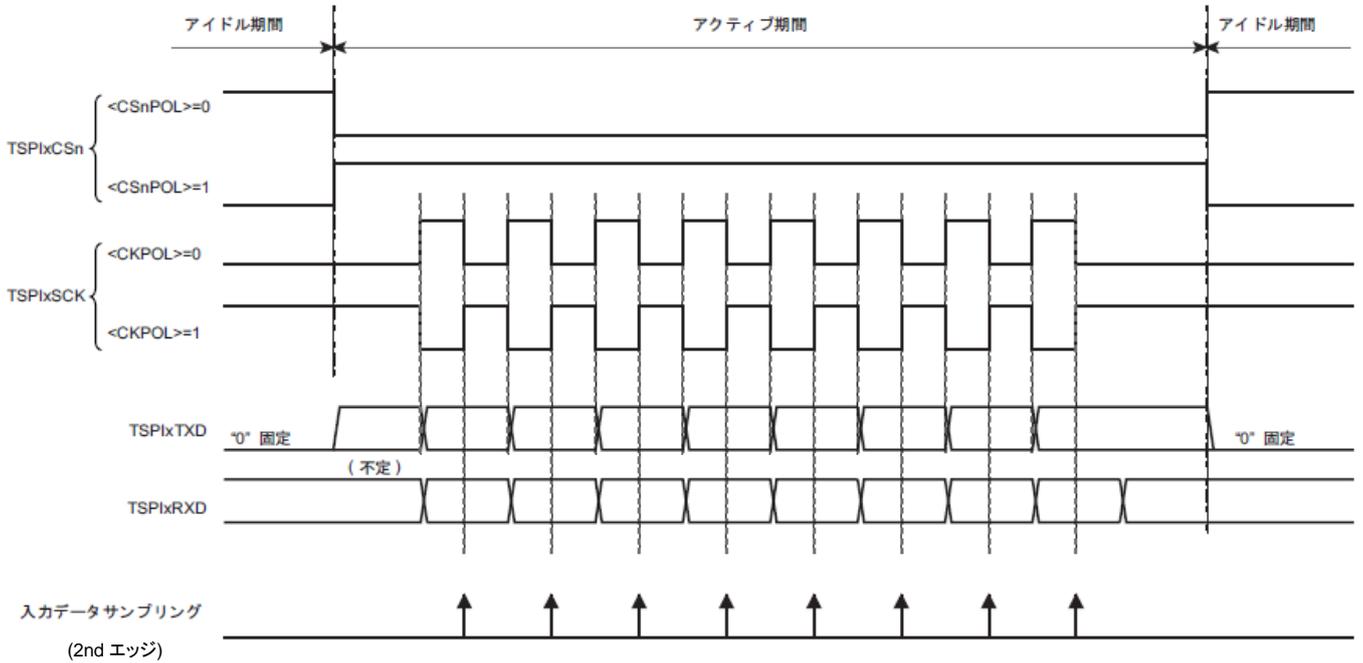


図 3.21 SPIモードのアイドル期間と送信端子状態

[TSPIxCR2]<TIDLE[1:0]>=10, [TSPIxFMTR0]<CKPHA>=1: アイドル期間中"Low"出力の例

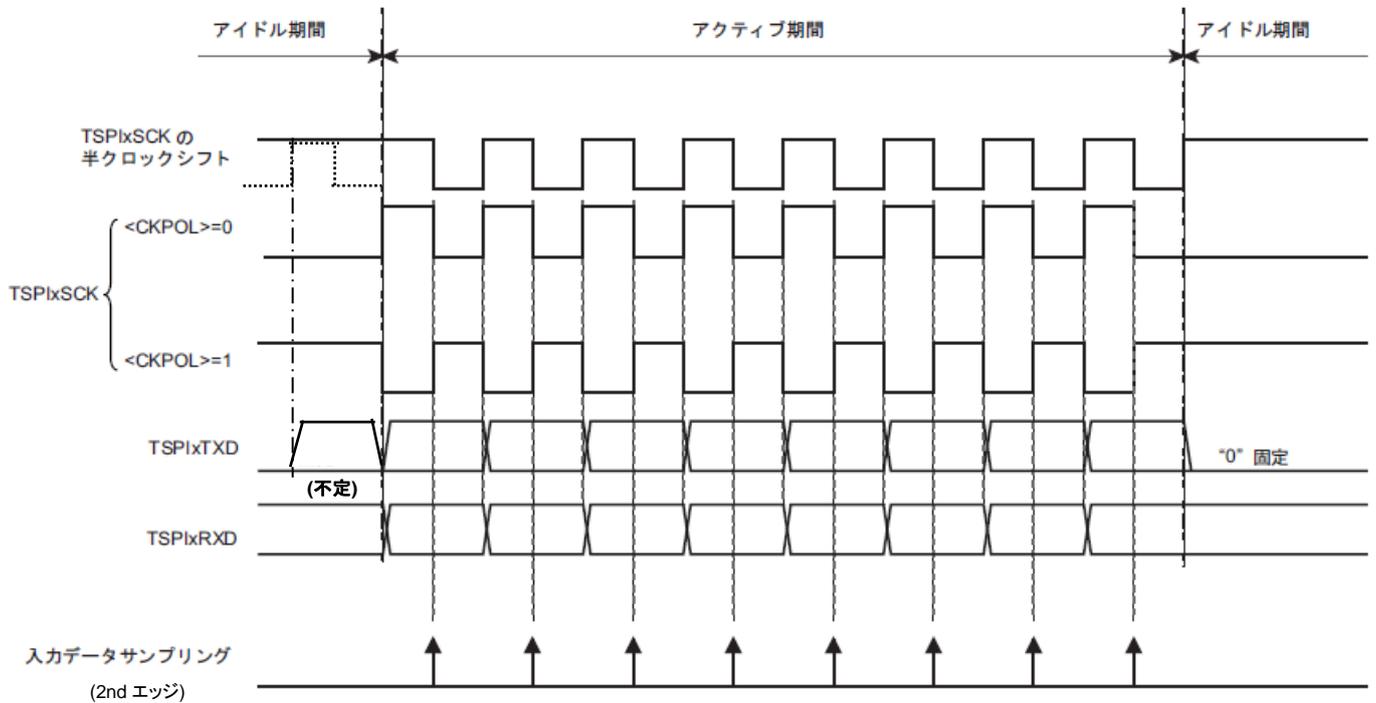


図 3.22 SIOモードのアイドル期間と送信端子状態

3.3.8. トリガーによる通信制御

マスター時、 $[TSPIxCR1]<TRGEN>=1$ にするとトリガーの発生による通信開始の機能が使用できます。

通信が行われていない状態で $[TSPIxCR1]<TRGEN>$ に"1"を設定すると、トリガー待ち状態となります。トリガーが入力されると、通信可能な状態では自動的に $[TSPIxCR1]<TRXE>=1$ となり通信を開始します。通信が終了すると $<TRXE>=0$ となり、トリガー待ち状態となります。

トリガーを使用する場合は、 $<TRXE>=0$ に設定してください。また、トリガーを使用する場合は $[TSPIxCR1]<FC>=0$ (連続転送)は設定禁止です。

トリガーの種類は製品によって異なります。詳細は、リファレンスマニュアルの「製品個別情報」を参照してください。

送受信それぞれの動作は以下のとおりです。

(1) 受信動作

トリガーが入力され、FIFOに空きがあるとクロックを出力し受信開始します。

FIFOに空きがある間は受信を継続し、FIFOに空きがなくなるとクロック出力を停止します。

$[TSPIxCR1]<FC>$ に設定された転送数が終了するとクロック出力を停止し受信終了します。

FIFOに空きのない状態でトリガーが入力されるとトリガーは無視されます。また、エラー割り込みを出力し、フラグ($[TSPIxERR]<TRGERR>$)がセットされます。詳細は「3.3.9.3 エラー割り込み」を参照してください。

(2) 送信動作

FIFOにデータがある状態でトリガーが入力されるとクロックとデータを出力し送信開始します。

FIFOにデータがある間は送信を継続し、FIFOのデータが無くなるとクロック出力を停止します。

$[TSPIxCR1]<FC>$ に設定された転送数が終了するとクロック出力を停止し送信終了します。

FIFOにデータが無い状態でトリガーが入力されるとトリガーは無視されます。また、エラー割り込みを出力し、フラグ($[TSPIxERR]<TRGERR>$)がセットされます。詳細は「3.3.9.3 エラー割り込み」を参照してください。

(3) トリガーの受付

通信が行われていない状態で受け付けます。通信動作中のトリガー入力は無視されます。

通信終了後に次のトリガーを入力してください。

3.3.9. 割り込み要求

TSPIには、受信割り込み、送信割り込み、エラー割り込みの3種類の割り込みがあります。おのこの割り込みは関係する信号がひとつの信号にまとめられて出力されています。おのこの割り込み信号は、許可/禁止の設定が可能です。

表 3.6 割り込み要因と割り込み要求

割り込み要求	割り込み要因	許可レジスター
送信割り込み	送信完了割り込み	$[TSPIxCR2]\langle INTTXWE \rangle$
	送信 FIFO 割り込み	$[TSPIxCR2]\langle INTTXFE \rangle$
受信割り込み	受信完了割り込み	$[TSPIxCR2]\langle INTRXWE \rangle$
	受信 FIFO 割り込み	$[TSPIxCR2]\langle INTRXFE \rangle$
エラー割り込み	垂直パリティエラー割り込み	$[TSPIxCR2]\langle INTERR \rangle$
	オーバーランエラー割り込み	
	アンダーランエラー割り込み	
	トリガーエラー割り込み	

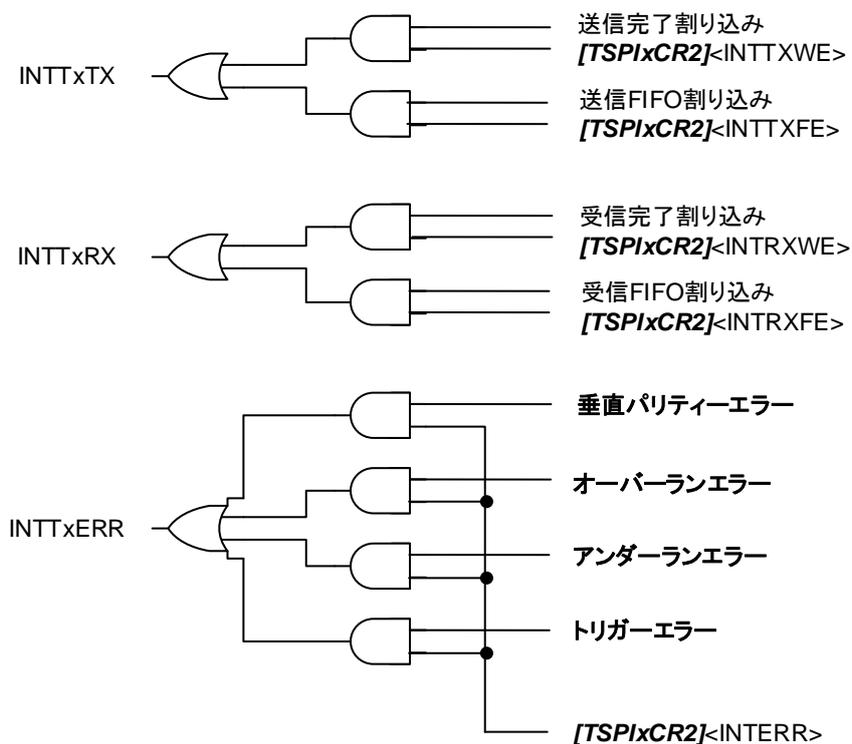


図 3.23 割り込み要求回路

3.3.9.1. 送信完了割り込み/受信完了割り込み

(1) マスター動作時

送信完了割り込みは送信または全二重通信のとき、シングル転送、バースト転送と連続転送共に $TSPIxCS0/1/2/3$ がデアサートされるタイミング(注)で発生します。また同様に、受信完了割り込みは受信または全二重通信のとき、シングル転送、バースト転送と連続転送共に $TSPIxCS0/1/2/3$ がデアサートされるタイミング(注)で発生します。

注) SIO モード使用時は、 $TSPIxCS0/1/2/3$ のデアサートは確認できません。デアサート発生タイミングは、 $[TSPIxFRMR0]<SCKCSDL>$ の設定値に依存します。

(2) スレーブ動作時

送信完了割り込みは送信または全二重通信のとき、シングル転送、連続転送は 1 フレーム転送終了タイミングで、バースト転送は最終フレーム転送終了のタイミングで発生します。また同様に、受信完了割り込みは受信または全二重通信のとき、シングル転送、連続転送は 1 フレーム転送終了タイミングで、バースト転送は最終フレーム転送終了のタイミングで発生します。

3.3.9.2. 送信 FIFO 割り込み/受信 FIFO 割り込み

送信 FIFO 割り込みは、下記の条件を満たすと発生します。

$[TSPIxSR]<TLVL[3:0]>$ (送信 FIFO Fill レベル状態レジスター)が $[TSPIxCR2]<TIL[3:0]>$ (送信 FIFO Fill レベル設定レジスター)に設定された送信 FIFO 割り込み発生条件(Fill レベル)より 1 つ大きい状態で送信 FIFO から送信シフトレジスターへのデータ転送が行われ、送信 FIFO の Fill レベルが 1 つ減り、送信割り込み発生条件(Fill レベル)と同じ値に変化したとき。

受信 FIFO 割り込みは、下記の条件を満たすと発生します。

$[TSPIxSR]<RLVL[3:0]>$ (受信 FIFO Fill レベル状態レジスター)が $[TSPIxCR2]<RIL[3:0]>$ (受信 FIFO Fill レベル設定レジスター)に設定された受信割り込み発生条件(Fill レベル)より 1 つ小さい状態で受信シフトレジスターから受信 FIFO へのデータ転送が行われ、受信 FIFO の Fill レベルが 1 つ増え、受信割り込み発生条件(Fill レベル)と同じ値に変化したとき。

3.3.9.3. エラー割り込み

以下のようなエラー割り込みが発生します。エラーが発生した場合は、適切に処理してください。

(1) パリティエラー割り込み

パリティエラー割り込みは、パリティエラーが起こったときに発生する割り込みです。パリティが有効なとき、フレーム長の最終ビットより1ビット前までに受信したデータからパリティが自動計算されます。

フレーム長の最終ビットとして受信したパリティビットと比較し、一致しなかったときにパリティエラー割り込みが発生します。また、割り込みが生成するタイミングは受信フレームデータが受信 FIFO に格納されるタイミングです。

(2) オーバーランエラー割り込みとアンダーランエラー割り込み

アンダーランエラー、オーバーランエラーはスレーブモードで発生します。アンダーランエラーは、送信シフトレジスタのデータを送信終了後、送信 FIFO にデータがない状態で次の転送クロックが入力されると発生します。

オーバーランエラーは、受信 FIFO がフルでかつ受信シフトレジスタにもデータがある状態で次の転送クロックが入力されると発生します。オーバーランエラーが発生したフレームのデータは受信されず、受信 FIFO、受信シフトレジスタの内容は更新されません。

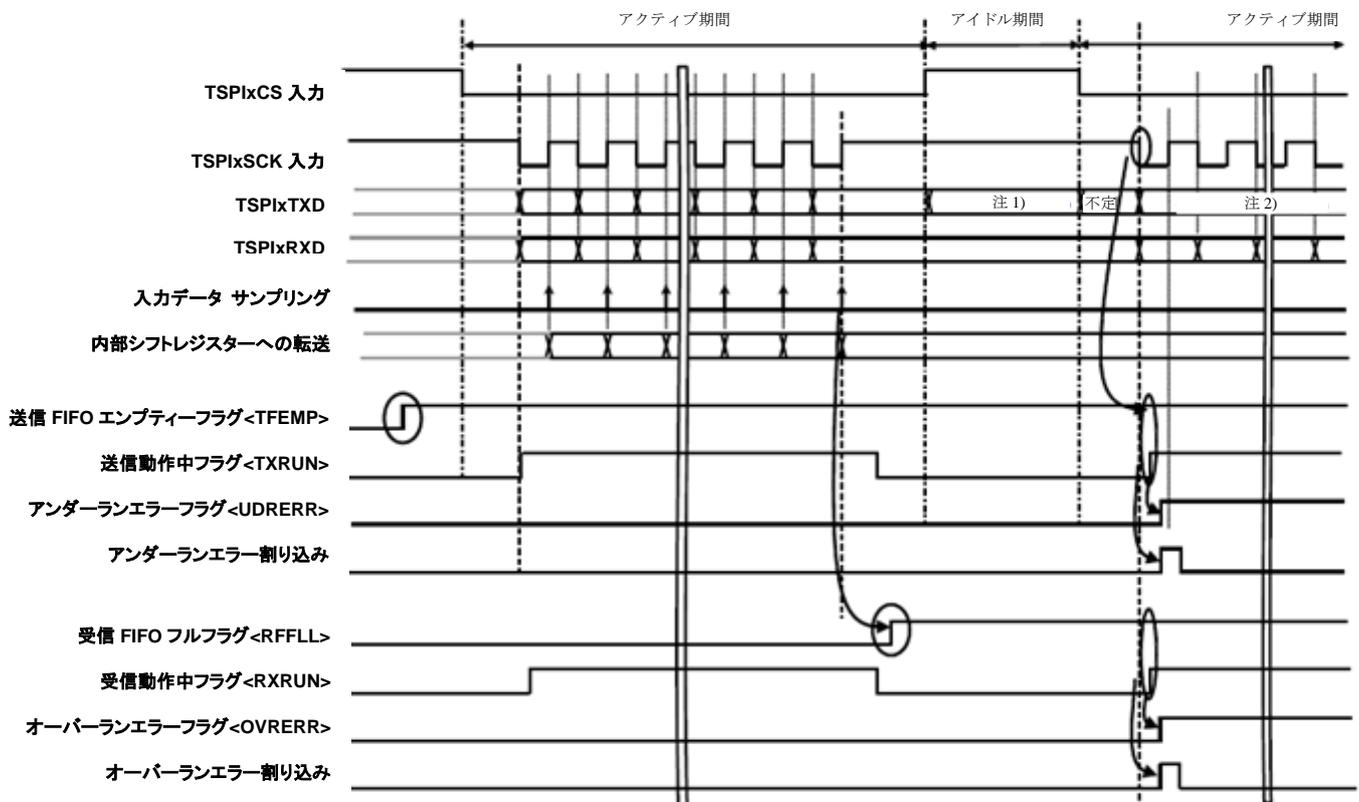


図 3.24 オーバーランエラーとアンダーランエラー

注 1) $[TSPIxCR2]<TIDLE[1:0]>$ の設定によって決まります。

注 2) $[TSPIxCR2]<TXDEMP>$ の設定によって決まります。

(3) トリガー通信エラー割り込み

マスター動作時、トリガー通信制御許可([TSPIxCR1]<TRGEN>=1)状態で、トリガー入力による通信が開始できなかつたときにセットされます。

3.3.10. DMA 要求

DMA 要求には送信 DMA 要求と受信 DMA 要求があります。さらにそれぞれにシングル DMA 要求、バースト DMA 要求があります。

サポートされている DMA 要求は、製品によって異なります。詳細は、リファレンスマニュアルの「製品個別情報」を参照してください。

3.3.10.1. 送信

送信のシングル DMA 要求とバースト DMA 要求は、[TSPIxCR2]<DMATE>に"1"を設定すると許可されます。

FIFO に 1 段以上の空きがある場合、シングル要求が発生します。

Fill レベルの現在値を示す[TSPIxSR]<TLVL>の値が[TSPIxCR2]<TIL>に設定された送信割り込み発生条件(Fill レベル)以下になったときにバースト要求が発生します。DMA 転送終了時にまだ Fill レベル以下であれば再度バースト要求が発生します。

3.3.10.2. 受信

受信のシングル DMA 要求とバースト DMA 要求は、[TSPIxCR2]<DMARE>に"1"を設定すると許可されます。

FIFO に 1 つ以上のデータが存在する場合、シングル要求が発生します。

Fill レベルの現在値を示す[TSPIxSR]<RLVL>の値が[TSPIxCR2]<RIL>に設定された受信割り込み発生条件(Fill レベル)以上になったときにバースト要求が発生します。DMA 転送終了時にまだ Fill レベル以上であれば再度バースト要求が発生します。

3.3.11. 通信完了による連携動作

送信完了/受信完了の信号によってタイマーカウンターの起動など他の機能と連携することができます。詳細はリファレンスマニュアル「製品個別情報」を参照してください。

3.3.12. ソフトウェアリセット

TSPIはソフトウェアでリセットをかけて、TSPIを初期化することができます。詳細は「4.2.1 [TSPIxCR0] (TSPI 制御レジスター0)」を参照してください。

4. レジスター説明

4.1. レジスター一覧

制御レジスターとアドレスは以下のとおりです。

周辺機能	チャンネル/ユニット	ベースアドレス		
		TYPE 1	TYPE 2	TYPE 3
シリアルペリフェラルインターフェース	ch0	0x40098000	0x400CA000	0x4006A000
	ch1	0x40099000	0x400CA400	0x4006A400
	ch2	0x4009A000	0x400CA800	0x4006A800
	ch3	0x4009B000	0x400CAC00	0x4006AC00
	ch4	0x4009C000	0x400CB000	0x4006B000
	ch5	0x4009D000	0x400CB400	0x4006B400
	ch6	0x4009E000	0x400CB800	0x4006B800
	ch7	0x4009F000	0x400CBC00	0x4006BC00
	ch8	0x40096000	0x400CC000	0x4006C000
	ch9	0x40097000	0x400CC400	0x4006C400
	ch10	-	0x400CC800	0x4006C800
	ch11	-	0x400CCC00	0x4006CC00

注) 製品によって使用されるチャンネル/ユニットおよびベースアドレスタイプは異なります。詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

レジスター名	アドレス(Base+)
TSPI 制御レジスター0	[TSPIxCR0] 0x0000
TSPI 制御レジスター1	[TSPIxCR1] 0x0004
TSPI 制御レジスター2	[TSPIxCR2] 0x0008
TSPI 制御レジスター3	[TSPIxCR3] 0x000C
TSPI ボーレートレジスター	[TSPIxBR] 0x0010
TSPI フォーマット制御レジスター0	[TSPIxFMTR0] 0x0014
TSPI フォーマット制御レジスター1	[TSPIxFMTR1] 0x0018
TSPI データレジスター	[TSPIxDR] 0x0100
TSPI ステータスレジスター	[TSPIxSR] 0x0200
TSPI エラーフラグレジスター	[TSPIxERR] 0x0204

注) [TSPIxCR0]<SWRST>、[TSPIxCR1]<TRXE>、[TSPIxDR]、[TSPIxSR]以外のレジスターは [TSPIxSR]<TSPIxSUE>=1 の状態で設定はできません。

4.2. レジスタ－詳細

4.2.1. [TSPIxCR0] (TSPI 制御レジスタ－0)

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:6	SWRST[1:0]	00	W	TSPI ソフトウェアリセット(注) "10"→"01"の連続ライトでリセットされます。 ソフトウェアリセットにより、実行中の転送動作は強制終了し、転送設定以外の制御レジスタの値が初期化されます(表 4.1)。
5:1	-	0	R	リードすると"0"が読めます。
0	TSPIE	0	RW	TSPI の動作制御 0: 停止 1: 動作 <TSPIE>は TSPI 全体の動作/停止(クロック遮断)制御を行います。 <TSPIE>=0(停止状態)では、TSPI 内部にクロックが供給されません。<TSPIE>=1(動作状態)にしてから初期設定および通信を行ってください。 <TSPIE>はソフトウェアリセットにより初期化されません。

注) ソフトウェアリセット動作が完了するには命令実行後 2 クロック必要です。TSPI の設定が停止 (<TSPIE>=0)の状態では、ソフトウェアリセットはかかりません。

ソフトウェアリセットを行うには[TSPIxCR0]<SWRST[1:0]>(TSPI ソフトウェアリセットレジスタ)に連続して"10"→"01"とライトします。間に他の TSPI 制御レジスタにアクセスすると、ソフトウェアリセットは無効となります。"10"ライトからやり直してください。

ソフトウェアリセットによって初期化されるレジスタを「表 4.1 ソフトウェアリセットにより初期化されるレジスタ」に示します。

表 4.1 ソフトウェアリセットにより初期化されるレジスタ

レジスタ名	シンボル名
[TSPIxCR0]	対象無し
[TSPIxCR1]	<TRXE>
[TSPIxCR2]	<TIL><RIL><INTTXFE><INTTXWE><INTRXFE> <INTRXWE><INTERR><DMATE><DMARE>
[TSPIxCR3]	対象無し
[TSPIxBR]	対象無し
[TSPIxFMTR0]	対象無し
[TSPIxFMTR1]	対象無し
[TSPIxDR]	対象無し
[TSPIxSR]	<TSPIE><TXRUN><TXEND><INTTXWF><TFEMP> <TLVL><RXRUN><RXEND><INTRXFF><RFFLL><RLVL>
[TSPIxERR]	<TRGERR><UDRERR><OVRERR><PERR>

4.2.2. [TSPiXCR1] (TSPi 制御レジスター1)

Bit	Bit Symbol	リセット後	Type	機能
31:16	-	0	R	リードすると"0"が読めます。
15	TRGEN	0	R/W	トリガー通信制御(マスター時のみ有効) 0: 使用しない 1: トリガー有効
14	TRXE	0	R/W	通信制御(注 1)(注 2)(注 3)(注 4) 0: 通信停止 1: 通信許可 全二重モード/送信モードの場合: 送信 FIFO やシフトレジスターに有効データが存在する場合に、通信許可に設定すると送信を開始します。送信 FIFO やシフトレジスターに有効なデータ無い場合には、転送は開始されませんので、送信 FIFO にデータを書き込んだ後に送信開始するやり方と、通信許可状態で送信データを書き込む方法で送信を開始できます。送信中にこのビットが禁止に設定された場合はそのフレームの転送が終了してから、禁止になります。 受信モードの場合: 通信許可にすると直ちに受信を開始します。受信中にこのビットが禁止に設定された場合はそのフレームの転送が終了してから、禁止になります。
13	TSPIMS	0	R/W	通信モード選択 0: SPI モード 1: SIO モード
12	MSTR	1	R/W	マスター/スレーブ選択 0: スレーブ動作 1: マスター動作
11:10	TMMD[1:0]	11	R/W	転送モード選択 00: 設定禁止 01: 送信のみ 10: 受信のみ 11: 全二重通信(送受信) 送信のみ場合は、TSPiRXD の処理回路を動作停止。受信のみの場合は、TSPiTXD の処理回路は動作停止。
9:8	CSSEL	0	R/W	TSPiXCS0/1/2/3 の選択 00: TSPiXCS0 が有効 01: TSPiXCS1 が有効 10: TSPiXCS2 が有効 11: TSPiXCS3 が有効 スレーブ動作時、SIO モード選択時は TSPiXCS0/1/2/3 は使えません。(注 5)
7:0	FC[7:0]	0x01	R/W	転送フレーム数設定 0: 連続転送(転送回数指定無し)(注 6) 1: シングル転送(バースト 1 回転送) 2~255: バースト転送(2~255 回転送)

注 1) <TRXE>は全ての設定が終わってから"1"をライトしてください。

注 2) <TRXE>は連続転送の場合 CPU から"0"をライトしない限り"0"になりません。しかし、シングル転送およびバースト転送の場合は設定した転送数を転送完了後に自動的に"0"にクリアされます。再度シングル転送およびバースト転送を行う場合は[TSPiXSR]<TSPiSUE>=0 になっている

ことを確認後に<TRXE>に"1"をライトしてください。

- 注 3) スレーブ動作時、<TRXE>に"1"(通信許可)を設定後、実際の通信(マスター側)が開始されていない状態で<TRXE>を"0"(通信禁止)に書き換えても、設定可能状態フラグ[*TSPIxSR*]<TSPISUE>は"0"(設定許可状態)になりません。スレーブ側では通信許可後、マスターの通信が開始されない場合、スレーブ側は[*TSPIxCR0*]<SWRST>でソフトウェアリセットを行った後再設定してください。
- 注 4) スレーブ動作時、送信中に送信バッファ(FIFO)にデータが残っている状態で<TRXE>を"0"(通信禁止)に書き換えてしまった場合は、送信を再開する前に[*TSPIxCR3*]<TFEMPCLR>で送信バッファをクリアするか、[*TSPIxCR0*]<SWRST>でソフトウェアリセットを行った後再設定してください。
- 注 5) スレーブ動作時または SIO モード選択時は、ポートの端子設定で *TSPIxCS0/1/2/3* を選択しないでください。
- 注 6) トリガー送信時は設定できません。

4.2.3. [TSPIxCR2] (TSPI 制御レジスタ-2)

Bit	Bit Symbol	リセット後	Type	機能
31:24	-	0	R	リードすると"0"が読めます。
23:22	TIDLE[1:0]	11	R/W	TSPIxTXD のアイドル期間の出力値制御 00: Hi-Z 01: 直前の転送の最終データ 10: Low 固定 11: High 固定
21	TXDEMP	1	R/W	TSPIxTXD のアンダーラン発生時(スレーブ動作)の出力値制御 0: Low 固定 1: High 固定
20:17	-	0	R	リードすると"0"が読めます。
16	RXDLY	1	R/W	マスターモード時のみ有効(注 1)(注 2) 0: f _{CLK} ≤ 40MHz の場合 1: f _{CLK} > 40MHz の場合
15:12	TIL[3:0]	0000	R/W	送信 Fill レベル設定 送信 FIFO 割り込み発生条件(注 3)
11:8	RIL[3:0]	0001	R/W	受信 Fill レベル設定 受信 FIFO 割り込み発生条件(注 3)
7	INTTXFE	0	R/W	送信 FIFO 割り込み制御 0: 禁止 1: 許可 送信 FIFO の Fill レベル割り込みの発生許可ビットです。割り込み発生時の Fill レベルは<TIL>で設定します。
6	INTTXWE	0	R/W	送信完了割り込み制御 0: 禁止 1: 許可 連続転送時は 1 フレームが終了したとき、シングル転送時はシングル転送終了したとき、バースト転送時はバースト転送が終了したときの TSPIxCS0/1/2/3 のデアサートタイミングで割り込みを生成します。
5	INTRXFE	0	R/W	受信 FIFO 割り込み制御 0: 禁止 1: 許可 受信 FIFO の Fill レベル割り込みの発生を許可します。割り込み発生時の Fill レベルは<RIL>で設定します。
4	INTRXWE	0	R/W	受信完了割り込み制御 0: 禁止 1: 許可 連続転送時は 1 フレームが終了したとき、シングル転送時はシングル転送終了したとき、またバースト転送時はバースト転送が終了したときの TSPIxCS0/1/2/3 のデアサートタイミングで割り込みを生成します。
3	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
2	INTERR	0	R/W	エラー割り込み制御 0: 禁止 1: 許可 受信パリティエラー、マスター動作時のトリガー通信エラー割り込み、およびスレーブ動作時のオーバーランエラーとアンダーランエラーの割り込みを許可します。
1	DMATE	0	R/W	送信 DMA 制御 0: 禁止 1: 許可 <DMATE>をイネーブルにしたとき送信 FIFO が<TIL>で設定したレベル以下のときに DMA 要求を出力します。[TSPIxCR1]<TRXE>の状態には依存しません。 送信 DMA 要求信号がアサート中に<DMATE>を"0"にすると要求信号はデアサートされます。再度許可に設定したときに送信 DMA 要求信号発生要件を満たしている場合再アサートされます。
0	DMARE	0	R/W	受信 DMA 制御 0: 禁止 1: 許可 <DMARE>をイネーブルにしたとき受信 FIFO が<RIL>で設定したレベル以上のときに DMA 要求を出力します。[TSPIxCR1]<TRXE>の状態には依存しません。 受信 DMA 要求信号がアサート中に<DMARE>を"0"にすると要求信号はデアサートされます。再度許可に設定したときに受信 DMA 要求信号発生要件を満たしている場合再アサートされます。

- 注 1) 製品によっては設定値を固定する場合があります。詳細はリファレンスマニュアルの「製品個別情報」を参照してください。
- 注 2) f_{CLK} はシステムクロック (fsys) または高速クロック (fc) のいずれかで、製品によって異なります。詳細はリファレンスマニュアルの「製品個別情報」を参照してください。
- 注 3) Fill レベルは利用可能な Fill レベルの範囲内の値を設定してください。利用可能な Fill レベルについては「表 3.2 データ長と設定可能 Fill レベルの関係」を参照してください。

4.2.4. [TSPIxCR3] (TSPI 制御レジスタ-3)

Bit	Bit Symbol	リセット後	Type	機能
31:2	-	0	R	リードすると"0"が読めます。
1	TFEMPCLR	0	W	送信バッファークリア 0: 無効 1: クリア "1"をライトすることで、送信 FIFO の内部ポインタを初期状態、送信シフトレジスタの内部ポインタを初期状態に設定します。送信 FIFO、送信シフトレジスタの内容は影響を受けませんので、送信バッファークリア前の状態を保持します。
0	RFFLLCLR	0	W	受信バッファークリア 0: 無効 1: クリア "1"をライトすることで、受信 FIFO の内部ポインタをエンプティ状態、受信シフトレジスタの内部ポインタを初期状態に設定します。受信 FIFO、受信シフトレジスタの内容は影響を受けませんので、受信バッファークリア前の状態を保持します。

4.2.5. [TSPIxBR] (TSPI ボーレートレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:4	BRCK[3:0]	0000	R/W	ボーレートジェネレーター入カクロック選択 0000: $\Phi T0$ ($\Phi T0$ 周波数) 0001: $\Phi T1$ ($\Phi T0$ 周波数の 1/2) 0010: $\Phi T2$ ($\Phi T0$ 周波数の 1/4) 0011: $\Phi T4$ ($\Phi T0$ 周波数の 1/8) 0100: $\Phi T8$ ($\Phi T0$ 周波数の 1/16) 0101: $\Phi T16$ ($\Phi T0$ 周波数の 1/32) 0110: $\Phi T32$ ($\Phi T0$ 周波数の 1/64) 0111: $\Phi T64$ ($\Phi T0$ 周波数の 1/128) 1000: $\Phi T128$ ($\Phi T0$ 周波数の 1/256) 1001: $\Phi T256$ ($\Phi T0$ 周波数の 1/512) 1010~1111: 設定禁止
3:0	BRS[3:0]	0000	R/W	ボーレートジェネレーターの分周値"N"の設定 0000: 16 分周 0110: 6 分周 1100: 12 分周 0001: 1 分周 0111: 7 分周 1101: 13 分周 0010: 2 分周 1000: 8 分周 1110: 14 分周 0011: 3 分周 1001: 9 分周 1111: 15 分周 0100: 4 分周 1010: 10 分周 0101: 5 分周 1011: 11 分周

4.2.6. [TSPIxFMTR0] (TSPI フォーマット制御レジスター0)

Bit	Bit Symbol	リセット後	Type	機能
31	DIR	1	R/W	転送方向 0: LSB ファースト 1: MSB ファースト
30	-	0	R	リードすると"0"が読めます。
29:24	FL[5:0]	001000	R/W	フレーム長設定(注 1) パリティビットをふくめた 1 フレームのデータ長を設定します。 001000: 8 ビット 001001: 9 ビット : 011111: 31 ビット 100000: 32 ビット 上記以外は設定禁止
23:20	FINT[3:0]	0000	R/W	バースト時フレーム間インターバル時間 0000: 0(インターバル無し) 0001: 1×TSPIxSCK 周期 0010: 2×TSPIxSCK 周期 : 1110: 14×TSPIxSCK 周期 1111: 15×TSPIxSCK 周期 連続転送時、およびスレーブ動作時は、本設定は無効です。 SIO モード時にも<FINT>設定値相当のフレーム間インターバル時間が発生します。
19	CS3POL	0	R/W	TSPIxCS3 の極性(マスター動作) 0: 負論理 1: 正論理
18	CS2POL	0	R/W	TSPIxCS2 の極性(マスター動作) 0: 負論理 1: 正論理
17	CS1POL	0	R/W	TSPIxCS1 の極性(マスター動作) 0: 負論理 1: 正論理
16	CS0POL	0	R/W	TSPIxCS0 の極性(マスター動作)、TSPIxCSIN の極性(スレーブ動作) 0: 負論理 1: 正論理
15	CKPHA	1	R/W	シリアルクロックのエッジ選択 0: 1st エッジでデータをサンプリング(マスター動作) 1: 2nd エッジでデータをサンプリング
14	CKPOL	1	R/W	シリアルクロックのアイドル期間の極性(注 2) 0: TSPIxSCK のレベルが"Low" 1: TSPIxSCK のレベルが"High"

Bit	Bit Symbol	リセット後	Type	機能
13:10	CSINT[3:0]	0001	R/W	<p>アイドル時間(注 3) TSPIxCS0/1/2/3 デアサート→TSPIxCS0/1/2/3 アサートの時間</p> <p>0000: 設定禁止 0001: 1×TSPIxSCK 周期 0010: 2×TSPIxSCK 周期 : 1110: 14×TSPIxSCK 周期 1111: 15×TSPIxSCK 周期</p> <p>連続転送時の次フレームが開始するまでに CS がデアサートする期間設定。 SIO モード時にも<CSINT>設定値相当のアイドル時間が発生します。 マスター動作時のみ設定は有効です。</p>
9:8	-	0	R	リードすると"0"が読めます。
7:4	CSSCKDL[3:0]	0000	R/W	<p>シリアルクロック遅延 TSPIxCS0/1/2/3 アサート→TSPIxSCK 出力開始の時間</p> <p>0000: 1×TSPIxSCK 1000: 9×TSPIxSCK 0001: 2×TSPIxSCK 1001: 10×TSPIxSCK 0010: 3×TSPIxSCK 1010: 11×TSPIxSCK 0011: 4×TSPIxSCK 1011: 12×TSPIxSCK 0100: 5×TSPIxSCK 1100: 13×TSPIxSCK 0101: 6×TSPIxSCK 1101: 14×TSPIxSCK 0110: 7×TSPIxSCK 1110: 15×TSPIxSCK 0111: 8×TSPIxSCK 1111: 16×TSPIxSCK</p> <p>TSPIxCS0/1/2/3 端子がアサートされてから、TSPIxSCK 端子が変化するまでの時間をシリアルクロックの周期単位で設定します。マスター動作時のみ設定は有効です。</p>
3:0	SCKCSDL[3:0]	0000	R/W	<p>TSPIxCS0/1/2/3 デアサート遅延 最終データ→TSPIxCS0/1/2/3 デアサートの時間</p> <p>0000: 1×TSPIxSCK 1000: 9×TSPIxSCK 0001: 2×TSPIxSCK 1001: 10×TSPIxSCK 0010: 3×TSPIxSCK 1010: 11×TSPIxSCK 0011: 4×TSPIxSCK 1011: 12×TSPIxSCK 0100: 5×TSPIxSCK 1100: 13×TSPIxSCK 0101: 6×TSPIxSCK 1101: 14×TSPIxSCK 0110: 7×TSPIxSCK 1110: 15×TSPIxSCK 0111: 8×TSPIxSCK 1111: 16×TSPIxSCK</p> <p>最終データの位置から TSPIxCS0/1/2/3 端子がデアサートされるまでの時間をシリアルクロックの周期単位で設定します。マスター動作時のみ有効です。</p>

注 1) $[TSPIxSR] <TSPISUE> = 0$ であっても、FIFO にデータが残っている状態で $<FL[5:0]>$ を変更すると FIFO 内データが全て破棄されます。

注 2) スレーブ動作時は、 $<CKPOL>$ 設定は送受信禁止状態 ($TRXE=0$) で行ってください。

注 3) マスター動作の 1st エッジデータサンプリングで使用した場合、
“設定値(TSPIxSCK の整数倍) + $0.5 \times$ TSPIxSCK” となります。

4.2.7. [TSPIxFMTR1] (TSPI フォーマット制御レジスター1)

Bit	Bit Symbol	リセット後	Type	機能
31:7	-	0	R	リードすると"0"が読めます。
6:4	EHOLD[2:0]	000	R/W	SIO スレープモード時の TSPIxTXD 端子の最終ビットホールド時間の設定(注 1) 000: $2/f_{clk}$ 001: $4/f_{clk}$ 010: $8/f_{clk}$ 011: $16/f_{clk}$ 100: $32/f_{clk}$ 101: $64/f_{clk}$ 110: $128/f_{clk}$ 111: Reserved
3:2	-	0	R	リードすると"0"が読めます。
1	VPE	0	R/W	垂直パリティ機能を許可します(注 2) 0: 禁止 1: 許可
0	VPM	0	R/W	垂直パリティモード選択(注 2) 0: 偶数パリティ 1: 奇数パリティ

注1) f_{CLK} はシステムクロック (fsys)または高速クロック (fc)のいずれかで、製品によって異なります。詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

注2) シフトレジスターにデータがある状態で、パリティ設定を変更しないでください。

4.2.8. [TSPIxDR] (TSPI データレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:0	TSPIDR[31:0]	0x00000000	R	受信 FIFO からデータが読み出されます。
			W	送信 FIFO にデータが書き込まれます。

注1) 本レジスターへの書き込みは送信 FIFO がフルの状態では行わないでください。

注2) 本レジスターの読み出しは受信 FIFO がエンプティの状態では行わないでください。

4.2.9. [TSPiXSR] (TSPi ステータスレジスター)

Bit	Bit Symbol	リセット後	Type	機能											
31	TSPISUE	0	R	<p>TSPi 設定可能状態フラグ</p> <p>0: 設定可能状態 1: 設定禁止状態</p> <p><TSPISUE>が"0"のとき TSPi は送信も受信も行っておらずレジスターの設定を変更することが可能です。</p> <p><TSPISUE>が"0"になるのは以下の場合です(「表 4.2」も参照してください)。</p> <ol style="list-style-type: none"> リセットが入力されたとき ソフトウェアリセットがかかったとき 連続転送モード時に[TSPiXCR1]<TRXE>=0 とし、現在転送中のフレームを転送し終えたとき バースト転送モード時に設定した転送数の転送が終了したとき バースト転送途中に[TSPiXCR1]<TRXE>=0 とし、現在転送中のフレームを転送し終えたとき <p>ただし、上記の条件を満たしても受信 FIFO、受信シフトレジスターがフルの状態では<TSPISUE>=0 になりません。受信 FIFO をリードし、受信シフトレジスター内の受信値が受信 FIFO に転送された時点で<TSPISUE>=0 になります。</p>											
30:24	-	0	R	リードすると"0"が読めます。											
23	TXRUN	0	R	<p>送信動作中フラグ</p> <p>0: 停止 1: 動作</p> <p>送信シフト動作中を示すステータスフラグです。</p> <p><TXRUN>と<TFEMP>ビットの組み合わせで、以下のような状態を示します。</p> <table border="1"> <thead> <tr> <th><TXRUN></th> <th><TFEMP></th> <th>状態</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>停止または次回送信待ち</td> </tr> <tr> <td>1</td> <td>送信 FIFO が空で、送信が完了</td> </tr> <tr> <td>1</td> <td>-</td> <td>送信動作中</td> </tr> </tbody> </table> <p><TXRUN>は、送信 FIFO にデータが存在しなくとも、送信シフトレジスターにデータが存在する場合は、セットされます。</p>	<TXRUN>	<TFEMP>	状態	0	0	停止または次回送信待ち	1	送信 FIFO が空で、送信が完了	1	-	送信動作中
<TXRUN>	<TFEMP>	状態													
0	0	停止または次回送信待ち													
	1	送信 FIFO が空で、送信が完了													
1	-	送信動作中													
22	TXEND	0	R	<p>送信完了フラグ</p> <p>0: - 1: 送信完了</p> <p>送信が終了したときにセットされるフラグです。</p> <p>連続転送時は 1 フレームが終了したとき、シングル転送時およびバースト転送の最終フレーム転送時の TSPiXCS0/1/2/3 がデアサートされたタイミングでセットされます。</p>											
			W	<p>送信完了フラグは"1"を書くことでクリアされます。</p> <p>0: Don't care 1: フラグクリア</p> <p>送信完了によるセットと、クリアが同時発生した場合は、送信完了によるセットが優先されます。</p>											
21	INTTXWF	0	R	<p>送信 FIFO 割り込みフラグ</p> <p>0: 割り込み無し 1: 割り込み発生</p> <p>送信 FIFO 内データの残量が割り込み発生の Fill レベル設定値 (TIL)+1 から TIL 値になったときにセットされます。</p>											

Bit	Bit Symbol	リセット後	Type	機能											
			W	送信 FIFO 割り込みフラグは"1"を書き込む事でクリアできます。 0: Don't care 1: フラグクリア											
20	TFEMP	1	R	送信 FIFO エンプティフラグ 0: FIFO にデータあり 1: エンプティ 送信 FIFO が空のとき"1"がセットされます。 送信 FIFO に送信データが書き込まれると自動的に"0"にクリアされます。											
19:16	TLVL[3:0]	0000	R	送信 FIFO Fill レベル状態 送信 FIFO Fill レベル(データ数)の現在値を示します。フレーム長により FIFO の段数が変わります。表示範囲を「表 4.3」に示します。											
15:8	-	0	R	リードすると"0"が読めます。											
7	RXRUN	0	R	受信動作中フラグ 0: 停止 1: 動作 受信シフト動作中を示すステータスフラグです。 <RXRUN>と<RFFLL>ビットの組み合わせで、以下のような状態を示します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th><RXRUN></th> <th><RFFLL></th> <th>状態</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>停止または次回受信待ち</td> </tr> <tr> <td>1</td> <td>受信 FIFO が FULL で、受信が完了</td> </tr> <tr> <td>1</td> <td>-</td> <td>受信動作中</td> </tr> </tbody> </table>	<RXRUN>	<RFFLL>	状態	0	0	停止または次回受信待ち	1	受信 FIFO が FULL で、受信が完了	1	-	受信動作中
<RXRUN>	<RFFLL>	状態													
0	0	停止または次回受信待ち													
	1	受信 FIFO が FULL で、受信が完了													
1	-	受信動作中													
6	RXEND	0	R	受信完了フラグ 0: - 1: 受信完了 受信が終了したときにセットされるフラグです。 連続転送時は 1 フレームが終了したとき、シングル転送時およびバースト転送の最終フレーム転送時は TSPiXCS0/1/2/3 がデアサートされたタイミングでセットされます。											
			W	受信完了フラグは"1"を書き込む事でクリアできます。 0: Don't care 1: フラグクリア 受信完了によるセットと、クリアが同時発生した場合は、受信完了によるセットが優先されます。											
5	INTRXFF	0	R	受信 FIFO 割り込みフラグ 0: 割り込みなし 1: 割り込み発生 受信 FIFO 内データが割り込み発生時の Fill レベル設定値(RIL)-1 から RIL 値になったときにセットされます。											
			W	0: Don't care 1: フラグクリア 本ビットに"1"を書き込む事でクリアできます。											
4	RFFLL	0	R	受信 FIFO フルフラグ 0: FIFO に空あり 1: フル 受信 FIFO がいっぱいであることを示します。 受信 FIFO からデータを読み出すと自動でクリアされます											

Bit	Bit Symbol	リセット後	Type	機能
3:0	RLVL[3:0]	0000	R	受信 FIFO Fill レベル状態 受信 FIFO Fill レベル(データ数)の現在値を示します。フレーム長により FIFO の段数が変わります。 <RLVL>に表示される値の範囲を「表 4.3」に示します。

表 4.2 <TRXE>に"0"をライトするタイミングと<TSPISUE>の変化

[TSPiXCR1]<TRXE> に"0"をライト するタイミング	<TSPISUE>の変化	
	マスター動作	スレーブ動作
転送開始前	"0"にクリアされる	"1" (ソフトウェアリセットをかけてクリアしてください。)
転送中	フレーム終了後、"0"にクリアされる	フレーム終了後、"0"にクリアされる
転送後	"0"にクリアされる	"0"にクリアされる

表 4.3 フレーム長よるFillレベル現在値<TLVL>/<RLVL>の表示範囲

フレーム長	FIFO 構成		
	FIFO 段数	受信時<RLVL>表示範囲	送信時<TLVL>表示範囲
8~16bit	8 段	0~8	0~8
17~32bit	4 段	0~4	0~4

4.2.10. [TSPiERR] (TSPI エラーフラグレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:4	-	0	R	リードすると"0"が読めます。
3	TRGERR	0	R	トリガー通信エラーフラグ マスター動作時、トリガー入力で通信が開始できなかったときにセットされます。 0: エラーなし 1: エラーあり
			W	トリガー通信エラーフラグは"1"を書き込む事でクリアできます。送受信中にクリアは行わないでください。 0: Don't care 1: フラグクリア
2	UDRERR	0	R	アンダーランエラーフラグ スレーブ動作時、アンダーランエラーがあったときにセットされます。 0: エラーなし 1: エラーあり
			W	アンダーランエラーフラグは"1"を書き込む事でクリアできます。送受信中にクリアは行わないでください。 0: Don't care 1: フラグクリア
1	OVRERR	0	R	オーバーランエラーフラグ スレーブ動作時、オーバーランエラーがあったときにセットされます。 0: エラーなし 1: エラーあり
			W	オーバーランエラーフラグは"1"を書き込む事でクリアできます。送受信中にクリアは行わないでください。 0: Don't care 1: フラグクリア
0	PERR	0	R	パリティエラーフラグ 垂直パリティエラーがあったときにセットされます。 0: エラーなし 1: エラーあり
			W	パリティエラーフラグは"1"を書き込む事でクリアできます。送受信中にクリアは行わないでください。 0: Don't care 1: フラグクリア

5. 使用方法の例

表 5.1 にマスター時、通信モード、転送モードごとの開始・停止動作の詳細を示します。

表 5.1 モード設定毎の転送開始・停止(マスター)

通信モード	転送モード	通信開始タイミング	通信停止タイミング
全二重	連続転送	[TSPIxCR1]<TRXE> ビットが"1"かつ送信 FIFO に有効データが存在する場合に送信を開始します。どちらが先でも転送を開始します。受信バッファ(受信 FIFO と受信シフトレジスタ)がフルのときには次のフレーム転送を開始しません。受信 FIFO データをリードし、受信シフトレジスタ内のデータが自動的に FIFO に移った時点でシフトレジスタに空きがあると判断し自動的に転送を再開します。	送受信中に<TRXE>を通信停止に設定した場合にはそのフレームの転送が終了してから停止します。
	バースト転送 (シングル転送含む)	[TSPIxCR1]<TRXE> ビットが"1"かつ送信 FIFO に有効データが存在する場合に送信を開始します。どちらが先でも転送を開始します。バースト転送モードの場合、設定したバースト転送数を完了後に [TSPIxCR1]<TRXE> ビットは"0"に戻ります。再度バースト転送を行う場合は [TSPIxSR]<TSPISUE> ビットが"0"に戻っていることを確認後に [TSPIxCR1]<TRXE> を"1"に設定してください。設定したバースト送信数の転送の途中で送信 FIFO にデータが無くなった場合、TSPIxCS0/1/2/3 はアサート状態で待機し、送信 FIFO に有効データが書かれた時点で転送を自動的に再開します。受信バッファ(受信 FIFO と受信シフトレジスタ)がフルのときには次のフレーム転送を開始しません。この時 TSPIxCS0/1/2/3 はアサート状態を保ちます。受信 FIFO データをリードし、シフトレジスタ内のデータが自動的に FIFO に移った時点でシフトレジスタに空きがあると判断し自動的に転送を再開します。	送受信中に<TRXE>が通信停止に設定した場合はそのフレームの転送が終了してから、停止します。
送信モード	連続転送	[TSPIxCR1]<TRXE> ビットが"1"かつ送信 FIFO に有効データが存在する場合に送信を開始します。どちらが先でも転送を開始します。	送受信中に<TRXE>が通信停止に設定した場合はそのフレームの転送が終了してから、停止します。
	バースト転送 (シングル転送含む)	[TSPIxCR1]<TRXE> ビットが"1"かつ送信 FIFO に有効データが存在する場合に送信を開始します。どちらが先でも転送を開始します。再度バースト転送を行う場合は [TSPIxSR]<TSPISUE> ビットが"0"に戻っていることを確認後に<TRXE>を"1"に設定してください。設定したバースト送信数の転送の途中で送信 FIFO にデータが無くなった場合、TSPIxCS0/1/2/3 はアサート状態で待機し、送信 FIFO に有効データが書かれた時点で転送を自動的に再開します。	送信中に<TRXE>を通信停止に設定した場合はそのフレームの転送が終了してから、停止します。

通信モード	転送モード	通信開始タイミング	通信停止タイミング
受信モード	連続転送	受信バッファ(受信 FIFO と受信シフトレジスター)に空きがあれば受信を開始します。受信バッファがフルのときにはシリアルクロックを停止し、次のフレーム転送を開始しません。受信 FIFO データをリードし、シフトレジスター内のデータが自動的に FIFO に移った時点でシフトレジスターに空きがあると判断し自動的に転送を再開します。	受信中に<TRXE>が通信停止に設定した場合はそのフレームの転送が終了してから、停止します。
	バースト転送 (シングル転送含む)	受信バッファ(受信 FIFO と受信シフトレジスター)に空きがあれば受信を開始します。受信バッファ(受信 FIFO と受信シフトレジスター)フルのときには次のフレーム転送を開始しません。受信 FIFO データをリードし、シフトレジスター内のデータが自動的に FIFO に移った時点でシフトレジスターに空きがあると判断し自動的に転送を再開します。再開まで TSPiXCS0/1/2/3 はアサート状態を保ちます。再度バースト転送を行う場合は[TSPiXSR] <TSPISUE>ビットが"0"に戻っていることを確認後に<TRXE>を"1"に設定してください。	受信中に<TRXE>が通信停止に設定した場合はそのフレームの転送が終了してから、停止します。

6. 使用上のご注意およびお願い事項

- 製品によって、TSPIxCS0/1/2/3 端子や TSPIxCSIN 端子がアサインされない場合があります。そのような場合は、当該の機能を使用しない SIO モード設定でご使用をお願いします。
- レジスターがアサインされていないアドレスはアクセスしないでください。

7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2017-04-20	新規
2.0	2017-08-08	<ul style="list-style-type: none"> ・社名変更による変更 表紙 商標の見直し 製品取り扱い上のお願いの差し替え ・2.構成 <ul style="list-style-type: none"> 図 2.1 の右下の TSPI フォーマット制御レジスター1 が 2 つ記載されいたため、1 つを削除 ・3.1.1 クロック供給 <ul style="list-style-type: none"> :クロック供給レジスターの説明見直し ・3.2.1 パリティなしの場合のデータフォーマット [TSPIxFMTR0]<FL[5:0]>の設定値表記を 2 進数に修正 ・3.2.2 パリティ有りの場合のデータフォーマット [TSPIxFMTR0]<FL[5:0]>の設定値表記を 2 進数に修正 ・3.3.7.3 アイドル時間の TSPIxTXD 出力 説明文中の説明見直し(最終データ出力設定で=>最終データ出力で) ・3.3.8 トリガーによる通信制御 誤記修正 [TSPIxCR1]<MSTR> => [TSPIxCR1]<TRGEN>=1 ・3.3.9.3 エラー割り込み タイトル直下に説明追加 ・4.1 レジスター一覧 ベースアドレスに TYPE1/TYPE2 を記述とチャンネルの拡張 注の追加
2.1	2017-08-25	<ul style="list-style-type: none"> ・Arm ロゴ変更
3.0	2018-03-20	<ul style="list-style-type: none"> ・1.概要: <ul style="list-style-type: none"> "TSPI(同期シリアル通信)" => "TSPI(シリアルペリフェラルインターフェース)" 修正、表 1.1, 表 1.3 "N 分周 × 1/2 分周" => "1/N × 1/2 分周 (N=1~16)", "シングル転送時最低アイドル時間" => "連続転送時アイドル時間", 表 1.1~表 1.4 の DMA 要求の説明を変更"転送" => "DMA 要求" ・2.構成: 図 2.1 の TSPIxCS0/TSPIxCSIN 接続修正,(注)追加, 図の下に注)追加、表 2.1 の No.13 "受信エラー割り込み" => "エラー割り込み" 修正 ・3.1.3.転送の開始と停止: 停止説明に"連続転送"を追加 ・3.2.1.パリティなしの場合のデータフォーマット: "0b001010" => "001010" 変更 ・3.2.2.パリティ有りの場合のデータフォーマット: "0b001011" => "001011" 変更 ・3.3.1.転送クロック: 数式修正 "fsys ≥ 1/2 × 転送クロック" => "fsys /2 ≥ 転送クロック" "fsys ≥ 1/4 × 転送クロック" => "fsys /4 ≥ 転送クロック" "転送クロック ≤ ΦTx/2 ≤ 転送クロックの最大周波数" => 削除 表 3.1、表 3.2 の条件表記修正 ・3.3.4.1.全二重通信モード: "全二重通信シングル転送" => "全二重通信連続転送" ・3.3.4.2.送信モード: "シングル転送" => "連続転送" ・3.3.4.3.受信モード: "シングル転送" => "連続転送" ・3.3.5.転送モード: "転送フレーム数を指定しない連続転送の 3 つ"を追加 ・3.3.5.1.シングル転送: "バースト転送の 1 回転送を特にこのように呼びます。", "転送中は TSPIxCS0/1/2/3 がアサートされ、"追加、"必ず"を削除 ・3.3.5.2.バースト転送: "設定したフレームの転送…デアサートされます。"追加 ・3.3.6.データサンプリングタイミング: <ul style="list-style-type: none"> 説明変更、図 3.16 変更と追加、図 3.17, 図 3.18, 図 3.19 追加 図 3.16 の TSPIxCS_N を TSPIxCSn に修正、<CSxPOL>を<CSnPOL>に修正 図 3.17 の TSPIxCS_N を TSPIxCSn に修正、<CSxPOL>を<CSnPOL>に修正 ・3.3.7.1.TSPIxCS0/1/2/3 信号の極性と発生タイミング: <ul style="list-style-type: none"> "tA" => "ta", "tb" => "tb", "td" => "td" 修正、図 3.20 題目に"(2nd エッジの例)"追加 ・3.3.7.3.アイドル期間の TSPIxTXD 出力: "(アイドル時の出力値固定機能制御レジスター)" => "(アイドル期間の出力値制御レジスター)", "最終データ出力" => "最終

		<p>データ出力設定"修正、表 3.3 の下に注)追加、図 3.21 の入力データサンプリングに"2nd エッジ"を追加、図 3.22 の上部の条件に"[TSPIxFMTR0]<CKPHA>=1"を追加、図を修正、"不定",入力データサンプリングに"2nd エッジ"追加</p> <ul style="list-style-type: none"> •3.3.8.トリガーによる通信制御: "トリガーの種類は…ます。詳細は、…さい。"追加 •3.3.9.1.送信完了割り込み/受信完了割り込み: "シングル転送とバースト転送、連続転送"に修正 •3.3.10.DMA 要求: "サポートされている DMA…ます。詳細は、…さい。"追加 •4.1.レジスタ一覧: 表 4.1 の表題削除、ベースアドレスを TYPE1~TYPE3 に変更追加、ch9~11 追加、注意文言変更、下側表の Reserved 行と注 1)削除 •4.2.1.[TSPIxCRO]: <SWRST>"初期化します"⇒"初期化されます"、表 4.1 の [TSPIxERR]の"<VPERR>"⇒"<PERR>" •4.2.2.[TSPIxCR1]: <TRXE>に(注 4)追加、<CSSEL>(注 6)追加、<FC[7:0]>のセット後/Type 修正、表外の注 2)修正、注 4)追加、注 5)追加 •4.2.3.[TSPIxCR2]: <TIDLE>(注 1)追加,<RXDLY>(注 2)追加,<TIL><RIL>(注 1)⇒(注 3)、<INTTXWE><INTRXWE>に"連続転送時は 1 フレームが終了したとき、"追加、表外に注 1)追加、注 2)追加 •4.2.5.[TSPIxBR]: 注)追加 •4.2.6.[TSPIxFMTR0]: <FINT>説明"シングル転送時"⇒"連続転送時"、"SIO モード…ます。"追加、<CSINT>説明"最低アイドル時間"⇒"アイドル時間""シングル転送時"⇒"連続転送時"、"SIO モード…ます。", (注 3)追加、<SCKCSDL>"(転送終了)"削除、表外に注 3)追加 •4.2.9.[TSPIxSR]: <TSPISUE>の説明 3"シングル転送"⇒"連続転送",<TFEMP>リセット後値修正"0"⇒"1"、<TXEND><RXEND>に"連続転送時は 1 フレームが終了したとき、"追加<INTRXFF>の W 側説明の一部を R 側へ移動修正<TXEND><INTTXWF><RXEND>の説明の構成を見直し •4.2.10.[TSPIxERR]: "<VPERR>"⇒"<PERR>"修正、 •5.使用方法の例: 表 5.1 の"シングル転送"⇒"連続転送"、"バースト転送"⇒"バースト転送(シングル転送含む)" •6.使用上のご注意およびお願い事項: 3 項目"トリガー…参照してください"削除
4.0	2019-02-28	<ul style="list-style-type: none"> •関連するドキュメント リファレンスマニュアル→ドキュメントに修正 •1 概要 表 1.2 データサンプリングタイミングの "1st エッジでデータをサンプリング" を削除、表 1.2,表 1.4 割り込みの "トリガーエラー割り込み" を削除 表 1.4 特殊制御に"アンダーランエラー発生時の TSPIxTXD の出力レベル設定"を追加 表 1.4 TSPIxTSD 端子の最終ビットホールド時間 $2/f_{sys} \sim 128/f_{sys} \rightarrow 2/f_{clk} \sim 128/f_{clk}$ に修正し注)を追加 •2.構成 図 2.1、表 2.1 $f_{sys} \rightarrow f_{clk}$ に修正し、表 2.1 には注)と参照リファレンスマニュアルに製品個別情報を追加 •3.3.1. 転送クロック •3.3.1.1 マスター動作 プリスケイラーの分周値 x の範囲を修正 <RXDLY>=0 の場合の式を修正 条件式、表 3.1 の $f_{sys} \rightarrow f_{clk}$ に修正と注 2)を追加。注)の注 1)に変更と記載内容見直し •3.3.1.2 スレーブ動作 スレーブ動作の転送クロック周波数条件を追加 $f_{sys} \rightarrow f_{clk}$ に修正と注)を追加。 •3.3.2.1 SPI モード マスターデバイス動作→マスター動作に修正、スレーブデバイス動作→スレーブ動作に修正 •3.3.2.2 SIO モード マスターデバイス動作→マスター動作に修正、スレーブデバイス動作→スレーブ動作に修正、注)を追加 •3.3.5.3. 連続転送 注 1)、注 2)を削除 •3.3.6. データサンプリングタイミング スレーブモード時の 1st エッジ選択禁止を追記、表 3.3、表 3.4 を追加

		<p>図 3.17 SPI モード(スレーブ) 1st エッジデータサンプリング削除 図 3.18 SIO モード(マスター) 2nd エッジの出力タイミング修正 図 3.19 SIO モード(スレーブ) 2nd エッジの出力タイミング修正</p> <ul style="list-style-type: none"> •3.3.9.1 送信完了割り込み/受信完了割り込み マスター動作時/スレーブ動作時に分けた説明に修正 •4.2.3 [TSPIxCR2] <TIDLE> 注 1)を削除 <RXDLY> fsys→fclk に修正し、注 1)を追加 <INTERR>の説明修正 注 1)削除、注 2)→注 1)に修正、注 2)を追加 •4.2.5. [TSPIxBR] (TSPI ボーレートレジスター) 注) を削除 •4.2.6. [TSPIxFMTR0] (TSPI フォーマット制御レジスター0) CKPHA の “0: 1st エッジでデータをサンプリング” に “(マスター動作)” を追記 •4.2.7 [TSPIxFMTR1](TSPI フォーマット制御レジスター1) <EHOLD> fsys→fclk に修正し、注 1)を追加 <VPE><VPM> (注)→(注 2)に変更 •4.2.9 [TSPIxSR] (TSPI ステータスレジスター) 表 4.2 <TRXE>→[TSPIxCR1]<TRXE>に修正、マスターモード→マスター動作 に修正、スレーブモード→スレーブ動作に修正 •5.使用方法の例 表 5.1 通信停止タイミングの表現を統一
4.1	2021-10-15	<ul style="list-style-type: none"> •3.3.8. トリガーによる通信制御 (3)トリガーの受付の説明文追加 •4.2.6.[TSPIxFMTR0] FINT[3:0]および CSINT[3:0]、機能説明の誤記を修正

製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。