

32 ビット RISC マイクロコントローラー

**TXZ/TXZ+ファミリー**

リファレンスマニュアル

I<sup>2</sup>C インターフェース

(I2C-B)

Revision 3.3

---

2023-06

東芝デバイス&ストレージ株式会社

## 目次

序章 .....	5
関連するリファレンスマニュアル .....	5
表記規約 .....	6
用語・略語 .....	8
1. 概要 .....	9
2. 構成 .....	10
3. 機能説明・動作説明 .....	11
3.1. I <sup>2</sup> C バスの構成 .....	11
3.2. データフォーマット .....	12
3.3. 動作説明 .....	13
3.3.1. データ転送のクロック数とアクノリッジ有無の選択 .....	13
3.3.2. シリアルクロック .....	15
3.3.3. マスター/ スレーブの選択 .....	20
3.3.3.1. トランスミッター/ レシーバーの選択 .....	21
3.3.4. I <sup>2</sup> C バスのイネーブル .....	21
3.3.5. スタート/ ストップコンディションの発生 .....	22
3.3.6. スレーブアドレス一致検出、ジェネラルコール検出の選択 .....	24
3.3.7. ジェネラルコール検出モニター .....	24
3.3.8. スレーブアドレスとアドレス認識モードの設定 .....	25
3.3.9. スレーブアドレス一致検出モニター .....	25
3.3.10. アービトレーションロスト検出モニター .....	26
3.3.11. 最終受信ビットモニター .....	28
3.3.12. 反復スタート検出 .....	28
3.3.13. ソフトウェアリセット .....	29
3.3.14. ノイズキャンセル .....	29
3.3.15. 割り込みサービス要求と解除 .....	29
(1) INTI2Cx 割り込み .....	29
(2) バスフリー検出割り込み .....	30
(3) NACK 検出割り込み .....	30
(4) アービトレーションロスト検出割り込み .....	30
3.3.16. DMA リクエスト出力制御 .....	30
3.4. アドレス一致ウエイクアップ機能 .....	31
3.4.1. クロックストレッチ機能 .....	31
3.4.2. アドレス一致ウエイクアップ 機能の流れ .....	31
4. レジスター説明 .....	33
4.1. レジスター一覧 .....	33
4.2. レジスター詳細 .....	34
4.2.1. [I2CxCR1](I <sup>2</sup> C コントロールレジスター 1) .....	34
4.2.2. [I2CxDBR](I <sup>2</sup> C データバッファレジスター) .....	35

4.2.3. [I2CxAR] (I <sup>2</sup> C アドレスレジスター) .....	35
4.2.4. [I2CxCR2] (I <sup>2</sup> C コントロールレジスター2) .....	36
4.2.5. [I2CxSR] (I <sup>2</sup> C ステータスレジスター) .....	37
4.2.6. [I2CxPRS] (I <sup>2</sup> C プリスケラークロック設定レジスター) .....	37
4.2.7. [I2CxIE] (I <sup>2</sup> C 割り込みイネーブルレジスター) .....	38
4.2.8. [I2CxST] (I <sup>2</sup> C 割り込みステータスレジスター) .....	39
4.2.9. [I2CxOP] (拡張機能設定レジスター) .....	40
4.2.10. [I2CxPM] (バス端子モニターレジスター) .....	41
4.2.11. [I2CxAR2] (I <sup>2</sup> C 第2 アドレスレジスター) .....	41
4.2.12. [I2CSWUPCR1](I <sup>2</sup> C ウェイクアップコントロールレジスター1).....	41
4.2.13. [I2CSWUPCR2](I <sup>2</sup> C ウェイクアップコントロールレジスター2).....	42
4.2.14. [I2CSWUPCR3](I <sup>2</sup> C ウェイクアップコントロールレジスター3).....	42
4.2.15. [I2CSWUPSL](I <sup>2</sup> C ステータスレジスター).....	42
5. 使用方法の例.....	43
5.1. データ転送手順 .....	43
5.1.1. デバイスの初期化 .....	43
5.1.2. スタートコンディション、スレーブアドレスの発生 .....	43
5.1.3. 1ワードのデータ転送 .....	44
5.1.3.1. [I2CxSR]<MST>=1 (マスターモード).....	44
a. [I2CxSR]<TRX>が"1" のとき (トランスミッターモード) .....	44
b. [I2CxSR]<TRX>=0 (レシーバーモード) .....	45
c. [I2CxSR]<TRX>=0 (最終ワードを受信する場合).....	46
5.1.3.2. [I2CxSR]<MST>が"0"のとき(スレーブモード) .....	47
5.1.4. ストップコンディションの発生.....	49
5.1.5. 反復スタートの手順 .....	50
5.1.6. DMA によるデータ転送 .....	52
5.1.7. マスターモードでの転送手順 .....	53
5.1.8. スレーブモードでの転送手順 .....	54
5.2. ウェイクアップ動作・設定手順 (例).....	55
6. 使用上の注意.....	57
7. 改訂履歴.....	58
製品取り扱い上のお願い.....	61

## 図目次

図 2.1	I <sup>2</sup> C インターフェース構成図	10
図 3.1	I <sup>2</sup> C バス構成	11
図 3.2	I <sup>2</sup> C インターフェースのデータフォーマット	12
図 3.3	データ転送クロック数と[I2CxCR1]<BC[2:0]>, [I2CxCR1]<ACK>	13
図 3.4	I <sup>2</sup> C SCL 出力	16
図 3.5	SCLK 入力	16
図 3.6	クロック同期化の例	20
図 3.7	スタートコンディションの発生とスレーブアドレスの発生	22
図 3.8	ストップコンディションの発生	22
図 3.9	ジェネラルコール検出モニターの変化	24
図 3.10	スレーブアドレス一致モニターの変化	25
図 3.11	アービトレーションロスト	26
図 3.12	アービトレーションロスト動作（上記内部フラグはマスターB を示す）	27
図 3.13	最終受信ビットモニターの変化	28
図 3.14	反復スタート検出フラグ(スレーブモード, マスターモード : <PRSCCK>=1)	28
図 3.15	反復スタート検出フラグ(マスターモード : <PRSCCK>≠1)	28
図 3.16	[I2CxSR]<PIN>と SCL(<SELPINCD>=0)	29
図 3.17	クロックストレッチ機能	31
図 3.18	アドレス一致ウエイクアップ機能	32
図 5.1	スタートコンディションとスレーブアドレスの発生	43
図 5.2	[I2CxCR1]<BC[2:0]> = 000, [I2CxCR1]<ACK> = 1 の場合	44
図 5.3	[I2CxCR1]<BC[2:0]> = 000, [I2CxCR1]<ACK> = 1 の場合	45
図 5.4	マスターレシーバーモード時、データの送信を終了させるときの処理	46
図 5.5	ストップコンディションの発生	49
図 5.6	反復スタート (<SREN>=1)	50
図 5.7	反復スタート (<SREN>=0)(標準モード時)	51
図 5.8	ウェイクアップ初期設定	55
図 5.9	復帰後処理	56

## 表目次

表 2.1	信号一覧表	10
表 3.1	データ転送のクロック数	14
表 3.2	アクノリッジメントモードにおける SCL と SDA の状態	15
表 3.3	シリアルクロックの HIGH、LOW 期間、周波数の設定(例)	15
表 3.4	Fm+/Fm, STD と fsys 条件	17
表 3.5	シリアルクロック設定表(DNF 使用時, Fm+用)(1)	18
表 3.6	シリアルクロック設定表(DNF 使用時, Fm+用)(2)	18
表 3.7	シリアルクロック設定表(DNF 使用時, Fm+用)(3)	18
表 3.8	シリアルクロック設定表(DNF 使用時, Fm+用)(4)	18
表 3.9	シリアルクロック設定表(DNF 使用時, Fm/STD 用)(1)	19
表 3.10	シリアルクロック設定表(DNF 使用時, Fm/STD 用)(2)	19
表 3.11	シリアルクロック設定表(DNF 使用時, Fm/STD 用)(3)	19
表 3.12	シリアルクロック設定表(DNF 使用時, Fm/STD 用)(4)	19
表 3.13	各モードでの[I2CxSR]<TRX>の動作	21
表 3.14	設定例	23
表 5.1	アービトレーションロスト時の INTI2Cx 割り込み要求と[I2CxSR]<PIN>の動作	47
表 5.2	スレーブモード時の処理	48
表 7.1	改訂履歴	58

## 序章

### 関連するリファレンスマニュアル

文書名
製品個別情報
例外
クロック制御と動作モード

## 表記規約

- 数値表記は以下の規則に従います。
  - 16 進数表記: 0xABC
  - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
  - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「\_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。  
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [ ] で囲まれたものはレジスターを定義しています。  
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。  
例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。  
ユニットの場合、「x」は A,B,C...を表します。  
例: [ADACR0], [ADBCR0], [ADCCR0]→[ADxCR0]  
チャンネルの場合、「x」は 0,1,2,...を表します。  
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA]→[T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。  
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。  
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
  - バイト: 8 ビット
  - ハーフワード: 16 ビット
  - ワード: 32 ビット
  - ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
  - R: リードオンリー
  - W: ライトオンリー
  - R/W: リード / ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。  
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。  
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。  
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

## 用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ANF	Analog Noise Filter
DNF	Digital Noise Filter
INT	Interrupt
I <sup>2</sup> C	Inter-Integrated Circuit
I2CS	I <sup>2</sup> C wake-up circuit from Stand-by mode
Fm	Fast-mode
Fm+	Fast-mode Plus
STD	Standard-mode



## 1. 概要

I<sup>2</sup>C は、1UNIT 回路単位で 1ch (SCL,SDA) の送受信回路として動作することが出来ます。以下に、機能の一覧を示します。

機能分類	機能	動作説明または範囲
通信速度 制御	プリスケール分周選択	1/1、1/2、1/3 ~ 1/30、1/31、1/32 に分周可
	クロックソース	マスター時、SCL の HIGH/LOW 時間を選択設定可
	最大転送速度	1Mbps (Fast-mode Plus(Fm+)まで対応) (fsys=8 ~ 200MHz)
通信 フォーマット	I <sup>2</sup> C バスフォーマット	アドレッシング/データフリーフォーマットの選択可 マスター/スレーブの選択可
	データ長	1 ~ 8ビット
	アキュリッジ	アキュリッジ有無の選択可
	スタート/ストップコンディション	スタート/ストップコンディションの発生可
	スレーブアドレス	7ビットアドレッシングフォーマットのみ対応 スレーブアドレスを 2 セット設定可(第 1/2 スレーブアドレス)
	ジェネラルコール	スレーブモード時ジェネラルコールの検出可
送受信 制御	アービトレーション	マルチマスター対応 クロック同期化対応 アービトレーションロスト検出の選択可
	反復スタート検出、発生	バスラインの反復スタートの検出(スレーブモード時) 発生(マスターモード時)可
	ノイズキャンセル	デジタル
連動制御	割り込み	4 種類 (転送完了割り込み、アービトレーションロスト検出割り込み、 バスフリー検出割り込み、NACK 受信検出割り込み)
	DMA 要求	送信、受信別に設定可。
	ソフトウェアリセット	I <sup>2</sup> C 回路のソフトウェアでのリセットが可能
	バス端子状態モニター機能	SDA、SCL端子のレベルモニター
	アドレス一致ウエイクアップ機能	スレーブアドレス一致検出を低消費電力モード解除などの 割り込みとして使用可。

注 1) HS(HighSpeed)モード、10 ビットアドレッシング、START バイトには対応していません。

注 2) スロープ制御、電源 OFF 時の I/O 対応、入力電圧(VIH/VIL)、出力電圧  
(VOL=0.4V,VDD>2V,3mA シンク)など製品によっては、対応できない機能があります。詳細はデータシート(DS)の"電气的特性"の章を参照してください。

## 2. 構成

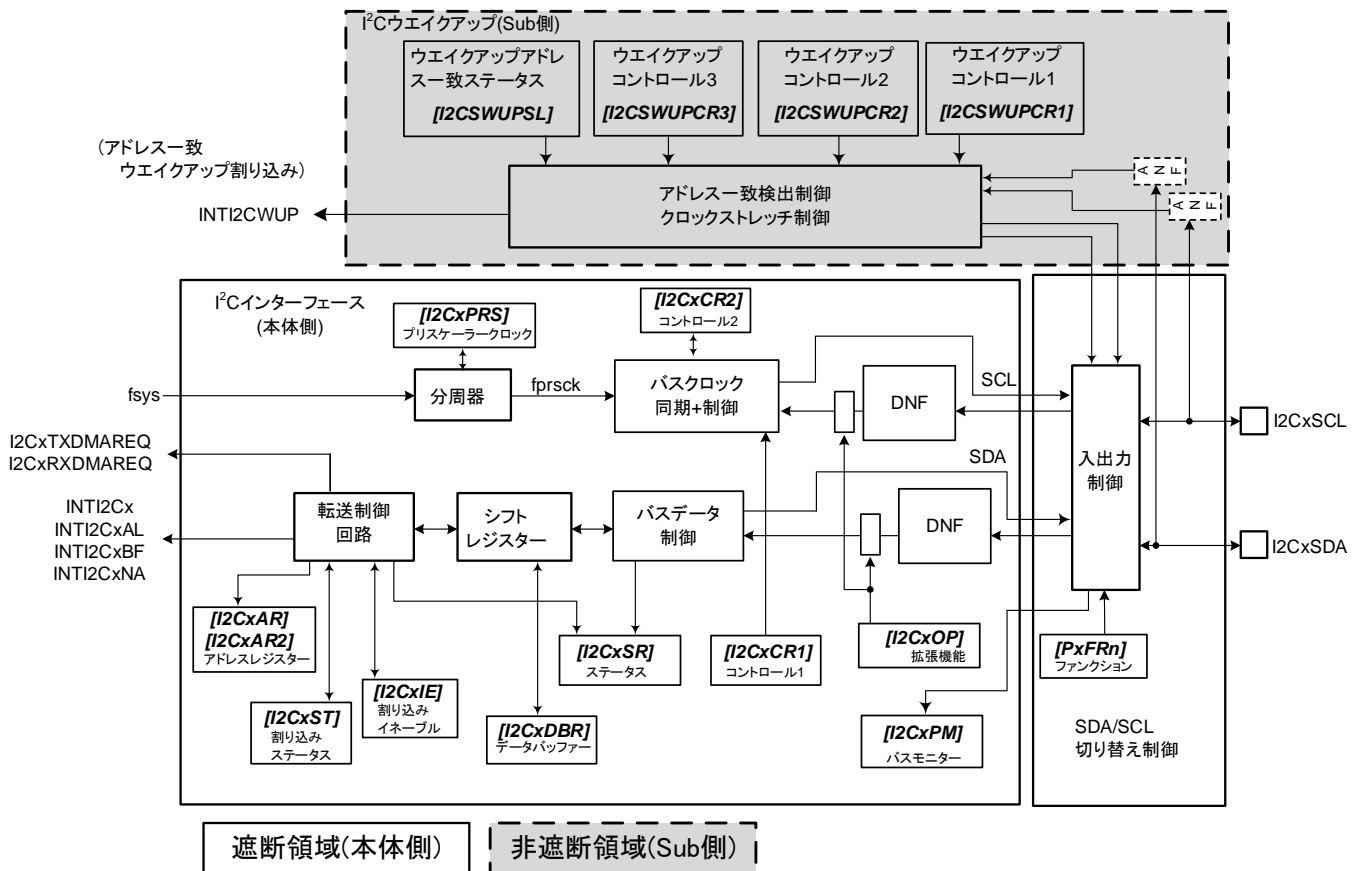


図 2.1 I<sup>2</sup>Cインターフェース構成図

ウェイクアップ用回路は拡張機能になります。アナログ NF(ノイズフィルタ)と拡張機能は、製品の仕様によっては搭載されない場合もありますので、各製品のデータシートを確認してください。

表 2.1 信号一覧表

No.	信号名	信号名称	I/O	参照リファレンスマニュアル
1	fsys	システムクロック	入力	クロック制御と動作モード
2	I2CxSCL	SCL 信号	入出力	製品個別情報
3	I2CxSDA	SDA 信号	入出力	製品個別情報
4	INTI2Cx	I <sup>2</sup> C 割り込み	出力	例外
5	INTI2CxAL	I <sup>2</sup> C アービトレーションロスト検出割り込み	出力	例外
6	INTI2CxBF	I <sup>2</sup> C バスフリー検出割り込み	出力	例外
7	INTI2CxNA	I <sup>2</sup> C NACK 検出割り込み	出力	例外
8	INTI2CWUP	I <sup>2</sup> C ウェイクアップ割り込み	出力	例外
9	I2CXTXDMAREQ	送信 DMA リクエスト	出力	製品個別情報
10	I2CxRXDMAREQ	受信 DMA リクエスト	出力	製品個別情報

### 3. 機能説明・動作説明

I<sup>2</sup>C を使用する場合は、f<sub>sys</sub> 供給停止レジスタA (*[CGFSYSENA]*、*[CGFSYSMENA]*)、f<sub>sys</sub> 供給停止レジスタB (*[CGFSYSENB]*、*[CGFSYSMENB]*)、f<sub>c</sub> 供給停止レジスタ (*[CGFCEN]*) で該当するクロックイネーブルビットを“1” (クロック供給) に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため、製品によってレジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

#### 3.1. I<sup>2</sup>C バスの構成

I<sup>2</sup>C バスはシリアルデータ (SDA) とシリアルクロック (SCL) を通して、デバイスがバスに接続されるバスで、複数のデバイスと通信が可能です。

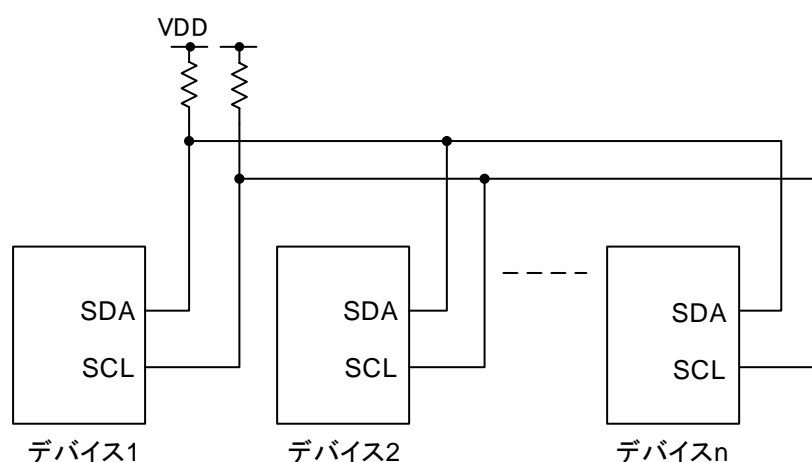


図 3.1 I<sup>2</sup>C バス構成

I<sup>2</sup>C バス上のマスター/スレーブデバイスとして動作します。マスターデバイスは、バス上のシリアルクロックライン(SCL)のドライブ、8bit アドレス送信、1~8bit のデータ送信/受信を行います。スレーブデバイスは、バス上のシリアルクロックに同期して、8bit アドレスの受信、1~8bit のシリアルデータの送信/受信を行います。

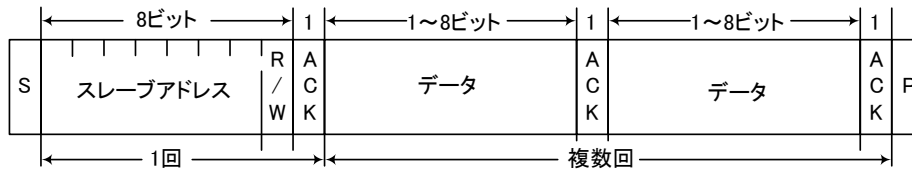
マスター/スレーブに関わらず、受信動作をしたデバイスはシリアルデータ受信後アクノリッジ信号を出力することができ、送信動作をしたデバイスはそのアクノリッジを受けることができます。マスターはそのアクノリッジのためのクロックを出力することができます。

また、同一バス上に複数のマスターのあるマルチマスター時、シリアルクロック同期化、およびシリアルデータの整合性を保つためのアービトレーションロストをサポートしています。

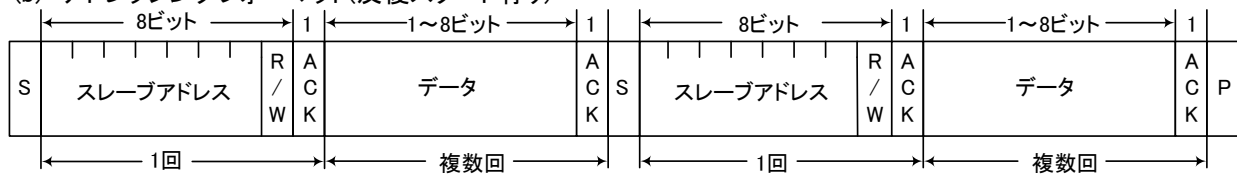
## 3.2. データフォーマット

I<sup>2</sup>C インターフェースのデータフォーマットを下図に示します。

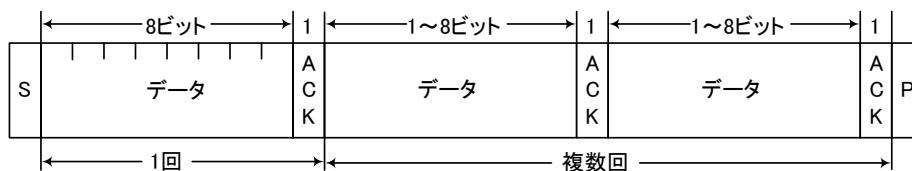
### (a) アドレッシングフォーマット



### (b) アドレッシングフォーマット(反復スタート有り)



### (c) フリーデータフォーマット(マスターデバイスからスレーブデバイスへ転送する転送フォーマット)



- 注) S: スタートコンディション  
R/W: 方向ビット  
ACK: アクノリッジビット  
P: ストップコンディション

図 3.2 I<sup>2</sup>C インターフェースのデータフォーマット

### 3.3. 動作説明

#### 3.3.1. データ転送のクロック数とアクノリッジ有無の選択

##### (1) データ転送のクロック数

データ転送のクロック数は  $[I2CxCR1]\langle BC[2:0]\rangle$  と  $[I2CxCR1]\langle ACK\rangle$  で設定されます。データ転送のクロック数と  $[I2CxCR1]\langle BC[2:0]\rangle$  と  $[I2CxCR1]\langle ACK\rangle$  の関係は表 3.1 を参照してください。

$[I2CxCR1]\langle ACK\rangle$  が "1" にセットされると、アクノリッジメントモードで動作します。アクノリッジメントモードの時、マスターデバイスではデータビット数分のクロックを発生した後、アクノリッジのためのクロックを発生し  $INTI2Cx$  割り込み要求を発生します。スレーブデバイスではデータビット分のクロックをカウントした後、アクノリッジのためのクロックカウントをし  $INTI2Cx$  割り込み要求を発生します。

$[I2CxCR1]\langle ACK\rangle$  が "0" にクリアされると、非アクノリッジメントモードで動作します。非アクノリッジメントモードの時、マスターデバイスではデータビット数分のクロックを発生した後、 $INTI2Cx$  割り込み要求を発生します。スレーブデバイスではデータビット分のクロックをカウントした後、 $INTI2Cx$  割り込み要求を発生します。

なおジェネラルコールのセカンドバイトは内容によりアクノリッジ信号の発生有無を制御する必要がありますので、ソフトウェアによりアクノリッジ信号の制御を行ってください。(セカンドバイトを非アクノリッジモードで受信し、受信割り込み処理で、1bit データ出力処理により ACK クロックを疑似的に出力するなど)

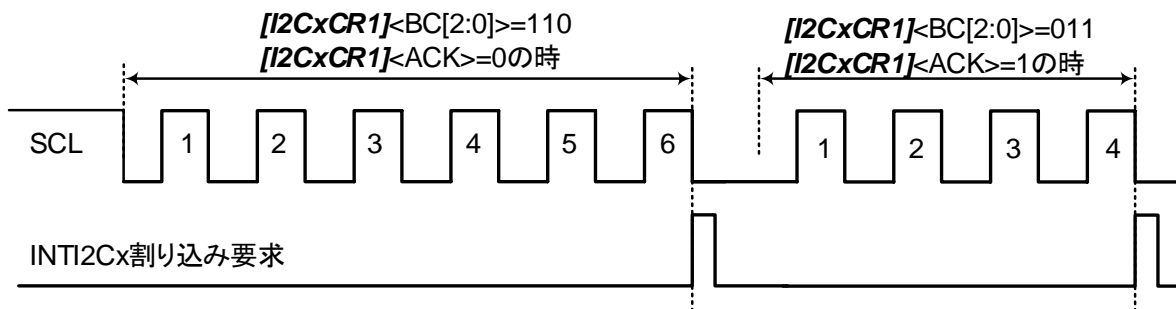


図 3.3 データ転送クロック数と  $[I2CxCR1]\langle BC[2:0]\rangle$ ,  $[I2CxCR1]\langle ACK\rangle$

データ転送のクロック数と  $[I2CxCR1]<BC[2:0]>$  と  $[I2CxCR1]<ACK>$  の関係は表 3.1 のとおりとなります。

表 3.1 データ転送のクロック数

$[I2CxCR1]$ $<BC[2:0]>$	アクノリッジメント動作 ( $[I2CxCR1]<ACK>$ )			
	0: 無し		1: 有り	
	データ長	クロック数	データ長	クロック数
000	8	8	8	9
001	1	1	1	2
010	2	2	2	3
011	3	3	3	4
100	4	4	4	5
101	5	5	5	6
110	6	6	6	7
111	7	7	7	8

$<BC[2:0]>$  はスタートコンディションまたはソフトウェアリセットにより"000" にクリアされます。そのため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは、 $<BC[2:0]>$  は一度設定された値を保持します。

注) スレーブアドレスの送信、受信は  $[I2CxCR1]<ACK>$  をセットした状態で実施してください。  
 $[I2CxCR1]<ACK>$  がクリアされた状態ではスレーブアドレスの一致、方向ビットの検出が正常に行われません。

## (2) アクノリッジ出力

アクノリッジメントモードの時、アクノリッジのためのクロック期間中、SDA が下記のように変化します。

### ・ マスターモード時

トランスミッターモードのとき、アクノリッジのためのクロック期間中、レシーバーからのアクノリッジ信号を受信するために SDA を解放します。

レシーバーモードのときは、アクノリッジのためのクロック期間中、 $[I2CxOP]<MFAck>=0$  時は SDA を"LOW"レベルに引きアクノリッジ信号を発生します。 $<MFAck>=1$  時は、SDA を"HIGH"レベルにします。

### ・ スレーブモード時

受信したスレーブアドレスと  $[I2CxAR]<SA>$  に設定されたスレーブアドレスが一致したとき、またはジェネラルコールを受信したときに、アクノリッジのためのクロック期間中、SDA を"LOW"レベルに引きアクノリッジ信号を発生します。スレーブアドレス一致またはジェネラルコール受信後のデータ転送で、トランスミッターモードのときには、アクノリッジのためのクロック期間中、SDA を解放し、レシーバーからのアクノリッジ信号を受信できる状態にします。

レシーバーモードのときには、SDA を"LOW"レベルに引きアクノリッジ信号を発生します。

表 3.2 アクノリッジメントモードにおけるSCL とSDA の状態

モード	端子	条件	トランスミッター	レシーバー
マスター	SCL	—	アクノリッジのためのクロックを付加	アクノリッジのためのクロックを付加
	SDA	—	アクノリッジ信号受信のために端子を解放	アクノリッジ信号として端子に"LOW"を出力 かノンアクノリッジ信号として"HIGH"を出力
スレーブ	SCL	—	アクノリッジのためのクロックをカウント	アクノリッジのためのクロックをカウント
	SDA	スレーブアドレスが一致したとき、またはジェネラルコールを受信したとき	—	アクノリッジ信号として端子に"LOW"を出力
		スレーブアドレスが一致したとき、またはジェネラルコール受信後の、転送時	アクノリッジ信号受信のために端子を解放	アクノリッジ信号として端子に"LOW"を出力

### 3.3.2. シリアルクロック

(1) クロックソース

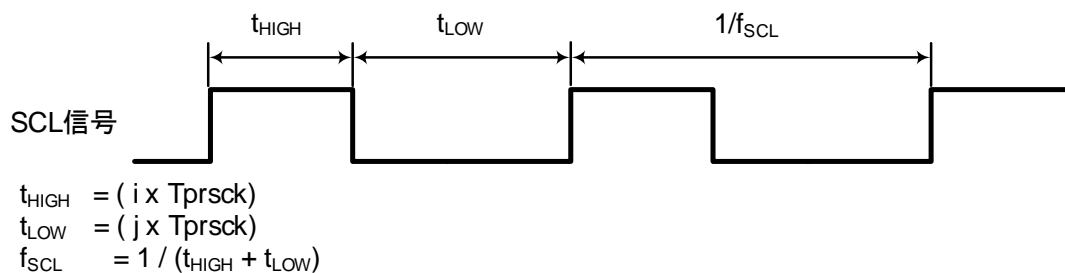
$[I2CxOP]<NFSEL>$ ,  $[I2CxCR1]<SCK>$ で、マスターモード時に出力されるシリアルクロックのHIGH 時間、LOW 時間を設定します。

表 3.3 シリアルクロックのHIGH、LOW 期間、周波数の設定(例)

$[I2CxOP]$ <NFSEL>	$[I2CxCR1]$ <SCK>	$t_{HIGH} =$ ( $i \times$ $T_{prsc}$ )	$t_{LOW} =$ ( $j \times$ $T_{prsc}$ )	周波数(kHz) (例)(注 1)			
				$f_{sys}=40MHz$ <PRSCK>=2, pCLK=50(ns) Fm+対応		$f_{sys}=80MHz$ <PRSCK>=5, pCLK=62.5(ns) Fm+対応	
				$i$	$j$	$t_{HIGH}+t_{LOW}$ (ns)	$f_{SCL}$
0 (デジタル)	000	8	12	-	使用不可	500+750	800.00
	001	10	14	500+700	833.33	625+875	666.67
	010	14	18	700+900	625.00	875+1125	500.00
	011	22	26	1100+1300	416.67	1375+1625	333.33
	100	38	42	1900+2100	250.00	2375+2625	200.00
	101	70	74	3500+3700	138.89	4375+4625	111.11
	110	134	138	6700+6900	73.53	8375+8625	58.82
	111	262	266	13100+13300	37.88	16375+16625	30.30

$T_{prsc}$ : プリスケラークロック幅( $1/f_{prsc}$ )

注 1) 製品(端子)により、最大転送速度の範囲(Fm/Fm+対応)は異なる場合がありますので、リファレンスマニュアルの"製品個別情報"で確認してください。

図 3.4 I<sup>2</sup>C SCL 出力

注) バスの負荷容量と Pull-up 抵抗との組み合わせにより、立ち上がりが鈍り、設定した  $t_{\text{HIGH}}$  とならないことがあります。また、他のデバイスの出力するシリアルクロックと同期をとる機能（クロック同期化機能）が働いた場合、設定値と異なるクロックとなる場合があります。

マスター時、スタートコンディション発生時のホールドタイムと、ストップコンディション発生時のセットアップタイムは下記となります。

ホールドタイム( $t_{\text{HD:STA}}$ ):

$$\begin{aligned} [I2CxOP]<SREN>=0: & t_{\text{HIGH}} [\text{s}] \\ [I2CxOP]<SREN>=1: & 8T_{\text{prscck}} [\text{s}] \end{aligned}$$

セットアップタイム( $t_{\text{SU:STO}}$ ):

$$\begin{aligned} [I2CxPRS]<PRSCCK>=1: & t_{\text{HIGH}} [\text{s}] \\ [I2CxPRS]<PRSCCK>\neq 1: & t_{\text{HIGH}} - T_{\text{prscck}} [\text{s}] \end{aligned}$$

また、反復スタート時のスタートコンディションのセットアップタイムは下記のとおりです。

セットアップタイム( $t_{\text{SU:STA}}$ ):

$$\begin{aligned} [I2CxOP]<SREN>=0: & \text{ソフトウェアによって規定の時間を確保します。} \\ [I2CxOP]<SREN>=1: & t_{\text{LOW}} [\text{s}] \end{aligned}$$

スレーブ時の  $[I2CxCR2]<PIN>$  を "1" にセットしたとき、SCL 解放までの時間は  $t_{\text{LOW}}[\text{s}]$  となります。なお、マスターモード/スレーブモードともに  $[I2CxCR1]<SCK>$  と関係なく、外部から入力されるシリアルクロックは、"HIGH" レベルは  $4 \times T_{\text{prscck}}[\text{s}]$  以上、"LOW" レベルは  $5 \times T_{\text{prscck}}[\text{s}]$  以上必要です。

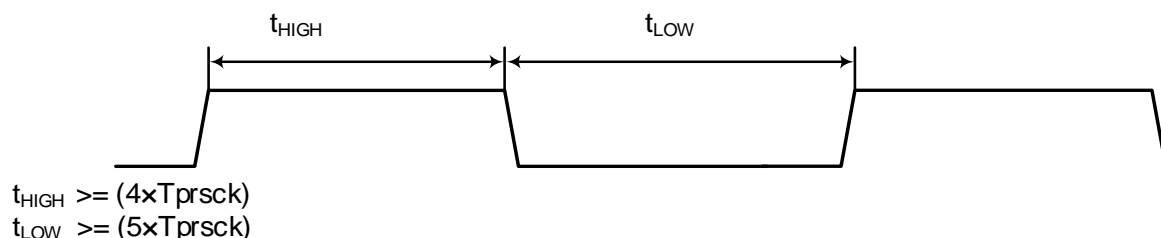


図 3.5 SCLK 入力

$[I2CxCR1]<SCK[2:0]>$ 、 $[I2CxPRS]<PRSCCK[4:0]>$ により、マスター時に出力するシリアルクロックの速度を設定します。

$[I2CxPRS]<PRSCCK[4:0]>$ に従って分周し生成されたプリスケラークロックを基準クロックとし、 $[I2CxCR1]<SCK[2:0]>$ に従いさらに分周し、シリアルクロックとして使用します。



<シリアル転送レートについて>

シリアルクロックレート(fsc1)は、動作周波数(fsyst)をもとに、プリスケラークロック設定 "p"([I2CxPRS]<PRSCK[4:0]>, "p=1~32"), およびシリアルクロック設定 "n"([I2CxCRI]<SCK[2:0]>, "n=0~7") の組み合わせにて以下のように決定されます。

<NFSEL>=0 時 :

$$\text{シリアルクロックレート fsc1(kHz)} = \frac{\text{fsys(MHz)}}{p \times (2^{n+2} + 16)} \times 1000$$

注) 設定範囲は動作周波数(fsyst)により変わります。

以下の条件を満たすように、プリスケラークロック設定 "p"([I2CxPRS]<PRSCK[4:0]>) の設定可能範囲を決定してください。

Fast-mode Plus(Fm+), DNF 使用時(<NFSEL>=0)

20ns < プリスケラークロック幅 Tprscck (ns) ≤ 65ns

Fast-mode(Fm), Standard-Mode(STD), DNF 使用時(<NFSEL>=0)

50ns < プリスケラークロック幅 Tprscck (ns) ≤ 150ns

マスター/スレーブに関わらず、この範囲外はプリスケラークロック設定禁止です。

また、他のデバイスの出力するシリアルクロックと同期をとる機能があるため、シリアルクロックの速度は一定で無くなることもあります。

Fm+/Fm,STD の使用可能な fsyst 条件は、下記のようになります

表 3.4 Fm+/Fm, STD と fsyst 条件

NF 選択	動作モード	fsyst (MHz)
DNF	Fm+	fsyst ≥ 15.39
	Fm, STD	fsyst ≥ 6.67

代表的な fsyst 周波数別のシリアルクロック設定表は、Fast-mode Plus(Fm+)、Fast-mode(Fm)、Standard-mode(STD)別に下表のようになります。(表 3.5 ~ 表 3.12)

表 3.5 シリアルクロック設定表(DNF使用時,Fm+用)(1)

単位 : kHz

fsys=32.0MHz		SCK[2:0]							
PRSCK [4:0]	pCLK (ns)	000	001	010	011	100	101	110	111
00010	62.50	-	666.67	500.00	333.33	200.00	111.11	58.82	30.30

表 3.6 シリアルクロック設定表(DNF使用時,Fm+用)(2)

単位 : kHz

fsys=40.0MHz		SCK[2:0]							
PRSCK [4:0]	pCLK (ns)	000	001	010	011	100	101	110	111
00010	50.00	-	833.33	625.00	416.67	250.00	138.89	73.53	37.88

-: 使用不可

表 3.7 シリアルクロック設定表(DNF使用時,Fm+用)(3)

単位 : kHz

fsys=80.0MHz		SCK[2:0]							
PRSCK [4:0]	pCLK (ns)	000	001	010	011	100	101	110	111
00011	37.50	-	-	833.33	555.56	333.33	185.19	98.04	50.51
00100	50.00	-	833.33	625.00	416.67	250.00	138.89	73.53	37.88
00101	62.50	800.00	666.67	500.00	333.33	200.00	111.11	58.82	30.30

-: 使用不可

表 3.8 シリアルクロック設定表(DNF使用時,Fm+用)(4)

単位 : kHz

fsys=100.0MHz		SCK[2:0]							
PRSCK [4:0]	pCLK (ns)	000	001	010	011	100	101	110	111
00100	40.00	-	-	781.25	520.83	312.50	173.61	91.91	47.35
00101	50.00	-	833.33	625.00	416.67	250.00	138.89	73.53	37.88
00110	60.00	833.33	694.44	520.83	347.22	208.33	115.74	61.27	31.57

-: 使用不可

表 3.9 シリアルクロック設定表(DNF使用時,Fm/STD用)(1)

単位 : kHz

fsys=20.0MHz		SCK[2:0]							
PRSCK [4:0]	pCLK (ns)	000	001	010	011	100	101	110	111
00010	100.00	-	-	312.50	208.33	125.00	69.44	36.76	18.94
00011	150.00	333.33	277.78	208.33	138.89	83.33	46.30	24.51	12.63

-: 使用不可

表 3.10 シリアルクロック設定表(DNF使用時,Fm/STD用)(2)

単位 : kHz

fsys=40.0MHz		SCK[2:0]							
PRSCK [4:0]	pCLK (ns)	000	001	010	011	100	101	110	111
00100	100.00	-	-	312.50	208.33	125.00	69.44	36.76	18.94
00101	125.00	-	333.33	250.00	166.67	100.00	55.56	29.41	15.15
00110	150.00	333.33	277.78	208.33	138.89	83.33	46.30	24.51	12.63

-: 使用不可

表 3.11 シリアルクロック設定表(DNF使用時,Fm/STD用)(3)

単位 : kHz

fsys=80.0MHz		SCK[2:0]							
PRSCK [4:0]	pCLK (ns)	000	001	010	011	100	101	110	111
00111	87.50	-	-	-	238.10	142.86	79.37	42.02	21.65
01000	100.00	-	-	312.50	208.33	125.00	69.44	36.76	18.94
01001	112.50	-	-	277.78	185.19	111.11	61.73	32.68	16.84
01010	125.00	-	333.33	250.00	166.67	100.00	55.56	29.41	15.15
01011	137.50	363.64	303.03	227.27	151.52	90.91	50.51	26.74	13.77
01100	150.00	333.33	277.78	208.33	138.89	83.33	46.30	24.51	12.63

-: 使用不可

表 3.12 シリアルクロック設定表(DNF使用時,Fm/STD用)(4)

単位 : kHz

fsys=100.0MHz		SCK[2:0]							
PRSCK [4:0]	pCLK (ns)	000	001	010	011	100	101	110	111
01000	80.00	-	-	-	260.42	156.25	86.81	45.96	23.67
01001	90.00	-	-	347.22	231.48	138.89	77.16	40.85	21.04
01010	100.00	-	-	312.50	208.33	125.00	69.44	36.76	18.94
01011	110.00	-	-	284.09	189.39	113.64	63.13	33.42	17.22
01100	120.00	-	347.22	260.42	173.61	104.17	57.87	30.64	15.78
01101	130.00	-	320.51	240.38	160.26	96.15	53.42	28.28	14.57
01110	140.00	357.14	297.62	223.21	148.81	89.29	49.60	26.26	13.53
01111	150.00	333.33	277.78	208.33	138.89	83.33	46.30	24.51	12.63

-: 使用不可

## (2) クロック同期化

I<sup>2</sup>C バスでは端子の構造上、バスをワイヤードアンドで駆動させるために、クロックラインを最初に "LOW" レベルに引いたマスターが、"HIGH" レベルを出力しているマスターのクロックを無効にします。このため、"HIGH" レベルを出力しているマスターは、これを検出し対応する必要があります。

I<sup>2</sup>C はクロック同期化機能をもっており、バス上に複数のマスターが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスターが同時に存在した場合を例にあげて以下に示します。

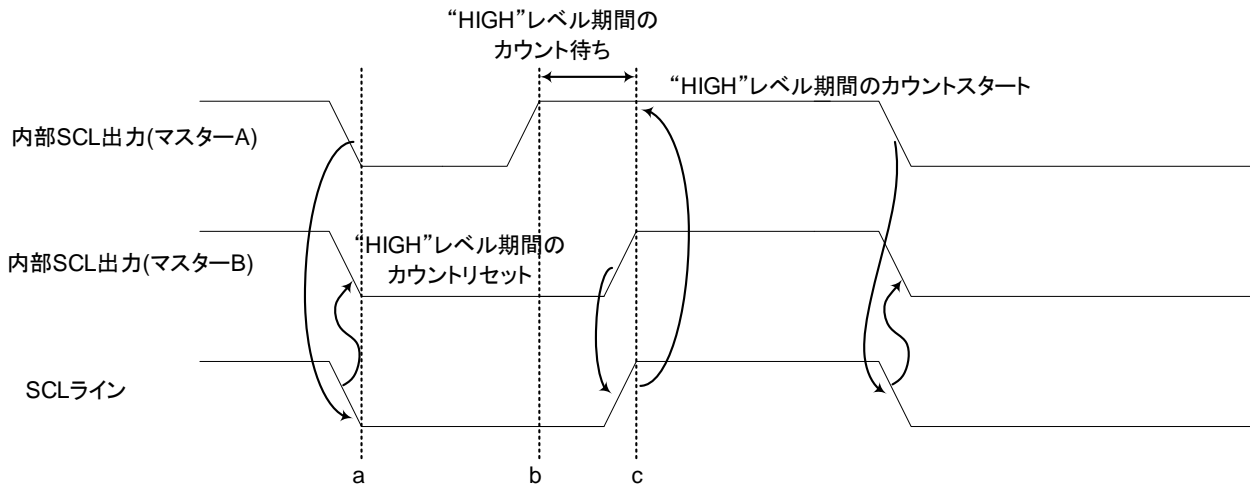


図 3.6 クロック同期化の例

a 点でマスターA が SCL を "LOW" レベルに引くことで、バスの SCL ラインは "LOW" レベルになります。マスターB はこれを検出し、マスターB の "HIGH" レベル期間のカウントリセットし、SCL を "LOW" レベルに引きます。

b 点でマスターA は "LOW" レベル期間のカウンタを終わり、SCL を "HIGH" レベルにします。しかしマスターB がバスの SCL ラインを "LOW" レベルに保持し続けているので、マスターA は "HIGH" レベル期間のカウンタを始めません。c 点でマスターB が SCL を "HIGH" レベルにし、バスの SCL ラインが "HIGH" レベルになったことを検出後、マスターA は "HIGH" レベル期間のカウンタを始めます。

その後 "HIGH" レベル期間のカウンタを終了したマスターA が SCL を "LOW" に引くことで、バスの SCL ラインは "LOW" レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスターの中で最も短い "HIGH" レベル期間をもつマスターと、最も長い "LOW" レベル期間をもつマスターによって決定されます。

### 3.3.3. マスター/スレーブの選択

[I2CxCR2]<MST>を"1" にセットすると、I<sup>2</sup>C はマスターデバイスとして動作します。

[I2CxCR2]<MST>を"0" にクリアすると、スレーブデバイスとして動作します。

[I2CxSR]<MST>はバス上のストップコンディションを検出したとき、またはアービトレーションロストを検出したとき、ハードウェアにより"0" にクリアされます。

### 3.3.3.1. トランスミッター/ レシーバーの選択

[I2CxCR2]<TRX>を"1" にセットすると、I<sup>2</sup>C はトランスミッターとして動作し、[I2CxCR2]<TRX>を"0" にクリアするとレシーバーとして動作します。

アドレッシングフォーマットでデータ転送を行うとき、スレーブモード時は、ハードウェアにより、マスターデバイスから送られてくる方向ビット(R/W)が"1" の場合、[I2CxSR]<TRX>は"1" にセットされ、"0" の場合、[I2CxSR]<TRX>は"0" にクリアされます。

マスターモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウェアにより送信した方向ビットが"1" の場合、[I2CxSR]<TRX>は"0" にクリアされ、"0" の場合、[I2CxSR]<TRX>は"1" に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

[I2CxSR]<TRX>はバス上のストップコンディションを検出したとき、またはアービトレーションロストが検出されると、ハードウェアにより"0" にクリアされます。

表 3.13 に各モードでの[I2CxSR]<TRX>の変化条件と変化後の[I2CxSR]<TRX>の値を示します。

注) [I2CxCR1]<NOACK>が"1" のとき、スレーブアドレス一致の検出、ジェネラルコールの検出が禁止されているため、[I2CxSR]<TRX>は変化しません。

表 3.13 各モードでの[I2CxSR]<TRX>の動作

モード	方向ビット	変化条件	変化後の TRX
スレーブ	0	受信したスレーブアドレスが <SA>(<SA2>)に設定された値 と同じとき	0
	1		1
マスター	0	ACK 信号が返ってきたとき	1
	1		0

I<sup>2</sup>C をフリーデータフォーマットで使用している場合、スレーブアドレス、方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。そのために、[I2CxSR]<TRX>はハードウェアによって変化することはありません。

### 3.3.4. I<sup>2</sup>C バスのイネーブル

[I2CxCR2]<I2CM>を"1" にセットすると I<sup>2</sup>C バスがイネーブルになります。

I<sup>2</sup>C バスをイネーブルにするときは、端子の状態が"HIGH"になっていることを確認後、[I2CxCR2]<I2CM>を"1" にしてください。また、初期状態への切り替えはバスフリーを確認後、[I2CxCR2]<I2CM>を"0" にしてください。

注) [I2CxCR2]<I2CM>が"0" のとき、ソフトウェアリセット発生のための[I2CxCR2]<SWRES>と[I2CxCR2]<I2CM>以外の[I2CxCR2] に値を書き込むことはできません。[I2CxCR2]に値を設定する前に[I2CxCR2]<I2CM>に"1" を書き込んで I<sup>2</sup>C バスをイネーブルにしてください。

### 3.3.5. スタート/ ストップコンディションの発生

$[I2CxSR]\langle BB \rangle$  が"0" のときに、 $[I2CxCR2]\langle MST \rangle$ 、 $[I2CxCR2]\langle TRX \rangle$ 、 $[I2CxCR2]\langle BB \rangle$ 、 $[I2CxCR2]\langle PIN \rangle$ に"1" をセットすると、バス上にスタートコンディション、あらかじめデータバッファレジスタに書き込んだスレーブアドレスと、方向ビットが出力されます。スタートコンディションを発生させる前に、 $[I2CxCR1]\langle ACK \rangle$ を"1" にセットしておいてください。

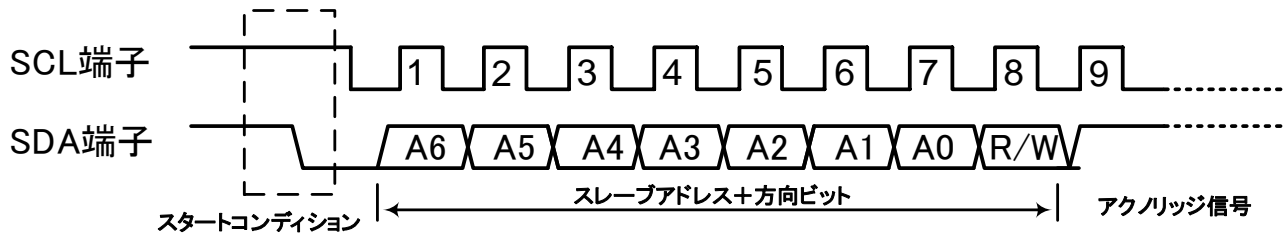


図 3.7 スタートコンディションの発生とスレーブアドレスの発生

$[I2CxSR]\langle BB \rangle$ が"1" のときに、 $[I2CxCR2]\langle MST \rangle$ 、 $[I2CxCR2]\langle TRX \rangle$ 、 $[I2CxCR2]\langle PIN \rangle$ に"1" を、 $[I2CxCR2]\langle BB \rangle$ に"0" にクリアすると、バス上にストップコンディションを出力するシーケンスが開始され、バス上にストップコンディションが発生します。

ストップコンディション発生時に、バスの SCL ラインがほかのデバイスにより"LOW"レベルに引かれていた場合、SCL ラインが解放された後に、ストップコンディションがバスに反映されます。

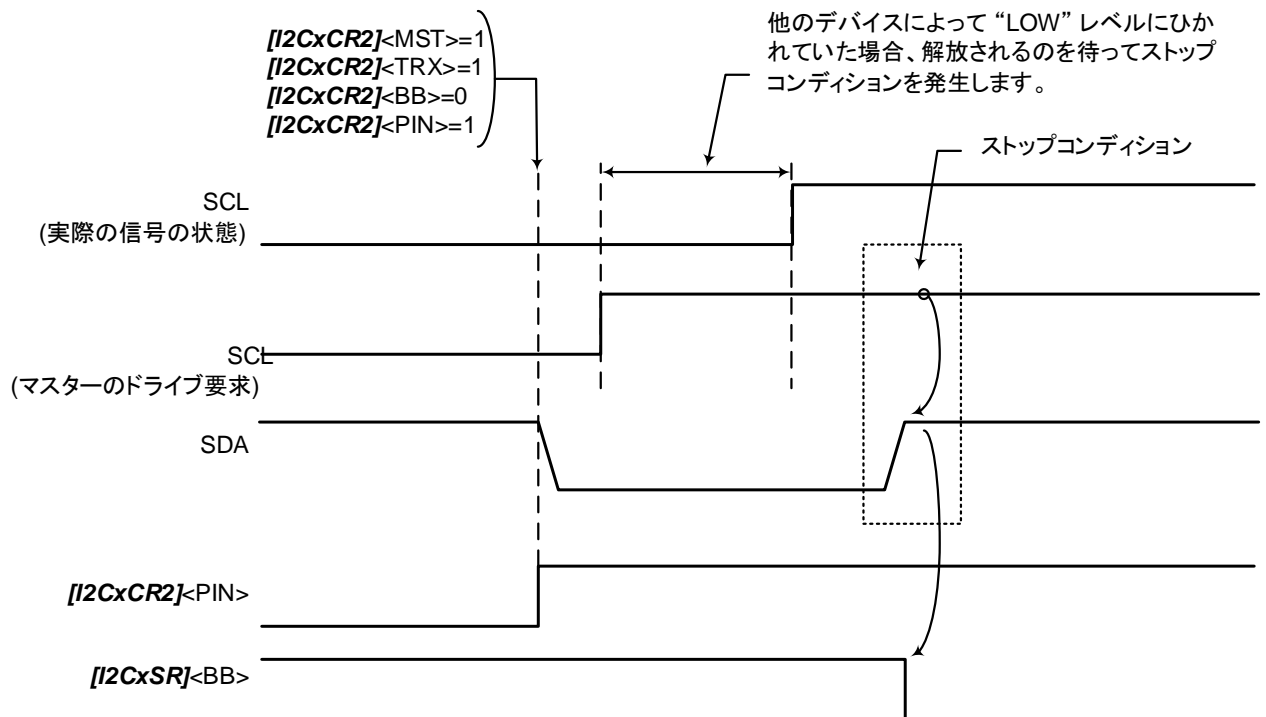


図 3.8 ストップコンディションの発生

また、 $[I2CxSR]\langle BB \rangle$ を読み出すことで、バスの状態を知ることができます。 $[I2CxSR]\langle BB \rangle$ は、バス上のスタートコンディションを検出すると"1" にセットされ (バスビジー状態)、ストップコンディションを検出すると"0" にクリアされます (バスフリー状態)。

一般的な動作として、**[I2CxSR]** の状態と、その際の設定例を表 3.14 に示します。  
**[I2CxCR2]**<MST>, <TRX>, <BB>, <PIN>のビットは本来独立した機能を持っていますが、**[I2CxSR]** の状態に応じて次のような定型的な組み合わせで使用します。

表 3.14 設定例

<b>[I2CxSR]</b>			<b>[I2CxCR2]</b>				動作
[7] MST	[5] BB	[4] PIN	[7] MST	[6] TRX	[5] BB	[4] PIN	
0	0	1	0	0	0	0	スレーブとしてスタートコンディション待ち
			1	1	1	1	スタートコンディション発生
1	1	0	1	1	0	1	ストップコンディション発生

注) このビット(群)に対する書き込みの際に、誤って**[I2CxCR2]**<I2CM>を変更しないようにしてください。

### 3.3.6. スレーブアドレス一致検出、ジェネラルコール検出の選択

スレーブデバイスがスレーブアドレスの一致検出、ジェネラルコール検出をする際に、以下の設定をします。

$[I2CxCR1]<NOACK>$ で、スレーブモードのスレーブアドレス一致検出、ジェネラルコール検出の許可/不許可の設定を行います。

$[I2CxCR1]<NOACK>$ を"0"にクリアし、 $[I2CxOP]<GCDI>=0$ にすると、スレーブアドレス一致検出、ジェネラルコール検出を許可します。 $<GCDI>=1$ にするとジェネラルコールの検出を行いません。

$[I2CxCR1]<NOACK>$ を"1"にセットすると、セット後のスレーブアドレス一致検出、ジェネラルコール検出を禁止します。このとき、マスターから送られてくるスレーブアドレス、ジェネラルコールを無視し、アクノリッジを返さず、INTI2Cx 割り込み要求も発生しません。マスターモード時、 $[I2CxCR1]<NOACK>$ は無視され、動作に影響を与えません。

### 3.3.7. ジェネラルコール検出モニター

アドレッシングフォーマット( $[I2CxAR]<ALS>=0$ )で、スレーブモードの場合に、スレーブアドレスの一致検出とともに、ジェネラルコール検出が出来ます。

$[I2CxCR1]<NOACK>=0$  かつ  $[I2CxOP]<GCDI>=0$  のとき、 $[I2CxSR]<AD0>$ は、ジェネラルコール(スタートコンディション直後に受信した8ビットのデータが全て"0")を受信すると、"1"にセットされます。(この時、同時に $[I2CxSR]<AAS>$ も、"1"にセットされます)

$[I2CxCR1]<NOACK>$ が"1"のとき、ジェネラルコール検出を禁止します。そのため、ジェネラルコールを受信しても $[I2CxSR]<AD0>$ は"0"のままです。(この時、同時に $[I2CxSR]<AAS>$ も、"1"にセットされません)

$[I2CxSR]<AD0>$ は、バス上のスタートコンディションまたはストップコンディションが検出されると、"0"にクリアされます。

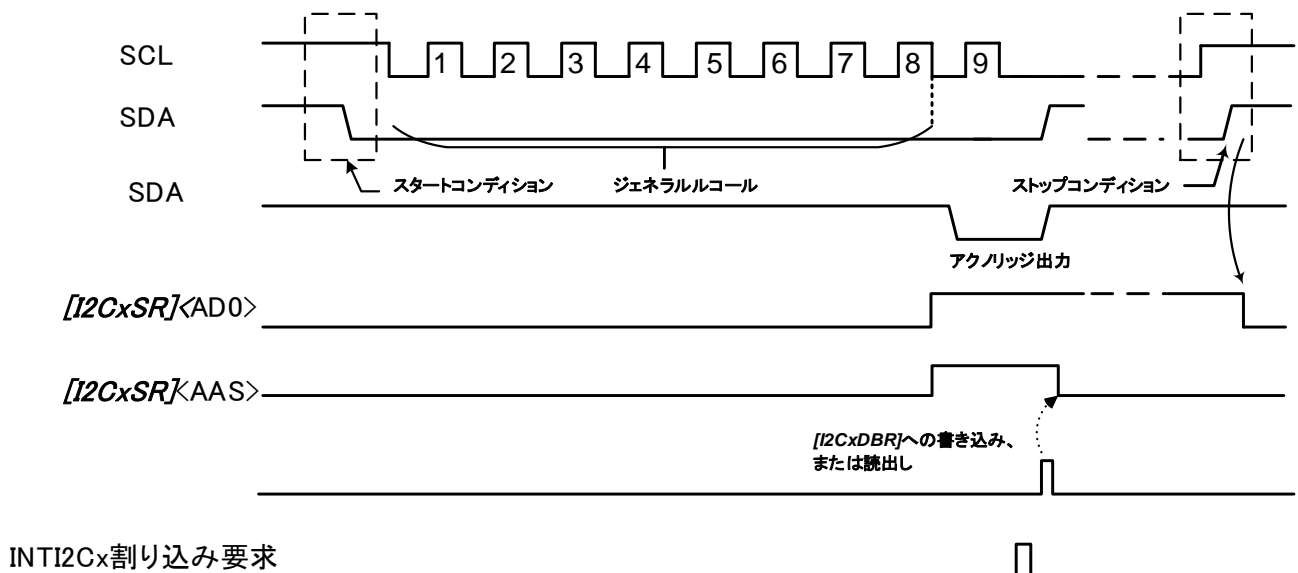


図 3.9 ジェネラルコール検出モニターの変化



### 3.3.8. スレーブアドレスとアドレス認識モードの設定

I<sup>2</sup>C をアドレッシングフォーマットで使用する際には、**[I2CxAR]<ALS>**を "0" にクリアし、**[I2CxAR]<SA>**にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用する際には、**[I2CxAR]<ALS>**を"1" にセットします。なお、I<sup>2</sup>C をフリーデータフォーマットで使った場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

第2スレーブアドレスを使用する場合は、**[I2CxAR2]<SA2EN>**で行います。<SA2EN>=1の時、第2スレーブアドレスが有効となります。

スレーブアドレスは、第1アドレス(**[I2CxAR]<SA>**) → 第2アドレス(**[I2CxAR2]<SA2>**)の順で比較され、一致結果は、**[I2CxOP]<SAST>**、<SA2ST>へセットされます。

第1、第2アドレスとも同じアドレスを設定し、一致検出した場合は、第1アドレスのみの検出ステータスを返します。

### 3.3.9. スレーブアドレス一致検出モニター

本製品は、スレーブアドレスを2セット設定することができ、I<sup>2</sup>C バスモード (**[I2CxAR]<ALS>**=0) で、スレーブモードの場合に、スレーブアドレスの一致検出が出来ます。スレーブアドレスは、**[I2CxAR]<SA>** → **[I2CxAR2]<SA2>**の順で比較されます。**[I2CxAR]<SA>**、**[I2CxAR2]<SA2>**とも同じアドレス設定の一致検出を行った場合は、**[I2CxAR]<SA>**側のみ検出結果を返します。なおアドレスを1セットのみ使用する場合は、**[I2CxAR]<SA>**のみ設定してください。

**[I2CxCR1]<NOACK>**を"0"にクリアすると、アドレス一致検出を許可し、ジェネラルコールまたは、**[I2CxAR]<SA>** の1セット目に設定した値と同じスレーブアドレス(第1スレーブアドレス)を受信することで、**[I2CxSR]<AAS>**は、"1"にセットされます。

第2スレーブアドレスを使用する場合は、**[I2CxAR2]<SA2>**へアドレスを設定し、**[I2CxAR2]<SA2EN>**=1とします。<SA>か<SA2>どちらでアドレス一致を検出したかは、**[I2CxOP]<SA2ST>**、<SAST>で判別できます。

**[I2CxCR1]<NOACK>**を1にセットすると、アドレス一致検出を禁止し、ジェネラルコールまたは、**[I2CxAR]<SA>**、**[I2CxAR2]<SA2>**にセットした値と同じスレーブアドレスを受信しても、**[I2CxSR]<AAS>**は、"1"にセットされません。

フリーデータフォーマット (**[I2CxAR]<ALS>**=1) のときは、アドレス一致検出としては機能せず、最初の1ワードが受信されると、**[I2CxSR]<AAS>**は "1" にセットされます。**[I2CxSR]<AAS>**は **[I2CxDBR]** にデータを書き込むか、**[I2CxDBR]** からデータを読み出すと"0"にクリアされます。

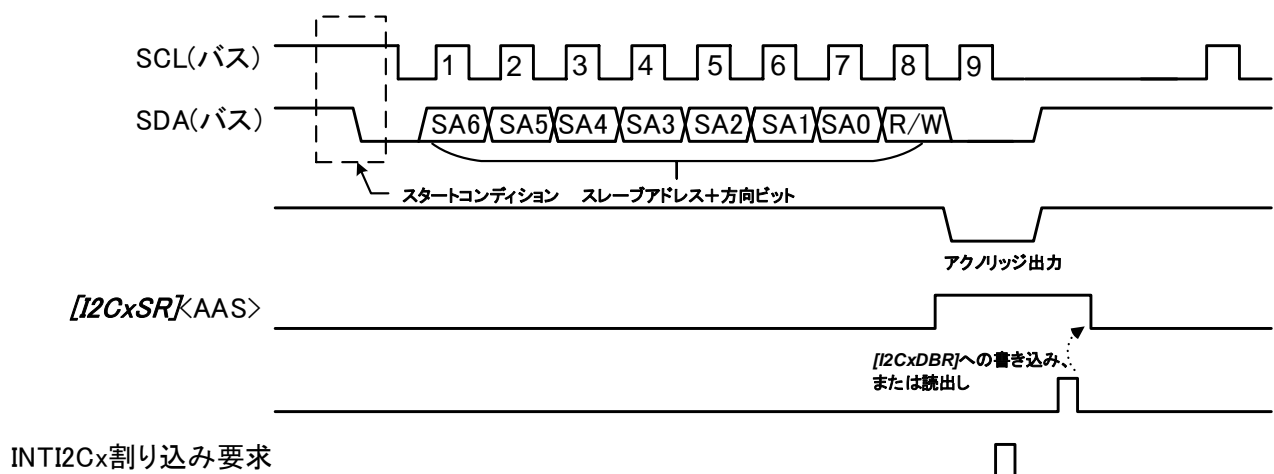


図 3.10 スレーブアドレス一致モニターの変化

### 3.3.10. アービトレーションロスト検出モニター

I<sup>2</sup>C バスではマルチマスター (1 つのバス上で同時に 2 つ以上のマスターが存在する) が可能なため、転送されるデータの内容を保証するために、バスのアービトレーション手段が必要となります。I<sup>2</sup>C バスでは、バスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスターが同時に存在した場合を例にあげて以下に示します。

a 点のビットまでマスターA、マスターB とともに同じデータを出力し、a 点でマスターB がデータ 1 を出力、マスターA がデータ 0 を出力すると、バスの SDA ラインはワイヤードアンドで駆動されるために、SDA ラインはマスターA によって "LOW" レベルに引かれます。

b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわちマスターA のデータを取り込みます。

このときマスターB の出力したデータは無効になります。マスターB のこの状態を"アービトレーションロスト"と呼び、アービトレーションを失ったマスターB は、SDA、SCL を解放し、アービトレーションを失っていない、マスターA の出力するデータに影響を及ぼさないようにします。また、複数のマスターが、1 ワード目で全く等しいデータを送信した場合、アービトレーションの手段は 2 ワード目以降も継続されます。

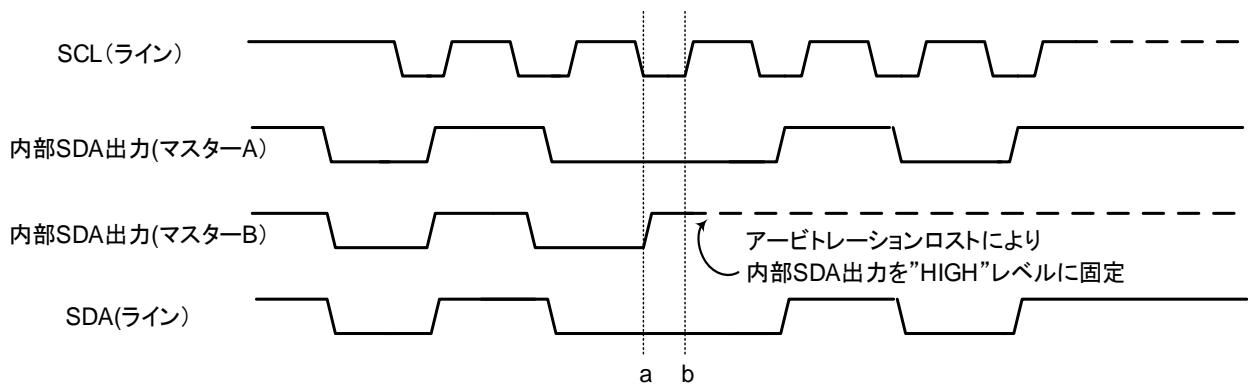


図 3.11 アービトレーションロスト

アービトレーションロスト割り込みを許可している場合は、図 3.11 の"b"の時点で[I2CxSR]<AL>フラグがセットされた後、設定されたデータ転送のクロック数の転送が終了した時点で、割り込みが発生します。

マスターB は、バスの SDA ラインのレベルと SDA のレベルの比較を、SCL ラインの立ち上がりで行います。このとき、不一致を検出するとアービトレーションを失い、[I2CxSR]<AL>が"1" にセットされます。

[I2CxSR]<AL>が "1" にセットされると[I2CxSR]<MST>, [I2CxSR]<TRX>は"0" にリセットされ、スレーブシーバーモードになります。そのため、[I2CxSR]<AL>が"1" にセットされた後のデータの転送では、マスターB はクロックの出力を停止します。データ転送が終了すると[I2CxSR]<PIN>が"0" にクリアされ、SCL が"LOW"に引かれます。

スレーブアドレスと方向ビット転送中にアービトレーションロストが発生したマスターB は、通常のスレーブデバイスのように、他のマスターデバイスが送信するスレーブアドレスを受信します。受信したスレーブアドレスが、[I2CxAR]<SA>と一致した場合、または一致しなかった場合とも、<PIN>が"0"にクリアされ、INTI2Cx が発生します。

[I2CxSR]<AL>は、[I2CxDBR] にデータを書き込むか、[I2CxDBR] からデータを読み込む、または [I2CxCR2] にデータを書き込むと"0" にリセットされます。

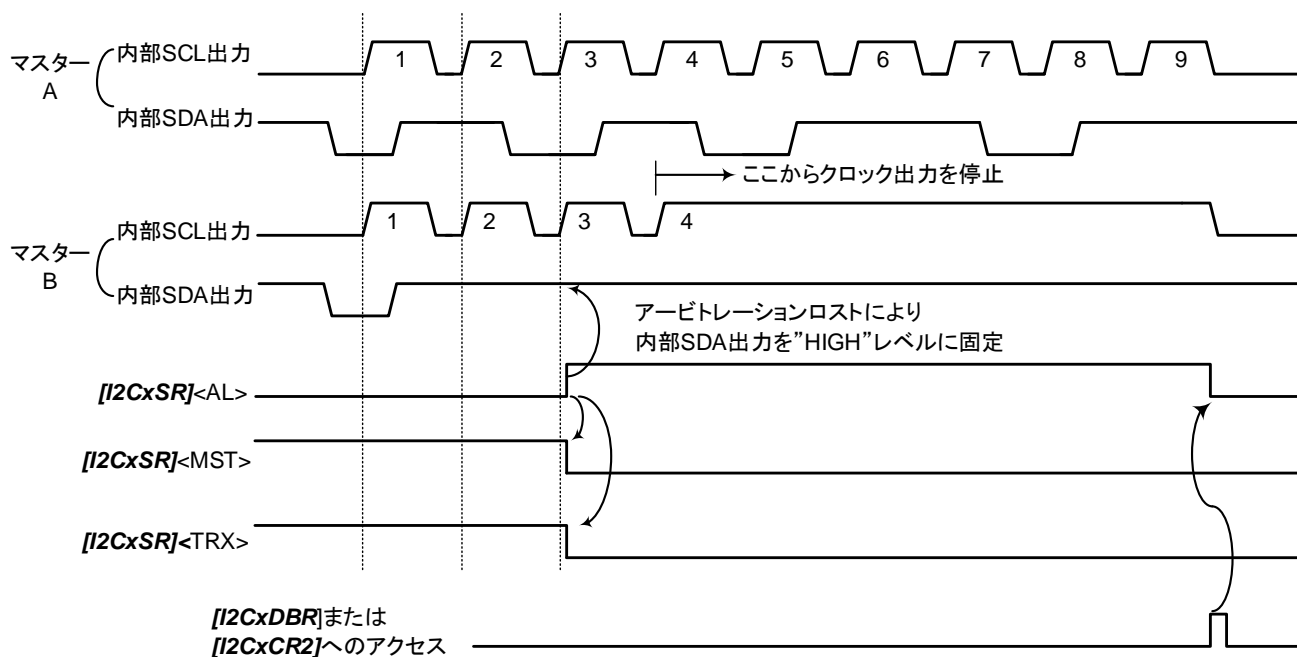


図 3.12 アービトレーションロスト動作（上記内部フラグはマスターB を示す）

本製品は I<sup>2</sup>C バス規格で定めている通常のアービトレーションロスト検出機能のみに対応し、NACK 送信時のアービトレーションロスト検出には対応していません。この場合、転送完了割り込み処理などの中で、**[I2CxSR]<LRB>**を確認することで対応する必要があります。

なおマルチマスターで転送開始がほぼ同時の場合、アービトレーションを、

(1) 転送開始前に検出し、転送取り消しをする、

(2) 転送開始後に検出する、

のケースが存在します。

なおデバイスの状態は、<AL>、<MST>、<TRX>によって知ることができます。

注) シングルマスターなどで、アービトレーションロストが発生しない場合は、**[I2CxOP]<DISAL>=1** に設定してください。同時にアービトレーションロスト割り込み要求発生、フラグ設定も行わないでください。

### 3.3.11. 最終受信ビットモニター

[I2CxSR]<LRB>には、バス上の SCL ラインの立ち上がりで取り込まれた、SDA ラインの値が、常に更新されセットされます。そのため、アクノリッジメントモードのとき、INTI2Cx 割り込み要求発生直後に[I2CxSR]<LRB>を読み出すと、アクノリッジ信号を読み出すことができます。

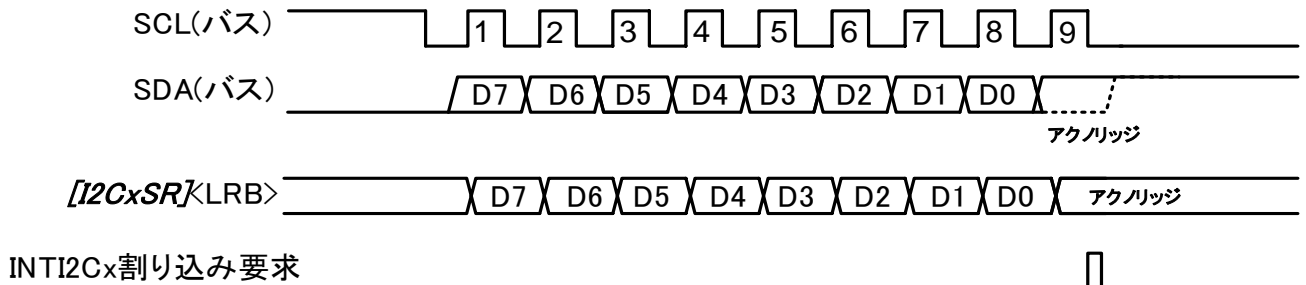


図 3.13 最終受信ビットモニターの変化

### 3.3.12. 反復スタート検出

スレーブモード時、バスラインに反復スタートを検出した場合には、[I2CxOP]<RSTA>が"1"にセットされます。反復スタートは、マスターデバイスがスレーブデバイスに対してデータ転送を終了させずに、転送の方向を変化させる場合などに使用されます。

<RSTA>は、Reset 以外で初期化されないため、ストップコンディション発生時、またはバスフリーの時などに、フラグのクリア(<RSTA>=0)処理を行ってください。(図 3.14 参照)

なおマスターモードで[I2CxPRS]<PRSCK>≠1 の時、<RSTA>は、Reset 後の最初のスタートコンディション発生後に"1"になりますので、最初の INTI2Cx 割り込み処理などで、クリア処理を行ってください。(図 3.15 参照)

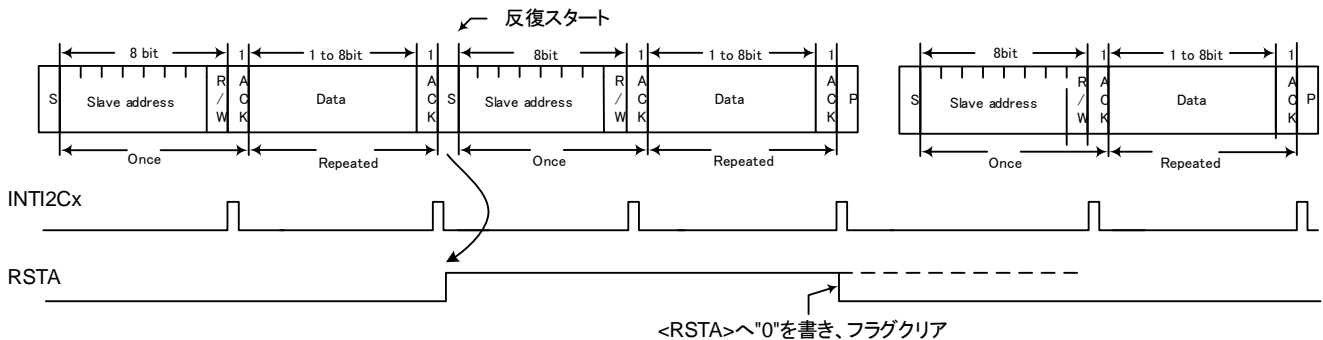


図 3.14 反復スタート検出フラグ(スレーブモード, マスターモード : <PRSCK>=1)

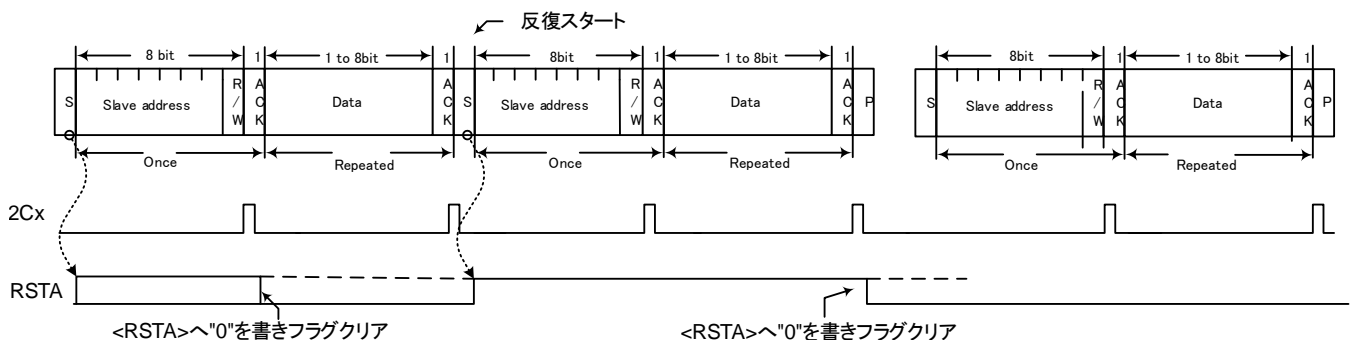


図 3.15 反復スタート検出フラグ(マスターモード : <PRSCK>≠1)

### 3.3.13. ソフトウェアリセット

I<sup>2</sup>C は、I<sup>2</sup>C を初期化するソフトウェアリセット機能を持っています。ノイズなどにより I<sup>2</sup>C がロックしたとき、この機能を使うことで I<sup>2</sup>C を初期化することができます。

[I2CxCR2]<SWRES[1:0]>に"10"、"01"の順に書き込みを行うとソフトウェアリセットが発生します。

ソフトウェアリセット発生後、I<sup>2</sup>C が初期化されますが、[I2CxCR2]<I2CM>と[I2CxDBR]レジスタは初期化されません。

また、[I2CxSR]<LRB>はソフトリセット発生時の端子状態となります(不定値)

### 3.3.14. ノイズキャンセル

SCL 端子、SDA 端子内にノイズキャンセル機能を内蔵しており、[I2CxOP]<NFSEL>=0 でデジタル式を許可します。

デジタル式は、Tprscck(プリスケーククロック幅)未満の信号がノイズとして除去されます。

なお、I<sup>2</sup>C ウェイクアップ使用時は、アナログフィルターが使用されます。

### 3.3.15. 割り込みサービス要求と解除

I<sup>2</sup>C インターフェースは INTI2Cx 割り込み、バスフリー検出割り込み、NACK 検出割り込み、アービトレーションロスト割り込みの 4 つの割り込みを持っています。

#### (1) INTI2Cx 割り込み

マスターモードの場合、[I2CxCR1]<BC[2:0]>と[I2CxCR1]<ACK>によって設定されたデータ転送のクロック数の転送が終了すると INTI2Cx 割り込み要求が発生します。

スレーブモードの場合、上記に加え以下の条件が成立したとき INTI2Cx 割り込み要求が発生します。

- [I2CxCR1]<NOACK>が"0" のとき、受信したスレーブアドレスが、[I2CxAR]<SA>に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後([I2CxAR2]<SA2>設定時も同様)
- [I2CxCR1]<NOACK>が"0" のとき、ジェネラルコールを受信したときのアクノリッジ信号出力後、スレーブアドレス一致、またはジェネラルコール受信後におけるデータ転送終了時。

INTI2Cx 割り込み要求が発生すると、[I2CxSR]<PIN>が"0" にクリアされます。[I2CxSR]<PIN>が"0"の間、SCL が "LOW" レベルに引かれます。

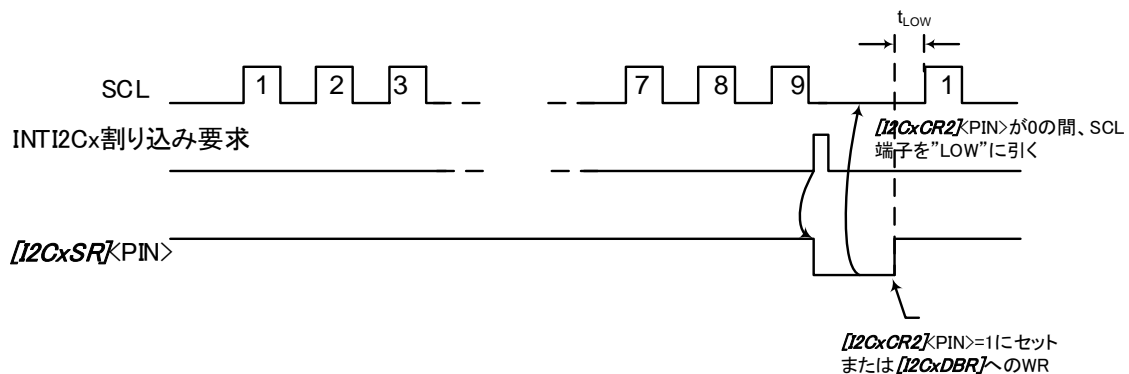


図 3.16 [I2CxSR]<PIN>と SCL(<SELPINCD>=0)

$[I2CxIE]<SELPINCD>=0$  の場合は、 $[I2CxDBR]$  にデータを書き込むと  $[I2CxSR]<PIN>$  が "1" にセットされます。

なお、 $[I2CxSR]<PIN>$  が "1" にセットされてから SCL が解放されるまで、 $t_{LOW}$  の時間がかかります。プログラムで  $[I2CxCR2]<PIN>$  に "1" を書き込むと "1" にセットされますが、"0" を書き込んでも "0" にクリアされません。

注) マスターモードでスレーブアドレスと方向ビットの転送中にアービトレーションロストが発生したとき、受信したスレーブアドレスと  $[I2CxAR]<SA>$  の一致にかかわらず、 $<PIN>$  は "0" にクリアされ、INTI2Cx が発生します。

## (2) バスフリー検出割り込み

本製品のバスフリー検出割り込みは、デバイス内の  $[I2CxSR]<BB>$  フラグの変化 ( $BB=1$  から  $BB=0$  時) により発生します。

バスフリー検出割り込みを使用する場合は、 $[I2CxIE]<INTI2CBF>=1$  にしてください。

なお  $<BB>$  はスレーブ動作時、マスターの指定するスレーブアドレスでなく、動作に関与しない場合にもセットされますので、ストップコンディションを検出すると割り込みが発生します。

## (3) NACK 検出割り込み

$[I2CxCR1]<ACK>=1$  かつ  $[I2CxIE]<INTNACK>=1$  の時に、NACK を受信すると NACK 受信検出割り込みが発生します。

マスターモード時およびスレーブモード時のトランスミッターとして動作した場合の NACK 検出となります。

NACK 検出割り込みは、INTI2Cx 割り込みと同じタイミングで発生しますので、 $[I2CxST]$  の割り込み発生ステータスフラグにより確認してください。

## (4) アービトレーションロスト検出割り込み

アービトレーションロスト割り込みを許可した状態でアービトレーションロストを検出した場合、 $[I2CxSR]<AL>$  フラグがセットされた後、設定されたデータ転送のクロック数の転送が終了した時点で、アービトレーションロスト割り込みが発生します。

### 3.3.16. DMA リクエスト出力制御

アドレッシングフォーマットでは DMA によるデータ転送を行う事ができます。ただし、バス上にマスターとスレーブが 1 つずつ接続され、あらかじめ転送するデータ数が決まっている時のみ可能です。

リクエストが出力されるタイミングは、INTI2Cx 送受信終了割り込み発生後です。これにより、 $[I2CxDBR]$  とメモリー間で DMA 転送を行う事で連続転送ができます。

送信、受信個別に DMA へのリクエスト制御の出力ができ、 $[I2CxIE]<DMARI2CTX>$ 、 $<DMARI2CRX>$  のレジスターで制御できます。それぞれ許可/禁止を設定してください。

DMA によりデータ転送を行う場合、何ワードのデータをやり取りするかをあらかじめ送受信の双方で決めておく必要があります。

I<sup>2</sup>C 転送の途中にアービトレーションロストが発生した場合、INTI2CxAL 割り込みと INTI2Cx 割り込みが発生しますが、DMA リクエストは発生しません。



### 3.4. アドレス一致ウエイクアップ機能

I<sup>2</sup>C ウエイクアップ(Sub 側)が実装されている場合に有効な機能です。

スレーブモード時、低消費電力モードで、I<sup>2</sup>C バス上のスレーブアドレスが自アドレス(スレーブアドレス)と一致した場合、割り込み(INTI2CWUP)を発生し低消費電力モードを解除する機能です。

この機能を使用する場合は、低消費電力モードへ移行する前に、バスフリー状態で、I<sup>2</sup>C インターフェース(本体側)を停止してください。

I<sup>2</sup>C インターフェース(本体側)は、低消費電力モードの IDLE 中を除き、クロック停止状態となります。

#### 3.4.1. クロックストレッチ機能

スレーブモード時、スレーブアドレスの一致確認後、ACK を返した後に、SCL を"LOW"へ引くクロックストレッチ動作を行います。

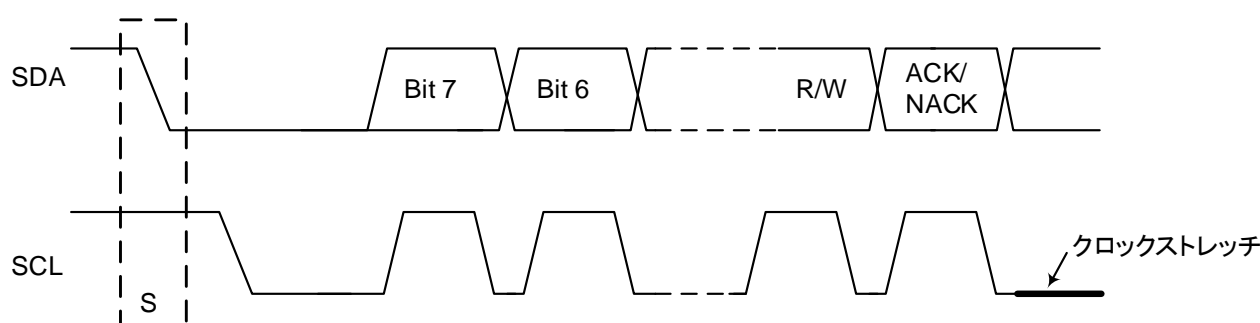


図 3.17 クロックストレッチ機能

注) クロックストレッチ動作中に低消費電力モードへ移行した場合、バスがロックされた状態が保持されるためアドレス一致ウエイクアップ機能を使用することはできません。

#### 3.4.2. アドレス一致ウエイクアップ 機能の流れ

アドレス一致検出から、割り込み発生、低消費電力モードの解除、クロックストレッチ解除までの流れを図に示します。

1. アドレス一致検出すると ACK 応答後、INTI2CWUP 割り込み を発生
2. 低消費電力モードを解除するとともに、クロックストレッチを開始します。
3. 低消費電力モード解除後の割り込み処理で、`[I2CSWUPCRI]<INTEND>`による割り込み要求クリア
4. `[I2CSWUPCRI]<I2RES>`によるクロックストレッチの解除を行います。

なお、3. 割り込み処理で、`[I2CSWUPCRI]<INTEND>`を"1" → "0"と Write することで、I<sup>2</sup>C ウエイクアップ(子側)から I<sup>2</sup>C インターフェース(本体側)への I<sup>2</sup>C 情報が設定されます。

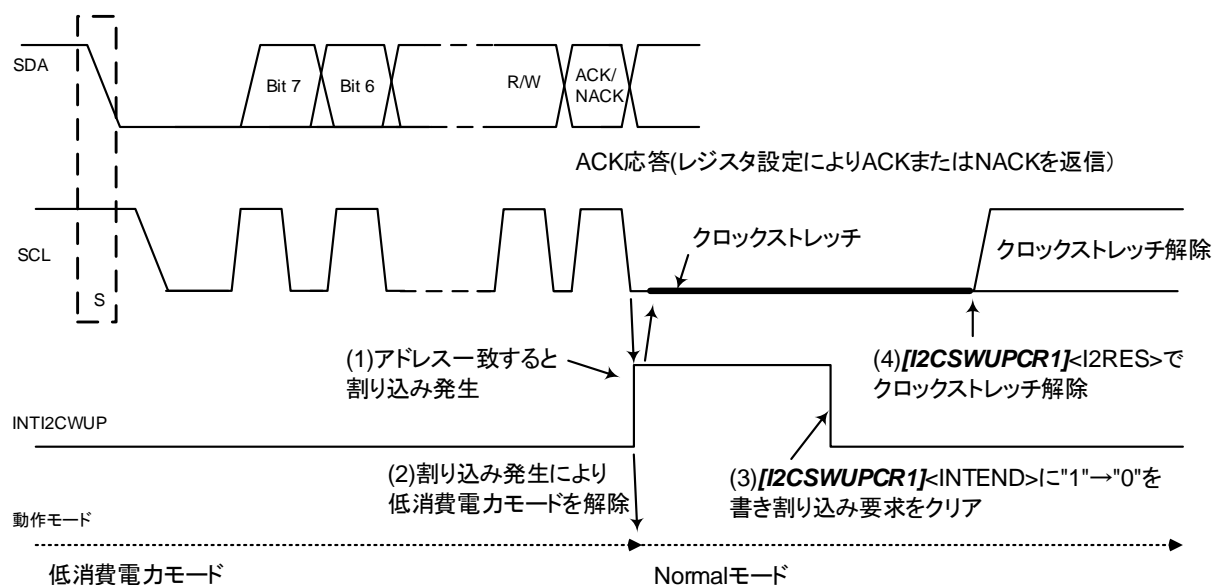


図 3.18 アドレス一致ウエイクアップ機能

注 1) アドレス一致ウエイクアップを検出するとノーマル動作復帰まで、I<sup>2</sup>Cバスはロックされます。(クロックストレッチ)

注 2) マスター側からは ACK クロックのみが返信され、スレーブデバイスは ACK か NACK を選択して送信します。

なおウエイクアップ機能を使用する際には、スレーブアドレスとジェネラルコールの検出の条件が同じになるように設定してください。

- $[I2CxAR]<SA> = [I2CSWUPCR2]<WUPSA1>$  ; 同じアドレス、検出条件
- $[I2CxAR2]<SA2> = [I2CSWUPCR3]<WUPSA2>$  ; 同じアドレス、検出条件
- $[I2CxCR1]<ACK>, <NOACK> \& [I2CxOP]<MFACT>$ の設定内容と、 $[I2CSWUPCR1]<ACK>, <SGCDI>$



## 4. レジスター説明

### 4.1. レジスター一覧

I<sup>2</sup>C のレジスターとアドレスを以下に示します。

機能名		チャンネル/ユニット	ベースアドレス	
			Type1	Type2
I <sup>2</sup> C ウェイクアップ(Sub側)	I2CS	—	0x4003E800	-
I <sup>2</sup> C インターフェース(本体側)	I2C	ch0	0x400A0000	0x400D1000
		ch1	0x400A1000	0x400D2000
		ch2	0x400A2000	0x400D3000
		ch3	0x400A3000	0x400D4000
		ch4	0x400A4000	0x400D5000

注) 製品によって使用されるベースアドレスタイプは異なります。詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

#### I2C (I<sup>2</sup>C インターフェース)

レジスター名		アドレス(Base+)
I <sup>2</sup> C コントロールレジスター1	[I2CxCR1]	0x0000
I <sup>2</sup> C データバッファレジスター	[I2CxDBR]	0x0004
I <sup>2</sup> C アドレスレジスター	[I2CxAR]	0x0008
I <sup>2</sup> C コントロールレジスター2	[I2CxCR2]	0x000C
I <sup>2</sup> C ステータスレジスター	[I2CxSR]	
I <sup>2</sup> C プリスケラークロック設定レジスター	[I2CxPRS]	0x0010
I <sup>2</sup> C 割り込みイネーブルレジスター	[I2CxIE]	0x0014
I <sup>2</sup> C 割り込みステータスレジスター	[I2CxST]	0x0018
I <sup>2</sup> C 拡張機能レジスター	[I2CxOP]	0x001C
I <sup>2</sup> C バス端子モニターレジスター	[I2CxPM]	0x0020
I <sup>2</sup> C 第2アドレスレジスター	[I2CxAR2]	0x0024

x は ch 番号です。

各 ch のレジスターは同じ構成になっています

#### I2CS (I<sup>2</sup>C ウェイクアップ)

レジスター名		アドレス(Base+)
I <sup>2</sup> C ウェイクアップ コントロールレジスター1	[I2CSWUPCR1]	0x0000
I <sup>2</sup> C ウェイクアップ コントロールレジスター2	[I2CSWUPCR2]	0x0001
I <sup>2</sup> C ウェイクアップ コントロールレジスター3	[I2CSWUPCR3]	0x0002
I <sup>2</sup> C ウェイクアップ ステータスレジスター	[I2CSWUPSL]	0x0003

注) 上記レジスターは、バイトアクセスのみ可です。

## 4.2. レジスタ詳細

4.2.1.  $[I2CxCR1]$ (I2C コントロールレジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:5	BC[2:0]	000	R/W	転送ビット数の選択 000: 8 ビット 001: 1 ビット 010: 2 ビット 011: 3 ビット 100: 4 ビット 101: 5 ビット 110: 6 ビット 111: 7 ビット
4	ACK	0	R/W	アクノリッジのためのクロック発生／認識選択 0: なし 1: あり
3	NOACK	0	R/W	スレーブアドレス一致検出およびジェネラルコール検出 0: する 1: しない  $[I2CxAR]<ALS>$ が "1" のときは、このビットは意味を持ちません。 <NOACK>= 0 の時、スレーブアドレスの一致検出およびジェネラルコールの検出を行い、スレーブアドレスの一致検出時またはジェネラルコールの検出時、マスターの出力する 9 クロック目(アクノリッジクロック)の間 SDA ラインを "LOW"に引き、アクノリッジを返します。 <NOACK>= 1 の時、スレーブアドレスの一致検出およびジェネラルコールの検出を行わず、スレーブアドレスの一致時、またはジェネラルコール時、マスターの出力するアクノリッジクロック(9 クロック目)の間 SDA ラインを解放(HIGH 状態)し、アクノリッジを返しません。
2:0	SCK[2:0]	000	R/W	シリアルクロック周波数の選択(注 1) 000: n = 0 001: n = 1 010: n = 2 011: n = 3 100: n = 4 101: n = 5 110: n = 6 111: n = 7 マスター時に出力するシリアルクロックの速度を設定します。 シリアルクロック生成の基準クロックには、 $[I2CxPRS]<PRSC[4:0]>$ に従って分周されたプリスケラークロックを使用します。プリスケラークロックは $[I2CxCR1]<SCK[2:0]>$ に従ってさらに分周し、シリアルクロックとして使用します。プリスケラークロックのデフォルト設定は 1 分周(= fsys)です。

注1) I2C 動作中は、<SCK>の設定を変更しないでください。

注) スタートコンディション発生中、ストップコンディション発生中、データ転送中にレジスタの内容を書き替えないでください。レジスタの書き替えは、スタートコンディション発生前、またはデータ転送終了割り込み要求発生から解除までの間に行ってください。

4.2.2. **[I2CxDBR]** (I<sup>2</sup>C データバッファレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:0	DB[7:0]	0x00	R	RD 時: 受信データ読み出し
			W	WR 時: 送信データ書き込み

(個別説明)

## a. &lt;DB[7:0]&gt;

シリアル転送のデータを格納します。

送信デバイスとして機能している場合、送信したいデータを DB[7:0]に「左詰めで」書き込みます。

受信デバイスとして機能している場合、シリアル転送によって受信したデータが DB[7:0]に「右詰めで」格納されます。

マスターからのアドレス送信時は、転送のターゲットとなるデバイスのアドレスを **[I2CxDBR]<DB[7:1]>**に書き込み、**[I2CxDBR]<DB[0]>**には、転送の方向ビットとして

0: マスター送信 → スレーブ受信

1: マスター受信 ← スレーブ送信

を書き込みます。また、**[I2CxDBR]** レジスターの全てのビットに 0 を書き込むと、バスにジェネラルコールを送信することができます。送信時/受信時とも、**[I2CxDBR]** に対しての書き込み動作によって、転送後の内部割り込みが解除され、次の転送が開始されます。**[I2CxDBR]** は書き込み用のバッファと読み出し用のバッファを兼用していますが、送信時は送信専用、受信時は受信専用として使用してください。また、1 回の転送ごとにレジスターをアクセスするようにしてください4.2.3. **[I2CxAR]** (I<sup>2</sup>C アドレスレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:1	SA[6:0]	0x00	R/W	第 1 スレーブアドレスの設定
0	ALS	0	R/W	アドレス認識モードの設定 0: する(アドレッシングフォーマット) 1: しない(フリーデータフォーマット)

(個別説明)

## a. &lt;SA[6:0]&gt;

スレーブデバイスとして動作する場合のデバイスのアドレス(7bit)を設定します。

後述の**[I2CxAR]<ALS>**によってスレーブアドレスを認識するよう設定されていた場合、マスターがスタートコンディション直後に送信する 7bit のアドレス(+1bit の方向ビット)によって、データ転送時の動作を決定します。

## b. &lt;ALS&gt;

アドレス認識モードを設定します。

0: アドレス認識モードを許可(アドレッシングフォーマット)

1: アドレス認識モードを禁止(フリーデータフォーマット)

## 4.2.4. [I2CxCR2] (I2C コントロールレジスタ 2)

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7	MST	0	W	マスター/スレーブ選択 0: スレーブ 1: マスター 注) "3.3.3 マスター/スレーブの選択"を参照してください。
6	TRX	0	W	送信/受信選択 0: レシーバー 1: トランスミッター 注) "3.3.3.1 トランスミッター/レシーバーの選択"を参照してください。
5	BB	0	W	スタート/ストップコンディションの発生 0: ストップコンディション発生 1: スタートコンディション発生 注) "3.3.5 スタート/ ストップコンディションの発生"を参照してください。
4	PIN	1	W	処理要求解除 0: 無効 1: 処理要求解除 注) "3.3.15 割り込みサービス要求と解除"を参照してください。
3	I2CM	0	W	I2C 動作制御 0: ディセーブル 1: イネーブル 通信中はディセーブル設定をすることはできません。ステータスレジスタをリードし、転送が停止していることを確認してからディセーブル設定をしてください。
2	-	0	R	リードすると"0"が読めます。
1:0	SWRES[1:0]	00	W	ソフトウェアリセット発生 10→01 の連続ライトで発生 この 2 ビットを 10→01 の順にライトすると、ソフトウェアリセットが発生します。(リセット幅 = fsys 1 クロック分)ソフトウェアリセットが発生すると転送中であっても強制的に SCL, SDA ラインを解放(HIGH 状態)し、転送動作を中断します。また、[I2CxCR2]<I2CM>以外の全ての設定が初期化されます。([I2CxDBR] は初期化されません。)ソフトウェアリセット書き込みの際は、必ず [I2CxCR2][7:4]に"0" をライトしてください。

- 注) [I2CxCR2]<MST>, <TRX>, <BB>, <PIN> これらのビットは[I2CxSR]の状態に応じて次のような組み合わせで使用されます。設定値を書き換える際は注意してください。
- 注) [I2CxCR2]<SWRES[1:0]>を除き、スタートコンディション発生中、ストップコンディション発生中、データ転送中にレジスタの内容を書き替えないでください。レジスタの書き替えは、スタートコンディション発生前、またはデータ転送終了の割り込み要求発生から解除までの間に行ってください

[I2CxSR]			[I2CxCR2]				動作
[7]MST	[5]BB	[4]PIN	[7]MST	[6]TRX	[5]BB	[4]PIN	
0	0	1	0	0	0	0	スレーブとしてスタートコンディション待ち
			1	1	1	1	スタートコンディション発生
1	1	0	1	1	0	1	ストップコンディション発生

## 4.2.5. [I2CxSR] (I2C ステータスレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7	MST	0	R	マスター/スレーブ選択状態モニター 0: スレーブ 1: マスター
6	TRX	0	R	送信/受信選択状態モニター 0: レシーバー 1: トランスミッター
5	BB	0	R	バス状態モニター 0: バスフリー 1: バスビジー
4	PIN	1	R	処理要求状態および SCL ライン状態モニター 0: 処理要求中、SCL ライン"LOW"状態 1: 処理要求無し、SCL ラインフリー
3	AL	0	R	アービトレーションロスト検出モニター 0: 無効 1: 検出
2	AAS	0	R	スレーブアドレス一致検出モニター 0: 無効 1: 検出
1	AD0	0	R	ジェネラルコール検出モニター 0: 無効 1: 検出
0	LRB	0	R	最終受信ビットモニター 0: 最終受信ビット 0 1: 最終受信ビット 1

## 4.2.6. [I2CxPRS] (I2C プリスケラークロック設定レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:5	-	0	R	リードすると"0"が読めます。
4:0	PRSCK[4:0]	00001	R/W	シリアルクロック生成用プリスケラークロック周波数の選択 00000: p=32 分周 00001: p = 1 分周 00010: p = 2 分周 ⋮ 11111: p=31 分周 注 1) [I2CxCR1] (I2C コントロールレジスター1) を参照してください。

## 4.2.7. [I2CxIE] (I2C 割り込みイネーブルレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:7	-	0	R	リードすると"0"が読めます。
6	SELPINCD	0	R/W	拡張 PIN 解放条件設定 0: DBR 読み出しで PIN セット不可(PIN=0) (DMA を使用しない場合はこちらを設定してください) 1: DBR 読み出しで PIN セット可(PIN=1) (DMA を使用する場合はこちらを設定してください)
5	DMARI2CTX	0	R/W	DMAC 送信リクエスト出力の許可/禁止 0: 出力禁止 1: 出力許可
4	DMARI2CRX	0	R/W	DMAC 受信リクエスト出力の許可/禁止 0: 出力禁止 1: 出力許可
3	INTNACK	0	R/W	I2C NACK 検出割り込み出力の許可/禁止 (注 1) 0: 出力禁止 1: 出力許可
2	INTI2CBF	0	R/W	I2C バスフリー検出割り込み出力の許可/禁止 (注 1) 0: 出力禁止 1: 出力許可
1	INTI2CAL	0	R/W	I2C アービトレーションロスト割り込み出力の許可/禁止 (注 1) 0: 出力禁止 1: 出力許可
0	INTI2C	0	R/W	INTI2C 割り込み出力の許可/禁止 (注 1) 0: 出力禁止 1: 出力許可

注1) I2C 機能からの割り込み出力を許可するか禁止するかの設定です。この他に CPU 側の割り込み設定も必要です。

## 4.2.8. [I2CxST] (I<sup>2</sup>C 割り込みステータスレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:4	-	0	R	リードすると"0"が読めます。
3	NACK	0	R	NACK 検出割り込みステータス (注 1) 0: 割り込みなし 1: 割り込み発生
			W	NACK 検出 割り込みステータスをクリア 0: 無効 1: クリア
2	I2CBF	0	R	INTI2CBF 割り込みステータス (注 1) 0: 割り込みなし 1: 割り込み発生
			W	INTI2CBF 割り込みステータスをクリア 0: 無効 1: クリア
1	I2CAL	0	R	INTI2CAL 割り込みステータス (注 1) 0: 割り込みなし 1: 割り込み発生
			W	IINTI2CAL 割り込みステータスをクリア 0: 無効 1: クリア
0	I2C	0	R	INTI2C 割り込みステータス (注 1) 0: 割り込みなし 1: 割り込み発生
			W	INTI2C 割り込みステータスをクリア 0: 無効 1: クリア

注 1) [I2CxIE]による出力許可/禁止には関わらない、I<sup>2</sup>C 割り込みのステータスです。

## 4.2.9. [I2CxOP] (拡張機能設定レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7	DISAL	0	R/W	アービトレーションロスト検出機能の制御 0: アービトレーションロストを検出する 1: アービトレーションロストを検出しない
6	SA2ST	0	R	受信したスレーブアドレス判別 0: <SA2>と不一致 1: <SA2>と一致
5	SAST	0	R	受信したスレーブアドレス判別 0: <SA>と不一致 1: <SA>と一致
4	NFSEL	0	R/W	ノイズフィルターの選択 0: デジタル 1: 設定不可、"0"を書いてください
3	RSTA	0	R	反復スタート検出フラグ 0: 未検出 1: 検出
			W	0: クリア (注 1) 1: 無効
2	GCDI	0	R/W	ジェネラルコール検出制御 (<NOACK>=0 の時有効) 0: 検出 ON 1: 検出 OFF
1	SREN	0	R	反復スタート出力制御 (マスターモード時のみ有効) 0: 反復スタート発生済み 1: 反復スタート発生中
			W	0: 無効 1: 反復スタート要求
0	MFAACK	0	R/W	ACK 出力をマスク選択 0: ACK 出力 1: NACK 出力 (注)フリーデータフォーマットでは、使用できません

注 1) <RSTA>はリセット以外では、初期化されません。



## 4.2.10. [I2CxPM] (バス端子モニターレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:2	-	0	R	リードすると"0"が読めます。
1	SDA	0	R	SDA 端子のレベルモニター 0: LOW レベル 1: HIGH レベル
0	SCL	0	R	SCL 端子のレベルモニター 0: LOW レベル 1: HIGH レベル

## 4.2.11. [I2CxAR2] (I2C 第 2 アドレスレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:1	SA2[6:0]	0x00	R/W	第 2 スレーブアドレスの設定
0	SA2EN	0	R/W	第 2 スレーブアドレスの使用設定 0: 未使用 1: 使用

注) [I2CxCR1]<NOACK>=0 を設定して使用してください。

## 4.2.12. [I2CSWUPCR1](I2C ウェイクアップコントロールレジスター1)

Bit	Bit Symbol	リセット後	Type	機能
7	BUSY	0	R	0: ストップコンディション検出 1: スタートコンディション検出
6	SGCDI	0	R/W	0: ジェネラルコール検出 On 1: ジェネラルコール検出 Off
5	ACK	0	R/W	0: ACK 出力有り ("0"出力) 1: ACK 出力無し ("1"出力) (NACK 設定)
4	I2RES	1	R	I2C バスリセット 0: リセット解除 1: リセット中
			W	0: リセット解除 1: リセット
3	RW	0	R	マスターからの送受信要求モニター 0: スレーブ受信 1: スレーブ送信
2	-	0	R	リードすると"0"が読めます
1	GC	0	R	ジェネラルコール検出ステータス 0: 非検出 1: 検出
0	INTEND	0	R/W	割り込み解除 0: - 1: 割り込み解除

注 1) <I2RES>=1 とすれば I2C バスはリセットされますが、自動では"0"には戻りません。リセットを解除するには<I2RES>=0 としてリセットを解除してください。

注 2) <I2RES>によりリセットを行った場合、I2C ウェイクアップ(Sub 側)の全 Read レジスターが初期化されます。Write データは初期化されません。

注 3) <I2RES>によるリセット動作解除後、設定値に従って回路動作を行います。従って、<I2RES>=1 時に、スレーブアドレスの設定や ACK の有無などの設定を行ってください。

注 4) アドレス不一致時、マスターからの送受信要求によらず<RW>は"0"となります。

## 4.2.13. [I2CSWUPCR2](I2C ウェイクアップコントロールレジスタ-2)

Bit	Bit Symbol	リセット後	Type	機能
7:1	WUPSA1	0x00	R/W	第 1 スレーブアドレス設定
0	-	0	R	リードすると"0"が読めます

## 4.2.14. [I2CSWUPCR3](I2C ウェイクアップコントロールレジスタ-3)

Bit	Bit Symbol	リセット後	Type	機能
7:1	WUPSA2	0x00	R/W	第 2 スレーブアドレス設定
0	WUPSA2EN	0	R/W	第 2 スレーブアドレスの使用設定 0: 未使用 1: 使用

## 4.2.15. [I2CSWUPSL](I2C ステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
7:3	-	0	R	リードすると"0"が読めます。
2	WUPSA2	0	R	第 2 アドレスの受信ステータス 0: 第 2 スレーブアドレスと不一致 1: 第 2 スレーブアドレスと一致
1	WUPSA	0	R	第 1 アドレスの受信ステータス 0: 第 1 スレーブアドレスと不一致 1: 第 1 スレーブアドレスと一致
0	-	0	R	リードすると"0"が読めます。

## 5. 使用方法の例

### 5.1. データ転送手順

#### 5.1.1. デバイスの初期化

SDA と SCL 端子の状態が HIGH(バスフリー) になっていることを確認し、 $[I2CxCR2]\langle I2CM \rangle$  に "1" を設定し、 $I^2C$  をイネーブルに設定します。次に、 $[I2CxCR1]\langle ACK \rangle$  に "1" を、 $[I2CxCR1]\langle NOACK \rangle$  に "0" を、 $[I2CxCR1]\langle BC[2:0] \rangle$  に "000" をそれぞれ書き込み、アクリッジのためのクロック数を"カウントする"、スレーブアドレス一致検出およびジェネラルコール検出を"許可"に、データ長を"8 ビット"にそれぞれ設定します。

また、 $[I2CxCR1]\langle SCK \rangle$  で  $t_{HIGH}$ 、 $t_{LOW}$  を設定します。次に  $[I2CxAR]\langle SA \rangle$  にスレーブアドレスを設定し、 $[I2CxAR]\langle ALS \rangle$  を "0" に設定してアドレッシングフォーマットを設定します。最後に、 $[I2CxCR2]\langle MST \rangle$ 、 $[I2CxCR2]\langle TRX \rangle$ 、 $[I2CxCR2]\langle BB \rangle$  に "0" を、 $[I2CxCR2]\langle PIN \rangle$  に "1" を、 $[I2CxCR2]\langle SWRES[1:0] \rangle$  に "00" を設定し、初期状態をスレーブシーバーモードにします。

なお、DMA を使用しない場合は、 $[I2CxIE]\langle SELPINCD \rangle = 0$  としてください。

#### 5.1.2. スタートコンディション、スレーブアドレスの発生

バスフリー ( $[I2CxSR]\langle BB \rangle = 0$ ) 状態を確認します。

$[I2CxCR1]\langle ACK \rangle$  を "1" にセットし、 $[I2CxDBR]$  に送信するスレーブアドレスと方向ビットのデータを書き込みます。 $[I2CxCR2]\langle MST \rangle$ 、 $[I2CxCR2]\langle TRX \rangle$ 、 $[I2CxCR2]\langle BB \rangle$ 、 $[I2CxCR2]\langle PIN \rangle$  に "1" を書き込むと、バス上にスタートコンディションと、スレーブアドレスおよび方向ビットが出力されます。なお、スタートコンディション出力後、SCL 端子が立ち下がるまで、 $t_{HIGH}$  の時間がかかります。

この後、SCL の 9 クロック目の立ち下がり、 $INTI2Cx$  割り込み要求が発生し、 $[I2CxSR]\langle PIN \rangle$  が "0" にクリアされます。 $[I2CxSR]\langle PIN \rangle$  が "0" の間、SCL を "LOW" レベルに引きます。スレーブデバイスからアクリッジ信号が返ってきたときのみハードウェアにより、 $INTI2Cx$  割り込み要求発生タイミングで  $[I2CxSR]\langle TRX \rangle$  が方向ビットに合わせて変化します。アクリッジ信号が返ってこない場合、 $[I2CxSR]\langle TRX \rangle$  は変化しません。

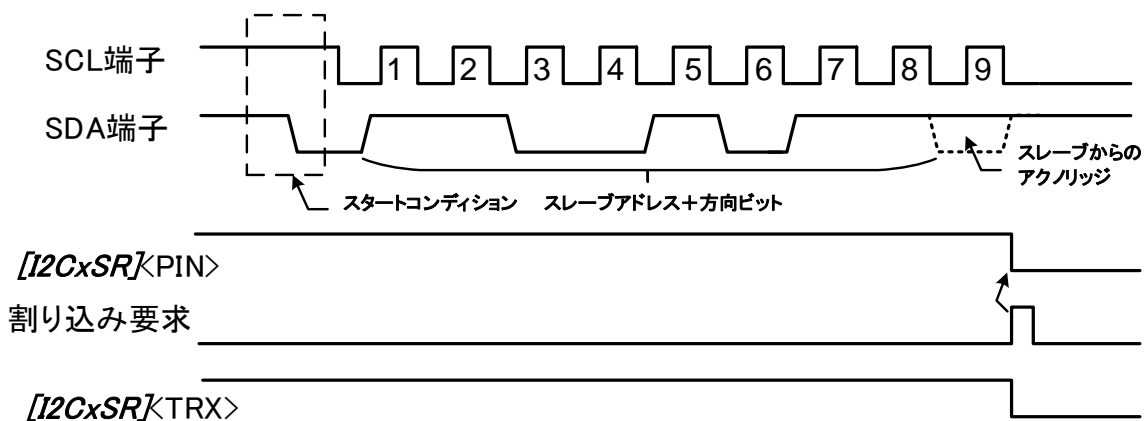


図 5.1 スタートコンディションとスレーブアドレスの発生

## 5.1.3. 1ワードのデータ転送

1ワード転送終了の割り込みの処理の中で、 $[I2CxSR]<MST>$ の状態を確認し、マスターモード/スレーブモードの判断をします。

### 5.1.3.1. $[I2CxSR]<MST> = 1$ (マスターモード)

$[I2CxSR]<TRX>$ の状態を確認し、トランスミッター/ レシーバーの判断をします。

#### a. $[I2CxSR]<TRX>$ が"1" のとき (トランスミッターモード)

$[I2CxSR]<LRB>$  フラグでレシーバーからのアクリッジ状態を確認します。

$[I2CxSR]<LRB>$ が "0" のとき、レシーバーが次のデータを要求しているので、送信データを  $[I2CxDBR]$  に書き込みます。ただし、転送ビット数を変更したい場合には、 $[I2CxCR1]<BC[2:0]>$  を再設定し、 $[I2CxCR1]<ACK>$ を "1" にセットした後、送信データを  $[I2CxDBR]$  に書き込んでください。データを書き込むと  $[I2CxSR]<PIN>$ が "1" になり、SCL からシリアルクロックが発生し、SDA からデータが送信されます。

なお、レシーバーが次のデータを要求していても、ストップコンディションの発行は可能です。

送信終了後、INTI2Cx 割り込み要求が発生し、 $[I2CxSR]<PIN>$ が"0" になり、SCL を"LOW"レベルに引きます。複数ワードの転送が必要な場合は、上記  $[I2CxSR]<LRB>$  フラグの状態確認から繰り返します。

$[I2CxSR]<LRB>$ が "1" のとき、レシーバーはデータを要求していないので、ストップコンディションが発生する処理 (後述参照) を行ってデータ転送を終了します。

なお、レシーバーがデータを要求していなくとも、データの送信は可能です。

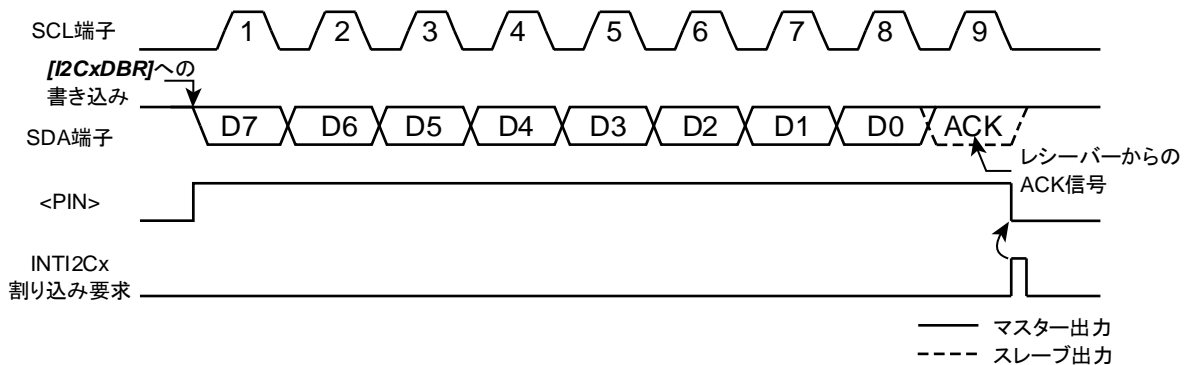


図 5.2  $[I2CxCR1]<BC[2:0]> = 000$ ,  $[I2CxCR1]<ACK> = 1$  の場合

b.  $[I2CxSR]<TRX>=0$  (レシーバーモード)

$[I2CxDBR]$  にダミーデータ(0x00)を書き込むか、 $[I2CxCR2]<PIN>$ を"1" にセットすると、1 ワードの転送クロックとアクノリッジを出力します。受信完了を示す INTI2Cx 割り込み要求が発生した後、 $[I2CxDBR]$  から受信データを読み出します。ただし、受信データビット数を変更したい場合には、 $[I2CxCR1]<BC[2:0]>$ を再設定し、 $[I2CxCR1]<ACK>$ に"1" をセットした後、ダミーデータ(0x00)を書き込むか、 $[I2CxCR2]<PIN>$ を"1" にセットしてください。(スレーブアドレス送信直後のリードデータは不定です)。

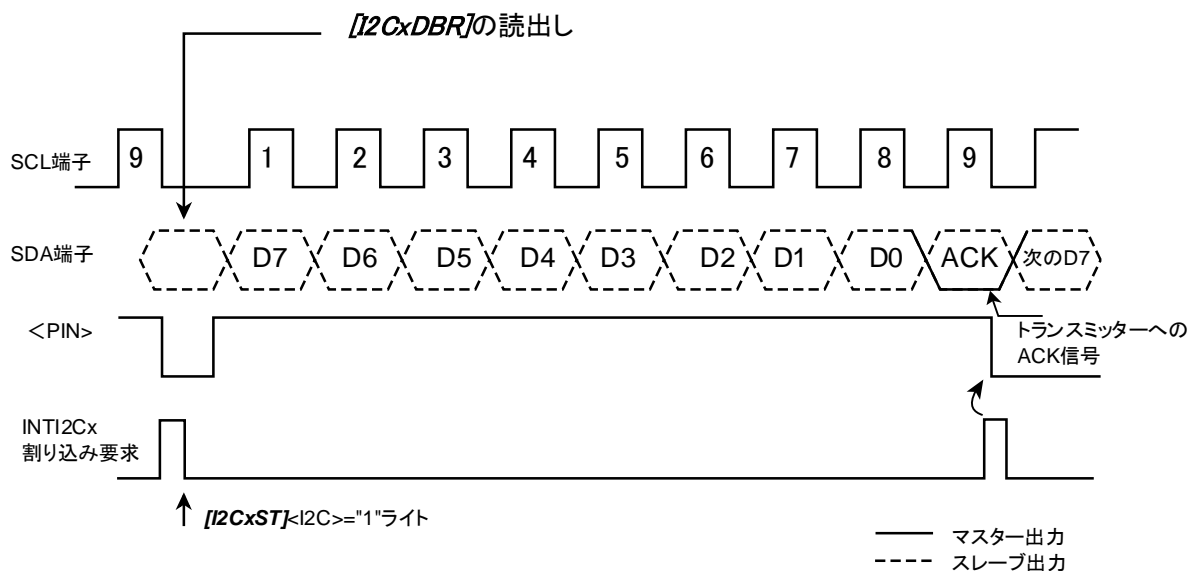


図 5.3  $[I2CxCR1]<BC[2:0]> = 000, [I2CxCR1]<ACK> = 1$  の場合

c.  $[I2CxSR]<TRX>=0$  (最終ワードを受信する場合)

アクノリッジを出さない擬似通信を行って最終ワードの判断をします。  
以下にそのフローを説明します。

トランスミッターに対してデータの送信を終了させるときには、最後のデータを受信する前に下記の処理を行います。

1. 受信データを  $[I2CxDBR]$  から読み出す。
2.  $[I2CxOP]<MFACK>$  を "1" にセットし、NACK 送信 に設定します。
3.  $[I2CxCR2]<PIN>$  を "1" にセットするために、 $[I2CxDBR]$  にダミーデータ ("0x00") を書き込みます。

$[I2CxCR2]<PIN>$  が "1" に設定されると、NACK 送信での 1 ワードの転送が実施されます。1 ワードの転送の後、下記の処理を行います。

1. 受信データを  $[I2CxDBR]$  から読み出す。
2. ストップコンディションを発生させ、データ転送を終了。

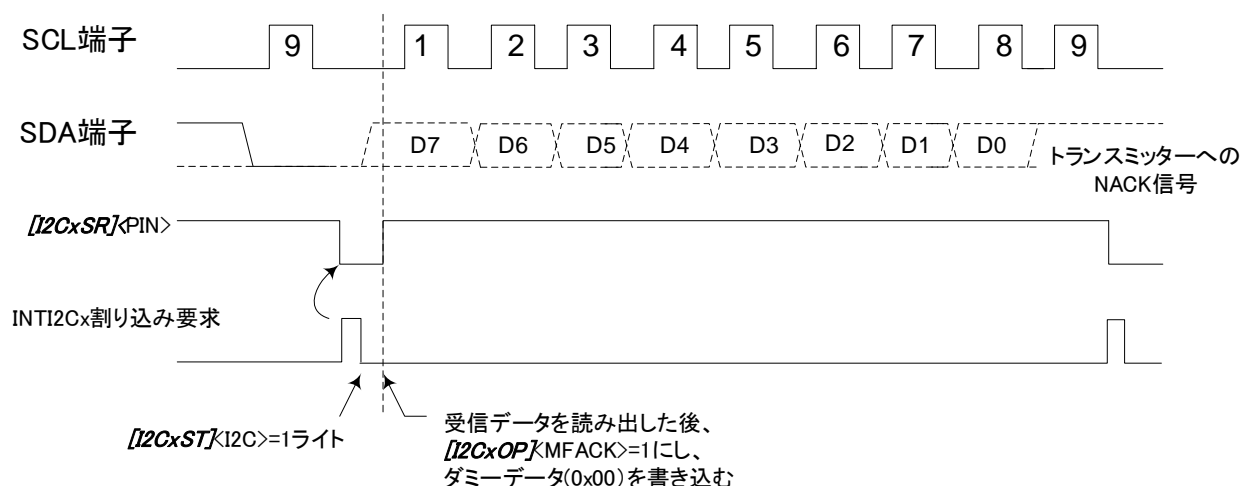


図 5.4 マスターレシーバーモード時、データの送信を終了させるときの処理

## 5.1.3.2. [I2CxSR]&lt;MST&gt;が"0"のとき(スレーブモード)

スレーブモードのときは、通常のスレーブモードとしての処理または I<sup>2</sup>C がアービトレーションを失いスレーブモードになったときの処理を行います。スレーブモードの場合、以下のときに INTI2Cx 割り込み要求が発生します。

- [I2CxCRI]<NOACK>が "0" のとき、受信したスレーブアドレスが、[I2CxAR]<SA>に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- [I2CxCRI]<NOACK>が "0" のとき、ジェネラルコールを受信したときのアクノリッジ信号出力後
- スレーブアドレス一致、またはジェネラルコール受信後におけるデータ転送終了時、I<sup>2</sup>C がマスターモードのとき、アービトレーションを失うとスレーブモードとして動作し、アービトレーションを失ったワード転送の終了時に INTI2Cx 割り込み要求が発生します。

アービトレーションを失った後の INTI2Cx 割り込み要求発生と [I2CxSR]<PIN>の動作を表 5.1 に示します。

表 5.1 アービトレーションロスト時のINTI2Cx割り込み要求と[I2CxSR]&lt;PIN&gt;の動作

	マスターモード時、スレーブアドレス送信中にアービトレーションを失った場合	マスタートランスミッターモード時、データ送信中にアービトレーションを失った場合
INTI2Cx 割り込み要求	ワード転送終了時に INTI2Cx 割り込み要求発生	
[I2CxSR]<PIN>	[I2CxSR]<PIN>は"0" にクリアされます。	

INTI2Cx 割り込み要求が発生すると、[I2CxSR]<PIN>が "0" にリセットされ、SCL を "LOW" レベルに引きます。[I2CxDBR] にデータを書き込むか、[I2CxCR2]<PIN>を "1" にセットすると SCL が  $t_{Low}$  後に解放されます。[I2CxSR]<AL>、[I2CxSR]<TRX>、[I2CxSR]<AAS>、[I2CxSR]<AD0>をテストし、場合分けを行います。表 5.2 にスレーブモード時の状態と必要な処理を示します。

表 5.2 スレーブモード時の処理

I2CxSR <TRX>	I2CxSR <AL>	I2CxSR <AAS>	I2CxSR <AD0>	状態	処理
1	1	1	0	I <sup>2</sup> C インターフェース回路が、スレーブアドレス送信中にアービトレーションを失い、ほかのマスターが送った方向ビットが"1" の I <sup>2</sup> C インターフェース回路のスレーブアドレスを受信	1 ワードのビット数を <b>[I2CxCR1]&lt;BC[2:0]&gt;</b> にセットし、送信するデータを <b>[I2CxDBR]</b> に書き込みます。
				スレーブレシーバーモード時、マスターが送った方向ビットが"1" の I <sup>2</sup> C インターフェース回路のスレーブアドレスを受信	
	0	0	0	スレーブトランスミッターモード時、1 ワードのデータの送信が終了	<b>[I2CxSR]&lt;LRB&gt;</b> をテストし、"1" にセットされていた場合、レシーバーが次のデータを要求していないので <b>[I2CxCR2]&lt;PIN&gt;</b> に"1" をセット、 <b>[I2CxCR2]&lt;TRX&gt;</b> を"0" にリセットしバスを解放します。 <b>[I2CxSR]&lt;LRB&gt;</b> が"0" にリセットされていた場合、レシーバーが次のデータを要求しているので 1 ワードのビット数を <b>[I2CxCR1]&lt;BC[2:0]&gt;</b> にセットし、送信するデータを <b>[I2CxDBR]</b> に書き込みます。
0	1	1	1/0	I <sup>2</sup> C インターフェース回路が、スレーブアドレス送信中にアービトレーションを失い、ほかのマスターが送った方向ビットが"0" の I <sup>2</sup> C インターフェース回路のスレーブアドレス、またはジェネラルコールを受信	<b>[I2CxSR]&lt;PIN&gt;</b> を"1" にセットするために <b>[I2CxDBR]</b> にダミーデータ(0x00)を書き込みます。または <b>[I2CxCR2]&lt;PIN&gt;</b> に"1" を書き込みます。
				I <sup>2</sup> C インターフェース回路はスレーブモードとなっています。 <b>[I2CxSR]&lt;AL&gt;</b> を"0" にクリア、 <b>[I2CxSR]&lt;PIN&gt;</b> を"1" にセットするために <b>[I2CxDBR]</b> にダミーデータ(0x00)を書き込みます。	
	0	1	1/0	スレーブレシーバーモード時、マスターの送った方向ビットが"0" の I <sup>2</sup> C インターフェース回路のスレーブアドレス、またはジェネラルコールを受信	<b>[I2CxSR]&lt;PIN&gt;</b> を"1" にセットするために <b>[I2CxDBR]</b> にダミーデータ(0x00)を書き込みます。または <b>[I2CxCR2]&lt;PIN&gt;</b> に"1" を書き込みます。
				0	1/0

注) スレーブモードで **[I2CxAR]<SA>** が "0x00" に設定されている場合、I<sup>2</sup>C バス規格の START バイト (0x01) を受信したときにスレーブアドレスが一致したと判断し、**[I2CxSR]<TRX>** が "1" にセットされます。**[I2CxAR]<SA>** に 0x00 を設定しないでください。



## 5.1.4. ストップコンディションの発生

$[I2CxSR]<BB>$ が"1" のときに、 $[I2CxCR2]<MST>$ 、 $[I2CxCR2]<TRX>$ 、 $[I2CxCR2]<PIN>$ に"1"、 $[I2CxCR2]<BB>$ に"0" を書き込むと、バス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまでは、 $[I2CxCR2]<MST>$ 、 $[I2CxCR2]<TRX>$ 、 $[I2CxCR2]<BB>$ 、 $[I2CxCR2]<PIN>$ の内容を書き替えないでください。また、ストップコンディション発生時に、SCL ラインがほかのデバイスにより"LOW" レベルに引かれていた場合、SCL ラインが解放された後、ストップコンディションが発生します。SCL ラインが解放されてからストップコンディションが発生するまでのセットアップ時間については、"3.3.2 シリアルクロック"の(1)を参照ください。

$[I2CxSR]<BB>$ のバス状態モニターによりストップコンディションが発生したかどうかの確認が可能です。

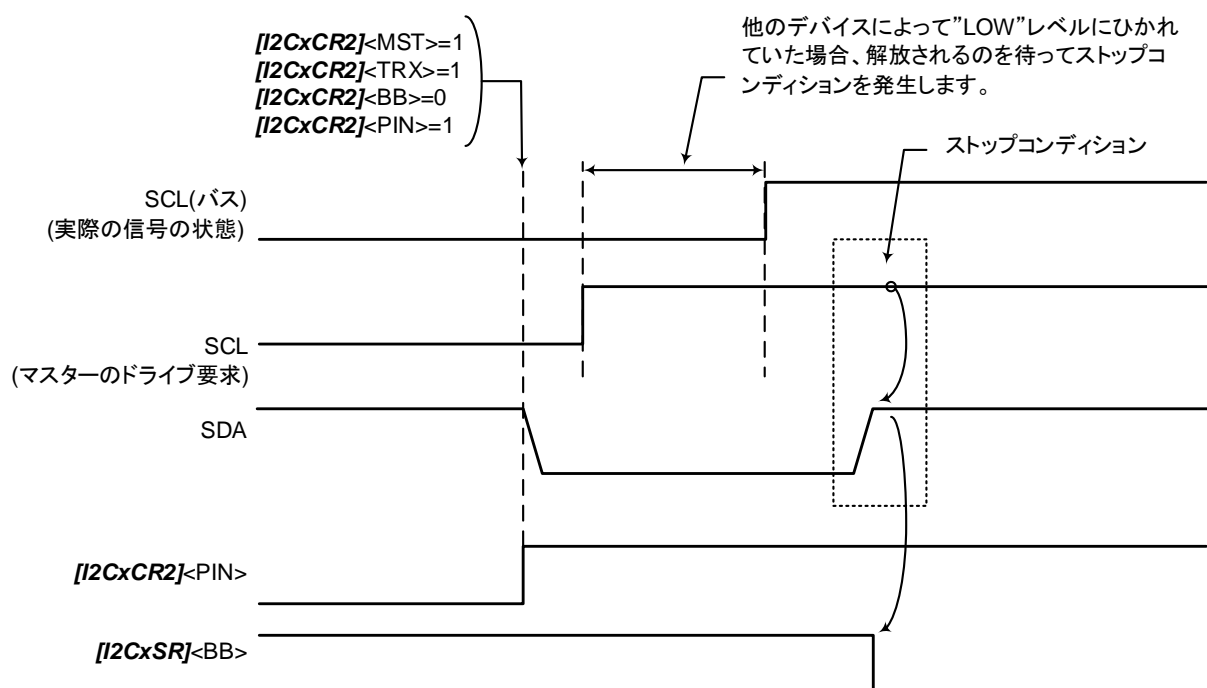


図 5.5 ストップコンディションの発生

## 5.1.5. 反復スタートの手順

反復スタートは、マスターデバイスがスレーブデバイスに対してデータ転送を終了させずに、転送の方向を変化させるときなどに使用します。反復スタートは、INTI2Cx 割り込み発生後の ACK/NACK 出力処理後の動作となります。

[I2CxOP]<SREN>の操作は、割り込み発生からクロックストレッチ解除の間に行います。

反復スタートを発生させる場合の手順を以下に示します。

(1) [I2CxOP]<SREN>=1 の場合

- [I2CxSR]<BB>=1 の時、[I2CxOP]<SREN>=1 をセットし(a)、
- データバッファにスレーブアドレスと方向ビットを書き込みます。(b)
- この後、[I2CxCR2]<MST>, <TRX>, <PIN>, <BB>に”1”を書き込むと(c)、
- バス上に反復スタートコンディションが出力されます。(d)

注) [I2CxOP]<SREN>=1 の時は、[I2CxCR2]<PIN>=0 を設定しないでください。

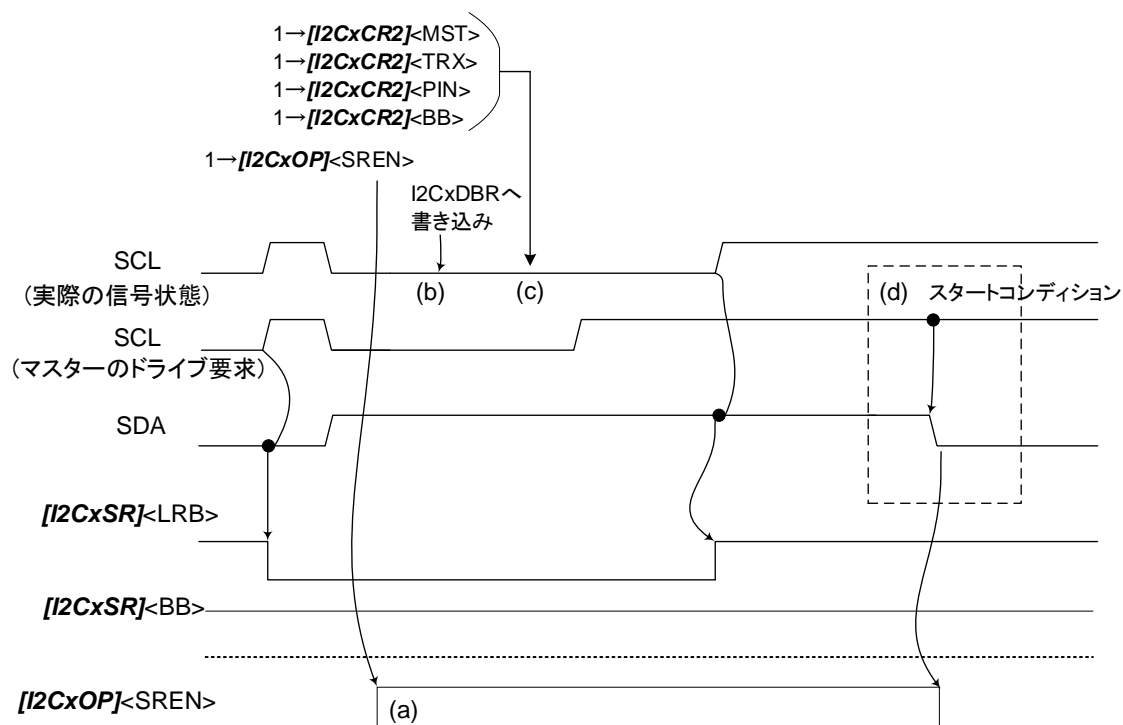


図 5.6 反復スタート (<SREN>=1)

(2)  $[I2CxOP]<SREN>=0$  の場合

- $[I2CxCR2]<MST, TRX, BB>$  に"0"、 $[I2CxCR2]<PIN>$  に"1" を書き込み、バスを開放します。(a)
- このとき SDA 端子は"High" レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。  
このあと、 $[I2CxSR]<BB>$  をテストして"0" になるまで待ち、SCLx 端子が開放されたことを確認します。(b)  
なお、バスフリー検出割り込み("3.3.15. 割り込みサービス要求と解除(2)バスフリー検出割り込み"を参照)を利用しての確認も可能です。(b')
- 次に $<LRB>$  をテストして"1" になるまで待ち、他のデバイスがバスの SCL ラインを"Low"レベルに引いていないことを確認します。(c)
- 次に、反復スタート時のセットアップ時間( $t_{su;STA}$ ) を満たすために、バスフリーの確認からスタートの発生までソフトウェアによる待ち時間を確保します。(d)  
(標準モード :  $4.7 \mu s(\text{Min})$ 、ファストモード :  $0.6 \mu s(\text{Min})$ 、ファストモードプラス :  $0.26 \mu s(\text{Min})$ )
- 以上の手順によってバスがフリー状態になっていることを確認した後に、前記「5.1.2. スタートコンディション、スレーブアドレスの発生」の手順で、スタートコンディションの発生を行います。(e)

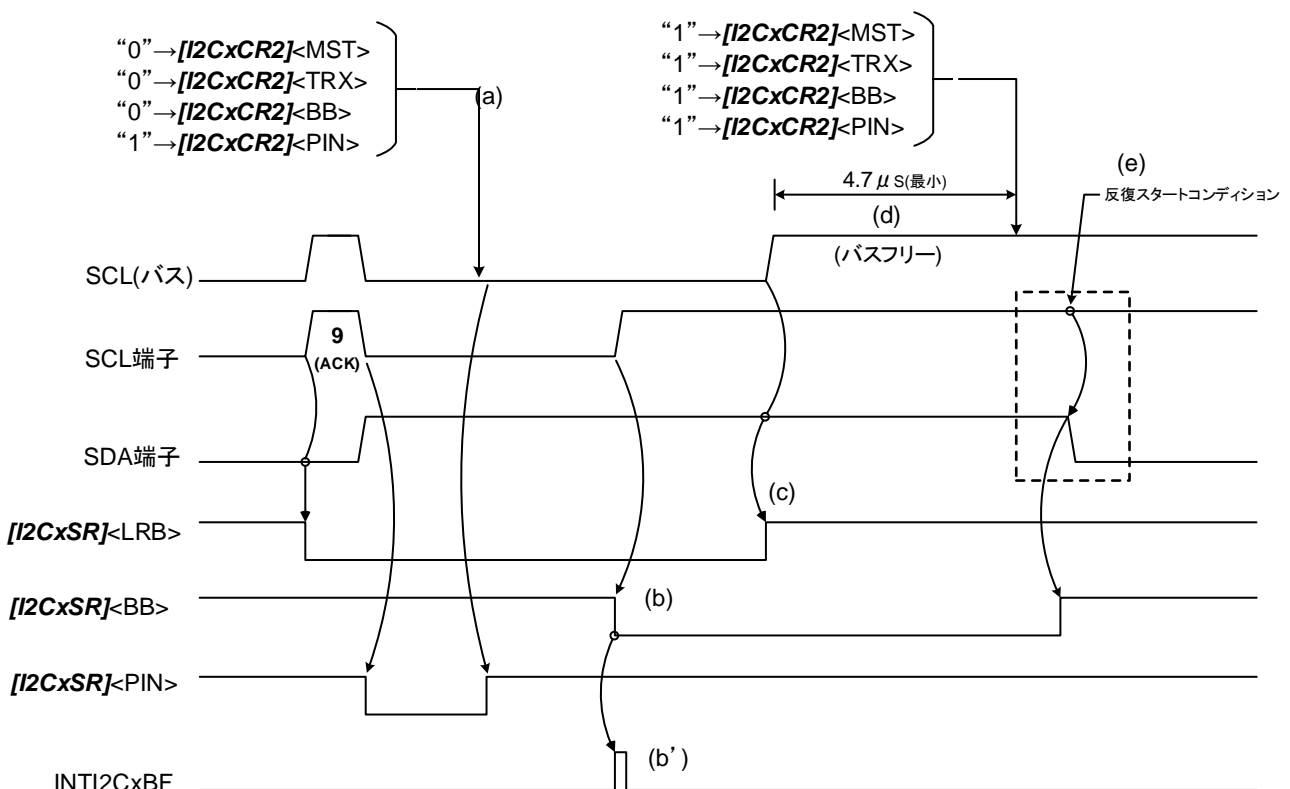


図 5.7 反復スタート ( $<SREN>=0$ )(標準モード時)

### 5.1.6. DMA によるデータ転送

アドレッシングフォーマットでは DMA によるデータ転送を行う事ができます。ただし、バス上にマスターとスレーブが 1 つずつ接続され、あらかじめ転送するデータ数が決まっているときのみ可能です。

アドレッシングフォーマットでは INTI2Cx 割り込みが発生すると DMA リクエストもほぼ同時(1クロック後)に発生しますので、**[I2CxDBR]**(データバッファ)とメモリー間で DMA 転送を行う事で連続転送ができます。

DMA リクエストは送信、受信それぞれ別々に発生しますので、DMA を使用する場合には、DMA コントローラーの制御レジスターでおのこの許可/禁止を設定してください。

DMA によりデータ転送を行う場合、何ワードのデータをやり取りするかをあらかじめ送受信の双方で決めておく必要があります。

I<sup>2</sup>C 転送の途中にアービトレーションロストが発生した場合、INTI2CxAL 割り込みと INTI2Cx 割り込みが発生しますが、DMA リクエストは発生しません。

なおレシーバーモード時に**[I2CxIE]**<SELPINCD>=1 を設定してください。

### 5.1.7. マスターモードでの転送手順

1. スタートコンディションの発生とスレーブアドレスの出力を行います。
2. スレーブアドレス出力後の INTI2Cx 割り込みで、**[I2CxSR]<LRB>**、<TRX>を確認します。
3. **[I2CxSR]<LRB>**が"1"の場合、出力したスレーブアドレスにアクノリッジを返すスレーブがないため、ストップコンディションを出力して、転送を終了します。
4. **[I2CxSR]<LRB>**が"0"の場合、出力したスレーブアドレスにアクノリッジが返ってきているので、<TRX>を確認します。<TRX>の値によって処理が変わります。

#### (1)<TRX>が"1"の場合(トランスミッターモード)

- a. DMA の設定を行います。(転送ビット幅、バーストサイズ、総転送回数など)総転送回数は実際に送信したいデータ数-1 とします。また、**[I2CxIE]<DMARI2CTX>**による DMA リクエスト受け付けを許可します。
- b. 1 ワード目のデータを**[I2CxDBR]** に書き込みます。これにより、1 ワード目の送信が開始します。
- c. 転送終了の INTI2Cx 割り込みのタイミングで DMA リクエストで DMA 転送が開始され、2 ワード目以降のデータ送信が行われます。
- d. 設定回数(n-1 回)の DMA 転送が終了すると DMA 転送終了割り込みが発生します。この割り込み処理で、DMA リクエスト受け付けを禁止します。**([I2CxIE]<DMARI2CTX>=0 にしてください)**
- e. 転送終了の INTI2Cx 割り込みでストップコンディションを発生させ、転送を終了します。

#### (2)<TRX>が"0"の場合(レシーバーモード)

- a. DMA の設定を行います。(転送ビット幅、バーストサイズ、総転送回数など)総転送回数は実際に受信したいデータ数-2 とします。また、**[I2CxIE]<DMARI2CRX>**による DMA リクエスト受け付けを許可します。
- b. **[I2CxDBR]** をダミー読み出しします。これにより、1 ワード目の受信が開始します。
- c. 転送終了の INTI2Cx 割り込みのタイミングで DMA リクエストが発生し、DMA 転送が開始され、2 ワード目以降のデータ受信が行われます。
- d. 設定回数(n-2 回)の DMA 転送が終了すると DMA 転送終了割り込みが発生します。この割り込み処理で、DMA リクエスト受け付けを禁止します。**([I2CxIE]<DMARI2CRX>=0 にしてください)**
- e. (n-1 回)転送終了の INTI2Cx 割り込みで<MFAACK>を"1"に設定して、ノットアクノリッジ信号を発生するようにします。その後、**[I2CxDBR]** から受信データを読み出します。
- f. 転送終了の INTI2Cx 割り込みで、ストップコンディションを発生させ、転送を終了します。

### 5.1.8. スレーブモードでの転送手順

1. スタートコンディションとスレーブアドレスの受信を行います。
2. スレーブアドレス受信後の INTI2Cx 割り込みで、<TRX>を確認します。
3. <TRX>の値によって処理が変わります。

#### (1)<TRX>が"1"の場合 (トランスミッターモード)

- a. DMA の設定を行います。(転送ビット幅、バーストサイズ、総転送回数など) 総転送回数は実際に送信したいデータ数-1 とします。また、**[I2CxIE]<DMARI2CTX>**による DMA リクエスト受け付けを許可します。
- b. 1 ワード目のデータを**[I2CxDBR]** に書き込みます。これにより、マスターからクロックを受けとれるようになり、1 ワード目の送信が行われます。
- c. 転送終了の INTI2Cx 割り込みのタイミングによる DMA リクエストで DMA 転送が開始され、2 ワード目以降のデータ送信が行われます。
- d. 設定回数(n-1 回)の DMA 転送が終了すると DMA 転送終了割り込みが発生します。この割り込み処理で、DMA リクエスト受け付けを禁止します。**([I2CxIE]<DMARI2CTX>=0 にしてください)**
- e. 転送終了の INTI2Cx 割り込みでは、送信データを**[I2CxDBR]** に書き込まず、マスターからのストップコンディションを待ちます。

#### (2)<TRX>が"0"の場合(レシーバーモード)

- a. DMA の設定を行います。(転送ビット幅、バーストサイズ、総転送回数など) 総転送回数は実際に送信したいデータ数-2 とします。また、**[I2CxIE]<DMARI2CRX>**による DMA リクエスト受け付けを許可します。
- b. **[I2CxDBR]**をダミー読み出しします。これにより、マスターからクロックを受けとれるようになり、1 ワード目の受信が行われます。
- c. 転送終了の INTI2Cx 割り込みのタイミングで DMA リクエストが発生し、DMA 転送が開始され、2 ワード目以降のデータ受信が行われます。
- d. 設定回数(n-2 回)の DMA 転送が終了すると DMA 転送終了割り込みが発生します。この割り込み処理で、DMA リクエスト受け付けを禁止します。**([I2CxIE]<DMARI2CRX>=0 にしてください)**
- e. (n-1 回)転送終了の INTI2Cx 割り込みで<MFAACK>を"1"に設定して、ノットアクノリッジ信号を発生するようにします。その後、**[I2CxDBR]** から受信データを読み出します。
- f. 転送終了の INTI2Cx 割り込みで、マスターからのストップコンディションを待ちます。

## 5.2. ウェイクアップ動作・設定手順 (例)

<初期設定> STOP1 へ入る為に、ウェイクアップ側の設定について

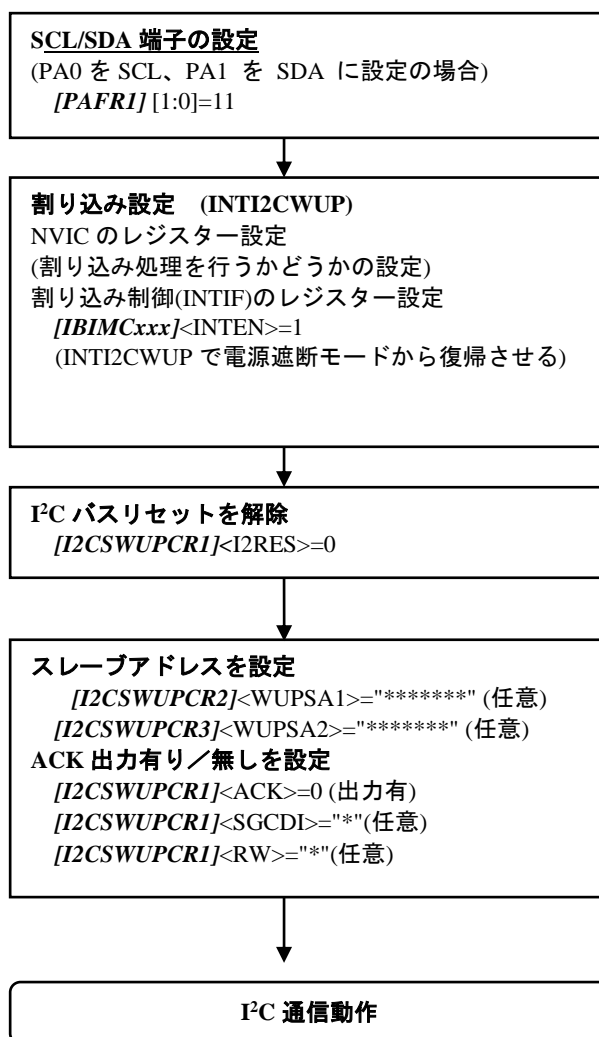


図 5.8 ウェイクアップ初期設定

注)  $[I2CSWUPCR1]<I2RES>=1$  によるリセット動作中は、リセット動作を継続していますが、レジスタへの書き込みは可能です。

I2C インターフェース(本体側)は、低消費電力モード(STOP1 または STOP2)の解除処理の中で設定を実施してください。以下のレジスタが設定されていないとウェイクアップ後の通信が正しく動作しません。

$[I2CxCR1]<BC[2:0]>$ ,  $<ACK>$ ,  $<NOACK>$ ,  $<SCK>$   
 $[I2CxPRS]<PRSCK>$   
 $[I2CxOP]<NFSEL>$ ,  $<MFAACK>$   
 $[I2CxAR2]<SA2>$ ,  $<SA2EN>$  ; 任意  
 $[I2CxIE]$  ; 使用する機能を設定

注) 第 2 スレーブアドレスを使用しない場合は、 $[I2CxAR2]<SA2>$ は未設定、 $<SA2EN>$ は禁止としてください。

<割り込み発生時>

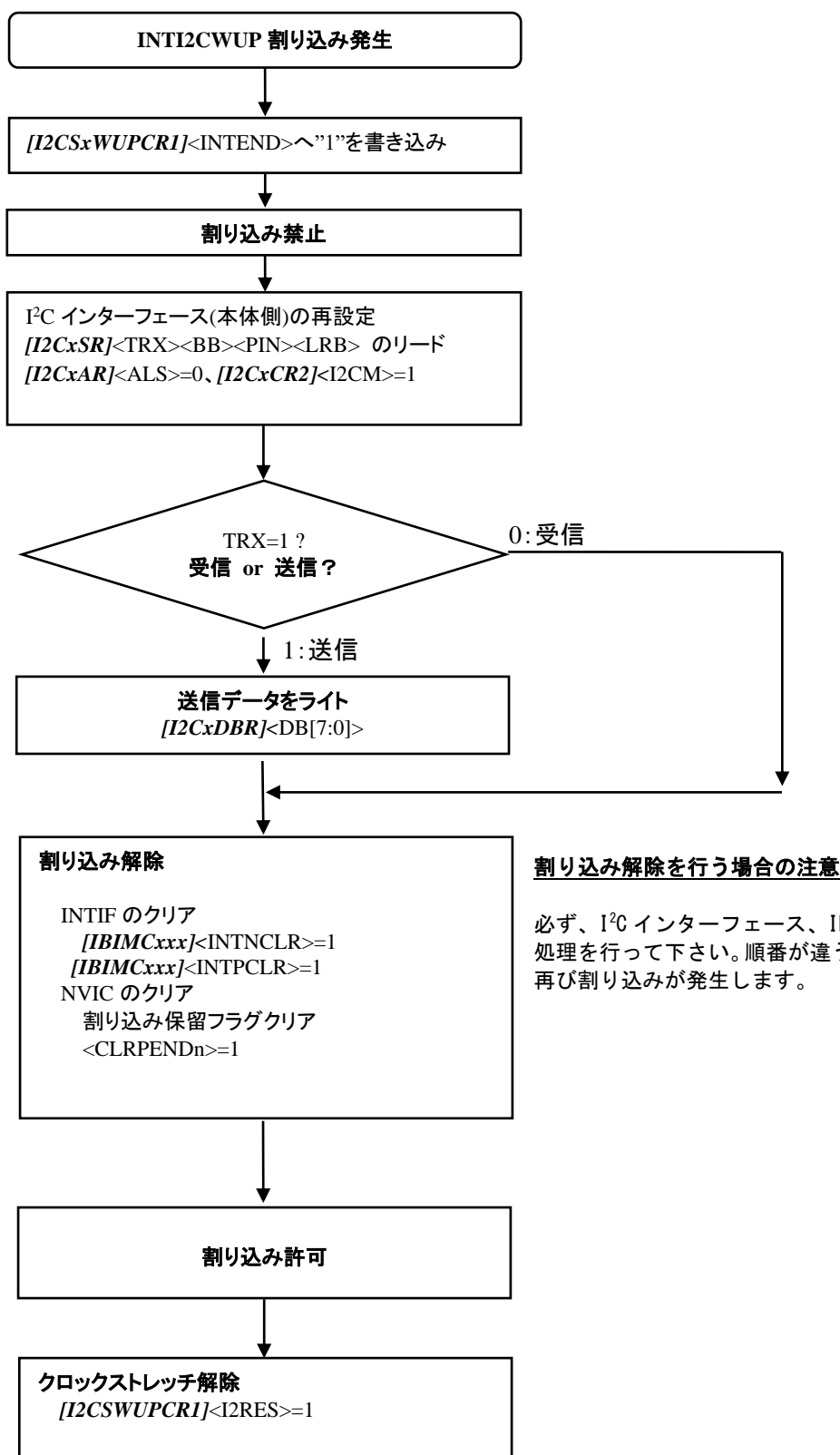


図 5.9 復帰後処理



## 6. 使用上の注意

この製品は、搭載されたハードウェアによる機能では、I<sup>2</sup>C 規格で規定されている AC 電気的特性の中で仕様を満たせない項目があります。仕様を満たせない項目の中には、ソフトウェアで対応が必要なものがありますので、該当する機能を使用される場合は対応をお願いします。

ソフトウェアで対応が必要な項目は、下記のとおりです。

- 反復スタートコンディションセットアップ時間( $t_{SU:STA}$ )  
ソフトウェアでセットアップ時間を確保する必要があります。なお、**[I2CxOP]<SREN>**の設定で、対応する項目が変わります。  
<SREN>=0：標準モード、ファストモード、ファストモードプラス時  
<SREN>=1：標準モード時(ファストモード、ファストモードプラス時は、ハードウェアで確保)
- ストップコンディションとスタートコンディション間のバスフリー時間( $t_{BUF}$ )  
全てのモードで、ソフトウェアでの時間確保が必要です。

## 7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2017-01-18	新規作成
1.1	2017-04-20	<p>表記規約 追加 SSTFlash 文言変更 信号レベルの表記修正(High, H→HIGH, Low, L→LOW) 1.概要 表記修正( 選択可、検出可 →統一) 2. 構成図へ ANF を追加 3.3.1 (1)、(2) しおりを追加 3.3.2 (1)、(2) しおりを追加 表 3.4 修正 3.3.4 ストップコンディションが発生します→ バスに反映されます。 3.3.7 DMA の章の前へ移動 3.3.8 I<sup>2</sup>C バスのイネーブル を 3.3.3 の次へ移動(説明順序の見直し) 3.3.9 スレーブアドレス一致検出モニター を 3.3.8 スレーブアドレスとアドレス認識モードの設定 の章の後ろへ移動 3.3.11 ジェネラルコール検出モニター の章を 3.3.6 スレーブアドレス一致検出 の章の後ろへ移動 3.3.16 DMA リクエスト出力制御 の “の 1 クロック” を削除 3.4.2 図 3.17 下の 注 1) (クロックストレッチ)を追記 注 2)を分けて、内容変更。一部内容は、本文で記載 3.4.3 タイミング 重複内容なので削除 4.1 機能名 を 2 構成図の記載と合わせる 4.2 レジスター詳細 を追加 (レジスター説明は、4.2 以下へ移動) 5.2 の &lt;割り込み発生時&gt;中の “割り込みクリア”を“割り込み解除”へ変更</p>
2.0	2017-07-27	<p>序章:社名変更(CopyRight、商標) 製品取り扱い上のお願(社名追加、文言変更) 3.機能説明・動作説明のクロック供給レジスターの説明見直し 4.1 レジスター一覧(アドレス Type 情報を追加。Type2 を追加)</p>
3.0	2018-03-23	<p>表記・規約 Arm 表記変更 用語・略語 STD, Fm, Fm+ 追加 1 概要:プリスケイラー分周選択:1/1、1/2~、1/16、1/32 → 1/1,1/2,1/3 ~ 1/30、1/31、1/32 へ変更 反復スタート検出:検出(スレーブモード時)へ変更 ノイズキャンセル:アナログ選択を削除 注 2 を削除 図 2.1 レジスター表記変更 3.1 図 3.1 修正 3.3.1(1)&lt;BC&gt;はスタートコンディションにより → &lt;BC[1:0]&gt;はスタートコンディションまたはソフトウェアリセット 3.3.2 シリアルクロック Fm+,Fm,STD 別の条件を追記。 ホールドタイムとセットアップタイムを条件別に記載 ANF 使用時の条件は、削除 代表周波数別の設定一覧を追記(表 3.5~表 3.12) 図 3.5 内および図上 4/Tprsc→4×Tprsc、5/Tprsc→5×Tprsc 3.3.8 <b>[I2CxIE]</b>&lt;SAST&gt; → <b>[I2CxOP]</b>&lt;SAST&gt; へ修正 3.3.9 <b>[I2CxAR]</b>&lt;SA&gt; の 1 セット目に設定した値と同じスレーブアドレスを受信することで、<b>[I2CxSR]</b>&lt;AAS&gt;は、“1” にセットされます。 → スレーブアドレス(第 1 スレーブアドレス)へ変更 2 セット目を → 第 2 スレーブアドレスを へ変更 3.3.10 なおマルチマスターで転送開始がほぼ同時の場合、アービトレーションを、下の記載の (3)転送開始前に転送取り消しを行い、検出ができないを削除</p>

		<p>3.3.12 反復スタート検出 スレーブモード時の機能であることを明記 &lt;RSTA&gt;のクリア処理について追記、説明図がスレーブモード時であることを明記 図 3.14 反復スタートのポイント、マスター時のフラグクリア 追記</p> <p>3.3.14 ノイズキャンセル ウエイクアップ時は、ANF を使用することを記載。 注の ANF の記載を削除</p> <p>3.3.15 ([I2CxAR2]&lt;SA2&gt;設定時も同様) を追記 図 3.15 &lt;SELPINCD&gt;=1 の条件を追加</p> <p>3.4 この機能を使用する場合は、低消費電力モードへ移行する前に、バスフリーかつ I<sup>2</sup>C インターフェース(本体側)を停止してください。を追記</p> <p>4.2.1 Bit4 の&lt;ALS&gt;以下の説明を、Bit3 へ移動 &lt;SCK&gt;の設定に関する注を追記(動作中は、設定を変更しない注)を追加</p> <p>4.2.4 注)を追加</p> <p>4.2.6 2 分周を追加</p> <p>4.2.7 bit6 DMA を使用しない場合はこちらを使用してください を追記</p> <p>4.2.8 スタータス →ステータス 全ビットの 割り込みをクリア → 割り込みステータスをクリア へ修正</p> <p>4.2.9 Bit6,5 の &lt;AAS&gt;=1 時 の記載を削除 Bit4 1:アナログ → 1:設定不可 へ変更</p> <p>4.2.12 Bit6 の Type 修正(R→ R/W)</p> <p>5.1 -1 デバイスの初期化 ”なお、DMA を使用しない場合は、[I2CxIE]&lt;SELPINCD&gt;=0 としてください”を追記 -4 ストップコンディションの発生 ストップコンディションが発生するまでには、セットアップ時間があります。 (3.3.2 シリアルクロックの(1)を参照) を記載。</p> <p>5.2 STOP1 または STOP2)へ移行する前に設定を完了してください。 → (STOP1 または STOP2)の解除処理の中で設定を実施してください 各図に図番号を追加。 図 5.8 [I2CSxWUPCR1]&lt;INTEND&gt;へ”1”→”0”を書き込み → [I2CSxWUPCR1]&lt;INTEND&gt;へ”1”を書き込み I<sup>2</sup>C インターフェース(本体側)の再設定 の処理を追記 割り込み解除から削除 ”I<sup>2</sup>C インターフェースのクリア [I2CSxWUPCR1]&lt;INTEND&gt;=1”</p>
3.1	2018-12-07	<p>-;チャンネル表記を削除(I2CSx → I2CS)</p> <p>1. 注 2)の修正(出力電流→出力電圧、3mA シンク、リファレンスマニュアルの「製品個別情報」を参照→ データシート(DS)の”電気的特性”の章を参照)</p> <p>3.3.5 変更 ”書き込むと” → ”セットすると”、”0”にクリア、</p> <p>3.3.12 マスターモード時の条件説明を修正。図 3.14 修正、図 3.15 追加</p> <p>4.2.7 SELPINCD 変更(拡張 PIN 解除条件設定、PIN 開放→PIN セット (=1))</p> <p>5.1 6. 変更(PIN を開放可にするため → PIN をセットし、バスを開放するために)</p> <p>製品取り扱い上のお願ひ 更新&amp;URL 追加</p>

3.2	2019-09-05	<ul style="list-style-type: none"> <li>- Copy Right, Date の書式変更</li> <li>- 2. 図 2.1 更新(ブロック領域表記追加)</li> <li>- 3.3.2 ホールド&amp;セットアップタイムの略語追記(<math>t_{HD;STA}</math>, <math>t_{SU;STA}</math>)、反復スタート時のセットアップタイムを追加(<math>t_{SU;STA}</math>)</li> <li>- 3.3.15 (3) <b>[I2CxCR]</b> → <b>[I2CxCR1]</b> へ修正</li> <li>- 3.4 ウェイクアップ機能の説明追加(使用条件、低消費電力モード中の説明(本体側の状態))</li> <li>- 4.1 レジスター表修正(ベースアドレス ch5~ch7 を削除)</li> <li>- 4.2.12 注 2 修正(ウェイクアップ(Sub 側)の明示)</li> <li>- 5.1 段落番号の追加(5.1.1 ~ 5.1.8)</li> <li>- 5.1.5 反復スタートの手順更新(<b>[I2CxOP]</b>&lt;SREN&gt;の設定値による手順の記載。図 5.6 更新、図 5.7 追加。)</li> <li>- 6. 使用上の注意を追加</li> </ul>
3.3	2023-6-22	<ul style="list-style-type: none"> <li>- 5.1.5. 反復スタートの手順注 2)を削除</li> </ul>

## 製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍사용途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。