
32 ビット RISC マイクロコントローラ

TMPM3H グループ(1)

リファレンスマニュアル

製品個別情報
(PINFO-M3H(1))

Revision 3.2

2019-07

東芝デバイス&ストレージ株式会社

目次

序章	8
関連するドキュメント	8
表記規約	9
用語・略語	11
1. 概要	12
2. 各周辺機能の情報	12
2.1. レジスタベースアドレス	12
2.2. トリガセクタ (TRGSEL)	13
2.2.1. トリガセクタと製品対応	14
2.2.2. 使用方法と設定	22
2.2.3. レジスタ一覧	23
2.2.4. レジスタ詳細	24
2.2.4.1. [TSEL0CR0] (コントロールレジスタ 0)	24
2.2.4.2. [TSEL0CR1] (コントロールレジスタ 1)	26
2.2.4.3. [TSEL0CR2] (コントロールレジスタ 2)	28
2.2.4.4. [TSEL0CR3] (コントロールレジスタ 3)	30
2.2.4.5. [TSEL0CR4] (コントロールレジスタ 4)	32
2.2.4.6. [TSEL0CR5] (コントロールレジスタ 5)	34
2.2.4.7. [TSEL0CR6] (コントロールレジスタ 6)	36
2.2.4.8. [TSEL0CR7] (コントロールレジスタ 7)	38
2.2.4.9. [TSEL0CR8] (コントロールレジスタ 8)	40
2.2.4.10. [TSEL0CR9] (コントロールレジスタ 9)	42
2.2.4.11. [TSEL0CR10] (コントロールレジスタ 10)	44
2.3. クロック選択式ウォッチドッグタイマ (SIWDT)	45
2.3.1. 搭載チャンネル	45
2.3.2. カウントクロック	45
2.3.3. 制御出力	45
2.4. 周波数検知回路 (OFD)	46
2.4.1. 搭載一覧	46
2.4.2. 基準クロック	46
2.4.3. 検知対象クロック	46
2.5. デバッグインタフェース	47
2.5.1. 製品別デバッグインタフェース一覧	47
2.6. フラッシュメモリ	48
2.6.1. 書き込み, 消去操作クロック	48
2.6.2. 製品別コードフラッシュブロック構成	48
2.6.3. 製品別データフラッシュブロック構成	49
2.6.4. シングルブート使用リソース	50
2.7. DMA コントローラ (DMAC)	51

2.7.1. 搭載ユニット	51
2.7.2. DMA 要求一覧	52
2.8. モータ制御回路プラス(PMD+).....	55
2.8.1. 搭載チャンネル	55
2.8.2. 機能端子とポート	55
2.8.3. DMA 要求	55
2.8.4. 内部信号接続仕様	56
2.8.4.1. ADC / A-ENC / T32A 接続	56
2.9. アドバンストエンコーダ入力回路(A-ENC)	57
2.9.1. 搭載チャンネル	57
2.9.2. 機能端子とポート	57
2.9.3. 内部信号接続仕様	57
2.9.3.1. T32A / PMD+ 接続	57
2.10. 12 ビットアナログデジタルコンバータ(ADC)	59
2.10.1. 搭載ユニット	59
2.10.2. 機能端子とポート	59
2.10.3. ADC 用変換クロック	60
2.10.4. モード設定レジスタ 2 の設定値	60
2.10.5. DMA 要求	60
2.10.6. 内部信号接続仕様	61
2.10.6.1. 起動トリガ接続	61
2.10.6.2. T32A / PMD+ 接続	62
2.11. 8 ビットデジタルアナログコンバータ(DAC)	63
2.11.1. 搭載チャンネル	63
2.11.2. 機能端子とポート	63
2.12. 電圧検知回路(LVD)	64
2.12.1. 搭載一覧	64
2.12.2. 検知対象電源	64
2.13. 32 ビットタイマイベントカウンタ(T32A)	65
2.13.1. 搭載チャンネル	65
2.13.2. 機能端子とポート	65
2.13.3. プリスケアラ用クロック	66
2.13.4. 内部信号接続仕様	67
2.13.4.1. TRGIN / UART / I ² C / TSPI / A-ENC / ADC / ELOSC 接続	68
2.13.4.2. 同期制御接続仕様	71
2.13.5. 製品別パルスカウント対応一覧	72
2.13.6. DMA 要求	72
2.13.7. 非対応割り込み	73
2.14. リアルタイムクロック(RTC)	74
2.14.1. 搭載一覧	74

2.14.2. 機能端子とポート	74
2.14.3. 時計カウントクロック	74
2.15. 非同期シリアル通信回路(UART)	75
2.15.1. 搭載チャンネル	75
2.15.2. 機能端子とポート	75
2.15.3. 製品別ハーフクロックモード対応一覧	76
2.15.4. プリスケーラ用クロック	76
2.15.5. DMA 要求	76
2.15.6. 内部信号接続仕様	77
2.15.6.1. トリガ転送信号接続	77
2.15.6.2. T32A 接続	78
2.16. I ² C インタフェース(I ² C).....	79
2.16.1. 搭載チャンネル	79
2.16.2. 機能端子とポート	79
2.16.3. プリスケーラ用クロック	79
2.16.4. アドレス一致ウェイクアップ機能対応	80
2.16.5. フィルタ選択	80
2.16.6. DMA 要求	81
2.17. シリアルペリフェラルインタフェース(TSPI)	82
2.17.1. 搭載チャンネル	82
2.17.2. 機能端子とポート	82
2.17.3. 製品別転送モード対応一覧	83
2.17.4. [TSPIxCR2]<RXDLY>の設定値	83
2.17.5. クロック	83
2.17.6. DMA 要求	84
2.17.7. 内部信号接続仕様	85
2.17.7.1. トリガ送信信号接続仕様	85
2.17.7.2. T32A 接続	85
2.18. リモコン受信回路(RMC).....	86
2.18.1. 搭載チャンネル	86
2.18.2. 機能端子とポート	86
2.18.3. サンプリングクロック	86
2.19. デジタルノイズフィルタ回路(DNF)	87
2.19.1. 搭載ユニット	87
2.19.2. 製品別外部割り込みと DNF の対応	87
2.19.3. サンプリングソースクロック	88
2.20. バウンダリスキャン(BSC).....	89
2.20.1. 機能対応	89
2.20.2. 製品別インタフェース一覧	89
2.20.3. バウンダリスキャン順序	89

2.21. トリミング回路(TRM).....	92
2.21.1. 搭載一覧	92
2.21.2. 対象発振器	92
3. 改訂履歴.....	93
製品取り扱い上のお願い.....	99

図目次

図 2.1 トリガセレクト接続例.....	13
-----------------------	----

表目次

表 2.1 レジスタベースアドレスタイプ.....	12
表 2.2 製品別トリガセレクト対応一覧 (1/8).....	14
表 2.3 製品別トリガセレクト対応一覧 (2/8).....	15
表 2.4 製品別トリガセレクト対応一覧 (3/8).....	16
表 2.5 製品別トリガセレクト対応一覧 (4/8).....	17
表 2.6 製品別トリガセレクト対応一覧 (5/8).....	18
表 2.7 製品別トリガセレクト対応一覧 (6/8).....	19
表 2.8 製品別トリガセレクト対応一覧 (7/8).....	20
表 2.9 製品別トリガセレクト対応一覧 (8/8).....	21
表 2.10 SIWDT 搭載チャンネル.....	45
表 2.11 SIWDT カウントクロック.....	45
表 2.12 SIWDT 制御出力.....	45
表 2.13 OFD 搭載一覧.....	46
表 2.14 OFD 基準クロック.....	46
表 2.15 OFD 検知対象クロック.....	46
表 2.16 デバッグインタフェース搭載一覧.....	47
表 2.17 書き込み, 消去操作クロック.....	48
表 2.18 製品別コードフラッシュ.....	48
表 2.19 製品別データフラッシュ.....	49
表 2.20 シングルブート使用リソース.....	50
表 2.21 RAM 転送可能最終アドレス.....	50
表 2.22 DMAC 搭載ユニット.....	51
表 2.23 DMA 要求一覧(1/3).....	52
表 2.24 DMA 要求一覧(2/3).....	53
表 2.25 DMA 要求一覧(3/3).....	54
表 2.26 PMD+ 搭載チャンネル.....	55
表 2.27 PMD+ 機能端子.....	55
表 2.28 PMD+ DMA 要求.....	55
表 2.29 PMD+ ch0 内部信号接続仕様:入力.....	56
表 2.30 PMD+ ch0 内部信号接続仕様:出力.....	56
表 2.31 A-ENC 搭載チャンネル.....	57
表 2.32 A-ENC 機能端子.....	57
表 2.33 A-ENC 内部信号接続仕様:入力.....	57
表 2.34 A-ENC 内部信号接続仕様:出力.....	58
表 2.35 ADC 搭載ユニット.....	59
表 2.36 ADC 機能端子とポート.....	59
表 2.37 ADC 用変換クロック.....	60
表 2.38 ADC モード設定レジスタ 2 の設定値.....	60
表 2.39 ADC DMA 要求.....	60
表 2.40 ADC 起動トリガ接続仕様.....	61
表 2.41 ADC 内部信号接続仕様:出力.....	62
表 2.42 DAC 搭載チャンネル.....	63
表 2.43 DAC 機能端子とポート.....	63
表 2.44 LVD 搭載一覧.....	64
表 2.45 LVD 検知対象電源.....	64
表 2.46 T32A 搭載チャンネル.....	65

表 2.47	T32A 機能端子とポート(1/2)	65
表 2.48	T32A 機能信号とポート(2/2)	66
表 2.49	T32A プリスケーラ用クロック	66
表 2.50	T32A 信号接続仕様(1/3)	68
表 2.51	T32A 信号接続仕様(2/3)	69
表 2.52	T32A 信号接続仕様(3/3)	70
表 2.53	T32A 同期制御接続仕様	71
表 2.54	T32A パルスカウント対応一覧	72
表 2.55	T32A DMA 要求(1/2)	72
表 2.56	T32A DMA 要求(2/2)	73
表 2.57	RTC 搭載一覧	74
表 2.58	RTC 機能端子とポート	74
表 2.59	RTC 時計カウントクロック	74
表 2.60	UART 搭載チャンネル	75
表 2.61	UART 端子信号とポート	75
表 2.62	UART ハーフクロックモード対応一覧	76
表 2.63	UART プリスケーラ用クロック	76
表 2.64	UART DMA 要求	76
表 2.65	UART トリガ転送信号接続仕様	77
表 2.66	UART 内部信号接続仕様:出力	78
表 2.67	I ² C インタフェース 搭載チャンネル	79
表 2.68	I ² C インタフェース 機能端子とポート	79
表 2.69	I ² C インタフェース プリスケーラ用クロック	79
表 2.70	I ² C インタフェース アドレス一致ウエイクアップ機能対応	80
表 2.71	I ² C インタフェース フィルタ	80
表 2.72	I ² C インタフェース DMA 要求	81
表 2.73	TSPI 搭載チャンネル	82
表 2.74	TSPI 機能端子とポート	82
表 2.75	TSPI モード対応一覧	83
表 2.76	TSPI 制御レジスタ 2<RXDLY>の設定値	83
表 2.77	TSPI 用クロック	83
表 2.78	TSPI DMA 要求	84
表 2.79	TSPI トリガ転送仕様	85
表 2.80	TSPI 内部接続仕様(出力)	85
表 2.81	RMC 搭載チャンネル	86
表 2.82	RMC 機能端子とポート	86
表 2.83	RMC サンプリングクロック	86
表 2.84	DNF 搭載ユニット	87
表 2.85	外部割り込みと DNF 対応	87
表 2.86	DNF サンプリングソースクロック	88
表 2.87	バウンダリスキャン 機能対応	89
表 2.88	JTAG インタフェース 搭載一覧	89
表 2.89	バウンダリスキャン順序(1/3)	89
表 2.90	バウンダリスキャン順序(2/3)	90
表 2.91	バウンダリスキャン順序(3/3)	91
表 2.92	TRM 搭載一覧	92
表 2.93	TRM トリミング対象発振器	92
表 3.1	改訂履歴	93

序章

関連するドキュメント

文書名	IP 記号
入出力ポート (TMPM3H グループ(1))	PORT-M3H(1)
メモリマップ (TMPM3H グループ(1))	MMAP-M3H(1)
例外 (TMPM3H グループ(1))	EXCEPT-M3H(1)
クロック制御と動作モード (TMPM3H グループ(1))	CG-M3H(1)-D
電源とリセット動作 (TMPM3H グループ(1))	RESET-M3H(1)
クロック選択式ウォッチドッグタイマ	SIWDT-A
周波数検知回路	OFD-A
デバッグインタフェース	DEBUG-A
フラッシュメモリ	FLASH128_32-A
DMA コントローラ	DMAC-B
モータ制御回路プラス	PMD+ -A
アドバンスドエンコーダ入力回路	A-ENC-A
12ビットアナログデジタルコンバータ	ADC-A
8ビットデジタルアナログコンバータ	DAC-A
電圧検知回路	LVD-A
32ビットタイマイイベントカウンタ	T32A-B
リアルタイムクロック	RTC-A
非同期シリアル通信回路	UART-C
I ² C インタフェース	I2C-B
シリアルペリフェラルインタフェース	TSPI-B
リモコン受信回路	RMC-A
デジタルノイズフィルタ回路	DNF-A
バウンダリスキャン	BSC-A
トリミング回路	TRM-A

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1],[XYZ2],[XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C, ... を表します。
例: [ADACR0],[ADBCR0],[ADCCR0] → [ADxCR0]
チャンネルの場合、「x」は 0,1,2, ... を表します。
例: [T32A0RUNA],[T32A1RUNA],[T32A2RUNA] → [T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社(Silicon Storage Technology, Inc.)からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC	Advanced Encoder input Circuit
BSC	Poboundary-Scan
DAC	Digital to Analog Converter
DNF	Digital Noise Filter
DMAC	Direct Memory Access Controller
INT	Interrupt
I ² C	Inter-Integrated Circuit
I2CS	I ² C wake-up circuit from Stand-by mode
LVD	Voltage Detection Circuit
OFD	Oscillation Frequency Detector
PMD+	Programmable Motor Control Circuit Plus
RMC	Remote Control Signal Preprocessor
RTC	Real Time Clock
SIWDT	Clock Selective Watchdog Timer
T32A	32-bit Timer Event counter
TRGSEL	Trigger Selection circuit
TRM	Trimming circuit
TSPI	Toshiba Serial Peripheral Interface
UART	Universal Asynchronous Receiver Transmitter

1. 概要

この章では、周辺機能に関し、チャンネルまたはユニット数、端子情報、その他の製品固有機能の情報についてまとめています。各周辺機能のリファレンスマニュアルと合わせてご使用ください。

2. 各周辺機能の情報

2.1. レジスタベースアドレス

下記に各周辺機能で使用するレジスタベースアドレスのタイプを示します。

表 2.1 レジスタベースアドレスタイプ

製品	ベースアドレスタイプ
TMPM3H(1)グループ	TYPE1

上記のベースアドレスタイプを参照し、各周辺機能の開発を行ってください。

リファレンスマニュアルのレジスタベースアドレスに TYPE1/2 の記載が無い場合は、TYPE1 としてご使用ください。

2.2. トリガセクタ(TRGSEL)

トリガセクタは、周辺機能、ポートなどから入力された複数のトリガから、1つのトリガを選択し周辺機能にトリガ信号を出力する回路です。

8本のトリガから[TSELOCRn]<INSELM>で選択されたトリガを、接続先の周辺機能に出力します。

「図 2.1 トリガセクタ接続例」は、ポート端子(PB1,PA3)及び DMA コントローラ(ch18,20,23,25)からのトリガ信号がトリガセクタ経由でDMA コントローラ(ch30)に接続されている例です。[TSELOCR3]で入力トリガ選択(<INSEL14[2:0]>)、エッジ検出条件選択(<UPDN14>)、トリガ出力選択(<OUTSEL14>)およびトリガ出力制御(<EN14>)の設定を行います。

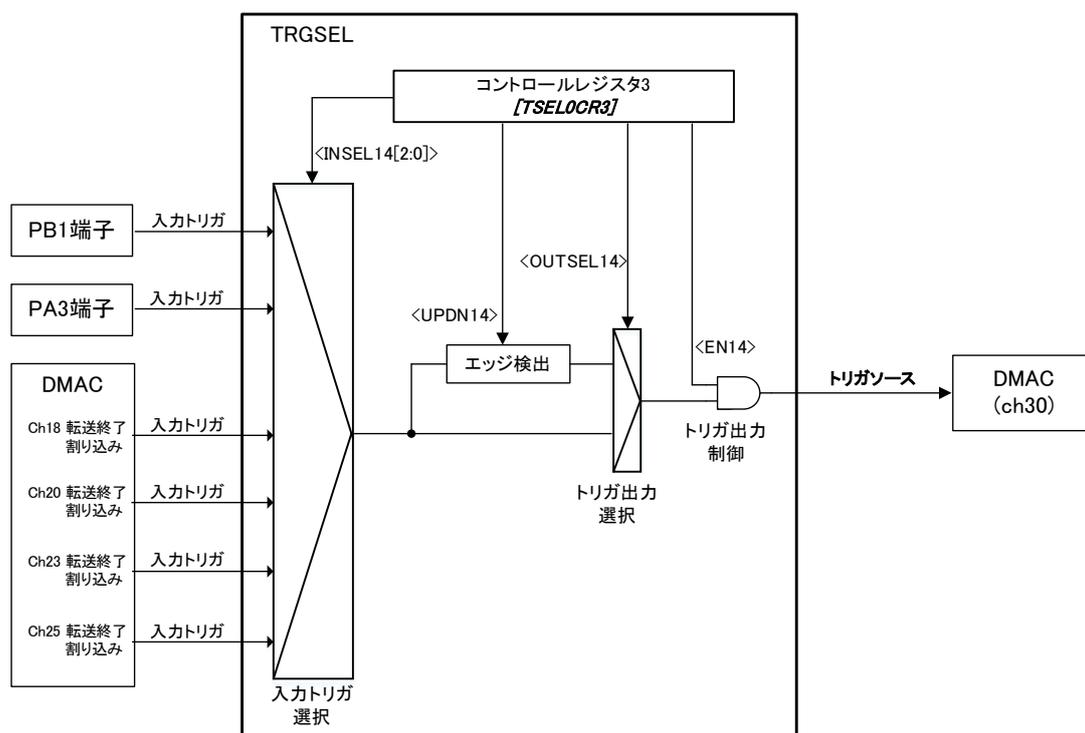


図 2.1 トリガセクタ接続例

2.2.1. トリガセクタと製品対応

TMPM3H グループ(1)のトリガセクタは、11本の制御レジスタ([TSEL0CR0~10])で構成されており41本のトリガを制御できます。

下記の表にコントロールレジスタと接続先および対応製品を示します。

表 2.2 製品別トリガセクタ対応一覧 (1/8)

レジスタ	Bit Symbol	トリガソース	入力トリガ信号	製品対応 (○:対応、-:非対応)						
				M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
[TSEL0CR0]	INSEL0[2:0]	DMAC A ch16	<ul style="list-style-type: none"> ・ADC ユニット A 汎用トリガ DMA 要求 ・ADC ユニット A 単独変換 DMA 要求 ・ADC ユニット A 連続変換 DMA 要求 	○	○	○	○	○	○	○
	INSEL1[2:0]	DMAC A ch17	<ul style="list-style-type: none"> ・T32A ch0 DMA 要求レジスタ A1 一致 ・T32A ch0 DMA 要求レジスタ C1 一致 ・T32A ch1 DMA 要求レジスタ A1 一致 ・T32A ch1 DMA 要求レジスタ C1 一致 ・PMD+ ch0 PWM 割り込み 	○	○	○	○	○	○	○
	INSEL2[2:0]	DMAC A ch18	<ul style="list-style-type: none"> ・T32A ch2 DMA 要求レジスタ A1 一致 ・T32A ch2 DMA 要求レジスタ C1 一致 ・T32A ch3 DMA 要求レジスタ A1 一致 ・T32A ch3 DMA 要求レジスタ C1 一致 	○	○	○	○	○	○	○
	INSEL3[2:0]	DMAC A ch19	<ul style="list-style-type: none"> ・T32A ch4 DMA 要求レジスタ A1 一致 ・T32A ch4 DMA 要求レジスタ C1 一致 ・T32A ch5 DMA 要求レジスタ A1 一致 ・T32A ch5 DMA 要求レジスタ C1 一致 	○	○	○	○	○	○	○
[TSEL0CR1]	INSEL4[2:0]	DMAC A ch20	<ul style="list-style-type: none"> ・T32A ch0 DMA 要求レジスタ B1 一致 ・T32A ch1 DMA 要求レジスタ B1 一致 ・T32A ch2 DMA 要求レジスタ B1 一致 	○	○	○	○	○	○	○
	INSEL5[2:0]	DMAC A ch21	<ul style="list-style-type: none"> ・T32A ch3 DMA 要求レジスタ B1 一致 ・T32A ch4 DMA 要求レジスタ B1 一致 ・T32A ch5 DMA 要求レジスタ B1 一致 	○	○	○	○	○	○	○
	INSEL6[2:0]	DMAC A ch22	<ul style="list-style-type: none"> ・T32A DMA 要求 ch0 キャプチャ A0 ・T32A DMA 要求 ch0 キャプチャ A1 ・T32A DMA 要求 ch1 キャプチャ A0 ・T32A DMA 要求 ch1 キャプチャ A1 ・T32A DMA 要求 ch0 キャプチャ C0 ・T32A DMA 要求 ch0 キャプチャ C1 ・T32A DMA 要求 ch1 キャプチャ C0 ・T32A DMA 要求 ch1 キャプチャ C1 	○	○	○	○	○	○	○
	INSEL7[2:0]	DMAC A ch23	<ul style="list-style-type: none"> ・T32A DMA 要求 ch2 キャプチャ A0 ・T32A DMA 要求 ch2 キャプチャ A1 ・T32A DMA 要求 ch3 キャプチャ A0 ・T32A DMA 要求 ch3 キャプチャ A1 ・T32A DMA 要求 ch2 キャプチャ C0 ・T32A DMA 要求 ch2 キャプチャ C1 ・T32A DMA 要求 ch3 キャプチャ C0 ・T32A DMA 要求 ch3 キャプチャ C1 	○	○	○	○	○	○	○

表 2.3 製品別トリガセクタ対応一覧 (2/8)

レジスタ	Bit Symbol	トリガソース	入力トリガ信号	製品対応 (○:対応、-:非対応)						
				M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
[TSEL0CR2]	INSEL8[2:0]	DMAC A ch24	<ul style="list-style-type: none"> ・T32A DMA 要求 ch4 キャプチャ A0 ・T32A DMA 要求 ch4 キャプチャ A1 ・T32A DMA 要求 ch5 キャプチャ A0 ・T32A DMA 要求 ch5 キャプチャ A1 ・T32A DMA 要求 ch4 キャプチャ C0 ・T32A DMA 要求 ch4 キャプチャ C1 ・T32A DMA 要求 ch5 キャプチャ C0 ・T32A DMA 要求 ch5 キャプチャ C1 	○	○	○	○	○	○	○
	INSEL9[2:0]	DMAC A ch25	<ul style="list-style-type: none"> ・T32A DMA 要求 ch0 キャプチャ B0 ・T32A DMA 要求 ch0 キャプチャ B1 ・T32A DMA 要求 ch1 キャプチャ B0 ・T32A DMA 要求 ch1 キャプチャ B1 ・T32A DMA 要求 ch2 キャプチャ B0 ・T32A DMA 要求 ch2 キャプチャ B1 	○	○	○	○	○	○	○
	INSEL10[2:0]	DMAC A ch26	<ul style="list-style-type: none"> ・T32A DMA 要求 ch3 キャプチャ B0 ・T32A DMA 要求 ch3 キャプチャ B1 ・T32A DMA 要求 ch4 キャプチャ B0 ・T32A DMA 要求 ch4 キャプチャ B1 ・T32A DMA 要求 ch5 キャプチャ B0 ・T32A DMA 要求 ch5 キャプチャ B1 	○	○	○	○	○	○	○
	INSEL11[2:0]	DMAC A ch27	<ul style="list-style-type: none"> ・DMAC ch0 転送終了割り込み ・DMAC ch1 転送終了割り込み ・DMAC ch4 転送終了割り込み ・DMAC ch5 転送終了割り込み ・DMAC ch10 転送終了割り込み ・DMAC ch11 転送終了割り込み 	○	○	○	○	○	○	○
[TSEL0CR3]	INSEL12[2:0]	DMAC A ch28	<ul style="list-style-type: none"> ・DMAC ch2 転送終了割り込み ・DMAC ch3 転送終了割り込み ・DMAC ch6 転送終了割り込み ・DMAC ch7 転送終了割り込み ・DMAC ch12 転送終了割り込み ・DMAC ch13 転送終了割り込み 	○	○	○	○	○	○	○
	INSEL13[2:0]	DMAC A ch29	<ul style="list-style-type: none"> ・DMAC ch8 転送終了割り込み ・DMAC ch9 転送終了割り込み ・DMAC ch14 転送終了割り込み ・DMAC ch15 転送終了割り込み ・DMAC ch16 転送終了割り込み ・DMAC ch17 転送終了割り込み ・DMAC ch22 転送終了割り込み 	○	○	○	○	○	○	○
	INSEL14[2:0]	DMAC A ch30	<ul style="list-style-type: none"> ・PB1 端子(TRGIN0) ・PA3 端子(TRGIN1) ・DMAC ch18 転送終了割り込み ・DMAC ch20 転送終了割り込み ・DMAC ch23 転送終了割り込み ・DMAC ch25 転送終了割り込み 	○	○	○	○	○	○	○ (注 1)
	INSEL15[2:0]	DMAC A ch31	<ul style="list-style-type: none"> ・PN3 端子(TRGIN2) ・DMAC ch19 転送終了割り込み ・DMAC ch21 転送終了割り込み ・DMAC ch24 転送終了割り込み ・DMAC ch26 転送終了割り込み 	○	○	○	○ (注 2)	○ (注 2)	○ (注 2)	○ (注 2)

注 1) PA3 端子(TRGIN1)の設定はできません。

注 2) PN3 端子(TRGIN2)の設定はできません。

表 2.4 製品別トリガセクタ対応一覧 (3/8)

レジスタ	Bit Symbol	トリガソース	入力トリガ信号	製品対応 (○:対応、-:非対応)						
				M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
[TSEL0CR4]	INSEL16[2:0]	ADC ユニット A	<ul style="list-style-type: none"> ・PB1 端子(TRGIN0) ・PA3 端子(TRGIN1) ・PN3 端子(TRGIN2) ・T32A ch5 タイマレジスタ A1 一致トリガ ・T32A ch5 タイマレジスタ B1 一致トリガ ・T32A ch5 タイマレジスタ C1 一致トリガ 	○	○	○	○ (注 2)	○ (注 2)	○ (注 2)	○ (注 1) (注 2)
	INSEL17[2:0]	ADC ユニット A	<ul style="list-style-type: none"> ・PB1 端子(TRGIN0) ・PA3 端子(TRGIN1) ・PN3 端子(TRGIN2) ・T32A ch5 タイマレジスタ A1 一致トリガ ・T32A ch5 タイマレジスタ B1 一致トリガ ・T32A ch5 タイマレジスタ C1 一致トリガ 	○	○	○	○ (注 2)	○ (注 2)	○ (注 2)	○ (注 1) (注 2)
	INSEL18[2:0]	TSPI ch0	<ul style="list-style-type: none"> ・PB1 端子(TRGIN0) ・PA3 端子(TRGIN1) ・PN3 端子(TRGIN2) ・T32A ch5 タイマレジスタ A1 一致トリガ ・T32A ch5 タイマレジスタ B1 一致トリガ ・T32A ch5 タイマレジスタ C1 一致トリガ 	○	○	○	○ (注 2)	○ (注 2)	○ (注 2)	○ (注 1) (注 2)
	INSEL19[2:0]	TSPI ch1	<ul style="list-style-type: none"> ・PB1 端子(TRGIN0) ・PA3 端子(TRGIN1) ・PN3 端子(TRGIN2) ・T32A ch5 タイマレジスタ A1 一致トリガ ・T32A ch5 タイマレジスタ B1 一致トリガ ・T32A ch5 タイマレジスタ C1 一致トリガ 	○	○	○	○ (注 2)	○ (注 2)	○ (注 2)	-

注 1) PA3 端子(TRGIN1)の設定はできません。

注 2) PN3 端子(TRGIN2)の設定はできません。

表 2.5 製品別トリガセクタ対応一覧 (4/8)

レジスタ	Bit Symbol	トリガソース	入力トリガ信号	製品対応 (○:対応、-:非対応)						
				M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
[TSEL0CR5]	INSEL20[2:0]	UART ch0	<ul style="list-style-type: none"> ・PB1 端子(TRGIN0) ・PA3 端子(TRGIN1) ・PN3 端子(TRGIN2) ・T32A ch5 タイマレジスタ A1 一致トリガ ・T32A ch5 タイマレジスタ B1 一致トリガ ・T32A ch5 タイマレジスタ C1 一致トリガ 	○	○	○	○ (注 2)	○ (注 2)	○ (注 2)	○ (注 1) (注 2)
	INSEL21[2:0]	UART ch1	<ul style="list-style-type: none"> ・PB1 端子(TRGIN0) ・PA3 端子(TRGIN1) ・PN3 端子(TRGIN2) ・T32A ch5 タイマレジスタ A1 一致トリガ ・T32A ch5 タイマレジスタ B1 一致トリガ ・T32A ch5 タイマレジスタ C1 一致トリガ 	○	○	○	○ (注 2)	○ (注 2)	○ (注 2)	○ (注 1) (注 2)
	INSEL22[2:0]	UART ch2	<ul style="list-style-type: none"> ・PB1 端子(TRGIN0) ・PA3 端子(TRGIN1) ・PN3 端子(TRGIN2) ・T32A ch5 タイマレジスタ A1 一致トリガ ・T32A ch5 タイマレジスタ B1 一致トリガ ・T32A ch5 タイマレジスタ C1 一致トリガ 	○	○	○	○ (注 2)	○ (注 2)	○ (注 2)	-
	INSEL23[2:0]	T32A ch0 タイマ A	<ul style="list-style-type: none"> ・PB1 端子(TRGIN0) ・PA3 端子(TRGIN1) ・PN3 端子(TRGIN2) ・UART ch0 送信完了トリガ ・UART ch0 受信完了トリガ 	○	○	○	○ (注 2)	○ (注 2)	○ (注 2)	○ (注 1) (注 2)

注 1) PA3 端子(TRGIN1)の設定はできません。

注 2) PN3 端子(TRGIN2)の設定はできません。

表 2.6 製品別トリガセクタ対応一覧 (5/8)

レジスタ	Bit Symbol	トリガソース	入力トリガ信号	製品対応 (○:対応、-:非対応)						
				M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
[TSEL0CR6]	INSEL24[2:0]	T32A ch0 タイマ B	<ul style="list-style-type: none"> ・T32A ch0 タイマレジスタ A0 一致トリガ ・T32A ch0 タイマレジスタ A1 一致トリガ ・T32A ch0 タイマ A オーバフロートリガ ・T32A ch0 タイマ A アンダフロートリガ 	○	○	○	○	○	○	○
	INSEL25[2:0]	T32A ch0 タイマ C	<ul style="list-style-type: none"> ・T32A ch5 タイマレジスタ C0 一致トリガ ・T32A ch5 タイマレジスタ C1 一致トリガ ・T32A ch5 タイマ C オーバフロートリガ ・T32A ch5 タイマ C アンダフロートリガ 	○	○	○	○	○	○	○
	INSEL26[2:0]	T32A ch1 タイマ A	<ul style="list-style-type: none"> ・PB1 端子(TRGIN0) ・PA3 端子(TRGIN1) ・PN3 端子(TRGIN2) ・UART ch1 送信完了トリガ ・UART ch1 受信完了トリガ 	○	○	○	○ (注 2)	○ (注 2)	○ (注 2)	○ (注 1) (注 2)
	INSEL27[2:0]	T32A ch1 タイマ B	<ul style="list-style-type: none"> ・T32A ch1 タイマレジスタ A0 一致トリガ ・T32A ch1 タイマレジスタ A1 一致トリガ ・T32A ch1 タイマ A オーバフロートリガ ・T32A ch1 タイマ A アンダフロートリガ 	○	○	○	○	○	○	○

注 1) PA3 端子(TRGIN1)の設定はできません。

注 2) PN3 端子(TRGIN2)の設定はできません。

表 2.7 製品別トリガセクタ対応一覧 (6/8)

レジスタ	Bit Symbol	トリガソース	入力トリガ信号	製品対応 (○:対応、-:非対応)						
				M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
[TSEL0CR7]	INSEL28[2:0]	T32A ch1 タイマ C	<ul style="list-style-type: none"> ・T32A ch0 タイマレジスタ C0 一致トリガ ・T32A ch0 タイマレジスタ C1 一致トリガ ・T32A ch0 タイマ C オーバフロートリガ ・T32A ch0 タイマ C アンダフロートリガ 	○	○	○	○	○	○	○
	INSEL29[2:0]	T32A ch2 タイマ A	<ul style="list-style-type: none"> ・PB1 端子(TRGIN0) ・PA3 端子(TRGIN1) ・PN3 端子(TRGIN2) ・UART ch2 送信完了トリガ ・UART ch2 受信完了トリガ ・I²C ch0 割り込み 	○	○	○	○ (注 2)	○ (注 2)	○ (注 2)	○ (注 1) (注 2)
	INSEL30[2:0]	T32A ch2 タイマ B	<ul style="list-style-type: none"> ・T32A ch2 タイマレジスタ A0 一致トリガ ・T32A ch2 タイマレジスタ A1 一致トリガ ・T32A ch2 タイマ A オーバフロートリガ ・T32A ch2 タイマ A アンダフロートリガ 	○	○	○	○	○	○	○
	INSEL31[2:0]	T32A ch2 タイマ C	<ul style="list-style-type: none"> ・T32A ch1 タイマレジスタ C0 一致トリガ ・T32A ch1 タイマレジスタ C1 一致トリガ ・T32A ch1 タイマ C オーバフロートリガ ・T32A ch1 タイマ C アンダフロートリガ 	○	○	○	○	○	○	○

注 1) PA3 端子(TRGIN1)の設定はできません。

注 2) PN3 端子(TRGIN2)の設定はできません。

表 2.8 製品別トリガセクタ対応一覧 (7/8)

レジスタ	Bit Symbol	トリガソース	入力トリガ信号	製品対応 (○:対応、-:非対応)						
				M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
[TSEL0CR8]	INSEL32[2:0]	T32A ch3 タイマ A	<ul style="list-style-type: none"> ・PB1 端子(TRGIN0) ・PA3 端子(TRGIN1) ・PN3 端子(TRGIN2) ・TSPI ch0 送信完了信号 ・TSPI ch0 受信完了信号 ・I²C ch1 割り込み ・A-ENC ch0 分周パルス信号 	○	○	○	○ (注 2)	○ (注 2)	○ (注 2)	○ (注 1) (注 2)
	INSEL33[2:0]	T32A ch3 タイマ B	<ul style="list-style-type: none"> ・T32A ch3 タイマレジスタ A0 一致トリガ ・T32A ch3 タイマレジスタ A1 一致トリガ ・T32A ch3 タイマ A オーバフロートリガ ・T32A ch3 タイマ A アンダフロートリガ 	○	○	○	○	○	○	○
	INSEL34[2:0]	T32A ch3 タイマ C	<ul style="list-style-type: none"> ・T32A ch2 タイマレジスタ C0 一致トリガ ・T32A ch2 タイマレジスタ C1 一致トリガ ・T32A ch2 タイマ C オーバフロートリガ ・T32A ch2 タイマ C アンダフロートリガ 	○	○	○	○	○	○	○
	INSEL35[2:0]	T32A ch4 タイマ A	<ul style="list-style-type: none"> ・PB1 端子(TRGIN0) ・PA3 端子(TRGIN1) ・PN3 端子(TRGIN2) ・TSPI ch1 送信完了信号 ・TSPI ch1 受信完了信号 ・I²C ch2 割り込み ・ELOS 低速クロック 	○	○	○	○ (注 2)	○ (注 2)	○ (注 2)	○ (注 1) (注 2)

注 1) PA3 端子(TRGIN1)の設定はできません。

注 2) PN3 端子(TRGIN2)の設定はできません。

表 2.9 製品別トリガセクタ対応一覧 (8/8)

レジスタ	Bit Symbol	トリガソース	入力トリガ信号	製品対応 (○:対応、-:非対応)						
				M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
[TSEL0CR9]	INSEL36[2:0]	T32A ch4 タイマ B	<ul style="list-style-type: none"> ・T32A ch4 タイマレジスタ A0 一致トリガ ・T32A ch4 タイマレジスタ A1 一致トリガ ・T32A ch4 タイマ A オーバフロートリガ ・T32A ch4 タイマ A アンダフロートリガ 	○	○	○	○	○	○	○
	INSEL37[2:0]	T32A ch4 タイマ C	<ul style="list-style-type: none"> ・T32A ch3 タイマレジスタ C0 一致トリガ ・T32A ch3 タイマレジスタ C1 一致トリガ ・T32A ch3 タイマ C オーバフロートリガ ・T32A ch3 タイマ C アンダフロートリガ 	○	○	○	○	○	○	○
	INSEL38[2:0]	T32A ch5 タイマ A	<ul style="list-style-type: none"> ・PB1 端子(TRGIN0) ・PA3 端子(TRGIN1) ・PN3 端子(TRGIN2) ・ADC ユニット A 汎用トリガ割り込み ・ADC ユニット A 単独変換割り込み ・ADC ユニット A 連続変換割り込み ・ADC ユニット A 監視機能 0 割り込み ・ADC ユニット A 監視機能 1 割り込み 	○	○	○	○ (注 2)	○ (注 2)	○ (注 2)	○ (注 1) (注 2)
	INSEL39[2:0]	T32A ch5 タイマ B	<ul style="list-style-type: none"> ・T32A ch5 タイマレジスタ A0 一致トリガ ・T32A ch5 タイマレジスタ A1 一致トリガ ・T32A ch5 タイマ A オーバフロートリガ ・T32A ch5 タイマ A アンダフロートリガ 	○	○	○	○	○	○	○
[TSEL0CR10]	INSEL40[2:0]	T32A ch5 タイマ C	<ul style="list-style-type: none"> ・T32A ch4 タイマレジスタ C0 一致トリガ ・T32A ch4 タイマレジスタ C1 一致トリガ ・T32A ch4 タイマ C オーバフロートリガ ・T32A ch4 タイマ C アンダフロートリガ 	○	○	○	○	○	○	○

注 1) PA3 端子(TRGIN1)の設定はできません。

注 2) PN3 端子(TRGIN2)の設定はできません。

2.2.2. 使用方法と設定

TRGSEL を使用する場合は、CG(クロック制御と動作モード)の fsys 供給停止レジスタ A または B ($[CGFSYSENA]$, $[CGFSYSENB]$)で該当するクロックイネーブルビットを"1"(クロック供給)に設定してください。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

トリガセレクタの設定は以下の順序で行ってください。

(1) 入力トリガの選択 ($[TSEL0CRn]$ <INSELm>)

トリガソースに使用する入力トリガの選択を行います。

入力トリガの選択はコントロールレジスタの入力トリガの選択ビット($[TSEL0CRn]$ <INSELm>)で選択し設定してください。(n: レジスタ番号、m: トリガ番号)

(2) エッジ検出条件の選択($[TSEL0CRn]$ <UPDNm>)

選択された入力トリガ信号に対し、立ち上がりエッジまたは立ち下がりエッジの検出選択を行います。

エッジ検出条件の選択はコントロールレジスタのエッジ検出条件ビット($[TSEL0CRn]$ <UPDNm>)で設定してください。

エッジ検出が必要なトリガ信号は以下となります。

- 外部トリガ入力 (TRGIN0, TRGIN1, TRGIN2)
- ELOSC 低速クロック (fs)

(3) トリガ出力の選択 ($[TSEL0CRn]$ <OUTSELM>)

出力するトリガ信号に対し、エッジ検出なし出力またはエッジ検出あり出力の選択を行います。

トリガ出力の選択はコントロールレジスタのトリガ出力の選択ビット($[TSEL0CRn]$ <OUTSELM>)で設定してください。

(4) 出力の許可 ($[TSEL0CRn]$ <ENm>)

選択したトリガ信号の出力許可または禁止を選択します。

出力許可または禁止の選択はコントロールレジスタのトリガ出力制御の設定ビット($[TSEL0CRn]$ <ENm>)を設定してください。 $[TSEL0CRn]$ <ENm>を"1"に設定するとトリガ出力が許可になります。

2.2.3. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

周辺機能		チャンネル/ユニット	ベースアドレス
トリガセクタ	TRGSEL	ch0	0x400BB800

レジスタ名		アドレス(Base +)
コントロールレジスタ 0	<i>[TSELxCR0]</i>	0x0000
コントロールレジスタ 1	<i>[TSELxCR1]</i>	0x0004
コントロールレジスタ 2	<i>[TSELxCR2]</i>	0x0008
コントロールレジスタ 3	<i>[TSELxCR3]</i>	0x000C
コントロールレジスタ 4	<i>[TSELxCR4]</i>	0x0010
コントロールレジスタ 5	<i>[TSELxCR5]</i>	0x0014
コントロールレジスタ 6	<i>[TSELxCR6]</i>	0x0018
コントロールレジスタ 7	<i>[TSELxCR7]</i>	0x001C
コントロールレジスタ 8	<i>[TSELxCR8]</i>	0x0020
コントロールレジスタ 9	<i>[TSELxCR9]</i>	0x0024
コントロールレジスタ 10	<i>[TSELxCR10]</i>	0x0028

2.2.4. レジスタ詳細

以下の章でレジスタの詳細を示します。

各表の機能欄カッコ内の記号は各機能信号名を表しています。

2.2.4.1. [TSEL0CR0](コントロールレジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
31	—	0	R	リードすると"0"が読めます。
30:28	INSEL3[2:0]	000	R/W	入力トリガの選択(DMAC A ch19) 000: T32A ch4 DMA 要求レジスタ A1 一致 (T32A04DMAREQCMPA1) 001: T32A ch4 DMA 要求レジスタ C1 一致 (T32A04DMAREQCMPC1) 010: T32A ch5 DMA 要求レジスタ A1 一致 (T32A05DMAREQCMPA1) 011: T32A ch5 DMA 要求レジスタ C1 一致 (T32A05DMAREQCMPC1) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	—	0	R	リードすると"0"が読めます。
26	—	0	R/W	"0"を書いてください。
25	—	0	R/W	"0"を書いてください。
24	EN3	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可
23	—	0	R	リードすると"0"が読めます。
22:20	INSEL2[2:0]	000	R/W	入力トリガの選択(DMAC A ch18) 000: T32A ch2 DMA 要求レジスタ A1 一致 (T32A02DMAREQCMPA1) 001: T32A ch2 DMA 要求レジスタ C1 一致 (T32A02DMAREQCMPC1) 010: T32A ch3 DMA 要求レジスタ A1 一致 (T32A03DMAREQCMPA1) 011: T32A ch3 DMA 要求レジスタ C1 一致 (T32A03DMAREQCMPC1) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	—	0	R	リードすると"0"が読めます。
18	—	0	R/W	"0"を書いてください。
17	—	0	R/W	"0"を書いてください。
16	EN2	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

Bit	Bit Symbol	リセット後	Type	機能
15	—	0	R	リードすると"0"が読めます。
14:12	INSEL1[2:0]	000	R/W	入力トリガの選択(DMAC A ch17) 000: T32A ch0 DMA 要求レジスタ A1 一致 (T32A00DMAREQCMPA1) 001: T32A ch0 DMA 要求レジスタ C1 一致 (T32A00DMAREQCMPA1) 010: T32A ch1 DMA 要求レジスタ A1 一致 (T32A01DMAREQCMPA1) 011: T32A ch1 DMA 要求レジスタ C1 一致 (T32A01DMAREQCMPA1) 100: PMD+ ch0 PWM 割り込み (INTPMD0) 101: Reserved 110: Reserved 111: Reserved
11	—	0	R	リードすると"0"が読めます。
10	—	0	R/W	"0"を書いてください。
9	—	0	R/W	"0"を書いてください。
8	EN1	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可
7	—	0	R	リードすると"0"が読めます。
6:4	INSEL0[2:0]	000	R/W	入力トリガの選択(DMAC A ch16) 000: ADC ユニット A 汎用トリガ DMA 要求 (ADATRG_DMAREQ) 001: ADC ユニット A 単独変換 DMA 要求 (ADASGL_DMAREQ) 010: ADC ユニット A 連続変換 DMA 要求 (ADACNT_DMAREQ) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	—	0	R	リードすると"0"が読めます。
2	—	0	R/W	"0"を書いてください。
1	—	0	R/W	"0"を書いてください。
0	EN0	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

2.2.4.2. [TSEL0CR1](コントロールレジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31	—	0	R	リードすると"0"が読めます。
30:28	INSEL7[2:0]	000	R/W	入力トリガの選択(DMAC A ch23) 000: T32A ch2 DMA 要求キャプチャ A0 (T32A02DMAREQCAPA0) 001: T32A ch2 DMA 要求キャプチャ A1 (T32A02DMAREQCAPA1) 010: T32A ch3 DMA 要求キャプチャ A0 (T32A03DMAREQCAPA0) 011: T32A ch3 DMA 要求キャプチャ A1 (T32A03DMAREQCAPA1) 100: T32A ch2 DMA 要求キャプチャ C0 (T32A02DMAREQCAPC0) 101: T32A ch2 DMA 要求キャプチャ C1 (T32A02DMAREQCAPC1) 110: T32A ch3 DMA 要求キャプチャ C0 (T32A03DMAREQCAPC0) 111: T32A ch3 DMA 要求キャプチャ C1 (T32A03DMAREQCAPC1)
27	—	0	R	リードすると"0"が読めます。
26	—	0	R/W	"0"を書いてください。
25	—	0	R/W	"0"を書いてください。
24	EN7	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可
23	—	0	R	リードすると"0"が読めます。
22:20	INSEL6[2:0]	000	R/W	入力トリガの選択(DMAC A ch22) 000: T32A ch0 DMA 要求キャプチャ A0 (T32A00DMAREQCAPA0) 001: T32A ch0 DMA 要求キャプチャ A1 (T32A00DMAREQCAPA1) 010: T32A ch1 DMA 要求キャプチャ A0 (T32A01DMAREQCAPA0) 011: T32A ch1 DMA 要求キャプチャ A1 (T32A01DMAREQCAPA1) 100: T32A ch0 DMA 要求キャプチャ C0 (T32A00DMAREQCAPC0) 101: T32A ch0 DMA 要求キャプチャ C1 (T32A00DMAREQCAPC1) 110: T32A ch1 DMA 要求キャプチャ C0 (T32A01DMAREQCAPC0) 111: T32A ch1 DMA 要求キャプチャ C1 (T32A01DMAREQCAPC1)
19	—	0	R	リードすると"0"が読めます。
18	—	0	R/W	"0"を書いてください。
17	—	0	R/W	"0"を書いてください。
16	EN6	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

Bit	Bit Symbol	リセット後	Type	機能
15	—	0	R	リードすると"0"が読めます。
14:12	INSEL5[2:0]	000	R/W	入力トリガの選択(DMAC A ch21) 000: T32A ch3 DMA 要求レジスタ B1 一致 (T32A03DMAREQCMPB1) 001: T32A ch4 DMA 要求レジスタ B1 一致 (T32A04DMAREQCMPB1) 010: T32A ch5 DMA 要求レジスタ B1 一致 (T32A05DMAREQCMPB1) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	—	0	R	リードすると"0"が読めます。
10	—	0	R/W	"0"を書いてください。
9	—	0	R/W	"0"を書いてください。
8	EN5	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可
7	—	0	R	リードすると"0"が読めます。
6:4	INSEL4[2:0]	000	R/W	入力トリガの選択(DMAC A ch20) 000: T32A ch0 DMA 要求レジスタ B1 一致 (T32A00DMAREQCMPB1) 001: T32A ch1 DMA 要求レジスタ B1 一致 (T32A01DMAREQCMPB1) 010: T32A ch2 DMA 要求レジスタ B1 一致 (T32A02DMAREQCMPB1) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	—	0	R	リードすると"0"が読めます。
2	—	0	R/W	"0"を書いてください。
1	—	0	R/W	"0"を書いてください。
0	EN4	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

2.2.4.3. [TSEL0CR2](コントロールレジスタ 2)

Bit	Bit Symbol	リセット後	Type	機能
31	—	0	R	リードすると"0"が読めます。
30:28	INSEL11[2:0]	000	R/W	入力トリガの選択(DMAC A ch27) 000: DMAC ch0 転送終了割り込み (INTDMAATC0) 001: DMAC ch1 転送終了割り込み (INTDMAATC1) 010: DMAC ch4 転送終了割り込み (INTDMAATC4) 011: DMAC ch5 転送終了割り込み (INTDMAATC5) 100: DMAC ch10 転送終了割り込み (INTDMAATC10) 101: DMAC ch11 転送終了割り込み (INTDMAATC11) 110: Reserved 111: Reserved
27	—	0	R	リードすると"0"が読めます。
26	—	0	R/W	"0"を書いてください。
25	—	0	R/W	"0"を書いてください。
24	EN11	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可
23	—	0	R	リードすると"0"が読めます。
22:20	INSEL10[2:0]	000	R/W	入力トリガの選択(DMAC A ch26) 000: T32A ch3 DMA 要求キャプチャ B0 (T32A03DMAREQCAPB0) 001: T32A ch3 DMA 要求キャプチャ B1 (T32A03DMAREQCAPB1) 010: T32A ch4 DMA 要求キャプチャ B0 (T32A04DMAREQCAPB0) 011: T32A ch4 DMA 要求キャプチャ B1 (T32A04DMAREQCAPB1) 100: T32A ch5 DMA 要求キャプチャ B0 (T32A05DMAREQCAPB0) 101: T32A ch5 DMA 要求キャプチャ B1 (T32A05DMAREQCAPB1) 110: Reserved 111: Reserved
19	—	0	R	リードすると"0"が読めます。
18	—	0	R/W	"0"を書いてください。
17	—	0	R/W	"0"を書いてください。
16	EN10	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

Bit	Bit Symbol	リセット後	Type	機能
15	—	0	R	リードすると"0"が読めます。
14:12	INSEL9[2:0]	000	R/W	入力トリガの選択(DMAC A ch25) 000: T32A ch0 DMA 要求キャプチャ B0 (T32A00DMAREQCAPB0) 001: T32A ch0 DMA 要求キャプチャ B1 (T32A00DMAREQCAPB1) 010: T32A ch1 DMA 要求キャプチャ B0 (T32A01DMAREQCAPB0) 011: T32A ch1 DMA 要求キャプチャ B1 (T32A01DMAREQCAPB1) 100: T32A ch2 DMA 要求キャプチャ B0 (T32A02DMAREQCAPB0) 101: T32A ch2 DMA 要求キャプチャ B1 (T32A02DMAREQCAPB1) 110: Reserved 111: Reserved
11	—	0	R	リードすると"0"が読めます。
10	—	0	R/W	"0"を書いてください。
9	—	0	R/W	"0"を書いてください。
8	EN9	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可
7	—	0	R	リードすると"0"が読めます。
6:4	INSEL8[2:0]	000	R/W	入力トリガの選択(DMAC A ch24) 000: T32A ch4 DMA 要求キャプチャ A0 (T32A04DMAREQCAPA0) 001: T32A ch4 DMA 要求キャプチャ A1 (T32A04DMAREQCAPA1) 010: T32A ch5 DMA 要求キャプチャ A0 (T32A05DMAREQCAPA0) 011: T32A ch5 DMA 要求キャプチャ A1 (T32A05DMAREQCAPA1) 100: T32A ch4 DMA 要求キャプチャ C0 (T32A04DMAREQCAPC0) 101: T32A ch4 DMA 要求キャプチャ C1 (T32A04DMAREQCAPC1) 110: T32A ch5 DMA 要求キャプチャ C0 (T32A05DMAREQCAPC0) 111: T32A ch5 DMA 要求キャプチャ C1 (T32A05DMAREQCAPC1)
3	—	0	R	リードすると"0"が読めます。
2	—	0	R/W	"0"を書いてください。
1	—	0	R/W	"0"を書いてください。
0	EN8	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

2.2.4.4. [TSEL0CR3](コントロールレジスタ 3)

Bit	Bit Symbol	リセット後	Type	機能
31	—	0	R	リードすると"0"が読めます。
30:28	INSEL15[2:0]	000	R/W	入力トリガの選択(DMAC A ch31) 000: PN3 端子 (TRGIN2) 001: DMAC ch19 転送終了割り込み (INTDMAATC19) 010: DMAC ch21 転送終了割り込み (INTDMAATC21) 011: DMAC ch24 転送終了割り込み (INTDMAATC24) 100: DMAC ch26 転送終了割り込み (INTDMAATC26) 101: Reserved 110: Reserved 111: Reserved 000(PN3 端子)を選択した場合、<OUTSEL15>は"1"(エッジ検出あり)に設定してください。
27	—	0	R	リードすると"0"が読めます。
26	UPDN15	0	R/W	エッジ検出条件の選択 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL15	0	R/W	トリガ出力の選択 0: エッジ検出なし 1: エッジ検出あり
24	EN15	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可
23	—	0	R	リードすると"0"が読めます。
22:20	INSEL14[2:0]	000	R/W	入力トリガの選択(DMAC A ch30) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: DMAC ch18 転送終了割り込み (INTDMAATC18) 011: DMAC ch20 転送終了割り込み (INTDMAATC20) 100: DMAC ch23 転送終了割り込み (INTDMAATC23) 101: DMAC ch25 転送終了割り込み (INTDMAATC25) 110: Reserved 111: Reserved 000(PB1 端子)/001(PA3 端子)を選択した場合は、<OUTSEL14>は"1"(エッジ検出あり)に設定してください。
19	—	0	R	リードすると"0"が読めます。
18	UPDN14	0	R/W	エッジ検出条件の選択 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL14	0	R/W	トリガ出力の選択 0: エッジ検出なし 1: エッジ検出あり
16	EN14	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

Bit	Bit Symbol	リセット後	Type	機能
15	—	0	R	リードすると"0"が読めます。
14:12	INSEL13[2:0]	000	R/W	入力トリガの選択(DMAC A ch29) 000: DMAC ch8 転送終了割り込み (INTDMAATC8) 001: DMAC ch9 転送終了割り込み (INTDMAATC9) 010: DMAC ch14 転送終了割り込み (INTDMAATC14) 011: DMAC ch15 転送終了割り込み (INTDMAATC15) 100: DMAC ch16 転送終了割り込み (INTDMAATC16) 101: DMAC ch17 転送終了割り込み (INTDMAATC17) 110: DMAC ch22 転送終了割り込み (INTDMAATC22) 111: Reserved
11	—	0	R	リードすると"0"が読めます。
10	—	0	R/W	"0"を書いてください。
9	—	0	R/W	"0"を書いてください。
8	EN13	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可
7	—	0	R	リードすると"0"が読めます。
6:4	INSEL12[2:0]	000	R/W	入力トリガの選択(DMAC A ch28) 000: DMAC ch2 転送終了割り込み (INTDMAATC2) 001: DMAC ch3 転送終了割り込み (INTDMAATC3) 010: DMAC ch6 転送終了割り込み (INTDMAATC6) 011: DMAC ch7 転送終了割り込み (INTDMAATC7) 100: DMAC ch12 転送終了割り込み (INTDMAATC12) 101: DMAC ch13 転送終了割り込み (INTDMAATC13) 110: Reserved 111: Reserved
3	—	0	R	リードすると"0"が読めます。
2	—	0	R/W	"0"を書いてください。
1	—	0	R/W	"0"を書いてください。
0	EN12	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

2.2.4.5. [TSEL0CR4](コントロールレジスタ 4)

Bit	Bit Symbol	リセット後	Type	機能
31	—	0	R	リードすると"0"が読めます。
30:28	INSEL19[2:0]	000	R/W	入力トリガの選択(TSPI ch1) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ (T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ (T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ (T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved 000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL19>は"1"(エッジ検出あり)に設定してください。
27	—	0	R	リードすると"0"が読めます。
26	UPDN19	0	R/W	エッジ検出条件の選択 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL19	0	R/W	トリガ出力の選択 0: エッジ検出なし 1: エッジ検出あり
24	EN19	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可
23	—	0	R	リードすると"0"が読めます。
22:20	INSEL18[2:0]	000	R/W	入力トリガの選択(TSPI ch0) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ (T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ (T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ (T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved 000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL18>は"1"(エッジ検出あり)に設定してください。
19	—	0	R	リードすると"0"が読めます。
18	UPDN18	0	R/W	エッジ検出条件の選択 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL18	0	R/W	トリガ出力の選択 0: エッジ検出なし 1: エッジ検出あり
16	EN18	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

Bit	Bit Symbol	リセット後	Type	機能
15	—	0	R	リードすると"0"が読めます。
14:12	INSEL17[2:0]	000	R/W	入力トリガの選択(ADC ユニット A) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ (T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ (T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ (T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved 000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL17> は"1"(エッジ検出あり)に設定してください。
11	—	0	R	リードすると"0"が読めます。
10	UPDN17	0	R/W	エッジ検出条件の選択 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL17	0	R/W	トリガ出力の選択 0: エッジ検出なし 1: エッジ検出あり
8	EN17	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可
7	—	0	R	リードすると"0"が読めます。
6:4	INSEL16[2:0]	000	R/W	入力トリガの選択(ADC ユニット A) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ (T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ (T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ (T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved 000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL16> は"1"(エッジ検出あり)に設定してください。
3	—	0	R	リードすると"0"が読めます。
2	UPDN16	0	R/W	エッジ検出条件の選択 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL16	0	R/W	トリガ出力の選択 0: エッジ検出なし 1: エッジ検出あり
0	EN16	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

2.2.4.6. [TSEL0CR5](コントロールレジスタ 5)

Bit	Bit Symbol	リセット後	Type	機能
31	—	0	R	リードすると"0"が読めます。
30:28	INSEL23[2:0]	000	R/W	<p>入力トリガの選択(T32A ch0 タイマ A)</p> <p>000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: UART ch0 送信完了トリガ (UART0TXTRG) 100: UART ch0 受信完了トリガ (UART0RXTRG) 101: Reserved 110: Reserved 111: Reserved</p> <p>000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、 <OUTSEL23>は"1"(エッジ検出あり)に設定してください。</p>
27	—	0	R	リードすると"0"が読めます。
26	UPDN23	0	R/W	<p>エッジ検出条件の選択</p> <p>0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出</p>
25	OUTSEL23	0	R/W	<p>トリガ出力の選択</p> <p>0: エッジ検出なし 1: エッジ検出あり</p>
24	EN23	0	R/W	<p>トリガ出力制御の設定</p> <p>0: 禁止 1: 許可</p>
23	—	0	R	リードすると"0"が読めます。
22:20	INSEL22[2:0]	000	R/W	<p>入力トリガの選択(UART ch2)</p> <p>000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ (T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ (T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ (T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved</p> <p>000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、 <OUTSEL22>は"1"(エッジ検出あり)に設定してください。</p>
19	—	0	R	リードすると"0"が読めます。
18	UPDN22	0	R/W	<p>エッジ検出条件の選択</p> <p>0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出</p>
17	OUTSEL22	0	R/W	<p>トリガ出力の選択</p> <p>0: エッジ検出なし 1: エッジ検出あり</p>
16	EN22	0	R/W	<p>トリガ出力制御の設定</p> <p>0: 禁止 1: 許可</p>

Bit	Bit Symbol	リセット後	Type	機能
15	—	0	R	リードすると"0"が読めます。
14:12	INSEL21[2:0]	000	R/W	入力トリガの選択(UART ch1) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ (T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ (T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ (T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved 000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、 <OUTSEL21>は"1"(エッジ検出あり)に設定してください。
11	—	0	R	リードすると"0"が読めます。
10	UPDN21	0	R/W	エッジ検出条件の選択 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL21	0	R/W	トリガ出力の選択 0: エッジ検出なし 1: エッジ検出あり
8	EN21	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可
7	—	0	R	リードすると"0"が読めます。
6:4	INSEL20[2:0]	000	R/W	入力トリガの選択(UART ch0) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ (T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ (T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ (T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved 000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、 <OUTSEL20>は"1"(エッジ検出あり)に設定してください。
3	—	0	R	リードすると"0"が読めます。
2	UPDN20	0	R/W	エッジ検出条件の選択 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL20	0	R/W	トリガ出力の選択 0: エッジ検出なし 1: エッジ検出あり
0	EN20	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

2.2.4.7. [TSEL0CR6](コントロールレジスタ 6)

Bit	Bit Symbol	リセット後	Type	機能
31	—	0	R	リードすると"0"が読めます。
30:28	INSEL27[2:0]	000	R/W	入力トリガの選択(T32A ch1 タイマ B) 000: T32A ch1 タイマレジスタ A0 一致トリガ (T32A01TRGOUTCMPA0) 001: T32A ch1 タイマレジスタ A1 一致トリガ (T32A01TRGOUTCMPA1) 010: T32A ch1 タイマ A オーバフロートリガ (T32A01TRGOUTOFA) 011: T32A ch1 タイマ A アンダフロートリガ (T32A01TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	—	0	R	リードすると"0"が読めます。
26	—	0	R/W	"0"を書いてください。
25	—	0	R/W	"0"を書いてください。
24	EN27	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可
23	—	0	R	リードすると"0"が読めます。
22:20	INSEL26[2:0]	000	R/W	入力トリガの選択(T32A ch1 タイマ A) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: UART ch1 送信完了トリガ (UART1TXTRG) 100: UART ch1 受信完了トリガ (UART1RXTRG) 101: Reserved 110: Reserved 111: Reserved 000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、 <OUTSEL26>は"1"(エッジ検出あり)に設定してください。
19	—	0	R	リードすると"0"が読めます。
18	UPDN26	0	R/W	エッジ検出条件の選択 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL26	0	R/W	トリガ出力の選択 0: エッジ検出なし 1: エッジ検出あり
16	EN26	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

Bit	Bit Symbol	リセット後	Type	機能
15	—	0	R	リードすると"0"が読めます。
14:12	INSEL25[2:0]	000	R/W	入力トリガの選択(T32A ch0 タイマ C) 000: T32A ch5 タイマレジスタ C0 一致トリガ (T32A05TRGOUTCMPC0) 001: T32A ch5 タイマレジスタ C1 一致トリガ (T32A05TRGOUTCMPC1) 010: T32A ch5 タイマ C オーバフロートリガ (T32A05TRGOUTOFC) 011: T32A ch5 タイマ C アンダフロートリガ (T32A05TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	—	0	R	リードすると"0"が読めます。
10	—	0	R/W	"0"を書いてください。
9	—	0	R/W	"0"を書いてください。
8	EN25	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可
7	—	0	R	リードすると"0"が読めます。
6:4	INSEL24[2:0]	000	R/W	入力トリガの選択(T32A ch0 タイマ B) 000: T32A ch0 タイマレジスタ A0 一致トリガ (T32A00TRGOUTCMPA0) 001: T32A ch0 タイマレジスタ A1 一致トリガ (T32A00TRGOUTCMPA1) 010: T32A ch0 タイマ A オーバフロートリガ (T32A00TRGOUTOFA) 011: T32A ch0 タイマ A アンダフロートリガ (T32A00TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	—	0	R	リードすると"0"が読めます。
2	—	0	R/W	"0"を書いてください。
1	—	0	R/W	"0"を書いてください。
0	EN24	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

2.2.4.8. [TSEL0CR7](コントロールレジスタ 7)

Bit	Bit Symbol	リセット後	Type	機能
31	—	0	R	リードすると"0"が読めます。
30:28	INSEL31[2:0]	000	R/W	入カトリガの選択(T32A ch2 タイマ C) 000: T32A ch1 タイマレジスタ C0 一致トリガ (T32A01TRGOUTCMPC0) 001: T32A ch1 タイマレジスタ C1 一致トリガ (T32A01TRGOUTCMPC1) 010: T32A ch1 タイマ C オーバフロートリガ (T32A01TRGOUTOFC) 011: T32A ch1 タイマ C アンダフロートリガ (T32A01TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	—	0	R	リードすると"0"が読めます。
26	—	0	R/W	"0"を書いてください。
25	—	0	R/W	"0"を書いてください。
24	EN31	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可
23	—	0	R	リードすると"0"が読めます。
22:20	INSEL30[2:0]	000	R/W	入カトリガの選択(T32A ch2 タイマ B) 000: T32A ch2 タイマレジスタ A0 一致トリガ (T32A02TRGOUTCMPA0) 001: T32A ch2 タイマレジスタ A1 一致トリガ (T32A02TRGOUTCMPA1) 010: T32A ch2 タイマ A オーバフロートリガ (T32A02TRGOUTOFA) 011: T32A ch2 タイマ A アンダフロートリガ (T32A02TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	—	0	R	リードすると"0"が読めます。
18	—	0	R/W	"0"を書いてください。
17	—	0	R/W	"0"を書いてください。
16	EN30	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

Bit	Bit Symbol	リセット後	Type	機能
15	—	0	R	リードすると"0"が読めます。
14:12	INSEL29[2:0]	000	R/W	入力トリガの選択(T32A ch2 タイマ A) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: UART ch2 送信完了トリガ (UART2TXTRG) 100: UART ch2 受信完了トリガ (UART2RXTRG) 101: I ² C ch0 割り込み (INTI2C0) 110: Reserved 111: Reserved 000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、 <OUTSEL29>は"1"(エッジ検出あり)に設定してください。
11	—	0	R	リードすると"0"が読めます。
10	UPDN29	0	R/W	エッジ検出条件の選択 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL29	0	R/W	トリガ出力の選択 0: エッジ検出なし 1: エッジ検出あり
8	EN29	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可
7	—	0	R	リードすると"0"が読めます。
6:4	INSEL28[2:0]	000	R/W	入力トリガの選択(T32A ch1 タイマ C) 000: T32A ch0 タイマレジスタ C0 一致トリガ (T32A00TRGOUTCMPC0) 001: T32A ch0 タイマレジスタ C1 一致トリガ (T32A00TRGOUTCMPC1) 010: T32A ch0 タイマ C オーバフロートリガ (T32A00TRGOUTOFC) 011: T32A ch0 タイマ C アンダフロートリガ (T32A00TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	—	0	R	リードすると"0"が読めます。
2	—	0	R/W	"0"を書いてください。
1	—	0	R/W	"0"を書いてください。
0	EN28	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

2.2.4.9. [TSEL0CR8](コントロールレジスタ 8)

Bit	Bit Symbol	リセット後	Type	機能
31	—	0	R	リードすると"0"が読めます。
30:28	INSEL35[2:0]	000	R/W	<p>入力トリガの選択(T32A ch4 タイマ A)</p> <p>000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: TSPI ch1 送信完了信号 (TSPI1TXEND) 100: TSPI ch1 受信完了信号 (TSPI1RXEND) 101: I²C ch2 割り込み (INTI2C2) 110: ELOSC 低速クロック (fs) 111: Reserved</p> <p>000(PB1 端子)/001(PA3 端子)/010(PN3 端子)/110(ELOSC)を選択した場合は、<OUTSEL35>は"1"(エッジ検出あり)に設定してください。</p>
27	—	0	R	リードすると"0"が読めます。
26	UPDN35	0	R/W	<p>エッジ検出条件の選択</p> <p>0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出</p>
25	OUTSEL35	0	R/W	<p>トリガ出力の選択</p> <p>0: エッジ検出なし 1: エッジ検出あり</p>
24	EN35	0	R/W	<p>トリガ出力制御の設定</p> <p>0: 禁止 1: 許可</p>
23	—	0	R	リードすると"0"が読めます。
22:20	INSEL34[2:0]	000	R/W	<p>入力トリガの選択(T32A ch3 タイマ C)</p> <p>000: T32A ch2 タイマレジスタ C0 一致トリガ(T32A02TRGOUTCMPC0) 001: T32A ch2 タイマレジスタ C1 一致トリガ(T32A02TRGOUTCMPC1) 010: T32A ch2 タイマ C オーバフロートリガ (T32A02TRGOUTOFC) 011: T32A ch2 タイマ C アンダフロートリガ (T32A02TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved</p>
19	—	0	R	リードすると"0"が読めます。
18	—	0	R/W	"0"を書いてください。
17	—	0	R/W	"0"を書いてください。
16	EN34	0	R/W	<p>トリガ出力制御の設定</p> <p>0: 禁止 1: 許可</p>

Bit	Bit Symbol	リセット後	Type	機能
15	—	0	R	リードすると"0"が読めます。
14:12	INSEL33[2:0]	000	R/W	入力トリガの選択(T32A ch3 タイマ B) 000: T32A ch3 タイマレジスタ A0 一致トリガ (T32A03TRGOUTCMPA0) 001: T32A ch3 タイマレジスタ A1 一致トリガ (T32A03TRGOUTCMPA1) 010: T32A ch3 タイマ A オーパフロートリガ (T32A03TRGOUTOFA) 011: T32A ch3 タイマ A アンダフロートリガ (T32A03TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	—	0	R	リードすると"0"が読めます。
10	—	0	R/W	"0"を書いてください。
9	—	0	R/W	"0"を書いてください。
8	EN33	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可
7	—	0	R	リードすると"0"が読めます。
6:4	INSEL32[2:0]	000	R/W	入力トリガの選択(T32A ch3 タイマ A) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: TSPI ch0 送信完了信号 (TSPI0TXEND) 100: TSPI ch0 受信完了信号 (TSPI0RXEND) 101: I ² C ch1 割り込み (INTI2C1) 110: A-ENC ch0 分周パルス信号(ENC0TIMPLS) 111: Reserved 000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、 <OUTSEL32>は"1"(エッジ検出あり)に設定してください。
3	—	0	R	リードすると"0"が読めます。
2	UPDN32	0	R/W	エッジ検出条件の選択 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL32	0	R/W	トリガ出力の選択 0: エッジ検出なし 1: エッジ検出あり
0	EN32	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

2.2.4.10. [TSEL0CR9](コントロールレジスタ 9)

Bit	Bit Symbol	リセット後	Type	機能
31	—	-	-	リードすると"0"が読めます。
30:28	INSEL39[2:0]	000	R/W	入力トリガの選択(T32A ch5 タイマ B) 000: T32A ch5 タイマレジスタ A0 一致トリガ (T32A05TRGOUTCMPA0) 001: T32A ch5 タイマレジスタ A1 一致トリガ (T32A05TRGOUTCMPA1) 010: T32A ch5 タイマ A オーバフロートリガ (T32A05TRGOUTOFA) 011: T32A ch5 タイマ A アンダフロートリガ (T32A05TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	—	0	R	リードすると"0"が読めます。
26	—	0	R/W	"0"を書いてください。
25	—	0	R/W	"0"を書いてください。
24	EN39	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可
23	—	0	R	リードすると"0"が読めます。
22:20	INSEL38[2:0]	000	R/W	入力トリガの選択(T32A ch5 タイマ A) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: ADC ユニット A 汎用トリガ割り込み (INTADATRG) 100: ADC ユニット A 単独変換割り込み (INTADASGL) 101: ADC ユニット A 連続変換割り込み (INTADACNT) 110: ADC ユニット A 監視機能 0 割り込み (INTADACP0) 111: ADC ユニット A 監視機能 1 割り込み (INTADACP1) 000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、 <OUTSEL38>は"1"(エッジ検出あり)に設定してください。
19	—	0	R	リードすると"0"が読めます。
18	UPDN38	0	R/W	エッジ検出条件の選択 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL38	0	R/W	トリガ出力の選択 0: エッジ検出なし 1: エッジ検出あり
16	EN38	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

Bit	Bit Symbol	リセット後	Type	機能
15	—	0	R	リードすると"0"が読めます。
14:12	INSEL37[2:0]	000	R/W	入力トリガの選択(T32A ch3 タイマ C) 000: T32A ch3 タイマレジスタ C0 一致トリガ (T32A03TRGOUTCMPC0) 001: T32A ch3 タイマレジスタ C1 一致トリガ (T32A03TRGOUTCMPC1) 010: T32A ch3 タイマ C オーバフロートリガ (T32A03TRGOUTOFC) 011: T32A ch3 タイマ C アンダフロートリガ (T32A03TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	—	0	R	リードすると"0"が読めます。
10	—	0	R/W	"0"を書いてください。
9	—	0	R/W	"0"を書いてください。
8	EN37	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可
7	—	0	R	リードすると"0"が読めます。
6:4	INSEL36[2:0]	000	R/W	入力トリガの選択(T32A ch4 タイマ B) 000: T32A ch4 タイマレジスタ A0 一致トリガ (T32A04TRGOUTCMPA0) 001: T32A ch4 タイマレジスタ A1 一致トリガ (T32A04TRGOUTCMPA1) 010: T32A ch4 タイマ A オーバフロートリガ (T32A04TRGOUTOFA) 011: T32A ch4 タイマ A アンダフロートリガ (T32A04TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	—	0	R	リードすると"0"が読めます。
2	—	0	R/W	"0"を書いてください。
1	—	0	R/W	"0"を書いてください。
0	EN36	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

2.2.4.11. [TSEL0CR10](コントロールレジスタ 10)

Bit	Bit Symbol	リセット後	Type	機能
31:7	—	0	R	リードすると"0"が読めます。
6:4	INSEL40[2:0]	000	R/W	入力トリガの選択(T32A ch5 タイマ C) 000: T32A ch4 タイマレジスタ C0 一致トリガ (T32A04TRGOUTCMPC0) 001: T32A ch4 タイマレジスタ C1 一致トリガ (T32A04TRGOUTCMPC1) 010: T32A ch4 タイマ C オーバフロートリガ (T32A04TRGOUTOFC) 011: T32A ch4 タイマ C アンダフロートリガ (T32A04TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	—	0	R	リードすると"0"が読めます。
2	—	0	R/W	"0"を書いてください。
1	—	0	R/W	"0"を書いてください。
0	EN40	0	R/W	トリガ出力制御の設定 0: 禁止 1: 許可

2.3. クロック選択式ウォッチドッグタイマ(SIWDT)

2.3.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.10 SIWDT 搭載チャンネル

製品	SIWDT 搭載チャンネル (○:搭載、-:非搭載)
	ch0
M3H6	○
M3H5	○
M3H4	○
M3H3	○
M3H2	○
M3H1	○
M3H0	○

2.3.2. カウントクロック

クロック選択式ウォッチドッグタイマは、カウントするクロックを選択可能です。以下の表に選択できるクロックを示します。

表 2.11 SIWDT カウントクロック

クロック	信号名	選択
システムクロック	fsys	[SIWD0MOD]<WDCLS> レジスタで選択します。
内蔵高速発振器 1 クロック	f _{IHOSC1}	
内蔵高速発振器 2 クロック	f _{IHOSC2}	

2.3.3. 制御出力

内蔵高速発振器 2(f_{IHOSC2})を選択した場合、内蔵高速発振器 2 の書き換えを禁止することが可能です、

表 2.12 SIWDT 制御出力

制御出力	信号名	備考
内蔵高速発振器 2 発振制御ビット ([CGOSCCR]<IHOSC2EN> のプロテクト信号)	OSCPRO	[SIWD0OSCCR]<OSCPRO>レジスタ で設定します。

2.4. 周波数検知回路(OFD)

2.4.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.13 OFD 搭載一覧

製品	OFD 搭載 (○:あり、×:なし)
M3H6	○
M3H5	○
M3H4	○
M3H3	○
M3H2	○
M3H1	○
M3H0	○

2.4.2. 基準クロック

周波数検知回路は以下の表のクロックを基準クロックとして動作します。

表 2.14 OFD 基準クロック

基準クロック	信号名	分周値
内蔵高速発振器 2 クロック	f _{IHOSC2}	256

2.4.3. 検知対象クロック

周波数検知回路は以下の表の検知対象クロックからモニタしたいクロックを選択します。

表 2.15 OFD 検知対象クロック

検知対象クロック		信号名
入力信号	外部高速発振器クロック	f _{EHOSC}
	CG(クロック制御部)の [CGOSCCR]<OSCSEL> と [CGPLLOSEL]<PLLOSEL>で 選択されたクロック	fc

2.5. デバッグインタフェース

2.5.1. 製品別デバッグインタフェース一覧

表 2.16 デバッグインタフェース搭載一覧

デバッグ端子 (信号名)	ポート	端子対応 (○:対応、-:非対応)						
		M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
SWDIO	PK2	○	○	○	○	○	○	○
TMS		○	○	○	○	○	○	○
SWCLK	PK3	○	○	○	○	○	○	○
TCK		○	○	○	○	○	○	○
SWV	PK4	○	○	○	○	○	○	-
TDO		○	○	○	○	○	○	-
TDI	PK5	○	○	○	○	○	○	-
TRST_N	PK6	○	○	○	-	-	-	-
TRACECLK	PM0	○	○	○	-	-	-	-
TRACEDATA0	PM1	○	○	○	-	-	-	-
TRACEDATA1	PM2	○	○	○	-	-	-	-
TRACEDATA2	PM3	○	-	-	-	-	-	-
TRACEDATA3	PM4	○	-	-	-	-	-	-

2.6. フラッシュメモリ

2.6.1. 書き込み, 消去操作クロック

フラッシュメモリは、コードフラッシュまたはデータフラッシュへの書き込み, 消去操作に以下の表に示すクロックが使用されます。

表 2.17 書き込み, 消去操作クロック

書き込み, 消去操作クロック
f _{IHOSC1}

2.6.2. 製品別コードフラッシュブロック構成

コードフラッシュメモリは、下記の表のように製品によってメモリのブロック構成が異なります。

表 2.18 製品別コードフラッシュ

ブロック名称		M3H6FWFG	M3H6FUFG	M3H6FSFG	M3H1FPUG	M3H0FMDUG	ブロック サイズ (KB)
		M3H6FWDFG	M3H6FUDFG	M3H6FSDFG			
		M3H5FWFG	M3H5FUFG	M3H5FSFG			
		M3H5FWDFG	M3H5FUDFG	M3H5FSDFG			
		M3H4FWUG	M3H4FUUG	M3H4FSUG			
		M3H4FWFG	M3H4FUFG	M3H4FSFG			
		M3H3FWUG	M3H3FUUG	M3H3FSUG			
		M3H2FWQG	M3H2FUQG	M3H2FSQG			
		M3H2FWDUG	M3H2FUDUG	M3H2FSDUG			
		M3H1FWUG	M3H1FUUG	M3H1FSUG			
				M3H0FSDUG			
Block0	PG0	○	○	○	○	○	4
	PG1	○	○	○	○	○	4
	PG2	○	○	○	○	○	4
	PG3	○	○	○	○	○	4
	PG4	○	○	○	○	○	4
	PG5	○	○	○	○	○	4
	PG6	○	○	○	○	○	4
	PG7	○	○	○	○	○	4
Block1		○	○	○	○ (注 1)	—	32
Block2		○	○	—	—	—	32
Block3		○	—	—	—	—	32

○: Block あり、—: Block なし

注 1) 16KB のみ

2.6.3. 製品別データフラッシュブロック構成

データフラッシュメモリは、下記の表のように製品によってメモリのブロック構成が異なります。

表 2.19 製品別データフラッシュ

ブロック名称	M3H6FWFG M3H6FWDFG M3H6FUFG M3H6FUDFG M3H5FWFG M3H5FWDFG M3H5FUFG M3H5FUDFG M3H4FWUG M3H4FWFG M3H4FUUG M3H4FUFG M3H3FWUG M3H3FUUG M3H2FWQG M3H2FWDUG M3H2FUQG M3H2FUDUG M3H1FWUG M3H1FUUG	M3H6FSFG M3H6SDFG M3H5FSFG M3H5SDFG M3H4FSUG M3H4FSFG M3H3FSUG M3H2FSQG M3H2FSDUG M3H1FSUG M3H0FSDUG	M3H1FPUG M3H0FMDUG	ブロック サイズ (KB)
Block0	○	○	○	4
Block1	○	○	○	4
Block2	○	○	—	4
Block3	○	○	—	4
Block4	○	—	—	4
Block5	○	—	—	4
Block6	○	—	—	4
Block7	○	—	—	4

○:Block あり、—: Block なし

2.6.4. シングルブート使用リソース

シングルブートでは下記表の周辺機能を使用します。

表 2.20 シングルブート使用リソース

周辺機能	チャネル	端子名
BOOT	—	PB0 (BOOT_N)
UART	ch0	PA1/PA2 (UT0TXDA/UT0RXD) または、 PM1/PM2 (UT0TXDA/UT0RXD) (注)
T32A	ch0	—

注) シングルブート起動時、PA1/PA2またはPM1/PM2の選択は端子の状態により自動判別されます。自動判別の期間、PA2/UT0RXD および PM2/UT0RXD は内部 pull-up が有効となって"High"レベルが出力されます。この時、使用しない側のUT0RXDの"High"レベルを保持(オープンまたは"High"レベル入力)してください。自動判別が終わると使用しない側のUT0RXDは"Hi-z"となります。

RAM ローダコマンドで転送するRAMアドレスは下表の範囲で行ってください。

表 2.21 RAM転送可能最終アドレス

製品名	RAM 転送可能最終アドレス
TMPM3H6FWFG TMPM3H6FWDFG TMPM3H5FWFG TMPM3H5FWDFG TMPM3H4FWFG TMPM3H4FWUG TMPM3H3FWUG TMPM3H2FWDUG TMPM3H2FWQG TMPM3H1FWUG	0x20000400~0x20003FFF
TMPM3H6FUFG TMPM3H6FUDFG TMPM3H5FUFG TMPM3H5FUDFG TMPM3H4FUFG TMPM3H4FUUG TMPM3H3FUUG TMPM3H2FUDUG TMPM3H2FUQG TMPM3H1FUUG	0x20000400~0x20002FFF
TMPM3H6FSFG TMPM3H6FSDFG TMPM3H5FSFG TMPM3H5FSDFG TMPM3H4FSFG TMPM3H4FSUG TMPM3H3FSUG TMPM3H2FSUG TMPM3H2FSQG TMPM3H1FSUG TMPM3H0FSUG	0x20000400~0x20001FFF
TMPM3H1FPUG	0x20000400~0x200017FF
TMPM3H0FMDUG	

2.7. DMA コントローラ(DMAC)

2.7.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.22 DMAC 搭載ユニット

製品	DMAC 搭載ユニット (○:搭載、-:非搭載)
	ユニット A
M3H6	○
M3H5	○
M3H4	○
M3H3	○
M3H2	○
M3H1	○
M3H0	○

2.7.2. DMA 要求一覧

下記表に DMA 要求一覧を示します。

表のトリガセクタ欄にレジスタ名のあるチャンネルは、トリガセクタで使用する要求を選択してください。表内の“-”は該当する機能がありません。

表 2.23 DMA要求一覧(1/3)

チャネル	シングル転送		バースト転送		
		信号名	トリガセクタ		信号名
0	TSPI ch0 受信 DMA 要求	TSPI0RX_DMA	—	TSPI ch0 受信 DMA 要求	TSPI0RX_DMA
1	TSPI ch0 送信 DMA 要求	TSPI0TX_DMA	—	TSPI ch0 送信 DMA 要求	TSPI0TX_DMA
2	TSPI ch1 受信 DMA 要求 (注 2)	TSPI1RX_DMA	—	TSPI ch1 受信 DMA 要求 (注 2)	TSPI1RX_DMA
3	TSPI ch1 送信 DMA 要求 (注 2)	TSPI1TX_DMA	—	TSPI ch1 送信 DMA 要求 (注 2)	TSPI1TX_DMA
4	—	—	—	I ² C ch0 受信 DMA リクエスト	I2C0RXDMAREQ
5	—	—	—	I ² C ch0 送信 DMA リクエスト	I2C0TXDMAREQ
6	—	—	—	I ² C ch1 受信 DMA リクエスト (注 3)	I2C1RXDMAREQ
7	—	—	—	I ² C ch1 送信 DMA リクエスト (注 3)	I2C1TXDMAREQ
8	—	—	—	I ² C ch2 受信 DMA リクエスト (注 4)	I2C2RXDMAREQ
9	—	—	—	I ² C ch2 送信 DMA リクエスト (注 4)	I2C2TXDMAREQ
10	UART ch0 受信 DMA 要求	UART0RX_DMAREQ	—	UART ch0 受信 DMA 要求	UART0RX_DMAREQ
11	UART ch0 送信 DMA 要求	UART0TX_DMAREQ	—	UART ch0 送信 DMA 要求	UART0TX_DMAREQ
12	UART ch1 受信 DMA 要求	UART1RX_DMAREQ	—	UART ch1 受信 DMA 要求	UART1RX_DMAREQ
13	UART ch1 送信 DMA 要求	UART1TX_DMAREQ	—	UART ch1 送信 DMA 要求	UART1TX_DMAREQ
14	UART ch2 受信 DMA 要求 (注 5)	UART2RX_DMAREQ	—	UART ch2 受信 DMA 要求 (注 5)	UART2RX_DMAREQ
15	UART ch2 送信 DMA 要求 (注 5)	UART2TX_DMAREQ	—	UART ch2 送信 DMA 要求 (注 5)	UART2TX_DMAREQ
16	—	—	[TSELOCRO] <INSEL0[2:0]> (注 1)	ADC ユニット A 汎用トリガ DMA 要求	ADATRG_DMAREQ
				ADC ユニット A 単独変換 DMA 要求	ADASGL_DMAREQ
				ADC ユニット A 連続変換 DMA 要求	ADACNT_DMAREQ

注 1) ch16~ch31 はトリガセクタで DMA 要求の入力トリガを選択します。詳細な接続先については、「2.2. トリガセクタ(TRGSEL)」を参照してください。

注 2) M3H0 には TSPI の ch1 はありません。

注 3) M3H0 には I²C の ch1 はありません。

注 4) M3H2/M3H1/M3H0 には I²C の ch2 はありません。

注 5) M3H0 には UART の ch2 はありません。

表 2.24 DMA要求一覧(2/3)

チャネル	シングル転送		バースト転送		
	信号名	トリガセクタ	トリガセクタ	信号名	
17	-	-	[TSELOCR0] <INSEL1[2:0]> (注 1)	T32A ch0 DMA 要求レジスタ A1 一致	T32A00DMAREQCMPA1
				T32A ch0 DMA 要求レジスタ C1 一致	T32A00DMAREQCMPC1
				T32A ch1 DMA 要求レジスタ A1 一致	T32A01DMAREQCMPA1
				T32A ch1 DMA 要求レジスタ C1 一致	T32A01DMAREQCMPC1
				PMD+ ch0 PWM 割り込み	INTPMD0
18	-	-	[TSELOCR0] <INSEL2[2:0]> (注 1)	T32A ch2 DMA 要求レジスタ A1 一致	T32A02DMAREQCMPA1
				T32A ch2 DMA 要求レジスタ C1 一致	T32A02DMAREQCMPC1
				T32A ch3 DMA 要求レジスタ A1 一致	T32A03DMAREQCMPA1
				T32A ch3 DMA 要求レジスタ C1 一致	T32A03DMAREQCMPC1
19	-	-	[TSELOCR0] <INSEL3[2:0]> (注 1)	T32A ch4 DMA 要求レジスタ A1 一致	T32A04DMAREQCMPA1
				T32A ch4 DMA 要求レジスタ C1 一致	T32A04DMAREQCMPC1
				T32A ch5 DMA 要求レジスタ A1 一致	T32A05DMAREQCMPA1
				T32A ch5 DMA 要求レジスタ C1 一致	T32A05DMAREQCMPC1
20	-	-	[TSELOCR1] <INSEL4[2:0]> (注 1)	T32A ch0 DMA 要求レジスタ B1 一致	T32A00DMAREQCMPB1
				T32A ch1 DMA 要求レジスタ B1 一致	T32A01DMAREQCMPB1
				T32A ch2 DMA 要求レジスタ B1 一致	T32A02DMAREQCMPB1
21	-	-	[TSELOCR1] <INSEL5[2:0]> (注 1)	T32A ch3 DMA 要求レジスタ B1 一致	T32A03DMAREQCMPB1
				T32A ch4 DMA 要求レジスタ B1 一致	T32A04DMAREQCMPB1
				T32A ch5 DMA 要求レジスタ B1 一致	T32A05DMAREQCMPB1
22	-	-	[TSELOCR1] <INSEL6[2:0]> (注 1)	T32A ch0 DMA 要求キャプチャ A0	T32A00DMAREQCAPA0
				T32A ch0 DMA 要求キャプチャ A1	T32A00DMAREQCAPA1
				T32A ch1 DMA 要求キャプチャ A0	T32A01DMAREQCAPA0
				T32A ch1 DMA 要求キャプチャ A1	T32A01DMAREQCAPA1
				T32A ch0 DMA 要求キャプチャ C0	T32A00DMAREQCAPC0
				T32A ch0 DMA 要求キャプチャ C1	T32A00DMAREQCAPC1
				T32A ch1 DMA 要求キャプチャ C0	T32A01DMAREQCAPC0
				T32A ch1 DMA 要求キャプチャ C1	T32A01DMAREQCAPC1
23	-	-	[TSELOCR1] <INSEL7[2:0]> (注 1)	T32A ch2 DMA 要求キャプチャ A0	T32A02DMAREQCAPA0
				T32A ch2 DMA 要求キャプチャ A1	T32A02DMAREQCAPA1
				T32A ch3 DMA 要求キャプチャ A0	T32A03DMAREQCAPA0
				T32A ch3 DMA 要求キャプチャ A1	T32A03DMAREQCAPA1
				T32A ch2 DMA 要求キャプチャ C0	T32A02DMAREQCAPC0
				T32A ch2 DMA 要求キャプチャ C1	T32A02DMAREQCAPC1
				T32A ch3 DMA 要求キャプチャ C0	T32A03DMAREQCAPC0
				T32A ch3 DMA 要求キャプチャ C1	T32A03DMAREQCAPC1
24	-	-	[TSELOCR2] <INSEL8[2:0]> (注 1)	T32A ch4 DMA 要求キャプチャ A0	T32A04DMAREQCAPA0
				T32A ch4 DMA 要求キャプチャ A1	T32A04DMAREQCAPA1
				T32A ch5 DMA 要求キャプチャ A0	T32A05DMAREQCAPA0
				T32A ch5 DMA 要求キャプチャ A1	T32A05DMAREQCAPA1
				T32A ch4 DMA 要求キャプチャ C0	T32A04DMAREQCAPC0
				T32A ch4 DMA 要求キャプチャ C1	T32A04DMAREQCAPC1
				T32A ch5 DMA 要求キャプチャ C0	T32A05DMAREQCAPC0
				T32A ch5 DMA 要求キャプチャ C1	T32A05DMAREQCAPC1

注 1) ch16~ch31はトリガセクタでDMA要求のトリガソースを選択します。詳細な接続先については、「2.2. トリガセクタ(TRGSEL)」を参照してください。

表 2.25 DMA要求一覧(3/3)

チャネル	シングル転送		バースト転送		
	信号名	トリガセクタ	信号名	信号名	
25	-	-	[TSEL0CR2] <INSEL9[2:0]> (注 1)	T32A ch0 DMA 要求キャプチャ B0	T32A00DMAREQCAPB0
				T32A ch0 DMA 要求キャプチャ B1	T32A00DMAREQCAPB1
				T32A ch1 DMA 要求キャプチャ B0	T32A01DMAREQCAPB0
				T32A ch1 DMA 要求キャプチャ B1	T32A01DMAREQCAPB1
				T32A ch2 DMA 要求キャプチャ B0	T32A02DMAREQCAPB0
				T32A ch2 DMA 要求キャプチャ B1	T32A02DMAREQCAPB1
26	-	-	[TSEL0CR2] <INSEL10[2:0]> (注 1)	T32A ch3 DMA 要求キャプチャ B0	T32A03DMAREQCAPB0
				T32A ch3 DMA 要求キャプチャ B1	T32A03DMAREQCAPB1
				T32A ch4 DMA 要求キャプチャ B0	T32A04DMAREQCAPB0
				T32A ch4 DMA 要求キャプチャ B1	T32A04DMAREQCAPB1
				T32A ch5 DMA 要求キャプチャ B0	T32A05DMAREQCAPB0
				T32A ch5 DMA 要求キャプチャ B1	T32A05DMAREQCAPB1
27	-	-	[TSEL0CR2] <INSEL11[2:0]> (注 1)	DMAC ch0 転送終了割り込み	INTDMAATC0
				DMAC ch1 転送終了割り込み	INTDMAATC1
				DMAC ch4 転送終了割り込み	INTDMAATC4
				DMAC ch5 転送終了割り込み	INTDMAATC5
				DMAC ch10 転送終了割り込み	INTDMAATC10
				DMAC ch11 転送終了割り込み	INTDMAATC11
28	-	-	[TSEL0CR3] <INSEL12[2:0]> (注 1)	DMAC ch2 転送終了割り込み	INTDMAATC2
				DMAC ch3 転送終了割り込み	INTDMAATC3
				DMAC ch6 転送終了割り込み	INTDMAATC6
				DMAC ch7 転送終了割り込み	INTDMAATC7
				DMAC ch12 転送終了割り込み	INTDMAATC12
				DMAC ch13 転送終了割り込み	INTDMAATC13
29	-	-	[TSEL0CR3] <INSEL13[2:0]> (注 1)	DMAC ch8 転送終了割り込み	INTDMAATC8
				DMAC ch9 転送終了割り込み	INTDMAATC9
				DMAC ch14 転送終了割り込み	INTDMAATC14
				DMAC ch15 転送終了割り込み	INTDMAATC15
				DMAC ch16 転送終了割り込み	INTDMAATC16
				DMAC ch17 転送終了割り込み	INTDMAATC17
30	-	-	[TSEL0CR3] <INSEL14[2:0]> (注 1)	PB1 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1) (注 2)	TRGIN1
				DMAC ch18 転送終了割り込み	INTDMAATC18
				DMAC ch20 転送終了割り込み	INTDMAATC20
				DMAC ch23 転送終了割り込み	INTDMAATC23
				DMAC ch25 転送終了割り込み	INTDMAATC25
31	-	-	[TSEL0CR3] <INSEL15[2:0]> (注 1)	PN3 端子(TRGIN2) (注 3)	TRGIN2
				DMAC ch19 転送終了割り込み	INTDMAATC19
				DMAC ch21 転送終了割り込み	INTDMAATC21
				DMAC ch24 転送終了割り込み	INTDMAATC24
				DMAC ch26 転送終了割り込み	INTDMAATC26

注 1) ch16~ch31はトリガセクタでDMA要求のトリガソースを選択します。詳細な接続先については、「2.2. トリガセクタ(TRGSEL)」を参照してください。

注 2) M3H0にはPA3端子(TRGIN1)はありません。

注 3) M3H3/M3H2/M3H1/M3H0にはPN3端子(TRGIN2)はありません。

2.8. モータ制御回路プラス(PMD+)

2.8.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.26 PMD+ 搭載チャンネル

製品	PMD+ 搭載チャンネル (○:搭載、-:非搭載)
	ch0
M3H6	○
M3H5	○
M3H4	○
M3H3	○
M3H2	○
M3H1	○
M3H0	○

2.8.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.27 PMD+ 機能端子

チャンネル	機能端子		信号名	ポート	ポートの製品対応 (○:対応、-:非対応)						
					M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
ch0	XO0	出力	XO0	PJ1	○	○	○	○	○	○	○
	YO0	出力	YO0	PJ3	○	○	○	○	○	○	○
	ZO0	出力	ZO0	PJ5	○	○	○	○	○	○	○
	UO0	出力	UO0	PJ0	○	○	○	○	○	○	○
	VO0	出力	VO0	PJ2	○	○	○	○	○	○	○
	WO0	出力	WO0	PJ4	○	○	○	○	○	○	○
	EMG0_N	入力	EMG0_N	PK0	○	○	○	○	○	○	○
	OVV0_N	入力	OVV0_N	PK1	○	○	○	○	○	○	○

2.8.3. DMA 要求

モータ制御回路は、以下の表に示す DMA 要求があります。

表 2.28 PMD+ DMA要求

チャンネル	要求	信号名	トリガセクタ	DMA 要求チャンネル		
				シングル転送	バースト転送	
ch0	PWM 割り込み	INTPMD0	[TSEL0CR0] <INSEL1[2:0]>	17	—	○

注) ○:対応、-:非対応

2.8.4. 内部信号接続仕様

モータ制御回路は、下記表のように内部で周辺機能と接続されている信号があります。

2.8.4.1. ADC / A-ENC / T32A 接続

表 2.29 PMD+ ch0 内部信号接続仕様:入力

入出力	機能入力 (PMD+)	信号名	入力信号		
			周辺機能		信号名
入力	OVV 状態信号 (AD 監視機能 0)	ADACMP0L_N	ADC ユニット A	PMD 保護用の 監視機能 0 出力	ADACP0L_N
	OVV 状態信号 (AD 監視機能 1)	ADACMP1L_N		PMD 保護用の 監視機能 1 出力	ADACP1L_N
	転流トリガ (ENC 位置検出同期)	INTENC00	A-ENC ch0	エンコーダ入力 割り込み 0	INTENC00
	転流トリガ (ENC MCMP 同期)	ENC0CTRGO		PMD 用の 転流トリガ	ENC0CTRGO
	転流トリガ (汎用タイマ同期)	PMD0TMR	T32A ch3	タイマレジスタ A0 一致トリガ	T32A03TRGOUTCMPA0

表 2.30 PMD+ ch0 内部信号接続仕様:出力

入出力	機能出力 (PMD+)	信号名	出力先		
			周辺機能		信号名
出力	ADC 同期サンプリング出力 0	PMD0TRG0	ADC ユニット A	PMDトリガ 0	PMDTRG0
	ADC 同期サンプリング出力 1	PMD0TRG1		PMDトリガ 1	PMDTRG1
	ADC 同期サンプリング出力 2	PMD0TRG2		PMDトリガ 2	PMDTRG2
	ADC 同期サンプリング出力 3	PMD0TRG3		PMDトリガ 3	PMDTRG3
	ADC 同期サンプリング出力 4	PMD0TRG4		PMDトリガ 4	PMDTRG4
	ADC 同期サンプリング出力 5	PMD0TRG5		PMDトリガ 5	PMDTRG5
	エンコーダ入力用 PWM 信号	PMD0PWMON	A-ENC ch0	サンプリング用の PWM 信号	ENC0PWMON

2.9. アドバンストエンコーダ入力回路(A-ENC)

2.9.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.31 A-ENC 搭載チャンネル

製品	A-ENC 搭載チャンネル (○:搭載、-:非搭載)
	ch0
M3H6	○
M3H5	○
M3H4	○
M3H3	○
M3H2	○
M3H1	○
M3H0	○

2.9.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.32 A-ENC 機能端子

チャンネル	機能端子		信号名	ポート	ポートの製品対応 (○:対応、-:非対応)						
					M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
ch0	ENC0A	入力	ENC0A	PA0	○	○	○	○	○	○	○
	ENC0B	入力	ENC0B	PA1	○	○	○	○	○	○	○
	ENC0Z	入力	ENC0Z	PA2	○	○	○	○	○	○	○

2.9.3. 内部信号接続仕様

2.9.3.1. T32A / PMD+ 接続

アドバンストエンコーダ入力回路は、下記表のように内部で周辺機能と接続されている信号があります。表内の“-”は該当する機能がありません。

表 2.33 A-ENC 内部信号接続仕様:入力

入出力	機能入力 (A-ENC)	信号名	周辺機能	入力信号	
				入力信号	信号名
入力	汎用タイマ出力信号	ENC0PSGI	T32A ch3	タイマ出力 A	T32A03OUTA
	サンプリング用の PWM 信号	ENC0PWMON	PMD+ ch0	エンコーダ入力用 PWM 信号	PMD0PWMON

表 2.34 A-ENC 内部信号接続仕様:出力

入出力	機能出力 (A-ENC)	信号名	トリガセクタ	出力先		
				周辺機能		信号名
出力	分周パルス信号	ENC0TIMPLS	[TSEL0CR8] <INSEL32>	T32A ch3	タイマ A 内部トリガ入力	T32A03TRGINAPCK
	PMD 用の転流トリガ	ENC0CTRGO	—	PMD+ ch0	転流トリガ (A-ENC MCMP 同期)	ENC0CTRGO
	エンコーダ入力割り込み 0	INTENC00	—		転流トリガ (A-ENC 位置検出同期)	INTENC00

2.10. 12 ビットアナログデジタルコンバータ(ADC)

2.10.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.35 ADC 搭載ユニット

製品	ADC 搭載ユニット (○:搭載、-:非搭載)
	ユニット A
M3H6	○
M3H5	○
M3H4	○
M3H3	○
M3H2	○
M3H1	○
M3H0	○

2.10.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
製品により機能端子がないチャンネルもあります。

表 2.36 ADC 機能端子とポート

入力チャンネル	機能端子 (信号名)	ポート	ポートの製品対応 (○:対応、-:非対応)						
			M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
ch0	AINA00	PD0	○	○	○	○	○	○	○
ch1	AINA01	PD1	○	○	○	○	○	○	○
ch2	AINA02	PD2	○	○	○	○	○	○	-
ch3	AINA03	PD3	○	-	-	-	-	-	-
ch4	AINA04	PE0	○	○	○	○	○	○	○
ch5	AINA05	PE1	○	○	○	○	○	○	○
ch6	AINA06	PE2	○	○	○	○	○	○	-
ch7	AINA07	PE3	○	○	○	○	○	○	-
ch8	AINA08	PE4	○	○	○	○	○	○	-
ch9	AINA09	PE5	○	○	-	-	-	-	-
ch10	AINA10	PE6	○	○	-	-	-	-	-
ch11	AINA11	PF0	○	-	-	-	-	-	-
ch12	AINA12	PF1	○	-	-	-	-	-	-
ch13	AINA13	PF2	○	-	-	-	-	-	-
ch14	AINA14	PF3	○	-	-	-	-	-	-
ch15	AINA15	PF4	○	-	-	-	-	-	-
ch16	VREFHA	-	○	○	○	○	○	○	○
ch17	VREFLA	-	○	○	○	○	○	○	○
ch18	リファレンス電源	-	○	○	○	○	○	○	○

注 1) ch16~ch18 は自己診断機能サポート用内部接続されています。

注 2) VREFH は AVDD5、VREFL は AVSS に接続されています。

2.10.3. ADC 用変換クロック

12 ビットアナログデジタルコンバータは、AD コンバータ用変換クロックに以下の表に示すクロックが使用されます。

表 2.37 ADC 用変換クロック

変換クロック
ADCLK

2.10.4. モード設定レジスタ 2 の設定値

モード設定レジスタ 2 ($[ADxMOD2]$) の設定値については、以下の表の値を必ず設定してください。

表 2.38 ADC モード設定レジスタ 2 の設定値

レジスタ名	値
$[ADxMOD2]<MOD2[31:0]>$	0x00000300

2.10.5. DMA 要求

12 ビットアナログデジタルコンバータは、以下の表に示す DMA 要求があります。

表 2.39 ADC DMA 要求

ユニット	要求	信号名	トリガセクタ	DMA 要求チャンネル		
				シングル転送	バースト転送	
ユニット A	汎用トリガ DMA 要求	ADATRQ_DMAREQ	$[TSEL0CR0]$ $<INSEL0[2:0]>$	16	—	○
	単独変換 DMA 要求	ADASGL_DMAREQ			—	○
	連続変換 DMA 要求	ADACNT_DMAREQ			—	○

注) ○:対応、-:非対応

2.10.6. 内部信号接続仕様

2.10.6.1. 起動トリガ接続

12ビットアナログデジタルコンバータには、トリガ信号によるAD変換機能があります。

下記表のトリガセクタ欄にレジスタ名のある入力トリガ信号は、トリガセクタで使用する入力トリガを選択してください。表内の"-"は該当する機能がありません。

表 2.40 ADC 起動トリガ接続仕様

接続先 (信号名)	起動トリガ		
	トリガセクタ	入力トリガ信号	信号名
PMDTRG0	—	PMD トリガ 0	PMD0TRG0
PMDTRG1	—	PMD トリガ 1	PMD0TRG1
PMDTRG2	—	PMD トリガ 2	PMD0TRG2
PMDTRG3	—	PMD トリガ 3	PMD0TRG3
PMDTRG4	—	PMD トリガ 4	PMD0TRG4
PMDTRG5	—	PMD トリガ 5	PMD0TRG5
PMDTRG6	[TSEL0CR4] <INSEL16[2:0]> (注 1)	PB1 端子(TRGIN0)	TRGIN0
		PA3 端子(TRGIN1) (注 2)	TRGIN1
		PN3 端子(TRGIN2) (注 3)	TRGIN2
		T32A ch5 タイマレジスタ A1 一致トリガ	T32A05TRGOUTCMPA1
		T32A ch5 タイマレジスタ B1 一致トリガ	T32A05TRGOUTCMPB1
		T32A ch5 タイマレジスタ C1 一致トリガ	T32A05TRGOUTCMPC1
PMDTRG7	—	—	—
PMDTRG8	—	—	—
PMDTRG9	—	—	—
PMDTRG10	—	—	—
PMDTRG11	—	—	—
ADATRGIN	[TSEL0CR4] <INSEL17[2:0]> (注 1)	PB1 端子(TRGIN0)	TRGIN0
		PA3 端子(TRGIN1) (注 2)	TRGIN1
		PN3 端子(TRGIN2) (注 3)	TRGIN2
		T32A ch5 タイマレジスタ A1 一致トリガ	T32A05TRGOUTCMPA1
		T32A ch5 タイマレジスタ B1 一致トリガ	T32A05TRGOUTCMPB1
		T32A ch5 タイマレジスタ C1 一致トリガ	T32A05TRGOUTCMPC1

注 1) [TSEL0CR4]<INSELx[2:0]>はトリガセクタで起動トリガのトリガソースを選択します。
詳細な接続先については、「2.2. トリガセクタ(TRGSEL)」を参照してください。

注 2) M3H0 には PA3 端子(TRGIN1)はありません。

注 3) M3H3 / M3H2 / M3H1 / M3H0 には PN3 端子(TRGIN2)はありません。

2.10.6.2. T32A / PMD+ 接続

12ビットアナログデジタルコンバータは、その他、下記表のように内部で周辺機能と接続されている信号があります。表内の"-"は該当する機能がありません。

表 2.41 ADC 内部信号接続仕様:出力

入出力	機能出力 (ADC)		トリガセクタ	出力先		
		信号名		周辺機能		信号名
出力	ADC ユニット A 汎用トリガ割り込み	INTADATRG	[TSEL0CR9] <INSEL38[2:0]>	T32A ch5	タイマ A 内部トリガ入力	T32A05TRGINAPCK
	ADC ユニット A 単独変換割り込み	INTADASGL				
	ADC ユニット A 連続変換割り込み	INTADACNT				
	ADC ユニット A 監視機能 0 割り込み	INTADACP0				
	ADC ユニット A 監視機能 1 割り込み	INTADACP1				
	PMD 保護用の 監視機能 0 出力	ADACP0L_N	-	PMD+ ch0	OVV 状態信号 (AD 監視機能 0)	ADACMP0L_N
	PMD 保護用の 監視機能 1 出力	ADACP1L_N	-		OVV 状態信号 (AD 監視機能 1)	ADACMP1L_N

2.11. 8 ビットデジタルアナログコンバータ(DAC)

2.11.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.42 DAC 搭載チャンネル

製品	DAC 搭載チャンネル (○:搭載、-:非搭載)	
	ch0	ch1
M3H6	○	○
M3H5	○	○
M3H4	○	—
M3H3	○	—
M3H2	○	—
M3H1	—	—
M3H0	—	—

2.11.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。
製品により機能端子がないチャンネルもあります。

表 2.43 DAC 機能端子とポート

チャンネル	機能端子 (信号名)	ポート	ポートの製品対応 (○:対応、-:非対応)						
			M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
ch0	DAC0	PG0	○	○	○	○	○	—	—
ch1	DAC1	PG1	○	○	—	—	—	—	—

2.12. 電圧検知回路(LVD)

2.12.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.44 LVD 搭載一覧

製品	LVD 搭載 (○:あり、×:なし)
M3H6	○
M3H5	○
M3H4	○
M3H3	○
M3H2	○
M3H1	○
M3H0	○

2.12.2. 検知対象電源

電圧検知回路は以下の表の電源をモニタします。

表 2.45 LVD 検知対象電源

検知対象電源	電源名
デジタル用電源端子	DVDD5A、DVDD5B、DVDD5C

2.13. 32 ビットタイマイイベントカウンタ(T32A)

2.13.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.46 T32A 搭載チャンネル

製品	T32A 搭載チャンネル (○:搭載、-:非搭載)					
	ch0	ch1	ch2	ch3	ch4	ch5
M3H6	○	○	○	○	○	○
M3H5	○	○	○	○	○	○
M3H4	○	○	○	○	○	○
M3H3	○	○	○	○	○	○
M3H2	○	○	○	○	○	○
M3H1	○	○	○	○	○	○
M3H0	○	○	○	○	○	○

2.13.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
複数に割り当てられている同一機能端子は排他的に使用してください。
製品により機能端子がないチャンネルもあります。

表 2.47 T32A 機能端子とポート(1/2)

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (○:対応、-:非対応)						
				M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
ch0	T32A00INA0	入力	PA1 / PM1	○/○	○/○	○/○	○/-	○/-	○/-	○/-
	T32A00INA1	入力	PA2 / PM2	○/○	○/○	○/○	○/-	○/-	○/-	○/-
	T32A00OUTA	出力	PA0 / PM0	○/○	○/○	○/○	○/-	○/-	○/-	○/-
	T32A00INB0	入力	PA4 / PM4	○/○	○/-	○/-	○/-	○/-	○/-	-/-
	T32A00INB1	入力	PA5 / PM5	○/○	○/-	○/-	○/-	○/-	○/-	-/-
	T32A00OUTB	出力	PA3 / PM3	○/○	○/-	○/-	○/-	○/-	○/-	-/-
	T32A00INC0	入力	PA1 / PM1	○/○	○/○	○/○	○/-	○/-	○/-	○/-
	T32A00INC1	入力	PA2 / PM2	○/○	○/○	○/○	○/-	○/-	○/-	○/-
T32A00OUTC	出力	PA0 / PM0	○/○	○/○	○/○	○/-	○/-	○/-	○/-	
ch1	T32A01INA0	入力	PB1 / PP1	○/○	○/○	○/-	○/-	○/-	○/-	○/-
	T32A01INA1	入力	PB2 / PP2	○/○	○/○	○/-	○/-	○/-	○/-	-/-
	T32A01OUTA	出力	PB0 / PP0	○/○	○/○	○/-	○/-	○/-	○/-	○/-
	T32A01INB0	入力	PB4	○	○	○	○	○	○	-
	T32A01INB1	入力	PB5	○	-	-	-	-	-	-
	T32A01OUTB	出力	PB3	○	○	○	○	○	○	-
	T32A01INC0	入力	PB1 / PP1	○/○	○/○	○/-	○/-	○/-	○/-	○/-
	T32A01INC1	入力	PB2 / PP2	○/○	○/○	○/-	○/-	○/-	○/-	-/-
T32A01OUTC	出力	PB0 / PP0	○/○	○/○	○/-	○/-	○/-	○/-	○/-	

表 2.48 T32A 機能信号とポート(2/2)

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (○:対応、-:非対応)						
				M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
ch2	T32A02INA0	入力	PC1 / PR1	○/○	○/-	○/-	○/-	○/-	○/-	○/-
	T32A02INA1	入力	PC2 / PR2	○/○	○/-	○/-	○/-	○/-	○/-	○/-
	T32A02OUTA	出力	PC0 / PR0	○/○	○/-	○/-	○/-	○/-	○/-	○/-
	T32A02INB0	入力	PC4	○	○	-	-	-	-	-
	T32A02INB1	入力	PC5	○	○	-	-	-	-	-
	T32A02OUTB	出力	PC3	○	○	○	○	○	-	-
	T32A02INC0	入力	PC1 / PR1	○/○	○/-	○/-	○/-	○/-	○/-	○/-
	T32A02INC1	入力	PC2 / PR2	○/○	○/-	○/-	○/-	○/-	○/-	○/-
T32A02OUTC	出力	PC0 / PR0	○/○	○/-	○/-	○/-	○/-	○/-	○/-	
ch3	T32A03INA0	入力	PJ1	○	○	○	○	○	○	○
	T32A03INA1	入力	PJ2	○	○	○	○	○	○	○
	T32A03OUTA	出力	PJ0	○	○	○	○	○	○	○
	T32A03INB0	入力	PJ4	○	○	○	○	○	○	○
	T32A03INB1	入力	PJ5	○	○	○	○	○	○	○
	T32A03OUTB	出力	PJ3	○	○	○	○	○	○	○
	T32A03INC0	入力	PJ1	○	○	○	○	○	○	○
	T32A03INC1	入力	PJ2	○	○	○	○	○	○	○
T32A03OUTC	出力	PJ0	○	○	○	○	○	○	○	
ch4	T32A04INA0	入力	PK3	○	○	○	○	○	○	○
	T32A04INA1	入力	PK4	○	○	○	○	○	○	-
	T32A04OUTA	出力	PK2	○	○	○	○	○	○	○
	T32A04INB0	入力	PK6	○	○	○	-	-	-	-
	T32A04INB1	入力	PK7	○	○	-	-	-	-	-
	T32A04OUTB	出力	PK5	○	○	○	○	○	○	-
	T32A04INC0	入力	PK3	○	○	○	○	○	○	○
	T32A04INC1	入力	PK4	○	○	○	○	○	○	-
T32A04OUTC	出力	PK2	○	○	○	○	○	○	○	
ch5	T32A05INA0	入力	PN1	○	○	○	-	-	-	-
	T32A05INA1	入力	PN2	○	○	○	-	-	-	-
	T32A05OUTA	出力	PN0	○	○	○	-	-	-	-
	T32A05INB0	入力	PN4	○	○	-	-	-	-	-
	T32A05INB1	入力	PN5	○	-	-	-	-	-	-
	T32A05OUTB	出力	PN3	○	○	○	-	-	-	-
	T32A05INC0	入力	PN1	○	○	○	-	-	-	-
	T32A05INC1	入力	PN2	○	○	○	-	-	-	-
T32A05OUTC	出力	PN0	○	○	○	-	-	-	-	

2.13.3. プリスケーラ用クロック

32ビットタイマイイベントカウンタは、プリスケラ用クロックに以下の表に示すクロックが使用されます。

表 2.49 T32A プリスケーラ用クロック

プリスケラ用クロック
ΦT0

2.13.4. 内部信号接続仕様

32 ビットタイマイイベントカウンタは、以下の表に示す信号が接続されます。

下記表のトリガセクタ欄にレジスタ名のある入力トリガ信号は、トリガソースで使用する入力トリガを選択してください。

2.13.4.1. TRGIN / UART / I²C / TSPI / A-ENC / ADC / ELOSC 接続

表 2.50 T32A 信号接続仕様(1/3)

チャンネル		トリガソース				
タイム	キャプチャトリガ入力 信号名	トリガセレクト	入力トリガ信号			
			信号名			
ch0	A	T32A00TRGINAPHCK (他タイム出力)	—	—	—	
		T32A00TRGINAPCK (内部トリガ入力)	[TSEL0CR5] <INSEL23[2:0]> (注 1)	PB1 端子	TRGIN0	
				PA3 端子 (注 2)	TRGIN1	
				PN3 端子 (注 3)	TRGIN2	
				UART ch0 送信完了トリガ	UART0TXTRG	
	UART ch0 受信完了トリガ	UART0RXTRG				
	B	T32A00TRGINBPHCK (他タイム出力)	T32A ch0 タイム出力 A			T32A00OUTA
		T32A00TRGINBPCK (内部トリガ入力)	[TSEL0CR6] <INSEL24[2:0]> (注 1)	T32A ch0 タイムレジスタ A0 一致トリガ	T32A00TRGOUTCMPA0	
				T32A ch0 タイムレジスタ A1 一致トリガ	T32A00TRGOUTCMPA1	
				T32A ch0 タイム A オーバフロートリガ	T32A00TRGOUTOFA	
	T32A ch0 タイム A アンダフロートリガ	T32A00TRGOUTUFA				
	C	T32A00TRGINCPHCK (他タイム出力)	—	—	—	
		T32A00TRGINCPCK (内部トリガ入力)	[TSEL0CR6] <INSEL25[2:0]> (注 1)	T32A ch5 タイムレジスタ C0 一致トリガ	T32A05TRGOUTCMPC0	
				T32A ch5 タイムレジスタ C1 一致トリガ	T32A05TRGOUTCMPC1	
				T32A ch5 タイム C オーバフロートリガ	T32A05TRGOUTOFC	
	T32A ch5 タイム C アンダフロートリガ	T32A05TRGOUTUFC				
ch1	A	T32A01TRGINAPHCK (他タイム出力)	—	—	—	
		T32A01TRGINAPCK (内部トリガ入力)	[TSEL0CR6] <INSEL26[2:0]> (注 1)	PB1 端子	TRGIN0	
				PA3 端子 (注 2)	TRGIN1	
				PN3 端子 (注 3)	TRGIN2	
				UART ch1 送信完了トリガ	UART1TXTRG	
	UART ch1 受信完了トリガ	UART1RXTRG				
	B	T32A01TRGINBPHCK (他タイム出力)	T32A ch1 タイム出力 A			T32A01OUTA
		T32A01TRGINBPCK (内部トリガ入力)	[TSEL0CR6] <INSEL27[2:0]> (注 1)	T32A ch1 タイムレジスタ A0 一致トリガ	T32A01TRGOUTCMPA0	
				T32A ch1 タイムレジスタ A1 一致トリガ	T32A01TRGOUTCMPA1	
				T32A ch1 タイム A オーバフロートリガ	T32A01TRGOUTOFA	
	T32A ch1 タイム A アンダフロートリガ	T32A01TRGOUTUFA				
	C	T32A01TRGINCPHCK (他タイム出力)	T32A ch0 タイム出力 C			T32A00OUTC
		T32A01TRGINCPCK (内部トリガ入力)	[TSEL0CR7] <INSEL28[2:0]> (注 1)	T32A ch0 タイムレジスタ C0 一致トリガ	T32A00TRGOUTCMPC0	
				T32A ch0 タイムレジスタ C1 一致トリガ	T32A00TRGOUTCMPC1	
				T32A ch0 タイム C オーバフロートリガ	T32A00TRGOUTOFC	
	T32A ch0 タイム C アンダフロートリガ	T32A00TRGOUTUFC				

注 1) [TSEL0CRx]<INSELx[2:0]>はトリガセレクトで内部トリガのトリガソースを選択します。詳細な接続先については、「2.2. トリガセレクト(TRGSEL)」を参照してください。

注 2) M3H0 には PA3 端子(TRGIN1)がありません。

注 3) M3H3 / M3H2 / M3H1 / M3H0 には PN3 端子(TRGIN2)がありません。

表 2.51 T32A 信号接続仕様(2/3)

チャンネル		トリガソース				
タイム	キャプチャトリガ入力 信号名	トリガセレクト	入力トリガ信号	信号名		
ch2	A	T32A02TRGINAPHCK (他タイム出力)	—	—	—	
		T32A02TRGINAPCK (内部トリガ入力)	[TSEL0CR7] <INSEL29[2:0]> (注 1)	PB1 端子	TRGIN0	
				PA3 端子(注 2)	TRGIN1	
				PN3 端子(注 3)	TRGIN2	
				UART ch2 送信完了トリガ (注 4)	UART2TXTRG	
				UART ch2 受信完了トリガ (注 4)	UART2RXTRG	
	I ² C ch0 割り込み	INTI2C0				
	B	T32A02TRGINBPHCK (他タイム出力)	T32A ch2 タイマ出力 A		T32A02OUTA	
		T32A02TRGINBPCK (内部トリガ入力)	[TSEL0CR7] <INSEL30[2:0]> (注 1)	T32A ch2 タイマレジスタ A0 一致トリガ	T32A02TRGOUTCMPA0	
				T32A ch2 タイマレジスタ A1 一致トリガ	T32A02TRGOUTCMPA1	
				T32A ch2 タイマ A オーバフロートリガ	T32A02TRGOUTOFA	
	T32A ch2 タイマ A アンダフロートリガ	T32A02TRGOUTUFA				
	C	T32A02TRGINCPHCK (他タイム出力)	—	—	—	
		T32A02TRGINCPCK (内部トリガ入力)	[TSEL0CR7] <INSEL31[2:0]> (注 1)	T32A ch1 タイマレジスタ C0 一致トリガ	T32A01TRGOUTCMPC0	
				T32A ch1 タイマレジスタ C1 一致トリガ	T32A01TRGOUTCMPC1	
				T32A ch1 タイマ C オーバフロートリガ	T32A01TRGOUTOFC	
T32A ch1 タイマ C アンダフロートリガ	T32A01TRGOUTUFC					
ch3	A	T32A03TRGINAPHCK (他タイム出力)	—	—	—	
		T32A03TRGINAPCK (内部トリガ入力)	[TSEL0CR8] <INSEL32[2:0]> (注 1)	PB1 端子	TRGIN0	
				PA3 端子(注 2)	TRGIN1	
				PN3 端子(注 3)	TRGIN2	
				TSPI ch0 送信完了信号	TSPI0TXEND	
				TSPI ch0 受信完了信号	TSPI0RXEND	
				I ² C ch1 割り込み	INTI2C1	
	A-ENC ch0 分周パルス信号	ENC0TIMPLS				
	B	T32A03TRGINBPHCK (他タイム出力)	T32A ch3 タイマ出力 A		T32A03OUTA	
		T32A03TRGINBPCK (内部トリガ入力)	[TSEL0CR8] <INSEL33[2:0]> (注 1)	T32A ch3 タイマレジスタ A0 一致トリガ	T32A03TRGOUTCMPA0	
				T32A ch3 タイマレジスタ A1 一致トリガ	T32A03TRGOUTCMPA1	
				T32A ch3 タイマ A オーバフロートリガ	T32A03TRGOUTOFA	
				T32A ch3 タイマ A アンダフロートリガ	T32A03TRGOUTUFA	
		C	T32A03TRGINCPHCK (他タイム出力)	T32A ch2 タイマ出力 C		T32A02OUTC
			T32A03TRGINCPCK (内部トリガ入力)	[TSEL0CR8] <INSEL34[2:0]> (注 1)	T32A ch2 タイマレジスタ C0 一致トリガ	T32A02TRGOUTCMPC0
	T32A ch2 タイマレジスタ C1 一致トリガ				T32A02TRGOUTCMPC1	
T32A ch2 タイマ C オーバフロートリガ	T32A02TRGOUTOFC					
T32A ch2 タイマ C アンダフロートリガ	T32A02TRGOUTUFC					

注 1) [TSEL0CRx]<INSELx[2:0]>はトリガセレクトで内部トリガのトリガソースを選択します。詳細な接続先については、「2.2. トリガセレクト(TRGSEL)」を参照してください。

注 2) M3H0 には PA3 端子(TRGIN1)がありません。

注 3) M3H3 / M3H2 / M3H1 / M3H0 には PN3 端子(TRGIN2)がありません。

注 4) M3H0 には UART の ch2 はありません。

表 2.52 T32A 信号接続仕様(3/3)

チャンネル		トリガソース				
タイム	キャプチャトリガ入力 信号名	トリガセレクト	入力トリガ信号	信号名		
ch4	A	T32A04TRGINAPHCK (他タイム出力)	—	—	—	
		T32A04TRGINAPCK (内部トリガ入力)	[TSEL0CR8] <INSEL35[2:0]> (注 1)	PB1 端子	TRGIN0	
				PA3 端子(注 2)	TRGIN1	
				PN3 端子(注 3)	TRGIN2	
				TSPI ch1 送信完了信号 (注 4)	TSPI1TXEND	
				TSPI ch1 受信完了信号 (注 4)	TSPI1RXEND	
				I ² C ch2 割り込み	INTI2C2	
	ELOSC 低速クロック (注 5)	fs				
	B	T32A04TRGINBPHCK (他タイム出力)	T32A ch4 タイマ出力 A			T32A04OUTA
		T32A04TRGINBPCK (内部トリガ入力)	[TSEL0CR9] <INSEL36[2:0]> (注 1)	T32A ch4 タイマレジスタ A0 一致トリガ	T32A04TRGOUTCMPA0	
				T32A ch4 タイマレジスタ A1 一致トリガ	T32A04TRGOUTCMPA1	
				T32A ch4 タイマ A オーバフロートリガ	T32A04TRGOUTOFA	
	T32A ch4 タイマ A アンダフロートリガ			T32A04TRGOUTUFA		
	C	T32A04TRGINCPHCK (他タイム出力)	—	—	—	
		T32A04TRGINCPCK (内部トリガ入力)	[TSEL0CR9] <INSEL37[2:0]> (注 1)	T32A ch3 タイマレジスタ C0 一致トリガ	T32A03TRGOUTCMPC0	
T32A ch3 タイマレジスタ C1 一致トリガ				T32A03TRGOUTCMPC1		
T32A ch3 タイマ C オーバフロートリガ				T32A03TRGOUTOFC		
T32A ch3 タイマ C アンダフロートリガ				T32A03TRGOUTUFC		
ch5	A	T32A05TRGINAPHCK (他タイム出力)		—	—	—
		T32A05TRGINAPCK (内部トリガ入力)	[TSEL0CR9] <INSEL38[2:0]> (注 1)	PB1 端子	TRGIN0	
				PA3 端子(注 2)	TRGIN1	
				PN3 端子(注 3)	TRGIN2	
				ADC ユニット A 汎用トリガ割り込み	INTADATRГ	
				ADC ユニット A 単独変換割り込み	INTADASGL	
				ADC ユニット A 連続変換割り込み	INTADACNT	
				ADC ユニット A 監視機能 0 割り込み	INTADACP0	
	ADC ユニット A 監視機能 1 割り込み	INTADACP1				
	B	T32A05TRGINBPHCK (他タイム出力)	T32A ch5 タイマ出力 A			T32A05OUTA
		T32A05TRGINBPCK (内部トリガ入力)	[TSEL0CR9] <INSEL39[2:0]> (注 1)	T32A ch5 タイマレジスタ A0 一致トリガ	T32A05TRGOUTCMPA0	
				T32A ch5 タイマレジスタ A1 一致トリガ	T32A05TRGOUTCMPA1	
				T32A ch5 タイマ A オーバフロートリガ	T32A05TRGOUTOFA	
	T32A ch5 タイマ A アンダフロートリガ			T32A05TRGOUTUFA		
	C	T32A05TRGINCPHCK (他タイム出力)	T32A ch4 タイマ出力 C			T32A04OUTC
T32A05TRGINCPCK (内部トリガ入力)		[TSEL0CR10] <INSEL40[2:0]> (注 1)	T32A ch4 タイマレジスタ C0 一致トリガ	T32A04TRGOUTCMPC0		
			T32A ch4 タイマレジスタ C1 一致トリガ	T32A04TRGOUTCMPC1		
			T32A ch4 タイマ C オーバフロートリガ	T32A04TRGOUTOFC		
			T32A ch4 タイマ C アンダフロートリガ	T32A04TRGOUTUFC		

注 1) [TSEL0CRx]<INSELx[2:0]>はトリガセレクトで内部トリガのトリガソースを選択します。詳細な接続先については、「2.2. トリガセレクト(TRGSEL)」を参照してください。

注 2) M3H0 には PA3 端子(TRGIN1)がありません。

注 3) M3H3 / M3H2 / M3H1 / M3H0 には PN3 端子(TRGIN2)がありません。

注 4) M3H0 には TSPI の ch1 はありません。

注 5) M3H1 / M3H0 には ELOSC はありません。

2.13.4.2. 同期制御接続仕様

32ビットタイマイベントカウンタは、以下の表に示すように同じチャンネル内でタイマが同期接続されています。

表 2.53 T32A 同期制御接続仕様

チャンネル	マスタ			スレーブ		
	タイマ	機能(出力)	信号名	タイマ	機能(入力)	信号名
0	A	同期スタート トリガ出力	T32A00SYNCSTARTOUTA	B	同期スタート トリガ入力	T32A00SYNCSTARTB
		同期停止 トリガ出力	T32A00SYNCSTOPOUTA		同期停止 トリガ入力	T32A00SYNCSTOPB
		同期リロード トリガ出力	T32A00SYNCRELOADOUTA		同期リロード トリガ入力	T32A00SYNCRELOADB
1	A	同期スタート トリガ出力	T32A01SYNCSTARTOUTA	B	同期スタート トリガ入力	T32A01SYNCSTARTB
		同期停止 トリガ出力	T32A01SYNCSTOPOUTA		同期停止 トリガ入力	T32A01SYNCSTOPB
		同期リロード トリガ出力	T32A01SYNCRELOADOUTA		同期リロード トリガ入力	T32A01SYNCRELOADB
2	A	同期スタート トリガ出力	T32A02SYNCSTARTOUTA	B	同期スタート トリガ入力	T32A02SYNCSTARTB
		同期停止 トリガ出力	T32A02SYNCSTOPOUTA		同期停止 トリガ入力	T32A02SYNCSTOPB
		同期リロード トリガ出力	T32A02SYNCRELOADOUTA		同期リロード トリガ入力	T32A02SYNCRELOADB
3	A	同期スタート トリガ出力	T32A03SYNCSTARTOUTA	B	同期スタート トリガ入力	T32A03SYNCSTARTB
		同期停止 トリガ出力	T32A03SYNCSTOPOUTA		同期停止 トリガ入力	T32A03SYNCSTOPB
		同期リロード トリガ出力	T32A03SYNCRELOADOUTA		同期リロード トリガ入力	T32A03SYNCRELOADB
4	A	同期スタート トリガ出力	T32A04SYNCSTARTOUTA	B	同期スタート トリガ入力	T32A04SYNCSTARTB
		同期停止 トリガ出力	T32A04SYNCSTOPOUTA		同期停止 トリガ入力	T32A04SYNCSTOPB
		同期リロード トリガ出力	T32A04SYNCRELOADOUTA		同期リロード トリガ入力	T32A04SYNCRELOADB
5	A	同期スタート トリガ出力	T32A05SYNCSTARTOUTA	B	同期スタート トリガ入力	T32A05SYNCSTARTB
		同期停止 トリガ出力	T32A05SYNCSTOPOUTA		同期停止 トリガ入力	T32A05SYNCSTOPB
		同期リロード出力 A	T32A05SYNCRELOADOUTA		同期リロード トリガ入力	T32A05SYNCRELOADB

2.13.5. 製品別パルスカウント対応一覧

32ビットタイマイイベントカウンタは、以下の表に示すように製品によってパルスカウントの対応が異なります。

表 2.54 T32A パルスカウント対応一覧

チャンネル	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
ch0	2相パルスカウント 1相パルスカウント						
ch1	2相パルスカウント 1相パルスカウント					1相パルスカウント (T32A01INC0のみ)	
ch2	2相パルスカウント 1相パルスカウント						
ch3	2相パルスカウント 1相パルスカウント						
ch4	2相パルスカウント 1相パルスカウント					1相パルスカウント (T32A04INC0のみ)	
ch5	2相パルスカウント 1相パルスカウント			-			

2.13.6. DMA 要求

32ビットタイマイイベントカウンタは、以下の表に示すDMA要求があります。

表のトリガセクタ欄にレジスタ名の記載あるものは、トリガセクタで使用する要求を選択してください。

表 2.55 T32A DMA要求(1/2)

チャンネル	要求	信号名	トリガセクタ	DMA 要求チャンネル		
				シングル 転送	バースト 転送	
ch0	DMA 要求レジスタ A1 一致	T32A00DMAREQCMPA1	[TSEL0CR0] <INSEL1[2:0]>	17	-	○
	DMA 要求レジスタ C1 一致	T32A00DMAREQCMPC1				
	DMA 要求レジスタ B1 一致	T32A00DMAREQCMPB1	[TSEL0CR1] <INSEL4[2:0]>	20	-	○
	DMA 要求 ch0 キャプチャ A0	T32A00DMAREQCAPA0				
	DMA 要求 ch0 キャプチャ A1	T32A00DMAREQCAPA1	[TSEL0CR1] <INSEL6[2:0]>	22	-	○
	DMA 要求 ch0 キャプチャ C0	T32A00DMAREQCAPC0				
	DMA 要求 ch0 キャプチャ C1	T32A00DMAREQCAPC1				
	DMA 要求 ch0 キャプチャ B0	T32A00DMAREQCAPB0	[TSEL0CR2] <INSEL9[2:0]>	25	-	○
DMA 要求 ch0 キャプチャ B1	T32A00DMAREQCAPB1					
ch1	DMA 要求レジスタ A1 一致	T32A01DMAREQCMPA1	[TSEL0CR0] <INSEL1[2:0]>	17	-	○
	DMA 要求レジスタ C1 一致	T32A01DMAREQCMPC1				
	DMA 要求レジスタ B1 一致	T32A01DMAREQCMPB1	[TSEL0CR1] <INSEL4[2:0]>	20	-	○
	DMA 要求 ch1 キャプチャ A0	T32A01DMAREQCAPA0				
	DMA 要求 ch1 キャプチャ A1	T32A01DMAREQCAPA1	[TSEL0CR1] <INSEL6[2:0]>	22	-	○
	DMA 要求 ch1 キャプチャ C0	T32A01DMAREQCAPC0				
	DMA 要求 ch1 キャプチャ C1	T32A01DMAREQCAPC1				
	DMA 要求 ch1 キャプチャ B0	T32A01DMAREQCAPB0	[TSEL0CR2] <INSEL9[2:0]>	25	-	○
DMA 要求 ch1 キャプチャ B1	T32A01DMAREQCAPB1					

注) ○:対応、-:非対応

表 2.56 T32A DMA要求(2/2)

チャンネル	要求	信号名	トリガセクタ	DMA 要求チャンネル		
				シングル 転送	バースト 転送	
ch2	DMA 要求レジスタ A1 一致	T32A02DMAREQCMPA1	[TSEL0CR0] <INSEL2[2:0]>	18	-	○
	DMA 要求レジスタ C1 一致	T32A02DMAREQCMPC1				
	DMA 要求レジスタ B1 一致	T32A02DMAREQCMPB1	[TSEL0CR1] <INSEL4[2:0]>	20	-	○
	DMA 要求 ch2 キャプチャ A0	T32A02DMAREQCAPA0				
	DMA 要求 ch2 キャプチャ A1	T32A02DMAREQCAPA1	[TSEL0CR1] <INSEL7[2:0]>	23	-	○
	DMA 要求 ch2 キャプチャ C0	T32A02DMAREQCAPC0				
	DMA 要求 ch2 キャプチャ C1	T32A02DMAREQCAPC1				
	DMA 要求 ch2 キャプチャ B0	T32A02DMAREQCAPB0	[TSEL0CR2] <INSEL9[2:0]>	25	-	○
DMA 要求 ch2 キャプチャ B1	T32A02DMAREQCAPB1					
ch3	DMA 要求レジスタ A1 一致	T32A03DMAREQCMPA1	[TSEL0CR0] <INSEL2[2:0]>	18	-	○
	DMA 要求レジスタ C1 一致	T32A03DMAREQCMPC1				
	DMA 要求レジスタ B1 一致	T32A03DMAREQCMPB1	[TSEL0CR1] <INSEL5[2:0]>	21	-	○
	DMA 要求 ch3 キャプチャ A0	T32A03DMAREQCAPA0				
	DMA 要求 ch3 キャプチャ A1	T32A03DMAREQCAPA1	[TSEL0CR1] <INSEL7[2:0]>	23	-	○
	DMA 要求 ch3 キャプチャ C0	T32A03DMAREQCAPC0				
	DMA 要求 ch3 キャプチャ C1	T32A03DMAREQCAPC1				
	DMA 要求 ch3 キャプチャ B0	T32A03DMAREQCAPB0	[TSEL0CR2] <INSEL10[2:0]>	26	-	○
DMA 要求 ch3 キャプチャ B1	T32A03DMAREQCAPB1					
ch4	DMA 要求レジスタ A1 一致	T32A04DMAREQCMPA1	[TSEL0CR0] <INSEL3[2:0]>	19	-	○
	DMA 要求レジスタ C1 一致	T32A04DMAREQCMPC1				
	DMA 要求レジスタ B1 一致	T32A04DMAREQCMPB1	[TSEL0CR1] <INSEL5[2:0]>	21	-	○
	DMA 要求 ch4 キャプチャ A0	T32A04DMAREQCAPA0				
	DMA 要求 ch4 キャプチャ A1	T32A04DMAREQCAPA1	[TSEL0CR2] <INSEL8[2:0]>	24	-	○
	DMA 要求 ch4 キャプチャ C0	T32A04DMAREQCAPC0				
	DMA 要求 ch4 キャプチャ C1	T32A04DMAREQCAPC1				
DMA 要求 ch4 キャプチャ B0	T32A04DMAREQCAPB0	[TSEL0CR2] <INSEL10[2:0]>	26	-	○	
DMA 要求 ch4 キャプチャ B1	T32A04DMAREQCAPB1					
ch5	DMA 要求レジスタ A1 一致	T32A05DMAREQCMPA1	[TSEL0CR0] <INSEL3[2:0]>	19	-	○
	DMA 要求レジスタ C1 一致	T32A05DMAREQCMPC1				
	DMA 要求レジスタ B1 一致	T32A05DMAREQCMPB1	[TSEL0CR1] <INSEL5[2:0]>	21	-	○
	DMA 要求 ch5 キャプチャ A0	T32A05DMAREQCAPA0				
	DMA 要求 ch5 キャプチャ A1	T32A05DMAREQCAPA1	[TSEL0CR2] <INSEL8[2:0]>	24	-	○
	DMA 要求 ch5 キャプチャ C0	T32A05DMAREQCAPC0				
	DMA 要求 ch5 キャプチャ C1	T32A05DMAREQCAPC1				
	DMA 要求 ch5 キャプチャ B0	T32A05DMAREQCAPB0	[TSEL0CR2] <INSEL10[2:0]>	26	-	○
DMA 要求 ch5 キャプチャ B1	T32A05DMAREQCAPB1					

注) ○:対応、-:非対応

2.13.7. 非対応割り込み

TMPM3H グループ(1)で毎カウント割り込み(INTT32AxEVRYC)は非対応です。

2.14. リアルタイムクロック(RTC)

2.14.1. 搭載一覧

製品毎の搭載チャンネルを下記表に示します。

表 2.57 RTC 搭載一覧

製品	RTC 搭載 (○:搭載、-:非搭載)
M3H6	○
M3H5	○
M3H4	○
M3H3	○
M3H2	○
M3H1	-
M3H0	-

2.14.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.58 RTC 機能端子とポート

機能端子 (信号名)		ポート	ポートの製品対応 (○:対応、-:非対応)						
			M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
RTCOUT	出力	PC2	○	○	○	○	○	-	-

注) TMPM3H グループ(1)は、ALARM_N 端子はありません。

2.14.3. 時計カウントクロック

リアルタイムクロックは、時計カウントクロックに以下の表に示すクロックが使用されます。

表 2.59 RTC 時計カウントクロック

時計カウントクロック
fs

2.15. 非同期シリアル通信回路(UART)

2.15.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

M3H グループ(1)製品に搭載の UART 最大通信速度は 2.5Mbps です。

表 2.60 UART 搭載チャンネル

製品	UART 搭載チャンネル (○:搭載、-:非搭載)		
	ch0	ch1	ch2
M3H6	○	○	○
M3H5	○	○	○
M3H4	○	○	○
M3H3	○	○	○
M3H2	○	○	○
M3H1	○	○	○
M3H0	○	○	-

2.15.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

複数に割り当てられている同一機能端子は排他的に使用してください。

製品により機能端子がないチャンネルもあります。

表 2.61 UART 端子信号とポート

チャンネル	機能端子 (信号名)		ポート	ポートの製品対応 (○:対応、-:非対応)						
				M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
ch0	UT0TXDA	出力	PA1 / PA2 / PM1 / PM2	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○
	UT0TXDB	出力	PA0 / PM0	○/○	○/○	○/○	○/-	○/-	○/-	○/-
	UT0RXD	入力	PA2 / PA1 / PM2 / PM1	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○
	UT0CTS_N	入力	PM3 / PM4	○/○	-/-	-/-	-/-	-/-	-/-	-/-
	UT0RTS_N	出力	PM4 / PM3	○/○	-/-	-/-	-/-	-/-	-/-	-/-
ch1	UT1TXDA	出力	PJ1 / PJ2 / PK1 / PK2	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○
	UT1TXDB	出力	PJ0 / PK0	○/○	○/○	○/○	○/○	○/○	○/○	○/○
	UT1RXD	入力	PJ2 / PJ1 / PK2 / PK1	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○
	UT1CTS_N	入力	PJ3 / PJ4 / PK3 / PK4	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○
	UT1RTS_N	出力	PJ4 / PJ3 / PK4 / PK3	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○
ch2	UT2TXDA	出力	PB2 / PB3 / PL0 / PL1	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	-/- /○/○
	UT2TXDB	出力	-	-	-	-	-	-	-	-
	UT2RXD	入力	PB3 / PB2 / PL1 / PL0	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	○/○ /○/○	-/- /○/○
	UT2CTS_N	入力	PB4 / PB5 / PL2 / PL3	○/○ /○/○	-/- /○/○	-/- /○/○	-/- /○/○	-/- /○/○	-/- /○/○	-/- /○/○
	UT2RTS_N	出力	PB5 / PB4 / PL3 / PL2	○/○ /○/○	-/- /○/○	-/- /○/○	-/- /○/○	-/- /○/○	-/- /○/○	-/- /○/○

2.15.3. 製品別ハーフクロックモード対応一覧

非同期シリアル通信回路は、以下の表に示すように製品によってハーフクロックモードがありません。

表 2.62 UART ハーフクロックモード対応一覧

チャンネル	製品対応 (○: 対応、-: 非対応)						
	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
ch0	○	○	○	○	○	○	○
ch1	○	○	○	○	○	○	○
ch2	○(注)	○(注)	○(注)	○(注)	○(注)	○(注)	-

注) 1 端子モードのみ対応

2.15.4. プリスケーラ用クロック

非同期シリアル通信回路は、プリスケーラ用クロックに以下の表に示すクロックが使用されます。

表 2.63 UART プリスケーラ用クロック

プリスケーラ用クロック
ΦT0

2.15.5. DMA 要求

非同期シリアル通信回路は、以下の表に示す DMA 要求があります。
表内の“-”は該当する機能がありません。

表 2.64 UART DMA要求

チャンネル	要求	信号名	トリガセレクタ	DMA 要求チャンネル		
				シングル転送	バースト転送	
ch0	受信 DMA 要求	UART0RX_DMAREQ	-	10	○	○
	送信 DMA 要求	UART0TX_DMAREQ		11	○	○
ch1	受信 DMA 要求	UART1RX_DMAREQ	-	12	○	○
	送信 DMA 要求	UART1TX_DMAREQ		13	○	○
ch2	受信 DMA 要求	UART2RX_DMAREQ	-	14	○	○
	送信 DMA 要求	UART2TX_DMAREQ		15	○	○

注) ○:対応、-:非対応

2.15.6. 内部信号接続仕様

2.15.6.1. トリガ転送信号接続

非同期シリアル通信回路には、トリガ信号による送信機能があります。
トリガ信号は以下の表に示すトリガソースをトリガセクタで選択し使用します。

表 2.65 UART トリガ転送信号接続仕様

チャネル	信号名	トリガセクタ	トリガソース	
			入力トリガ信号	信号名
ch0	UART0TRGIN (入力)	[TSEL0CR5] <INSEL20[2:0]> (注 1)	PB1 端子	TRGIN0
			PA3 端子 (注 2)	TRGIN1
			PN3 端子 (注 3)	TRGIN2
			T32A ch5 タイマレジスタ A1 一致トリガ	T32A05TRGOUTCMPA1
			T32A ch5 タイマレジスタ B1 一致トリガ	T32A05TRGOUTCMPB1
			T32A ch5 タイマレジスタ C1 一致トリガ	T32A05TRGOUTCMPC1
ch1	UART1TRGIN (入力)	[TSEL0CR5] <INSEL21[2:0]> (注 1)	PB1 端子	TRGIN0
			PA3 端子 (注 2)	TRGIN1
			PN3 端子 (注 3)	TRGIN2
			T32A ch5 タイマレジスタ A1 一致トリガ	T32A05TRGOUTCMPA1
			T32A ch5 タイマレジスタ B1 一致トリガ	T32A05TRGOUTCMPB1
			T32A ch5 タイマレジスタ C1 一致トリガ	T32A05TRGOUTCMPC1
ch2	UART2TRGIN (入力)	[TSEL0CR5] <INSEL22[2:0]> (注 1)	PB1 端子	TRGIN0
			PA3 端子 (注 2)	TRGIN1
			PN3 端子 (注 3)	TRGIN2
			T32A ch5 タイマレジスタ A1 一致トリガ	T32A05TRGOUTCMPA1
			T32A ch5 タイマレジスタ B1 一致トリガ	T32A05TRGOUTCMPB1
			T32A ch5 タイマレジスタ C1 一致トリガ	T32A05TRGOUTCMPC1

注 1) [TSEL0CR5]<INSELx[2:0]>はトリガセクタでトリガ入力のトリガソースを選択します。トリガセクタの詳細は、「2.2. トリガセクタ(TRGSEL)」を参照してください。

注 2) M3H0 には PA3 端子(TRGIN1)はありません。

注 3) M3H3 / M3H2 / M3H1 / M3H0 には PN3 端子(TRGIN2)はありません。

2.15.6.2. T32A 接続

非同期シリアル通信回路は、その他、下記表のように内部で周辺機能と接続されている信号があります。

表 2.66 UART 内部信号接続仕様:出力

入出力	機能出力 (UART)	信号名	トリガセクタ	出力先		
				周辺機能	信号名	
出力	UART ch0 送信完了トリガ	UART0TXTRG	[TSEL0CR5] <INSEL23[2:0]>	T32A ch0	タイマ A 内部トリガ 入力	T32A00TRGINAPCK
	UART ch0 受信完了トリガ	UART0RXTRG				
	UART ch1 送信完了トリガ	UART1TXTRG	[TSEL0CR6] <INSEL26[2:0]>	T32A ch1	タイマ A 内部トリガ 入力	T32A01TRGINAPCK
	UART ch1 受信完了トリガ	UART1RXTRG				
	UART ch2 送信完了トリガ	UART2TXTRG	[TSEL0CR7] <INSEL29[2:0]>	T32A ch2	タイマ A 内部トリガ 入力	T32A02TRGINAPCK
	UART ch2 受信完了トリガ	UART2RXTRG				

2.16. I²C インタフェース(I²C)

2.16.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

M3H グループ(1)製品に搭載の I²C インタフェースは標準モード、ファストモード、ファストモードプラスに対応します。

表 2.67 I²C インタフェース 搭載チャンネル

製品	I ² C インタフェース 搭載チャンネル (○:搭載、-:非搭載)		
	ch0	ch1	ch2
M3H6	○	○	○
M3H5	○	○	○
M3H4	○	○	○
M3H3	○	○	○
M3H2	○	○	-
M3H1	○	○	-
M3H0	○	-	-

2.16.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.68 I²C インタフェース 機能端子とポート

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (○:対応、-:非対応)						
				M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
ch0	I2C0SCL	入出力	PC0	○	○	○	○	○	○	○
	I2C0SDA	入出力	PC1	○	○	○	○	○	○	○
ch1	I2C1SCL	入出力	PA4	○	○	○	○	○	○	-
	I2C1SDA	入出力	PA5	○	○	○	○	○	○	-
ch2	I2C2SCL	入出力	PL0	○	○	○	○	-	-	-
	I2C2SDA	入出力	PL1	○	○	○	○	-	-	-

2.16.3. プリスケーラ用クロック

I²C インタフェースは、プリスケーラ用クロックに以下の表に示すクロックが使用されます。

表 2.69 I²C インタフェース プリスケーラ用クロック

プリスケーラ用クロック
fsys

2.16.4. アドレス一致ウェイクアップ機能対応

アドレス一致ウェイクアップ機能は、以下の表に示すように製品によって対応が異なります。

表 2.70 I²Cインタフェース アドレス一致ウェイクアップ機能対応

チャンネル	製品対応(○:対応、-:非対応)						
	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
ch0	○	○	○	○	○	○	○
ch1	-	-	-	-	-	-	-
ch2	-	-	-	-	-	-	-

2.16.5. フィルタ選択

フィルタ搭載は、以下の表に示す対応となっています。チャンネル0のアドレス一致ウェイクアップ機能(I²CS)にはアナログフィルタが接続されています。

表 2.71 I²Cインタフェース フィルタ

チャンネル		フィルタ種類
ch0		デジタル
	I ² CS	アナログ
ch1		デジタル
ch2		デジタル

2.16.6. DMA 要求

I²C インタフェースは、以下の表に示す DMA 要求があります。
表内の "-" は該当する機能がありません。

表 2.72 I²C インタフェース DMA 要求

チャンネル	要求	信号名	トリガセクタ	DMA 要求チャンネル		
				シングル 転送	バースト 転送	
ch0	受信 DMA リクエスト	I2C0RXDMAREQ	-	4	-	○
	送信 DMA リクエスト	I2C0TXDMAREQ		5	-	○
ch1	受信 DMA リクエスト	I2C1RXDMAREQ	-	6	-	○
	送信 DMA リクエスト	I2C1TXDMAREQ		7	-	○
ch2	受信 DMA リクエスト	I2C2RXDMAREQ	-	8	-	○
	送信 DMA リクエスト	I2C2TXDMAREQ		9	-	○

注) ○:対応、-:非対応

2.17. シリアルペリフェラルインタフェース(TSPI)

2.17.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

M3H グループ(1)製品に搭載の TSPI 最大通信速度は 20Mbps です。

表 2.73 TSPI 搭載チャンネル

製品	TSPI 搭載チャンネル (○:搭載、-:非搭載)	
	ch0	ch1
M3H6	○	○
M3H5	○	○
M3H4	○	○
M3H3	○	○
M3H2	○	○
M3H1	○	○
M3H0	○	-

2.17.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

複数に割り当てられている同一機能端子は排他的に使用してください。

製品により機能端子がないチャンネルもあります。

表 2.74 TSPI 機能端子とポート

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (○:対応、-:非対応)						
				M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
ch0	TSPI0SCK	入出力	PA0 / PM0	○/○	○/○	○/○	○/-	○/-	○/-	○/-
	TSPI0TXD	出力	PA1 / PM1	○/○	○/○	○/○	○/-	○/-	○/-	○/-
	TSPI0RXD	入力	PA2 / PM2	○/○	○/○	○/○	○/-	○/-	○/-	○/-
	TSPI0CSIN	入力	PA3 / PM3	○/○	○/-	○/-	○/-	○/-	○/-	-/-
	TSPI0CS0	出力	PA3 / PM3	○/○	○/-	○/-	○/-	○/-	○/-	-/-
	TSPI0CS1	出力	PA4 / PM4	○/○	○/-	○/-	○/-	○/-	○/-	-/-
ch1	TSPI1SCK	入出力	PB2 / PP0	○/○	○/○	○/-	○/-	○/-	○/-	-/-
	TSPI1TXD	出力	PB3 / PP1	○/○	○/○	○/-	○/-	○/-	○/-	-/-
	TSPI1RXD	入力	PB4 / PP2	○/○	○/○	○/-	○/-	○/-	○/-	-/-
	TSPI1CSIN	入力	PB5 / PL6	○/○	-/-	-/-	-/-	-/-	-/-	-/-
	TSPI1CS0	出力	PB5 / PL6	○/○	-/-	-/-	-/-	-/-	-/-	-/-
	TSPI1CS1	出力	PB6 / PL5	○/○	-/-	-/-	-/-	-/-	-/-	-/-

注) TMPM3H グループ(1)は、TSPIxCS2 端子/TSPIxCS3 端子はありません。

2.17.3. 製品別転送モード対応一覧

シリアルペリフェラルインタフェースは、以下の表に示すように製品によって使用できる転送モードが異なります。

表 2.75 TSPI モード対応一覧

チャネル	モード対応						
	M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
ch0	SPI モード SIO モード						SIO モード
ch1	SPI モード SIO モード	SIO モード					—

2.17.4. [TSPIxCR2]<RXDLY>の設定値

TSPI 制御レジスタ 2 ([TSPIxCR2]<RXDLY>)の設定値については、以下の表の値を必ず設定してください。

表 2.76 TSPI 制御レジスタ2<RXDLY>の設定値

レジスタ名	値
[TSPIxCR2]<RXDLY>	0

2.17.5. クロック

シリアルペリフェラルインタフェースは、以下の表に示すクロックが使用されます。

表 2.77 TSPI 用クロック

動作クロック	プリスケール用クロック
fsys	ΦT0

2.17.6. DMA 要求

シリアルペリフェラルインタフェースは、以下の表に示す DMA 要求があります。
表内の“-”は該当する機能がありません。

表 2.78 TSPI DMA要求

チャンネル	要求	信号名	トリガセクタ	DMA 要求チャンネル		
				シングル転送	バースト転送	
ch0	受信 DMA 要求	TSPI0RX_DMA	-	0	○	○
	送信 DMA 要求	TSPI0TX_DMA		1	○	○
ch1	受信 DMA 要求	TSPI1RX_DMA	-	2	○	○
	送信 DMA 要求	TSPI1TX_DMA		3	○	○

注) ○:対応、-:非対応

2.17.7. 内部信号接続仕様

シリアルペリフェラルインタフェースには、トリガ信号による送信機能があります。
トリガ信号は以下の表に示すトリガソースをトリガセクタで選択し使用します。

2.17.7.1. トリガ送信信号接続仕様

表 2.79 TSPI トリガ転送仕様

チャンネル	信号名	トリガセクタ	トリガソース	
			入力トリガ信号	信号名
ch0	TSPI0TRG (入力)	[TSEL0CR4] <INSEL18[2:0]> (注 1)	PB1 端子	TRGIN0
			PA3 端子 (注 2)	TRGIN1
			PN3 端子 (注 3)	TRGIN2
			T32A ch5 タイマレジスタ A1 一致トリガ	T32A05TRGOUTCMPA1
			T32A ch5 タイマレジスタ B1 一致トリガ	T32A05TRGOUTCMPB1
			T32A ch5 タイマレジスタ C1 一致トリガ	T32A05TRGOUTCMPC1
ch1	TSPI1TRG (入力)	[TSEL0CR4] <INSEL19[2:0]> (注 1)	PB1 端子	TRGIN0
			PA3 端子(注 2)	TRGIN1
			PN3 端子(注 3)	TRGIN2
			T32A ch5 タイマレジスタ A1 一致トリガ	T32A05TRGOUTCMPA1
			T32A ch5 タイマレジスタ B1 一致トリガ	T32A05TRGOUTCMPB1
			T32A ch5 タイマレジスタ C1 一致トリガ	T32A05TRGOUTCMPC1

注 1) [TSEL0CR4]<INSELx[2:0]>はトリガセクタでトリガソースを選択します。トリガセクタの詳細は、「2.2. トリガセクタ(TRGSEL)」を参照してください。

注 2) M3H0 には PA3 端子(TRGIN1)はありません。

注 3) M3H3 / M3H2 / M3H1 / M3H0 には PN3 端子(TRGIN2)はありません。

2.17.7.2. T32A 接続

シリアルペリフェラルインタフェースは、その他、下記表のように内部で周辺機能と接続されている信号があります。

表 2.80 TSPI 内部接続仕様(出力)

入出力	機能出力 (TSPI)		トリガセクタ	周辺機能	出力先	
	機能出力 (TSPI)	信号名			出力先	信号名
出力	TSPI ch0 送信完了信号	TSPI0TXEND	[TSEL0CR8] <INSEL32[2:0]>	T32A ch3	タイマ A 内部トリガ入力	T32A03TRGINAPCK
	TSPI ch0 受信完了信号	TSPI0RXEND				
	TSPI ch1 送信完了信号	TSPI1TXEND	[TSEL0CR8] <INSEL35[2:0]>	T32A ch4	タイマ A 内部トリガ入力	T32A04TRGINAPCK
	TSPI ch1 受信完了信号	TSPI1RXEND				

2.18. リモコン受信回路(RMC)

2.18.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.81 RMC 搭載チャンネル

製品	RMC 搭載チャンネル (○:搭載、-:非搭載)
	ch0
M3H6	○
M3H5	○
M3H4	○
M3H3	○
M3H2	○
M3H1	○
M3H0	○

2.18.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.82 RMC 機能端子とポート

機能端子 (信号名)		ポート	ポートの製品対応 (○:対応、-:非対応)						
			M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
RXIN0	入力	PB1	○	○	○	○	○	○	○

2.18.3. サンプリングクロック

リモコン受信回路は、以下の表に示すサンプリングクロックが選択可能です。

表 2.83 RMC サンプリングクロック

クロック	信号名	クロックソース	信号名
	低速クロック	fs	外部低速発振器
クロックソース用タイマトリガ	TB0OUT	T32A ch5 タイマ出力 A	T32A05OUTA

注) サンプリングクロックは `[RMC0FSSEL]<RMCCLK>` で選択してください。

2.19. デジタルノイズフィルタ回路(DNF)

2.19.1. 搭載ユニット

製品毎の搭載ユニット数を下記表に示します。

表 2.84 DNF 搭載ユニット

製品	DNF 搭載ユニット (○:搭載、-:非搭載)
	ユニット A
M3H6	○
M3H5	○
M3H4	○
M3H3	○
M3H2	○
M3H1	○
M3H0	○

2.19.2. 製品別外部割り込みと DNF の対応

デジタルノイズフィルタ回路は以下の外部割り込み端子に対応しています。

表 2.85 外部割り込みと DNF 対応

外部割り込み 端子(信号名)	ポート	ユニット	設定 レジスタ名	DNF 対応 (○: 対応、-: 非対応)						
				M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
INT00	PC0	A	[DNFAENCR]<NFEN0>	○	○	○	○	○	○	○
INT01	PC1		[DNFAENCR]<NFEN1>	○	○	○	○	○	○	○
INT02	PC2		[DNFAENCR]<NFEN2>	○	○	○	○	○	○	○
INT03	PB1		[DNFAENCR]<NFEN3>	○	○	○	○	○	○	○
INT04	PJ4		[DNFAENCR]<NFEN4>	○	○	○	○	○	○	○
INT05	PK1		[DNFAENCR]<NFEN5>	○	○	○	○	○	○	○
INT06	PH3		[DNFAENCR]<NFEN6>	○	○	○	○	○	-	-
INT07	PA6		[DNFAENCR]<NFEN7>	○	○	○	○	-	-	-
INT08	PL3		[DNFAENCR]<NFEN8>	○	○	○	-	-	-	-
INT09	PM2		[DNFAENCR]<NFEN9>	○	○	○	-	-	-	-
INT10	PN3		[DNFAENCR]<NFEN10>	○	○	○	-	-	-	-
INT11	PA7		[DNFAENCR]<NFEN11>	○	○	-	-	-	-	-
INT12	PL4		[DNFAENCR]<NFEN12>	○	○	-	-	-	-	-
INT13	PK7		[DNFAENCR]<NFEN13>	○	○	-	-	-	-	-
INT14	PP3		[DNFAENCR]<NFEN14>	○	○	-	-	-	-	-
INT15	PM6	[DNFAENCR]<NFEN15>	○	-	-	-	-	-	-	

2.19.3. サンプリングソースクロック

デジタルノイズフィルタ回路は、サンプリングのソースクロックとして以下の表に示すクロックが使用されます。

表 2.86 DNF サンプリングソースクロック

サンプリングソースクロック
fc

2.20. バウンダリスキャン(BSC)

2.20.1. 機能対応

製品毎の機能対応を下記表に示します。

表 2.87 バウンダリスキャン 機能対応

製品	バウンダリスキャン 機能対応 (○: 対応、-: 非対応)
M3H6	○
M3H5	○
M3H4	○
M3H3	○
M3H2	-
M3H1	-
M3H0	-

2.20.2. 製品別インタフェース一覧

表 2.88 JTAGインタフェース 搭載一覧

端子名	ポート	端子対応 (○: 対応、-: 非対応)						
		M3H6	M3H5	M3H4	M3H3	M3H2	M3H1	M3H0
TMS	PK2	○	○	○	○	-	-	-
TCK	PK3	○	○	○	○	-	-	-
TDO	PK4	○	○	○	○	-	-	-
TDI	PK5	○	○	○	○	-	-	-
TRST_N	PK6	○	○	○	-	-	-	-
BSC	-	○	○	○	○	-	-	-

2.20.3. バウンダリスキャン順序

本製品のプロセッサ信号に対するバウンダリスキャンの順序は下表のとおりです。

表 2.89 バウンダリスキャン順序(1/3)

順序	機能名 またはポート名	端子対応 (○: 対応、-: 非対応)			
		M3H6	M3H5	M3H4	M3H3
-	TDI	○	○	○	○
1	PK1	○	○	○	○
2	PK0	○	○	○	○
3	PJ5	○	○	○	○
4	PJ4	○	○	○	○
5	PJ3	○	○	○	○
6	PJ2	○	○	○	○

表 2.90 バウンダリスキャン順序(2/3)

順序	機能名 またはポート名	端子対応 (○: 対応、-: 非対応)			
		M3H6	M3H5	M3H4	M3H3
7	PJ1	○	○	○	○
8	PJ0	○	○	○	○
9	PN0	○	○	○	-
10	PN1	○	○	○	-
11	PN2	○	○	○	-
12	PN3	○	○	○	-
13	PN4	○	○	-	-
14	PN5	○	-	-	-
15	PR3	○	-	-	-
16	PR2	○	-	-	-
17	PR1	○	-	-	-
18	PR0	○	-	-	-
19	PC6	○	○	-	-
20	PC5	○	○	-	-
21	PC4	○	○	-	-
22	PC3	○	○	○	○
23	PC2	○	○	○	○
24	PC1	○	○	○	○
25	PC0	○	○	○	○
26	PH3	○	○	○	○
27	PH2	○	○	○	○
28	PH1	○	○	○	○
29	PH0	○	○	○	○
30	PP2	○	○	-	-
31	PP1	○	○	-	-
32	PP0	○	○	-	-
33	PL6	○	-	-	-
34	PL5	○	-	-	-
35	PL4	○	○	-	-
36	PL3	○	○	○	-
37	PL2	○	○	○	-
38	PL1	○	○	○	○
39	PL0	○	○	○	○
40	PB7	○	-	-	-
41	PB6	○	-	-	-
42	PB5	○	-	-	-
43	PB4	○	○	○	○
44	PB3	○	○	○	○
45	PB2	○	○	○	○
46	PB1	○	○	○	○
47	PB0	○	○	○	○
48	PM0	○	○	○	-
49	PM1	○	○	○	-

表 2.91 バウンダリスキャン順序(3/3)

順序	機能名 またはポート名	端子対応 (○: 対応、-: 非対応)			
		M3H6	M3H5	M3H4	M3H3
50	PM2	○	○	○	-
51	PM3	○	-	-	-
52	PM4	○	-	-	-
53	PM5	○	-	-	-
54	PM6	○	-	-	-
55	PA0	○	○	○	○
56	PA1	○	○	○	○
57	PA2	○	○	○	○
58	PA3	○	○	○	○
59	PA4	○	○	○	○
60	PA5	○	○	○	○
61	PA6	○	○	○	○
62	PA7	○	○	-	-
63	PG1	○	○	-	-
64	PG0	○	○	○	○
65	PD0	○	○	○	○
66	PD1	○	○	○	○
67	PD2	○	○	○	○
68	PD3	○	-	-	-
69	PE0	○	○	○	○
70	PE1	○	○	○	○
71	PE2	○	○	○	○
72	PE3	○	○	○	○
73	PE4	○	○	○	○
74	PE5	○	○	-	-
75	PE6	○	○	-	-
76	PF0	○	-	-	-
77	PF1	○	-	-	-
78	PF2	○	-	-	-
79	PF3	○	-	-	-
80	PF4	○	-	-	-
81	PP3	○	○	-	-
82	PK7	○	○	-	-
-	TDO	○	○	○	○

2.21. トリミング回路(TRM)

2.21.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.92 TRM 搭載一覧

製品	TRM 搭載 (○:あり、×:なし)
M3H6	○
M3H5	○
M3H4	○
M3H3	○
M3H2	○
M3H1	○
M3H0	○

2.21.2. 対象発振器

トリミング回路の対象発振器は以下の表に示す発振器です。

表 2.93 TRM トリミング対象発振器

対象発振器	発振器名
内蔵高速発振器 1	IHOSC1

3. 改訂履歴

表 3.1 改訂履歴

Revision	Date	Description
1.0	2017-03-08	新規
1.1	2017-04-21	<ul style="list-style-type: none"> ・共通修正 <ul style="list-style-type: none"> 表：“製品対応 (○:あり、×:なし)”→“製品対応 (○:対応、-:非対応)” “端子対応 (○:あり、×:なし)”→“端子対応 (○:対応、-:非対応)” “○:対応、×:非対応”→“○:対応、-:非対応” 表：信号名称の見直し/修正 ・2.1. トリガセレクト(TRGSEL) <ul style="list-style-type: none"> 図 2.1 の表現を変更。(説明部分も修正) ・2.1.1. トリガセレクトと製品対応 <ul style="list-style-type: none"> 表 2.1 の項目の“入力トリガ信号”を見直し。 表 2.1 の項目の製品対応の“X:なし”→“-:非対応”へ変更。 表 2.1 の INSEL32[2:0]の欄へ“I²C ch1 割り込み”を追記。 ・2.1.2. 使用方法と設定 <ul style="list-style-type: none"> 説明内容を見直し。 説明順序及び表現を変更。また、エッジ検出が必要なトリガ信号を明記。 ・2.1.4. レジスタ詳細 <ul style="list-style-type: none"> エッジ選択が不要な<INSELx[2:0]>について、Bit Symbol 欄 の<UPDNx>,<OUTSELx>を“-”へ変更。また、機能欄を“0”を書いてください。”へ変更。 ・2.1.4.9. [TSEL0CR8] (コントロールレジスタ 8) <ul style="list-style-type: none"> INSEL32[2:0]の欄へ“I²C ch1 割り込み”を追記。 ・2.2.1. 搭載チャンネル <ul style="list-style-type: none"> 表 2.9 表現変更。 ・2.2.2. カウントクロック <ul style="list-style-type: none"> 表 2.10 備考欄削除。 ・2.3.1. 基準クロック <ul style="list-style-type: none"> 表 2.12 備考欄削除。 ・2.3.2. 検知対象クロック <ul style="list-style-type: none"> “周波数検知回路について、製品固有の差異はありません。”文章削除。 ・2.4.2. デバッグ端子 <ul style="list-style-type: none"> 章を削除。 ・2.5.1. 書き込み、消去操作クロック <ul style="list-style-type: none"> 表 2.15 備考欄削除。 ・2.5.2. 製品別コードフラッシュブロック構成 <ul style="list-style-type: none"> 表 2.16 注 1) はコメントに変更。 ・2.5.3. 製品別データフラッシュブロック構成 <ul style="list-style-type: none"> 表 2.17 注 1) はコメントに変更。 ・2.5.4. シングルブート使用リソース <ul style="list-style-type: none"> 表 2.18 注)の内容を修正。 RAM ローダの説明を追記。また、表 2.19 を追加。 ・2.6. DMA コントローラ(DMAC) <ul style="list-style-type: none"> 表 2.20 表現変更。 ・2.6.1. 搭載ユニット <ul style="list-style-type: none"> 文章修正:“搭載ユニット数”→“搭載ユニット” ・2.6.2. DMA 要求一覧 <ul style="list-style-type: none"> 表 2.22 DMA 要求一覧(2/3) の誤記修正。 ・2.7.1. 搭載チャンネル <ul style="list-style-type: none"> 表 2.24 表現変更。 ・2.7.2. 機能端子とポート <ul style="list-style-type: none"> 表 2.25 修正：“EMGIO”→“EMG0_N” “OVVI0”→“OVV0_N” ・2.7.4. その他接続 <ul style="list-style-type: none"> 章名変更:“2.7.4.その他接続” →“2.7.4.内部信号接続仕様”

- 2.7.4.1. ADC / A-ENC / T32A 接続
 章を追加 : "2.7.4.1. ADC / A-ENC / T32A 接続"
 表名変更 : 表 2.27 "PMD+ 内部接続仕様:入力" → "PMD+ 内部信号接続仕様:入力"
 表名変更 : 表 2.28 "PMD+ 内部接続仕様:出力" → "PMD+ 内部信号接続仕様:出力"
- 2.8. アドバンスドエンコーダ入力回路(A-ENC)
 表 2.29 表現変更。
- 2.8.3.1. T32A / PMD 接続
 章を追加 : "2.8.3.1. T32A / PMD 接続"
 表名変更 : 表 2.31 "A-ENC 内部接続仕様:入力"
 → "A-ENC 内部信号接続仕様:入力"
 表名変更 : 表 2.32 "A-ENC 内部接続仕様:出力"
 → "A-ENC 内部信号接続仕様:出力"
- 2.9.1. 搭載ユニット
 文章修正: "搭載ユニット数" → "搭載ユニット"
 表 2.34 表現変更。
- 2.9.2. 機能端子とポート
 表修正: 表 2.34 の注 2) "VREHL" → "VREFL"
- 2.9.7. その他接続
 章名変更: "2.8.3.その他接続" → "2.8.3.内部信号接続仕様"
- 2.8.3.1. T32A / PMD 接続
 章を追加 : "2.8.3.1. T32A / PMD 接続"
 表名変更 : 表 2.31 "A-ENC 内部接続仕様:入力"
 → "A-ENC 内部信号接続仕様:入力"
 表名変更 : 表 2.32 "A-ENC 内部接続仕様:出力"
 → "A-ENC 内部信号接続仕様:出力"
- 2.9.5. 起動トリガ接続仕様
 章変更 : "2.9.5. 起動トリガ接続仕様" → "2.9.6.1. 内部信号接続仕様"
 表を結合: "表 2.38"+"表 38" → "表 37"
- 2.9.6. DMA 要求
 章変更 : "2.9.6. DMA 要求" → "2.9.5. DMA 要求"
- 2.9.6. 内部信号接続仕様
 章を追記 : "2.9.6. 内部信号接続仕様"
- 2.9.6.1. 起動トリガ接続
 表 2.38 見直し
- 2.9.7. その他接続
 "2.9.7.その他接続" → "2.9.6.2. T32A / PMD 接続" 変更。
 表名変更 : "表 2.41 ADC 内部接続仕様:出力"
 → "表 39 ADC 内部信号接続仕様:出力"
- 2.10.1. 搭載チャンネル
 表 2.40 表現変更。
- 2.10.2. 機能端子とポート
 文章削除 : "注) VREFH は AVDD5、VREHL は AVSS に接続されています。"
- 2.12.1. 搭載チャンネル
 表 2.43 表現変更。
- 2.12.4. キャプチャトリガ信号接続仕様
 章名変更 : "2.12.4. キャプチャトリガ信号接続仕様"
 → "2.12.4. 内部信号接続仕様"
 表 4.28 見直し
 文章変更 : "32 ビットタイマ/イベントカウンタは、以下の表に示すキャプ
 チャトリガ信号が接続されます。
 下記表のトリガセクタ欄にレジスタ名のある入力トリガ信号は、
 トリガセクタで使用する入力トリガを選択してください。"
 → "32 ビットタイマ/イベントカウンタは、以下の表に示す信号が
 接続されます。
 下記表のトリガセクタ欄にレジスタ名のある入力トリガ信号は、
 トリガソースで使用する入力トリガを選択してください。"
- 2.12.4.1. TRGIN / UART / I²C / TSPI / A-ENC / ADC / LOSC 接続
 章を追記 : "2.12.4.1. TRGIN / UART / I²C / TSPI / A-ENC / ADC / LOSC 接続"
 表名変更 : "表 2.48 T32A キャプチャトリガ信号接続仕様(1/3)"
 → "表 2.47 T32A 信号接続仕様(1/3)"
 "表 2.49 T32A キャプチャトリガ信号接続仕様(2/3)"

		<p>→" 表 2.48 T32A 信号接続仕様(2/3)" "表 2.50 T32A キャプチャトリガ信号接続仕様(3/3)" →" 表 2.49 T32A 信号接続仕様(3/3)"</p> <p>誤記修正 : 表 2.46 T32A 信号接続仕様(1/3) T32A ch0 タイマ B 欄 "(他タイム入力)"→"(内部トリガ入力)"</p> <p>誤記修正 : 表 2.46 T32A 信号接続仕様(2/3)" T32A ch3 タイマ A 欄へ "I²C ch1 割り込み" 追記。</p> <p>表 2.49 見直し</p> <ul style="list-style-type: none"> •2.12.5. 同期制御接続仕様 章名変更 : "2.12.5. 同期制御接続仕様"→" 2.12.4.2. 同期制御接続仕様" 表 2.50 見直し •2.12.6.DMA 要求 表 2.52, 表 2.53 見直し •2.12.7 非対応割り込み 章を追加 : "2.12.7 非対応割り込み" •2.12.8. その他接続 章削除 : "2.12.8. その他接続" •2.13.1. 搭載チャンネル 表 2.54 表現変更。 •2.14.1. 搭載チャンネル 表 2.57 表現変更。 •2.14.5. トリガ転送信号接続仕様 章名変更 : "2.14.5. トリガ転送信号接続仕様" →" 2.14.6.1. トリガ転送信号接続" •2.14.6. DMA 要求 章名変更 : "2.14.6. DMA 要求"→" 2.14.5. DMA 要求" •2.14.6. 内部信号接続仕様 章追加 : "2.14.6. 内部信号接続仕様" •2.14.7. その他接続 章名変更 : "2.14.7. その他接続:"→" 2.14.6.2. T32A 接続" •2.15.1. 搭載チャンネル 表 2.64 表現変更。 •2.16.1. 搭載チャンネル 表 2.70 表現変更。 •2.16.3.製品別転送モード対応一覧 表 2.72 見直し •2.16.5.トリガ送信信号接続仕様 章名変更 : "2.16.5.トリガ送信信号接続仕様"→" 2.16.6.1.トリガ送信信号接続仕様" •2.16.6.DMA 要求 章名変更 : "2.16.6. DMA 要求"→" 2.16.5. DMA 要求" •2.16.7.その他接続 章名変更 : "2.16.7.その他接続"→" 2.16.6.2. T32A 接続" •章を追記: "2.16.6.内部信号接続仕様" •2.17.1. 搭載チャンネル 表 2.77 表現変更。 •2.17.3. サンプリングクロック 文章削除 : "リモコン受信回路について、製品固有の差異はありません。" •2.18.1. 搭載ユニット 表 2.80 表現変更。 •2.19. JTAG/バウンダリスキャン 章名変更 : "JTAG/バウンダリスキャン"→ "バウンダリスキャン" •2.19.1. 機能対応 表名変更 : 表 2.83 "JTAG/バウンダリスキャン 機能対応" →" バウンダリスキャン 機能対応" 表項目削除 : 表 2.83 "JTAG"欄 •2.19.2. 製品別 JTAG インタフェース一覧 章名変更 : "製品別 JTAG インタフェース一覧"→ "製品別インタフェース一覧" 表項目変更 : 表 2.84 "デバッグ端子(信号名)"→" 端子名" •2.20.1.対象発振器 文書修正。
--	--	---

<p>2.0</p>	<p>2017-08-23</p>	<ul style="list-style-type: none"> ・社名変更による変更 <ul style="list-style-type: none"> 表紙 商標の見直し 製品取り扱い上のお願いの差し替え ・全体:「LOSC 低周波クロック」→「ELOSC 低速クロック」へ修正。 ・2.1.レジスタ ベースアドレス <ul style="list-style-type: none"> 追記 : "2.1.レジスタ ベースアドレス" 章 <ul style="list-style-type: none"> ※以下、章番号はシフト ・2.2.1. トリガセクタと製品対応 <ul style="list-style-type: none"> 表 2.2 の変更 : 「PMD」→「PMD+」へ修正。 ・2.2.4.1. [TSEL0CR0] (コントロールレジスタ 0) <ul style="list-style-type: none"> INSEL1[2:0]の機能修正 : 「PMD ch0 PWM 割り込み」→「PMD+ ch0 PWM 割り込み」 ・2.7.2. DMA 要求一覧 <ul style="list-style-type: none"> 表 2.23 の ch17 : 「PMD ch0 PWM 割り込み」→「PMD+ ch0 PWM 割り込み」 ・2.8.3. DMA 要求 <ul style="list-style-type: none"> 表 2.27 のチャンネル欄 : 「PMD」→「PMD+ ch0」へ修正。 表 2.27 の要求欄 : 「PMD ch0 PWM 割り込み」→「PWM 割り込み」をへ修正。 ・2.8.4.1. ADC / A-ENC / T32A 接続 <ul style="list-style-type: none"> 表 2.28 の表題変更 : 「PMD+ 内部信号接続仕様:入力」 →「PMD+ ch0 内部信号接続仕様:入力」 表 2.28 の周辺機能の欄へユニット名、ch 名を追記。 表 2.28 の入力信号の信号名 : 「ENC0CTRG0」→「ENC0CTRGO」へ修正。 表 2.28 の入力信号 : 「T32A ch3 タイマレジスタ A0 一致トリガ」 →「タイマレジスタ A0 一致トリガ」へ修正。 表 2.29 の表題変更 : 「PMD+ 内部信号接続仕様:出力」 →「PMD+ ch0 内部信号接続仕様:出力」 表 2.29 の周辺機能の欄へユニット名、ch 名を追記。 表 2.29 の出力先欄の「PMD0」→「PMD」へ修正。※0 を削除。 ・2.9.3.1. T32A / PMD+接続 <ul style="list-style-type: none"> 章名を変更 : 「T32A / PMD」→「T32A / PMD +」へ修正。 表 2.32 の周辺機能名 : 「T32A」→「T32A ch3」へ修正。 「PMD」→「PMD+ ch0」へ修正。 表 2.32 の入力信号 : 「T32A ch3 タイマ出力 A」→「タイマ出力 A」へ修正。 表 2.33 の出力先欄の周辺機能、名称、信号名を修正。 <ul style="list-style-type: none"> 「T32A」→「T32A ch3」 「PMD」→「PMD+ ch0」 「T32A ch3 タイマ A 他タイマ出力」→「タイマ A 内部トリガ入力」 「PMD0 転流トリガ」→「転流トリガ」 「T32A03TRGINAPHCK」→「T32A03TRGINAPCK」 ・2.10.6.2. T32A / PMD+ 接続 <ul style="list-style-type: none"> 章名を修正 : 「T32A / PMD 接続」→「T32A / PMD+ 接続」 表 2.40 の周辺機能欄、出力先名称を修正。 <ul style="list-style-type: none"> 「T32A」→「T32A ch5」 「PMD」→「PMD+ ch0」 「T32A ch5 タイマ A 内部トリガ入力」→「タイマ A 内部トリガ入力」 ・2.13.5.製品別パルスカウンタ対応一覧 <ul style="list-style-type: none"> 誤記修正 : 表 2.51 パルスカウンタ対応一覧 ("T32A1INC0 み"→"T32A1INC0 のみ") ・2.13.7. 非対応割り込み <ul style="list-style-type: none"> 変更 : "本製品"→" TMPM3H グループ(1)で" ・2.15.6.2. T32A 接続 <ul style="list-style-type: none"> 表 2.64 の周辺機能欄、出力先名称を修正。 <ul style="list-style-type: none"> 「T32A」→「T32A ch0」, 「T32A ch0 タイマ A」→「タイマ A 内部トリガ入力」 「T32A」→「T32A ch1」, 「T32A ch1 タイマ A」→「タイマ A 内部トリガ入力」 「T32A」→「T32A ch2」, 「T32A ch2 タイマ A」→「タイマ A 内部トリガ入力」 ・2.16.5. フィルタ選択 <ul style="list-style-type: none"> 文章を修正 : 「チャンネル 1 およびチャンネル 2 は、アナログフィルタを内蔵していないため、該当するレジスタのアナログフィルタの選択はできません。」 →「フィルタ選択は、以下の表に示す対応となっています。」 表 2.69 のフィルタ選択欄を修正 : ch1 および ch0 を「デジタル(0)/アナログ(1)」へ修正。 ・2.17.6.2. T32A 接続 <ul style="list-style-type: none"> 表 2.77 の周辺機能欄、出力先名称を修正。
------------	-------------------	--

		<p>「T32A」→「T32A ch3」 「T32A ch3 タイマ A 内部トリガ入力」→「タイマ A 内部トリガ入力」 「T32A」→「T32A ch4」 「T32A ch4 タイマ A 内部トリガ入力」→「タイマ A 内部トリガ入力」</p>
3.0	2018-03-15	<ul style="list-style-type: none"> ・全体 <ul style="list-style-type: none"> 修正: "12ビットアナログ/デジタルコンバータ(ADC)" ->"12ビットアナログデジタルコンバータ(ADC)" 修正: "32ビットタイマ/イベントカウンタ(T32A)" ->"32ビットタイマイベントカウンタ(T32A)" 修正: 表の項目欄 "ch"->"チャンネル" ・関連するドキュメント: 修正(IP 記号追加、他) ・用語・略語: 誤記修正 ・2.2.1. トリガセレクトと製品対応 <ul style="list-style-type: none"> 追記: 表 2.2、表 2.3 トリガソース欄に DMAC のユニット番号を追記 追記: 表 2.8 の INSEL32[2:0] "A-ENC 分周パルス信号"->" A-ENC ch0 分周パルス信号" ・2.2.2. 使用方法と設定 <ul style="list-style-type: none"> (2) エッジ検出条件の選択([TSEL0CRn]<UPDNm>) 修正: "選択された入力トリガ信号に対し、立ち上がりエッジまたは……選択を行います。" 修正: "検出条件の選択ビット"->" 検出条件ビット" ・2.2.4.1. ~2.2.4.11 [TSEL0CRx] (コントロールレジスタ x) <ul style="list-style-type: none"> 追記: Bit Symbol INSELx の機能欄にトリガソースを追記 (41 箇所) ・2.2.4.9. [TSEL0CR8] (コントロールレジスタ 8) <ul style="list-style-type: none"> 修正: INSEL32[2:0] "A-ENC 分周パルス信号"->" A-ENC ch0 分周パルス信号" ・2.4.1. 搭載一覧 <ul style="list-style-type: none"> 追記: 節 "2.4.1. 搭載一覧" ・2.4.2. 基準クロック <ul style="list-style-type: none"> 追記: 表 2.14 分周値 ・2.4.3. 検知対象クロック <ul style="list-style-type: none"> 修正: "<PLL0SET>"->"<PLL0SEL>" ・2.5.1. 製品別デバッグインタフェース一覧 <ul style="list-style-type: none"> 修正: 表 2.16 ・2.7.2. DMA 要求一覧 <ul style="list-style-type: none"> 修正; 表 2.23 "注 4) M3H3/M3H2/M3H0 には I²C の ch2 はありません。" ->" 注 4)M3H2/M3H1/M3H0 には I²C の ch2 はありません。" ・2.8. モータ制御回路(PMD+) 修正: "2.8. モータ制御回路(PMD+)"->" 2.8. モータ制御回路プラス(PMD+)" ・2.8.2. 機能端子とポート <ul style="list-style-type: none"> 削除: 表 2.27 のチャンネル欄の" PMD+" ・2.8.3. DMA 要求 <ul style="list-style-type: none"> 削除: 表 2.28 のチャンネル欄の"PMD+" ・2.9.2. 機能端子とポート <ul style="list-style-type: none"> 削除: 表 2.32 のチャンネル欄の"A-ENC" ・2.9.3.1. T32A / PMD+ 接続 <ul style="list-style-type: none"> 修正: 表 2.34 機能出力欄 "A-ENC 分周パルス信号"->"分周パルス信号" ・2.10.5. DMA 要求 <ul style="list-style-type: none"> 修正: 表 2.39 "チャンネル"->"ユニット" 修正: 表 2.39 ユニット欄 "ADC"->"ユニット A" 削除: 要求欄より"ADC ユニット A" を削除 ・2.11. 8ビットデジタルアナログコンバータ(DAC) 修正: "2.11. 8ビットデジタル/アナログコンバータ"->" 2.11. 8ビットデジタルアナログコンバータ" ・2.11.2. 機能端子とポート <ul style="list-style-type: none"> 削除: 表 2.43 チャンネル欄 "DAC" ・2.12.1. 搭載一覧 <ul style="list-style-type: none"> 追記: 節 "2.12.1. 搭載一覧" ・2.13. 32ビットタイマ/イベントカウンタ(T32A) <ul style="list-style-type: none"> 削除: 表のチャンネル欄 "T32A" ・2.13.4.1. TRGIN / UART / I²C / TSPI / A-ENC / ADC / ELOSC 接続 <ul style="list-style-type: none"> 修正: 表 2.51 の ch3 "A-ENC 分周パルス信号"->" A-ENC ch0 分周パルス信号" 削除: 表 2.50~52 チャンネル、タイマ欄 "T32A"、"タイマ" 削除: 表 2.50~52 入力トリガ信号欄 PB1 端子,PA3 端子,PA3 端子の後の信号名 ・2.14.1. 搭載一覧

		<p>修正: "2.14.1. 搭載チャンネル"->" 2.14.1. 搭載一覧" 修正: 表題 "表 2.57 RTC 搭載チャンネル"->"表 2.57 RTC 搭載一覧" 修正: 表 2.57 ・2.15. 非同期シリアル通信回路(UART) 削除: 表のチャンネル欄 "UART" 2.15.1. 搭載チャンネル 追記: "M3H グループ(1)製品に搭載の UART 最大通信速度は 2.5Mbps です." 2.15.6.1. トリガ転送信号接続 削除: 表 2.65 入力トリガ信号欄 PB1 端子,PA3 端子,PA3 端子の後の信号名 ・2.16. I²C インタフェース(I²C) 削除: 表のチャンネル欄 "I²C" ・2.16.1. 搭載チャンネル 追記: "M3H グループ(1)製品に……準モード、ファストモード、ファストモードプラスに対応します." ・2.16.5. フィルタ選択 修正: "フィルタ搭載は、以下の表に示す対応となっています。チャンネル 0……ルタが接続されています." 修正: 表 2.71 ・2.17. シリアルペリフェラルインタフェース(TSPI) 削除: 表のチャンネル欄 "TSPI" ・2.17.1. 搭載チャンネル 追記: "M3H グループ(1)製品に搭載の TSPI 最大通信速度は 20Mbps です." ・2.17.2. 機能端子とポート 修正: 表 2.74 機能端子 TSPI0CS0, TSPI0CS1, TSPI1CS0, TSPI1CS1 の"入力"->"出力" ・2.17.4. [TSPIxCR2]<RXDLY>の設定値 追記: 節 "2.17.4. [TSPIxCR2]<RXDLY>の設定値" ・2.17.7.1. トリガ送信信号接続仕様 削除: 表 2.79 入力トリガ信号欄 PB1 端子,PA3 端子,PA3 端子の後の信号名を削除 ・2.21.1. 搭載一覧 追記: 節 "2.21.1. 搭載一覧"</p>
<p>3.1</p>	<p>2019-02-28</p>	<p>・2.2.2 使用方法と設定 [CGFCEN]の記述を削除 ・2.13.5 製品別パルスカウンタ対応一覧 M3H0 の ch1 T32A1INC0 → T32A01INC0 に修正、ch4 T32A1INC0 → T32A04INC0 に修正 ・2.16.4 アドレス一致ウェイクアップ機能対応 タイトル変更 ・2.16.5 フィルタ選択 ウェイクアップ機能→アドレス一致ウェイクアップ機能に修正 ・2.17.5 クロック 使用する動作クロックを追加 ・2.20 バウンダリスキャン(BSC) タイトル修正</p>
<p>3.2</p>	<p>2019-07-23</p>	<p>・表記規約 表記規約更新 商標: " Technology, Inc" →" Technology, Inc." ・用語・略語 BSC 追加 ・「2.2.1.トリガセレクタと製品対応」 表 2.4 トリガソース: "PMDTRG6"→"ADC ユニット A"、"PMD+ 汎用トリガ"→"ADC ユニット A" 表 2.9 入力トリガ信号: "監視"→"監視機能" ・「2.2.4.2.」、「2.2.4.3.」 機能列: "T32A DMA 要求 chx"→"T32A chx DMA 要求" ・「2.2.4.5.」 機能列: "PMDTRG6"→"ADC ユニット A"、"PMD+ 汎用トリガ"→"ADC ユニット A" ・「2.2.4.10」 機能列: "監視"→"監視機能" ・「2.6.2.製品別コードフラッシュブロック構成」 表 2.18 項目行: "M3H0FSUG" →"M3H0FSDUG" 表 2.19 項目行: "M3H3FxFG" →"M3H6FxFG"、"M3H0FxFG" →"M3H0FxDUG" ・「2.9.3.1.T32A / PMD+ 接続」 表 2.34 出力先: "ENC" →"A-ENC" ・「2.10.6.2.T32A / PMD+ 接続」 表 2.41 機能出力(ADC): "監視" →"監視機能" ・「2.13.4.1.TRGIN / UART / I²C / TSPI / A-ENC / ADC / ELOSC 接続」 表 2.52 入力トリガ信号: "監視" →"監視機能" ・「2.15.3.製品別ハーフクロックモード対応一覧」 表 2.62 ch2 / M3H6~M3H1 の項: "—" →"O(注)" 表下に"注) 1 端子モードのみ対応"を追加 ・「2.17.3.製品別転送モード対応一覧」 表 2.75 ch0/M3H0 の項を"SIO モード"に修正 ・「2.20.2.製品別インタフェース一覧」 表 2.88 TMS~TDI 行の M3H2,M3H1 項を"-"に変更</p>

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。