

TOSHIBA

8 ビットマイクロコントローラ
TLCS-870/C シリーズ

TMP86CM23AUG

株式会社 **東芝** セミコンダクター社

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023_A
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B

-
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q
-
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C
-
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023_E
-
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D
-
- マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますのでかならずお読みください。030519_S
-

改訂履歴

日付	版	改訂理由
2005/6/10	4	NONE
2005/8/25	5	内容改訂
2005/9/26	6	内容改訂
2006/8/7	7	内容改訂
2006/8/28	8	定期更新、本文変更なし
2007/8/17	9	内容改訂
2008/8/29	10	内容改訂

Not Recommended
for New Design

UART ノイズ除去時間設定における注意事項

本製品に搭載されている UART を使用する場合、転送クロック選択 (BRG) により、ノイズ除去時間設定 (RXDNC 設定) には以下の制約があります。"○"の箇所にて使用し、"ー"の箇所は設定しないでください。

なお、転送クロックとしてタイマカウンタ割り込みを使用する場合、転送クロックはタイマカウンタソースクロック [Hz] \div TTREG 設定値で計算されます。

BRG 設定	転送クロック [Hz]	RXDNC 設定			
		00 (ノイズ除去なし)	01 (31/fc[s] 未満の パルス除去)	10 (63/fc[s] 未満の パルス除去)	11 (127/fc[s] 未満の パルス除去)
000	fc/13	○	○	○	ー
110 (タイマカウンタ割り込みでの転送クロックが右記となる場合)	fc/8	○	ー	ー	ー
	fc/16	○	○	ー	ー
	fc/32	○	○	○	ー
上記以外		○	○	○	○

Not Recommended for New Designs

目次

TMP86CM23AUG

1.1	特長	1
1.2	ピン配置図	3
1.3	ブロック図	4
1.4	端子機能	5

第2章 動作説明

2.1	CPU コア機能	9
2.1.1	メモリアドレスマップ	9
2.1.2	プログラムメモリ (MaskROM)	9
2.1.3	データメモリ (RAM)	10
2.2	システムクロック制御回路	11
2.2.1	クロックジェネレータ	11
2.2.2	タイミングジェネレータ	12
2.2.2.1	タイミングジェネレータの構成	
2.2.2.2	マシンサイクル	
2.2.3	動作モードの種類	13
2.2.3.1	シングルクロックモード	
2.2.3.2	デュアルクロックモード	
2.2.3.3	STOPモード	
2.2.3.4	各動作モードの遷移	
2.2.4	動作モードの制御	18
2.2.4.1	STOPモード	
2.2.4.2	IDLE1/2モード, SLEEP1/2モード	
2.2.4.3	IDLE0, SLEEP0モード	
2.2.4.4	SLOWモード	
2.3	リセット回路	33
2.3.1	外部リセット入力	33
2.3.2	アドレストラップリセット	34
2.3.3	ウォッチドッグタイマリセット	34
2.3.4	システムクロックリセット	34

第3章 割り込み制御回路

3.1	割り込みラッチ (IL19 ~ IL2)	36
3.2	割り込み許可レジスタ (EIR)	37
3.2.1	割り込みマスタ許可フラグ (IMF)	37
3.2.2	割り込み個別許可フラグ (EF19 ~ EF4)	37
注 3)		39
3.3	割り込み処理	40
3.3.1	割り込み受け付け処理	40
3.3.2	汎用レジスタ退避 / 復帰処理	41
3.3.2.1	プッシュ / ポップ命令による汎用レジスタの退避 / 復帰	
3.3.2.2	転送命令による汎用レジスタの退避 / 復帰	
3.3.3	割り込みリターン	42
3.4	ソフトウェア割り込み (INTSW)	44
3.4.1	アドレスエラー検出	44

3.4.2 デバッグング	44
3.5 未定義命令割り込み (INTUNDEF)	44
3.6 アドレストラップ割り込み (INTATRAP)	44
3.7 外部割り込み	45

第4章 スペシャルファンクションレジスタ

4.1 SFR	47
4.2 DBR	49

第5章 入出力ポート

5.1 P1 (P17~P10) ポート	52
5.2 P2 (P22~P20) ポート	54
5.3 P3 (P37~P30) ポート	55
5.4 P5 (P57~P50) ポート	56
5.5 P6 (P67~P60) ポート	58
5.6 P7 (P77~P70) ポート	60
5.7 P8 (P87~P80) ポート	62

第6章 タイムベースタイマ (TBT)

6.1 タイムベースタイマ	65
6.1.1 構成	65
6.1.2 制御	65
6.1.3 機能	66
6.2 デバイダ出力 (DVO)	67
6.2.1 構成	67
6.2.2 制御	67

第7章 ウォッチドッグタイマ (WDT)

7.1 ウォッチドッグタイマの構成	69
7.2 ウォッチドッグタイマの制御	69
7.2.1 ウォッチドッグタイマによる暴走検出の方法	69
7.2.2 ウォッチドッグタイマのイネーブル	71
7.2.3 ウォッチドッグタイマのディセーブル	71
7.2.4 ウォッチドッグタイマ割り込み (INTWDT)	72
7.2.5 ウォッチドッグタイマリセット	72
7.3 アドレストラップ	73
7.3.1 内蔵 RAM 領域のアドレストラップ選択 (ATAS)	73
7.3.2 アドレストラップ発生時の動作選択 (ATOUT)	73
7.3.3 アドレストラップ割り込み (INTATRAP)	73
7.3.4 アドレストラップリセット	74

第8章 18ビットタイマカウンタ 1 (TC1)

8.1 構成	75
8.2 制御	76

8.3	機能	79
8.3.1	タイマモード	79
8.3.2	イベントカウンタモード	79
8.3.3	パルス幅測定モード	80
8.3.4	周波数測定モード	81

第9章 8ビットタイマカウンタ (TC3, TC4)

9.1	構成	85
9.2	制御	86
9.3	機能	92
9.3.1	8ビットタイマモード (TC3, 4)	92
9.3.2	8ビットイベントカウンタモード (TC3, 4)	93
9.3.3	8ビットプログラマブルデバイダ出力 (PDO) モード (TC3, 4)	93
9.3.4	8ビットパルス幅変調 (PWM) 出力モード (TC3, 4)	96
9.3.5	16ビットタイマモード (TC3 + 4)	98
9.3.6	16ビットイベントカウンタモード (TC3 + 4)	99
9.3.7	16ビットパルス幅変調 (PWM) 出力モード (TC3 + 4)	99
9.3.8	16ビットプログラマブルパルスジェネレータ (PPG) 出力モード (TC3 + 4)	102
9.3.9	ウォーミングアップカウンタモード	104
9.3.9.1	低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)	
9.3.9.2	高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)	

第10章 8ビットタイマカウンタ (TC5, TC6)

10.1	構成	107
10.2	制御	108
10.3	機能	114
10.3.1	8ビットタイマモード (TC5, 6)	114
10.3.2	8ビットイベントカウンタモード (TC5, 6)	115
10.3.3	8ビットプログラマブルデバイダ出力 (PDO) モード (TC5, 6)	115
10.3.4	8ビットパルス幅変調 (PWM) 出力モード (TC5, 6)	118
10.3.5	16ビットタイマモード (TC5 + 6)	120
10.3.6	16ビットイベントカウンタモード (TC5 + 6)	121
10.3.7	16ビットパルス幅変調 (PWM) 出力モード (TC5 + 6)	121
10.3.8	16ビットプログラマブルパルスジェネレータ (PPG) 出力モード (TC5 + 6)	124
10.3.9	ウォーミングアップカウンタモード	126
10.3.9.1	低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)	
10.3.9.2	高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)	

第11章 非同期型シリアルインターフェース (UART)

11.1	構成	129
11.2	制御	130
11.3	転送データフォーマット	132
11.4	転送レート	133
11.5	データのサンプリング方法	133
11.6	STOP ビット長	134
11.7	パリティ	134
11.8	送受信動作	134
11.8.1	データ送信動作	134
11.8.2	データ受信動作	134

11.9	ステータスフラグ	135
11.9.1	パリティエラー.....	135
11.9.2	フレーミングエラー	135
11.9.3	オーバランエラー	135
11.9.4	受信バッファフル	136
11.9.5	送信バッファエンブティ	136
11.9.6	送信終了フラグ.....	137

第12章 同期型シリアルインタフェース (SIO)

12.1	構成	139
12.2	制御	140
12.3	シリアルクロック	141
12.3.1	クロックソース.....	141
12.3.1.1	内部クロック	
12.3.1.2	外部クロック	
12.3.2	シフトエッジ	143
12.3.2.1	前縁シフト	
12.3.2.2	後縁シフト	
12.4	転送ビット数	143
12.5	転送ワード数	143
12.6	転送モード.....	144
12.6.1	4ビット送信モード, 8ビット送信モード.....	144
12.6.2	4ビット受信モード, 8ビット受信モード.....	146
12.6.3	8ビット送受信モード.....	147

第13章 10ビットADコンバータ (ADC)

13.1	構成	149
13.2	制御	150
13.3	機能	153
13.3.1	ソフトウェアスタートモード.....	153
13.3.2	リピードモード.....	153
13.3.3	レジスタの設定.....	154
13.4	AD変換時のSTOP/SLOWモード	155
13.5	入力電圧と変換結果	156
13.6	ADコンバータの注意事項	157
13.6.1	AD変換終了割り込み (INTADC) の使用に関する制限事項	157
13.6.2	アナログ入力端子電圧範囲	157
13.6.3	アナログ入力兼用端子	157
13.6.4	ノイズ対策	157

第14章 キーオンウェイクアップ (KWU)

14.1	構成	159
14.2	制御	159
14.3	機能	159

第15章 LCDドライバ

15.1	LCDドライバの構成.....	161
15.2	LCDドライバの制御.....	162
15.2.1	LCD駆動方式.....	163

15.2.2	フレーム周波数.....	164
15.2.3	LCD 駆動電圧.....	165
15.2.4	LCD パネルの駆動能力調整.....	165
15.3	LCD 表示動作.....	166
15.3.1	表示データの設定.....	166
15.3.2	ブランキング.....	166
15.4	LCD ドライバの制御方法.....	167
15.4.1	初期設定.....	167
15.4.2	表示データの格納.....	167
15.4.3	駆動出力例.....	169

第 16 章 時計専用タイマ (RTC)

16.1	構成.....	175
16.2	時計専用タイマの制御.....	175
16.3	機能.....	176

第 17 章 積和演算器 (MAC)

17.1	構成.....	177
17.2	レジスタ構成.....	177
17.2.1	コマンドレジスタ.....	177
17.2.2	ステータスレジスタ.....	178
17.2.3	乗数レジスタ.....	178
17.2.4	被乗数レジスタ.....	178
17.2.5	結果レジスタ.....	178
17.2.6	加算値設定レジスタ.....	178
17.3	制御.....	178
17.4	レジスタ説明.....	180
17.4.1	EMAC.....	180
17.4.2	CMOD.....	180
17.4.3	RCLR.....	180
17.5	演算モード.....	181
17.5.1	符号なし乗算モード.....	181
17.5.2	符号付き乗算モード.....	181
17.5.3	符号なし積和演算モード.....	182
17.5.4	符号付き積和演算モード.....	182
17.5.5	演算数値範囲.....	183
17.6	ステータスフラグ.....	183
17.6.1	動作状態フラグ (CALC).....	183
17.6.2	オーバフローフラグ (OVRF).....	183
17.6.3	キャリーフラグ (CARF).....	183
17.6.4	符号フラグ (SIGN).....	184
17.6.5	ゼロフラグ (ZERF).....	184
17.7	ソフトウェア処理例.....	184

第 18 章 端子の入出力回路

18.1	制御端子.....	187
18.2	入出力ポート.....	188

第 19 章 電氣的特性

19.1	絶対最大定格	189
19.2	動作条件	190
19.3	DC 特性	191
19.4	AD 変換特性	192
19.5	AC 特性	193
19.6	タイマカウンタ 1 入力 (ECIN) 特性	193
19.7	推奨発振条件	194
19.8	取り扱い上のご注意	194

第 20 章 外形寸法

CMOS 8ビットマイクロコントローラ

TMP86CM23AUG

製品形名	ROM (マスクROM)	RAM	パッケージ	フラッシュ内蔵品	エミュレーション チップ
TMP86CM23AUG	32768 バイト	1536 バイト	LQFP64-P-1010-0.50D	TMP86FS23UG	TMP86C923XB

1.1 特長

- 8ビットシングルチップマイクロコントローラ：TLCS-870/Cシリーズ
 - 最小実行時間：
 - 0.25 μ s (16 MHz 動作時)
 - 122 μ s (32.768 kHz 動作時)
 - 基本機械命令：132 種類 731 命令
- 割り込み要因 20 要因 (外部：5, 内部：15)
- 入出力ポート (入出力：48 端子, 出力：3 端子)
 - 大電流出力 5 端子 (Typ. 20mA)
- プリスケアラ
 - タイムベースタイマ機能
 - デバイダ出力機能
- ウォッチドッグタイマ
 - 割り込み / 内部リセット発生の選択 (プログラマブル)
- 18ビットタイマカウンタ：1 チャンネル
 - 周波数測定
 - パルス幅測定
 - イベントカウンタ
 - タイマモード
- 8ビットタイマカウンタ：4 チャンネル
 - タイマ, イベントカウンタ
 - PDO (Programmable Divider Output) モード
 - PWM (パルス幅変調出力)

• 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。

なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023_A

• 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下“特定用途”という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B

• 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q

• 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C

• 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023_E

• 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D

• マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。030519_S

- PPG モード
- 16 ビットモード (タイマ 2 チャンネルを組み合わせて使用)
- 8 ビット UART : 1 チャンネル
- 8 ビット SIO : 1 チャンネル
- 10 ビット逐次比較方式 AD コンバータ
 - アナログ入力 : 8 チャンネル
- キーオンウェイクアップ : 4 チャンネル
- LCD ドライバ / コントローラ
 - LCD 直接駆動可能 (32 セグメント × 4 コモン)
 - 1/4、1/3、1/2 デューティ、スタティック駆動の選択
- 時計専用タイマ
- 積和演算器
 - 乗算モード / 積和演算モード選択
 - 符号付き / 符号なし演算可能
- クロック発振回路 : 2 回路
 - シングル / デュアルクロックモードの選択
- 低消費電力動作 (9 モード)
 - STOP モード : 発振停止 (バッテリー / コンデンサバックアップ)
 - SLOW1 モード : 低周波クロックによる低周波動作 (高周波停止)
 - SLOW2 モード : 低周波クロックによる低周波動作 (高周波発振)
 - IDLE0 モード : CPU 停止。
 - 周辺ハードウェアのうち、TBT のみ動作 (高周波クロック) 継続し、TBT 設定の基準時間経過により解除。
 - IDLE1 モード : CPU 停止。
 - 周辺ハードウェアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU 再起動)
 - IDLE2 モード : CPU 停止。
 - 周辺ハードウェアのみ動作 (高周波 / 低周波クロック) 継続し、割り込みで解除
 - SLEEP0 モード : CPU 停止。
 - 周辺ハードウェアのうち、TBT のみ動作 (低周波クロック) 継続し、TBT 設定の基準時間経過により解除。
 - SLEEP1 モード : CPU 停止。
 - 周辺ハードウェアのみ動作 (低周波クロック) 継続し、割り込みで解除。
 - SLEEP2 モード : CPU 停止。
 - 周辺ハードウェアのみ動作 (高周波 / 低周波クロック) 継続し、割り込みで解除。
- 動作電圧 :
 - 3.5 V~5.5 V @ 16MHz / 32.768 kHz
 - 2.7 V~5.5 V @ 8 MHz / 32.768 kHz
 - 1.8 V~5.5 V @ 4.2MHz / 32.768 kHz

1.2 ピン配置図

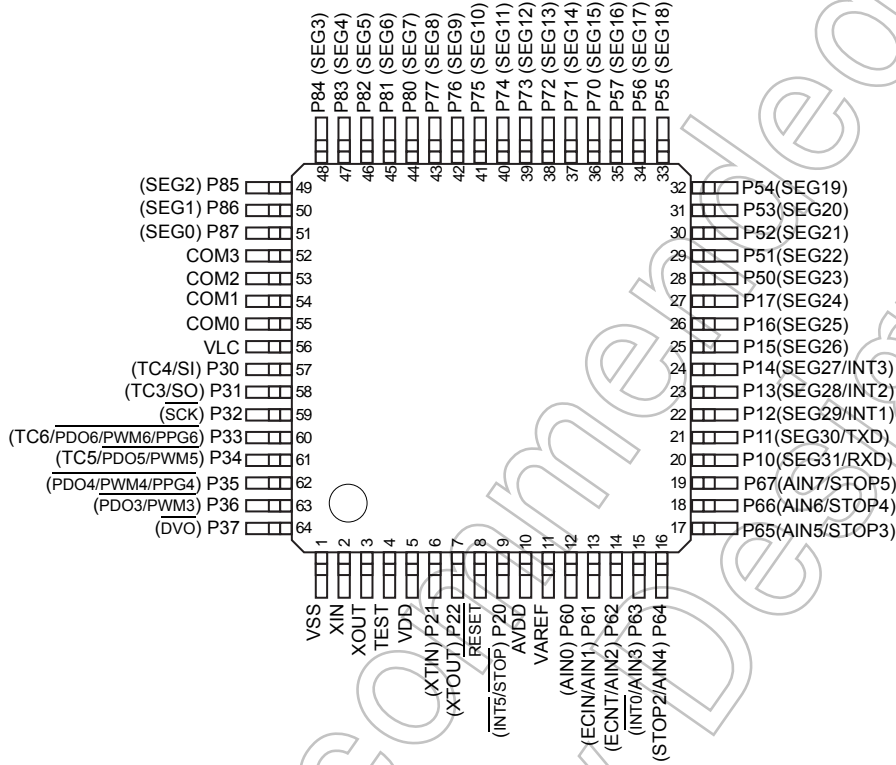


図 1-1 ピン配置図

1.3 ブロック図

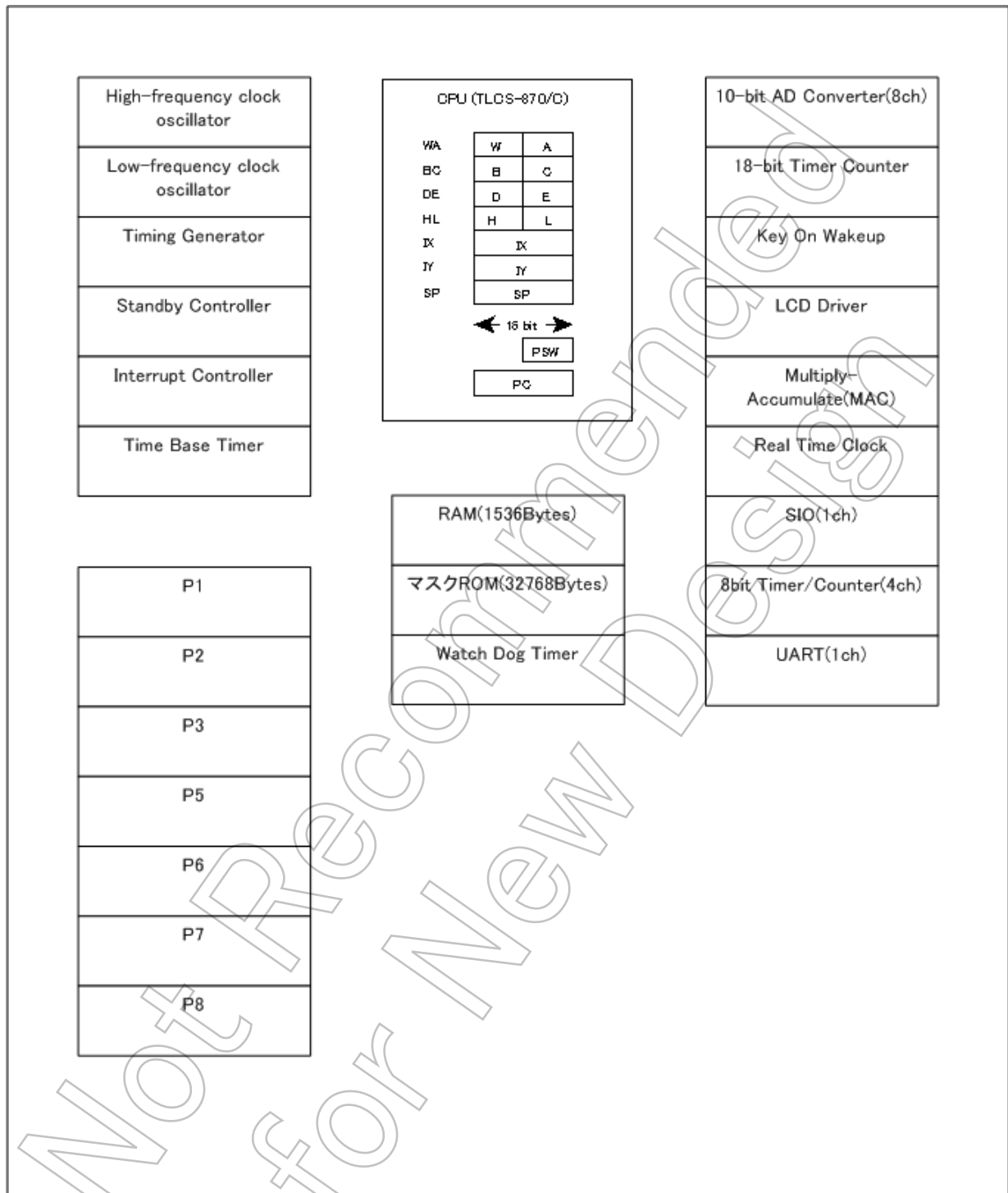


図 1-2 ブロック図

1.4 端子機能

表 1-1 端子機能表 (1 / 4)

端子名	ピン番号	入出力	機能
P17 SEG24	27	IO O	ポート 17 LCD セグメント出力 24
P16 SEG25	26	IO O	ポート 16 LCD セグメント出力 25
P15 SEG26	25	IO O	ポート 15 LCD セグメント出力 26
P14 SEG27 INT3	24	IO O I	ポート 14 LCD セグメント出力 27 外部割り込み 3 入力
P13 SEG28 INT2	23	IO O I	ポート 13 LCD セグメント出力 28 外部割り込み 2 入力
P12 SEG29 INT1	22	IO O I	ポート 12 LCD セグメント出力 29 外部割り込み 1 入力
P11 SEG30 TXD	21	IO O O	ポート 11 LCD セグメント出力 30 UART データ出力
P10 SEG31 RXD	20	IO O I	ポート 10 LCD セグメント出力 31 UART データ入力
P22 XTOUT	7	IO O	ポート 22 低周波発振子接続端子
P21 XTIN	6	IO I	ポート 21 低周波発振子接続端子
P20 STOP INT5	9	IO I I	ポート 20 STOP モード解除入力 外部割り込み 5 入力
P37 DVO	64	O O	ポート 37 デバイダ出力
P36 PDO3/PWM3	63	O O	ポート 36 PDO3/PWM3 出力
P35 PDO4/PWM4/PPG4	62	O O	ポート 35 PDO4/PWM4/PPG4 出力
P34 PDO5/PWM5 TC5	61	IO O I	ポート 34 PDO5/PWM5 出力 TC5 端子入力
P33 PDO6/PWM6/PPG6 TC6	60	IO O I	ポート 33 PDO6/PWM6/PPG6 出力 TC6 端子入力
P32 SCK	59	IO IO	ポート 32 シリアルクロック入出力

表 1-1 端子機能表 (2 / 4)

端子名	ピン番号	入出力	機能
P31 SO TC3	58	IO O I	ポート 31 シリアルデータ出力 TC3 端子入力
P30 SI TC4	57	IO I I	ポート 30 シリアルデータ入力 TC4 端子入力
P57 SEG16	35	IO O	ポート 57 LCD セグメント出力 16
P56 SEG17	34	IO O	ポート 56 LCD セグメント出力 17
P55 SEG18	33	IO O	ポート 55 LCD セグメント出力 18
P54 SEG19	32	IO O	ポート 54 LCD セグメント出力 19
P53 SEG20	31	IO O	ポート 53 LCD セグメント出力 20
P52 SEG21	30	IO O	ポート 52 LCD セグメント出力 21
P51 SEG22	29	IO O	ポート 51 LCD セグメント出力 22
P50 SEG23	28	IO O	ポート 50 LCD セグメント出力 23
P67 AIN7 STOP5	19	IO I I	ポート 67 アナログ入力 7 STOP5 入力
P66 AIN6 STOP4	18	IO I I	ポート 66 アナログ入力 6 STOP4 入力
P65 AIN5 STOP3	17	IO I I	ポート 65 アナログ入力 5 STOP3 入力
P64 AIN4 STOP2	16	IO I I	ポート 64 アナログ入力 4 STOP2 入力
P63 AIN3 INT0	15	IO I I	ポート 63 アナログ入力 3 外部割り込み 0 入力
P62 AIN2 ECNT	14	IO I I	ポート 62 アナログ入力 2 ECNT 入力
P61 AIN1 ECIN	13	IO I I	ポート 61 アナログ入力 1 ECIN 入力
P60 AIN0	12	IO I	ポート 60 アナログ入力 0
P77 SEG8	43	IO O	ポート 77 LCD セグメント出力 8

表 1-1 端子機能表 (3 / 4)

端子名	ピン番号	入出力	機能
P76 SEG9	42	IO O	ポート 76 LCD セグメント出力 9
P75 SEG10	41	IO O	ポート 75 LCD セグメント出力 10
P74 SEG11	40	IO O	ポート 74 LCD セグメント出力 11
P73 SEG12	39	IO O	ポート 73 LCD セグメント出力 12
P72 SEG13	38	IO O	ポート 72 LCD セグメント出力 13
P71 SEG14	37	IO O	ポート 71 LCD セグメント出力 14
P70 SEG15	36	IO O	ポート 70 LCD セグメント出力 15
P87 SEG0	51	IO O	ポート 87 LCD セグメント出力 0
P86 SEG1	50	IO O	ポート 86 LCD セグメント出力 1
P85 SEG2	49	IO O	ポート 85 LCD セグメント出力 2
P84 SEG3	48	IO O	ポート 84 LCD セグメント出力 3
P83 SEG4	47	IO O	ポート 83 LCD セグメント出力 4
P82 SEG5	46	IO O	ポート 82 LCD セグメント出力 5
P81 SEG6	45	IO O	ポート 81 LCD セグメント出力 6
P80 SEG7	44	IO O	ポート 80 LCD セグメント出力 7
COM3	52	O	LCD コモン出力 3
COM2	53	O	LCD コモン出力 2
COM1	54	O	LCD コモン出力 1
COM0	55	O	LCD コモン出力 0
XIN	2	I	発振子接続端子
XOUT	3	O	発振子接続端子
RESET	8	I	リセット入力

表 1-1 端子機能表 (4 / 4)

端子名	ピン番号	入出力	機能
TEST	4	I	出荷試験用端子。“L”レベルに固定してください。
VAREF	11	I	AD 変換用アナログ基準電圧入力端子
AVDD	10	I	アナログ電源
VDD	5	I	電源端子
VSS	1	I	GND 端子

Not Recommended
for New Design

第 2 章 動作説明

2.1 CPU コア機能

CPU コアは CPU、システムクロック制御回路、割込み制御回路から構成されます。

本章では CPU コア、プログラムメモリ、データメモリおよびリセット回路について説明します。

2.1.1 メモリアドレスマップ

TMP86CM23AUG のメモリは、MaskROM, RAM, SFR (スペシャルファンクションレジスタ), DBR(データバッファレジスタ) で構成され、それらは 1 つの 64K バイトアドレス空間上にマッピングされています。

図 2-1 に TMP86CM23AUG のメモリアドレスマップを示します。

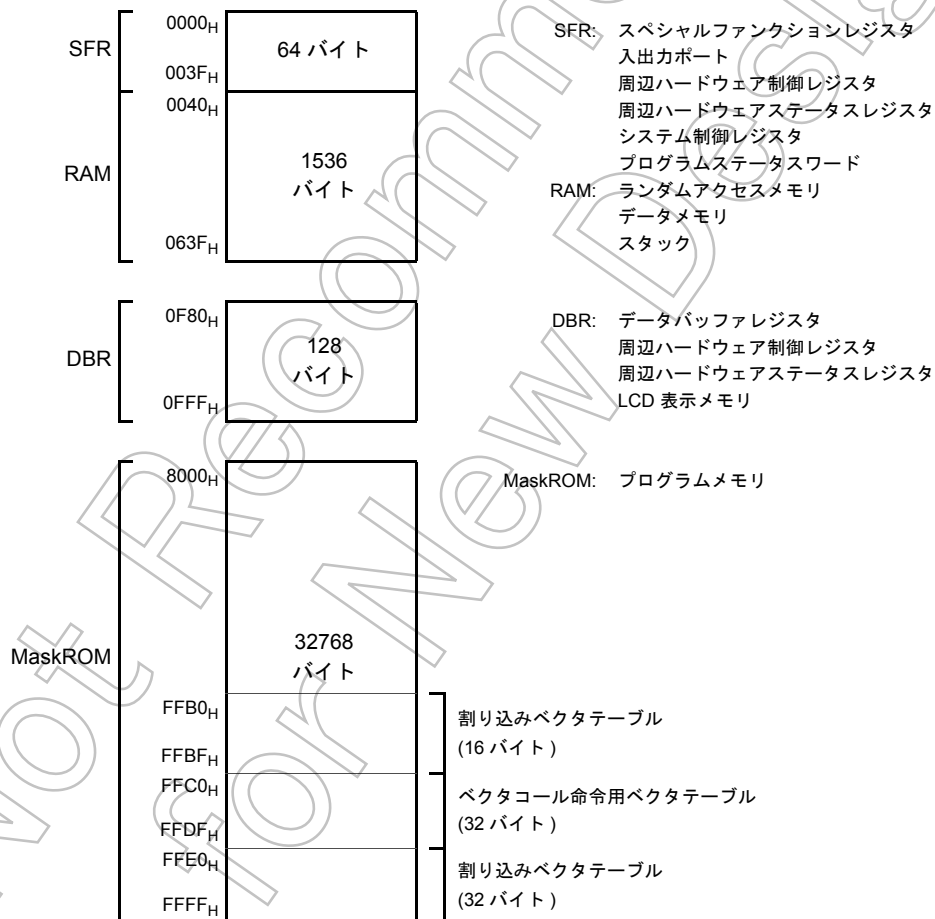


図 2-1 メモリアドレスマップ

2.1.2 プログラムメモリ (MaskROM)

TMP86CM23AUG は 32768 バイト (アドレス 8000H~FFFFH) のプログラムメモリ (MaskROM) を内蔵しています。

2.1.3 データメモリ (RAM)

TMP86CM23AUGは、1536バイト(アドレス0040H~063FH)のRAMを内蔵しています。内蔵RAMの領域中、アドレス(0040H~00FFH)はダイレクト領域となっており、この領域に対しては実行時間を短縮した命令による処理が可能です。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

(プログラム例) TMP86CM23AUGのRAMクリア

	LD	HL, 0040H	; スタートアドレスの設定
	LD	A, H	; 初期化データ(00H)の設定
	LD	BC, 05FFH	; バイト数(-1)の設定
SRAMCLR:	LD	(HL), A	
	INC	HL	
	DEC	BC	
	JRS	F, SRAMCLR	

2.2 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよび動作モード制御回路から構成されています。

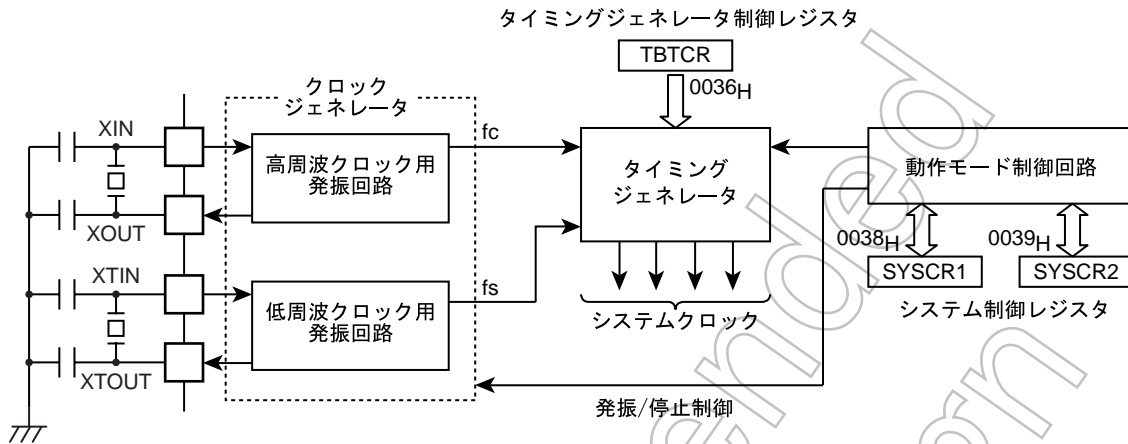


図 2-2 システムクロック制御回路

2.2.1 クロックジェネレータ

クロックジェネレータは、CPU コアおよび周辺ハードウェアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の 2 つの発振回路を内蔵しており、動作モード制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック (周波数 f_c)、低周波クロック (周波数 f_s) は、それぞれ XIN, XOUT 端子, XTIN, XTOUT 端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN, XTIN 端子からクロックを入力し、XOUT, XTOUT 端子は開放しておきます。

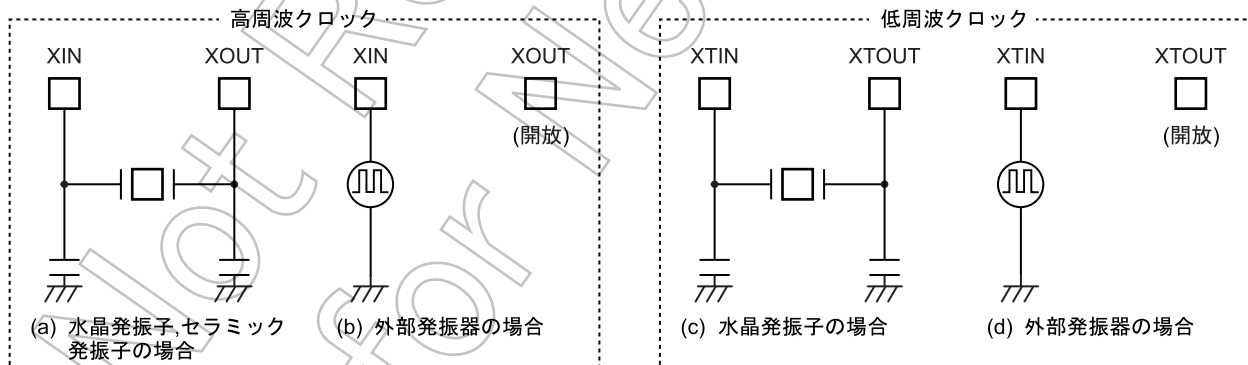


図 2-3 発振子の接続例

注) 基本クロックを外部的に直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態、ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルス (例えばクロック出力) を出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

2.2.2 タイミングジェネレータ

タイミングジェネレータは、基本クロック (fc または fs) から CPU コアおよび周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

1. メインシステムクロック生成
2. デバイダ出力 ($\overline{\text{DVO}}$) パルス生成
3. タイムベースタイマのソースクロック生成
4. ウォッチドッグタイマのソースクロック生成
5. タイマカウンタなどの内部ソースクロック生成
6. STOP モード解除時のウォーミングアップクロック生成
7. LCD ベース周波数生成

2.2.2.1 タイミングジェネレータの構成

タイミングジェネレータは、2 段のプリスケアラ、21 段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。

デバイダの 7 段目への入力クロックは SYSCR2<SYSCK>、TBTCR<DV7CK> の設定により図 2-4 のようになります。なお、リセット時および STOP モード起動/解除時プリスケアラおよびデバイダは“0”にクリアされます。

注) TBTCR<DV7CK> は、タイミングジェネレータ制御レジスタ (TBTCR) のビット 4 (DV7CK) を指しています。以降の文章中ではレジスタの各機能ビットをこのように表記します。

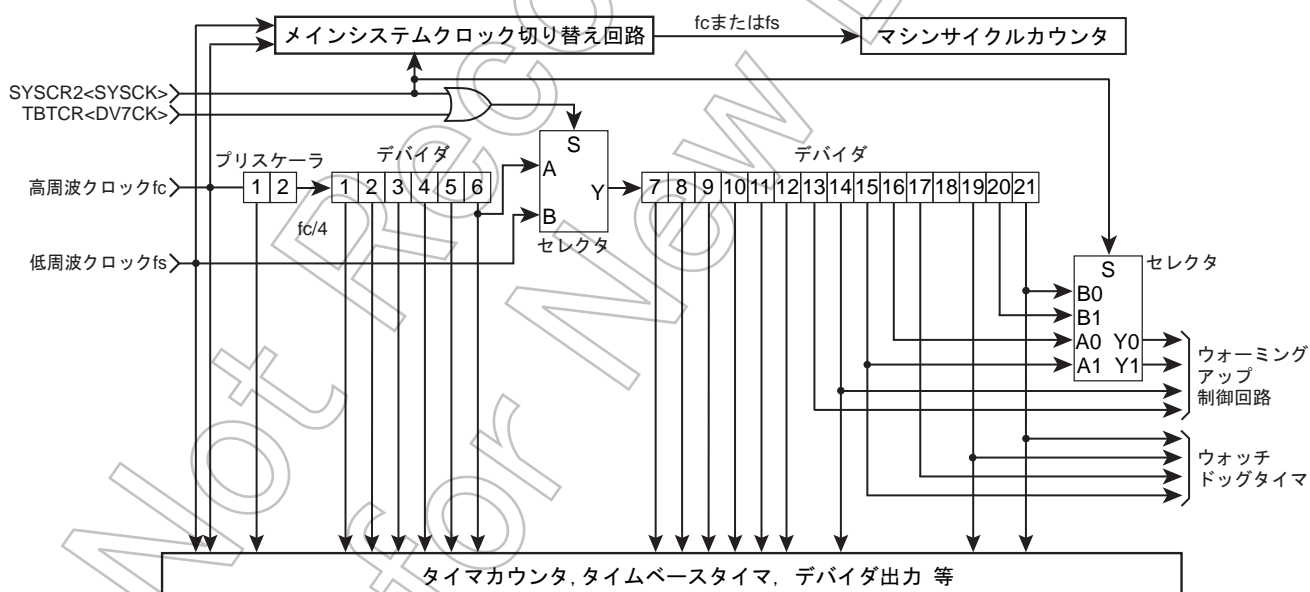


図 2-4 タイミングジェネレータの構成

タイミングジェネレータ制御レジスタ

TBTCR (0036H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	(DV0EN)	(DV0CK)	DV7CK	(TBTEN)	(TBTCCK)				

DV7CK	デバイダ 7 段目への 入力クロックの選択	0: $fc/2^8$ [Hz] 1: fs	R/W
-------	--------------------------	---------------------------	-----

- 注 1) シングルクロックモード時は、DV7CK を“1”にセットしないでください。
 注 2) 低周波クロックの発振安定前に DV7CK を“1”にセットしないでください。
 注 3) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care
 注 4) SLOW1/2, SLEEP1/2 モード時は、DV7CK の設定にかかわらず、デバイダ 7 段目には fs が入力されます。
 注 5) NORMAL1/2 モードから STOP モードを起動した場合、STOP モード解除後のウォーミングアップ中は DV7CK の設定にかかわらずデバイダ 7 段目にはデバイダ 6 段目の出力が入力されます。

2.2.2.2 マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870/C シリーズの命令には、1 マシンサイクルで実行される 1 サイクル命令から最長 10 マシンサイクルを要する 10 サイクル命令までの 10 種類があります。

マシンサイクルは、4 ステート (S0~S3) で構成され、各ステートは 1 メインシステムクロックで構成されます。

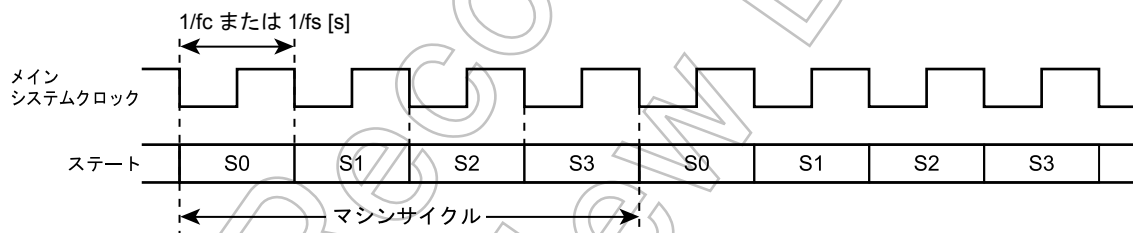


図 2-5 マシンサイクル

2.2.3 動作モードの種類

動作モード制御回路は、高周波クロック用、低周波クロック用の各発振回路の発振 / 停止 およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモード及び STOP モードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図 2-6 に動作モード遷移図を示します。

2.2.3.1 シングルクロックモード

シングルクロックモードは、高周波クロック用発振回路のみ使用する動作モードで、低周波クロック用端子の P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとして使用することができます。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは $4/fc$ [s] となります。

(1) NORMAL1 モード

CPU コアおよび周辺ハードウェアを高周波クロックで動作させるモードです。リセット解除後は、NORMAL1 モードになります。

(2) IDLE1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波クロックで動作させるモードです。IDLE1 モードの起動は、システム制御レジスタ 2 (SYSCR2) の IDLE を“1”にセットすることで行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMAL1 モードに復帰します。IMF (割り込みマスタ許可フラグ) が“1” (割り込み許可状態) の時は、割り込み処理が行われたあと、通常の動作に戻ります。IMF が“0” (割り込み禁止状態) の時は、IDLE1 モードを起動した命令の次の命令から実行再開します。

(3) IDLE0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。NORMAL1 モード時にシステム制御レジスタ SYSCR2<TGHALT> を“1”にセットすることにより起動します。IDLE0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外の周辺回路へのクロック供給を停止します。その後、TBTCR<TBTC> によって設定されたソースクロックの立ち下がりエッジを検出するとタイミングジェネレータは全周辺回路へのクロック供給を開始します。

IDLE0 モードを解除すると、CPU は動作を再開し、NORMAL1 モードに復帰します。

なお、IDLE0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰し IMF = “1”, EF6 (TBT の割り込み個別許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

TBTCR<TBTEN> = “1” の状態で IDLE0 モードを起動すると、NORMAL モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.2 デュアルクロックモード

デュアルクロックモードは、高周波、低周波用の 2 つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) を低周波クロック用端子として使用します (デュアルクロックモード時、これらの端子は入出力ポートとして使用することはできません)。メインシステムクロックは、NORMAL2, IDLE2 モード時、高周波クロックから生成され、SLOW1, 2, SLEEP1, 2 モード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時 $4/f_c$ [s]、SLOW, SLEEP モード時 $4/f_s$ [s] ($122 \mu s @ f_s = 32.768 \text{ kHz}$) となります。

TLCS-870/C シリーズは、リセット中シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください。

(1) NORMAL2 モード

CPU コアを高周波クロックで動作させるモードで、周辺ハードウェアは高周波 / 低周波の両クロックで動作します。

(2) SLOW2 モード

高周波クロックの発振を動作させながら、CPU コアを低周波クロックで動作させるモードです。NORMAL2 から SLOW2 への切り替え、SLOW2 から NORMAL2 への切り替えは、SYSCR2<SYSCK>で行います。SLOW2 モード時、XTEN を“0”にクリアしないでください。

(3) SLOW1 モード

高周波クロックの発振を停止させ、CPU コア、周辺ハードウェアを低周波クロックで動作させるモードで消費電力を低減できます。

SLOW1 モードと SLOW2 モードの間の変換は SYSCR2<XEN>で行います。SLOW1、SLEEP1 モード時、デバイダの初段から 6 段目までの出力は停止します。

(4) IDLE2 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波 / 低周波の両クロックで動作させるモードです。IDLE2 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

(5) SLEEP1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを低周波クロックで動作させるモードです。SLEEP1 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、SLOW1 モードに戻ります。なお、高周波クロックは発振していません。SLOW1、SLEEP1 時、デバイダの初段から 6 段目までの出力は停止します。

(6) SLEEP2 モード

SLOW2 モードに対応する IDLE モードです。高周波クロックが動作することを除き、SLEEP1 モードと同一の状態です。

(7) SLEEP0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。SLOW1 モード時に SYSCR2<TGHALT> を“1”にセットすることにより起動します。SLEEP0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外へのクロック供給を停止します。その後、TBTCR<TBTK> によって設定されたソースクロックの立ち下がりエッジを検出すると、タイミングジェネレータは全周辺回路へのクロック供給を開始します。

SLEEP0 モードを解除すると、CPU は動作を再開し、SLOW1 モードに復帰します。

なお、SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰し、IMF = “1”、EF6 (TBT の割り込み許可フラグ) = “1”、TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

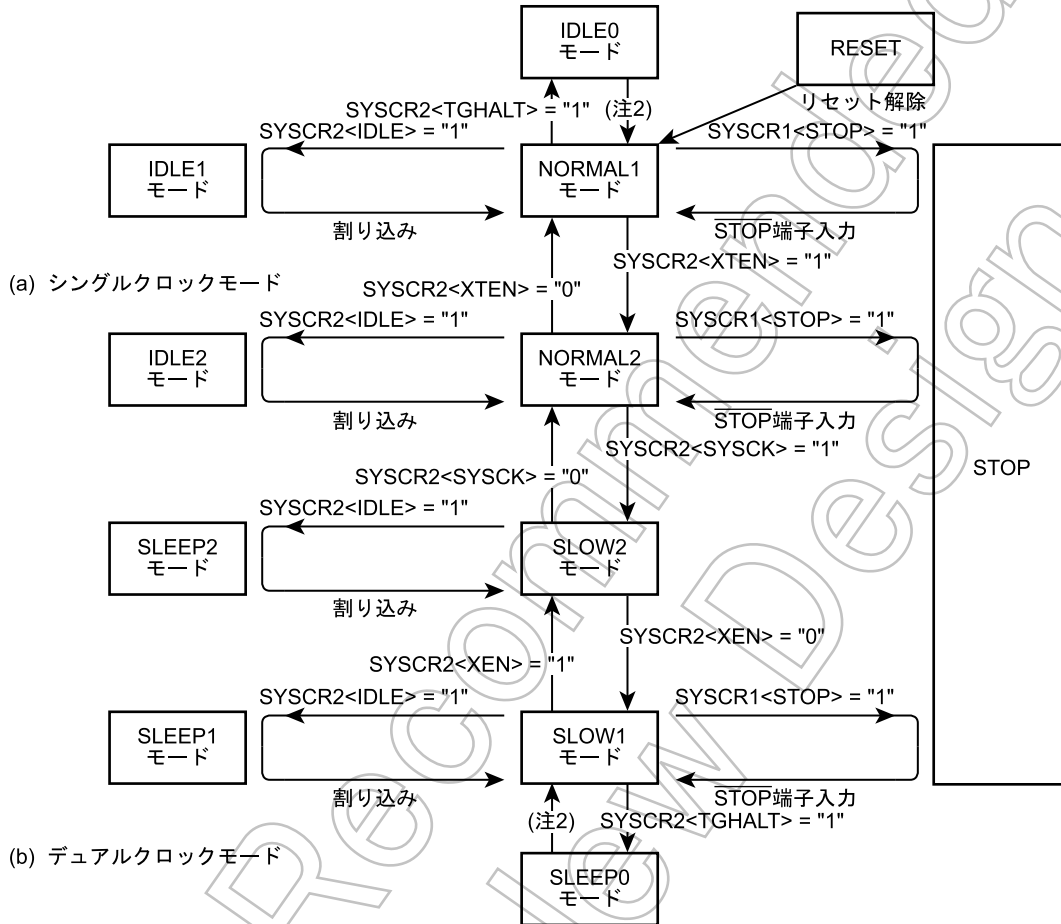
TBTCR<TBTEN> = “1” の状態で SLEEP0 モードを起動すると、SLOW1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.3 STOP モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

STOP モードの起動は、システム制御レジスタ 1 で行います。解除は、 $\overline{\text{STOP}}$ 端子入力で行い、ウォーミングアップ時間経過後、STOP モード起動時のモードに戻り、STOP モードを起動した命令の次の命令から実行再開します。

2.2.3.4 各動作モードの遷移



注 1) NORMAL1, NORMAL2 モードを総称して NORMAL モード、SLOW1, SLOW2 モードを SLOW モード、IDLE0, IDLE1, IDLE2 モードを IDLE モード、SLEEP0, SLEEP1, SLEEP2 モードを SLEEP モードと呼びます。

注 2) TBTCR<TBTK> によって選択されたソースクロックの立ち下がりエッジによって解除。

図 2-6 動作モード状態遷移図

表 2-1 動作モードと各部の状態

動作モード		発振回路		CPU コア	TBT	その他 周辺回路	マシンサイクルタイム
		高周波	低周波				
シングル クロック	RESET	発振	停止	リセット	リセット	リセット	4/fc [s]
	NORMAL1			動作	動作	動作	
	IDLE1			停止		動作	
	IDLE0						
	STOP	停止	停止	停止	停止	—	
デュアル クロック	NORMAL2	発振	発振	高周波動作	動作	動作	4/fc [s]
	IDLE2			停止			
	SLOW2			低周波動作			
	SLEEP2			停止			
	SLOW1	停止	停止	低周波動作	動作	動作	4/fs [s]
	SLEEP1						
	SLEEP0						
	STOP			停止			停止

Not Recommended for New Design

2.2.4 動作モードの制御

システム制御レジスタ 1

	7	6	5	4	3	2	1	0	
SYSCR1 (0038H)	STOP	RELM	RETM	OUTEN	WUT				(初期値: 0000 00)**

STOP	STOPモードの起動	0: CPUコア, 周辺ハードウェア動作 1: CPUコア, 周辺ハードウェア停止 (STOPモード起動)		R/W	
RELM	STOPモードの解除方法の選択	0: エッジ解除モード (STOP端子入力の立ち上がりエッジで解除) 1: レベル解除モード (STOP端子入力の "H" レベルで解除)		R/W	
RETM	STOPモード解除後の動作モードの選択	0: NORMAL1/2モードへ戻る 1: SLOW1モードへ戻る		R/W	
OUTEN	STOPモード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持		R/W	
WUT	STOPモード解除時のウォーミングアップ時間 単位: [s]		NORMAL1/2モードへ戻る場合	SLOW1モードへ戻る場合	R/W
		00	$3 \times 2^{16}/f_c$	$3 \times 2^{13}/f_s$	
		01	$2^{16}/f_c$	$2^{13}/f_s$	
		10	$3 \times 2^{14}/f_c$	$3 \times 2^6/f_s$	
		11	$2^{14}/f_c$	$2^6/f_s$	

- 注 1) RETM は、NORMALモードからSTOPモードを起動する場合は必ず "0" にしてください。SLOWモードからSTOPモードを起動する場合は必ず "1" にしてください。
- 注 2) STOPモードをRESET端子入力で解除した場合は、RETMの値にかかわらずNORMAL1モードに戻ります。
- 注 3) f_c : 高周波クロック [Hz], f_s : 低周波クロック [Hz], *, Don't care
- 注 4) SYSCR1のビット1, 0は、リードすると不定値が読み出されます。
- 注 5) OUTEN = "0" の指定でSTOPモードを起動すると、内部入力は "0" に固定されますので、立ち下がりエッジの外部割り込みがセットされる恐れがあります。
- 注 6) キーオンウェイクアップ入力を使用する場合は、RELMを "1" に設定してください。
- 注 7) P20端子はSTOP端子と兼用のため、STOPモードを起動するとOUTENの状態にかかわらず、出力はHi-z状態となります。
- 注 8) ウォーミングアップタイムは使用する発振子の特性に合わせて選択してください。

システム制御レジスタ 2

	7	6	5	4	3	2	1	0	
SYSCR2 (0039H)	XEN	XTEN	SYSCK	IDLE		TGHALT			(初期値: 1000 *0**)

XEN	高周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	R/W
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	
SYSCK	システムクロックの 選択 (write)/ モニタ (read)	0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/SLEEP)	
IDLE	CPU,WDT 制御 (IDLE1/2, SLEEP1/2 モード)	0: CPU, WDT 動作 1: CPU, WDT 停止 (IDLE1/2, SLEEP1/2 モード起動)	R/W
TGHALT	TG 制御 (IDLE0, SLEEP0 モード)	0: TG から全周辺回路へのクロック供給動作 1: TG から TBT を除く周辺回路へのクロック供給停止 (IDLE0, SLEEP0 モード起動)	R/W

- 注 1) XEN, XTEN をともに “0” にクリアした場合、SYSCK = “0” で XEN を “0” にクリアした場合、および SYSCK = “1” で XTEN を “0” にクリアした場合、リセットがかかります。
- 注 2) WDT; ウォッチドッグタイマ, TG; タイミングジェネレータ, * ; Don't care
- 注 3) SYSCR2 のビット 3, 1, 0 は、リードすると不定値が読み出されます。
- 注 4) IDLE と TGHALT は、同時に “1” に設定しないでください。
- 注 5) IDLE0/SLEEP0 モードは、TBTCR<TBTC> によって選択された非同期の内部ソースクロックによって NORMAL1/SLOW1 モードに復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTC> の時間よりも短くなります。
- 注 6) IDLE1/2, SLEEP1/2 モード解除時、IDLE は自動的に “0” にクリアされます。
- 注 7) IDLE0, SLEEP0 モード解除時、TGHALT は自動的に “0” にクリアされます。
- 注 8) TGHALT を “1” に設定するときは、事前に周辺機能の動作を停止してから行ってください。周辺機能の動作が停止されない場合、IDLE0 または SLEEP0 モードが復帰した直後に周辺機能の割り込みラッチがセットされることがあります。

2.2.4.1 STOP モード

STOP モードは、システム制御レジスタ 1 (SYSCR1) と $\overline{\text{STOP}}$ 端子入力および STOP5 ~ STOP2 によって制御されます。 $\overline{\text{STOP}}$ 端子は、P20 ポートならびに $\overline{\text{INT5}}$ (外部割り込み入力 5) 端子と兼用です。STOP モードは、SYSCR1<STOP> を“1”にセットすることにより起動され、STOP モード中、次の状態を保持しています。

1. 高周波、低周波とも発振を停止し、内部の動作をすべて停止します。
2. データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは STOP モードに入る直前の状態を保持します。
3. タイミングジェネレータのプリスケアラおよびデバイダを“0”にクリアします。
4. プログラムカウンタは、STOP モードを起動する命令 (例えば、[SET (SYSCR1). 7]) の 2 つ先の命令のアドレスを保持します。

STOP モードには、レベル解除モードとエッジ解除モードがあり、それらは SYSCR1<RELM> で選択します。エッジ解除モードの場合には、STOP5 ~ STOP2 を使用禁止に設定してください。

注 1) なお、 $\overline{\text{STOP}}$ 端子はキーオンウェイクアップ入力端子とは異なり入力を禁止する機能がありませんので、STOP モードを使用する場合は、必ず STOP 解除用の端子として使用してください。

注 2) STOP 期間中 (STOP モード起動からウォーミングアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが“1”にセットされ、STOP モード解除後直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

(1) レベル解除モード (RELM = “1” のとき)

$\overline{\text{STOP}}$ 端子への“H”レベル入力または STOP5 ~ STOP2 (STOPCR でビットごとに設定可能) 端子への“L”レベル入力により STOP 動作を解除するモードで、メイン電源遮断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$ 端子入力が“H”レベルまたは STOP5 ~ STOP2 端子が“L”レベルの状態でも STOP 動作の起動を指示する命令を実行しても、STOP 動作に入らず、直ちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードで STOP 動作で起動する場合、 $\overline{\text{STOP}}$ 端子入力が“L”レベルであり、また STOP5 ~ STOP2 端子入力が“H”レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

1. ポートの状態をテストする方法
2. $\overline{\text{INT5}}$ 割り込みによる方法 ($\overline{\text{INT5}}$ 端子入力の立ち下がりエッジで割り込みを発生します)

(プログラム例 1) P20 ポートをテストして NORMAL モードから STOP モードを起動

	LD	(SYSCR1), 01010000B	; レベル解除モードにセットアップ
SSTOPH:	TEST	(P2PRD). 0	; $\overline{\text{STOP}}$ 端子入力が“L”レベルになるまでウエイト
	JRS	F, SSTOPH	
	DI		; IMF←0
	SET	(SYSCR1). 7	; STOP モードを起動

(プログラム例2) INT5 割り込みにより、NORMAL モードから STOP モードを起動

```

PINT5:    TEST    (P2PRD) . 0                ; ノイズ除去のため P20 ポート入力が
          JRS     F, SINT5                    ; "H" レベルなら STOP モードを起動しない。
          LD      (SYSCR1), 01010000B        ; レベル解除モードにセットアップ
          DI      ; IMF←0
          SET     (SYSCR1) . 7                ; STOP モードを起動
SINT5:    RETI
    
```

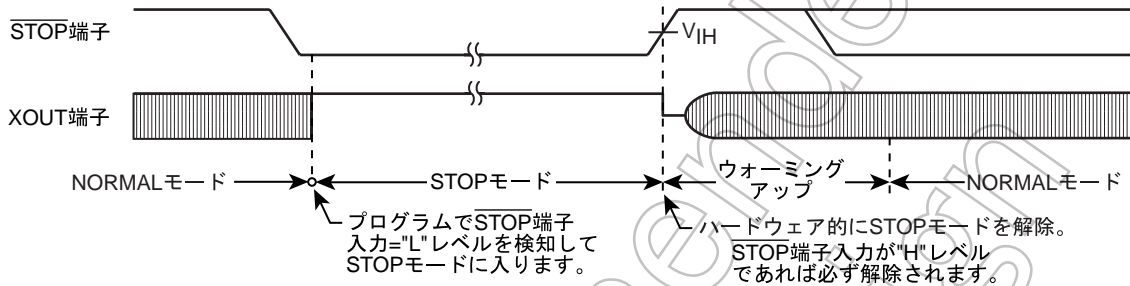


図 2-7 レベル解除モード

- 注 1) ウォーミングアップ開始後、再び $\overline{\text{STOP}}$ 端子入力が "L" レベルまたは、STOP5 ~ STOP2 端子が "H" レベルになっても STOP モードには戻りません。
- 注 2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、 $\overline{\text{STOP}}$ 端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

(2) エッジ解除モード (RELM = "0" のとき)

$\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで STOP 動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号 (例えば、低消費電力の発振源からのクロック) を $\overline{\text{STOP}}$ 端子に入力します。エッジ解除モードの場合、 $\overline{\text{STOP}}$ 端子入力が "H" レベルにあっても STOP 動作に入ります。なお、STOP5 ~ STOP2 端子入力は、キーオンウェイクアップ制御レジスタ (STOPCR) によってすべて禁止に設定してください。

(プログラム例) NORMAL モードから STOP モードを起動

```

DI      ; IMF←0
LD      (SYSCR1), 10010000B        ; エッジ解除モードに設定して起動
    
```

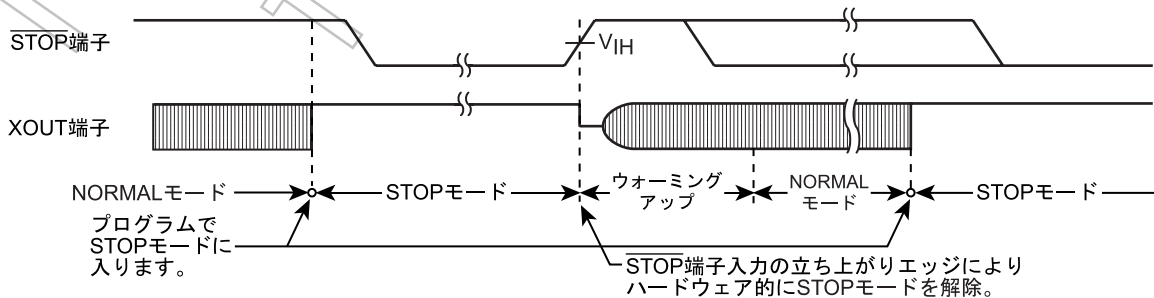


図 2-8 エッジ解除モード

STOP モードの解除は、次のシーケンスで行われます。

1. 発振が開始されます。デュアルクロックモードの場合、NORMAL2 へ戻るときは、高周波 / 低周波発振器の両方が発振し、SLOW へ戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
2. 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせて SYSCR1<WUT> で4種類選択できます。
3. ウォーミングアップ時間経過後、STOP モードを起動した命令の次の命令から通常の動作が再開されます。

注 1) STOP モードを解除すると、タイミングジェネレータのプリスケールおよびデバイダは "0" にクリアされた状態から始まります。

注 2) STOP モードは、RESET 端子を "L" レベルにすることによっても解除され、直ちに通常のリセット動作を行います。

注 3) 低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、RESET 端子も "H" レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、RESET 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、RESET 端子の入力電圧レベルが、RESET 端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

表 2-2 ウォーミングアップ時間 (例: $f_c = 16.0 \text{ MHz}$, $f_s = 32.768 \text{ kHz}$ 時)

WUT	ウォーミングアップ時間 [ms]	
	NORMAL モードへ戻る場合	SLOW モードに戻る場合
00	12.288	750
01	4.096	250
10	3.072	5.85
11	1.024	1.95

注 1) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOP モードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むこととなります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

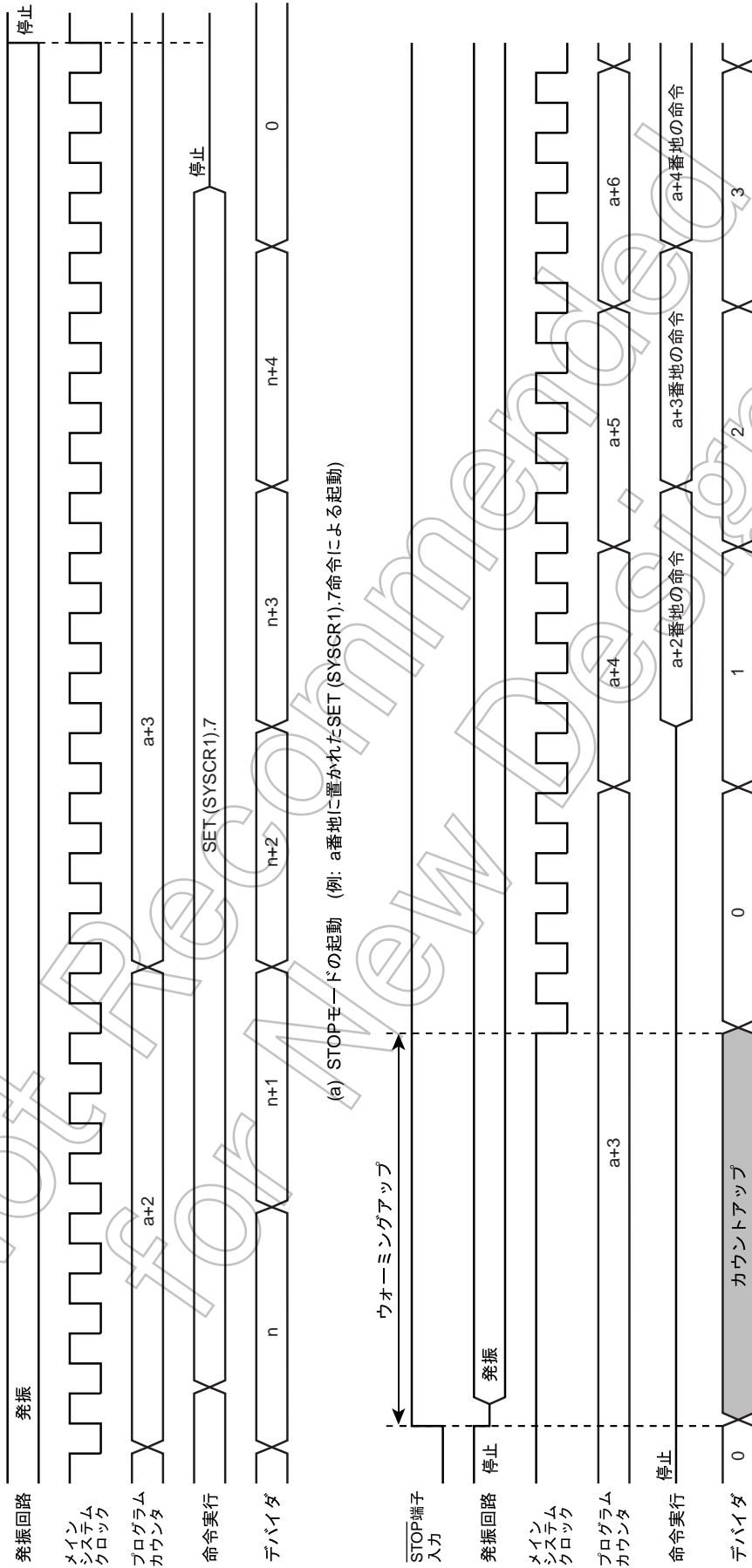


図 2-9 STOPモードの起動 / 解除

2.2.4.2 IDLE1/2 モード , SLEEP1/2 モード

IDLE1/2 モード , SLEEP1/2 モードは、システム制御レジスタ 2 (SYSCR2) とマスクブル割り込みによって制御されます。IDLE1/2 モード , SLEEP1/2 モード中、次の状態を保持しています。

1. CPU およびウォッチドッグタイマは動作を停止します。周辺ハードウェアは動作を継続します。
2. データメモリ , レジスタ , プログラムステータスワード , ポートの出力ラッチなどは、IDLE1/2 モード , SLEEP1/2 モードに入る直前の状態を保持します。
3. プログラムカウンタは、IDLE1/2 モード , SLEEP1/2 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

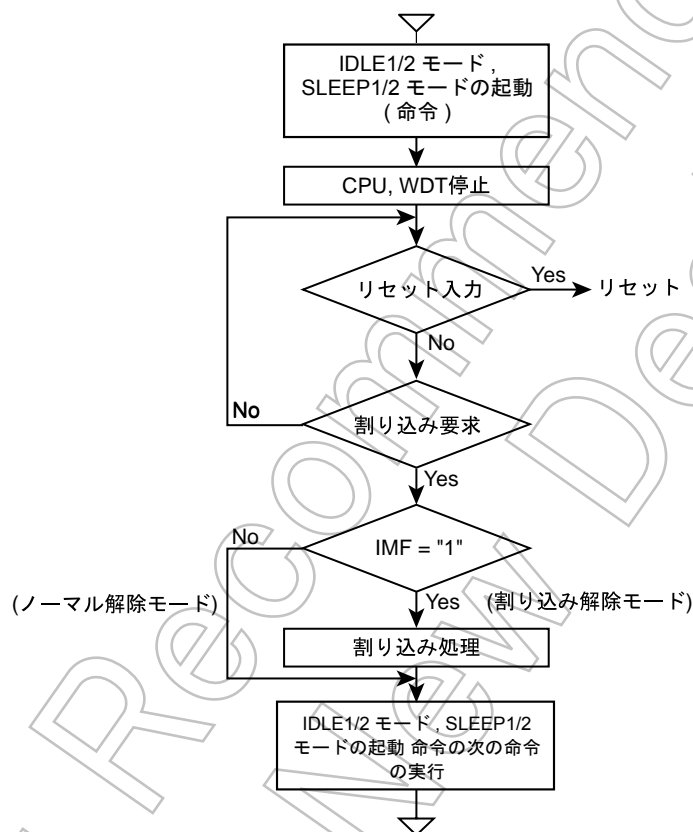


図 2-10 IDLE1/2 モード , SLEEP1/2 モード

- IDLE1/2, SLEEP1/2 モードの起動

割り込みマスタ許可フラグ (IMF) を“0”に設定した後、IDLE1/2, SLEEP1/2 モードを解除する割り込み個別許可フラグ (EF) を“1”に設定します。

IDLE1/2, SLEEP1/2 モードを起動するには、SYSCR2<IDLE> を“1”に設定します。

- IDLE1/2, SLEEP1/2 モードの解除

IDLE1/2, SLEEP1/2 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) によって行います。IDLE1/2, SLEEP1/2 モードが解除されると、SYSCR2<IDLE> は自動的に“0”にクリアされ、起動したモードに復帰します。

なお、IDLE1/2, SLEEP1/2 モードは RESET 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

(1) ノーマル解除モード (IMF=“0”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE1/2, SLEEP1/2 モードが解除され、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

(2) 割り込み解除モード (IMF=“1”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により IDLE1/2, SLEEP1/2 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令に戻ります。

注) IDLE1/2, SLEEP1/2 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1/2, SLEEP1/2 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

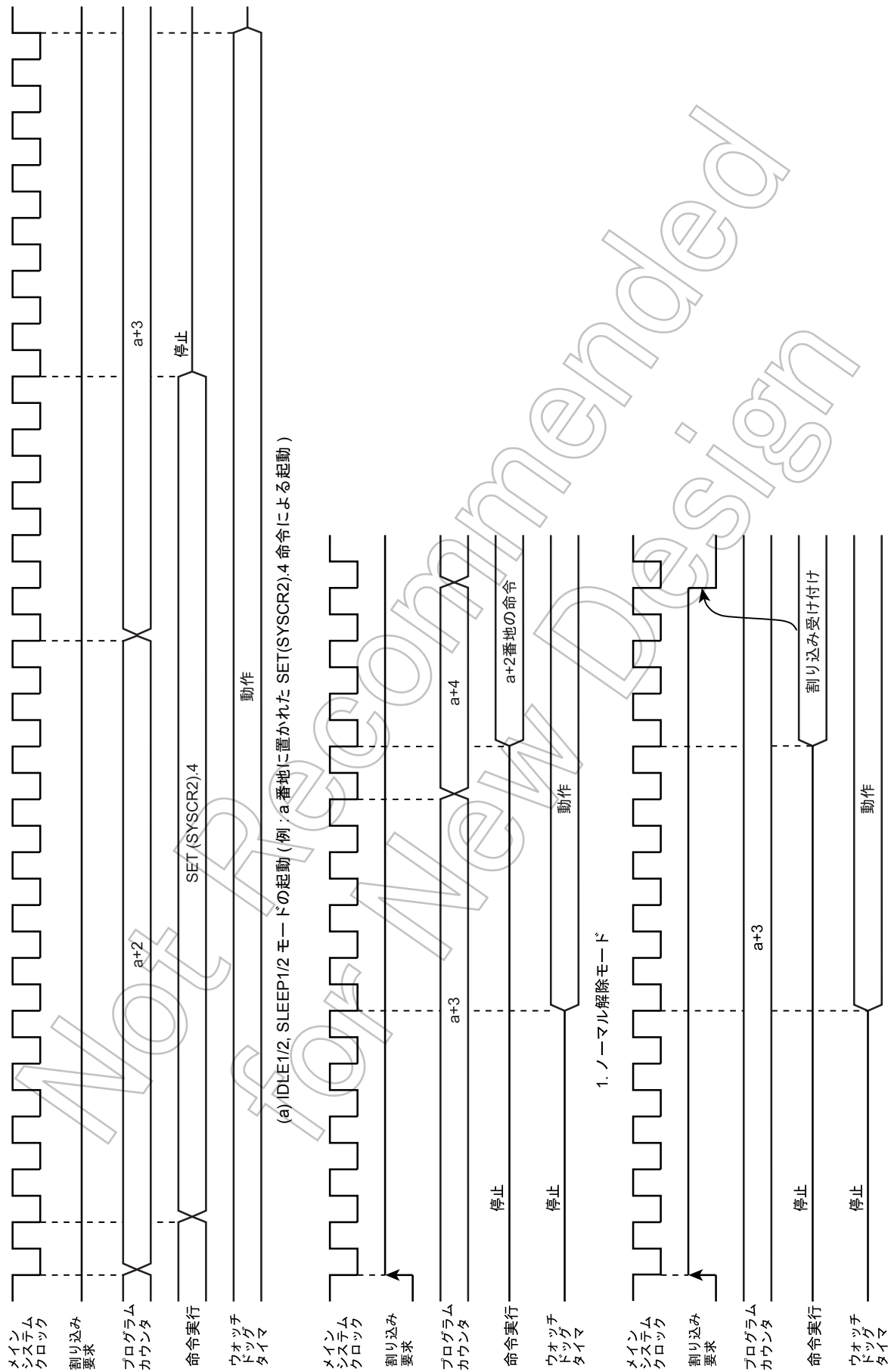


図 2-11 IDLE1/2, SLEEP1/2 モードの起動 / 解除

2.2.4.3 IDLE0, SLEEP0 モード

IDLE0, SLEEP0 モードは、システム制御レジスタ 2 (SYSCR2) とタイムベースタイマによって制御されます。IDLE0, SLEEP0 モード中、次の状態を保持しています。

- タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。
- データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは、IDLE0, SLEEP0 モードに入る直前の状態を保持します。
- プログラムカウンタは、IDLE0, SLEEP0 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

注) IDLE0 または SLEEP0 モードを起動する場合は、周辺機能を停止状態 (ディセーブル状態) に設定してから、IDLE0, SLEEP0 モードを起動してください。

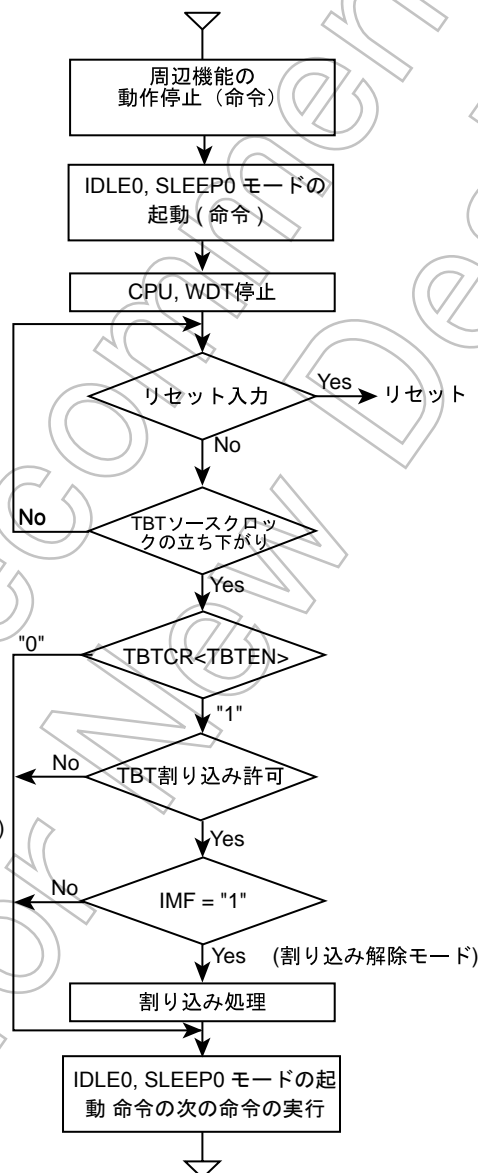


図 2-12 IDLE0, SLEEP0 モード

- IDLE0, SLEEP0 モードの起動

タイマカウンタ等の周辺機能を停止状態（ディセーブル状態）に設定します。

IDLE0, SLEEP0 モードを起動するには、SYSCR2<TGHALT> を“1”に設定します。

- IDLE0, SLEEP0 モードの解除

IDLE0, SLEEP0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF)、タイムベースタイマの割り込み個別許可フラグ (EF6) および TBTCR<TBTEN> によって行います。IDLE0, SLEEP0 モードが解除されると、SYSCR2<TGHALT> は自動的に“0”にクリアされ、起動したモードに復帰します。またこのとき、TBTCR<TBTEN> が“1”にセットされていると INTTBT の割り込みラッチがセットされます。

なお、IDLE0, SLEEP0 モードは $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

注) IDLE0, SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰します。

(1) ノーマル解除モード (IMF ・ EF6 ・ TBTCR<TBTEN> = “0” のとき)

TBTCR<TBTC< によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードは解除されます。IDLE0, SLEEP0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

なお、TBTCR<TBTEN> が“1”の時は、タイムベースタイマ割り込みラッチがセットされます。

(2) 割り込み解除モード (IMF ・ EF6 ・ TBTCR<TBTEN> = “1” のとき)

TBTCR<TBTC< によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードが解除された後、INTTBT の割り込み処理が行われます。

注 1) IDLE0, SLEEP0 モードは、TBTCR<TBTC< によって選択された非同期の内部ソースクロックによって NORMAL1, SLOW1 に復帰しますので、モード起動から復帰までの時間は TBTCR<TBTC< の時間よりも短くなります。

注 2) IDLE0, SLEEP0 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE0, SLEEP0 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

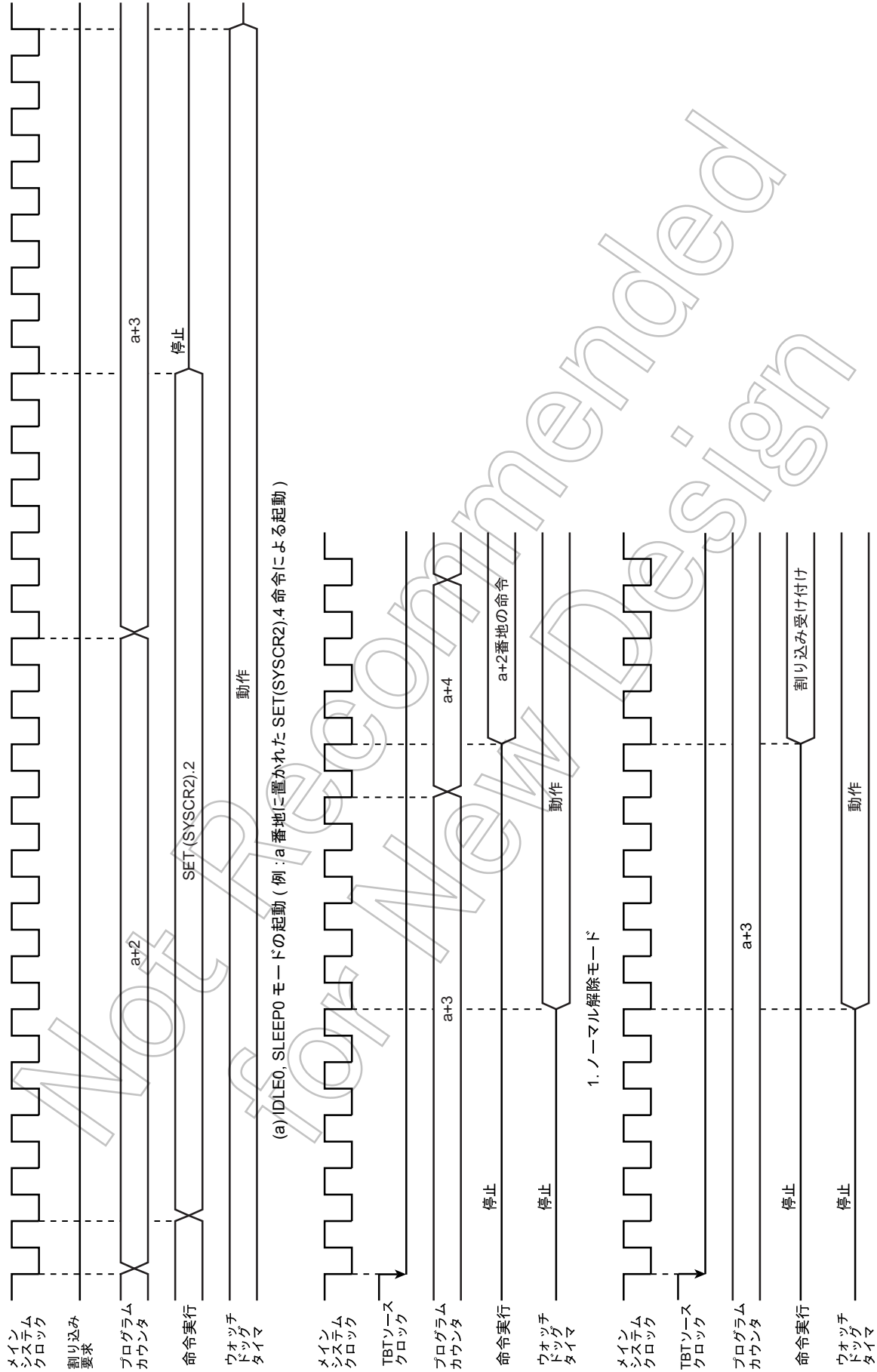


図 2-13 IDLE0, SLEEP0 モードの起動 / 解除

2.2.4.4 SLOW モード

SLOW モードは、システム制御レジスタ 2 (SYSCR2) によって制御されます。

(1) NORMAL2 モードから SLOW モードへの切り替え

まず、SYSCR2<SYSCK> に“1”を書き込み、システムクロックを低周波クロックに切り替えます。次に、SYSCR2<XEN>を“0”にクリアして高周波発振器を停止します。

注) NORMAL2 モードへ早く戻すために高周波クロックの発振を継続させることも可能です。ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ (TC4, TC3) を使用すると便利です。

(プログラム例 1) NORMAL2 モードから SLOW1 モードへの切り替え

```

; SYSCR2<SYSCK>←1
SET      (SYSCR2). 5      ;(システムクロックを低周波に切り替え
                        ;(SLOW2 モードに))
CLR      (SYSCR2). 7      ; SYSCR2<XEN>←0(高周波クロック停止)

```

(プログラム例 2) TC4, TC3 で低周波クロックの安定発振の確認後、SLOW1 モードへ切り替え

```

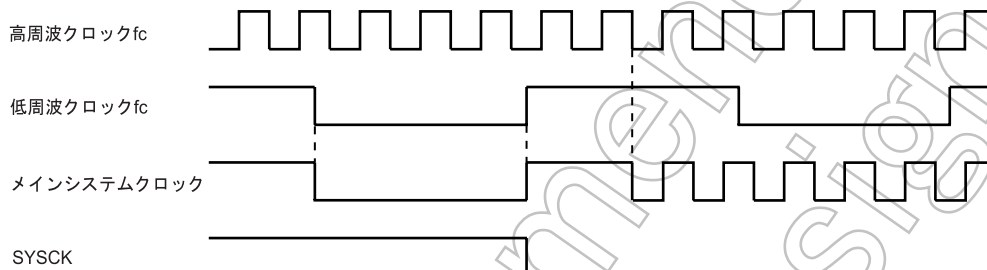
; SYSCR2<XTEN>←1
SET      (SYSCR2). 6      ;(低周波クロック発振開始)
LD       (TC3CR), 43H     ; TC4, 3 のモードをセット
LD       (TC4CR), 05H     ; ウォーミングアップカウントモードに設定
LDW     (TTREG3), 8000H   ; ウォーミングアップ時間をセット
                        ;(発振子の特性で時間を決定します)
DI       ; IMF←0
SET      (EIRH). 4       ; INTTC4 の割り込みを許可
EI       ; IMF←1
SET      (TC4CR). 3      ; TC4, 3 スタート
PINTTC4: CLR      (TC4CR). 3      ; TC4, 3 ストップ
; SYSCR2<SYSCK>←1
SET      (SYSCR2). 5      ;(システムクロックを低周波に切り替え)
CLR      (SYSCR2). 7      ; SYSCR2<XEN>←0(高周波クロック停止)
RETI
;
VINTTC4: DW       PINTTC4      ; INTTC4 ベクタテーブル

```

(2) SLOW1 モードから NORMAL2 モードへの切り替え

まず、SYSCR2<XEN> を“1” にセットして高周波クロックを発振させます。発振の安定時間 (ウォーミングアップ) をタイマカウンタ (TC4, TC3) によって確保したあと、SYSCR2<SYSCK> を“0” にクリアしてシステムクロックを高周波に切り替えます。SLOW モードは RESET 端子を“L” レベルにすることによっても解除され、直ちに通常のリセット動作を行います。リセット解除後は NORMAL1 モードになります。

注) SYSCK を“0” にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています



(プログラム例) TC4, TC3 で SLOW1 モードから NORMAL2 モードへの切り替え (fc = 16 MHz, ウォーミングアップ時間 = 4.0 ms)

```

SET      (SYSCR2). 7      ; SYSCR2<XEN>←1
                          ; (高周波クロック発振開始)
LD       (TC3CR), 63H     ; TC4, 3 のモードをセット
LD       (TC4CR), 05H     ; ウォーミングアップカウンタモード, ソースクロック: fc)
LD       (TTREG4), 0F8H   ; ウォーミングアップ時間をセット
                          ; (周波数と発振子の特性で時間を決定します)
DI       ; IMF←0
SET      (EIRH). 4       ; INTTC4 割り込みを許可
EI       ; IMF←1
SET      (TC4CR). 3      ; TC4, 3 スタート
↓
PINTTC4 CLR (TC4CR). 3   ; TC4, 3 ストップ
CLR      (SYSCR2). 5     ; SYSCR2<SYSCK>←0
                          ; (システムクロックを高周波に切り替え)
RETI
↓
VINTTC4: DW      PINTTC4 ; INTTC4 ベクタテーブル
    
```

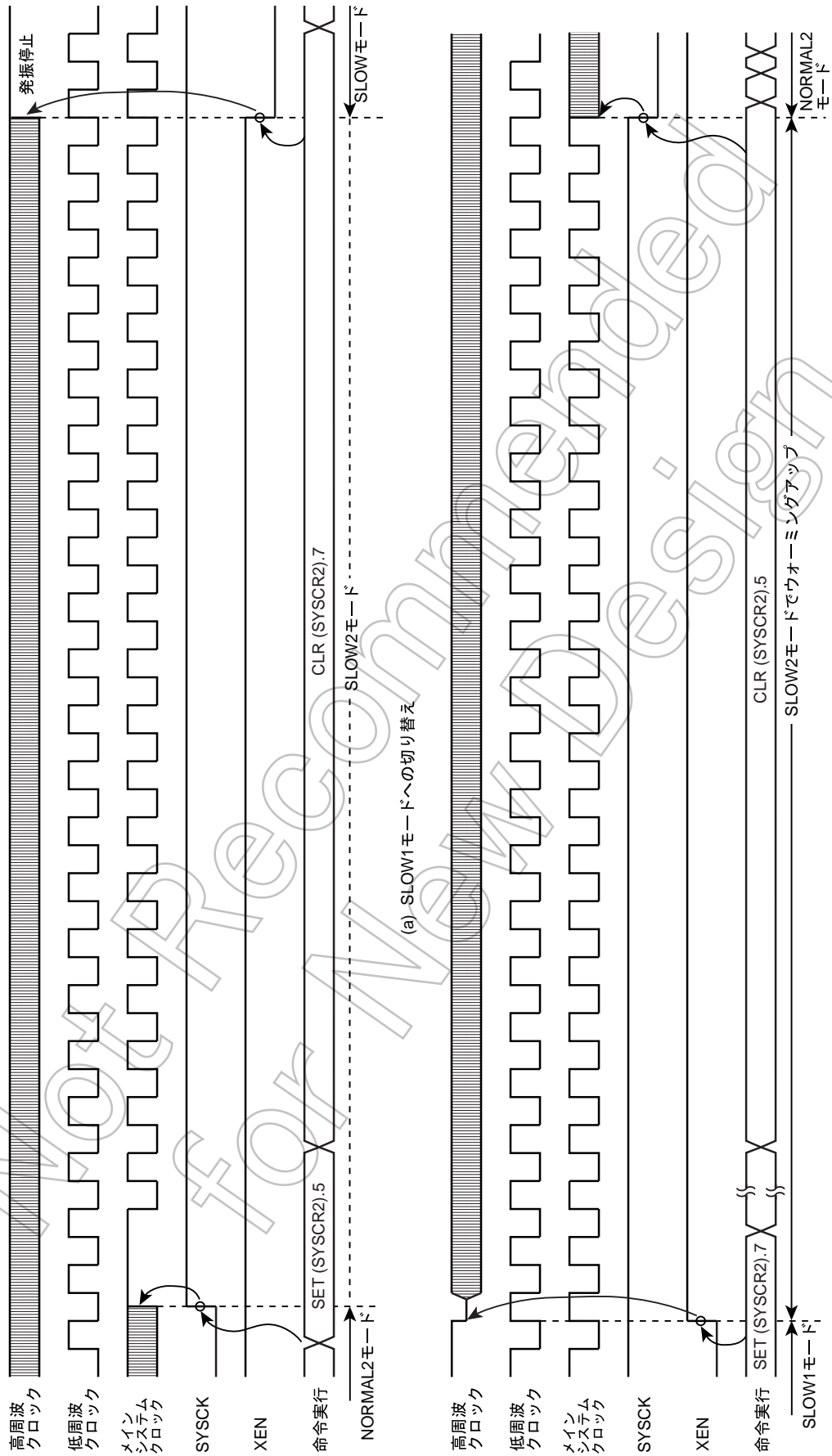


図 2-14 SLOW ↔ NORMAL2 モード切り替え

2.3 リセット回路

TMP86CM23AUG には外部リセット入力、アドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットの4種類のリセット発生手段があります。

このうちアドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットは、内部要因リセットで、これらのリセット要求を検出すると、最大 $24/fc[s]$ の期間リセット状態となります。

電源投入時、内部要因リセット回路 (ウォッチドッグタイマリセット、アドレストラップリセット、システムクロックリセット) は初期化されませんので電源投入時に最大 $24/fc (1.5 \mu s @ 16.0 MHz)$ の期間リセット状態となる場合があります。

表 2-3 にリセット動作による内蔵ハードウェアの初期化を示します。

表 2-3 リセット動作による内蔵ハードウェアの初期化

内蔵ハードウェア	初期値	内蔵ハードウェア	初期値
プログラムカウンタ (PC)	(FFFEH)	タイミングジェネレータのプリスケールおよびデバイダ	0
スタックポインタ (SP)	初期化されません		
汎用レジスタ (W, A, B, C, D, E, H, L, IX, IY)	初期化されません		
ジャンプステータスフラグ (JF)	初期化されません	ウォッチドッグタイマ	イネーブル
ゼロフラグ (ZF)	初期化されません	入出力ポートの出カラッチ	各入出力ポートの説明箇所を参照
キャリーフラグ (CF)	初期化されません		
ハーフキャリーフラグ (HF)	初期化されません		
サインフラグ (SF)	初期化されません		
オーバフローフラグ (VF)	初期化されません		
割り込みマスタ許可フラグ (IMF)	0		
割り込み個別許可フラグ (EF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込みラッチ (IL)	0		
		LCD データバッファ	初期化されません
		RAM	初期化されません

2.3.1 外部リセット入力

RESET 端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小 3 マシンサイクル ($12/fc [s]$) 以上の間 RESET 端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

RESET 端子入力が“H”レベルに立ち上がるとリセット動作は解除され、アドレス FFFE~FFFFH に格納されたベクタアドレスからプログラムの実行を開始します。

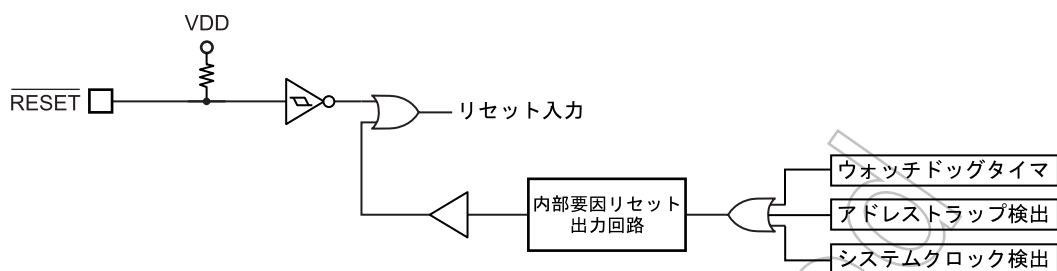
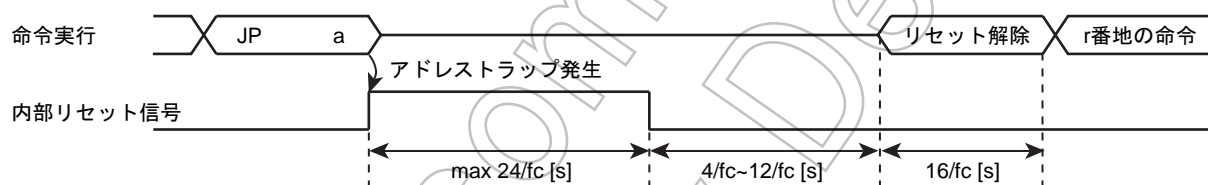


図 2-15 リセット回路

2.3.2 アドレストラップリセット

CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時), DBR または SFR 領域から命令をフェッチしようとする時リセット信号が発生します。リセット時間は、最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ 16.0 MHz) です。

注) アドレストラップはリセットと割り込みの選択が可能です。また、アドレストラップの領域を選択することが可能です。



注 1) a は内蔵 RAM (WDTCR1<ATAS> = “1” 時)、SFR または DBR 領域内のアドレスです。

注 2) リセット解除処理は、リセットベクタ r の読み出しと r 番地の命令のフェッチ / デコードが行われます。

図 2-16 アドレストラップリセット

2.3.3 ウォッチドッグタイマ リセット

『ウォッチドッグタイマ』を参照してください。

2.3.4 システムクロックリセット

以下のいずれかの条件が成立した場合、CPU がデッドロック状態に陥るのを防ぐため、自動的にシステムクロックリセットが発生します。(発振は、継続します)

- SYSCR2<XEN>, SYSCR2<XTEN> を共に “0” にクリアした場合
- SYSCR2<SYSCK> = “0” のとき、SYSCR2<XEN> を “0” にクリアした場合
- SYSCR2<SYSCK> = “1” のとき、SYSCR2<XTEN> を “0” にクリアした場合

リセット時間は、最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ 16.0 MHz) です。

第 3 章 割り込み制御回路

TMP86CM23AUG には、リセットを除き合計 20 種類の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち 4 種はノンマスカブル割り込みで、そのほかはすべてマスカブル割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPU に割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択し許可 / 禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスカブル割り込みに優先順位はありません。

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部 / 外部	(リセット)	ノンマスカブル	-	FFFE	1
内部	INTSW (ソフトウェア割り込み)	ノンマスカブル	-	FFFC	2
内部	INTUNDEF (未定義命令実行割り込み)	ノンマスカブル	-	FFFC	2
内部	INTATRAP (アドレストラップ割り込み)	ノンマスカブル	IL2	FFFA	2
内部	INTWDT (ウォッチドッグタイマ割り込み)	ノンマスカブル	IL3	FFF8	2
外部	$\overline{INT0}$	IMF・EF4 = 1, INT0EN = 1	IL4	FFF6	5
外部	INT1	IMF・EF5 = 1	IL5	FFF4	6
内部	INTTBT	IMF・EF6 = 1	IL6	FFF2	7
内部	INTTC1	IMF・EF7 = 1	IL7	FFF0	8
内部	INTSIO	IMF・EF8 = 1	IL8	FFEE	9
外部	INT2	IMF・EF9 = 1	IL9	FFEC	10
内部	INTRXD	IMF・EF10 = 1	IL10	FFEA	11
内部	INTTXD	IMF・EF11 = 1	IL11	FFE8	12
内部	INTTC4	IMF・EF12 = 1	IL12	FFE6	13
内部	INTTC6	IMF・EF13 = 1	IL13	FFE4	14
内部	INTRTC	IMF・EF14 = 1	IL14	FFE2	15
内部	INTADC	IMF・EF15 = 1	IL15	FFE0	16
内部	INTTC3	IMF・EF16 = 1	IL16	FFBE	17
外部	INT3	IMF・EF17 = 1	IL17	FFBC	18
内部	INTTC5	IMF・EF18 = 1	IL18	FFBA	19
外部	$\overline{INT5}$	IMF・EF19 = 1	IL19	FFB8	20
-	Reserved	IMF・EF20 = 1	IL20	FFB6	21
-	Reserved	IMF・EF21 = 1	IL21	FFB4	22
-	Reserved	IMF・EF22 = 1	IL22	FFB2	23
-	Reserved	IMF・EF23 = 1	IL23	FFB0	24

- 注 1) アドレストラップ割り込み (INTATRAP) を使用するには WDTCR1<ATOOUT> を "0" に設定してください (リセット解除後は "リセット要求" に設定されています)。詳しくは「アドレストラップ」の章を参照してください。
- 注 2) ウォッチドッグタイマ割り込み (INTWDT) を使用するには WDTCR1<WDTOUT> を "0" に設定してください (リセット解除後は "リセット要求" に設定されています)。詳しくは「ウォッチドッグタイマ」の章を参照してください。
- 注 3) 割り込みラッチ IL15 (INTADC) より優先順位が低い割り込みが受け付けられた時点で INTADC 割り込み要求が発生した場合に、INTADC の割り込みラッチがクリアされ、割り込み動作を行わない場合があります。詳しくは AD コンバータの章の「AD コンバータの注意事項」を参照してください。

3.1 割り込みラッチ (IL19 ~ IL2)

割り込みラッチは、ソフトウェア割り込みと未定義命令実行割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR内の003CH, 003DHおよび002EH番地に割り付けられており、命令によって個別にクリアすることができます。ただし、IL2, IL3については命令でクリアしないでください。プログラムで割り込み要求をクリアするときにはロード命令を使用して、IL2, IL3には“1”を書き込むようにします。ビット操作命令や演算命令などのリードモディファイライト命令は、命令実行中に発生した割り込み要求がクリアされることがあるので使用しないでください。

また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。ただし、割り込みラッチを命令で直接セットすることはできません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0”にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を“1”にセットしてください (EI 命令による割り込みの許可)。割り込みサービスプログラムでは、IMF は自動的に“0”になりますので、通常割り込みサービスプログラムの中で IMF を“0”にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を“1”にセットする前に EF および IL を設定してください。

(プログラム例1) 割り込みラッチのクリア

```
DI                                ; IMF ← 0
LDW      (ILL), 1110100000111111B ; IL12, IL10~IL6 ← 0
EI                                ; IMF ← 1
```

(プログラム例2) 割り込みラッチの読み出し

```
LD      WA, (ILL)                ; W ← ILH, A ← ILL
```

(プログラム例3) 割り込みラッチのテスト

```
TEST      (ILL), 7                ; IL7 = 1 ならジャンプ
JR      F, SSET
```

3.2 割り込み許可レジスタ (EIR)

ノンマスクابل割り込み (ソフトウェア割り込み、未定義命令割り込み、アドレストラップ割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスクابل割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ (IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR 内の 003AH, 003BH および 002CH 番地に割り付けられており、命令でリード/ライト (ビット操作命令などのリードモディファイライトも含む) できます。

3.2.1 割り込みマスタ許可フラグ (IMF)

マスクابل割り込み全体に対して受け付けの許可/禁止の制御を行うフラグです。“0”にクリアされていると、すべてのマスクابل割り込みの受け付けは禁止状態であり、“1”にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックに一時退避された後“0”にクリアされ、そのあとのマスクابل割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、割り込みリターン命令 [RETI]/[RETN] によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIRL (SFR 内の 003AH 番地) のビット 0 に割り付けられており、命令でリード/ライト できます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI] 命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

3.2.2 割り込み個別許可フラグ (EF19 ~ EF4)

各マスクابل割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

なお、リセット時、割り込み個別許可フラグは“0”に初期化されます。個別許可フラグが“1”にセットされるまでマスクابل割り込みは受け付けられません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0”にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を“1”にセットしてください (EI 命令による割り込みの許可)。割り込みサービスプログラムでは、IMF は自動的に“0”になりますので、通常割り込みサービスプログラムの中で IMF を“0”にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を“1”にセットする前に EF および IL を設定してください。

(プログラム例 1) 割り込みの個別許可と IMF のセット

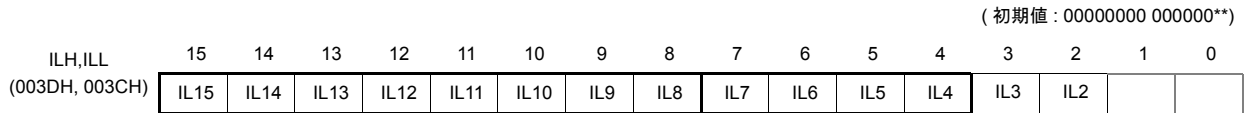
```
DI                                     ; IMF ← 0
LDW                                     ; EF15~EF13, EF11, EF7, EF5 ← 1
:   (EIRL), 1110100010100000B         ; 注) IMF はセットしない
:
EI                                     ; IMF ← 1
```

(プログラム例 2) コンパイラ記述例

```
unsigned int _io (3AH) EIRL;          /* 3AH は EIRL のアドレス */
_DI ();
EIRL=10100000B;
:
_EI ();
```


Not Recommended
for New Design

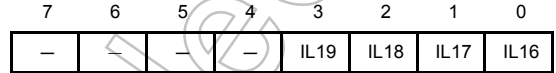
割り込みラッチ



ILH (003DH)

ILL (003CH)

ILE
(002EH)

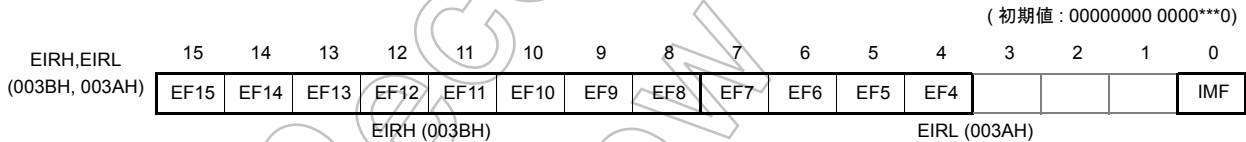


ILE (002EH)

IL19~IL2	割り込みラッチ	RD時	WR時	R/W
		0: 割り込み要求なし 1: 割り込み要求あり	0: 割り込み要求のクリア (注) 1: セットは不可	

- 注 1) IL7~IL4 のいずれかをクリアする場合、IL2, IL3 には必ず "1" を書き込んでください。
- 注 2) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。
- 注 3) IL はビット操作などのリードモディファイライト命令でクリアしないでください。

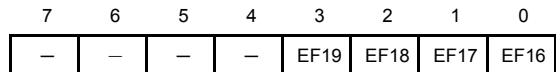
割り込み許可レジスタ



EIRH (003BH)

EIRL (003AH)

EIRE
(002CH)



EIRE (002CH)

EF19~EF4	割り込み個別許可フラグ (ビットごとに指定)	0: 各マスカブル割り込みの受け付け禁止 1: 各マスカブル割り込みの受け付け許可	R/W
IMF	割り込みマスタ許可フラグ	0: 各マスカブル割り込み全体の受け付け禁止 1: 各マスカブル割り込み全体の受け付け許可	

- 注 1) *: Don't care
- 注 2) 割り込み許可フラグ (EF15~4) と同時に IMF を "1" にセットしないでください。
- 注 3) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

3.3 割り込み処理

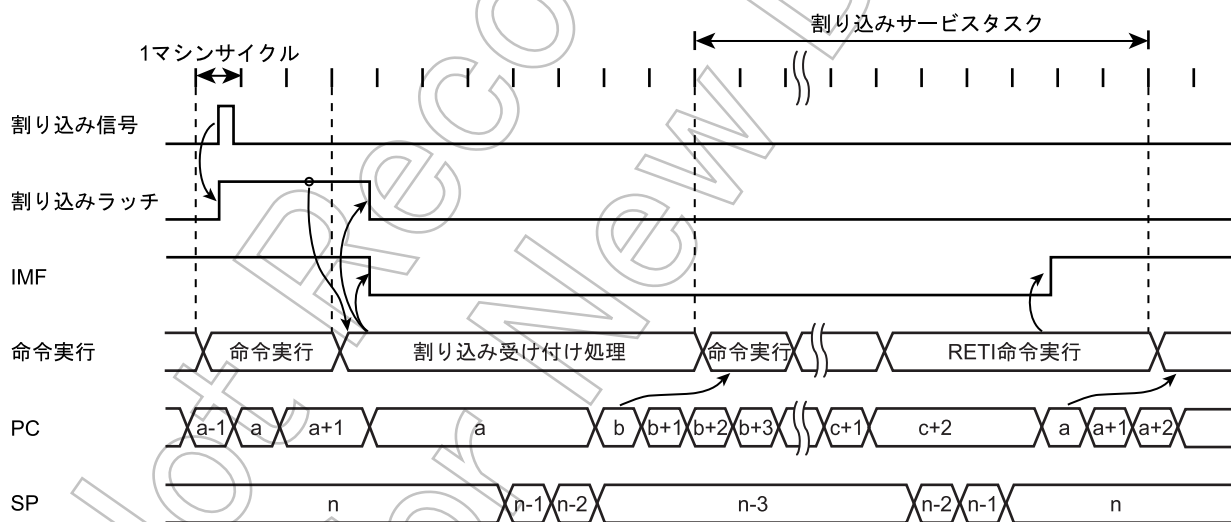
割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8 マシンサイクル (2 μ s @16 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (ノンマスカブル割り込みの場合) を実行して終了します。図 3-1 に割り込み受け付け処理タイミングを示します。

3.3.1 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

1. 割り込みマスタ許可フラグ (IMF) を“0”にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
3. プログラムカウンタ (PC) プログラム ステータスワード (PSW) および割り込み受け付け前の IMF の内容をスタックに退避します (PSW + IMF, PCH, PCL の順にプッシュダウンされます)。スタックポインタ (SP) は3回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注) PSW の内容がスタックに退避される際、同時に IMF の状態も退避されます。



注 1) a; 戻り番地 b; エントリーアドレス c; RETI 命令が格納されているアドレス

注 2) 割り込みラッチがセットされてから割り込み受け付け処理が開始されるまでの時間は、割り込み許可状態のとき最大 38/fc [s] または 38/fs [s] (10 サイクル命令実行時の第一マシンサイクルで割り込みラッチがセットされたときに当たります) となります。

図 3-1 割り込み受け付け処理 / 割り込みリターン命令タイミングチャート

例: INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応

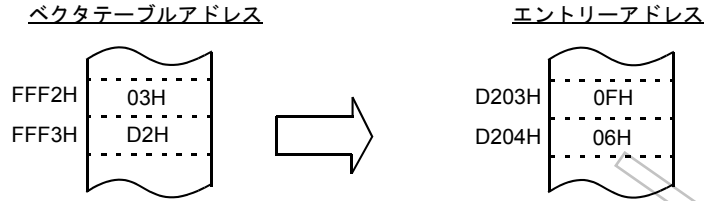


図 3-2 ベクタテーブルアドレスとエントリーアドレス

割り込みサービス中に、その割り込み要因よりレベルの高いマスク割込みが発生しても、割り込みマスタ許可フラグが“1”にセットされるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。過重なネスタイングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを“1”にセットする前にクリアしてください。また、ノンマスク割込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

3.3.2 汎用レジスタ退避 / 復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。汎用レジスタの退避には、次の2つの方法があります。

3.3.2.1 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ / ポップ命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) プッシュ / ポップによるレジスタの退避 / 復帰

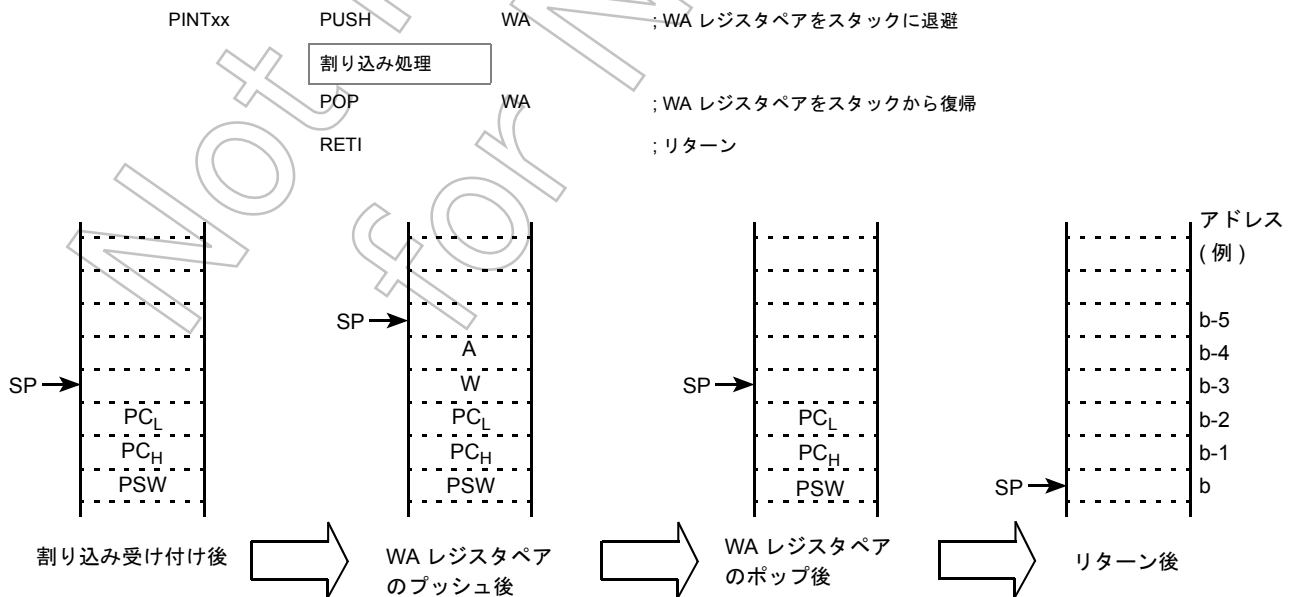


図 3-3 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰処理

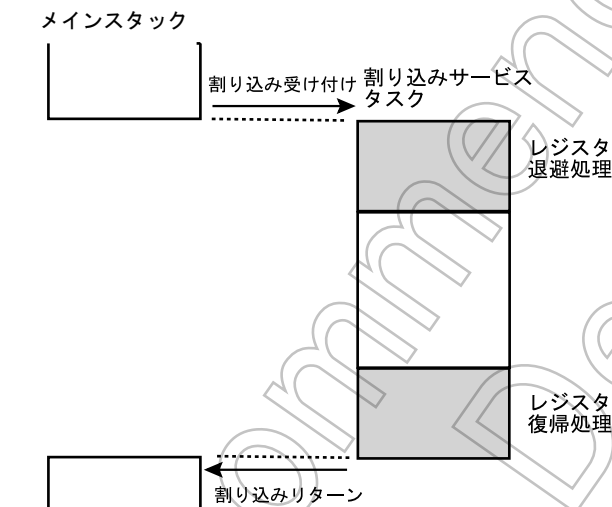
3.3.2.2 転送命令による汎用レジスタの退避 / 復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) データメモリとの転送命令によるレジスタの退避 / 復帰

```

PINTxx: LD      (GSAVA), A      ; A レジスタの退避
        [割り込み処理]
        LD      A, (GSAVA)     ; A レジスタの復帰
        RETI                    ; リターン
    
```



プッシュ / ポップ / 転送命令による汎用レジスタの退避 / 復帰

図 3-4 割り込み処理における汎用レジスタの退避 / 復帰処理

3.3.3 割り込みリターン

割り込みリターン命令は、次の動作を行います。

- | [RETI] / [RETN] 割り込みリターン |
|--|
| ①プログラムカウンタ、プログラムステータスワードおよび IMF の内容をスタックからそれぞれリストアします。 |
| ②スタックポインタを3回インクリメントします。 |

ただし、アドレストラップ割り込みからのリターンは、割り込み受け付け処理直後にスタックされる PCL、PCH の値を、割り込みサービスプログラムの先頭で、プログラム実行を再開するアドレスに書き替える必要があります。

注) これらを書き替えないうままリターン命令 [RETN] を実行した場合、アドレストラップ領域に復帰し、再度アドレストラップ割り込みが発生します。
 割り込みリターン後の PCL, PCH となる値は、割り込み受け付け処理後はそれぞれ (SP + 1), (SP + 2) のアドレスに格納されています。

(プログラム例1) アドレストラップ割り込みサービスプログラムからのリターン

PINTxx	POP	WA	;スタックポインタを2つ戻す
	LD	WA, RetrunAddress	;WAレジスタに再開アドレスを代入する
	PUSH	WA	;スタックにプッシュダウンする
	割り込み処理		
	RETN		;ノンマスカブル割り込みリターン命令

(プログラム例2) リターンしない場合(割り込み受け付け前のPSWおよびIMFの値を破棄する場合)

PINTxx	INC	SP	;スタックポインタを3つ戻す
	INC	SP	
	INC	SP	
	割り込み処理		
	LD	EIRL, data	;IMFを"1"にセット、または"0"にクリア
	JP	RestartAddress	;復帰アドレスへジャンプ

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

- 注1) アドレストラップ割り込みが発生し、割り込みサービスプログラムでリターン命令[RETN]を使用しない場合(例2のような場合)、割り込みサービスプログラムで、スタックポインタの値を、アドレストラップ発生時の値にインクリメントすることを推奨します(3回インクリメントする)。
- 注2) 割り込み処理時間が、割り込み要求の間隔よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

3.4 ソフトウェア割り込み (INTSW)

SWI 命令を実行することにより、ソフトウェア割り込みが発生し、ただちに割り込み処理に入ります (最優先割り込み)。

SWI 命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

3.4.1 アドレスエラー検出

シングルチップモードのとき、CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FFH が読み込まれます。コード FFH は、SWI 命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて FFH で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM, SFR, DBR 領域に対する命令フェッチのときは、アドレストラップリセット、もしくは設定によりアドレストラップ割り込みが発生します。

3.4.2 デバッグ

SWI 命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

3.5 未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEF が発生し、割り込み処理に入ります。INTUNDEF はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTUNDEF 割り込み処理に入ります。

注) 未定義命令割り込み (INTUNDEF) は、ソフトウェア割り込みと同じ割り込みベクタアドレスへジャンプします。

3.6 アドレストラップ割り込み (INTATRAP)

命令が置かれている以外の領域 (アドレストラップ領域) から命令をフェッチした場合、リセット出力または割り込み信号 (INTATRAP) 出力を行います。アドレストラップ割り込みが発生すると、割り込みラッチ (IL2) がセットされ、割り込み処理に入ります。INTATRAP はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTATRAP 割り込み処理に入ります。

注) アドレストラップ時の動作設定 (リセット出力 / 割り込み信号出力) は、ウォッチドッグタイマ制御レジスタで設定します。

3.7 外部割り込み

TMP86CM23AUGには、5本の外部割り込み入力があり、すべてデジタルノイズ除去回路付き(一定時間未満のパルス入力をノイズとして除去します)となっています。

また、INT1～INT3端子は、エッジ選択が可能です。なお、 $\overline{\text{INT0}}$ /P63端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択、ノイズ除去の制御 および $\overline{\text{INT0}}$ /P63端子の機能選択は、外部割り込み制御レジスタで行います。

要因	端子名	許可条件	エッジ	デジタルノイズ除去回路
INT0	$\overline{\text{INT0}}$	IMF・EF4・INT0EN=1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されません。7/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT1	INT1	IMF・EF5 = 1	立ち下がりエッジ または 立ち上がりエッジ	15/fc または 63/fc [s] 未満のパルスはノイズとして除去されません。49/fc または 193/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT2	INT2	IMF・EF9 = 1	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去されません。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT3	INT3	IMF・EF17 = 1	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去されません。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT5	$\overline{\text{INT5}}$	IMF・EF19 = 1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されません。7/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。

注 1) NORMAL1, 2 または IDLE1, 2 モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は、確実に信号とみなされる時間 + 6/fc[s] です。

注 2) INT0EN = "0" のとき、 $\overline{\text{INT0}}$ 端子入力の立ち下がりエッジが検出されても割り込みラッチ IL4 はセットされません。

注 3) 兼用の端子を出力ポートとして使用し、データが変化したり入出力の切り替えを行った場合、擬似的に割り込み要求信号が発生しますので、割り込み許可フラグの禁止などの処理が必要です。

外部割り込み制御レジスタ

EINTCR	7	6	5	4	3	2	1	0	
(0037H)	INT1NC	INT0EN	-	-	INT3ES	INT2ES	INT1ES		(初期値: 00**000*)

INT1NC	INT1 のノイズ除去時間の選択	0: 63/fc[s] 未満のパルスはノイズとして除去 1: 15/fc[s] 未満のパルスはノイズとして除去	R/W
INT0EN	P63/INT0 の機能選択	0: P63 入出力ポート 1: $\overline{\text{INT0}}$ 端子 (P63 ポートは入力モードにしてください)	R/W
INT3 ES	INT3 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W
INT2 ES	INT2 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W
INT1 ES	INT1 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W

注 1) fc: 高周波クロック [Hz] *; Don't care

注 2) システムクロックを高周波と低周波の間で切り替えるとき、または外部割り込み制御レジスタ (EINTCR) を書き替えるときは、切り替えの前後でノイズキャンセラが正常に動作しない場合がありますので、割り込み許可レジスタ (EIR) によって外部割り込みを禁止しておくことを推奨します。

注 3) INT1NC を切り替えた場合、最大 $2^6/fc$ の期間ノイズキャンセル時間が切り替わらない事があります。

Not Recommended for New Design

第4章 スペシャルファンクションレジスタ

TMP86CM23AUGは、メモリマップ I/O 方式で、周辺ハードウェアのデータ制御 / 転送はすべてスペシャルファンクションレジスタ (SFR) またはデータバッファレジスタ (DBR) を通して行われます。SFR は、0000H~003FH に、DBR は 0F80H~0FFFH にマッピングされています。

本章では、TMP86CM23AUG の SFR, DBR の一覧を示します。

4.1 SFR

アドレス	リード	ライト
0000H		Reserved
0001H		P1DR
0002H		P2DR
0003H		P3DR
0004H		P3OUTCR
0005H		P5DR
0006H		P6DR
0007H		P7DR
0008H		P8DR
0009H		P1CR
000AH		P5CR
000BH		P6CR1
000CH		P6CR2
000DH		P7CR
000EH		ADCCR1
000FH		ADCCR2
0010H		TREG1AL
0011H		TREG1AM
0012H		TREG1AH
0013H		TREG1B
0014H	TC1CR1	TC1CR
0015H		TC1CR2
0016H	TC1SR	-
0017H		RTCCR
0018H		TC3CR
0019H		TC4CR
001AH		TC5CR
001BH		TC6CR
001CH		TTREG3
001DH		TTREG4
001EH		TTREG5
001FH		TTREG6
0020H	ADCCR2	-
0021H	ADCCR1	-
0022H		Reserved
0023H		Reserved
0024H		P8CR
0025H	UARTSR	UARTCR1
0026H	-	UARTCR2

アドレス	リード	ライト
0027H		LCDCR
0028H		PWREG3
0029H		PWREG4
002AH		PWREG5
002BH		PWREG6
002CH		EIRE
002DH		Reserved
002EH		ILE
002FH		Reserved
0030H		Reserved
0031H		Reserved
0032H		Reserved
0033H		Reserved
0034H	-	WDTCR1
0035H	-	WDTCR2
0036H		TBTCR
0037H		EINTCR
0038H		SYSCR1
0039H		SYSCR2
003AH		EIRL
003BH		EIRH
003CH		ILL
003DH		ILH
003EH		Reserved
003FH		PSW

注1) Reserved の番地はプログラムでアクセスしないでください。

注2) - ; アクセスできません。

注3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

4.2 DBR

アドレス	リード	ライト
0F80H		SEG1/0
0F81H		SEG3/2
0F82H		SEG5/4
0F83H		SEG7/6
0F84H		SEG9/8
0F85H		SEG11/10
0F86H		SEG13/12
0F87H		SEG15/14
0F88H		SEG17/16
0F89H		SEG19/18
0F8AH		SEG21/20
0F8BH		SEG23/22
0F8CH		SEG25/24
0F8DH		SEG27/26
0F8EH		SEG29/28
0F8FH		SEG31/30
0F90H		SIOBR0
0F91H		SIOBR1
0F92H		SIOBR2
0F93H		SIOBR3
0F94H		SIOBR4
0F95H		SIOBR5
0F96H		SIOBR6
0F97H		SIOBR7
0F98H	-	SIOCR1
0F99H	SIOSR	SIOCR2
0F9AH	-	STOPCR
0F9BH	RDBUF	TDBUF
0F9CH	P2PRD	-
0F9DH	P3PRD	-
0F9EH		P1LCR
0F9FH		P5LCR

アドレス	リード	ライト
0FA0H		P7LCR
0FA1H		P8LCR
0FA2H		Reserved
0FA3H		Reserved
0FA4H		MACCR
0FA5H	MACSR	
0FA6H		MPLDRL
0FA7H		MPLDRH
0FA8H	MPCDRL	Reserved
0FA9H		MPCDRH
0FAAH	RCALDR1	MADDR1
0FABH	RCALDR2	MADDR2
0FACH	RCALDR3	MADDR3
0FADH	RCALDR4	MADDR4
0FAEH		Reserved
0FAFH		Reserved
0FB0H		Reserved
0FB1H		Reserved
0FB2H		Reserved
0FB3H		Reserved
0FB4H		Reserved
0FB5H		Reserved
0FB6H		Reserved
0FB7H		Reserved
0FB8H		Reserved
0FB9H		Reserved
0FBAH		Reserved
0FBBH		Reserved
0FBCH		Reserved
0FBDH		Reserved
0FBEH		Reserved
0FBFH		Reserved

アドレス	リード	ライト
0FC0H		Reserved
...		...
0FDFH		Reserved

アドレス	リード	ライト
0FE0H		Reserved
...		...
0FFFH		Reserved

- 注 1) Reserved の番地はプログラムでアクセスしないでください。
- 注 2) - ; アクセスできません。
- 注 3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

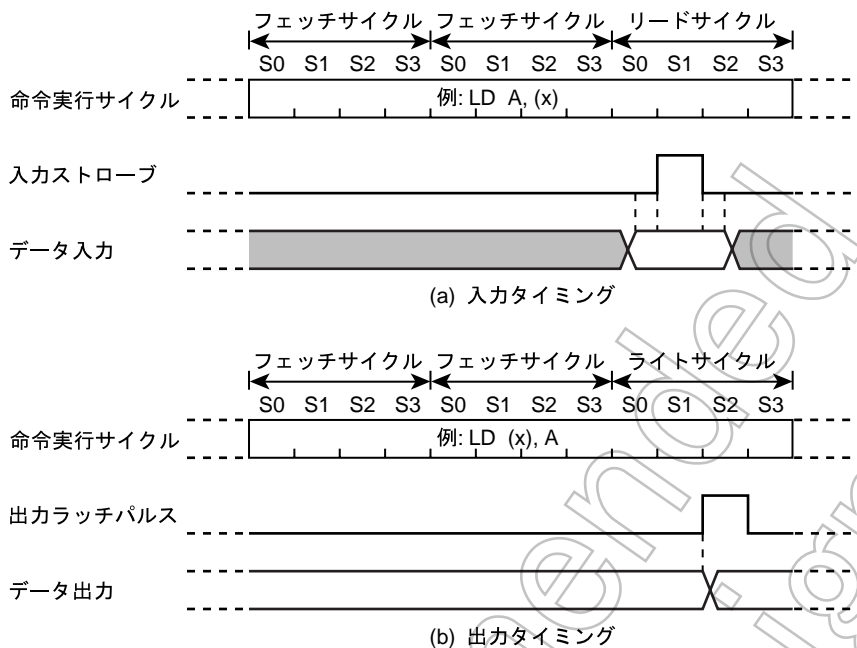
第 5 章 入出力ポート

TMP86CM23AUG は、7 ポート 48 端子の入出力ポートおよび 3 端子の出力ポートを内蔵しています。

1. P1 ポート：
8 ビット入出力ポート (外部割り込み入力, UART 入出力, LCD セグメント出力と兼用)
2. P2 ポート：
3 ビット入出力ポート (低周波発振子接続端子, 外部割り込み入力, STOP モード解除信号入力と兼用)
3. P3 ポート：
5 ビット入出力ポート (デバイダ出力, タイマカウンタ入出力, シリアルインタフェース入出力と兼用)
3 ビット出力ポート (タイマカウンタ出力と兼用)
4. P5 ポート：
8 ビット入出力ポート (LCD セグメント出力と兼用)
5. P6 ポート：
8 ビット入出力ポート (アナログ入力, 外部割込み入力, STOP モード解除信号入力, タイマカウンタ入力と兼用)
6. P7 ポート：
8 ビット入出力ポート (LCD セグメント出力と兼用)
7. P8 ポート：
8 ビット入出力ポート (LCD セグメント出力と兼用)

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図 5-1 に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルの S1 ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルの S2 ステートです。



注) 命令によってリード/ライトサイクルの位置が異なります。

図 5-1 入出力タイミング (例)

5.1 P1 (P17~P10) ポート

P1 ポートは、1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、UART 入出力、外部割り込み入力、LCD セグメント出力と兼用です。ポート入力、外部割り込み入力、UART 入力として用いる場合は、セグメント出力制御 (PILCR) と入出力制御 (P1CR) の対応するビットをそれぞれ“0”にクリアします。ポート出力として用いる場合は、PILCR の対応するビットを“0”にクリアし、P1CR を“1”にセットします。UART 出力として用いる場合は、PILCR の対応するビットを“0”にクリアし、P1CR、出力ラッチ (P1DR) をそれぞれ“1”にセットします。LCD セグメント出力として使用する場合は PILCR の対応するビットを“1”にセットします。リセット時、P1DR、P1CR、PILCR は“0”に初期化されます。

P1CR = “0” のとき、P1DR に対してリード命令を実行すると、PILCR = “0” に設定されているビットは端子の内容が読み出され、PILCR = “1” に設定されているビットは“0”が読み出されます。また P1CR = “1” のとき、P1DR に対してリード命令を実行すると、PILCR の設定にかかわらず P1DR の内容が読み出されます。

表 5-1 各機能別のレジスタ設定値

機能	設定値		
	P1DR	P1CR	P1LCR
ポート入力、UART 入力、外部割り込み入力	*	“0”	“0”
ポート“0”出力	“0”	“1”	“0”
ポート“1”出力、UART 出力	“1”	“1”	“0”
LCD セグメント出力	*	*	“1”

注) *: “1”、“0” どちらでも設定可

表 5-2 各レジスタ設定による P1DR の読み出し値

条件		P1DR の読み出し値
P1CR	P1LCR	
"0"	"0"	端子の内容
"0"	"1"	"0"
"1"	"0"	出力ラッチの内容
	"1"	

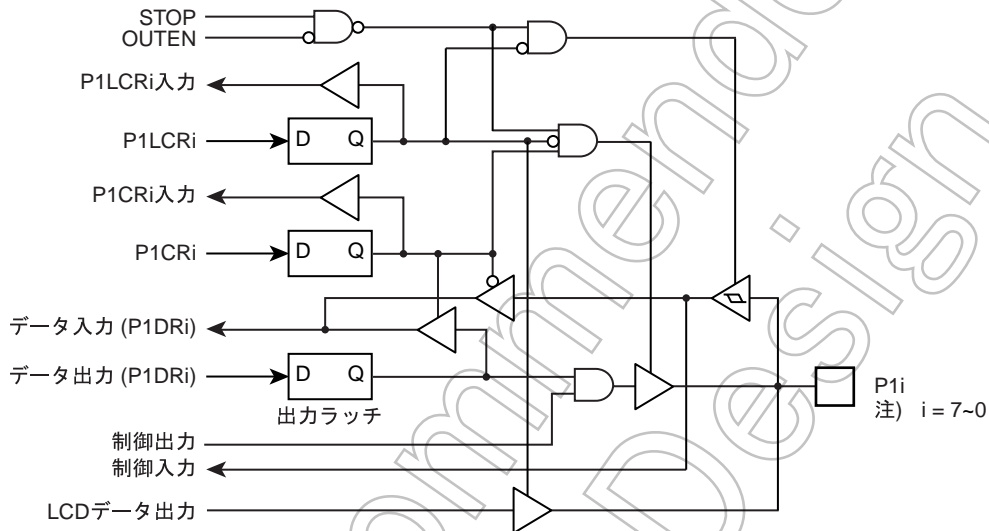


図 5-2 P1 ポート

	7	6	5	4	3	2	1	0	
P1DR (0001H) R/W	P17 SEG24	P16 SEG25	P15 SEG26	P14 SEG27 INT3	P13 SEG28 INT2	P12 SEG29 INT1	P11 SEG30 TXD	P10 SEG31 RXD	(初期値: 0000 0000)
P1LCR (0F9EH)									(初期値: 0000 0000)
P1LCR	P1 ポートのセグメント出力制御 (ビットごとに指定)		0: 入出力ポートまたはセグメント出力を除く兼用機能 1: LCD セグメント出力					R/W	
P1CR (0009H)									(初期値: 0000 0000)
P1CR	P1 ポート入出力制御 (ビットごとに指定)		0: 入力モード 1: 出力モード					R/W	

注) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

5.2 P2 (P22~P20) ポート

P2 ポートは、3 ビットの入出力ポートで、外部割込み入力、STOP 解除信号入力、低周波発振子接続端子と兼用です。入力ポートまたは、機能端子として用いる場合は、出力ラッチ (P2DR) を“1”にセットします。P2DR はリセット時“1”に初期化されます。デュアルクロックモードで動作させる場合は、P21 (XTIN)、P22 (XOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21、P22 端子は通常の入出力ポートとして使用できます。P20 端子は外部割込み入力、STOP 解除信号入力、入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち下がり遅延が割込みラッチがセットされます)。

また、P2 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P2DR を、端子の状態を読み込む場合は P2PRD レジスタをそれぞれ読み出してください。

P2 ポートに対して P2DR、P2PRD のリード命令を実行した場合、ビット 7~3 は不定値が読み込まれます。

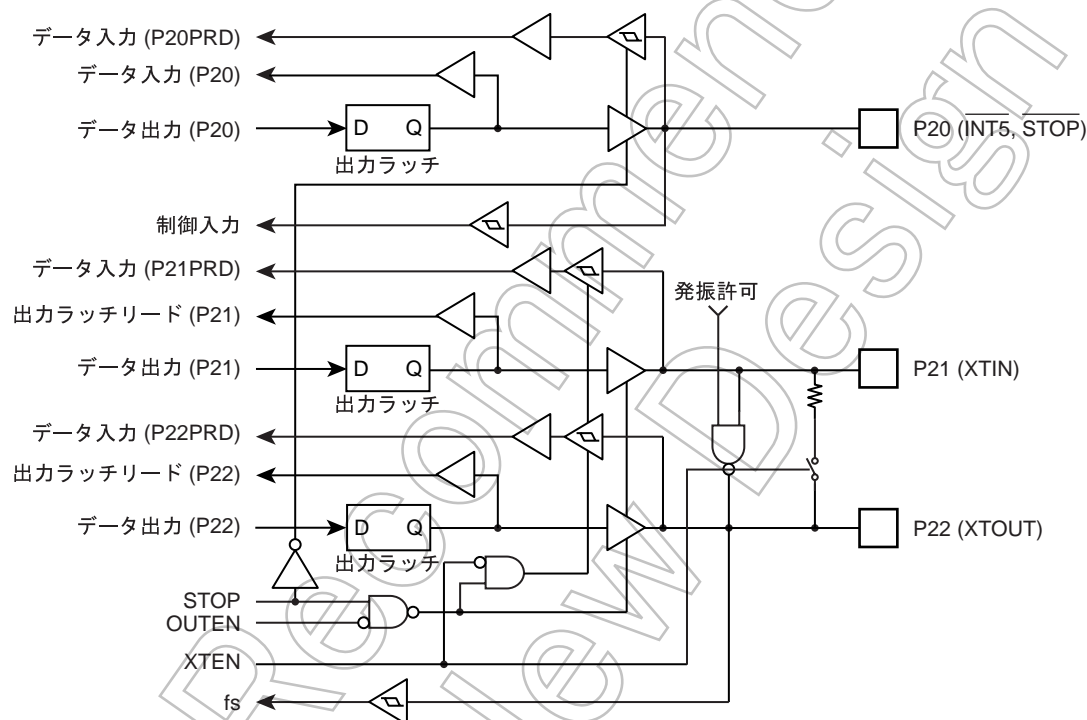
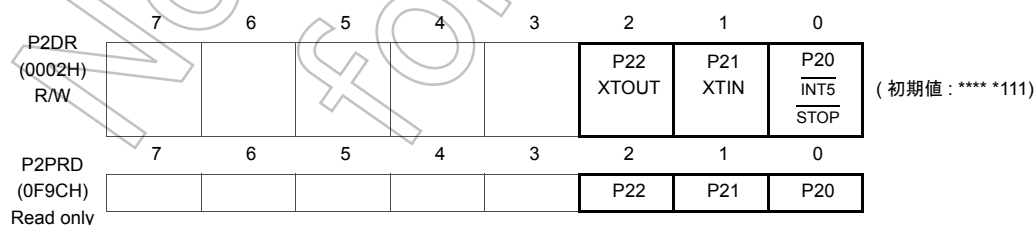


図 5-3 P2 ポート



注) P20 端子は STOP 端子と兼用のため、STOP モードに入ると OUTEN の状態にかかわらず、出力は High-Z 状態となります。

5.3 P3 (P37~P30) ポート

P3 ポートは、3 ビットの出力、5 ビットの入出力ポートで、タイマカウンタ入出力、シリアルインタフェース入出力、デバイダ出力と兼用です。タイマカウンタ出力、シリアルインタフェース出力、デバイダ出力として使用する場合は、出力ラッチ (P3DR) を“1”にセットします。

P30~P34 ポートは、出力回路制御 (P3OUTCR) により出力回路をシンクオープンドレイン出力、C-MOS 出力に選択することができます。ポート入力、シリアルインタフェース入力またはタイマカウンタ入力として使用する場合は、P3DR を“1”にセットし、P3OUTCR の対応するビットを“0”に設定します。

リセット時、P3DR は“1”に、P3OUTCR は“0”に初期化されます。

P3 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P3DR を、端子の状態を読み込む場合は P3PRD レジスタをそれぞれ読み出してください。

P3PRD、P3OUTCR に対してリード命令を実行した場合、ビット 7~5 は不定値が読み込まれます。

表 5-3 各機能別のレジスタ設定値 (P34~P30)

機能	設定値	
	P3DR	P3OUTCR
ポート入力、シリアルインタフェース入力またはタイマカウンタ入力	“1”	“0”
ポート“0”出力	“0”	用途に合わせて設定
ポート“1”出力、シリアルインタフェース出力またはタイマカウンタ出力	“1”	

表 5-4 各機能別のレジスタ設定値 (P37~P35)

機能	設定値
	P3DR
ポート“0”出力	“0”
ポート“1”出力、タイマカウンタ出力またはデバイダ出力	“1”

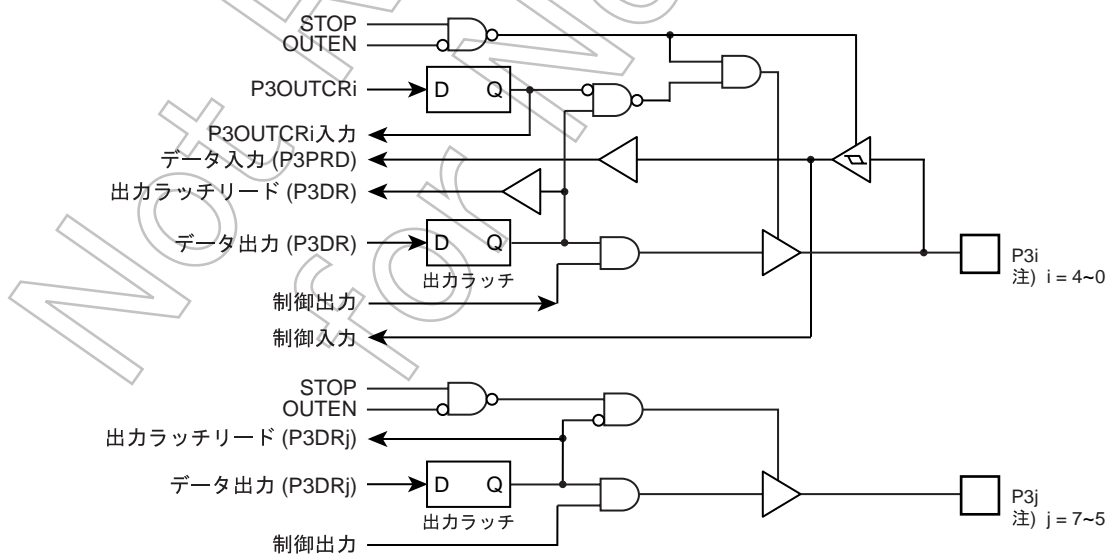
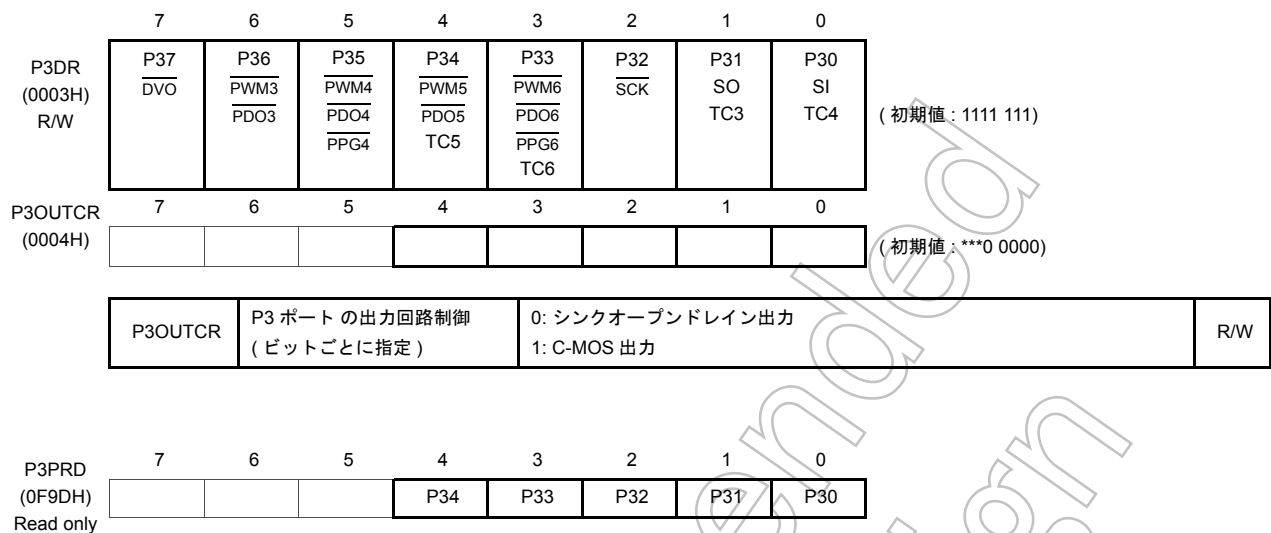


図 5-4 P3 ポート



5.4 P5 (P57~P50) ポート

P5 ポートは、1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、LCD セグメント出力と兼用です。ポート入力として用いる場合は、セグメント出力制御 (P5LCR) と入出力制御 (P5CR) の対応するビットをそれぞれ“0”にクリアします。ポート出力として用いる場合は P5LCR の対応するビットを“0”にクリアし、P5CR を“1”にセットします。LCD セグメント出力として使用する場合は P5LCR の対応するビットを“1”にセットします。リセット時、出力ラッチ (P5DR)、P5CR および P5LCR は“0”に初期化されます。

P5CR = “0” のとき、P5DR に対してリード命令を実行すると、P5LCR = “0” に設定されているビットは端子の内容が読み出され、P5LCR = “1” に設定されているビットは“0”が読み出されます。また P5CR = “1” のとき、P5DR に対してリード命令を実行すると、P5LCR の設定にかかわらず P5DR の内容が読み出されます。

表 5-5 各機能別のレジスタ設定値

機能	設定値		
	P5DR	P5CR	P5LCR
ポート入力	*	“0”	“0”
ポート“0”出力	“0”	“1”	“0”
ポート“1”出力	“1”	“1”	“0”
LCD セグメント出力	*	*	“1”

注) *: “1”、“0” どちらでも設定可

表 5-6 各レジスタ設定による P5DR の読み出し値

条件		P5DR の読み出し値
P5CR	P5LCR	
“0”	“0”	端子の内容
“0”	“1”	“0”
“1”	“0”	出力ラッチの内容
	“1”	

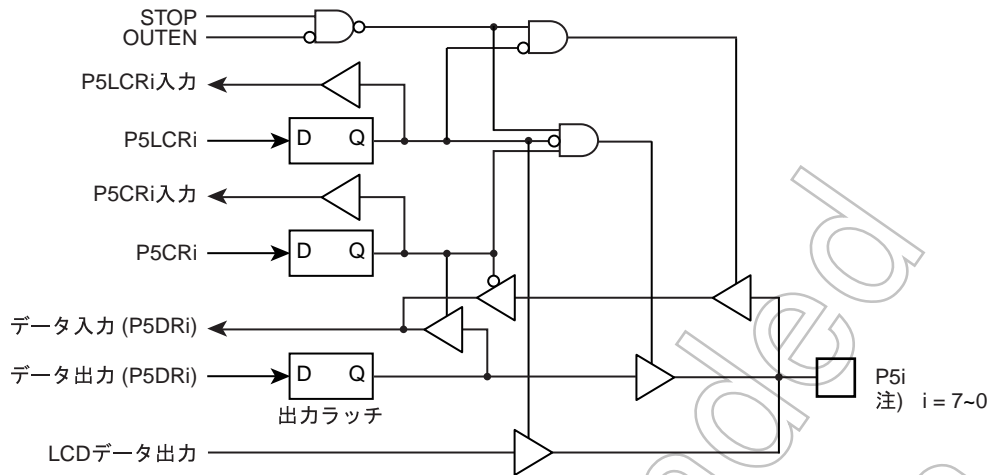


図 5-5 P5 ポート

P5DR (0005H) R/W	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	P57 SEG16	P56 SEG17	P55 SEG18	P54 SEG19	P53 SEG20	P52 SEG21	P51 SEG22	P50 SEG23	
P5LCR (0F9FH)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
P5LCR	P5 ポートのセグメント出力制御 (ビットごとに指定)					0: 入出力ポート 1: LCD セグメント出力		R/W	
P5CR (000AH)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
P5CR	P5 ポート入出力制御 (ビットごとに指定)					0: 入力モード 1: 出力モード		R/W	

注) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

5.5 P6 (P67~P60) ポート

P6 ポートは、1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、アナログ入力、キーオンウェイクアップ入力、外部割り込み入力タイマカウンタ入力と兼用です。入出力の指定は、入出力制御 (P6CR1) と入力制御 (P6CR2) によって行います。ポート出力として使用する場合は、P6CR1 を“1”にセットし出力モードに設定します。ポート入力、タイマカウンタ入力、外部割り込み入力として使用する場合は、P6CR1 を“0”にクリアした後、入力制御 (P6CR2) を“1”にセットします。アナログ入力、キーオンウェイクアップ入力として使用する場合は、P6CR1 を“0”にクリアした後、P6CR2 を“0”にクリアします。

出力ラッチを“0”に設定するのは、兼用のデジタル入力回路の貫通電流防止を行うために必要です。そのため、アナログ入力として使用するポートの出力ラッチは、あらかじめ“0”に設定してください。実際の変換入力チャネル選択は、ADCCR1<SAIN>の設定で行います。

リセット時、P6CR1、出力ラッチ (P6DR) は“0”に、P6CR2 は“1”に初期化され、P6 ポートは入力モードとなります。

ビットの設定値が P6CR1 = “0”, P6CR2 = “0” のとき、P6DR に対してリード命令を実行すると同ビットは“0”が読み出されます。同様に P6CR1 = “0”, P6CR2 = “1” のとき、P6DR の同ビットは端子の内容が読み出されます。P6CR1 = “1” のときは P6CR2 の設定にかかわらず、P6DR の同ビットは出力ラッチ (P6DR) の内容が読み出されます。

表 5-7 各機能別のレジスタ設定値

機能	設定値		
	P6DR	P6CR1	P6CR2
ポート入力、タイマカウンタ入力または外部割り込み入力	*	“0”	“1”
アナログ入力またはキーオンウェイクアップ入力	*	“0”	“0”
ポート“0”出力	“0”	“1”	*
ポート“1”出力	“1”	“1”	*

注) *: “1”、“0” どちらでも設定可

表 5-8 各レジスタ設定による P6DR の読み出し値

条件		P6DR の読み出し値
P6CR1	P6CR2	
“0”	“0”	“0”
“0”	“1”	端子の内容
“1”	“0”	出力ラッチの内容
	“1”	

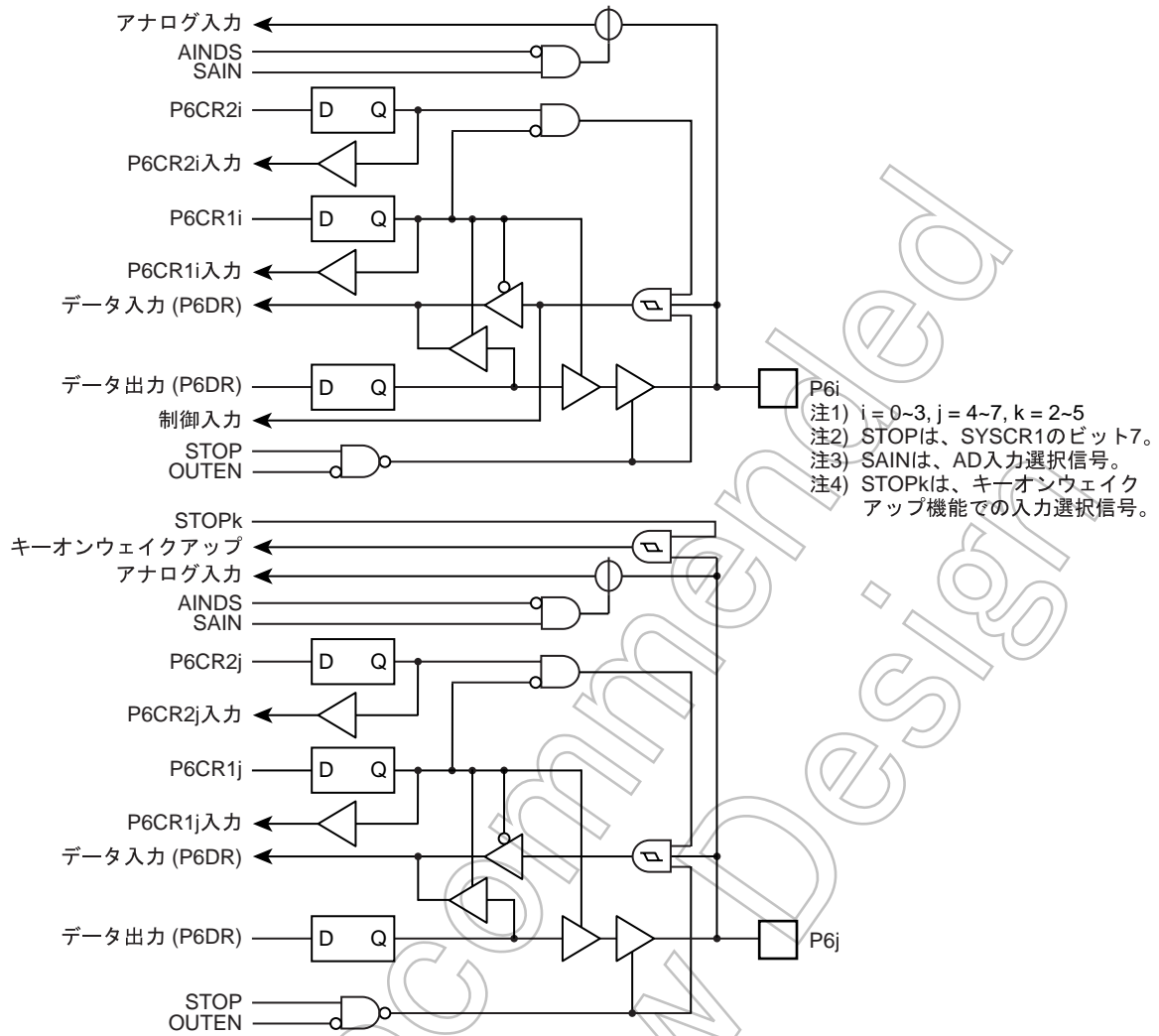


図 5-6 P6 ポート

- 注 1) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。
- 注 2) アナログ入力使用端子は、貫通電流対策のため必ず P6CR2 の対応するビットを “0” にクリアしてください。
- 注 3) アナログ入力として使用する端子は、外部信号とショートしますのでポート出力 (P6CR1 = “1”) には設定しないでください。
- 注 4) アナログ入力として使用しないビットは入出力ポートとして使用できますが、AD 変換中は精度を保つ意味で出力命令は行わないようにしてください。また、アナログ入力と近接するポートに AD 変換中、変化の激しい信号を入力しないようにしてください。

	7	6	5	4	3	2	1	0	
P6DR (0006H) R/W	P67 AIN7 STOP5	P66 AIN6 STOP4	P65 AIN5 STOP3	P64 AIN4 STOP2	P63 AIN3 INT0	P62 AIN2 ECNT	P61 AIN1 ECIN	P60 AIN0	(初期値: 0000 0000)

P6CR1 (000BH)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)

P6CR1	P6 ポートの入出力制御 (ビットごとに指定)	0: ポート入力、キーオンウェイクアップ入力、アナログ入力、 外部割り込み入力またはタイマカウンタ入力 1: ポート出力	R/W
-------	----------------------------	--	-----

P6CR2 (000CH)	7	6	5	4	3	2	1	0	(初期値: 1111 1111)

P6CR2	P6 ポート入力制御 (ビットごとに指定)	0: アナログ入力、またはキーオンウェイクアップ入力 1: ポート入力、外部割り込み入力またはタイマカウンタ入力	R/W
-------	--------------------------	---	-----

5.6 P7 (P77~P70) ポート

P7 ポートは、1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、LCD セグメント出力と兼用です。ポート入力として用いる場合は、セグメント出力制御 (P7LCR) と入出力制御 (P7CR) の対応するビットをそれぞれ“0”にクリアします。ポート出力として用いる場合は P7LCR の対応するビットを“0”にクリアし、P7CR を“1”にセットします。LCD セグメント出力として使用する場合は P7LCR の対応するビットを“1”にセットします。リセット時、出力ラッチ (P7DR)、P7CR および P7LCR は“0”に初期化されます。

P7CR = “0” のとき、P7DR に対してリード命令を実行すると、P7LCR = “0” に設定されているビットは端子の内容が読み出され、P7LCR = “1” に設定されているビットは“0”が読み出されます。また P7CR = “1” のとき、P7DR に対してリード命令を実行すると、P7LCR の設定にかかわらず P7DR の内容が読み出されます。

表 5-9 各機能別のレジスタ設定値

機能	設定値		
	P7DR	P7CR	P7LCR
ポート入力	*	“0”	“0”
ポート“0”出力	“0”	“1”	“0”
ポート“1”出力	“1”	“1”	“0”
LCD セグメント出力	*	*	“1”

注) *: “1”、“0” どちらでも設定可

表 5-10 各レジスタ設定による P7DR の読み出し値

条件		P7DR の読み出し値
P7CR	P7LCR	
“0”	“0”	端子の内容
“0”	“1”	“0”
“1”	“0”	出力ラッチの内容
	“1”	

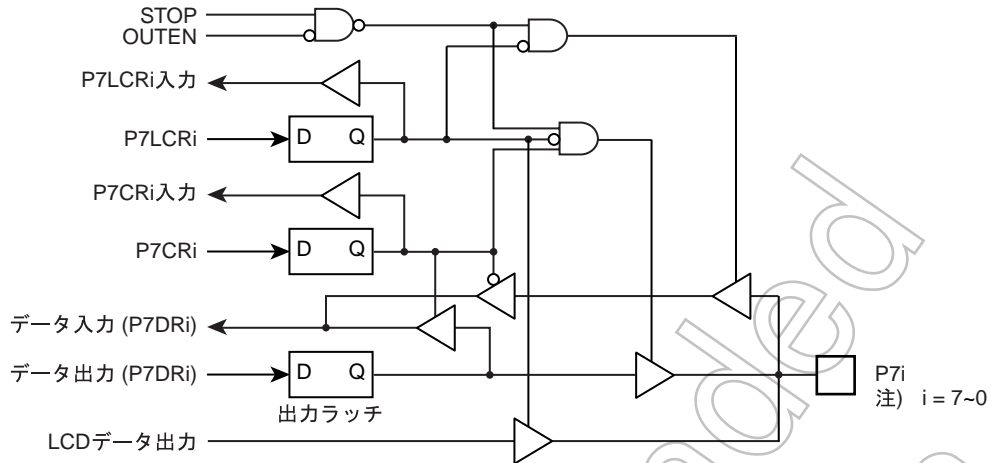


図 5-7 P7 ポート

P7DR (0007H) R/W	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	P77 SEG8	P76 SEG9	P75 SEG10	P74 SEG11	P73 SEG12	P72 SEG13	P71 SEG14	P70 SEG15	

P7LCR (0FA0H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)

P7LCR	P7 ポートのセグメント出力制御 (ビットごとに指定)	0: 入出力ポート 1: セグメント出力	R/W
-------	-----------------------------	-------------------------	-----

P7CR (000DH)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)

P7CR	P7 ポート入出力制御 (ビットごとに指定)	0: 入力モード 1: 出力モード	R/W
------	------------------------	----------------------	-----

注) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

5.7 P8 (P87~P80) ポート

P8 ポートは、1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、LCD セグメント出力と兼用です。ポート入力として用いる場合は、セグメント出力制御 (P8LCR) と入出力制御 (P8CR) の対応するビットをそれぞれ“0”にクリアします。ポート出力として用いる場合は P8LCR の対応するビットを“0”にクリアし、P8CR を“1”にセットします。LCD セグメント出力として使用する場合は P8LCR の対応するビットを“1”にセットします。リセット時、出力ラッチ (P8DR)、P8CR および P8LCR は“0”に初期化されます。

P8CR = “0” のとき、P8DR に対してリード命令を実行すると、P8LCR = “0” に設定されているビットは端子の内容が読み出され、P8LCR = “1” に設定されているビットは“0”が読み出されます。また P8CR = “1” のとき、P8DR に対してリード命令を実行すると、P8LCR の設定にかかわらず P8DR の内容が読み出されます。

表 5-11 各機能別のレジスタ設定値

機能	設定値		
	P8DR	P8CR	P8LCR
ポート入力	*	“0”	“0”
ポート“0”出力	“0”	“1”	“0”
ポート“1”出力	“1”	“1”	“0”
LCD セグメント出力	*	*	“1”

注) *: “1”、“0” どちらでも設定可

表 5-12 各レジスタ設定による P8DR の読み出し値

条件		P8DR の読み出し値
P8CR	P8LCR	
“0”	“0”	端子の内容
“0”	“1”	“0”
“1”	“0”	出力ラッチの内容
	“1”	

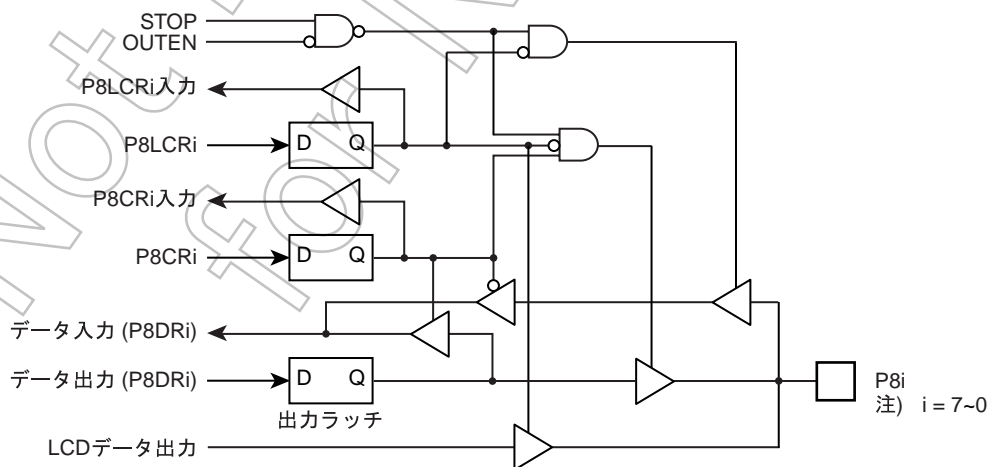


図 5-8 P8 ポート

P8DR (0008H) R/W	7	6	5	4	3	2	1	0	
	P87 SEG0	P86 SEG1	P85 SEG2	P84 SEG3	P83 SEG4	P82 SEG5	P81 SEG6	P80 SEG7	(初期値 : 0000 0000)

P8LCR (0FA1H)	7	6	5	4	3	2	1	0	
									(初期値 : 0000 0000)

P8LCR	P8 ポートのセグメント出力制御 (ビットごとに指定)	0: 入出力ポート 1: LCD セグメント出力	R/W
-------	-----------------------------	-----------------------------	-----

P8CR (0024H)	7	6	5	4	3	2	1	0	
									(初期値 : 0000 0000)

P8CR	P8 ポート入出力制御 (ビットごとに指定)	0: 入力モード 1: 出力モード	R/W
------	------------------------	----------------------	-----

注) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

Not Recommended for New Design

Not Recommended
for New Design

第6章 タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生することが可能です。

6.1 タイムベースタイマ

6.1.1 構成

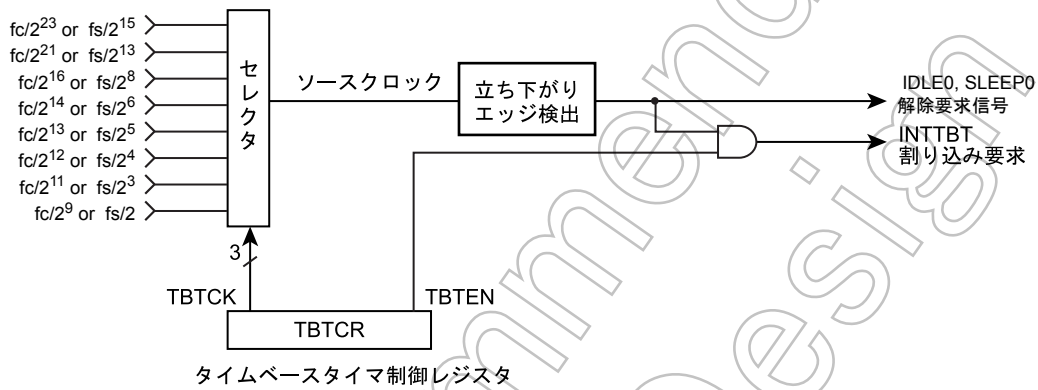


図 6-1 タイムベースタイマの構成

6.1.2 制御

タイムベースタイマは、タイムベースタイマ制御レジスタ (TBTCR) で制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	(DVOEN)	(DVOCK)	(DV7CK)	TBTEN	TBTCR				(初期値 : 0000 0000)

TBTCR	タイムベースタイマの許可 / 禁止	0: ディセーブル 1: イネーブル			R/W	
		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード		
TBTCR	タイムベースタイマ割り込み周波数の選択 単位 : [Hz]	DV7CK = 0		DV7CK = 1		
		000	fc/2 ²³	fs/2 ¹⁵		fs/2 ¹⁵
		001	fc/2 ²¹	fs/2 ¹³		fs/2 ¹³
		010	fc/2 ¹⁶	fs/2 ⁸		—
		011	fc/2 ¹⁴	fs/2 ⁶		—
		100	fc/2 ¹³	fs/2 ⁵		—
		101	fc/2 ¹²	fs/2 ⁴		—
		110	fc/2 ¹¹	fs/2 ³		—
111	fc/2 ⁹	fs/2	—			

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care

注 2) 割り込み周波数 (TBTCK) の変更は、タイムベースタイマがディセーブルの状態 (TBTEN="0") で行ってください (イネーブル状態からディセーブルに設定する際も割り込み周波数の設定を変更しないでください)。なお、割り込み周波数の選択とイネーブルを同時に設定することは可能です。

(プログラム例) タイムベースタイマ割り込み周波数を $fc/2^{16}$ [Hz] にセットし、割り込みを許可します。

```
LD      (TBTCR), 00000010B      ; TBTCK ← 010
LD      (TBTCR), 00001010B      ; TBTEN ← 1
DI
SET     (EIRL), 6
```

表 6-1 タイムベースタイマ割り込み周波数 (例 : $fc = 16.0$ MHz, $fs = 32.768$ kHz 時)

TBTCK	タイムベースタイマ割り込み周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
	DV7CK = 0	DV7CK = 1	
000	1.91	1	1
001	7.63	4	4
010	244.14	128	—
011	976.56	512	—
100	1953.13	1024	—
101	3906.25	2048	—
110	7812.5	4096	—
111	31250	16384	—

6.1.3 機能

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を TBTCK で選択) の最初の立ち上がりから発生します。

なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 6-2 参照)。

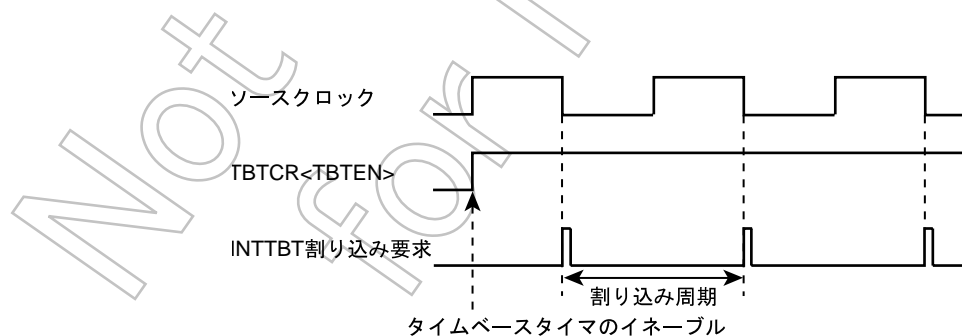


図 6-2 タイムベースタイマ割り込み

6.2 デバイダ出力 (\overline{DVO})

タイミングジェネレータのデバイダによってデューティ約 50% のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、 \overline{DVO} 端子から出力されます。

6.2.1 構成

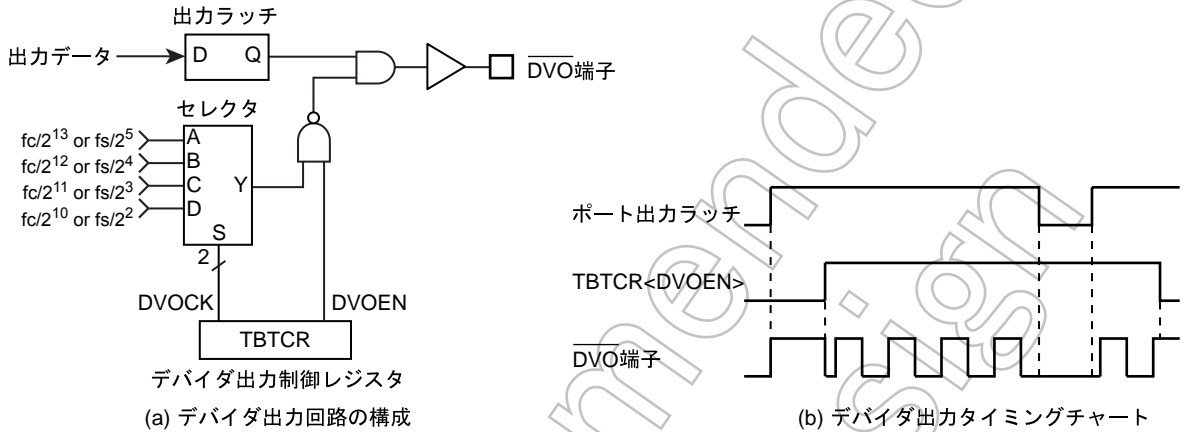


図 6-3 デバイダ出力

6.2.2 制御

デバイダ出力は、タイムベースタイマ制御レジスタで制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	DVOEN	DVOCK	(DV7CK)	(TBTEN)				(TBTCK)	(初期値: 0000 0000)

DVOEN	デバイダ出力の許可/禁止	0: ディセーブル 1: イネーブル			R/W	
DVOCK	デバイダ出力 (\overline{DVO} 端子) の周波数選択 単位: [Hz]		NORMAL1/2, IDLE1/2 モード		R/W	
			DV7CK = 0	DV7CK = 1		SLOW1/2, SLEEP1/2 モード
		00	$fc/2^{13}$	$fs/2^5$		$fs/2^5$
		01	$fc/2^{12}$	$fs/2^4$		$fs/2^4$
		10	$fc/2^{11}$	$fs/2^3$		$fs/2^3$
		11	$fc/2^{10}$	$fs/2^2$	$fs/2^2$	

注) デバイダ出力の周波数選択 (DVOCK) の変更は、デバイダ出力が禁止の状態 (DVOEN="0")で行ってください。許可状態 (DVOEN="1") から禁止状態 (DVOEN="0") に設定する際もデバイダ出力周波数の設定を変更しないでください。

(プログラム例) 1.95 kHz のパルスを出力 ($f_c = 16.0$ MHz)

```

          ポートを設定
LD      (TBTCR), 00000000B      ; DVOCK ← "00"
LD      (TBTCR), 10000000B      ; DVOEN ← "1"

```

表 6-2 デバイダ出力の周波数 (例: $f_c = 16.0$ MHz, $f_s = 32.768$ kHz 時)

DVOCK	デバイダ出力の周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード
	DV7CK = 0	DV7CK = 1	
00	1.953 k	1.024 k	1.024 k
01	3.906 k	2.048 k	2.048 k
10	7.813 k	4.096 k	4.096 k
11	15.625 k	8.192 k	8.192 k

第7章 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作（暴走）やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、「リセット要求」または「割り込み要求」のいずれかをプログラムで選択することができます。ただし、選択は1回限りです。リセット解除時は、「リセット要求」に初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

注) 外乱ノイズなどの影響によってはウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

7.1 ウォッチドッグタイマの構成

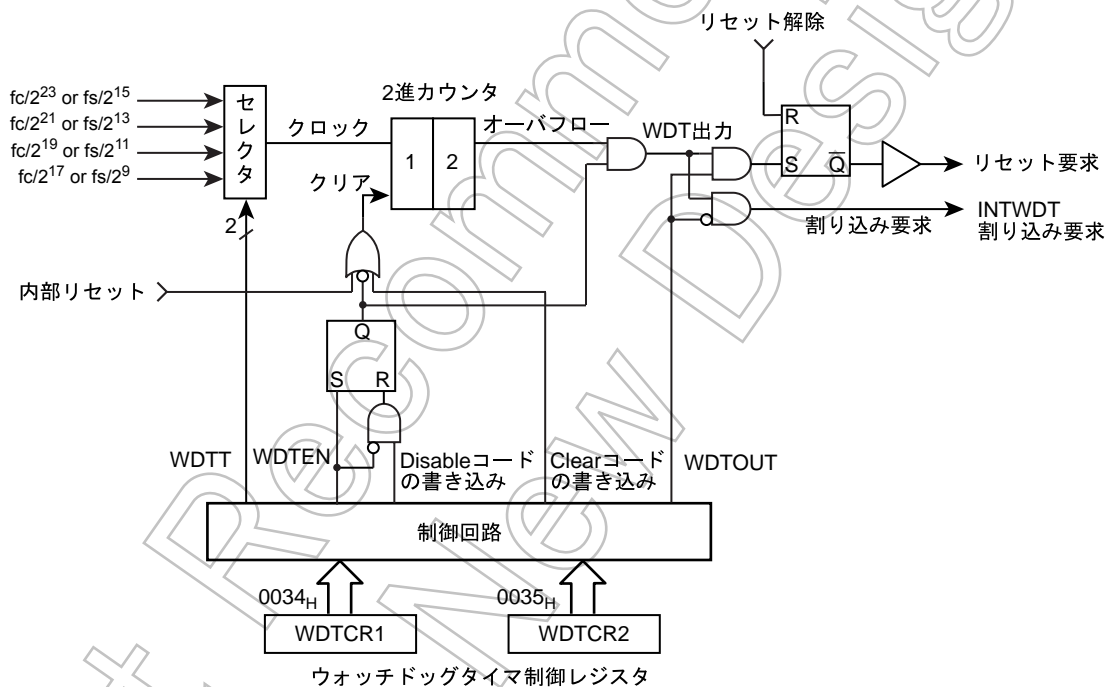


図 7-1 ウォッチドッグタイマの構成

7.2 ウォッチドッグタイマの制御

ウォッチドッグタイマは、ウォッチドッグタイマ制御レジスタ (WDTTCR1、WDTTCR2) によって制御されます。なおウォッチドッグタイマはリセット解除後、自動的にイネーブルになります。

7.2.1 ウォッチドッグタイマによる暴走検出の方法

CPU の暴走検出を行うには、次のようにします。

1. 検出時間の設定、出力の選択および2進カウンタのクリア
2. 設定した検出時間以内ごとに2進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われない場合、2進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このとき WDTCR1<WDTOUT> = “1” なら、リセット要求が発生し内蔵ハードウェアをリセットします。また、WDTCR1<WDTOUT> = “0” なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOPモード (ウォーミングアップ中を含む) または IDLE/SLEEPモード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLE/SLEEPモード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマは内部デバイダと2段の2進カウンタによって構成されており、クリアコード (4EH) を書き込んだ場合、2進カウンタはクリアされますが、内部デバイダはクリアされません。従って2進カウンタのオーバフロー時間は、WDTCR2レジスタにクリアコード (4EH) を書き込むタイミングによって、最短で WDTCR1<WDTT> の設定時間の3/4となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

(プログラム例) ウォッチドッグタイマ検出時間を $2^{21}/fc$ [s] に設定し、暴走検出リセットを行う。

```

LD      (WDTCR2), 4EH          ;2進カウンタのクリア
LD      (WDTCR1), 00001101B   ;WDTT ← 10, WDTOUT ← 1
LD      (WDTCR2), 4EH          ;2進カウンタのクリア
WDT 検出
時間 3/4 以内
:
:                               ;WDTT 変更直前直後は必ずクリア; します)
LD      (WDTCR2), 4EH          ;2進カウンタのクリア
WDT 検出
時間 3/4 以内
:
LD      (WDTCR2), 4EH          ;2進カウンタのクリア
    
```

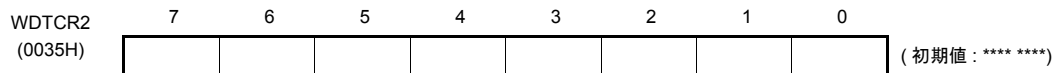
ウォッチドッグタイマ制御レジスタ

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	
	—	—	(ATAS)	(ATOUT)	WDTEN	WDTT	WDTOUT		(初期値: **11 1001)

WDTEN	ウォッチドッグタイマの許可/禁止	0: 禁止 (WDTCR2 にディセーブルコードを書き込む必要あり) 1: 許可			Write only
WDTT	ウォッチドッグタイマ検出時間の設定 単位: [s]	NORMAL1/2 モード			Write only
			SLOW1/2 モード		
		DV7CK = 0	DV7CK = 1		
		00	$2^{25}/fc$	$2^{17}/fs$	
	01	$2^{23}/fc$	$2^{15}/fs$	$2^{15}/fs$	
	10	$2^{21}/fc$	$2^{13}/fs$	$2^{13}/fs$	
	11	$2^{19}/fc$	$2^{11}/fs$	$2^{11}/fs$	
WDTOUT	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット要求			Write only

- 注 1) WDTOUT を “0” にクリア後は、プログラムで “1” に再セットできません。
- 注 2) fc; 高周波クロック [Hz] fs; 低周波クロック [Hz] *; Don't care
- 注 3) WDTCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。読み出すと不定値が読み込まれるためです。
- 注 4) STOPモード起動時は、STOPモードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。また、カウンタをクリアした場合、STOPモード解除直後に再度カウンタをクリアしてください。
- 注 5) WDTEN を “1” から “0” に切り替える場合は、誤動作の原因となる場合がありますので「7.2.3 -- ウォッチドッグタイマのディセーブル」に従ってレジスタを設定してください。

ウォッチドッグタイマ制御レジスタ 2



WDTCR2	ウォッチドッグタイマの制御コード書き込み	4EH:	ウォッチドッグタイマの2進カウンタのクリア (クリアコード)	Write only
		B1H:	ウォッチドッグタイマのディセーブル (ディセーブルコード)	
		D2H:	アドレストラップ領域選択有効	
		その他	無効	

- 注 1) ディセーブルコードは、WDTCR1<WDTEN> = “0” のとき以外は書き込み無効です。
- 注 2) *: Don't care
- 注 3) ウォッチドッグタイマの2進カウンタのクリアは割り込みタスクで行わないでください。
- 注 4) クリアコード (4EH) は WDTCR1<WDTT> の設定時間の 3/4 以内に書き込んでください。

7.2.2 ウォッチドッグタイマのイネーブル

ウォッチドッグタイマは、WDTCR1<WDTEN> を “1” にセットするとイネーブルになります。リセット時、WDTCR1<WDTEN> は “1” に初期化されますので、リセット解除後は自動的にイネーブルになります。

7.2.3 ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルにするには、以下の順序でレジスタを設定してください。以下の順序以外の方法でレジスタを設定すると、マイコンが誤動作する場合があります。

1. 割り込みマスタ許可フラグ (IMF) を “0” に設定します。
2. WDTCR2 にクリアコード (4EH) を設定します。
3. WDTCR1<WDTEN> を “0” に設定します。
4. WDTCR2 にディセーブルコード (B1H) を設定します。

注) ウォッチドッグタイマのディセーブル中は、ウォッチドッグタイマの2進カウンタはクリアされています。

(プログラム例) ウォッチドッグタイマのディセーブル

```
DI ; IMF ← 0
LD (WDTCR2), 04EH ; 2進カウンタのクリア
LDW (WDTCR1), 0B101H ; WDTEN ← 0, WDTCR2 ← ディセーブルコード
```

表 7-1 ウォッチドッグタイマ検出時間 (例 : fc = 16.0 MHz, fs = 32.768 kHz 時)

WDTT	ウォッチドッグタイマ検出時間 [S]		
	NORMAL 1/2 モード		SLOW モード
	DV7CK = 0	DV7CK = 1	
00	2.097	4	4
01	524.288 m	1	1
10	131.072 m	250 m	250 m
11	32.768 m	62.5 m	62.5 m

7.2.4 ウォッチドッグタイマ割り込み (INTWDT)

WDTCR1<WDTOUT> が “0” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマ割り込み要求 (INTWDT) が発生します。

ウォッチドッグタイマ割り込みはノンマスクابل割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくならず割り込みは受け付けられます。

また、他の割り込み (ウォッチドッグタイマ割り込みを含む) を受付け中にウォッチドッグタイマ割り込みが発生した場合、先の割り込み処理は保留され、直ちにウォッチドッグタイマ割り込み処理が実行されます。従って RETN 命令が実行されないままウォッチドッグタイマ割り込みが連続して発生すると、過重なネスタイングによりマイコンが誤動作する場合があります。

なお、ウォッチドッグタイマ割り込みを使用する場合は、WDTCR1<WDTOUT> を設定する前にスタックポインタを設定してください。

(プログラム例) ウォッチドッグタイマ割り込みの設定例

```
LD      SP, 063FH          ;SP の設定
LD      (WDTCR1), 00001000B ;WDTOUT ← 0
```

7.2.5 ウォッチドッグタイマリセット

WDTCR1<WDTOUT> が “1” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマのリセット要求が発生します。ウォッチドッグタイマのリセット要求が発生すると、内蔵ハードウェアはリセットされます。リセット時間は、最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ $f_c = 16.0 \text{ MHz}$) です。

注) SLOW1 モードでウォッチドッグタイマリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は最大で $24/f_c$ (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

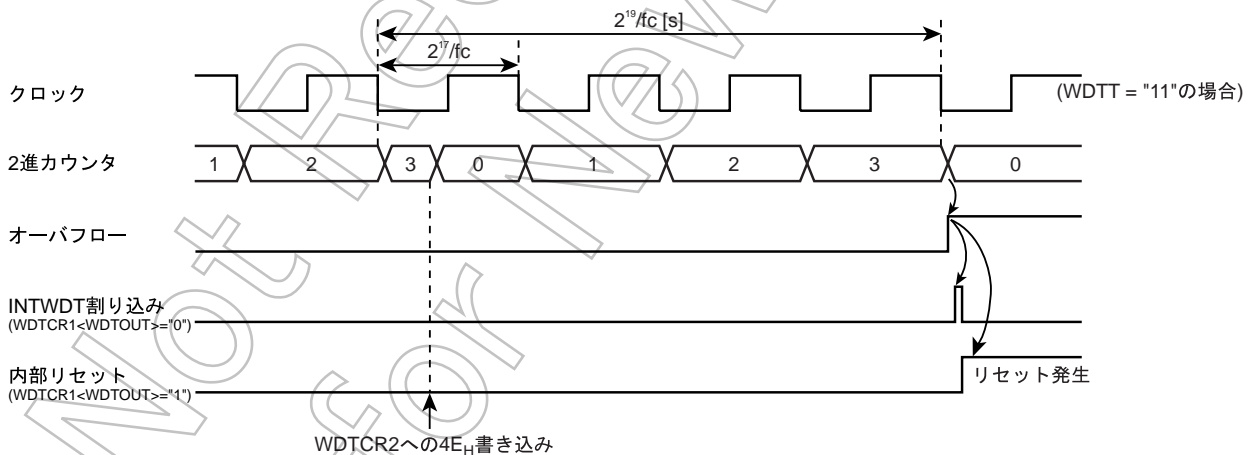


図 7-2 ウォッチドッグタイマ割り込み / リセット

7.3 アドレストラップ

ウォッチドッグタイマ制御レジスタ 1, 2 は、アドレストラップ時の制御用レジスタと兼用となっています。

ウォッチドッグタイマ制御レジスタ 1

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	(初期値: **11 1001)
	—	—	ATAS	ATOUT	(WDTEN)	(WDTT)		(WDTOUT)	

ATAS	内蔵 RAM 領域のアドレストラップ選択	0:	アドレストラップ発生しない	Write only
		1:	アドレストラップ発生する (ATAS の設定後 WDTCR2 に制御コード “D2H” 書き込む必要あり)	
ATOUT	アドレストラップ発生時の動作選択	0:	割り込み要求	Write only
		1:	リセット要求	

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H)	7	6	5	4	3	2	1	0	(初期値: **** *)

WDTCR2	ウォッチドッグタイマの制御コード書き込み 兼 アドレストラップ領域選択の制御コード書き込み	D2H:	アドレストラップ領域選択有効 (ATRAP 設定コード)	Write only
		4EH:	ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード)	
		B1H:	ウォッチドッグタイマのディセーブル (WDT ディセーブルコード)	
		その他:	無効	

7.3.1 内蔵 RAM 領域のアドレストラップ選択 (ATAS)

内蔵 RAM 領域は、WDTCR1<ATAS> によってアドレストラップする / しないを選択することができます。内蔵 RAM 領域で命令を実行する場合、WDTCR1<ATAS> を “0” に設定します。WDTCR1<ATAS> の設定は、WDTCR1 の設定後、WDTCR2 に “D2H” を書き込むことで有効となります。

SFR, DBR 領域内で命令を実行すると、WDTCR1<ATAS> の設定にかかわらず無条件にアドレストラップが発生します。

7.3.2 アドレストラップ発生時の動作選択 (ATOUT)

アドレストラップ発生時は、WDTCR1<ATOUT> によって「割り込み要求」か、「リセット要求」のいずれかを選択することができます。

7.3.3 アドレストラップ割り込み (INTATRAP)

WDTCR1<ATOUT> が “0” の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時のみ)、DBR または SFR 領域から命令をフェッチしようとするアドレストラップ割り込み要求 (INTATRAP) が発生します。

アドレストラップ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくかならず割り込みは受け付けられます。

また、他の割り込み (アドレストラップ割り込みを含む) を受付け中にアドレストラップ割り込みが発生した場合、先の割り込み処理は保留され、直ちにアドレストラップ割り込み処理が実行されます。従って RETN 命令が実行されないままアドレストラップ割り込みが連続して発生すると、過重なネスティングによりマイコンが誤動作する場合があります。

なお、アドレストラップ割り込みを使用する場合は、事前にスタックポインタを設定してください。

7.3.4 アドレストラップリセット

WDTCR1<ATOUT> が “1” の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時のみ)、DBR または SFR 領域から命令をフェッチしようとするアドレストラップリセット要求が発生します。

アドレストラップのリセット要求が発生すると、内蔵ハードウェアはリセットされます。リセット時間は、最大 $24/fc$ [s] ($1.5 \mu\text{s}$ @ $fc = 16.0 \text{ MHz}$) です。

注) SLOW1 モードでアドレストラップリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は最大で $24/fc$ (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

第 8 章 18 ビットタイマカウンタ 1 (TC1)

8.1 構成

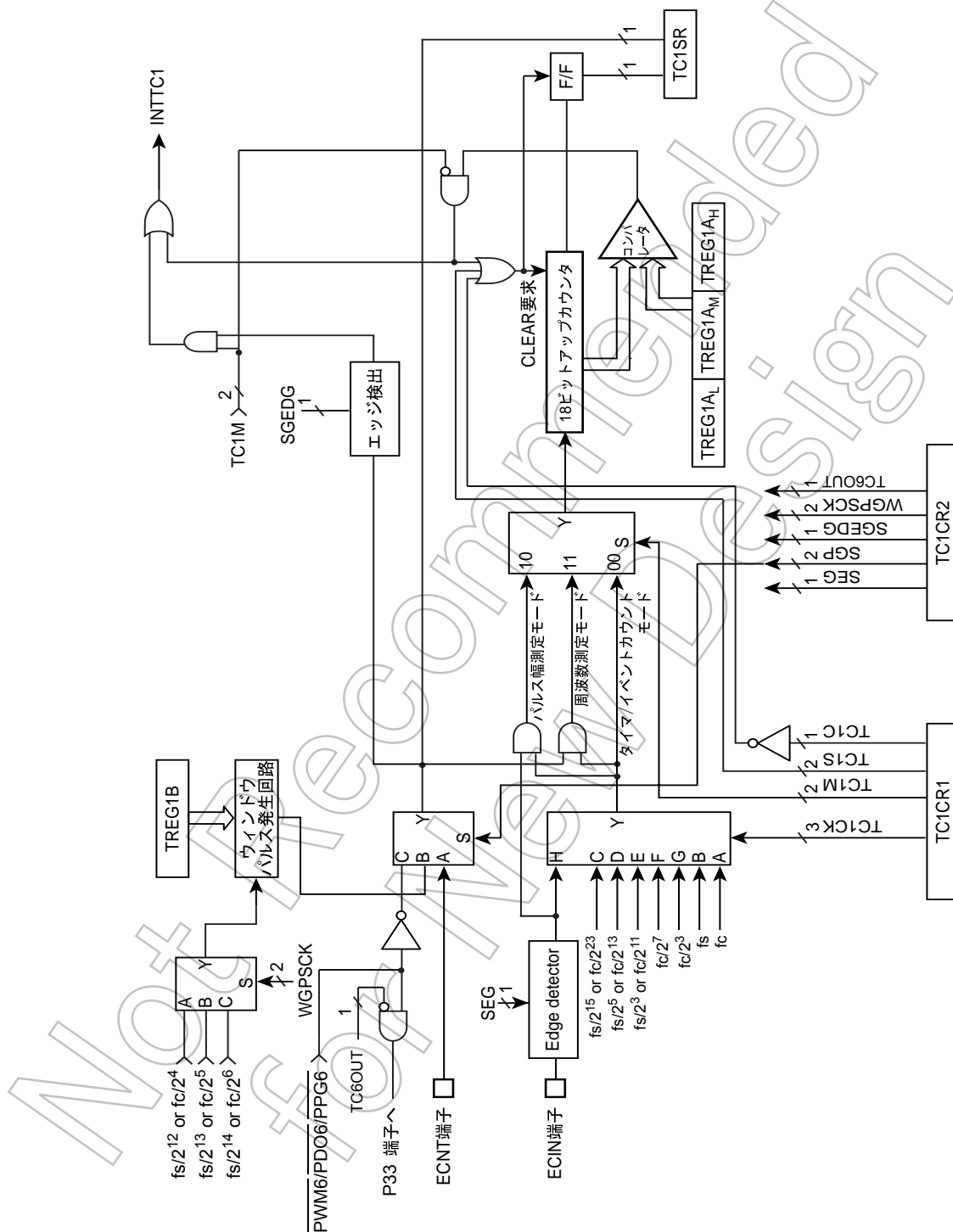


図 8-1 タイマカウンタ 1 (TC1)

8.2 制御

タイマカウンタ 1 は、タイマカウンタ 1 制御レジスタ (TC1CR1 / TC1CR2), 18 ビットタイマレジスタ (TREG1A) および 8 ビットの内部ウィンドウゲートパルス設定レジスタ (TREG1B) で制御されます。

タイマレジスタ TREG1A

	7	6	5	4	3	2	1	0	
TREG1AH (0012H) R/W	-	-	-	-	-	-	TREG1AH		(初期値: **** *00)

	7	6	5	4	3	2	1	0	
TREG1AM (0011H) R/W	TREG1AM								(初期値: 0000 0000)

	7	6	5	4	3	2	1	0	
TREG1AL (0010H) R/W	TREG1AL								(初期値: 0000 0000)

タイマレジスタ TREG1B

	7	6	5	4	3	2	1	0	
TREG1B (0013H)	Ta				Tb				(初期値: 0000 0000)

	WGPSCK	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	R/W
		DV7CK=0	DV7CK=1		
Ta ウィンドウゲートパルスの "H" レベル 期間の設定	00	$(16 - Ta) \times 2^{12}/fc$	$(16 - Ta) \times 2^4/fs$	$(16 - Ta) \times 2^4/fs$	R/W
	01	$(16 - Ta) \times 2^{13}/fc$	$(16 - Ta) \times 2^5/fs$	$(16 - Ta) \times 2^5/fs$	
	10	$(16 - Ta) \times 2^{14}/fc$	$(16 - Ta) \times 2^6/fs$	$(16 - Ta) \times 2^6/fs$	
Tb ウィンドウゲートパルスの "L" レベル 期間の設定	00	$(16 - Tb) \times 2^{12}/fc$	$(16 - Tb) \times 2^4/fs$	$(16 - Tb) \times 2^4/fs$	R/W
	01	$(16 - Tb) \times 2^{13}/fc$	$(16 - Tb) \times 2^5/fs$	$(16 - Tb) \times 2^5/fs$	
	10	$(16 - Tb) \times 2^{14}/fc$	$(16 - Tb) \times 2^6/fs$	$(16 - Tb) \times 2^6/fs$	

タイマカウンタ制御レジスタ 1

	7	6	5	4	3	2	1	0	
TC1CR1 (0014H)	TC1C	TC1S	TC1CK			TC1M		(初期値: 1000 1000)	

TC1C	カウンタ / オーバフローフラグクリア要求	0: カウンタ / オーバフローフラグクリア要求 (クリア後、自動的に "1" にセットされます) 1: カウンタ / オーバフローフラグをクリアしない	R/W
TC1S	タイマカウンタ 1 のスタート制御	00: ストップ & カウンタクリア (オーバフローフラグもクリアされます) 10: スタート *1: Reserved	R/W
TC1CK	タイマカウンタ 1 のソースクロックの選択	NORMAL1/2, IDLE1/2 モード	R/W
		DV7CK="0" DV7CK="1"	
		000: fc fc fc fc 001: fs fs - - 010: $fc/2^{23}$ $fs/2^{15}$ $fs/2^{15}$ $fs/2^{15}$ 011: $fc/2^{13}$ $fs/2^5$ $fs/2^5$ $fs/2^5$ 100: $fc/2^{11}$ $fs/2^3$ $fs/2^3$ $fs/2^3$ 101: $fc/2^7$ $fc/2^7$ - - 110: $fc/2^3$ $fc/2^3$ - - 111: 外部クロック (ECIN 端子入力)	
TC1M	タイマカウンタ 1 の動作モードの選択	00: タイマ / イベントカウンタモード 01: Reserved 10: パルス幅測定モード 11: 周波数測定モード	R/W

- 注 1) fc ; 高周波クロック [Hz] fs ; 低周波クロック [Hz] * ; Don't care
- 注 2) タイマレジスタの下位側 (TREG1AL, TREG1AM) に書き込むと上位側 (TREG1AH) への書き込みが終わるまで、一致検出を停止します (従ってタイマレジスタの下位側だけの変更はできません)。また、上位側への書き込み後 1 マシンサイクル以内 (すなわち命令実行中) の一致検出も無視されます。
- 注 3) モード、ソースクロック、エッジ (選択) は、停止 (TC1S = 00) 状態で設定してください。
- 注 4) ソースクロックに fc を選択できるのは、タイマモード (SLOW 時) とパルス幅測定モード (NORMAL 1/2 または IDLE 1/2 時) だけです。
- 注 5) タイマレジスタ (TREG1A) にリード命令を実行すると、レジスタ設定値ではなくカウンタ即値が読み出され、TREG1A に書き込んだ値を読み出すことはできません。従ってカウンタ即値を読み出す場合、カウント中にリード命令を実行すると不定値が読み出されることがありますので、必ずカウントが停止している状態でリードしてください。
- 注 6) タイマレジスタの設定は TREG1A ≥ 1 で使用してください。
- 注 7) タイマモード / パルス幅測定モードで使用する場合、ソースクロックの選択 (TC1CK) は内部クロックに設定してください。
- 注 8) イベントカウンタモードで使用する場合、ソースクロックの選択 (TC1CK) は外部クロックに設定してください。
- 注 9) タイマレジスタ (TREG1A) は書き込み値、読み出し値が異なりますのでリードモディファイライト命令ではアクセスしないでください。
- 注 10) SLOW モード / SLEEP モードでは $fc/2^7$, $fc/2^3$ はソースクロックとして選択できません。
- 注 11) TREG1AH の bit2~7 は常に "0" が読み出されます。("1" は書き込めません)。

タイマカウンタ 1 制御レジスタ 2

	7	6	5	4	3	2	1	0	
TC1CR2 (0015H)	SEG	SGP	SGEDG	WGPSCK	TC6OUT	"0"	(初期値: 0000 000*)		

SEG	外部入カロック (ECIN) エッジ 選択	0: 立ち下がりエッジでカウント 1: 立ち下がり / 立ち上がり両エッジでカウント	R/W				
SGP	ウィンドウゲートパルスの選択	00: ECNT 入力 01: 内部ウィンドウゲートパルス (TREG1B) 10: PWM6/PDO6/PPG6 (TC6) 出力 11: Reserved	R/W				
SGEDG	ウィンドウゲートパルス 割り込みエッジの選択	0: 立ち下がりエッジで割り込み 1: 立ち下がり / 立ち上がり両エッジで割り込み					
WGPSCK	ウィンドウゲートパルス ソースクロックの選択			R/W			
			NORMAL1/2, IDLE1/2 modes		SLOW1/2 mode	SLEEP1/2 mode	
			DV7CK="0"		DV7CK="1"		
		00:	2 ¹² /fc		2 ⁴ /fs	2 ⁴ /fs	2 ⁴ /fs
		01:	2 ¹³ /fc		2 ⁵ /fs	2 ⁵ /fs	2 ⁵ /fs
10:	2 ¹⁴ /fc	2 ⁶ /fs	2 ⁶ /fs	2 ⁶ /fs			
11:	Reserved	Reserved	Reserved	Reserved			
TC6OUT	TC6 出力 (PWM6/PDO6/PPG6) の外 部出力の選択	0: P33 へ出力する 1: P33 へ出力しない	R/W				

注 1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz] *: Don't care

注 2) TC1CR2 の設定はタイマカウンタ停止状態 (TC1S = 00) で行ってください。

注 3) PWM6/PDO6/PPG6 をタイマカウンタ 1 のウィンドウゲートパルスとして使用しない場合は、TC6OUT は "0" に設定してください。

注 4) TC1CR2 の 0 ビット目には、必ず "0" を書き込んでください。

注 5) イベントカウンタモードまたはパルス幅測定モードを使用する場合、SEG は "0" に設定してください。

タイマカウンタ 1 ステータスレジスタ

	7	6	5	4	3	2	1	0	
TC1SR (0016H)	HECF	HEOVF	"0"	"0"	"0"	"0"	"0"	"0"	(初期値 : 0000 0000)

HECF	動作状態モニタ	0: 停止 (Tb の期間) またはディセーブル 1: カウント動作中 (Ta の期間)	Read only
HEOVF	カウンタオーバフローモニタ	0: オーバフロー未検出 1: オーバフロー状態	

8.3 機能

タイマカウンタ 1 には、4 つの動作モードがあります。また、SLOW モードから NORMAL2 モードへの切り替え時のウォーミングアップの際、通常タイマカウンタ 1 のタイマモードを使用します。

8.3.1 タイマモード

内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 1A (TREG1A) の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタがクリアされます。カウントアップは、アップカウンタがクリアされた後も続きます。

表 8-1 タイマカウンタ 1 のソースクロック (内部クロック)

ソースクロック				分解能		最大設定時間	
NORMAL1/2, IDLE1/2 モード		SLOW モード	SLEEP モード	fc = 16 MHz	fs = 32.768 kHz	fc = 16 MHz	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1						
fc/2 ²³ [Hz]	fs/2 ¹⁵ [Hz]	fs/2 ¹⁵ [Hz]	fs/2 ¹⁵ [Hz]	0.52 s	1 s	38.2 h	72.8 h
fc/2 ¹³	fs/2 ⁵	fs/2 ⁵	fs/2 ⁵	512 μs	0.98 ms	2.2 min	4.3 min
fc/2 ¹¹	fs/2 ³	fs/2 ³	fs/2 ³	128 μs	244 μs	0.6 min	1.07 min
fc/2 ⁷	fc/2 ⁷	—	—	8 μs	—	2.1 s	—
fc/2 ³	fc/2 ³	—	—	0.5 μs	—	131.1 ms	—
fc	fc	fc (注)	—	62.5 ns	—	16.4 ms	—
fs	fs	—	—	—	30.5 μs	—	8 s

注) SLOW モードでソースクロックに fc を選択した場合は、TREG1A の下位 11 ビットは無視され、上位 7 ビットの一一致で割り込みが発生します。

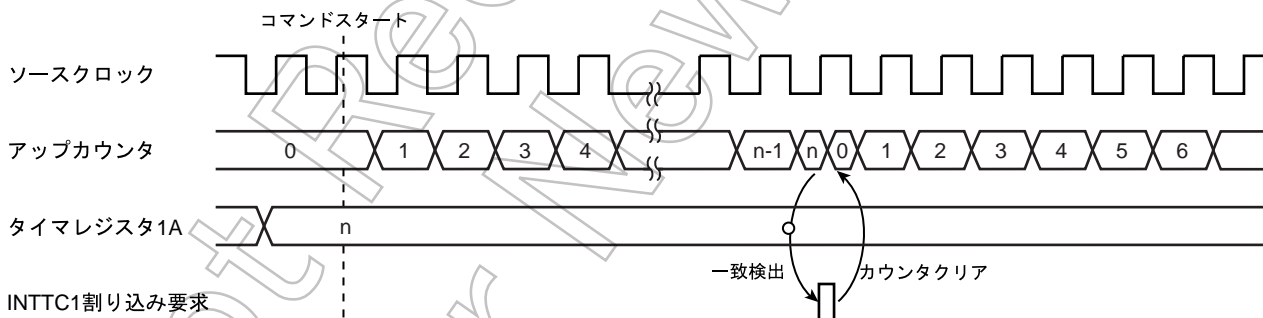


図 8-2 タイマモードタイミングチャート

8.3.2 イベントカウンタモード

ECIN 端子入力の立ち下がりエッジでカウントアップするモードです。このモードを使用する場合は TC1CR1<TC1CK> を外部クロックに設定し、TC1CR2<SEG> を "0" に設定してください (両エッジは使用できません)。

アップカウンタの値と TREG1A の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタの内容はクリアされます。カウンタクリア後も ECIN 端子入力のエッジごとにカウントアップします。最大印加周波数は、fc/2⁴ [Hz] (NORMAL1/2 または IDLE1/2 モード時)、fs/2⁴ [Hz] (SLOW, SLEEP モード時) で、“H”、“L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。

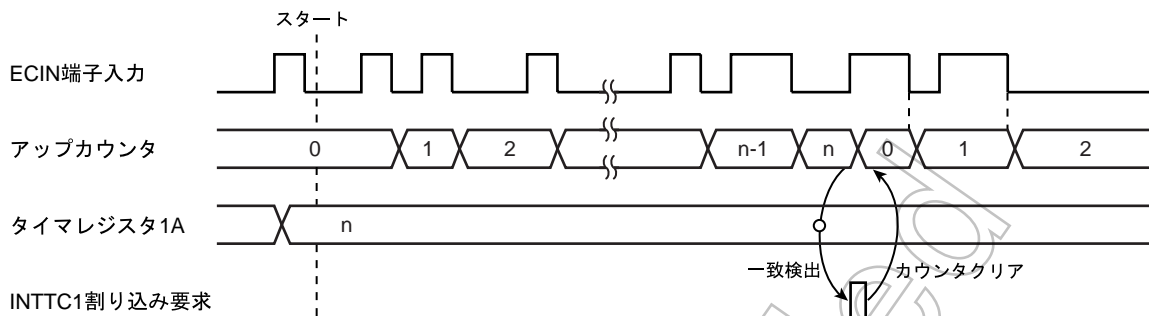


図 8-3 イベントカウンタモードタイミングチャート

8.3.3 パルス幅測定モード

ECIN 端子入力 (ウィンドウパルス) と内部クロックとの論理積パルスの立ち下がりエッジでカウントアップするモードです。内部クロックは、TC1CK で選択します。このモードを使用する場合は、TC1CR1<TC1CK> を適切な内部クロックに設定し、TC1CR2<SEG> を "0" に設定してください (両エッジは使用できません)。

ECIN 端子入力がウィンドウパルスの立ち下がりエッジもしくは立ち上がり / 立ち下がり の両エッジ (TC1CR2 の SGEDG により選択可能) を検出すると INTTC1 割り込み要求が発生します。

カウンタ値 (TREG1A) の読み出しは、カウントが停止している状態 (ECIN 端子が “L” の期間) で行い、その後 TC1C によりカウンタをクリアしてください (通常これらは割り込みサービスプログラムで実行してください)。TC1CR1<TC1C> によってカウンタがクリアされない場合、前回停止したカウンタ値よりカウントアップを再開します。TREG1A が 3FFFFH から 00000H にカウントアップしたとき、オーバフローが発生します。オーバフローが発生すると TC1SR<HEOVF> は "1" にセットされます。なお TC1SR<HEOVF> は、TC1CR1<TC1C> によってカウンタクリアを要求しない限り前回のデータが残ったままになります。

注) パルス幅測定モードにおいて ECIN 端子入力が “1” のとき、タイマカウンタ 1 のスタート制御 (TC1S) を “00” (ストップ & カウンタクリア) に設定すると INTTC1 割り込み要求が発生します。従ってタイマカウンタを停止するときは、以下のような手順で INTTC1 割り込みラッチを "0" にクリアしてください。

(プログラム例)

```

TC1STOP:
    |
    |
    DI                                ; IMF クリア
    CLR                                (EIRL). 7 ; EIRL のビット 7 をクリア
    LD                                (TC1CR1), 00011010B ; タイマ停止
    LD                                (ILL), 01111111B ; ILL のビット 7 をクリア
    SET                                (EIRL). 7 ; EIRL のビット 7 をセット
    EI                                ; IMF セット
    |
    |
    
```

- 注 1) パルス幅測定モードにおいてウィンドウパルスの割り込みエッジの選択 (SGEDG) が両エッジかつ ECIN 端子が “1” のとき、タイマカウンタ 1 のスタート制御 (TC1S) を “10” (スタート) に設定すると INTTC1 割り込みが発生します。
- 注 2) パルス幅測定モードでは、動作状態モニタ (HECF) を使用できません。
- 注 3) アップカウンタは (ECIN 端子入力と内部クロックの) 論理積の立ち下がりエッジでカウントアップしますので、内部クロックが “H” レベルの期間に ECIN 端子の入力が立ち下がるとアップカウンタが 1 進みます。

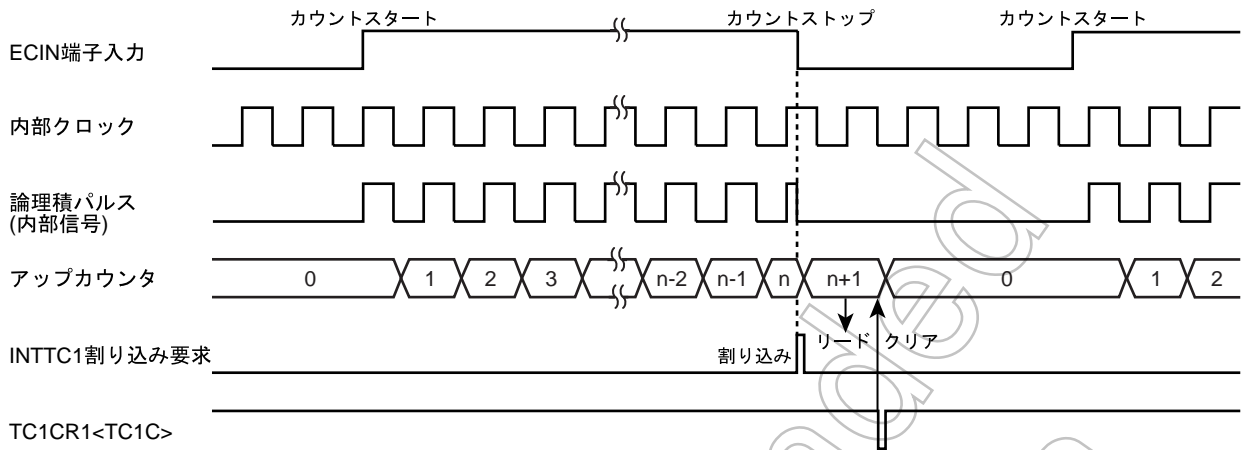


図 8-4 パルス幅測定モードタイミングチャート

8.3.4 周波数測定モード

ECIN 端子入力パルスの周波数を測定するモードです。このモードを使用する場合、TC1CK は外部クロックに設定してください。

TC1CR2<SGP> で選択されたウィンドウゲートパルスが“H”レベルの期間、ECIN 端子の入力パルスの立ち下りエッジをカウントします。ウィンドウゲートパルスとして ECIN 端子入力を使用する場合は TC1CR2<SPG> を“00”にセットしてください。

ウィンドウゲートパルスの立ち下りエッジもしくは立ち上がり / 立ち下り両エッジ (TC1CR2 の SGEDG により選択可能) を検出すると INTTC1 割り込み要求が発生します。

カウンタ値 (TREG1A) の読み出しは、割り込みサービスプログラムでカウントが停止している状態 (ウィンドウゲートパルスが“L”の期間) に行い、その後 TC1CR1<TC1C> によってカウンタをクリアしてください。カウンタをクリアしない場合、前回停止したカウント値よりカウントアップを再開します。

なお、ウィンドウパルスの状態はステータスレジスタの TC1SR<HECF> によりモニタできます。

TREG1A が 3FFFFH から 00000H にカウントアップしたとき、オーバフローが発生します。オーバフローが発生すると TC1SR<HEOVF> は“1”にセットされます。なお TC1SR<HEOVF> は、TC1CR1<TC1C> によってカウンタクリアを要求しない限り前回のデータが残ったままになります。

ウィンドウゲートパルスに TC6 出力 (PWM6/PDO6/PPG6) を使用した場合、TC1CR2<TC6OUT> により、PWM6/PDO6/PPG6 の外部 (P33) への出力制御が可能です。TC1CR2<TC6OUT> を“0”にクリアすると P33 から PWM6/PDO6/PPG6 が出力され、TC1CR2<TC6OUT> を“1”にセットすると P33 からは PWM6/PDO6/PPG6 は出力されません。

(TC1CR2<TC6OUT> は P33 からの出力のみ制御しますので、PWM6/PDO6/PPG6 の動作 / 停止はタイマカウンタ 6 制御レジスタにて行ってください)。

内部ウィンドウゲートパルスを選択した場合ウィンドウゲートパルスの設定は以下のようになります。

表 8-2 内部ウィンドウゲートパルス設定

		WGPSCK	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	
			DV7CK=0	DV7CK=1		
Ta	ウィンドウゲートパルスの"H"レベル 期間の設定	00	$(16 - Ta) \times 2^{12}/fc$	$(16 - Ta) \times 2^4/fs$	$(16 - Ta) \times 2^4/fs$	RW
		01	$(16 - Ta) \times 2^{13}/fc$	$(16 - Ta) \times 2^5/fs$	$(16 - Ta) \times 2^5/fs$	
		10	$(16 - Ta) \times 2^{14}/fc$	$(16 - Ta) \times 2^6/fs$	$(16 - Ta) \times 2^6/fs$	
Tb	ウィンドウゲートパルスの"L"レベル 期間の設定	00	$(16 - Tb) \times 2^{12}/fc$	$(16 - Tb) \times 2^4/fs$	$(16 - Tb) \times 2^4/fs$	
		01	$(16 - Tb) \times 2^{13}/fc$	$(16 - Tb) \times 2^5/fs$	$(16 - Tb) \times 2^5/fs$	
		10	$(16 - Tb) \times 2^{14}/fc$	$(16 - Tb) \times 2^6/fs$	$(16 - Tb) \times 2^6/fs$	

内部ウィンドウゲートパルスはカウントを行う時間すなわち“H”レベル期間 (Ta) とカウントを停止する時間すなわち“L”レベル期間 (Tb) から構成されそれぞれ TREG1B により独立に設定できます。従って、一周期は Ta + Tb となります。

- 注 1) 内部ウィンドウゲートパルスは、内部デバイダに同期して生成されますので、タイマスタート直後に最大でソースクロック (WGPSCK) の 1 周期分遅れることがあります。
- 注 2) 内部ウィンドウゲートパルスの設定は、タイマカウンタ停止中もしくは Tb 期間中に行ってください。なお、Tb 期間中に Tb を書き替えた場合、次の Tb の幅から反映されます。
- 注 3) TC1CR2<SEG>="1" の場合、ウィンドウゲートパルスが立ち下るとアップカウンタは ECIN 端子の入力レベルに関係なく 1 進みます。従って ECIN 端子の入力が常に "H" または "L" レベルにあると、カウント値は 1 になります。
- 注 4) TC1CR2<SEG>="0" の場合、アップカウンタは (ECIN 端子入力とウィンドウゲートパルスの) 論理積パルスの立ち下がりエッジでカウントされますので、ECIN 端子入力が "H" レベルの期間にウィンドウゲートパルスが立ち下るとアップカウンタは 1 進みます。従って ECIN 端子の入力が常に "H" レベルにあると、カウント値は 1 になります。

表 8-3 Ta, Tb の設定 (WGPSCK = 10, fc = 16 MHz)

設定値 n	設定時間	設定値	設定時間
0	16.38 ms	8	8.19ms
1	15.36 ms	9	7.17ms
2	14.34 ms	A	6.14ms
3	13.31 ms	B	5.12ms
4	12.29 ms	C	4.10ms
5	11.26 ms	D	3.07ms
6	10.24 ms	E	2.05ms
7	9.22 ms	F	1.02ms

表 8-4 Ta, Tb の設定 (WGPSCK = 10, fs = 32.768 kHz)

設定値 n	設定時間	設定値	設定時間
0	31.25 ms	8	15.63ms
1	29.30 ms	9	13.67ms
2	27.34 ms	A	11.72ms
3	25.39 ms	B	9.77ms
4	23.44 ms	C	7.81ms
5	21.48 ms	D	5.86ms
6	19.53 ms	E	3.91ms
7	17.58 ms	F	1.95ms

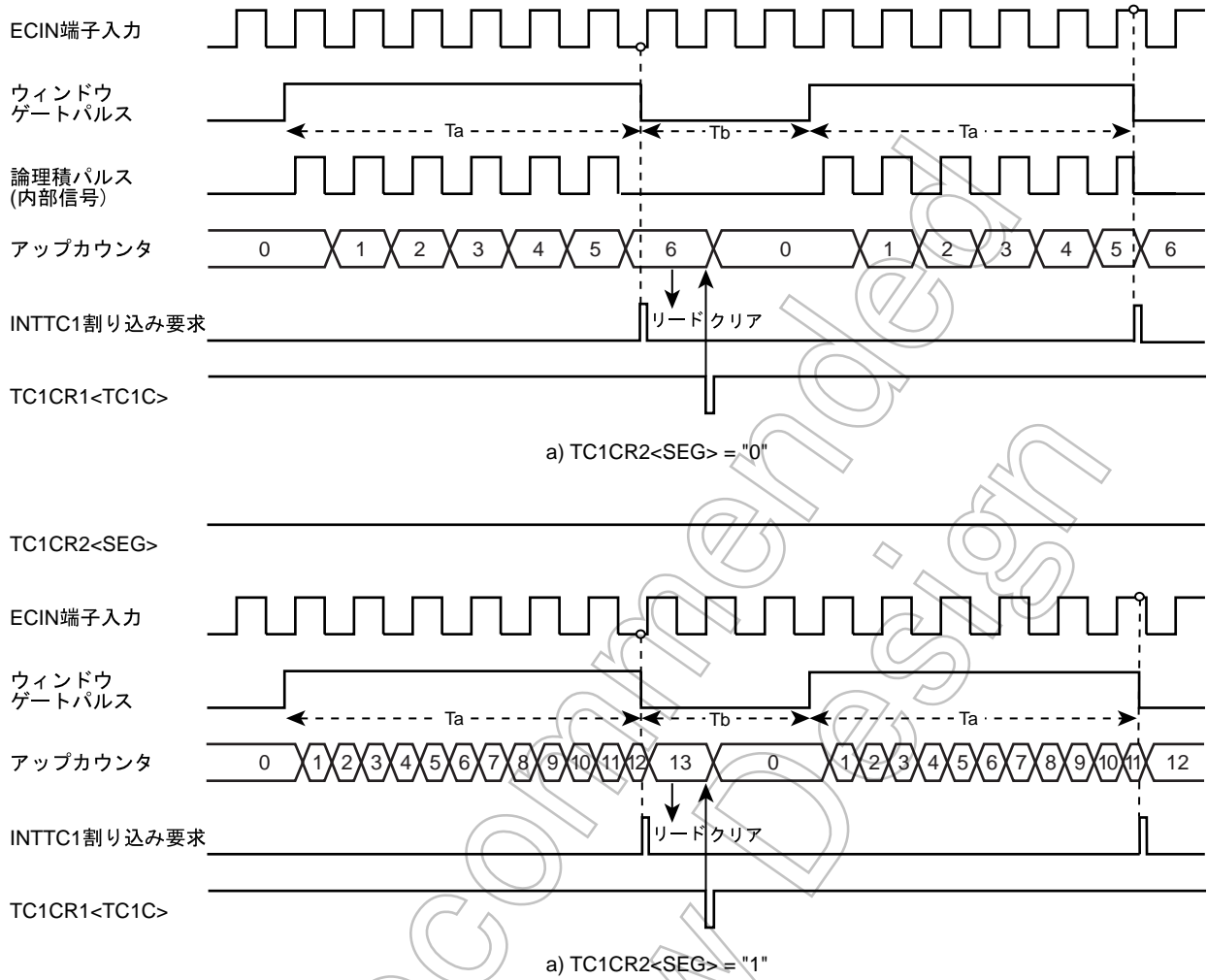


図 8-5 周波数測定モードタイミングチャート (ゲートパルス立ち下り割り込みの場合)

Not Recommended
for New Design

第9章 8ビットタイマカウンタ (TC3, TC4)

9.1 構成

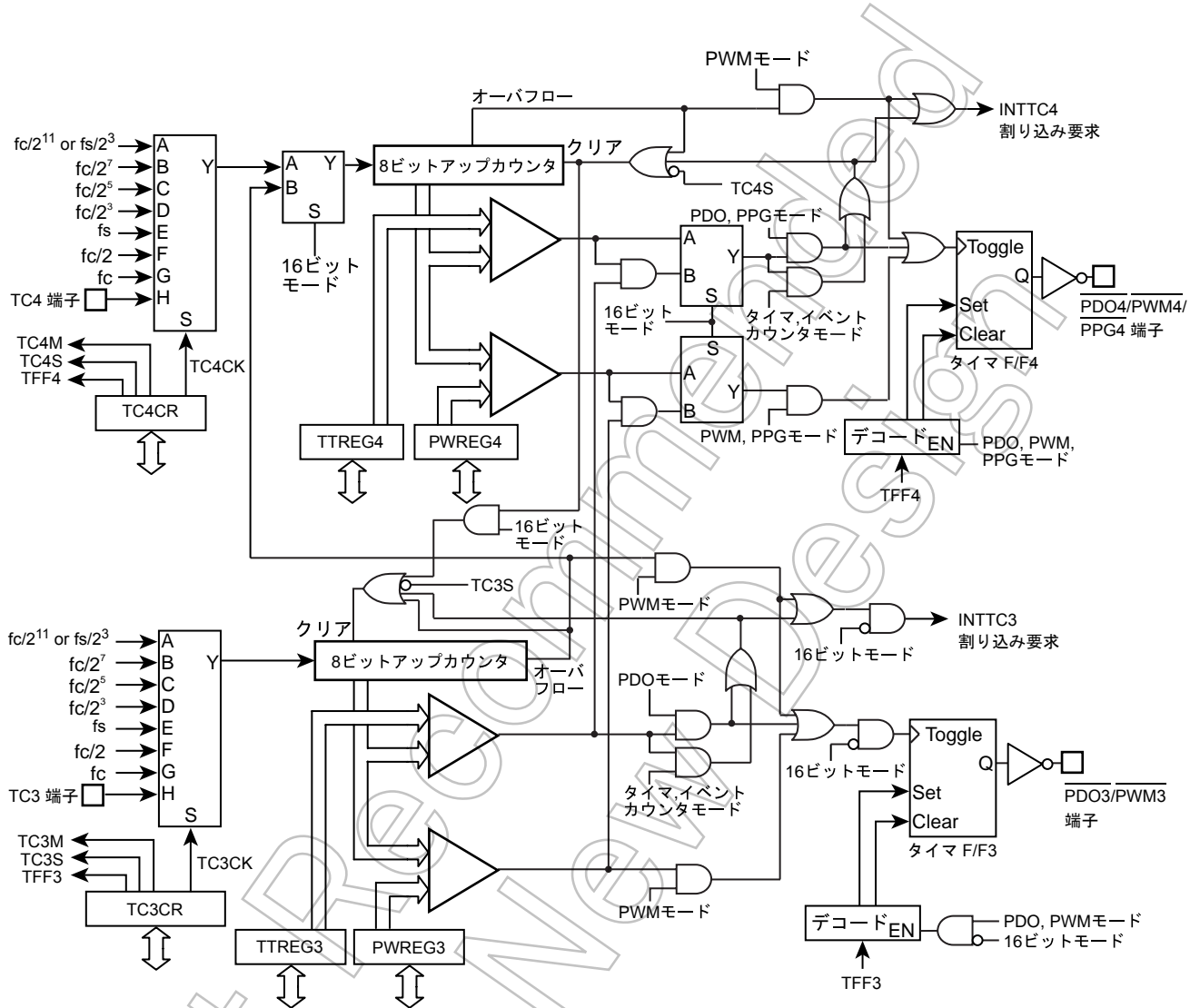
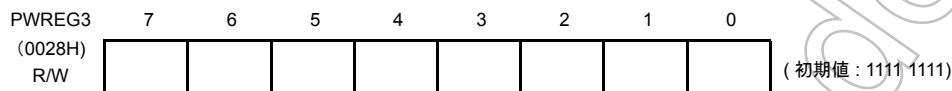
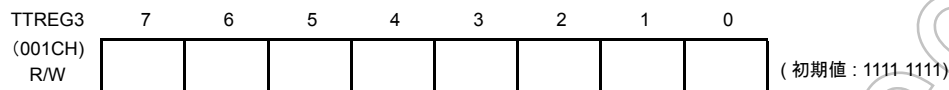


図 9-1 8ビットタイマカウンタ 3, 4

9.2 制御

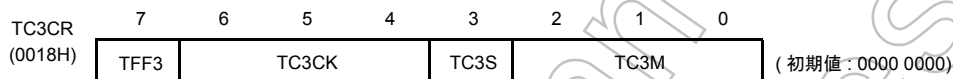
タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と2本の8ビットタイマレジスタ (TTREG3, PWREG3) で制御されます。

タイマカウンタ3のタイマレジスタ



- 注1) タイマ動作中は、タイマレジスタ (TTREG3) の設定値を変更しないでください。
- 注2) 8/16ビットPWMモード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG3) の設定値を変更しないでください。

タイマカウンタ3制御レジスタ



TFF3	タイマ F/F3 の制御	0: クリア 1: セット			R/W	
TC3CK	動作クロック選択 [Hz]	NORMAL 1/2, IDLE 1/2 モード		SLOW 1/2 SLEEP 1/2 モード	R/W	
		DV7CK = 0	DV7CK = 1			
		000	$fc/2^{11}$	$fs/2^3$		$fs/2^3$
		001	$fc/2^7$	$fc/2^7$		—
		010	$fc/2^6$	$fc/2^5$		—
		011	$fc/2^3$	$fc/2^3$		—
		100	fs	fs		fs
		101	$fc/2$	$fc/2$		—
110	fc	fc	fc (注8)			
111	TC3 端子入力					
TC3S	タイマスタート制御	0: 動作停止 & カウンタクリア 1: 動作開始			R/W	
TC3M	動作モード選択	000: 8ビットタイマ/イベントカウンタモード 001: 8ビットプログラマブルデバイダ出力 (PDO) モード 010: 8ビットパルス幅変調出力 (PWM) モード 011: 16ビットモード (各モード選択は TC4M にて設定してください) 1**: Reserved			R/W	

- 注1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz]
- 注2) タイマ動作中は、TC3M, TC3CK, TFF3 の設定を変更しないでください。
- 注3) タイマを動作停止 (TC3S = "1" → "0") するときは、TC3M, TC3CK, TFF3 の設定を変更しないでください。ただしタイマを動作開始 (TC3S = "0" → "1") するときは、TC3M, TC3CK, TFF3 の設定を変更することができます。
- 注4) 16ビットモードで使用する場合、動作モードの設定は TC4CR<TC4M> にて行い、TC3M は "011" に固定してください。
- 注5) 16ビットモードで使用する場合、ソースクロックの選択は TC3CK にて行い、タイマスタート制御、タイマ F/F の制御については TC4CR<TC4S>, TC4CR<TFF4> にて設定してください。
- 注6) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 9-1, 表 9-2 を参照してください。

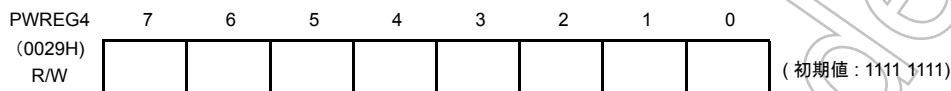
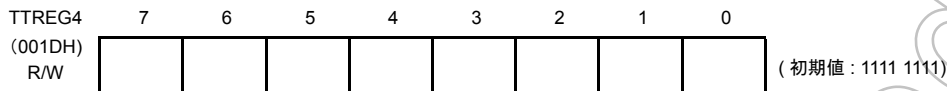
注 7) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 9-3 を参照してください。

注 8) SLOW, SLEEP モード時の動作クロック f_c は、高周波ウォーミングアップモードとしてのみ使用できます。

Not Recommended
for New Design

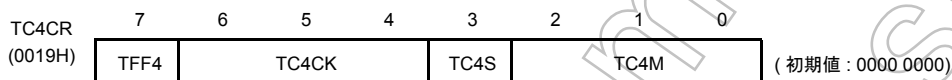
タイマカウンタ4は、タイマカウンタ4制御レジスタ (TC4CR) と2本の8ビットタイマレジスタ (TTREG4, PWREG4) で制御されます。

タイマカウンタ4のタイマレジスタ



- 注1) タイマ動作中は、タイマレジスタ (TTREG4) の設定値を変更しないでください。
- 注2) 8/16ビットPWMモード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG4) の設定値を変更しないでください。

タイマカウンタ4制御レジスタ



TFF4	タイマ F/F4 の制御	0: クリア 1: セット	NORMAL 1/2, IDLE 1/2 モード			R/W	
TC4CK	動作クロック選択 [Hz]		DV7CK = 0		SLOW 1/2 SLEEP 1/2 モード	R/W	
			DV7CK = 1				
			000	$fc/2^{11}$	$fs/2^3$		$fs/2^3$
			001	$fc/2^7$	$fc/2^7$		—
			010	$fc/2^5$	$fc/2^5$		—
			011	$fc/2^3$	$fc/2^3$		—
			100	fs	fs		fs
			101	fc/2	fc/2		—
110	fc	fc	—				
111	TC4 端子入力						
TC4S	タイマスタート制御	0: 動作停止 & カウンタクリア 1: 動作開始	R/W				
TC4M	動作モード選択	000: 8ビットタイマ/イベントカウンタモード 001: 8ビットプログラマブルデバイダ出力 (PDO) モード 010: 8ビットパルス幅変調出力 (PWM) モード 011: Reserved 100: 16ビットタイマ/イベントカウンタモード 101: ウォーミングアップカウンタモード 110: 16ビットパルス幅変調出力 (PWM) モード 111: 16ビットPPGモード	R/W				

- 注1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz]
- 注2) タイマ動作中は、TC4M, TC4CK, TFF4 の設定を変更しないでください。
- 注3) タイマを動作停止 (TC4S = "1" → "0") するときは、TC4M, TC4CK, TFF4 の設定を変更しないでください。ただしタイマを動作開始 (TC4S = "0" → "1") するときは、TC4M, TC4CK, TFF4 の設定を変更することができます。
- 注4) TC4M = 1** のとき (16ビットモードの上位側) のときは、TC4CK の設定に関係なく、ソースクロックは TC3 オーバフロー信号になります。
- 注5) 16ビットモードで使用する場合、動作モードの選択は TC4M にて行います。そのとき、TC3CR<TC3M> は必ず "011" に設定してください。

- 注 6) 16 ビットモードで使用する場合、ソースクロックの選択は TC3CR<TC3CK> にて行い、タイマスタート制御、タイマ F/ F の制御については TC4S、TFF4 にて設定してください。
- 注 7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 9-1、表 9-2 を参照してください。
- 注 8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 9-3 を参照してください。

Not Recommended
for New Design

表 9-1 動作モードと使用できるソースクロック (NORMLAL1/2, IDLE1/2 モード時)

動作モード	fc/2 ¹¹ or fs/2 ³	fc/2 ⁷	fc/2 ⁵	fc/2 ³	fs	fc/2	fc	TC3 端子 入力	TC4 端子 入力
8ビットタイマ	○	○	○	○	—	—	—	—	—
8ビットイベントカウンタ	—	—	—	—	—	—	—	○	○
8ビットPDO	○	○	○	○	—	—	—	—	—
8ビットPWM	○	○	○	○	○	○	○	—	—
16ビットタイマ	○	○	○	○	—	—	—	—	—
16ビットイベントカウンタ	—	—	—	—	—	—	—	○	—
ウォーミングアップカウンタ	—	—	—	—	○	—	—	—	—
16ビットPWM	○	○	○	○	○	○	○	○	—
16ビットPPG	○	○	○	○	—	—	—	○	—

注1) 16ビット動作 (16ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16ビットPWM、16ビットPPG) のソースクロックは下位ビット側 (TC3CK) にて設定してください。

表 9-2 動作モードと使用できるソースクロック (SLOW1/2, SLEEP1/2 モード時)

動作モード	fc/2 ¹¹ or fs/2 ³	fc/2 ⁷	fc/2 ⁵	fc/2 ³	fs	fc/2	fc	TC3 端子 入力	TC4 端子 入力
8ビットタイマ	○	—	—	—	—	—	—	—	—
8ビットイベントカウンタ	—	—	—	—	—	—	—	○	○
8ビットPDO	○	—	—	—	—	—	—	—	—
8ビットPWM	○	—	—	—	○	—	—	—	—
16ビットタイマ	○	—	—	—	—	—	—	—	—
16ビットイベントカウンタ	—	—	—	—	—	—	—	○	—
ウォーミングアップカウンタ	—	—	—	—	—	—	○	—	—
16ビットPWM	○	—	—	—	○	—	—	○	—
16ビットPPG	○	—	—	—	—	—	—	○	—

注1) 16ビット動作 (16ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16ビットPWM、16ビットPPG) のソースクロックは下位ビット側 (TC3CK) にて設定してください。

表 9-3 比較用レジスタへの設定値に関する制約事項

動作モード	レジスタへの設定値
8ビットタイマ/イベントカウンタ	$1 \leq (\text{TTREGn}) \leq 255$
8ビットPDO	$1 \leq (\text{TTREGn}) \leq 255$
8ビットPWM	$2 \leq (\text{PWREGn}) \leq 254$
16ビットタイマ/イベントカウンタ	$1 \leq (\text{TTREG4}, 3) \leq 65535$
ウォーミングアップカウンタ	$256 \leq (\text{TTREG4}, 3) \leq 65535$
16ビットPWM	$2 \leq (\text{PWREG4}, 3) \leq 65534$
16ビットPPG	$1 \leq (\text{PWREG4}, 3) < (\text{TTREG4}, 3) \leq 65535$ かつ $(\text{PWREG4}, 3) + 1 < (\text{TTREG4}, 3)$

注) n = 3~4

Not Recommended
for New Design



9.3 機能

タイマカウンタ 3, 4 にはそれぞれ、8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットプログラマブルデバイダ出力 (PDO) モード、8 ビットパルス幅変調出力 (PWM) モードがあります。また、タイマカウンタ 3, 4 (TC3, 4) を一つの 16 ビットタイマとして動作させる事も可能です。16 ビットタイマとしての動作には、16 ビットタイマモード、16 ビットイベントカウンタモード、ウォーミングアップカウンタモード、16 ビットパルス幅変調出力 (PWM) モード、16 ビットプログラマブルパルスジェネレート出力 (PPG) モードがあります。

9.3.1 8 ビットタイマモード (TC3, 4)

このモードは内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ j (TTREG j) 設定値が一致すると INTTC j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

- 注 1) タイマモード時は、TC j CR<TFF j > を “0” に固定してください。固定されない場合は、PDO j /PWM j /PPG j 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREG j の設定値を変更しないでください。タイマモード時、TTREG j はシフトレジスタ構成となりませんので、TTREG j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG i を書き替えると想定している動作を得られない場合があります。
- 注 3) $j = 3, 4$

表 9-4 タイマカウンタ 3, 4 のソースクロック (内部クロック)

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		最大設定時間	
NORMAL1/2, IDLE1/2 モード	DV7CK = 0		DV7CK = 1	fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時
fc/2 ¹¹ [Hz]	fs/2 ³ [Hz]	fs/2 ³ [Hz]	128 μs	244.14 μs	32.6 ms	62.3 ms
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	2.0 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	510 μs	—
fc/2 ³	fc/2 ³	—	500 ns	—	127.5 μs	—

(プログラム例) ソースクロック $fc/2^7$ [Hz] でタイマモードにセットし、80 μs 後に割り込みを発生させる (タイマカウンタ 4、 $fc = 16.0$ MHz 時)

```
LD    (TTREG4), 0AH           ; タイマレジスタの設定 (80 μs ÷ 27/fc = 0AH)
DI
SET   (EIRH), 4              ; INTTC4 割り込みを許可
EI
LD    (TC4CR), 00010000B     ; 動作クロックを fc/27, 8 ビットタイマモードに設定
LD    (TC4CR), 00011000B     ; TC4 スタート
```

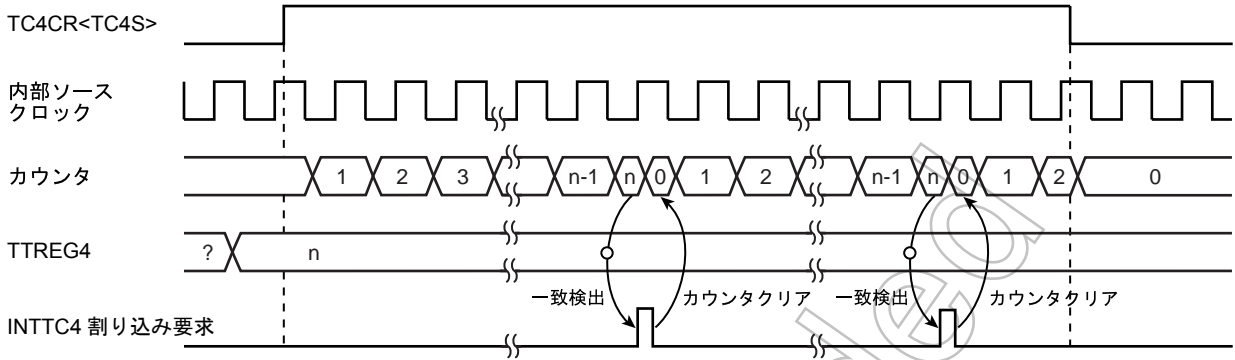


図 9-2 8 ビットタイマモードタイミングチャート (TC4 の場合)

9.3.2 8 ビットイベントカウンタモード (TC3, 4)

このモードは TC_j 端子入力の立ち下がりエッジでカウントアップするモードです。アップカウンタの値と TTREG_j 設定値が一致すると INTTC_j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後も TC_j 端子入力の立ち下がりエッジごとにカウントアップします。TC_j 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。したがって、最大印加周波数は、NORMAL1,2 または IDLE1,2 モード時で $f_c/2^4$ [Hz]、SLOW1,2 または SLEEP1,2 モード時で $f_s/2^4$ [Hz] となります。

- 注 1) イベントカウンタモード時は、TC_jCR<TFF_j> を “0” に固定してください。固定されない場合は、 $\overline{PDO_j}$ /PWM_j/PPG_j 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREG_j の設定値を変更しないでください。イベントカウンタモード時、TTREG_j はシフトレジスタ構成となりませんので、TTREG_j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG_j を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

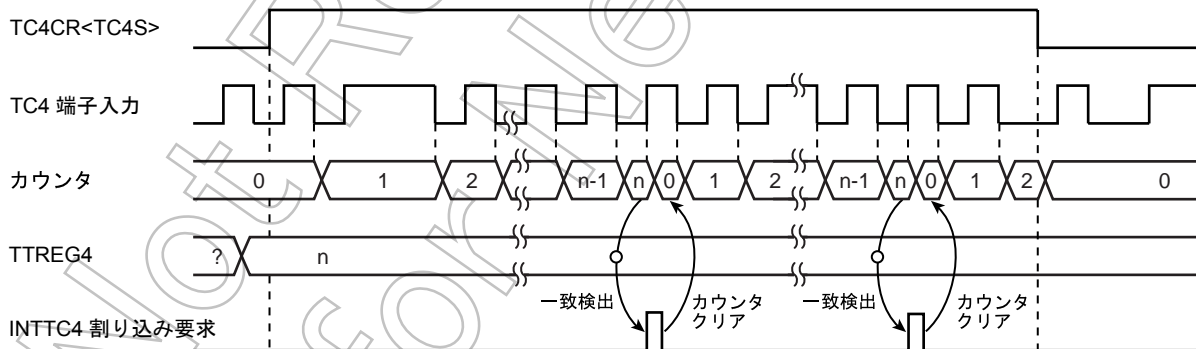


図 9-3 8 ビットイベントカウンタモードタイミングチャート (TC4 の場合)

9.3.3 8 ビットプログラマブル デバイダ出力 (PDO) モード (TC3, 4)

このモードは $\overline{PDO_j}$ 端子からデューティ 50% のパルスを出力するモードです。

内部クロックでカウントアップし、TTREG_j との一致ごとにタイマ F/F_j 値を反転しアップカウンタをクリアします。このとき INTTC_j 割り込み要求が発生します。 $\overline{PDO_j}$ 端子からはタイマ F/F_j 値の反転レベルが出力されます。なお、タイマ F/F_j 値は TC_jCR<TFF_j> によって任意の値を設定することができます。リセット時、タイマ F/F_j 値は “0” に初期化されます。

プログラマブルデバイダ出力を行う場合は、I/O ポートの出力ラッチを“1”にセットしてください。

(プログラム例) TC4 を使用し、1024 Hz のパルスを出力 ($f_c = 16.0 \text{ MHz}$)

ポートを設定		
LD	(TTREG4), 3DH	; $1/1024 \div 2^7/f_c \div 2 = 3DH$
LD	(TC4CR), 00010001B	; 動作クロックを $f_c/2^7$, 8 ビット PDO モードに設定
LD	(TC4CR), 00011001B	; TC4 スタート

- 注 1) プログラマブルデバイダ出力モード時は、タイマ動作中に TTREGj の設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 2) PDO 出力中にタイマを停止すると、 $\overline{\text{PDOj}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。
例：タイマカウンタ停止時に $\overline{\text{PDOj}}$ 端子を “H” レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; $\overline{\text{PDOj}}$ 端子を “H” レベルに設定
- 注 3) j = 3, 4

Not Recommended for New Design

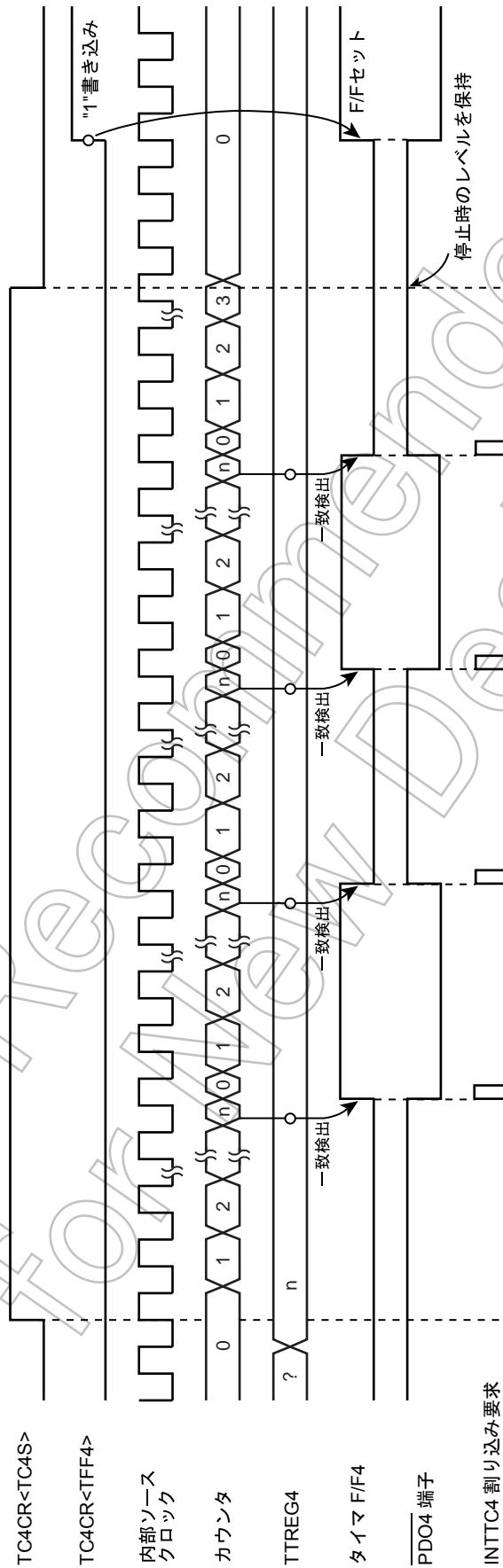


図 9-4 8ビット PDO モードタイミングチャート (TC4 の場合)

9.3.4 8ビットパルス幅変調 (PWM) 出力モード (TC3, 4)

このモードは分解能8ビットのPWM出力を行うモードです。内部クロックでカウントアップし、アップカウンタの値とPWREGj設定値が一致するとタイマF/Fj値を反転します。カウンタはさらにカウントアップし、オーバフローでタイマF/Fj値を再び反転し、カウンタをクリアします。このときINTTCj割り込み要求が発生します。

タイマF/Fjは、TCjCR<TFFj>によって初期値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。リセット時、タイマF/Fjは“0”にクリアされます。

(PWMj端子からはタイマF/Fj値の反転レベルが出力されます)

PWMモード中のPWREGjは、シフトレジスタとの2段構成となっており、タイマ動作中にPWREGjの設定値を変更することが可能です。タイマ動作中、PWREGjへの設定値はINTTCj割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREGjにデータを設定した直後にシフトされます。

PWM出力中、PWREGjに対してリード命令を実行するとPWREGjの設定値ではなく、シフトレジスタの値が読み込まれます。従ってPWREGjを設定してからINTTCj割り込み要求までの間は、前回のPWREGj設定値が読み込まれます。

PWM出力を行う端子は、I/Oポートの出力ラッチを“1”にセットしてください。

- 注1) PWMモード時、タイマレジスタPWREGjへの書き込みは、INTTCj割り込み要求発生直後(通常はINTTCj割り込みサービスルーチン内)に行ってください。タイマレジスタPWREGjへの書き込みとINTTCj割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次のINTTCj割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注2) PWM出力中にタイマを停止すると、PWMj端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後にTCjCR<TFFj>の操作を行ってください。ただし、タイマ停止と同時にTCjCR<TFFj>の設定を変更しないでください。
例: タイマカウンタ停止時にPWMj端子を“H”レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; PWMj出力を“H”レベルに設定
- 注3) PWM出力中、STOPモードを起動する場合は、タイマを停止してからSTOPモードを起動してください。タイマを停止せずにSTOPモードを起動し、さらにソースクロックとしてfc、fc/2またはfsが選択されている場合は、STOP解除後のウォーミングアップ中にPWMj端子からパルスが出力されます。
- 注4) j = 3, 4

表 9-5 PWM 出力モード

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード			fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
fc/2 ¹¹ [Hz]	fs/2 ³ [Hz]	fs/2 ³ [Hz]	128 μs	244.14 μs	32.8 ms	62.5 ms
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	2.05 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	512 μs	—
fc/2 ³	fc/2 ³	—	500ns	—	128 μs	—
fs	fs	fs	30.5 μs	30.5 μs	7.81 ms	7.81 ms
fc/2	fc/2	—	125 ns	—	32 μs	—
fc	fc	—	62.5 ns	—	16 μs	—

9.3.5 16ビットタイマモード (TC3 + 4)

このモードは内部クロックでカウントアップするモードです。

タイマカウンタ3と4をそれぞれカスケード接続することにより、16ビットタイマモードとして使用することができます。

TC4CR<TC4S>によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) 設定値が一致すると INTTC4 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) タイマモード時は、TCjCR<TFFj>を“0”に固定してください。固定されない場合は、 $\overline{\text{PDOj}}/\text{PWMj}/\text{PPGj}$ 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はソフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

表 9-6 16ビットタイマモードのソースクロック

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード			fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
fc/2 ¹¹	fs/2 ³	fs/2 ³	128 μs	244.14 μs	8.39 s	16s
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	524.3 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	131.1 ms	—
fc/2 ³	fc/2 ³	—	500 ns	—	32.8 ms	—

(プログラム例) ソースクロック $fc/2^7$ [Hz] でタイマモードにセットし、300 ms 後に割り込みを発生させる (fc = 16.0 MHz 時)

```
LDW      (TTREG3), 927CH      ; タイマレジスタの設定 (300 ms ÷ 27/fc = 927CH)
DI
SET      (EIRH), 4           ; INTTC4 割り込みを許可
EI
LD       (TC3CR), 13H        ; 動作クロックを fc/27、16ビットタイマモード
                                ; (下位側) に設定
LD       (TC4CR), 04H        ; 16ビットタイマモード (上位側) に設定
LD       (TC4CR), 0CH        ; タイマスタート
```

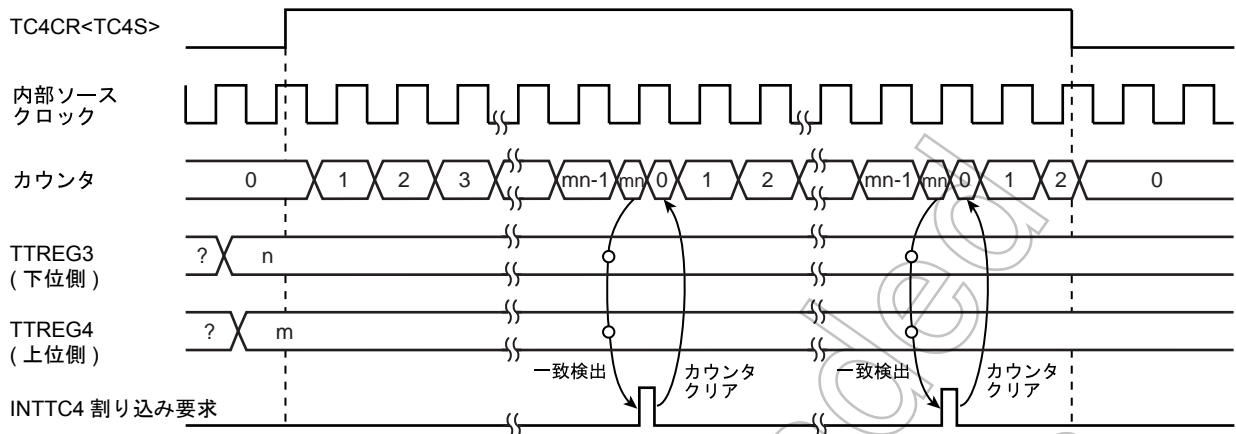


図 9-6 16 ビットタイマモードタイミングチャート (TC3 + TC4 の場合)

9.3.6 16 ビットイベントカウンタモード (TC3 + 4)

このモードは TC3 端子の立ち下がりエッジでカウントアップするモードです。

タイマカウンタ 3 と 4 とをカスケード接続することにより、16 ビットイベントカウンタモードとして使用することができます。

TC4CR<TC4S> によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) の設定値が一致すると INTTC4 割り込み要求が発生し、カウンタがクリアされます。カウンタクリア後も TC3 端子入力の立ち下がりエッジごとにカウントアップは継続されます。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c / 2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s / 2^4$ [Hz] となります。

タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) イベントカウンタモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、 $\overline{\text{PDOj}}/\text{PWMj}/\text{PPGj}$ 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

9.3.7 16 ビットパルス幅変調 (PWM) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PWM 出力を行うモードです。タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PWM モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) 設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込みが発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c / 2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s / 2^4$ [Hz] となります。

タイマ F/F4 は、TC4CR<TFF4> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F4 は “0” にクリアされます。

(PWM4 端子からはタイマ F/F4 値の反転レベルが出力されます)

PWM モード中の PWREG4, 3 は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREG4, 3 の設定値を変更することが可能です。タイマ動作中、PWREG4, 3 への設定値は INTTC4 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREG4, 3 にデータを設定した直後にシフトされます。PWREG4, 3 の書き替えを行うときは、必ず下位側 (PWREG3)、上位側 (PWREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG4, 3 に対してリード命令を実行すると PWREG4, 3 の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREG4, 3 を設定してから INTTC4 割り込み要求までの間は、前回の PWREG4, 3 設定値が読み込まれます。

PWM 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

- 注 1) PWM モード時、タイマレジスタ PWREG4, 3 への書き込みは、INTTC4 割り込み要求発生直後 (通常は INTTC4 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREG4, 3 への書き込みと INTTC4 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC4 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、PWM4 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4> の操作を行ってください (タイマ停止と同時に TC4CR<TFF4> の設定を変更しないでください)。
例: タイマカウンタ停止時に PWM4 端子を “H” レベルに固定する。
CLR (TC4CR).3; タイマ停止
CLR (TC4CR).7; PWM4 端子を “H” レベルに設定
- 注 3) STOP モードを起動する場合は、事前にタイマカウンタを停止してください。PWM 出力中に STOP モードを起動すると、STOP モード解除後のウォーミングアップ中に PWM4 端子からパルスが出力されます (ソースクロックとして fc, fc/2 または fs を選択した場合)。

表 9-7 16 ビット PWM 出力モード

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード	DV7CK = 0		DV7CK = 1	fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時
fc/2 ¹¹	fs/2 ³ [Hz]	fs/2 ³ [Hz]	128 μs	244.14 μs	8.39 s	16 s
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	524.3 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	131.1 ms	—
fc/2 ³	fc/2 ³	—	500ns	—	32.8 ms	—
fs	fs	fs	30.5 μs	30.5 μs	2 s	2 s
fc/2	fc/2	—	125 ns	—	8.2 ms	—
fc	fc	—	62.5 ns	—	4.1 ms	—

(プログラム例) 周期 32.768 ms、“H” レベル幅 1 ms のパルスを出力する (fc = 16.0 MHz 時)

- LDW (PWREG3), 07D0H ; ポートを設定する ; パルス幅の設定
- LD (TC3CR), 33H ; 動作クロックを fc/2³、16 ビット PWM モード (下位側) ; に設定
- LD (TC4CR), 056H ; TFF4 初期値 “0”、16 ビット PWM モード (上位側) ; に設定
- LD (TC4CR), 05EH ; タイマスタート

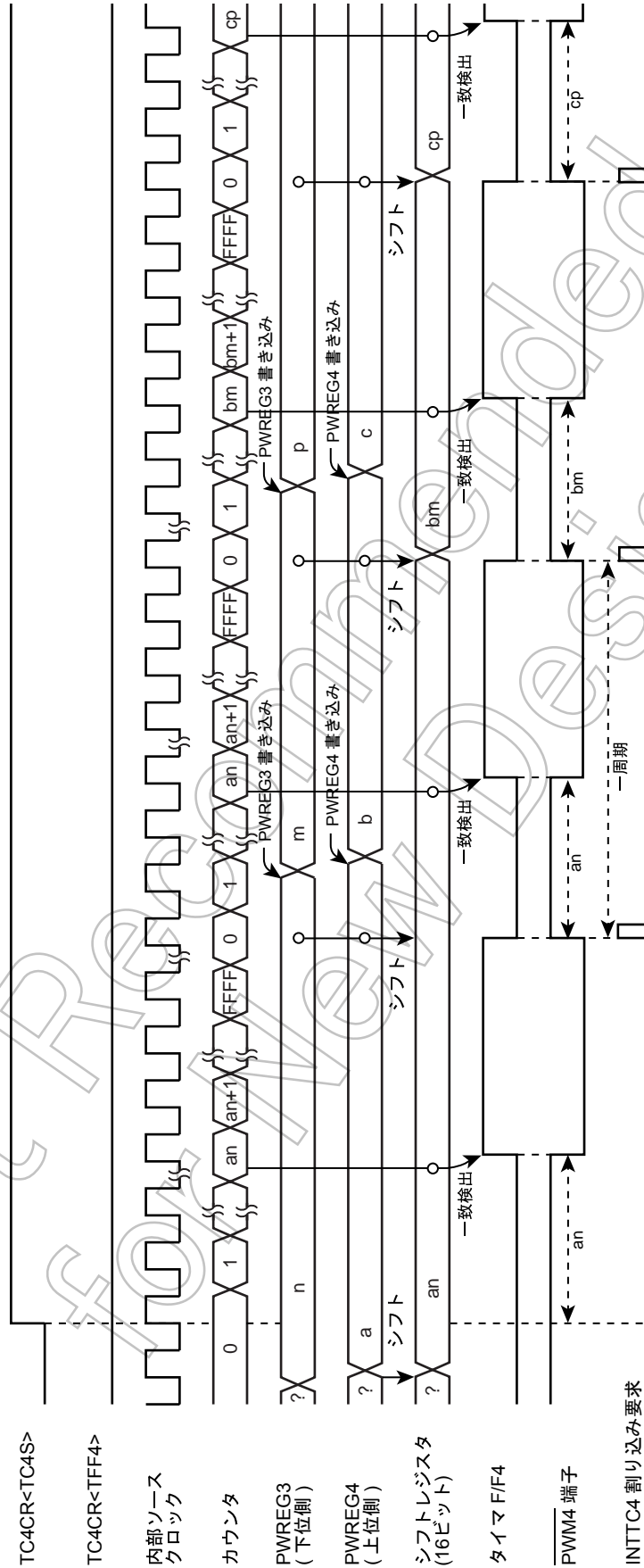


図 9-7 16 ビット PWM モードタイミングチャート (TC3 + TC4 の場合)

9.3.8 16ビットプログラマブルパルスジェネレータ (PPG) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PPG 出力を行うモードです。

タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PPG モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) の設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、タイマレジスタ (TTREG3, TTREG4) 設定との一致でタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込み要求が発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c/2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s/2^4$ [Hz] となります。

タイマ F/F4 は、TC4CR<TFF4> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F4 は “0” にクリアされます。

($\overline{\text{PPG4}}$ 端子からはタイマ F/F4 値の反転レベルが出力されます)

なお、タイマレジスタは、必ず下位側、上位側の順 (TTREG3 → TTREG4、PWREG3 → PWREG4) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PPG 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

(プログラム例) 周期 16.385 ms、“H” レベル幅 1 ms のパルスを出力する ($f_c = 16.0$ MHz 時)

```

          ポートを設定する
LDW      (PWREG3), 07D0H      ; パルス幅の設定
LDW      (TTREG3), 8002H      ; 周期の設定
LD       (TC3CR), 33H        ; 動作クロックを  $f_c/2^3$ 、16 ビット PPG モード
          ; (下位側) に設定
LD       (TC4CR), 057H        ; TFF4 初期値 “0”、16 ビット PPG モード
          ; (上位側) に設定
LD       (TC4CR), 05FH        ; タイマスタート

```

注 1) プログラマブルパルスジェネレータモード時は、タイマ動作中に PWREG_i, TTREG_i の設定値を変更しないでください。プログラマブルパルスジェネレータモード時、PWREG_i, TTREG_i はシフトレジスタ構成となりませんので、PWREG_i, TTREG_i への設定値は書き替え直後に反映されます。従ってタイマ動作中に PWREG_i, TTREG_i を書き替えると想定している動作を得られない場合があります。

注 2) PPG 出力中にタイマを停止すると、 $\overline{\text{PPG4}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4> の操作を行ってください。タイマ停止と同時に TC4CR<TFF4> の設定を変更しないでください。

例：タイマカウンタ停止時に $\overline{\text{PPG4}}$ 端子を “H” レベルに固定する。

```

CLR      (TC4CR).3; タイマ停止
CLR      (TC4CR).7;  $\overline{\text{PPG4}}$  端子を “H” レベルに設定

```

注 3) $i = 3, 4$

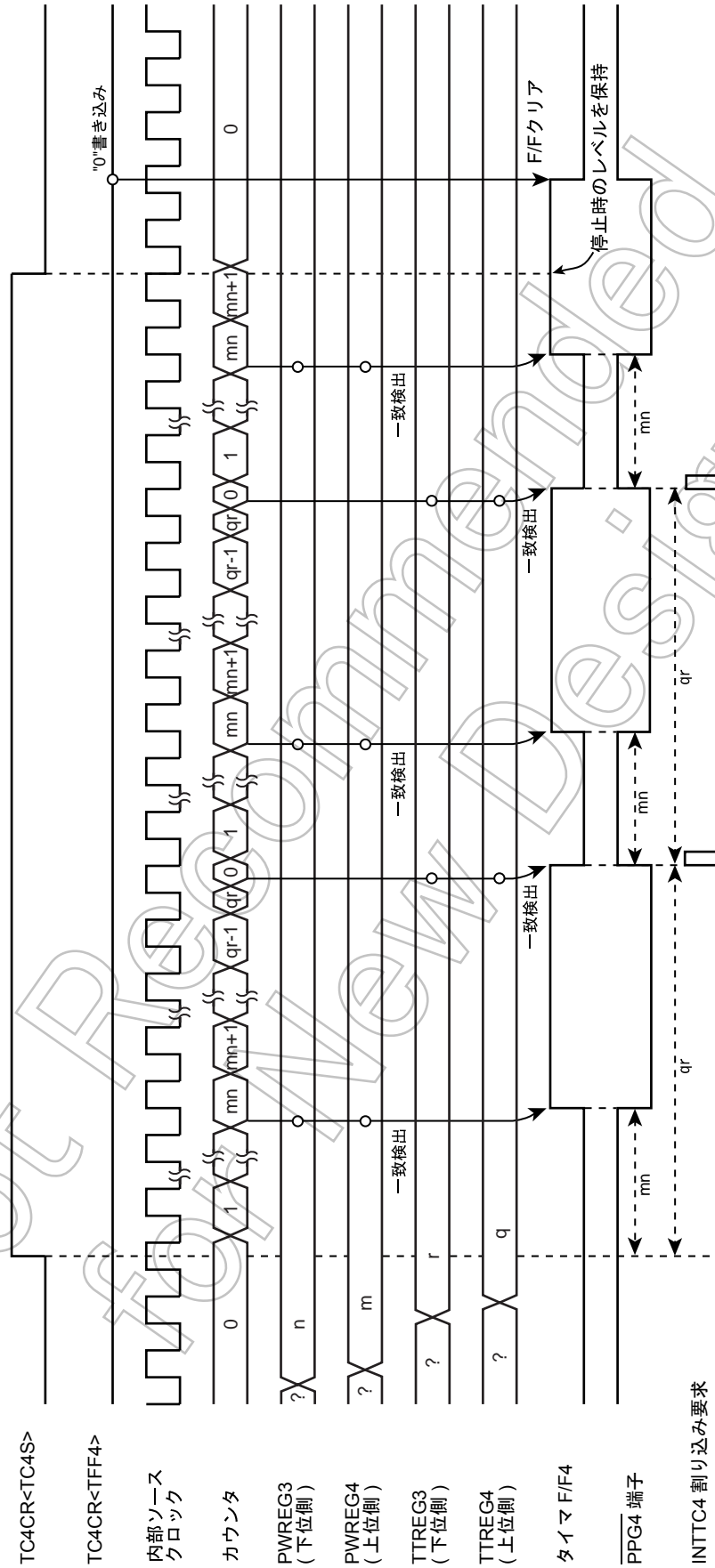


図 9-8 16 ビット PPG モードタイミングチャート (TC3 + TC4 の場合)

9.3.9 ウォーミングアップカウンタモード

システムクロックを高周波と低周波の間で切り替えるときに発振器が安定して動作するまでのウォーミングアップ時間を確保するモードです。タイマカウンタ3と4をカスケード接続し16ビットモードとして使用します。ウォーミングアップカウンタモードは、高周波から低周波に切り替えるときと、低周波から高周波に切り替えるときの2つのモードがあります。

- 注1) ウォーミングアップカウンタモード時は、TCiCR<TFFi>を“0”に固定してください。固定されない場合は、PDOi/PWMI/PPGi端子からパルスが出力されることがあります。
- 注2) ウォーミングアップカウンタモード時は、タイマレジスタ TTREG4, 3の下位8ビットは一致検出の対象外となり、上位8ビットのみの一致検出となります。
- 注3) i = 3, 4

9.3.9.1 低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)

低周波クロック fs が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XTEN>を“1”に設定し低周波クロックを発振させます。TC4CR<TC4S>によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG4, 3) 設定との一致で INTTC4 割り込み要求が発生し、カウンタがクリアされます。INTTC4 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK>を“1”に設定し、システムクロックを高周波から低周波に切り替えます。その後、SYSCR2<XEN>を“0”に設定し、高周波クロックを停止します。

表 9-8 低周波ウォーミングアップカウンタモードの設定時間 (fs = 32.768 kHz 時)

最小設定時間 (TTREG4, 3 = 0100H)	最大設定時間 (TTREG4, 3 = FF00H)
7.81 ms	1.99 s

(プログラム例) TC4, 3 で低周波クロックの安定した発振を確認後、SLOW1 モードへ切り替え

```

SET      (SYSCR2).6      ;SYSCR2<XTEN> ← “1”
LD       (TC3CR).43H     ;TFF3 = “0”, ソースクロック fs, 16ビットモードに設定
LD       (TC4CR).05H     ;TFF4 = “0”, ウォーミングアップカウンタモードに設定
LD       (TTREG3).8000H  ;ウォーミングアップ時間をセット
                          ;(発振器の特性で時間を決定します)
DI       ;IMF ← “0”
SET      (EIRH).4        ;INTTC4 割り込みを許可
EI       ;IMF ← “1”
SET      (TC4CR).3       ;TC4, 3 スタート
:        :
PINTTC4: CLR      (TC4CR).3 ;TC4, 3 ストップ
SET      (SYSCR2).5       ;SYSCR2<SYSCK> ← “1”
                          ;(システムクロックを低周波に切り替え)
CLR      (SYSCR2).7       ;SYSCR2<XEN> ← “0” (高周波クロック停止)
RETI
:        :
VINTTC4: DW        PINTTC4 ;INTTC4 ベクタテーブル

```

9.3.9.2 高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

高周波クロック f_c が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XEN> を“1”に設定し高周波クロックを発振させます。TC4CR<TC4S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG4, 3) 設定との一致で INTTC4 割り込み要求が発生し、カウンタがクリアされます。INTTC4 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を“0”に設定し、システムクロックを低周波から高周波に切り替えます。その後、SYSCR2<XTEN> を“0”に設定し、低周波クロックを停止します。

表 9-9 高周波ウォーミングアップカウンタモードの設定時間

最小設定時間 (TTREG4, 3 = 0100H)	最大設定時間 (TTREG4, 3 = FF00H)
16 μ s	4.08 ms

(プログラム例) TC4, 3 で高周波クロックの安定した発振を確認後、NORMAL1 モードへ切り替え

```

SET      (SYSCR2).7      ; SYSCR2<XEN> ← “1”
LD       (TC3CR), 63H    ; TFF3 = “0”, ソースクロック  $f_c$ ,
                        ; 16 ビットモードに設定
LD       (TC4CR), 05H    ; TFF4 = “0”, ウォーミングアップカウンタモード
                        ; に設定
LD       (TTREG3), 0F800H ; ウォーミングアップ時間をセット
                        ; (発振器の特性で時間を決定します)
DI       ; IMF ← “0”
SET      (EIRH). 4      ; INTTC4 割り込みを許可
EI       ; IMF ← “1”
SET      (TC4CR).3      ; TC4, 3 スタート
:
:
PINTTC4: CLR      (TC4CR).3 ; TC4, 3 ストップ
          CLR      (SYSCR2).5 ; SYSCR2<SYSCK> ← “0”
                        ; (システムクロックを高周波に切り替え)
          CLR      (SYSCR2).6 ; SYSCR2<XTEN> ← “0”
                        ; (低周波クロック停止)
          RETI
:
:
VINTTC4: DW       PINTTC4 ; INTTC4 ベクタテーブル

```

Not Recommended
for New Design

第 10 章 8 ビットタイマカウンタ (TC5, TC6)

10.1 構成

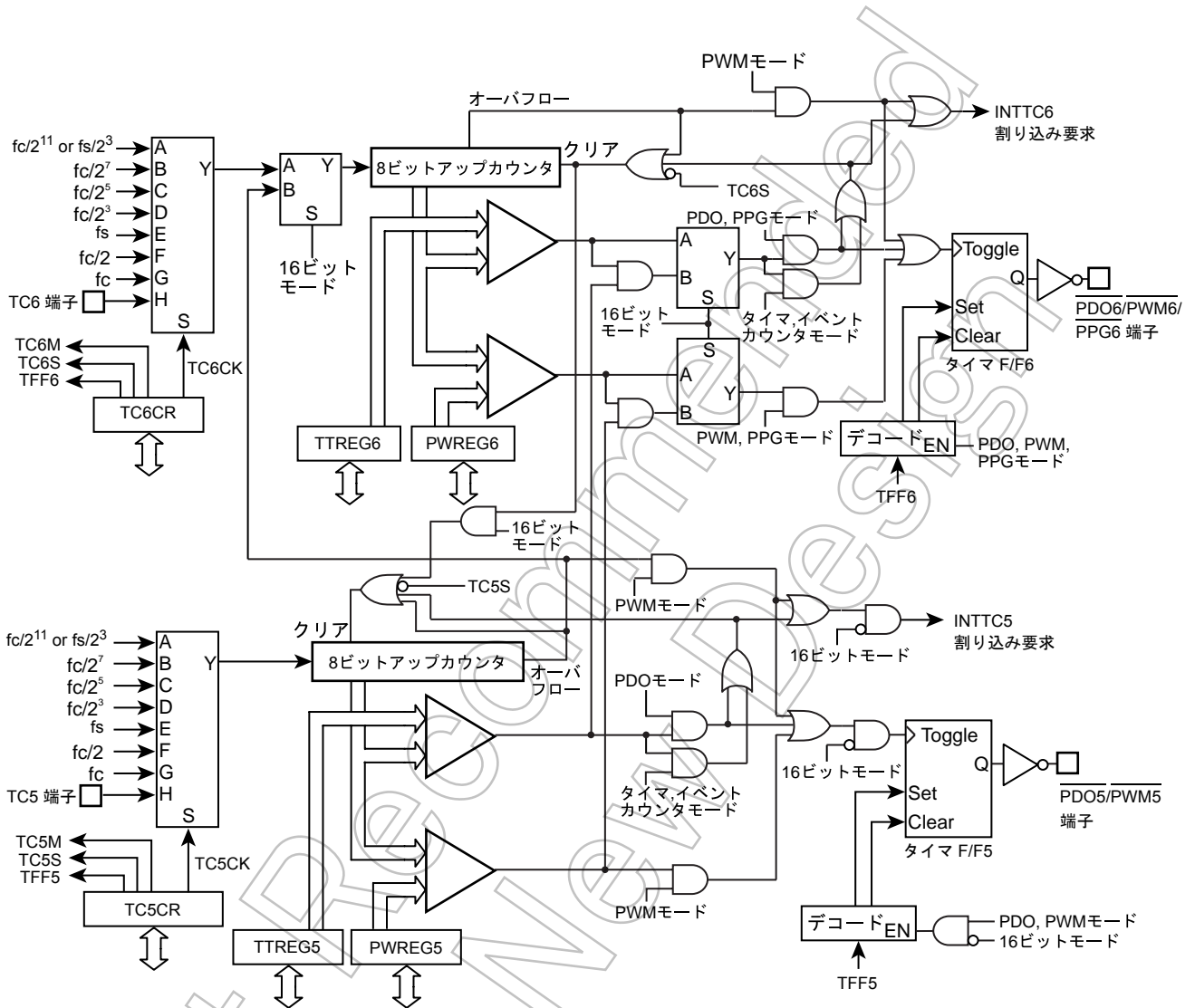


図 10-1 8 ビットタイマカウンタ 5, 6

10.2 制御

タイマカウンタ5は、タイマカウンタ5制御レジスタ (TC5CR) と2本の8ビットタイマレジスタ (TTREG5, PWREG5) で制御されます。

タイマカウンタ5のタイマレジスタ

TTREG5 (001EH) R/W	7	6	5	4	3	2	1	0	(初期値: 1111 1111)

PWREG5 (002AH) R/W	7	6	5	4	3	2	1	0	(初期値: 1111 1111)

- 注 1) タイマ動作中は、タイマレジスタ (TTREG5) の設定値を変更しないでください。
- 注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG5) の設定値を変更しないでください。

タイマカウンタ5制御レジスタ

TC5CR (001AH)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	TFF5	TC5CK		TC5S	TC5M				

TFF5	タイマ F/F5 の制御	0: クリア 1: セット			R/W	
TC5CK	動作クロック選択 [Hz]	NORMAL 1/2, IDLE 1/2 モード		SLOW 1/2 SLEEP 1/2 モード	R/W	
		DV7CK = 0		DV7CK = 1		
		000	$fc/2^{11}$	$fs/2^3$		$fs/2^3$
		001	$fc/2^7$	$fc/2^7$		—
		010	$fc/2^6$	$fc/2^5$		—
		011	$fc/2^3$	$fc/2^3$		—
		100	fs	fs		fs
		101	$fc/2$	$fc/2$		—
110	fc	fc	fc (注 8)			
111	TC5 端子入力					
TC5S	タイマスタート制御	0: 動作停止 & カウンタクリア 1: 動作開始			R/W	
TC5M	動作モード選択	000: 8 ビットタイマ / イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: 16 ビットモード (各モード選択は TC6M にて設定してください) 1**: Reserved			R/W	

- 注 1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz]
- 注 2) タイマ動作中は、TC5M, TC5CK, TFF5 の設定を変更しないでください。
- 注 3) タイマを動作停止 (TC5S = "1" → "0") するときは、TC5M, TC5CK, TFF5 の設定を変更しないでください。ただしタイマを動作開始 (TC5S = "0" → "1") するときは、TC5M, TC5CK, TFF5 の設定を変更することができます。
- 注 4) 16 ビットモードで使用する場合、動作モードの設定は TC6CR<TC6M> にて行い、TC5M は "011" に固定してください。
- 注 5) 16 ビットモードで使用する場合、ソースクロックの選択は TC5CK にて行い、タイマスタート制御、タイマ F/F の制御については TC6CR<TC6S>, TC6CR<TFF6> にて設定してください。
- 注 6) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 10-1, 表 10-2 を参照してください。

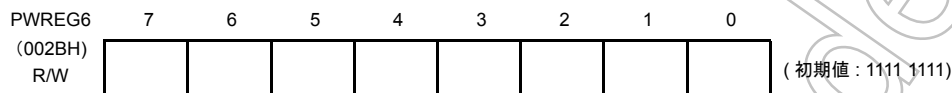
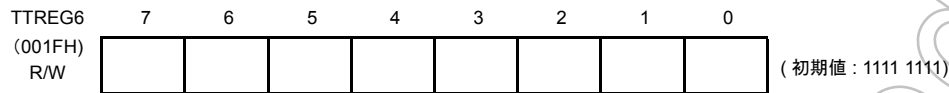
注 7) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 10-3 を参照してください。

注 8) SLOW, SLEEP モード時の動作クロック f_c は、高周波ウォーミングアップモードとしてのみ使用できます。

Not Recommended
for New Design

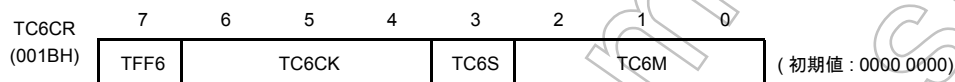
タイマカウンタ6は、タイマカウンタ6制御レジスタ (TC6CR) と2本の8ビットタイマレジスタ (TTREG6, PWREG6) で制御されます。

タイマカウンタ 6 のタイマレジスタ



- 注 1) タイマ動作中は、タイマレジスタ (TTREG6) の設定値を変更しないでください。
- 注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG6) の設定値を変更しないでください。

タイマカウンタ 6 制御レジスタ



TFF6	タイマ F/F6 の制御	0: クリア 1: セット	NORMAL 1/2, IDLE 1/2 モード			R/W
			DV7CK = 0	DV7CK = 1	SLOW 1/2 SLEEP 1/2 モード	
TC6CK	動作クロック選択 [Hz]	000	$fc/2^{11}$	$fs/2^3$	$fs/2^3$	R/W
		001	$fc/2^7$	$fc/2^7$	—	
		010	$fc/2^5$	$fc/2^5$	—	
		011	$fc/2^3$	$fc/2^3$	—	
		100	fs	fs	fs	
		101	fc/2	fc/2	—	
		110	fc	fc	—	
		111	TC6 端子入力			
TC6S	タイマスタート制御	0: 動作停止 & カウンタクリア 1: 動作開始				R/W
TC6M	動作モード選択	000: 8 ビットタイマ / イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: Reserved 100: 16 ビットタイマ / イベントカウンタモード 101: ウォーミングアップカウンタモード 110: 16 ビットパルス幅変調出力 (PWM) モード 111: 16 ビット PPG モード			R/W	

- 注 1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz]
- 注 2) タイマ動作中は、TC6M, TC6CK, TFF6 の設定を変更しないでください。
- 注 3) タイマを動作停止 (TC6S = "1" → "0") するときは、TC6M, TC6CK, TFF6 の設定を変更しないでください。ただしタイマを動作開始 (TC6S = "0" → "1") するときは、TC6M, TC6CK, TFF6 の設定を変更することができます。
- 注 4) TC6M = 1** のとき (16 ビットモードの上位側) のときは、TC6CK の設定に関係なく、ソースクロックは TC5 オーバフロー信号になります。
- 注 5) 16 ビットモードで使用する場合、動作モードの選択は TC6M にて行います。そのとき、TC5CR<TC5M> は必ず "011" に設定してください。

- 注 6) 16 ビットモードで使用する場合、ソースクロックの選択は TC5CR<TC5CK> にて行い、タイマスタート制御、タイマ F/F の制御については TC6S、TFF6 にて設定してください。
- 注 7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 10-1, 表 10-2 を参照してください。
- 注 8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 10-3 を参照してください。
- 注 9) PDO、PWM、PPG モードを使用する場合、TC1CR2<TC6OUT> が "1" に設定されているとタイマ出力端子からパルスが出力されません。従ってこれらの端子からパルスを出力するには TC1CR2<TC6OUT> を "0" に設定してください。

Not Recommended
for New Design

表 10-1 動作モードと使用できるソースクロック (NORMLAL1/2, IDLE1/2 モード時)

動作モード	$fc/2^{11}$ or $fs/2^3$	$fc/2^7$	$fc/2^5$	$fc/2^3$	fs	$fc/2$	fc	TC5 端子 入力	TC6 端子 入力
8 ビットタイマ	○	○	○	○	—	—	—	—	—
8 ビットイベントカウンタ	—	—	—	—	—	—	—	○	○
8 ビット PDO	○	○	○	○	—	—	—	—	—
8 ビット PWM	○	○	○	○	○	○	○	—	—
16 ビットタイマ	○	○	○	○	—	—	—	—	—
16 ビットイベントカウンタ	—	—	—	—	—	—	—	○	—
ウォーミングアップカウンタ	—	—	—	—	○	—	—	—	—
16 ビット PWM	○	○	○	○	○	○	○	○	—
16 ビット PPG	○	○	○	○	—	—	—	○	—

注 1) 16 ビット動作 (16 ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16 ビット PWM、16 ビット PPG) のソースクロックは下位ビット側 (TC5CK) にて設定してください。

表 10-2 動作モードと使用できるソースクロック (SLOW1/2, SLEEP1/2 モード時)

動作モード	$fc/2^{11}$ or $fs/2^3$	$fc/2^7$	$fc/2^5$	$fc/2^3$	fs	$fc/2$	fc	TC5 端子 入力	TC6 端子 入力
8 ビットタイマ	○	—	—	—	—	—	—	—	—
8 ビットイベントカウンタ	—	—	—	—	—	—	—	○	○
8 ビット PDO	○	—	—	—	—	—	—	—	—
8 ビット PWM	○	—	—	—	○	—	—	—	—
16 ビットタイマ	○	—	—	—	—	—	—	—	—
16 ビットイベントカウンタ	—	—	—	—	—	—	—	○	—
ウォーミングアップカウンタ	—	—	—	—	—	—	○	—	—
16 ビット PWM	○	—	—	—	○	—	—	○	—
16 ビット PPG	○	—	—	—	—	—	—	○	—

注 1) 16 ビット動作 (16 ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16 ビット PWM、16 ビット PPG) のソースクロックは下位ビット側 (TC5CK) にて設定してください。

表 10-3 比較用レジスタへの設定値に関する制約事項

動作モード	レジスタへの設定値
8 ビットタイマ/イベントカウンタ	$1 \leq (TTREGn) \leq 255$
8 ビット PDO	$1 \leq (TTREGn) \leq 255$
8 ビット PWM	$2 \leq (PWREGn) \leq 254$
16 ビットタイマ/イベントカウンタ	$1 \leq (TTREG6, 5) \leq 65535$
ウォーミングアップカウンタ	$256 \leq (TTREG6, 5) \leq 65535$
16 ビット PWM	$2 \leq (PWREG6, 5) \leq 65534$
16 ビット PPG	$1 \leq (PWREG6, 5) < (TTREG6, 5) \leq 65535$ かつ $(PWREG6, 5) + 1 < (TTREG6, 5)$

注) n = 5~6

Not Recommended
for New Design

10.3 機能

タイマカウンタ 5, 6 にはそれぞれ、8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットプログラマブルデバウンド出力 (PDO) モード、8 ビットパルス幅変調出力 (PWM) モードがあります。また、タイマカウンタ 5, 6 (TC5, 6) を 1 つの 16 ビットタイマとして動作させる事も可能です。16 ビットタイマとしての動作には、16 ビットタイマモード、16 ビットイベントカウンタモード、ウォーミングアップカウンタモード、16 ビットパルス幅変調出力 (PWM) モード、16 ビットプログラマブルパルスジェネレート出力 (PPG) モードがあります。

10.3.1 8 ビットタイマモード (TC5, 6)

このモードは内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ j (TTREG j) 設定値が一致すると INTTC j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

- 注 1) タイマモード時は、TC j CR<TFF j > を “0” に固定してください。固定されない場合は、PDO j /PWM j /PPG j 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREG j の設定値を変更しないでください。タイマモード時、TTREG j はシフトレジスタ構成となりませんので、TTREG j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG i を書き替えると想定している動作を得られない場合があります。
- 注 3) $j = 5, 6$

表 10-4 タイマカウンタ 5, 6 のソースクロック (内部クロック)

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		最大設定時間	
DV7CK = 0	DV7CK = 1		$f_c = 16 \text{ MHz}$ 時	$f_s = 32.768 \text{ kHz}$ 時	$f_c = 16 \text{ MHz}$ 時	$f_s = 32.768 \text{ kHz}$ 時
$f_c/2^{11}$ [Hz]	$f_s/2^3$ [Hz]	$f_s/2^3$ [Hz]	128 μs	244.14 μs	32.6 ms	62.3 ms
$f_c/2^7$	$f_c/2^7$	—	8 μs	—	2.0 ms	—
$f_c/2^5$	$f_c/2^5$	—	2 μs	—	510 μs	—
$f_c/2^3$	$f_c/2^3$	—	500 ns	—	127.5 μs	—

(プログラム例) ソースクロック $f_c/2^7$ [Hz] でタイマモードにセットし、80 μs 後に割り込みを発生させる (タイマカウンタ 6、 $f_c = 16.0 \text{ MHz}$ 時)

```
LD    (TTREG6), 0AH           ; タイマレジスタの設定 (80  $\mu\text{s} \div 2^7 f_c = 0AH$ )
DI
SET   (EIRH), 5              ; INTTC6 割り込みを許可
EI
LD    (TC6CR), 00010000B     ; 動作クロックを  $f_c/2^7$ , 8 ビットタイマモードに設定
LD    (TC6CR), 00011000B     ; TC6 スタート
```

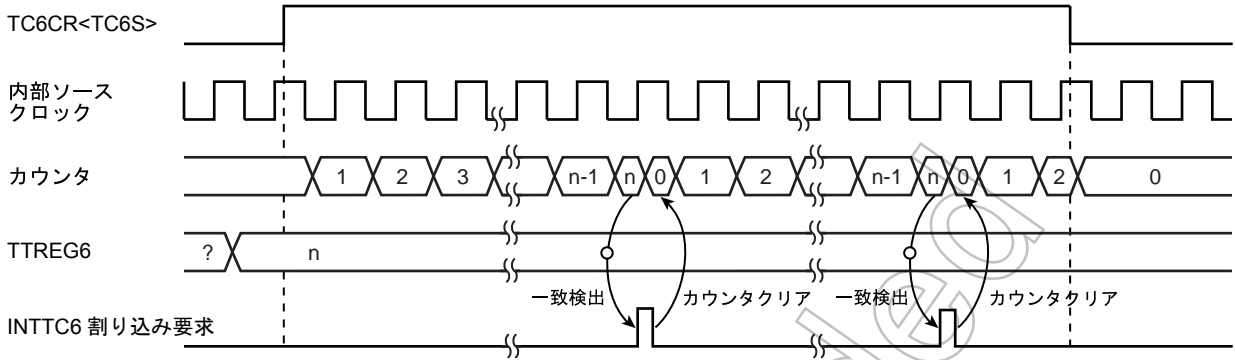


図 10-2 8 ビットタイマモードタイミングチャート (TC6 の場合)

10.3.2 8 ビットイベントカウンタモード (TC5, 6)

このモードは TC_j 端子入力の立ち下がりエッジでカウントアップするモードです。アップカウンタの値と TTREG_j 設定値が一致すると INTTC_j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後も TC_j 端子入力の立ち下がりエッジごとにカウントアップします。TC_j 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。したがって、最大印加周波数は、NORMAL1,2 または IDLE1,2 モード時で $f_c/2^4$ [Hz]、SLOW1,2 または SLEEP1,2 モード時で $f_s/2^4$ [Hz] となります。

- 注 1) イベントカウンタモード時は、TC_jCR<TFF_j> を “0” に固定してください。固定されない場合は、 $\overline{PDO_j}$ /PWM_j/PPG_j 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREG_j の設定値を変更しないでください。イベントカウンタモード時、TTREG_j はシフトレジスタ構成となりませんので、TTREG_j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG_j を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 5, 6

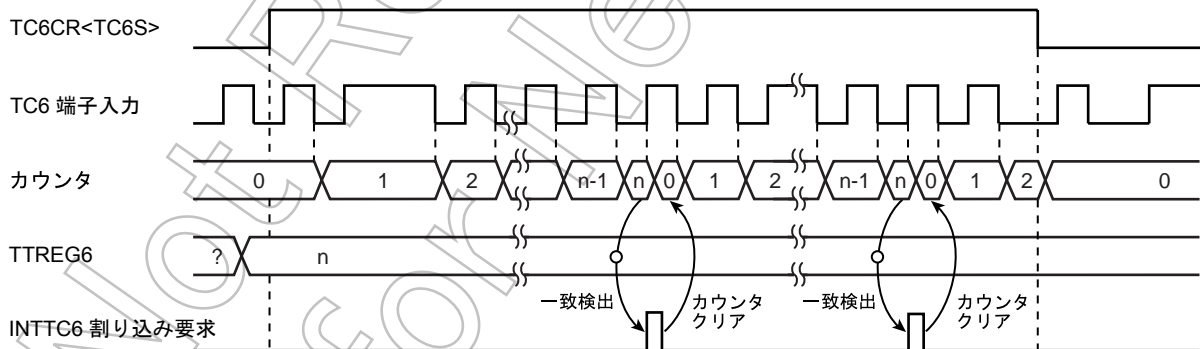


図 10-3 8 ビットイベントカウンタモードタイミングチャート (TC6 の場合)

10.3.3 8 ビットプログラマブル デバイダ出力 (PDO) モード (TC5, 6)

このモードは $\overline{PDO_j}$ 端子からデューティ 50% のパルスを出力するモードです。

内部クロックでカウントアップし、TTREG_j との一致ごとにタイマ F/F_j 値を反転しアップカウンタをクリアします。このとき INTTC_j 割り込み要求が発生します。 $\overline{PDO_j}$ 端子からはタイマ F/F_j 値の反転レベルが出力されます。なお、タイマ F/F_j 値は TC_jCR<TFF_j> によって任意の値を設定することができます。リセット時、タイマ F/F_j 値は “0” に初期化されます。

プログラマブルデバイダ出力を行う場合は、I/O ポートの出力ラッチを“1”にセットしてください。

(プログラム例) TC6 を使用し、1024 Hz のパルスを出力 ($f_c = 16.0 \text{ MHz}$)

ポートを設定		
LD	(TTREG6), 3DH	; $1/1024 \div 2^7/f_c \div 2 = 3DH$
LD	(TC6CR), 00010001B	; 動作クロックを $f_c/2^7$, 8 ビット PDO モードに設定
LD	(TC6CR), 00011001B	; TC6 スタート

注 1) プログラマブルデバイダ出力モード時は、タイマ動作中に TTREGj の設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 2) PDO 出力中にタイマを停止すると、 $\overline{\text{PDOj}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。

例: タイマカウンタ停止時に $\overline{\text{PDOj}}$ 端子を “H” レベルに固定する。

CLR (TCjCR).3; タイマ停止

CLR (TCjCR).7; $\overline{\text{PDOj}}$ 端子を “H” レベルに設定

注 3) j = 5, 6

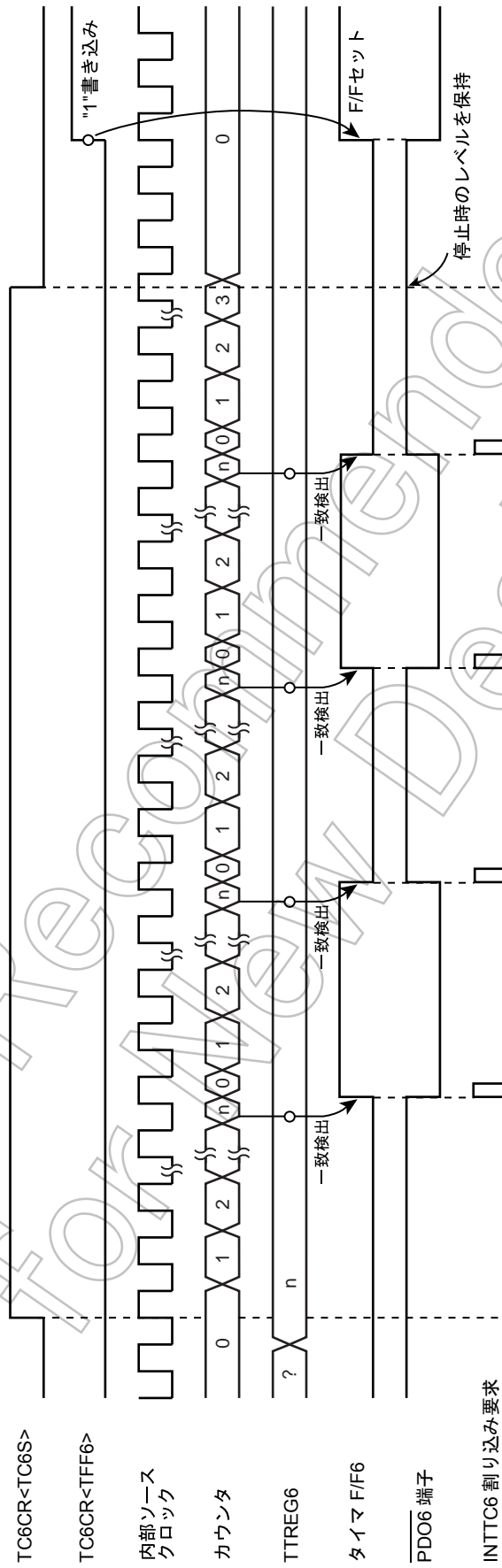


図 10-4 8ビット PDO モードタイミングチャート (TC6 の場合)

10.3.4 8 ビットパルス幅変調 (PWM) 出力モード (TC5, 6)

このモードは分解能 8 ビットの PWM 出力を行うモードです。内部クロックでカウントアップし、アップカウンタの値と PWREGj 設定値が一致するとタイマ F/Fj 値を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/Fj 値を再び反転し、カウンタをクリアします。このとき INTTCj 割り込み要求が発生します。

タイマ F/Fj は、TCjCR<TFFj> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/Fj は “0” にクリアされます。

(PWMj 端子からはタイマ F/Fj 値の反転レベルが出力されます)

PWM モード中の PWREGj は、シフトレジスタとの 2 段構成となっており、タイマ動作中に PWREGj の設定値を変更することが可能です。タイマ動作中、PWREGj への設定値は INTTCj 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREGj にデータを設定した直後にシフトされます。

PWM 出力中、PWREGj に対してリード命令を実行すると PWREGj の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREGj を設定してから INTTCj 割り込み要求までの間は、前回の PWREGj 設定値が読み込まれます。

PWM 出力を行う端子は、I/O ポートの出力ラッチを “1” にセットしてください。

- 注 1) PWM モード時、タイマレジスタ PWREGj への書き込みは、INTTCj 割り込み要求発生直後 (通常は INTTCj 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREGj への書き込みと INTTCj 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTCj 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、PWMj 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。
例: タイマカウンタ停止時に PWMj 端子を “H” レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; PWMj 出力を “H” レベルに設定
- 注 3) PWM 出力中、STOP モードを起動する場合は、タイマを停止してから STOP モードを起動してください。タイマを停止せずに STOP モードを起動し、さらにソースクロックとして fc, fc/2 または fs が選択されている場合は、STOP 解除後のウォーミングアップ中に PWMj 端子からパルスが出力されます。
- 注 4) j = 5, 6

表 10-5 PWM 出力モード

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード DV7CK = 0	DV7CK = 1		fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
fc/2 ¹¹ [Hz]	fs/2 ³ [Hz]	fs/2 ³ [Hz]	128 μs	244.14 μs	32.8 ms	62.5 ms
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	2.05 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	512 μs	—
fc/2 ³	fc/2 ³	—	500ns	—	128 μs	—
fs	fs	fs	30.5 μs	30.5 μs	7.81 ms	7.81 ms
fc/2	fc/2	—	125 ns	—	32 μs	—
fc	fc	—	62.5 ns	—	16 μs	—

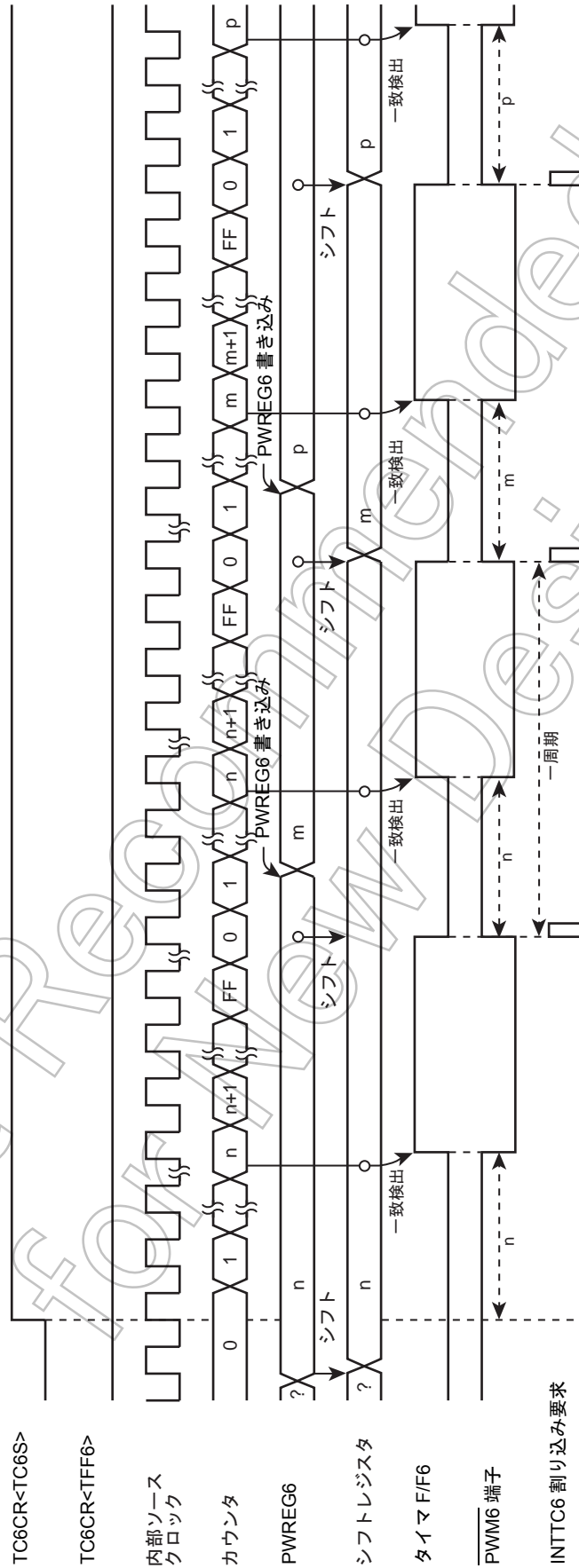


図 10-5 8ビット PWM 出力モードタイミングチャート (TC6 の場合)

10.3.5 16 ビットタイマモード (TC5 + 6)

このモードは内部クロックでカウントアップするモードです。

タイマカウンタ 5 と 6 をそれぞれカスケード接続することにより、16 ビットタイマモードとして使用することができます。

TC6CR<TC6S> によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG5, TTREG6) 設定値が一致すると INTTC6 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG5)、上位側 (TTREG6) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) タイマモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、 $\overline{\text{PDOj}}/\text{PWMj}/\text{PPGj}$ 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 5, 6

表 10-6 16 ビットタイマモードのソースクロック

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード			fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
fc/2 ¹¹	fs/2 ³	fs/2 ³	128 μs	244.14 μs	8.39 s	16s
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	524.3 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	131.1 ms	—
fc/2 ³	fc/2 ³	—	500 ns	—	32.8 ms	—

(プログラム例) ソースクロック $fc/2^7$ [Hz] でタイマモードにセットし、300 ms 後に割り込みを発生させる (fc = 16.0 MHz 時)

```
LDW      (TTREG5), 927CH      ; タイマレジスタの設定 (300 ms ÷ 27/fc = 927CH)
DI
SET      (EIRH), 5           ; INTTC6 割り込みを許可
EI
LD       (TC5CR), 13H        ; 動作クロックを fc/27、16 ビットタイマモード
                                ; (下位側) に設定
LD       (TC6CR), 04H        ; 16 ビットタイマモード (上位側) に設定
LD       (TC6CR), 0CH        ; タイマスタート
```

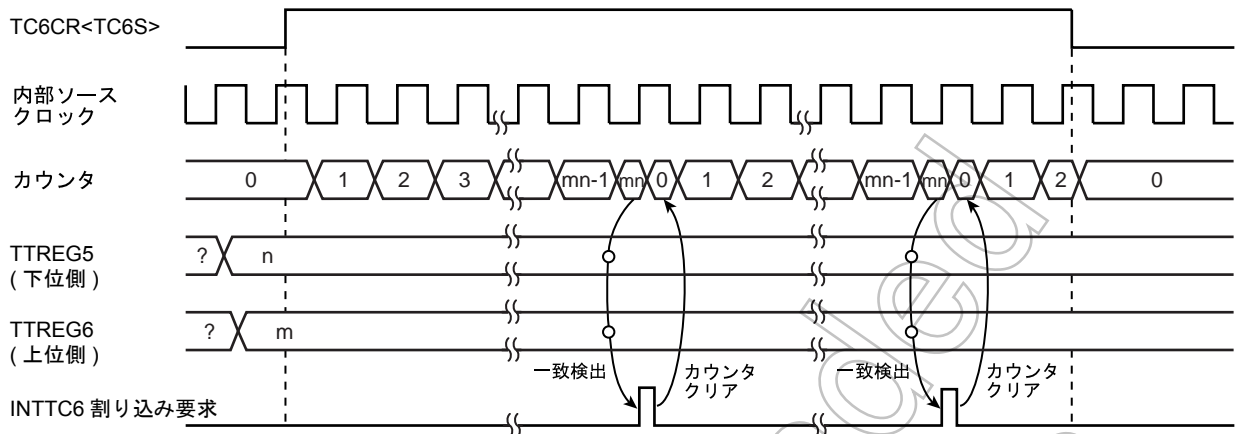


図 10-6 16 ビットタイマモードタイミングチャート (TC5 + TC6 の場合)

10.3.6 16 ビットイベントカウンタモード (TC5 + 6)

このモードは TC5 端子の立ち下がりエッジでカウントアップするモードです。

タイマカウンタ 5 と 6 とをカスケード接続することにより、16 ビットイベントカウンタモードとして使用することができます。

TC6CR<TC6S> によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG5, TTREG6) の設定値が一致すると INTTC6 割り込み要求が発生し、カウンタがクリアされます。カウンタクリア後も TC5 端子入力の立ち下がりエッジごとにカウントアップは継続されます。

TC5 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c/2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s/2^4$ [Hz] となります。

タイマレジスタは、必ず下位側 (TTREG5)、上位側 (TTREG6) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) イベントカウンタモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、 $\overline{\text{PDOj}}/\text{PWMj}/\text{PPGj}$ 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 5, 6

10.3.7 16 ビットパルス幅変調 (PWM) 出力モード (TC5 + 6)

このモードは分解能 16 ビットの PWM 出力を行うモードです。タイマカウンタ 5 と 6 をカスケード接続することにより、16 ビット PWM モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG5, PWREG6) 設定値が一致するとタイマ F/F6 を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F6 を再び反転し、カウンタをクリアします。なお、このとき INTTC6 割り込みが発生します。

TC5 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c/2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s/2^4$ [Hz] となります。

タイマ F/F6 は、TC6CR<TFF6> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F6 は “0” にクリアされます。

(PWM6 端子からはタイマ F/F6 値の反転レベルが出力されます)

PWM モード中の PWREG6, 5 は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREG6, 5 の設定値を変更することが可能です。タイマ動作中、PWREG6, 5 への設定値は INTTC6 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREG6, 5 にデータを設定した直後にシフトされます。PWREG6, 5 の書き替えを行うときは、必ず下位側 (PWREG5)、上位側 (PWREG6) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG6, 5 に対してリード命令を実行すると PWREG6, 5 の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREG6, 5 を設定してから INTTC6 割り込み要求までの間は、前回の PWREG6, 5 設定値が読み込まれます。

PWM 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

- 注 1) PWM モード時、タイマレジスタ PWREG6, 5 への書き込みは、INTTC6 割り込み要求発生直後 (通常は INTTC6 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREG6, 5 への書き込みと INTTC6 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC6 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、PWM6 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC6CR<TFF6> の操作を行ってください (タイマ停止と同時に TC6CR<TFF6> の設定を変更しないでください)。
例: タイマカウンタ停止時に PWM6 端子を “H” レベルに固定する。
CLR (TC6CR).3; タイマ停止
CLR (TC6CR).7; PWM6 端子を “H” レベルに設定
- 注 3) STOP モードを起動する場合は、事前にタイマカウンタを停止してください。PWM 出力中に STOP モードを起動すると、STOP モード解除後のウォーミングアップ中に PWM6 端子からパルスが出力されます (ソースクロックとして fc, fc/2 または fs を選択した場合)。

表 10-7 16 ビット PWM 出力モード

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード	DV7CK = 0		fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
fc/2 ¹¹	fs/2 ³ [Hz]	fs/2 ³ [Hz]	128 μs	244.14 μs	8.39 s	16 s
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	524.3 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	131.1 ms	—
fc/2 ³	fc/2 ³	—	500ns	—	32.8 ms	—
fs	fs	fs	30.5 μs	30.5 μs	2 s	2 s
fc/2	fc/2	—	125 ns	—	8.2 ms	—
fc	fc	—	62.5 ns	—	4.1 ms	—

(プログラム例) 周期 32.768 ms、“H” レベル幅 1 ms のパルスを出力する (fc = 16.0 MHz 時)

```

        ポートを設定する
LDW    (PWREG5), 07D0H    ; パルス幅の設定
LD     (TC5CR), 33H      ; 動作クロックを fc/23、16 ビット PWM モード (下位側)
                           ; に設定
LD     (TC6CR), 056H    ; TFF6 初期値 “0”、16 ビット PWM モード (上位側)
                           ; に設定
LD     (TC6CR), 05EH    ; タイマスタート
    
```

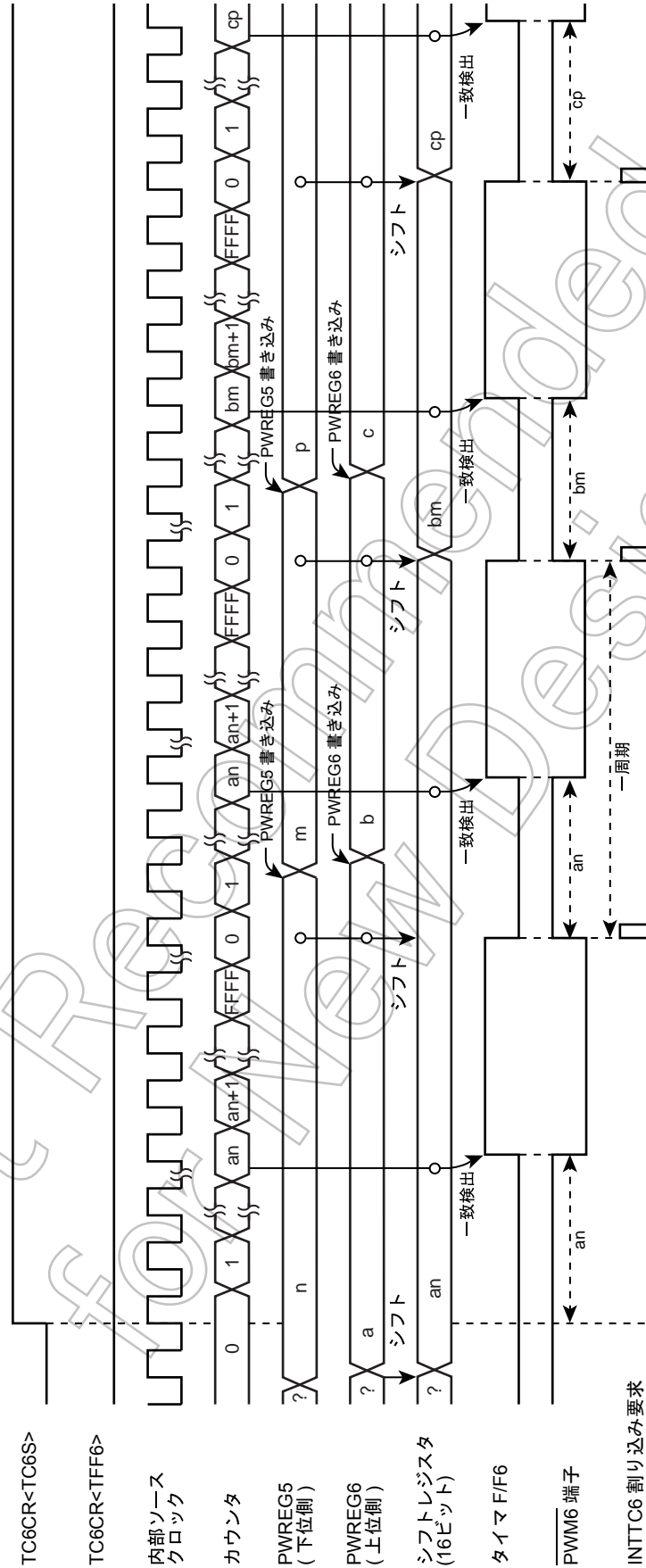


図 10-7 16 ビット PWM モードタイミングチャート (TC5 + TC6 の場合)

10.3.8 16 ビットプログラマブルパルスジェネレート (PPG) 出力モード (TC5 + 6)

このモードは分解能 16 ビットの PPG 出力を行うモードです。

タイマカウンタ 5 と 6 をカスケード接続することにより、16 ビット PPG モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG5, PWREG6) の設定値が一致するとタイマ F/F6 を反転します。カウンタはさらにカウントアップし、タイマレジスタ (TTREG5, TTREG6) 設定との一致でタイマ F/F6 を再び反転し、カウンタをクリアします。なお、このとき INTTC6 割り込み要求が発生します。

TC5 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c/2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s/2^4$ [Hz] となります。

タイマ F/F6 は、TC6CR<TFF6> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F6 は “0” にクリアされます。

($\overline{\text{PPG6}}$ 端子からはタイマ F/F6 値の反転レベルが出力されます)

なお、タイマレジスタは、必ず下位側、上位側の順 (TTREG5 → TTREG6、PWREG5 → PWREG6) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PPG 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

(プログラム例) 周期 16.385 ms、“H” レベル幅 1 ms のパルスを出力する ($f_c = 16.0$ MHz 時)

```

          ポートを設定する
LDW      (PWREG5), 07D0H      ; パルス幅の設定
LDW      (TTREG5), 8002H      ; 周期の設定
LD       (TC5CR), 33H         ; 動作クロックを  $f_c/2^3$ 、16 ビット PPG モード
          ; (下位側) に設定
LD       (TC6CR), 057H        ; TFF6 初期値 “0”、16 ビット PPG モード
          ; (上位側) に設定
LD       (TC6CR), 05FH        ; タイマスタート

```

注 1) プログラマブルパルスジェネレートモード時は、タイマ動作中に PWREG_i, TTREG_i の設定値を変更しないでください。プログラマブルパルスジェネレートモード時、PWREG_i, TTREG_i はシフトレジスタ構成となりませんので、PWREG_i, TTREG_i への設定値は書き替え直後に反映されます。従ってタイマ動作中に PWREG_i, TTREG_i を書き替えると想定している動作を得られない場合があります。

注 2) PPG 出力中にタイマを停止すると、 $\overline{\text{PPG6}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC6CR<TFF6> の操作を行ってください。タイマ停止と同時に TC6CR<TFF6> の設定を変更しないでください。

例：タイマカウンタ停止時に $\overline{\text{PPG6}}$ 端子を “H” レベルに固定する。

```

CLR      (TC6CR).3; タイマ停止
CLR      (TC6CR).7;  $\overline{\text{PPG6}}$  端子を “H” レベルに設定

```

注 3) $i = 5, 6$

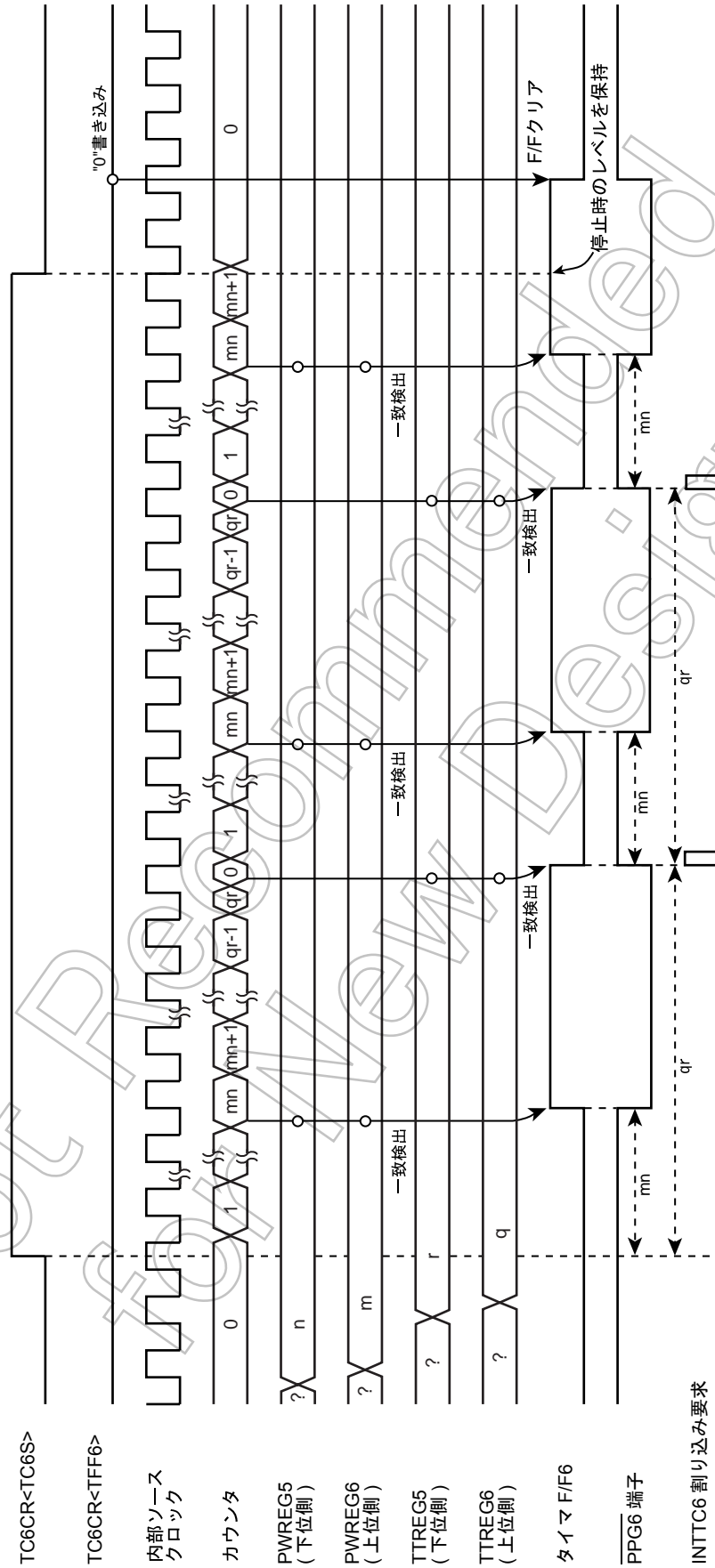


図 10-8 16 ビット PPG モード タイミングチャート (TC5 + TC6 の場合)

10.3.9 ウォーミングアップカウンタモード

システムクロックを高周波と低周波の間で切り替えるときに発振器が安定して動作するまでのウォーミングアップ時間を確保するモードです。タイマカウンタ 5 と 6 をカスケード接続し 16 ビットモードとして使用します。ウォーミングアップカウンタモードは、高周波から低周波に切り替えるときと、低周波から高周波に切り替えるときの 2 つのモードがあります。

- 注 1) ウォーミングアップカウンタモード時は、TCiCR<TFFi> を “0” に固定してください。固定されない場合は、PDOi/PWMI/PPGi 端子からパルスが出力されることがあります。
- 注 2) ウォーミングアップカウンタモード時は、タイマレジスタ TTREG6, 5 の下位 8 ビットは一致検出の対象外となり、上位 8 ビットのみ的一致検出となります。
- 注 3) i = 5, 6

10.3.9.1 低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)

低周波クロック fs が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XTEN> を “1” に設定し低周波クロックを発振させます。TC6CR<TC6S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG6, 5) 設定との一致で INTTC6 割り込み要求が発生し、カウンタがクリアされます。INTTC6 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を “1” に設定し、システムクロックを高周波から低周波に切り替えます。その後、SYSCR2<XEN> を “0” に設定し、高周波クロックを停止します。

表 10-8 低周波ウォーミングアップカウンタモードの設定時間 (fs = 32.768 kHz 時)

最小設定時間 (TTREG6, 5 = 0100H)	最大設定時間 (TTREG6, 5 = FF00H)
7.81 ms	1.99 s

(プログラム例) TC6, 5 で低周波クロックの安定した発振を確認後、SLOW1 モードへ切り替え

```

SET      (SYSCR2).6      ;SYSCR2<XTEN> ← “1”
LD       (TC5CR).43H    ;TFF5 = “0”, ソースクロック fs, 16 ビットモードに設定
LD       (TC6CR).05H    ;TFF6 = “0”, ウォーミングアップカウンタモードに設定
LD       (TTREG5).8000H ;ウォーミングアップ時間をセット
                          ;(発振器の特性で時間を決定します)
DI       ;IMF ← “0”
SET      (EIRH).5       ;INTTC6 割り込みを許可
EI       ;IMF ← “1”
SET      (TC6CR).3      ;TC6, 5 スタート
:        :
PINTTC6: CLR      (TC6CR).3 ;TC6, 5 ストップ
SET      (SYSCR2).5      ;SYSCR2<SYSCK> ← “1”
                          ;(システムクロックを低周波に切り替え)
CLR      (SYSCR2).7      ;SYSCR2<XEN> ← “0” (高周波クロック停止)
RETI
:        :
VINTTC6: DW        PINTTC6 ;INTTC6 ベクタテーブル
    
```

10.3.9.2 高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

高周波クロック f_c が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XEN> を“1”に設定し高周波クロックを発振させます。TC6CR<TC6S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG6, 5) 設定との一致で INTTC6 割り込み要求が発生し、カウンタがクリアされます。INTTC6 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を“0”に設定し、システムクロックを低周波から高周波に切り替えます。その後、SYSCR2<XTEN> を“0”に設定し、低周波クロックを停止します。

表 10-9 高周波ウォーミングアップカウンタモードの設定時間

最小設定時間 (TTREG6, 5 = 0100H)	最大設定時間 (TTREG6, 5 = FF00H)
16 μ s	4.08 ms

(プログラム例) TC6, 5 で高周波クロックの安定した発振を確認後、NORMAL1 モードへ切り替え

```

SET      (SYSCR2).7      ; SYSCR2<XEN> ← “1”
LD       (TC5CR), 63H    ; TFF5 = “0”, ソースクロック  $f_c$ ,
                        ; 16 ビットモードに設定
LD       (TC6CR), 05H    ; TFF6 = “0”, ウォーミングアップカウンタモード
                        ; に設定
LD       (TTREG5), 0F800H ; ウォーミングアップ時間をセット
                        ; (発振器の特性で時間を決定します)
DI       ; IMF ← “0”
SET      (EIRH). 5      ; INTTC6 割り込みを許可
EI       ; IMF ← “1”
SET      (TC6CR).3      ; TC6, 5 スタート
:
:
PINTTC6: CLR      (TC6CR).3 ; TC6, 5 ストップ
          CLR      (SYSCR2).5 ; SYSCR2<SYSCK> ← “0”
                        ; (システムクロックを高周波に切り替え)
          CLR      (SYSCR2).6 ; SYSCR2<XTEN> ← “0”
                        ; (低周波クロック停止)
          RETI
:
:
VINTTC6: DW      PINTTC6 ; INTTC6 ベクタテーブル

```

Not Recommended
for New Design

11.2 制御

UART は、UART 制御レジスタ 1, 2 (UARTCR1, UARTCR2) で制御されます。また UART ステータスレジスタ (UARTSR) により動作状態のモニタができます。

UART 制御レジスタ 1

UARTCR1 (0025H)	7	6	5	4	3	2	1	0	
	TXE	RXE	STBT	EVEN	PE	BRG			(初期値: 0000 0000)

TXE	送信動作	0: ディセーブル 1: イネーブル	Write only
RXE	受信動作	0: ディセーブル 1: イネーブル	
STBT	送信ストップビット長	0: 1 ビット 1: 2 ビット	
EVEN	偶数パリティ	0: 奇数パリティ 1: 偶数パリティ	
PE	パリティ付加	0: パリティなし 1: パリティ付加	
BRG	転送クロック選択	000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: TC5 使用 (INTTC5 を入力) 111: fc/96	

- 注 1) TXE, RXE ビットを "0" に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、そのあと送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。
- 注 2) 転送クロックとパリティは送受信共通です。
- 注 3) BRG の書き替えは、RXE = "0" かつ TXE = "0" のときに行ってください。

UART 制御レジスタ 2

UARTCR2 (0026H)	7	6	5	4	3	2	1	0	
						RXDNC	STOPBR		(初期値: **** *000)

RXDNC	RXD 入力のノイズ除去時間の選択	00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc[s] 未満のパルスはノイズとして除去 10: 63/fc[s] 未満のパルスはノイズとして除去 11: 127/fc[s] 未満のパルスはノイズとして除去	Write only
STOPBR	受信ストップビット長	0: 1 ビット 1: 2 ビット	

- 注) RXDNC が "01" の場合 96/fc、"10" の場合 192/fc、"11" の場合 384/fc[s] 以上は確実に信号とみなされます。

UART ステータスレジスタ

UARTSR (0025H)	7	6	5	4	3	2	1	0	
	PERR	FERR	OERR	RBFL	TEND	TBEP			(初期値: 0000 11**)

PERR	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	Read only
FERR	フレーミングエラーフラグ	0: フレーミングエラーなし 1: フレーミングエラー発生	
OERR	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	
RBFL	受信バッファフルフラグ	0: 受信バッファ空き 1: 受信バッファフル	
TEND	送信終了フラグ	0: 送信中 1: 送信終了	
TBEP	送信バッファ空きフラグ	0: 送信バッファフル (送信データ書き込み済み) 1: 送信バッファ空き	

注) TBEP は、送信割り込み発生後、自動的に "1" にセットされます

UART 受信データバッファ

RDBUF (0F9BH)	7	6	5	4	3	2	1	0	Read only
									(初期値: 0000 0000)

UART 送信データバッファ

TDBUF (0F9BH)	7	6	5	4	3	2	1	0	Write only
									(初期値: 0000 0000)

Not Recommended for New Design

11.3 転送データフォーマット

UART で転送されるデータには、スタートビット 1 ビット (“L” レベル) とストップビット (“H” レベル、UARTCR1<STBT> でビット長の選択可)、パリティ UARTCR1<PE> でパリティ有無の選択可、UARTCR1<EVEN> で偶数 / 奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

PE	STBT	フレーム長									
		1	2	3	8	9	10	11	12		
0	0										
0	1										
1	0										
1	1										

図 11-2 転送データフォーマット

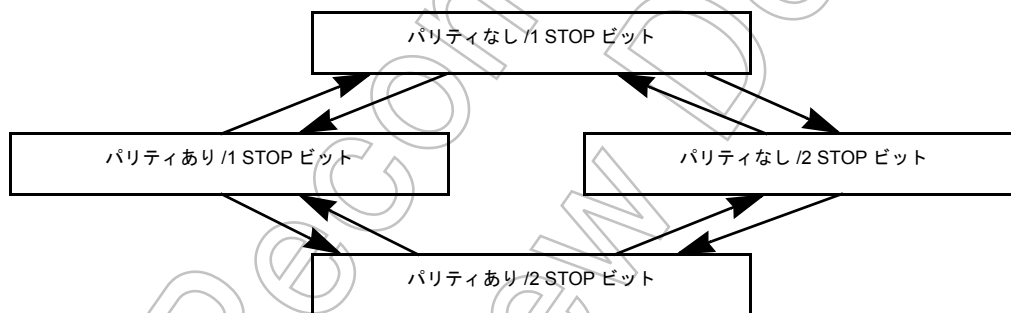


図 11-3 転送データフォーマット変更時の注意

注) 送信データフォーマットの切り替えは、初期設定時以外は図 11-3 の状態遷移にて送信動作を実施し、切り替えを行ってください。

11.4 転送レート

UART の転送レート (ボーレート) は UARTCR1<BRG> により設定されます。以下に転送レートの例を示します。

表 11-1 転送レート (例)

BRG	ソースクロック		
	16 MHz	8 MHz	4 MHz
000	76800 [baud]	38400 [baud]	19200 [baud]
001	38400	19200	9600
010	19200	9600	4800
011	9600	4800	2400
100	4800	2400	1200
101	2400	1200	600

UART の転送レートとして TC5 使用を選択したとき (つまり UARTCR1<BRG> = “110” に設定したとき) 転送クロックおよび転送レートは

$$\text{転送クロック [Hz]} = \text{TC5 ソースクロック [Hz]} \div \text{TTREG5 設定値}$$

$$\text{転送レート [baud]} = \text{転送クロック [Hz]} \div 16$$

となります。

11.5 データのサンプリング方法

UART のレシーバは、RXD 端子入力にスタートビットが見つかるまで UARTCR1<BRG> で選択したクロックで入力のサンプリングを行います。RT クロックの開始は、RXD 端子の “L” レベルを検出し始まります。スタートビットが見つかったらスタートビット、データビット、ストップビット、パリティビットは、以下に示すように 1 レシーバクロック (RT1 クロック) の間隔 (RT0 はビットが始まると予想される位置) で RT7, RT8, RT9 の位置で 3 回サンプリングし、多数決判定 (3 回のサンプリングのうち 2 回または 3 回) で決定しビットのデータとします。

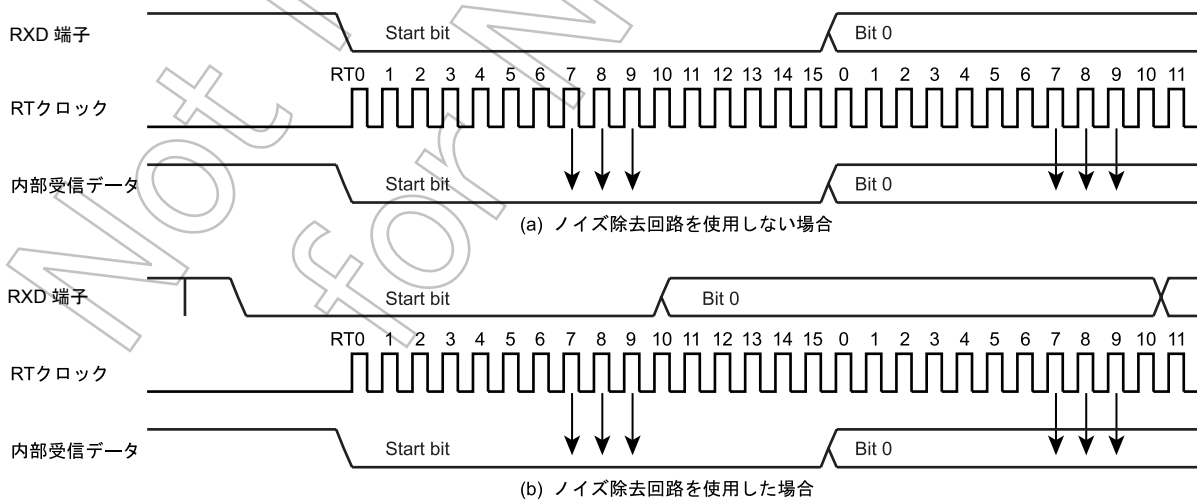


図 11-4 データのサンプリング方法

11.6 STOP ビット長

UARTCR1<STBT> で送信ストップビット長 (1 ビット / 2 ビット) の選択ができます。

11.7 パリティ

UARTCR1<PE> でパリティ付加の有無を、UARTCR1<EVEN> でパリティの種類 (奇数 / 偶数) を設定します。

11.8 送受信動作

11.8.1 データ送信動作

UARTCR1<TXE> を “1” にセットします。UARTSR を読み出し TBEP = “1” を確認後、TDBUF (送信データバッファ) にデータを書き込みます。書き込みを行うと UARTSR<TBEP> は “0” にクリアされデータが送信シフトレジスタに転送された後、TXD 端子より順次出力されます。このとき出力されるデータにはスタートビット 1 ビットと UARTCR1<STBT> で指定した数のストップビットおよびパリティビット (パリティありの場合) が付加されます。データ転送ボーレートは UARTCR1<BRG> で選択します。データの送信が始まると送信バッファエンプティフラグ UARTSR<TBEP> は “1” にセットされ、INTTXD 割り込みが発生します。

UARTCR1<TXE> が “0” の間および UARTCR1<TXE> に “1” を書き込んでから TDBUF に送信データが書き込まれるまでの間、TXD 端子は “H” レベルに固定されます。

送信を行う場合、UARTSR を読み出してから TDBUF にデータを書き込んでください。読み出さないと、UARTSR<TBEP> が “0” にクリアされず送信が開始されません。

11.8.2 データ受信動作

UARTCR1<RXE> を “1” にセットします。その後、RXD 端子からデータを受信すると、RDBUF (受信データバッファ) に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット (パリティありの場合) が付加されています。ストップビットが受信されるとデータだけが取り出され RDBUF (受信データバッファ) に転送された後、受信バッファフルフラグ UARTSR<RBFL> がセットされ、INTRXD 割り込みが発生します。データ転送ボーレートは UARTCR1<BRG> で選択します。

データが受信されたときに、オーバランエラーが発生すると、RDBUF (受信データバッファ) へのデータ転送は行われず破棄されます。ただし、RDBUF 内のデータは影響を受けません。

注) UARTCR1<RXE> ビットを “0” に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

11.9 ステータスフラグ

11.9.1 パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグ UARTSR<PERR> が“1”にセットされます。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<PERR> は“0”にクリアされます。

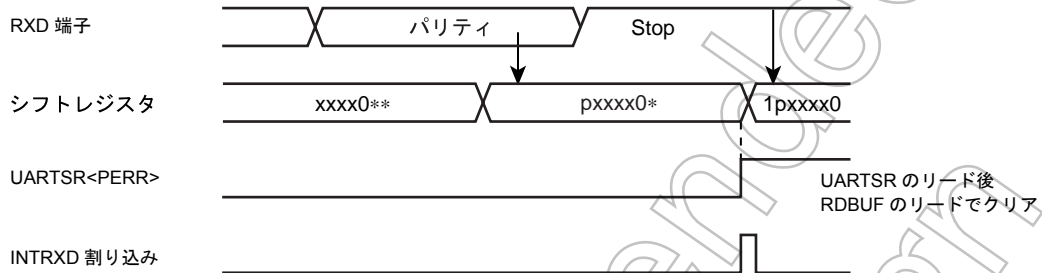


図 11-5 パリティエラーの発生

11.9.2 フレーミングエラー

受信データの STOP ビットとして“0”がサンプリングされたときフレーミングエラーフラグ UARTSR<FERR> が“1”にセットされます。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<FERR> は“0”にクリアされます。

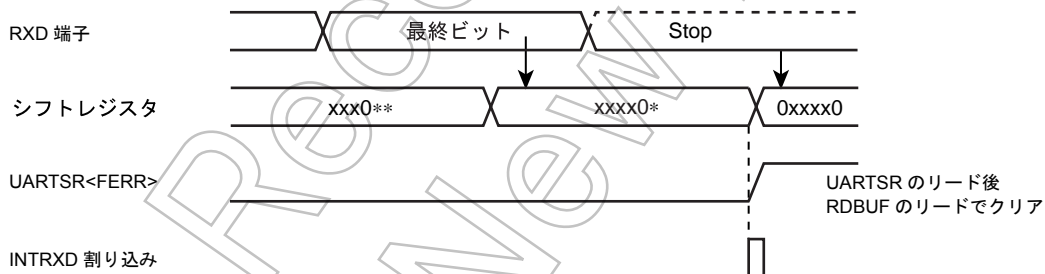


図 11-6 フレーミングエラーの発生

11.9.3 オーバランエラー

RDBUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグ UARTSR<OERR> が“1”にセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<OERR> は“0”にクリアされます。

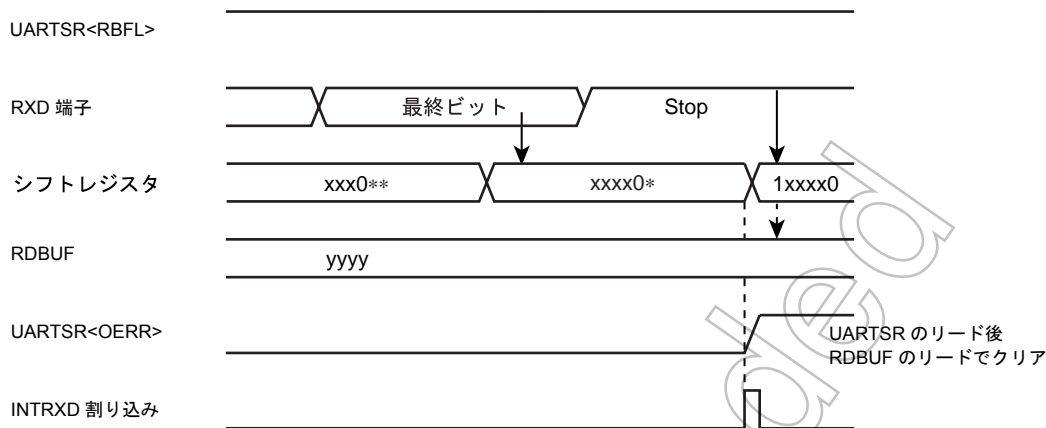


図 11-7 オーバランエラーの発生

注) オーバランエラーフラグ UARTSR<OERR> がクリアされるまで、受信動作は停止します。

11.9.4 受信バッファフル

受信データを RDBUF に取り込むと UARTSR<RBFL> が “1” にセットされます。UARTSR を読み出した後、RDBUF からデータを読み出すと UARTSR<RBFL> は “0” にクリアされます。

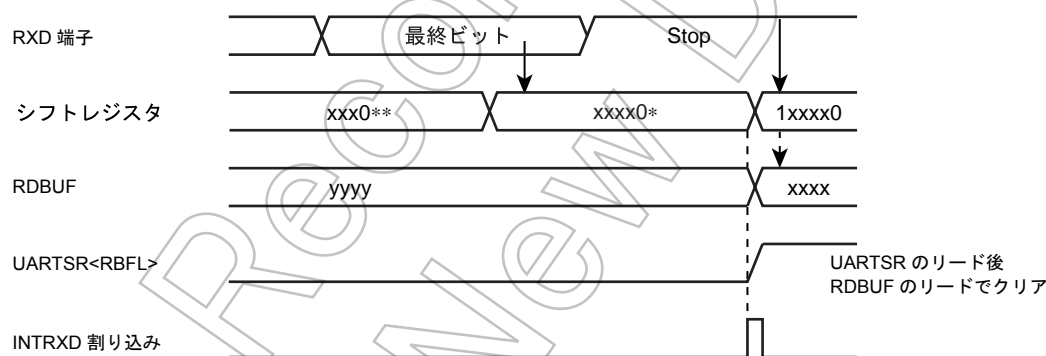


図 11-8 受信バッファフルの発生

注) 上記、UARTSR の読み出しから RDBUF を読み出す間にオーバランエラーフラグ UARTSR<OERR> がセットされた場合、RDBUF 読み出しだけではエラーフラグがクリアされません。再度 UARTSR を読み込み、エラーの確認を行ってください。

11.9.5 送信バッファエンプティ

TDBUF にデータが存在しないとき、つまり TDBUF のデータが送信シフトレジスタに転送され送信が開始されるととき UARTSR<TBEP> が “1” にセットされます。UARTSR を読み出した後、TDBUF にデータを書き込むと UARTSR<TBEP> は “0” にクリアされます。

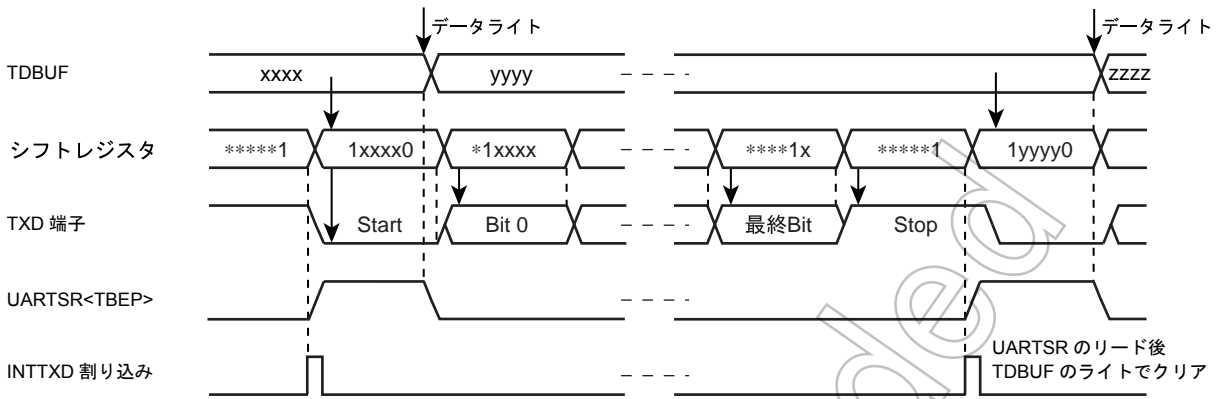


図 11-9 送信バッファエンプティの発生

11.9.6 送信終了フラグ

送信が終了し、TDBUF 内に待機中のデータがないとき (UARTSR<TBEP>=“1”のとき) UARTSR<TEND> が“1”にセットされます。TDBUF にデータを書き込んだ後、送信が開始されると UARTSR<TEND> は“0”にクリアされます。

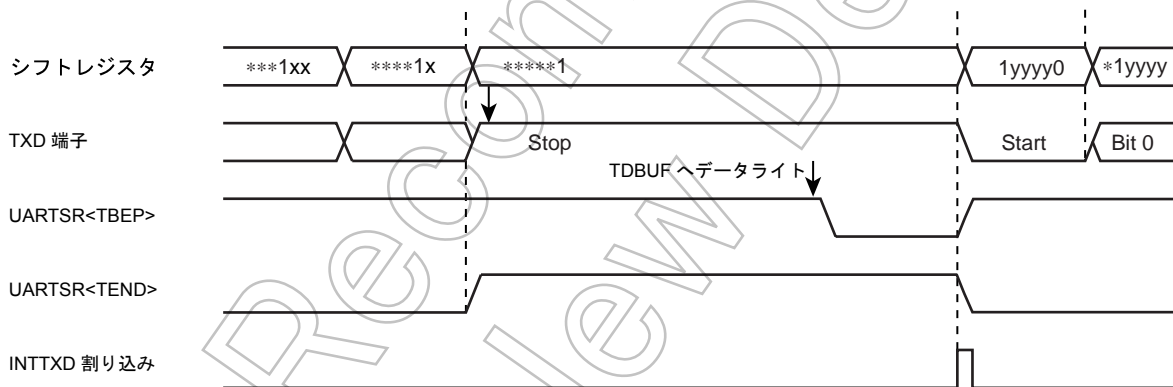


図 11-10 送信終了フラグと送信バッファエンプティの発生

Not Recommended
for New Design

第 12 章 同期型シリアルインタフェース (SIO)

TMP86CM23AUG は、クロック同期方式の 8 ビット シリアルインタフェースを内蔵しています。シリアルインタフェースは、8 バイトの送受信データバッファを持っており、最大 64 ビットまでのデータを自動的に連続転送することができます。

シリアルインタフェースは、SO, SI, SCK 端子を通して外部デバイスと接続されます。

12.1 構成

SIO制御レジスタ/ステータスレジスタ

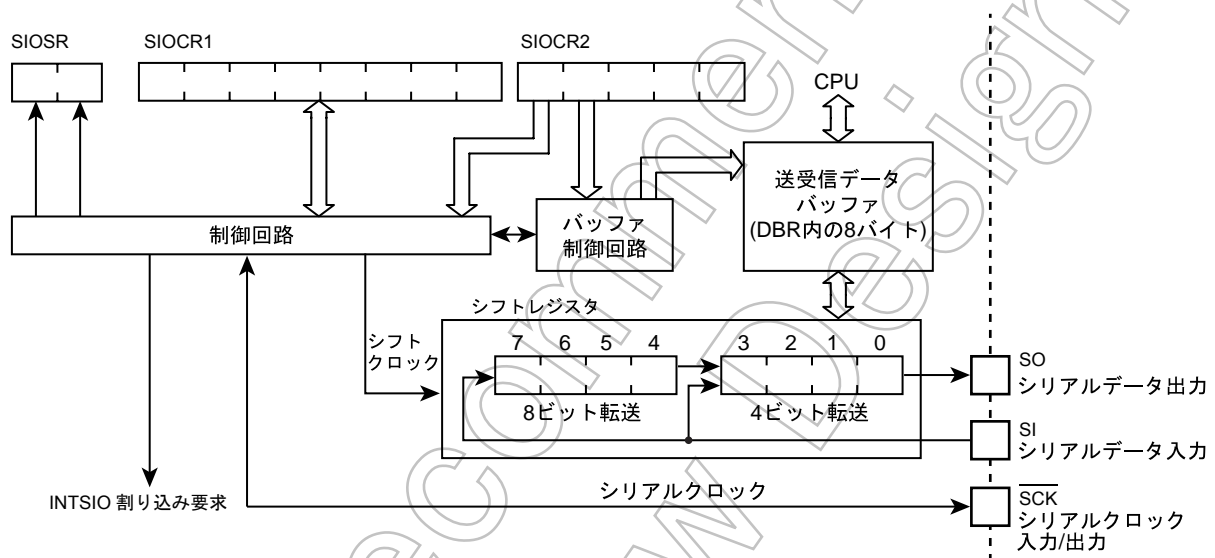


図 12-1 シリアルインタフェース

12.2 制御

SIO の制御は、シリアルインタフェース制御レジスタ (SIOCR1/SIOCR2) で行います。また、ステータスレジスタ (SIOSR) をリードすることによりシリアルインタフェースの動作状態を確認することができます。

送受信データバッファの制御は、SIOCR2<BUF> で行います。送受信データバッファは、DBR 領域の 0F90~0F97H 番地に割り当てられており、一度に最大 8 ワードまで連続転送できます。設定されたワード数の転送が終了するとバッファエンプティ (送信時) / バッファフル (受信時または送受信時) の割り込み要求 (INTSIO) が発生します。

シリアルクロックに内部クロックを用いる場合、8 ビット送受信または 8 ビット受信モードのとき 1 ワード転送ごとにシリアルクロックに一定時間のウェイトをかけることができます。ウェイト時間は、SIOCR2<WAIT> で 4 種類の中から選択することができます。

シリアルインタフェース制御レジスタ 1

SIOCR1	7	6	5	4	3	2	1	0		
(0F98H)	SIOS		SIOINH		SIOM			SCK		(初期値: 0000 0000)

SIOS	転送の開始 / 終了指示	0: 終了 1: 開始							
SIOINH	転送の強制停止	0: 転送継続 1: 強制停止 (停止後、自動的にクリア)							
SIOM	転送モードの選択	000: 8 ビット送信モード 010: 4 ビット送信モード 100: 8 ビット送受信モード 101: 8 ビット受信モード 110: 4 ビット受信モード 上記以外: Reserved							Write only
SCK	シリアルクロックの選択		NORMAL1/2, IDLE1/2 モード		SLOW1/2 SLEEP1/2 モード				Write only
			DV7CK = 0	DV7CK = 1					
		000	fc/2 ¹³	fs/2 ⁵	fs/2 ⁵				
		001	fc/2 ⁸	fc/2 ⁸	—				
		010	fc/2 ⁷	fc/2 ⁷	—				
		011	fc/2 ⁶	fc/2 ⁶	—				
			Reserved						
			外部クロック (SCK 端子から入力)						

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz]

注 2) 転送モード、シリアルクロックの設定時は、SIOS = "0"、SIOINH = "1" にしてください。

注 3) SIOCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

シリアルインタフェース制御レジスタ 2

SIOCR2	7	6	5	4	3	2	1	0	
(0F99H)				WAIT			BUF		(初期値: ***0 0000)

WAIT	ウェイト制御	8ビット送受信 / 受信モード以外は常に“00”にしてください。 00: $T_f = T_D$ (ノンウェイト) 01: $T_f = 2T_D$ (ウェイト) 10: $T_f = 4T_D$ (ウェイト) 11: $T_f = 8T_D$ (ウェイト)	Write only
BUF	転送ワード数の設定 (使用するバッファのアドレス)	000: 1ワード転送 0F90H 001: 2ワード転送 0F90H ~ 0F91H 010: 3ワード転送 0F90H ~ 0F92H 011: 4ワード転送 0F90H ~ 0F93H 100: 5ワード転送 0F90H ~ 0F94H 101: 6ワード転送 0F90H ~ 0F95H 110: 7ワード転送 0F90H ~ 0F96H 111: 8ワード転送 0F90H ~ 0F97H	

- 注 1) 4ビット転送のときは、各バッファの下位4ビットに格納します / されます。受信時上位4ビットには“0”が格納されません。
- 注 2) 送信データはバッファの若いアドレスの方から送信されます。また、受信データは若いアドレスの方から格納されます (最初に転送されるのは0F90H番地です)。
- 注 3) 転送終了後も BUF の設定値は保存されています。
- 注 4) SIOCR2 の設定は、シリアルインタフェース停止状態 (SIOF = 0) で行ってください。
- 注 5) *: Don't care
- 注 6) SIOCR2 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

シリアルインタフェースステータスレジスタ

SIOSR	7	6	5	4	3	2	1	0
(0F99H)	SIOF	SEF						

SIOF	シリアル転送動作状態モニタ	0: 転送終了 1: 転送中	Read only
SEF	シフト動作状態モニタ	0: シフト動作終了 1: シフト動作中	

- 注 1) T_f : フレーム時間 (1ワードのデータ転送時間), T_D : データ転送時間
- 注 2) SIOF は、SIOS を “0” にクリアした後、転送が終了した時点または SIOINH を “1” にセットした時点で “0” にクリアされます。

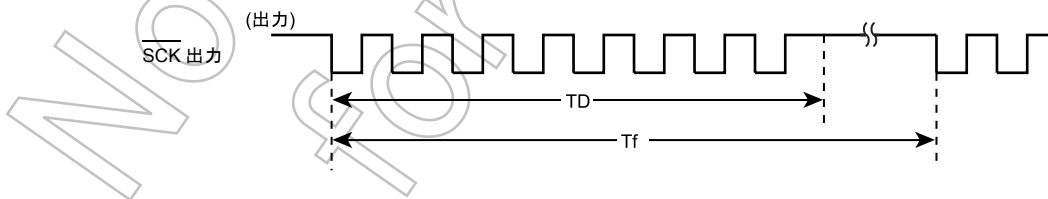


図 12-2 フレーム時間 (T_f) とデータ転送時間 (T_D)

12.3 シリアルクロック

12.3.1 クロックソース

クロックソースは SIOCR1<SCK> により、内部クロックまたは外部クロックを選択することができます。

12.3.1.1 内部クロック

シリアルインタフェースは、内部クロックソースとして 6 種類の周波数が選択でき、シリアルクロックは SCK 端子より外部に出力されます。なお、転送開始時 SCK 端子出力は “H” レベルになります。

プログラムでデータの書き込み (送信時) またはデータの読み取り (受信時) がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

表 12-1 シリアルクロックレート

	NORMAL1/2, IDLE1/2 モード				SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0		DV7CK = 1		クロック	ボーレート
SCK	クロック	ボーレート	クロック	ボーレート	クロック	ボーレート
000	$f_c/2^{13}$	1.91 Kbps	$f_s/2^5$	1024 bps	$f_s/2^5$	1024 bps
001	$f_c/2^8$	61.04 Kbps	$f_c/2^8$	61.04 Kbps	—	—
010	$f_c/2^7$	122.07 Kbps	$f_c/2^7$	122.07 Kbps	—	—
011	$f_c/2^6$	244.14 Kbps	$f_c/2^6$	244.14 Kbps	—	—
100	$f_c/2^5$	488.28 Kbps	$f_c/2^5$	488.28 Kbps	—	—
101	$f_c/2^4$	976.56 Kbps	$f_c/2^4$	976.56 Kbps	—	—
110	—	—	—	—	—	—
111	外部	外部	外部	外部	外部	外部

注) 1 Kbit = 1024 bit (fc = 16 MHz, fs = 32.768 kHz)

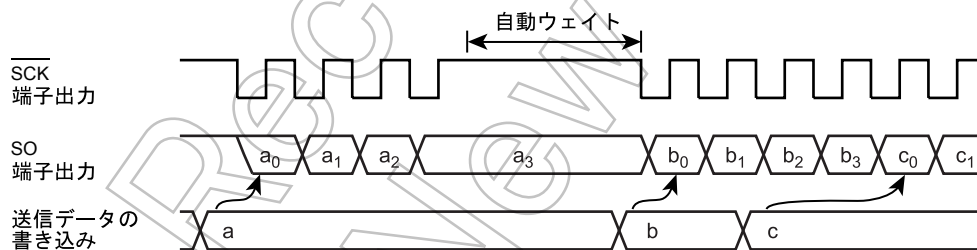


図 12-3 自動ウェイト機能 (4 ビット送信モードの場合)

12.3.1.2 外部クロック

外部から SCK 端子に供給されるクロックをシリアルクロックとして用います。この場合、ポートの出力ラッチは “1” にセットしてください。なお、シフト動作が確実に実行されるためには、シリアルクロックの “H” レベル, “L” レベルともに 4 マシンサイクル以上のパルス幅が必要です。従って、最大転送速度は 488.3K bit/s (fc = 16 MHz 時) です。

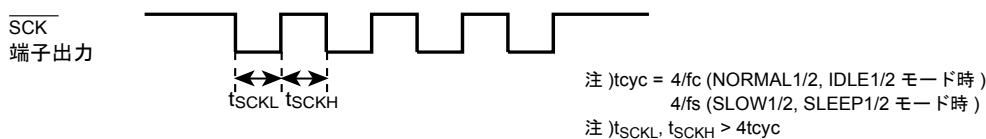


図 12-4 外部クロックのパルス幅

12.3.2 シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

12.3.2.1 前縁シフト

シリアルクロックの前縁 (SCK 端子入出力の立ち下がりエッジ) でデータをシフトします。

12.3.2.2 後縁シフト

シリアルクロックの後縁 (SCK 端子入出力の立ち上がりエッジ) でデータをシフトします。

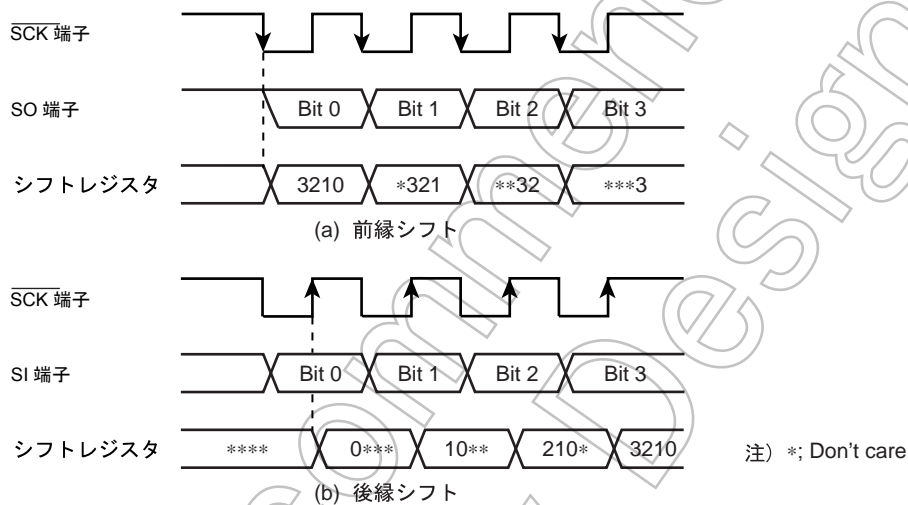


図 12-5 シフトエッジ

12.4 転送ビット数

4 ビットシリアル転送または 8 ビットシリアル転送が選択できます。4 ビットシリアル転送の場合、送受信データバッファは下位 4 ビットのみ使用し、上位 4 ビットは受信時“0”になります。

なお、データは最下位ビット (LSB) から順次シリアル転送されます。

12.5 転送ワード数

4 ビットデータ (4 ビットシリアル転送時)/8 ビットデータ (8 ビットシリアル転送時) を 1 ワードとして最大 8 ワードまで連続して転送することができます。転送ワード数は、SIOCR2<BUF> で設定します。

指定されたワード数の転送終了時点で、INTSIO 割り込み要求が発生します。途中で転送ワード数を変更する場合は、シリアルインタフェースを停止してから行ってください。ただし、内部クロック動作の場合は自動ウェイト動作中に転送ワード数の変更ができますので、停止させる必要はありません。

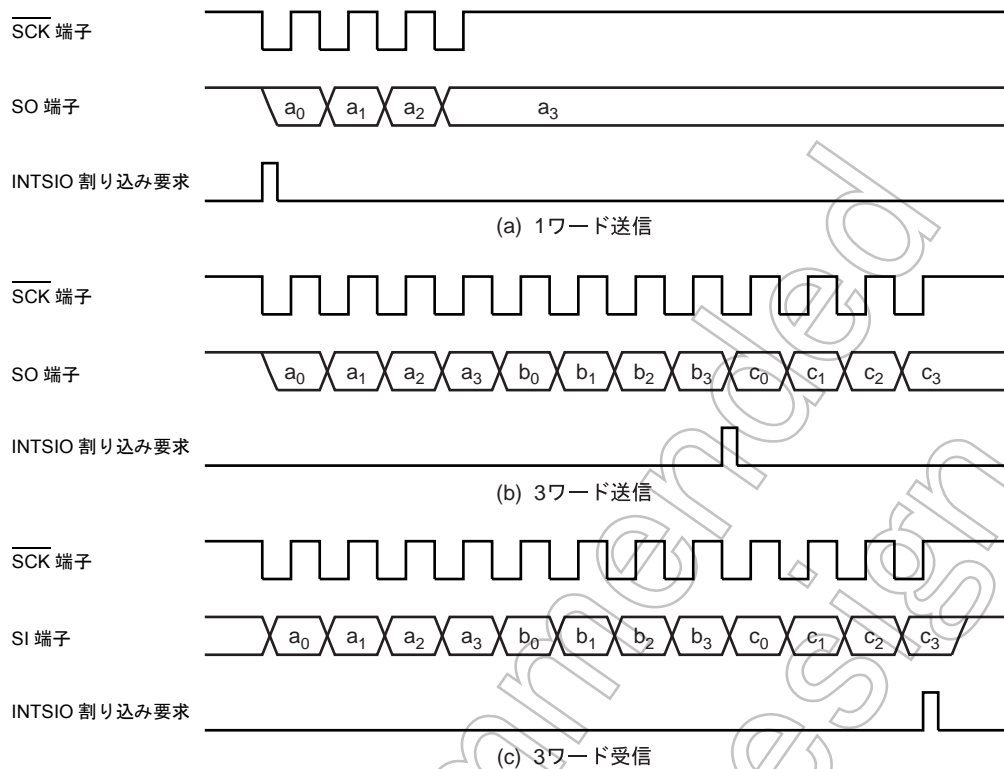


図 12-6 転送ワード数 (例: 1ワード = 4ビット)

12.6 転送モード

転送モードは $\text{SIOCR1}\langle\text{SIOM}\rangle$ によって、送信/受信/送受信モードを選択することができます。

12.6.1 4ビット送信モード、8ビット送信モード

制御レジスタに送信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。

送信データの書き込み後、 $\text{SIOCR1}\langle\text{SIOS}\rangle$ を“1”にセットすることにより送信が開始されます。送信データは、シリアルクロックに同期して最下位ビット (LSB) 側から逐次 SO 端子に出力されます。LSB のデータを出力した時点で、送信データは、1ワードずつバッファレジスタからシフトレジスタへ転送されます。最後の送信データが転送されると、バッファレジスタが空になりますので、次の送信データを要求する INTSIO (バッファEMPTY) 割り込み要求が発生します。

内部クロック動作の場合、 $\text{SIOCR2}\langle\text{BUF}\rangle$ で指定されたワード数のデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。ただし、次の送信データを1ワードでも書き込むと自動ウェイト動作は解除されますので、2ワード以上送信する場合は前の1ワードの送信が終わるまでに次のワードのデータを書き込んでください。

注) 送信データバッファに使用していない DBR への書き込みによっても自動ウェイト動作は解除されますので、不使用の DBR を他の用途に使用しないでください。例えば、3ワード送信の場合、余った5ワードの DBR は使用しないでください。

外部クロック動作の場合、次のデータのシフト動作に入る前に、バッファレジスタに送信データが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、バッファレジスタにデータを書き込むまでの最大遅れ時間により決まります。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムで SIOCR1<SIOS> を“0”にクリアするか SIOCR1<SIOINH> を“1”にセットします。SIOCR1<SIOS> がクリアされると、転送中のワードの全ビットが出力された時点で終了します。プログラムで送信の終了を確認するには、SIOSR<SIOF> をセンスします。SIOSR<SIOF> は送信の終了で“0”になります。SIOCR1<SIOINH> をセットした場合は、直ちに送信を打ち切り、SIOSR<SIOF> は“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前に SIOCR1<SIOS> を“0”クリアする必要があります。もしシフトアウトする前に SIOCR1<SIOS> がクリアされなかった場合は、ダミーのデータの送信後、停止します。転送ワード数を変更する必要がある場合は、SIOCR1<SIOS> を“0”にクリアし、SIOSR<SIOF> が“0”なったことを確認後 SIOCR2<BUF> を書き替えてください。

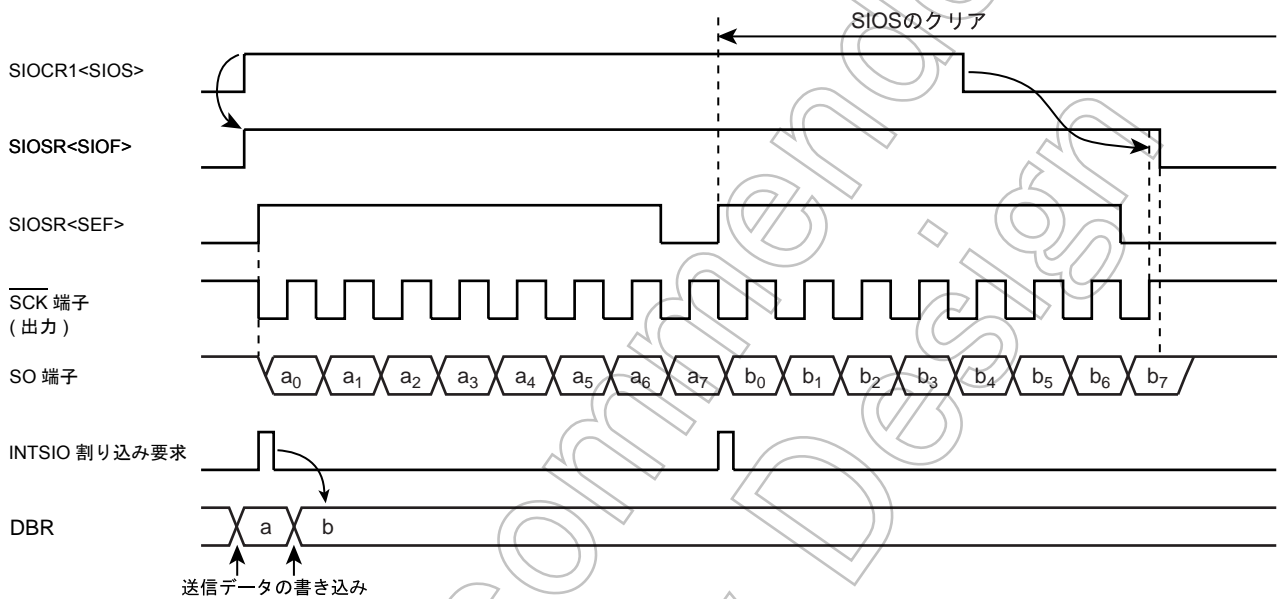


図 12-7 送信モード (例：8 ビット，1ワード転送、内部クロック)

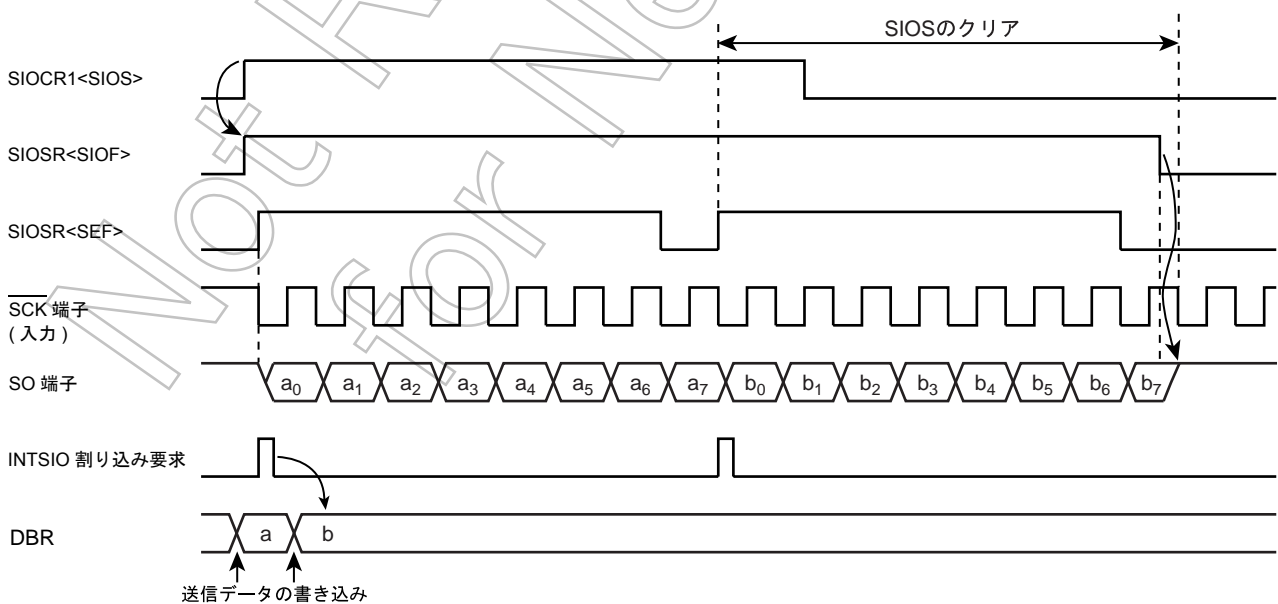


図 12-8 送信モード (例：8 ビット，1ワード転送、外部クロック)

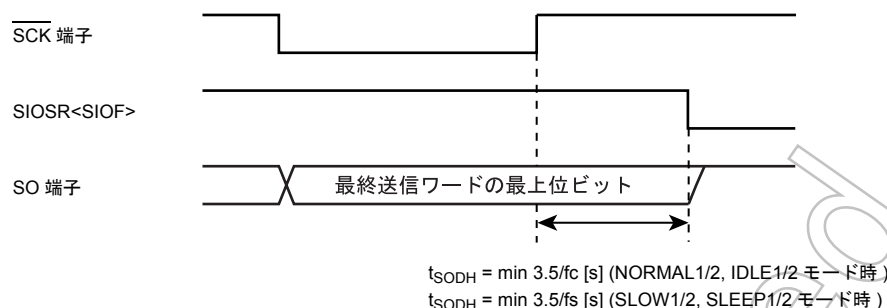


図 12-9 送信終了時の送信データ保持時間

12.6.2 4 ビット受信モード, 8 ビット受信モード

制御レジスタに受信モードをセットした後、SIOCR1<SIOS> を“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側から順次シフトレジスタへデータを取り込みます。1 ワードのデータが取り込まれるとシフトレジスタからデータバッファレジスタ (DBR) に受信データが書き込まれます。SIOCR2<BUF> で指定されたワード数の受信が終了すると受信データの読み取りを要求する INTSIO (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにてデータバッファレジスタから読み取ります。

内部クロック動作の場合、受信データがデータバッファレジスタから読み取られるまでシリアルクロックを停止する自動ウェイト動作を行います。1 ワードでも読み取っている場合は自動ウェイト動作は行われません。

注) 受信データバッファに使用していない DBR の読み出しによっても自動ウェイト動作は解除されますので、SIO で不使用の DBR を他の用途に使用しないでください。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み取ります。もし、受信データが読み取られない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み取りまでの最大遅れ時間により決まります。

受信を終了させるにはバッファフル割り込みサービスプログラムで SIOCR1<SIOS> を“0”にクリアするか SIOCR1<SIOINH> を“1”にセットします。SIOCR1<SIOS> が“0”にクリアされると、転送中のワードの全ビットが揃いデータバッファレジスタへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、SIOCR2<SIOF> をセンスします。SIOCR2<SIOF> は受信の終了で“0”になります。受信終了の確認のあと最終受信データを読み取ります。

SIOCR1<SIOINH> をセットした場合は、直ちに受信を打ち切り、SIOCR2<SIOF> は“0”になります (受信データは無効になりますので、読み取る必要はありません)。転送ワード数を変更する必要がある場合、外部クロック動作のときは SIOCR1<SIOS> を“0”にクリアし SIOCR2<SIOF> が“0”になったことを確認後 SIOCR2<BUF> を書き替えてください。内部クロック動作のときは自動ウェイト動作に入りますので、受信データを読み取る前に SIOCR2<BUF> を書き替えてください。

注) 転送モードを変更した場合、データバッファレジスタの内容は保持されません。従って転送モードの変更は、受信終了指示 (SIOCR1<SIOS> を“0”にクリア) を行い、最終受信データを読み取った後で行ってください。

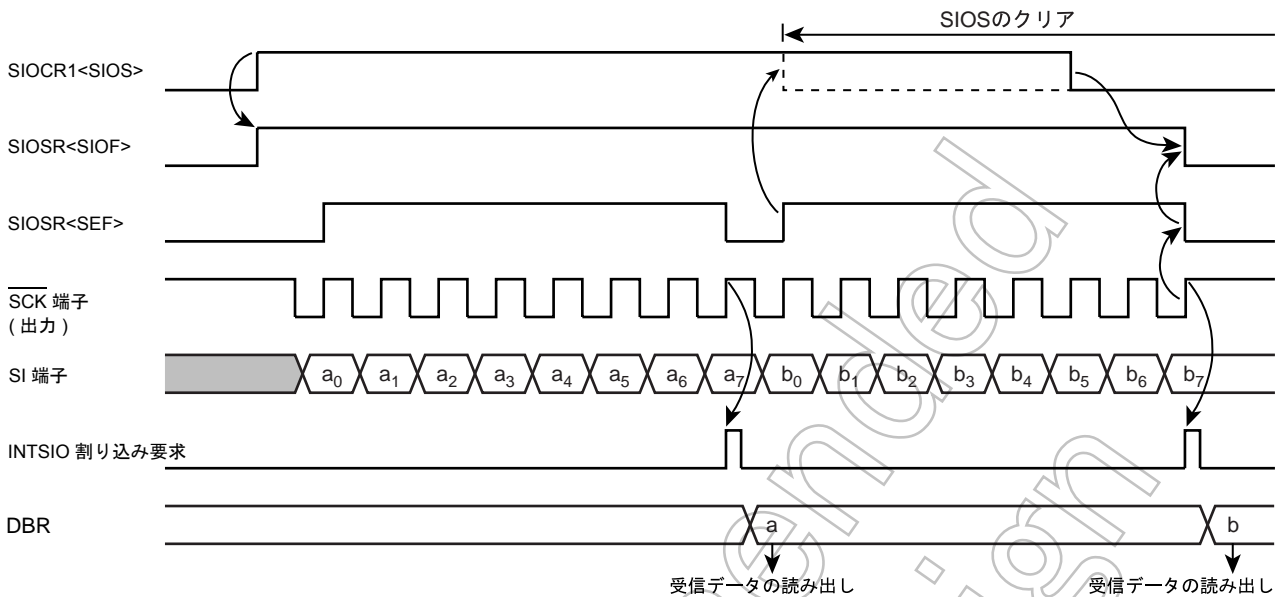


図 12-10 受信モード (例: 8 ビット, 1 ワード転送, 内部クロック)

12.6.3 8 ビット送受信モード

制御レジスタに送受信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。その後、SIOCR1<SIOS> に“1”をセットすることにより送受信可能となります。最下位ビットから順次、シリアルクロックの前縁で送信データは SO 端子から出力され、後縁で受信データが SI 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタからデータバッファレジスタへ受信データが転送されます。SIOCR2<BUF> で指定されたワード数の送受信が終了すると、INTSIO 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み取り、そのあと送信データを書き込みます。データバッファレジスタは、送信、受信にて兼用していますので、送信データは、必ず全受信データを読み取ってから書き込むようにしてください。

内部クロック動作の場合、受信データを読み取り、次の送信データを書き込むまで自動ウェイト動作を行います。1 ワードでも送信データを書き込んでいる場合は自動ウェイト動作は行われません。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み取り、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み取り、送信データを書き込むまでの最大遅れ時間により決まります。

送受信を終了させるには、INTSIO 割り込みサービスプログラムで SIOCR1<SIOS> を“0”にクリアするか SIOCR1<SIOINH> を“1”にセットします。SIOCR1<SIOS> がクリアされると、転送中のワードの全ビットが揃い、データバッファレジスタへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIOSR<SIOF> をセンスします。SIOSR<SIOF> は送受信の終了で“0”になります。SIOCR1<SIOINH> をセットした場合は、直ちに送受信を打ち切り、SIOF は“0”になります。

転送ワード数を変更する場合、外部クロック動作のときは、SIOCR1<SIOS> を“0”にクリアし SIOSR<SIOF> が“0”になったことを確認後、SIOCR2<BUF> を書き替えてください。内部クロック動作のときは、自動ウェイト動作に入りますので、送受信データのリード / ライトの前に書き替えてください。

注) 転送モードを変更した場合、データバッファレジスタの内容は保持されません。従って転送モードの変更は、受信終了指示 (SIOS を“0”にクリア) を行い、最終受信データを読み取った後で行ってください。

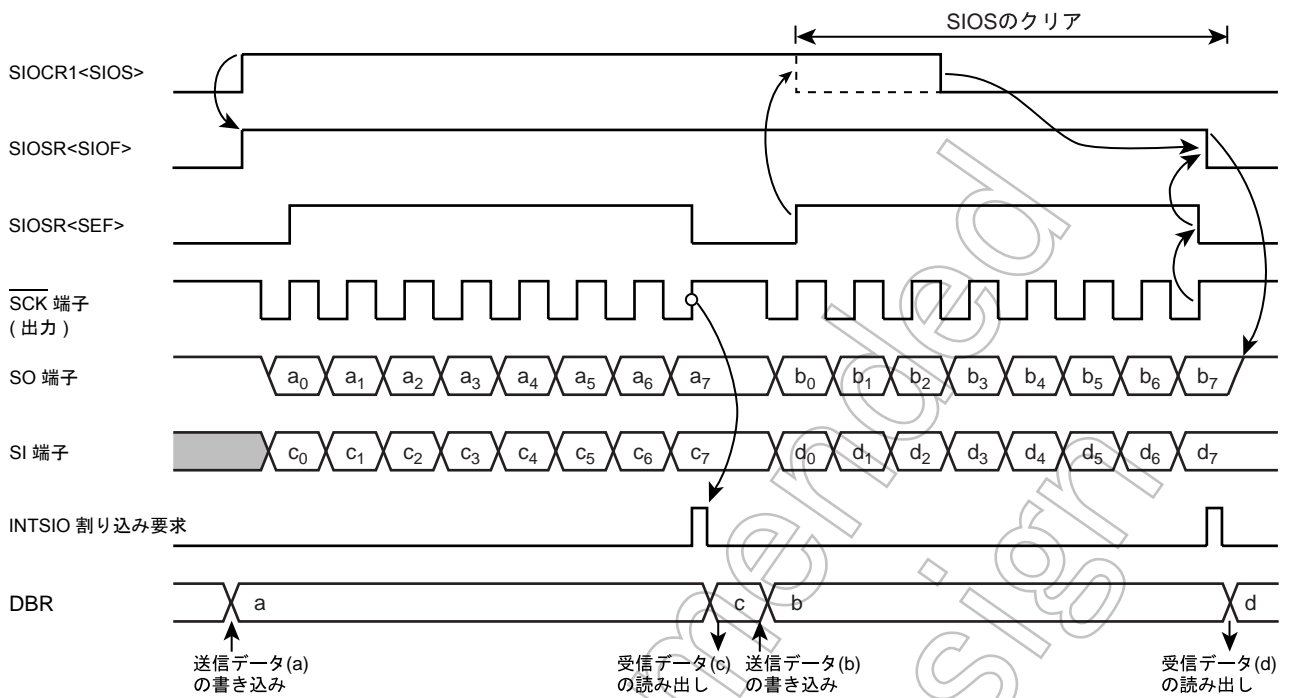


図 12-11 送受信モード (例: 8 ビット, 1 ワード, 内部クロック)

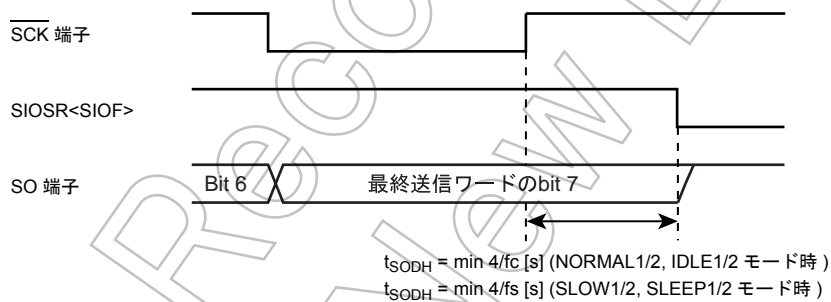


図 12-12 送受信終了時の送信データ保持時間

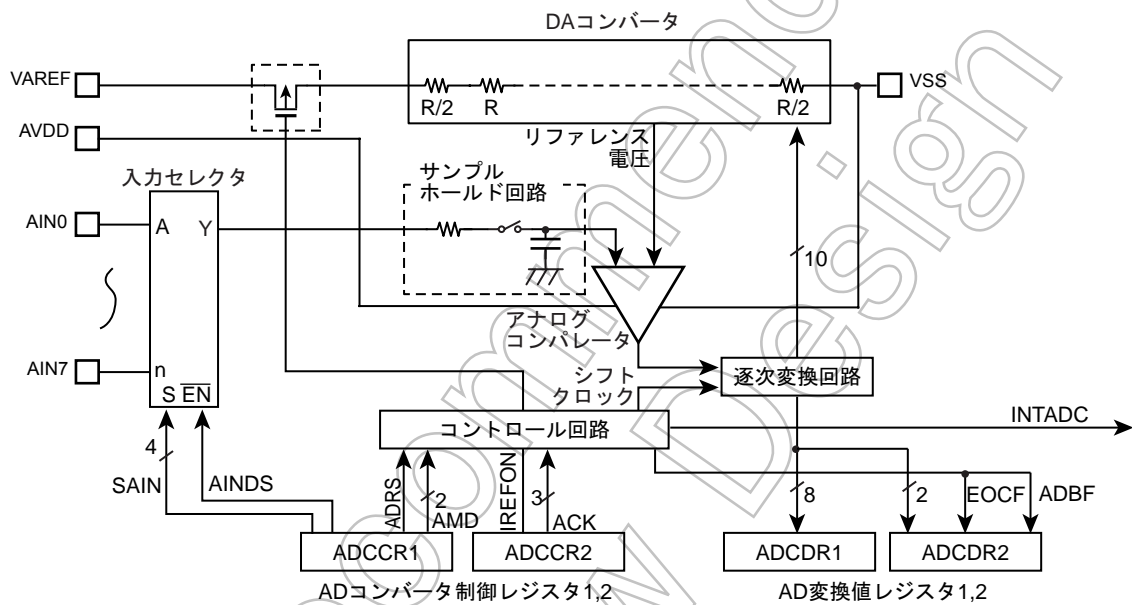
第 13 章 10 ビット AD コンバータ (ADC)

TMP86CM23AUG は、10 ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

13.1 構成

10 ビット AD コンバータの回路構成を図 13-1 に示します。

制御レジスタ ADCCR1, ADCCR2, 変換値レジスタ ADCDR1, ADCDR2 と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。



注) AD コンバータを使用する前に、アナログ入力と兼用の I/O ポートレジスタを適切な値に設定してください。詳しくは、I/O ポートの項を参照してください。

図 13-1 10 ビット AD コンバータ

13.2 制御

AD コンバータは、次の 4 つのレジスタで構成されています。

1. AD コンバータ制御レジスタ 1 (ADCCR1)

AD 変換を行うアナログチャネルの選択および動作モードの選択と AD コンバータの開始を制御するレジスタです。

2. AD コンバータ制御レジスタ 2 (ADCCR2)

AD 変換時間の選択と、DA コンバータ (ラダー抵抗) の接続を制御するレジスタです。

3. AD 変換値レジスタ 1 (ADCDR1)

AD コンバータによって変換されたデジタル値を格納するレジスタです。

4. AD 変換値レジスタ 2 (ADCDR2)

AD コンバータの動作状態をモニタするレジスタです。

AD コンバータ制御レジスタ 1

ADCCR1 (000EH)	7	6	5	4	3	2	1	0	
	ADRS	AMD		AINDS	SAIN				(初期値: 0001 0000)

ADRS	AD 変換開始	0: — 1: AD 変換開始	R/W
AMD	AD 動作モード	00: AD 動作ディセーブル 01: ソフトウェアスタートモード 10: Reserved 11: リピートモード	
AINDS	アナログ入力制御	0: アナログ入力ディセーブル 1: アナログ入力ディセーブル	
SAIN	アナログ入力チャネル選択	0000: AIN0 0001: AIN1 0010: AIN2 0011: AIN3 0100: AIN4 0101: AIN5 0110: AIN6 0111: AIN7 1000: Reserved 1001: Reserved 1010: Reserved 1011: Reserved 1100: Reserved 1101: Reserved 1110: Reserved 1111: Reserved	

- 注 1) アナログ入力チャネルの選択は AD 変換停止状態 (ADCDR2<ADBF> = "0") で行ってください。
- 注 2) アナログ入力チャネルをすべてディセーブルにする場合は、AINDS を "1" に設定してください。
- 注 3) アナログ入力はポートと兼用になっていますが、精度を保つ意味で AD 変換中はポート出力命令を実行しないでください。また、アナログ入力と近接するポートには AD 変換中、変化の激しい信号を入力しないようにしてください。
- 注 4) ADRS は、AD 変換開始後、自動的に "0" にクリアされます。
- 注 5) AD 変換中に ADRS の再設定は行わないでください。ADRS の再設定は、ADCDR2<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) 発生後 (割り込み処理ルーチンなど) に行ってください。
- 注 6) STOP または SLOW / SLEEP モードを起動すると、AD コンバータ制御レジスタ 1 (ADCCR1) はすべて初期化されるとともに書き込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR1 を再設定してください。

AD コンバータ制御レジスタ 2

ADCCR2 (000FH)	7	6	5	4	3	2	1	0	
			IREFON	"1"		ACK		"0"	(初期値: **0* 000*)

IREFON	DA コンバータ (ラダー抵抗) の接続時間	0: AD 変換中のみ接続 1: 常時接続	R/W
ACK	AD 変換時間選択 (変換時間例は下記表をご参照ください)	000: 39/fc 001: Reserved 010: 78/fc 011: 156/fc 100: 312/fc 101: 624/fc 110: 1248/fc 111: Reserved	

- 注 1) ADCCR2 のビット 4 には "1"、ビット 0 には "0" を必ず書き込んでください。
- 注 2) ADCCR2 に対しリード命令を実行すると、ビット 7,6 は不定値が読み込まれます。
- 注 3) STOP または SLOW/SLEEP モードを起動すると、AD コンバータ制御レジスタ 2 (ADCCR2) はすべて初期化されるとともに書き込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR2 を再設定してください。

表 13-1 ACK 設定と周波数別の変換時間

条件	変換時間	16MHz	8MHz	4 MHz	2 MHz	10-MHz	5 MHz	2.5 MHz
ACK 000	39/fc	—	—	—	19.5 μs	—	—	15.6 μs
001	Reserved							
010	78/fc	—	—	19.5 μs	39.0 μs	—	15.6 μs	31.2 μs
011	156/fc	—	19.5 μs	39.0 μs	78.0 μs	15.6 μs	31.2 μs	62.4 μs
100	312/fc	19.5 μs	39.0 μs	78.0 μs	156.0 μs	31.2 μs	62.4 μs	124.8 μs
101	624/fc	39.0 μs	78.0 μs	156.0 μs	—	62.4 μs	124.8 μs	—
110	1248/fc	78.0 μs	156.0 μs	—	—	124.8 μs	—	—
111	Reserved							

- 注 1) 上記表内 "—" 部分の設定は行わないでください。fc: 高周波発振周波数
- 注 2) 変換時間は、アナログ基準電圧 (VAREF) によって以下の時間以上を確保するように設定してください。

- VAREF = 4.5 ~ 5.5 V 時 15.6 μs 以上
- VAREF = 2.7 ~ 5.5 V 時 31.2 μs 以上
- VAREF = 1.8 ~ 5.5 V 時 124.8 μs 以上

AD 変換値レジスタ 1

ADCDR1 (0021H)	7	6	5	4	3	2	1	0	
	AD09	AD08	AD07	AD06	AD05	AD04	AD03	AD02	(初期値: 0000 0000)

AD 変換値レジスタ 2

ADCDR2 (0020H)	7	6	5	4	3	2	1	0	
	AD01	AD00	EOCF	ADBF					(初期値: 0000 ****)

EOCF	AD 変換終了フラグ	0: 変換前または変換中 1: 変換終了	Read only
ADBF	AD 変換 BUSY フラグ	0: AD 変換停止中 1: AD 変換実行中	

- 注 1) EOCF は、AD 変換レジスタ 1 (ADCDR1) をリードすると "0" にクリアされます。このため、AD 変換結果を読み出すときは、(ADCDR2) をリードした後に (ADCDR1) をリードしてください。
- 注 2) ADBF は AD 変換開始により "1" にセットされ、AD 変換動作が終了すると "0" にクリアされます。また、STOP, SLOW モードを起動するときにもクリアされます。
- 注 3) ADCDR2 を読み出した場合、ビット 3~0 は不定となります。

Not Recommended
for New Design

13.3 機能

13.3.1 ソフトウェアスタートモード

ADCCR1<AMD> を“01” (ソフトウェアスタートモード) に設定後、ADCCR1<ADRS> を“1” に設定することにより ADCCR1<SAIN> で指定されたアナログ入力端子の電圧の AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1,2) に格納し、ADCDR2<EOCF> に“1” をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

ADCCR1<ADRS> は AD 変換を開始後、自動的にクリアされます。AD 変換中に ADCCR1<ADRS> の再設定 (再スタート) は行わないでください。ADCCR1<ADRS> の再設定は ADCDR2<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) の発生後 (割り込み処理ルーチンなど) に行ってください。

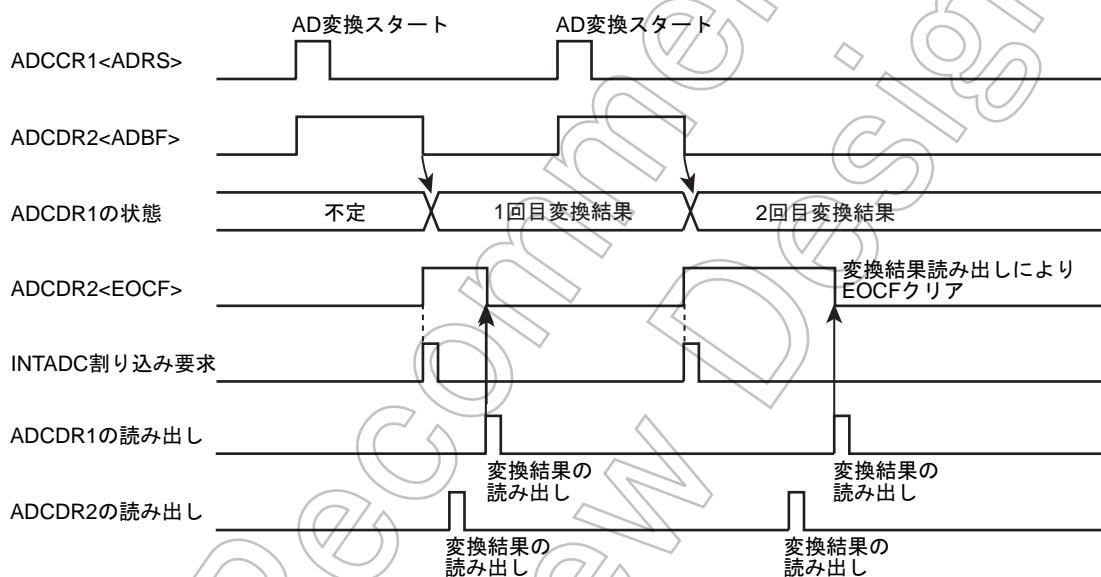


図 13-2 ソフトウェアスタートモード

13.3.2 リピードモード

ADCCR1<SAIN> で指定されたアナログ入力端子電圧の AD 変換を繰り返し行います。

ADCCR1<AMD> を“11” (リピードモード) に設定後、ADCCR1<ADRS> を“1” に設定することにより AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1,2) に格納し、ADCDR2<EOCF> に“1” をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

リピードモードでは、1 回の AD 変換が終了すると直ちに次の AD 変換を開始します。AD 変換を停止するには、ADCCR1<AMD> に“00” (ディセーブルモード) を書き込んでください。AD 変換動作は即時に停止します。このときの変換値は、AD 変換値レジスタには格納されません。

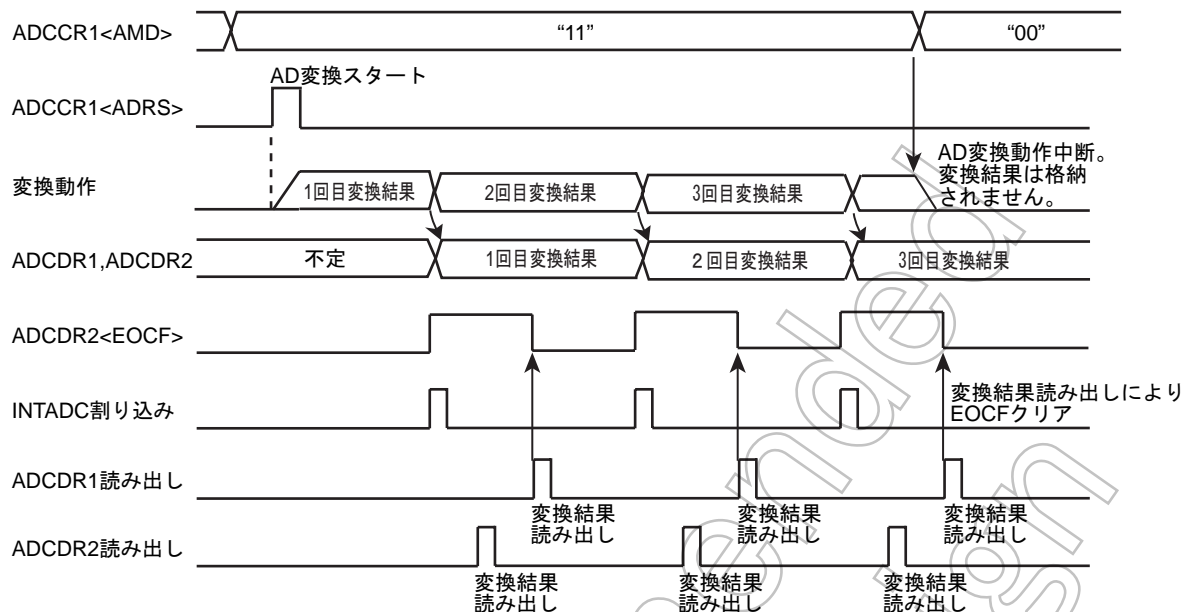


図 13-3 リピートモード

13.3.3 レジスタの設定

- AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。
 - AD 入力チャンネル選択 (SAIN) により AD 変換するチャンネルを選択してください。
 - アナログ入力制御 (AINDS) をアナログ入力イネーブルに指定してください。
 - AD コンバータ制御の動作モード (ソフトウェア、リピートモード) を (AMD) にて指定してください。
- AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。
 - AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 及び表 13-1 をご参照ください。
 - DA コンバータの制御 (IREFON) を選択してください。
- 上記 1. と 2. を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) に "1" を設定すると、ソフトウェアスタートの場合、直ちに AD 変換を開始します。
- AD 変換が完了すると、AD 変換値レジスタ 2 (ADCCR2) の AD 変換終了フラグ (EOCF) が "1" にセットされ、AD 変換結果が AD 変換値レジスタ 1 (ADCCR1)、AD 変換値レジスタ 2 (ADCCR2) に格納されます。また、このとき INTADC 割り込み要求が発生します。
- AD 変換値レジスタ 1 (ADCCR1) から変換結果を読み出すと EOCF は "0" にクリアされます。ただし、AD 変換値レジスタ 1 (ADCCR1) を読み出す前に再変換を行った場合は、EOCF は "0" にクリアされますが、変換結果は次の変換終了まで前回の結果を保持します。

(プログラム例) 変換時間 19.5 μ s @ 16 MHz およびアナログ入力チャンネル AIN3 端子を選択後、AD 変換を 1 回行います。EOCF を確認して変換値を読み出し、RAM の 009FH 番地に上位 8 ビット、009EH 番地に下位 2 ビットのデータを格納します。動作モードは、ソフトウェアスタートモードです。

```

; (ポートの設定)
;
;
;
LD      (ADCCR1), 00100011B      ; AIN3 を選択
LD      (ADCCR2), 11011000B      ; 変換時間 (312/fc), 動作モードを選択

SLOOP: SET      (ADCCR1). 7        ; ADRS = 1 (AD 変換開始)
        TEST     (ADCDR2). 5        ; EOCF = 1 ?
        JRS      T, SLOOP

LD      A, (ADCDR2)                ; 変換結果の読み出し
LD      (9EH), A
LD      A, (ADCDR1)                ; 変換結果の読み出し
LD      (9FH), A

```

13.4 AD 変換時の STOP/SLOW モード

AD 変換中に強制的に STOP または SLOW モードを起動すると AD 変換は中断され、AD コンバータは初期化されます (ADCCR1, ADCCR2 は初期値に初期化されます)。また、変換結果は不定となります (前回までの変換結果もクリアされますので、変換結果は STOP または SLOW モードを起動する前に読み出してください)。また STOP または SLOW モードから復帰した際は、AD 変換は自動的に再開しませんので、必要に応じて再度 AD 変換を開始してください。なお、アナログ基準電源は自動的にカットされるため、アナログ基準電源への電流の流れ込みはありません。

13.5 入力電圧と変換結果

アナログ入力電圧と AD 変換された 10 ビットデジタル値とは図 13-4 のように対応します。

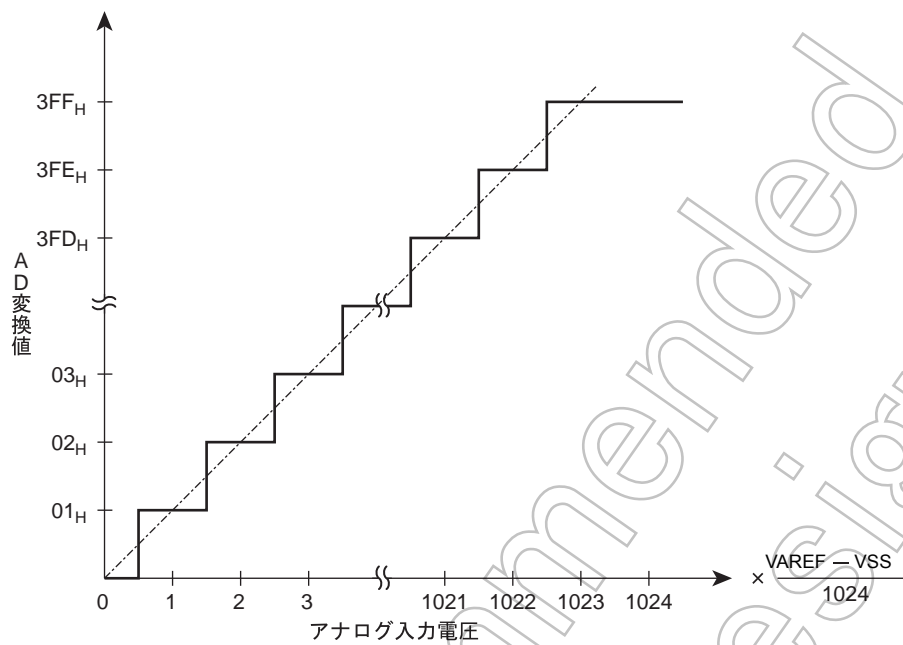


図 13-4 アナログ入力電圧と AD 変換値 (typ.) の関係

13.6 AD コンバータの注意事項

13.6.1 AD 変換終了割り込み (INTADC) の使用に関する制限事項

AD 変換終了割り込み (INTADC) を使用する場合、作製されたプログラムの構成によっては割り込み動作を行わないことがあります。例えば、割り込みラッチ IL15(INTADC) より優先順位の低い割り込みが受け付けられた時点で INTADC 割り込みが発生した場合に、INTADC の割り込みラッチがクリアされ、割り込み動作を行わない場合があります。

AD 変換終了を検知するには下記方法があります。

(1) AD 変換終了割り込み (INTADC) を使用しない方法
ソフトウェアにて AD 変換終了フラグ (EOCF) をモニタすることで AD 変換終了を検出することが出来ますので、AD 変換開始後に EOCF フラグをポーリング処理する、もしくは一定周期で EOCF フラグをモニタする等を行ってください。

(2) AD 変換終了割り込み (INTADC) より優先順位の低い割り込み処理中に変換終了を検出する方法

割り込み優先順位が INTADC より低い割り込み処理中に AD 変換終了フラグ (EOCF) および割り込みラッチ IL15 を確認し、IL15=0 かつ EOCF=1 の条件が成立した場合には、PUSH/POP 操作に注意した上で AD 処理ルーチンを CALL してください。

なおこの際、INTADC より高い優先順位の割り込み要求がセットされている場合は、割り込み優先順位に反して AD 割り込み処理ルーチンを先に実行することになりますので、必要に応じて INTADC より上位の割り込み要求を確認した上で処理を行うことを推奨します。

13.6.2 アナログ入力端子電圧範囲

アナログ入力端子 (AIN0 ~ AIN7) は、VAREF ~ VSS 間でご使用ください。この範囲外の電圧が入力されるとその入力端子の変換値が不定となります。また他のアナログ入力端子の変換値にも影響を与えます。

13.6.3 アナログ入力兼用端子

アナログ入力端子 (AIN0 ~ AIN7) は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

13.6.4 ノイズ対策

アナログ入力端子の内部等価回路は、図 13-5 のようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは $5\text{ k}\Omega$ 以下になるように設計してください。また、コンデンサの外付けを推奨いたします。

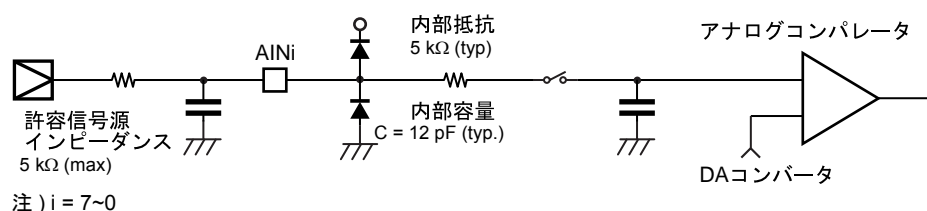


図 13-5 アナログ入力等価回路と入力端子処理例

Not Recommended
for New Design

第 14 章 キーオンウェイクアップ (KWU)

TMP86CM23AUG は、P20($\overline{\text{INT5}}/\overline{\text{STOP}}$) 端子以外に STOP2 ~ STOP5 の 4 つの端子でも STOP モードの解除が可能です。

STOP2 ~ STOP5 の入力で STOP モードを解除する場合、 $\overline{\text{STOP}}$ 端子の論理に注意が必要です。詳細については、後述の “14.2 制御” を参照してください。

14.1 構成

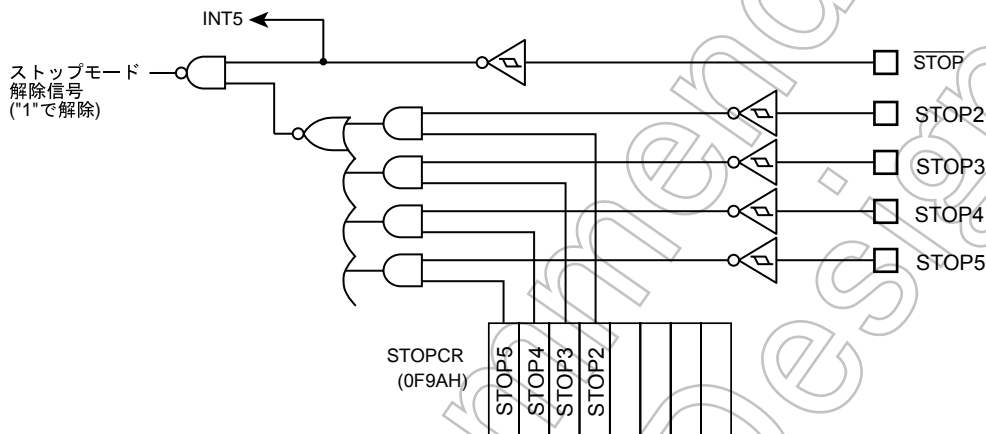
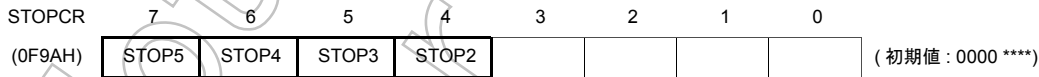


図 14-1 キーオンウェイクアップ回路

14.2 制御

STOP2 ~ STOP5 端子は、キーオンウェイクアップ制御レジスタ (STOPCR) によって、端子ごとに STOP モードの解除端子を許可/禁止することができます。STOP モードの解除入力に使用する端子はあらかじめ I/O ポートのレジスタにより入力端子状態に設定してください。

キーオンウェイクアップ制御レジスタ



STOP5	STOP5 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP4	STOP4 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP3	STOP3 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP2	STOP2 端子による STOP モード解除	0: 禁止 1: 許可	Write only

14.3 機能

STOP モードの起動はシステムレジスタ 1 (SYSCR1) にて行い、解除は STOP モード解除が許可されている STOP2 ~ STOP5 端子のいずれかの端子を “L” レベルにすることにより解除できます (注 1)。

また、STOP2 ~ STOP5 端子の状態は、兼用する I/O ポートのレジスタを読み出すことにより確認できますので、STOP モードを起動する前に STOPCR によって許可された端子のレベルが“H”レベルになっていることを確認してください(注 2,3)。

- 注 1) STOP モードの解除をエッジ解除モード (SYSCR1<RELM>="0") で行う場合、キーオンウェイクアップ制御レジスタ (STOPCR) によって STOP2 ~ STOP5 入力をすべて禁止にするか、入力が許可されている STOP2 ~ STOP5 端子を STOP モード中 "H" レベルに固定してください。
- 注 2) レベル解除の場合、 $\overline{\text{STOP}}$ 端子および STOP2 ~ STOP5 端子のいずれかが解除のレベルであると STOP モードに入らず、直ちに解除シーケンスに移ります。
- 注 3) キーオンウェイクアップ入力とポート入力は入力回路が別系統となりますので、入力電圧のしきい値がそれぞれ異なります。従って STOP モード起動前にポート入力によって確認した値は、キーオンウェイクアップ入力の検出レベルと異なる場合があります。(図 14-2)
- 注 4) $\overline{\text{STOP}}$ 端子は、入力を禁止する機能がありませんので、STOP2 ~ STOP5 入力によって STOP モードを解除する場合も、 $\overline{\text{STOP}}$ 端子を STOP モード解除用の端子として機能します。
- 注 5) キーオンウェイクアップ制御レジスタ (STOPCR) によって入力が許可されているキーオンウェイクアップ端子は、貫通電流が流れますのでアナログ電圧を印加しないでください。
- 注 6) STOP2 ~ STOP5 入力によって STOP モードを解除する ("L" レベル) 場合は、STOP モード中 $\overline{\text{STOP}}$ 端子を必ず "L" レベルに固定してください。(図 14-3)

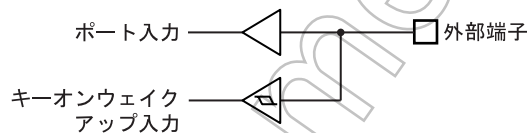


図 14-2 キーオンウェイクアップ入力とポート入力

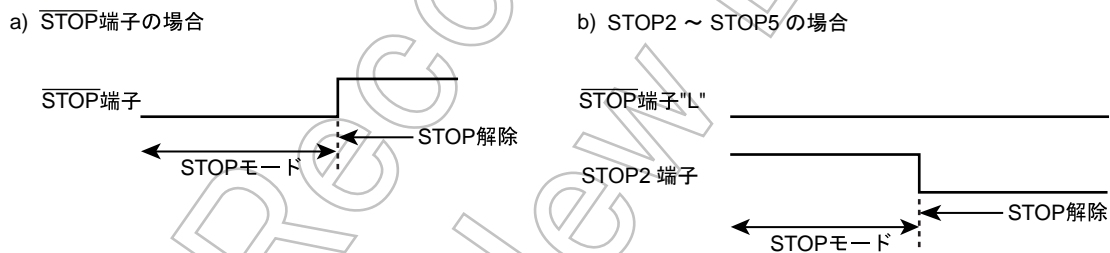


図 14-3 STOP 端子と STOP2 ~ STOP5 端子の優先順位

表 14-1 STOP モードの解除レベル (エッジ)

端子名	解除レベル (エッジ)	
	SYSCR1<RELM>="1" (注 2)	SYSCR1<RELM>="0"
$\overline{\text{STOP}}$	"H" レベル	立ち上がりエッジ
STOP2	"L" レベル	使用禁止 (注 1)
STOP3	"L" レベル	使用禁止 (注 1)
STOP4	"L" レベル	使用禁止 (注 1)
STOP5	"L" レベル	使用禁止 (注 1)

第 15 章 LCD ドライバ

TMP86CM23AUG は、液晶表示器 (LCD) を直接駆動するドライブおよびその制御回路を内蔵しています。LCD との接続端子は、次のとおりです。

1. セグメント出力 32 本 (SEG31 ~ SEG0)
2. コモン出力端子 4 本 (COM3 ~ COM0)

ほかに駆動用電源端子として、VLC 端子があります。

直接駆動が可能な LCD は、次の 5 種類です。

1. 1/4 デューティ (1/3 バイアス) LCD 最大 128 画素 (8 セグメント × 16 桁)
2. 1/3 デューティ (1/3 バイアス) LCD 最大 96 画素 (8 セグメント × 12 桁)
3. 1/3 デューティ (1/2 バイアス) LCD 最大 96 画素 (8 セグメント × 12 桁)
4. 1/2 デューティ (1/2 バイアス) LCD 最大 64 画素 (8 セグメント × 8 桁)
5. スタティック LCD 最大 32 画素 (8 セグメント × 4 桁)

15.1 LCD ドライバの構成

LCD ドライバ制御レジスタ

LCDCR

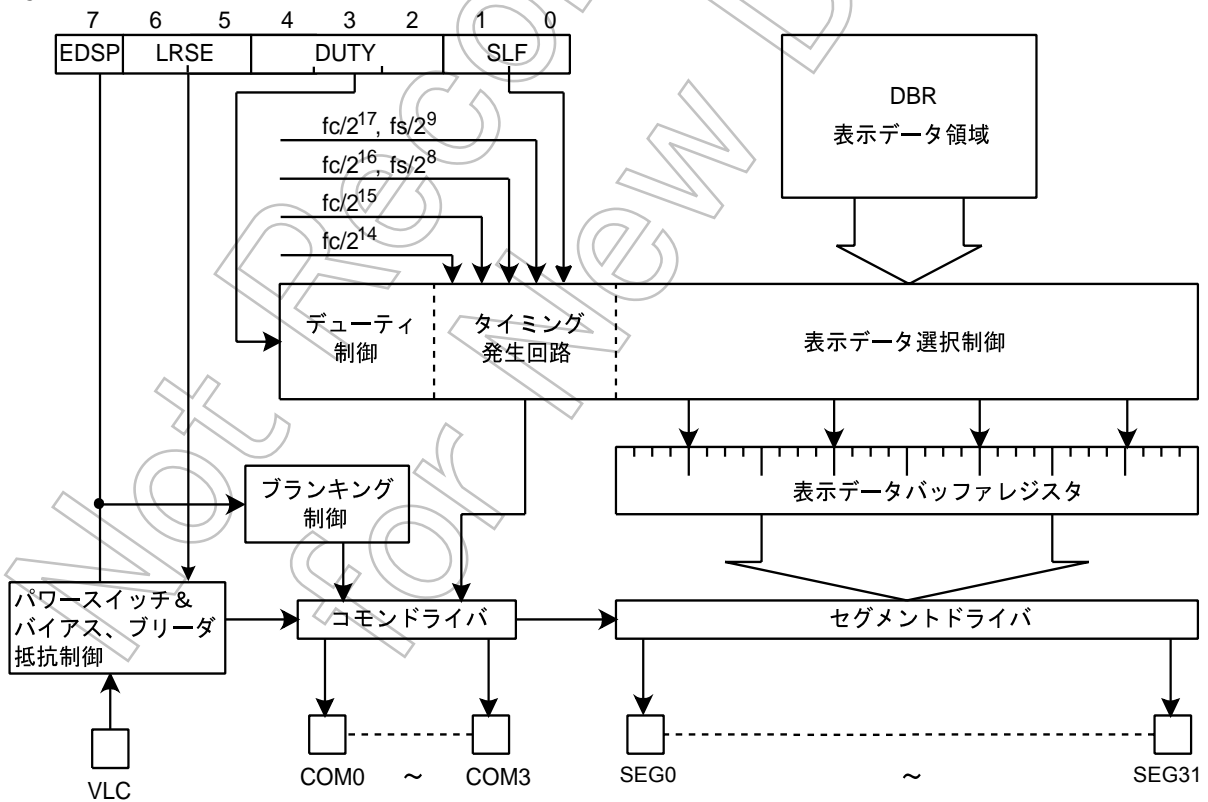


図 15-1 LCD ドライバ

15.2 LCD ドライバの制御

LCD ドライバの制御は、LCD 制御レジスタ (LCDCR) で行います。LCD ドライバの表示イネーブルは EDSP で制御します。なお、EDSP を “0” にクリアしブランキングさせた場合、VLC 端子のパワースイッチが OFF し、COM 端子および SEG に選択されている端子出力は GND レベルとなります。

LCD ドライバ制御レジスタ

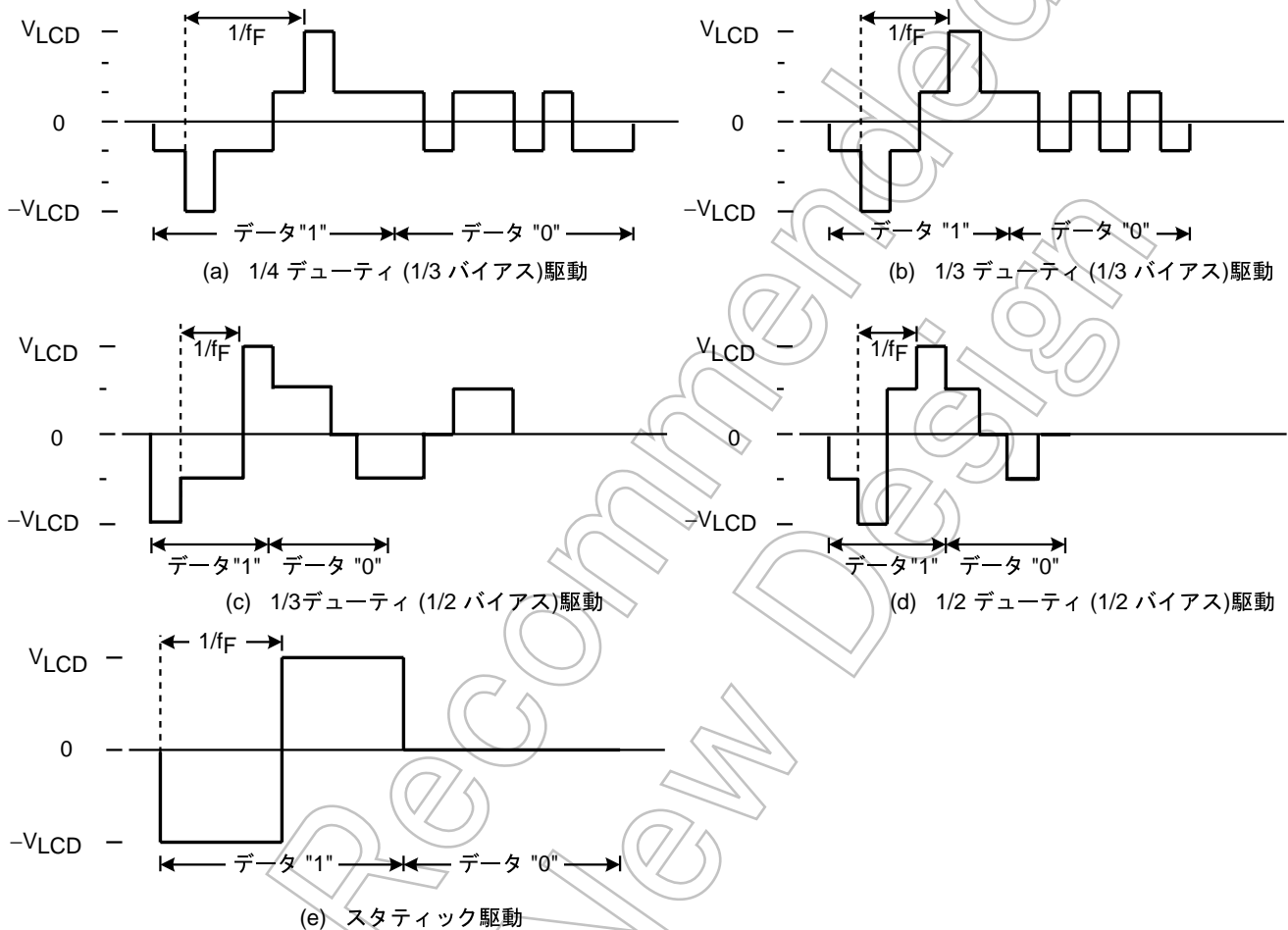
LCDCR (0027H)	7	6	5	4	3	2	1	0	
	EDSP	LRSEL		DUTY			SLF		(Initial value: 0000 0000)

EDSP	LCD 表示制御	0: ブランキング 1: 表示イネーブル (ブランキング解除)						R/W	
LRSE	ブリーダ抵抗 ON 時間の選択 (LCD パネル駆動能力の設定)	NORMAL1/2, IDLE1/2 モード				SLOW1/2, SLEEP1/2 モード			
		SLF の設定				SLF の設定			
			11	10	01	00	01		00
		00:	$2^6/fc$	$2^7/fc$	$2^8/fc$	$2^9/fc$	$1/fs$		$2/fs$
		01:	$2^9/fc$	$2^{10}/fc$	$2^{11}/fc$	$2^{12}/fc$	$2^3/fs$		$2^4/fs$
		10:	常時 ON						
11:	Reserved								
DUTY	LCD 駆動方式の設定	000: 1/4 デューティ (1/3 バイアス) 001: 1/3 デューティ (1/3 バイアス) 010: 1/3 デューティ (1/2 バイアス) 011: 1/2 デューティ (1/2 バイアス) 100: スタティック 101: Reserved 110: Reserved 111: Reserved							
SLF	ベース周波数の選択		NORMAL1/2, IDLE0/1/2 モード			SLOW1/2, SLEEP1/2 モード			
		00:	$fc/2^{17}$ [Hz]			$fs/2^9$ [Hz]			
		01:	$fc/2^{16}$			$fs/2^8$			
		10:	$fc/2^{15}$			Reserved			
		11:	$fc/2^{13}$			Reserved			

- 注 1) ベース周波数 (SLF) のソースクロックは、SYSCR2<SYSCK> の設定によって高周波または低周波に切り替わります。また、ベース周波数は、TBTCR<DV7CK> の設定には依存しません。
- 注 2) SYSCR2<SYSCK> の設定を変更する場合 (システムクロックを切り替える場合) は、モード切り替えの前後で設定値とは異なる LCD 波形が出力される可能性がありますので事前に LCDCR<EDSP> “0” にし表示をブランキングにしてください。
- 注 3) LRSE は、使用する LCD パネルに合わせて適切に設定してください。LRSE の設定値が大きくなる (ON 時間を長くする) ほど駆動能力は高くなりますが、消費電力が多くなります。逆に設定値が小さくなる (ON 時間を短くする) ほど駆動能力が低くなりますが、消費電力は少なくなります。
- 注 4) 表示イネーブルのとき、IDLE0, SLEEP0 または STOP モードを起動すると LCDCR<EDSP> は自動的に “0” に書き替えられ、表示はブランキングとなります。

15.2.1 LCD 駆動方式

LCD の駆動方式は、LCDCR<DUTY>により、5 種類の選択ができます。駆動方式は、イニシャルプログラムの中で、使用する LCD に合わせて初期化します。



注 1) f_F : フレーム周波数

注 2) V_{LCD3} : LCD 駆動電圧 ($=V_{DD} - V_{LC}$)

図 15-2 LCD 駆動波形 (COM - SEG 端子間電位差)

15.2.2 フレーム周波数

フレーム周波数 (f_f) は駆動方式とベース周波数により表 15-1 のように設定されます。ベース周波数は、使用する基本クロック周波数 f_c および f_s に応じて、LCDCR<SLF> により選択します。

表 15-1 高周波クロックのフレーム周波数設定

(a) SYSCR2<SYSCK> = "0" の場合

SLF	ベース周波数 [Hz]	フレーム周波数 [Hz]			
		1/4 デューティ	1/3 デューティ	1/2 デューティ	Static
00	$\frac{f_c}{2^{17}}$	$\frac{f_c}{2^{17}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{17}}$	$\frac{4}{2} \cdot \frac{f_c}{2^{17}}$	$\frac{f_c}{2^{17}}$
	($f_c = 16$ MHz)	122	163	244	122
	($f_c = 8$ MHz)	61	81	122	61
01	$\frac{f_c}{2^{16}}$	$\frac{f_c}{2^{16}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{16}}$	$\frac{4}{2} \cdot \frac{f_c}{2^{16}}$	$\frac{f_c}{2^{16}}$
	($f_c = 8$ MHz)	122	163	244	122
	($f_c = 4$ MHz)	61	81	122	61
10	$\frac{f_c}{2^{15}}$	$\frac{f_c}{2^{15}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{15}}$	$\frac{4}{2} \cdot \frac{f_c}{2^{15}}$	$\frac{f_c}{2^{15}}$
	($f_c = 4$ MHz)	122	163	244	122
	($f_c = 2$ MHz)	61	81	122	61
11	$\frac{f_c}{2^{14}}$	$\frac{f_c}{2^{14}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{14}}$	$\frac{4}{2} \cdot \frac{f_c}{2^{14}}$	$\frac{f_c}{2^{14}}$
	($f_c = 2$ MHz)	122	162	244	122
	($f_c = 1$ MHz)	61	81	122	61

注) f_c : 高周波クロック周波数 [Hz]

表 15-2 低周波クロックのフレーム周波数設定

(b) SYSCR2<SYSCK> = "1" の場合

SLF	ベース周波数 [Hz]	フレーム周波数 [Hz]			
		1/4 デューティ	1/3 デューティ	1/2 デューティ	Static
00	$\frac{f_s}{2^9}$	$\frac{f_s}{2^9}$	$\frac{4}{3} \cdot \frac{f_s}{2^9}$	$\frac{4}{2} \cdot \frac{f_s}{2^9}$	$\frac{f_s}{2^9}$
	($f_s = 32.768$ kHz)	64	85	128	64
01	$\frac{f_s}{2^8}$	$\frac{f_s}{2^8}$	$\frac{4}{3} \cdot \frac{f_s}{2^8}$	$\frac{4}{2} \cdot \frac{f_s}{2^8}$	$\frac{f_s}{2^8}$
	($f_s = 32.768$ kHz)	128	171	256	128
1*	Reserved				

注) f_s : 低周波クロック周波数 [Hz]

15.2.3 LCD 駆動電圧

LCD 駆動電圧 V_{LCD} は、 $V_{DD} - V_{LC}$ 端子間の電位差 ($V_{DD} - V_{LC}$) により与えられます。従って、CPU の動作電圧と LCD 駆動電圧が同一の場合、 V_{LC} 端子は V_{SS} 端子に接続します。

LCD は、セグメント出力とコモン出力の電位差が $\pm V_{LCD}$ のとき点灯し、それ以外の場合は消灯します。

リセット時、LCD ドライバのパワースイッチが自動的に OFF され、 V_{LC} 電圧は遮断されます。

リセット後、 $LCDCR\langle EDSP \rangle$ が “0” の状態で、各ポートの $PxLCR$ レジスタ (x : I/O ポート番号) を “1” に設定すると、入出力ポート/セグメント兼用端子から GND レベルが出力されます。

LCD ドライバのパワースイッチは、 $LCDCR\langle EDSP \rangle$ を “1” にセットすることにより ON し、 V_{LC} 電圧が LCD ドライバに印加されます。

IDLE0, SLEEP0 または STOP モードを起動すると $LCDCR\langle EDSP \rangle$ は自動的に “0” に書き換えられ、表示はブランキングとなります。モード復帰後、LCD を再表示するには $LCDCR\langle EDSP \rangle$ を “1” に設定してください。

注) リセット時、コモン出力は GND レベルとなりますが、入出力ポート/セグメント兼用端子出力はハイインピーダンス状態となります。従って、入出力ポート/セグメント兼用端子をセグメントとして使用し、かつ外部からのリセット入力に着しく長くなる場合は、LCD 表示が滲むなどの悪影響を及ぼす恐れがあります。

15.2.4 LCD パネルの駆動能力調整

$LCDCR\langle LRSE \rangle$ を設定することにより、LCD パネルの駆動能力を調整することができます。

$LCDCR\langle LRSE \rangle$ の設定によりブリーダ低抵抗の ON 時間を長くすると駆動能力は高くなりますが、その分消費電力が大きくなります。逆に ON 時間を短くすると駆動能力は低くなりますが、消費電力は、少なくなります。駆動能力が不足すると LCD 表示が滲むなどの影響が現れますので、使用する LCD パネルに合わせて最適な設定値に調整してください。図 15-3 に 1/4 デューティ 1/3 バイアス場合のブリーダ抵抗タイミングおよび等価回路を示します。

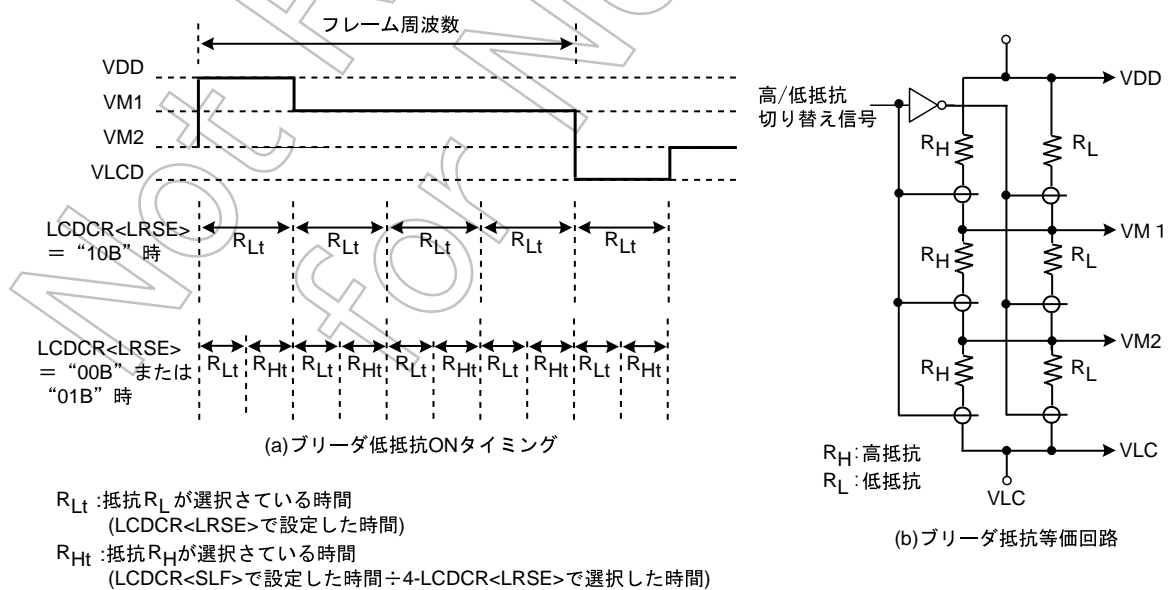


図 15-3 $LCDCR\langle LRSE \rangle$ によるブリーダ抵抗の選択 (1/4 デューティ 1/3 バイアスの場合)

15.3 LCD 表示動作

15.3.1 表示データの設定

表示データは、DBR内に設けられた表示データ領域(0F80H~0F8FH番地の16バイト)に格納します。

表示データ領域に格納された表示データは、ハードウェアにより自動的に読み出され、LCD ドライバへ送出されます。LCD ドライバは、表示データと駆動方式に従い、セグメント信号、コモン信号を発生します。従って、表示パターンの変更は、プログラムで表示データ領域の内容を書き替えるのみで行うことができます。表 15-4 に、表示データ領域と SEG/COM 端子の対応を示します。

LCD は、表示データが“1”のとき点灯し、“0”のとき消灯します。

LCD の駆動方式によって駆動可能な画素数が異なりますので、表示データを格納するために使用する表示データ領域のビット数も異なります。従って、表示データの格納に使用しないビットや、LCD を接続しないアドレスに相当するデータメモリは、通常のユーザー処理データの格納に使用できます(表 15-3 参照)。

表 15-3 表示データの格納に使用するビット

駆動方式	ビット 7/3	ビット 6/2	ビット 5/1	ビット 4/0
1/4 デューティ	COM3	COM2	COM1	COM0
1/3 デューティ	-	COM2	COM1	COM0
1/2 デューティ y	-	-	COM1	COM0
スタティック	-	-	-	COM0

注) -: 表示データの格納に使用しないビット

表 15-4 LCD 表示データ領域 (DBR)

アドレス	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0F80H		SEG1					SEG0	
0F81H		SEG3					SEG2	
0F82H		SEG5					SEG4	
0F83H		SEG7					SEG6	
0F84H		SEG9					SEG8	
0F85H		SEG11					SEG10	
0F86H		SEG13					SEG12	
0F87H		SEG15					SEG14	
0F88H		SEG17					SEG16	
0F89H		SEG19					SEG18	
0F8AH		SEG21					SEG20	
0F8BH		SEG23					SEG22	
0F8CH		SEG25					SEG24	
0F8DH		SEG27					SEG26	
0F8EH		SEG29					SEG28	
0F8FH		SEG31					SEG30	
	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0

15.3.2 ブランキング

LCD<EDSP> を“0”にクリアすることによりブランキングがかかります。ブランキングは、COM 端子および PxLCR レジスタ(x; I/O ポート番号)が“1”に設定された入出力ポート/セグメント兼用端子に GND レベルを出力することにより LCD を消灯します。このとき、VLC 端子のパワースイッチは OFF します。

15.4 LCD ドライバの制御方法

15.4.1 初期設定

初期設定のフローチャートを、図 15-4 に示します。

(プログラム例) 32 セグメント×4 コモン、1/4 デューティ LCD をフレーム周波数 $f_c/2^{16}$ [Hz]、ブリーダ低抵抗 ON 時間 $2^8/f_c$ で動作させる場合。

```
LD      (LCDCR), 00000001B    ; LCD 駆動方法の設定、ブリーダ低抵抗 ON 時間、フレーム周波数の設定
LD      (PxLCR), 0FFH        ; PxLCR レジスタの設定 (x: I/O ポート番号)
:      :
:      :
LD      (LCDCR), 10000001B    ; 表示イネーブル
```

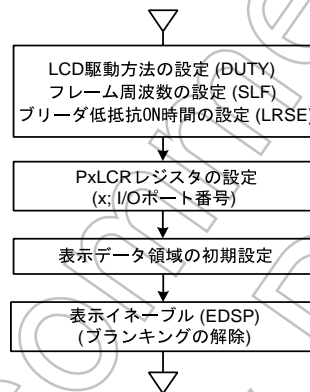


図 15-4 LCD ドライバの初期設定

15.4.2 表示データの格納

通常、表示データはプログラムメモリ (ROM) に固定データとして用意しておき、ロード命令により、表示データ領域に格納します。

(プログラム例) 1/4 デューティ LCD を用いて、データメモリの 80H 番地に格納されている BCD データに対応する数字を表示する場合 (COM, SEG 端子と LCD との接続を図 15-5 としたとき) の表示データは、表 15-5 のようになります。

```
LD      A, (80H)
ADD     A, TABLE-$-7
LD      HL, 0F85H
LD      W, (PC + A)
LD      (HL), W
RET

TABLE:  DB      11011111B, 00000110B,
           11100011B, 10100111B,
           00110110B, 10110101B,
           11110101B, 00010111B,
           11110111B, 10110111B
```

注) DB はバイトデータ定義命令

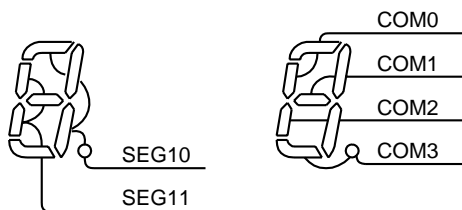


図 15-5 COM, SEG 端子接続例 (1/4 デューティ)

表 15-5 表示データ (1/4 デューティ) の例

数字	表示	表示データ	数字	表示	表示データ
0		11011111	5		10110101
1		00000110	6		11110101
2		11100011	7		00000111
3		10100111	8		11110111
4		00110110	9		10110111

(例) 1/2 デューティ LCD を用いて、表 15-5 と同様の数字表示を行う場合の表示データの例を表 15-6 に示します。COM 端子および SEG 端子の接続方法は図 15-6 の例を用います。

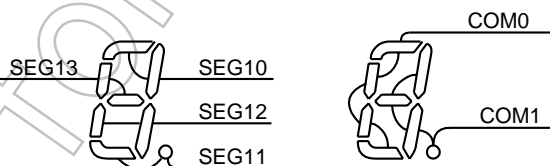


図 15-6 COM, SEG 端子接続例

表 15-6 表示データ (1/2 デューティ) の例

数字	表示データ		数字	表示データ	
	上位アドレス	下位アドレス		上位アドレス	下位アドレス
0	**01**11	**01**11	5	**11**10	**01**01
1	**00**10	**00**10	6	**11**11	**01**01
2	**10**01	**01**11	7	**01**10	**00**11
3	**10**10	**01**11	8	**11**11	**01**11
4	**11**10	**00**10	9	**11**10	**01**11

注) *: Don't care

15.4.3 駆動出力例

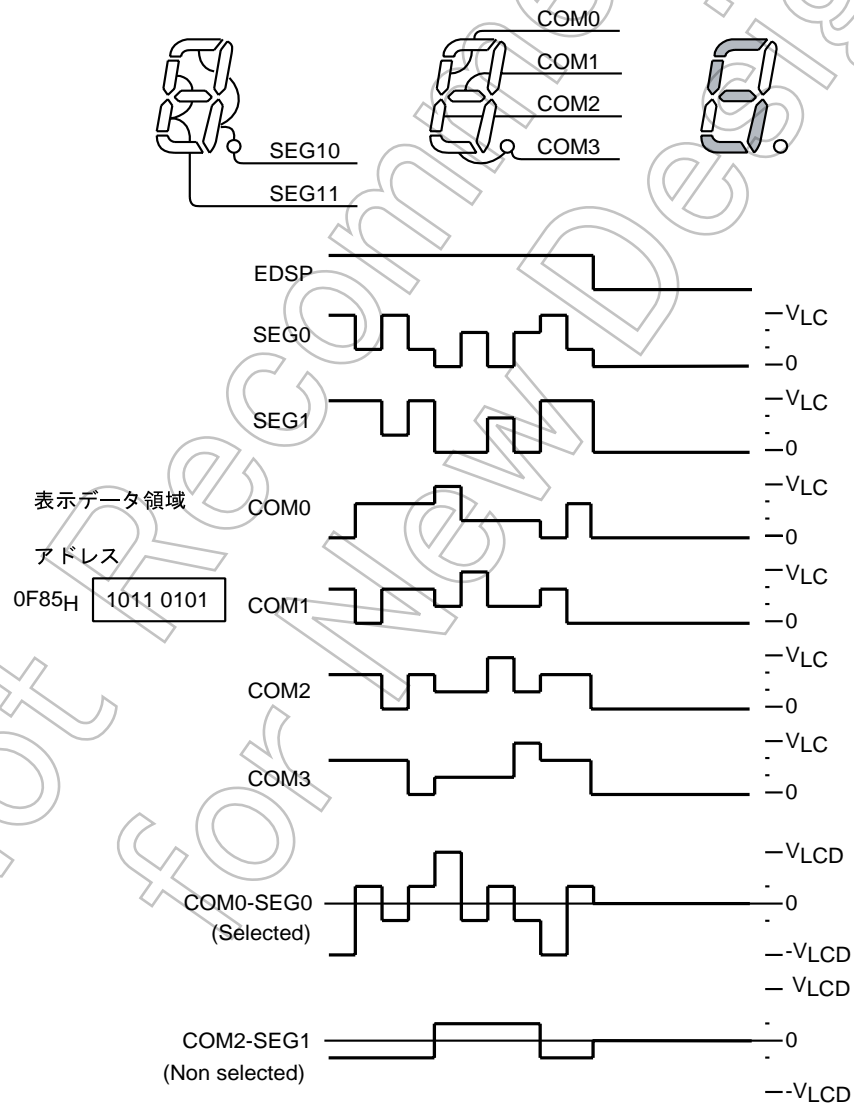


図 15-7 1/4 デューティ (1/3 バイアス) 駆動

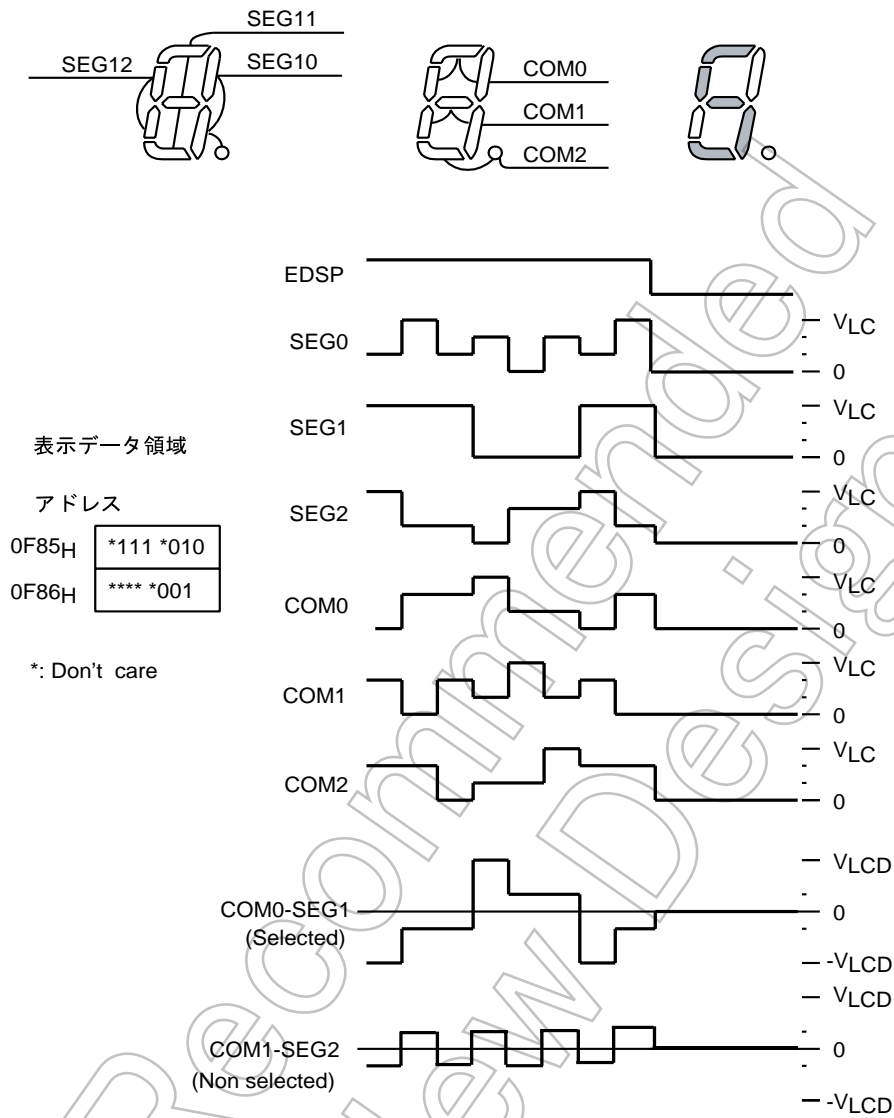


図 15-8 1/3 デューティ (1/3 バイアス) 駆動

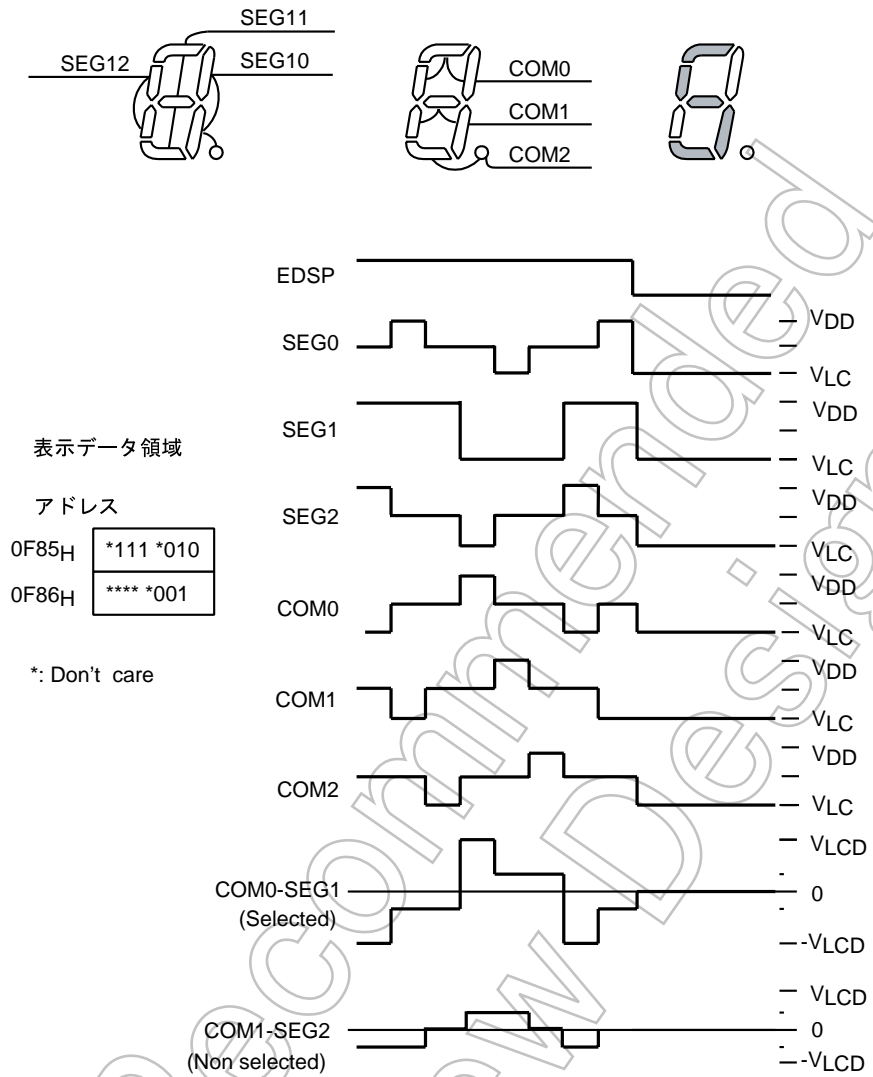


図 15-9 1/3 デューティ (1/2 バイアス) 駆動

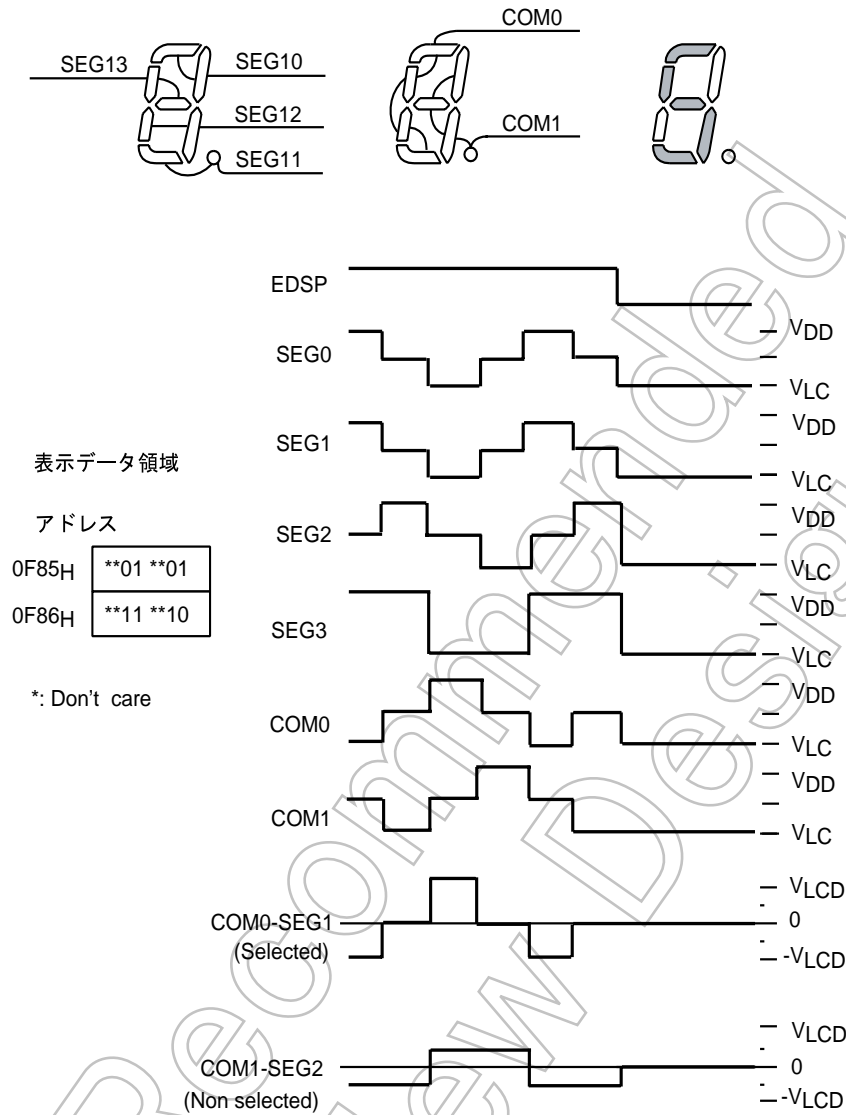


図 15-10 1/2 デューティ (1/2 バイアス) 駆動

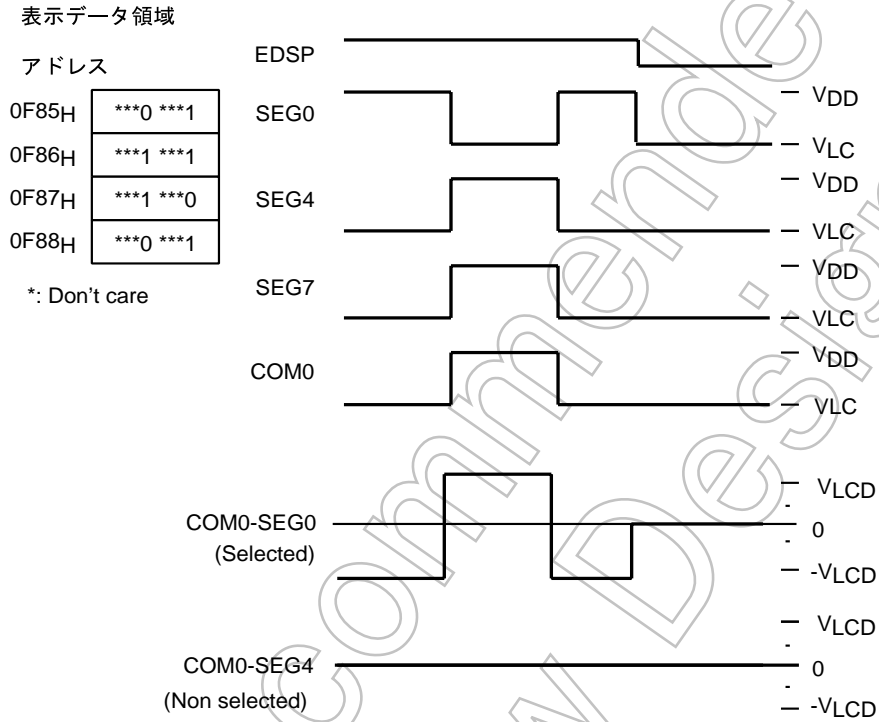
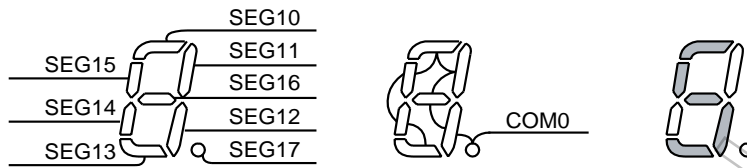


図 15-11 スタティック駆動

Not Recommended
for New Design

第 16 章 時計専用タイマ (RTC)

TMP86CM23AUG は、時計動作専用のタイマ (RTC) を内蔵しています。

時計専用タイマは、低周波クロックを使用して一定時間 (0.0625 [s], 0.125 [s], 0.25 [s], 0.50 [s]) ごとに割り込み要求を発生させることができますので、ソフトウェアにより簡単に時計機能を実現することができます。

なお、時計専用タイマは低周波クロックが発振している動作モード (SLEEP0 を除く) のみ使用可能です。

16.1 構成

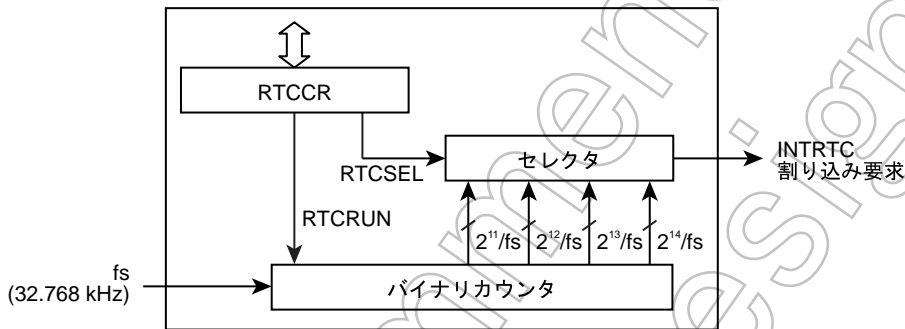


図 16-1 時計専用タイマの構成

16.2 時計専用タイマの制御

時計専用タイマは、時計専用タイマ制御レジスタ (RTCCR) によって制御されます。

時計専用タイマ制御レジスタ

RTCCR (0017H)	7	6	5	4	3	2	1	0
						RTCCSEL		RTCRUN (初期値: **** *000)

RTCCSEL	割り込み発生周期 (fs = 32.768 kHz)	00: 0.50 [s] 01: 0.25 [s] 10: 0.125 [s] 11: 0.0625 [s]	R/W
RTCRUN	時計専用タイマの制御	0: 停止 & バイナリカウンタのクリア 1: カウント開始	

- 注 1) RTCCR の設定は、低周波が発振している状態 (SYSCR2<XTEN> = "1") で行ってください。このとき、割り込み発生周期の選択 (RTCCSEL) は、タイマが停止状態 (RTCRUN = "0") で行ってください。また、タイマ動作中、タイマ停止と同時に RTCCSEL の設定を変更しないでください。
- 注 2) タイマ動作中に以下の処理を行った場合、タイマは自動的に停止し、本レジスタは初期値に初期化されます (タイマのバイナリカウンタも初期化されます)。
 1. 低周波発振を停止 (SYSCR2<XTEN> = "0") した場合
 2. STOP または SLEEP0 モードを起動した場合
 従って、各モードからの復帰後、タイマを動作させるためには、再度、レジスタ設定を行ってください。
- 注 3) RTCCR に対してリード命令を実行すると、ビット 7~3 は不定値が読み込まれます。
- 注 4) タイマ動作中、開発ツールのデバッガ上でブレーク処理を行った場合、タイマはカウントを途中停止します (RTCCR の設定値は変更されません)。ブレークを解除すると、途中停止した時点から処理を再開します。

16.3 機能

時計専用タイマは、低周波の内部クロックによってカウントアップします。RTCCR<RTCRUN> を“1”に設定すると、バイナリカウンタはカウントアップを開始します。RTCCR<RTCSEL> で設定された時間を検出すると、INTRTC 割り込み要求を発生し、バイナリカウンタがクリアされます。バイナリカウンタクリア後もカウントアップを継続します。

Not Recommended
for New Design

第 17 章 積和演算器 (MAC)

TMP86CM23AUG は、積和演算器を内蔵しています。

この積和演算器を用いる事で 16 ビット × 16 ビットの乗算および、16 ビット × 16 ビット + 32 ビットの積和演算などを実行することができます。

演算は、符号付き / 符号無しに対応しています。また、演算は整数演算のみ対応しており、固定小数点演算 / 浮動小数点演算には対応していません。

積和演算器は、NORMAL1, 2 モード以外では使用できません。NORMAL モード以外に遷移した場合、すべてのレジスタは初期化されます。

開発ツール使用時は、演算中にブレークモードを起動した場合、積和演算器は動作を継続しますが、演算結果は保証できませんので、ブレークモード解除後、再度、演算を実行してください。また、ブレーク中は被乗数レジスタへの書き込みは行わないでください。なお、演算終了後にブレークモードを起動し、ブレーク中に演算結果を読み出すことは可能です。

17.1 構成

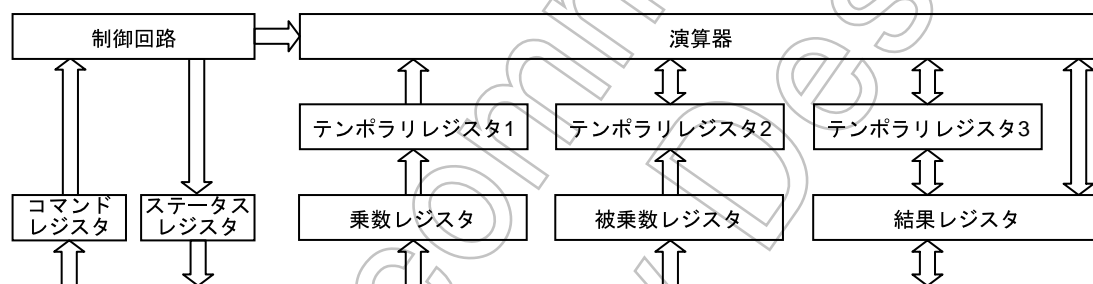


図 17-1 積和演算器

17.2 レジスタ構成

積和演算器は、以下のレジスタで構成されています。

表 17-1 積和演算器レジスタ一覧

レジスタ名	番地	ビット数
コマンドレジスタ (MACCR)	0FA4H	8 ビット
ステータスレジスタ (MACSR)	0FA5H	8 ビット
乗数レジスタ (MPLDRH (上位), MPLDRL (下位))	0FA7H, 0FA6H	16 ビット
被乗数レジスタ (MPCDRH (上位), MPCDRL (下位))	0FA9H, 0FA8H	16 ビット
結果レジスタ (RCALDR4~RCALDR1)	0FAAH~0FADH	32 ビット
加算値設定レジスタ (MADDR4~MADDR1)	0FAAH~0FADH	32 ビット

17.2.1 コマンドレジスタ

積和演算器のイネーブル / ディセーブル、計算モードの設定、結果レジスタのクリアを行います。

17.2.2 ステータスレジスタ

積和演算器の動作状態や、計算結果のフラグを読み出すことができます。

17.2.3 乗数レジスタ

乗数を格納するレジスタです。

17.2.4 被乗数レジスタ

被乗数を格納するレジスタです。

17.2.5 結果レジスタ

演算結果が格納されるレジスタです。

17.2.6 加算値設定レジスタ

積和演算の際の加算値を設定するレジスタです。演算停止中 (CALC="0") に、本レジスタに書き込みを行うことにより、任意の加算値を設定することができます。

17.3 制御

コマンドレジスタ

MACCR (0FA4H)	7	6	5	4	3	2	1	0	
	RCLR	"1"	"1"	"1"	CMOD			EMAC	(初期値: 0111 0000)

RCLR	結果レジスタクリア	0: 何もしない 1: レジスタクリア (1 マシンサイクル後、自動的に "0" にクリアされます)	R/W
CMOD	演算モード	000: 符号なし乗算 (16 ビット × 16 ビット) 001: 符号なし積和演算 (16 ビット × 16 ビット + 32 ビット) 010: 符号付き乗算 (16 ビット × 16 ビット) 011: 符号付き積和演算 (16 ビット × 16 ビット + 32 ビット) 1**: Reserved	
EMAC	積和演算器コントロール	0: ディセーブル 1: イネーブル	

- 注 1) RCLR を "1" にセットした場合、結果レジスタ、加算値設定レジスタおよびステータスレジスタが初期化され、乗数レジスタ、被乗数レジスタ、コマンドレジスタは前の状態を保持します (RCLR は 1 マシンサイクル後、自動的に "0" にクリアされます)。
- 注 2) CMOD への書き込み (オーバーライトも含む) では、各レジスタ (ステータスレジスタ、乗数レジスタ、被乗数レジスタ、結果レジスタ、加算値設定レジスタ) は変化しません。
- 注 3) 演算モードを変更する場合、必ず演算停止中 (CALC="0") であることを確認してから、モード変更してください。
- 注 4) RCLR によるクリアは、演算停止中 (CALC="0") のときのみ有効です (演算中は "1" にセットできません)。
- 注 5) ビットの 6~4 は常に "1" が読み出されます ("0" は書き込めません)。

ステータスレジスタ

MACSR (0FA5H)	7	6	5	4	3	2	1	0	
	"1"	"1"	"1"	CARF	ZERF	SIGN	OVRF	CALC	(初期値: 1110 0000)

CARF	キャリーフラグ	0: 積和演算時のキャリー発生なし 1: 積和演算時のキャリー発生あり	Read only
ZERF	ゼロフラグ	0: 演算結果が "00000000H" 以外 1: 演算結果が "00000000H"	
SIGN	符号フラグ	0: 結果レジスタの内容が正または "00000000H" 1: 結果レジスタの内容が負	
OVRF	オーバフローフラグ	0: オーバフローなし 1: オーバフローあり	
CALC	動作状態フラグ	0: 演算していない / 計算終了 1: 計算中	

- 注 1) ステータスレジスタは、結果レジスタクリア (RCLR = "1") によって初期化されます。
- 注 2) CARF, ZERF, SIGN, OVRF は、演算終了とともにセットされますので、レジスタの読み出しでは変化しません。
- 注 3) ZERF, SIGN は、加算値設定レジスタへの書き込みでは変化しません。
- 注 4) OVRF, CARF は、乗算モードでは常に "0" が読み出されます。
- 注 5) ビットの 7-5 は、常に "1" が読み出されます。

乗数レジスタ

MPLDRH, MPLDRL (0FA7H, 0FA6H)	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	MPLDRH (0FA7H)	MPLDRL (0FA6H)	(初期値: 0000 0000 0000 0000)	R/W
----------------------------------	---------------------------------------	----------------	----------------	----------------------------	-----

- 注) 符号付き演算モードの場合、ビット 15 は符号として演算処理されます。

被乗数レジスタ

MPCDRH, MPCDRL (0FA9H, 0FA8H)	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	MPCDRH (0FA9H)	MPCDRL (0FA8H)	(初期値: 0000 0000 0000 0000)	R/W
----------------------------------	---------------------------------------	----------------	----------------	----------------------------	-----

- 注 1) 符号付き演算モードの場合、ビット 15 は符号として演算処理されます。
- 注 2) 演算は、被乗数レジスタに下位 (MPCDRL)、上位 (MPCDRH) の順に書き込まないとスタートしません。
- 注 3) 被乗数レジスタは、下位側、上位側の順にレジスタへの書き込みを行わないとセットされませんので、上位側のみを書き込み、レジスタのリードを行った場合は、上位側の書き込み値は読み出されません (下位側のみを書き込んだ場合は、書き込み値が読み出されます)。

結果レジスタ

RCALDR4, RCALDR3 (0FADH, 0FACH)	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16	RCALDR4 (0FADH)	RCALDR3 (0FACH)	(初期値: 0000 0000 0000 0000)	Read only
RCALDR2, RCALDR1 (0FABH, 0FAAH)	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	RCALDR2 (0FABH)	RCALDR1 (0FAAH)	(初期値: 0000 0000 0000 0000)	Read only

- 注) 符号付き演算モードの場合、ビット 31 は演算結果の符号が格納されます。

加算値設定レジスタ

MADDR4, MADDR3 (0FADH, 0FACH)	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16	MADDR4 (0FADH)	MADDR3 (0FACH)	(初期値: 0000 0000 0000 0000)	Write only
MADDR2, MADDR1 (0FABH, 0FAAH)	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	MADDR2 (0FABH)	MADDR1 (0FAAH)	(初期値: 0000 0000 0000 0000)	Write only

- 注 1) 符号付き演算モードの場合、ビット 31 は符号として演算処理されます。
- 注 2) 加算値設定レジスタへの書き込みを行った場合、結果レジスタの内容が書き替わりますので、結果レジスタの読み出しは加算値設定レジスタへの書き込み前に行ってください。

17.4 レジスタ説明

17.4.1 EMAC

EMAC (MACCR のビット 0) を“1”にセットすると、積和演算器がイネーブル状態となります。一度イネーブルにすると、ディセーブルにするまで積和演算器はイネーブルの状態を維持します。

17.4.2 CMOD

CMOD (MACCR のビット 3~1) にて演算モードを設定します。

演算動作は、被乗数レジスタに下位側 (MPCDRL)、上位側 (MPCDRH) の順に書き込むことによって自動的にスタートします。従って、乗数レジスタ (MPLDRH, MPLDRL) は被乗数レジスタよりも先に書き込む必要があります。演算が終了すると、結果レジスタ (RCALDR) へ演算結果が格納されます。

一度設定した演算モードは書き替えるまで有効です。ただし、動作モードを変更した場合 (IDLE0/1/2, SLOW1/2, STOP へ遷移) は CMOD は初期化されます。

演算中、1 回に限り乗数レジスタ、被乗数レジスタは次のデータを書き込むことができます。ただし、2 回以上の書き込みは行わないでください。演算中であるかどうかは CALC (MACSR のビット 0) を読み出すことで判定できます。

- 注 1) 演算モードを変更する場合、必ず演算停止中 (CALC = “0”)であることを確認してから、モード変更してください。
- 注 2) CMOD への書き込み (オーバーライトも含む) では、各レジスタ (ステータスレジスタ、乗数レジスタ、被乗数レジスタ、結果レジスタ、加算値設定レジスタ) は変化しません。従って、モード変更時、ステータスフラグ、結果レジスタ、加算値設定レジスタをクリアする必要がある場合は、RCLR を “1” にセットし、レジスタクリアを実行してください。

17.4.3 RCLR

演算停止中 (CALC = “0”) に RCLR (MACCR のビット 7) を “1” にセットすると結果レジスタ、加算値設定レジスタおよびステータスレジスタがクリアされます (乗数レジスタ、被乗数レジスタは前の状態を保持します)。RCLR ビットは、“1” にセット後、1 命令サイクル後に自動的に “0” にクリアされます。

注) 演算動作中 (CALC = “1”) は RCLR は “1” にセットできません (命令は無効となります)。

積和演算器ディセーブル (EMAC = “0”), レジスタクリア (RCLR = “1”) を実行した場合、および動作モードを遷移させた場合の各レジスタの状態は以下のようになります。

表 17-2 EMAC, RCLR の設定によるレジスタの変化

レジスタ	EMAC = “0” (ディセーブル)	RCLR = “1” (レジスタクリア)	IDLE0/1/2, SLOW1/2, STOP モード
コマンドレジスタ (MACCR)	EMAC 以外は前の状態を保持	RCLR 以外は前の状態を保持。 RCLR は 1 マシンサイクル後にクリア	初期化
ステータスレジスタ (MACSR)	初期化	初期化	初期化
乗数レジスタ (MPLDRH, MPLDRL)	初期化	前の状態を保持	初期化
被乗数レジスタ (MPCDRH, MPCDRL)	初期化	前の状態を保持	初期化
結果レジスタ (RCALDR4~1)	初期化	初期化	初期化
加算値設定レジスタ (MADDR4~1)	初期化	初期化	初期化

- 注 1) 乗数レジスタ, 被乗数レジスタ, 加算値設定レジスタは積和演算器をイネーブル (EMAC = "1") にしないと書き込みはできません。
- 注 2) 被乗数レジスタへの書き込みは、必ず下位 (MPCDRL)、上位 (MPCDRH) の順に行ってください。
- 注 3) RCLR への書き込みは演算停止中 (CALC = "0") のときのみ有効です。
- 注 4) 積和演算器がイネーブル状態 (EMAC = "1") で、動作モードを変更 (IDLE0/1/2, SLOW1/2, STOP モードへ遷移) した場合、コマンドレジスタ (MACCR) は初期化され、その時の演算内容は破棄されます。従って、各モード解除後は再度 MACCR を設定する必要があります。

17.5 演算モード

演算モードには、以下の 4 つのモードがあります。

1. 符号なし乗算 (16 ビット × 16 ビット)
2. 符号付き乗算 (16 ビット × 16 ビット)
3. 符号なし積和演算 (16 ビット × 16 ビット + 32 ビット)
4. 符号付き積和演算 (16 ビット × 16 ビット + 32 ビット)

17.5.1 符号なし乗算モード

コマンドレジスタの CMOD に "000B" をセットすることにより、符号なし乗算モードとなります。符号なしモードの場合、乗数レジスタ / 被乗数レジスタの各レジスタの値は 16 ビットのデータとして演算処理されます。

演算は、乗数レジスタ (MPLDRH, MPLDRL) に乗数を書き込み、被乗数レジスタへ下位 (MPCDRL)、上位 (MPCDRH) の順に被乗数を書き込むと自動的に開始します。演算結果は 32 ビットのデータとして、結果レジスタに格納されます (前回の演算結果はクリアされます)。

17.5.2 符号付き乗算モード

コマンドレジスタの CMOD に "010B" をセットすることにより、符号付き乗算モードとなります。符号付きモードの場合、乗数レジスタ / 被乗数レジスタの各レジスタのビット 15 は符号として演算処理されます。

演算は、乗数レジスタ (MPLDRH, MPLDRL) に乗数を書き込み、被乗数レジスタへ下位 (MPCDRL)、上位 (MPCDRH) の順に被乗数を書き込むと自動的に開始します。演算結果は符号付きの 32 ビットデータとして結果レジスタに格納されます (ビット 31 には符号が格納されます。また、前回の演算結果はクリアされます)。なお、乗数、被乗数の符号によって、結果レジスタの符号は表 17-3 のように変化します。

表 17-3 符号付き乗算モード時の符号

乗数の符号	被乗数の符号	演算結果の符号
0	0	0
0	1	1
1	0	1
1	1	0

17.5.3 符号なし積和演算モード

コマンドレジスタの CMOD に、“001B” をセットすることにより、符号なし積和演算モードとなります。

符号なしモードの場合、乗数レジスタ / 被乗数レジスタの各レジスタの値は 16 ビットのデータとして演算処理されます。

演算動作は、乗数レジスタ (MPLDRH, MPLDRL) に乗数を書き込み、被乗数レジスタへ下位 (MPCDRL)、上位 (MPCDRH) の順に被乗数を書き込むと自動的に開始します。演算処理は、まず乗数と被乗数との乗算を実行し、その後、加算値設定レジスタの内容が加算され、32 ビットのデータとして結果レジスタに格納されます。

積和演算モードでは、演算停止中に加算値設定レジスタに書き込むことにより、加算値を任意に設定することができます。例えば、演算開始前に加算値設定レジスタに任意のデータ C を設定後、 $A \times B$ を実行した場合、

$$A \times B + C$$

の演算結果が結果レジスタ (RCALDR4~RCALDR1) に格納されます。結果レジスタおよび加算値設定レジスタは、結果レジスタクリアビット RCLR を “1” にセットすることによってクリアされます。なお、乗算後、結果レジスタの内容が自動的に加算値設定レジスタへ格納されますので、加算値設定レジスタを書き替えない場合は、前回の乗算結果が加算されることになります。

注 1) 加算値設定レジスタへの書き込みは、必ず、演算停止状態 (CALC = “0”) にて行ってください。

注 2) 加算値設定レジスタへの書き込みを行った場合、結果レジスタの内容が書き替わりますので、結果レジスタの読み出しは、加算値設定レジスタへの書き込み前に行ってください。

17.5.4 符号付き積和演算モード

コマンドレジスタの CMOD に、“011B” をセットすることにより、符号付き積和演算モードとなります。

符号付きモードの場合、乗数レジスタ / 被乗数レジスタの各レジスタのビット 15 は符号として演算処理されます。

演算動作は、乗数レジスタ (MPLDRH, MPLDRL) に乗数を書き込み、被乗数レジスタへ下位 (MPCDRL)、上位 (MPCDRH) の順に被乗数を書き込むと自動的に開始します。演算処理は、まず乗数と被乗数との乗算を実行し、その後、加算値設定レジスタの内容が加算され、符号付きの 32 ビットのデータとして結果レジスタに格納されます (ビット 31 には符号が格納されます)。なお、加算結果の符号は表 17-4 のように変化します。また、符号なし積和演算モードと同様、演算停止中に加算値設定レジスタに書き込むことにより、加算値を任意に設定することができます。

注) 符号付き積和演算モード時、加算値レジスタへの書き込みを行った場合、ビット 31 は符号として演算処理されます。

表 17-4 符号付き積和演算モード時の符号

乗算結果の符号	加算値の符号	演算結果の符号 (ビット 31)	
		OVRF = "0" のとき	OVRF = "1" のとき
0	0	0	1
0	1	演算結果 < 0 のとき "1" 演算結果 ≥ 0 のとき "0"	-
1	0	演算結果 < 0 のとき "1" 演算結果 ≥ 0 のとき "0"	-
1	1	1	0

17.5.5 演算数値範囲

各モードにおける演算可能な数値範囲は表 17-5 のようになります。

表 17-5 演算可能な数値範囲 (上段: 10 進、下段: 16 進)

モード	乗数, 被乗数	加算値	演算結果
符号なし乗算	0~65535 (0000H~FFFFH)	-	0~4294836225 (00000000H~FFFE0001H)
符号付き乗算	-32768~32767 (8000H~7FFFH)	-	-1073709056~1073741824 (C0008000H~40000000H)
符号なし積和	0~65535 (0000H~FFFFH)	0~4294967295 (00000000H~FFFFFFFH)	0~4294967295 (00000000H~FFFFFFFH)
符号付き積和	-32768~32767 (8000H~7FFFH)	-2147483648~2147483647 (80000000H~7FFFFFFFH)	-2147483648~2147483647 (80000000H~7FFFFFFFH)

17.6 ステータスフラグ

ステータスフラグには以下の 5 つのフラグがあります。なお、OVRF, CARF, SIGN, ZERF は演算終了時にセットされますので、レジスタの読み出しでは変化しません。

1. 動作状態フラグ (CALC)
2. オーバフローフラグ (OVRF)
3. キャリーフラグ (CARF)
4. 符号フラグ (SIGN)
5. ゼロフラグ (ZERF)

17.6.1 動作状態フラグ (CALC)

演算器の状態を示します。演算中は“1”にセットされ、演算停止中は“0”となります。

17.6.2 オーバフローフラグ (OVRF)

符号付き積和演算時、正の数同士の加算結果が負の数となった場合、または負の数同士の加算結果が正の数となった場合にオーバフローフラグが“1”にセットされます。そのほかのときは“0”にクリアされます。

注) 乗算モード時、OVRF は常に“0”が読み出されます。

17.6.3 キャリーフラグ (CARF)

積和演算時、最上位ビット (ビット 31) からのキャリーが発生した場合“1”にセットされ、そのほかの場合は“0”にクリアされます。

注) 乗算モード時、CARF は常に "0" が読み出されます。

17.6.4 符号フラグ (SIGN)

演算結果の最上位ビット (ビット 31) の内容がセットされます (符号付き, 符号なしモードに関係なく、ビット 31 の内容がセットされます)。

注) SIGN は演算結果によってセットされますので、加算値設定レジスタへの書き込みでは変化しません。

17.6.5 ゼロフラグ (ZERF)

結果レジスタの内容が "00000000H" のとき "1" にセットされ、そのほかのときは "0" にクリアされます。なお、オーバフローまたはキャリーが発生した場合でも、レジスタの内容が "00000000H" のときは "1" にセットされます。

注) ZERF は演算結果によってセットされますので、加算値設定レジスタへの書き込みでは変化しません。

17.7 ソフトウェア処理例

$X = \alpha x + \beta y + \gamma z$ の演算を行う処理の例を示します。演算時間は、 $f_c = 8 \text{ MHz}$ のとき、 $3 \mu\text{s}$ です。乗数 / 被乗数はデータ RAM に別々に格納されています。使用する汎用レジスタは W, A レジスタです。汎用レジスタの退避処理は行いません。MAC のイネーブル / ディセーブル設定は行いません。

- 注 1) 割り込み処理により演算中に動作モードが遷移すると、正しい演算結果が得られない場合がありますので、必ず、演算開始前に割り込み禁止 (DI 命令) を実行してください。
- 注 2) 演算を開始したあと、結果レジスタの読み出しは、MACSR<CALC> = "0" を確認するか 3 マシンサイクル以上 (NOP × 3 回など) 経過してから行ってください。

命令		処理時間
DI		(割り込みの禁止)
LD	WA, (RAM_乗数 α)	6 サイクル / $3 \mu\text{s}$
LD	(MPLDRL), WA ; 乗数レジスタ	6 サイクル / $3 \mu\text{s}$
LD	WA, (RAM_被乗数 x)	6 サイクル / $3 \mu\text{s}$
LD	(MPCDRL), WA ; 被乗数レジスタ	6 サイクル / $3 \mu\text{s}$
	; 次のデータは連続して書き込み可能	
LD	WA, (RAM_乗数 β)	6 サイクル / $3 \mu\text{s}$
LD	(MPLDRL), WA ; 乗数レジスタ	6 サイクル / $3 \mu\text{s}$
LD	WA, (RAM_被乗数 y)	6 サイクル / $3 \mu\text{s}$
LD	(MPCDRL), WA ; 被乗数レジスタ	6 サイクル / $3 \mu\text{s}$
	; 既に 1 回目の演算は終了しているので、さらに次のデータを書き込み可能	
LD	WA, (RAM_乗数 γ)	6 サイクル / $3 \mu\text{s}$
LD	(MPLDRL), WA ; 乗数レジスタ	6 サイクル / $3 \mu\text{s}$
LD	WA, (RAM_被乗数 z)	6 サイクル / $3 \mu\text{s}$

LD	(MPCDRL), WA	; 被乗数レジスタ	6 サイクル / 3 μ s
NOP		; 3 マシンサイクル以上待機	
NOP		; (注 2)	
NOP			
LD	WA, (RCALDR1)	; 積 / 積和結果 reg の下位	6 サイクル / 3 μ s
LD	(RAM_結果 X の下位), WA		6 サイクル / 3 μ s
LD	WA, (RCALDR3)	; 積 / 積和結果 reg の上位	6 サイクル / 3 μ s
LD	(RAM_結果 X の上位), WA		6 サイクル / 3 μ s
EI		(割り込みの許可)	
処理時間			51 μ s
<CALL mn 命令処理 >			6 サイクル / 3 μ s
RET			6 サイクル / 3 μ s
処理時間合計			57 μ s

Not Recommended for New Design

Not Recommended
for New Design

第 18 章 端子の入出力回路

18.1 制御端子

TMP86CM23AUG の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 $R_f = 1.2 \text{ M}\Omega$ (typ.) $R_o = 0.5 \text{ k}\Omega$ (typ.)
XTIN XTOUT	入力 出力		低周波発振子接続端子 $R_f = 6 \text{ M}\Omega$ (typ.) $R_o = 220 \text{ k}\Omega$ (typ.)
$\overline{\text{RESET}}$	入力		ヒステリシス入力 プルアップ抵抗内蔵 $R_{IN} = 220 \text{ k}\Omega$ (typ.)
TEST	入力		プルダウン抵抗内蔵 $R_{IN} = 70 \text{ k}\Omega$ (typ.) $R = 1 \text{ k}\Omega$ (typ.)

18.2 入出力ポート

TMP86CM23AUG の入出力回路を示します。

ポート	入出力	入出力回路およびコード	備考
P1	入出力	<p>初期値 "High-Z" SEG出力</p> <p>データ出力</p> <p>禁止</p> <p>端子入力</p>	<p>トライステート出力 ヒステリシス入力 R = 100 Ω (typ.) LCD セグメント出力兼用</p>
P5 P7 P8	入出力	<p>初期値 "High-Z" SEG出力</p> <p>データ出力</p> <p>禁止</p> <p>端子入力</p>	<p>トライステート出力 R = 100 Ω (typ.) LCD セグメント出力兼用</p>
P2	入出力	<p>初期値 "High-Z"</p> <p>データ出力</p> <p>出力ラッチ入力</p> <p>端子入力</p>	<p>シンクオープンドレイン出力 ヒステリシス入力 R = 100 Ω (typ.)</p>
P34~P30	入出力	<p>初期値 "High-Z"</p> <p>Pch 制御</p> <p>データ出力</p> <p>出力ラッチ入力</p> <p>端子入力</p>	<p>シンクオープンドレイン出力 または C-MOS 出力 ヒステリシス入力 Nch 大電流出力 (P33/P34 のみ) R = 100 Ω (typ.)</p>
P37~P35	出力	<p>初期値 "High-Z"</p> <p>データ出力</p> <p>出力ラッチ入力</p>	<p>シンクオープンドレイン出力 大電流出力 (Nch)</p>
P6	入出力	<p>初期値 "High-Z" AIN</p> <p>データ出力</p> <p>禁止</p> <p>端子入力</p>	<p>トライステート入出力 ヒステリシス入力 AIN 入力兼用 R = 100 Ω (typ.)</p>

第 19 章 電気的特性

19.1 絶対最大定格

絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

($V_{SS} = 0\text{ V}$)

項目	記号	端子	規格	単位
電源電圧	V_{DD}		-0.3~6.5	V
入力電圧	V_{IN}		-0.3~ $V_{DD} + 0.3$	
出力電圧	V_{OUT}		-0.3~ $V_{DD} + 0.3$	
出力電流 (1 端子当たり)	I_{OUT1}	P1, P30~P34, P5, P6, P7, P8 ポート	-1.8	mA
	I_{OUT2}	P1, P2, P30~P32, P5, P6, P7, P8 ポート	3.2	
	I_{OUT3}	P33~P37 ポート	30	
出力電流 (全端子総計)	ΣI_{OUT1}	P1, P30~P34, P5, P6, P7, P8 ポート	-30	
	ΣI_{OUT2}	P1, P2, P30~P32, P5, P6, P7, P8 ポート	60	
	ΣI_{OUT3}	P33~P37 ポート	80	
消費電力 [$T_{opr} = 85^{\circ}\text{C}$]	PD		350	mW
はんだ付け温度 (時間)	T_{sld}		260 (10 s)	$^{\circ}\text{C}$
保存温度	T_{stg}		-55~125	
動作温度	T_{opr}		-40~85	

19.2 動作条件

動作条件とは、製品が一定の品質を保って正常に動作するための使用条件です。動作条件 (電源電圧、動作温度範囲、AC/DC 規定値) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず動作条件の範囲を超えないように応用機器の設計を行ってください。

($V_{SS} = 0\text{ V}$, $T_{opr} = -40\sim 85^{\circ}\text{C}$)

項目	記号	端子	条件	Min	Max	単位	
電源電圧	V_{DD}		$f_c = 16\text{ MHz}$	NORMAL1, 2 モード	3.5	5.5	V
				IDLE0, 1, 2 モード			
			$f_c = 8\text{ MHz}$	NORMAL1, 2 モード	2.7		
				IDLE0, 1, 2 モード			
			$f_c = 4.2\text{ MHz}$	NORMAL1, 2 モード	1.8 (注 1)		
IDLE0, 1, 2 モード							
$f_s = 32.768\text{ kHz}$	SLOW1, 2 モード						
	SLEEP0, 1, 2 モード						
		STOP モード					
高レベル入力電圧	V_{IH1}	ヒステリシス入力を除く	$V_{DD} \geq 4.5\text{ V}$	$V_{DD} \times 0.70$	V_{DD}		
	V_{IH2}	ヒステリシス入力		$V_{DD} \times 0.75$			
	V_{IH3}			$V_{DD} \times 0.90$			
低レベル入力電圧	V_{IL1}	ヒステリシス入力を除く	$V_{DD} \geq 4.5\text{ V}$	0	$V_{DD} \times 0.30$		
	V_{IL2}	ヒステリシス入力			$V_{DD} \times 0.25$		
	V_{IL3}				$V_{DD} \times 0.10$		
クロック周波数	f_c	XIN, XOUT	$V_{DD} = 1.8\text{ V}\sim 5.5\text{ V}$	1.0	4.2	MHz	
			$V_{DD} = 2.7\text{ V}\sim 5.5\text{ V}$		8.0		
			$V_{DD} = 3.5\text{ V}\sim 5.5\text{ V}$		16.0		
	f_s	XTIN, XTOUT		30.0	34.0	kHz	

注 1) 電源電圧 $V_{DD}=1.8\sim 2.0\text{V}$ の場合は、動作温度範囲 (T_{opr}) は $-20\sim 85^{\circ}\text{C}$ になります。

19.3 DC 特性

(V_{SS} = 0 V, Topr = -40~85°C)

項目	記号	端子	条件	Min	Typ.	Max	単位
ヒステリシス電圧	V _{HS}	ヒステリシス入力		-	0.9	-	V
入力電流	I _{IN1}	TEST	V _{DD} = 5.5 V, V _{IN} = 5.5 V/0 V	-	-	±2	μA
	I _{IN2}	シンクオープンドレイン, トライステートポート					
	I _{IN3}	$\overline{\text{RESET}}$, $\overline{\text{STOP}}$					
入力抵抗	R _{IN1}	TEST プルダウン		-	70	-	kΩ
	R _{IN2}	$\overline{\text{RESET}}$ プルアップ		100	220	450	
出力リーク電流	I _{LO}	シンクオープンドレイン, トライステートポート	V _{DD} = 5.5 V, V _{OUT} = 5.5 V/0 V	-	-	±2	μA
高レベル出力電圧	V _{OH}	C-MOS, トライステートポート	V _{DD} = 4.5 V, I _{OH} = -0.7 mA	4.1	-	-	V
低レベル出力電圧	V _{OL}	XOUT, P3 ポートを除く	V _{DD} = 4.5 V, I _{OL} = 1.6 mA	-	-	0.4	
低レベル出力電流	I _{OL}	大電流 (P33~P37 ポート)	V _{DD} = 4.5 V, V _{OL} = 1.0 V	-	20	-	mA
NORMAL1, 2 モード時電源電流	I _{DD}		V _{DD} = 5.5 V V _{IN} = 5.3/0.2 V f _c = 16 MHz f _s = 32.768 kHz	-	10.5	15.0	mA
IDLE0, 1, 2 モード時電源電流					6.5	10.0	
SLOW1 モード時 電源電流					10.0	21.0	μA
SLEEP1 モード時 電源電流					7.5	16.0	
SLEEP0 モード時 電源電流					5.0	12.0	
STOP モード時 電源電流					0.5	10	
セグメント出力低抵抗	R _{OS1}	SEG 端子	V _{DD} = 5.0 V V _{LC} = 2.0 V	-	20	-	kΩ
コモン出力低抵抗	R _{OC1}	COM 端子			20		
セグメント出力高抵抗	R _{OS2}	SEG 端子			200		
コモン出力高抵抗	R _{OC2}	COM 端子			200		
セグメント / コモン 出力電圧	V _{O2/3}	SEG/COM 端子	V _{DD} = 5.0 V V _{LC} = 2.0 V	-	3.8	4.2	V
	V _{O1/2}				3.3	3.7	
	V _{O1/3}				2.8	3.2	

注 1) Typ. 値は、条件に指定なき場合 Topr = 25°C, V_{DD} = 5 V 時の値を示します。

注 2) 入力電流 I_{IN1}, I_{IN3}: プルアップまたはプルダウン抵抗による電流を除きます。

注 3) I_{DD} は、I_{REF} を含みません。

注 4) SLOW2, SLEEP2 モードの各電源電流は、IDLE0, 1, 2 モードと同等です。

注 5) 出力抵抗 R_{OS}, R_{OC}: レベルスイッチング時の ON 抵抗を示します。

注 6) V_{O2/3}: 1/4 または 1/3 デューティ駆動の場合における 2/3 レベルの出力電圧を示します。

注 7) V_{O1/2}: 1/2 またはスタテック駆動の場合における 1/2 レベルの出力電圧を示します。

注 8) V_{O1/3}: 1/4 または 1/3 デューティ駆動の場合における 1/3 レベルの出力電圧を示します。

注 9) 液晶表示器 (LCD) の使用にあたっては出力抵抗 R_{OS1/2}, R_{OC1/2} の値を十分に考慮する必要があります。

19.4 AD 変換特性

($V_{SS} = 0.0\text{ V}$, $4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $T_{opr} = -40\sim 85^{\circ}\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		$A_{VDD} - 1.0$	-	A_{VDD}	V
アナログ制御回路電源電圧 (注 6)	A_{VDD}		V_{DD}			
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}		3.5	-	-	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	-	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = A_{VDD} = V_{AREF} = 5.5\text{ V}$ $V_{SS} = 0.0\text{ V}$	-	0.6	1.0	mA
非直線性誤差			-	-	± 2	LSB
ゼロ誤差		$V_{DD} = A_{VDD} = 5.0\text{ V}$ $V_{SS} = 0.0\text{ V}$	-	-	± 2	
フルスケール誤差		$V_{AREF} = 5.0\text{ V}$	-	-	± 2	
総合誤差			-	-	± 2	

($V_{SS} = 0.0\text{ V}$, $2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$, $T_{opr} = -40\sim 85^{\circ}\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		$A_{VDD} - 1.0$	-	A_{VDD}	V
アナログ制御回路電源電圧 (注 6)	A_{VDD}		V_{DD}			
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}		2.5	-	-	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	-	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = A_{VDD} = V_{AREF} = 4.5\text{ V}$ $V_{SS} = 0.0\text{ V}$	-	0.5	0.8	mA
非直線性誤差			-	-	± 2	LSB
ゼロ誤差		$V_{DD} = A_{VDD} = 2.7\text{ V}$ $V_{SS} = 0.0\text{ V}$	-	-	± 2	
フルスケール誤差		$V_{AREF} = 2.7\text{ V}$	-	-	± 2	
総合誤差			-	-	± 2	

($V_{SS} = 0.0\text{ V}$, $2.0\text{ V} \leq V_{DD} < 2.7\text{ V}$, $T_{opr} = -40\sim 85^{\circ}\text{C}$) (注 5)

($V_{SS} = 0.0\text{ V}$, $1.8\text{ V} \leq V_{DD} < 2.0\text{ V}$, $T_{opr} = -10\sim 85^{\circ}\text{C}$) (注 5)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		$A_{VDD} - 0.9$	-	A_{VDD}	V
アナログ制御回路電源電圧 (注 6)	A_{VDD}		V_{DD}			
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}	$1.8\text{ V} \leq V_{DD} < 2.0\text{ V}$	1.8	-	-	
		$2.0\text{ V} \leq V_{DD} < 2.7\text{ V}$	2.0	-	-	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	-	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = A_{VDD} = V_{AREF} = 2.7\text{ V}$ $V_{SS} = 0.0\text{ V}$	-	0.3	0.5	mA
非直線性誤差			-	-	± 4	LSB
ゼロ誤差		$V_{DD} = A_{VDD} = 1.8\text{ V}$ $V_{SS} = 0.0\text{ V}$	-	-	± 4	
フルスケール誤差		$V_{AREF} = 1.8\text{ V}$	-	-	± 4	
総合誤差			-	-	± 4	

注 1) 総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。

注 2) 変換時間は電源電圧範囲によって推奨値が異なります。変換時間については、「レジスタ構成」を参照ください。

注 3) A_{IN} 入力端子への入力電圧は $V_{AREF} - V_{SS}$ 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、他のチャンネルの変換値にも影響を与えます。

注 4) アナログ基準電源電圧範囲: $\Delta V_{AREF} = V_{AREF} - V_{SS}$

注 5) $V_{DD} = 2.7\text{ V}$ 未満で AD を使用する場合、動作電圧によって温度保証範囲が異なります。

注 6) AD コンバータを使用しない場合、 A_{VDD} 端子は V_{DD} レベルに固定してください。

19.5 AC 特性

 $(V_{SS} = 0\text{ V}, V_{DD} = 3.5\text{--}5.5\text{ V}, T_{opr} = -40\text{--}85^\circ\text{C})$

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2 モード時	0.25	-	4	μs
		IDLE1, 2 モード時				
		SLOW1, 2 モード時	117.6	-	133.3	
		SLEEP1, 2 モード時				
高レベルロックパルス幅	t_{WCH}	外部クロック動作 (XIN 入力)	-	31.25	-	ns
低レベルロックパルス幅	t_{WCL}	$f_c = 16\text{ MHz}$ 時				
高レベルロックパルス幅	t_{WSH}	外部クロック動作 (XTIN 入力)	-	15.26	-	μs
低レベルロックパルス幅	t_{WSL}	$f_s = 32.768\text{ kHz}$ 時				

 $(V_{SS} = 0\text{ V}, V_{DD} = 2.7\text{--}5.5\text{ V}, T_{opr} = -40\text{--}85^\circ\text{C})$

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2 モード時	0.5	-	4	μs
		IDLE1, 2 モード時				
		SLOW1, 2 モード時	117.6	-	133.3	
		SLEEP1, 2 モード時				
高レベルロックパルス幅	t_{WCH}	外部クロック動作 (XIN 入力)	-	62.5	-	ns
低レベルロックパルス幅	t_{WCL}	$f_c = 8\text{ MHz}$ 時				
高レベルロックパルス幅	t_{WSH}	外部クロック動作 (XTIN 入力)	-	15.26	-	μs
低レベルロックパルス幅	t_{WSL}	$f_s = 32.768\text{ kHz}$ 時				

 $(V_{SS} = 0\text{ V}, V_{DD} = 1.8\text{--}5.5\text{ V}, T_{opr} = -40\text{--}85^\circ\text{C})$

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2 モード時	0.95	-	4	μs
		IDLE1, 2 モード時				
		SLOW1, 2 モード時	117.6	-	133.3	
		SLEEP1, 2 モード時				
高レベルロックパルス幅	t_{WCH}	外部クロック動作 (XIN 入力)	-	119.05	-	ns
低レベルロックパルス幅	t_{WCL}	$f_c = 4.2\text{ MHz}$ 時				
高レベルロックパルス幅	t_{WSH}	外部クロック動作 (XTIN 入力)	-	15.26	-	μs
低レベルロックパルス幅	t_{WSL}	$f_s = 32.768\text{ kHz}$ 時				

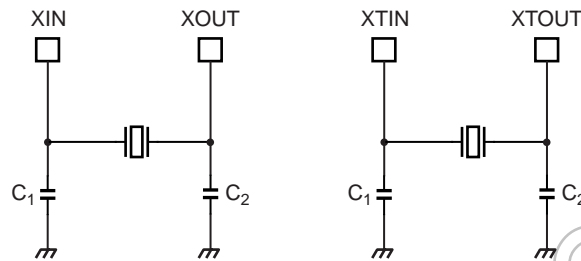
注 1) 電源電圧 $V_{DD} = 1.8 \sim 2.0\text{ V}$ の場合は、動作温度範囲 (T_{opr}) は $-20 \sim 85^\circ\text{C}$ になります。

19.6 タイマカウンタ 1 入力 (ECIN) 特性

 $(V_{SS} = 0\text{ V}, T_{opr} = -40\text{--}85^\circ\text{C})$

項目	記号	条件	Min	Typ.	Max	単位
タイマカウンタ 1 入力 (ECIN 入力)	t_{TC1}	周波数測定モード $V_{DD} = 3.5\text{--}5.5\text{ V}$	片エッジカウント	-	-	16
			両エッジカウント	-	-	
		周波数測定モード $V_{DD} = 2.7\text{--}5.5\text{ V}$	片エッジカウント	-	-	8
			両エッジカウント	-	-	
		周波数測定モード $V_{DD} = 1.8\text{--}5.5\text{ V}$	片エッジカウント	-	-	4.2
			両エッジカウント	-	-	

19.7 推奨発振条件



(1) 高周波発振

(2) 低周波発振

- 注 1) 高周波発振に水晶振動子を使用するときは、動作電圧 VDD が 2.7 V 以上のときのみとなります。動作電圧 VDD が 2.7 V 未満のときは、セラミック発振子を使用してください。
- 注 2) 発振の安定には、発振子の位置、負荷容量等を適切にする必要があります。これらは、基板パターンにより大きな影響を受けます。よって安定した発振を得るために、ご使用される基板での評価をされるようお願いいたします。
- 注 3) 弊社マイクロコントローラの発振子として、(株)村田製作所のセラミック発振子を推奨します。詳細につきましては、下記アドレスの同社ホームページをご参照ください。
<http://www.murata.co.jp>

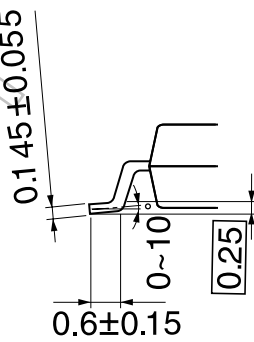
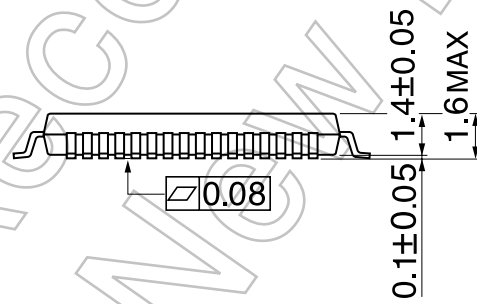
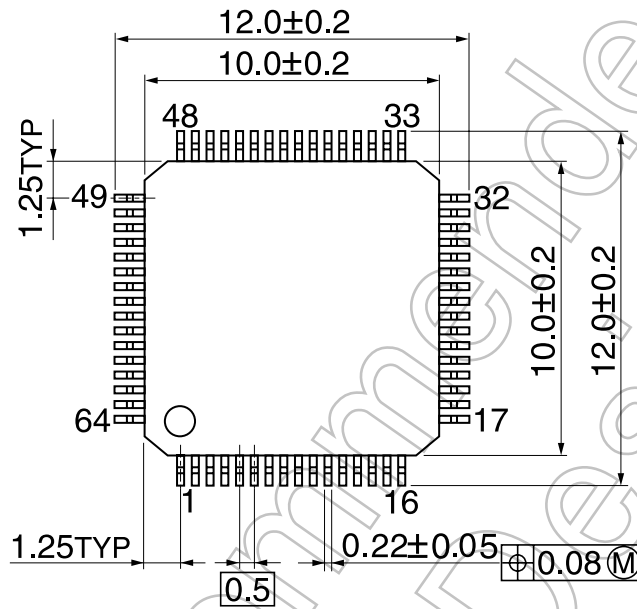
19.8 取り扱い上のご注意

- 鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項
 - 試験項目
はんだ付け性
 - 試験条件
230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)
245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)
 - 備考
フォーミングまでのはんだ付着率 95% を良品とする。
- ブラウン管などの高電界のかかる場所で使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

第 20 章 外形寸法

LQFP64-P-1010-0.50D Rev 01

Unit: mm



Not Recommended
for New Design

あとがき

この資料は TMP86CM23AUG のハードウェア (LSI) を中心にした動作機能および電気的特性を説明した技術資料です。

当社ではソフトウェア開発をより効果的に行うため、多くの開発ツールおよび基本ソフトウェアを用意しております。

これらの開発ツールはマイコンハードウェア (LSI) の発展を見越した仕様になっており、長期に渡って使用することができます。またハードウェア / ソフトウェアともバージョンアップのためのアフターサービスも行っており安心してお使いいただけます。

また、昨今の CMOS LSI の製造技術の発展は目覚ましいものがありマイクロコンピュータシステム用 LSI も次々と改良が加えられております。本資料に掲載されている品種も時代とともに改良することがありますのでご使用に当たりましてはご確認の上ご採用いただきますようお願い申し上げます。

当社では優れた MOS 製造技術、特に実績のある CMOS 技術を生かし高速、高集積のパフォーマンスの高いマイクロコンピュータを開発してまいります。

また応用範囲の広がりとともに多様化しているパッケージへのご要望にも応えていく用意も行っております。

今後とも末永く東芝マイクロコンピュータをご利用いただきますようお願い申し上げます。

2007年8月17日

8ビットマイクロコントローラ

TMP86CM23AUG

発行年月日

2007年8月17日

発行

株式会社東芝セミコンダクター社

編集

東芝 LSI システムサポート株式会社
