

32 ビット RISC マイクロコントローラ

TMPM3H グループ(2)

リファレンスマニュアル
電源とリセット動作
(RESET-M3H(2))

Revision 1.1

2018-07

東芝デバイス&ストレージ株式会社

目次

序章	4
関連するドキュメント	4
表記規約	5
用語・略語	7
1. 概要	8
2. 機能説明・動作説明	9
2.1. コールドリセット	9
2.1.1. パワーオンリセット回路によるリセット(RESET_N 端子を使用しない場合)	9
2.1.2. RESET_N 端子によるリセット	10
2.1.3. LVD によるリセット	12
2.2. ウォームリセット	13
2.2.1. RESET_N 端子によるウォームリセット	13
2.2.2. 内部リセットによるウォームリセット	13
2.3. STOP2 モード解除によるリセット	14
2.4. リセットとシングルブートモードの起動	14
2.5. パワーオンリセット回路	16
2.5.1. 電源投入時の動作	16
2.5.2. 電源切断時の動作	16
2.6. 電源切断後の再投入について	17
2.7. リセット解除後	17
2.7.1. リセット要因と初期化範囲	18
3. 改訂履歴	19
製品取り扱い上のお願い	20

図目次

図 2.1	パワーオンリセット回路によるリセット動作	9
図 2.2	RESET_N 端子によるリセット動作(1).....	10
図 2.3	RESET_N 端子によるリセット動作(2).....	11
図 2.4	LVD リセットによるリセット動作.....	12
図 2.5	ウォームリセット動作.....	13
図 2.6	電源オンとシングルブートモードの起動.....	14
図 2.7	電源安定時のシングルブートモードの起動.....	15
図 2.8	パワーオンリセット回路	16

表目次

表 2.1	リセット要因と初期化される範囲.....	18
表 3.1	改訂履歴.....	19

序章

関連するドキュメント

文書名
各製品のデータシート(電気的特性)
例外
クロック制御と動作モード
周波数検知回路
電圧検知回路
クロック選択式ウォッチドックタイマ
フラッシュメモリ

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C...を表します。
例: [ADACR0], [ADBCR0], [ADCCR0]→[ADxCR0]
チャンネルの場合、「x」は 0,1,2,...を表します。
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA]→[T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社 (Silicon Storage Technology, Inc.) からライセンスを受けた Super Flash® 技術を使用しています。Super Flash® は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

LVD	Voltage Detection Circuit
OFD	Oscillation Frequency Detector
POR	Power On Reset Circuit
SIWDT	Clock Selective Watchdog Timer

1. 概要

電源の立上げ、パワーオンリセットおよびリセットのかけ方について説明します。

機能分類	要因	動作説明
コールドリセット (電源投入を伴うリセット)	パワーオンリセット	電源投入時または切断時に発生するリセット
	LVD リセット	設定した電圧以下で発生するリセット
	リセット端子	RESET_N 端子によるリセット
ウォームリセット (電源投入を伴わないリセット)	内部リセット	SIWDT, OFD, LVD, LOCKUP および <SYSRESETREQ>によるリセット
	リセット端子	RESET_N 端子によるリセット
STOP2 モード解除によるリセット	割り込み	STOP2 モードからの復帰動作の中で行う電源遮断 領域に対するリセット(STOP2REQ)
	リセット端子	RESET_N 端子によるリセット

2. 機能説明・動作説明

注) 図中のシンボルで記述の時間や電圧は、データシートの「電気的特性」を参照してください。

2.1. コールドリセット

電源投入の際には、内蔵レギュレータ、内蔵フラッシュメモリおよび内蔵高速発振の安定時間を考慮する必要があります。TXZファミリでは、これらの機能の安定のための時間を内部回路が自動的に挿入します。

2.1.1. パワーオンリセット回路によるリセット(RESET_N 端子を使用しない場合)

電源電圧がパワーオンリセット(POR)の解除電圧を超えてから“内部初期化時間”経過後に内部リセットが解除されます。“内部初期化時間”が経過するより前に電源電圧を動作電圧範囲内まで上げてください。CPU は内部リセット解除後に動作します。

電源電圧がパワーオンリセット(POR)の解除電圧を超えると LVD 解除電圧まで LVD がリセット継続しますが、“内部初期化時間”内は内部リセットが優先します。電源電圧の立上げが“内部初期化時間”を超える場合は「2.1.3LVD によるリセット」を参照してください。

例えば、セットの動作電圧が 2.7V 以上の場合、パワーオンリセット解除後“内部初期化時間”内に電源電圧を 2.7V まで上げてください。セットの動作電圧が 4.5V 以上の場合、パワーオンリセット解除後“内部初期化時間”内に電源電圧を 4.5V まで上げてください。

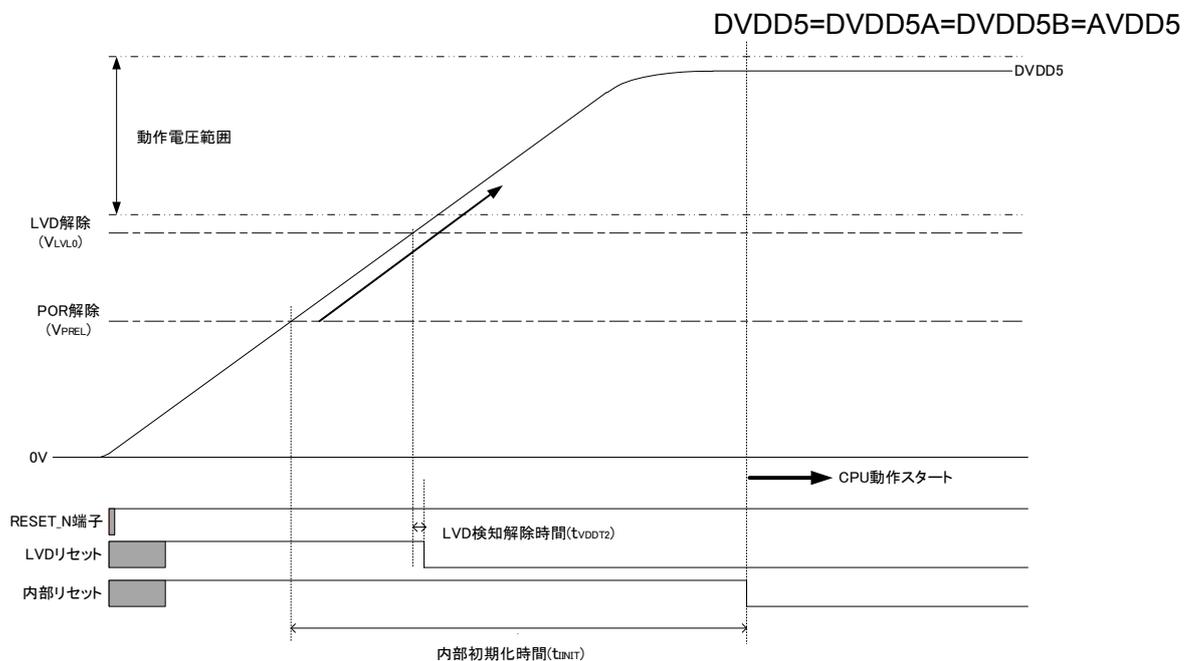


図 2.1 パワーオンリセット回路によるリセット動作

注) RESET_N 端子を使用しないでパワーオンリセット回路だけを使用する場合、RESET_N 端子はオープンまたは“High”レベルを入力してください。

2.1.2. RESET_N 端子によるリセット

電源投入時に RESET_N 端子を使用することでリセット解除のタイミングを調整することができます。

電源電圧がパワーオンリセットの解除電圧を超えた後、“内部初期化時間”経過後も RESET_N 端子が“Low”の場合、内部リセットは引き延ばされます。電源電圧が動作電圧範囲内まで上がった後、RESET_N 端子が“High”になってから“CPU 動作待ち時間”経過後に内部リセットは解除されます。

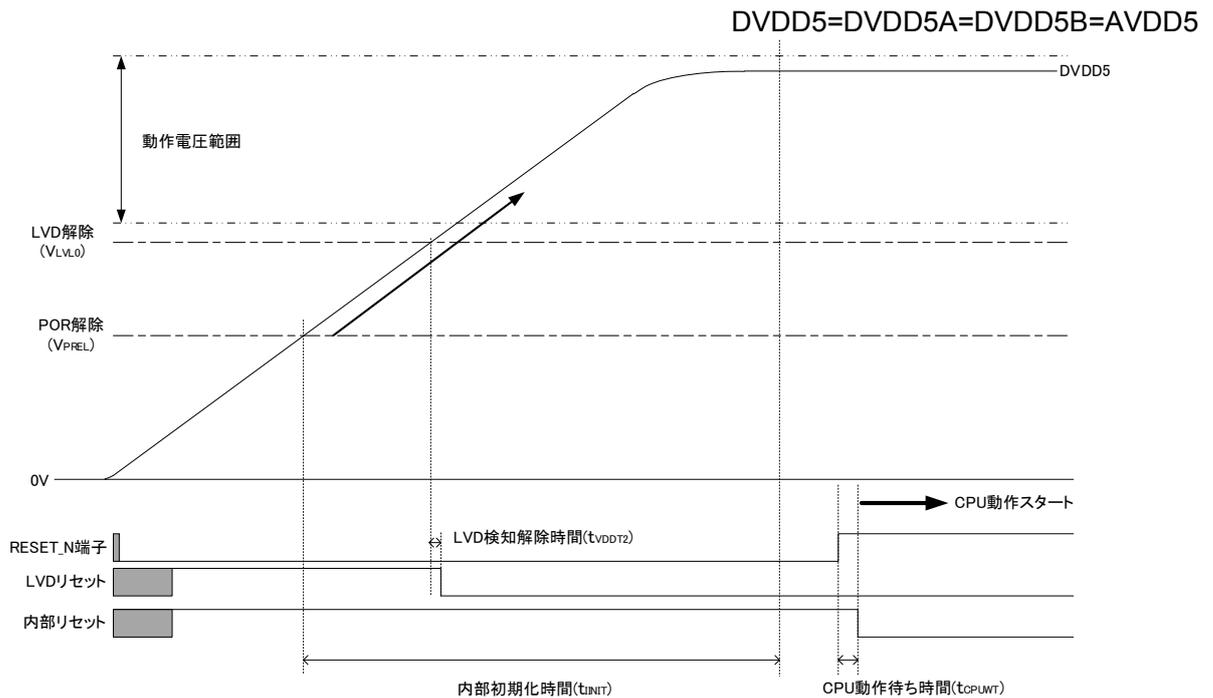


図 2.2 RESET_N端子によるリセット動作(1)

“内部初期化時間”経過前に RESET_N 端子が“Low”→“High”となった場合、“内部初期化時間”経過後に内部リセットは解除されます。このような場合は内部初期化時間が経過するより前に電源電圧を動作電圧範囲内まで上げてください。CPU は内部リセット解除後に動作します。

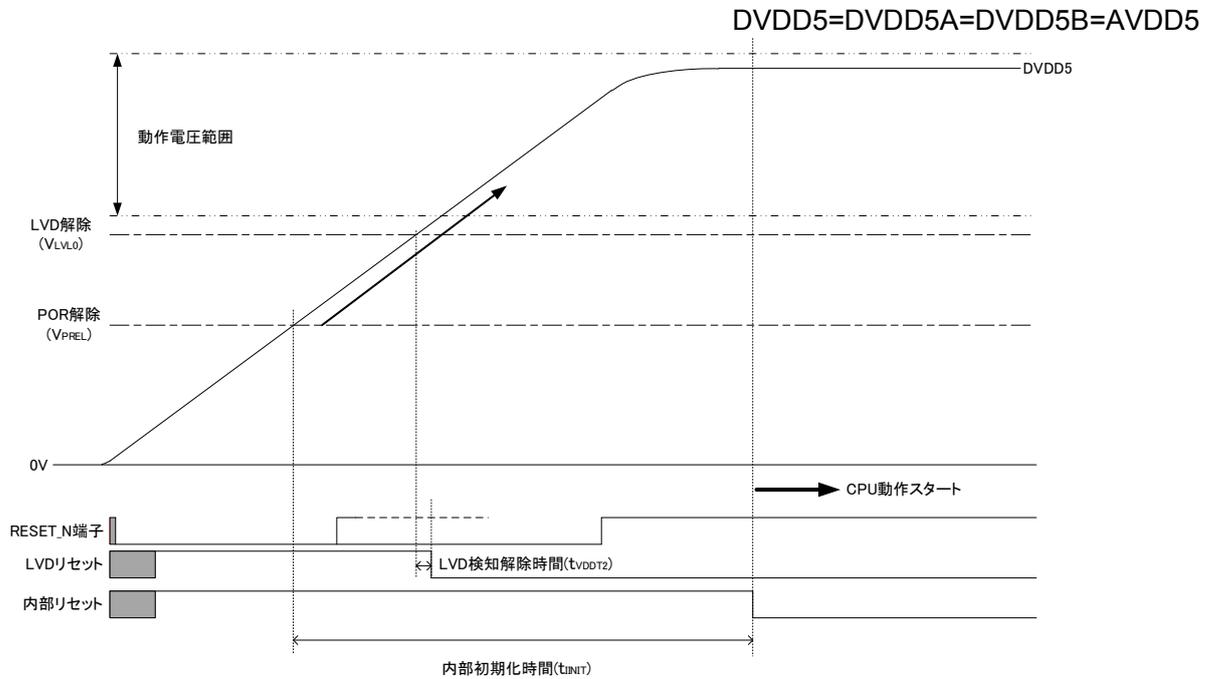


図 2.3 RESET_N端子によるリセット動作(2)

2.1.3. LVD によるリセット

“内部初期化時間”が経過しても電源電圧が LVD 解除電圧を超えていない場合は、LVD がリセットを出力してリセット状態を継続します。電源電圧が LVD 解除電圧を越えたら“LVD 検知解除時間”+“CPU 動作待ち時間”の後内部リセットが解除されて CPU は動作を開始します。LVD の詳細はリファレンスマニュアル「電圧検知回路」を参照してください。

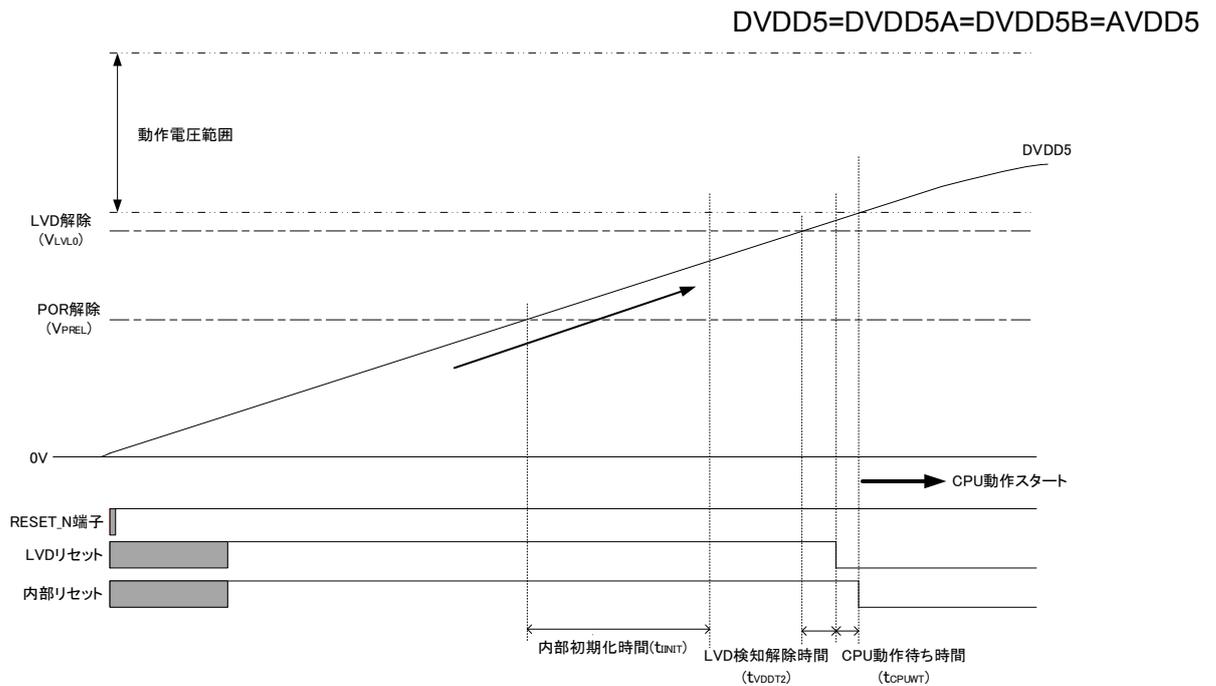


図 2.4 LVDリセットによるリセット動作

2.2. ウォームリセット

2.2.1. RESET_N 端子によるウォームリセット

RESET_N 端子でリセットをかける場合には、電源電圧が動作範囲内である状態で RESET_N 端子を少なくとも 17.2 μ s 以上の期間“Low”にしてください。

RESET_N 端子の“Low”期間が“内部処理時間”より長い場合、RESET_N 端子が“High”になってから“CPU 動作待ち時間”経過後に内部リセットは解除されます。

RESET_N 端子の“Low”期間が“内部処理時間”より短い場合、内部リセットが引き伸ばされ、RESET_N 端子が“Low”になってから“内部処理時間”+“CPU 動作待ち時間”経過後に内部リセットは解除されます。

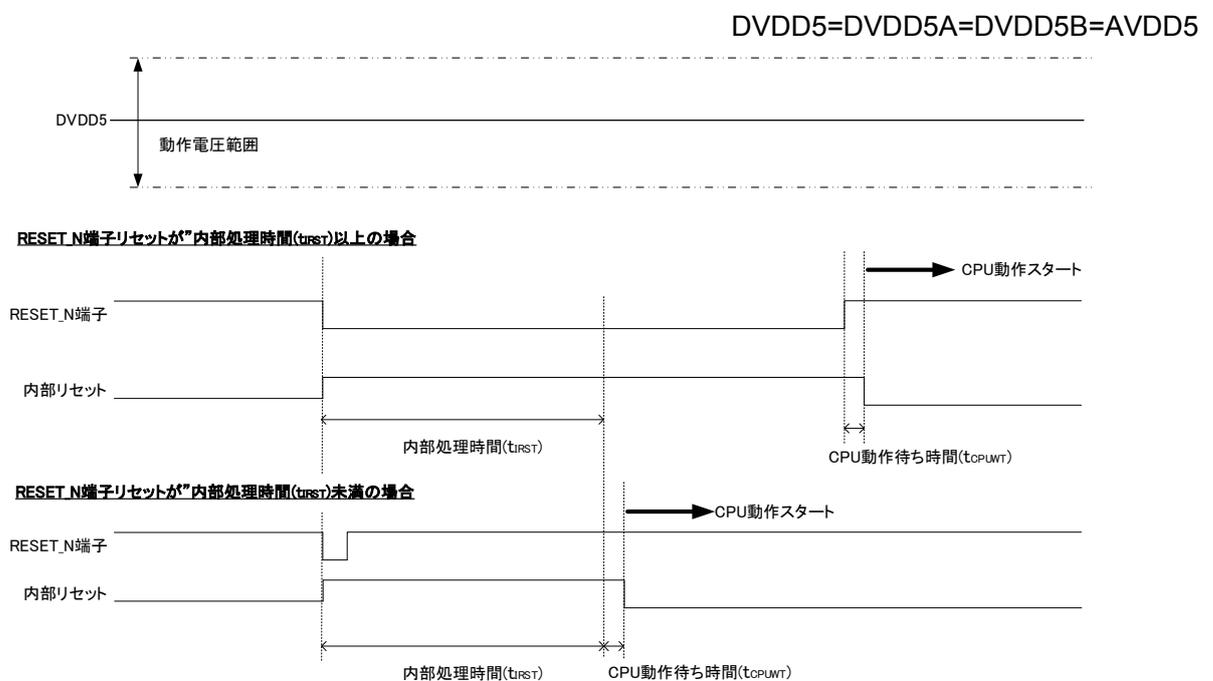


図 2.5 ウォームリセット動作

2.2.2. 内部リセットによるウォームリセット

SIWDT, OFD, LVD, LOCKUP および<SYSRESETREQ>などの内部要因によるリセットでは、“内部処理時間”+“CPU 動作待ち時間”経過後に内部リセットは解除されます。

2.3. STOP2 モード解除によるリセット

STOP2 モード中に RESET_N 端子が“Low”になると STOP2 モードは解除され、電源遮断領域に対して電源投入とリセット動作が行われます。RESET_N 端子が“High”になると NORMAL モードで動作を始めます。この時[RLMLOSCCR], [RLMRSTFLG0], [RLMRSTFLG1]を除き、コールドリセット後と同様の状態となります。

割り込み要求がアサートされた場合は、STOP2 モード解除シーケンスの中で内部の電源遮断領域に対して電源が投入され、リセット動作が行われます。STOP2 解除時の動作は、リファレンスマニュアル「クロック制御と動作モード」を参照してください。

2.4. リセットとシングルブートモードの起動

BOOT_N 端子に“Low”を入力して RESET_N 端子からリセットをかけるとシングルブートモードを起動します。

電源投入時は、内部初期化時間以上の間 RESET_N 端子に“Low”を入力してリセットをかけてください。電源電圧が動作電圧範囲まで上がってからリセットを解除してください。

シングルブートモードの詳細はリファレンスマニュアル「フラッシュメモリ」を参照してください。

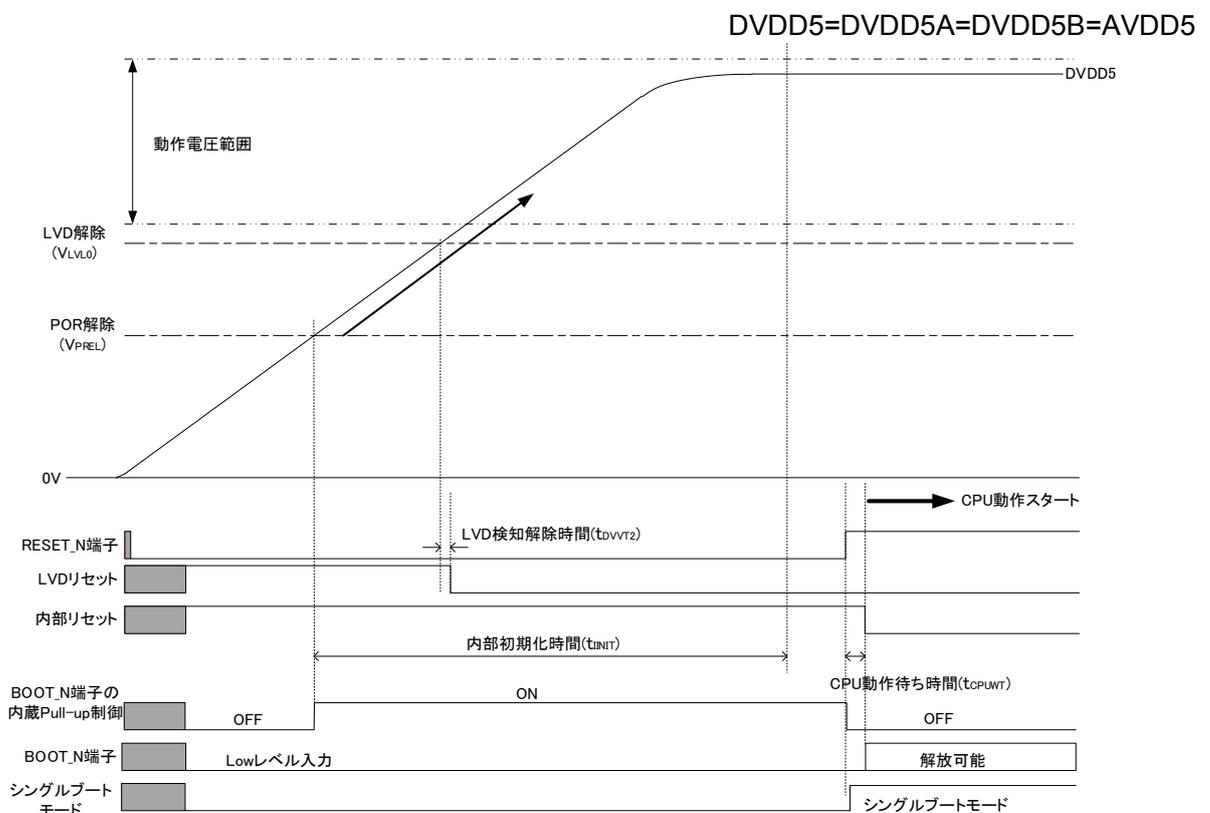


図 2.6 電源オンとシングルブートモードの起動

電源電圧が動作電圧範囲内で安定している場合は、BOOT_N 端子に“Low”を入力した状態で、内部処理時間以上の間 RESET_N 端子を“Low”にしてリセットをかけてください。

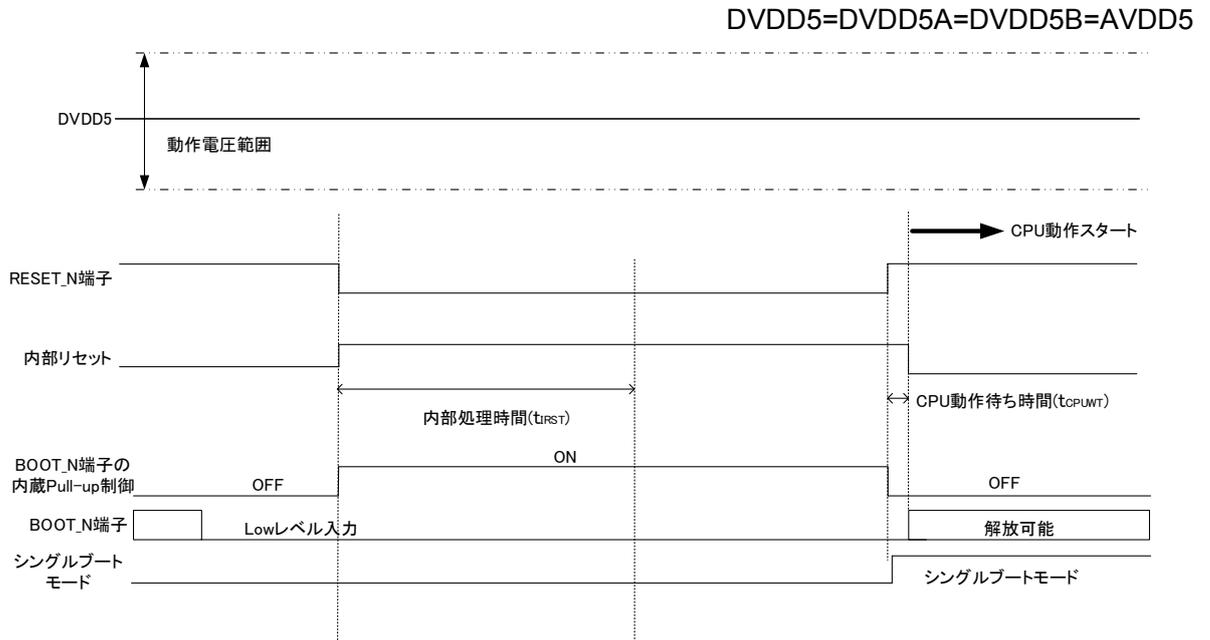


図 2.7 電源安定時のシングルブートモードの起動

2.5. パワーオンリセット回路

パワーオンリセット回路(POR)は、電源投入時または切断時にリセット信号を発生する回路です。

注) 電源電圧の変動によりパワーオンリセット回路が完全な動作をしないことがあります。回路設計時には電気的特性を参照のうえ十分な考慮をしてください。

パワーオンリセット回路は、検知電圧発生回路、基準電圧発生回路、コンパレータから構成されます。

電源電圧とは、DVDD5(=DVDD5A=DVDD5B)を指しています。

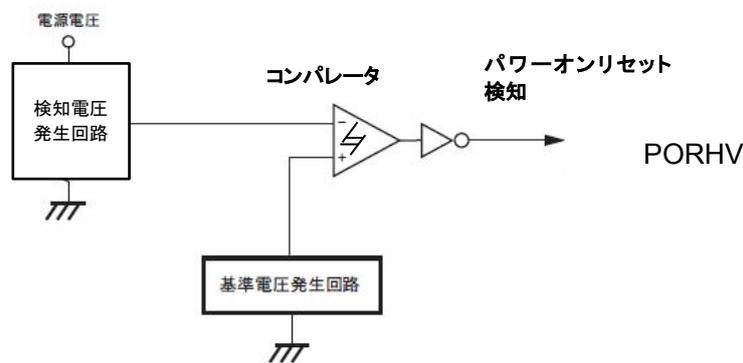


図 2.8 パワーオンリセット回路

2.5.1. 電源投入時の動作

電源投入時、電源電圧がパワーオンリセット解除電圧(V_{PREL})以下の間、パワーオンリセットが発生します。詳細は「図 2.1 パワーオンリセット回路によるリセット動作」を参照ください。

パワーオンリセットが発生している間、CPU および周辺機能はリセットされます。

2.5.2. 電源切断時の動作

電源切断時、電源電圧がパワーオンリセット検出電圧(V_{PDET})以下になると、パワーオンリセットが発生します。

パワーオンリセットが発生している間、CPU および周辺機能はリセットされます。

2.6. 電源切断後の再投入について

(1) 外部のリセット回路または内蔵 LVD のリセット出力を使用している場合

電源が切断され電源電圧が動作保証電圧を下回った場合は、電源電圧が外部のリセット回路または内蔵 LVD の設定電圧以下となりリセットがかかっている状態から、電源投入時と同じ制約を守って電源電圧を立ち上げてください。

(2) 外部のリセット回路/内蔵 LVD のリセット出力を使用しない場合

電源が切断され電源電圧が動作保証電圧を下回った場合は、必ず電源電圧をパワーオンリセット検出電圧(V_{PDET})以下まで下げて $200\mu\text{s}$ 以上保持してください。その後、電源投入時と同じ制約を守って電源電圧を立ち上げてください。

電源電圧がパワーオンリセット検出電圧(V_{PDET})以下まで下がって $200\mu\text{s}$ 以上保持できない場合や、再投入時の電源電圧上昇が電源投入時と同じ制約が守られない場合、MCU は正常に動作しないことがあります。

2.7. リセット解除後

リセット解除後は、Cortex-M3 コアの制御レジスタや周辺機能の制御レジスタ(SFR)は初期化されますが、リセットの要因により初期化される範囲が異なります。

リセット要因ごとの初期化される範囲については、「表 2.1 リセット要因と初期化される範囲」を参照してください。

また、リセットが発生したときのリセットの要因は、リセットフラグレジスタの `[RLMRSTFLG0]` / `[RLMRSTFLG1]` で確認できます。`[RLMRSTFLG0]` / `[RLMRSTFLG1]` の詳細については、リファレンスマニュアル「例外」を参照してください。

リセット解除後、内蔵高速発振器 1(IHOSC1)のクロックで動作を開始します。必要に応じて外部発振、PLL 逡倍回路の設定を行ってください。

2.7.1. リセット要因と初期化範囲

リセット要因と初期化される範囲を表 2.1 に示します。

表 2.1 リセット要因と初期化される範囲

レジスタおよび周辺機能		リセット要因								
		STOP2 モード 解除		コールド リセット	ウォームリセット					
		割り込 み要因	リセット 端子	POR	リセット 端子	OFD リセット	WDT リセット	LVD リセット	CPU <SYS RESET REQ> リセット	CPU LOCKUP リセット
リセット 信号名	STOP2 REQ	RESET_N	PORHV	RESET_N	OFD RSTOUT	WDT RSTOUT	LVD RSTOUT	SYS RESET REQ	LOCKUP RESET REQ	
RTC	[RTCSECR] [RTCMINR] [RTCHOURR] [RTCDAYR] [RTCDATER] [RTCMONTHR] [RTCYEARR] [RTCADJCTL] [RTCADJDAT] [RTCADJSIGN]	×	×	×	×	×	×	×	×	×
	上記以外	×	○	○	○	○	○	○	○	○
低速発振 電源制御 リセットフラグ	[RLMSHTDNOP] [RLMPROTECT]	×	○	○	○	○	○	○	○	○
	[RLMLOSCCR] [RLMRSTFLG0] [RLMRSTFLG1]	×	×	○	×	×	×	×	×	×
割り込み 制御	[IAIMCxx] [IANIC00]	×	○	○	○	○	○	○	○	○
	[IBIMCxxx] [IBNIC00]	○	○	○	○	○	○	○	○	○
FLASH	[FCSBMR]	○	○	○	×	×	×	×	×	×
ポート	全レジスタ	○	○	○	○	○	○	○	○	○
	OFD	○	○	○	○	○	○	○	○	○
	LVD	×	○	○	○	×	×	×	×	×
	デバッグインターフェース	○	○	○	×	×	×	×	×	×
	上記以外	○	○	○	○	○	○	○	○	○

○ : 初期化される
× : 初期化されない

注) リセット動作を行うと内蔵 RAM のデータは保証されません。

3. 改訂履歴

表 3.1 改訂履歴

Revision	Date	Description
1.0	2017-07-12	新規
1.1	2018/07/09	<ul style="list-style-type: none"> ・序章: 修正 “リファレンスマニュアル”→”ドキュメント” “周波数検知回路(OFD)”→”周波数検知回路” “電圧検知回路(LVD)”->”電圧検知回路” ・arm ロゴ: 更新。 ・用語・略語: 修正 “Selectable clock Watch dog timer” →”Clock Selective Watchdog Timer” ・1. 表題を削除 “表 1.1 機能概要” ・2.5. 追記: “コンパレータ” ・2.6. 修正: 説明内容の見直し。 ・2.7.1. 表 2.1 修正: “[IAIMCxxx]”→” [IAIMCxx]”、“[IANICxx]”→” [IANIC00]”、 “[IBNICxx]”→” [IBNIC00]”

製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いいたします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。