

32 ビット RISC マイクロコントローラ

TMPM3H グループ(2)

リファレンスマニュアル
入出力ポート
(PORT-M3H(2))

Revision 4.1

2019-08

東芝デバイス&ストレージ株式会社

目次

序章	5
関連するドキュメント	5
表記規約	6
用語・略語	8
1. 概要	9
2. 動作説明	9
2.1. クロック供給	9
3. 信号接続一覧	10
4. レジスタ説明	22
4.1. レジスタ一覧	23
4.2. ポート機能とレジスタ設定	26
4.2.1. 機能端子を使用する際の設定について	26
4.2.2. PORT A	27
4.2.3. PORT B	28
4.2.4. PORT C	29
4.2.5. PORT D	30
4.2.6. PORT E	31
4.2.7. PORT F	32
4.2.8. PORT G	33
4.2.9. PORT H	34
4.2.10. PORT J	35
4.2.11. PORT K	36
4.2.12. PORT L	37
4.2.13. PORT M	38
4.2.14. PORT N	39
4.2.15. PORT P	40
4.2.16. PORT R	41
4.2.17. PORT T	42
4.2.18. PORT U	43
4.2.19. PORT V	44
5. ポート回路図	45
5.1. タイプ FT1	46
5.2. タイプ FT2	47
5.3. タイプ FT3	48
5.4. タイプ FT4	49
5.5. タイプ FT5	50
5.6. タイプ FT6	51
5.7. タイプ FT11	52
5.8. タイプ FT13	53

6. 使用上のご注意およびお願い事項.....	54
6.1. リセット期間中の端子状態について	54
6.2. 未使用端子の処理について	54
6.3. デバッグインタフェース端子を汎用ポートとして使用する際の注意.....	54
7. 改訂履歴.....	55
製品取り扱い上のお願い.....	57

図目次

図 5.1	ポートタイプ FT1	46
図 5.2	ポートタイプ FT2	47
図 5.3	ポートタイプ FT3	48
図 5.4	ポートタイプ FT4	49
図 5.5	ポートタイプ FT5	50
図 5.6	ポートタイプ FT6	51
図 5.7	ポートタイプ FT11	52
図 5.8	ポートタイプ FT13	53

表目次

表 3.1	信号接続一覧(1/13)	10
表 3.2	信号接続一覧(2/13)	11
表 3.3	信号接続一覧(3/13)	12
表 3.4	信号接続一覧(4/13)	13
表 3.5	信号接続一覧(5/13)	14
表 3.6	信号接続一覧(6/13)	15
表 3.7	信号接続一覧(7/13)	16
表 3.8	信号接続一覧(8/13)	17
表 3.9	信号接続一覧(9/13)	18
表 3.10	信号接続一覧(10/13)	19
表 3.11	信号接続一覧(11/13)	20
表 3.12	信号接続一覧(12/13)	21
表 3.13	信号接続一覧(13/13)	21
表 4.1	ポートベースアドレス	23
表 4.2	レジスタ一覧(1/4)	24
表 4.3	レジスタ一覧(2/4)	24
表 4.4	レジスタ一覧(3/4)	25
表 4.5	レジスタ一覧(4/4)	25
表 4.6	ポート A レジスタ設定	27
表 4.7	ポート B レジスタ設定	28
表 4.8	ポート C レジスタ設定	29
表 4.9	ポート D レジスタ設定	30
表 4.10	ポート E レジスタ設定	31
表 4.11	ポート F レジスタ設定	32
表 4.12	ポート G レジスタ設定	33
表 4.13	ポート H レジスタ設定	34
表 4.14	ポート J レジスタ設定	35
表 4.15	ポート K レジスタ設定	36
表 4.16	ポート L レジスタ設定	37
表 4.17	ポート M レジスタ設定	38
表 4.18	ポート N レジスタ設定	39
表 4.19	ポート P レジスタ設定	40
表 4.20	ポート R レジスタ設定	41
表 4.21	ポート T レジスタ設定	42
表 4.22	ポート U レジスタ設定	43
表 4.23	ポート V レジスタ設定	44
表 7.1	改訂履歴	55

序章

関連するドキュメント

文書名
製品個別情報
クロック制御と動作モード
例外
フラッシュメモリ
8ビットデジタルアナログコンバータ
I ² C インタフェース
シリアルペリフェラルインタフェース
12ビットアナログデジタルコンバータ
32ビットタイマイイベントカウンタ
非同期シリアル通信回路
リアルタイムクロック
リモコン受信回路
アドバンスプログラムブルモータ制御回路
アドバンスエンコーダ入力回路
デバッグインタフェース

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1],[XYZ2],[XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C, ... を表します。
例: [ADACR0],[ADBCR0],[ADCCR0] → [ADxCR0]
チャンネルの場合、「x」は 0,1,2, ... を表します。
例: [T32A0RUNA],[T32A1RUNA],[T32A2RUNA] → [T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社 (Silicon Storage Technology, Inc.) からライセンスを受けた Super Flash® 技術を使用しています。Super Flash® は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

JTAG Joint Test Action Group

SW Serial Wire

1. 概要

ポート関連のレジスタとその設定について説明します。以下に機能の一覧を示します。

機能分類	機能	説明
ポート	-	内蔵プログラマブルプルアップ/プルダウンの選択、オープンドレイン出力選択が可能
周辺機能端子	クロック出力	SCOUT 端子
	外部割り込み	ノイズフィルタ(フィルタ幅 Typ. 30ns)付き割り込み入力端子
	32ビットタイマイベントカウンタ	外部トリガ入力端子、タイマ出力端子
	リアルタイムクロック	1Hz クロック出力端子
	シリアルペリフェラルインタフェース	スレーブ動作チップセレクト入力 1 端子、チップセレクト 2 端子、送信シリアルデータ端子、受信シリアルデータ端子、シリアルクロック入力/出力端子
	非同期シリアル通信回路	データ入力端子、データ出力 2 端子、送信要求出力端子、受信可能入力端子
	I ² C インタフェース	SCL 端子、SDA 端子
	リモコン受信回路	リモコンデータ入力端子
	アナログデジタルコンバータ	アナログ入力端子
	デジタルアナログコンバータ	DAC 出力端子
	アドバンストプログラマブルモータ制御回路	X/Y/Z 相出力端子、U/V/W 相出力端子、EMG 検出入力端子、OVV 検出入力端子
	アドバンストエンコーダ入力回路	エンコーダ入力端子
デバッグ端子	トリガ入力	外部トリガ入力端子
	JTAG	JTAG テストモード選択入力端子、JTAG シリアルクロック入力端子、JTAG シリアルデータ出力端子、JTAG シリアルデータ入力端子、JTAG テストリセット入力端子
	SW	シリアルワイヤデータ入出力端子、シリアルワイヤクロック入力端子、シリアルワイヤビューワ出力端子
制御端子	トレース	トレースクロック出力端子、トレースデータ出力 4 端子
	高速発振	高速発振子接続端子、外部クロック入力
	低速発振	低速発振子接続端子
	BOOT モード制御	BOOT モード制御用端子

2. 動作説明

2.1. クロック供給

ポートを使用する場合は、fsys 供給停止レジスタ A または B (*[CGFSYSENA]*, *[CGFSYSENB]*)、fc 供給停止レジスタ (*[CGFCEN]*) で該当するクロックイネーブルビットを 1 (クロック供給) に設定してください。該当レジスタ、ビット位置は製品によって異なります。そのため製品によって、レジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

3. 信号接続一覧

各リファレンスマニュアルのブロック図(信号一覧表)に記載された信号名をポート順に変換した表です。周辺機能のレジスタ設定はポート順に説明していますので、ポート名の逆引きにご使用ください。

数値は端子番号を表します。

表 3.1 信号接続一覧(1/13)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
非同期シリアル通信回路	UT0TXDA	PA1	27	23	17	19	16	14
		PA2	26	22	16	18	15	13
		PM1	35	31	24	26	19	—
		PM2	34	30	23	25	18	—
	UT0TXDB	PA0	28	24	18	20	17	15
		PM0	36	32	25	27	20	16
	UT0RXD	PA2	26	22	16	18	15	13
		PA1	27	23	17	19	16	14
		PM2	34	30	23	25	18	—
		PM1	35	31	24	26	19	—
	UT0CTS_N	PM3	33	29	22	24	—	—
		PM4	32	28	21	23	—	—
UT0RTS_N	PM4	32	28	21	23	—	—	
	PM3	33	29	22	24	—	—	
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
非同期シリアル通信回路	UT1TXDA	PJ1	105	92	72	74	57	45
		PJ2	106	93	73	75	58	46
		PK1	111	98	78	80	63	51
		PK2	112	99	79	81	64	52
	UT1TXDB	PJ0	104	91	71	73	56	44
		PK0	110	97	77	79	62	50
	UT1RXD	PJ2	106	93	73	75	58	46
		PJ1	105	92	72	74	57	45
		PK2	112	99	79	81	64	52
		PK1	111	98	78	80	63	51
	UT1CTS_N	PJ3	107	94	74	76	59	47
		PJ4	108	95	75	77	60	48
		PK3	113	100	80	82	65	53
		PK4	114	101	81	83	66	54
	UT1RTS_N	PJ4	108	95	75	77	60	48
		PJ3	107	94	74	76	59	47
PK4		114	101	81	83	66	54	
PK3		113	100	80	82	65	53	

表 3.2 信号接続一覧(2/13)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
非同期シリアル通信回路	UT2TXDA	PB2	39	35	28	30	23	19
		PB3	40	36	29	31	24	20
		PL0	47	41	34	36	26	21
		PL1	48	42	35	37	27	22
	UT2RXD	PB3	40	36	29	31	24	20
		PB2	39	35	28	30	23	19
		PL1	48	42	35	37	27	22
		PL0	47	41	34	36	26	21
	UT2CTS_N	PB4	41	37	30	32	25	—
		PB5	42	38	31	33	—	—
		PL2	49	43	36	38	28	23
		PL3	50	44	37	39	29	24
	UT2RTS_N	PB5	42	38	31	33	—	—
		PB4	41	37	30	32	25	—
		PL3	50	44	37	39	29	24
		PL2	49	43	36	38	28	23
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
非同期シリアル通信回路	UT3TXDA	PA7	21	17	11	13	10	10
		PA6	22	18	12	14	11	11
		PG3	16	12	—	—	—	—
		PG2	15	11	—	—	—	—
	UT3TXDB	PG4	17	13	—	—	—	—
	UT3RXD	PA6	22	18	12	14	11	11
		PA7	21	17	11	13	10	10
		PG2	15	11	—	—	—	—
PG3		16	12	—	—	—	—	

表 3.3 信号接続一覧(3/13)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
非同期シリアル通信回路	UT4TXDA	PC3	86	73	57	59	47	38
		PC4	87	74	58	60	48	39
		PV6	81	—	—	—	—	—
		PV7	82	—	—	—	—	—
	UT4TXDB	PC2	85	72	56	58	46	—
		PV5	80	—	—	—	—	—
	UT4RXD	PC4	87	74	58	60	48	39
		PC3	86	73	57	59	47	38
		PV7	82	—	—	—	—	—
		PV6	81	—	—	—	—	—
	UT4CTS_N	PC5	88	75	59	61	49	—
		PC6	89	76	60	62	50	—
UT4RTS_N	PC6	89	76	60	62	50	—	
	PC5	88	75	59	61	49	—	
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
非同期シリアル通信回路	UT5TXDA	PN3	100	87	67	69	52	41
		PN2	101	88	68	70	53	42
	UT5TXDB	PN4	99	86	66	68	51	40
		PN2	101	88	68	70	53	42
	UT5RXD	PN3	100	87	67	69	52	41
		PN1	102	89	69	71	54	43
	UT5CTS_N	PN0	103	90	70	72	55	—
		PN1	102	89	69	71	54	43
UT5RTS_N	PN0	103	90	70	72	55	—	
	PN1	102	89	69	71	54	43	
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
I ² C インタフェース	I2C0SCL	PC0	83	70	54	56	44	36
	I2C0SDA	PC1	84	71	55	57	45	37
	I2C1SCL	PA4	24	20	14	16	13	—
	I2C1SDA	PA5	23	19	13	15	12	—
	I2C2SCL	PL0	47	41	34	36	26	21
	I2C2SDA	PL1	48	42	35	37	27	22
	I2C3SCL	PT1	61	51	—	—	—	—
	I2C3SDA	PT0	62	52	—	—	—	—

表 3.4 信号接続一覧(4/13)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
シリアルペリフェラルインタフェース	TSPi0SCK	PM0	36	32	25	27	20	16
		PA0	28	24	18	20	17	15
	TSPi0TXD	PM1	35	31	24	26	19	—
		PA1	27	23	17	19	16	14
	TSPi0RXD	PM2	34	30	23	25	18	—
		PA2	26	22	16	18	15	13
	TSPi0CS0	PM3	33	29	22	24	—	—
		PA3	25	21	15	17	14	12
	TSPi0CS1	PM4	32	28	21	23	—	—
		PA4	24	20	14	16	13	—
	TSPi0CSIN	PM3	33	29	22	24	—	—
		PA3	25	21	15	17	14	12
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
シリアルペリフェラルインタフェース	TSPi1SCK	PB2	39	35	28	30	23	—
	TSPi1TXD	PB3	40	36	29	31	24	—
	TSPi1RXD	PB4	41	37	30	32	25	—
	TSPi1CS0	PB5	42	38	31	33	—	—
	TSPi1CS1	PB6	43	39	32	34	—	—
	TSPi1CSIN	PB5	42	38	31	33	—	—
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
シリアルペリフェラルインタフェース	TSPi2SCK	PP0	63	53	41	43	31	—
		PT2	60	50	—	—	—	—
	TSPi2TXD	PP1	64	54	42	44	32	—
		PT3	59	49	—	—	—	—
	TSPi2RXD	PP2	65	55	43	45	33	—
		PT4	58	—	—	—	—	—
	TSPi2CS0	PT1	61	51	—	—	—	—
	TSPi2CS1	PT0	62	52	—	—	—	—
TSPi2CSIN	PT1	61	51	—	—	—	—	

表 3.5 信号接続一覧(5/13)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
シリアルペリフェラルインタフェース	TSPI3SCK	PP5	120	107	87	89	72	—
	TSPI3TXD	PP4	119	106	86	88	71	—
	TSPI3RXD	PP3	118	105	85	87	70	—
	TSPI3CS0	PP6	121	108	88	90	73	—
	TSPI3CS1	PP7	122	109	89	91	—	—
	TSPI3CSIN	PP6	121	108	88	90	73	—
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
シリアルペリフェラルインタフェース	TSPI4SCK	PH4	76	66	—	—	—	—
	TSPI4TXD	PH5	77	67	—	—	—	—
	TSPI4RXD	PH6	78	68	—	—	—	—
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
32ビットタイマイイベントカウンタ	T32A00OUTA	PA0	28	24	18	20	17	15
		PM0	36	32	25	27	20	16
	T32A00OUTB	PA3	25	21	15	17	14	12
		PM3	33	29	22	24	—	—
	T32A00OUTC	PA0	28	24	18	20	17	15
		PM0	36	32	25	27	20	16
	T32A00INA0	PA1	27	23	17	19	16	14
		PM1	35	31	24	26	19	—
	T32A00INA1	PA2	26	22	16	18	15	13
		PM2	34	30	23	25	18	—
	T32A00INB0	PA4	24	20	14	16	13	—
		PM4	32	28	21	23	—	—
	T32A00INB1	PA5	23	19	13	15	12	—
		PM5	31	27	20	22	—	—
	T32A00INC0	PA1	27	23	17	19	16	14
		PM1	35	31	24	26	19	—
	T32A00INC1	PA2	26	22	16	18	15	13
		PM2	34	30	23	25	18	—

表 3.6 信号接続一覧(6/13)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
32 ビットタイ マイイベントカウ ンタ	T32A01OUTA	PB0	37	33	26	28	21	17
		PP0	63	53	41	43	31	—
	T32A01OUTB	PB3	40	36	29	31	24	20
	T32A01OUTC	PB0	37	33	26	28	21	17
		PP0	63	53	41	43	31	—
	T32A01INA0	PB1	38	34	27	29	22	18
		PP1	64	54	42	44	32	—
	T32A01INA1	PB2	39	35	28	30	23	19
		PP2	65	55	43	45	33	—
	T32A01INB0	PB4	41	37	30	32	25	—
	T32A01INB1	PB5	42	38	31	33	—	—
	T32A01INC0	PB1	38	34	27	29	22	18
		PP1	64	54	42	44	32	—
	T32A01INC1	PB2	39	35	28	30	23	19
PP2		65	55	43	45	33	—	
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
32 ビットタイ マイイベントカウ ンタ	T32A02OUTA	PC0	83	70	54	56	44	36
		PR0	90	77	61	63	—	—
	T32A02OUTB	PC3	86	73	57	59	47	38
	T32A02OUTC	PC0	83	70	54	56	44	36
		PR0	90	77	61	63	—	—
	T32A02INA0	PC1	84	71	55	57	45	37
		PR1	91	78	62	64	—	—
	T32A02INA1	PC2	85	72	56	58	46	—
		PR2	92	79	63	65	—	—
	T32A02INB0	PC4	87	74	58	60	48	39
	T32A02INB1	PC5	88	75	59	61	49	—
	T32A02INC0	PC1	84	71	55	57	45	37
		PR1	91	78	62	64	—	—
	T32A02INC1	PC2	85	72	56	58	46	—
PR2		92	79	63	65	—	—	

表 3.7 信号接続一覧(7/13)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
32 ビットタイ マイベントカ ウンタ	T32A03OUTB	PJ3	107	94	74	76	59	47
	T32A03OUTA	PJ0	104	91	71	73	56	44
	T32A03OUTC	PJ0	104	91	71	73	56	44
	T32A03INA0	PJ1	105	92	72	74	57	45
	T32A03INA1	PJ2	106	93	73	75	58	46
	T32A03INB0	PJ4	108	95	75	77	60	48
	T32A03INB1	PJ5	109	96	76	78	61	49
	T32A03INC0	PJ1	105	92	72	74	57	45
	T32A03INC1	PJ2	106	93	73	75	58	46
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
32 ビットタイ マイベントカ ウンタ	T32A04OUTA	PK2	112	99	79	81	64	52
	T32A04INA0	PK3	113	100	80	82	65	53
	T32A04INA1	PK4	114	101	81	83	66	54
	T32A04OUTB	PK5	115	102	82	84	67	55
	T32A04INB0	PK6	116	103	83	85	68	56
	T32A04INB1	PK7	117	104	84	86	69	—
	T32A04OUTC	PK2	112	99	79	81	64	52
	T32A04INC0	PK3	113	100	80	82	65	53
	T32A04INC1	PK4	114	101	81	83	66	54
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
32 ビットタイ マイベントカ ウンタ	T32A05OUTA	PN0	103	90	70	72	55	—
	T32A05INA0	PN1	102	89	69	71	54	43
	T32A05INA1	PN2	101	88	68	70	53	42
	T32A05OUTB	PN3	100	87	67	69	52	41
	T32A05INB0	PN4	99	86	66	68	51	40
	T32A05INB1	PN5	98	85	65	67	—	—
	T32A05OUTC	PN0	103	90	70	72	55	—
	T32A05INC0	PN1	102	89	69	71	54	43
	T32A05INC1	PN2	101	88	68	70	53	42

表 3.8 信号接続一覧(8/13)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
32 ビットタイ マイイベントカウ ンタ	T32A06OUTA	PL5	52	46	39	41	—	—
		PT5	57	—	—	—	—	—
	T32A06INA0	PL6	53	47	40	42	—	—
		PT6	56	—	—	—	—	—
	T32A06INA1	PL7	54	48	—	—	—	—
		PT7	55	—	—	—	—	—
	T32A06OUTB	PL2	49	43	36	38	28	23
		PT2	60	50	—	—	—	—
	T32A06INB0	PL3	50	44	37	39	29	24
		PT3	59	49	—	—	—	—
	T32A06INB1	PL4	51	45	38	40	30	25
		PT4	58	—	—	—	—	—
	T32A06OUTC	PL5	52	46	39	41	—	—
		PT5	57	—	—	—	—	—
	T32A06INC0	PL6	53	47	40	42	—	—
		PT6	56	—	—	—	—	—
T32A06INC1	PL7	54	48	—	—	—	—	
	PT7	55	—	—	—	—	—	
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
32 ビットタイ マイイベントカウ ンタ	T32A07OUTA	PG2	15	11	—	—	—	—
	T32A07INA0	PG3	16	12	—	—	—	—
	T32A07INA1	PG4	17	13	—	—	—	—
	T32A07OUTB	PG5	18	14	—	—	—	—
	T32A07INB0	PG6	19	15	—	—	—	—
	T32A07INB1	PG7	20	16	—	—	—	—
	T32A07OUTC	PG2	15	11	—	—	—	—
	T32A07INC0	PG3	16	12	—	—	—	—
	T32A07INC1	PG4	17	13	—	—	—	—

表 3.9 信号接続一覧(9/13)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
12ビットアナログデジタルコンバータ	AINA00	PD0	6	6	6	8	5	5
	AINA01	PD1	5	5	5	7	4	4
	AINA02	PD2	4	4	4	6	3	3
	AINA03	PD3	3	3	3	5	—	—
	AINA04	PE0	2	2	2	4	2	2
	AINA05	PE1	1	1	1	3	1	1
	AINA06	PE2	144	128	100	2	80	64
	AINA07	PE3	143	127	99	1	79	63
	AINA08	PE4	142	126	98	100	78	62
	AINA09	PE5	141	125	97	99	77	61
	AINA10	PE6	140	124	96	98	76	60
	AINA11	PF0	139	123	95	97	—	—
	AINA12	PF1	138	122	94	96	—	—
	AINA13	PF2	137	121	—	—	—	—
	AINA14	PF3	136	120	—	—	—	—
	AINA15	PF4	135	119	—	—	—	—
	AINA16	PF5	134	118	—	—	—	—
	AINA17	PF6	133	117	—	—	—	—
	AINA18	PF7	132	116	—	—	—	—
	AINA19	PD4	131	—	—	—	—	—
AINA20	PD5	130	—	—	—	—	—	
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
8ビットデジタルアナログコンバータ	DAC0	PG0	9	9	9	11	8	8
	DAC1	PG1	10	10	10	12	9	9

表 3.10 信号接続一覧(10/13)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
例外	INT00	PC0	83	70	54	56	44	36
	INT01	PC1	84	71	55	57	45	37
	INT02	PC2	85	72	56	58	46	—
	INT03	PB1	38	34	27	29	22	18
	INT04	PJ4	108	95	75	77	60	48
	INT05	PK1	111	98	78	80	63	51
	INT06	PH3	74	64	52	54	42	34
	INT07	PA6	22	18	12	14	11	11
	INT08	PL3	50	44	37	39	29	24
	INT09	PM2	34	30	23	25	18	—
	INT10	PN3	100	87	67	69	52	41
	INT11	PA7	21	17	11	13	10	10
	INT12	PL4	51	45	38	40	30	25
	INT13	PK7	117	104	84	86	69	—
	INT14	PP3	118	105	85	87	70	57
	INT15	PM6	30	26	19	21	—	—
	INT16	PB7	44	40	33	35	—	—
	INT17	PV2	125	112	92	94	—	—
	INT18	PV3	126	113	93	95	—	—
	INT19	PH4	76	66	—	—	—	—
	INT20	PH5	77	67	—	—	—	—
	INT21	PH6	78	68	—	—	—	—
	INT22	PH7	79	69	—	—	—	—
	INT23	PT0	62	52	—	—	—	—
	INT24	PT1	61	51	—	—	—	—
	INT25	PT2	60	50	—	—	—	—
	INT26	PT3	59	49	—	—	—	—
	INT27	PG2	15	11	—	—	—	—
	INT28	PG3	16	12	—	—	—	—
	INT29	PT7	55	—	—	—	—	—
	INT30	PU0	45	—	—	—	—	—
INT31	PU1	46	—	—	—	—	—	

表 3.11 信号接続一覧(11/13)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
アドバンス プログラマ ブルモータ制御 回路	UO0	PJ0	104	91	71	73	56	44
	XO0	PJ1	105	92	72	74	57	45
	VO0	PJ2	106	93	73	75	58	46
	YO0	PJ3	107	94	74	76	59	47
	WO0	PJ4	108	95	75	77	60	48
	ZO0	PJ5	109	96	76	78	61	49
	EMG0	PK0	110	97	77	79	62	50
	OVV0	PK1	111	98	78	80	63	51
PMD0DBG	PP6	121	108	88	90	73	—	
アドバンス トエン コーダ入 力回路	ENC0A	PA0	28	24	18	20	17	15
	ENC0B	PA1	27	23	17	19	16	14
	ENC0Z	PA2	26	22	16	18	15	13
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
製品個別情報 (トリガセ レクタ)	TRGIN0	PB1	38	34	27	29	22	18
	TRGIN1	PA3	25	21	15	17	14	12
	TRGIN2	PN3	100	87	67	69	52	41
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
リモコン受 信回路	RXIN0	PB1	38	34	27	29	22	18
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
リアルタイム クロック	RTCOUT	PC2	85	72	56	58	46	—

表 3.12 信号接続一覧(12/13)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
デバッグインタフェース	TMS	PL4	51	45	38	40	30	25
	TCK	PL3	50	44	37	39	29	24
	TDO	PL2	49	43	36	38	28	23
	TDI	PL1	48	42	35	37	27	22
	TRST_N	PL0	47	41	34	36	26	21
	SWDIO	PL4	51	45	38	40	30	25
	SWCLK	PL3	50	44	37	39	29	24
	SWV	PL2	49	43	36	38	28	23
	TRACECLK	PM0	36	32	25	27	20	—
	TRACEDATA0	PM1	35	31	24	26	19	—
	TRACEDATA1	PM2	34	30	23	25	18	—
	TRACEDATA2	PM3	33	29	22	24	—	—
TRACEDATA3	PM4	32	28	21	23	—	—	
参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
クロック制御と動作モード	SCOUT	PB0	37	33	26	28	21	17
	X1	PH0	70	60	48	50	38	30
	X2	PH1	71	61	49	51	39	31
	XT1	PH2	73	63	51	53	41	33
	XT2	PH3	74	64	52	54	42	34
	EHCLKIN	PH0	70	60	48	50	38	30
フラッシュメモリ	BOOT_N	PB0	37	33	26	28	21	17

表 3.13 信号接続一覧(13/13)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
入出力ポート	N/A	PM7	29	25	—	—	—	—
		PR3	93	80	64	66	—	—
		PR4	94	81	—	—	—	—
		PR5	95	82	—	—	—	—
		PR6	96	83	—	—	—	—
		PR7	97	84	—	—	—	—
		PU2	14	—	—	—	—	—
		PU3	13	—	—	—	—	—
		PU4	12	—	—	—	—	—
		PU5	11	—	—	—	—	—
		PV0	123	110	90	92	74	58
		PV1	124	111	91	93	75	54
PV4	127	—	—	—	—	—		

4. レジスタ説明

ポートを使用するには以下のレジスタを設定する必要があります。

レジスタは全て 32 ビットですが、ポートのビット数、機能の割り当てにより構成が異なります。

以下の説明では”x”はポート名、”n”はファンクション番号を示します。

レジスタ名		Type	設定値	説明
[PxDATA]	データレジスタ	R/W	0 または 1	ポートのデータ読み出し、データ書き込みを行います。
[PxCR]	出力コントロールレジスタ	R/W	0: 出力禁止 1: 出力許可	出力の制御を行います。
[PxFRn]	ファンクションレジスタ n	R/W	0: PORT 1: 機能	機能設定を行いません。 "1" をセットすることにより割り当てられている機能を使用できるようになります。ファンクションレジスタはポートに割り当てられている機能ごとに存在します。複数の機能が割り当てられている場合、1 つの機能のみ有効になるように設定してください。
[PxOD]	オープンドレインコントロールレジスタ	R/W	0: CMOS 1: オープンドレイン	プログラマブルオープンドレインの制御を行います。 プログラマブルオープンドレインは、[PxOD]=1 の設定で、出力データが"1" の場合に出力バッファをディセーブルにし、擬似的にオープンドレインを実現する機能です。
[PxPUP]	プルアップコントロールレジスタ	R/W	0: プルアップ禁止 1: プルアップ許可	プログラマブルプルアップを制御します。
[PxPDN]	プルダウンコントロールレジスタ	R/W	0: プルダウン禁止 1: プルダウン許可	プログラマブルプルダウンを制御します。
[PxIE]	入力コントロールレジスタ	R/W	0: 入力禁止 1: 入力許可	入力の制御を行いません。 [PxIE] をイネーブルにしてから外部データが [PxDATA] に反映されるまで 100ns(最大)の時間が必要です。

4.1. レジスタ一覧

機能の存在しないビットをリードすると "0" が読めます。ライトは意味を持ちません。

表 4.1 ポートベースアドレス

周辺機能	チャンネル/ユニット	ベースアドレス	
入出力ポート	PA	-	0x400C0000
	PB	-	0x400C0100
	PC	-	0x400C0200
	PD	-	0x400C0300
	PE	-	0x400C0400
	PF	-	0x400C0500
	PG	-	0x400C0600
	PH	-	0x400C0700
	PJ	-	0x400C0800
	PK	-	0x400C0900
	PL	-	0x400C0A00
	PM	-	0x400C0B00
	PN	-	0x400C0C00
	PP	-	0x400C0D00
	PR	-	0x400C0E00
	PT	-	0x400C0F00
PU	-	0x400C1000	
PV	-	0x400C1100	

表 4.2 レジスタ一覧(1/4)

レジスタ名	アドレス (Base+)	ポート A	ポート B	ポート C	ポート D	ポート E
データ レジスタ	0x0000	[PADATA]	[PBDATA]	[PCDATA]	[PDDATA]	[PEDATA]
出力コントロールレジスタ	0x0004	[PACR]	[PBCR]	[PCCR]	[PDCR]	[PECR]
ファンクションレジスタ 1	0x0008	[PAFR1]	[PBFR1]	[PCFR1]	-	-
ファンクションレジスタ 2	0x000C	[PAFR2]	[PBFR2]	[PCFR2]	-	-
ファンクションレジスタ 3	0x0010	[PAFR3]	[PBFR3]	[PCFR3]	-	-
ファンクションレジスタ 4	0x0014	[PAFR4]	[PBFR4]	[PCFR4]	-	-
ファンクションレジスタ 5	0x0018	[PAFR5]	[PBFR5]	[PCFR5]	-	-
ファンクションレジスタ 6	0x001C	[PAFR6]	[PBFR6]	-	-	-
オープンドレインコントロールレジスタ	0x0028	[PAOD]	[PBOD]	[PCOD]	[PDOD]	[PEOD]
プルアップコントロールレジスタ	0x002C	[PAPUP]	[PBUP]	[PCUP]	[PDPUP]	[PEPUP]
プルダウンコントロールレジスタ	0x0030	[PAPDN]	[PBPDN]	[PCPDN]	[PDPDN]	[PEPDN]
入力コントロールレジスタ	0x0038	[PAIE]	[PBIE]	[PCIE]	[PDIE]	[PEIE]

注) "-" 表記のアドレスにはアクセスしないでください。

表 4.3 レジスタ一覧(2/4)

レジスタ名	アドレス (Base+)	ポート F	ポート G	ポート H	ポート J	ポート K
データ レジスタ	0x0000	[PFDATA]	[PGDATA]	[PHDATA]	[PJDATA]	[PKDATA]
出力コントロールレジスタ	0x0004	[PFCR]	[PGCR]	[PHCR]	[PJCR]	[PKCR]
ファンクションレジスタ 1	0x0008	-	[PGFR1]	[PHFR1]	[PJFR1]	[PKFR1]
ファンクションレジスタ 2	0x000C	-	[PGFR2]	-	[PJFR2]	[PKFR2]
ファンクションレジスタ 3	0x0010	-	[PGFR3]	-	[PJFR3]	[PKFR3]
ファンクションレジスタ 4	0x0014	-	[PGFR4]	-	[PJFR4]	[PKFR4]
ファンクションレジスタ 5	0x0018	-	-	-	[PJFR5]	[PKFR5]
ファンクションレジスタ 6	0x001C	-	-	-	-	-
オープンドレインコントロールレジスタ	0x0028	[PFOD]	[PGOD]	[PHOD]	[PJOD]	[PKOD]
プルアップコントロールレジスタ	0x002C	[PFPUP]	[PGPUP]	[PHPUP]	[PJPUP]	[PKPUP]
プルダウンコントロールレジスタ	0x0030	[PFPDN]	[PGPDN]	[PHPDN]	[PJPDN]	[PKPDN]
入力コントロールレジスタ	0x0038	[PFIE]	[PGIE]	[PHIE]	[PJIE]	[PKIE]

注) "-" 表記のアドレスにはアクセスしないでください。

表 4.4 レジスタ一覧(3/4)

レジスタ名	アドレス (Base+)	ポート L	ポート M	ポート N	ポート P	ポート R
データ レジスタ	0x0000	[PLDATA]	[PMDATA]	[PNDATA]	[PPDATA]	[PRDATA]
出力コントロールレジスタ	0x0004	[PLCR]	[PMCR]	[PNCR]	[PPCR]	[PRCR]
ファンクションレジスタ 1	0x0008	[PLFR1]	[PMFR1]	[PNFR1]	[PPFR1]	-
ファンクションレジスタ 2	0x000C	[PLFR2]	[PMFR2]	[PNFR2]	[PPFR2]	-
ファンクションレジスタ 3	0x0010	[PLFR3]	[PMFR3]	[PNFR3]	[PPFR3]	[PRFR3]
ファンクションレジスタ 4	0x0014	[PLFR4]	[PMFR4]	[PNFR4]	[PPFR4]	[PRFR4]
ファンクションレジスタ 5	0x0018	[PLFR5]	[PMFR5]	[PNFR5]	-	-
ファンクションレジスタ 6	0x001C	-	[PMFR6]	-	-	-
オープンドレインコントロールレジスタ	0x0028	[PLOD]	[PMOD]	[PNOD]	[PPOD]	[PROD]
ブルアップコントロールレジスタ	0x002C	[PLPUP]	[PMPUP]	[PNPUP]	[PPPUP]	[PRPUP]
ブルダウンコントロールレジスタ	0x0030	[PLPDN]	[PMPDN]	[PNPDN]	[PPPDN]	[PRPDN]
入力コントロールレジスタ	0x0038	[PLIE]	[PMIE]	[PNIE]	[PPIE]	[PRIE]

注) "-" 表記のアドレスにはアクセスしないでください。

表 4.5 レジスタ一覧(4/4)

レジスタ名	アドレス (Base+)	ポート T	ポート U	ポート V
データ レジスタ	0x0000	[PTDATA]	[PUDATA]	[PVDATA]
出力コントロールレジスタ	0x0004	[PTCR]	[PUCR]	[PVCR]
ファンクションレジスタ 1	0x0008	[PTFR1]	-	[PVFR1]
ファンクションレジスタ 2	0x000C	[PTFR2]	-	[PVFR2]
ファンクションレジスタ 3	0x0010	[PTFR3]	-	-
ファンクションレジスタ 4	0x0014	[PTFR4]	-	-
ファンクションレジスタ 5	0x0018	-	-	-
ファンクションレジスタ 6	0x001C	-	-	-
オープンドレインコントロールレジスタ	0x0028	[PTOD]	[PUOD]	[PVOD]
ブルアップコントロールレジスタ	0x002C	[PTPUP]	[PUPUP]	[PVPUP]
ブルダウンコントロールレジスタ	0x0030	[PTPDN]	[PUPDN]	[PVPDN]
入力コントロールレジスタ	0x0038	[PTIE]	[PUIE]	[PVIE]

注) "-" 表記のアドレスにはアクセスしないでください。

4.2. ポート機能とレジスタ設定

ポート機能レジスタ設定一覧の表の見方を説明します。

[PxFRn]の欄は、設定の必要なファンクションレジスタを示します。このレジスタを "1" に設定するとその機能が有効となります。(x はポート名、n はファンクション番号)

表中の"N/A"のビットはリードすると "0" が読め、ライトは意味を持ちません。

表中の "0"、"1" は設定値を示し、"0/1" は任意に設定可能であることを示します。

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PADATA]	[PACR]	[PAFRn]	[PAOD]	[PAPUP]	[PAPDN]	[PAIE]
PA0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0TXDB	Output	FT1	0/1	1	PAFR1	0/1	0/1	0/1	0
	TSPI0SCK	Input	FT1	0/1	0	PAFR3	0/1	0/1	0/1	1
	T32A00OUTA	Output	FT1	0/1	1	PAFR4	0/1	0/1	0/1	0
	T32A00OUTC	Output	FT1	0/1	1	PAFR5	0/1	0/1	0/1	0
	ENC0A	Input	FT1	0/1	0	PAFR6	0/1	0/1	0/1	1
PA7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT11	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	UT3TXDA	Output	FT1	0/1	1	PAFR1	0/1	0/1	0/1	0
	UT3RXD	Input	FT1	0/1	0	PAFR2	0/1	0/1	0/1	1

[PxFRn]	端子					
	ENC0A	T32A00OUTC	T32A00OUTA	TSPI0SCK	UT0TXDB	Input Port Output Port
[PAFR1]<bit0>	0	0	0	0	1	0
[PAFR3]<bit0>	0	0	0	1	0	0
[PAFR4]<bit0>	0	0	1	0	0	0
[PAFR5]<bit0>	0	1	0	0	0	0
[PAFR6]<bit0>	1	0	0	0	0	0

4.2.1. 機能端子を使用する際の設定について

機能端子を周辺機能の出力端子として使用する際には、ファンクションレジスタを使用する周辺機能([PxFRn]<bit m>=1)に設定し、出力コントロールレジスタを出力許可([PxCR]<bit m>=1)に設定した後、周辺機能の設定をしてください。ファンクションレジスタの設定よりも先に出力許可すると、ファンクションレジスタが設定されるまで、ポートのデータレジスタ値が出力されます。

機能端子を周辺機能の入力端子として使用する際には、ポートの入力コントロールレジスタを入力([PxIE]<bit m>=1)に設定し、ファンクションレジスタを使用する周辺機能([PxFRn]<bit m>=1)に設定した後、周辺機能の設定をしてください。

また、I²C など入出力端子となる周辺機能を使用する場合は、ポートの入力コントロールレジスタを入力([PxIE]<bit m>=1)に設定し、ファンクションレジスタを使用する周辺機能([PxFRn]<bit m>=1)に設定し、出力コントロールレジスタを出力許可([PxCR]<bit m>=1)に設定した後、周辺機能の設定をしてください。

- 複数の機能が割り当てられているポートは、使用する機能を一つだけ選択してください。
- 同一機能が複数ポートに割り当てられている端子は、排他的に使用してください。

4.2.2. PORT A

表 4.6 ポート A レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PADATA]	[PACR]	[PAFRn]	[PAOD]	[PAPUP]	[PAPDN]	[PAIE]
PA0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0TXDB	Output	FT1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	TSPI0SCK	Input	FT1	0/1	0	[PAFR3]	0/1	0/1	0/1	1
		Output		0/1	1		0/1	0/1	0/1	0
	T32A00OUTA	Output	FT1	0/1	1	[PAFR4]	0/1	0/1	0/1	0
	T32A00OUTC	Output	FT1	0/1	1	[PAFR5]	0/1	0/1	0/1	0
ENC0A	Input	FT1	0/1	0	[PAFR6]	0/1	0/1	0/1	1	
PA1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0TXDA	Output	FT1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	UT0RXD	Input	FT1	0/1	0	[PAFR2]	0/1	0/1	0/1	1
	TSPI0TXD	Output	FT2	0/1	1	[PAFR3]	0/1	0/1	0/1	0
	T32A00INA0	Input	FT1	0/1	0	[PAFR4]	0/1	0/1	0/1	1
	T32A00INC0	Input	FT1	0/1	0	[PAFR5]	0/1	0/1	0/1	1
ENC0B	Input	FT1	0/1	0	[PAFR6]	0/1	0/1	0/1	1	
PA2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0RXD	Input	FT1	0/1	0	[PAFR1]	0/1	0/1	0/1	1
	UT0TXDA	Output	FT1	0/1	1	[PAFR2]	0/1	0/1	0/1	0
	TSPI0RXD	Input	FT1	0/1	0	[PAFR3]	0/1	0/1	0/1	1
	T32A00INA1	Input	FT1	0/1	0	[PAFR4]	0/1	0/1	0/1	1
	T32A00INC1	Input	FT1	0/1	0	[PAFR5]	0/1	0/1	0/1	1
ENC0Z	Input	FT1	0/1	0	[PAFR6]	0/1	0/1	0/1	1	
PA3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI0CSIN	Input	FT1	0/1	0	[PAFR2]	0/1	0/1	0/1	1
	TSPI0CS0	Output	FT1	0/1	1	[PAFR3]	0/1	0/1	0/1	0
	T32A00OUTB	Output	FT1	0/1	1	[PAFR4]	0/1	0/1	0/1	0
	TRGIN1	Input	FT1	0/1	0	[PAFR6]	0/1	0/1	0/1	1
PA4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	I2C1SCL	I/O	FT1	0/1	1	[PAFR1]	1	0/1	0/1	1
	TSPI0CS1	Output	FT1	0/1	1	[PAFR3]	0/1	0/1	0/1	0
	T32A00INB0	Input	FT1	0/1	0	[PAFR4]	0/1	0/1	0/1	1
PA5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	I2C1SDA	I/O	FT1	0/1	1	[PAFR1]	1	0/1	0/1	1
T32A00INB1	Input	FT1	0/1	0	[PAFR4]	0/1	0/1	0/1	1	
PA6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT07	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	UT3RXD	Input	FT1	0/1	0	[PAFR1]	0/1	0/1	0/1	1
UT3TXDA	Output	FT1	0/1	1	[PAFR2]	0/1	0/1	0/1	0	
PA7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT11	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	UT3TXDA	Output	FT1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
UT3RXD	Input	FT1	0/1	0	[PAFR2]	0/1	0/1	0/1	1	

4.2.3. PORT B

表 4.7 ポート B レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ							
				[PBDATA]	[PBCR]	[PBFRn]	[PBOD]	[PBPUP]	[PBPDN]	[PBIE]	
PB0	リセット中 (BOOT_N)	Input	FT6	0	0	0	0	1 (注)	0	N/A(注)	
	リセット後			0	0	0	0	0	0	N/A	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	N/A	
	T32A01OUTA	Output	FT1	0/1	1	[PBFR4]	0/1	0/1	0/1	N/A	
	T32A01OUTC	Output	FT1	0/1	1	[PBFR5]	0/1	0/1	0/1	N/A	
	SCOUT	Output	FT1	0/1	1	[PBFR6]	0/1	0/1	0/1	N/A	
PB1	リセット後			0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
	INT03	Input	FT4	0/1	0	0	0/1	0/1	0/1	1	
	RXIN0	Input	FT1	0/1	0	[PBFR1]	0/1	0/1	0/1	1	
	T32A01INA0	Input	FT1	0/1	0	[PBFR4]	0/1	0/1	0/1	1	
	T32A01INC0	Input	FT1	0/1	0	[PBFR5]	0/1	0/1	0/1	1	
TRGIN0	Input	FT1	0/1	0	[PBFR6]	0/1	0/1	0/1	1		
PB2	リセット後			0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
	UT2TXDA	Output	FT1	0/1	1	[PBFR1]	0/1	0/1	0/1	0	
	UT2RXD	Input	FT1	0/1	0	[PBFR2]	0/1	0/1	0/1	1	
	TSPI1SCK	Input	FT1	0/1	0	[PBFR3]	0/1	0/1	0/1	0/1	1
		Output		0/1	1		0/1	0/1	0/1	0	
	T32A01INA1	Input	FT1	0/1	0	[PBFR4]	0/1	0/1	0/1	1	
T32A01INC1	Input	FT1	0/1	0	[PBFR5]	0/1	0/1	0/1	1		
PB3	リセット後			0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
	UT2RXD	Input	FT1	0/1	0	[PBFR1]	0/1	0/1	0/1	1	
	UT2TXDA	Output	FT1	0/1	1	[PBFR2]	0/1	0/1	0/1	0	
	TSPI1TXD	Output	FT2	0/1	1	[PBFR3]	0/1	0/1	0/1	0	
T32A01OUTB	Output	FT1	0/1	1	[PBFR4]	0/1	0/1	0/1	0		
PB4	リセット後			0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
	UT2CTS_N	Input	FT1	0/1	0	[PBFR1]	0/1	0/1	0/1	1	
	UT2RTS_N	Output	FT1	0/1	1	[PBFR2]	0/1	0/1	0/1	0	
	TSPI1RXD	Input	FT1	0/1	0	[PBFR3]	0/1	0/1	0/1	1	
	T32A01INB0	Input	FT1	0/1	0	[PBFR4]	0/1	0/1	0/1	1	
PB5	リセット後			0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
	UT2RTS_N	Output	FT1	0/1	1	[PBFR1]	0/1	0/1	0/1	0	
	UT2CTS_N	Input	FT1	0/1	0	[PBFR2]	0/1	0/1	0/1	1	
	TSPI1CS0	Output	FT1	0/1	1	[PBFR3]	0/1	0/1	0/1	0	
	T32A01INB1	Input	FT1	0/1	0	[PBFR4]	0/1	0/1	0/1	1	
TSPI1CSIN	Input	FT1	0/1	0	[PBFR5]	0/1	0/1	0/1	1		
PB6	リセット後			0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
	TSPI1CS1	Output	FT1	0/1	1	[PBFR3]	0/1	0/1	0/1	0	
PB7	リセット後			0	0	N/A	0	0	0	0	
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0	
	INT16	Input	FT4	0/1	0	N/A	0/1	0/1	0/1	1	

注) リセット端子(RESET_N)によるリセット期間中は[PBPUP]は許可状態("1")となります。[PBIE]レジスタはN/Aですが、BOOT_N信号が入力可能となります。

4.2.4. PORT C

表 4.8 ポート C レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PCDATA]	[PCCR]	[PCFRn]	[PCOD]	[PCPUP]	[PCPDN]	[PCIE]
PC0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT00	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	I2C0SCL	I/O	FT1	0/1	1	[PCFR1]	1	0/1	0/1	1
	T32A02OUTA	Output	FT1	0/1	1	[PCFR3]	0/1	0/1	0/1	0
	T32A02OUTC	Output	FT1	0/1	1	[PCFR4]	0/1	0/1	0/1	0
PC1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT01	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	I2C0SDA	I/O	FT1	0/1	1	[PCFR1]	1	0/1	0/1	1
	T32A02INA0	Input	FT1	0/1	0	[PCFR3]	0/1	0/1	0/1	1
	T32A02INC0	Input	FT1	0/1	0	[PCFR4]	0/1	0/1	0/1	1
PC2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT02	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	UT4TXDB	Output	FT1	0/1	1	[PCFR1]	0/1	0/1	0/1	0
	T32A02INA1	Input	FT1	0/1	0	[PCFR3]	0/1	0/1	0/1	1
	T32A02INC1	Input	FT1	0/1	0	[PCFR4]	0/1	0/1	0/1	1
RTCOUT	Output	FT1	0/1	1	[PCFR5]	0/1	0/1	0/1	0	
PC3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT4TXDA	Output	FT1	0/1	1	[PCFR1]	0/1	0/1	0/1	0
	UT4RXD	Input	FT1	0/1	0	[PCFR2]	0/1	0/1	0/1	1
	T32A02OUTB	Output	FT1	0/1	1	[PCFR3]	0/1	0/1	0/1	0
PC4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT4RXD	Input	FT1	0/1	0	[PCFR1]	0/1	0/1	0/1	1
	UT4TXDA	Output	FT1	0/1	1	[PCFR2]	0/1	0/1	0/1	0
	T32A02INB0	Input	FT1	0/1	0	[PCFR3]	0/1	0/1	0/1	1
PC5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT4CTS_N	Input	FT1	0/1	0	[PCFR1]	0/1	0/1	0/1	1
	UT4RTS_N	Output	FT1	0/1	1	[PCFR2]	0/1	0/1	0/1	0
	T32A02INB1	Input	FT1	0/1	0	[PCFR3]	0/1	0/1	0/1	1
PC6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT4RTS_N	Output	FT1	0/1	1	[PCFR1]	0/1	0/1	0/1	0
	UT4CTS_N	Input	FT1	0/1	0	[PCFR2]	0/1	0/1	0/1	1

4.2.5. PORT D

表 4.9 ポート D レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PDDATA]	[PDCR]	[PDFRn]	[PDOD]	[PDPUP]	[PDPDN]	[PDIE]
PD0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA00 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PD1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA01 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PD2	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA02 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PD3	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA03 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PD4	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA19 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PD5	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA20 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0

注) アナログ入力(AINAx)として使用する場合、[PDCR]は出力禁止"0"、[PDIE]は入力禁止"0"、[PDPUP]はプルアップ禁止"0"、[PDPDN]はプルダウン禁止"0"にしてください。

4.2.6. PORT E

表 4.10 ポート E レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PEDATA]	[PECR]	[PEFRn]	[PEOD]	[PEPUP]	[PEPDN]	[PEIE]
PE0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA04 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PE1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA05 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PE2	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA06 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PE3	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA07 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PE4	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA08 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PE5	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA09 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PE6	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA10 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0

注) アナログ入力(AINAx)として使用する場合、[PECR]は出力禁止"0"、[PEIE]は入力禁止"0"、[PEPUP]はプルアップ禁止"0"、[PEPDN]はプルダウン禁止"0"にしてください。

4.2.7. PORT F

表 4.11 ポート F レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PFDATA]	[PFCCR]	[PFFRn]	[PFOD]	[PFPUP]	[PFPDN]	[PFIE]
PF0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA11 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PF1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA12 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PF2	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA13 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PF3	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA14 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PF4	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA15 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PF5	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA16 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PF6	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA17 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PF7	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA18 (注)	Input	FT5	0/1	0	N/A	0/1	0	0	0

注) アナログ入力(AINAx)として使用する場合、[PFCCR]は出力禁止"0"、[PFIE]は入力禁止"0"、[PFPUP]はプルアップ禁止"0"、[PFPDN]はプルダウン禁止"0"にしてください。

4.2.8. PORT G

表 4.12 ポート G レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PGDATA]	[PGCR]	[PGFRn]	[PGOD]	[PGPUP]	[PGPDN]	[PGIE]
PG0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	DAC0 (注)	Output	FT13	0/1	0	N/A	0/1	0	0	0
PG1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	DAC1 (注)	Output	FT13	0/1	0	N/A	0/1	0	0	0
PG2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT27	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	UT3RXD	Input	FT1	0/1	0	[PGFR1]	0/1	0/1	0/1	1
	UT3TXDA	Output	FT1	0/1	1	[PGFR2]	0/1	0/1	0/1	0
	T32A07OUTA	Output	FT1	0/1	1	[PGFR3]	0/1	0/1	0/1	0
	T32A07OUTC	Output	FT1	0/1	1	[PGFR4]	0/1	0/1	0/1	0
PG3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT28	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	UT3TXDA	Output	FT1	0/1	1	[PGFR1]	0/1	0/1	0/1	0
	UT3RXD	Input	FT1	0/1	0	[PGFR2]	0/1	0/1	0/1	1
	T32A07INA0	Input	FT1	0/1	0	[PGFR3]	0/1	0/1	0/1	1
	T32A07INCO	Input	FT1	0/1	0	[PGFR4]	0/1	0/1	0/1	1
PG4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT3TXDB	Output	FT1	0/1	1	[PGFR1]	0/1	0/1	0/1	0
	T32A07INA1	Input	FT1	0/1	0	[PGFR3]	0/1	0/1	0/1	1
	T32A07INC1	Input	FT1	0/1	0	[PGFR4]	0/1	0/1	0/1	1
PG5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A07OUTB	Output	FT1	0/1	1	[PGFR3]	0/1	0/1	0/1	0
PG6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A07INB0	Input	FT1	0/1	0	[PGFR3]	0	0/1	0/1	1
PG7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A07INB1	Input	FT1	0/1	0	[PGFR3]	0/1	0/1	0/1	1

注) アナログ出力(DACx)として使用する場合、[PGCR]は出力禁止"0"、[PGIE]は入力禁止"0"、[PGPUP]はプルアップ禁止"0"、[PGPDN]はプルダウン禁止"0"にしてください。

4.2.9. PORT H

表 4.13 ポート H レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PHDATA]	[PHCR]	[PHFRn]	[PHOD]	[PHPUP]	[PHPDN]	[PHIE]
PH0	リセット後			0	N/A	N/A	N/A	N/A	0	0
	Input Port	Input		0/1	N/A	N/A	N/A	N/A	0/1	1
	X1	Input	FT11	0/1	N/A	N/A	N/A	N/A	0	0
	EHCLKIN	Input	FT11	0/1	N/A	N/A	N/A	N/A	0	1
PH1	リセット後			0	N/A	N/A	N/A	N/A	0	0
	Input Port	Input		0/1	N/A	N/A	N/A	N/A	0/1	1
	X2	Output	FT11	0/1	N/A	N/A	N/A	N/A	0	0
PH2	リセット後			0	N/A	N/A	N/A	N/A	0	0
	Input Port	Input		0/1	N/A	N/A	N/A	N/A	0/1	1
	XT1	Input	FT11	0/1	N/A	N/A	N/A	N/A	0	0
PH3	リセット後			0	N/A	N/A	N/A	N/A	0	0
	Input Port	Input		0/1	N/A	N/A	N/A	N/A	0/1	1
	XT2	Output	FT11	0/1	N/A	N/A	N/A	N/A	0	0
	INT06	Input	FT11	0/1	N/A	N/A	N/A	N/A	0/1	1
PH4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT19	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	TSPI4SCK	Input	FT1	0/1	0	[PHFR1]	0/1	0/1	0/1	1
Output		0/1		1	0/1		0/1	0/1	0	
PH5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT20	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	TSPI4TXD	Output	FT2	0/1	1	[PHFR1]	0/1	0/1	0/1	0
PH6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT21	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	TSPI4RXD	Input	FT1	0/1	0	[PHFR1]	0/1	0/1	0/1	1
PH7	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	INT22	Input	FT4	0/1	0	N/A	0/1	0/1	0/1	1

4.2.10. PORT J

表 4.14 ポート J レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PJDATA]	[PJCR]	[PJFRn]	[PJOD]	[PJPUP]	[PJPDN]	[PJIE]
PJ0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1TXDB	Output	FT1	0/1	1	[PJFR1]	0/1	0/1	0/1	0
	T32A03OUTA	Output	FT1	0/1	1	[PJFR3]	0/1	0/1	0/1	0
	T32A03OUTC	Output	FT1	0/1	1	[PJFR4]	0/1	0/1	0/1	0
	UO0	Output	FT2	0/1	1	[PJFR5]	0/1	0/1	0/1	0
PJ1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1TXDA	Output	FT1	0/1	1	[PJFR1]	0/1	0/1	0/1	0
	UT1RXD	Input	FT1	0/1	0	[PJFR2]	0/1	0/1	0/1	1
	T32A03INA0	Input	FT1	0/1	0	[PJFR3]	0/1	0/1	0/1	1
	T32A03INC0	Input	FT1	0/1	0	[PJFR4]	0/1	0/1	0/1	1
XO0	Output	FT2	0/1	1	[PJFR5]	0/1	0/1	0/1	0	
PJ2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1RXD	Input	FT1	0/1	0	[PJFR1]	0/1	0/1	0/1	1
	UT1TXDA	Output	FT1	0/1	1	[PJFR2]	0/1	0/1	0/1	0
	T32A03INA1	Input	FT1	0/1	0	[PJFR3]	0/1	0/1	0/1	1
	T32A03INC1	Input	FT1	0/1	0	[PJFR4]	0/1	0/1	0/1	1
VO0	Output	FT2	0/1	1	[PJFR5]	0/1	0/1	0/1	0	
PJ3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1CTS_N	Input	FT1	0/1	0	[PJFR1]	0/1	0/1	0/1	1
	UT1RTS_N	Output	FT1	0/1	1	[PJFR2]	0/1	0/1	0/1	0
	T32A03OUTB	Output	FT1	0/1	1	[PJFR3]	0/1	0/1	0/1	0
YO0	Output	FT2	0/1	1	[PJFR5]	0/1	0/1	0/1	0	
PJ4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT04	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	UT1RTS_N	Output	FT1	0/1	1	[PJFR1]	0/1	0/1	0/1	0
	UT1CTS_N	Input	FT1	0/1	0	[PJFR2]	0/1	0/1	0/1	1
	T32A03INB0	Input	FT1	0/1	0	[PJFR3]	0/1	0/1	0/1	1
WO0	Output	FT2	0/1	1	[PJFR5]	0/1	0/1	0/1	0	
PJ5	リセット後	Input		0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A03INB1	Input	FT1	0/1	0	[PJFR3]	0/1	0/1	0/1	1
	ZO0	Output	FT2	0/1	1	[PJFR5]	0/1	0/1	0/1	0

4.2.11. PORT K

表 4.15 ポート K レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PKDATA]	[PKCR]	[PKFRn]	[PKOD]	[PKPUP]	[PKPDN]	[PKIE]
PK0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1TXDB	Output	FT1	0/1	1	[PKFR1]	0/1	0/1	0/1	0
	EMG0	Input	FT1	0/1	0	[PKFR5]	0/1	0/1	0/1	1
PK1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT05	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	UT1TXDA	Output	FT1	0/1	1	[PKFR1]	0/1	0/1	0/1	0
	UT1RXD	Input	FT1	0/1	0	[PKFR2]	0/1	0/1	0/1	1
PK2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1RXD	Input	FT1	0/1	0	[PKFR1]	0/1	0/1	0/1	1
	UT1TXDA	Output	FT1	0/1	1	[PKFR2]	0/1	0/1	0/1	0
	T32A04OUTA	Output	FT1	0/1	1	[PKFR3]	0/1	0/1	0/1	0
PK3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1CTS_N	Input	FT1	0/1	0	[PKFR1]	0/1	0/1	0/1	1
	UT1RTS_N	Output	FT1	0/1	1	[PKFR2]	0/1	0/1	0/1	0
	T32A04INA0	Input	FT1	0/1	0	[PKFR3]	0/1	0/1	0/1	1
PK4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1RTS_N	Output	FT1	0/1	1	[PKFR1]	0/1	0/1	0/1	0
	UT1CTS_N	Input	FT1	0/1	0	[PKFR2]	0/1	0/1	0/1	1
	T32A04INA1	Input	FT1	0/1	0	[PKFR3]	0/1	0/1	0/1	1
PK5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A04OUTB	Output	FT1	0/1	1	[PKFR3]	0/1	0/1	0/1	0
PK6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A04INB0	Input	FT1	0/1	0	[PKFR3]	0/1	0/1	0/1	1
PK7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT13	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A04INB1	Input	FT1	0/1	0	[PKFR3]	0/1	0/1	0/1	1

4.2.12. PORT L

表 4.16 ポート L レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PLDATA]	[PLCR]	[PLFRn]	[PLOD]	[PLPUP]	[PLPDN]	[PLIE]
PL0	リセット後 (TRST_N)	Input	FT3	0	0	[PLFR5]	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2TXDA	Output	FT1	0/1	1	[PLFR1]	0/1	0/1	0/1	0
	UT2RXD	Input	FT1	0/1	0	[PLFR2]	0/1	0/1	0/1	1
	I2C2SCL	I/O	FT1	0/1	1	[PLFR3]	1	0/1	0/1	1
PL1	リセット後 (TDI)	Input	FT1	0	0	[PLFR5]	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2RXD	Input	FT1	0/1	0	[PLFR1]	0/1	0/1	0/1	1
	UT2TXDA	Output	FT1	0/1	1	[PLFR2]	0/1	0/1	0/1	0
	I2C2SDA	I/O	FT1	0/1	1	[PLFR3]	1	0/1	0/1	1
PL2	リセット後 (TDO/SWV)	Output	FT2	0	1(注)	[PLFR5]	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2CTS_N	Input	FT1	0/1	0	[PLFR1]	0/1	0/1	0/1	1
	UT2RTS_N	Output	FT1	0/1	1	[PLFR2]	0/1	0/1	0/1	0
	T32A06OUTB	Output	FT1	0/1	1	[PLFR3]	0/1	0/1	0/1	0
PL3	リセット後 (TCK/SWCLK)	Input	FT1	0	0	[PLFR5]	0	0	1	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT08	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	UT2RTS_N	Output	FT1	0/1	1	[PLFR1]	0/1	0/1	0/1	0
	UT2CTS_N	Input	FT1	0/1	0	[PLFR2]	0/1	0/1	0/1	1
PL4	リセット後 (TMS/SWDIO)	I/O	FT2	0	1(注)	[PLFR5]	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT12	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A06INB0	Input	FT1	0/1	0	[PLFR3]	0/1	0/1	0/1	1
PL5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A06OUTA	Output	FT1	0/1	1	[PLFR3]	0/1	0/1	0/1	0
	T32A06OUTC	Output	FT1	0/1	1	[PLFR4]	0/1	0/1	0/1	0
PL6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A06INA0	Input	FT1	0/1	0	[PLFR3]	0/1	0/1	0/1	1
	T32A06INC0	Input	FT1	0/1	0	[PLFR4]	0/1	0/1	0/1	1
PL7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A06INA1	Input	FT1	0/1	0	[PLFR3]	0/1	0/1	0/1	1
	T32A06INC1	Input	FT1	0/1	0	[PLFR4]	0/1	0/1	0/1	1

注) ツールからのコマンドを受け付けるまでは出力にはなりません。

4.2.13. PORT M

表 4.17 ポート M レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PMDATA]	[PMCR]	[PMFRn]	[PMOD]	[PMPUP]	[PMPDN]	[PMIE]
PM0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0TXDB	Output	FT1	0/1	1	[PMFR1]	0/1	0/1	0/1	0
	TSPI0SCK	Input	FT1	0/1	0	[PMFR3]	0/1	0/1	0/1	1
		Output	FT1	0/1	1		0/1	0/1	0/1	0
	T32A00OUTA	Output	FT1	0/1	1	[PMFR4]	0/1	0/1	0/1	0
	T32A00OUTC	Output	FT1	0/1	1	[PMFR5]	0/1	0/1	0/1	0
TRACECLK	Output	FT1	0/1	1	[PMFR6]	0/1	0/1	0/1	0	
PM1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0TXDA	Output	FT1	0/1	1	[PMFR1]	0/1	0/1	0/1	0
	UT0RXD	Input	FT1	0/1	0	[PMFR2]	0/1	0/1	0/1	1
	TSPI0TXD	Output	FT2	0/1	1	[PMFR3]	0/1	0/1	0/1	0
	T32A00INA0	Input	FT1	0/1	0	[PMFR4]	0/1	0/1	0/1	1
	T32A00INC0	Input	FT1	0/1	0	[PMFR5]	0/1	0/1	0/1	1
TRACEDATA0	Output	FT1	0/1	1	[PMFR6]	0/1	0/1	0/1	0	
PM2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT09	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	UT0RXD	Input	FT1	0/1	0	[PMFR1]	0/1	0/1	0/1	1
	UT0TXDA	Output	FT1	0/1	1	[PMFR2]	0/1	0/1	0/1	0
	TSPI0RXD	Input	FT1	0/1	0	[PMFR3]	0/1	0/1	0/1	1
	T32A00INA1	Input	FT1	0/1	0	[PMFR4]	0/1	0/1	0/1	1
T32A00INC1	Input	FT1	0/1	0	[PMFR5]	0/1	0/1	0/1	1	
TRACEDATA1	Output	FT1	0/1	1	[PMFR6]	0/1	0/1	0/1	0	
PM3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0CTS_N	Input	FT1	0/1	0	[PMFR1]	0/1	0/1	0/1	1
	UT0RTS_N	Output	FT1	0/1	1	[PMFR2]	0/1	0/1	0/1	0
	TSPI0CS0	Output	FT1	0/1	1	[PMFR3]	0/1	0/1	0/1	0
	T32A00OUTB	Output	FT1	0/1	1	[PMFR4]	0/1	0/1	0/1	0
	TSPI0CSIN	Input	FT1	0/1	0	[PMFR5]	0/1	0/1	0/1	1
TRACEDATA2	Output	FT1	0/1	1	[PMFR6]	0/1	0/1	0/1	0	
PM4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0RTS_N	Output	FT1	0/1	1	[PMFR1]	0/1	0/1	0/1	0
	UT0CTS_N	Input	FT1	0/1	0	[PMFR2]	0/1	0/1	0/1	1
	TSPI0CS1	Output	FT1	0/1	1	[PMFR3]	0/1	0/1	0/1	0
	T32A00INB0	Input	FT1	0/1	0	[PMFR4]	0/1	0/1	0/1	1
	TRACEDATA3	Output	FT1	0/1	1	[PMFR6]	0/1	0/1	0/1	0
PM5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A00INB1	Input	FT1	0/1	0	[PMFR4]	0/1	0/1	0/1	1
PM6	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
PM7	INT15	Input	FT4	0/1	0	N/A	0/1	0/1	0/1	1
	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0	

4.2.14. PORT N

表 4.18 ポート N レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PNDATA]	[PNCR]	[PNFRn]	[PNOD]	[PNPUP]	[PNPDN]	[PNIE]
PN0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT5RTS_N	Output	FT1	0/1	1	[PNFR1]	0/1	0/1	0/1	0
	UT5CTS_N	Input	FT1	0/1	0	[PNFR2]	0/1	0/1	0/1	1
	T32A05OUTA	Output	FT1	0/1	1	[PNFR3]	0/1	0/1	0/1	0
T32A05OUTC	Output	FT1	0/1	1	[PNFR4]	0/1	0/1	0/1	0	
PN1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT5CTS_N	Input	FT1	0/1	0	[PNFR1]	0/1	0/1	0/1	1
	UT5RTS_N	Output	FT1	0/1	1	[PNFR2]	0/1	0/1	0/1	0
	T32A05INA0	Input	FT1	0/1	0	[PNFR3]	0/1	0/1	0/1	1
T32A05INC0	Input	FT1	0/1	0	[PNFR4]	0/1	0/1	0/1	1	
PN2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT5RXD	Input	FT1	0/1	0	[PNFR1]	0/1	0/1	0/1	1
	UT5TXDA	Output	FT1	0/1	1	[PNFR2]	0/1	0/1	0/1	0
	T32A05INA1	Input	FT1	0/1	0	[PNFR3]	0/1	0/1	0/1	1
T32A05INC1	Input	FT1	0/1	0	[PNFR4]	0/1	0/1	0/1	1	
PN3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT10	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	UT5TXDA	Output	FT1	0/1	1	[PNFR1]	0/1	0/1	0/1	0
	UT5RXD	Input	FT1	0/1	0	[PNFR2]	0/1	0/1	0/1	1
	T32A05OUTB	Output	FT1	0/1	1	[PNFR3]	0/1	0/1	0/1	0
TRGIN2	Input	FT1	0/1	0	[PNFR5]	0/1	0/1	0/1	1	
PN4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT5TXDB	Output	FT1	0/1	1	[PNFR1]	0/1	0/1	0/1	0
	T32A05INB0	Input	FT1	0/1	0	[PNFR3]	0/1	0/1	0/1	1
PN5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A05INB1	Input	FT1	0/1	0	[PNFR3]	0/1	0/1	0/1	1

4.2.15. PORT P

表 4.19 ポート P レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PPDATA]	[PPCR]	[PPFRn]	[PPOD]	[PPPUP]	[PPPDN]	[PPIE]
PP0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI2SCK	Input	FT1	0/1	0	[PPFR2]	0/1	0/1	0/1	1
		Output		0/1	1		0/1	0/1	0/1	0
	T32A01OUTA	Output	FT1	0/1	1	[PPFR3]	0/1	0/1	0/1	0
T32A01OUTC	Output	FT1	0/1	1	[PPFR4]	0/1	0/1	0/1	0	
PP1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI2TXD	Output	FT2	0/1	1	[PPFR2]	0/1	0/1	0/1	0
	T32A01INA0	Input	FT1	0/1	0	[PPFR3]	0/1	0/1	0/1	1
	T32A01INC0	Input	FT1	0/1	0	[PPFR4]	0/1	0/1	0/1	1
PP2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI2RXD	Input	FT1	0/1	0	[PPFR2]	0/1	0/1	0/1	1
	T32A01INA1	Input	FT1	0/1	0	[PPFR3]	0/1	0/1	0/1	1
	T32A01INC1	Input	FT1	0/1	0	[PPFR4]	0/1	0/1	0/1	1
PP3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT14	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	TSPI3RXD	Input	FT1	0/1	0	[PPFR1]	0/1	0/1	0/1	1
PP4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI3TXD	Output	FT2	0/1	1	[PPFR1]	0/1	0/1	0/1	0
PP5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI3SCK	Input	FT1	0/1	0	[PPFR1]	0/1	0/1	0/1	1
Output		0/1		1	0/1		0/1	0/1	0	
PP6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI3CS0	Output	FT1	0/1	1	[PPFR1]	0/1	0/1	0/1	0
	TSPI3CSIN	Input	FT1	0/1	0	[PPFR2]	0/1	0/1	0/1	1
	PMD0DBG	Output	FT1	0/1	1	[PPFR3]	0/1	0/1	0/1	0
PP7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI3CS1	Output	FT1	0/1	1	[PPFR1]	0/1	0/1	0/1	0

4.2.16. PORT R

表 4.20 ポート R レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PRDATA]	[PRCR]	[PRFRn]	[PROD]	[PRPUP]	[PRPDN]	[PRIE]
PR0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A02OUTA	Output	FT1	0/1	1	[PRFR3]	0/1	0/1	0/1	0
	T32A02OUTC	Output	FT1	0/1	1	[PRFR4]	0/1	0/1	0/1	0
PR1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A02INA0	Input	FT1	0/1	0	[PRFR3]	0/1	0/1	0/1	1
	T32A02INC0	Input	FT1	0/1	0	[PRFR4]	0/1	0/1	0/1	1
PR2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A02INA1	Input	FT1	0/1	0	[PRFR3]	0/1	0/1	0/1	1
	T32A02INC1	Input	FT1	0/1	0	[PRFR4]	0/1	0/1	0/1	1
PR3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PR4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PR5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PR6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PR7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0

4.2.17. PORT T

表 4.21 ポート T レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ							
				[PTDATA]	[PTCR]	[PTFRn]	[PTOD]	[PTPUP]	[PTPDN]	[PTIE]	
PT0	リセット後			0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
	INT23	Input	FT4	0/1	0	0	0/1	0/1	0/1	1	
	I2C3SDA	I/O	FT1	0/1	1	[PTFR1]	1	0/1	0/1	1	
	TSPI2CS1	Output	FT1	0/1	1	[PTFR2]	0/1	0/1	0/1	0	
PT1	リセット後			0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
	INT24	Input	FT4	0/1	0	0	0/1	0/1	0/1	1	
	I2C3SCL	I/O	FT1	0/1	1	[PTFR1]	1	0/1	0/1	1	
		TSPI2CS0	Output	FT1	0/1	1	[PTFR2]	0/1	0/1	0/1	0
	TSPI2CSIN	Input	FT1	0/1	0	[PTFR3]	0/1	0/1	0/1	1	
PT2	リセット後			0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
	INT25	Input	FT4	0/1	0	0	0/1	0/1	0/1	1	
		TSPI2SCK	Input	FT1	0/1	0	[PTFR1]	0/1	0/1	0/1	1
			Output		0/1	1		0/1	0/1	0/1	0
	T32A06OUTB	Output	FT1	0/1	1	[PTFR3]	0/1	0/1	0/1	0	
PT3	リセット後			0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
	INT26	Input	FT4	0/1	0	0	0/1	0/1	0/1	1	
		TSPI2TXD	Output	FT2	0/1	1	[PTFR1]	0/1	0/1	0/1	0
		T32A06INB0	Input	FT1	0/1	0	[PTFR3]	0/1	0/1	0/1	1
PT4	リセット後			0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
		TSPI2RXD	Input	FT1	0/1	0	[PTFR1]	0/1	0/1	0/1	1
		T32A06INB1	Input	FT1	0/1	0	[PTFR3]	0/1	0/1	0/1	1
PT5	リセット後			0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
		T32A06OUTA	Output	FT1	0/1	1	[PTFR3]	0/1	0/1	0/1	0
		T32A06OUTC	Output	FT1	0/1	1	[PTFR4]	0/1	0/1	0/1	0
PT6	リセット後			0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
		T32A06INA0	Input	FT1	0/1	0	[PTFR3]	0/1	0/1	0/1	1
		T32A06INC0	Input	FT1	0/1	0	[PTFR4]	0/1	0/1	0/1	1
PT7	リセット後			0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
	INT29	Input	FT4	0/1	0	0	0/1	0/1	0/1	1	
		T32A06INA1	Input	FT1	0/1	0	[PTFR3]	0/1	0/1	0/1	1
		T32A06INC1	Input	FT1	0/1	0	[PTFR4]	0/1	0/1	0/1	1

4.2.18. PORT U

表 4.22 ポート U レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PUDATA]	[PUCR]	[PUFRn]	[PUOD]	[PUPUP]	[PUPDN]	[PUIE]
PU0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	INT30	Input	FT4	0/1	0	N/A	0/1	0/1	0/1	1
PU1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	INT31	Input	FT4	0/1	0	N/A	0/1	0/1	0/1	1
PU2	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
PU3	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
PU4	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
PU5	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0

4.2.19. PORT V

表 4.23 ポート V レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PVDATA]	[PVCR]	[PVFRn]	[PVOD]	[PVPUP]	[PVPDN]	[PVIE]
PV0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PV1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PV2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT17	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
PV3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT18	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
PV4	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
PV5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT4TXDB	Output	FT1	0/1	1	[PVFR1]	0/1	0/1	0/1	0
PV6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT4TXDA	Output	FT1	0/1	1	[PVFR1]	0/1	0/1	0/1	0
PV7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT4RXD	Input	FT1	0/1	0	[PVFR1]	0/1	0/1	0/1	1
	UT4TXDA	Output	FT1	0/1	1	[PVFR2]	0/1	0/1	0/1	0

5. ポート回路図

ポートには、FT1～FT6、FT11、FT13 のタイプがあります。それぞれの回路図を次ページから示します。図中の点線は、データシートの「等価回路図」で記されている等価回路の範囲を示します。

回路図内の”I/O リセット”は、パワーオンリセット(POR)または端子リセット(RESET_N)を示します。ただし、デバッグ用端子(TMS/SWDIO,TDI,TDO/SWV,TCK/SWCLK,TRST_N)の I/O リセットは、パワーオンリセット(POR)のみとなります。

5.1. タイプ FT1

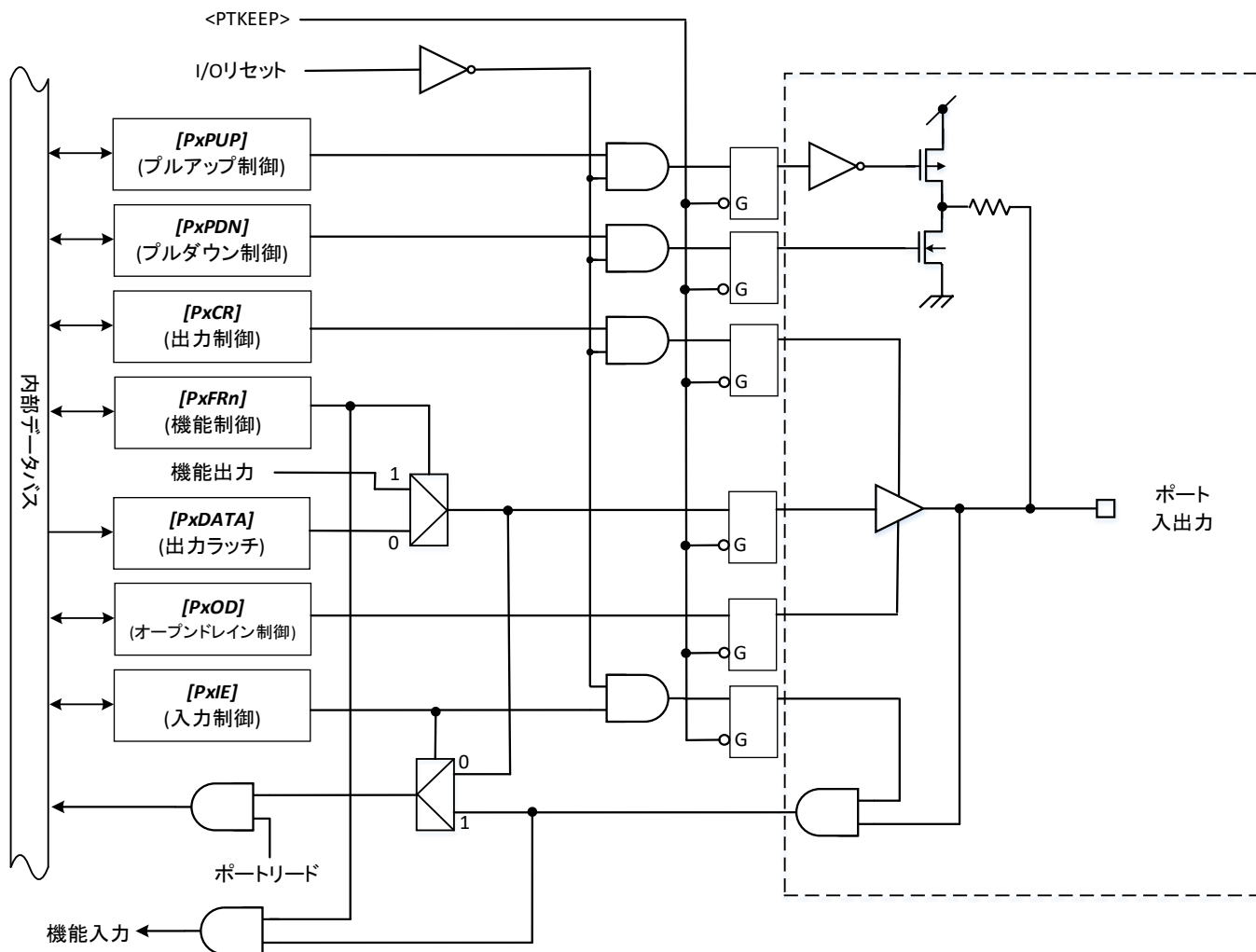


図 5.1 ポートタイプFT1

注) PB0 端子に[PxIE]はありません。

5.2. タイプ FT2

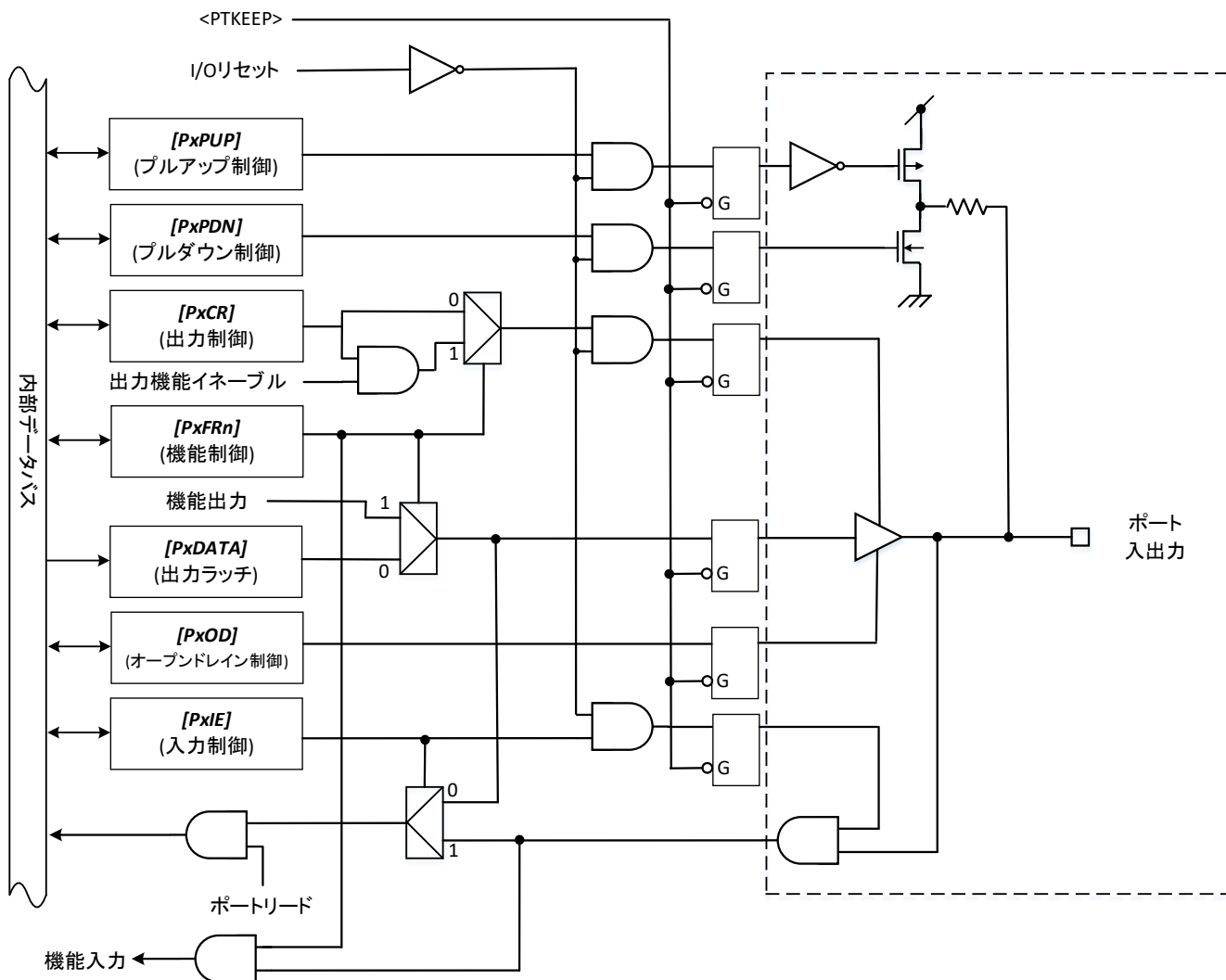


図 5.2 ポートタイプFT2

5.3. タイプ FT3

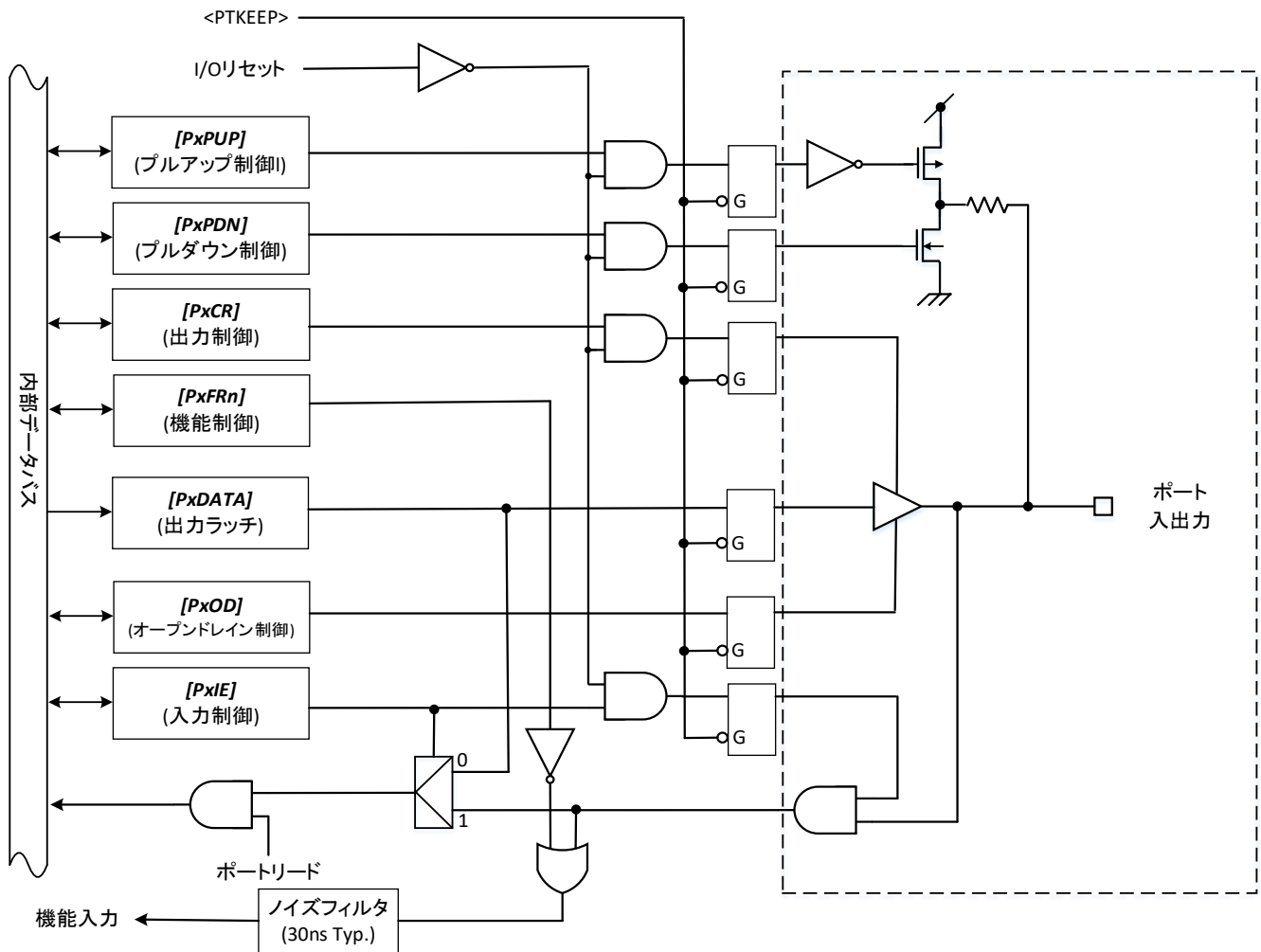


図 5.3 ポートタイプFT3

5.4. タイプ FT4

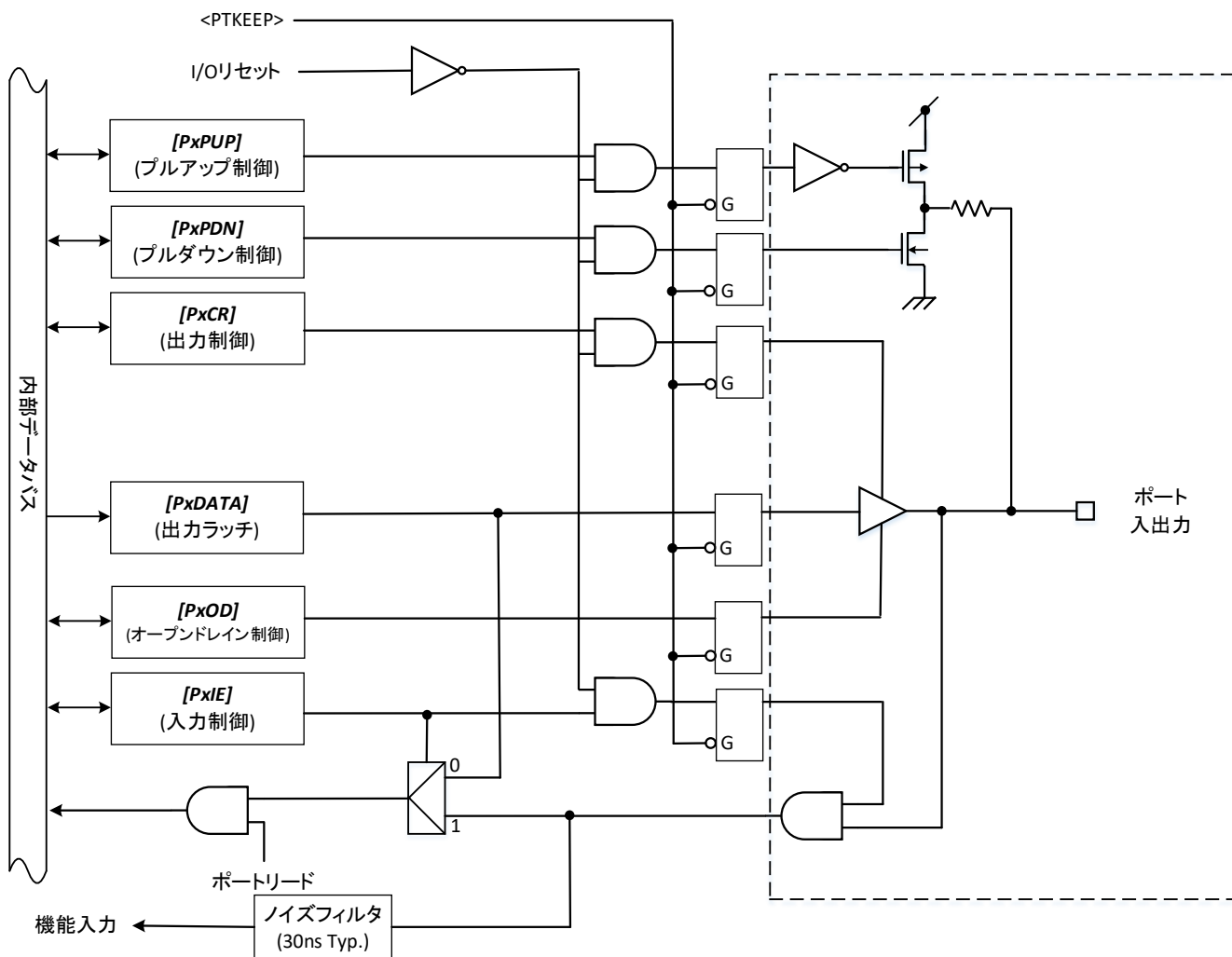


図 5.4 ポートタイプFT4

5.5. タイプ FT5

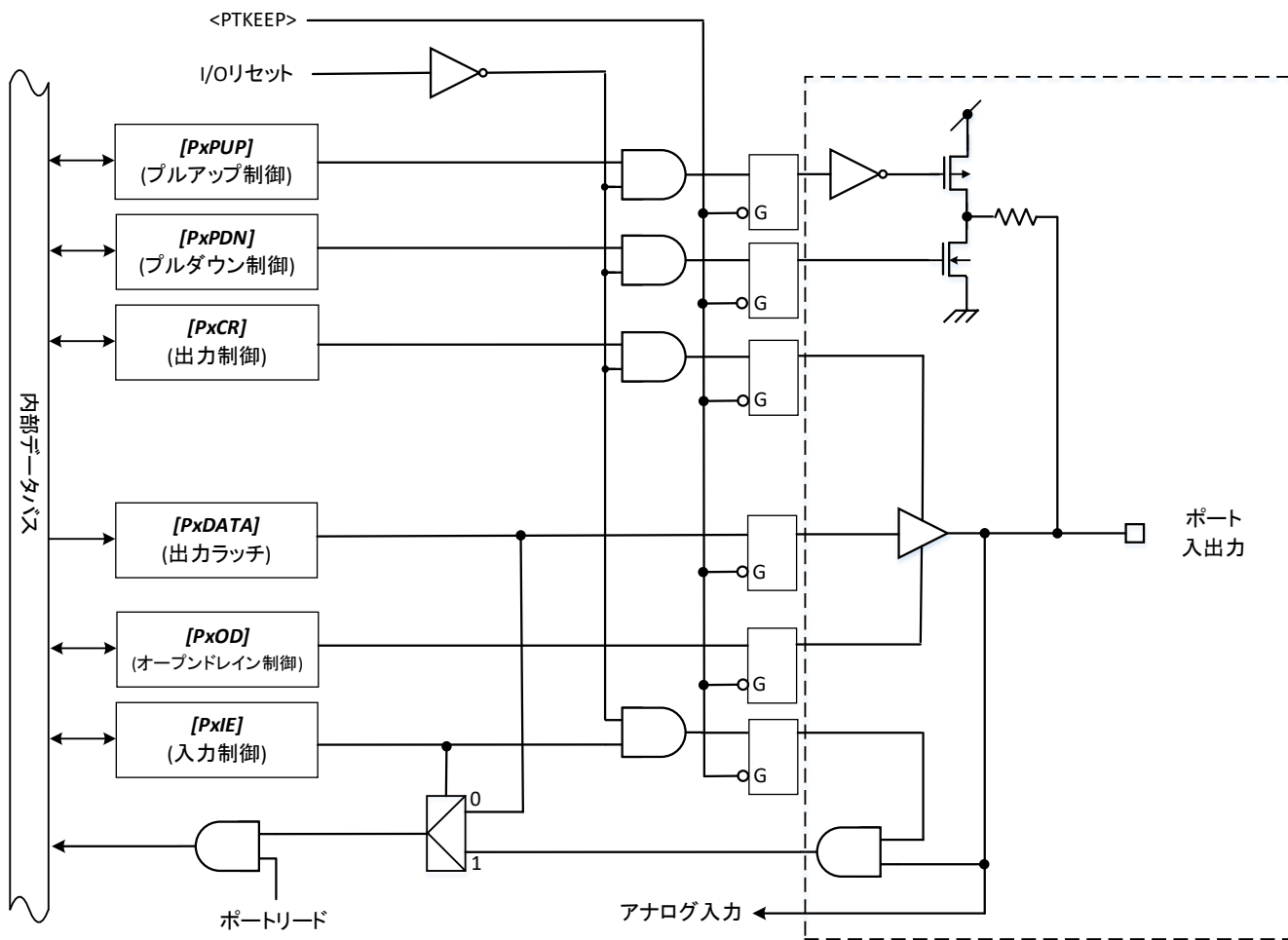


図 5.5 ポートタイプFT5

5.6. タイプ FT6

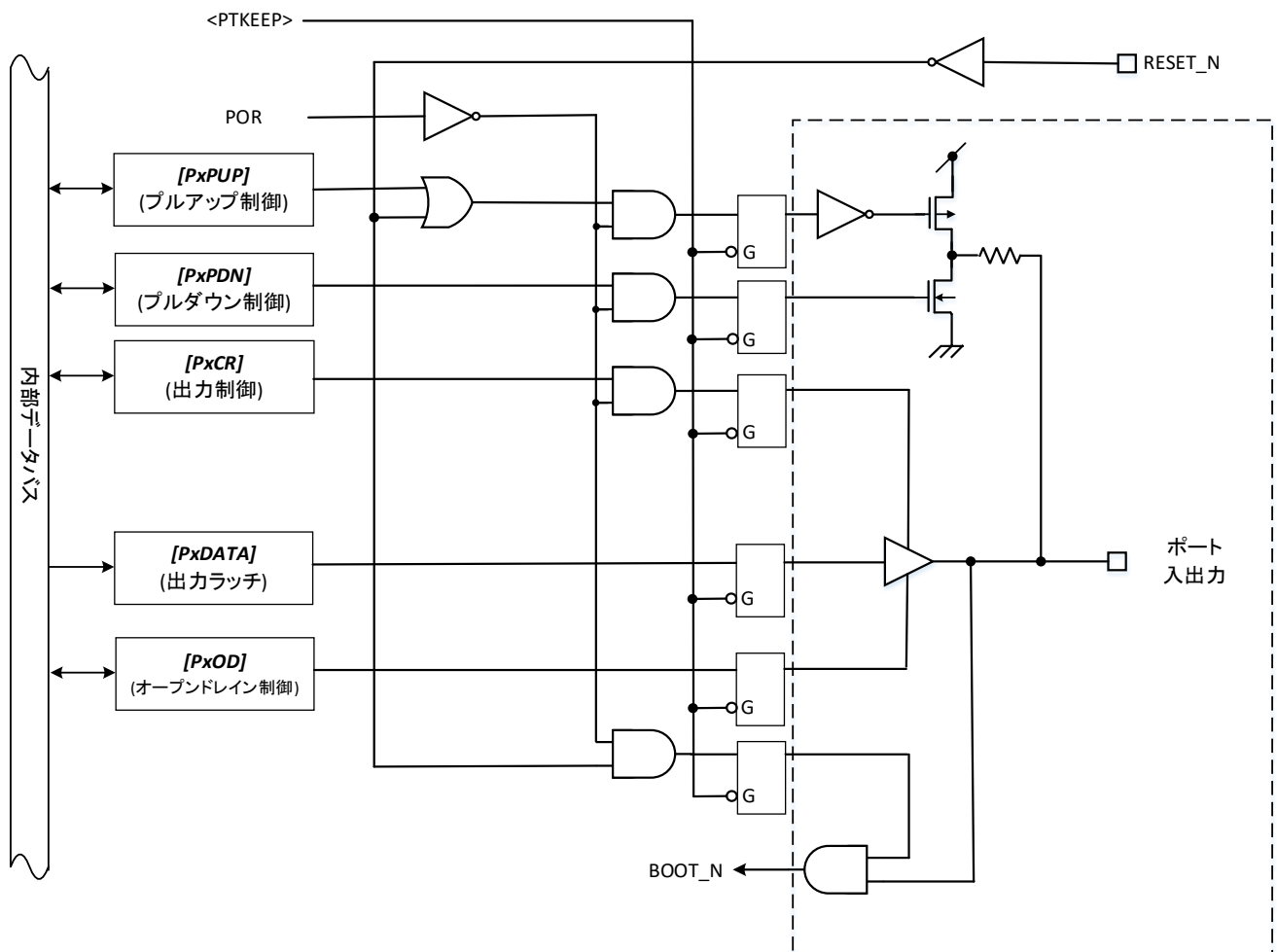


図 5.6 ポートタイプFT6

5.7. タイプ FT11

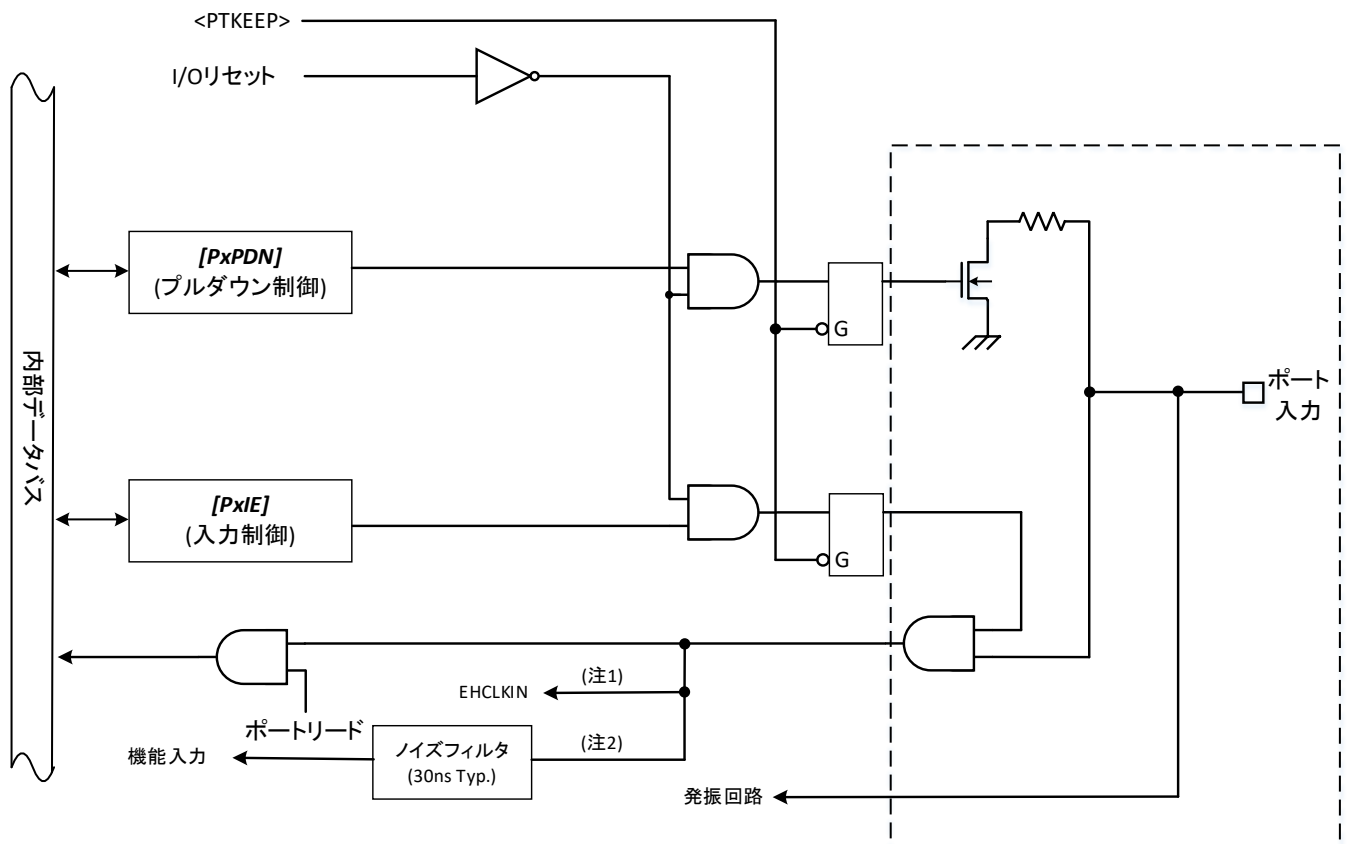


図 5.7 ポートタイプFT11

- 注1) PH0/X1/EHCLKIN 端子
- 注2) PH3/XT2/INT06 端子

5.8. タイプ FT13

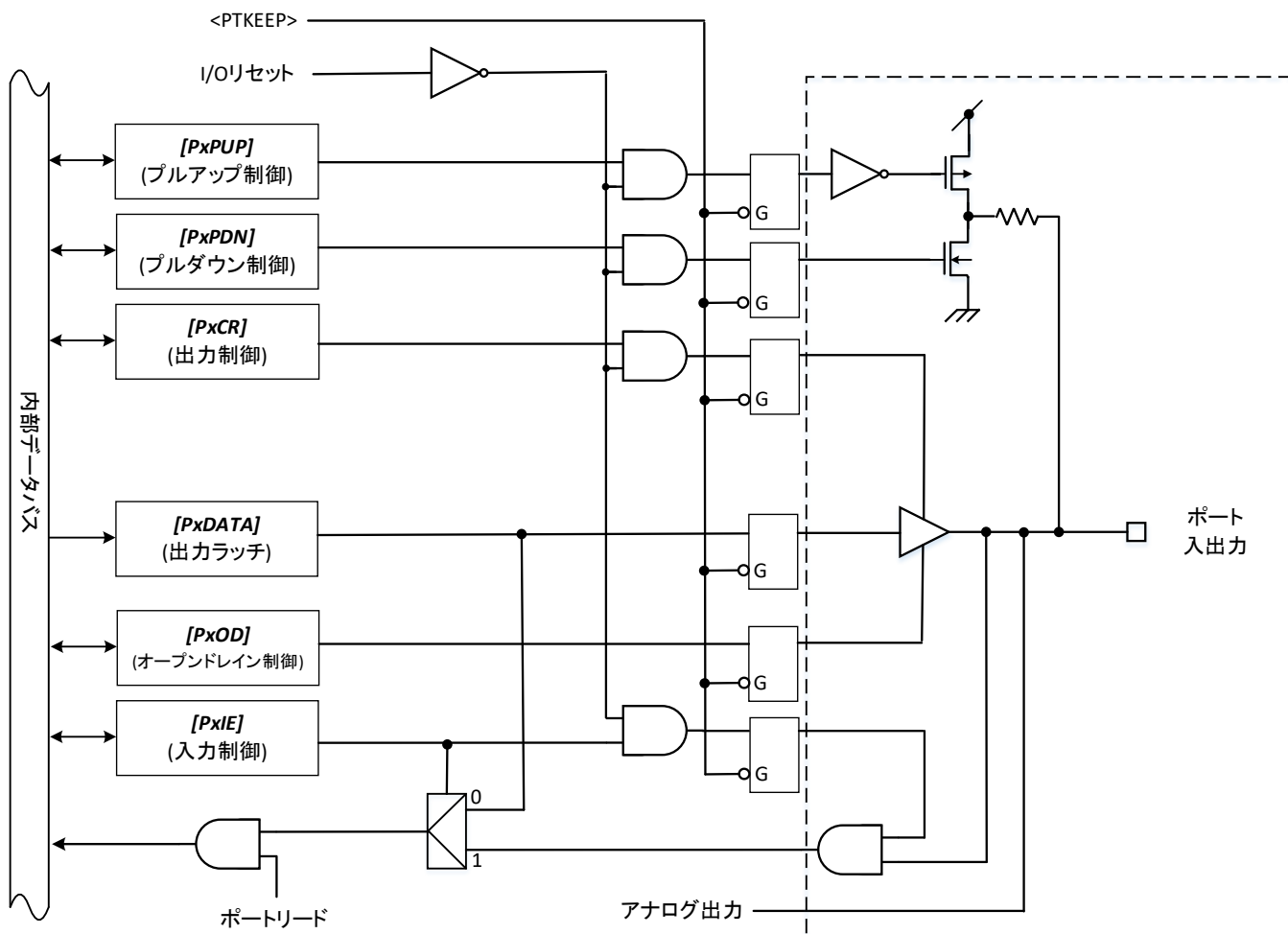


図 5.8 ポートタイプFT13

6. 使用上のご注意およびお願い事項

6.1. リセット期間中の端子状態について

リセット期間中、下記以外の端子はハイインピーダンス入力状態となり、プルアップ・プルダウンも無効状態となります。

- ・デバッグインタフェース兼用端子 (PL0~PL4) はデバック端子状態となります。
- ・PB0(BOOT_N)は端子リセット期間中は入力およびプルアップが許可となっており、リセット信号の立ち上がりで、PB0が"High"の場合、シングルチップモードとなり内蔵フラッシュメモリから起動し、PB0が"Low"の場合、シングルブートモードとなり内蔵BOOTプログラムから起動します。

6.2. 未使用端子の処理について

未使用端子は、1本ずつ抵抗を通して電源端子または1本ずつ抵抗を通してGND端子に固定することを推奨します。

一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生してLSI内部で静電破壊やラッチアップが発生することがあります。

6.3. デバッグインタフェース端子を汎用ポートとして使用する際の注意

リセット解除後ユーザプログラムでデバッグインタフェース端子を汎用ポートに設定すると、それ以降はデバッグツールからの接続ができなくなり制御ができなくなります。

デバッグツールによるデバッグができなくなった場合、シングルブートモードに設定し外部からUART接続でフラッシュ消去することで、再度デバックツールと接続することができます。詳細はリファレンスマニュアルの「フラッシュメモリ」を参照してください。

7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2017-07-12	新規
2.0	2017-11-15	<ul style="list-style-type: none"> ・Arm 関連記述、ロゴ等変更 ・1.: 修正 表 1.1 "割り込み制御" → "外部割り込み"、"32 ビットタイマ/イベントカウンタ" → "32 ビットタイマイベントカウンタ"、"高速発振子" → "高速発振"、"低速発振子" → "低速発振"、追記 高速発振に"外部高速クロック入力" ・2.1.: 変更 説明を見直し ・4. レジスタ説明: 表にレジスタリード/ライトの Type を追記、表中 [PxDATA] の説明 "読み込み" → "読み出し"、[PxIE] の説明 "若干の時間" → "100ns(最大)の時間"に変更 ・4.2.1.: 「機能端子を使用する際の設定について」章を追加 ・4.2.2.~4.2.19.: 表 4.6~表 4.23 の表タイトル部分の FONT および罫線の調整 ・4.2.2.: 表 4.6 の PA4 の I2C1SCL および PA5 の I2C1SDA の PORT Type を"FT1" → "FT12"に修正 ・4.2.9.: 修正 表 4.13 の EHCLKIN の [PHIE] を"0" → "1" ・4.2.10.: 表 4.14 の PJ1 のリセット後の [PJPDN] を"空欄" → "0"に修正 ・4.2.12.: 表 4.16 の PL0 の I2C2SCL および PL1 の I2C2SDA の PORT Type を"FT1" → "FT12"に修正 ・4.2.17.: 表 4.21 の PT0 の I2C3SDA および PT1 の I2C3SCL の PORT Type を"FT1" → "FT12"に修正 ・4.2.18.: PU0 の Output Port を"Output" → "Output"に修正 ・5.3. の図 5.3, 5.4 の図 5.4, 5.7. の図 5.7, 5.8. の図 5.8 のノイズフィルタの"Typ" → "Typ."に修正 ・5.7.: 図 5.7 の EHCLKIN の分岐位置を修正 ・タイプ FT12,13 の章番号が 5.1./5.2. → 5.8./5.9.に修正
3.0	2018-06-19	<ul style="list-style-type: none"> 1 概要 <ul style="list-style-type: none"> 表 1.1 のタイトル削除 I²C バス → I²C インタフェースに修正 4.2.1 機能端子を使用する際の設定について <ul style="list-style-type: none"> [PxFR] → [PxFRn]に修正 4.2.2 PORT A <ul style="list-style-type: none"> I2C1SCL/I2C1SDA のポートタイプを FT12 → FT1 に修正 4.2.11 PORT K <ul style="list-style-type: none"> T32A04INB1 のファンクションレジスタ [PKFR2] → [PKFR3]に修正 4.2.12 PORT L <ul style="list-style-type: none"> I2C2SCL/I2C2SDA のポートタイプを FT12 → FT1 に修正 4.2.17 PORT T <ul style="list-style-type: none"> I2C3SCL/I2C3SDA のポートタイプを FT12 → FT1 に修正 5.ポート回路図 <ul style="list-style-type: none"> "リセット端子"の後ろに端子名(RESET_N)を追加 5.8 タイプ FT12 <ul style="list-style-type: none"> 機能入力手前のノイズフィルタの位置を変更
4.0	2018-08-07	<ul style="list-style-type: none"> ・序章 関連するリファレンスマニュアル → 関連するドキュメントへ修正 ・3. 表 3.1 の信号接続一覧へ、M3HL を追加 ・製品取り扱い上のお願いを更新

4.1	2019-08-01	<ul style="list-style-type: none">・1 概要 表 1.1 の端子名称の用語を各リファレンスマニュアルの表記に統一・4 レジスタ説明 [PxOD]の説明見直し・4.2.4 PORT C I2C0SCL/I2C0SDA のポートタイプ FT12→FT1 に修正・4.2.12 PORT L TDI,TCK/SWCLK のポートタイプ FT2→FT1 に修正・5. ポート回路図 説明追加・5.1 タイプ FT1 注)を追加・5.7 タイプ FT11 機能入力の接続を修正・FT12 の章削除・6.1 リセット期間中の端子状態について 内蔵 BOOT ROM → 内蔵 BOOT プログラムに修正
-----	------------	--

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。