

32 ビット RISC マイクロコントローラー

# TMPM3H グループ(2)

リファレンスマニュアル

製品個別情報  
(PINFO-M3H(2))

Revision 3.3

---

2021-01

東芝デバイス&ストレージ株式会社

## 目次

序章 .....	9
関連するドキュメント .....	9
表記規約 .....	10
用語・略語 .....	12
1. 概要 .....	13
2. 各周辺機能の情報 .....	13
2.1. レジスターベースアドレス .....	13
2.2. トリガーセクター(TRGSEL) .....	14
2.2.1. トリガーセクターと製品対応 .....	15
2.2.2. 使用方法と設定 .....	23
2.2.3. レジスター一覧 .....	24
2.2.4. レジスター詳細 .....	25
2.2.4.1. [TSEL0CR0] (コントロールレジスター0) .....	25
2.2.4.2. [TSEL0CR1] (コントロールレジスター1) .....	27
2.2.4.3. [TSEL0CR2] (コントロールレジスター2) .....	29
2.2.4.4. [TSEL0CR3] (コントロールレジスター3) .....	31
2.2.4.5. [TSEL0CR4] (コントロールレジスター4) .....	33
2.2.4.6. [TSEL0CR5] (コントロールレジスター5) .....	35
2.2.4.7. [TSEL0CR6] (コントロールレジスター6) .....	37
2.2.4.8. [TSEL0CR7] (コントロールレジスター7) .....	39
2.2.4.9. [TSEL0CR8] (コントロールレジスター8) .....	41
2.2.4.10. [TSEL0CR9] (コントロールレジスター9) .....	43
2.2.4.11. [TSEL0CR10] (コントロールレジスター10) .....	45
2.2.4.12. [TSEL0CR11] (コントロールレジスター11) .....	47
2.2.4.13. [TSEL0CR12] (コントロールレジスター12) .....	49
2.2.4.14. [TSEL0CR13] (コントロールレジスター13) .....	51
2.2.4.15. [TSEL0CR14] (コントロールレジスター14) .....	53
2.2.4.16. [TSEL0CR15] (コントロールレジスター15) .....	55
2.2.4.17. [TSEL1CR0] (コントロールレジスター0) .....	57
2.2.4.18. [TSEL1CR1] (コントロールレジスター1) .....	59
2.2.4.19. [TSEL1CR2] (コントロールレジスター2) .....	61
2.3. クロック選択式ウオッチドッグタイマー(SIWDT) .....	62
2.3.1. 搭載チャンネル .....	62
2.3.2. カウントクロック .....	62
2.3.3. 制御出力 .....	62
2.4. 周波数検知回路(OFD) .....	63
2.4.1. 搭載一覧 .....	63
2.4.2. 基準クロック .....	63
2.4.3. 検知対象クロック .....	63

2.5. デバッグインターフェース .....	64
2.5.1. 製品別デバッグインターフェース一覧 .....	64
2.6. フラッシュメモリー .....	65
2.6.1. 書き込み, 消去操作クロック .....	65
2.6.2. 製品別コードフラッシュブロック構成 .....	65
2.6.3. 製品別データフラッシュブロック構成 .....	66
2.6.4. シングルブート使用リソース .....	67
2.7. DMA コントローラー(DMAC) .....	68
2.7.1. 搭載ユニット .....	68
2.7.2. DMA 要求一覧 .....	68
2.8. アドバンストプログラマブルモーター制御回路(A-PMD) .....	76
2.8.1. 搭載チャンネル .....	76
2.8.2. 機能端子とポート .....	76
2.8.3. DMA 要求 .....	76
2.8.4. その他接続 .....	77
2.8.5. PMD0DBG 使用時の追加設定 .....	77
2.9. アドバンストエンコーダー入力回路(A-ENC) .....	78
2.9.1. 搭載チャンネル .....	78
2.9.2. 機能端子とポート .....	78
2.9.3. 内部信号接続仕様 .....	78
2.9.3.1. T32A/A-PMD 接続 .....	78
2.10. 12 ビットアナログデジタルコンバーター(ADC) .....	80
2.10.1. 搭載ユニット .....	80
2.10.2. 機能端子とポート .....	80
2.10.3. ADC 用変換クロック .....	81
2.10.4. モード設定レジスター2 の設定値 .....	81
2.10.5. DMA 要求 .....	81
2.10.6. 内部信号接続仕様 .....	82
2.10.6.1. 起動トリガー接続仕様 .....	82
2.10.6.2. T32A/A-PMD 接続 .....	83
2.11. 8 ビットデジタルアナログコンバーター(DAC) .....	84
2.11.1. 搭載チャンネル .....	84
2.11.2. 機能端子とポート .....	84
2.12. コンパレーター(COMP) .....	85
2.12.1. 搭載一覧 .....	85
2.13. 電圧検知回路(LVD) .....	85
2.13.1. 搭載一覧 .....	85
2.13.2. 検知対象電源 .....	86
2.14. 32 ビットタイマーイベントカウンタ(T32A) .....	86
2.14.1. 搭載チャンネル .....	86

2.14.2. 機能端子とポート .....	87
2.14.3. プリスケラー用クロック .....	89
2.14.4. 内部信号接続仕様 .....	89
2.14.4.1. キャプチャトリガー信号接続仕様 .....	90
2.14.4.2. 同期制御接続仕様 .....	94
2.14.5. 製品別パルスカウント対応一覧 .....	95
2.14.6. DMA 要求 .....	96
2.14.7. 非対応割り込み .....	98
2.15. リアルタイムクロック(RTC) .....	99
2.15.1. 搭載チャンネル .....	99
2.15.2. 機能端子とポート .....	99
2.15.3. 時計カウントクロック .....	99
2.16. 非同期シリアル通信回路(UART) .....	100
2.16.1. 搭載チャンネル .....	100
2.16.2. 機能端子とポート .....	100
2.16.3. 製品別ハーフクロックモード対応一覧 .....	102
2.16.4. プリスケラー用クロック .....	102
2.16.5. DMA 要求 .....	102
2.16.6. 内部信号接続仕様 .....	103
2.16.6.1. トリガー転送信号接続仕様 .....	103
2.16.6.2. T32A 接続 .....	104
2.17. I <sup>2</sup> C インターフェース(I <sup>2</sup> C) .....	105
2.17.1. 搭載チャンネル .....	105
2.17.2. 機能端子とポート .....	105
2.17.3. プリスケラー用クロック .....	105
2.17.4. アドレス一致ウエイクアップ機能対応 .....	106
2.17.5. フィルター .....	106
2.17.6. DMA 要求 .....	107
2.18. シリアルペリフェラルインターフェース(TSPI) .....	108
2.18.1. 搭載チャンネル .....	108
2.18.2. 機能端子とポート .....	109
2.18.3. 製品別転送モード対応一覧 .....	110
2.18.4. クロック .....	110
2.18.5. DMA 要求 .....	111
2.18.6. 内部信号接続仕様 .....	112
2.18.6.1. トリガー送信信号接続仕様 .....	112
2.18.6.2. T32A 接続 .....	113
2.19. リモコン受信回路(RMC) .....	114
2.19.1. 搭載チャンネル .....	114
2.19.2. 機能端子とポート .....	114
2.19.3. サンプリングクロック .....	114

---

2.20. デジタルノイズフィルター回路(DNF).....	115
2.20.1. 搭載ユニット .....	115
2.20.2. 製品別外部割り込みと DNF の対応 .....	116
2.20.3. サンプリングソースクロック .....	117
2.21. CRC 計算回路(CRC).....	117
2.21.1. 搭載一覧 .....	117
2.22. RAM パリティ(RAMP) .....	117
2.22.1. 搭載一覧 .....	117
2.22.2. エラー判定ブロックエリア .....	118
2.23. トリミング回路(TRM).....	118
2.23.1. 搭載一覧 .....	118
2.23.2. 対象発振器 .....	118
3. 改訂履歴.....	119
製品取り扱い上のお願い.....	122

## 図目次

図 2.1 トリガーセクター接続例 .....	14
-------------------------	----

## 表目次

表 2.1 レジスターベースアドレスタイプ.....	13
表 2.2 製品別トリガーセクター対応一覧 (1/12).....	15
表 2.3 製品別トリガーセクター対応一覧 (2/12).....	16
表 2.4 製品別トリガーセクター対応一覧 (3/12).....	17
表 2.5 製品別トリガーセクター対応一覧 (4/12).....	18
表 2.6 製品別トリガーセクター対応一覧 (5/12).....	19
表 2.7 製品別トリガーセクター対応一覧 (6/12).....	19
表 2.8 製品別トリガーセクター対応一覧 (7/12).....	20
表 2.9 製品別トリガーセクター対応一覧 (8/12).....	20
表 2.10 製品別トリガーセクター対応一覧 (9/12).....	21
表 2.11 製品別トリガーセクター対応一覧 (10/12).....	21
表 2.12 製品別トリガーセクター対応一覧 (11/12).....	22
表 2.13 製品別トリガーセクター対応一覧 (12/12).....	22
表 2.14 SIWDT 搭載チャンネル.....	62
表 2.15 SIWDT カウントクロック .....	62
表 2.16 SIWDT 制御出力 .....	62
表 2.17 OFD 搭載一覧.....	63
表 2.18 OFD 基準クロック .....	63
表 2.19 OFD 検知対象クロック.....	63
表 2.20 デバッグインターフェース搭載一覧.....	64
表 2.21 書き込み, 消去操作クロック .....	65
表 2.22 製品別コードフラッシュ .....	65
表 2.23 製品別データフラッシュ .....	66
表 2.24 シングルブート使用リソース.....	67
表 2.25 RAM 転送可能最終アドレス.....	67
表 2.26 DMAC 搭載ユニット.....	68
表 2.27 DMA unitA 要求一覧(1/4).....	68
表 2.28 DMA unit A 要求一覧(2/4).....	69
表 2.29 DMA unit A 要求一覧(3/4).....	70
表 2.30 DMA unit A 要求一覧(4/4).....	71
表 2.31 DMA unit B 要求一覧(1/4).....	72
表 2.32 DMA unit B 要求一覧(2/4).....	73
表 2.33 DMA unit B 要求一覧(3/4).....	74
表 2.34 DMA unit B 要求一覧(4/4).....	75
表 2.35 A-PMD 搭載チャンネル.....	76
表 2.36 A-PMD 機能端子 .....	76
表 2.37 A-PMD DMA 要求 .....	76
表 2.38 A-PMD 内部接続仕様:入力 .....	77
表 2.39 A-PMD 内部接続仕様:出力 .....	77
表 2.40 ADC モード設定レジスター3 の設定値.....	77
表 2.41 A-ENC 搭載チャンネル .....	78
表 2.42 A-ENC 機能端子 .....	78
表 2.43 A-ENC 内部信号接続仕様:入力.....	78
表 2.44 A-ENC 内部接続仕様:出力.....	79
表 2.45 ADC 搭載ユニット.....	80

表 2.46	ADC 機能端子とポート.....	80
表 2.47	ADC 用変換クロック.....	81
表 2.48	ADC モード設定レジスター2 の設定値.....	81
表 2.49	ADC DMA 要求.....	81
表 2.50	ADC 起動トリガー接続仕様.....	82
表 2.51	ADC 内部接続仕様:出力.....	83
表 2.52	DAC 搭載チャンネル.....	84
表 2.53	DAC 機能端子とポート.....	84
表 2.54	コンパレータ 搭載チャンネル.....	85
表 2.55	コンパレータの入力と出力.....	85
表 2.56	LVD 搭載一覧.....	85
表 2.57	LVD 検知対象電源.....	86
表 2.58	T32A 搭載チャンネル.....	86
表 2.59	T32A 機能端子とポート(1/3).....	87
表 2.60	T32A 機能信号とポート(2/3).....	88
表 2.61	T32A 機能信号とポート(3/3).....	89
表 2.62	T32A プリスケラー用クロック.....	89
表 2.63	T32A キャプチャトリガー信号接続仕様(1/4).....	90
表 2.64	T32A キャプチャトリガー信号接続仕様(2/4).....	91
表 2.65	T32A キャプチャトリガー信号接続仕様(3/4).....	92
表 2.66	T32A キャプチャトリガー信号接続仕様(4/4).....	93
表 2.67	T32A 同期制御接続仕様(1/2).....	94
表 2.68	T32A 同期制御接続仕様(2/2).....	95
表 2.69	T32A 製品別パルスカウント対応一覧.....	95
表 2.70	T32A DMA 要求(1/3).....	96
表 2.71	T32A DMA 要求(2/3).....	97
表 2.72	T32A DMA 要求(3/3).....	98
表 2.73	RTC 搭載一覧.....	99
表 2.74	RTC 機能端子とポート.....	99
表 2.75	RTC 時計カウントクロック.....	99
表 2.76	UART 搭載チャンネル.....	100
表 2.77	UART 端子信号とポート.....	101
表 2.78	UART ハーフクロックモード対応一覧.....	102
表 2.79	UART プリスケラー用クロック.....	102
表 2.80	UART DMA 要求.....	102
表 2.81	UART トリガー転送信号接続仕様.....	103
表 2.82	UART 内部接続仕様:出力.....	104
表 2.83	I <sup>2</sup> C インターフェース 搭載チャンネル.....	105
表 2.84	I <sup>2</sup> C インターフェース 機能端子とポート.....	105
表 2.85	I <sup>2</sup> C インターフェース プリスケラー用クロック.....	105
表 2.86	I <sup>2</sup> C インターフェース アドレス一致ウエイクアップ機能(I2CS)対応.....	106
表 2.87	I <sup>2</sup> C インターフェース フィルター.....	106
表 2.88	I <sup>2</sup> C インターフェース DMA 要求.....	107
表 2.89	TSPI 搭載チャンネル.....	108
表 2.90	TSPI 機能端子とポート.....	109
表 2.91	TSPI モード対応一覧.....	110
表 2.92	TSPI 用クロック.....	110
表 2.93	TSPI DMA 要求.....	111
表 2.94	TSPI トリガー転送仕様.....	112
表 2.95	TSPI 内部接続仕様(出力).....	113
表 2.96	RMC 搭載チャンネル.....	114
表 2.97	RMC 機能端子とポート.....	114

---

表 2.98	RMC サンプルングクロック	114
表 2.99	DNF 搭載ユニット	115
表 2.100	外部割り込みと DNF 対応	116
表 2.101	DNF サンプルングソースクロック	117
表 2.102	CRC 搭載チャンネル	117
表 2.103	RAMP 搭載チャンネル	117
表 2.104	RAMP の RAM エリアとアドレス	118
表 2.105	TRM 搭載一覧	118
表 2.106	TRM トリミング対象発振器	118
表 3.1	改訂履歴	119



## 序章

## 関連するドキュメント

文書名	IP 記号
入出力ポート (TMPM3H グループ(2))	PORT-MH3(2)
クロック制御と動作モード (TMPM3H グループ(2))	CG-M3H(2)-D
例外 (TMPM3H グループ(2))	EXCEPT-M3H(2)
電源とリセット動作 (TMPM3H グループ(2))	RESET-M3H(2)
DMA コントローラー	DMAC-B
32 ビットタイマーイベントカウンタ	T32A-B
非同期シリアル通信回路	UART-C
シリアルペリフェラルインターフェース	TSPI-B
I <sup>2</sup> C インターフェース	I2C-B
12 ビットアナログデジタルコンバーター	ADC-A
8 ビットデジタルアナログコンバーター	DAC-A
アドバンスプログラムブルモーター制御回路	A-PMD-B
アドバンスエンコーダー入力回路	A-ENC-A
クロック選択式ウォッチドッグタイマー	SIWDT-A
リモコン受信回路	RMC-A
リアルタイムクロック	RTC-A
周波数検知回路	OFD-A
デバッグインターフェース	DEBUG-A
デジタルノイズフィルター回路	DNF-A
トリミング回路	TRM-A
電圧検知回路	LVD-A
フラッシュメモリー	FLASH512_32-A
CRC 計算回路	CRC-A
RAM パリティ	RAMP-A
コンパレーター	COMP-B

## 表記規約

- 数値表記は以下の規則に従います。
  - 16 進数表記: 0xABC
  - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
  - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「\_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。  
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [ ] で囲まれたものはレジスターを定義しています。  
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。  
例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャネルは「x」で一括表記しています。  
ユニットの場合、「x」は A,B,C...を表します。  
例: [ADACR0], [ADBCR0], [ADCCR0]→[ADxCR0]  
チャネルの場合、「x」は 0,1,2,...を表します。  
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA]→[T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。  
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。  
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
  - バイト: 8 ビット
  - ハーフワード: 16 ビット
  - ワード: 32 ビット
  - ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
  - R: リードオンリー
  - W: ライトオンリー
  - R/W: リード / ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。  
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。  
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。  
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。

\*\*\*\*\*  
**Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.**  
\*\*\*\*\*



FLASH メモリについては、米国 SST 社 (Silicon Storage Technology, Inc.) からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

## 用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC	Advanced Encoder input Circuit
A-PMD	Advanced Programmable Motor Control Circuit
COMP	Comparator
CRC	Cyclic Redundancy Check
DAC	Digital to Analog Converter
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
EHOSC	External High speed Oscillator
ELOSC	External Low speed Oscillator
IHOSC	Internal High speed Oscillator
INT	Interrupt
I <sup>2</sup> C	Inter-Integrated Circuit
I <sup>2</sup> CS	I <sup>2</sup> C wake-up circuit from Stand-by mode
LVD	Voltage Detection Circuit
OFD	Oscillation Frequency Detector
RAMP	RAM Parity
RMC	Remote control signal preprocessor
RTC	Real Time Clock
SIWDT	Clock Selective Watchdog Timer
TRGSEL	Trigger Selection circuit
TRM	Trimming circuit
TSPI	Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Universal Asynchronous Receiver Transmitter

## 1. 概要

この章では、周辺機能に関し、チャンネルまたはユニット数、端子情報、その他の製品固有機能の情報について纏めています。各周辺機能のリファレンスマニュアルと合わせてご使用ください。

## 2. 各周辺機能の情報

### 2.1. レジスターベースアドレス

下記に各周辺機能で使用するレジスターのベースアドレスタイプを示します。

表 2.1 レジスターベースアドレスタイプ

製品	レジスターベースアドレスタイプ
TMPM3H グループ(2)	TYPE1

上記ベースアドレスタイプを参照して各周辺機能の開発を行ってください。

リファレンスマニュアルのレジスターベースアドレスに TYPE1/TYPE2/TYPE3 の記載がない場合は TYPE1 としてご使用ください。

## 2.2. トリガーセレクトター(TRGSEL)

トリガーセレクトターは、周辺機能、ポートなどから入力された複数のトリガーから、1つのトリガーを選択し周辺機能にトリガー信号を出力する回路です。

8本のトリガーから $[TSELxCRn]$ <INSELM>で選択されたトリガーを、接続先の周辺機能に出力します。

図 2.1 トリガーセレクトター接続例は、ポート端子(PB1,PA3,PN3)及び32ビットタイマー/イベントカウンタ(ch6)から出力されるタイマーレジスタ一致トリガー(A1,B1,C1)が、トリガーセレクトター経由で TSPI(ch0)に接続されている例です。 $[TSEL0CR9]$ <INSEL39[2:0]>で入力トリガー選択、エッジ検出の許可/禁止<UPDN39>とエッジ検出条件の設定<OUSEL39>およびトリガー出力制御<EN39>を行います。

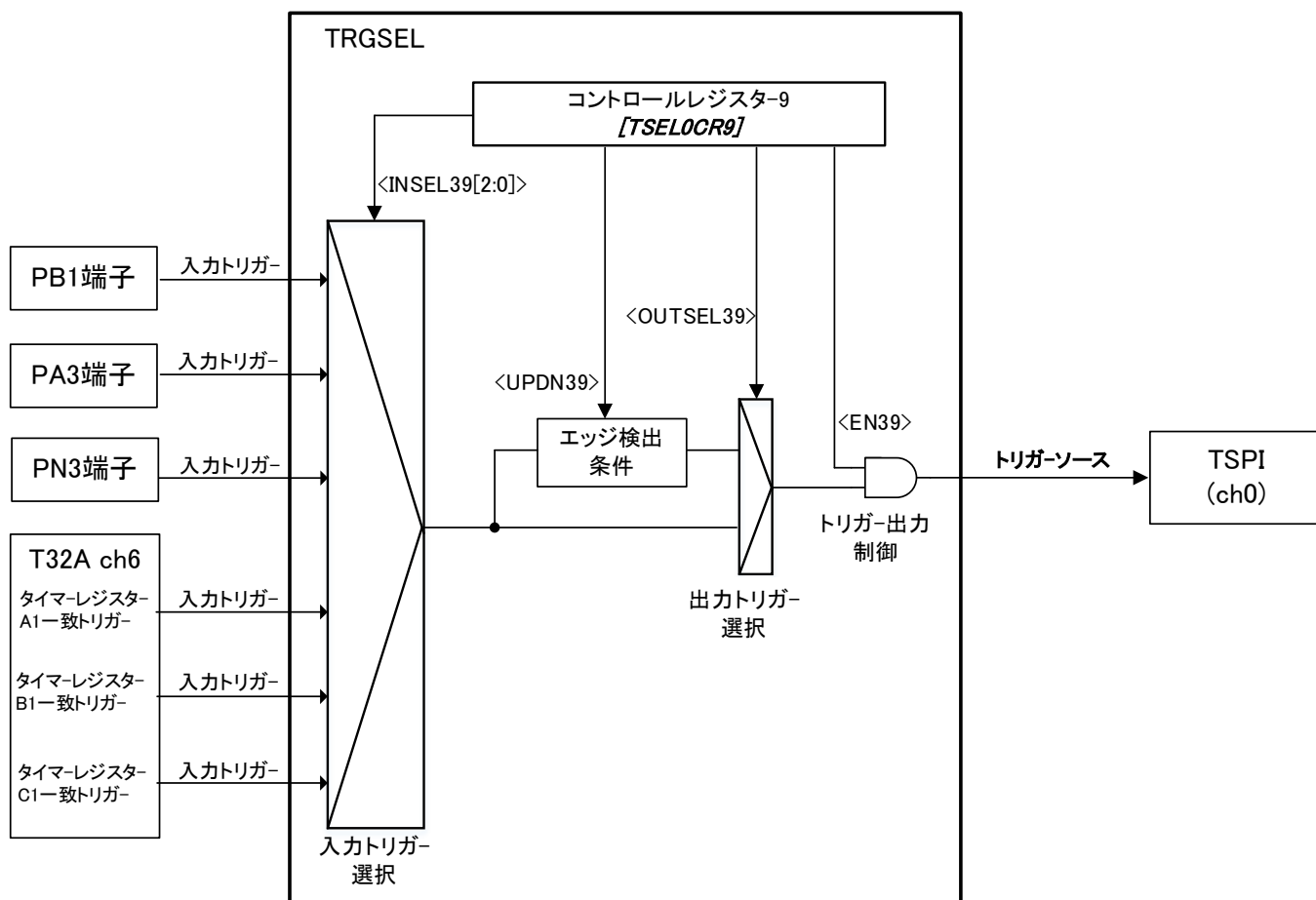


図 2.1 トリガーセレクトター接続例

## 2.2.1. トリガーセクターと製品対応

TMPM3H グループ(2)のトリガーセクターは、19本の制御レジスター(*[TSEL0CR0~15]*, *[TSEL1CR0~2]*)で構成されており74本のトリガーを制御できます。

下記の表にコントロールレジスターと接続先および対応製品を示します。

表 2.2 製品別トリガーセクター対応一覧 (1/12)

レジスター	Bit Symbol	トリガーソース	入力トリガー信号	製品対応 (○:対応、-:非対応)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
<i>[TSEL0CR0]</i>	INSEL0[2:0]	DMAC A ch15	<ul style="list-style-type: none"> <li>・T32A ch0 DMA 要求レジスターA1 一致</li> <li>・T32A ch0 DMA 要求レジスターC1 一致</li> <li>・T32A ch1 DMA 要求レジスターA1 一致</li> <li>・T32A ch1 DMA 要求レジスターC1 一致</li> </ul>	○	○	○	○	○
	INSEL1[2:0]	DMAC A ch16	<ul style="list-style-type: none"> <li>・T32A ch2 DMA 要求レジスターA1 一致</li> <li>・T32A ch2 DMA 要求レジスターC1 一致</li> <li>・T32A ch3 DMA 要求レジスターA1 一致</li> <li>・T32A ch3 DMA 要求レジスターC1 一致</li> </ul>	○	○	○	○	○
	INSEL2[2:0]	DMAC A ch17	<ul style="list-style-type: none"> <li>・T32A ch0 DMA 要求レジスターB1 一致</li> <li>・T32A ch1 DMA 要求レジスターB1 一致</li> </ul>	○	○	○	○	○
	INSEL3[2:0]	DMAC A ch18	<ul style="list-style-type: none"> <li>・T32A ch2 DMA 要求レジスターB1 一致</li> <li>・T32A ch3 DMA 要求レジスターB1 一致</li> </ul>	○	○	○	○	○
<i>[TSEL0CR1]</i>	INSEL4[2:0]	DMAC A ch19	<ul style="list-style-type: none"> <li>・T32A DMA 要求 ch0 キャプチャーA0</li> <li>・T32A DMA 要求 ch0 キャプチャーA1</li> <li>・T32A DMA 要求 ch1 キャプチャーA0</li> <li>・T32A DMA 要求 ch1 キャプチャーA1</li> <li>・T32A DMA 要求 ch0 キャプチャーC0</li> <li>・T32A DMA 要求 ch0 キャプチャーC1</li> <li>・T32A DMA 要求 ch1 キャプチャーC0</li> <li>・T32A DMA 要求 ch1 キャプチャーC1</li> </ul>	○	○	○	○	○
	INSEL5[2:0]	DMAC A ch20	<ul style="list-style-type: none"> <li>・T32A DMA 要求 ch2 キャプチャーA0</li> <li>・T32A DMA 要求 ch2 キャプチャーA1</li> <li>・T32A DMA 要求 ch3 キャプチャーA0</li> <li>・T32A DMA 要求 ch3 キャプチャーA1</li> <li>・T32A DMA 要求 ch2 キャプチャーC0</li> <li>・T32A DMA 要求 ch2 キャプチャーC1</li> <li>・T32A DMA 要求 ch3 キャプチャーC0</li> <li>・T32A DMA 要求 ch3 キャプチャーC1</li> </ul>	○	○	○	○	○
	INSEL6[2:0]	DMAC A ch21	<ul style="list-style-type: none"> <li>・T32A DMA 要求 ch0 キャプチャーB0</li> <li>・T32A DMA 要求 ch0 キャプチャーB1</li> <li>・T32A DMA 要求 ch1 キャプチャーB0</li> <li>・T32A DMA 要求 ch1 キャプチャーB1</li> </ul>	○	○	○	○	○
	INSEL7[2:0]	DMAC A ch22	<ul style="list-style-type: none"> <li>・T32A DMA 要求 ch2 キャプチャーB0</li> <li>・T32A DMA 要求 ch2 キャプチャーB1</li> <li>・T32A DMA 要求 ch3 キャプチャーB0</li> <li>・T32A DMA 要求 ch3 キャプチャーB1</li> </ul>	○	○	○	○	○

表 2.3 製品別トリガーセクター対応一覧 (2/12)

レジスター	Bit Symbol	トリガーソース	入カトリガー信号	製品対応 (○:対応、-:非対応)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
[TSEL0CR2]	INSEL8[2:0]	DMAC A ch23	<ul style="list-style-type: none"> <li>DMAC A ch0 転送終了割り込み</li> <li>DMAC A ch1 転送終了割り込み</li> <li>DMAC A ch6 転送終了割り込み</li> <li>DMAC A ch7 転送終了割り込み</li> </ul>	○	○	○	○	○
	INSEL9[2:0]	DMAC A ch24	<ul style="list-style-type: none"> <li>DMAC A ch2 転送終了割り込み</li> <li>DMAC A ch3 転送終了割り込み</li> <li>DMAC A ch8 転送終了割り込み</li> <li>DMAC A ch9 転送終了割り込み</li> </ul>	○	○	○	○	○
	INSEL10[2:0]	DMAC A ch25	<ul style="list-style-type: none"> <li>DMAC A ch4 転送終了割り込み</li> <li>DMAC A ch5 転送終了割り込み</li> <li>DMAC A ch10 転送終了割り込み</li> <li>DMAC A ch11 転送終了割り込み</li> </ul>	○	○	○	○	○
	INSEL11[2:0]	DMAC A ch26	<ul style="list-style-type: none"> <li>DMAC A ch12 転送終了割り込み</li> <li>DMAC A ch13 転送終了割り込み</li> <li>DMAC A ch14 転送終了割り込み</li> </ul>	○	○	○	○	○
[TSEL0CR3]	INSEL12[2:0]	DMAC A ch27	<ul style="list-style-type: none"> <li>DMAC A ch15 転送終了割り込み</li> <li>DMAC A ch19 転送終了割り込み</li> </ul>	○	○	○	○	○
	INSEL13[2:0]	DMAC A ch28	<ul style="list-style-type: none"> <li>DMAC A ch16 転送終了割り込み</li> <li>DMAC A ch20 転送終了割り込み</li> </ul>	○	○	○	○	○
	INSEL14[2:0]	DMAC A ch29	<ul style="list-style-type: none"> <li>DMAC A ch17 転送終了割り込み</li> <li>DMAC A ch21 転送終了割り込み</li> </ul>	○	○	○	○	○
	INSEL15[2:0]	DMAC A ch30	<ul style="list-style-type: none"> <li>DMAC A ch18 転送終了割り込み</li> <li>DMAC A ch22 転送終了割り込み</li> </ul>	○	○	○	○	○
[TSEL0CR4]	INSEL16[2:0]	DMAC A ch31	<ul style="list-style-type: none"> <li>PB1 端子(TRGIN0)</li> <li>PA3 端子(TRGIN1)</li> <li>PN3 端子(TRGIN2)</li> </ul>	○	○	○	○	○
	INSEL17[2:0]	DMAC B ch0	TSPI ch2 受信完了トリガー	○	○	○	○	-
			I <sup>2</sup> C ch3 受信完了トリガー	○	○	-	-	-
	INSEL18[2:0]	DMAC B ch1	TSPI ch2 送信完了トリガー	○	○	○	○	-
I <sup>2</sup> C ch3 送信完了トリガー			○	○	-	-	-	
INSEL19[2:0]	DMAC B ch14	<ul style="list-style-type: none"> <li>ADC ユニット A 汎用トリガーDMA 要求</li> <li>ADC ユニット A 単独変換 DMA 要求</li> <li>ADC ユニット A 連続変換 DMA 要求</li> </ul>	○	○	○	○	○	
[TSEL0CR5]	INSEL20[2:0]	DMAC B ch15	<ul style="list-style-type: none"> <li>T32A ch4 DMA 要求レジスターA1 一致</li> <li>T32A ch4 DMA 要求レジスターC1 一致</li> <li>T32A ch5 DMA 要求レジスターA1 一致</li> <li>T32A ch5 DMA 要求レジスターC1 一致</li> </ul>	○	○	○	○	○
	INSEL21[2:0]	DMAC B ch16	<ul style="list-style-type: none"> <li>T32A ch6 DMA 要求レジスターA1 一致</li> <li>T32A ch6 DMA 要求レジスターC1 一致</li> <li>T32A ch7 DMA 要求レジスターA1 一致</li> <li>T32A ch7 DMA 要求レジスターC1 一致</li> </ul>	○	○	○	○	○
	INSEL22[2:0]	DMAC B ch17	<ul style="list-style-type: none"> <li>T32A ch4 DMA 要求レジスターB1 一致</li> <li>T32A ch5 DMA 要求レジスターB1 一致</li> </ul>	○	○	○	○	○
	INSEL23[2:0]	DMAC B ch18	<ul style="list-style-type: none"> <li>T32A ch6 DMA 要求レジスターB1 一致</li> <li>T32A ch7 DMA 要求レジスターB1 一致</li> </ul>	○	○	○	○	○



表 2.4 製品別トリガーセクター対応一覧 (3/12)

レジスター	Bit Symbol	トリガーソース	入力トリガー信号	製品対応 (○:対応、-:非対応)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
[TSEL0CR6]	INSEL24[2:0]	DMAC B ch19	<ul style="list-style-type: none"> <li>・T32A DMA 要求 ch4 キャプチャーA0</li> <li>・T32A DMA 要求 ch4 キャプチャーA1</li> <li>・T32A DMA 要求 ch5 キャプチャーA0</li> <li>・T32A DMA 要求 ch5 キャプチャーA1</li> <li>・T32A DMA 要求 ch4 キャプチャーC0</li> <li>・T32A DMA 要求 ch4 キャプチャーC1</li> <li>・T32A DMA 要求 ch5 キャプチャーC0</li> <li>・T32A DMA 要求 ch5 キャプチャーC1</li> </ul>	○	○	○	○	○
	INSEL25[2:0]	DMAC B ch20	<ul style="list-style-type: none"> <li>・T32A DMA 要求 ch6 キャプチャーA0</li> <li>・T32A DMA 要求 ch6 キャプチャーA1</li> <li>・T32A DMA 要求 ch7 キャプチャーA0</li> <li>・T32A DMA 要求 ch7 キャプチャーA1</li> <li>・T32A DMA 要求 ch6 キャプチャーC0</li> <li>・T32A DMA 要求 ch6 キャプチャーC1</li> <li>・T32A DMA 要求 ch7 キャプチャーC0</li> <li>・T32A DMA 要求 ch7 キャプチャーC1</li> </ul>	○	○	○	○	○
	INSEL26[2:0]	DMAC B ch21	<ul style="list-style-type: none"> <li>・T32A DMA 要求 ch4 キャプチャーB0</li> <li>・T32A DMA 要求 ch4 キャプチャーB1</li> <li>・T32A DMA 要求 ch5 キャプチャーB0</li> <li>・T32A DMA 要求 ch5 キャプチャーB1</li> </ul>	○	○	○	○	○
	INSEL27[2:0]	DMAC B ch22	<ul style="list-style-type: none"> <li>・T32A DMA 要求 ch6 キャプチャーB0</li> <li>・T32A DMA 要求 ch6 キャプチャーB1</li> <li>・T32A DMA 要求 ch7 キャプチャーB0</li> <li>・T32A DMA 要求 ch7 キャプチャーB1</li> </ul>	○	○	○	○	○
[TSEL0CR7]	INSEL28[2:0]	DMAC B ch23	<ul style="list-style-type: none"> <li>・DMAC B ch0 転送終了割り込み</li> <li>・DMAC B ch1 転送終了割り込み</li> <li>・DMAC B ch6 転送終了割り込み</li> <li>・DMAC B ch7 転送終了割り込み</li> </ul>	○	○	○	○	○
	INSEL29[2:0]	DMAC B ch24	<ul style="list-style-type: none"> <li>・DMAC B ch2 転送終了割り込み</li> <li>・DMAC B ch3 転送終了割り込み</li> <li>・DMAC B ch8 転送終了割り込み</li> <li>・DMAC B ch9 転送終了割り込み</li> </ul>	○	○	○	○	○
	INSEL30[2:0]	DMAC B ch25	<ul style="list-style-type: none"> <li>・DMAC B ch4 転送終了割り込み</li> <li>・DMAC B ch5 転送終了割り込み</li> <li>・DMAC B ch10 転送終了割り込み</li> <li>・DMAC B ch11 転送終了割り込み</li> </ul>	○	○	○	○	○
	INSEL31[2:0]	DMAC B ch26	<ul style="list-style-type: none"> <li>・DMAC B ch12 転送終了割り込み</li> <li>・DMAC B ch13 転送終了割り込み</li> <li>・DMAC B ch14 転送終了割り込み</li> </ul>	○	○	○	○	○

表 2.5 製品別トリガーセクター対応一覧 (4/12)

レジスター	Bit Symbol	トリガー ソース	入力トリガー信号	製品対応 (○:対応、-:非対応)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
[TSEL0CR8]	INSEL32[2:0]	DMAC B ch27	<ul style="list-style-type: none"> <li>DMAC B ch15 転送終了割り込み</li> <li>DMAC B ch19 転送終了割り込み</li> </ul>	○	○	○	○	○
	INSEL33[2:0]	DMAC B ch28	<ul style="list-style-type: none"> <li>DMAC B ch16 転送終了割り込み</li> <li>DMAC B ch20 転送終了割り込み</li> </ul>	○	○	○	○	○
	INSEL34[2:0]	DMAC B ch29	<ul style="list-style-type: none"> <li>DMAC B ch17 転送終了割り込み</li> <li>DMAC B ch21 転送終了割り込み</li> </ul>	○	○	○	○	○
	INSEL35[2:0]	DMAC B ch30	<ul style="list-style-type: none"> <li>DMAC B ch18 転送終了割り込み</li> <li>DMAC B ch22 転送終了割り込み</li> </ul>	○	○	○	○	○
[TSEL0CR9]	INSEL36[2:0]	DMAC B ch31	<ul style="list-style-type: none"> <li>PB1 端子(TRGIN0)</li> <li>PA3 端子(TRGIN1)</li> <li>PN3 端子(TRGIN2)</li> </ul>	○	○	○	○	○
	INSEL37[2:0]	ADC (PMDTRG6)	<ul style="list-style-type: none"> <li>PB1 端子(TRGIN0)</li> <li>PA3 端子(TRGIN1)</li> <li>PN3 端子(TRGIN2)</li> <li>T32A ch7 タイマーレジスターA1 一致トリガー</li> <li>T32A ch7 タイマーレジスターB1 一致トリガー</li> <li>T32A ch7 タイマーレジスターC1 一致トリガー</li> </ul>	○	○	○	○	○
	INSEL38[2:0]	ADC (ADATRGIN) (汎用トリガー)	<ul style="list-style-type: none"> <li>PB1 端子(TRGIN0)</li> <li>PA3 端子(TRGIN1)</li> <li>PN3 端子(TRGIN2)</li> <li>T32A ch7 タイマーレジスターA1 一致トリガー</li> <li>T32A ch7 タイマーレジスターB1 一致トリガー</li> <li>T32A ch7 タイマーレジスターC1 一致トリガー</li> </ul>	○	○	○	○	○
	INSEL39[2:0]	TSPI ch0	<ul style="list-style-type: none"> <li>PB1 端子(TRGIN0)</li> <li>PA3 端子(TRGIN1)</li> <li>PN3 端子(TRGIN2)</li> <li>T32A ch6 タイマーレジスターA1 一致トリガー</li> <li>T32A ch6 タイマーレジスターB1 一致トリガー</li> <li>T32A ch6 タイマーレジスターC1 一致トリガー</li> </ul>	○	○	○	○	○

表 2.6 製品別トリガーセクター対応一覧 (5/12)

レジスター	Bit Symbol	トリガーソース	入カトリガー信号	製品対応 (○:対応、-:非対応)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
[TSEL0CR10]	INSEL40[2:0]	TSPI ch1	<ul style="list-style-type: none"> <li>・PB1 端子(TRGIN0)</li> <li>・PA3 端子(TRGIN1)</li> <li>・PN3 端子(TRGIN2)</li> <li>・T32A ch6 タイマーレジスターA1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターB1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターC1 一致トリガー</li> </ul>	○	○	○	○	-
	INSEL41[2:0]	TSPI ch2	<ul style="list-style-type: none"> <li>・PB1 端子(TRGIN0)</li> <li>・PA3 端子(TRGIN1)</li> <li>・PN3 端子(TRGIN2)</li> <li>・T32A ch6 タイマーレジスターA1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターB1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターC1 一致トリガー</li> </ul>	○	○	○	○	-
	INSEL42[2:0]	TSPI ch3	<ul style="list-style-type: none"> <li>・PB1 端子(TRGIN0)</li> <li>・PA3 端子(TRGIN1)</li> <li>・PN3 端子(TRGIN2)</li> <li>・T32A ch6 タイマーレジスターA1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターB1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターC1 一致トリガー</li> </ul>	○	○	○	○	-
	INSEL43[2:0]	TSPI ch4	<ul style="list-style-type: none"> <li>・PB1 端子(TRGIN0)</li> <li>・PA3 端子(TRGIN1)</li> <li>・PN3 端子(TRGIN2)</li> <li>・T32A ch6 タイマーレジスターA1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターB1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターC1 一致トリガー</li> </ul>	○	○	○	○	-

表 2.7 製品別トリガーセクター対応一覧 (6/12)

レジスター	Bit Symbol	トリガーソース	入カトリガー信号	製品対応 (○:対応、-:非対応)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
[TSEL0CR11]	INSEL44[2:0]	UART ch0	<ul style="list-style-type: none"> <li>・PB1 端子(TRGIN0)</li> <li>・PA3 端子(TRGIN1)</li> <li>・PN3 端子(TRGIN2)</li> <li>・T32A ch6 タイマーレジスターA1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターB1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターC1 一致トリガー</li> </ul>	○	○	○	○	○
	INSEL45[2:0]	UART ch1	<ul style="list-style-type: none"> <li>・PB1 端子(TRGIN0)</li> <li>・PA3 端子(TRGIN1)</li> <li>・PN3 端子(TRGIN2)</li> <li>・T32A ch6 タイマーレジスターA1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターB1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターC1 一致トリガー</li> </ul>	○	○	○	○	○
	INSEL46[2:0]	UART ch2	<ul style="list-style-type: none"> <li>・PB1 端子(TRGIN0)</li> <li>・PA3 端子(TRGIN1)</li> <li>・PN3 端子(TRGIN2)</li> <li>・T32A ch6 タイマーレジスターA1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターB1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターC1 一致トリガー</li> </ul>	○	○	○	○	○
	INSEL47[2:0]	UART ch3	<ul style="list-style-type: none"> <li>・PB1 端子(TRGIN0)</li> <li>・PA3 端子(TRGIN1)</li> <li>・PN3 端子(TRGIN2)</li> <li>・T32A ch6 タイマーレジスターA1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターB1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターC1 一致トリガー</li> </ul>	○	○	○	○	○

表 2.8 製品別トリガーセクター対応一覧 (7/12)

レジスター	Bit Symbol	トリガーソース	入力トリガー信号	製品対応 (○:対応、-:非対応)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
[TSEL0CR12]	INSEL48[2:0]	UART ch4	<ul style="list-style-type: none"> <li>・PB1 端子(TRGIN0)</li> <li>・PA3 端子(TRGIN1)</li> <li>・PN3 端子(TRGIN2)</li> <li>・T32A ch6 タイマーレジスターA1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターB1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターC1 一致トリガー</li> </ul>	○	○	○	○	○
	INSEL49[2:0]	UART ch5	<ul style="list-style-type: none"> <li>・PB1 端子(TRGIN0)</li> <li>・PA3 端子(TRGIN1)</li> <li>・PN3 端子(TRGIN2)</li> <li>・T32A ch6 タイマーレジスターA1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターB1 一致トリガー</li> <li>・T32A ch6 タイマーレジスターC1 一致トリガー</li> </ul>	○	○	○	○	○
	INSEL50[2:0]	T32A ch0 タイマーA	<ul style="list-style-type: none"> <li>・PB1 端子(TRGIN0)</li> <li>・PA3 端子(TRGIN1)</li> <li>・PN3 端子(TRGIN2)</li> <li>・UART ch0 送信完了トリガー</li> <li>・UART ch0 受信完了トリガー</li> </ul>	○	○	○	○	○
	INSEL51[2:0]	T32A ch0 タイマーB	<ul style="list-style-type: none"> <li>・T32A ch0 タイマーレジスターA0 一致トリガー</li> <li>・T32A ch0 タイマーレジスターA1 一致トリガー</li> <li>・T32A ch0 タイマーA オーバーフロートリガー</li> <li>・T32A ch0 タイマーA アンダーフロートリガー</li> </ul>	○	○	○	○	○

表 2.9 製品別トリガーセクター対応一覧 (8/12)

レジスター	Bit Symbol	トリガーソース	入力トリガー信号	製品対応 (○:対応、-:非対応)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
[TSEL0CR13]	INSEL52[2:0]	T32A ch0 タイマーC	<ul style="list-style-type: none"> <li>・T32A ch7 タイマーレジスターC0 一致トリガー</li> <li>・T32A ch7 タイマーレジスターC1 一致トリガー</li> <li>・T32A ch7 タイマーC オーバーフロートリガー</li> <li>・T32A ch7 タイマーC アンダーフロートリガー</li> </ul>	○	○	○	○	○
	INSEL53[2:0]	T32A ch1 タイマーA	<ul style="list-style-type: none"> <li>・PB1 端子(TRGIN0)</li> <li>・PA3 端子(TRGIN1)</li> <li>・PN3 端子(TRGIN2)</li> <li>・UART ch1 送信完了トリガー</li> <li>・UART ch1 受信完了トリガー</li> <li>・I<sup>2</sup>C ch0 送受信割り込み</li> </ul>	○	○	○	○	○
	INSEL54[2:0]	T32A ch1 タイマーB	<ul style="list-style-type: none"> <li>・T32A ch1 タイマーレジスターA0 一致トリガー</li> <li>・T32A ch1 タイマーレジスターA1 一致トリガー</li> <li>・T32A ch1 タイマーA オーバーフロートリガー</li> <li>・T32A ch1 タイマーA アンダーフロートリガー</li> </ul>	○	○	○	○	○
	INSEL55[2:0]	T32A ch1 タイマーC	<ul style="list-style-type: none"> <li>・T32A ch0 タイマーレジスターC0 一致トリガー</li> <li>・T32A ch0 タイマーレジスターC1 一致トリガー</li> <li>・T32A ch0 タイマーC オーバーフロートリガー</li> <li>・T32A ch0 タイマーC アンダーフロートリガー</li> </ul>	○	○	○	○	○

表 2.10 製品別トリガーセクター対応一覧 (9/12)

レジスター	Bit Symbol	トリガーソース	入カトリガー信号	製品対応 (○:対応、-:非対応)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
[TSEL0CR14]	INSEL56[2:0]	T32A ch2 タイマーA	<ul style="list-style-type: none"> <li>・PB1 端子(TRGIN0)</li> <li>・PA3 端子(TRGIN1)</li> <li>・PN3 端子(TRGIN2)</li> <li>・UART ch2 送信完了トリガー</li> <li>・UART ch2 受信完了トリガー</li> <li>・TSPI ch0 送信完了信号</li> <li>・TSPI ch0 受信完了信号</li> </ul>	○	○	○	○	○
			・I <sup>2</sup> C ch1 送受信割り込み	○	○	○	○	-
	INSEL57[2:0]	T32A ch2 タイマーB	<ul style="list-style-type: none"> <li>・T32A ch2 タイマーレジスターA0 一致トリガー</li> <li>・T32A ch2 タイマーレジスターA1 一致トリガー</li> <li>・T32A ch2 タイマーA オーバーフロートリガー</li> <li>・T32A ch2 タイマーA アンダーフロートリガー</li> </ul>	○	○	○	○	○
			<ul style="list-style-type: none"> <li>・T32A ch1 タイマーレジスターC0 一致トリガー</li> <li>・T32A ch1 タイマーレジスターC1 一致トリガー</li> <li>・T32A ch1 タイマーC オーバーフロートリガー</li> <li>・T32A ch1 タイマーC アンダーフロートリガー</li> </ul>	○	○	○	○	○
INSEL59[2:0]	T32A ch3 タイマーA	<ul style="list-style-type: none"> <li>・PB1 端子(TRGIN0)</li> <li>・PA3 端子(TRGIN1)</li> <li>・PN3 端子(TRGIN2)</li> <li>・UART ch3 送信完了トリガー</li> <li>・UART ch3 受信完了トリガー</li> <li>・I<sup>2</sup>C ch2 送受信割り込み</li> </ul>	○	○	○	○	○	
		<ul style="list-style-type: none"> <li>・TSPI ch1 送信完了信号</li> <li>・TSPI ch1 受信完了信号</li> </ul>	○	○	○	○	-	

表 2.11 製品別トリガーセクター対応一覧 (10/12)

レジスター	Bit Symbol	トリガーソース	入カトリガー信号	製品対応 (○:対応、-:非対応)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
[TSEL0CR15]	INSEL60[2:0]	T32A ch3 タイマーB	<ul style="list-style-type: none"> <li>・T32A ch3 タイマーレジスターA0 一致トリガー</li> <li>・T32A ch3 タイマーレジスターA1 一致トリガー</li> <li>・T32A ch3 タイマーA オーバーフロートリガー</li> <li>・T32A ch3 タイマーA アンダーフロートリガー</li> </ul>	○	○	○	○	○
			<ul style="list-style-type: none"> <li>・T32A ch2 タイマーレジスターC0 一致トリガー</li> <li>・T32A ch2 タイマーレジスターC1 一致トリガー</li> <li>・T32A ch2 タイマーC オーバーフロートリガー</li> <li>・T32A ch2 タイマーC アンダーフロートリガー</li> </ul>	○	○	○	○	○
	INSEL62[2:0]	T32A ch4 タイマーA	<ul style="list-style-type: none"> <li>・PB1 端子(TRGIN0)</li> <li>・PA3 端子(TRGIN1)</li> <li>・PN3 端子(TRGIN2)</li> <li>・UART ch4 送信完了トリガー</li> <li>・UART ch4 受信完了トリガー</li> </ul>	○	○	○	○	○
			<ul style="list-style-type: none"> <li>・TSPI ch2 送信完了信号</li> <li>・TSPI ch2 受信完了信号</li> </ul>	○	○	○	○	-
・I <sup>2</sup> C ch3 送受信割り込み			○	○	-	-	-	
INSEL63[2:0]	T32A ch4 タイマーB	<ul style="list-style-type: none"> <li>・T32A ch4 タイマーレジスターA0 一致トリガー</li> <li>・T32A ch4 タイマーレジスターA1 一致トリガー</li> <li>・T32A ch4 タイマーA オーバーフロートリガー</li> <li>・T32A ch4 タイマーA アンダーフロートリガー</li> </ul>	○	○	○	○	○	

表 2.12 製品別トリガーセレクト対応一覧 (11/12)

レジスター	Bit Symbol	トリガーソース	入カトリガー信号	製品対応 (○:対応、-:非対応)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
[TSEL1CR0]	INSEL0[2:0]	T32A ch4 タイマーC	<ul style="list-style-type: none"> <li>・T32A ch3 タイマーレジスターC0 一致トリガー</li> <li>・T32A ch3 タイマーレジスターC1 一致トリガー</li> <li>・T32A ch3 タイマーC オーバーフロートリガー</li> <li>・T32A ch3 タイマーC アンダーフロートリガー</li> </ul>	○	○	○	○	○
	INSEL1[2:0]	T32A ch5 タイマーA	<ul style="list-style-type: none"> <li>・PB1 端子(TRGIN0)</li> <li>・PA3 端子(TRGIN1)</li> <li>・PN3 端子(TRGIN2)</li> <li>・UART ch5 送信完了トリガー</li> <li>・UART ch5 受信完了トリガー</li> <li>・A-ENC ch0 分周パルス信号</li> <li>・TSPI ch3 送信完了信号</li> <li>・TSPI ch3 受信完了信号</li> </ul>	○	○	○	○	○
	INSEL2[2:0]	T32A ch5 タイマーB	<ul style="list-style-type: none"> <li>・T32A ch5 タイマーレジスターA0 一致トリガー</li> <li>・T32A ch5 タイマーレジスターA1 一致トリガー</li> <li>・T32A ch5 タイマーA オーバーフロートリガー</li> <li>・T32A ch5 タイマーA アンダーフロートリガー</li> </ul>	○	○	○	○	○
	INSEL3[2:0]	T32A ch5 タイマーC	<ul style="list-style-type: none"> <li>・T32A ch4 タイマーレジスターC0 一致トリガー</li> <li>・T32A ch4 タイマーレジスターC1 一致トリガー</li> <li>・T32A ch4 タイマーC オーバーフロートリガー</li> <li>・T32A ch4 タイマーC アンダーフロートリガー</li> </ul>	○	○	○	○	○

表 2.13 製品別トリガーセレクト対応一覧 (12/12)

レジスター	Bit Symbol	トリガーソース	入カトリガー信号	製品対応 (○:対応、-:非対応)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
[TSEL1CR1]	INSEL4[2:0]	T32A ch6 タイマーA	<ul style="list-style-type: none"> <li>・PB1 端子(TRGIN0)</li> <li>・PA3 端子(TRGIN1)</li> <li>・PN3 端子(TRGIN2)</li> <li>・TSPI ch4 送信完了信号</li> <li>・TSPI ch4 受信完了信号</li> <li>・ELOSC 低速クロック</li> </ul>	○	○	○	○	○
	INSEL5[2:0]	T32A ch6 タイマーB	<ul style="list-style-type: none"> <li>・T32A ch6 タイマーレジスターA0 一致トリガー</li> <li>・T32A ch6 タイマーレジスターA1 一致トリガー</li> <li>・T32A ch6 タイマーA オーバーフロートリガー</li> <li>・T32A ch6 タイマーA アンダーフロートリガー</li> </ul>	○	○	○	○	○
	INSEL6[2:0]	T32A ch6 タイマーC	<ul style="list-style-type: none"> <li>・T32A ch5 タイマーレジスターC0 一致トリガー</li> <li>・T32A ch5 タイマーレジスターC1 一致トリガー</li> <li>・T32A ch5 タイマーC オーバーフロートリガー</li> <li>・T32A ch5 タイマーC アンダーフロートリガー</li> </ul>	○	○	○	○	○
	INSEL7[2:0]	T32A ch7 タイマーA	<ul style="list-style-type: none"> <li>・PB1 端子(TRGIN0)</li> <li>・PA3 端子(TRGIN1)</li> <li>・PN3 端子(TRGIN2)</li> <li>・ADC ユニット A 汎用トリガー割り込み</li> <li>・ADC ユニット A 単独変換割り込み</li> <li>・ADC ユニット A 連続変換割り込み</li> <li>・ADC ユニット A 監視 0 割り込み</li> <li>・ADC ユニット A 監視 1 割り込み</li> </ul>	○	○	○	○	○
[TSEL1CR2]	INSEL8[2:0]	T32A ch7 タイマーB	<ul style="list-style-type: none"> <li>・T32A ch7 タイマーレジスターA0 一致トリガー</li> <li>・T32A ch7 タイマーレジスターA1 一致トリガー</li> <li>・T32A ch7 タイマーA オーバーフロートリガー</li> <li>・T32A ch7 タイマーA アンダーフロートリガー</li> </ul>	○	○	○	○	○
	INSEL9[2:0]	T32A ch7 タイマーC	<ul style="list-style-type: none"> <li>・T32A ch6 タイマーレジスターC0 一致トリガー</li> <li>・T32A ch6 タイマーレジスターC1 一致トリガー</li> <li>・T32A ch6 タイマーC オーバーフロートリガー</li> <li>・T32A ch6 タイマーC アンダーフロートリガー</li> </ul>	○	○	○	○	○

## 2.2.2. 使用方法と設定

TRGSEL を使用する場合は、CG(クロック制御と動作モード)の *fsys* 供給停止レジスターA または B (*[CGFSYSENA]*, *[CGFSYSENB]*)、*fc* 供給停止レジスター(*[CGFCEN]*)で該当するクロックイネーブルビットを”1”(クロック供給)に設定してください。詳細はリファレンスマニュアルの“クロック制御と動作モード”を参照してください。

トリガーセレクターの設定は以下の順序で行ってください。

### (1) 入力トリガーの選択 (*[TSELxCRn]*<INSELM>)

トリガーセレクターの接続先に対し、入力トリガーの選択を行います。

入力トリガーの選択はコントロールレジスターの入力トリガー選択ビット (*[TSELxCRn]*<INSELM>)で設定してください。(n:レジスター番号、m:トリガー番号)

### (2) エッジ検出条件の選択 (*[TSELxCRn]*<UPDNm>)

選択された入力トリガー信号に対し、立ち上がりエッジまたは立ち下がりエッジの検出選択を行います。

エッジ検出条件の選択はコントロールレジスターのエッジ検出条件ビット (*[TSELxCRn]*<UPDNm>)を設定してください。

エッジ検出が必要なトリガー信号は以下となります。

- 外部トリガー入力(TRGIN0, TRGIN1, TRGIN2)
- ELOSC 低速クロック(fs)

### (3) 出力トリガーの選択 (*[TSELxCRn]*<OUTSELM>)

出力するトリガー信号に対し、エッジ検出なし出力またはエッジ検出あり出力の選択を行います。

トリガー出力の選択はコントロールレジスターのトリガー出力の選択ビット (*[TSELxCRn]*<OUTSELM>)で設定してください。

### (4) トリガー出力制御の選択 (*[TSELxCRn]*<ENm>)

選択したトリガー信号の出力許可または禁止を選択します。

出力許可または禁止の選択はコントロールレジスターのトリガー出力制御ビット(*[TSELxCRn]*<ENm>)を設定してください。*[TSELxCRn]*<ENm>を”1”に設定するとトリガー出力が許可になります。

## 2.2.3. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

周辺機能		チャンネル/ユニット	ベースアドレス
トリガーセクター	TRGSEL	ch0	0x400BB800
		ch1	0x400BB900

レジスタ名		アドレス(Base+)
コントロールレジスタ-0	<b>[TSELxCR0]</b>	0x0000
コントロールレジスタ-1	<b>[TSELxCR1]</b>	0x0004
コントロールレジスタ-2	<b>[TSELxCR2]</b>	0x0008
コントロールレジスタ-3	<b>[TSELxCR3]</b>	0x000C
コントロールレジスタ-4	<b>[TSELxCR4]</b>	0x0010
コントロールレジスタ-5	<b>[TSELxCR5]</b>	0x0014
コントロールレジスタ-6	<b>[TSELxCR6]</b>	0x0018
コントロールレジスタ-7	<b>[TSELxCR7]</b>	0x001C
コントロールレジスタ-8	<b>[TSELxCR8]</b>	0x0020
コントロールレジスタ-9	<b>[TSELxCR9]</b>	0x0024
コントロールレジスタ-10	<b>[TSELxCR10]</b>	0x0028
コントロールレジスタ-11	<b>[TSELxCR11]</b>	0x002C
コントロールレジスタ-12	<b>[TSELxCR12]</b>	0x0030
コントロールレジスタ-13	<b>[TSELxCR13]</b>	0x0034
コントロールレジスタ-14	<b>[TSELxCR14]</b>	0x0038
コントロールレジスタ-15	<b>[TSELxCR15]</b>	0x003C



## 2.2.4. レジスタ詳細

以下の章でレジスタの詳細を示します。

各表の機能欄カッコ内の記号は各機能信号名を表しています。

### 2.2.4.1. [TSEL0CR0] (コントロールレジスタ0)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL3[2:0]	000	R/W	入力トリガーの選択(DMAC A ch18) 000: T32A ch2 DMA 要求レジスタ-B1 一致 (T32A02DMAREQCMPB1) 001: T32A ch3 DMA 要求レジスタ-B1 一致 (T32A03DMAREQCMPB1) 010: reserved 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN3	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL3	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN3	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL2[2:0]	000	R/W	入力トリガーの選択(DMAC A ch17) 000: T32A ch0 DMA 要求レジスタ-B1 一致 (T32A00DMAREQCMPB1) 001: T32A ch1 DMA 要求レジスタ-B1 一致 (T32A01DMAREQCMPB1) 010: reserved 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN2	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL2	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN2	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL1[2:0]	000	R/W	入力トリガーの選択(DMAC A ch16) 000: T32A ch2 DMA 要求レジスターA1 一致 (T32A02DMAREQCMPA1) 001: T32A ch2 DMA 要求レジスターC1 一致 (T32A02DMAREQCMPA1) 010: T32A ch3 DMA 要求レジスターA1 一致 (T32A03DMAREQCMPA1) 011: T32A ch3 DMA 要求レジスターC1 一致 (T32A03DMAREQCMPA1) 100: reserved 101: reserved 110: reserved 111: reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN1	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL1	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN1	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL0[2:0]	000	R/W	入力トリガーの選択(DMAC A ch15) 000: T32A ch0 DMA 要求レジスターA1 一致 (T32A00DMAREQCMPA1) 001: T32A ch0 DMA 要求レジスターC1 一致 (T32A00DMAREQCMPA1) 010: T32A ch1 DMA 要求レジスターA1 一致 (T32A01DMAREQCMPA1) 011: T32A ch1 DMA 要求レジスターC1 一致 (T32A01DMAREQCMPA1) 100: reserved 101: reserved 110: reserved 111: reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN0	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL0	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN0	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.2. [TSEL0CR1] (コントロールレジスター1)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL7[2:0]	000	R/W	入力トリガーの選択(DMAC A ch22) 000: T32A DMA 要求 ch2 キャプチャー-B0 (T32A02DMAREQCAPB0) 001: T32A DMA 要求 ch2 キャプチャー-B1 (T32A02DMAREQCAPB1) 010: T32A DMA 要求 ch3 キャプチャー-B0 (T32A03DMAREQCAPB0) 011: T32A DMA 要求 ch3 キャプチャー-B1 (T32A03DMAREQCAPB1) 100: reserved 101: reserved 110: reserved 111: reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN7	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL7	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN7	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL6[2:0]	000	R/W	入力トリガーの選択(DMAC A ch21) 000: T32A DMA 要求 ch0 キャプチャー-B0 (T32A00DMAREQCAPB0) 001: T32A DMA 要求 ch0 キャプチャー-B1 (T32A00DMAREQCAPB1) 010: T32A DMA 要求 ch1 キャプチャー-B0 (T32A01DMAREQCAPB0) 011: T32A DMA 要求 ch1 キャプチャー-B1 (T32A01DMAREQCAPB1) 100: reserved 101: reserved 110: reserved 111: reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN6	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL6	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN6	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL5[2:0]	000	R/W	入力トリガーの選択(DMAC A ch20) 000: T32A DMA 要求 ch2 キャプチャーA0 (T32A02DMAREQCAPA0) 001: T32A DMA 要求 ch2 キャプチャーA1 (T32A02DMAREQCAPA1) 010: T32A DMA 要求 ch3 キャプチャーA0 (T32A03DMAREQCAPA0) 011: T32A DMA 要求 ch3 キャプチャーA1 (T32A03DMAREQCAPA1) 100: T32A DMA 要求 ch2 キャプチャーC0 (T32A02DMAREQCAPC0) 101: T32A DMA 要求 ch2 キャプチャーC1 (T32A02DMAREQCAPC1) 110: T32A DMA 要求 ch3 キャプチャーC0 (T32A03DMAREQCAPC0) 111: T32A DMA 要求 ch3 キャプチャーC1 (T32A03DMAREQCAPC1)
11	-	0	R	リードすると"0"が読めます。
10	UPDN5	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL5	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN5	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6-4	INSEL4[2:0]	000	R/W	入力トリガーの選択(DMAC A ch19) 000: T32A DMA 要求 ch0 キャプチャーA0 (T32A00DMAREQCAPA0) 001: T32A DMA 要求 ch0 キャプチャーA1 (T32A00DMAREQCAPA1) 010: T32A DMA 要求 ch1 キャプチャーA0 (T32A01DMAREQCAPA0) 011: T32A DMA 要求 ch1 キャプチャーA1 (T32A01DMAREQCAPA1) 100: T32A DMA 要求 ch0 キャプチャーC0 (T32A00DMAREQCAPC0) 101: T32A DMA 要求 ch0 キャプチャーC1 (T32A00DMAREQCAPC1) 110: T32A DMA 要求 ch1 キャプチャーC0 (T32A01DMAREQCAPC0) 111: T32A DMA 要求 ch1 キャプチャーC1 (T32A01DMAREQCAPC1)
3	-	0	R	リードすると"0"が読めます。
2	UPDN4	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL4	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN4	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.3. [TSEL0CR2] (コントロールレジスター2)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL11[2:0]	000	R/W	入力トリガーの選択(DMAC A ch26) 000: DMAC A ch12 転送終了割り込み (INTDMAATC12) 001: DMAC A ch13 転送終了割り込み (INTDMAATC13) 010: DMAC A ch14 転送終了割り込み (INTDMAATC14) 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN11	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL11	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN11	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL10[2:0]	000	R/W	入力トリガーの選択(DMAC A ch25) 000: DMAC A ch4 転送終了割り込み (INTDMAATC4) 001: DMAC A ch5 転送終了割り込み (INTDMAATC5) 010: DMAC A ch10 転送終了割り込み (INTDMAATC10) 011: DMAC A ch11 転送終了割り込み (INTDMAATC11) 100: reserved 101: reserved 110: reserved 111: reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN10	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL10	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN10	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL9[2:0]	000	R/W	入力トリガーの選択(DMAC A ch24) 000: DMAC A ch2 転送終了割り込み (INTDMAATC2) 001: DMAC A ch3 転送終了割り込み (INTDMAATC3) 010: DMAC A ch8 転送終了割り込み (INTDMAATC8) 011: DMAC A ch9 転送終了割り込み (INTDMAATC9) 100: reserved 101: reserved 110: reserved 111: reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN9	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL9	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN9	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL8[2:0]	000	R/W	入力トリガーの選択(DMAC A ch23) 000: DMAC A ch0 転送終了割り込み (INTDMAATC0) 001: DMAC A ch1 転送終了割り込み (INTDMAATC1) 010: DMAC A ch6 転送終了割り込み (INTDMAATC6) 011: DMAC A ch7 転送終了割り込み (INTDMAATC7) 100: reserved 101: reserved 110: reserved 111: reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN8	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL8	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN8	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.4. [TSEL0CR3] (コントロールレジスタ-3)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL15[2:0]	000	R/W	入力トリガーの選択(DMAC A ch30) 000: DMAC A ch18 転送終了割り込み (INTDMAATC18) 001: DMAC A ch22 転送終了割り込み (INTDMAATC22) 010: reserved 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN15	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL15	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN15	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL14[2:0]	000	R/W	入力トリガーの選択(DMAC A ch29) 000: DMAC A ch17 転送終了割り込み (INTDMAATC17) 001: DMAC A ch21 転送終了割り込み (INTDMAATC21) 010: reserved 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN14	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL14	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN14	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL13[2:0]	000	R/W	入力トリガーの選択(DMAC A ch28) 000: DMAC A ch16 転送終了割り込み (INTDMAATC16) 001: DMAC A ch20 転送終了割り込み (INTDMAATC20) 010: reserved 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN13	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL13	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN13	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL12[2:0]	000	R/W	入力トリガーの選択(DMAC A ch27) 000: DMAC A ch15 転送終了割り込み (INTDMAATC15) 001: DMAC A ch19 転送終了割り込み (INTDMAATC19) 010: reserved 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN12	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL12	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN12	0	R/W	トリガー出力制御 0: 禁止 1: 許可



## 2.2.4.5. [TSEL0CR4] (コントロールレジスタ-4)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL19[2:0]	000	R/W	入力トリガーの選択(DMAC B ch14) 000: ADC ユニット A 汎用トリガーDMA 要求 (ADATRG_DMAREQ) 001: ADC ユニット A 単独変換プログラム DMA 要求 (ADASGL_DMAREQ) 010: ADC ユニット A 連続変換プログラム DMA 要求 (ADACNT_DMAREQ) 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN19	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL19	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN19	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL18[2:0]	000	R/W	入力トリガーの選択(DMAC B ch1) 000: TSPI ch2 送信完了信号 (TSPI2TX_DMA) 001: I <sup>2</sup> C ch3 送信完了トリガー (I2C3TXDMAREQ) 010: reserved 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN18	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL18	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN18	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL17[2:0]	000	RW	入力トリガーの選択(DMAC B ch0) 000: TSPI ch2 受信完了信号 (TSPI2RX_DMA) 001: I <sup>2</sup> C ch3 受信完了トリガー (I2C3RXDMAREQ) 010: reserved 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN17	0	RW	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL17	0	RW	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN17	0	RW	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL16[2:0]	000	RW	入力トリガーの選択(DMAC A ch31) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、 <OUTSEL16>は"1"(エッジ検出あり)に設定してください。
3	-	0	R	リードすると"0"が読めます。
2	UPDN16	0	RW	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL16	0	RW	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN16	0	RW	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.6. [TSEL0CR5] (コントロールレジスター5)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL23[2:0]	000	R/W	入力トリガーの選択(DMAC B ch18) 000: T32A ch6 DMA 要求レジスターB1 一致 (T32A06DMAREQCMPB1) 001: T32A ch7 DMA 要求レジスターB1 一致 (T32A07DMAREQCMPB1) 010: reserved 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN23	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL23	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN23	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL22[2:0]	000	R/W	入力トリガーの選択(DMAC B ch17) 000: T32A ch4 DMA 要求レジスターB1 一致 (T32A04DMAREQCMPB1) 001: T32A ch5 DMA 要求レジスターB1 一致 (T32A05DMAREQCMPB1) 010: reserved 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN22	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL22	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN22	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL21[2:0]	000	R/W	入力トリガーの選択(DMAC B ch16) 000: T32A ch6 DMA 要求レジスターA1 一致 (T32A06DMAREQCMPA1) 001: T32A ch6 DMA 要求レジスターC1 一致 (T32A06DMAREQCMPC1) 010: T32A ch7 DMA 要求レジスターA1 一致 (T32A07DMAREQCMPA1) 011: T32A ch7 DMA 要求レジスターC1 一致 (T32A07DMAREQCMPC1) 100: reserved 101: reserved 110: reserved 111: reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN21	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL21	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN21	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL20[2:0]	000	R/W	入力トリガーの選択(DMAC B ch15) 000: T32A ch4 DMA 要求レジスターA1 一致 (T32A04DMAREQCMPA1) 001: T32A ch4 DMA 要求レジスターC1 一致 (T32A04DMAREQCMPC1) 010: T32A ch5 DMA 要求レジスターA1 一致 (T32A05DMAREQCMPA1) 011: T32A ch5 DMA 要求レジスターC1 一致 (T32A05DMAREQCMPC1) 100: reserved 101: reserved 110: reserved 111: reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN20	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL20	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN20	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.7. [TSEL0CR6] (コントロールレジスタ-6)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL27[2:0]	000	R/W	入力トリガーの選択(DMAC B ch22) 000: T32A DMA 要求 ch6 キャプチャーB0 (T32A06DMAREQCAPB0) 001: T32A DMA 要求 ch6 キャプチャーB1 (T32A06DMAREQCAPB1) 010: T32A DMA 要求 ch7 キャプチャーB0 (T32A07DMAREQCAPB0) 011: T32A DMA 要求 ch7 キャプチャーB1 (T32A07DMAREQCAPB1) 100: reserved 101: reserved 110: reserved 111: reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN27	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL27	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN27	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL26[2:0]	000	R/W	入力トリガーの選択(DMAC B ch21) 000: T32A DMA 要求 ch4 キャプチャーB0 (T32A04DMAREQCAPB0) 001: T32A DMA 要求 ch4 キャプチャーB1 (T32A04DMAREQCAPB1) 010: T32A DMA 要求 ch5 キャプチャーB0 (T32A05DMAREQCAPB0) 011: T32A DMA 要求 ch5 キャプチャーB1 (T32A05DMAREQCAPB1) 100: reserved 101: reserved 110: reserved 111: reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN26	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL26	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN26	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL25[2:0]	000	R/W	入力トリガーの選択(DMAC B ch20) 000: T32A DMA 要求 ch6 キャプチャーA0 (T32A06DMAREQCAPA0) 001: T32A DMA 要求 ch6 キャプチャーA1 (T32A06DMAREQCAPA1) 010: T32A DMA 要求 ch7 キャプチャーA0 (T32A07DMAREQCAPA0) 011: T32A DMA 要求 ch7 キャプチャーA1 (T32A07DMAREQCAPA1) 100: T32A DMA 要求 ch6 キャプチャーC0 (T32A06DMAREQCAPC0) 101: T32A DMA 要求 ch6 キャプチャーC1 (T32A06DMAREQCAPC1) 110: T32A DMA 要求 ch7 キャプチャーC0 (T32A07DMAREQCAPC0) 111: T32A DMA 要求 ch7 キャプチャーC1 (T32A07DMAREQCAPC1)
11	-	0	R	リードすると"0"が読めます。
10	UPDN25	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL25	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN25	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL24[2:0]	000	R/W	入力トリガーの選択(DMAC B ch19) 000: T32A DMA 要求 ch4 キャプチャーA0 (T32A04DMAREQCAPA0) 001: T32A DMA 要求 ch4 キャプチャーA1 (T32A04DMAREQCAPA1) 010: T32A DMA 要求 ch5 キャプチャーA0 (T32A05DMAREQCAPA0) 011: T32A DMA 要求 ch5 キャプチャーA1 (T32A05DMAREQCAPA1) 100: T32A DMA 要求 ch4 キャプチャーC0 (T32A04DMAREQCAPC0) 101: T32A DMA 要求 ch4 キャプチャーC1 (T32A04DMAREQCAPC1) 110: T32A DMA 要求 ch5 キャプチャーC0 (T32A05DMAREQCAPC0) 111: T32A DMA 要求 ch5 キャプチャーC1 (T32A05DMAREQCAPC1)
3	-	0	R	リードすると"0"が読めます。
2	UPDN24	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL24	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN24	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.8. [TSEL0CR7] (コントロールレジスター7)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL31[2:0]	000	R/W	入力トリガーの選択(DMAC B ch26) 000: DMAC B ch12 転送終了割り込み (INTDMABTC12) 001: DMAC B ch13 転送終了割り込み (INTDMABTC13) 010: DMAC B ch14 転送終了割り込み (INTDMABTC14) 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN31	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL31	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN31	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL30[2:0]	000	R/W	入力トリガーの選択(DMAC B ch25) 000: DMAC B ch4 転送終了割り込み (INTDMABTC4) 001: DMAC B ch5 転送終了割り込み (INTDMABTC5) 010: DMAC B ch10 転送終了割り込み (INTDMABTC10) 011: DMAC B ch11 転送終了割り込み (INTDMABTC11) 100: reserved 101: reserved 110: reserved 111: reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN30	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL30	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN30	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL29[2:0]	000	R/W	入力トリガーの選択(DMAC B ch24) 000: DMAC B ch2 転送終了割り込み (INTDMABTC2) 001: DMAC B ch3 転送終了割り込み (INTDMABTC3) 010: DMAC B ch8 転送終了割り込み (INTDMABTC8) 011: DMAC B ch9 転送終了割り込み (INTDMABTC9) 100: reserved 101: reserved 110: reserved 111: reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN29	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL29	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN29	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL28[2:0]	000	R/W	入力トリガーの選択(DMAC B ch23) 000: DMAC B ch0 転送終了割り込み (INTDMABTC0) 001: DMAC B ch1 転送終了割り込み (INTDMABTC1) 010: DMAC B ch6 転送終了割り込み (INTDMABTC6) 011: DMAC B ch7 転送終了割り込み (INTDMABTC7) 100: reserved 101: reserved 110: reserved 111: reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN28	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL28	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN28	0	R/W	トリガー出力制御 0: 禁止 1: 許可



## 2.2.4.9. [TSEL0CR8] (コントロールレジスタ-8)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL35[2:0]	000	R/W	入力トリガーの選択(DMAC B ch30) 000: DMAC B ch18 転送終了割り込み (INTDMABTC18) 001: DMAC B ch22 転送終了割り込み (INTDMABTC22) 010: reserved 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN35	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL35	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN35	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL34[2:0]	000	R/W	入力トリガーの選択(DMAC B ch29) 000: DMAC B ch17 転送終了割り込み (INTDMABTC17) 001: DMAC B ch21 転送終了割り込み (INTDMABTC21) 010: reserved 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN34	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL34	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN34	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL33[2:0]	000	R/W	入力トリガーの選択(DMAC B ch28) 000: DMAC B ch16 転送終了割り込み (INTDMABTC16) 001: DMAC B ch20 転送終了割り込み (INTDMABTC20) 010: reserved 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN33	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL33	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN33	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL32[2:0]	000	R/W	入力トリガーの選択(DMAC B ch27) 000: DMAC B ch15 転送終了割り込み (INTDMABTC15) 001: DMAC B ch19 転送終了割り込み (INTDMABTC19) 010: reserved 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN32	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL32	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN32	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.10. [TSEL0CR9] (コントロールレジスタ-9)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL39[2:0]	000	R/W	<p>入カトリガーの選択(TSPI ch0)</p> <p>000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch6 タイマーレジスタ-A1 一致トリガー(T32A06TRGOUTCMPA1) 100: T32A ch6 タイマーレジスタ-B1 一致トリガー(T32A06TRGOUTCMPB1) 101: T32A ch6 タイマーレジスタ-C1 一致トリガー(T32A06TRGOUTCMPC1) 110: reserved 111: reserved</p> <p>000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、&lt;OUTSEL39&gt;は"1"(エッジ検出あり)に設定してください。</p>
27	-	0	R	リードすると"0"が読めます。
26	UPDN39	0	R/W	<p>エッジ検出条件</p> <p>0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出</p>
25	OUTSEL39	0	R/W	<p>出カトリガーの選択</p> <p>0: エッジ検出なし 1: エッジ検出あり</p>
24	EN39	0	R/W	<p>トリガー出力制御</p> <p>0: 禁止 1: 許可</p>
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL38[2:0]	000	R/W	<p>入カトリガーの選択(ADC 汎用トリガー)</p> <p>000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch7 タイマーレジスタ-A1 一致トリガー (T32A07TRGOUTCMPA1) 100: T32A ch7 タイマーレジスタ-B1 一致トリガー (T32A07TRGOUTCMPB1) 101: T32A ch7 タイマーレジスタ-C1 一致トリガー (T32A07TRGOUTCMPC1) 110: reserved 111: reserved</p> <p>000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、&lt;OUTSEL38&gt;は"1"(エッジ検出あり)に設定してください。</p>
19	-	0	R	リードすると"0"が読めます。
18	UPDN38	0	R/W	<p>エッジ検出条件</p> <p>0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出</p>
17	OUTSEL38	0	R/W	<p>出カトリガーの選択</p> <p>0: エッジ検出なし 1: エッジ検出あり</p>
16	EN38	0	R/W	<p>トリガー出力制御</p> <p>0: 禁止 1: 許可</p>
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL37[2:0]	000	R/W	入力トリガーの選択(ADC の PMDTRG6) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch7 タイマーレジスターA1 一致トリガー (T32A07TRGOUTCMPA1) 100: T32A ch7 タイマーレジスターB1 一致トリガー (T32A07TRGOUTCMPB1) 101: T32A ch7 タイマーレジスターC1 一致トリガー (T32A07TRGOUTCMPC1) 110: reserved 111: reserved  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL37>は"1"(エッジ検出あり)に設定してください。
11	-	0	R	リードすると"0"が読めます。
10	UPDN37	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL37	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN37	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL36[2:0]	000	R/W	入力トリガーの選択(DMAC B ch31) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: reserved 100: reserved 101: reserved 110: reserved 111: reserved  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL36>は"1"(エッジ検出あり)に設定してください。
3	-	0	R	リードすると"0"が読めます。
2	UPDN36	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL36	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN36	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.11. [TSEL0CR10] (コントロールレジスタ-10)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL43[2:0]	000	R/W	入力トリガーの選択(TSPI ch4) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch6 タイマーレジスタ-A1 一致トリガー (T32A06TRGOUTCMPA1) 100: T32A ch6 タイマーレジスタ-B1 一致トリガー (T32A06TRGOUTCMPB1) 101: T32A ch6 タイマーレジスタ-C1 一致トリガー (T32A06TRGOUTCMPC1) 110: reserved 111: reserved  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL43>は"1"(エッジ検出あり)に設定してください。
27	-	0	R	リードすると"0"が読めます。
26	UPDN43	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL43	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN43	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL42[2:0]	000	R/W	入力トリガーの選択(TSPI ch3) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch6 タイマーレジスタ-A1 一致トリガー (T32A06TRGOUTCMPA1) 100: T32A ch6 タイマーレジスタ-B1 一致トリガー (T32A06TRGOUTCMPB1) 101: T32A ch6 タイマーレジスタ-C1 一致トリガー (T32A06TRGOUTCMPC1) 110: reserved 111: reserved  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL42>は"1"(エッジ検出あり)に設定してください。
19	-	0	R	リードすると"0"が読めます。
18	UPDN42	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL42	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN42	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL41[2:0]	000	R/W	入力トリガーの選択(TSPI ch2) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch6 タイマーレジスターA1 一致トリガー (T32A06TRGOUTCMPA1) 100: T32A ch6 タイマーレジスターB1 一致トリガー (T32A06TRGOUTCMPB1) 101: T32A ch6 タイマーレジスターC1 一致トリガー (T32A06TRGOUTCMPC1) 110: reserved 111: reserved  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL41>は"1"(エッジ検出あり)に設定してください。
11	-	0	R	リードすると"0"が読めます。
10	UPDN41	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL41	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN41	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL40[2:0]	000	R/W	入力トリガーの選択(TSPI ch1) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch6 タイマーレジスターA1 一致トリガー (T32A06TRGOUTCMPA1) 100: T32A ch6 タイマーレジスターB1 一致トリガー (T32A06TRGOUTCMPB1) 101: T32A ch6 タイマーレジスターC1 一致トリガー (T32A06TRGOUTCMPC1) 110: reserved 111: reserved  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL40>は"1"(エッジ検出あり)に設定してください。
3	-	0	R	リードすると"0"が読めます。
2	UPDN40	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL40	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN40	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.12. [TSEL0CR11] (コントロールレジスタ-11)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL47[2:0]	000	R/W	入力トリガーの選択(UART ch3) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch6 タイマーレジスタ-A1 一致トリガー (T32A06TRGOUTCMPA1) 100: T32A ch6 タイマーレジスタ-B1 一致トリガー (T32A06TRGOUTCMPB1) 101: T32A ch6 タイマーレジスタ-C1 一致トリガー (T32A06TRGOUTCMPC1) 110: reserved 111: reserved  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL47>は"1"(エッジ検出あり)に設定してください。
27	-	0	R	リードすると"0"が読めます。
26	UPDN47	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL47	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN47	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL46[2:0]	000	R/W	入力トリガーの選択(UART ch2) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch6 タイマーレジスタ-A1 一致トリガー (T32A06TRGOUTCMPA1) 100: T32A ch6 タイマーレジスタ-B1 一致トリガー (T32A06TRGOUTCMPB1) 101: T32A ch6 タイマーレジスタ-C1 一致トリガー (T32A06TRGOUTCMPC1) 110: reserved 111: reserved  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL46>は"1"(エッジ検出あり)に設定してください。
19	-	0	R	リードすると"0"が読めます。
18	UPDN46	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL46	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN46	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL45[2:0]	000	R/W	入力トリガーの選択(UART ch1) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch6 タイマーレジスターA1 一致トリガー (T32A06TRGOUTCMPA1) 100: T32A ch6 タイマーレジスターB1 一致トリガー (T32A06TRGOUTCMPB1) 101: T32A ch6 タイマーレジスターC1 一致トリガー (T32A06TRGOUTCMPC1) 110: reserved 111: reserved  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL45>は"1"(エッジ検出あり)に設定してください。
11	-	0	R	リードすると"0"が読めます。
10	UPDN45	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL45	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN45	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL44[2:0]	000	R/W	入力トリガーの選択(UART ch0) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch6 タイマーレジスターA1 一致トリガー (T32A06TRGOUTCMPA1) 100: T32A ch6 タイマーレジスターB1 一致トリガー (T32A06TRGOUTCMPB1) 101: T32A ch6 タイマーレジスターC1 一致トリガー (T32A06TRGOUTCMPC1) 110: reserved 111: reserved  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL44>は"1"(エッジ検出あり)に設定してください。
3	-	0	R	リードすると"0"が読めます。
2	UPDN44	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL44	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN44	0	R/W	トリガー出力制御 0: 禁止 1: 許可



## 2.2.4.13. [TSEL0CR12] (コントロールレジスタ-12)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL51[2:0]	000	R/W	入力トリガーの選択(T32A ch0 タイマーB) 000: T32A ch0 タイマーレジスタ-A0 一致トリガー (T32A00TRGOUTCMPA0) 001: T32A ch0 タイマーレジスタ-A1 一致トリガー (T32A00TRGOUTCMPA1) 010: T32A ch0 タイマーA オーバーフロートリガー (T32A00TRGOUTOFA) 011: T32A ch0 タイマーA アンダーフロートリガー (T32A00TRGOUTUFA) 100: reserved 101: reserved 110: reserved 111: reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN51	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL51	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN51	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL50[2:0]	000	R/W	入力トリガーの選択(T32A ch0 タイマーA) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: UART ch0 送信完了トリガー (UART0TXTRG) 100: UART ch0 受信完了トリガー (UART0RXTRG) 101: reserved 110: reserved 111: reserved  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL50>は"1"(エッジ検出あり)に設定してください。
19	-	0	R	リードすると"0"が読めます。
18	UPDN50	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL50	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN50	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL49[2:0]	000	R/W	入力トリガーの選択(UART ch5) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch6 タイマーレジスターA1 一致トリガー (T32A06TRGOUTCMPA1) 100: T32A ch6 タイマーレジスターB1 一致トリガー (T32A06TRGOUTCMPB1) 101: T32A ch6 タイマーレジスターC1 一致トリガー (T32A06TRGOUTCMPC1) 110: reserved 111: reserved  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL49>は"1"(エッジ検出あり)に設定してください。
11	-	0	R	リードすると"0"が読めます。
10	UPDN49	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL49	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN49	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL48[2:0]	000	R/W	入力トリガーの選択(UART ch4) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: T32A ch6 タイマーレジスターA1 一致トリガー (T32A06TRGOUTCMPA1) 100: T32A ch6 タイマーレジスターB1 一致トリガー (T32A06TRGOUTCMPB1) 101: T32A ch6 タイマーレジスターC1 一致トリガー (T32A06TRGOUTCMPC1) 110: reserved 111: reserved  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL48>は"1"(エッジ検出あり)に設定してください。
3	-	0	R	リードすると"0"が読めます。
2	UPDN48	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL48	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN48	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.14. [TSEL0CR13] (コントロールレジスタ-13)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL55[2:0]	000	R/W	入力トリガーの選択(T32A ch1 タイマーC) 000: T32A ch0 タイマーレジスタ-C0 一致トリガー (T32A00TRGOUTCMPC0) 001: T32A ch0 タイマーレジスタ-C1 一致トリガー (T32A00TRGOUTCMPC1) 010: T32A ch0 タイマーC オーバーフロートリガー (T32A00TRGOUTOFC) 011: T32A ch0 タイマーC アンダーフロートリガー (T32A00TRGOUTUFC) 100: reserved 101: reserved 110: reserved 111: reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN55	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL55	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN55	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL54[2:0]	000	R/W	入力トリガーの選択(T32A ch1 タイマーB) 000: T32A ch1 タイマーレジスタ-A0 一致トリガー (T32A01TRGOUTCMPA0) 001: T32A ch1 タイマーレジスタ-A1 一致トリガー (T32A01TRGOUTCMPA1) 010: T32A ch1 タイマーA オーバーフロートリガー (T32A01TRGOUTOFA) 011: T32A ch1 タイマーA アンダーフロートリガー (T32A01TRGOUTUFA) 100: reserved 101: reserved 110: reserved 111: reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN54	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL54	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN54	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL53[2:0]	000	R/W	入力トリガーの選択(T32A ch1 タイマーA) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: UART ch1 送信完了トリガー (UART1TXTRG) 100: UART ch1 受信完了トリガー (UART1RXTRG) 101: I <sup>2</sup> C ch0 送受信割り込み (INTI2C0) 110: reserved 111: reserved  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL53>は"1"(エッジ検出あり)に設定してください。
11	-	0	R	リードすると"0"が読めます。
10	UPDN53	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL53	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN53	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL52[2:0]	000	R/W	入力トリガーの選択(T32A ch0 タイマーC) 000: T32A ch7 タイマーレジスターC0 一致トリガー (T32A07TRGOUTCMPC0) 001: T32A ch7 タイマーレジスターC1 一致トリガー (T32A07TRGOUTCMPC1) 010: T32A ch7 タイマーC オーバーフロートリガー (T32A07TRGOUTOFC) 011: T32A ch7 タイマーC アンダーフロートリガー (T32A07TRGOUTUFC) 100: reserved 101: reserved 110: reserved 111: reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN52	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL52	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN52	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.15. [TSEL0CR14] (コントロールレジスター14)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL59[2:0]	000	R/W	入力トリガーの選択(T32A ch3 タイマーA) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: UART ch3 送信完了トリガー (UART3TXTRG) 100: UART ch3 受信完了トリガー (UART3RXTRG) 101: TSPI ch1 送信完了信号 (TSPI1TXEND) 110: TSPI ch1 受信完了信号 (TSPI1RXEND) 111: I <sup>2</sup> C ch2 送受信割り込み (INTI2C2)  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL59>は"1"(エッジ検出あり)に設定してください。
27	-	0	R	リードすると"0"が読めます。
26	UPDN59	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL59	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN59	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL58[2:0]	000	R/W	入力トリガーの選択(T32A ch2 タイマーC) 000: T32A ch1 タイマーレジスターC0 一致トリガー (T32A01TRGOUTCMPC0) 001: T32A ch1 タイマーレジスターC1 一致トリガー (T32A01TRGOUTCMPC1) 010: T32A ch1 タイマーC オーバーフロートリガー (T32A01TRGOUTOFC) 011: T32A ch1 タイマーC アンダーフロートリガー (T32A01TRGOUTUFC) 100: reserved 101: reserved 110: reserved 111: reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN58	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL58	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN58	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL57[2:0]	000	R/W	入力トリガーの選択(T32A ch2 タイマーB) 000: T32A ch2 タイマーレジスターA0 一致トリガー (T32A02TRGOUTCMPA0) 001: T32A ch2 タイマーレジスターA1 一致トリガー (T32A02TRGOUTCMPA1) 010: T32A ch2 タイマーA オーバーフロートリガー (T32A02TRGOUTOFA) 011: T32A ch2 タイマーA アンダーフロートリガー (T32A02TRGOUTUFA) 100: reserved 101: reserved 110: reserved 111: reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN57	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL57	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN57	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL56[2:0]	000	R/W	入力トリガーの選択(T32A ch2 タイマーA) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: UART ch2 送信完了トリガー (UART2TXTRG) 100: UART ch2 受信完了トリガー (UART2RXTRG) 101: TSPI ch0 送信完了信号 (TSPI0TXEND) 110: TSPI ch0 受信完了信号 (TSPI0RXEND) 111: I <sup>2</sup> C ch1 送受信割り込み (INTI2C1)(注)  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL56>は"1"(エッジ検出あり)に設定してください。
3	-	0	R	リードすると"0"が読めます。
2	UPDN56	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL56	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN56	0	R/W	トリガー出力制御 0: 禁止 1: 許可

注) I<sup>2</sup>C ch1 は M3HL にはありません。

## 2.2.4.16. [TSEL0CR15] (コントロールレジスター15)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL63[2:0]	000	R/W	入力トリガーの選択(T32A ch4 タイマーB) 000: T32A ch4 タイマーレジスタ-A0 一致トリガー (T32A04TRGOUTCMPA0) 001: T32A ch4 タイマーレジスタ-A1 一致トリガー (T32A04TRGOUTCMPA1) 010: T32A ch4 タイマーA オーバーフロートリガー (T32A04TRGOUTOFA) 011: T32A ch4 タイマーA アンダーフロートリガー (T32A04TRGOUTUFA) 100: reserved 101: reserved 110: reserved 111: reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN63	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL63	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN63	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL62[2:0]	000	R/W	入力トリガーの選択(T32A ch4 タイマーA) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: UART ch4 送信完了トリガー (UART4TXTRG) 100: UART ch4 受信完了トリガー (UART4RXTRG) 101: TSPI ch2 送信完了信号 (TSPI2TXEND) 110: TSPI ch2 受信完了信号 (TSPI2RXEND) 111: I <sup>2</sup> C ch3 送受信割り込み (INTI2C3) (注)  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL62>は"1"(エッジ検出あり)に設定してください。
19	-	0	R	リードすると"0"が読めます。
18	UPDN62	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL62	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN62	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

注) I<sup>2</sup>C ch3 は M3HN,M3HM,M3HL にはありません。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL61[2:0]	000	R/W	入力トリガーの選択(T32A ch3 タイマーC) 000: T32A ch2 タイマーレジスターC0 一致トリガー (T32A02TRGOUTCMPC0) 001: T32A ch2 タイマーレジスターC1 一致トリガー (T32A02TRGOUTCMPC1) 010: T32A ch2 タイマーC オーバーフロートリガー (T32A02TRGOUTOFC) 011: T32A ch2 タイマーC アンダーフロートリガー (T32A02TRGOUTUFC) 100: reserved 101: reserved 110: reserved 111: reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN61	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL61	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN61	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL60[2:0]	000	R/W	入力トリガーの選択(T32A ch3 タイマーB) 000: T32A ch3 タイマーレジスターA0 一致トリガー (T32A03TRGOUTCMPA0) 001: T32A ch3 タイマーレジスターA1 一致トリガー (T32A03TRGOUTCMPA1) 010: T32A ch3 タイマーA オーバーフロートリガー (T32A03TRGOUTOFA) 011: T32A ch3 タイマーA アンダーフロートリガー (T32A03TRGOUTUFA) 100: reserved 101: reserved 110: reserved 111: reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN60	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL60	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN60	0	R/W	トリガー出力制御 0: 禁止 1: 許可



## 2.2.4.17. [TSEL1CR0] (コントロールレジスタ0)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL3[2:0] (INSEL67[2:0])	000	R/W	入力トリガーの選択(T32A ch5 タイマーC) 000: T32A ch4 タイマーレジスタC0 一致トリガー (T32A04TRGOUTCMPC0) 001: T32A ch4 タイマーレジスタC1 一致トリガー (T32A04TRGOUTCMPC1) 010: T32A ch4 タイマーC オーバーフロートリガー (T32A04TRGOUTOFC) 011: T32A ch4 タイマーC アンダーフロートリガー (T32A04TRGOUTUFC) 100: reserved 101: reserved 110: reserved 111: reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN3	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL3	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN63	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL2[2:0] (INSEL66[2:0])	000	R/W	入力トリガーの選択(T32A ch5 タイマーB) 000: T32A ch5 タイマーレジスタA0 一致トリガー (T32A05TRGOUTCMPA0) 001: T32A ch5 タイマーレジスタA1 一致トリガー (T32A05TRGOUTCMPA1) 010: T32A ch5 タイマーA オーバーフロートリガー (T32A05TRGOUTOFA) 011: T32A ch5 タイマーA アンダーフロートリガー (T32A05TRGOUTUFA) 100: reserved 101: reserved 110: reserved 111: reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN2	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL2	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN2	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL1[2:0] (INSEL65[2:0])	000	R/W	入力トリガーの選択(T32A ch5 タイマーA) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: UART ch5 送信完了トリガー (UART5TXTRG) 100: UART ch5 受信完了トリガー (UART5RXTRG) 101: TSPI ch3 送信完了信号 (TSPI3TXEND) 110: TSPI ch3 受信完了信号 (TSPI3RXEND) 111: A-ENC 分周パルス信号 (ENC0TIMPLS)  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL1> は"1"(エッジ検出あり)に設定してください。
11	-	0	R	リードすると"0"が読めます。
10	UPDN1	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL1	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN1	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL0[2:0] (INSEL64[2:0])	000	R/W	入力トリガーの選択(T32A ch4 タイマーC) 000: T32A ch3 タイマーレジスターC0 一致トリガー(T32A03TRGOUTCMP0) 001: T32A ch3 タイマーレジスターC1 一致トリガー(T32A03TRGOUTCMP1) 010: T32A ch3 タイマーC オーバーフロートリガー (T32A03TRGOUTOFC) 011: T32A ch3 タイマーC アンダーフロートリガー (T32A03TRGOUTUFC) 100: reserved 101: reserved 110: reserved 111: reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN0	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL0	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN0	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.18. [TSEL1CR1](コントロールレジスター1)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL7[2:0] (INSEL71[2:0])	000	R/W	入力トリガーの選択(T32A ch7 タイマーA) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: ADC ユニット A 汎用トリガー割り込み (INTADATRG) 100: ADC ユニット A 単独変換割り込み (INTADASG) 101: ADC ユニット A 連続変換割り込み (INTADACNT) 110: ADC ユニット A 監視 0 割り込み (INTADACP0) 111: ADC ユニット A 監視 1 割り込み (INTADACP1)  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL7> は"1"(エッジ検出あり)に設定してください。
27	-	0	R	リードすると"0"が読めます。
26	UPDN7	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL7	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN7	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL6[2:0] (INSEL70[2:0])	000	R/W	入力トリガーの選択(T32A ch6 タイマーC) 000: T32A ch5 タイマーレジスターC0 一致トリガー (T32A05TRGOUTCMPC0) 001: T32A ch5 タイマーレジスターC1 一致トリガー (T32A05TRGOUTCMPC1) 010: T32A ch5 タイマーC オーバーフロートリガー (T32A05TRGOUTOFC) 011: T32A ch5 タイマーC アンダーフロートリガー (T32A05TRGOUTUFC) 100: reserved 101: reserved 110: reserved 111: reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN6	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL6	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN6	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL5[2:0] (INSEL69[2:0])	000	R/W	入力トリガーの選択(T32A ch6 タイマーB) 000: T32A ch6 タイマーレジスターA0 一致トリガー (T32A06TRGOUTCMPA0) 001: T32A ch6 タイマーレジスターA1 一致トリガー (T32A06TRGOUTCMPA1) 010: T32A ch6 タイマーA オーバーフロートリガー (T32A06TRGOUTOFA) 011: T32A ch6 タイマーA アンダーフロートリガー (T32A06TRGOUTUFA) 100: reserved 101: reserved 110: reserved 111: reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN5	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL5	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN5	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL4[2:0] (INSEL68[2:0])	000	R/W	入力トリガーの選択(T32A ch6 タイマーA) 000: PB1 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PN3 端子 (TRGIN2) 011: TSPI ch4 送信完了信号 (TSPI4TXEND) (注) 100: TSPI ch4 受信完了信号 (TSPI4RXEND) (注) 101: ELOSC 低速クロック (fs) 110: reserved 111: reserved  000(PB1 端子)/001(PA3 端子)/010(PN3 端子)を選択した場合は、<OUTSEL4> は"1"(エッジ検出あり)に設定してください。
3	-	0	R	リードすると"0"が読めます。
2	UPDN4	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL4	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN4	0	R/W	トリガー出力制御 0: 禁止 1: 許可

注) TSPI ch4 は M3HN、M3HM、M3HL にはありません。

## 2.2.4.19. [TSEL1CR2] (コントロールレジスタ-2)

Bit	Bit Symbol	リセット後	Type	機能
31:15	-	0	R	リードすると"0"が読めます。
14:12	INSEL9[2:0] (INSEL73[2:0])	000	R/W	入力トリガーの選択(T32A ch7 タイマーC) 000: T32A ch6 タイマーレジスタ-C0 一致トリガー (T32A06TRGOUTCMPC0) 001: T32A ch6 タイマーレジスタ-C1 一致トリガー (T32A06TRGOUTCMPC1) 010: T32A ch6 タイマーC オーバーフロートリガー (T32A06TRGOUTOFC) 011: T32A ch6 タイマーC アンダーフロートリガー (T32A06TRGOUTUFC) 100: reserved 101: reserved 110: reserved 111: reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN9	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL9	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN9	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL8[2:0] (INSEL72[2:0])	000	R/W	入力トリガーの選択(T32A ch7 タイマーB) 000: T32A ch7 タイマーレジスタ-A0 一致トリガー (T32A07TRGOUTCMPA0) 001: T32A ch7 タイマーレジスタ-A1 一致トリガー (T32A07TRGOUTCMPA1) 010: T32A ch7 タイマーA オーバーフロートリガー (T32A07TRGOUTOFA) 011: T32A ch7 タイマーA アンダーフロートリガー (T32A07TRGOUTUFA) 100: reserved 101: reserved 110: reserved 111: reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN8	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL8	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN8	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.3. クロック選択式ウォッチドッグタイマー(SIWDT)

### 2.3.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.14 SIWDT 搭載チャンネル

製品	搭載チャンネル (○:搭載、-:非搭載)
	ch0
M3HQ	○
M3HP	○
M3HN	○
M3HM	○
M3HL	○

### 2.3.2. カウントクロック

クロック選択式ウォッチドッグタイマーは、カウントするクロックを選択可能です。以下の表に選択できるクロックを示します。

表 2.15 SIWDT カウントクロック

クロック	信号名	選択
システムクロック	f <sub>sys</sub>	[SIWD0MOD]<WDCLS> レジスターで選択します。
内蔵高速発振器 1 クロック	f <sub>IHOSC1</sub>	
内蔵高速発振器 2 クロック	f <sub>IHOSC2</sub>	

### 2.3.3. 制御出力

内蔵高速発振器 2(f<sub>IHOSC2</sub>)を選択した場合、内蔵高速発振器 2 の書き換えを禁止することが可能です。

表 2.16 SIWDT 制御出力

制御出力	信号名	備考
内蔵高速発振器 2 発振制御ビット ([CGOSCCR]<IHOSC2EN> のプロテクト信号)	OSCPRO	[SIWD0OSCCR]<OSCPRO>レジスター で設定します。

## 2.4. 周波数検知回路(OFD)

### 2.4.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.17 OFD 搭載一覧

製品	OFD搭載 (○:搭載、-:非搭載)
M3HQ	○
M3HP	○
M3HN	○
M3HM	○
M3HL	○

### 2.4.2. 基準クロック

周波数検知回路は以下の表のクロックを基準クロックとして動作します。

表 2.18 OFD 基準クロック

基準クロック	信号名	分周値
内蔵高速発振器 2	f <sub>IHOSC2</sub>	256

### 2.4.3. 検知対象クロック

周波数検知回路は以下の表の検知対象クロックからモニターしたいクロックを選択します。

表 2.19 OFD 検知対象クロック

検知対象クロック		信号名
入力信号	外部高速発振器クロック	f <sub>EHOSC</sub>
	CG(クロック制御部)の [CGOSCCR]<OSCSEL> と [CGPLL0SEL]<PLL0SEL>で 選択されたクロック	fc

## 2.5. デバッグインターフェース

### 2.5.1. 製品別デバッグインターフェース一覧

JTAG(TMS,TCK,TDI,TRST\_N) と Serial Wire(SWDIO,SWCLK,SWV)があります。

表 2.20 デバッグインターフェース搭載一覧

デバッグ端子 (信号名)	ポート	端子対応 (○:あり、-:なし)				
		M3HQ	M3HP	M3HN	M3HM	M3HL
SWDIO	PL4	○	○	○	○	○
TMS						
SWCLK	PL3	○	○	○	○	○
TCK						
SWV	PL2	○	○	○	○	○
TDO						
TDI	PL1	○	○	○	○	○
TRST_N	PL0	○	○	○	○	○
TRACECLK	PM0	○	○	○	○	-
TRACEDATA0	PM1	○	○	○	○	-
TRACEDATA1	PM2	○	○	○	○	-
TRACEDATA2	PM3	○	○	○	-	-
TRACEDATA3	PM4	○	○	○	-	-



## 2.6. フラッシュメモリー

### 2.6.1. 書き込み, 消去操作クロック

フラッシュメモリーは、コードフラッシュまたはデータフラッシュへの書き込み, 消去操作に以下の表に示すクロックが使用されます。

表 2.21 書き込み, 消去操作クロック

書き込み, 消去操作クロック
$f_{IHOSC1}$

### 2.6.2. 製品別コードフラッシュブロック構成

コードフラッシュメモリーは、下記の表のように製品によってメモリーのブロック構成が異なります。

表 2.22 製品別コードフラッシュ

エリア	ブロック名称	TMPM3HQDFDG	TMPM3HQZFG	TMPM3HQFYFG	ブロック サイズ (KB)	
		TMPM3HPDFDG	TMPM3HPZFG	TMPM3HPFYFG		
		TMPM3HNFDFG	TMPM3HNFZFG	TMPM3HNFYFG		
		TMPM3HNFDDFG	TMPM3HNFZDFG	TMPM3HNFYDFG		
		TMPM3HMFDFG	TMPM3HMFZFG	TMPM3HMFYFG		
		TMPM3HLFDUG	TMPM3HLFZUG	TMPM3HLFYUG		
0	Block0	PG0	○	○	○	4
		PG1	○	○	○	4
		PG2	○	○	○	4
		PG3	○	○	○	4
		PG4	○	○	○	4
		PG5	○	○	○	4
		PG6	○	○	○	4
		PG7	○	○	○	4
	Block1	○	○	○	32	
	Block2	○	○	○	32	
	Block3	○	○	○	32	
	Block4	○	○	○	32	
	Block5	○	○	○	32	
	Block6	○	○	○	32	
	Block7	○	○	○	32	
	Block8	○	○	—	32	
	Block9	○	○	—	32	
	Block10	○	○	—	32	
	Block11	○	○	—	32	
	Block12	○	—	—	32	
Block13	○	—	—	32		
Block14	○	—	—	32		
Block15	○	—	—	32		

注1) ○:Block あり、—: Block なし

## 2.6.3. 製品別データフラッシュブロック構成

データフラッシュメモリーは、下記の表のようになります。

表 2.23 製品別データフラッシュ

エリア	ブロック名称	製品別データフラッシュ	ブロックサイズ (KB)
		TMPM3HQDFG	
		TMPM3HPDFG	
		TMPM3HNFDFG	
		TMPM3HMFDFG	
		TMPM3HLFDUG	
		TMPM3HQZFG	
		TMPM3HPZFG	
		TMPM3HNFZFG	
		TMPM3HMFZFG	
		TMPM3HLFZUG	
		TMPM3HQFYFG	
		TMPM3HPFYFG	
		TMPM3HNFYFG	
		TMPM3HMFYFG	
		TMPM3HLFYUG	
4	Block0	○	4
	Block1	○	4
	Block2	○	4
	Block3	○	4
	Block4	○	4
	Block5	○	4
	Block6	○	4
	Block7	○	4

注) ○:Block あり、-: Block なし

## 2.6.4. シングルブート使用リソース

シングルブートでは下記表の周辺機能を使用します。

表 2.24 シングルブート使用リソース

周辺機能	チャンネル	端子名
BOOT	—	PB0 (BOOT_N)
UART	ch0	PA1/PA2 (UT0TXDA/UT0RXD) または、 PM1/PM2 (UT0TXDA/UT0RXD) (注)
T32A	ch0	-

注) シングルブート起動時、PA1/PA2またはPM1/PM2の選択は端子の状態により自動判別されます。自動判別の期間、PA2/UT0RXD および PM2/UT0RXD は内部 pull-up が有効となって”High”レベルが出力されます。この時、使用しない側のUT0RXDの”High”レベルを保持(オープンまたは”High”レベル入力)してください。自動判別が終わると使用しない側のUT0RXDはHi-Zとなります。

RAM ローダーコマンドで転送するRAMアドレスは下表の範囲で行ってください。

表 2.25 RAM転送可能最終アドレス

製品名	RAM 転送可能最終アドレス
TMPM3HQFDFG TMPM3HPFDFG TMPM3HNDFDFG TMPM3HMDFDFG TMPM3HLFDUG TMPM3HQFZFG TMPM3HPFZFG TMPM3HNFZFG TMPM3HMFZFG TMPM3HLFZUG TMPM3HQFYFG TMPM3HPFYFG TMPM3HNFYFG TMPM3HMFYFG TMPM3HLFYUG	0x20000400~0x2000FFFF

## 2.7. DMA コントローラー(DMAC)

### 2.7.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.26 DMAC 搭載ユニット

製品	DMAC 搭載ユニット (○:搭載、-:非搭載)	
	ユニット A	ユニット B
M3HQ	○	○
M3HP	○	○
M3HN	○	○
M3HM	○	○
M3HL	○	○

### 2.7.2. DMA 要求一覧

下記表に DMA 要求一覧を示します。

表のトリガーセクター欄にレジスタ名のあるチャンネルは、トリガーセクターで使用する要求を選択してください。表内の“-”は該当する機能がありません。

表 2.27 DMA unitA 要求一覧(1/4)

チャネル	シングル転送		トリガーセクター	バースト転送	
		信号名			信号名
0	TSPI ch0 受信 DMA 要求	TSPI0RX_DMA	-	TSPI ch0 受信 DMA 要求	TSPI0RX_DMA
1	TSPI ch0 送信 DMA 要求	TSPI0TX_DMA	-	TSPI ch0 送信 DMA 要求	TSPI0TX_DMA
2	TSPI ch1 受信 DMA 要求(注 1)	TSPI1RX_DMA	-	TSPI ch1 受信 DMA 要求(注 1)	TSPI1RX_DMA
3	TSPI ch1 送信 DMA 要求(注 1)	TSPI1TX_DMA	-	TSPI ch1 送信 DMA 要求(注 1)	TSPI1TX_DMA
4	-	-	-	I <sup>2</sup> C ch0 受信 DMA リクエスト	I2C0RXDMAREQ
5	-	-	-	I <sup>2</sup> C ch0 送信 DMA リクエスト	I2C0TXDMAREQ
6	UART ch0 受信 DMA 要求	UART0RX_DMAREQ	-	UART ch0 受信 DMA 要求	UART0RX_DMAREQ
7	UART ch0 送信 DMA 要求	UART0TX_DMAREQ	-	UART ch0 送信 DMA 要求	UART0TX_DMAREQ
8	UART ch1 受信 DMA 要求	UART1RX_DMAREQ	-	UART ch1 受信 DMA 要求	UART1RX_DMAREQ
9	UART ch1 送信 DMA 要求	UART1TX_DMAREQ	-	UART ch1 送信 DMA 要求	UART1TX_DMAREQ
10	UART ch2 受信 DMA 要求	UART2RX_DMAREQ	-	UART ch2 受信 DMA 要求	UART2RX_DMAREQ
11	UART ch2 送信 DMA 要求	UART2TX_DMAREQ	-	UART ch2 送信 DMA 要求	UART2TX_DMAREQ
12	UART ch3 受信 DMA 要求	UART3RX_DMAREQ	-	UART ch3 受信 DMA 要求	UART3RX_DMAREQ

注 1)TSPI ch1 は M3HL にはありません。

表 2.28 DMA unit A要求一覧(2/4)

チャネル	シングル転送		トリガーセレクト	バースト転送	
	信号名	信号名		信号名	信号名
13	UART ch3 送信 DMA 要求	UART3TX_DMAREQ	-	UART ch3 送信 DMA 要求	UART3TX_DMAREQ
14	-	-	-	A-PMD ch0 PWM 割り込み	INTPMD0
15	-	-	[TSEL0CR0] <INSEL0[2:0]> (注)	T32A ch0 DMA 要求 レジスターA1 一致	T32A00DMAREQCMPA1
				T32A ch0DMA 要求 レジスターC1 一致	T32A00DMAREQCMPA1
				T32A ch1 DMA 要求 レジスターA1 一致	T32A01DMAREQCMPA1
				T32A ch1 DMA 要求 レジスターC1 一致	T32A01DMAREQCMPA1
16	-	-	[TSEL0CR0] <INSEL1[2:0]> (注)	T32A ch2 DMA 要求 レジスターA1 一致	T32A02DMAREQCMPA1
				T32A ch2 DMA 要求 レジスターC1 一致	T32A02DMAREQCMPA1
				T32A ch3 DMA 要求 レジスターA1 一致	T32A03DMAREQCMPA1
				T32A ch3 DMA 要求 レジスターC1 一致	T32A03DMAREQCMPA1
17	-	-	[TSEL0CR0] <INSEL2[2:0]> (注)	T32A ch0 DMA 要求 レジスターB1 一致	T32A00DMAREQCMPB1
				T32A ch1 DMA 要求 レジスターB1 一致	T32A01DMAREQCMPB1
18	-	-	[TSEL0CR0] <INSEL3[2:0]> (注)	T32A ch2 DMA 要求 レジスターB1 一致	T32A02DMAREQCMPB1
				T32A ch3 DMA 要求 レジスターB1 一致	T32A03DMAREQCMPB1
19	-	-	[TSEL0CR1] <INSEL4[2:0]> (注)	T32A ch0 DMA 要求 キャプチャーA0	T32A00DMAREQCAPA0
				T32A ch0 DMA 要求 キャプチャーA1	T32A00DMAREQCAPA1
				T32A ch1 DMA 要求 キャプチャーA0	T32A01DMAREQCAPA0
				T32A ch1 DMA 要求 キャプチャーA1	T32A01DMAREQCAPA1
				T32A ch0 DMA 要求 キャプチャーC0	T32A00DMAREQCAPC0
				T32A ch0 DMA 要求 キャプチャーC1	T32A00DMAREQCAPC1
				T32A ch1 DMA 要求 キャプチャーC0	T32A01DMAREQCAPC0
				T32A ch1 DMA 要求 キャプチャーC1	T32A01DMAREQCAPC1

注) ch15~ch31 はトリガーセレクトで DMA 要求のトリガースソースを選択します。詳細な接続先については、“2.2 トリガーセレクト(TRGSEL)”を参照してください。

表 2.29 DMA unit A要求一覧(3/4)

チャネル	シングル転送		バースト転送		
	信号名	トリガーセクター	信号名	信号名	
20	-	-	[TSEL0CR1] <INSEL5[2:0]> (注)	T32A ch2 DMA 要求 キャプチャーA0	T32A02DMAREQCAPA0
				T32A ch2 DMA 要求 キャプチャーA1	T32A02DMAREQCAPA1
				T32A ch3 DMA 要求 キャプチャーA0	T32A03DMAREQCAPA0
				T32A ch3 DMA 要求 キャプチャーA1	T32A03DMAREQCAPA1
				T32A ch2 DMA 要求 キャプチャーC0	T32A02DMAREQCAPC0
				T32A ch2 DMA 要求 キャプチャーC1	T32A02DMAREQCAPC1
				T32A ch3 DMA 要求 キャプチャーC0	T32A03DMAREQCAPC0
				T32A ch3 DMA 要求 キャプチャーC1	T32A03DMAREQCAPC1
21	-	-	[TSEL0CR1] <INSEL6[2:0]> (注)	T32A ch0 DMA 要求 キャプチャーB0	T32A00DMAREQCAPB0
				T32A ch0 DMA 要求 キャプチャーB1	T32A00DMAREQCAPB1
				T32A ch1 DMA 要求 キャプチャーB0	T32A01DMAREQCAPB0
				T32A ch1 DMA 要求 キャプチャーB1	T32A01DMAREQCAPB1
22	-	-	[TSEL0CR1] <INSEL7[2:0]> (注)	T32A ch2 DMA 要求 キャプチャーB0	T32A02DMAREQCAPB0
				T32A ch2 DMA 要求 キャプチャーB1	T32A02DMAREQCAPB1
				T32A ch3 DMA 要求 キャプチャーB0	T32A03DMAREQCAPB0
				T32A ch3 DMA 要求 キャプチャーB1	T32A03DMAREQCAPB1
23	-	-	[TSEL0CR2] <INSEL8[2:0]> (注)	DMAC A ch0 転送終了 割り込み	INTDMAATC0
				DMAC A ch1 転送終了 割り込み	INTDMAATC1
				DMAC A ch6 転送終了 割り込み	INTDMAATC6
				DMAC A ch7 転送終了 割り込み	INTDMAATC7
24	-	-	[TSEL0CR2] <INSEL9[2:0]> (注)	DMAC A ch2 転送終了 割り込み	INTDMAATC2
				DMAC A ch3 転送終了 割り込み	INTDMAATC3
				DMAC A ch8 転送終了 割り込み	INTDMAATC8
				DMAC A ch9 転送終了 割り込み	INTDMAATC9

注) ch15~ch31 はトリガーセクターで DMA 要求のトリガースソースを選択します。詳細な接続先については、“2.2 トリガーセクター(TRGSEL)”を参照してください。

表 2.30 DMA unit A要求一覧(4/4)

チャネル	シングル転送		トリガーセクター	バースト転送	
		信号名			信号名
25	-	-	[TSEL0CR2] <INSEL10[2:0]> (注)	DMAC A ch4 転送終了 割り込み	INTDMAATC4
				DMAC A ch5 転送終了 割り込み	INTDMAATC5
				DMAC A ch10 転送終了 割り込み	INTDMAATC10
				DMAC A ch11 転送終了 割り込み	INTDMAATC11
26	-	-	[TSEL0CR2] <INSEL11[2:0]> (注)	DMAC A ch12 転送終了 割り込み	INTDMAATC12
				DMAC A ch13 転送終了 割り込み	INTDMAATC13
				DMAC A ch14 転送終了 割り込み	INTDMAATC14
27	-	-	[TSEL0CR3] <INSEL12[2:0]> (注)	DMAC A ch15 転送終了 割り込み	INTDMAATC15
				DMAC A ch19 転送終了 割り込み	INTDMAATC19
28	-	-	[TSEL0CR3] <INSEL13[2:0]> (注)	DMAC A ch16 転送終了 割り込み	INTDMAATC16
				DMAC A ch20 転送終了 割り込み	INTDMAATC20
29	-	-	[TSEL0CR3] <INSEL14[2:0]> (注)	DMAC A ch17 転送完了 割り込み	INTDMAATC17
				DMAC A ch21 転送終了 割り込み	INTDMAATC21
30	-	-	[TSEL0CR3] <INSEL15[2:0]> (注)	DMAC A ch18 転送終了 割り込み	INTDMAATC18
				DMAC A ch22 転送終了 割り込み	INTDMAATC22
31	-	-	[TSEL0CR4] <INSEL16[2:0]> (注)	PB1 端子	TRGIN0
				PA3 端子	TRGIN1
				PN3 端子	TRGIN2

注) ch15~ch31 はトリガーセクターで DMA 要求のトリガーソースを選択します。詳細な接続先については、“2.2 トリガーセクター(TRGSEL)”を参照してください。

表 2.31 DMA unit B要求一覧(1/4)

チャネル	シングル転送		バースト転送		
		信号名	トリガーセクター		信号名
0	TSPI ch2 受信 DMA 要求(注 2)	TSPI2RX_DMA	[TSEL0CR4] <INSEL17[2:0]> (注 1)	TSPI ch2 受信 DMA 要求(注 2)	TSPI2RX_DMA
				I <sup>2</sup> C ch3 受信 DMA リクエスト (注 3)	I2C3RXDMAREQ
1	TSPI ch2 送信 DMA 要求(注 2)	TSPI2TX_DMA	[TSEL0CR4] <INSEL18[2:0]> (注 1)	TSPI ch2 送信 DMA 要求(注 2)	TSPI2TX_DMA
				I <sup>2</sup> C ch3 送信 DMA リクエスト (注 3)	I2C3TXDMAREQ
2	TSPI ch3 受信 DMA 要求(注 2)	TSPI3RX_DMA	-	TSPI ch3 受信 DMA 要求(注 2)	TSPI3RX_DMA
3	TSPI ch3 送信 DMA 要求(注 2)	TSPI3TX_DMA	-	TSPI ch3 送信 DMA 要求(注 2)	TSPI3TX_DMA
4	TSPI ch4 受信 DMA 要求(注 4)	TSPI4RX_DMA	-	TSPI ch4 受信 DMA 要求(注 4)	TSPI4RX_DMA
5	TSPI ch4 送信 DMA 要求(注 4)	TSPI4TX_DMA	-	TSPI ch4 送信 DMA 要求(注 4)	TSPI4TX_DMA
6	-	-	-	I <sup>2</sup> C ch1 受信 DMA リクエスト (注 2)	I2C1RXDMAREQ
7	-	-	-	I <sup>2</sup> C ch1 送信 DMA リクエスト (注 2)	I2C1TXDMAREQ
8	-	-	-	I <sup>2</sup> C ch2 受信 DMA リクエスト	I2C2RXDMAREQ
9	-	-	-	I <sup>2</sup> C ch2 送信 DMA リクエスト	I2C2TXDMAREQ
10	UART ch4 受信 DMA 要求	UART4RX_DMAREQ	-	UART ch4 受信 DMA 要求	UART4RX_DMAREQ
11	UART ch4 送信 DMA 要求	UART4TX_DMAREQ	-	UART ch4 送信 DMA 要求	UART4TX_DMAREQ
12	UART ch5 受信 DMA 要求	UART5RX_DMAREQ	-	UART ch5 受信 DMA 要求	UART5RX_DMAREQ
13	UART ch5 送信 DMA 要求	UART5TX_DMAREQ	-	UART ch5 送信 DMA 要求	UART5TX_DMAREQ
14	-	-	[TSEL0CR4] <INSEL19[2:0]> (注 1)	ADC ユニット A 汎用トリガー DMA 要求	ADATRG_DMAREQ
				ADC ユニット A 単独変換 DMA 要求	ADASGL_DMAREQ
				ADC ユニット A 連続変換 DMA 要求	ADACNT_DMAREQ
15	-	-	[TSEL0CR5] <INSEL20[2:0]> (注 1)	T32A ch4 DMA 要求レジスター A1 一致	T32A04DMAREQCMPA1
				T32A ch4 DMA 要求レジスター C1 一致	T32A04DMAREQCMPA1
				T32A ch5 DMA 要求レジスター A1 一致	T32A05DMAREQCMPA1
				T32A ch5 DMA 要求レジスター C1 一致	T32A05DMAREQCMPA1
16	-	-	[TSEL0CR5] <INSEL21[2:0]> (注 1)	T32A ch6 DMA 要求レジスター A1 一致	T32A06DMAREQCMPA1
				T32A ch6 DMA 要求レジスター C1 一致	T32A06DMAREQCMPA1
				T32A ch7 DMA 要求レジスター A1 一致	T32A07DMAREQCMPA1
				T32A ch7 DMA 要求レジスター C1 一致	T32A07DMAREQCMPA1

注1) ch0,ch1,ch14~ch31 はトリガーセクターで DMA 要求のトリガーソースを選択します。詳細な接続先については、“2.2 トリガーセクター(TRGSEL)”を参照してください。



- 注2) TSPI ch2、ch3、I<sup>2</sup>C ch1 は M3HL にはありません。  
 注3) I<sup>2</sup>C ch3 は M3HN/M3HM/M3HL にはありません。  
 注4) TSPI ch4 は M3HN、M3HM、M3HL にはありません。

表 2.32 DMA unit B 要求一覧(2/4)

チャネル	シングル転送		バースト転送		
	信号名	トリガーセクター	信号名	信号名	
17	-	-	[TSEL0CR5] <INSEL22[2:0]> (注)	T32A ch4 DMA 要求レジスターB1 一致	T32A04DMAREQCMPB1
				T32A ch5 DMA 要求レジスターB1 一致	T32A05DMAREQCMPB1
18	-	-	[TSEL0CR5] <INSEL23[2:0]> (注)	T32A ch6 DMA 要求レジスターB1 一致	T32A06DMAREQCMPB1
				T32A ch7 DMA 要求レジスターB1 一致	T32A07DMAREQCMPB1
19	-	-	[TSEL0CR6] <INSEL24[2:0]> (注)	T32A ch4 DMA 要求キャプチャーA0	T32A04DMAREQCAPA0
				T32A ch4 DMA 要求キャプチャーA1	T32A04DMAREQCAPA1
				T32A ch5 DMA 要求キャプチャーA0	T32A05DMAREQCAPA0
				T32A ch5 DMA 要求キャプチャーA1	T32A05DMAREQCAPA1
				T32A ch4 DMA 要求キャプチャーC0	T32A04DMAREQCAPC0
				T32A ch4 DMA 要求キャプチャーC1	T32A04DMAREQCAPC1
				T32A ch5 DMA 要求キャプチャーC0	T32A05DMAREQCAPC0
				T32A ch5 DMA 要求キャプチャーC1	T32A05DMAREQCAPC1
20	-	-	[TSEL0CR6] <INSEL25[2:0]> (注)	T32A ch6 DMA 要求キャプチャーA0	T32A06DMAREQCAPA0
				T32A ch6 DMA 要求キャプチャーA1	T32A06DMAREQCAPA1
				T32A ch7 DMA 要求キャプチャーA0	T32A07DMAREQCAPA0
				T32A ch7 DMA 要求キャプチャーA1	T32A07DMAREQCAPA1
				T32A ch6 DMA 要求キャプチャーC0	T32A06DMAREQCAPC0
				T32A ch6 DMA 要求キャプチャーC1	T32A06DMAREQCAPC1
				T32A ch7 DMA 要求キャプチャーC0	T32A07DMAREQCAPC0
				T32A ch7 DMA 要求キャプチャーC1	T32A07DMAREQCAPC1
21	-	-	[TSEL0CR6] <INSEL26[2:0]> (注)	T32A ch4 DMA 要求キャプチャーB0	T32A04DMAREQCAPB0
				T32A ch4 DMA 要求キャプチャーB1	T32A04DMAREQCAPB1
				T32A ch5 DMA 要求キャプチャーB0	T32A05DMAREQCAPB0
				T32A ch5 DMA 要求キャプチャーB1	T32A05DMAREQCAPB1

注) ch0,ch1,ch14~ch31 はトリガーセクターで DMA 要求のトリガーソースを選択します。詳細な接続先については、“2.2 トリガーセクター(TRGSEL)”を参照してください。

表 2.33 DMA unit B要求一覧(3/4)

チャネル	シングル転送		バースト転送		
	信号名	トリガーセクター	信号名	信号名	
22	-	-	[TSEL0CR6] <INSEL27[2:0]> (注)	T32A ch6 DMA 要求キャプチャーB0	T32A06DMAREQCAPB0
				T32A ch6 DMA 要求キャプチャーB1	T32A06DMAREQCAPB1
				T32A ch7 DMA 要求キャプチャーB0	T32A07DMAREQCAPB0
				T32A ch7 DMA 要求キャプチャーB1	T32A07DMAREQCAPB1
23	-	-	[TSEL0CR7] <INSEL28[2:0]> (注)	DMAC B ch0 転送終了割り込み	INTDMABTC0
				DMAC B ch1 転送終了割り込み	INTDMABTC1
				DMAC B ch6 転送終了割り込み	INTDMABTC6
				DMAC B ch7 転送終了割り込み	INTDMABTC7
24	-	-	[TSEL0CR7] <INSEL29[2:0]> (注)	DMAC B ch2 転送終了割り込み	INTDMABTC2
				DMAC B ch3 転送終了割り込み	INTDMABTC3
				DMAC B ch8 転送終了割り込み	INTDMABTC8
				DMAC B ch9 転送終了割り込み	INTDMABTC9
25	-	-	[TSEL0CR7] <INSEL30[2:0]> (注)	DMAC B ch4 転送終了割り込み	INTDMABTC4
				DMAC B ch5 転送終了割り込み	INTDMABTC5
				DMAC B ch10 転送終了割り込み	INTDMABTC10
				DMAC B ch11 転送終了割り込み	INTDMABTC11
26	-	-	[TSEL0CR7] <INSEL31[2:0]> (注)	DMAC B ch12 転送終了割り込み	INTDMABTC12
				DMAC B ch13 転送終了割り込み	INTDMABTC13
				DMAC B ch14 送終了割り込み	INTDMABTC14
27	-	-	[TSEL0CR8] <INSEL32[2:0]> (注)	DMAC B ch15 転送終了割り込み	INTDMABTC15
				DMAC B ch19 転送終了割り込み	INTDMABTC19
28	-	-	[TSEL0CR8] <INSEL33[2:0]> (注)	DMAC B ch16 転送終了割り込み	INTDMABTC16
				DMAC B ch20 転送終了割り込み	INTDMABTC20

注) ch0,ch1,ch14~ch31 はトリガーセクターでDMA 要求のトリガースースを選択します。詳細な接続先については、“2.2 トリガーセクター(TRGSEL)”を参照してください。

表 2.34 DMA unit B要求一覧(4/4)

チャネル	シングル転送		トリガーセクター	バースト転送	
		信号名			信号名
29	-	-	[TSEL0CR8] <INSEL34[2:0]> (注)	DMAC B ch17 転送終了割り込み	INTDMABTC17
				DMAC B ch21 転送終了割り込み	INTDMABTC21
30	-	-	[TSEL0CR8] <INSEL35[2:0]> (注)	DMAC B ch18 転送終了割り込み	INTDMABTC18
				DMAC B ch22 転送終了割り込み	INTDMABTC22
31	-	-	[TSEL0CR9] <INSEL36[2:0]> (注)	PB1 端子	TRGIN0
				PA3 端子	TRGIN1
				PN3 端子	TRGIN2

注) ch0,ch1,ch14~ch31 はトリガーセクターで DMA 要求のトリガーソースを選択します。詳細な接続先については、“2.2 トリガーセクター(TRGSEL)”を参照してください。

## 2.8. アドバンストプログラマブルモーター制御回路(A-PMD)

### 2.8.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.35 A-PMD 搭載チャンネル

製品	A-PMD 搭載チャンネル (○:搭載、-:非搭載)
	ch0
M3HQ	○
M3HP	○
M3HN	○
M3HM	○
M3HL	○

### 2.8.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.36 A-PMD 機能端子

チャンネル	機能端子		信号名	ポート	ポートの製品対応 (○:あり、-なし)				
					M3HQ	M3HP	M3HN	M3HM	M3HL
A-PMD ch0	XO0	出力	XO0	PJ1	○	○	○	○	○
	YO0	出力	YO0	PJ3	○	○	○	○	○
	ZO0	出力	ZO0	PJ5	○	○	○	○	○
	UO0	出力	UO0	PJ0	○	○	○	○	○
	VO0	出力	VO0	PJ2	○	○	○	○	○
	WO0	出力	WO0	PJ4	○	○	○	○	○
	PMD0DBG	出力	PMD0DBG	PP6	○	○	○	○	-
	EMG0	入力	EMGI0	PK0	○	○	○	○	○
	OVV0	入力	OVVI0	PK1	○	○	○	○	○

### 2.8.3. DMA 要求

アドバンストプログラマブルモーター制御回路は、以下の表に示す DMA 要求があります。

表 2.37 A-PMD DMA要求

チャンネル	要求	信号名	トリガー セレクター	DMA 要求チャンネル			
				UNIT	シングル 転送	バースト 転送	
ch0	A-PMD ch0 PWM 割り込み	INTPMD0	-	14	A	-	○

注) ○:対応、-:非対応

## 2.8.4. その他接続

アドバンストプログラマブルモーター制御回路は、下記表のように内部で周辺機能と接続されている信号があります。

表 2.38 A-PMD 内部接続仕様:入力

チャンネル	入出力	機能入力	信号名	入力信号		
				周辺機能		信号名
ch0	入力	OVV 状態信号 (AD 監視機能 0)	ADACMP0L_N	ADC ユニット A	PMD 保護用の監視機能 0 出力	ADACP0L_N
		OVV 状態信号 (AD 監視機能 1)	ADACMP1L_N		PMD 保護用の監視機能 1 出力	ADACP1L_N
		ADC 変換終了割り込み A (PMD0DBG)	INTADAPDA		ADC 変換終了割り込み A	INTADAPDA
		ADC 変換終了割り込み B (PMD0DBG)	INTADAPDB		ADC 変換終了割り込み B	INTADAPDB
		ADC 変換中フラグ (PMD0DBG)	ADABUSY		ADC 変換中フラグ	ADABUSY
		転流トリガー (ENC 位置検出同期)	INTENC00	A-ENC ch0	エンコーダー入力割り込み 0	INTENC00
		転流トリガー (ENC MCMP 同期)	ENC0CTRGO		転流トリガー出力	ENC0CTRGO
		転流トリガー (汎用タイマー同期)	PMD0TMR	T32A ch3	T32A ch3 タイマーレジスターA0 一致トリガー	T32A03TRGOUTCMPA0

表 2.39 A-PMD 内部接続仕様:出力

チャンネル	入出力	機能出力	出力先			
			信号名	周辺機能		信号名
ch0	出力	ADC 同期サンプリング出力 0	PMD0TRG0	ADC ユニット A	PMD トリガー0	PMDTRG0
		ADC 同期サンプリング出力 1	PMD0TRG1		PMD トリガー1	PMDTRG1
		ADC 同期サンプリング出力 2	PMD0TRG2		PMD トリガー2	PMDTRG2
		ADC 同期サンプリング出力 3	PMD0TRG3		PMD トリガー3	PMDTRG3
		ADC 同期サンプリング出力 4	PMD0TRG4		PMD トリガー4	PMDTRG4
		ADC 同期サンプリング出力 5	PMD0TRG5		PMD トリガー5	PMDTRG5
		エンコーダー入力用 PWM 信号	PMD0PWMON	A-ENC ch0	サンプリング用の PWM 信号	ENC0PWMON

## 2.8.5. PMD0DBG 使用時の追加設定

[PMDxDBGOUTCR]でデバッグ出力を設定することができますが、デバッグモード選択で ADC 変換タイミングモニター(<DBGMD[1:0]>=00)を設定する場合は、同時に下記レジスターを設定してください。

表 2.40 ADCモード設定レジスター3の設定値

レジスター名	値	アドレス(Base+)
[ADxMOD3]<MOD3[31:0]>	0x00000001	0x001C

## 2.9. アドバンストエンコーダー入力回路(A-ENC)

### 2.9.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.41 A-ENC 搭載チャンネル

製品	A-ENC 搭載チャンネル (○:搭載、-:非搭載)
	ch0
M3HQ	○
M3HP	○
M3HN	○
M3HM	○
M3HL	○

### 2.9.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.42 A-ENC 機能端子

チャンネル	機能端子		(信号名)	ポート	ポートの製品対応 (○:対応、-:非対応)				
					M3HQ	M3HP	M3HN	M3HM	M3HL
A-ENC ch0	ENC0A	入力	ENC0A	PA0	○	○	○	○	○
	ENC0B	入力	ENC0B	PA1	○	○	○	○	○
	ENC0Z	入力	ENC0Z	PA2	○	○	○	○	○

### 2.9.3. 内部信号接続仕様

#### 2.9.3.1. T32A/A-PMD 接続

アドバンストエンコーダー入力回路は、下記表のように内部で周辺機能と接続されている信号があります。表内の“-”は該当する機能がありません。

表 2.43 A-ENC 内部信号接続仕様:入力

入出力	機能入力	周辺機能		入力信号	
		信号名	周辺機能	信号名	信号名
入力	汎用タイマー出力信号	ENC0PSGI	T32A ch5	T32A ch5 タイマーA 出力	T32A05OUTA
	サンプリング用の PWM 信号	ENC0PWMON	A-PMD ch0	エンコーダー入力用 PWM 信号	PMD0PWMON

表 2.44 A-ENC 内部接続仕様:出力

入出力	機能出力	信号名	トリガー セレクター	出力先		
				周辺機能		信号名
出力	A-ENC 分周 パルス信号	ENC0TIMPLS	[TSEL1CR0] <INSEL1[2:0]> (注)	T32A ch5	T32A ch5 タイマーA 内部トリガー入力	T32A05TRGINAPHCK
	転流トリガー出力	ENC0CTRGO	-	A-PMD ch0	転流トリガー (ENC MCMP 同期)	ENC0CTRGO
	エンコーダー入力 割り込み 0	INTENC00	-		転流トリガー (ENC 位置検出同期)	INTENC00

注) [TSEL1CR0]<INSEL1[2:0]>はトリガーセレクターで起動トリガーのトリガーソースを選択します。  
詳細な接続先については、“2.2 トリガーセレクター(TRGSEL)”を参照してください。

## 2.10. 12ビットアナログデジタルコンバーター(ADC)

### 2.10.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.45 ADC 搭載ユニット

製品	ADC 搭載ユニット (○:搭載、-:非搭載)
	ユニット A
M3HQ	○
M3HP	○
M3HN	○
M3HM	○
M3HL	○

### 2.10.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

製品により機能端子がないチャンネルもあります。

表 2.46 ADC 機能端子とポート

入力チャンネル	機能端子 (信号名)	ポート	ポートの製品対応 (○:あり、-なし)				
			M3HQ	M3HP	M3HN	M3HM	M3HL
ch0	AINA00	PD0	○	○	○	○	○
ch1	AINA01	PD1	○	○	○	○	○
ch2	AINA02	PD2	○	○	○	○	○
ch3	AINA03	PD3	○	○	○	-	-
ch4	AINA04	PE0	○	○	○	○	○
ch5	AINA05	PE1	○	○	○	○	○
ch6	AINA06	PE2	○	○	○	○	○
ch7	AINA07	PE3	○	○	○	○	○
ch8	AINA08	PE4	○	○	○	○	○
ch9	AINA09	PE5	○	○	○	○	○
ch10	AINA10	PE6	○	○	○	○	○
ch11	AINA11	PF0	○	○	○	-	-
ch12	AINA12	PF1	○	○	○	-	-
ch13	AINA13	PF2	○	○	-	-	-
ch14	AINA14	PF3	○	○	-	-	-
ch15	AINA15	PF4	○	○	-	-	-
ch16	AINA16	PF5	○	○	-	-	-
ch17	AINA17	PF6	○	○	-	-	-
ch18	AINA18	PF7	○	○	-	-	-
ch19	AINA19	PD4	○	-	-	-	-
ch20	AINA20	PD5	○	-	-	-	-
ch21	AINA21	DAC0	○	○	○	○	○

注) ch21 を使用する場合は,DAC0 端子はオープンにしてください。



## 2.10.3. ADC 用変換クロック

12 ビットアナログデジタルコンバーターは、AD コンバーター用変換クロックに以下の表に示すクロックが使用されます。

表 2.47 ADC 用変換クロック

クロック
ADCLK

## 2.10.4. モード設定レジスター2 の設定値

モード設定レジスター2 ( $[ADxMOD2]$ )の設定値については、以下の表の値を必ず設定してください。

表 2.48 ADCモード設定レジスター2の設定値

レジスター名	値
$[ADxMOD2]<MOD2[31:0]>$	0x00000300

## 2.10.5. DMA 要求

12 ビットアナログデジタルコンバーターは、以下の表に示す DMA 要求があります。

表 2.49 ADC DMA要求

チャンネル	要求	信号名	トリガー セレクター	DMA 要求チャンネル			
				UNIT	シングル 転送	バースト 転送	
ADC	ADC ユニット A 汎用トリガー DMA 要求	ADATRGMAREQ	$[TSELOCR4]$ $<INSEL19[2:0]>$ (注 1)	14	B	—	○
	ADC ユニット A 単独変換 DMA 要求	ADASGLDMAREQ				—	○
	ADC ユニット A 連続変換 DMA 要求	ADACNTDMAREQ				—	○

注1)  $[TSELOCR4]<INSEL19[2:0]>$ はトリガーセレクターで起動トリガーのトリガースソースを選択します。詳細な接続先については、“2.2 トリガーセレクター(TRGSEL)”を参照してください。

注2) ○:対応、—:非対応

## 2.10.6. 内部信号接続仕様

### 2.10.6.1. 起動トリガー接続仕様

12ビットアナログデジタルコンバーターには、トリガー信号によるAD変換機能があります。

下記表のトリガーセクター欄にレジスター名のある入力トリガー信号は、トリガーセクターで使用する入力トリガーを選択してください。表内の“-”は該当する機能がありません。

表 2.50 ADC 起動トリガー接続仕様

接続先 (信号名)	起動トリガー		
	トリガー セクター	入力トリガー信号	信号名
PMDTRG0	-	PMD トリガー0	PMD0TRG0
PMDTRG1	-	PMD トリガー1	PMD0TRG1
PMDTRG2	-	PMD トリガー2	PMD0TRG2
PMDTRG3	-	PMD トリガー3	PMD0TRG3
PMDTRG4	-	PMD トリガー4	PMD0TRG4
PMDTRG5	-	PMD トリガー5	PMD0TRG5
PMDTRG6	[TSEL0CR9] <INSEL37[2:0]> (注)	PB1 端子	TRGIN0
		PA3 端子	TRGIN1
		PN3 端子	TRGIN2
		T32A ch7 タイマーレジスターA1 一致トリガー	T32A07TRGOUTCMPA1
		T32A ch7 タイマーレジスターB1 一致トリガー	T32A07TRGOUTCMPB1
		T32A ch7 タイマーレジスターC1 一致トリガー	T32A07TRGOUTCMPC1
PMDTRG7	-	-	-
PMDTRG8	-	-	-
PMDTRG9	-	-	-
PMDTRG10	-	-	-
PMDTRG11	-	-	-
ADATRGIN	[TSEL0CR9] <INSEL38[2:0]> (注)	PB1 端子	TRGIN0
		PA3 端子	TRGIN1
		PN3 端子	TRGIN2
		T32A ch7 タイマーレジスターA1 一致トリガー	T32A07TRGOUTCMPA1
		T32A ch7 タイマーレジスターB1 一致トリガー	T32A07TRGOUTCMPB1
		T32A ch7 タイマーレジスターC1 一致トリガー	T32A07TRGOUTCMPC1

注) [TSEL0CR9]<INSELm[2:0]>はトリガーセクターで起動トリガーのトリガースourceを選択します。  
詳細な接続先については、“2.2 トリガーセクター(TRGSEL)”を参照してください。

## 2.10.6.2. T32A/A-PMD 接続

12 ビットアナログデジタルコンバーターは、その他、下記表のように内部で周辺機能と接続されている信号があります。表内の“-”は該当する機能がありません。

表 2.51 ADC 内部接続仕様:出力

入出力	機能出力	信号名	トリガー セレクター	出力先		
				周辺機能		信号名
出力	ADC ユニット A 汎用トリガー割り込み	INTADATRG	[TSEL1CR1] <INSEL7[2:0]> (注)	T32A	タイマーA ch7	T32A07TRGINAPCK
	ADC ユニット A 単独変換割り込み	INTADASGL				
	ADC ユニット A 連続変換割り込み	INTADACNT				
	ADC ユニット A 監視 0 割り込み	INTADACP0				
	ADC ユニット A 監視 1 割り込み	INTADACP1				
	PMD 保護用の 監視機能 0 出力	ADACP0L_N	-	A-PMD ch0	OVV状態信号 (AD監視機能0)	ADACMP0L_N
	PMD 保護用の 監視機能 1 出力	ADACP1L_N	-		OVV状態信号 (AD監視機能1)	ADACMP1L_N

注) [TSEL1CR1]<INSEL7[2:0]>はトリガーセレクターで起動トリガーのトリガースースを選択します。詳細な接続先については、“2.2 トリガーセレクター(TRGSEL)”を参照してください。

## 2.11. 8ビットデジタルアナログコンバーター(DAC)

### 2.11.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.52 DAC 搭載チャンネル

製品	DAC 搭載チャンネル (○:搭載、-:非搭載)	
	ch0	ch1
M3HQ	○	○
M3HP	○	○
M3HN	○	○
M3HM	○	○
M3HL	○	○

### 2.11.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.53 DAC 機能端子とポート

チャンネル	機能端子 (信号名)	ポート	ポートの製品対応 (○:対応、-:非対応)				
			M3HQ	M3HP	M3HN	M3HM	M3HL
DAC ch0	DAC0	PG0	○	○	○	○	○
DAC ch1	DAC1	PG1	○	○	○	○	○

VREFH は AVDD5、VREFL は AVSS に接続されています。

## 2.12. コンパレータ(Comp)

### 2.12.1. 搭載一覧

製品毎の搭載チャンネルを下記表に示します。

表 2.54 コンパレータ 搭載チャンネル

製品	DAC 搭載チャンネル (○:搭載、-:非搭載)
	ch0
M3HQ	○
M3HP	○
M3HN	○
M3HM	○
M3HL	○

表 2.55 コンパレータの入力と出力

信号		接続先	ポートの製品対応 (○:対応、-:非対応)				
			M3HQ	M3HP	M3HN	M3HM	M3HL
AINA00	入力	AINA00(ADC)	○	○	○	○	○
AINA01	入力	AINA01(ADC)	○	○	○	○	○
DAC0(VREFC)	入力	DAC ch0	○	○	○	○	○
COMP 出力	出力	CMPA(A-PMD)	○	○	○	○	○

## 2.13. 電圧検知回路(LVD)

### 2.13.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.56 LVD 搭載一覧

製品	LVD搭載 (○:搭載、-:非搭載)
M3HQ	○
M3HP	○
M3HN	○
M3HM	○
M3HL	○

## 2.13.2. 検知対象電源

電圧検知回路は以下の表の電源をモニターします。

表 2.57 LVD 検知対象電源

検知対象電源	電源名
デジタル用電源端子	DVDD5A, DVDD5B

## 2.14. 32 ビットタイマーイベントカウンター(T32A)

### 2.14.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.58 T32A 搭載チャンネル

製品	T32A チャンネル (○:搭載、-:非搭載)							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
M3HQ	○	○	○	○	○	○	○	○
M3HP	○	○	○	○	○	○	○	○
M3HN	○	○	○	○	○	○	○	○
M3HM	○	○	○	○	○	○	○	○
M3HL	○	○	○	○	○	○	○	○

## 2.14.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

複数に割り当てられている同一機能端子は排他的に使用してください。

製品により機能端子がないチャンネルもあります。

表 2.59 T32A 機能端子とポート(1/3)

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (○:あり、-なし)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
T32A ch0	T32A00OUTA	出力	PA0 / PM0	○/○	○/○	○/○	○/○	○/○
	T32A00OUTB	出力	PA3 / PM3	○/○	○/○	○/○	○/-	○/-
	T32A00OUTC	出力	PA0 / PM0	○/○	○/○	○/○	○/○	○/○
	T32A00INA0	入力	PA1 / PM1	○/○	○/○	○/○	○/○	○/-
	T32A00INA1	入力	PA2 / PM2	○/○	○/○	○/○	○/○	○/-
	T32A00INB0	入力	PA4 / PM4	○/○	○/○	○/○	○/-	-/-
	T32A00INB1	入力	PA5 / PM5	○/○	○/○	○/○	○/-	-/-
	T32A00INC0	入力	PA1 / PM1	○/○	○/○	○/○	○/○	○/-
	T32A00INC1	入力	PA2 / PM2	○/○	○/○	○/○	○/○	○/-
T32A ch1	T32A01OUTA	出力	PB0 / PP0	○/○	○/○	○/○	○/○	○/-
	T32A01OUTB	出力	PB3	○	○	○	○	○
	T32A01OUTC	出力	PB0 / PP0	○/○	○/○	○/○	○/○	○/-
	T32A01INA0	入力	PB1 / PP1	○/○	○/○	○/○	○/○	○/-
	T32A01INA1	入力	PB2 / PP2	○/○	○/○	○/○	○/○	-/-
	T32A01INB0	入力	PB4	○	○	○	○	-
	T32A01INB1	入力	PB5	○	○	○	-	-
	T32A01INC0	入力	PB1 / PP1	○/○	○/○	○/○	○/○	○/-
	T32A01INC1	入力	PB2 / PP2	○/○	○/○	○/○	○/○	○/-

表 2.60 T32A 機能信号とポート(2/3)

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (○:あり、-なし)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
T32A ch2	T32A02OUTA	出力	PC0 / PR0	○/○	○/○	○/○	○/-	○/-
	T32A02OUTB	出力	PC3	○	○	○	○	○
	T32A02OUTC	出力	PC0 / PR0	○/○	○/○	○/○	○/-	○/-
	T32A02INA0	入力	PC1 / PR1	○/○	○/○	○/○	○/-	○/-
	T32A02INA1	入力	PC2 / PR2	○/○	○/○	○/○	○/-	-/-
	T32A02INB0	入力	PC4	○	○	○	○	○
	T32A02INB1	入力	PC5	○	○	○	○	-
	T32A02INC0	入力	PC1 / PR1	○/○	○/○	○/○	○/-	○/-
	T32A02INC1	入力	PC2 / PR2	○/○	○/○	○/○	○/-	-/-
T32A ch3	T32A03OUTA	出力	PJ0	○	○	○	○	○
	T32A03OUTB	出力	PJ3	○	○	○	○	○
	T32A03OUTC	出力	PJ0	○	○	○	○	○
	T32A03INA0	入力	PJ1	○	○	○	○	○
	T32A03INA1	入力	PJ2	○	○	○	○	○
	T32A03INB0	入力	PJ4	○	○	○	○	○
	T32A03INB1	入力	PJ5	○	○	○	○	○
	T32A03INC0	入力	PJ1	○	○	○	○	○
	T32A03INC1	入力	PJ2	○	○	○	○	○
T32A ch4	T32A04OUTA	出力	PK2	○	○	○	○	○
	T32A04OUTB	出力	PK5	○	○	○	○	○
	T32A04OUTC	出力	PK2	○	○	○	○	○
	T32A04INA0	入力	PK3	○	○	○	○	○
	T32A04INA1	入力	PK4	○	○	○	○	○
	T32A04INB0	入力	PK6	○	○	○	○	○
	T32A04INB1	入力	PK7	○	○	○	○	-
	T32A04INC0	入力	PK3	○	○	○	○	○
	T32A04INC1	入力	PK4	○	○	○	○	○
T32A ch5	T32A05OUTA	出力	PN0	○	○	○	○	-
	T32A05OUTB	出力	PN3	○	○	○	○	○
	T32A05OUTC	出力	PN0	○	○	○	○	○
	T32A05INA0	入力	PN1	○	○	○	○	○
	T32A05INA1	入力	PN2	○	○	○	○	○
	T32A05INB0	入力	PN4	○	○	○	○	-
	T32A05INB1	入力	PN5	○	○	○	-	-
	T32A05INC0	入力	PN1	○	○	○	○	○
	T32A05INC1	入力	PN2	○	○	○	○	○



表 2.61 T32A 機能信号とポート(3/3)

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (○:あり、-なし)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
T32A ch6	T32A06OUTA	出力	PL5/PT5	○/○	○/-	○/-	-/-	-/-
	T32A06OUTB	出力	PL2/PT2	○/○	○/○	○/-	○/-	○/-
	T32A06OUTC	出力	PL5/PT5	○/○	○/-	○/-	-/-	-/-
	T32A06INA0	入力	PL6/PT6	○/○	○/-	○/-	-/-	-/-
	T32A06INA1	入力	PL7/PT7	○/○	○/-	-/-	-/-	-/-
	T32A06INB0	入力	PL3/PT3	○/○	○/○	○/-	○/-	○/-
	T32A06INB1	入力	PL4/PT4	○/○	○/-	○/-	○/-	○/-
	T32A06INC0	入力	PL6/PT6	○/○	○/-	○/-	-/-	-/-
	T32A06INC1	入力	PL7/PT7	○/○	○/-	-/-	-/-	-/-
T32A ch7	T32A07OUTA	出力	PG2	○	○	-	-	-
	T32A07OUTB	出力	PG5	○	○	-	-	-
	T32A07OUTC	出力	PG2	○	○	-	-	-
	T32A07INA0	入力	PG3	○	○	-	-	-
	T32A07INA1	入力	PG4	○	○	-	-	-
	T32A07INB0	入力	PG6	○	○	-	-	-
	T32A07INB1	入力	PG7	○	○	-	-	-
	T32A07INC0	入力	PG3	○	○	-	-	-
	T32A07INC1	入力	PG4	○	○	-	-	-

### 2.14.3. プリスケーラー用クロック

32 ビットタイマーイベントカウンターは、プリスケーラー用クロックに以下の表に示すクロックが使用されます。

表 2.62 T32A プリスケーラー用クロック

クロック
ΦT0

### 2.14.4. 内部信号接続仕様

32 ビットタイマーイベントカウンターは、以下の表に示す信号が接続されます。

下記表のトリガーセクター欄にレジスター名のある入力トリガー信号は、トリガーソースで使用する入力トリガーを選択してください。

## 2.14.4.1. キャプチャトリガー信号接続仕様

表 2.63 T32A キャプチャトリガー信号接続仕様(1/4)

	チャンネル		トリガースource			
	タイマー	キャプチャトリガー入力信号名	トリガーセクター	入力トリガー信号	信号名	
T32A ch0	A	T32A00TRGINAPHCK (他タイマー出力)	-	-	-	
		T32A00TRGINAPCK (内部トリガー入力)	[TSEL0CR12] <INSEL50[2:0]> (注)	PB1 端子	TRGIN0	
				PA3 端子	TRGIN1	
				PN3 端子	TRGIN2	
				UART ch0 送信完了トリガー	UART0TXTRG	
	UART ch0 受信完了トリガー	UART0RXTRG				
	B	T32A00TRGINBPHCK (他タイマー出力)	T32A ch0 タイマーA 出力			T32A00OUTA
		T32A00TRGINBPCK (内部トリガー入力)	[TSEL0CR12] <INSEL51[2:0]> (注)	T32A ch0 タイマーレジスターA0 一致トリガー	T32A00TRGOUTCMPA0	
				T32A ch0 タイマーレジスターA1 一致トリガー	T32A00TRGOUTCMPA1	
				T32A ch0 タイマーA オーバーフロートリガー	T32A00TRGOUTOFA	
	T32A ch0 タイマーA アンダーフロートリガー	T32A00TRGOUTUFA				
	C	T32A00TRGINCPHCK (他タイマー出力)	-	-	-	
T32A00TRGINCPCK (内部トリガー入力)		[TSEL0CR13] <INSEL52[2:0]> (注)	T32A ch7 タイマーレジスターC0 一致トリガー	T32A07TRGOUTCMPC0		
			T32A ch7 タイマーレジスターC1 一致トリガー	T32A07TRGOUTCMPC1		
			T32A ch7 タイマーC オーバーフロートリガー	T32A07TRGOUTOFC		
T32A ch7 タイマーC アンダーフロートリガー	T32A07TRGOUTUFC					
T32A ch1	A	T32A01TRGINAPHCK (他タイマー出力)	-	-	-	
		T32A01TRGINAPCK (内部トリガー入力)	[TSEL0CR13] <INSEL53[2:0]> (注)	PB1 端子	TRGIN0	
				PA3 端子	TRGIN1	
				PN3 端子	TRGIN2	
				UART ch1 送信完了トリガー	UART1TXTRG	
				UART ch1 受信完了トリガー	UART1RXTRG	
	I <sup>2</sup> C ch0 送受信割り込み	INTI2C0				
	B	T32A01TRGINBPHCK (他タイマー出力)	T32A ch1 タイマーA 出力			T32A01OUTA
		T32A01TRGINBPCK (内部トリガー入力)	[TSEL0CR13] <INSEL54[2:0]> (注)	T32A ch1 タイマーレジスターA0 一致トリガー	T32A01TRGOUTCMPA0	
				T32A ch1 タイマーレジスターA1 一致トリガー	T32A01TRGOUTCMPA1	
				T32A ch1 タイマーA オーバーフロートリガー	T32A01TRGOUTOFA	
	T32A ch1 タイマーA アンダーフロートリガー	T32A01TRGOUTUFA				
C	T32A01TRGINCPHCK (他タイマー出力)	T32A ch0 タイマーC 出力			T32A00OUTC	
	T32A01TRGINCPCK (内部トリガー入力)	[TSEL0CR13] <INSEL55[2:0]> (注)	T32A ch0 タイマーレジスターC0 一致トリガー	T32A00TRGOUTCMPC0		
			T32A ch0 タイマーレジスターC1 一致トリガー	T32A00TRGOUTCMPC1		
			T32A ch0 タイマーC オーバーフロートリガー	T32A00TRGOUTOFC		
T32A ch0 タイマーC アンダーフロートリガー	T32A00TRGOUTUFC					

注) [TSEL0CRn]<INSELm[2:0]>はトリガーセクターで内部トリガーのトリガースourceを選択します。詳細な接続先については、“2.2 トリガーセクター(TRGSEL)”を参照してください。

表 2.64 T32A キャプチャトリガー信号接続仕様(2/4)

	チャネル		トリガースource			
	タイマ ー	キャプチャトリガー入力 信号名	トリガーセレクター	入力トリガー信号	信号名	
T32A ch2	A	T32A02TRGINAPHCK (他タイマー出力)	-	-	-	
		T32A02TRGINAPCK (内部トリガー入力)	[TSEL0CR14] <INSEL56[2:0]> (注 1)	PB1 端子	TRGIN0	
				PA3 端子	TRGIN1	
				PN3 端子	TRGIN2	
				UART ch2 送信完了トリガー	UART2TXTRG	
				UART ch2 受信完了トリガー	UART2RXTRG	
				TSPI ch0 送信完了トリガー	TSPI0TXEND	
				TSPI ch0 受信完了トリガー	TSPI0RXEND	
	I <sup>2</sup> C ch1 送受信割り込み	INTI2C1				
	B	T32A02TRGINBPHCK (他タイマー出力)	T32A ch2 タイマーA 出力			T32A02OUTA
		T32A02TRGINBPCK (内部トリガー入力)	[TSEL0CR14] <INSEL57[2:0]> (注 1)	T32A ch2 タイマーレジスターA0 一致トリガー	T32A02TRGOUTCMPA0	
				T32A ch2 タイマーレジスターA1 一致トリガー	T32A02TRGOUTCMPA1	
				T32A ch2 タイマーA オーバーフロートリガー	T32A02TRGOUTOFA	
	T32A ch2 タイマーA アンダーフロートリガー	T32A02TRGOUTUFA				
C	T32A02TRGINCPHCK (他タイマー出力)	-	-	-		
	T32A02TRGINCPCK (内部トリガー入力)	[TSEL0CR14] <INSEL58[2:0]> (注 1)	T32A ch1 タイマーレジスターC0 一致トリガー	T32A01TRGOUTCMPC0		
			T32A ch1 タイマーレジスターC1 一致トリガー	T32A01TRGOUTCMPC1		
			T32A ch1 タイマーC オーバーフロートリガー	T32A01TRGOUTOFC		
T32A ch1 タイマーC アンダーフロートリガー	T32A01TRGOUTUFC					
T32A ch3	A	T32A03TRGINAPHCK (他タイマー出力)	-	-	-	
		T32A03TRGINAPCK (内部トリガー入力)	[TSEL0CR14] <INSEL59[2:0]> (注 1)	PB1 端子	TRGIN0	
				PA3 端子	TRGIN1	
				PN3 端子	TRGIN2	
				UART ch3 送信完了トリガー	UART3TXTRG	
				UART ch3 受信完了トリガー	UART3RXTRG	
				TSPI ch1 送信完了信号(注 2)	TSPI1TXEND	
				TSPI ch1 受信完了信号(注 2)	TSPI1RXEND	
	I <sup>2</sup> C ch2 送受信割り込み	INTI2C2				
	B	T32A03TRGINBPHCK (他タイマー出力)	T32A ch3 タイマーA 出力			T32A03OUTA
		T32A03TRGINBPCK (内部トリガー入力)	[TSEL0CR15] <INSEL60[2:0]> (注)	T32A ch3 タイマーレジスターA0 一致トリガー	T32A03TRGOUTCMPA0	
				T32A ch3 タイマーレジスターA1 一致トリガー	T32A03TRGOUTCMPA1	
				T32A ch3 タイマーA オーバーフロートリガー	T32A03TRGOUTOFA	
	T32A ch3 タイマーA アンダーフロートリガー	T32A03TRGOUTUFA				
	C	T32A03TRGINCPHCK (他タイマー出力)	T32A ch2 タイマーC 出力			T32A02OUTC
		T32A03TRGINCPCK (内部トリガー入力)	[TSEL0CR15] <INSEL61[2:0]> (注 1)	T32A ch2 タイマーレジスターC0 一致トリガー	T32A02TRGOUTCMPC0	
				T32A ch2 タイマーレジスターC1 一致トリガー	T32A02TRGOUTCMPC1	
				T32A ch2 タイマーC オーバーフロートリガー	T32A02TRGOUTOFC	
T32A ch2 タイマーC アンダーフロートリガー	T32A02TRGOUTUFC					

注 1) [TSEL0CRn]<INSELm[2:0]>はトリガーセレクターで内部トリガーのトリガースourceを選択します。詳細な接続先については、“2.2 トリガーセレクター(TRGSEL)”を参照してください。

注 2) TSPIch1 は、M3HL にはありません。

表 2.65 T32A キャプチャトリガー信号接続仕様(3/4)

チャンネル		トリガースource		
タイマ	キャプチャトリガー 入力信号名	トリガーセレクター	入力トリガー信号	信号名
T32A ch4	T32A04TRGINAPHCK (他タイマー出力)	-	-	-
	A T32A04TRGINAPCK (内部トリガー入力)	[TSEL0CR15] <INSEL62[2:0]> (注 1)	PB1 端子	TRGIN0
			PA3 端子	TRGIN1
			PN3 端子	TRGIN2
			UART ch4 送信完了トリガー	UART4TXTRG
			UART ch4 受信完了トリガー	UART4RXTRG
			TSPI ch2 送信完了信号(注 2)	TSPI2TXEND
			TSPI ch2 受信完了信号(注 2)	TSPI2RXEND
	I <sup>2</sup> C ch3 送受信割り込み (注 3)	INTI2C3		
	B T32A04TRGINBPCK (内部トリガー入力)	[TSEL0CR15] <INSEL63[2:0]> (注 1)	T32A ch4 タイマー-A 出力	T32A04OUTA
			T32A ch4 タイマーレジスターA0 一致トリガー	T32A04TRGOUTCMPA0
			T32A ch4 タイマーレジスターA1 一致トリガー	T32A04TRGOUTCMPA1
			T32A ch4 タイマー-A オーバーフロートリガー	T32A04TRGOUTOFA
	T32A ch4 タイマー-A アンダーフロートリガー	T32A04TRGOUTUFA		
	C T32A04TRGINCPCK (内部トリガー入力)	[TSEL1CR0] <INSEL0[2:0]> (注 1)	T32A ch3 タイマーレジスターC0 一致トリガー	T32A03TRGOUTCMPC0
T32A ch3 タイマーレジスターC1 一致トリガー			T32A03TRGOUTCMPC1	
T32A ch3 タイマー-C オーバーフロートリガー			T32A03TRGOUTOFC	
T32A ch3 タイマー-C アンダーフロートリガー			T32A03TRGOUTUFC	
T32A ch5	T32A05TRGINAPHCK (他タイマー出力)	-	-	-
	A T32A05TRGINAPCK (内部トリガー入力)	[TSEL1CR0] <INSEL1[2:0]> (注 1)	PB1 端子	TRGIN0
			PA3 端子	TRGIN1
			PN3 端子	TRGIN2
			UART ch5 送信完了トリガー	UART5TXTRG
			UART ch5 受信完了トリガー	UART5RXTRG
			TSPI ch3 送信完了信号(注 2)	TSPI3TXEND
			TSPI ch3 受信完了信号(注 2)	TSPI3RXEND
	A-ENC 分周パルス信号	ENC0TIMPLS		
	B T32A05TRGINBPCK (内部トリガー入力)	[TSEL1CR0] <INSEL2[2:0]> (注 1)	T32A ch5 タイマー-A 出力	T32A05OUTA
			T32A ch5 タイマーレジスターA0 一致トリガー	T32A05TRGOUTCMPA0
			T32A ch5 タイマーレジスターA1 一致トリガー	T32A05TRGOUTCMPA1
			T32A ch5 タイマー-A オーバーフロートリガー	T32A05TRGOUTOFA
	T32A ch5 タイマー-A アンダーフロートリガー	T32A05TRGOUTUFA		
	C T32A05TRGINCPCK (内部トリガー入力)	[TSEL1CR0] <INSEL3[2:0]> (注 1)	T32A ch4 タイマー-C 出力	T32A04OUTC
T32A ch4 タイマーレジスターC0 一致トリガー			T32A04TRGOUTCMPC0	
T32A ch4 タイマーレジスターC1 一致トリガー			T32A04TRGOUTCMPC1	
T32A ch4 タイマー-C オーバーフロートリガー			T32A04TRGOUTOFC	
T32A ch4 タイマー-C アンダーフロートリガー	T32A04TRGOUTUFC			

注1) [TSEL0CRn]<INSELM[2:0]>, [TSEL1CRn]<INSELM[2:0]>はトリガーセレクターで内部トリガーのトリガースourceを選択します。詳細な接続先については、“2.2 トリガーセレクター (TRGSEL)”を参照してください。

注2) TSPI ch2、ch3 は M3HL にはありません。

注3) I<sup>2</sup>C ch3 は M3HN,M3HM,M3HL にはありません。

表 2.66 T32A キャプチャトリガー信号接続仕様(4/4)

チャンネル		トリガースource			
タイマー	キャプチャトリガー入力信号名	トリガーセレクター	入力トリガー信号	信号名	
T32A ch6	T32A06TRGINAPHCK (他タイマー出力)	-	-	-	
	A	T32A06TRGINAPCK (内部トリガー入力)	[TSEL1CR1] <INSEL4[2:0]> (注 1)	PB1 端子	TRGIN0
				PA3 端子	TRGIN1
				PN3 端子	TRGIN2
				TSPI ch4 送信完了信号 (注 2)	TSPI4TXEND
				TSPI ch4 受信完了信号 (注 2)	TSPI4RXEND
				ELOSC 低速クロック	fs
	B	T32A06TRGINBPHCK (他タイマー出力)	T32A ch6 タイマーA 出力		T32A06OUTA
		T32A06TRGINBPCK (内部トリガー入力)	[TSEL1CR1] <INSEL5[2:0]> (注 1)	T32A ch6 タイマーレジスターA0 一致トリガー	T32A06TRGOUTCMPA0
				T32A ch6 タイマーレジスターA1 一致トリガー	T32A06TRGOUTCMPA1
				T32A ch6 タイマーA オーバーフロートリガー	T32A06TRGOUTOFA
			T32A ch6 タイマーA アンダーフロートリガー	T32A06TRGOUTUFA	
	C	T32A06TRGINCPHCK (他タイマー出力)	-	-	-
		T32A06TRGINCPCK (内部トリガー入力)	[TSEL1CR1] <INSEL6[2:0]> (注 1)	T32A ch5 タイマーレジスターC0 一致トリガー	T32A05TRGOUTCMPC0
				T32A ch5 タイマーレジスターC1 一致トリガー	T32A05TRGOUTCMPC1
T32A ch5 タイマーC オーバーフロートリガー				T32A05TRGOUTOFC	
		T32A ch5 タイマーC アンダーフロートリガー	T32A05TRGOUTUFC		
T32A ch7	T32A07TRGINAPHCK (他タイマー出力)	-	-	-	
	A	T32A07TRGINAPCK (内部トリガー入力)	[TSEL1CR1] <INSEL7[2:0]> (注 1)	PB1 端子	TRGIN0
				PA3 端子	TRGIN1
				PN3 端子	TRGIN2
				ADC ユニット A 汎用トリガー割り込み	INTADATRG
				ADC ユニット A 単独変換割り込み	INTADASGL
				ADC ユニット A 連続変換割り込み	INTADACNT
				ADC ユニット A 監視 0 割り込み	INTADACP0
			ADC ユニット A 監視 1 割り込み	INTADACP1	
	B	T32A07TRGINBPHCK (他タイマー出力)	T32A ch7 タイマーA 出力		T32A07OUTA
		T32A07TRGINBPCK (内部トリガー入力)	[TSEL1CR2] <INSEL8[2:0]> (注 1)	T32A ch7 タイマーレジスターA0 一致トリガー	T32A07TRGOUTCMPA0
				T32A ch7 タイマーレジスターA1 一致トリガー	T32A07TRGOUTCMPA1
				T32A ch7 タイマーA オーバーフロートリガー	T32A07TRGOUTOFA
			T32A ch7 タイマーA アンダーフロートリガー	T32A07TRGOUTUFA	
	C	T32A07TRGINCPHCK (他タイマー出力)	T32A ch6 タイマーC 出力		T32A06OUTC
T32A07TRGINCPCK (内部トリガー入力)		[TSEL1CR2] <INSEL9[2:0]> (注 1)	T32A ch6 タイマーレジスターC0 一致トリガー	T32A06TRGOUTCMPC0	
			T32A ch6 タイマーレジスターC1 一致トリガー	T32A06TRGOUTCMPC1	
			T32A ch6 タイマーC オーバーフロートリガー	T32A06TRGOUTOFC	
		T32A ch6 タイマーC アンダーフロートリガー	T32A06TRGOUTUFC		

注1) [TSEL1CRn]<INSELM[2:0]>はトリガーセレクターで内部トリガーのトリガースourceを選択します。詳細な接続先については、“2.2 トリガーセレクター(TRGSEL)”を参照してください。

注2) TSPI ch4 は M3HN、M3HM、M3HL にはありません。

## 2.14.4.2. 同期制御接続仕様

32 ビットタイマーイベントカウンタは、以下の表に示すように同じチャンネル内でタイマーが同期接続されています。

表 2.67 T32A 同期制御接続仕様(1/2)

マスター				スレーブ			
チャネル	タイマー	機能(出力)	信号名	チャネル	タイマー	機能(入力)	信号名
ch0	A	同期スタート出力 A	T32A00SYNCSTARTOUTA	ch0	B	同期スタート B	T32A00SYNCSTARTB
				ch1	A	同期スタート A	T32A01SYNCSTARTA
		同期ストップ出力 A	T32A00SYNCSTOPOUTA	ch0	B	同期ストップ B	T32A00SYNCSTOPB
				ch1	A	同期ストップ A	T32A01SYNCSTOPA
		同期リロード出力 A	T32A00SYNCRELOADOUTA	ch0	B	同期リロード B	T32A00SYNCRELOADB
				ch1	A	同期リロード A	T32A01SYNCRELOADA
	C	同期スタート出力 C	T32A00SYNCSTARTOUTC	ch1	C	同期スタート C	T32A01SYNCSTARTC
		同期ストップ出力 C	T32A00SYNCSTOPOUTC			同期ストップ C	T32A01SYNCSTOPC
		同期リロード出力 C	T32A00SYNCRELOADOUTC			同期リロード C	T32A01SYNCRELOADC
ch2	A	同期スタート出力 A	T32A02SYNCSTARTOUTA	ch2	B	同期スタート B	T32A02SYNCSTARTB
				ch3	A	同期スタート A	T32A03SYNCSTARTA
		同期ストップ出力 A	T32A02SYNCSTOPOUTA	ch2	B	同期ストップ B	T32A02SYNCSTOPB
				ch3	A	同期ストップ A	T32A03SYNCSTOPA
		同期リロード出力 A	T32A02SYNCRELOADOUTA	ch2	B	同期リロード B	T32A02SYNCRELOADB
				ch3	A	同期リロード A	T32A03SYNCRELOADA
	C	同期スタート出力 C	T32A02SYNCSTARTOUTC	ch3	C	同期スタート C	T32A03SYNCSTARTC
		同期ストップ出力 C	T32A02SYNCSTOPOUTC			同期ストップ C	T32A03SYNCSTOPC
		同期リロード出力 C	T32A02SYNCRELOADOUTC			同期リロード C	T32A03SYNCRELOADC
ch4	A	同期スタート出力 A	T32A04SYNCSTARTOUTA	ch4	B	同期スタート B	T32A04SYNCSTARTB
				ch5	A	同期スタート A	T32A05SYNCSTARTA
		同期ストップ出力 A	T32A04SYNCSTOPOUTA	ch4	B	同期ストップ B	T32A04SYNCSTOPB
				ch5	A	同期ストップ A	T32A05SYNCSTOPA
		同期リロード出力 A	T32A04SYNCRELOADOUTA	ch4	B	同期リロード B	T32A04SYNCRELOADB
				ch5	A	同期リロード A	T32A05SYNCRELOADA
	C	同期スタート出力 C	T32A04SYNCSTARTOUTC	ch5	C	同期スタート C	T32A05SYNCSTARTC
		同期ストップ出力 C	T32A04SYNCSTOPOUTC			同期ストップ C	T32A05SYNCSTOPC
		同期リロード出力 C	T32A04SYNCRELOADOUTC			同期リロード C	T32A05SYNCRELOADC

表 2.68 T32A 同期制御接続仕様(2/2)

マスター				スレーブ			
チャネル	タイマー	機能(出力)	信号名	チャネル	タイマー	機能(入力)	信号名
ch6	A	同期スタート出力 A	T32A06SYNCSTARTOUTA	ch6	タイマーB	同期スタート B	T32A06SYNCSTARTB
				ch7	タイマーA	同期スタート A	T32A07SYNCSTARTA
		同期ストップ出力 A	T32A06SYNCSTOPOUTA	ch6	タイマーB	同期ストップ B	T32A06SYNCSTOPB
				ch7	タイマーA	同期ストップ A	T32A07SYNCSTOPA
		同期リロード出力 A	T32A06SYNCRELOADOUTA	ch6	タイマーB	同期リロード B	T32A06SYNCRELOADB
				ch7	タイマーA	同期リロード A	T32A07SYNCRELOADA
	C	同期スタート出力 C	T32A06SYNCSTARTOUTC	ch7	タイマーC	同期スタート C	T32A07SYNCSTARTC
		同期ストップ出力 C	T32A06SYNCSTOPOUTC			同期ストップ C	T32A07SYNCSTOPC
		同期リロード出力 C	T32A06SYNCRELOADOUTC			同期リロード C	T32A07SYNCRELOADC

## 2.14.5. 製品別パルスカウント対応一覧

32 ビットタイマーイベントカウンタは、以下の表に示すように製品によってパルスカウントの対応が異なります。

表 2.69 T32A 製品別パルスカウント対応一覧

チャネル	M3HQ	M3HP	M3HN	M3HM	M3HL
T32A ch0			2 相パルスカウント 1 相パルスカウント		
T32A ch1			2 相パルスカウント 1 相パルスカウント		
T32A ch2			2 相パルスカウント 1 相パルスカウント		1 相パルスカウント (T32A02INC0 のみ)
T32A ch3			2 相パルスカウント 1 相パルスカウント		
T32A ch4			2 相パルスカウント 1 相パルスカウント		
T32A ch5			2 相パルスカウント 1 相パルスカウント		
T32A ch6	2 相パルスカウント 1 相パルスカウント		1 相パルスカウント (T32A06INC0 のみ)	-	-
T32A ch7	2 相パルスカウント 1 相パルスカウント		-	-	-

## 2.14.6. DMA 要求

32 ビットタイマーイベントカウンタは、以下の表に示す DMA 要求があります。

表のトリガーセクター欄にレジスタ名の記載あるものは、トリガーセクターで使用する要求を選択してください。

表 2.70 T32A DMA要求(1/3)

チャンネル	要求	信号名	トリガーセクター (注 2)	DMA 要求チャンネル			
				UNIT	シングル 転送	バースト 転送	
T32A ch0	T32A ch0 DMA 要求レジスタ-A1 一致	T32A00DMAREQCPA1	[TSEL0CR0] <INSEL0[2:0]>	15	A	-	○
	T32A ch0 DMA 要求レジスタ-C1 一致	T32A00DMAREQCMPC1					
	T32A ch0 DMA 要求レジスタ-B1 一致	T32A00DMAREQCMPB1	[TSEL0CR0] <INSEL2[2:0]>	17	A	-	○
	T32A ch0 DMA 要求キャプチャー-A0	T32A00DMAREQCAPA0					
	T32A ch0 DMA 要求キャプチャー-A1	T32A00DMAREQCAPA1	[TSEL0CR1] <INSEL4[2:0]>	19	A	-	○
	T32A ch0 DMA 要求キャプチャー-C0	T32A00DMAREQCAPC0					
	T32A ch0 DMA 要求キャプチャー-C1	T32A00DMAREQCAPC1					
	T32A ch0 DMA 要求キャプチャー-B0	T32A00DMAREQCAPB0	[TSEL0CR1] <INSEL6[2:0]>	21	A	-	○
T32A ch0 DMA 要求キャプチャー-B1	T32A00DMAREQCAPB1						
T32A ch1	T32A ch1 DMA 要求レジスタ-A1 一致	T32A01DMAREQCPA1	[TSEL0CR0] <INSEL0[2:0]>	15	A	-	○
	T32A ch1 DMA 要求レジスタ-C1 一致	T32A01DMAREQCMPC1					
	T32A ch1 DMA 要求レジスタ-B1 一致	T32A01DMAREQCMPB1	[TSEL0CR0] <INSEL2[2:0]>	17	A	-	○
	T32A ch1 DMA 要求キャプチャー-A0	T32A01DMAREQCAPA0					
	T32A ch1 DMA 要求キャプチャー-A1	T32A01DMAREQCAPA1	[TSEL0CR1] <INSEL4[2:0]>	19	A	-	○
	T32A ch1 DMA 要求キャプチャー-C0	T32A01DMAREQCAPC0					
	T32A ch1 DMA 要求キャプチャー-C1	T32A01DMAREQCAPC1					
	T32A ch1 DMA 要求キャプチャー-B0	T32A01DMAREQCAPB0	[TSEL0CR1] <INSEL6[2:0]>	21	A	-	○
T32A ch1 DMA 要求キャプチャー-B1	T32A01DMAREQCAPB1						

注 1) ○:対応、-:非対応

注 2) [TSEL0CRn]<INSELm[2:0]>はトリガーセクターで起動トリガーのトリガーソースを選択します。詳細な接続先については、“2.2. トリガーセクター(TRGSEL)”を参照してください。



表 2.71 T32A DMA要求(2/3)

チャンネル	要求	信号名	トリガーセクター (注 2)	DMA 要求チャンネル			
				UNIT	シングル 転送	バースト 転送	
T32A ch2	T32A ch2 DMA 要求レジスタ-A1 一致	T32A02DMAREQCMPA1	[TSEL0CR0] <INSEL1[2:0]>	16	A	-	○
	T32A ch2 DMA 要求レジスタ-C1 一致	T32A02DMAREQCMPC1					
	T32A ch2 DMA 要求レジスタ-B1 一致	T32A02DMAREQCMPB1	[TSEL0CR0] <INSEL3[2:0]>	18	A	-	○
	T32A ch2 DMA 要求キャプチャーA0	T32A02DMAREQCAPA0					
	T32A ch2 DMA 要求キャプチャーA1	T32A02DMAREQCAPA1	[TSEL0CR1] <INSEL5[2:0]>	20	A	-	○
	T32A ch2 DMA 要求キャプチャーC0	T32A02DMAREQCAPC0					
	T32A ch2 DMA 要求キャプチャーC1	T32A02DMAREQCAPC1					
	T32A ch2 DMA 要求キャプチャーB0	T32A02DMAREQCAPB0	[TSEL0CR1] <INSEL7[2:0]>	22	A	-	○
T32A ch2 DMA 要求キャプチャーB1	T32A02DMAREQCAPB1						
T32A ch3	T32A ch3 DMA 要求レジスタ-A1 一致	T32A03DMAREQCMPA1	[TSEL0CR0] <INSEL1[2:0]>	16	A	-	○
	T32A ch3 DMA 要求レジスタ-C1 一致	T32A03DMAREQCMPC1					
	T32A ch3 DMA 要求レジスタ-B1 一致	T32A03DMAREQCMPB1	[TSEL0CR0] <INSEL3[2:0]>	18	A	-	○
	T32A ch3 DMA 要求キャプチャーA0	T32A03DMAREQCAPA0					
	T32A ch3 DMA 要求キャプチャーA1	T32A03DMAREQCAPA1	[TSEL0CR1] <INSEL5[2:0]>	20	A	-	○
	T32A ch3 DMA 要求キャプチャーC0	T32A03DMAREQCAPC0					
	T32A ch3 DMA 要求キャプチャーC1	T32A03DMAREQCAPC1					
	T32A ch3 DMA 要求キャプチャーB0	T32A03DMAREQCAPB0	[TSEL0CR1] <INSEL7[2:0]>	22	A	-	○
T32A ch3 DMA 要求キャプチャーB1	T32A03DMAREQCAPB1						
T32A ch4	T32A ch4 DMA 要求レジスタ-A1 一致	T32A04DMAREQCMPA1	[TSEL0CR5] <INSEL20[2:0]>	15	B	-	○
	T32A ch4 DMA 要求レジスタ-C1 一致	T32A04DMAREQCMPC1					
	T32A ch4 DMA 要求レジスタ-B1 一致	T32A04DMAREQCMPB1	[TSEL0CR5] <INSEL22[2:0]>	17	B	-	○
	T32A ch4 DMA 要求キャプチャーA0	T32A04DMAREQCAPA0					
	T32A ch4 DMA 要求キャプチャーA1	T32A04DMAREQCAPA1	[TSEL0CR6] <INSEL24[2:0]>	19	B	-	○
	T32A ch4 DMA 要求キャプチャーC0	T32A04DMAREQCAPC0					
	T32A ch4 DMA 要求キャプチャーC1	T32A04DMAREQCAPC1					
	T32A ch4 DMA 要求キャプチャーB0	T32A04DMAREQCAPB0	[TSEL0CR6] <INSEL26[2:0]>	21	B	-	○
T32A ch4 DMA 要求キャプチャーB1	T32A04DMAREQCAPB1						

注 1) ○:対応、-:非対応

注 2) [TSEL0CRn]<INSELM[2:0]>はトリガーセクターで起動トリガーのトリガーソースを選択します。詳細な接続先については、“2.2. トリガーセクター(TRGSEL)”を参照してください。

表 2.72 T32A DMA要求(3/3)

チャンネル	要求	信号名	トリガーセクター (注 2)	DMA 要求チャンネル			
				UNIT	シングル 転送	バースト 転送	
T32A ch5	T32A ch5 DMA 要求レジスタ-A1 一致	T32A05DMAREQCPA1	[TSEL0CR5] <INSEL20[2:0]>	15	B	-	○
	T32A ch5 DMA 要求レジスタ-C1 一致	T32A05DMAREQCMPA1					
	T32A ch5 DMA 要求レジスタ-B1 一致	T32A05DMAREQCMPB1	[TSEL0CR5] <INSEL22[2:0]>	17	B	-	○
	T32A ch5 DMA 要求キャプチャーA0	T32A05DMAREQCAPA0					
	T32A ch5 DMA 要求キャプチャーA1	T32A05DMAREQCAPA1	[TSEL0CR6] <INSEL24[2:0]>	19	B	-	○
	T32A ch5 DMA 要求キャプチャーC0	T32A05DMAREQCAPC0					
	T32A ch5 DMA 要求キャプチャーC1	T32A05DMAREQCAPC1					
	T32A ch5 DMA 要求キャプチャーB0	T32A05DMAREQCAPB0	[TSEL0CR6] <INSEL26[2:0]>	21	B	-	○
T32A ch5 DMA 要求キャプチャーB1	T32A05DMAREQCAPB1						
T32A ch6	T32A ch6 DMA 要求レジスタ-A1 一致	T32A06DMAREQCPA1	[TSEL0CR5] <INSEL21[2:0]>	16	B	-	○
	T32A ch6 DMA 要求レジスタ-C1 一致	T32A06DMAREQCMPA1					
	T32A ch6 DMA 要求レジスタ-B1 一致	T32A06DMAREQCMPB1	[TSEL0CR5] <INSEL23[2:0]>	18	B	-	○
	T32A ch6 DMA 要求キャプチャーA0	T32A06DMAREQCAPA0					
	T32A ch6 DMA 要求キャプチャーA1	T32A06DMAREQCAPA1	[TSEL0CR6] <INSEL25[2:0]>	20	B	-	○
	T32A ch6 DMA 要求キャプチャーC0	T32A06DMAREQCAPC0					
	T32A ch6 DMA 要求キャプチャーC1	T32A06DMAREQCAPC1					
	T32A ch6 DMA 要求キャプチャーB0	T32A06DMAREQCAPB0	[TSEL0CR6] <INSEL27[2:0]>	22	B	-	○
T32A ch6 DMA 要求キャプチャーB1	T32A06DMAREQCAPB1						
T32A ch7	T32A ch7 DMA 要求レジスタ-A1 一致	T32A07DMAREQCPA1	[TSEL0CR5] <INSEL21[2:0]>	16	B	-	○
	T32A ch7 DMA 要求レジスタ-C1 一致	T32A07DMAREQCMPA1					
	T32A ch7 DMA 要求レジスタ-B1 一致	T32A07DMAREQCMPB1	[TSEL0CR5] <INSEL23[2:0]>	18	B	-	○
	T32A ch7 DMA 要求キャプチャーA0	T32A07DMAREQCAPA0					
	T32A ch7 DMA 要求キャプチャーA1	T32A07DMAREQCAPA1	[TSEL0CR6] <INSEL25[2:0]>	20	B	-	○
	T32A ch7 DMA 要求キャプチャーC0	T32A07DMAREQCAPC0					
	T32A ch7 DMA 要求キャプチャーC1	T32A07DMAREQCAPC1					
	T32A ch7 DMA 要求キャプチャーB0	T32A07DMAREQCAPB0	[TSEL0CR6] <INSEL27[2:0]>	22	B	-	○
T32A ch7 DMA 要求キャプチャーB1	T32A07DMAREQCAPB1						

注 1) ○:対応、-:非対応

注 2) [TSEL0CRn]<INSELm[2:0]>はトリガーセクターで起動トリガーのトリガーソースを選択します。詳細な接続先については、“2.2. トリガーセクター(TRGSEL)”を参照してください。

## 2.14.7. 非対応割り込み

本製品は毎カウント割り込み(INTT32AxEVRYC)は非対応です。

## 2.15. リアルタイムクロック(RTC)

### 2.15.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.73 RTC 搭載一覧

製品	RTC 搭載 (○:搭載、-:非搭載)
M3HQ	○
M3HP	○
M3HN	○
M3HM	○
M3HL	○

### 2.15.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.74 RTC 機能端子とポート

機能端子 (信号名)		ポート	ポートの製品対応 (○:対応、-:非対応)				
			M3HQ	M3HP	M3HN	M3HM	M3HL
RTCOUT	出力	PC2	○	○	○	○	—

注) M3Hグループ(2)は、ALARM\_N端子はありません。

### 2.15.3. 時計カウントクロック

リアルタイムクロックは、時計カウントクロックに以下の表に示すクロックが使用されます。

表 2.75 RTC 時計カウントクロック

クロック
fs

## 2.16. 非同期シリアル通信回路(UART)

### 2.16.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

M3H グループ(2)製品に搭載の UART 通最大通信速度は 2.5Mbps です。

表 2.76 UART 搭載チャンネル

製品	UART 搭載チャンネル (○:搭載、-:非搭載)					
	Ch0	Ch1	Ch2	Ch3	Ch4	Ch5
M3HQ	○	○	○	○	○	○
M3HP	○	○	○	○	○	○
M3HN	○	○	○	○	○	○
M3HM	○	○	○	○	○	○
M3HL	○	○	○	○	○	○

### 2.16.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

複数に割り当てられている同一機能端子は排他的に使用してください。

製品により機能端子がないチャンネルもあります。

表 2.77 UART 端子信号とポート

チャンネル	機能端子 (信号名)		ポート	ポートの製品対応 (O:対応、-:非対応)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
UART ch0	UT0TXDA	出力	PA1 / PA2 / PM1 / PM2	O/O /O/O	O/O /O/O	O/O /O/O	O/O /O/O	O/O /-/-
	UT0TXDB	出力	PA0 / PM0	O/O	O/O	O/O	O/O	O/O
	UT0RXD	入力	PA2 / PA1 / PM2 / PM1	O/O /O/O	O/O /O/O	O/O /O/O	O/O /O/O	O/O /-/-
	UT0CTS_N	入力	PM3 / PM4	O/O	O/O	O/O	-/-	-/-
	UT0RTS_N	出力	PM4 / PM3	O/O	O/O	O/O	-/-	-/-
UART ch1	UT1TXDA	出力	PJ1 / PJ2 / PK1 / PK2	O/O /O/O	O/O /O/O	O/O /O/O	O/O /O/O	O/O /O/O
	UT1TXDB	出力	PJ0 / PK0	O/O	O/O	O/O	O/O	O/O
	UT1RXD	入力	PJ2 / PJ1 / PK2 / PK1	O/O /O/O	O/O /O/O	O/O /O/O	O/O /O/O	O/O /O/O
	UT1CTS_N	入力	PJ3 / PJ4 / PK3 / PK4	O/O /O/O	O/O /O/O	O/O /O/O	O/O /O/O	O/O /O/O
	UT1RTS_N	出力	PJ4 / PJ3 / PK4 / PK3	O/O /O/O	O/O /O/O	O/O /O/O	O/O /O/O	O/O /O/O
UART ch2	UT2TXDA	出力	PB2 / PB3 / PL0 / PL1	O/O /O/O	O/O /O/O	O/O /O/O	O/O /O/O	O/O /O/O
	UT2TXDB	出力	-	-	-	-	-	-
	UT2RXD	入力	PB3 / PB2 / PL1 / PL0	O/O /O/O	O/O /O/O	O/O /O/O	O/O /O/O	O/O /O/O
	UT2CTS_N	入力	PB4 / PB5 / PL2 / PL3	O/O /O/O	O/O /O/O	O/O /O/O	O/- /O/O	-/- /O/O
	UT2RTS_N	出力	PB5 / PB4 / PL3 / PL2	O/O /O/O	O/O /O/O	O/O /O/O	O/O/ O/O	-/- /O/O
UART ch3	UT3TXDA	出力	PA7 / PA6 / PG3 / PG2	O/O /O/O	O/O /O/O	O/O /-/-	O/O /-/-	O/O /-/-
	UT3TXDB	出力	PG4	O	O	-	-	-
	UT3RXD	入力	PA6 / PA7 / PG2 / PG3	O/O /O/O	O/O /O/O	O/O /-/-	O/O /-/-	O/O /-/-
	UT3CTS_N	入力	-	-	-	-	-	-
	UT3RTS_N	出力	-	-	-	-	-	-
UART ch4	UT4TXDA	出力	PC3 / PC4 / PV6 / PV7	O/O /O/O	O/O /-/-	O/O /-/-	O/O /-/-	O/O /-/-
	UT4TXDB	出力	PC2 / PV5	O/O	O/-	O/-	O/-	-/-
	UT4RXD	入力	PC4 / PC3 / PV7 / PV6	O/O /O/O	O/O /-/-	O/O /-/-	O/O /-/-	O/O /-/-
	UT4CTS_N	入力	PC5 / PC6	O/O	O/O	O/O	O/O	-/-
	UT4RTS_N	出力	PC6 / PC5	O/O	O/O	O/O	O/O	-/-
UART ch5	UT5TXDA	出力	PN3 / PN2	O/O	O/O	O/O	O/O	O/O
	UT5TXDB	出力	PN4	O	O	O	O	O
	UT5RXD	入力	PN2 / PN3	O/O	O/O	O/O	O/O	O/O
	UT5CTS_N	入力	PN1 / PN0	O/O	O/O	O/O	O/O	O/-
	UT5RTS_N	出力	PN0 / PN1	O/O	O/O	O/O	O/O	-/O

## 2.16.3. 製品別ハーフクロックモード対応一覧

非同期シリアル通信回路は、以下の表に示すように製品によってハーフクロックモードがありません。

表 2.78 UART ハーフクロックモード対応一覧

チャンネル	製品対応 (○:対応、-:非対応)				
	M3HQ	M3HP	M3HN	M3HM	M3HL
UART ch0	○	○	○	○	○
UART ch1	○	○	○	○	○
UART ch2	-	-	-	-	-
UART ch3	○	○	-	-	-
UART ch4	○	○	○	○	-
UART ch5	○	○	○	○	○

## 2.16.4. プリスケーラー用クロック

非同期シリアル通信回路は、プリスケーラー用クロックに以下の表に示すクロックが使用されます。

表 2.79 UART プリスケーラー用クロック

クロック
ΦT0

## 2.16.5. DMA 要求

非同期シリアル通信回路は、以下の表に示す DMA 要求があります。

表内の“-”は該当する機能がありません。

表 2.80 UART DMA要求

チャンネル	要求	信号名	トリガー セレクター	DMA 要求チャンネル			
				UNIT	シングル 転送	バースト 転送	
UART ch0	UART ch0 受信 DMA 要求	UART0RX_DMAREQ	-	6	A	○	○
	UART ch0 送信 DMA 要求	UART0TX_DMAREQ		7	A	○	○
UART ch1	UART ch1 受信 DMA 要求	UART1RX_DMAREQ	-	8	A	○	○
	UART ch1 送信 DMA 要求	UART1TX_DMAREQ		9	A	○	○
UART ch2	UART ch2 受信 DMA 要求	UART2RX_DMAREQ	-	10	A	○	○
	UART ch2 送信 DMA 要求	UART2TX_DMAREQ		11	A	○	○
UART ch3	UART ch3 受信 DMA 要求	UART3RX_DMAREQ	-	12	A	○	○
	UART ch3 送信 DMA 要求	UART3TX_DMAREQ		13	A	○	○
UART ch4	UART ch4 受信 DMA 要求	UART4RX_DMAREQ	-	10	B	○	○
	UART ch4 送信 DMA 要求	UART4TX_DMAREQ		11	B	○	○
UART ch5	UART ch5 受信 DMA 要求	UART5RX_DMAREQ	-	12	B	○	○
	UART ch5 送信 DMA 要求	UART5TX_DMAREQ		13	B	○	○

注) ○:対応、-:非対応

## 2.16.6. 内部信号接続仕様

### 2.16.6.1. トリガー転送信号接続仕様

非同期シリアル通信回路には、トリガー信号による送信機能があります。

トリガー信号は以下の表に示すトリガーソースをトリガーセクターで選択し使用します。

表 2.81 UART トリガー転送信号接続仕様

チャンネル	信号名	トリガーセクター(注)	トリガーソース	
			入力トリガー信号	信号名
UART ch0	UART0TRGIN (入力)	[TSEL0CR11] <INSEL44[2:0]>	PB1 端子	TRGIN0
			PA3 端子	TRGIN1
			PN3 端子	TRGIN2
			T32A ch6 タイマーレジスター-A1 一致トリガー	T32A06TRGOUTCMPA1
			T32A ch6 タイマーレジスター-B1 一致トリガー	T32A06TRGOUTCMPB1
			T32A ch6 タイマーレジスター-C1 一致トリガー	T32A06TRGOUTCMPC1
UART ch1	UART1TRGIN (入力)	[TSEL0CR11] <INSEL45[2:0]>	PB1 端子	TRGIN0
			PA3 端子	TRGIN1
			PN3 端子	TRGIN2
			T32A ch6 タイマーレジスター-A1 一致トリガー	T32A06TRGOUTCMPA1
			T32A ch6 タイマーレジスター-B1 一致トリガー	T32A06TRGOUTCMPB1
			T32A ch6 タイマーレジスター-C1 一致トリガー	T32A06TRGOUTCMPC1
UART ch2	UART2TRGIN (入力)	[TSEL0CR11] <INSEL46[2:0]>	PB1 端子	TRGIN0
			PA3 端子	TRGIN1
			PN3 端子	TRGIN2
			T32A ch6 タイマーレジスター-A1 一致トリガー	T32A06TRGOUTCMPA1
			T32A ch6 タイマーレジスター-B1 一致トリガー	T32A06TRGOUTCMPB1
			T32A ch6 タイマーレジスター-C1 一致トリガー	T32A06TRGOUTCMPC1
UART ch3	UART3TRGIN (入力)	[TSEL0CR11] <INSEL47[2:0]>	PB1 端子	TRGIN0
			PA3 端子	TRGIN1
			PN3 端子	TRGIN2
			T32A ch6 タイマーレジスター-A1 一致トリガー	T32A06TRGOUTCMPA1
			T32A ch6 タイマーレジスター-B1 一致トリガー	T32A06TRGOUTCMPB1
			T32A ch6 タイマーレジスター-C1 一致トリガー	T32A06TRGOUTCMPC1
UART ch4	UART4TRGIN (入力)	[TSEL0CR12] <INSEL48[2:0]>	PB1 端子	TRGIN0
			PA3 端子	TRGIN1
			PN3 端子	TRGIN2
			T32A ch6 タイマーレジスター-A1 一致トリガー	T32A06TRGOUTCMPA1
			T32A ch6 タイマーレジスター-B1 一致トリガー	T32A06TRGOUTCMPB1
			T32A ch6 タイマーレジスター-C1 一致トリガー	T32A06TRGOUTCMPC1
UART ch5	UART5TRGIN (入力)	[TSEL0CR12] <INSEL49[2:0]>	PB1 端子	TRGIN0
			PA3 端子	TRGIN1
			PN3 端子	TRGIN2
			T32A ch6 タイマーレジスター-A1 一致トリガー	T32A06TRGOUTCMPA1
			T32A ch6 タイマーレジスター-B1 一致トリガー	T32A06TRGOUTCMPB1
			T32A ch6 タイマーレジスター-C1 一致トリガー	T32A06TRGOUTCMPC1

注) [TSEL0CRn]<INSELM[2:0]>はトリガーセクターでトリガー入力のトリガーソースを選択します。トリガーセクターの詳細は、“2.2 トリガーセクター(TRGSEL)”を参照してください。

## 2.16.6.2. T32A 接続

非同期シリアル通信回路は、その他、下記表のように内部で周辺機能と接続されている信号があります。

表 2.82 UART 内部接続仕様:出力

入出力	機能出力	信号名	トリガー セレクター(注)	出力先		
				周辺機能		信号名
出力	UART ch0 送信完了トリガー	UART0TXTRG	[TSEL0CR12] <INSEL50[2:0]>	T32A	タイマー-A ch0	T32A00TRGINAPCK
	UART ch0 受信完了トリガー	UART0RXTRG				
	UART ch1 送信完了トリガー	UART1TXTRG	[TSEL0CR13] <INSEL53[2:0]>	T32A	タイマー-A ch1	T32A01TRGINAPCK
	UART ch1 受信完了トリガー	UART1RXTRG				
	UART ch2 送信完了トリガー	UART2TXTRG	[TSEL0CR14] <INSEL56[2:0]>	T32A	タイマー-A ch2	T32A02TRGINAPCK
	UART ch2 受信完了トリガー	UART2RXTRG				
	UART ch3 送信完了トリガー	UART3TXTRG	[TSEL0CR14] <INSEL59[2:0]>	T32A	タイマー-A ch3	T32A03TRGINAPCK
	UART ch3 受信完了トリガー	UART3RXTRG				
	UART ch4 送信完了トリガー	UART4TXTRG	[TSEL0CR15] <INSEL62[2:0]>	T32A	タイマー-A ch4	T32A04TRGINAPCK
	UART ch4 受信完了トリガー	UART4RXTRG				
	UART ch5 送信完了トリガー	UART5TXTRG	[TSEL1CR0] <INSEL1[2:0]>	T32A	タイマー-A ch5	T32A05TRGINAPCK
	UART ch5 受信完了トリガー	UART5RXTRG				

注) [TSELxCRn]<INSELM[2:0]>はトリガーセレクターでトリガー入力のトリガーソースを選択します。  
トリガーセレクターの詳細は、“2.2. トリガーセレクター(TRGSEL)”を参照してください。



## 2.17. I<sup>2</sup>C インターフェース(I<sup>2</sup>C)

### 2.17.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

M3H グループ(2)製品に搭載の I<sup>2</sup>C インターフェースは標準モード、ファストモードに対応します。

表 2.83 I<sup>2</sup>Cインターフェース 搭載チャンネル

製品	I <sup>2</sup> C インターフェース 搭載チャンネル (○:搭載、-:非搭載)			
	ch0	ch1	ch2	ch3
M3HQ	○	○	○	○
M3HP	○	○	○	○
M3HN	○	○	○	-
M3HM	○	○	○	-
M3HL	○	-	○	-

### 2.17.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.84 I<sup>2</sup>Cインターフェース 機能端子とポート

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (○:対応、-:非対応)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
I <sup>2</sup> C ch0	I2C0SCL	入出力	PC0	○	○	○	○	○
	I2C0SDA	入出力	PC1	○	○	○	○	○
I <sup>2</sup> C ch1	I2C1SCL	入出力	PA4	○	○	○	○	-
	I2C1SDA	入出力	PA5	○	○	○	○	-
I <sup>2</sup> C ch2	I2C2SCL	入出力	PL0	○	○	○	○	○
	I2C2SDA	入出力	PL1	○	○	○	○	○
I <sup>2</sup> C ch3	I2C3SCL	入出力	PT1	○	○	-	-	-
	I2C3SDA	入出力	PT0	○	○	-	-	-

### 2.17.3. プリスケラー用クロック

I<sup>2</sup>C インターフェースは、プリスケラー用クロックに以下の表に示すクロックが使用されます。

表 2.85 I<sup>2</sup>Cインターフェース プリスケラー用クロック

クロック
f <sub>sys</sub>

## 2.17.4. アドレス一致ウエイクアップ機能対応

アドレス一致ウエイクアップ機能は、以下の表に示すように製品によって対応が異なります。

表 2.86 I<sup>2</sup>Cインターフェース アドレス一致ウエイクアップ機能(I2CS)対応

チャンネル	製品対応 (○:対応、-:非対応)				
	M3HQ	M3HP	M3HN	M3HM	M3HL
I <sup>2</sup> C ch0	○	○	○	○	○
I <sup>2</sup> C ch1	-	-	-	-	-
I <sup>2</sup> C ch2	-	-	-	-	-
I <sup>2</sup> C ch3	-	-	-	-	-

## 2.17.5. フィルター

フィルター搭載は、以下の表に示す対応となっています。なおチャンネル0のアドレス一致ウエイクアップ機能(I2CS)についてはアナログフィルターが接続されています。

表 2.87 I<sup>2</sup>C インターフェース フィルター

チャンネル	フィルター種類
I <sup>2</sup> C ch0	デジタル
	I2CS アナログ
I <sup>2</sup> C ch1	デジタル
I <sup>2</sup> C ch2	デジタル
I <sup>2</sup> C ch3	デジタル

## 2.17.6. DMA 要求

I<sup>2</sup>C インターフェースは、以下の表に示す DMA 要求があります。

表内の“-”は該当する機能がありません。

表 2.88 I<sup>2</sup>Cインターフェース DMA要求

チャンネル	要求	信号名	トリガー セレクター	DMA 要求チャンネル			
				UNIT	シングル 転送	バースト 転送	
I <sup>2</sup> C ch0	I <sup>2</sup> C ch0 受信 DMA 要求	I2C0RXDMAREQ	-	4	A	-	○
	I <sup>2</sup> C ch0 送信 DMA 要求	I2C0TXDMAREQ		5	A	-	○
I <sup>2</sup> C ch1 (注 2)	I <sup>2</sup> C ch1 受信 DMA 要求	I2C1RXDMAREQ	-	6	B	-	○
	I <sup>2</sup> C ch1 送信 DMA 要求	I2C1TXDMAREQ		7	B	-	○
I <sup>2</sup> C ch2	I <sup>2</sup> C ch2 受信 DMA 要求	I2C2RXDMAREQ	-	8	B	-	○
	I <sup>2</sup> C ch2 送信 DMA 要求	I2C2TXDMAREQ		9	B	-	○
I <sup>2</sup> C ch3 (注 3)	I <sup>2</sup> C ch3 受信 DMA 要求	I2C3RXDMAREQ	[TSEL0CR4] <INSEL17[2:0]> (注 1)	0	B	-	○
	I <sup>2</sup> C ch3 送信 DMA 要求	I2C3TXDMAREQ	[TSEL0CR4] <INSEL18[2:0]> (注 1)	1	B	-	○

注1) [TSEL0CR4]<INSELm[2:0]>はトリガーセレクターで起動トリガーソースを選択します。トリガーセレクターの詳細は、“2.2 トリガーセレクター(TRGSEL)”を参照してください。

注2) I<sup>2</sup>C ch1 は M3HL にはありません。

注3) I<sup>2</sup>C ch3 は M3HN,M3HM,M3HL にはありません。

注4) ○:対応、-:非対応

## 2.18. シリアルペリフェラルインターフェース(TSPI)

### 2.18.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

M3H グループ(2)製品に搭載の TSPI の転送クロックは最大 20MHz です。チャンネルによって最大値が異なりますので、データシートの電気的特性を参照してください。

表 2.89 TSPI 搭載チャンネル

製品	TSPI 搭載チャンネル (○:搭載、-:非搭載)				
	ch0	ch1	ch2	ch3	ch4
M3HQ	○	○	○	○	○
M3HP	○	○	○	○	○
M3HN	○	○	○	○	-
M3HM	○	○	○	○	-
M3HL	○	-	-	-	-

## 2.18.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

複数に割り当てられている同一機能端子は排他的に使用してください。

製品により機能端子がないチャンネルもあります。

表 2.90 TSPI 機能端子とポート

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (O:あり、-なし)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
TSPI ch0	TSPI0SCK	入出力	PA0 / PM0	O/O	O/O	O/O	O/O	O/O
	TSPI0TXD	出力	PA1 / PM1	O/O	O/O	O/O	O/O	O/-
	TSPI0RXD	入力	PA2 / PM2	O/O	O/O	O/O	O/O	O/-
	TSPI0CSIN	入力	PA3 / PM3	O/O	O/O	O/O	O/-	O/-
	TSPI0CS0	入力	PA3 / PM3	O/O	O/O	O/O	O/-	O/-
	TSPI0CS1	入力	PA4 / PM4	O/O	O/O	O/O	O/-	-/-
TSPI ch1	TSPI1SCK	入出力	PB2	O	O	O	O	-
	TSPI1TXD	出力	PB3	O	O	O	O	-
	TSPI1RXD	入力	PB4	O	O	O	O	-
	TSPI1CSIN	入力	PB5	O	O	O	-	-
	TSPI1CS0	入力	PB5	O	O	O	-	-
	TSPI1CS1	入力	PB6	O	O	O	-	-
TSPI ch2	TSPI2SCK	入出力	PP0 / PT2	O/O	O/O	O/-	O/-	-/-
	TSPI2TXD	出力	PP1 / PT3	O/O	O/O	O/-	O/-	-/-
	TSPI2RXD	入力	PP2 / PT4	O/O	O/-	O/-	O/-	-/-
	TSPI2CSIN	入力	PT1	O	O	-	-	-
	TSPI2CS0	入力	PT1	O	O	-	-	-
	TSPI2CS1	入力	PT0	O	O	-	-	-
TSPI ch3	TSPI3SCK	入出力	PP5	O	O	O	O	-
	TSPI3TXD	出力	PP4	O	O	O	O	-
	TSPI3RXD	入力	PP3	O	O	O	O	-
	TSPI3CSIN	入力	PT6	O	O	O	O	-
	TSPI3CS0	入力	PT6	O	O	O	O	-
	TSPI3CS1	入力	PT7	O	O	O	-	-
TSPI ch4	TSPI4SCK	入出力	PH4	O	O	-	-	-
	TSPI4TXD	出力	PH5	O	O	-	-	-
	TSPI4RXD	入力	PH6	O	O	-	-	-

### 2.18.3. 製品別転送モード対応一覧

シリアルペリフェラルインターフェースは、以下の表に示すように製品によって使用できる転送モードが異なります。

表 2.91 TSPI モード対応一覧

チャンネル	モード対応				
	M3HQ	M3HP	M3HN	M3HM	M3HL
TSPI ch0	SPI モード SIO モード				
TSPI ch1	SPI モード SIO モード			SIO モード	—
TSPI ch2	SPI モード SIO モード		SIO モード		—
TSPI ch3	SPI モード SIO モード				—
TSPI ch4	SIO モード		—		

### 2.18.4. クロック

シリアルペリフェラルインターフェースは、以下の表に示すクロックが使用されます。

表 2.92 TSPI用クロック

動作クロック	プリスケラー用クロック
f <sub>sys</sub>	ΦT0

## 2.18.5. DMA 要求

シリアルペリフェラルインターフェースは、以下の表に示す DMA 要求があります。

表 2.93 TSPI DMA要求

チャンネル	要求	信号名	トリガーセクタ —	DMA 要求チャンネル			
				UNIT	シングル 転送	バースト 転送	
TSPI ch0	TSPI ch0 受信 DMA 要求	TSPI0RX_DMA	-	0	A	○	○
	TSPI ch0 送信 DMA 要求	TSPI0TX_DMA		1	A	○	○
TSPI ch1 (注 2)	TSPI ch1 受信 DMA 要求	TSPI1RX_DMA	-	2	A	○	○
	TSPI ch1 送信 DMA 要求	TSPI1TX_DMA		3	A	○	○
TSPI ch2 (注 2)	TSPI ch2 受信 DMA 要求	TSPI2RX_DMA	[TSEL0CR4] <INSEL17[2:0]> (注 1)	0	B	○	○
	TSPI ch2 送信 DMA 要求	TSPI2TX_DMA	[TSEL0CR4] <INSEL18[2:0]> (注 1)	1	B	○	○
TSPI ch3 (注 2)	TSPI ch3 受信 DMA 要求	TSPI3RX_DMA	-	2	B	○	○
	TSPI ch3 送信 DMA 要求	TSPI3TX_DMA		3	B	○	○
TSPI ch4 (注 3)	TSPI ch4 受信 DMA 要求	TSPI4RX_DMA	-	4	B	○	○
	TSPI ch4 送信 DMA 要求	TSPI4TX_DMA		5	B	○	○

注1) [TSEL0CR4]<INSELm[2:0]>はトリガーセクターで起動トリガーソースを選択します。トリガーセクターの詳細は、“2.2. トリガーセクター(TRGSEL)”を参照してください。

注2) TSPI ch1、ch2、ch3 は M3HL にはありません。

注3) TSPI ch4 は M3HN、M3HM、M3HL にはありません。

注4) ○:対応、-:非対応

## 2.18.6. 内部信号接続仕様

シリアルペリフェラルインターフェースには、トリガー信号による送信機能があります。

トリガー信号は以下の表に示すトリガーソースをトリガーセクターで選択し使用します。

### 2.18.6.1. トリガー送信信号接続仕様

表 2.94 TSPI トリガー転送仕様

チャンネル	信号名	トリガーソース		
		トリガーセクター (注1)	入力トリガー信号	信号名
TSPI ch0	TSPI0TRG (入力)	[TSEL0CR9] <INSEL39[2:0]>	PB1 端子	TRGIN0
			PA3 端子	TRGIN1
			PN3 端子	TRGIN2
			T32A ch6 タイマーレジスターA1 一致トリガー	T32A06TRGOUTCMPA1
			T32A ch6 タイマーレジスターB1 一致トリガー	T32A06TRGOUTCMPB1
			T32A ch6 タイマーレジスターC1 一致トリガー	T32A06TRGOUTCMPC1
TSPI ch1 (注2)	TSPI1TRG (入力)	[TSEL0CR10] <INSEL40[2:0]>	PB1 端子	TRGIN0
			PA3 端子	TRGIN1
			PN3 端子	TRGIN2
			T32A ch6 タイマーレジスターA1 一致トリガー	T32A06TRGOUTCMPA1
			T32A ch6 タイマーレジスターB1 一致トリガー	T32A06TRGOUTCMPB1
			T32A ch6 タイマーレジスターC1 一致トリガー	T32A06TRGOUTCMPC1
TSPI ch2 (注2)	TSPI2TRG (入力)	[TSEL0CR10] <INSEL41[2:0]>	PB1 端子	TRGIN0
			PA3 端子	TRGIN1
			PN3 端子	TRGIN2
			T32A ch6 タイマーレジスターA1 一致トリガー	T32A06TRGOUTCMPA1
			T32A ch6 タイマーレジスターB1 一致トリガー	T32A06TRGOUTCMPB1
			T32A ch6 タイマーレジスターC1 一致トリガー	T32A06TRGOUTCMPC1
TSPI ch3 (注2)	TSPI3TRG (入力)	[TSEL0CR10] <INSEL42[2:0]>	PB1 端子	TRGIN0
			PA3 端子	TRGIN1
			PN3 端子	TRGIN2
			T32A ch6 タイマーレジスターA1 一致トリガー	T32A06TRGOUTCMPA1
			T32A ch6 タイマーレジスターB1 一致トリガー	T32A06TRGOUTCMPB1
			T32A ch6 タイマーレジスターC1 一致トリガー	T32A06TRGOUTCMPC1
TSPI ch4 (注3)	TSPI4TRG (入力)	[TSEL0CR10] <INSEL43[2:0]>	PB1 端子	TRGIN0
			PA3 端子	TRGIN1
			PN3 端子	TRGIN2
			T32A ch6 タイマーレジスターA1 一致トリガー	T32A06TRGOUTCMPA1
			T32A ch6 タイマーレジスターB1 一致トリガー	T32A06TRGOUTCMPB1
			T32A ch6 タイマーレジスターC1 一致トリガー	T32A06TRGOUTCMPC1

注1) [TSEL0CRx]<INSELM[2:0]>はトリガーセクターで起動トリガーソースを選択します。トリガーセクターの詳細は、“2.2 トリガーセクター(TRGSEL)”を参照してください。

注2) TSPI ch1、ch2、ch3 は M3HL にはありません。

注3) TSPI ch4 は M3HN、M3HM、M3HL にはありません。



## 2.18.6.2. T32A 接続

シリアルペリフェラルインターフェースは、その他、下記表のように内部で周辺機能と接続されている信号があります。

表 2.95 TSPI 内部接続仕様(出力)

入出力	機能出力	信号名	トリガー セレクター(注 1)	出力先		
				周辺機能		信号名
出力	TSPI ch0 送信完了トリガー	TSPI0TXEND	[TSEL0CR14] <INSEL56[2:0]>	T32A ch2	タイマーA 内 部トリガー入力	T32A02TRGINAPCK
	TSPI ch0 受信完了トリガー	TSPI0RXEND				
	TSPI ch1 送信完了トリガー (注 2)	TSPI1TXEND	[TSEL0CR14] <INSEL59[2:0]>	T32A ch3	タイマーA 内 部トリガー入力	T32A03TRGINAPCK
	TSPI ch1 受信完了トリガー (注 2)	TSPI1RXEND				
	TSPI ch2 送信完了トリガー (注 2)	TSPI2TXEND	[TSEL0CR15] <INSEL61[2:0]>	T32A ch4	タイマーA 内 部トリガー入力	T32A04TRGINAPCK
	TSPI ch2 受信完了トリガー (注 2)	TSPI2RXEND				
	TSPI ch3 送信完了トリガー (注 2)	TSPI3TXEND	[TSEL1CR0] <INSEL1[2:0]>	T32A ch5	タイマーA 内 部トリガー入力	T32A05TRGINAPCK
	TSPI ch3 受信完了トリガー (注 2)	TSPI3RXEND				
	TSPI ch4 送信完了トリガー (注 3)	TSPI4TXEND	[TSEL1CR1] <INSEL4[2:0]>	T32A ch6	タイマーA 内 部トリガー入力	T32A06TRGINAPCK
	TSPI ch4 受信完了トリガー (注 3)	TSPI4RXEND				

注1) [TSELxCRn]<INSELM[2:0]>はトリガーセレクターでトリガー入力の起動トリガーソースを選択します。トリガーセレクターの詳細は、“2.2. トリガーセレクター(TRGSEL)”を参照してください。

注2) TSPI ch1、ch2、Ch3 は M3HL にはありません。

注3) TSPI ch4 は M3HN、M3HM、M3HL にはありません。

## 2.19. リモコン受信回路(RMC)

### 2.19.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.96 RMC 搭載チャンネル

製品	RMC 搭載チャンネル (○:搭載、-:非搭載)
	ch0
M3HQ	○
M3HP	○
M3HN	○
M3HM	○
M3HL	○

### 2.19.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.97 RMC 機能端子とポート

機能端子 (信号名)		ポート	ポートの製品対応 (○:あり、-なし)				
			M3HQ	M3HP	M3HN	M3HM	M3HL
RXIN0	入力	PB1	○	○	○	○	○

### 2.19.3. サンプリングクロック

リモコン受信回路は、以下の表に示すサンプリングクロックが選択可能です。

表 2.98 RMC サンプリングクロック

クロック	信号名	クロックソース	信号名
	低周波クロック	fs	外部低速発振器
他タイマーからの出カクロック入力	TB0OUT	T32A ch7 タイマーA 出力	T32A07OUTA

注)サンプリングクロックは `[RMC0FSSEL]<RMCCCLK>` で選択してください。

## 2.20. デジタルノイズフィルター回路(DNF)

### 2.20.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.99 DNF 搭載ユニット

製品	DNF 搭載ユニット (○:搭載、-:非搭載)	
	ユニット A	ユニット B
M3HQ	○	○
M3HP	○	○
M3HN	○	○
M3HM	○	-
M3HL	○	-

## 2.20.2. 製品別外部割り込みと DNF の対応

デジタルノイズフィルタ回路は以下の外部割り込み端子に対応しています。

表 2.100 外部割り込みとDNF対応

外部割り込み端子(信号名)	ポート	ユニット	設定レジスター名	DNF 搭載 (○:搭載、-:非搭載)				
				M3HQ	M3HP	M3HN	M3HM	M3HL
INT00	PC0	A	[DNFAENCR]<NFEN0>	○	○	○	○	○
INT01	PC1		[DNFAENCR]<NFEN1>	○	○	○	○	○
INT02	PC2		[DNFAENCR]<NFEN2>	○	○	○	○	-
INT03	PB1		[DNFAENCR]<NFEN3>	○	○	○	○	○
INT04	PJ4		[DNFAENCR]<NFEN4>	○	○	○	○	○
INT05	PK1		[DNFAENCR]<NFEN5>	○	○	○	○	○
INT06	PH3		[DNFAENCR]<NFEN6>	○	○	○	○	○
INT07	PA6		[DNFAENCR]<NFEN7>	○	○	○	○	○
INT08	PL3		[DNFAENCR]<NFEN8>	○	○	○	○	○
INT09	PM2		[DNFAENCR]<NFEN9>	○	○	○	○	-
INT10	PN3		[DNFAENCR]<NFEN10>	○	○	○	○	○
INT11	PA7		[DNFAENCR]<NFEN11>	○	○	○	○	○
INT12	PL4		[DNFAENCR]<NFEN12>	○	○	○	○	○
INT13	PK7		[DNFAENCR]<NFEN13>	○	○	○	○	-
INT14	PP3		[DNFAENCR]<NFEN14>	○	○	○	○	○
INT15	PM6	[DNFAENCR]<NFEN15>	○	○	○	-	-	
INT16	PB7	B	[DNFBENCR]<NFEN0>	○	○	○	-	-
INT17	PV2		[DNFBENCR]<NFEN1>	○	○	○	-	-
INT18	PV3		[DNFBENCR]<NFEN2>	○	○	○	-	-
INT19	PH4		[DNFBENCR]<NFEN3>	○	○	-	-	-
INT20	PH5		[DNFBENCR]<NFEN4>	○	○	-	-	-
INT21	PH6		[DNFBENCR]<NFEN5>	○	○	-	-	-
INT22	PH7		[DNFBENCR]<NFEN6>	○	○	-	-	-
INT23	PT0		[DNFBENCR]<NFEN7>	○	○	-	-	-
INT24	PT1		[DNFBENCR]<NFEN8>	○	○	-	-	-
INT25	PT2		[DNFBENCR]<NFEN9>	○	○	-	-	-
INT26	PT3		[DNFBENCR]<NFEN10>	○	○	-	-	-
INT27	PG2		[DNFBENCR]<NFEN11>	○	○	-	-	-
INT28	PG3		[DNFBENCR]<NFEN12>	○	○	-	-	-
INT29	PT7		[DNFBENCR]<NFEN13>	○	-	-	-	-
INT30	PU0		[DNFBENCR]<NFEN14>	○	-	-	-	-
INT31	PU1		[DNFBENCR]<NFEN15>	○	-	-	-	-

### 2.20.3. サンプリングソースクロック

デジタルノイズフィルタ回路は、サンプリングのソースクロックとして以下の表に示すクロックが使用されます。

表 2.101 DNF サンプリングソースクロック

クロック
fc

## 2.21. CRC 計算回路(CRC)

### 2.21.1. 搭載一覧

製品毎の搭載チャンネルを下記表に示します。

表 2.102 CRC 搭載チャンネル

製品	CRC 搭載 (○:対応、-:非対応)
M3HQ	○
M3HP	○
M3HN	○
M3HM	○
M3HL	○

## 2.22. RAM パリティ(RAMP)

### 2.22.1. 搭載一覧

製品毎の搭載チャンネルを下記表に示します。

表 2.103 RAMP 搭載チャンネル

製品	RAMP 搭載 (○:対応、-:非対応)
M3HQ	○
M3HP	○
M3HN	○
M3HM	○
M3HL	○

## 2.22.2. エラー判定ブロックエリア

表 2.104 RAMP の RAM エリアとアドレス

レジスター名	RAM エリア アドレス	ポートの製品対応 (○:対応、-:非対応)				
		M3HQ	M3HP	M3HN	M3HM	M3HL
[RPARST]<RPARFG3>	0x20010000-0x200107FF	○	○	○	○	○
[RPARST]<RPARFG2>	0x20008000-0x2000FFFF	○	○	○	○	○
[RPARST]<RPARFG1>	0x20004000-0x20007FFF	○	○	○	○	○
[RPARST]<RPARFG0>	0x20000000-0x20003FFF	○	○	○	○	○

## 2.23. トリミング回路(TRM)

### 2.23.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.105 TRM 搭載一覧

製品	TRM搭載 (○:搭載、-:非搭載)
M3HQ	○
M3HP	○
M3HN	○
M3HM	○
M3HL	○

### 2.23.2. 対象発振器

トリミング回路の対象発振器は以下の表に示す発振器です。

表 2.106 TRM トリミング対象発振器

対象発振器	発振器名
内蔵高速発振器 1	IHOSC1

## 3. 改訂履歴

表 3.1 改訂履歴

Revision	Date	Description
1.0	2017-07-12	新規
2.0	2018-02-13	<ul style="list-style-type: none"> <li>・Arm 関連記述変更</li> <li>・関連するリファレンスマニュアル: マニュアル名称修正, IP 記号追加</li> <li>・用語・略語: 追記と修正</li> <li>・参照先表記を「...」→「...」に変更</li> <li>・2.1 文中の TYPE1/2 → TYPE1/2/3 へ変更</li> <li>・2.2.1.トリガーセクタと製品対応: 修正"73 本のトリガー"→"74 本のトリガー", 表 2.3 の&lt;INSEL17&gt;&lt;INSEL18&gt;の入力トリガー信号名"送/受信完了"→"送/受信 DMA 要求"に修正、表 2.12 の"A-ENC"→"A-ENC ch0"に修正、表 2.13 の"LOSC 低周波クロック"→"ELOSC 低速クロック"に修正</li> <li>・2.2.2.使用方法と設定: (2)と(3)の説明を入れ替え後、(2)&lt;OUTSELM&gt;→&lt;UPDNM&gt;修正,説明を変更、(3)の説明変更</li> <li>・2.2.3.レジスタ一覧:コントロールレジスタ 14 のアドレス修正 0x00C8→0x0038</li> <li>・2.2.4.3 &lt;bit14:12&gt; INTDMACTC2 → INTDMAAT2 へ修正</li> <li>・2.2.4.4.[TSEL0CR3]: &lt;INSEL14&gt;&lt;INSEL13&gt;&lt;INSEL12&gt;の 000,001 設定説明の"DMAC"→"DMAC A"に修正</li> <li>・2.2.4.18.[TSEL1CR1]: &lt;INSEL6&gt;の BitSymbol に (INSEL70[2:0]) 追加, &lt;INSEL4&gt;の"LOSC 低周波クロック"→"ELOSC 低速クロック"に修正</li> <li>・2.7.1.搭載ユニット: 表 2.25 の製品名の表記順番を逆転(M3HQ が最上位)</li> <li>・2.7.2. DMA 要求一覧: 表 2.27 のチャンネル 14"A-PMD0 割り込み"→"A-PMD ch0 PWM 割り込み"に修正</li> <li>・2.8.3. DMA 要求: 表 2.36 のチャンネル"A-PMD"→"ch0"に修正、表 2.36 の"A-PMD0 割り込み"→"A-PMD ch0 PWM 割り込み"に修正</li> <li>・2.8.4.その他接続: 表 2.37 に ch 項目を追加,INTADAPDA/B,ADABUSY を追加、表 2.38 に ch 項目を追加</li> <li>・2.8.5.PMD0DBG 使用時の追加設定: 章を追加</li> <li>・2.9.3.1.T32A/A-PMD 接続: 表 2.43 トリガーセクタに(注),表外に注)を追加</li> <li>・2.10. 12 ビットアナログデジタルコンバータ: "12 ビットアナログ/デジタルコンバータ"→"12 ビットアナログデジタルコンバータ"に修正(章題および本文中)</li> <li>・2.10.5. DMA 要求: 表 2.48 の注)&lt;INSELx&gt;→&lt;INSEL19&gt;に変更</li> <li>・2.10.6.1.起動トリガー接続仕様: 表 2.49 の注)を[TSEL0CR9]&lt;INSELM[2:0]&gt;変更</li> <li>・2.10.6.2.T32A/A-PMD 接続: 表 2.50 の注)を[TSEL1CR1]&lt;INSEL7[2:0]&gt;変更</li> <li>・2.11.8 ビットデジタルアナログコンバータ: "8 ビットデジタル/アナログコンバータ"→"8 ビットデジタルアナログコンバータ"修正</li> <li>・2.12.コンパレータ: 表 2.54 の"AINA0/1"を"AINA00/AINA01"に修正</li> <li>・2.14.32 ビットタイマーイベントカウンタ: "32 ビットタイマー/イベントカウンタ"→"32 ビットタイマーイベントカウンタ"に修正(章題および本文中)</li> <li>・2.14.4.1.キャプチャトリガー信号接続仕様: 章番号の色を黒に修正、表 2.61 の "T32A ch0 タイマーA 出力"/"T32A ch1 タイマーA 出力"を左詰め、表 2.62 の ch1 の "T32A00TRGINCPCK"→"T32A01TRGINCPCK" 修正、表 2.64 の &lt;INSEL4&gt;の "LOSC 低周波クロック"→"ELOSC 低速クロック"修正、表 61/62/63/64 の注 1)を[TSEL1CRn]&lt;INSELM[2:0]&gt;に変更</li> <li>・2.14.4.2.同期制御接続仕様: 表 2.64,表 2.65 を修正</li> <li>・2.14.6.DMA 要求: 表 2.68/表 2.69/表 2.70 にトリガーセクタの(注)、表外注)を追加、表 2.69 の ch4 のキャプチャ A0 名/表 2.70 の ch5~ch7 の要求名を "T32A..."に修正</li> <li>・2.15.2.機能端子とポート: 表 2.72 の注 1)→注)</li> <li>・2.16.1.搭載チャンネル: "M3H グループ(2)製品に搭載の UART の最大通信速度は 2.5Mbps です。"を追加、表 2.74 Chx→ chx へ修正</li> <li>・2.16.2.機能端子とポート: 表 2.75 の ch3 の端子名を "UT3CTS_N/UT3RTS_N"</li> </ul>

		<p>に修正</p> <ul style="list-style-type: none"> <li>・2.16.6.1.トリガー転送信号接続仕様: 表 2.79 のトリガーセクタの(注)位置変更、注) “[TSEL0CRn]&lt;INSELM[2:0]&gt;”に変更</li> <li>・2.16.6.2. T32A 接続: 表 2.80 のトリガーセクタに(注)、表外に(注)追加</li> <li>・2.17.1.搭載チャンネル: “M3H グループ(2)製品に搭載の I2C インタフェースは標準モード、ファストモードに対応します。”を追加、表 2.81 の“Ch”→“ch”に変更</li> <li>・2.17.2. 機能端子とポート: 表 2.82 の ch3 の機能端子名を“I2C3SCL”, “I2C3SDA”に修正</li> <li>・2.17.3.プリスケアラ用クロック: “I<sup>2</sup>C…ースは。”→“I<sup>2</sup>C…ースは、”修正</li> <li>・2.17.4.ウェイクアップ機能対応: 表 2.84 の表題に“I2CS”を追加</li> <li>・2.17.5.フィルタ: 章題を“フィルタ選択”⇒“フィルタ”に変更、説明を“フィルタ搭載は、以下の表に示す対応となっています。チャンネル 0 のウェイクアップ機能(I2CS)にはアナログフィルタが接続されています。”に変更、表 2.85 を変更</li> <li>・2.17.6.DMA 要求: 表 2.86 の注 1)を“[TSEL0CR4]&lt;INSELM[2:0]&gt;”に変更</li> <li>・2.18.1.搭載チャンネル: “M3H グループ(2)製品に搭載の TSPI の転送クロックは最大 20MHz です。チャンネル…さい。”を追加。</li> <li>表 2.87 Chx → chx へ変更</li> <li>・2.18.5.DMA 要求: 本文の“表内の”-は該当する機能がありません”を削除、表 2.91 の注 1) “[TSEL0CR4]&lt;INSELM[2:0]&gt;”に変更</li> <li>・2.18.6.1.トリガー送信信号接続仕様: 表 2.92 チャンネルと信号名を修正”ch2～ch4”, “TSPI2TRG～TSPI4TRG”, トリガーセクタの(注)→(注 1), ch4 に(注 2)追加, “注 2) TSPI ch4 は M3HN, M3HM にはありません。”追加</li> <li>・2.18.6.2.T32A 接続: 表 2.93 トリガーセクタに(注 1 追加), ch4 の(注)→(注 2), 注 1) [TSELxCRn]&lt;INSELM[2:0]&gt;は…”追加</li> <li>・2.22.RAM パリティ: レジスタ表記の“-”を“~”に統一、表 2.102 の[RPARFG0]レジスタの対象アドレス修正 0x200003FFF→0x20003FFF, 同[RPARFG2]のアドレス表記を“0X…”→“0x…”に修正</li> </ul>
<p>3.0</p>	<p>2018-08-09</p>	<ul style="list-style-type: none"> <li>・M3HL の追加による、未対応ペリフェラルの注意文言を修正。</li> <li>・関連するリファレンスマニュアル →ドキュメント へ変更: 文書名変更(フラッシュメモリ)</li> <li>・用語略語 A-PMD 修正(Driver→Control Circuit)、Fm, NMI、POR を削除</li> <li>・2.1 文中追加修正(TYPE1/2 → TYPE1/TYPER2/TYPER3)</li> <li>・2.2.1 表 2.2～表 2.13 M3HL 列を追加 表 2.3 DMA 要求、DMA リクエスト → 完了トリガー へ修正</li> <li>・表 2.10/2.11/2.12/2.13 入力トリガー信号名を修正(TSPI chx 完了トリガー→完了信号)</li> <li>・2.2.4.5/ 2.2.4.17 入力トリガー信号名を修正(TSPI chx xx 完了トリガー→完了信号)</li> <li>・2.2.4.15/ 2.2.4.16/ 2.2.4.18 入力トリガー信号名を修正(TSPI chx xx 完了トリガー→完了信号)、注)を修正/追記</li> <li>・2.3.1 表 2.14 M3HL を追加</li> <li>・2.4.1 搭載一覧の章を追加</li> <li>・2.4.2 分周値を追加</li> <li>・2.5.1 書き出し説明文を削除、表 2.20 のデバッグ端子ポートを修正、M3HL を追加</li> <li>・2.6 章タイトル修正</li> <li>・2.6.2 表 2.22 M3HL 製品名追加、修正</li> <li>・2.6.3 表 2.23 M3HL 製品名追加、修正</li> <li>・2.6.4 表 2.25 M3HL 製品名追加、修正</li> <li>・2.7.1 表 2.26 M3HL 製品名追加、</li> <li>・2.7.2 表 2.27 注 1)を追加、表 2.31 注 4)を修正、注 2)を追加</li> <li>・2.8.1 表 2.35 M3HL 製品名追加</li> <li>・2.8.2 表 2.36 M3HL 製品名追加</li> <li>・2.8.5 Bit 名 修正(DBGMD)</li> <li>・2.9.1 表 2.41 M3HL 製品名追加</li> <li>・2.9.2 表 2.42 M3HL 製品名追加</li> <li>・2.10.1 表 2.45 M3HL 製品名追加</li> <li>・2.10.2 表 2.46 M3HL 製品名追加、注 2 を削除</li> <li>・2.10.6.2 表 2.51 出力先修正</li> <li>・2.11.1. 表 2.52 M3HL 製品名追加</li> <li>・2.11.2 表 2.53 M3HL 製品名追加、VREHL→VREFL へ修正</li> </ul>



		<ul style="list-style-type: none"> <li>・2.12.1 "搭載一覧"節追加、表 2.54、表 2.55 M3HL 製品名追加</li> <li>・2.13.1 搭載一覧の節を追加</li> <li>・2.14.1 表 2.58 M3HL 製品名追加</li> <li>・2.14.2 表 2.59/2.60/2.61 M3HL 製品名追加</li> <li>・2.14.4.1 表 2.63/表 2.64/表 2.65/表 2.66 表記変更(タイマーA→A、タイマーB→B、タイマーC→C) 表 2.64/表 2.65/表 2.66 入力トリガー信号名を修正(TSPI chx xx完了トリガー→完了信号)</li> <li>・2.14.4.2 表 2.67 Ch0、タイマーC、スレーブの信号名修正、 表 2.67/2.68 表記変更(タイマーA→A、タイマーB→B、タイマーC→C)</li> <li>・2.14.5 表 2.69 M3HL 製品名追加、M3HN/M3HM Ch6 修正(1相パルスカウント対応)</li> <li>・2.15.1 表 2.73 M3HL 製品名追加</li> <li>・2.15.2 表 2.74 M3HL 製品名追加</li> <li>・2.16.1 表 2.76 M3HL 製品名追加</li> <li>・2.16.2 表 2.77 M3HL 製品名追加</li> <li>・2.16.3 表 2.78 修正(ハーフクロックモード非対応追加:M3HN、M3HM、M3HL)</li> <li>・2.16.6.2 表 2.82 出力先の修正</li> <li>・2.17.1 表 2.83 M3HL 製品名追加</li> <li>・2.17.2 表 2.84 M3HL 製品名追加</li> <li>・2.17.4 表 2.86 M3HL 製品名追加</li> <li>・2.17.5 説明文を修正。表 2.87 Ch0 修正</li> <li>・2.17.6 表 2.88 注2)、注3)を修正&amp;追加</li> <li>・2.18.1 表 2.89 M3HL 製品名追加</li> <li>・2.18.2 表 2.90 M3HL 製品名追加</li> <li>・2.18.3 表 2.91 M3HL 製品名追加</li> <li>・2.18.5 表 2.93 注2、注3、注4 修正追加</li> <li>・2.18.6.1 表 2.94 注2、注3 修正追加</li> <li>・2.18.6.2 出力先 名修正(T32A ch2 タイマーA→タイマーA 内部トリガー入力) 注2、注3を修正(M3HL 追加)</li> <li>・2.19.1 表 2.96、表 2.97 M3HL 製品名追加</li> <li>・2.20.1 表 2.99 M3HL 製品名追加</li> <li>・2.20.2 表 2.100 M3HL 製品名追加</li> <li>・2.21.1 搭載一覧の節を追加、表 2.102 M3HL 製品名追加</li> <li>・2.22.1 搭載一覧の節を追加、表 2.103 M3HL 製品名追加</li> <li>・2.22.2 エラー判定ブロックエリアの節を追加</li> <li>・2.23.1 搭載一覧の節を追加、表 2.105 M3HL 製品名を追加</li> <li>・注意文言更新、URL 追加</li> </ul>
3.1	2018-10-29	<ul style="list-style-type: none"> <li>・ SST 商標修正 (Inc →Inc.)</li> <li>・2.2 Bit 情報を追加 &lt;INSEL39&gt;,&lt;UPDN39&gt;,&lt;OUSEL39&gt;,&lt;EN39&gt;</li> <li>・2.4.2 表 2.18 表記修正( 発振器 2 クロック→発振器 2)</li> <li>・2.7.2 表 2.27 ch12:UART1RX_→UART3RX_ 表 2.28、ch13:UART1TX_→UART3TX_ 表 2.31 注3:M3HL を追記</li> <li>・2.14.4.1 表 2.66 T32A ch7:INTADASG→INTADASGL</li> <li>・2.14.6 表 2.70、表 2.71、表 2.72 一致トリガー →一致へ修正 表 2.72 T32A ch5 : T32A ch5 DMA 要求キャプチャ B1 を追加</li> </ul>
3.2	2019-02-28	<ul style="list-style-type: none"> <li>・2.17.4 章タイトル、表 2.86 タイトル ウエイクアップ→アドレス一致ウエイクアップに修正</li> <li>・2.17.5 ウエイクアップ→アドレス一致ウエイクアップに修正表 2.87 の ch0 を見直し</li> <li>・2.15.1 表 2.73 RTC のチャンネル表記を削除</li> <li>・2.18.4 表 2.92 に動作クロックの列を追加</li> </ul>
3.3	2021-01-21	<ul style="list-style-type: none"> <li>・フッターレイアウト修正</li> <li>・2.16.2 表 2.77 UARTch4 の UT4RXD 端子のポート名と UT4TXDA,UT4RXD の M3HP の製品対応、UARTch5 の全ポート名、全製品対応を修正</li> <li>・2.18.2 表 2.90 M3HL の TSPI0TXD 端子の製品対応を修正</li> </ul>

## 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。