

TOSHIBA

8 ビットマイクロコントローラ
TLCS-870/C シリーズ

TMP86CH47AUG

株式会社 **東芝** セミコンダクター社

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023_A
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B

● 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q

● 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C

● 本資料に掲載されている製品のうち外国為替および外国貿易法により、輸出または海外への提供が規制されているものがあります。021023_F

● 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D

● マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますのでかならずお読みください。030519_S

改訂履歴

日付	版	改訂理由
2005/6/23	3	NONE
2005/7/26	4	ピン名称修正
2005/10/26	5	内容改訂
2005/12/13	6	内容改訂
2006/6/28	7	定期更新、本文変更なし
2006/7/12	8	定期更新、本文変更なし
2006/7/19	9	定期更新、本文変更なし
2006/8/4	10	内容改訂
2006/8/28	11	定期更新、本文変更なし
2007/2/8	12	内容改訂
2008/8/29	13	内容改訂

Not Recommended for New Design

UART ノイズ除去時間設定における注意事項

本製品に搭載されている UART を使用する場合、転送クロック選択 (BRG) により、ノイズ除去時間設定 (RXDNC 設定) には以下の制約があります。"○"の箇所にて使用し、"- "の箇所は設定しないでください。

なお、転送クロックとしてタイマカウンタ割り込みを使用する場合、転送クロックはタイマカウンタソースクロック [Hz] \div TTREG 設定値で計算されます。

BRG 設定	転送クロック [Hz]	RXDNC 設定			
		00 (ノイズ除去なし)	01 (31/fc[s] 未満の パルス除去)	10 (63/fc[s] 未満の パルス除去)	11 (127/fc[s] 未満の パルス除去)
000	fc/13	○	○	○	-
110 (タイマカウンタ割り込 みでの転送クロックが右 記となる場合)	fc/8	○	-	-	-
	fc/16	○	○	-	-
	fc/32	○	○	○	-
上記以外		○	○	○	○

Not Recommended for New Designs

目次

TMP86CH47AUG

1.1	特長	1
1.2	ピン配置図	3
1.3	ブロック図	4
1.4	端子機能	5

第2章 動作説明

2.1	CPU コア機能	7
2.1.1	メモリアドレスマップ	7
2.1.2	プログラムメモリ (MaskROM)	7
2.1.3	データメモリ (RAM)	7
2.2	システムクロック制御回路	9
2.2.1	クロックジェネレータ	9
2.2.2	タイミングジェネレータ	10
2.2.2.1	タイミングジェネレータの構成	
2.2.2.2	マシンサイクル	
2.2.3	動作モードの種類	11
2.2.3.1	シングルクロックモード	
2.2.3.2	デュアルクロックモード	
2.2.3.3	STOP モード	
2.2.3.4	各動作モードの遷移	
2.2.4	動作モードの制御	16
2.2.4.1	STOP モード	
2.2.4.2	IDLE1/2 モード, SLEEP1/2 モード	
2.2.4.3	IDLE0, SLEEP0 モード	
2.2.4.4	SLOW モード	
2.3	リセット回路	31
2.3.1	外部リセット入力	31
2.3.2	アドレストラップリセット	32
2.3.3	ウォッチドッグタイマリセット	32
2.3.4	システムクロックリセット	32

第3章 割り込み制御回路

3.1	割り込みラッチ (IL15 ~ IL2)	33
3.2	割り込み許可レジスタ (EIR)	35
3.2.1	割り込みマスタ許可フラグ (IMF)	35
3.2.2	割り込み個別許可フラグ (EF15 ~ EF4)	35
3.3	割り込み要因の選択 (INTSEL)	38
3.4	割り込み処理	39
3.4.1	割り込み受け付け処理	39
3.4.2	汎用レジスタ退避 / 復帰処理	40
3.4.2.1	プッシュ / ポップ命令による汎用レジスタの退避 / 復帰	
3.4.2.2	転送命令による汎用レジスタの退避 / 復帰	
3.4.3	割り込みリターン	41
3.5	ソフトウェア割り込み (INTSW)	43
3.5.1	アドレスエラー検出	43

3.5.2 デバッグング	43
3.6 未定義命令割り込み (INTUNDEF)	43
3.7 アドレストラップ割り込み (INTATRAP)	43
3.8 外部割り込み	44

第4章 スペシャルファンクションレジスタ

4.1 SFR	47
---------------	----

第5章 入出力ポート

5.1 P0 (P07~P00) ポート (大電流、シンクオープンドレイン出力)	50
5.2 P1 (P17~P10) ポート	51
5.3 P2 (P22~P20) ポート (大電流)	52
5.4 P3 (P37~P30) ポート	53
5.5 P4 (P47~P40) ポート (大電流)	54

第6章 タイムベースタイマ (TBT)

6.1 タイムベースタイマ	55
6.1.1 構成	55
6.1.2 制御	55
6.1.3 機能	56
6.2 デバイダ出力 (DVO)	57
6.2.1 構成	57
6.2.2 制御	57

第7章 ウォッチドッグタイマ (WDT)

7.1 ウォッチドッグタイマの構成	59
7.2 ウォッチドッグタイマの制御	59
7.2.1 ウォッチドッグタイマによる暴走検出の方法	59
7.2.2 ウォッチドッグタイマのイネーブル	61
7.2.3 ウォッチドッグタイマのディゼーブル	61
7.2.4 ウォッチドッグタイマ割り込み (INTWDT)	62
7.2.5 ウォッチドッグタイマリセット	62
7.3 アドレストラップ	63
7.3.1 内蔵 RAM 領域のアドレストラップ選択 (ATAS)	63
7.3.2 アドレストラップ発生時の動作選択 (ATOUT)	63
7.3.3 アドレストラップ割り込み (INTATRAP)	63
7.3.4 アドレストラップリセット	64

第8章 16ビットタイマカウンタ 1 (TC1)

8.1 構成	65
8.2 制御	66
8.3 機能	68
8.3.1 タイマモード	68
8.3.2 外部トリガタイマモード	70
8.3.3 イベントカウンタモード	72

8.3.4	ウィンドウモード	73
8.3.5	パルス幅測定モード	74
8.3.6	プログラマブルパルスジェネレート (PPG) 出力モード	77

第9章 8ビットタイマカウンタ (TC3, TC4)

9.1	構成	81
9.2	制御	82
9.3	機能	88
9.3.1	8ビットタイマモード (TC3, 4)	88
9.3.2	8ビットイベントカウンタモード (TC3, 4)	89
9.3.3	8ビットプログラマブル デバイダ出力 (PDO) モード (TC3, 4)	89
9.3.4	8ビットパルス幅変調 (PWM) 出力モード (TC3, 4)	92
9.3.5	16ビットタイマモード (TC3 + 4)	94
9.3.6	16ビットイベントカウンタモード (TC3 + 4)	95
9.3.7	16ビットパルス幅変調 (PWM) 出力モード (TC3 + 4)	95
9.3.8	16ビットプログラマブルパルスジェネレート (PPG) 出力モード (TC3 + 4)	98
9.3.9	ウォーミングアップカウンタモード	100
9.3.9.1	低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)	
9.3.9.2	高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)	

第10章 同期式シリアルインタフェース (SIO)

10.1	構成	103
10.2	制御	104
10.3	機能	106
10.3.1	シリアルクロック	106
10.3.1.1	クロックソース	
10.3.1.2	シフトエッジ	
10.3.2	転送ビット方向	108
10.3.2.1	送信モード	
10.3.2.2	受信モード	
10.3.2.3	送受信モード	
10.3.3	転送モード	109
10.3.3.1	送信モード	
10.3.3.2	受信モード	
10.3.3.3	送受信モード	

第11章 非同期型シリアルインターフェース (UART)

11.1	構成	121
11.2	制御	122
11.3	転送データフォーマット	124
11.4	転送レート	125
11.5	データのサンプリング方法	125
11.6	STOP ビット長	126
11.7	パリティ	126
11.8	送受信動作	126
11.8.1	データ送信動作	126
11.8.2	データ受信動作	126
11.9	ステータスフラグ	127
11.9.1	パリティエラー	127
11.9.2	フレーミングエラー	127
11.9.3	オーバランエラー	127
11.9.4	受信バッファフル	128

11.9.5 送信バッファエンブティ	128
11.9.6 送信終了フラグ	129

第12章 10ビットADコンバータ(ADC)

12.1 構成	131
12.2 制御	132
12.3 機能	135
12.3.1 ソフトウェアスタートモード	135
12.3.2 リピードモード	135
12.3.3 レジスタの設定	136
12.4 AD変換時のSTOP/SLOWモード	137
12.5 入力電圧と変換結果	138
12.6 ADコンバータの注意事項	139
12.6.1 アナログ入力端子電圧範囲	139
12.6.2 アナログ入力兼用端子	139
12.6.3 ノイズ対策	139

第13章 キーオンウェイクアップ(KWU)

13.1 構成	141
13.2 制御	141
13.3 機能	141

第14章 端子の入出力回路

14.1 制御端子	143
14.2 入出力ポート	144

第15章 電気的特性

15.1 絶対最大定格	145
15.2 推奨動作条件	146
15.3 DC特性	147
15.4 AD変換特性	148
15.5 AC特性	149
15.6 推奨発振条件	150
15.7 取り扱い上のご注意	150

第16章 外形寸法

CMOS 8ビットマイクロコントローラ

TMP86CH47AUG

製品形名	ROM (マスクROM)	RAM	パッケージ	FLASH内蔵品	エミュレーション チップ
TMP86CH47AUG	16384 バイト	512 バイト	LQFP44-P-1010-0.80B	TMP86FH47AUG	TMP86C947XB

1.1 特長

- 8ビットシングルチップマイクロコントローラ：TLCS-870/Cシリーズ
 - 最小実行時間：
 - 0.25 μ s (16 MHz 動作時)
 - 122 μ s (32.768 kHz 動作時)
 - 基本機械命令：132 種類 731 命令
- 割り込み要因 18 要因 (外部：6, 内部：12)
- 入出力ポート (35 端子)
 - 大電流出力 19 端子 (Typ. 20mA)
- プリスケアラ
 - タイムベースタイマ機能
 - デバイダ出力機能
- ウォッチドッグタイマ
 - 割り込み/リセット出力の選択 (プログラマブル)
- 16ビットタイマカウンタ：1チャンネル
 - タイマ、イベントカウンタ、PPG (プログラマブル矩形波) 出力、パルス幅測定、外部トリガタイマ、ウィンドウモード
- 8ビットタイマカウンタ：2チャンネル
 - タイマ、イベントカウンタ
 - PDO (Programmable Divider Output) モード
 - PWM (パルス幅変調出力)
 - PPG モード
 - 16ビットモード (タイマ2チャンネルを組み合わせ使用)

060629TBP

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
- なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023_A
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されていることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下“特定用途”という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B
- 本資料に掲載されている製品は、国内外の法令、規則および命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023_E
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D
- マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。030519_S

- SIO: 1 チャンネル
- 8 ビット UART : 1 チャンネル
- 10 ビット逐次比較方式 AD コンバータ
 - アナログ入力: 8 チャンネル
- キーオンウェイクアップ: 4 チャンネル
- クロック発振回路: 2 回路
 - シングル/デュアルクロックモードの選択
- 低消費電力動作 (9 モード)
 - STOP モード: 発振停止 (バッテリー/コンデンサバッタアップ)
 - SLOW1 モード: 低周波クロックによる低周波動作 (高周波停止)
 - SLOW2 モード: 低周波クロックによる低周波動作 (高周波発振)
 - IDLE0 モード: CPU 停止。
 - 周辺ハードウェアのうち、TBT のみ動作 (高周波クロック) 継続し、TBT 設定の基準時間経過により解除。
 - IDLE1 モード: CPU 停止。
 - 周辺ハードウェアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU 再起動)
 - IDLE2 モード: CPU 停止。
 - 周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除
 - SLEEP0 モード: CPU 停止。
 - 周辺ハードウェアのうち、TBT のみ動作 (低周波クロック) 継続し、TBT 設定の基準時間経過により解除。
 - SLEEP1 モード: CPU 停止。
 - 周辺ハードウェアのみ動作 (低周波クロック) 継続し、割り込みで解除。
 - SLEEP2 モード: CPU 停止。
 - 周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除。
- 動作電圧:
 - 4.5 V~5.5 V @ 16MHz /32.768 kHz
 - 2.7 V~5.5 V @ 8 MHz /32.768 kHz
 - 1.8 V~5.5 V @ 4.2MHz /32.768 kHz

1.2 ピン配置図

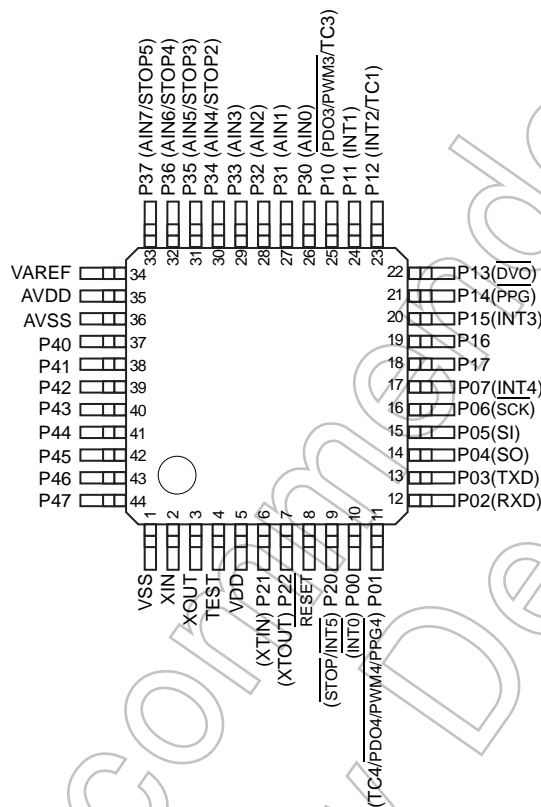


図 1-1 ピン配置図

1.3 ブロック図

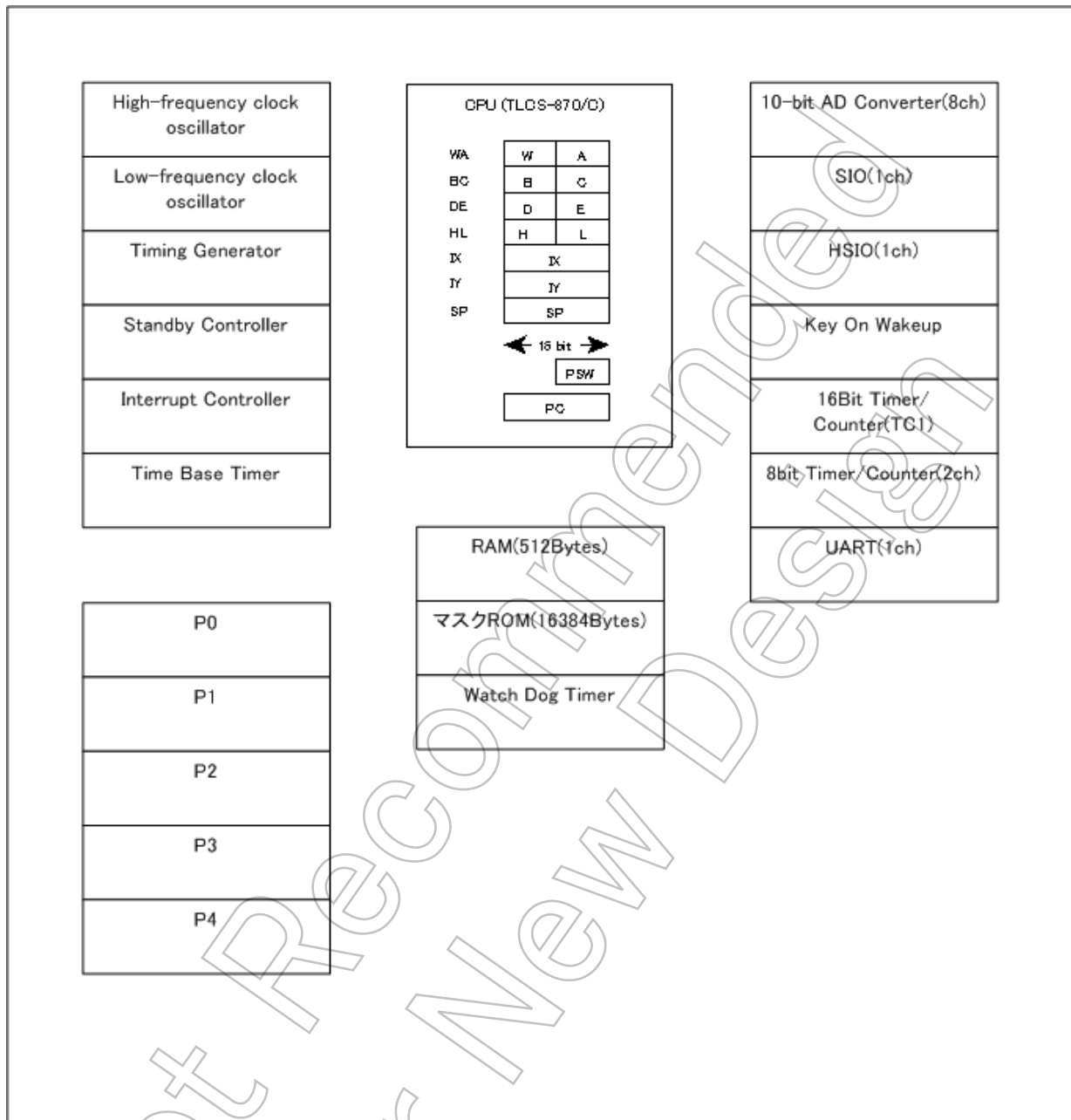


図 1-2 ブロック図

1.4 端子機能

表 1-1 端子機能表 (1 / 2)

端子名	ピン番号	入出力	機能
P07 INT4	17	IO I	ポート 07 外部割り込み 4 入力
P06 $\overline{\text{SCK}}$	16	IO IO	ポート 06 シリアルクロック入出力
P05 SI	15	IO I	ポート 05 シリアルデータ入力
P04 SO	14	IO O	ポート 04 シリアルデータ出力
P03 TXD	13	IO O	ポート 03 UART データ出力
P02 RXD	12	IO I	ポート 02 UART データ入力
P01 $\overline{\text{PDO4/PWM4/PPG4}}$ TC4	11	IO O I	ポート 01 PDO4/PWM4/PPG4 出力 TC4 端子入力
P00 $\overline{\text{INT0}}$	10	IO I	ポート 00 外部割り込み 0 入力
P17	18	IO	ポート 17
P16	19	IO	ポート 16
P15 INT3	20	IO I	ポート 15 外部割り込み 3 入力
P14 $\overline{\text{PPG}}$	21	IO O	ポート 14 PPG 出力
P13 $\overline{\text{DVO}}$	22	IO O	ポート 13 デバイダ出力
P12 INT2 TC1	23	IO I I	ポート 12 外部割り込み 2 入力 TC1 端子入力
P11 INT1	24	IO I	ポート 11 外部割り込み 1 入力
P10 $\overline{\text{PDO3/PWM3}}$ TC3	25	IO O I	ポート 10 PDO3/PWM3 出力 TC3 端子入力
P22 XTOUT	7	IO O	ポート 22 低周波発振子接続端子
P21 XTIN	6	IO I	ポート 21 低周波発振子接続端子
P20 $\overline{\text{INT5}}$ $\overline{\text{STOP}}$	9	IO I I	ポート 20 外部割り込み 5 入力 STOP モード解除入力
P37 AIN7 STOP5	33	IO I I	ポート 37 アナログ入力 7 STOP5 入力

表 1-1 端子機能表 (2 / 2)

端子名	ピン番号	入出力	機能
P36 AIN6 STOP4	32	IO I I	ポート 36 アナログ入力 6 STOP4 入力
P35 AIN5 STOP3	31	IO I I	ポート 35 アナログ入力 5 STOP3 入力
P34 AIN4 STOP2	30	IO I I	ポート 34 アナログ入力 4 STOP2 入力
P33 AIN3	29	IO I	ポート 33 アナログ入力 3
P32 AIN2	28	IO I	ポート 32 アナログ入力 2
P31 AIN1	27	IO I	ポート 31 アナログ入力 1
P30 AIN0	26	IO I	ポート 30 アナログ入力 0
P47	44	IO	ポート 47
P46	43	IO	ポート 46
P45	42	IO	ポート 45
P44	41	IO	ポート 44
P43	40	IO	ポート 43
P42	39	IO	ポート 42
P41	38	IO	ポート 41
P40	37	IO	ポート 40
XIN	2	I	発振子接続端子
XOUT	3	O	発振子接続端子
$\overline{\text{RESET}}$	8	IO	リセット入出力
TEST	4	I	出荷試験用端子。“L”レベルに固定してください。
VAREF	34	I	AD 変換用アナログ基準電圧入力端子
AVDD	35	I	アナログ電源
AVSS	36	I	アナログ電源
VDD	5	I	電源端子
VSS	1	I	GND 端子

第 2 章 動作説明

2.1 CPU コア機能

CPU コアは CPU、システムクロック制御回路、割込み制御回路から構成されます。

本章では CPU コア、プログラムメモリ、データメモリおよびリセット回路について説明します。

2.1.1 メモリアドレスマップ

TMP86CH47AUG のメモリは、MaskROM, RAM, SFR (スペシャルファンクションレジスタ) で構成され、それらは 1 つの 64K バイトアドレス空間上にマッピングされています。

図 2-1 に TMP86CH47AUG のメモリアドレスマップを示します。

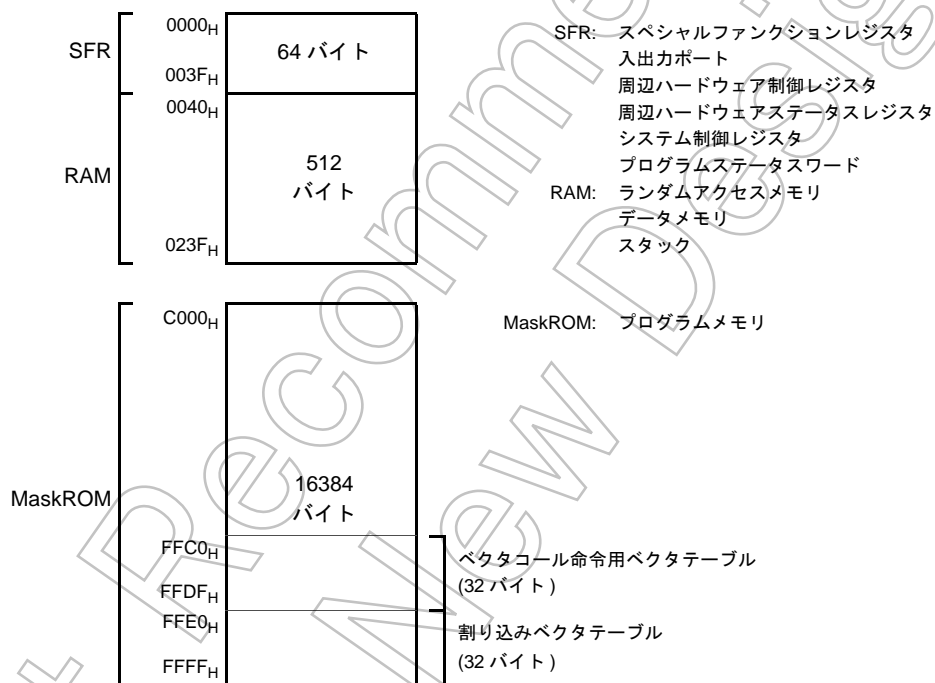


図 2-1 メモリアドレスマップ

2.1.2 プログラムメモリ (MaskROM)

TMP86CH47AUG は 16384 バイト (アドレス C000H~FFFFH) のプログラムメモリ (MaskROM) を内蔵しています。

2.1.3 データメモリ (RAM)

TMP86CH47AUG は、512 バイト (アドレス 0040H~023FH) の RAM を内蔵しています。内蔵 RAM の領域中、アドレス (0040H~00FFH) はダイレクト領域となっており、この領域に対しては実行時間を短縮した命令による処理が可能です。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

(プログラム例) TMP86CH47AUG の RAM クリア

	LD	HL, 0040H	; スタートアドレスの設定
	LD	A, H	; 初期化データ (00H) の設定
	LD	BC, 01FFH	; バイト数 (-1) の設定
SRAMCLR:	LD	(HL), A	
	INC	HL	
	DEC	BC	
	JRS	F, SRAMCLR	

Not Recommended
for New Design

2.2 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよび動作モード制御回路から構成されています。

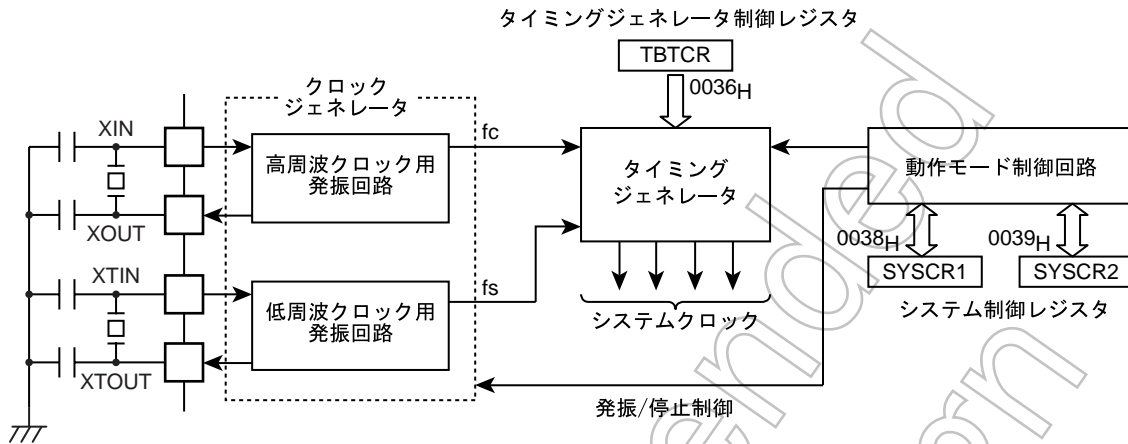


図 2-2 システムクロック制御回路

2.2.1 クロックジェネレータ

クロックジェネレータは、CPU コアおよび周辺ハードウェアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の 2 つの発振回路を内蔵しており、動作モード制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック (周波数 f_c)、低周波クロック (周波数 f_s) は、それぞれ XIN, XOUT 端子, XTIN, XTOUT 端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN, XTIN 端子からクロックを入力し、XOUT, XTOUT 端子は開放しておきます。

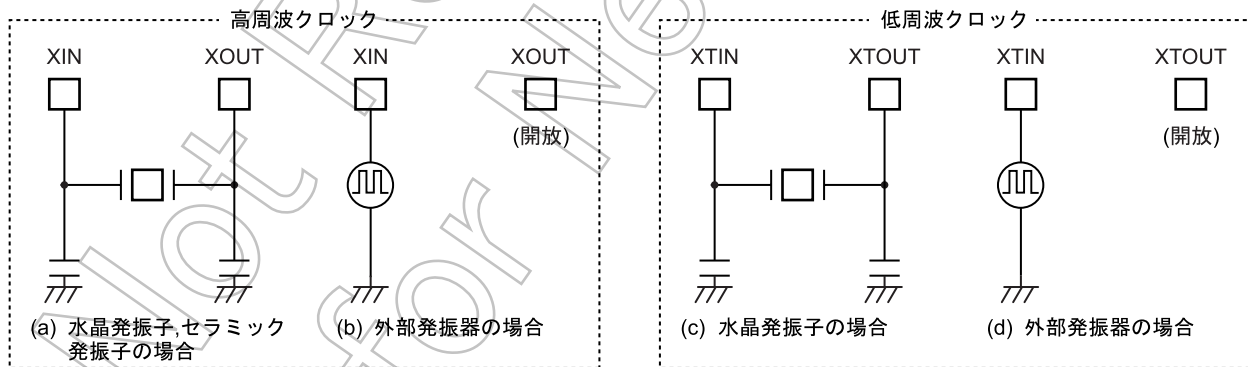


図 2-3 発振子の接続例

注) 基本クロックを外部的に直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態、ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルス (例えばクロック出力) を出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

2.2.2 タイミングジェネレータ

タイミングジェネレータは、基本クロック (fc または fs) から CPU コアおよび周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

1. メインシステムクロック生成
2. デバイダ出力 ($\overline{\text{DVO}}$) パルス生成
3. タイムベースタイマのソースクロック生成
4. ウォッチドッグタイマのソースクロック生成
5. タイマカウンタなどの内部ソースクロック生成
6. STOP モード解除時のウォーミングアップクロック生成

2.2.2.1 タイミングジェネレータの構成

タイミングジェネレータは、2 段のプリスケアラ、21 段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。

デバイダの 7 段目への入力クロックは SYSCR2<SYSCK>、TBTCR<DV7CK> の設定により図 2-4 のようになります。なお、リセット時および STOP モード起動 / 解除時プリスケアラおよびデバイダは “0” にクリアされます。

注) TBTCR<DV7CK> は、タイミングジェネレータ制御レジスタ (TBTCR) のビット 4 (DV7CK) を指しています。以降の文章中ではレジスタの各機能ビットをこのように表記します。

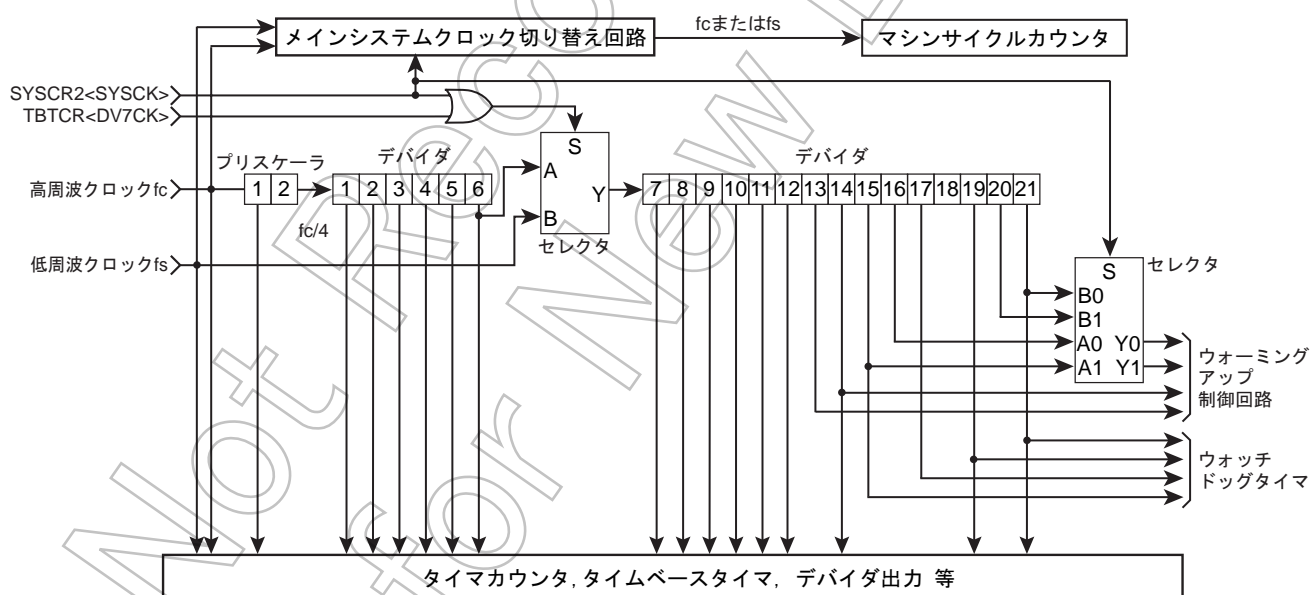


図 2-4 タイミングジェネレータの構成

タイミングジェネレータ制御レジスタ

TBTCR (0036H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	(DV0EN)	(DV0CK)	DV7CK	(TBTEN)	(TBTCK)				

DV7CK	デバイダ7段目への 入力クロックの選択	0: $fc/2^8$ [Hz] 1: fs	R/W
-------	------------------------	---------------------------	-----

- 注 1) シングルクロックモード時は、DV7CK を“1” にセットしないでください。
 注 2) 低周波クロックの発振安定前に DV7CK を“1” にセットしないでください。
 注 3) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care
 注 4) SLOW1/2, SLEEP1/2 モード時は、DV7CK の設定にかかわらず、デバイダ7段目には fs が入力されます。
 注 5) NORMAL1/2 モードから STOP モードを起動した場合、STOP モード解除後のウォーミングアップ中は DV7CK の設定にかかわらずデバイダ7段目にはデバイダ6段目の出力が入力されます。

2.2.2.2 マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870/C シリーズの命令には、1 マシンサイクルで実行される 1 サイクル命令から最長 10 マシンサイクルを要する 10 サイクル命令までの 10 種類があります。

マシンサイクルは、4 ステート (S0~S3) で構成され、各ステートは 1 メインシステムクロックで構成されます。

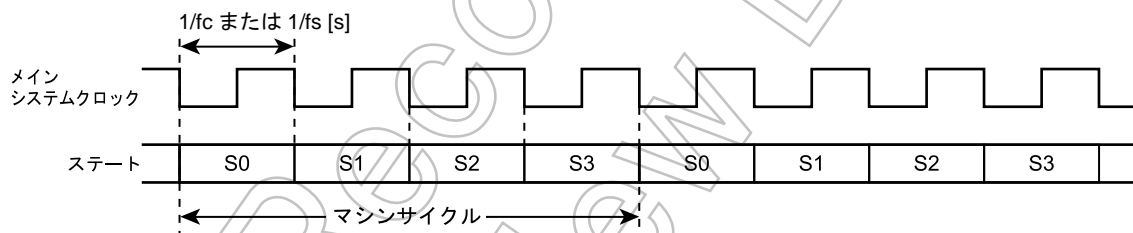


図 2-5 マシンサイクル

2.2.3 動作モードの種類

動作モード制御回路は、高周波クロック用、低周波クロック用の各発振回路の発振 / 停止 およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモード及び STOP モードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図 2-6 に動作モード遷移図を示します。

2.2.3.1 シングルクロックモード

シングルクロックモードは、高周波クロック用発振回路のみ使用する動作モードで、低周波クロック用端子の P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとして使用することができます。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは $4/fc$ [s] となります。

(1) NORMAL1 モード

CPU コアおよび周辺ハードウェアを高周波クロックで動作させるモードです。リセット解除後は、NORMAL1 モードになります。

(2) IDLE1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波クロックで動作させるモードです。IDLE1 モードの起動は、システム制御レジスタ 2 (SYSCR2) の IDLE を“1”にセットすることで行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMAL1 モードに復帰します。IMF (割り込みマスタ許可フラグ) が“1” (割り込み許可状態) の時は、割り込み処理が行われたあと、通常の動作に戻ります。IMF が“0” (割り込み禁止状態) の時は、IDLE1 モードを起動した命令の次の命令から実行再開します。

(3) IDLE0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。NORMAL1 モード時にシステム制御レジスタ SYSCR2<TGHALT> を“1”にセットすることにより起動します。IDLE0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外の周辺回路へのクロック供給を停止します。その後、TBTCR<TBTCK> によって設定されたソースクロックの立ち下がりエッジを検出するとタイミングジェネレータは全周辺回路へのクロック供給を開始します。

IDLE0 モードを解除すると、CPU は動作を再開し、NORMAL1 モードに復帰します。

なお、IDLE0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰し IMF = “1”, EF6 (TBT の割り込み個別許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

TBTCR<TBTEN> = “1” の状態で IDLE0 モードを起動すると、NORMAL モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.2 デュアルクロックモード

デュアルクロックモードは、高周波、低周波用の 2 つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) を低周波クロック用端子として使用します (デュアルクロックモード時、これらの端子は入出力ポートとして使用することはできません)。メインシステムクロックは、NORMAL2, IDLE2 モード時、高周波クロックから生成され、SLOW1, 2, SLEEP1, 2 モード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時 $4/f_c$ [s], SLOW, SLEEP モード時 $4/f_s$ [s] ($122 \mu s @ f_s = 32.768 \text{ kHz}$) となります。

TLCS-870/C シリーズは、リセット中シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください。

(1) NORMAL2 モード

CPU コアを高周波クロックで動作させるモードで、周辺ハードウェアは高周波 / 低周波の両クロックで動作します。

(2) SLOW2 モード

高周波クロックの発振を動作させながら、CPU コアを低周波クロックで動作させるモードです。NORMAL2 から SLOW2 への切り替え、SLOW2 から NORMAL2 への切り替えは、SYSCR2<SYSCK>で行います。SLOW2 モード時、XTEN を“0”にクリアしないでください。

(3) SLOW1 モード

高周波クロックの発振を停止させ、CPU コア、周辺ハードウェアを低周波クロックで動作させるモードで消費電力を低減できます。

SLOW1 モードと SLOW2 モードの間の変換は SYSCR2<XEN>で行います。SLOW1、SLEEP1 モード時、デバイダの初段から 6 段目までの出力は停止します。

(4) IDLE2 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波 / 低周波の両クロックで動作させるモードです。IDLE2 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

(5) SLEEP1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを低周波クロックで動作させるモードです。SLEEP1 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、SLOW1 モードに戻ります。なお、高周波クロックは発振していません。SLOW1、SLEEP1 時、デバイダの初段から 6 段目までの出力は停止します。

(6) SLEEP2 モード

SLOW2 モードに対応する IDLE モードです。高周波クロックが動作することを除き、SLEEP1 モードと同一の状態です。

(7) SLEEP0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。SLOW1 モード時に SYSCR2<TGHALT> を“1”にセットすることにより起動します。SLEEP0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外へのクロック供給を停止します。その後、TBTCR<TBTK> によって設定されたソースクロックの立ち下がりエッジを検出すると、タイミングジェネレータは全周辺回路へのクロック供給を開始します。

SLEEP0 モードを解除すると、CPU は動作を再開し、SLOW1 モードに復帰します。

なお、SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰し、IMF = “1”, EF6 (TBT の割り込み許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

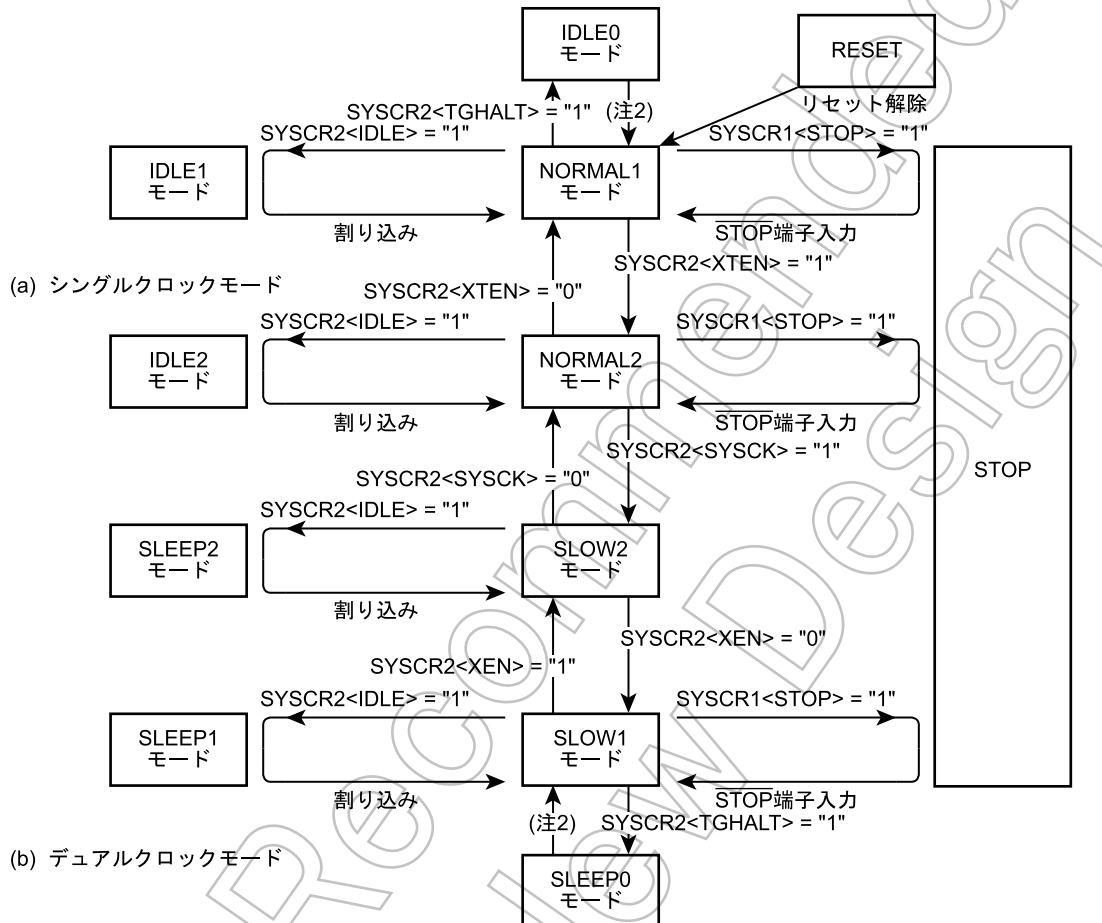
TBTCR<TBTEN> = “1” の状態で SLEEP0 モードを起動すると、SLOW1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.3 STOP モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

STOPモードの起動は、システム制御レジスタ1で行います。解除は、 $\overline{\text{STOP}}$ 端子入力で行い、ウォーミングアップ時間経過後、STOPモード起動時のモードに戻り、STOPモードを起動した命令の次の命令から実行再開します。

2.2.3.4 各動作モードの遷移



注 1) NORMAL1, NORMAL2 モードを総称して NORMAL モード、SLOW1, SLOW2 モードを SLOW モード、IDLE0, IDLE1, IDLE2 モードを IDLE モード、SLEEP0, SLEEP1, SLEEP2 モードを SLEEP モードと呼びます。

注 2) TBTCR<TBTC> によって選択されたソースクロックの立ち下がりエッジによって解除。

図 2-6 動作モード状態遷移図

表 2-1 動作モードと各部の状態

動作モード		発振回路		CPU コア	TBT	その他 周辺回路	マシンサイクルタイム
		高周波	低周波				
シングル クロック	RESET	発振	停止	リセット	リセット	リセット	4/fc [s]
	NORMAL1			動作	動作	動作	
	IDLE1			停止		動作	
	IDLE0						
	STOP	停止	停止	停止	停止	—	
デュアル クロック	NORMAL2	発振	発振	高周波動作	動作	動作	4/fc [s]
	IDLE2			停止			
	SLOW2			低周波動作			
	SLEEP2			停止			
	SLOW1	停止	停止	低周波動作	動作	動作	4/fs [s]
	SLEEP1						
	SLEEP0						
	STOP			停止			停止

Not Recommended for New Design

2.2.4 動作モードの制御

システム制御レジスタ 1

	7	6	5	4	3	2	1	0	
SYSCR1 (0038H)	STOP	RELM	RETM	OUTEN	WUT				(初期値:0000 000*)

STOP	STOPモードの起動	0: CPUコア, 周辺ハードウェア動作 1: CPUコア, 周辺ハードウェア停止 (STOPモード起動)		R/W	
RELM	STOPモードの解除方法の選択	0: エッジ解除モード (STOP端子入力の立ち上がりエッジで解除) 1: レベル解除モード (STOP端子入力の "H" レベルで解除)		R/W	
RETM	STOPモード解除後の動作モードの選択	0: NORMAL1/2モードへ戻る 1: SLOW1モードへ戻る		R/W	
OUTEN	STOPモード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持		R/W	
WUT	STOPモード解除時のウォーミングアップ時間 単位: [s]		NORMAL1/2モードへ戻る場合	SLOW1モードへ戻る場合	R/W
		000	$3 \times 2^{16}/f_c$	$3 \times 2^{13}/f_s$	
	010	$2^{16}/f_c$	$2^{13}/f_s$		
	100	$3 \times 2^{14}/f_c$	$3 \times 2^6/f_s$		
	110	$2^{14}/f_c$	$2^6/f_s$		
	*01	$3 \times 2^{10}/f_c$	$3 \times 2^6/f_s$		
	*11	$2^{10}/f_c$	$2^6/f_s$		

- 注 1) RETM は、NORMALモードからSTOPモードを起動する場合は必ず“0”にしてください。SLOWモードからSTOPモードを起動する場合は必ず“1”にしてください。
- 注 2) STOPモードをRESET端子入力で解除した場合は、RETMの値にかかわらずNORMAL1モードに戻ります。
- 注 3) f_c ; 高周波クロック [Hz], f_s ; 低周波クロック [Hz], *, Don't care
- 注 4) SYSCR1のビット1は、リードすると不定値が読み出されます。
- 注 5) OUTEN = “0”の指定でSTOPモードを起動すると、内部入力は“0”に固定されますので、立ち下がりエッジの外部割り込みがセットされる恐れがあります。
- 注 6) キーオンウェイクアップ入力を使用する場合は、RELMを“1”に設定してください。
- 注 7) P20端子はSTOP端子と兼用のため、STOPモードを起動するとOUTENの状態にかかわらず、出力はHi-z状態となります。
- 注 8) ウォーミングアップタイムは使用する発振子の特性に合わせて選択してください。

システム制御レジスタ 2

	7	6	5	4	3	2	1	0	
SYSCR2 (0039H)	XEN	XTEN	SYSCK	IDLE		TGHALT			(初期値: 1000 *0**)

XEN	高周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	R/W
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	
SYSCK	システムクロックの 選択 (write)/ モニタ (read)	0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/SLEEP)	
IDLE	CPU,WDT 制御 (IDLE1/2, SLEEP1/2 モード)	0: CPU, WDT 動作 1: CPU, WDT 停止 (IDLE1/2, SLEEP1/2 モード起動)	R/W
TGHALT	TG 制御 (IDLE0, SLEEP0 モード)	0: TG から全周辺回路へのクロック供給動作 1: TG から TBT を除く周辺回路へのクロック供給停止 (IDLE0, SLEEP0 モード起動)	R/W

- 注 1) XEN, XTEN をともに “0” にクリアした場合、SYSCK = “0” で XEN を “0” にクリアした場合、および SYSCK = “1” で XTEN を “0” にクリアした場合、リセットがかかります。
- 注 2) WDT; ウォッチドッグタイマ, TG; タイミングジェネレータ, * ; Don't care
- 注 3) SYSCR2 のビット 3, 1, 0 は、リードすると不定値が読み出されます。
- 注 4) IDLE と TGHALT は、同時に “1” に設定しないでください。
- 注 5) IDLE0/SLEEP0 モードは、TBTCR<TBTC> によって選択された非同期の内部ソースクロックによって NORMAL1/SLOW1 モードに復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTC> の時間よりも短くなります。
- 注 6) IDLE1/2, SLEEP1/2 モード解除時、IDLE は自動的に “0” にクリアされます。
- 注 7) IDLE0, SLEEP0 モード解除時、TGHALT は自動的に “0” にクリアされます。
- 注 8) TGHALT を “1” に設定するときは、事前に周辺機能の動作を停止してから行ってください。周辺機能の動作が停止されない場合、IDLE0 または SLEEP0 モードが復帰した直後に周辺機能の割り込みラッチがセットされることがあります。

2.2.4.1 STOP モード

STOP モードは、システム制御レジスタ 1 (SYSCR1) と $\overline{\text{STOP}}$ 端子入力および STOP5 ~ STOP2 によって制御されます。 $\overline{\text{STOP}}$ 端子は、P20 ポートならびに $\overline{\text{INT5}}$ (外部割り込み入力 5) 端子と兼用です。STOP モードは、SYSCR1<STOP> を“1”にセットすることにより起動され、STOP モード中、次の状態を保持しています。

1. 高周波、低周波とも発振を停止し、内部の動作をすべて停止します。
2. データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは STOP モードに入る直前の状態を保持します。
3. タイミングジェネレータのプリスケアラおよびデバイダを“0”にクリアします。
4. プログラムカウンタは、STOP モードを起動する命令 (例えば、[SET (SYSCR1). 7]) の 2 つ先の命令のアドレスを保持します。

STOP モードには、レベル解除モードとエッジ解除モードがあり、それらは SYSCR1<RELM> で選択します。エッジ解除モードの場合には、STOP5 ~ STOP2 を使用禁止に設定してください。

注 1) なお、 $\overline{\text{STOP}}$ 端子はキーオンウェイクアップ入力端子とは異なり入力を禁止する機能がありませんので、STOP モードを使用する場合は、必ず STOP 解除用の端子として使用してください。

注 2) STOP 期間中 (STOP モード起動からウォーミングアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが“1”にセットされ、STOP モード解除後直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

(1) レベル解除モード (RELM = “1” のとき)

$\overline{\text{STOP}}$ 端子への“H”レベル入力または STOP5 ~ STOP2 (STOPCR でビットごとに設定可能) 端子への“L”レベル入力により STOP 動作を解除するモードで、メイン電源遮断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$ 端子入力が“H”レベルまたは STOP5 ~ STOP2 端子が“L”レベルの状態では STOP 動作の起動を指示する命令を実行しても、STOP 動作に入らず、直ちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードで STOP 動作で起動する場合、 $\overline{\text{STOP}}$ 端子入力が“L”レベルであり、また STOP5 ~ STOP2 端子入力が“H”レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

1. ポートの状態をテストする方法
2. $\overline{\text{INT5}}$ 割り込みによる方法 ($\overline{\text{INT5}}$ 端子入力の立ち下がりエッジで割り込みを発生します)

(プログラム例 1) P20 ポートをテストして NORMAL モードから STOP モードを起動

	LD	(SYSCR1), 01010000B	; レベル解除モードにセットアップ
SSTOPH:	TEST	(P2PRD). 0	; $\overline{\text{STOP}}$ 端子入力が“L”レベルになるまでウエイト
	JRS	F, SSTOPH	
	DI		; IMF←0
	SET	(SYSCR1). 7	; STOP モードを起動

(プログラム例2) INT5 割り込みにより、NORMAL モードから STOP モードを起動

```

PINT5:    TEST    (P2PRD) . 0           ; ノイズ除去のため P20 ポート入力が
          JRS     F, SINT5             ; "H" レベルなら STOP モードを起動しない。
          LD      (SYSCR1), 01010000B  ; レベル解除モードにセットアップ
          DI      ; IMF←0
          SET     (SYSCR1) . 7         ; STOP モードを起動
SINT5:    RETI
    
```

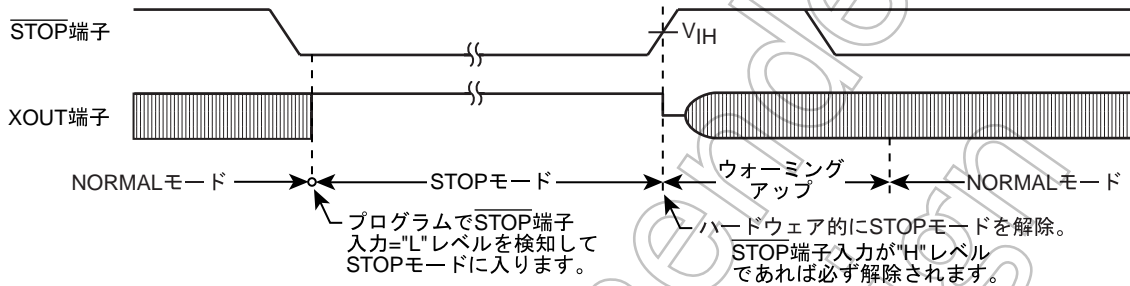


図 2-7 レベル解除モード

- 注 1) ウォーミングアップ開始後、再び $\overline{\text{STOP}}$ 端子入力が "L" レベルまたは、STOP5 ~ STOP2 端子が "H" レベルになっても STOP モードには戻りません。
- 注 2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、 $\overline{\text{STOP}}$ 端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

(2) エッジ解除モード (RELM = "0" のとき)

$\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで STOP 動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号 (例えば、低消費電力の発振源からのクロック) を $\overline{\text{STOP}}$ 端子に入力します。エッジ解除モードの場合、 $\overline{\text{STOP}}$ 端子入力が "H" レベルにあっても STOP 動作に入ります。なお、STOP5 ~ STOP2 端子入力は、キーオンウェイクアップ制御レジスタ (STOPCR) によってすべて禁止に設定してください。

(プログラム例) NORMAL モードから STOP モードを起動

```

DI      ; IMF←0
LD      (SYSCR1), 10010000B  ; エッジ解除モードに設定して起動
    
```

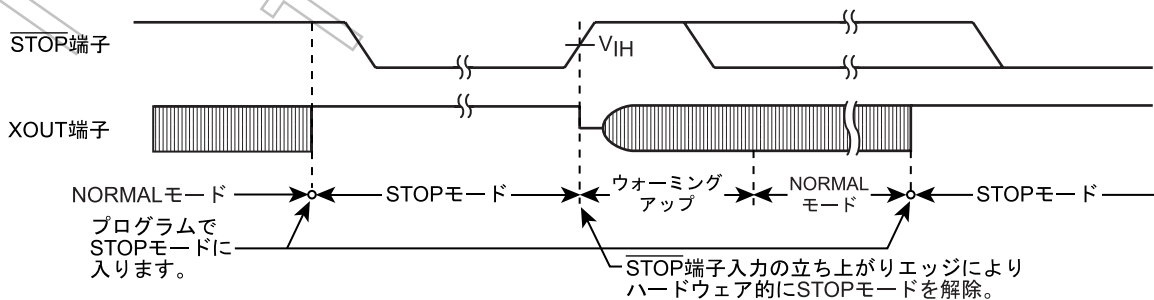


図 2-8 エッジ解除モード

STOPモードの解除は、次のシーケンスで行われます。

1. 発振が開始されます。デュアルクロックモードの場合、NORMAL2へ戻るときは、高周波/低周波発振器の両方が発振し、SLOWに戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
2. 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせてSYSCR1<WUT>で6種類選択できます。
3. ウォーミングアップ時間経過後、STOPモードを起動した命令の次の命令から通常の動作が再開されます。

注1) STOPモードを解除すると、タイミングジェネレータのプリスケールおよびデバイダは"0"にクリアされた状態から始まります。

注2) STOPモードは、RESET端子を"L"レベルにすることによっても解除され、直ちに通常のリセット動作を行います。

注3) 低い保持電圧でSTOPモードの解除を行う場合には、次の注意が必要です。STOPモードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、RESET端子も"H"レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、RESET端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、RESET端子の入力電圧レベルが、RESET端子入力(ヒステリシス入力)の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

表 2-2 ウォーミングアップ時間 (例: $f_c = 16.0$ MHz, $f_s = 32.768$ kHz 時)

WUT	ウォーミングアップ時間 [ms]	
	NORMALモードへ戻る場合	SLOWモードに戻る場合
000	12.288	750
010	4.096	250
100	3.072	5.85
110	1.024	1.95
*01	0.192	5.9
*11	0.064	2.0

注1) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOPモードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むこととなります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

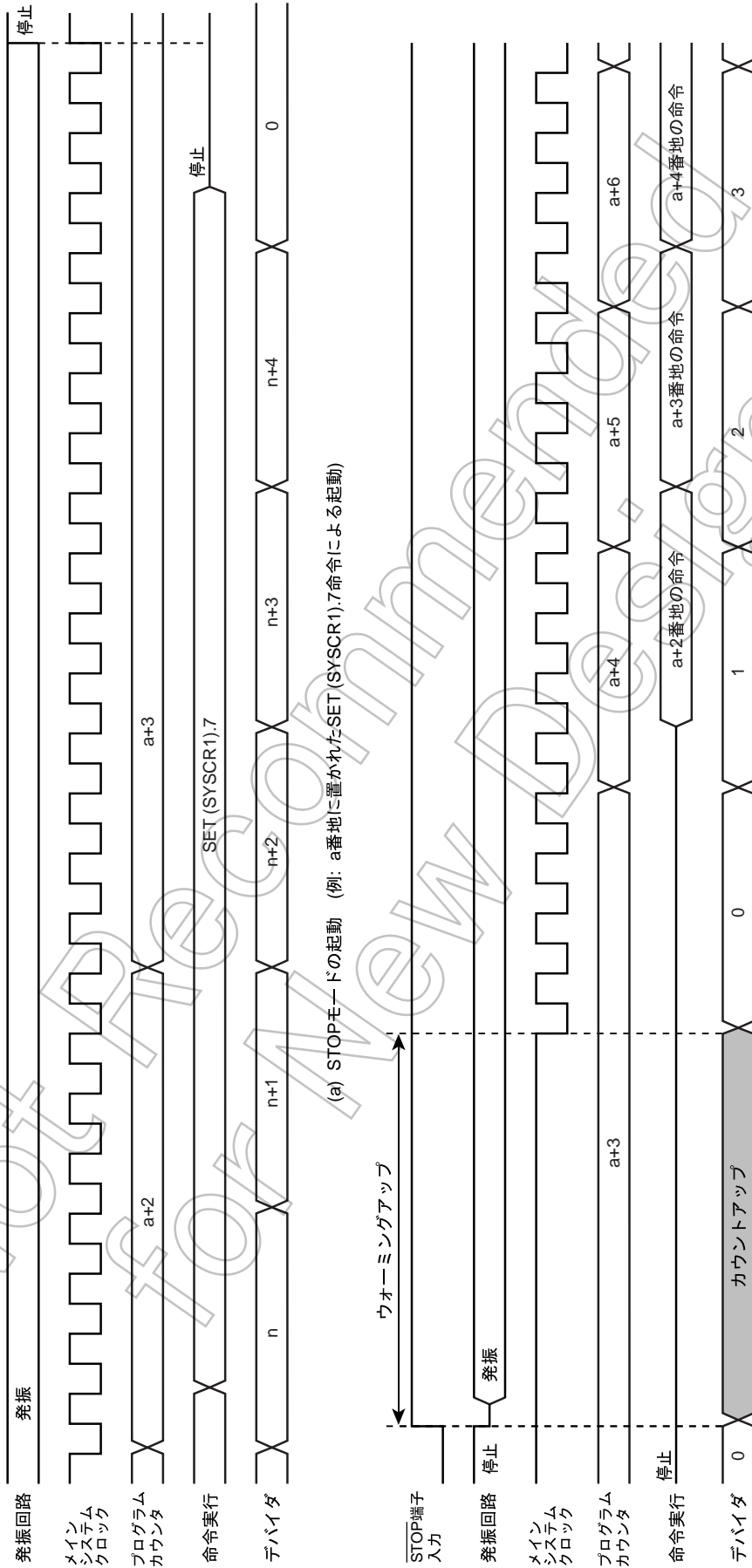


図 2-9 STOPモードの起動/解除

2.2.4.2 IDLE1/2モード, SLEEP1/2モード

IDLE1/2モード, SLEEP1/2モードは、システム制御レジスタ2 (SYSCR2) とマスクブル割り込みによって制御されます。IDLE1/2モード, SLEEP1/2モード中、次の状態を保持しています。

1. CPU およびウォッチドッグタイマは動作を停止します。周辺ハードウェアは動作を継続します。
2. データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどは、IDLE1/2モード, SLEEP1/2モードに入る直前の状態を保持します。
3. プログラムカウンタは、IDLE1/2モード, SLEEP1/2モードを起動する命令の2つ先の命令のアドレスを保持します。

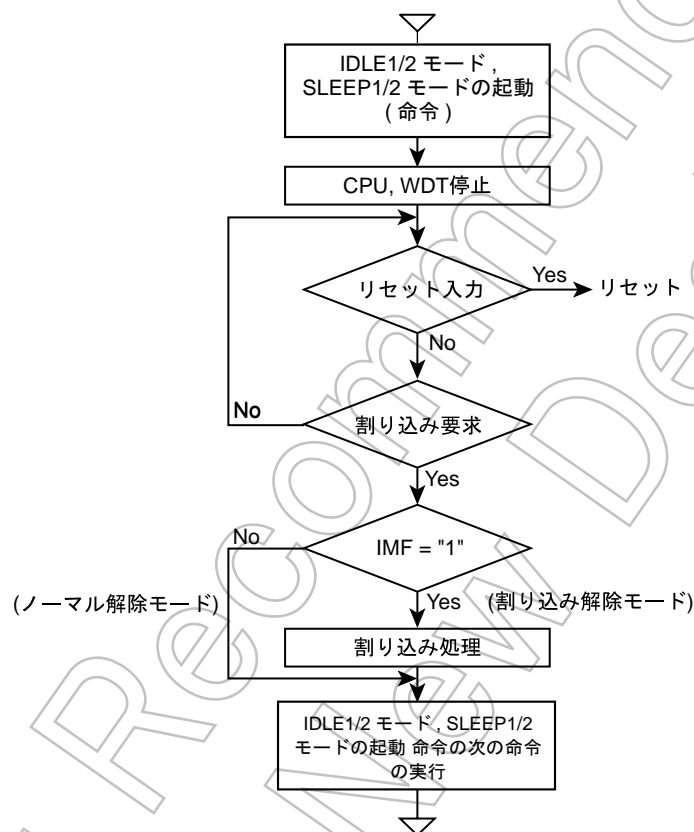


図 2-10 IDLE1/2モード, SLEEP1/2モード

- IDLE1/2, SLEEP1/2 モードの起動

割り込みマスタ許可フラグ (IMF) を“0”に設定した後、IDLE1/2, SLEEP1/2 モードを解除する割り込み個別許可フラグ (EF) を“1”に設定します。

IDLE1/2, SLEEP1/2 モードを起動するには、SYSCR2<IDLE> を“1”に設定します。

- IDLE1/2, SLEEP1/2 モードの解除

IDLE1/2, SLEEP1/2 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) によって行います。IDLE1/2, SLEEP1/2 モードが解除されると、SYSCR2<IDLE> は自動的に“0”にクリアされ、起動したモードに復帰します。

なお、IDLE1/2, SLEEP1/2 モードは $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

(1) ノーマル解除モード (IMF=“0”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE1/2, SLEEP1/2 モードが解除され、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

(2) 割り込み解除モード (IMF=“1”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により IDLE1/2, SLEEP1/2 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令に戻ります。

注) IDLE1/2, SLEEP1/2 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1/2, SLEEP1/2 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

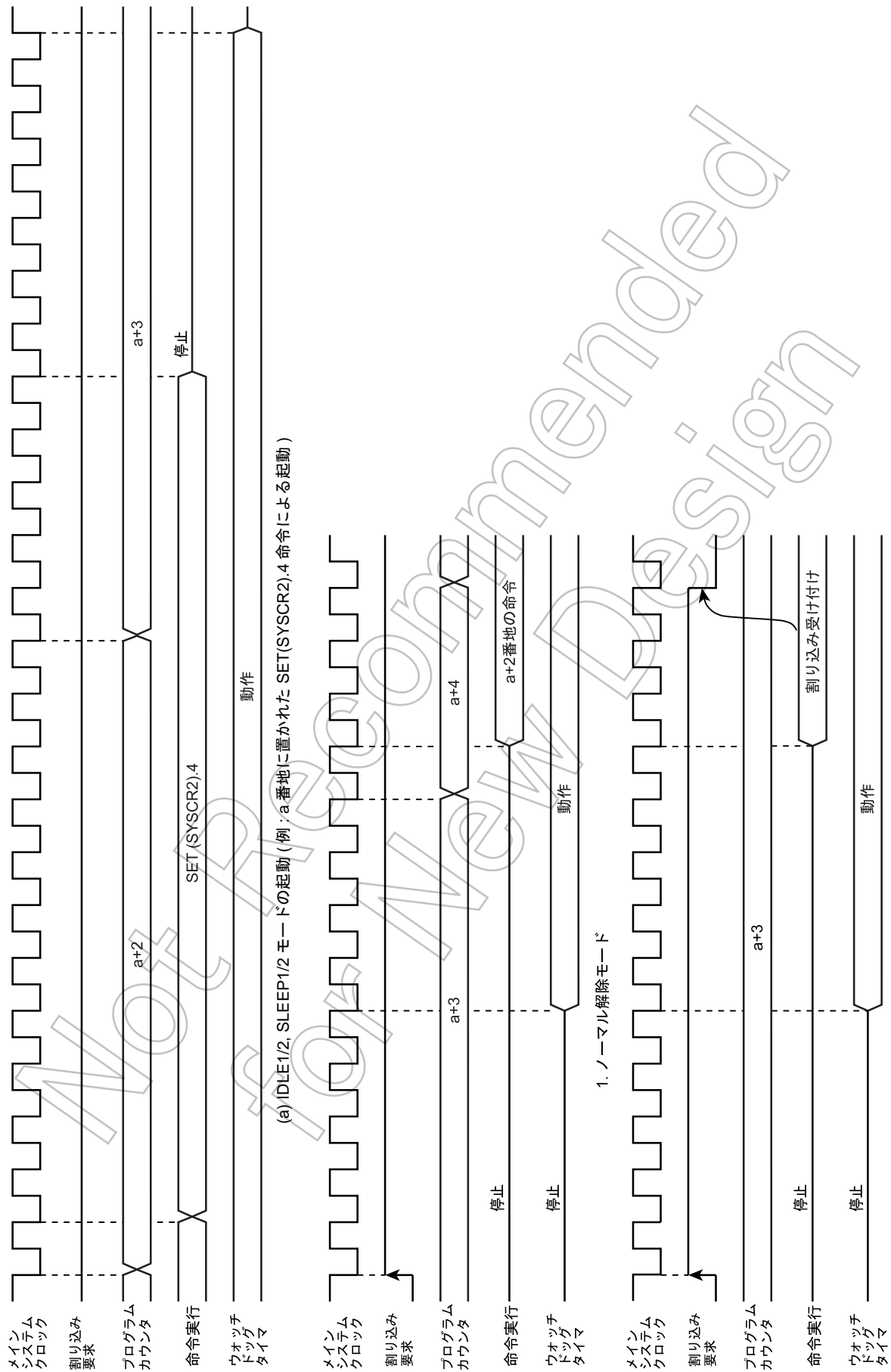


図 2-11 IDLE1/2, SLEEP1/2 モードの起動 / 解除

2.2.4.3 IDLE0, SLEEP0 モード

IDLE0, SLEEP0 モードは、システム制御レジスタ 2 (SYSCR2) とタイムベースタイマによって制御されます。IDLE0, SLEEP0 モード中、次の状態を保持しています。

- タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。
- データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは、IDLE0, SLEEP0 モードに入る直前の状態を保持します。
- プログラムカウンタは、IDLE0, SLEEP0 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

注) IDLE0 または SLEEP0 モードを起動する場合は、周辺機能を停止状態 (ディセーブル状態) に設定してから、IDLE0, SLEEP0 モードを起動してください。

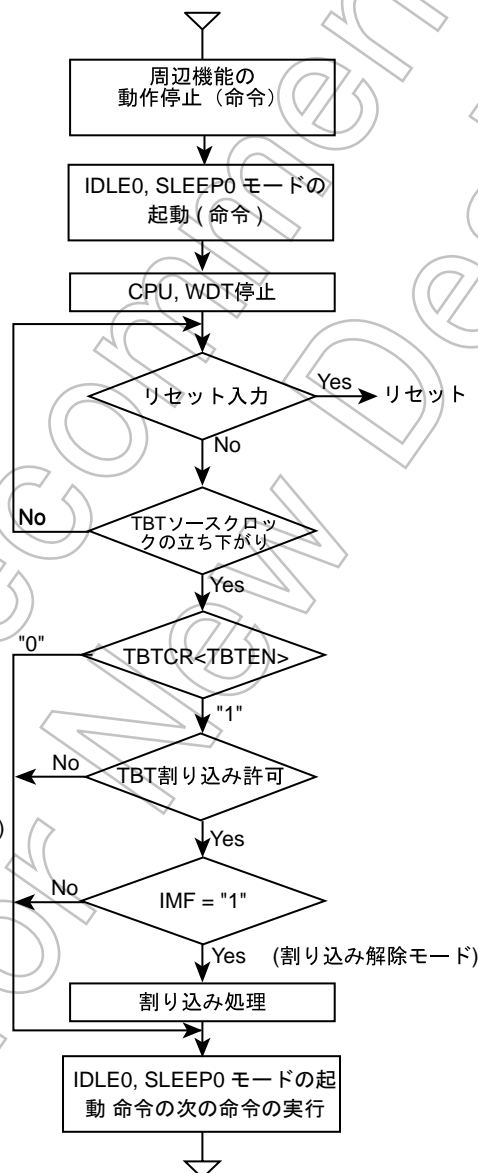


図 2-12 IDLE0, SLEEP0 モード

- IDLE0, SLEEP0 モードの起動

タイマカウンタ等の周辺機能を停止状態（ディセーブル状態）に設定します。

IDLE0, SLEEP0 モードを起動するには、SYSCR2<TGHALT> を“1”に設定します。

- IDLE0, SLEEP0 モードの解除

IDLE0, SLEEP0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF)、タイムベースタイマの割り込み個別許可フラグ (EF6) および TBTCR<TBTEN> によって行います。IDLE0, SLEEP0 モードが解除されると、SYSCR2<TGHALT> は自動的に“0”にクリアされ、起動したモードに復帰します。またこのとき、TBTCR<TBTEN> が“1”にセットされていると INTTBT の割り込みラッチがセットされます。

なお、IDLE0, SLEEP0 モードは $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

注) IDLE0, SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動/復帰します。

(1) ノーマル解除モード (IMF ・ EF6 ・ TBTCR<TBTEN> = “0” のとき)

TBTCR<TBTK> によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードは解除されます。IDLE0, SLEEP0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

なお、TBTCR<TBTEN> が“1”の時は、タイムベースタイマ割り込みラッチがセットされます。

(2) 割り込み解除モード (IMF ・ EF6 ・ TBTCR<TBTEN> = “1” のとき)

TBTCR<TBTK> によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードが解除された後、INTTBT の割り込み処理が行われます。

注 1) IDLE0, SLEEP0 モードは、TBTCR<TBTK> によって選択された非同期の内部ソースクロックによって NORMAL1, SLOW1 に復帰しますので、モード起動から復帰までの時間は TBTCR<TBTK> の時間よりも短くなります。

注 2) IDLE0, SLEEP0 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE0, SLEEP0 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

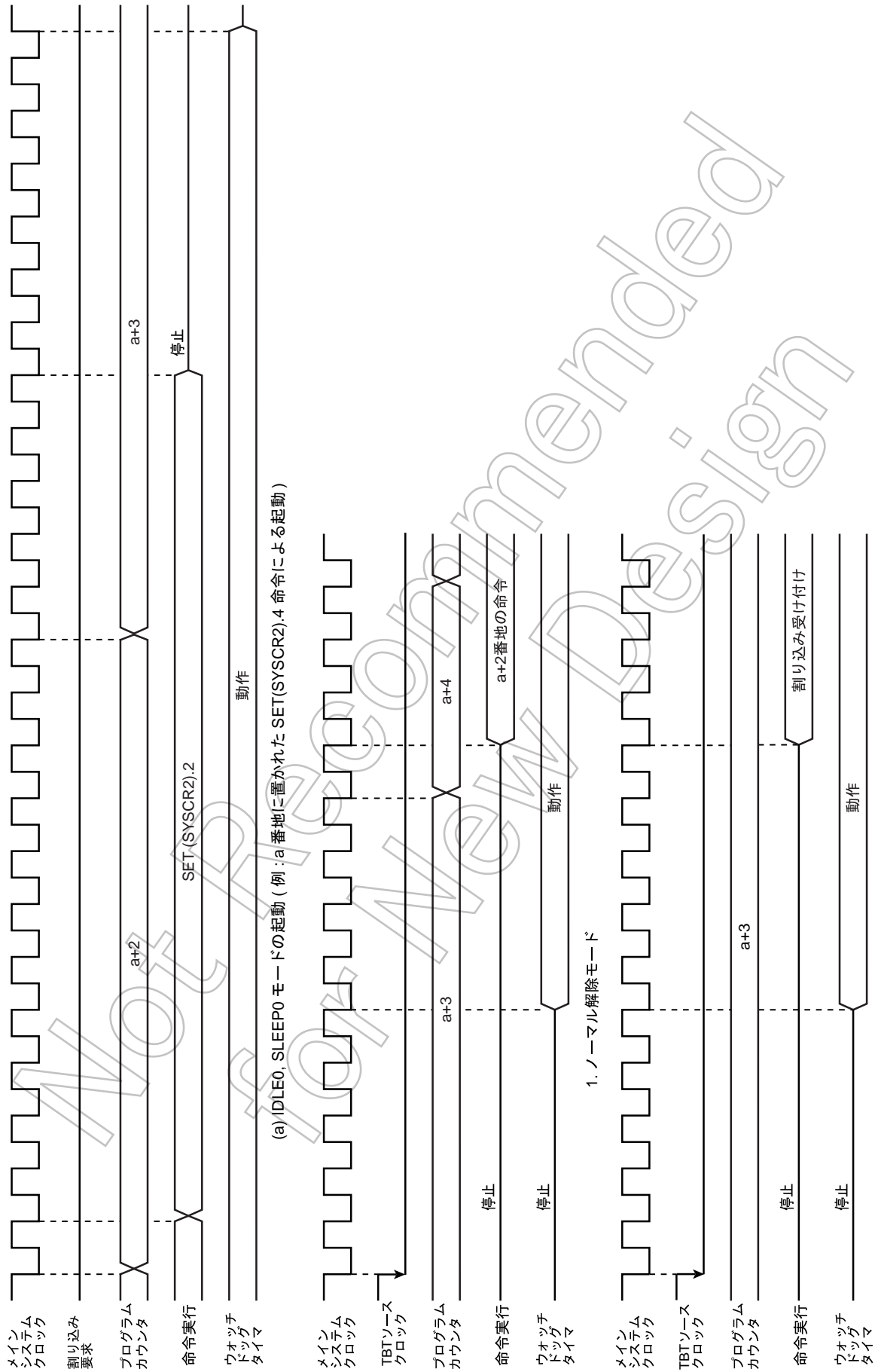


図 2-13 IDLE0, SLEEP0 モードの起動 / 解除

2.2.4.4 SLOW モード

SLOW モードは、システム制御レジスタ 2 (SYSCR2) によって制御されます。

(1) NORMAL2 モードから SLOW モードへの切り替え

まず、SYSCR2<SYSCK> に“1”を書き込み、システムクロックを低周波クロックに切り替えます。次に、SYSCR2<XEN>を“0”にクリアして高周波発振器を停止します。

注) NORMAL2 モードへ早く戻るために高周波クロックの発振を継続させることも可能です。ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ (TC4, TC3) を使用すると便利です。

(プログラム例 1) NORMAL2 モードから SLOW1 モードへの切り替え

```

SET      (SYSCR2).5      ; SYSCR2<SYSCK>←1
                        ; (システムクロックを低周波に切り替え
                        ; (SLOW2 モードに))
CLR      (SYSCR2).7      ; SYSCR2<XEN>←0 (高周波クロック停止)

```

(プログラム例 2) TC4, TC3 で低周波クロックの安定発振の確認後、SLOW1 モードへ切り替え

```

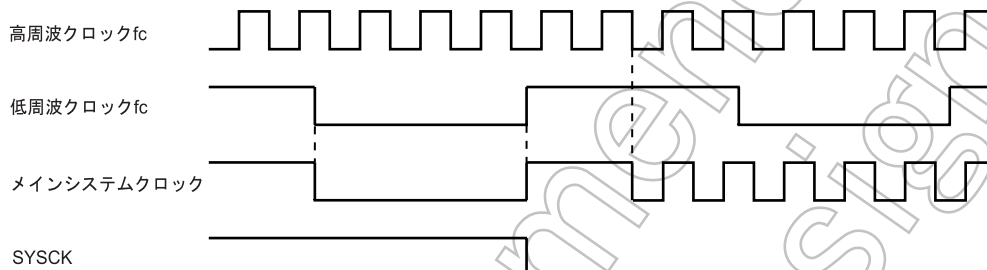
SET      (SYSCR2).6      ; SYSCR2<XTEN>←1
                        ; (低周波クロック発振開始)
LD       (TC3CR), 43H    ; TC4, 3 のモードをセット
LD       (TC4CR), 05H    ; ウォーミングアップカウントモードに設定
LDW     (TTREG3), 8000H  ; ウォーミングアップ時間をセット
                        ; (発振子の特性で時間を決定します)
DI       ; IMF←0
SET      (EIRH).1        ; INTTC4 の割り込みを許可
EI       ; IMF←1
SET      (TC4CR).3       ; TC4, 3 スタート
PINTTC4: CLR      (TC4CR).3 ; TC4, 3 ストップ
SET      (SYSCR2).5      ; SYSCR2<SYSCK>←1
                        ; (システムクロックを低周波に切り替え)
CLR      (SYSCR2).7      ; SYSCR2<XEN>←0 (高周波クロック停止)
RETI
;
VINTTC4: DW      PINTTC4 ; INTTC4 ベクタテーブル

```

(2) SLOW1 モードから NORMAL2 モードへの切り替え

まず、SYSCR2<XEN> を“1” にセットして高周波クロックを発振させます。発振の安定時間 (ウォーミングアップ) をタイマカウンタ (TC4, TC3) によって確保したあと、SYSCR2<SYSCK> を“0” にクリアしてシステムクロックを高周波に切り替えます。SLOW モードは RESET 端子を“L” レベルにすることによっても解除され、直ちに通常のリセット動作を行います。リセット解除後は NORMAL1 モードになります。

注) SYSCK を“0” にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています



(プログラム例) TC4, TC3 で SLOW1 モードから NORMAL2 モードへの切り替え
(fc = 16 MHz, ウォーミングアップ時間 = 4.0 ms)

```

SET      (SYSCR2). 7      ; SYSCR2<XEN>←1
                          ; (高周波クロック発振開始)
LD       (TC3CR), 63H     ; TC4, 3 のモードをセット
LD       (TC4CR), 05H     ; ウォーミングアップカウンタモード, ソースクロック: fc)
LD       (TTREG4), 0F8H   ; ウォーミングアップ時間をセット
                          ; (周波数と発振子の特性で時間を決定します)
DI       ; IMF←0
SET      (EIRH). 1       ; INTTC4 割り込みを許可
EI       ; IMF←1
SET      (TC4CR). 3      ; TC4, 3 スタート
;
PINTTC4 CLR      (TC4CR). 3      ; TC4, 3 ストップ
CLR      (SYSCR2). 5     ; SYSCR2<SYSCK>←0
                          ; (システムクロックを高周波に切り替え)
RETI
;
VINTTC4: DW      PINTTC4      ; INTTC4 ベクタテーブル
    
```

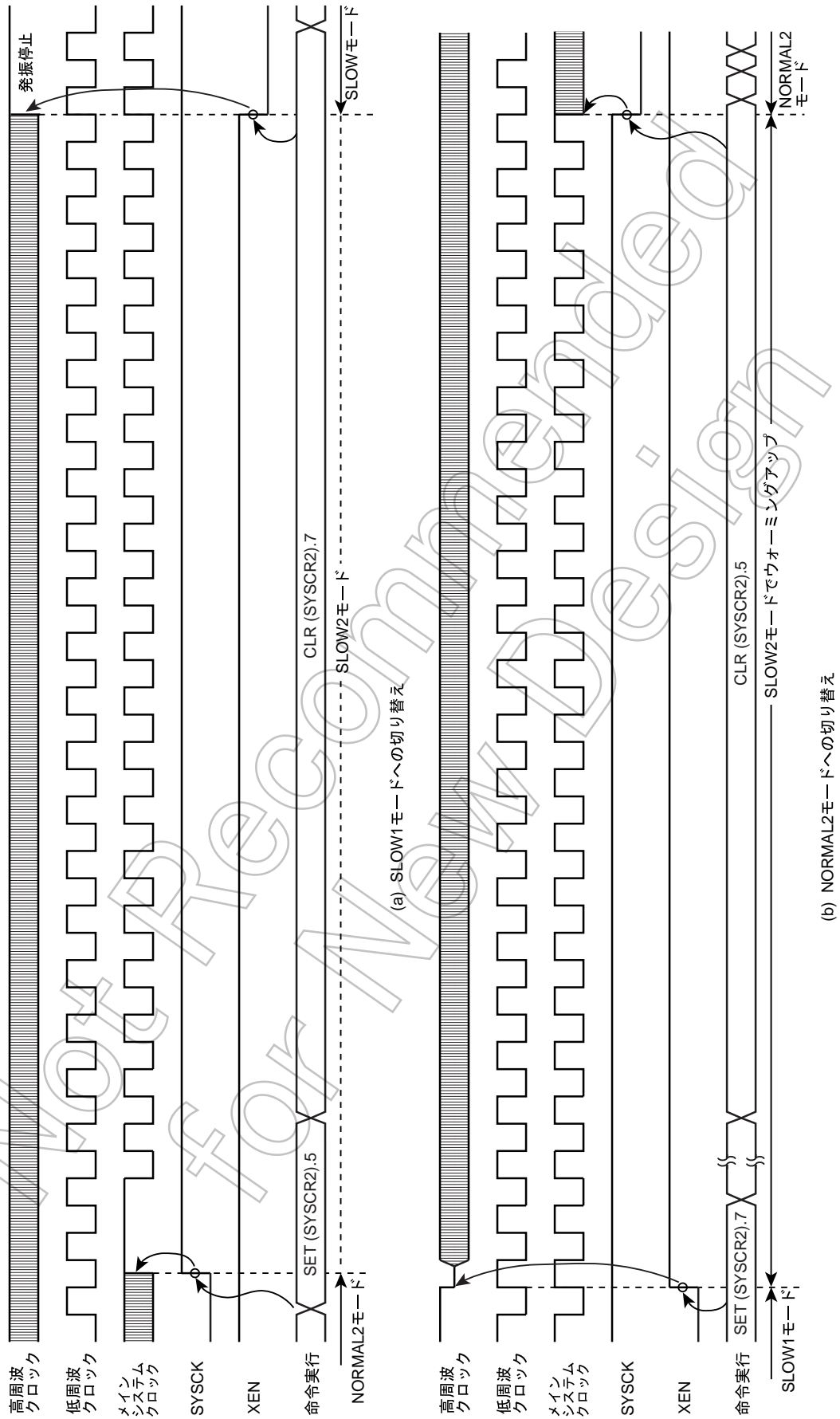


図 2-14 SLOW ↔ NORMAL2 モード切り替え

2.3 リセット回路

TMP86CH47AUG には外部リセット入力、アドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットの4種類のリセット発生手段があります。

このうちアドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットは、内部要因リセットで、これらのリセット要求を検出すると、最大 $24/f_c[s]$ の期間リセット状態となります。(RESET 端子から L レベルを出力します)

電源投入時、内部要因リセット回路(ウォッチドッグタイマリセット、アドレストラップリセット、システムクロックリセット)は初期化されませんので電源投入時に最大 $24/f_c$ ($1.5\mu s @ 16.0\text{ MHz}$) の期間リセット状態となる(最大 $24/f_c$ の期間、RESET 端子からレベルを出力する)場合があります。

表 2-3 にリセット動作による内蔵ハードウェアの初期化を示します。

表 2-3 リセット動作による内蔵ハードウェアの初期化

内蔵ハードウェア	初期値	内蔵ハードウェア	初期値
プログラムカウンタ (PC)	(FFFEH)	タイミングジェネレータのプリスケールおよびデバイダ	0
スタックポインタ (SP)	初期化されません		
汎用レジスタ (W, A, B, C, D, E, H, L, IX, IY)	初期化されません		
ジャンプステータスフラグ (JF)	初期化されません	ウォッチドッグタイマ	イネーブル
ゼロフラグ (ZF)	初期化されません	入出力ポートの出力ラッチ	各入出力ポートの説明箇所を参照
キャリーフラグ (CF)	初期化されません		
ハーフキャリーフラグ (HF)	初期化されません		
サインフラグ (SF)	初期化されません		
オーバフローフラグ (VF)	初期化されません		
割り込みマスタ許可フラグ (IMF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込み個別許可フラグ (EF)	0		
割り込みラッチ (IL)	0		
		RAM	初期化されません

2.3.1 外部リセット入力

RESET 端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小 3 マシンサイクル ($12/f_c [s]$) 以上の間 RESET 端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

RESET 端子入力が“H”レベルに立ち上がるとリセット動作は解除され、アドレス FFFE~FFFFH に格納されたベクタアドレスからプログラムの実行を開始します。

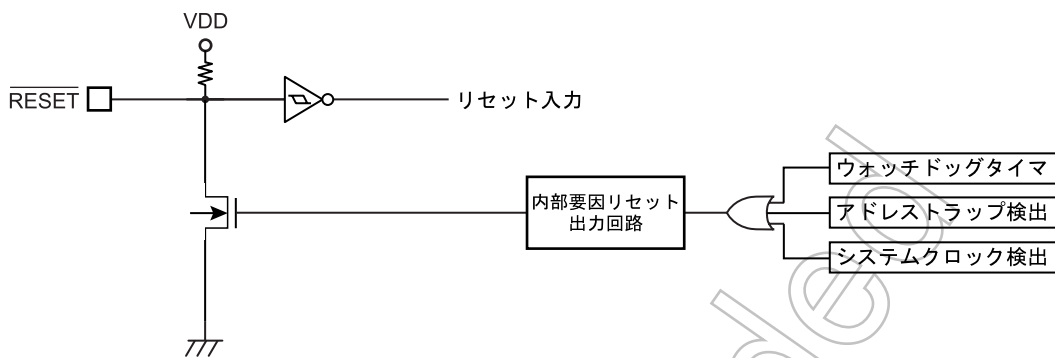
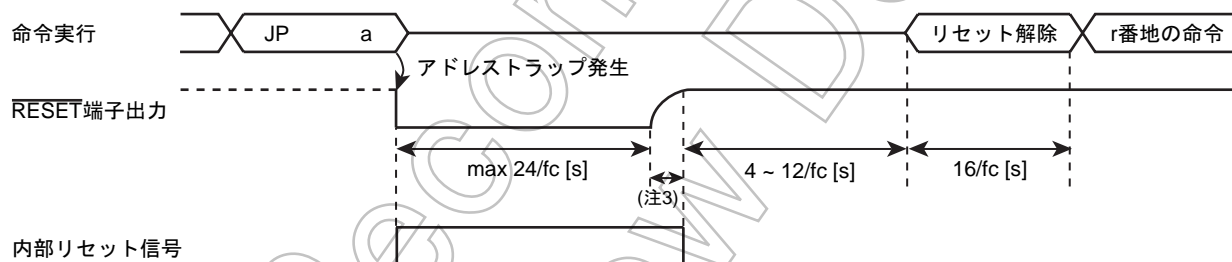


図 2-15 リセット回路

2.3.2 アドレストラップリセット

CPUがノイズなどの原因により暴走して内蔵RAM (WDTCR1<ATAS> = “1” 時), SFR 領域から命令をフェッチしようとするときリセット信号が発生します。リセット時間は、最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ 16.0 MHz) です。このときリセット端子は最大 $24/f_c$ [s] の期間、“L” レベルを出力します。

注) アドレストラップはリセットと割り込みの選択が可能です。また、アドレストラップの領域を選択することが可能です。



注 1) a は内蔵 RAM (WDTCR1<ATAS> = “1” 時)、SFR 領域内のアドレスです。

注 2) リセット解除処理は、リセットベクタ r の読み出しと r 番地の命令のフェッチ / デコードが行われます。

注 3) 外部要因、電圧などにより変化します。

図 2-16 アドレストラップリセット

2.3.3 ウォッチドッグタイマリセット

『ウォッチドッグタイマ』を参照してください。

2.3.4 システムクロックリセット

以下のいずれかの条件が成立した場合、CPU がデッドロック状態に陥るのを防ぐため、自動的にシステムクロックリセットが発生します。(発振は、継続します)

- SYSCR2<XEN>, SYSCR2<XTEN> を共に “0” にクリアした場合
- SYSCR2<SYSCK> = “0” のとき、SYSCR2<XEN> を “0” にクリアした場合
- SYSCR2<SYSCK> = “1” のとき、SYSCR2<XTEN> を “0” にクリアした場合

リセット時間は、最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ 16.0 MHz) です。このときリセット端子は最大 $24/f_c$ [s] の期間、“L” レベルを出力します。

第3章 割り込み制御回路

TMP86CH47AUGには、リセットを除き合計18種類の割り込み要因(うち、2要因はマルチプレクス)があり、優先順位付きの多重割り込みが可能です。内部要因のうち4種はノンマスクابل割り込みで、そのほかはすべてマスクابل割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ(IL)が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPUに割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ(IMF)と各割り込み要因の個別許可フラグ(EF)によって、プログラムで選択し許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスクابل割り込みに優先順位はありません。

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部/外部	(リセット)	ノンマスクابل	-	FFFE	1
内部	INTSW (ソフトウェア割り込み)	ノンマスクابل	-	FFFC	2
内部	INTUNDEF (未定義命令実行割り込み)	ノンマスクابل	-	FFFC	2
内部	INTATRAP (アドレストラップ割り込み)	ノンマスクابل	IL2	FFFA	2
内部	INTWDT (ウォッチドッグタイマ割り込み)	ノンマスクابل	IL3	FFF8	2
外部	$\overline{INT0}$	IMF・EF4 = 1, INT0EN = 1	IL4	FFF6	5
外部	INT1	IMF・EF5 = 1	IL5	FFF4	6
内部	INTTBT	IMF・EF6 = 1	IL6	FFF2	7
内部	INTTC1	IMF・EF7 = 1	IL7	FFF0	8
外部	INT2	IMF・EF8 = 1	IL8	FFEE	9
内部	INTTC4	IMF・EF9 = 1	IL9	FFEC	10
内部	INTTC3	IMF・EF10 = 1	IL10	FFEA	11
外部	INT3	IMF・EF11 = 1	IL11	FFE8	12
内部	INTSIO	IMF・EF12 = 1	IL12	FFE6	13
内部	INTRXD	IMF・EF13 = 1	IL13	FFE4	14
外部	INT4	IMF・EF14 = 1, IL14ER = 0	IL14	FFE2	15
内部	INTTXD	IMF・EF14 = 1, IL14ER = 1			
外部	$\overline{INT5}$	IMF・EF15 = 1, IL15ER = 0	IL15	FFE0	16
内部	INTADC	IMF・EF15 = 1, IL15ER = 1			

注1) 割り込みソースを共有している割り込み要因は、INTSELレジスタ(「3.3 割り込み要因の選択 (INTSEL)」)で設定します。

注2) アドレストラップ割り込み (INTATRAP) を使用するには WDCR1<ATOOUT> を "0" に設定してください (リセット解除後は "リセット要求" に設定されています)。詳しくは「アドレストラップ」の章を参照してください。

注3) ウォッチドッグタイマ割り込み (INTWDT) を使用するには WDCR1<WDTOUT> を "0" に設定してください (リセット解除後は "リセット要求" に設定されています)。詳しくは「ウォッチドッグタイマ」の章を参照してください。

3.1 割り込みラッチ (IL15 ~ IL2)

割り込みラッチは、ソフトウェア割り込みと未定義命令実行割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR 内の 003CH, 003DH 番地に割り付けられており、命令によって個別にクリアすることができます。ただし、IL2, IL3 については命令でクリアしないでください。プログラムで割り込み要求をクリアするときにはロード命令を使用して、IL2, IL3 には“1”を書き込むようにします。ビット操作命令や演算命令などのリードモディファイライト命令は、命令実行中に発生した割り込み要求がクリアされることがあるので使用しないでください。

また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。ただし、割り込みラッチを命令で直接セットすることはできません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0”にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を“1”にセットしてください (EI 命令による割り込みの許可)。割り込みサービスプログラムでは、IMF は自動的に“0”になりますので、通常割り込みサービスプログラムの中で IMF を“0”にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を“1”にセットする前に EF および IL を設定してください。

(プログラム例 1) 割り込みラッチのクリア

```
DI                                ; IMF ← 0
LDW      (ILL), 1110100000111111B ; IL12, IL10~IL6 ← 0
EI                                ; IMF ← 1
```

(プログラム例 2) 割り込みラッチの読み出し

```
LD      WA, (ILL)                ; W ← ILH, A ← ILL
```

(プログラム例 3) 割り込みラッチのテスト

```
TEST      (ILL), 7                ; IL7 = 1 ならジャンプ
JR      F, SSET
```

3.2 割り込み許可レジスタ (EIR)

ノンマスクブル割り込み (ソフトウェア割り込み、未定義命令割り込み、アドレストラップ割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスクブル割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ (IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR 内の 003AH, 003BH 番地に割り付けられており、命令でリード/ライト (ビット操作命令などの リードモディファイライトも含む) できます。

3.2.1 割り込みマスタ許可フラグ (IMF)

マスクブル割り込み全体に対して受け付けの許可/禁止の制御を行うフラグです。“0”にクリアされていると、すべてのマスクブル割り込みの受け付けは禁止状態であり、“1”にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックに一時退避された後“0”にクリアされ、そのあとのマスクブル割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、割り込みリターン命令 [RETI]/[RETN] によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIRL (SFR 内の 003AH 番地) のビット 0 に割り付けられており、命令でリード/ライト できます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI] 命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

3.2.2 割り込み個別許可フラグ (EF15 ~ EF4)

各マスクブル割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

なお、リセット時、割り込み個別許可フラグは“0”に初期化されます。個別許可フラグが“1”にセットされるまでマスクブル割り込みは受け付けられません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0”にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を“1”にセットしてください (EI 命令による割り込みの許可)。割り込みサービスプログラムでは、IMF は自動的に“0”になりますので、通常割り込みサービスプログラムの中で IMF を“0”にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を“1”にセットする前に EF および IL を設定してください。

(プログラム例 1) 割り込みの個別許可と IMF のセット

```
DI                                     ; IMF ← 0
LDW                                     ; EF15-EF13, EF11, EF7, EF5 ← 1
:   (EIRL), 1110100010100000B         ; 注) IMF はセットしない
:
EI                                     ; IMF ← 1
```

(プログラム例 2) コンパイラ記述例

```
unsigned int _io (3AH) EIRL;          /* 3AH は EIRL のアドレス */
_DI ();
EIRL=10100000B;
:
_EI ();
```

Not Recommended
for New Design

割り込みラッチ

(初期値 : 00000000 000000**)

ILH, ILL (003DH, 003CH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IL15	IL14	IL13	IL12	IL11	IL10	IL9	IL8	IL7	IL6	IL5	IL4	IL3	IL2		

ILH (003DH)

ILL (003CH)

IL15~IL2	割り込みラッチ	RD時	WR時	R/W
		0: 割り込み要求なし 1: 割り込み要求あり	0: 割り込み要求のクリア (注) 1: セットは不可	

- 注 1) IL7~IL4 のいずれかをクリアする場合、IL2, IL3 には必ず "1" を書き込んでください。
- 注 2) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。
- 注 3) IL はビット操作などのリードモディファイライト命令でクリアしないでください。

割り込み許可レジスタ

(初期値 : 00000000 0000****)

EIRH, EIRL (003BH, 003AH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EF15	EF14	EF13	EF12	EF11	EF10	EF9	EF8	EF7	EF6	EF5	EF4				IMF

EIRH (003BH)

EIRL (003AH)

EF15~EF4	割り込み個別許可フラグ (ビットごとに指定)	0: 各マスカブル割り込みの受け付け禁止 1: 各マスカブル割り込みの受け付け許可	R/W
IMF	割り込みマスタ許可フラグ	0: 各マスカブル割り込み全体の受け付け禁止 1: 各マスカブル割り込み全体の受け付け許可	

- 注 1) *: Don't care
- 注 2) 割り込み許可フラグ (EF15~4) と同時に IMF を "1" にセットしないでください。
- 注 3) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

3.3 割り込み要因の選択 (INTSEL)

割り込みソースをほかの割り込み要因と共有する割り込み要因は、INTSEL レジスタで選択された場合に限り割り込みラッチをイネーブルにすることができます。割り込みコントローラは INTSEL レジスタで選択されていないときに発生する割り込み要求を保持しません。このため、割り込み要因が発生する前に INTSEL レジスタを適切に設定する必要があります。

1. INT4 と INTTXD は優先順位 15 の割り込みソースを共有します。
2. $\overline{\text{INT5}}$ と INTADC は優先順位 16 の割り込みソースを共有します。

割り込み要因セクタ

INTSEL (003EH)	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	IL14ER	IL15ER	(初期値: **** **00)

IL14ER	INT4, INTTXD の選択	0: INT4 1: INTTXD	R/W
IL15ER	$\overline{\text{INT5}}$, INTADC の選択	0: INT5 1: INTADC	R/W

3.4 割り込み処理

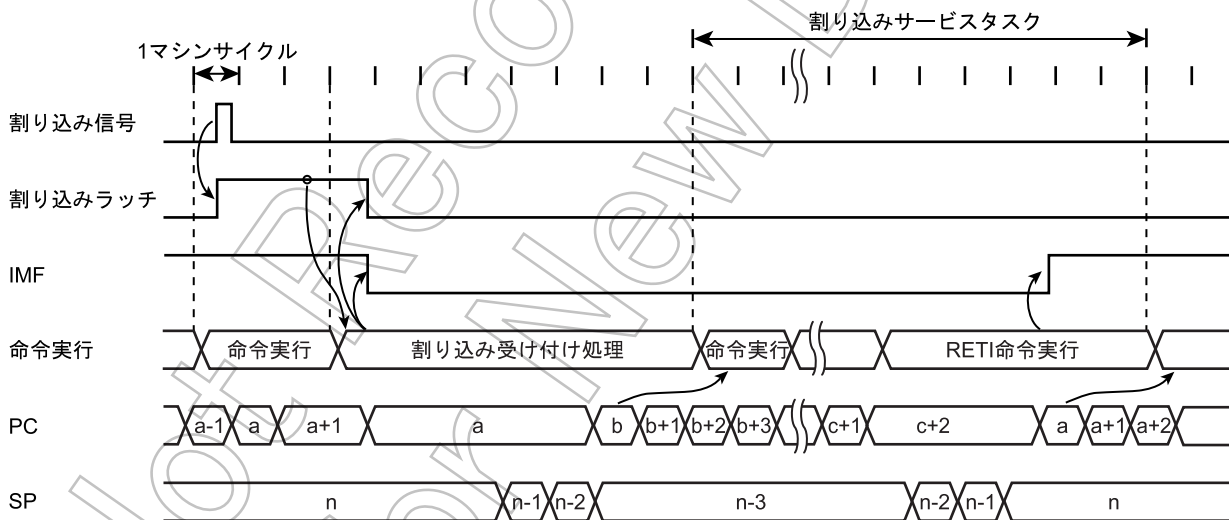
割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8 マシンサイクル (2 μ s @16 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (ノンマスカブル割り込みの場合) を実行して終了します。図 3-1 に割り込み受け付け処理タイミングを示します。

3.4.1 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

1. 割り込みマスタ許可フラグ (IMF) を“0”にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
3. プログラムカウンタ (PC) プログラム ステータスワード (PSW) および割り込み受け付け前の IMF の内容をスタックに退避します (PSW + IMF, PCH, PCL の順にプッシュダウンされます)。スタックポインタ (SP) は3回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注) PSW の内容がスタックに退避される際、同時に IMF の状態も退避されます。



注 1) a; 戻り番地 b; エントリーアドレス c; RETI 命令が格納されているアドレス

注 2) 割り込みラッチがセットされてから割り込み受け付け処理が開始されるまでの時間は、割り込み許可状態のとき最大 38/fc [s] または 38/fs [s] (10 サイクル命令実行時の第一マシンサイクルで割り込みラッチがセットされたときに当たります) となります。

図 3-1 割り込み受け付け処理 / 割り込みリターン命令タイミングチャート

例: INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応

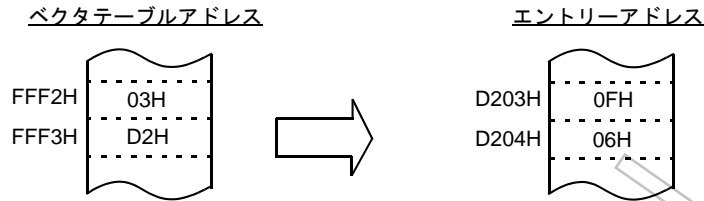


図 3-2 ベクタテーブルアドレスとエントリーアドレス

割り込みサービス中に、その割り込み要因よりレベルの高いマスク割込みが発生しても、割り込みマスタ許可フラグが“1”にセットされるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。過重なネスタイングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを“1”にセットする前にクリアしてください。また、ノンマスク割込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

3.4.2 汎用レジスタ退避 / 復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

汎用レジスタの退避には、次の2つの方法があります。

3.4.2.1 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ / ポップ命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) プッシュ / ポップによるレジスタの退避 / 復帰

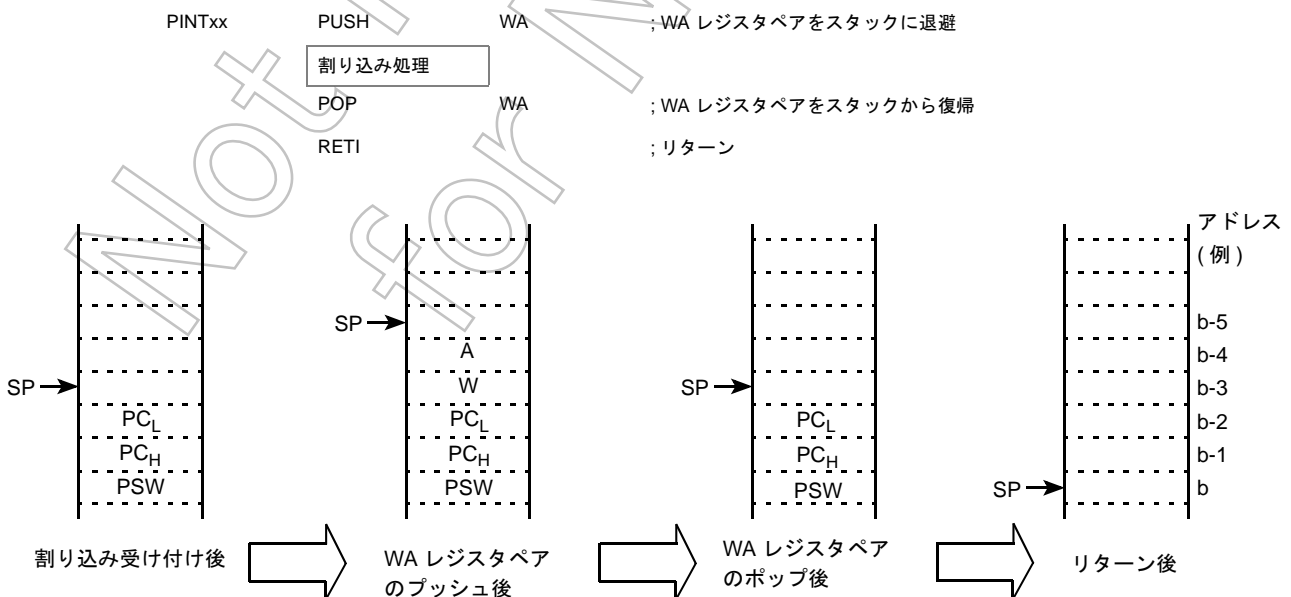


図 3-3 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰処理

3.4.2.2 転送命令による汎用レジスタの退避 / 復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) データメモリとの転送命令によるレジスタの退避 / 復帰

```

PINTxx: LD      (GSAVA), A      ; A レジスタの退避
        [割り込み処理]
        LD      A, (GSAVA)     ; A レジスタの復帰
        RETI                    ; リターン
    
```

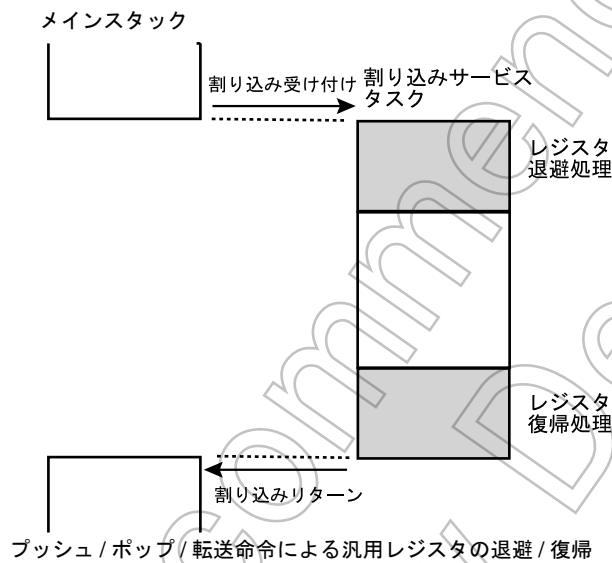


図 3-4 割り込み処理における汎用レジスタの退避 / 復帰処理

3.4.3 割り込みリターン

割り込みリターン命令は、次の動作を行います。

- | [RET] / [RETN] 割り込みリターン |
|--|
| ①プログラムカウンタ、プログラムステータスワードおよび IMF の内容をスタックからそれぞれリストアします。 |
| ②スタックポインタを3回インクリメントします。 |

ただし、アドレストラップ割り込みからのリターンは、割り込み受け付け処理直後にスタックされる PCL、PCH の値を、割り込みサービスプログラムの先頭で、プログラム実行を再開するアドレスに書き替える必要があります。

注) これらを書き替えないうままリターン命令 [RETN] を実行した場合、アドレストラップ領域に復帰し、再度アドレストラップ割り込みが発生します。
 割り込みリターン後の PCL, PCH となる値は、割り込み受け付け処理後はそれぞれ (SP + 1), (SP + 2) のアドレスに格納されています。

(プログラム例1) アドレストラップ割り込みサービスプログラムからのリターン

PINTxx	POP	WA	; スタックポインタを2つ戻す
	LD	WA, RetrunAddress	; WA レジスタに再開アドレスを代入する
	PUSH	WA	; スタックにプッシュダウンする
	割り込み処理		
	RETN		; ノンマスカブル割り込みリターン命令

(プログラム例2) リターンしない場合 (割り込み受け付け前の PSW および IMF の値を破棄する場合)

PINTxx	INC	SP	; スタックポインタを3つ戻す
	INC	SP	
	INC	SP	
	割り込み処理		
	LD	EIRL, data	; IMF を "1" にセット、または "0" にクリア
	JP	RestartAddress	; 復帰アドレスへジャンプ

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

- 注1) アドレストラップ割り込みが発生し、割り込みサービスプログラムでリターン命令 [RETN] を使用しない場合 (例2のような場合)、割り込みサービスプログラムで、スタックポインタの値を、アドレストラップ発生時の値にインクリメントすることを推奨します (3回インクリメントする)。
- 注2) 割り込み処理時間が、割り込み要求の間隔よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

Not Recommended for New Design

3.5 ソフトウェア割り込み (INTSW)

SWI 命令を実行することにより、ソフトウェア割り込みが発生し、ただちに割り込み処理に入ります (最優先割り込み)。

SWI 命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

3.5.1 アドレスエラー検出

シングルチップモードのとき、CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FFH が読み込まれます。コード FFH は、SWI 命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて FFH で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM, SFR 領域に対する命令フェッチのときは、アドレストラップリセット、もしくは設定によりアドレストラップ割り込みが発生します。

3.5.2 デバッグ

SWI 命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

3.6 未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEF が発生し、割り込み処理に入ります。INTUNDEF はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTUNDEF 割り込み処理に入ります。

注) 未定義命令割り込み (INTUNDEF) は、ソフトウェア割り込みと同じ割り込みベクタアドレスへジャンプします。

3.7 アドレストラップ割り込み (INTATRAP)

命令が置かれている以外の領域 (アドレストラップ領域) から命令をフェッチした場合、リセット出力または割り込み信号 (INTATRAP) 出力を行います。アドレストラップ割り込みが発生すると、割り込みラッチ (IL2) がセットされ、割り込み処理に入ります。INTATRAP はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTATRAP 割り込み処理に入ります。

注) アドレストラップ時の動作設定 (リセット出力 / 割り込み信号出力) は、ウォッチドッグタイマ制御レジスタで設定します。

3.8 外部割り込み

TMP86CH47AUGには、6本の外部割り込み入力があり、すべてデジタルノイズ除去回路付き(一定時間未満のパルス入力をノイズとして除去します)となっています。

また、INT1～INT4端子は、エッジ選択が可能です。なお、 $\overline{\text{INT0}}$ /P00端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択、ノイズ除去の制御および $\overline{\text{INT0}}$ /P00端子の機能選択は、外部割り込み制御レジスタで行います。

要因	端子名	許可条件	エッジ(レベル)	デジタルノイズ除去回路
INT0	$\overline{\text{INT0}}$	IMF・EF4・INT0EN=1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されません。7/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT1	INT1	IMF・EF5 = 1	立ち下がりエッジ または 立ち上がりエッジ	15/fc または 63/fc [s] 未満のパルスはノイズとして除去されます。49/fc または 193/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT2	INT2	IMF・EF8 = 1	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去されません。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT3	INT3	IMF・EF11 = 1	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去されません。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT4	INT4	IMF・EF14 = 1 及び IL14ER=0	立ち下がりエッジ、 立ち上がりエッジ、 立ち上がりエッジま たは立ち下がりエッ ジ、“H”レベル	7/fc [s] 未満のパルスはノイズとして除去されません。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT5	$\overline{\text{INT5}}$	IMF・EF15 = 1 及び IL15ER=0	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されません。7/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。

注1) NORMAL1,2 または IDLE1,2 モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は、確実に信号とみなされる時間 + 6/fc[s] です。

注2) INT0EN = “0” のとき、 $\overline{\text{INT0}}$ 端子入力の立ち下がりエッジが検出されても割り込みラッチ IL4 はセットされません。

注3) 兼用の端子を出力ポートとして使用し、データが変化したり入出力の切り替えを行った場合、擬似的に割り込み要求信号が発生しますので、割り込み許可フラグの禁止などの処理が必要です。

外部割り込み制御レジスタ

EINTCR 7 6 5 4 3 2 1 0
 (0037H) INT1NC INT0EN INT4ES INT3ES INT2ES INT1ES (初期値 : 0000 000*)

INT1NC	INT1 のノイズ除去時間の選択	0: 63/fc[s] 未満のパルスはノイズとして除去 1: 15/fc[s] 未満のパルスはノイズとして除去	R/W
INT0EN	P00/INT0 の機能選択	0: P00 入出力ポート 1: INT0 端子 (P00 ポートは入力モードにしてください)	R/W
INT4ES	INT4 のエッジ (レベル) 選択	00: 立ち上がりエッジで割り込み要求発生 01: 立ち下がりエッジで割り込み要求発生 10: 立ち上がりまたは立ち下がりエッジで割り込み要求発生 11: "H" レベルで割り込み要求発生	R/W
INT3 ES	INT3 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W
INT2 ES	INT2 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W
INT1 ES	INT1 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W

- 注 1) fc; 高周波クロック [Hz] *; Don't care
- 注 2) システムクロックを高周波と低周波の間で切り替えるとき、または外部割り込み制御レジスタ (EINTCR) を書き替えるときは、切り替えの前後でノイズキャンセラが正常に動作しない場合がありますので、割り込み許可レジスタ (EIR) によって外部割り込みを禁止しておくことを推奨します。
- 注 3) INT1NC を切り替えた場合、最大 $2^6/fc$ の期間ノイズキャンセル時間が切り替わらない事があります。
- 注 4) INT4 端子の状態が "H" レベルの状態でリセットが解除された場合、INT4 のエッジ選択 (INT4ES) を「"H" レベルで割り込み要求発生」に切り替えても INT4 割り込み要求は発生しません。この場合、INT4 割り込み要求を発生させるには、INT4 端子に一度立ち上がりエッジを入力する必要があります。

Not Recommended for New

Not Recommended
for New Design

第4章 スペシャルファンクションレジスタ

TMP86CH47AUG は、メモリマップ I/O 方式で、周辺ハードウェアのデータ制御 / 転送はすべてスペシャルファンクションレジスタ (SFR) を通して行われます。SFR は、0000H~003FH にマッピングされています。

本章では、TMP86CH47AUG の SFR の一覧を示します。

4.1 SFR

アドレス	リード	ライト
0000H		P0DR
0001H		P1DR
0002H		P2DR
0003H		P3DR
0004H		P4DR
0005H		Reserved
0006H		Reserved
0007H		Reserved
0008H	P0PRD	-
0009H		Reserved
000AH	P2PRD	-
000BH		Reserved
000CH		Reserved
000DH		P1CR
000EH		P3CR
000FH		P4CR
0010H		TC1DRAL
0011H		TC1DRAH
0012H		TC1DRBL
0013H		TC1DRBH
0014H		TC1CR
0015H		Reserved
0016H		TC3CR
0017H		TC4CR
0018H		TTREG3
0019H		TTREG4
001AH		PWREG3
001BH		PWREG4
001CH		ADCCR1
001DH		ADCCR2
001EH	ADCDR2	-
001FH	ADCDR1	-
0020H	UARTSR	UARTCR1
0021H	-	UARTCR2
0022H	RDBUF	TDBUF
0023H		Reserved
0024H		Reserved
0025H		Reserved
0026H		SIOCR1

アドレス	リード	ライト
0027H		SIOSR
0028H	SIORDB	SIOTDB
0029H		Reserved
002AH		Reserved
002BH		Reserved
002CH		Reserved
002DH		Reserved
002EH		Reserved
002FH		Reserved
0030H		Reserved
0031H	-	STOPCR
0032H		Reserved
0033H		Reserved
0034H	-	WDTCR1
0035H	-	WDTCR2
0036H		TBTCR
0037H		EINTCR
0038H		SYSCR1
0039H		SYSCR2
003AH		EIRL
003BH		EIRH
003CH		ILL
003DH		ILH
003EH		INTSEL
003FH		PSW

注1) Reservedの番地はプログラムでアクセスしないでください。

注2) - ; アクセスできません。

注3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

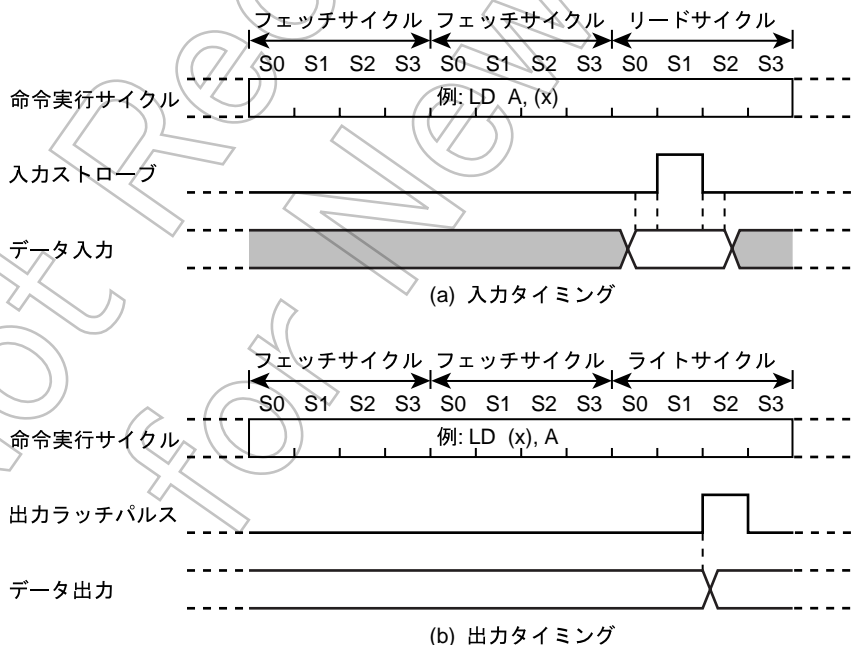
第 5 章 入出力ポート

TMP86CH47AUG は、5 ポート 35 端子の入出力ポートを内蔵しています。

1. P0 ポート ;
8 ビット入出力ポート (外部割り込み入力 , タイマカウンタ入出力 , シリアルインタフェース入出力と兼用)
2. P1 ポート ;
8 ビット入出力ポート (外部割り込み入力 , タイマカウンタ入出力 , デバイダ出力と兼用)
3. P2 ポート ;
3 ビット入出力ポート (低周波発振子接続端子 , 外部割り込み入力 , STOP モード解除信号入力と兼用)
4. P3 ポート ;
8 ビット入出力ポート (アナログ入力 , STOP モード解除信号入力と兼用)
5. P4 ポート ;
8 ビット入出力ポート

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありません。外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図 5-1 に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルの S1 ステートです。外部からはこのタイミングを認識できません。チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルの S2 ステートです。



注) 命令によってリード/ライトサイクルの位置が異なります。

図 5-1 入出力タイミング (例)

5.1 P0 (P07~P00) ポート (大電流、シンクオープンドレイン出力)

P0 ポートは 8 ビットの入出力ポートで、外部割り込み入力、タイマカウンタ入出力、シリアルインタフェース入出力と兼用です。入力ポートまたは、外部割り込み入力、タイマカウンタ入出力、シリアルインタフェース入出力として用いる場合は、出力ラッチを“1”にセットします。出力ポートとして使用する場合は、P0DR の対応するビットにデータをセットします。リセット時、出力ラッチ (P0DR) は“1”に初期化されます。

P0 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P0DR レジスタを、端子の状態を読み込む場合は P0PRD レジスタをそれぞれ読み出してください。P00 端子は、外部割り込み制御レジスタ (INTOEN) により入出力ポートとして使用するか外部割り込み入力として使用するかの選択ができます。リセット時、P00 端子は入力ポートとなります。

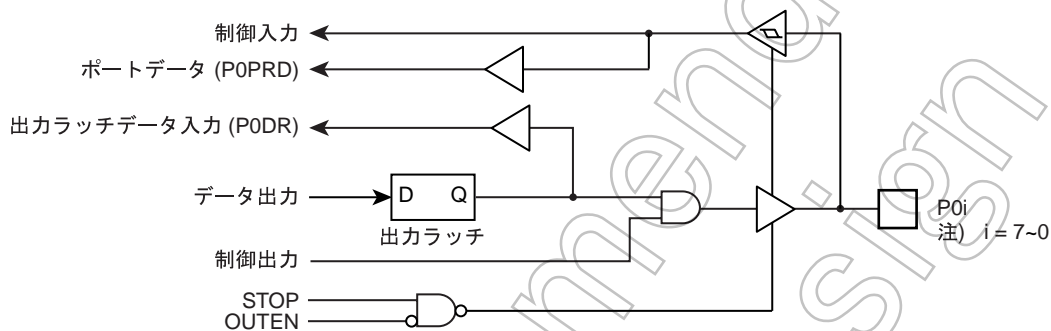


図 5-2 P0 ポート

	7	6	5	4	3	2	1	0	
P0DR (0000H) R/W	P07 INT4	P06 SCK	P05 SI	P04 SO	P03 TXD	P02 RXD	P01 PWM4 TC4 PDO4 PPG4	P00 INT0	(初期値: 1111 1111)
P0PRD (0008H) Read only	P07	P06	P05	P04	P03	P02	P01	P00	

5.2 P1 (P17~P10) ポート

P1 ポートは 1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートです。入出力の指定は、P1 ポート入出力制御レジスタ (P1CR) によって行います。P1CR が “0” のとき、入力モードになります。P1CR が “1” のとき、出力モードになります。

リセット時、P1CR は “0” に初期化され、P1 ポートは入力モードとなります。また、出力ラッチ (P1DR) は “0” に初期化されます。

P1 ポートは外部割り込み入力、タイマカウンタ入出力、ディバイダと兼用です。

P1 ポートを入力ポート、外部割り込み入力、タイマカウンタ入力として使用するとき、対応する P1CR を “0” に設定します。また、出力ポート、タイマカウンタ出力、ディバイダ出力として使用するとき、あらかじめ対応する出力ラッチを “1” に設定した後、対応する P1CR を “1” に設定します。P1CR に関係なく、データ出力ラッチに書き込むことができます。出力データの初期値は、P1CR を設定する前に書き込むことを推奨します。

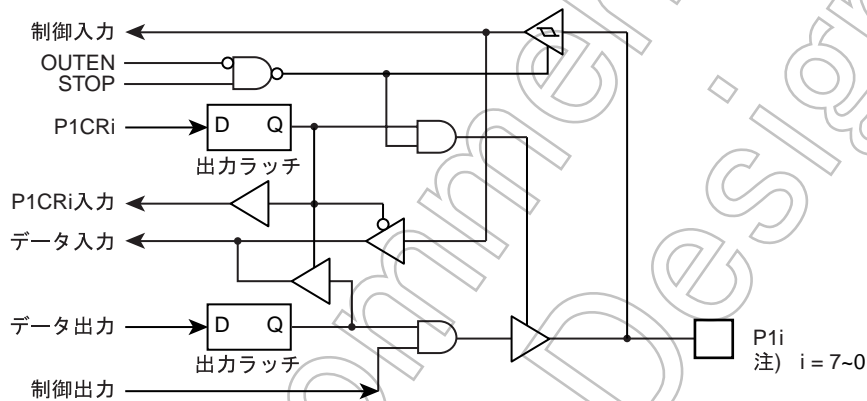


図 5-3 P1 ポート

	7	6	5	4	3	2	1	0	
P1DR (0001H) R/W	P17	P16	P15 INT3	P14 PPG	P13 DVO	P12 INT2 TC1	P11 INT1	P10 PWM3 TC3 PDO3	(初期値: 0000 0000)
P1CR (000DH)									(初期値: 0000 0000)
P1CR	P1 ポートの入出力制御 (ビットごとに指定)						0: 入力モード 1: 出力モード	R/W	

注) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容はビット操作命令などのリードモディファイライト命令により書き替わることがあります。

5.3 P2 (P22~P20) ポート (大電流)

P2 ポートは 3 ビットの入出力ポートで、外部割り込み入力、STOP 解除信号入力、低周波発振子接続端子と兼用です。入力ポートまたは、機能端子として用いる場合は、出力ラッチを“1”にセットします。出力ラッチはリセット時に“1”に初期化されます。デュアルクロックモードで動作させる場合は、P21 (XTIN), P22 (XTOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21, P22 端子は通常の入出力ポートとして使用できます。P20 端子は外部割り込み入力、STOP 解除信号入力、入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち下がりエッジで割り込みラッチがセットされます)。

P2 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P2DR レジスタを、端子の状態を読み込む場合は、P2PRD レジスタをそれぞれ読み出してください。P2 ポートに対して P2DR, P2PRD のリード命令を実行した場合、ビット 7~3 は不定値が読み込まれます。

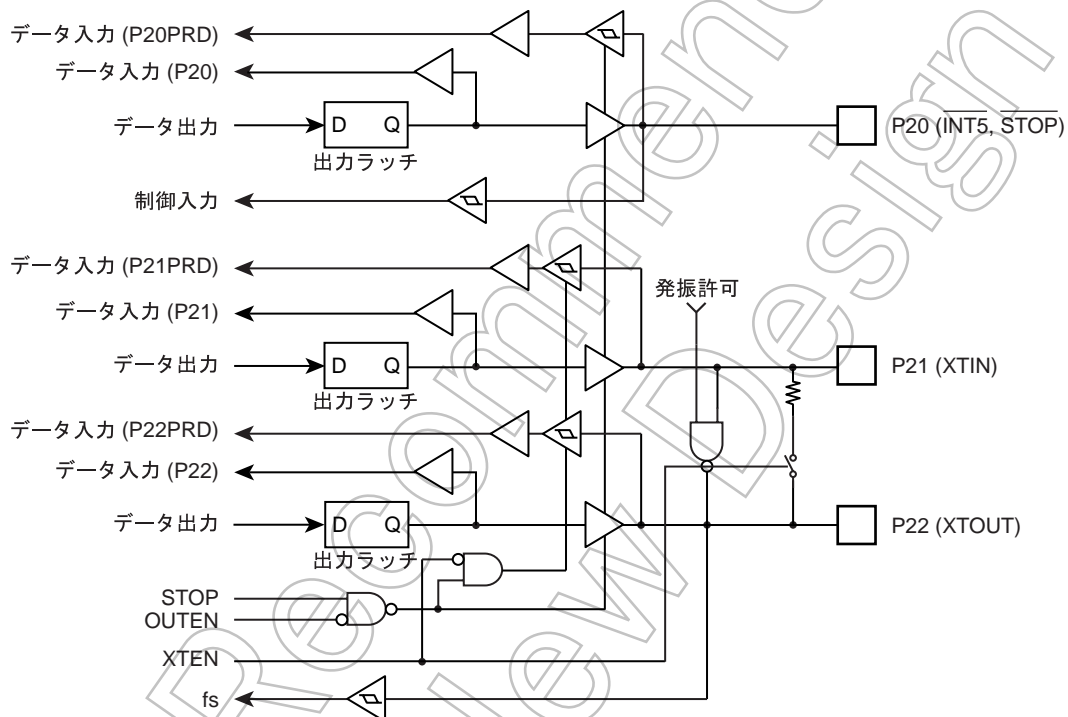


図 5-4 P2 ポート

	7	6	5	4	3	2	1	0	
P2DR (0002H) R/W						P22 XTOUT	P21 XTIN	P20 INT5 STOP	(初期値: **** *111)
P2PRD (000AH) Read only						P22	P21	P20	

5.4 P3 (P37~P30) ポート

P3 ポートは、1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、アナログ入力、キーオンウェイクアップ入力と兼用です。

入出力の指定は、P3 ポート入出力制御レジスタ (P3CR) と ADCCR1<AINDS> によって行います。リセット時は、P3CR と P3DR は “0” にクリアされ、ADCCR1<AINDS> は “1” にセットされますので、P3 ポートは入力ポートとなります。

アナログ入力として使用する場合には、ADCCR1<SAIN> でアナログ入力チャンネルを選択し、ADCCR1<AINDS> を “0” に設定します。ADCCR1<AINDS> が “0” のとき、アナログ入力として選択された端子は、P3CR, P3DR の値と関係なくアナログ入力として使用されます。

入力ポート、キーオンウェイクアップ入力として使用するとき、アナログ入力として使用されていない状態で、対応する P3CR を “0” に設定します。AD コンバータを使用中に (ADCCR1<AINDS> が “0” のとき)、P3 ポートを読み出すと、アナログ入力として指定されている端子は “0” が読み出され、アナログ入力として指定されていない端子は、端子に入力されている電圧レベルにより、“1” または “0” が読み込まれます。

出力ポートとして使用するとき、アナログ入力として使用されていない状態で、対応する P3CR を “1” に設定します。P3CR に関係なく、データを出カラッチに書き込むことができます。出力データの初期値は、P3CR を設定する前に書き込むことを推奨します。

アナログ入力として使用しない P3 ポートは入出力ポートとして使用できますが、AD 変換中は精度を保つ意味で出力命令を行わないようにしてください。また、アナログ入力と近接するポートに AD 変換中、変化の激しい信号を入力しないようにしてください。

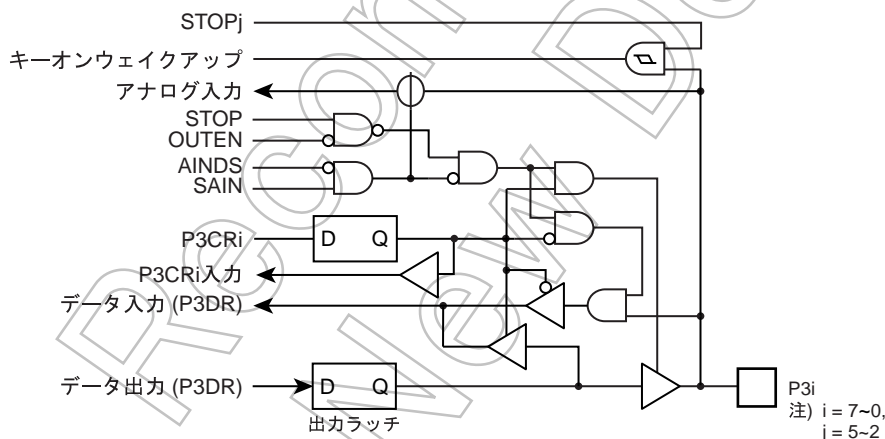


図 5-5 P3 ポート

	7	6	5	4	3	2	1	0	
P3DR (0003H) R/W	P37 AIN7 STOP5	P36 AIN6 STOP4	P35 AIN5 STOP3	P34 AIN4 STOP2	P33 AIN3	P32 AIN2	P31 AIN1	P30 AIN0	(初期値: 0000 0000)
P3CR (000EH)									(初期値: 0000 0000)
P3CR	P3 ポートの出力制御 (ビットごとに指定)			0: 入力モード 1: 出力モード				R/W	

注) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容はビット操作命令などのリードモディファイライト命令により書き替わることがあります。

第6章 タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生することが可能です。

6.1 タイムベースタイマ

6.1.1 構成

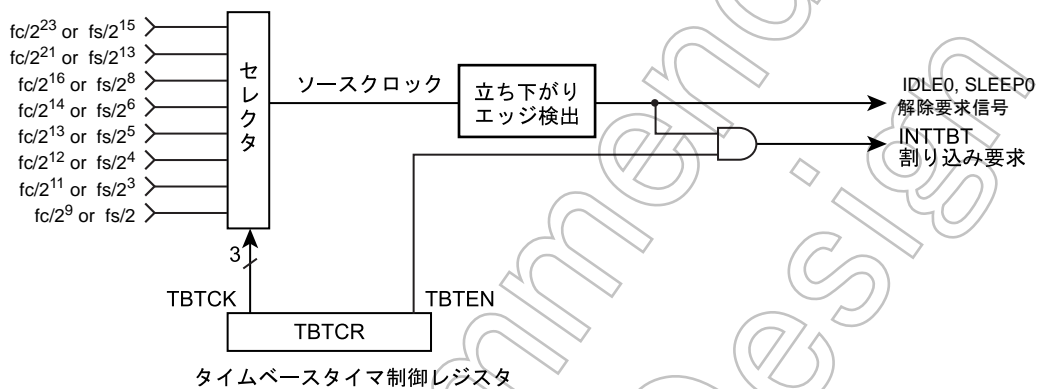


図 6-1 タイムベースタイマの構成

6.1.2 制御

タイムベースタイマは、タイムベースタイマ制御レジスタ (TBTCR) で制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	(DVOEN)	(DVOCK)	(DV7CK)	TBTEN	TBTCK				(初期値 : 0000 0000)

TBTEN	タイムベースタイマの許可 / 禁止	0: ディセーブル 1: イネーブル				
		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード		
TBTCK	タイムベースタイマ割り込み周波数の選択 単位 : [Hz]	DV7CK = 0	DV7CK = 1	R/W		
		000	fc/2 ²³		fs/2 ¹⁵	fs/2 ¹⁵
		001	fc/2 ²¹		fs/2 ¹³	fs/2 ¹³
		010	fc/2 ¹⁶		fs/2 ⁸	—
		011	fc/2 ¹⁴		fs/2 ⁶	—
		100	fc/2 ¹³		fs/2 ⁵	—
		101	fc/2 ¹²		fs/2 ⁴	—
		110	fc/2 ¹¹		fs/2 ³	—
111	fc/2 ⁹	fs/2	—			

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care

注2) 割り込み周波数 (TBTCK) の変更は、タイムベースタイマがディセーブルの状態 (TBTEN="0")で行ってください (イネーブル状態からディセーブルに設定する際も割り込み周波数の設定を変更しないでください)。なお、割り込み周波数の選択とイネーブルを同時に設定することは可能です。

(プログラム例) タイムベースタイマ割り込み周波数を $fc/2^{16}$ [Hz] にセットし、割り込みを許可します。

```
LD      (TBTCR), 00000010B      ; TBTCK ← 010
LD      (TBTCR), 00001010B      ; TBTEN ← 1
DI
SET     (EIRL), 6
```

表 6-1 タイムベースタイマ割り込み周波数 (例 : $fc = 16.0$ MHz, $fs = 32.768$ kHz 時)

TBTCK	タイムベースタイマ割り込み周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
	DV7CK = 0	DV7CK = 1	
000	1.91	1	1
001	7.63	4	4
010	244.14	128	—
011	976.56	512	—
100	1953.13	1024	—
101	3906.25	2048	—
110	7812.5	4096	—
111	31250	16384	—

6.1.3 機能

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を TBTCK で選択) の最初の立ち上がりから発生します。

なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 6-2 参照)。

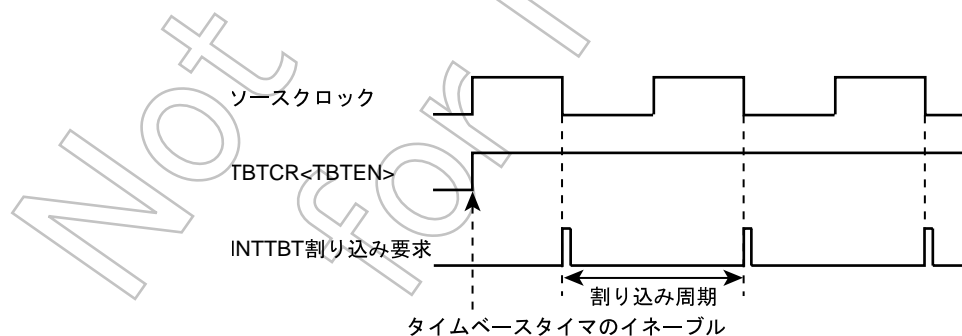


図 6-2 タイムベースタイマ割り込み

6.2 デバイダ出力 (DVO)

タイミングジェネレータのデバイダによってデューティ約 50% のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、 $\overline{\text{DVO}}$ 端子から出力されます。

6.2.1 構成

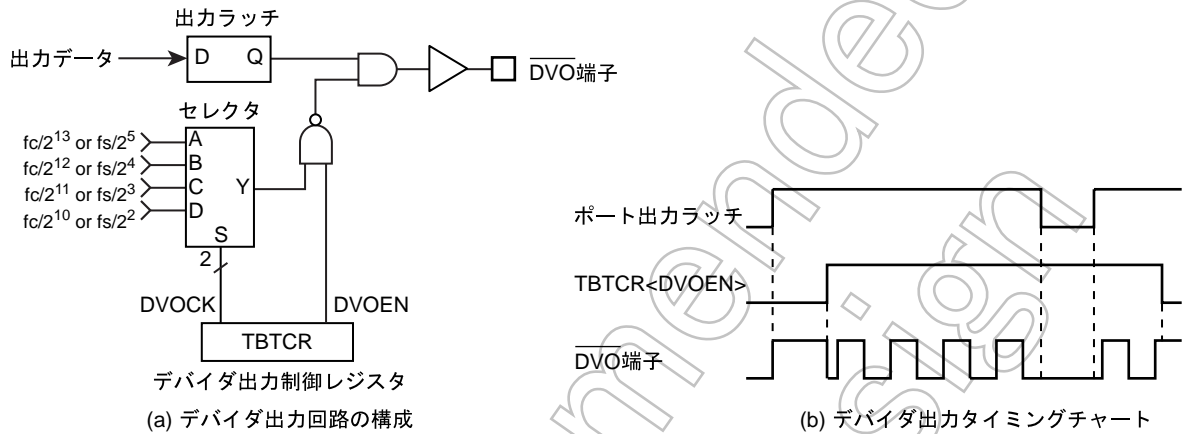


図 6-3 デバイダ出力

6.2.2 制御

デバイダ出力は、タイムベースタイマ制御レジスタで制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	DVOEN	DVOCK	(DV7CK)	(TBTEN)				(TBTCK)	(初期値: 0000 0000)

DVOEN	デバイダ出力の許可/禁止	0: ディセーブル 1: イネーブル			R/W	
DVOCK	デバイダ出力 ($\overline{\text{DVO}}$ 端子) の周波数選択 単位: [Hz]	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	R/W	
		DV7CK = 0	DV7CK = 1			
		00	$fc/2^{13}$	$fs/2^5$		$fs/2^5$
		01	$fc/2^{12}$	$fs/2^4$		$fs/2^4$
10	$fc/2^{11}$	$fs/2^3$	$fs/2^3$			
11	$fc/2^{10}$	$fs/2^2$	$fs/2^2$			

注) デバイダ出力の周波数選択 (DVOCK) の変更は、デバイダ出力が禁止の状態 (DVOEN="0")で行ってください。許可状態 (DVOEN="1") から禁止状態 (DVOEN="0") に設定する際もデバイダ出力周波数の設定を変更しないでください。

(プログラム例) 1.95 kHz のパルスを出力 ($f_c = 16.0$ MHz)

```

          ポートを設定
LD      (TBTCR), 00000000B      ; DVOCK ← "00"
LD      (TBTCR), 10000000B      ; DVOEN ← "1"

```

表 6-2 デバイダ出力の周波数 (例: $f_c = 16.0$ MHz, $f_s = 32.768$ kHz 時)

DVOCK	デバイダ出力の周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード
	DV7CK = 0	DV7CK = 1	
00	1.953 k	1.024 k	1.024 k
01	3.906 k	2.048 k	2.048 k
10	7.813 k	4.096 k	4.096 k
11	15.625 k	8.192 k	8.192 k

第7章 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作（暴走）やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、「リセット要求」または「割り込み要求」のいずれかをプログラムで選択することができます。ただし、選択は1回限りです。リセット解除時は、「リセット要求」に初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

注) 外乱ノイズなどの影響によってはウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

7.1 ウォッチドッグタイマの構成

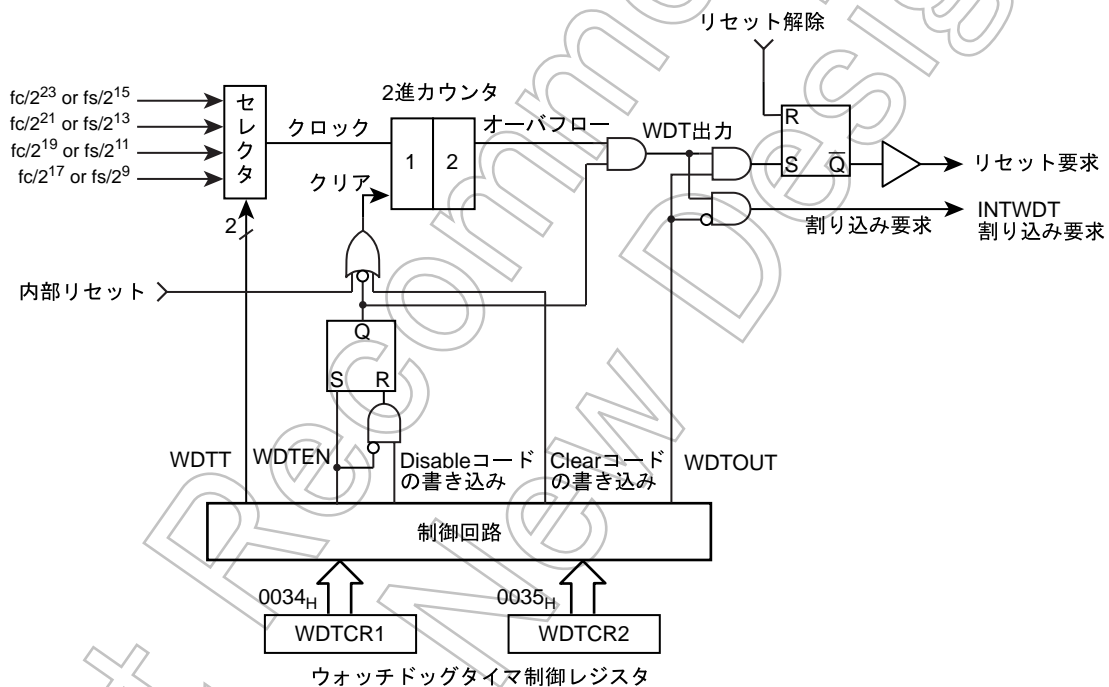


図 7-1 ウォッチドッグタイマの構成

7.2 ウォッチドッグタイマの制御

ウォッチドッグタイマは、ウォッチドッグタイマ制御レジスタ (WDTTCR1、WDTTCR2) によって制御されます。なおウォッチドッグタイマはリセット解除後、自動的にイネーブルになります。

7.2.1 ウォッチドッグタイマによる暴走検出の方法

CPU の暴走検出を行うには、次のようにします。

1. 検出時間の設定、出力の選択および2進カウンタのクリア
2. 設定した検出時間以内ごとに2進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われない場合、2進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このとき $WDTCR1<WDTOUT> = "1"$ なら、リセット要求が発生し $RESET$ 端子から "L" レベルを出力するとともに内蔵ハードウェアをリセットします。また、 $WDTCR1<WDTOUT> = "0"$ なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOPモード (ウォーミングアップ中を含む) または IDLE/SLEEPモード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLE/SLEEPモード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマは内部デバイダと2段の2進カウンタによって構成されており、クリアコード (4EH) を書き込んだ場合、2進カウンタはクリアされますが、内部デバイダはクリアされません。従って2進カウンタのオーバフロー時間は、 $WDTCR2$ レジスタにクリアコード (4EH) を書き込むタイミングによって、最短で $WDTCR1<WDTT>$ の設定時間の3/4となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

(プログラム例) ウォッチドッグタイマ検出時間を $2^{21}/fc$ [s] に設定し、暴走検出リセットを行う。

```

LD      (WDTCR2), 4EH          ; 2進カウンタのクリア
LD      (WDTCR1), 00001101B   ; WDTT ← 10, WDTOUT ← 1
LD      (WDTCR2), 4EH          ; 2進カウンタのクリア
:
:                               ; WDTT 変更直前直後は必ずクリア; します)
LD      (WDTCR2), 4EH          ; 2進カウンタのクリア
:
LD      (WDTCR2), 4EH          ; 2進カウンタのクリア

```

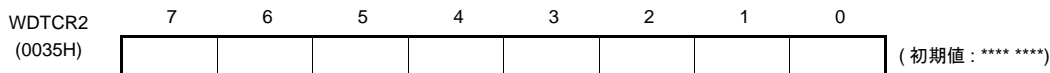
ウォッチドッグタイマ制御レジスタ

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	
	—	—	(ATAS)	(ATOUT)	WDTEN	WDTT	WDTOUT		(初期値: **11 1001)

WDTEN	ウォッチドッグタイマの許可/禁止	0: 禁止 (WDTCR2 にディセーブルコードを書き込む必要あり) 1: 許可	Write only			
WDTT	ウォッチドッグタイマ検出時間の設定 単位: [s]	NORMAL1/2 モード		Write only		
					SLOW1/2 モード	
		DV7CK = 0	DV7CK = 1			
		00	$2^{25}/fc$		$2^{17}/fs$	$2^{17}/fs$
		01	$2^{23}/fc$		$2^{15}/fs$	$2^{15}/fs$
10	$2^{21}/fc$	$2^{13}/fs$	$2^{13}/fs$			
11	$2^{19}/fc$	$2^{11}/fs$	$2^{11}/fs$			
WDTOUT	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット要求	Write only			

- 注 1) WDTOUT を "0" にクリア後は、プログラムで "1" に再セットできません。
- 注 2) fc; 高周波クロック [Hz] fs; 低周波クロック [Hz] *; Don't care
- 注 3) WDTCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。読み出すと不定値が読み込まれるためです。
- 注 4) STOPモード起動時は、STOPモードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。また、カウンタをクリアした場合、STOPモード解除直後に再度カウンタをクリアしてください。
- 注 5) WDTEN を "1" から "0" に切り替える場合は、誤動作の原因となる場合がありますので「7.2.3 -- ウォッチドッグタイマのディセーブル」に従ってレジスタを設定してください。

ウォッチドッグタイマ制御レジスタ 2



WDTCR2	ウォッチドッグタイマの制御コード書き込み	4EH:	ウォッチドッグタイマの2進カウンタのクリア (クリアコード)	Write only
		B1H:	ウォッチドッグタイマのディセーブル (ディセーブルコード)	
		D2H:	アドレストラップ領域選択有効	
		その他	無効	

- 注 1) ディセーブルコードは、WDTCR1<WDTEN> = “0” のとき以外は書き込み無効です。
- 注 2) *: Don't care
- 注 3) ウォッチドッグタイマの2進カウンタのクリアは割り込みタスクで行わないでください。
- 注 4) クリアコード (4EH) は WDTCR1<WDTT> の設定時間の 3/4 以内に書き込んでください。

7.2.2 ウォッチドッグタイマのイネーブル

ウォッチドッグタイマは、WDTCR1<WDTEN> を “1” にセットするとイネーブルになります。リセット時、WDTCR1<WDTEN> は “1” に初期化されますので、リセット解除後は自動的にイネーブルになります。

7.2.3 ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルにするには、以下の順序でレジスタを設定してください。以下の順序以外の方法でレジスタを設定すると、マイコンが誤動作する場合があります。

1. 割り込みマスタ許可フラグ (IMF) を “0” に設定します。
2. WDTCR2 にクリアコード (4EH) を設定します。
3. WDTCR1<WDTEN> を “0” に設定します。
4. WDTCR2 にディセーブルコード (B1H) を設定します。

注) ウォッチドッグタイマのディセーブル中は、ウォッチドッグタイマの2進カウンタはクリアされています。

(プログラム例) ウォッチドッグタイマのディセーブル

```
DI ; IMF ← 0
LD (WDTCR2), 04EH ; 2進カウンタのクリア
LDW (WDTCR1), 0B101H ; WDTEN ← 0, WDTCR2 ← ディセーブルコード
```

表 7-1 ウォッチドッグタイマ検出時間 (例: fc = 16.0 MHz, fs = 32.768 kHz 時)

WDTT	ウォッチドッグタイマ検出時間 [S]		
	NORMAL1/2 モード		SLOW モード
	DV7CK = 0	DV7CK = 1	
00	2.097	4	4
01	524.288 m	1	1
10	131.072 m	250 m	250 m
11	32.768 m	62.5 m	62.5 m

7.2.4 ウォッチドッグタイマ割り込み (INTWDT)

WDTCR1<WDTOUT> が “0” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマ割り込み要求 (INTWDT) が発生します。

ウォッチドッグタイマ割り込みはノンマスクابل割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくならず割り込みは受け付けられます。

また、他の割り込み (ウォッチドッグタイマ割り込みを含む) を受付け中にウォッチドッグタイマ割り込みが発生した場合、先の割り込み処理は保留され、直ちにウォッチドッグタイマ割り込み処理が実行されます。従って RETN 命令が実行されないままウォッチドッグタイマ割り込みが連続して発生すると、過重なネスタイングによりマイコンが誤動作する場合があります。

なお、ウォッチドッグタイマ割り込みを使用する場合は、WDTCR1<WDTOUT> を設定する前にスタックポインタを設定してください。

(プログラム例) ウォッチドッグタイマ割り込みの設定例

```
LD      SP, 023FH           ;SP の設定
LD      (WDTCR1), 00001000B ;WDTOUT ← 0
```

7.2.5 ウォッチドッグタイマリセット

WDTCR1<WDTOUT> が “1” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマのリセット要求が発生します。ウォッチドッグタイマのリセット要求が発生すると、RESET 端子から “L” レベルを出力するとともに内蔵ハードウェアはリセットされます。リセット時間は、最大 $24/fc$ [s] ($1.5 \mu s @ fc = 16.0 \text{ MHz}$) です。

注) SLOW1 モードでウォッチドッグタイマリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は最大で $24/fc$ (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

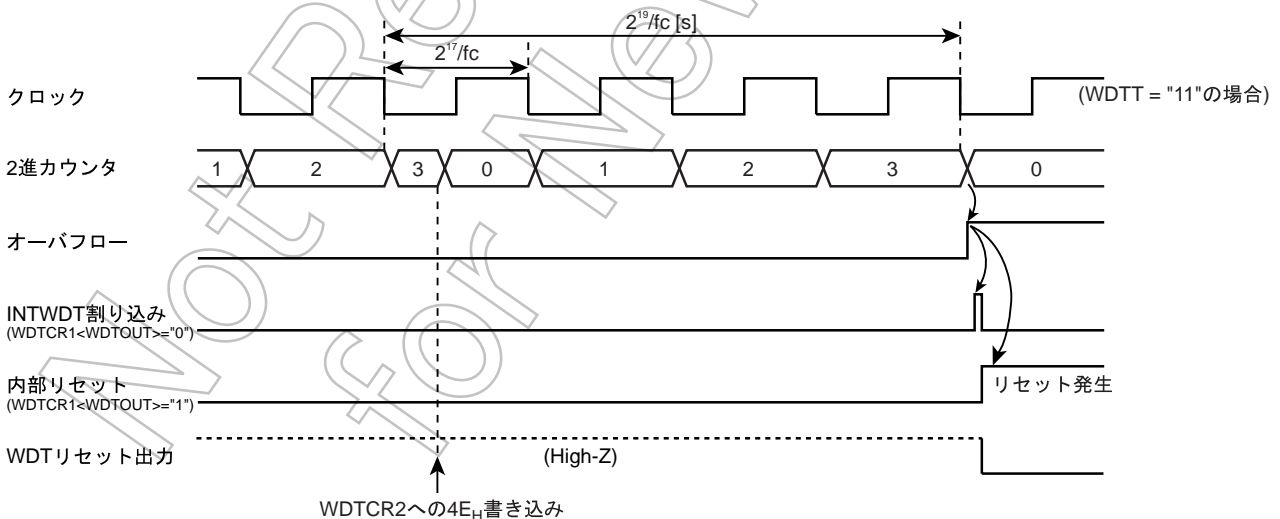


図 7-2 ウォッチドッグタイマ割り込み / リセット

7.3 アドレストラップ

ウォッチドッグタイマ制御レジスタ 1, 2 は、アドレストラップ時の制御用レジスタと兼用となっています。

ウォッチドッグタイマ制御レジスタ 1

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	(初期値: **11 1001)
	—	—	ATAS	ATOUT	(WDTEN)	(WDTT)		(WDTOUT)	

ATAS	内蔵 RAM 領域のアドレストラップ選択	0:	アドレストラップ発生しない	Write only
		1:	アドレストラップ発生する (ATAS の設定後 WDTCR2 に制御コード “D2H” 書き込む必要あり)	
ATOUT	アドレストラップ発生時の動作選択	0:	割り込み要求	Write only
		1:	リセット要求	

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H)	7	6	5	4	3	2	1	0	(初期値: **** *)

WDTCR2	ウォッチドッグタイマの制御コード書き込み 兼 アドレストラップ領域選択の制御コード書き込み	D2H:	アドレストラップ領域選択有効 (ATRAP 設定コード)	Write only
		4EH:	ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード)	
		B1H:	ウォッチドッグタイマのディセーブル (WDT ディセーブルコード)	
		その他:	無効	

7.3.1 内蔵 RAM 領域のアドレストラップ選択 (ATAS)

内蔵 RAM 領域は、WDTCR1<ATAS> によってアドレストラップする / しないを選択することができます。内蔵 RAM 領域で命令を実行する場合、WDTCR1<ATAS> を “0” に設定します。WDTCR1<ATAS> の設定は、WDTCR1 の設定後、WDTCR2 に “D2H” を書き込むことで有効となります。

SFR 領域内で命令を実行すると、WDTCR1<ATAS> の設定にかかわらず無条件にアドレストラップが発生します。

7.3.2 アドレストラップ発生時の動作選択 (ATOUT)

アドレストラップ発生時は、WDTCR1<ATOUT> によって「割り込み要求」か、「リセット要求」のいずれかを選択することができます。

7.3.3 アドレストラップ割り込み (INTATRAP)

WDTCR1<ATOUT> が “0” の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時のみ) または SFR 領域から命令をフェッチしようとするアドレストラップ割り込み要求 (INTATRAP) が発生します。

アドレストラップ割り込みはノンマスクブル割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくかならず割り込みは受け付けられます。

また、他の割り込み(アドレストラップ割り込みを含む)を受付け中にアドレストラップ割り込みが発生した場合、先の割り込み処理は保留され、直ちにアドレストラップ割り込み処理が実行されます。従って RETN 命令が実行されないままアドレストラップ割り込みが連続して発生すると、過重なネスティングによりマイコンが誤動作する場合があります。

なお、アドレストラップ割り込みを使用する場合は、事前にスタックポインタを設定してください。

7.3.4 アドレストラップリセット

WDTCR1<ATOUT>が“1”の期間、CPUがノイズなどの原因により暴走して内蔵RAM(WDTCR1<ATAS>=“1”時のみ)またはSFR領域から命令をフェッチしようとするアドレストラップリセット要求が発生します。

アドレストラップのリセット要求が発生すると、 $\overline{\text{RESET}}$ 端子から“L”レベルを出力するとともに内蔵ハードウェアはリセットされます。リセット時間は、最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ $f_c = 16.0 \text{ MHz}$) です。

注) SLOW1 モードでアドレストラップリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は最大で $24/f_c$ (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

8.2 制御

タイマカウンタ1は、タイマカウンタ1制御レジスタ (TC1CR) と2本の16ビットタイマレジスタ (TC1DRA/TC1DRB) で制御されます。

タイマレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TC1DRA (0011H, 0010H)	TC1DRAH (0011H) (初期値: 1111 1111 1111 1111)								TC1DRAL (0010H) Read/Write							
TC1DRB (0013H, 0012H)	TC1DRBH (0013H) (初期値: 1111 1111 1111 1111)								TC1DRBL (0012H) Read/Write (PPG出力モード時のみWrite可)							

タイマカウンタ1制御レジスタ

	7	6	5	4	3	2	1	0
TC1CR (0014H)	TFF1	ACAP1 MCAP1 METT1 MPPG1	TC1S	TC1CK	TC1M	Read/Write (初期値: 0000 0000)		

TFF1	タイマF/F1制御	0: クリア	1: セット	R/W						
ACAP1	自動キャプチャ制御	0: 自動キャプチャディセーブル	1: 自動キャプチャイネーブル	R/W						
MCAP1	パルス幅測定モード制御	0: 両エッジキャプチャ	1: 片エッジキャプチャ							
METT1	外部トリガタイマモード制御	0: トリガスタート	1: トリガスタート&ストップ	R/W						
MPPG1	PPG出力制御	0: 連続	1: 単発							
TC1S	タイマカウンタ1の スタート制御		タイマ	外部	イベ ント	ウイン ドウ	パルス	PPG	R/W	
		00: ストップ&カウンタクリア	○	○	○	○	○	○		
		01: コマンドスタート	○	-	-	-	-	-		○
		10: 立ち上がりエッジスタート (外部トリガ/パルス/PPG) 立ち上がりエッジカウント(イベント) 正論理カウント(ウィンドウ)	-	○	○	○	○	○		○
11: 立ち下がりエッジスタート (外部トリガ/パルス/PPG) 立ち下がりエッジカウント(イベント) 負論理カウント(ウィンドウ)	-	○	○	○	○	○	○			
TC1CK	タイマカウンタ1の ソースクロックの選択 単位: [Hz]	NORMAL1/2, IDLE1/2モード					デバイダ	SLOW, SLEEP モード	R/W	
		DV7CK = 0		DV7CK = 1						
		00	$fc/2^{11}$	$fs/2^3$			DV9	$fs/2^3$		
		01	$fc/2^7$	$fc/2^7$			DV5	-		
10	$fc/2^3$	$fc/2^3$			DV1	-				
11	外部クロック (TC1端子入力)									
TC1M	タイマカウンタ1の 動作モードの選択	00: タイマ/外部トリガタイマ/イベントカウンタモード 01: ウィンドウモード 10: パルス幅測定モード 11: PPG (プログラマブルパルスジェネレート) 出力モード							R/W	

注1) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]

注2) タイマレジスタはシフトレジスタ(2段)構成で、タイマレジスタの設定値は上位データ (TC1DRAH, TC1DRBH) へ書き込んだ後、次のソースクロックの立ち上がりで有効となります。従ってタイマレジスタは、下位バイト、上位バイトの順で連続して書き込んでください(16ビットアクセス命令による書き込みを推奨します)。下位データ (TC1DRAL, TC1DRBL) のみ書き込みを行っても設定は有効になりません。

- 注 3) モード、ソースクロック、PPG 出力制御、タイマ F/F1 制御は、停止 (TC1S = 00) 状態で設定してください。また、タイマ F/F1 制御は、PPG モードに設定変更後の最初のタイムスタートまでに設定してください。
- 注 4) 自動キャプチャは、タイマ、イベントカウンタ、ウィンドウモードでのみ使用可能です。
- 注 5) タイマレジスタへの設定値は、次の条件を満たす必要があります。
TC1DRA > TC1DRB > 1 (PPG 出力モード)、TC1DRA > 1 (PPG 出力モード以外)
- 注 6) PPG 出力モード以外の動作モードでは TFF1 を "0" に設定してください。
- 注 7) TC1DRB は、TC1M を PPG 出力モードに変更した後に設定してください。
- 注 8) STOP モードを起動するとスタート制御 (TC1S) は自動的に "00" にクリアされ、タイマは停止します。STOP モード解除後、タイマカウンタを使用する場合は、TC1S を再設定してください。
- 注 9) 自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値の読み出しはキャプチャイネーブル状態で行ってください。
- 注 10) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

Not Recommended for New Design

8.3 機能

タイマカウンタ 1 には、タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、プログラマブルパルスジェネレート出力の 6 つの動作モードがあります。

8.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 1A (TC1DRA) の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタがクリアされます。アップカウンタのクリア後もカウントアップを継続します。なお、TC1CR<ACAP1>を“1”にセットすることで、そのときのアップカウンタの内容をタイマレジスタ 1B (TC1DRB) に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

表 8-1 タイマカウンタ 1 の内部ソースクロック (例 : $f_c = 16 \text{ MHz}$, $f_s = 32.768 \text{ kHz}$ 時)

TC1CK	NORMAL1/2, IDLE1/2 モード				SLOW, SLEEP モード	
	DV7CK = 0		DV7CK = 1		分解能 [μs]	最大設定 時間 [s]
	分解能 [μs]	最大設定 時間 [s]	分解能 [μs]	最大設定 時間 [s]		
00	128	8.39	244.14	16.0	244.14	16.0
01	8.0	0.524	8.0	0.524	-	-
10	0.5	32.77 m	0.5	32.77 m	-	-

(プログラム例 1) ソースクロック $f_c/2^{11}$ [Hz] でタイマモードにセットし、1 [s] 後に割り込みを発生させる。($f_c = 16 \text{ MHz}$, $\text{TBTCR}<\text{DV7CK}> = \text{"0"}$ 時)

LDW (TC1DRA), 1E84H ; タイマレジスタの設定 ($1 \text{ s} \div 2^{11}/f_c = 1\text{E}84\text{H}$)

DI ; IMF = "0"

SET (EIRL). 7 ; INTTC1 割り込みを許可

EI ; IMF = "1"

LD (TC1CR), 00000000B ; ソースクロック, モード選択

LD (TC1CR), 00010000B ; TC1 スタート

(プログラム例 2) 自動キャプチャ

LD (TC1CR), 01010000B ; ACAP1 \leftarrow 1

: : :

LD WA, (TC1DRB) ; キャプチャ値の読み出し

注) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

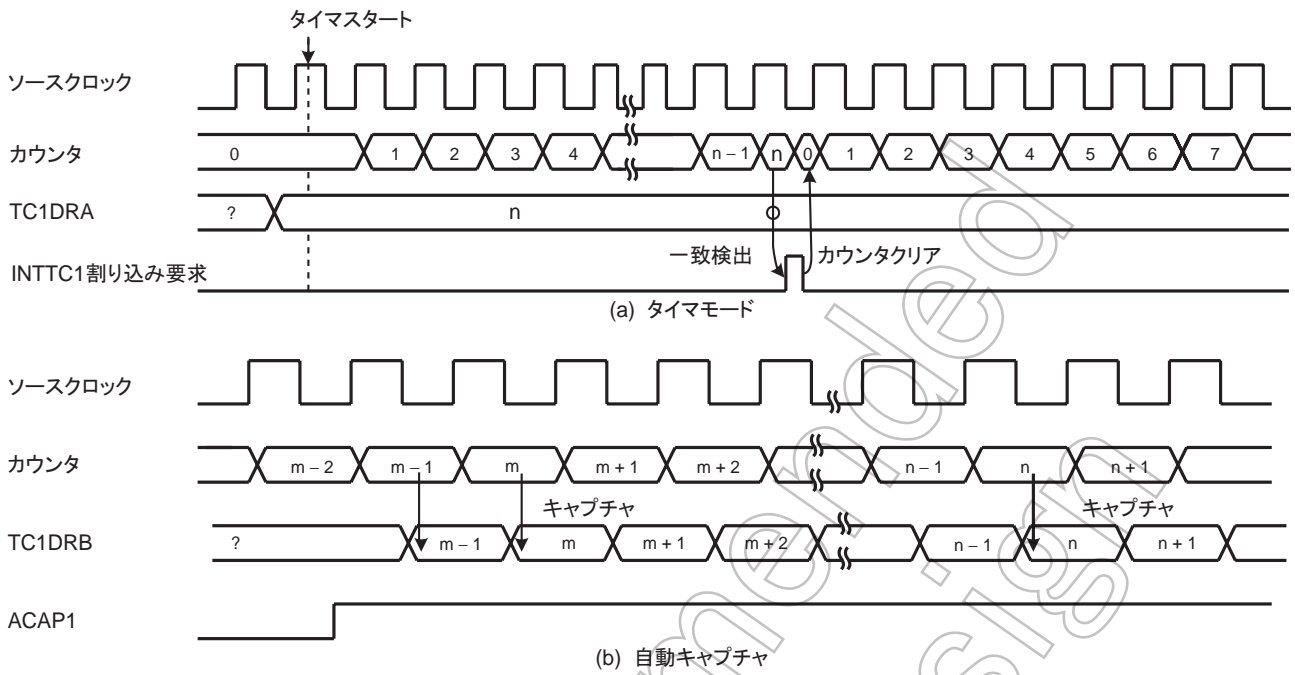


図 8-2 タイマモードタイミングチャート

Not Recommended for New Design

8.3.2 外部トリガタイマモード

外部トリガタイマモードは、TC1 端子の入力パルスをトリガにしてカウントをスタートし、内部クロックでカウントアップするモードです。カウントスタート用のトリガのエッジは、TC1CR<TC1S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。

- TC1CR<METT1> が “1” (トリガスタート & ストップ) の場合

タイマスタート後、アップカウンタの値と TC1DRA の設定値が一致すると、アップカウンタはクリアされて停止し、INTTC1 割り込み要求が発生します。

ただしアップカウンタの値と TC1DRA の設定値が一致する前に、カウントスタート用のトリガのエッジと逆方向のエッジを検出するとアップカウンタはクリアされて停止しますが、INTTC1 割り込み要求は発生しません。従ってこのモードを使用すると、一定以上のパルス幅が入力されたことを割り込みで検出することができます。

なお、アップカウンタが停止した後、カウントスタート用のトリガのエッジを検出するとカウントアップを再開します。

- TC1CR<METT1> が “0” (トリガスタート) の場合

タイマスタート後、アップカウンタの値と TC1DRA の設定値が一致すると、アップカウンタはクリアされて停止し、INTTC1 割り込み要求が発生します。

カウントスタート用のトリガのエッジと逆方向のエッジは意味を持ちません。

アップカウンタの値と TC1DRA の設定値が一致する前に、次のカウントスタート用のトリガのエッジを入力しても無視されます。

なお、TC1 端子入力にはノイズ除去回路が付いていますので、NORMAL1/2 または IDLE1/2 モード時 $4/f_c$ [s] 以下のパルスは、ノイズとして除去されます。確実にエッジ検出が行われるためには、 $12/f_c$ [s] 以上のパルス幅が必要です。また、SLOW1/2、または SLEEP1/2 モード時、ノイズ除去回路はオフしますが 1 マシンサイクル以上のパルス幅が必要です。

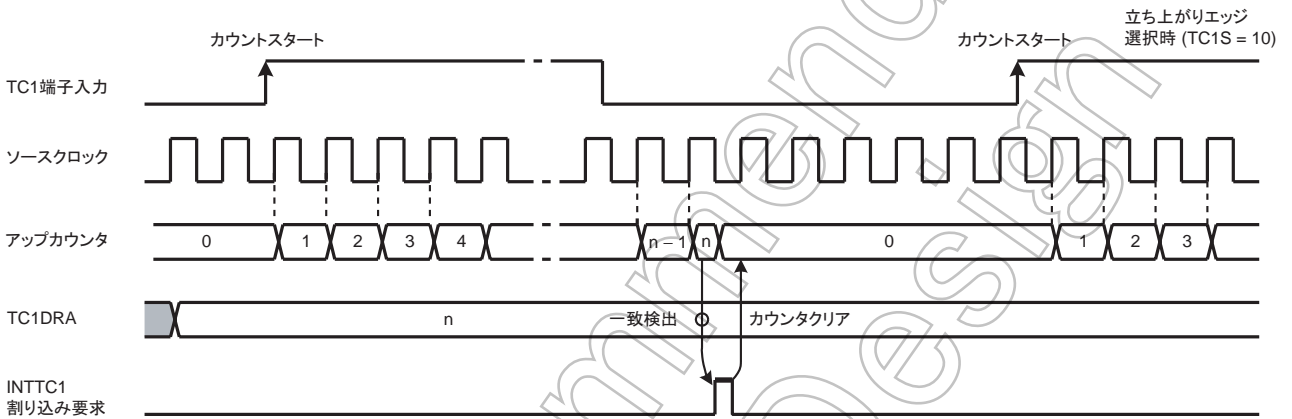
(プログラム例 1) TC1 端子入力の立ち上がりエッジから 1ms 後に割り込みを発生させる。

($f_c = 16 \text{ MHz}$ 時)

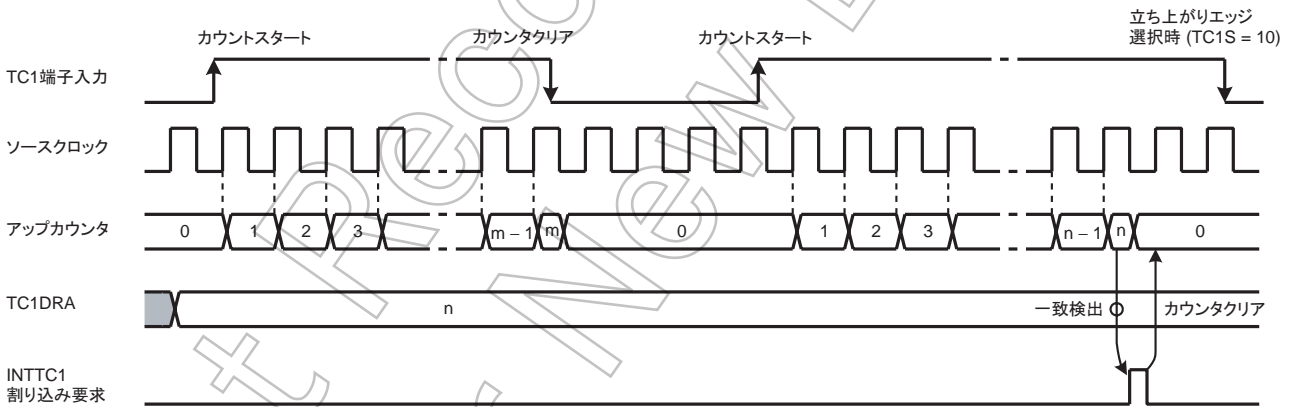
LDW	(TC1DRA), 007DH	; $1\text{ms} \div 2^7/f_c = 7\text{DH}$
DI		; IMF= "0"
SET	(EIRL), 7	; INTTC1 割り込み許可
EI		; IMF= "1"
LD	(TC1CR), 00000100B	; ソースクロック, モード選択
LD	(TC1CR), 00100100B	; TC1 外部トリガスタート, METT1 = 0

(プログラム例2) TC1 端子に“L” レベル幅 4 ms 以上のパルスが入力されたら割り込みを発生させる。(fc = 16 MHz 時)

LDW	(TC1DRA), 01F4H	; 4 ms ÷ 2 ⁷ /fc = 1F4H
DI		; IMF="0"
SET	(EIRL). 7	; INTTC1 割り込み許可
EI		; IMF="1"
LD	(TC1CR), 00000100B	; ソースクロック, モード選択
LD	(TC1CR), 01110100B	; TC1 外部トリガスタート, METT1=1



(a) トリガスタート (METT1 = 0)



(b) トリガスタート&ストップ (METT1 = 1)

注) m < n

図 8-3 外部トリガタイマモードタイミングチャート

8.3.3 イベントカウンタモード

イベントカウンタモードは、TC1 端子の入力パルスのエッジでカウントアップするモードです。カウントアップのエッジは、TC1CR<TC1S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。

アップカウンタの値と TC1DRA の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC1 端子入力のエッジごとにカウントアップを続けます。なお、一致検出は選択されたエッジとは逆側のエッジにて行われますので、INTTC1 割り込み要求は、アップカウンタと TC1DRA が同値になった後、選択されたエッジと逆側のエッジで発生します。

TC1 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクル以上のパルス幅が必要です。

また、TC1CR<ACAP1> を “1” にセットすることにより、カウンタの内容を TC1DRB に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

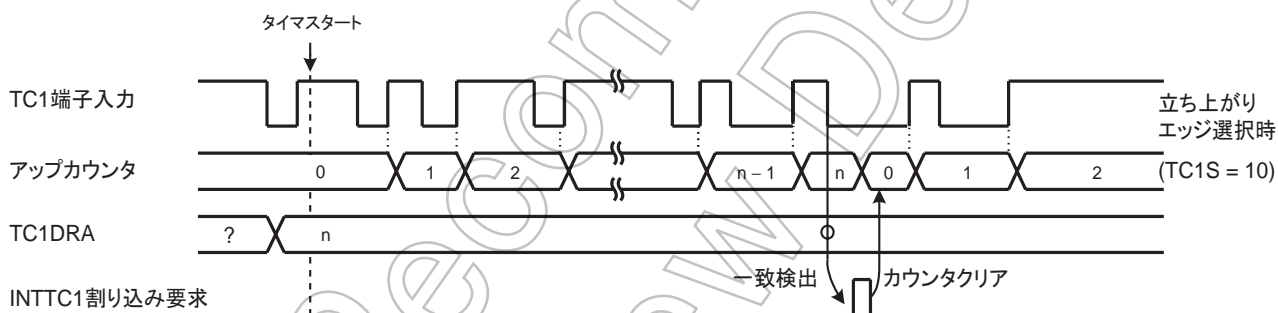


図 8-4 イベントカウンタモード タイミングチャート

表 8-2 タイマカウンタ 1 端子への入力パルス幅

	最小パルス幅 [s]	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	$2^3/f_c$	$2^3/f_s$
“L” 幅	$2^3/f_c$	$2^3/f_s$

8.3.4 ウィンドウモード

ウィンドウモードは、TC1 端子入力 (ウィンドウパルス) と内部ソースクロックとの論理積パルスの立ち上がりエッジでカウントアップするタイマモードです。ウィンドウパルスは、TC1CR<TC1S> によって正論理 (H レベルの期間カウントアップ) または負論理 (L レベルの期間カウントアップ) の選択をで行うことができます。

アップカウンタの値と TC1DRA の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタはクリアされます。

なお、ウィンドウパルスは、TC1CR<TC1CK> で設定した内部クロックよりも十分遅い周波数を入力してください。

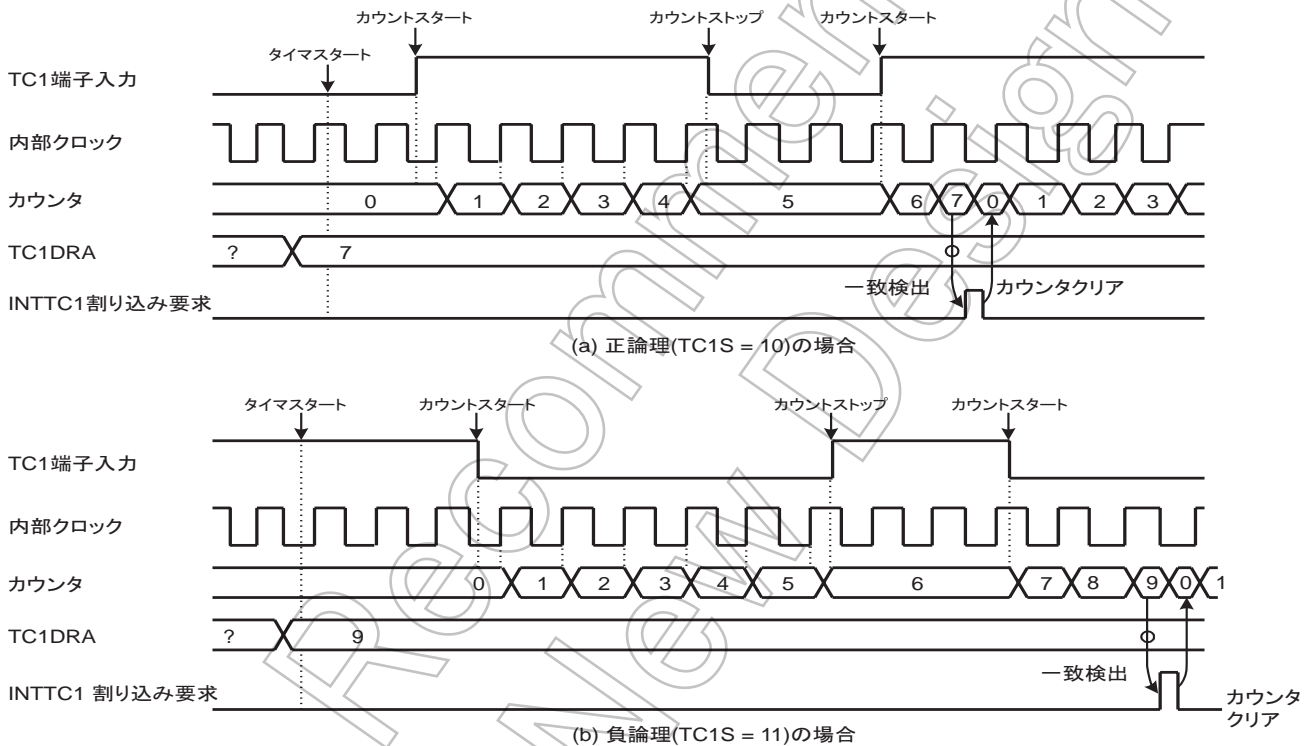


図 8-5 ウィンドウモード タイミングチャート

8.3.5 パルス幅測定モード

パルス幅測定モードは、TC1端子の入力パルスをトリガにしてカウントをスタートし、入力パルス幅を内部クロックで測定するモードです。カウントスタート用のトリガのエッジは、TC1CR<TC1S>によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。またキャプチャを行うエッジは、TC1CR<MCAP1>によって、片エッジまたは両エッジのいずれかを選択することができます。

- TC1CR<MCAP1>= “1” (片エッジキャプチャ)の場合

HレベルまたはLレベルのいずれか一方の入力パルス幅を測定することができます。Hレベルの入力パルス幅を測定する場合はTC1CR<TC1S>を立ち上がりエッジに、Lレベルの入力パルス幅を測定する場合はTC1CR<TC1S>を立ち下がりエッジに設定してください。

タイマスタート後、カウントスタート用のトリガのエッジと逆方向のエッジを検出すると、アップカウンタの内容をTC1DRBに取り込み、INTTC1割り込み要求を発生します。このときアップカウンタはクリアされます。その後カウントスタート用のトリガのエッジを検出するとアップカウンタはカウントアップを再開します。

- TC1CR<MCAP1>= “0” (両エッジキャプチャ)の場合

Hレベルと周期、またはLレベルと周期のいずれかの入力パルス幅を測定することができます。Hレベルと周期を測定する場合はTC1CR<TC1S>を立ち上がりエッジに、Lレベルと周期を測定する場合はTC1CR<TC1S>を立ち下がりエッジに設定してください。

タイマスタート後、カウントスタート用のトリガのエッジと逆方向のエッジを検出すると、アップカウンタの内容をTC1DRBに取り込み、INTTC1割り込み要求を発生します。アップカウンタはカウントアップを継続し、その後カウントスタート用のトリガのエッジを検出すると、アップカウンタの内容をTC1DRBに取り込み、INTTC1割り込み要求を発生します。このときアップカウンタはクリアされた後、カウントアップを継続します。

- 注1) キャプチャ値は、次のトリガエッジが検出されるまでにTC1DRBから必ず読み出してください。読み出しを行わない場合、キャプチャ値は不定となります。このときTC1DRBは、16ビットアクセス命令による読み出しを推奨します。
- 注2) 片エッジキャプチャ時、キャプチャ後のカウンタは次のエッジを検出するまで“1”で停止するため、2回目のキャプチャ値は、スタート直後のキャプチャ値よりも“1”大きくなります。
- 注3) タイマスタート後の最初のキャプチャ値は不定となりますので、タイマスタート後の1回目のキャプチャ値は読み捨ててください。

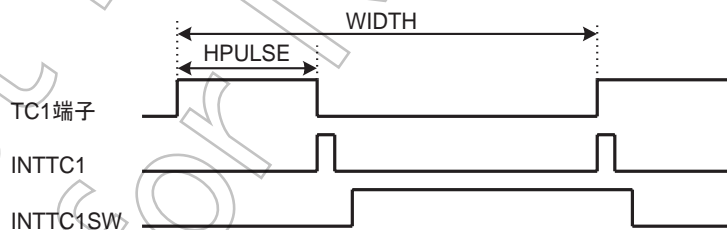
(プログラム例) デューティの測定。(分解能 $fc/2^7$ [Hz] 時)

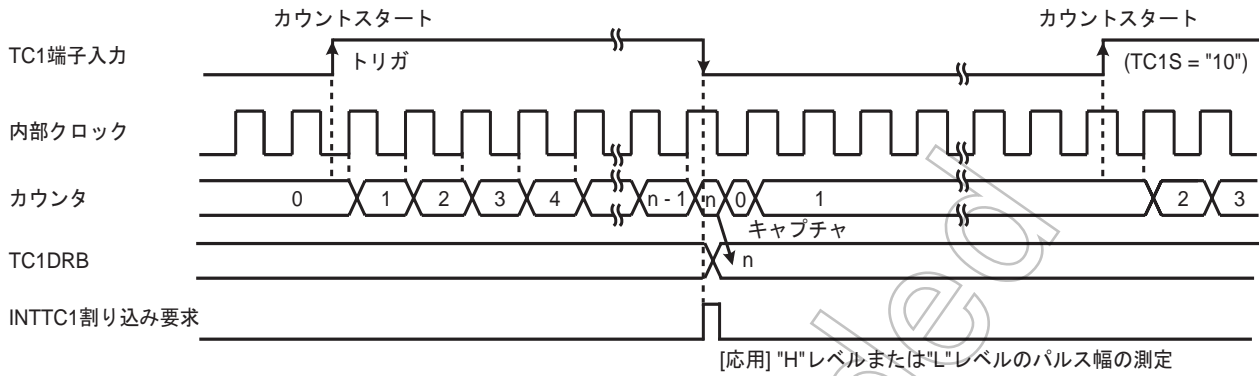
```

CLR      (INTTC1SW). 0      ; INTTC1 のサービススイッチの初期設定 (INTTC1SW):
                          ; INTTC1 ごとに反転するように設定したアドレス

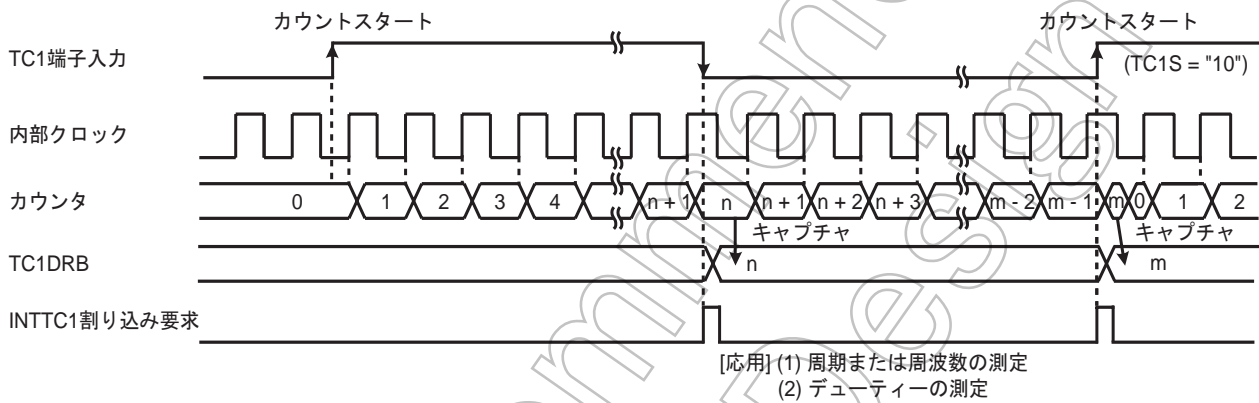
LD       (TC1CR), 00000110B ; TC1 のモード, ソースクロックを設定
DI       ; IMF= "0"
SET      (EIRL). 7         ; INTTC1 割り込みを許可。
EI       ; IMF= "1"
LD       (TC1CR), 00100110B ; MCAP1 = 0 で TC1 を外部トリガスタート。
:
PINTTC1: CPL      (INTTC1SW). 0 ; INTTC1 割り込み, INTTC1 のサービススイッチの
                          ; 反転 / テスト
JRS      F, SINTTC1
LD       A, (TC1DRBL)      ; TC1DRB の読み出し ("H" レベルパルス幅)
LD       W,(TC1DRBH)
LD       (HPULSE), WA      ; "H" レベルパルス幅を RAM に格納
RETI
SINTTC1: LD       A, (TC1DRBL) ; TC1DRB の読み出し (周期)
LD       W,(TC1DRBH)
LD       (WIDTH), WA      ; 周期を RAM に格納
:
RETI     ; デューティ計算
:
VINTTC1: DW       PINTTC1    ; INTTC1 割り込みベクタ設定

```





(a) 片エッジキャプチャ (MCAP1 = "1")



(b) 両エッジキャプチャ (MCAP1 = "0")

図 8-6 パルス幅測定モード

8.3.6 プログラマブルパルスジェネレータ (PPG) 出力モード

PPG 出力モードは、内部クロックのカウントによって任意のデューティパルスを出力するモードです。タイマのスタートは、TC1CR<TC1S> によって TC1 端子の入力パルスのエッジ、またはコマンドスタートを選択することができます。また TC1CR<MPPG1> によって PPG を連続して出力するか単発で出力するかを選択することができます。

- TC1CR<MPPG1>="0"(連続)の場合

タイマスタート後、アップカウンタの値と TC1DRB の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベルが反転し、INTTC1 割り込み要求が発生します。アップカウンタは、その後もカウントアップを継続し、アップカウンタの値と TC1DRA の設定値が一致すると PPG 端子のレベルが反転し、INTTC1 割り込み要求が発生します。このときアップカウンタはクリアされ、カウント動作および PPG 出力を継続します。

なお、PPG 出力中に TC1S を "00" に設定すると、 $\overline{\text{PPG}}$ 端子は停止直前のレベルを保持します。

- TC1CR<MPPG1>="1"(単発)の場合

タイマスタート後、アップカウンタの値と TC1DRB の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベルが反転し、INTTC1 割り込み要求が発生します。アップカウンタは、その後もカウントアップを継続し、アップカウンタの値と TC1DRA の設定値が一致すると PPG 端子のレベルが反転し、INTTC1 割り込み要求が発生します。このとき TC1CR<TC1S> は自動的に "00" にクリアされ、タイマは停止します。PPG 出力はタイマが停止したときのレベルを保持します。

タイマスタート時、 $\overline{\text{PPG}}$ 端子は TC1CR<TFF1> によって出力レベルを設定することができますので、正論理 / 負論理いずれのパルスも出力することが可能です。なお、PPG 端子は、タイマ F/F1 出力の反転レベルが出力されますので、PPG 端子を H レベルに設定する場合は TC1CR<TFF1> を "0" に、L レベルに設定する場合は TC1CR<TFF1> を "1" に設定してください。リセット時、タイマ F/F1 は "0" に初期化されます。

注 1) タイマ動作中に TC1DRA、TC1DRB を変更する場合、カウンタのカウント値より十分大きな値を設定してください。タイマ動作中にカウンタのカウント値よりも小さな値をタイマレジスタに設定すると、設定値と異なるパルスが出力されることがあります。

注 2) TC1CR<TFF1> はタイマ動作中に変更しないでください。TC1CR<TFF1> は、初期設定時 (リセット後) のみ正しく設定できます。PPG 出力中にタイマを停止したとき、停止直前の PPG 出力レベルがタイマスタート時の PPG 出力レベルと逆相の場合、それ以降 TC1CR<TFF1> は正しく設定することができなくなります (このとき TC1CR<TFF1> を設定すると、タイマ F/F1 には設定値の逆相レベルが設定されます)。従ってタイマ停止後、PPG 出力を確実に任意のレベルにするにはタイマ F/F1 を初期化する必要があります。初期化するには TC1CR<TC1M> を一度タイマモードに変更し (タイマモードをスタートさせる必要はありません)、再度 PPG 出力モードに設定してください。このとき、同時に TC1CR<TFF1> を設定してください。

注 3) PPG 出力モード時、タイマレジスタへの設定値は以下の条件を満たす必要があります。
TC1DRA > TC1DRB

注 4) TC1DRB は、TC1M を PPG 出力モードに変更した後に設定してください。

(プログラム例) “H” レベル 800 μs, “L” レベル 200 μs のパルスを出力。(fc = 16 MHz 時)

ポートを設定する

```
LD      (TC1CR), 10000111B      ; PPG 出力モードに設定, ソースクロック選択
LDW    (TC1DRA), 007DH         ; 周期の設定 (1 ms ÷ 27/fc μs = 007DH)
LDW    (TC1DRB), 0019H        ; “L” レベルパルス幅の設定 (200 μs ÷ 27/fc = 0019H)
LD      (TC1CR), 10010111B     ; タイマスタート
```

(プログラム例) PPG 出力を停止後、PPG 端子を H レベルに設定し PPG 出力を再度スタート (fc = 16 MHz 時)

ポートを設定する

```
LD      (TC1CR), 10000111B      ; PPG 出力モードに設定, ソースクロック選択
LDW    (TC1DRA), 007DH         ; 周期の設定 (1 ms ÷ 27/fc μs = 007DH)
LDW    (TC1DRB), 0019H        ; “L” レベルパルス幅の設定 (200 μs ÷ 27/fc = 0019H)
LD      (TC1CR), 10010111B     ; タイマスタート
:
LD      (TC1CR), 10000111B     ; タイマストップ
LD      (TC1CR), 10000100B     ; タイマモードに設定
LD      (TC1CR), 00000111B     ; PPG 出力モード、TFF1=0 に設定
LD      (TC1CR), 00010111B     ; タイマスタート
```

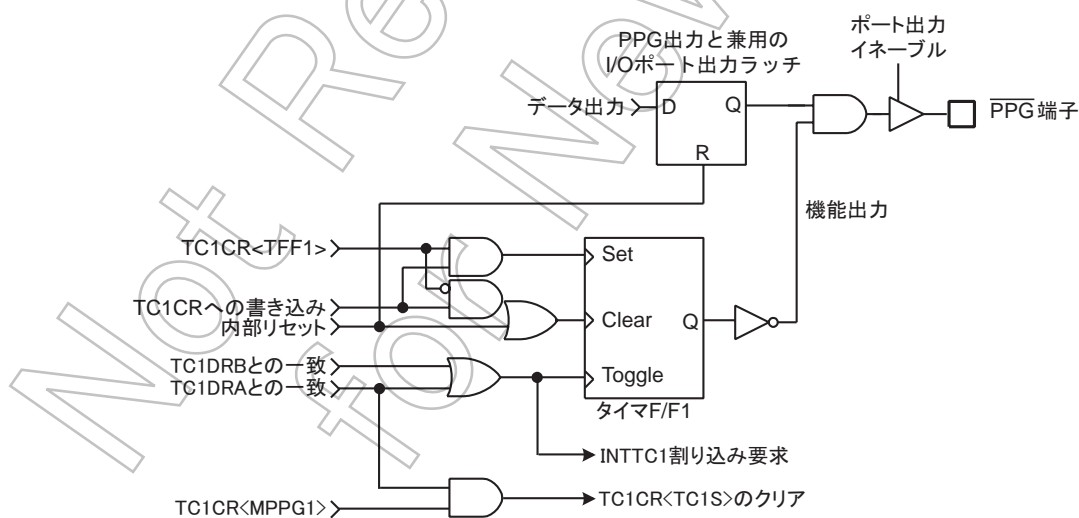


図 8-7 PPG 出力

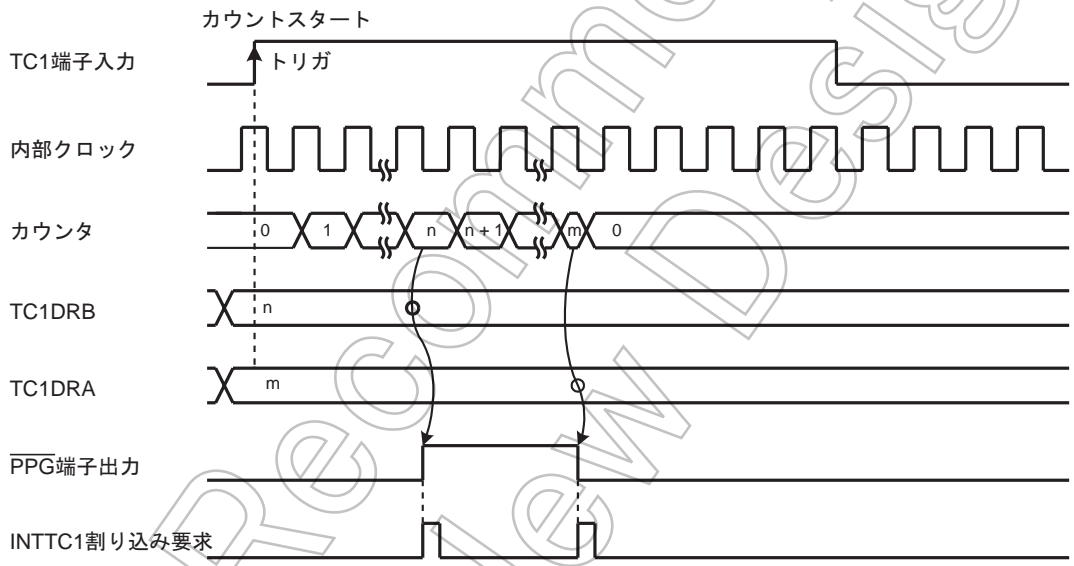
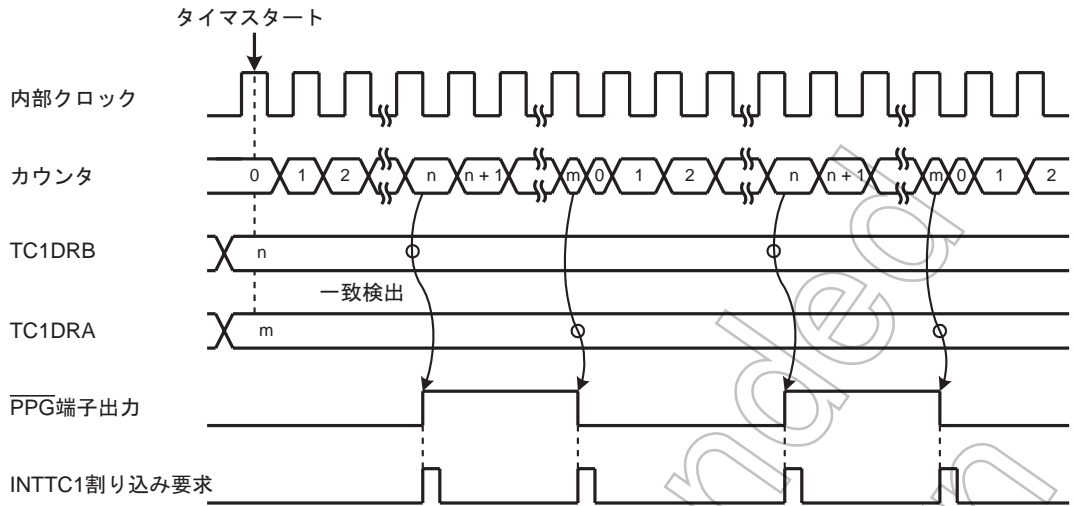


図 8-8 PPG 出力モード タイミングチャート

Not Recommended
for New Design

第9章 8ビットタイマカウンタ (TC3, TC4)

9.1 構成

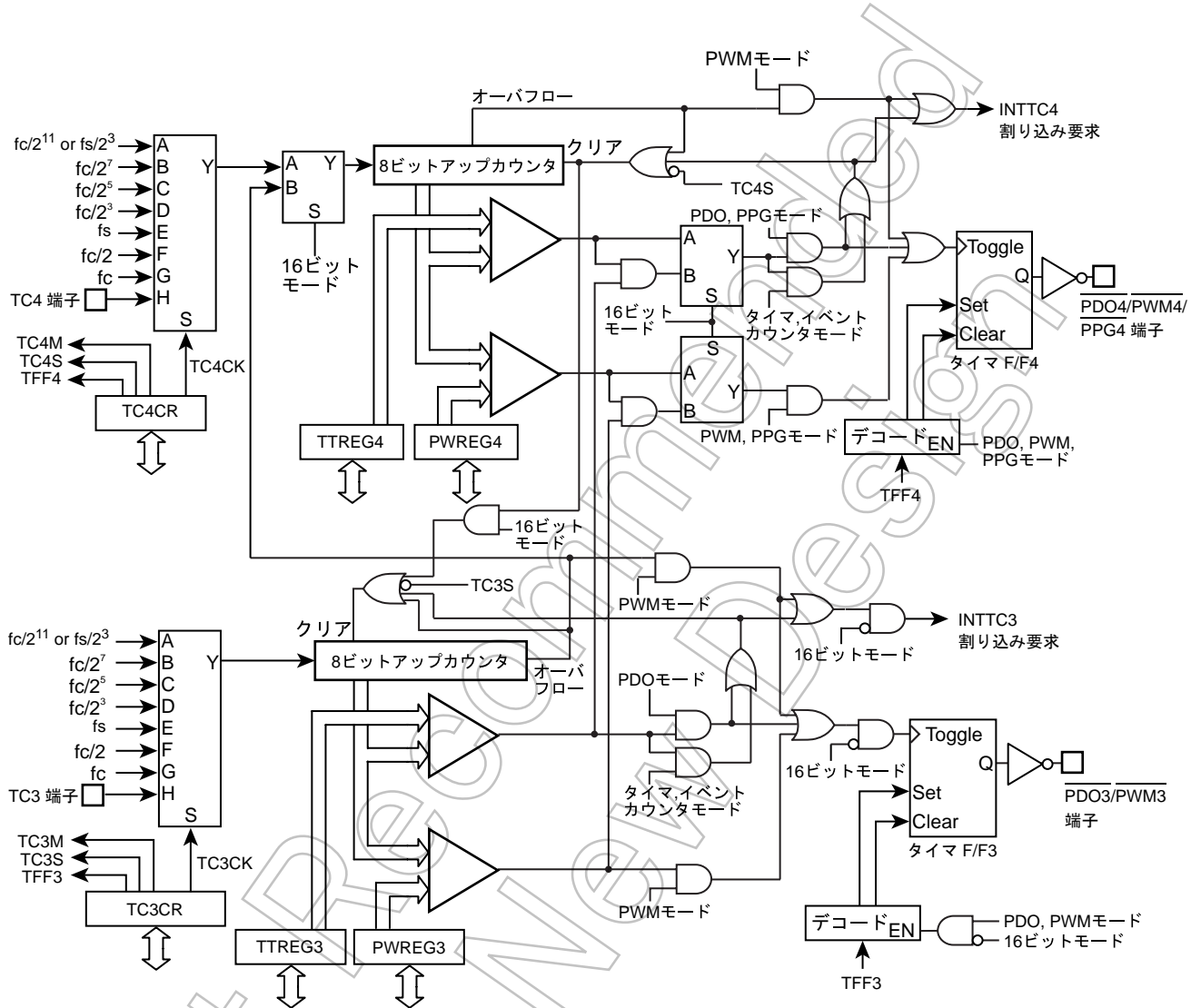
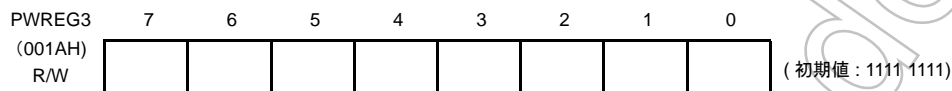
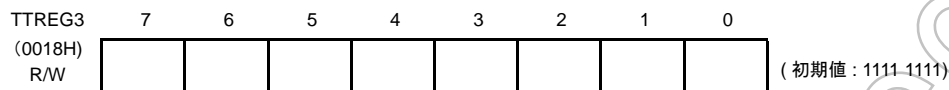


図 9-1 8ビットタイマカウンタ 3, 4

9.2 制御

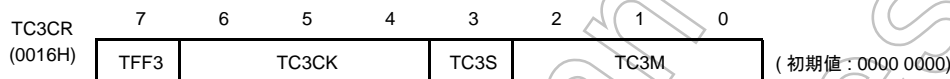
タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と2本の8ビットタイマレジスタ (TTREG3, PWREG3) で制御されます。

タイマカウンタ3のタイマレジスタ



- 注1) タイマ動作中は、タイマレジスタ (TTREG3) の設定値を変更しないでください。
- 注2) 8/16ビットPWMモード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG3) の設定値を変更しないでください。

タイマカウンタ3制御レジスタ



TFF3	タイマ F/F3 の制御	0: クリア 1: セット			R/W	
TC3CK	動作クロック選択 [Hz]	NORMAL1/2, IDLE1/2 モード		SLOW1/2 SLEEP1/2 モード	R/W	
		DV7CK = 0	DV7CK = 1			
		000	$fc/2^{11}$	$fs/2^3$		$fs/2^3$
		001	$fc/2^7$	$fc/2^7$		—
		010	$fc/2^6$	$fc/2^5$		—
		011	$fc/2^3$	$fc/2^3$		—
		100	fs	fs		fs
		101	$fc/2$	$fc/2$		—
110	fc	fc	fc (注8)			
111	TC3 端子入力					
TC3S	タイマスタート制御	0: 動作停止 & カウンタクリア 1: 動作開始			R/W	
TC3M	動作モード選択	000: 8ビットタイマ/イベントカウンタモード 001: 8ビットプログラマブルデバイダ出力 (PDO) モード 010: 8ビットパルス幅変調出力 (PWM) モード 011: 16ビットモード (各モード選択は TC4M にて設定してください) 1**: Reserved			R/W	

- 注1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz]
- 注2) タイマ動作中は、TC3M, TC3CK, TFF3 の設定を変更しないでください。
- 注3) タイマを動作停止 (TC3S = "1" → "0") するときは、TC3M, TC3CK, TFF3 の設定を変更しないでください。ただしタイマを動作開始 (TC3S = "0" → "1") するときは、TC3M, TC3CK, TFF3 の設定を変更することができます。
- 注4) 16ビットモードで使用する場合、動作モードの設定は TC4CR<TC4M>にて行い、TC3M は "011" に固定してください。
- 注5) 16ビットモードで使用する場合、ソースクロックの選択は TC3CKにて行い、タイマスタート制御、タイマ F/F の制御については TC4CR<TC4S>、TC4CR<TFF4>にて設定してください。
- 注6) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 9-1, 表 9-2 を参照してください。

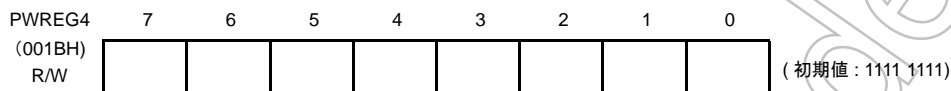
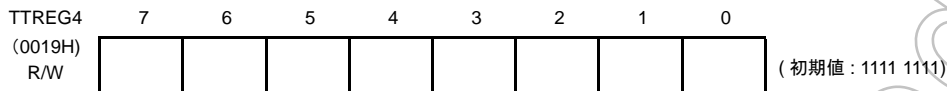
注 7) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 9-3 を参照してください。

注 8) SLOW, SLEEP モード時の動作クロック f_c は、高周波ウォーミングアップモードとしてのみ使用できます。

Not Recommended
for New Design

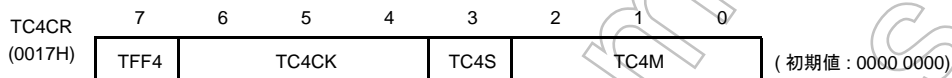
タイマカウンタ4は、タイマカウンタ4制御レジスタ (TC4CR) と2本の8ビットタイマレジスタ (TTREG4, PWREG4) で制御されます。

タイマカウンタ4のタイマレジスタ



- 注1) タイマ動作中は、タイマレジスタ (TTREG4) の設定値を変更しないでください。
- 注2) 8/16ビットPWMモード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG4) の設定値を変更しないでください。

タイマカウンタ4制御レジスタ



TFF4	タイマ F/F4 の制御	0: クリア 1: セット		R/W		
TC4CK	動作クロック選択 [Hz]	NORMAL1/2, IDLE1/2 モード		R/W		
		SLOW1/2 SLEEP1/2 モード				
		DV7CK = 0	DV7CK = 1			
		000	$fc/2^{11}$		$fs/2^3$	$fs/2^3$
		001	$fc/2^7$		$fc/2^7$	—
		010	$fc/2^5$		$fc/2^5$	—
		011	$fc/2^3$		$fc/2^3$	—
		100	fs		fs	fs
101	$fc/2$	$fc/2$	—			
110	fc	fc	—			
111	TC4 端子入力					
TC4S	タイマスタート制御	0: 動作停止 & カウンタクリア 1: 動作開始		R/W		
TC4M	動作モード選択	000: 8ビットタイマ/イベントカウンタモード 001: 8ビットプログラマブルデバイダ出力 (PDO) モード 010: 8ビットパルス幅変調出力 (PWM) モード 011: Reserved 100: 16ビットタイマ/イベントカウンタモード 101: ウォーミングアップカウンタモード 110: 16ビットパルス幅変調出力 (PWM) モード 111: 16ビットPPGモード		R/W		

- 注1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz]
- 注2) タイマ動作中は、TC4M, TC4CK, TFF4 の設定を変更しないでください。
- 注3) タイマを動作停止 (TC4S = "1" → "0") するときは、TC4M, TC4CK, TFF4 の設定を変更しないでください。ただしタイマを動作開始 (TC4S = "0" → "1") するときは、TC4M, TC4CK, TFF4 の設定を変更することができます。
- 注4) TC4M = 1** のとき (16ビットモードの上位側) のときは、TC4CK の設定に関係なく、ソースクロックは TC3 オーバフロー信号になります。
- 注5) 16ビットモードで使用する場合、動作モードの選択は TC4M にて行います。そのとき、TC3CR<TC3M> は必ず "011" に設定してください。

- 注 6) 16 ビットモードで使用する場合、ソースクロックの選択は TC3CR<TC3CK> にて行い、タイマスタート制御、タイマ F/ F の制御については TC4S、TFF4 にて設定してください。
- 注 7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 9-1, 表 9-2 を参照してください。
- 注 8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 9-3 を参照してください。

Not Recommended
for New Design

表 9-1 動作モードと使用できるソースクロック (NORMLAL1/2, IDLE1/2 モード時)

動作モード	$fc/2^{11}$ or $fs/2^3$	$fc/2^7$	$fc/2^5$	$fc/2^3$	fs	$fc/2$	fc	TC3 端子 入力	TC4 端子 入力
8ビットタイマ	○	○	○	○	—	—	—	—	—
8ビットイベントカウンタ	—	—	—	—	—	—	—	○	○
8ビットPDO	○	○	○	○	—	—	—	—	—
8ビットPWM	○	○	○	○	○	○	○	—	—
16ビットタイマ	○	○	○	○	—	—	—	—	—
16ビットイベントカウンタ	—	—	—	—	—	—	—	○	—
ウォーミングアップカウンタ	—	—	—	—	○	—	—	—	—
16ビットPWM	○	○	○	○	○	○	○	○	—
16ビットPPG	○	○	○	○	—	—	—	○	—

注1) 16ビット動作 (16ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16ビットPWM、16ビットPPG) のソースクロックは下位ビット側 (TC3CK) にて設定してください。

表 9-2 動作モードと使用できるソースクロック (SLOW1/2, SLEEP1/2 モード時)

動作モード	$fc/2^{11}$ or $fs/2^3$	$fc/2^7$	$fc/2^5$	$fc/2^3$	fs	$fc/2$	fc	TC3 端子 入力	TC4 端子 入力
8ビットタイマ	○	—	—	—	—	—	—	—	—
8ビットイベントカウンタ	—	—	—	—	—	—	—	○	○
8ビットPDO	○	—	—	—	—	—	—	—	—
8ビットPWM	○	—	—	—	○	—	—	—	—
16ビットタイマ	○	—	—	—	—	—	—	—	—
16ビットイベントカウンタ	—	—	—	—	—	—	—	○	—
ウォーミングアップカウンタ	—	—	—	—	—	—	○	—	—
16ビットPWM	○	—	—	—	○	—	—	○	—
16ビットPPG	○	—	—	—	—	—	—	○	—

注1) 16ビット動作 (16ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16ビットPWM、16ビットPPG) のソースクロックは下位ビット側 (TC3CK) にて設定してください。

表 9-3 比較用レジスタへの設定値に関する制約事項

動作モード	レジスタへの設定値
8ビットタイマ/イベントカウンタ	$1 \leq (TTREGn) \leq 255$
8ビットPDO	$1 \leq (TTREGn) \leq 255$
8ビットPWM	$2 \leq (PWREGn) \leq 254$
16ビットタイマ/イベントカウンタ	$1 \leq (TTREG4, 3) \leq 65535$
ウォーミングアップカウンタ	$256 \leq (TTREG4, 3) \leq 65535$
16ビットPWM	$2 \leq (PWREG4, 3) \leq 65534$
16ビットPPG	$1 \leq (PWREG4, 3) < (TTREG4, 3) \leq 65535$ かつ $(PWREG4, 3) + 1 < (TTREG4, 3)$

注) n=3~4

Not Recommended
for New Design

9.3 機能

タイマカウンタ 3, 4 にはそれぞれ、8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットプログラマブルデバウンド出力 (PDO) モード、8 ビットパルス幅変調出力 (PWM) モードがあります。また、タイマカウンタ 3, 4 (TC3, 4) を 1 つの 16 ビットタイマとして動作させる事も可能です。16 ビットタイマとしての動作には、16 ビットタイマモード、16 ビットイベントカウンタモード、ウォーミングアップカウンタモード、16 ビットパルス幅変調出力 (PWM) モード、16 ビットプログラマブルパルスジェネレート出力 (PPG) モードがあります。

9.3.1 8 ビットタイマモード (TC3, 4)

このモードは内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ j (TTREG j) 設定値が一致すると INTTC j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

- 注 1) タイマモード時は、TC j CR<TFF j > を “0” に固定してください。固定されない場合は、PDO j /PWM j /PPG j 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREG j の設定値を変更しないでください。タイマモード時、TTREG j はシフトレジスタ構成となりませんので、TTREG j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG i を書き替えると想定している動作を得られない場合があります。
- 注 3) $j=3, 4$

表 9-4 タイマカウンタ 3, 4 のソースクロック (内部クロック)

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		最大設定時間	
DV7CK = 0	DV7CK = 1		$f_c = 16 \text{ MHz}$ 時	$f_s = 32.768 \text{ kHz}$ 時	$f_c = 16 \text{ MHz}$ 時	$f_s = 32.768 \text{ kHz}$ 時
$f_c/2^{11}$ [Hz]	$f_s/2^3$ [Hz]	$f_s/2^3$ [Hz]	128 μs	244.14 μs	32.6 ms	62.3 ms
$f_c/2^7$	$f_c/2^7$	—	8 μs	—	2.0 ms	—
$f_c/2^5$	$f_c/2^5$	—	2 μs	—	510 μs	—
$f_c/2^3$	$f_c/2^3$	—	500 ns	—	127.5 μs	—

(プログラム例) ソースクロック $f_c/2^7$ [Hz] でタイマモードにセットし、80 μs 後に割り込みを発生させる (タイマカウンタ 4、 $f_c = 16.0 \text{ MHz}$ 時)

```
LD    (TTREG4), 0AH           ; タイマレジスタの設定 (80  $\mu\text{s} \div 2^7/f_c = 0AH$ )
DI
SET   (EIRH), 1              ; INTTC4 割り込みを許可
EI
LD    (TC4CR), 00010000B     ; 動作クロックを  $f_c/2^7$  ,8 ビットタイマモードに設定
LD    (TC4CR), 00011000B     ; TC4 スタート
```

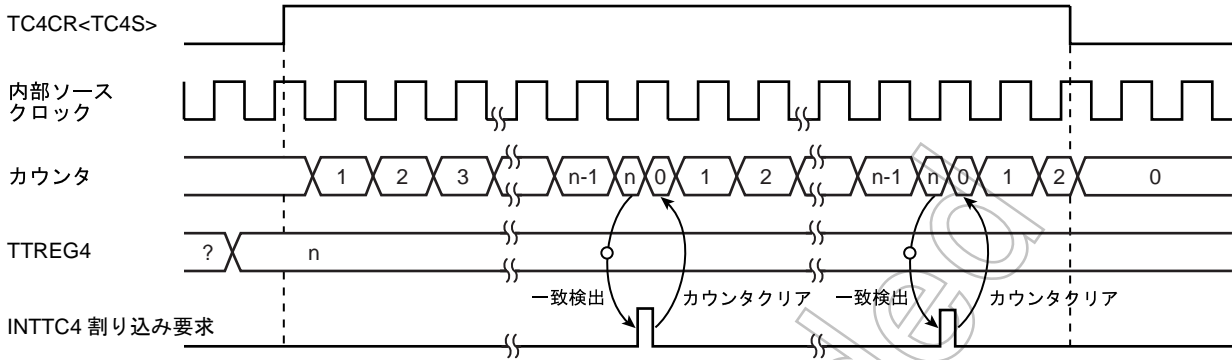


図 9-2 8 ビットタイマモードタイミングチャート (TC4 の場合)

9.3.2 8 ビットイベントカウンタモード (TC3, 4)

このモードは TC_j 端子入力の立ち下がりエッジでカウントアップするモードです。アップカウンタの値と TTREG_j 設定値が一致すると INTTC_j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後も TC_j 端子入力の立ち下がりエッジごとにカウントアップします。TC_j 端子への最小入力パルス幅は、“H”，“L” レベルともに 2 マシンサイクルです。したがって、最大印加周波数は、NORMAL1, 2 または IDLE1, 2 モード時で $f_c/2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s/2^4$ [Hz] となります。

- 注 1) イベントカウンタモード時は、TC_jCR<TFF_j> を “0” に固定してください。固定されない場合は、 $\overline{PDO_j}$ /PWM_j/PPG_j 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREG_j の設定値を変更しないでください。イベントカウンタモード時、TTREG_j はシフトレジスタ構成となりませんので、TTREG_j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG_j を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

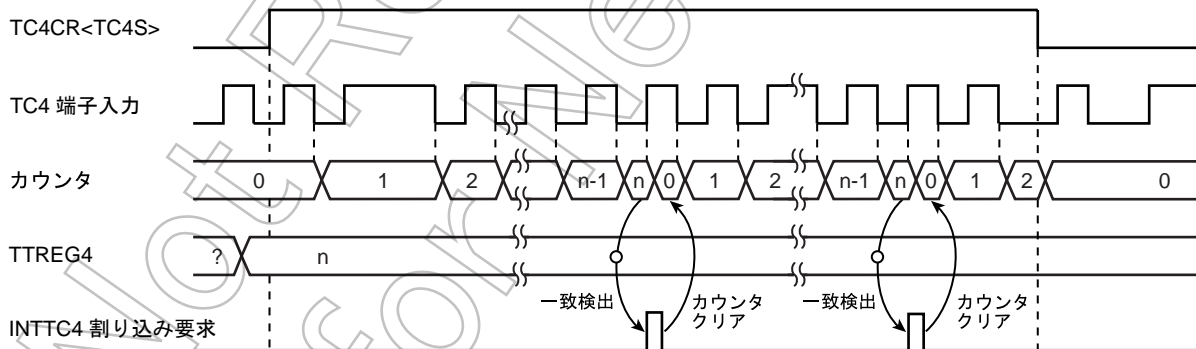


図 9-3 8 ビットイベントカウンタモードタイミングチャート (TC4 の場合)

9.3.3 8 ビットプログラマブル デバイダ出力 (PDO) モード (TC3, 4)

このモードは $\overline{PDO_j}$ 端子からデューティ 50% のパルスを出力するモードです。

内部クロックでカウントアップし、TTREG_j との一致ごとにタイマ F/F_j 値を反転しアップカウンタをクリアします。このとき INTTC_j 割り込み要求が発生します。 $\overline{PDO_j}$ 端子からはタイマ F/F_j 値の反転レベルが出力されます。なお、タイマ F/F_j 値は TC_jCR<TFF_j> によって任意の値を設定することができます。リセット時、タイマ F/F_j 値は “0” に初期化されます。

プログラマブルデバイダ出力を行う場合は、I/O ポートの出力ラッチを“1”にセットしてください。

(プログラム例) TC4 を使用し、1024 Hz のパルスを出力 ($f_c = 16.0 \text{ MHz}$)

ポートを設定		
LD	(TTREG4), 3DH	; $1/1024 \div 2^7/f_c \div 2 = 3DH$
LD	(TC4CR), 00010001B	; 動作クロックを $f_c/2^7$, 8 ビット PDO モードに設定
LD	(TC4CR), 00011001B	; TC4 スタート

- 注 1) プログラマブルデバイダ出力モード時は、タイマ動作中に TTREGj の設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 2) PDO 出力中にタイマを停止すると、 $\overline{\text{PDOj}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。
例：タイマカウンタ停止時に $\overline{\text{PDOj}}$ 端子を “H” レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; $\overline{\text{PDOj}}$ 端子を “H” レベルに設定
- 注 3) $j = 3, 4$

Not Recommended for New Design

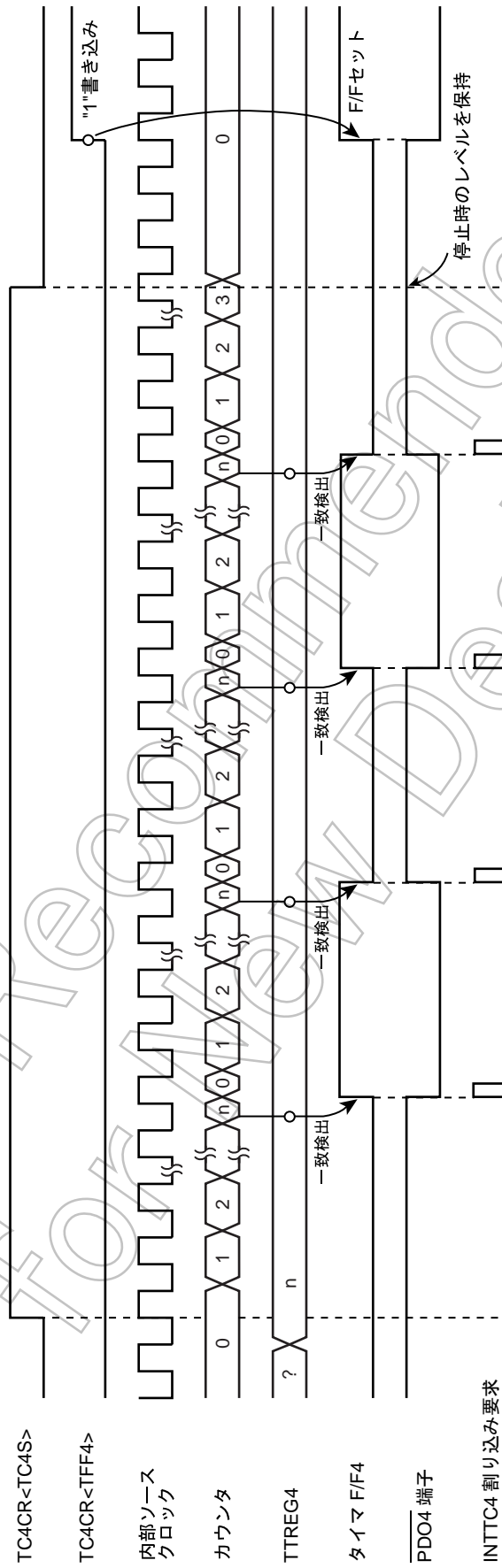


図 9-4 8ビット PDO モードタイミングチャート (TC4 の場合)

9.3.4 8ビットパルス幅変調 (PWM) 出力モード (TC3, 4)

このモードは分解能8ビットのPWM出力を行うモードです。内部クロックでカウントアップし、アップカウンタの値とPWREGj設定値が一致するとタイマF/Fj値を反転します。カウンタはさらにカウントアップし、オーバフローでタイマF/Fj値を再び反転し、カウンタをクリアします。このときINTTCj割り込み要求が発生します。

タイマF/Fjは、TCjCR<TFFj>によって初期値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。リセット時、タイマF/Fjは“0”にクリアされます。

(PWMj端子からはタイマF/Fj値の反転レベルが出力されます)

PWMモード中のPWREGjは、シフトレジスタとの2段構成となっており、タイマ動作中にPWREGjの設定値を変更することが可能です。タイマ動作中、PWREGjへの設定値はINTTCj割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREGjにデータを設定した直後にシフトされます。

PWM出力中、PWREGjに対してリード命令を実行するとPWREGjの設定値ではなく、シフトレジスタの値が読み込まれます。従ってPWREGjを設定してからINTTCj割り込み要求までの間は、前回のPWREGj設定値が読み込まれます。

PWM出力を行う端子は、I/Oポートの出力ラッチを“1”にセットしてください。

- 注1) PWMモード時、タイマレジスタPWREGjへの書き込みは、INTTCj割り込み要求発生直後(通常はINTTCj割り込みサービスルーチン内)に行ってください。タイマレジスタPWREGjへの書き込みとINTTCj割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次のINTTCj割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注2) PWM出力中にタイマを停止すると、PWMj端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後にTCjCR<TFFj>の操作を行ってください。ただし、タイマ停止と同時にTCjCR<TFFj>の設定を変更しないでください。
例: タイマカウンタ停止時にPWMj端子を“H”レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; PWMj出力を“H”レベルに設定
- 注3) PWM出力中、STOPモードを起動する場合は、タイマを停止してからSTOPモードを起動してください。タイマを停止せずにSTOPモードを起動し、さらにソースクロックとしてfc, fc/2またはfsが選択されている場合は、STOP解除後のウォーミングアップ中にPWMj端子からパルスが出力されます。
- 注4) j = 3, 4

表 9-5 PWM 出力モード

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード DV7CK = 0	DV7CK = 1		fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
fc/2 ¹¹ [Hz]	fs/2 ³ [Hz]	fs/2 ³ [Hz]	128 μs	244.14 μs	32.8 ms	62.5 ms
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	2.05 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	512 μs	—
fc/2 ³	fc/2 ³	—	500ns	—	128 μs	—
fs	fs	fs	30.5 μs	30.5 μs	7.81 ms	7.81 ms
fc/2	fc/2	—	125 ns	—	32 μs	—
fc	fc	—	62.5 ns	—	16 μs	—

9.3.5 16ビットタイマモード (TC3 + 4)

このモードは内部クロックでカウントアップするモードです。

タイマカウンタ3と4をそれぞれカスケード接続することにより、16ビットタイマモードとして使用することができます。

TC4CR<TC4S>によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) 設定値が一致すると INTTC4 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) タイマモード時は、TCjCR<TFFj>を“0”に固定してください。固定されない場合は、 $\overline{\text{PDOj}}/\text{PWMj}/\text{PPGj}$ 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はソフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

表 9-6 16ビットタイマモードのソースクロック

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード			fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
fc/2 ¹¹	fs/2 ³	fs/2 ³	128 μs	244.14 μs	8.39 s	16s
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	524.3 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	131.1 ms	—
fc/2 ³	fc/2 ³	—	500 ns	—	32.8 ms	—

(プログラム例) ソースクロック $fc/2^7$ [Hz] でタイマモードにセットし、300 ms 後に割り込みを発生させる (fc = 16.0 MHz 時)

```
LDW      (TTREG3), 927CH      ; タイマレジスタの設定 (300 ms ÷ 27/fc = 927CH)
DI
SET      (EIRH). 1          ; INTTC4 割り込みを許可
EI
LD       (TC3CR), 13H       ; 動作クロックを fc/27、16ビットタイマモード
                          ; (下位側) に設定
LD       (TC4CR), 04H       ; 16ビットタイマモード (上位側) に設定
LD       (TC4CR), 0CH       ; タイマスタート
```

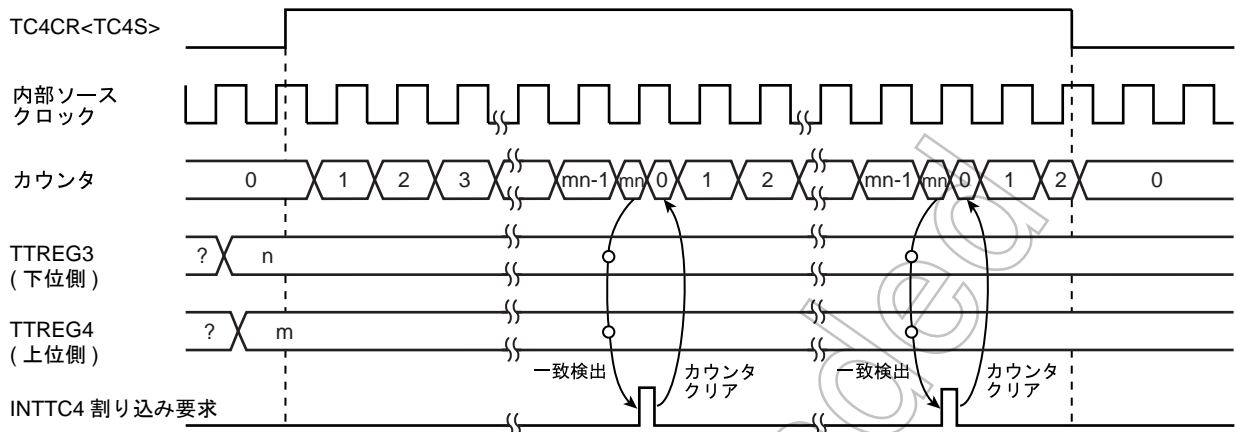


図 9-6 16 ビットタイマモードタイミングチャート (TC3 + TC4 の場合)

9.3.6 16 ビットイベントカウンタモード (TC3 + 4)

このモードは TC3 端子の立ち下がりエッジでカウントアップするモードです。

タイマカウンタ 3 と 4 とをカスケード接続することにより、16 ビットイベントカウンタモードとして使用することができます。

TC4CR<TC4S> によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) の設定値が一致すると INTTC4 割り込み要求が発生し、カウンタがクリアされます。カウンタクリア後も TC3 端子入力の立ち下がりエッジごとにカウントアップは継続されます。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c/2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s/2^4$ [Hz] となります。

タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) イベントカウンタモード時は、TC_jCR<TFF_j> を “0” に固定してください。固定されない場合は、 $\overline{\text{PDO}}_j/\text{PWM}_j/\text{PPG}_j$ 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREG_j の設定値を変更しないでください。イベントカウンタモード時、TTREG_j はシフトレジスタ構成となりませんので、TTREG_j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG_j を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

9.3.7 16 ビットパルス幅変調 (PWM) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PWM 出力を行うモードです。タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PWM モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) 設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込みが発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c/2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s/2^4$ [Hz] となります。

タイマ F/F4 は、TC4CR<TFF4> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F4 は “0” にクリアされます。

(PWM4 端子からはタイマ F/F4 値の反転レベルが出力されます)

PWM モード中の PWREG4, 3 は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREG4, 3 の設定値を変更することが可能です。タイマ動作中、PWREG4, 3 への設定値は INTTC4 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREG4, 3 にデータを設定した直後にシフトされます。PWREG4, 3 の書き替えを行うときは、必ず下位側 (PWREG3)、上位側 (PWREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG4, 3 に対してリード命令を実行すると PWREG4, 3 の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREG4, 3 を設定してから INTTC4 割り込み要求までの間は、前回の PWREG4, 3 設定値が読み込まれます。

PWM 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

- 注 1) PWM モード時、タイマレジスタ PWREG4, 3 への書き込みは、INTTC4 割り込み要求発生直後 (通常は INTTC4 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREG4, 3 への書き込みと INTTC4 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC4 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、PWM4 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4> の操作を行ってください (タイマ停止と同時に TC4CR<TFF4> の設定を変更しないでください)。
例: タイマカウンタ停止時に PWM4 端子を “H” レベルに固定する。
CLR (TC4CR).3; タイマ停止
CLR (TC4CR).7; PWM4 端子を “H” レベルに設定
- 注 3) STOP モードを起動する場合は、事前にタイマカウンタを停止してください。PWM 出力中に STOP モードを起動すると、STOP モード解除後のウォーミングアップ中に PWM4 端子からパルスが出力されます (ソースクロックとして fc, fc/2 または fs を選択した場合)。

表 9-7 16 ビット PWM 出力モード

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード	DV7CK = 0		DV7CK = 1	fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時
fc/2 ¹¹	fs/2 ³ [Hz]	fs/2 ³ [Hz]	128 μs	244.14 μs	8.39 s	16 s
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	524.3 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	131.1 ms	—
fc/2 ³	fc/2 ³	—	500ns	—	32.8 ms	—
fs	fs	fs	30.5 μs	30.5 μs	2 s	2 s
fc/2	fc/2	—	125 ns	—	8.2 ms	—
fc	fc	—	62.5 ns	—	4.1 ms	—

(プログラム例) 周期 32.768 ms、“H” レベル幅 1 ms のパルスを出力する (fc = 16.0 MHz 時)

- LDW (PWREG3), 07D0H ; ポートを設定する ; パルス幅の設定
- LD (TC3CR), 33H ; 動作クロックを fc/2³、16 ビット PWM モード (下位側) ; に設定
- LD (TC4CR), 056H ; TFF4 初期値 “0”、16 ビット PWM モード (上位側) ; に設定
- LD (TC4CR), 05EH ; タイマスタート

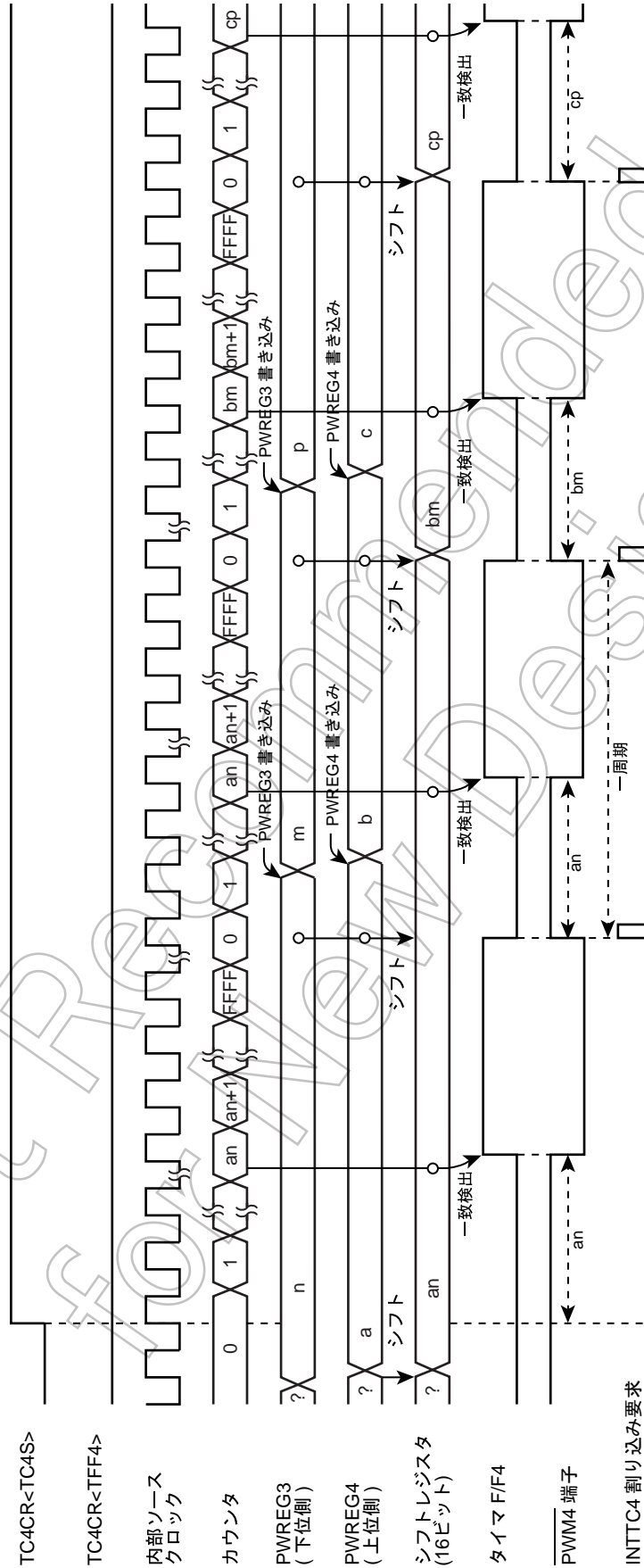


図 9-7 16 ビット PWM モード タイミングチャート (TC3 + TC4 の場合)

9.3.8 16ビットプログラマブルパルスジェネレータ (PPG) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PPG 出力を行うモードです。

タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PPG モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) の設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、タイマレジスタ (TTREG3, TTREG4) 設定との一致でタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込み要求が発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c/2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s/2^4$ [Hz] となります。

タイマ F/F4 は、TC4CR<TFF4> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F4 は “0” にクリアされます。

(PPG4 端子からはタイマ F/F4 値の反転レベルが出力されます)

なお、タイマレジスタは、必ず下位側、上位側の順 (TTREG3 → TTREG4、PWREG3 → PWREG4) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PPG 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

(プログラム例) 周期 16.385 ms、“H” レベル幅 1 ms のパルスを出力する ($f_c = 16.0$ MHz 時)

```

          ポートを設定する
LDW      (PWREG3), 07D0H      ; パルス幅の設定
LDW      (TTREG3), 8002H      ; 周期の設定
LD       (TC3CR), 33H        ; 動作クロックを  $f_c/2^3$ 、16 ビット PPG モード
          ; (下位側) に設定
LD       (TC4CR), 057H       ; TFF4 初期値 “0”、16 ビット PPG モード
          ; (上位側) に設定
LD       (TC4CR), 05FH       ; タイマスタート

```

注 1) プログラマブルパルスジェネレータモード時は、タイマ動作中に PWREG_i, TTREG_i の設定値を変更しないでください。プログラマブルパルスジェネレータモード時、PWREG_i, TTREG_i はシフトレジスタ構成となりませんので、PWREG_i, TTREG_i への設定値は書き替え直後に反映されます。従ってタイマ動作中に PWREG_i, TTREG_i を書き替えると想定している動作を得られない場合があります。

注 2) PPG 出力中にタイマを停止すると、PPG4 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4> の操作を行ってください。タイマ停止と同時に TC4CR<TFF4> の設定を変更しないでください。

例：タイマカウンタ停止時に PPG4 端子を “H” レベルに固定する。

```

CLR      (TC4CR).3; タイマ停止
CLR      (TC4CR).7; PPG4 端子を “H” レベルに設定

```

注 3) $i = 3, 4$

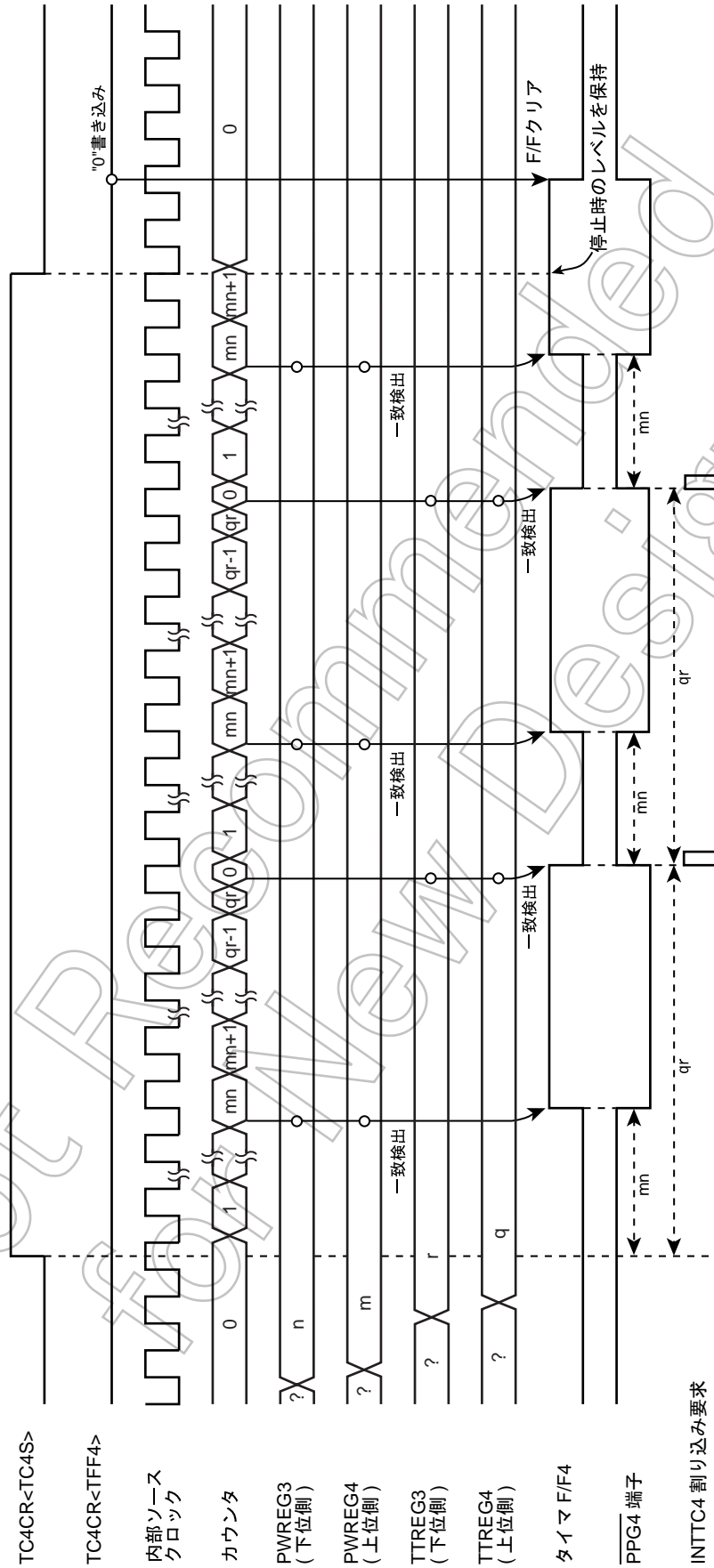


図 9-8 16 ビット PPG モードタイミングチャート (TC3 + TC4 の場合)

9.3.9 ウォーミングアップカウンタモード

システムクロックを高周波と低周波の間で切り替えるときに発振器が安定して動作するまでのウォーミングアップ時間を確保するモードです。タイマカウンタ3と4をカスケード接続し16ビットモードとして使用します。ウォーミングアップカウンタモードは、高周波から低周波に切り替えるときと、低周波から高周波に切り替えるときの2つのモードがあります。

- 注1) ウォーミングアップカウンタモード時は、TCiCR<TFFi>を“0”に固定してください。固定されない場合は、PDOi/PWMI/PPGi端子からパルスが出力されることがあります。
- 注2) ウォーミングアップカウンタモード時は、タイマレジスタ TTREG4, 3の下位8ビットは一致検出の対象外となり、上位8ビットのみの一致検出となります。
- 注3) i = 3, 4

9.3.9.1 低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)

低周波クロック fs が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XTEN>を“1”に設定し低周波クロックを発振させます。TC4CR<TC4S>によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG4, 3) 設定との一致で INTTC4 割り込み要求が発生し、カウンタがクリアされます。INTTC4 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK>を“1”に設定し、システムクロックを高周波から低周波に切り替えます。その後、SYSCR2<XEN>を“0”に設定し、高周波クロックを停止します。

表 9-8 低周波ウォーミングアップカウンタモードの設定時間 (fs = 32.768 kHz 時)

最小設定時間 (TTREG4, 3 = 0100H)	最大設定時間 (TTREG4, 3 = FF00H)
7.81 ms	1.99 s

(プログラム例) TC4, 3 で低周波クロックの安定した発振を確認後、SLOW1 モードへ切り替え

```

SET      (SYSCR2).6      ;SYSCR2<XTEN> ← “1”
LD       (TC3CR).43H     ;TFF3 = “0”, ソースクロック fs, 16ビットモードに設定
LD       (TC4CR).05H     ;TFF4 = “0”, ウォーミングアップカウンタモードに設定
LD       (TTREG3).8000H  ;ウォーミングアップ時間をセット
                          ;(発振器の特性で時間を決定します)
DI       ;IMF ← “0”
SET      (EIRH).1        ;INTTC4 割り込みを許可
EI       ;IMF ← “1”
SET      (TC4CR).3       ;TC4, 3 スタート
:        :
PINTTC4: CLR      (TC4CR).3 ;TC4, 3 ストップ
SET      (SYSCR2).5       ;SYSCR2<SYSCK> ← “1”
                          ;(システムクロックを低周波に切り替え)
CLR      (SYSCR2).7       ;SYSCR2<XEN> ← “0” (高周波クロック停止)
RETI
:        :
VINTTC4: DW        PINTTC4 ;INTTC4 ベクタテーブル

```

9.3.9.2 高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

高周波クロック f_c が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XEN> を“1”に設定し高周波クロックを発振させます。TC4CR<TC4S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG4, 3) 設定との一致で INTTC4 割り込み要求が発生し、カウンタがクリアされます。INTTC4 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を“0”に設定し、システムクロックを低周波から高周波に切り替えます。その後、SYSCR2<XTEN> を“0”に設定し、低周波クロックを停止します。

表 9-9 高周波ウォーミングアップカウンタモードの設定時間

最小設定時間 (TTREG4, 3 = 0100H)	最大設定時間 (TTREG4, 3 = FF00H)
16 μ s	4.08 ms

(プログラム例) TC4, 3 で高周波クロックの安定した発振を確認後、NORMAL1 モードへ切り替え

```

SET      (SYSCR2).7      ; SYSCR2<XEN> ← “1”
LD       (TC3CR), 63H    ; TFF3 = “0”, ソースクロック  $f_c$ ,
                        ; 16 ビットモードに設定
LD       (TC4CR), 05H    ; TFF4 = “0”, ウォーミングアップカウンタモード
                        ; に設定
LD       (TTREG3), 0F800H ; ウォーミングアップ時間をセット
                        ; (発振器の特性で時間を決定します)
DI       ; IMF ← “0”
SET      (EIRH).1       ; INTTC4 割り込みを許可
EI       ; IMF ← “1”
SET      (TC4CR).3      ; TC4, 3 スタート
:
:
PINTTC4: CLR      (TC4CR).3 ; TC4, 3 ストップ
          CLR      (SYSCR2).5 ; SYSCR2<SYSCK> ← “0”
          ; (システムクロックを高周波に切り替え)
          CLR      (SYSCR2).6 ; SYSCR2<XTEN> ← “0”
          ; (低周波クロック停止)
          RETI
:
:
VINTTC4: DW      PINTTC4 ; INTTC4 ベクタテーブル

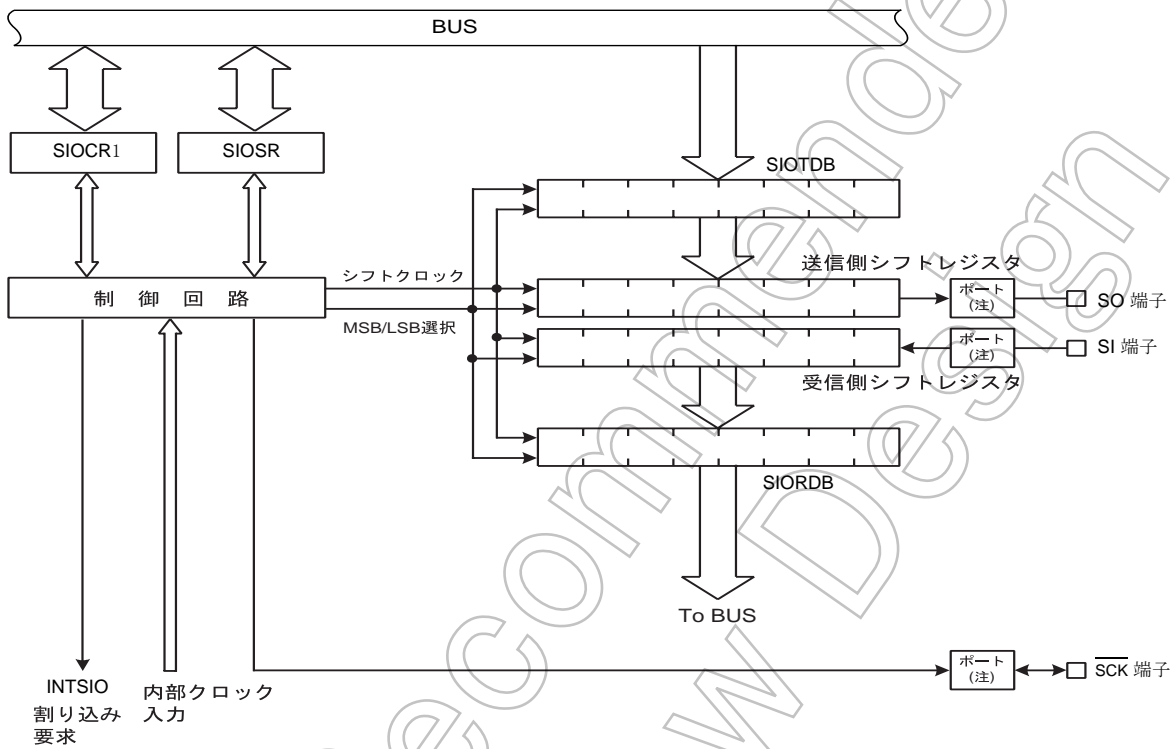
```

Not Recommended
for New Design

第 10 章 同期式シリアルインタフェース (SIO)

SIOはSI, SO, $\overline{\text{SCK}}$ 端子を通して外部デバイスと接続されます。これらのI/O端子をシリアルインタフェース用の端子として使用する場合、対応するポートの出力ラッチを“1”にセットします。

10.1 構成



注 1) 兼用入出力端子の入出力制御を正しく設定してください。
詳しくは入出力ポート制御レジスタの項を参照してください。

図 10-1 同期式シリアルインタフェース (SIO)

10.2 制御

SIO の制御は、シリアルインタフェース制御レジスタ (SIOCR1) で行います。また、ステータスレジスタ (SIOSR) を読むことにより、シリアルインタフェースの動作状態を知ることができます。

シリアルインタフェース制御レジスタ

SIOCR1 (0026H)	7	6	5	4	3	2	1	0	
	SIOS	SIOINH	SIOM	SIODIR	SCK				(初期値: 0000 0000)

SIOS	転送動作の開始 / 終了制御	0: 動作終了 1: 動作開始			R/W	
SIOINH	転送の強制終了 (注 1)	0: - 転送強制停止 (停止後自動的に "0" にクリア)				
SIOM	転送モードの選択	00: 送信モード 01: 受信モード 10: 送受信モード 11: Reserved				
SIODIR	転送方向の選択	0: MSB (ビット 7) から転送を行う 1: LSB (ビット 0) から転送を行う				
SCK	シリアルクロックの選択	NORMAL1/2 or IDLE1/2 モード		SLOW/SLEEP モード		
		TBTCR <DV7CK> = "0"	TBTCR <DV7CK> = "1"			
		000	fc/2 ¹²	fs/2 ⁴		fs/2 ⁴
		001	fc/2 ⁸	fc/2 ⁸		Reserved
		010	fc/2 ⁷	fc/2 ⁷	Reserved	
		011	fc/2 ⁶	fc/2 ⁶	Reserved	
		100	fc/2 ⁵	fc/2 ⁵	Reserved	
101	fc/2 ⁴	fc/2 ⁴	Reserved			
110	fc/2 ³	fc/2 ³	Reserved			
111	外部クロック (SCK 端子から入力)					

注 1) SIOINH に "1" を書き込んだ場合、SIOCR1 <SIOS>, SIOSR レジスタ, SIORDB レジスタ, SIOTDB レジスタ が初期値に初期化されます。

注 2) 転送モード、転送方向、シリアルクロックの選択は、動作停止中 (SIOSR<SIOF>= "0") に行ってください。

注 3) fc: 高周波クロック [Hz]、fs: 低周波クロック、*: Don't care

シリアルインタフェースステータスレジスタ

SIOSR (0027H)	7	6	5	4	3	2	1	0	
	SIOF	SEF	TXF	RXF	TXERR	RXERR			(初期値: 0010 00**)

SIOF	シリアル転送動作状態モニタ	0: 動作停止中 1: 動作中	Read only
SEF	クロック数モニタ	0: 8クロック目 1: 1-7クロック目	
TXF	送信バッファエンプティフラグ	0: 送信バッファにデータあり 1: 送信バッファにデータなし	
RXF	受信バッファフルフラグ	0: 受信バッファにデータなし 1: 受信バッファにデータあり	
TXERR	送信エラーフラグ	Read 時 0: -(エラー発生なし) 1: 外部クロック動作時に送信バッファアンダーランが発生 Write 時 0: フラグのクリア 1: -(ソフトで "1" を書き込むことはできません)	R/W
RXERR	受信エラーフラグ	Read 時 0: -(エラー発生なし) 1: 外部クロック動作時に受信バッファオーバーランが発生 Write 時 0: フラグのクリア 1: -(ソフトで "1" を書き込むことはできません)	

- 注 1) TXERR, RXERR は、SIOS に "0" を書き込み、転送動作を終了しても "0" にクリアされません。従って TXERR, RXERR をクリアするには、これらのビットに "0" を書き込むか、SIOC1 <SIOINH> に "1" を書き込んでください。
- 注 2) *: Don't care

受信バッファレジスタ

SIORDB (0028H)	7	6	5	4	3	2	1	0	Read only
									(初期値: 0000 0000)

送信バッファレジスタ

SIOTDB (0028H)	7	6	5	4	3	2	1	0	Write only
									(初期値: **** ***)

- 注 1) SIOTDB は書き込み専用レジスタですので、ビット操作などリードモディファイライト命令でアクセスしないでください。
- 注 2) SIOTDB は、SIOSR <TXF> が "1" であることを確認した後にデータを書き込んでください。SIOSR<TXF> が "0" のときにデータを書き込んでも、書き込んだデータは SIOTDB に転送されません。
- 注 3) *: Don't care

10.3 機能

10.3.1 シリアルクロック

10.3.1.1 クロックソース

シリアルクロックは、SIOCR1 <SCK> によって選択されます。なお、シリアルクロックの変更は、SIO が動作停止中 (SIOSR<SIOF>=“0”) に行ってください。

(1) 内部クロック

SIOCR1<SCK> に“111B”以外を設定すると、“表 10-1 シリアルクロックレート ($f_c = 16$ MHz, $f_s = 32.768$ Hz)” に示すクロックレートに従って、シリアルクロックが $\overline{\text{SCK}}$ 端子から出力されます。なお、転送開始前および転送終了時、 $\overline{\text{SCK}}$ 端子は“H”レベルになります。

プログラムでのデータの書き込み (送信時) またはデータの読み取り (受信時) 処理が、このシリアルクロックレートに追従できない場合、“図 10-2 自動ウェイト機能 (送信モードの例)” のように $\overline{\text{SCK}}$ 端子を“H”レベルで一時停止し、データバッファへのアクセスが行われるまで、シフト動作を待機させる自動ウェイト機能を内蔵しています。データの書き込み、データの読み出しにより、自動ウェイトが解除され $\overline{\text{SCK}}$ 端子からシリアルクロックが出力されるまで、最大で、選択されているシリアルクロックの 1 周期かかります。

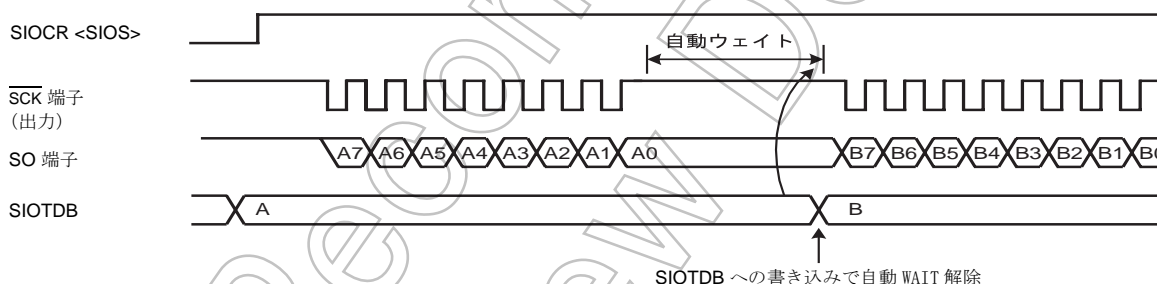


図 10-2 自動ウェイト機能 (送信モードの例)

表 10-1 シリアルクロックレート ($f_c = 16$ MHz, $f_s = 32.768$ Hz)

SCK	NORMAL1/2, IDLE1/2 モード				SLOW1/2, SLEEP1/2 モード	
	TBTCR<DV7CK> = "0"		TBTCR<DV7CK> = "1"		シリアルクロック	転送速度
	シリアルクロック	転送速度	シリアルクロック	転送速度		
000	$f_c/2^{12}$	3.906 kbps	$f_s/2^4$	2048 bps	$f_s/2^4$	2048 bps
001	$f_c/2^8$	62.5 kbps	$f_c/2^8$	62.5 kbps	Reserved	-
010	$f_c/2^7$	125 kbps	$f_c/2^7$	125 kbps	Reserved	-
011	$f_c/2^6$	250 kbps	$f_c/2^6$	250 kbps	Reserved	-
100	$f_c/2^5$	500 kbps	$f_c/2^5$	500 kbps	Reserved	-
101	$f_c/2^4$	1.00 Mbps	$f_c/2^4$	1.00 Mbps	Reserved	-
110	$f_c/2^3$	2.00 Mbps	$f_c/2^3$	2.00 Mbps	Reserved	-

(2) 外部クロック

SIOCR1<SCK>に“111B”を設定すると、外部から $\overline{\text{SCK}}$ 端子に供給されるクロックが、シリアルクロックとして使用されます。

シフト動作が確実に行われるために、シリアルクロックのパルス幅は、“H”レベル、“L”レベルともに $4/f_c$ 以上必要です。

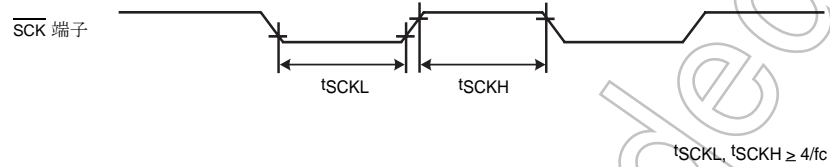


図 10-3 外部クロック

10.3.1.2 シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

(1) 前縁シフト

シリアルクロックの前縁 ($\overline{\text{SCK}}$ 端子入出力の立ち下がりエッジ) でデータをシフトします。

(2) 後縁シフト

シリアルクロックの後縁 ($\overline{\text{SCK}}$ 端子入出力の立ち上がりエッジ) でデータをシフトします。

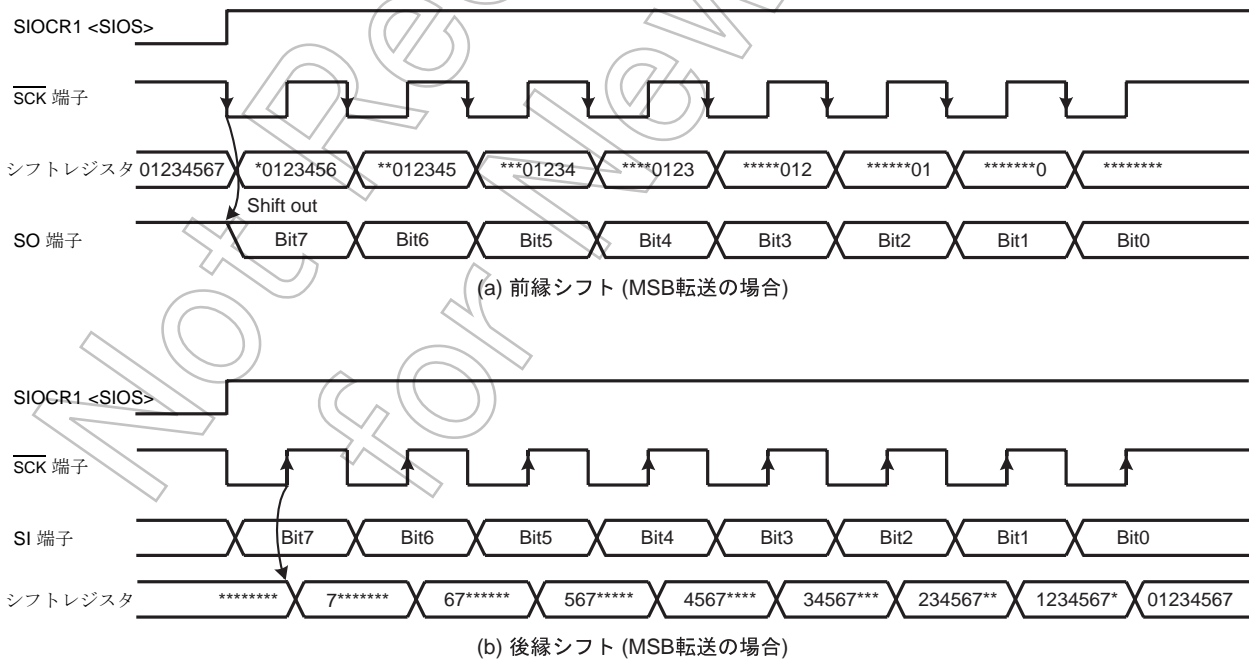


図 10-4 シフトエッジ

10.3.2 転送ビット方向

転送ビット方向は、SIOCR1 <SIODIR> によって選択されます。なお、データの転送方向は、送信、受信で個別に設定することはできません。また、転送ビット方向の変更は、SIO 動作停止中 (SIOSR <SIOF> = “0”) に行ってください。

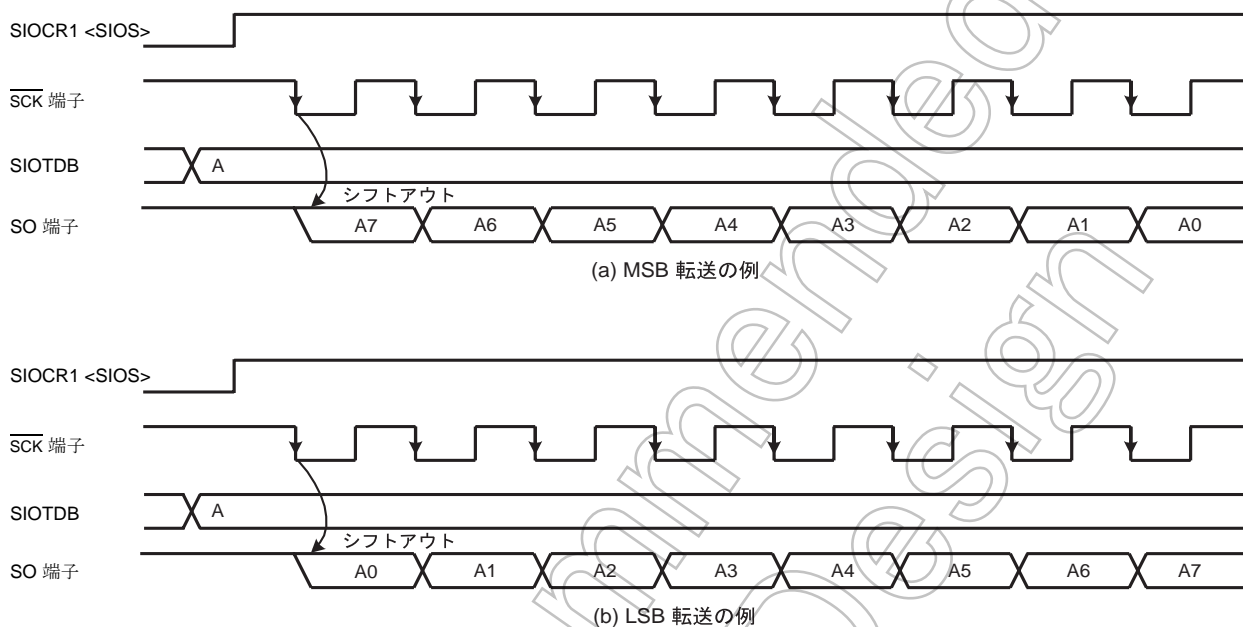


図 10-5 転送ビット方向 (送信モードの例)

10.3.2.1 送信モード

(1) MSB 転送

SIOCR1 <SIODIR> に “0” を書き込むと MSB 送信モードとなり、SO 端子から、送信データのビット 7 よりビット 0 へと順次送信されます。

(2) LSB 転送

SIOCR1 <SIODIR> に “1” を書き込むと LSB 送信モードとなり、SO 端子から、送信データのビット 0 よりビット 7 へと順次送信されます。

10.3.2.2 受信モード

(1) MSB 受信

SIOCR1 <SIODIR> に “0” を書き込むと MSB 受信モードとなり、SI 端子からデータが、シフトレジスタのビット 7 からビット 0 へと順次取り込まれます。

(2) LSB 受信

SIOCR1 <SIODIR> に“1”を書き込むと LSB 受信モードとなり、SI 端子からデータが、シフトレジスタのビット 0 からビット 7 へと順次取り込まれます。

10.3.2.3 送受信モード

(1) MSB 送受信

SIOCR1 <SIODIR> に“0”を書き込むと MSB 送受信モードとなり、SO 端子から、送信データのビット 7 よりビット 0 へと順次送信され、SI 端子からデータが、シフトレジスタのビット 7 からビット 0 へと順次取り込まれます。

(2) LSB 送受信

SIOCR1 <SIODIR> に“1”を書き込むと LSB 送受信モードとなり、SO 端子から、送信データのビット 0 よりビット 7 へと順次送信され、SI 端子からデータが、シフトレジスタのビット 0 からビット 7 へと順次取り込まれます。

10.3.3 転送モード

転送モードは、SIOCR1 <SIOM> によって送信 / 受信 / 送受信モードのいずれかを選択できます。

10.3.3.1 送信モード

SIOCR1 <SIOM> に“00B”を設定すると、送信モードになります。

(1) 送信開始

SIOCR1 <SIOM> に“00B”を書き込むことによって送信モードに設定し、SIOCR1 <SCK> でシリアルクロックを、SIOCR1 <SIODIR> で転送ビット方向を設定します。

送信バッファレジスタ (SIOTDB) に送信データをセットすると、SIOSR <TXF> が“0”にクリアされます。

SIOCR1 <SIOS> に“1”を書き込むと、 $\overline{\text{SCK}}$ 端子の立ち下がりエッジに同期して、SIOSR <SIOF> が“1”にセットされます。

SO 端子から $\overline{\text{SCK}}$ 端子の立ち下がりエッジに同期して、SIOCR1 <SIODIR> で選択した転送ビット方向より順にデータの送信が開始されます。

$\overline{\text{SCK}}$ 端子の 1 クロック目の立ち下がりから、8 クロック目の立ち下がりまでの間、SIOSR <SEF> が“1”にセットされます。

SIOTDB に書き込まれたデータがシフトレジスタに転送された後の $\overline{\text{SCK}}$ 端子の立ち上がりで、SIOSR <TXF> が“1”にセットされます。また、次の $\overline{\text{SCK}}$ 端子の立ち下がりですべての INTSIO 割り込み要求が発生します。

注 1) 内部クロック動作の場合、送信バッファに送信データを書き込まれていない状態で SIOCR1 <SIOS> に“1”をセットしても、送信は開始されません。

注 2) 内部クロック動作の場合、SIOCR1 <SIOS> が“1”にセットされると、最大で、選択されているシリアルクロックの 1 周期後、SIOTDB に書き込まれたデータがシフトレジスタに転送され、 $\overline{\text{SCK}}$ 端子からシリアルクロックが出力されます。

注 3) 外部クロック動作の場合、SIOCR1 <SIOS> が “1” にセットされた後、 $\overline{\text{SCK}}$ 端子の立ち下がりがエッジが入力されると、直ちに SIOTDB に書き込まれたデータがシフトレジスタに転送され、SO 端子から、SIOCR1 <SIODIR> で選択した転送ビット方向より順に送信が開始されます。

(2) 送信動作中

SIOTDB にデータを書き込むと、SIOSR<TXF> は “0” にクリアされます。

内部クロック動作において、8 ビットの送信データすべての送信が終了したとき、次に送信するデータが SIOTDB に書き込まれていない場合、自動ウェイト機能が動作して $\overline{\text{SCK}}$ 端子が “H” レベルになります。送信するデータを SIOTDB に書き込むと、自動ウェイト動作は解除され、最大で、選択されているシリアルクロックの 1 周期後、送信動作が再開されます。

SIOSR<TXF> が “1” のとき、8 ビットの送信データすべてを送信する前に SIOTDB にデータを書き込むと、送信中のデータが送信された後、続けて書き込んだデータが送信されません。

外部クロック動作のとき、SIOSR<TXF> が “1” にセットされてから、次のデータのシフト動作に入る前に、送信データを SIOTDB に書き込む必要があります。送信データが書き込まれなかった場合、シフト動作に入った直後に送信エラーが発生し、SIOSR<TXERR> が “1” にセットされ、INTSIO 割り込み要求が発生します。

(3) 送信終了

送信動作を終了させるには、以下の 2 つの方法があります。

- SIOCR1<SIOS> に “0” を書き込む方法
SIOCR1<SIOS> に “0” を書き込むと、すべての送信データが転送を終了した後、送信動作を停止します。送信動作が終了すると SIOSR<SIOF> が “0” にクリアされ、SO 端子が “H” レベルになります。
外部クロック動作の場合、次の転送の開始によって SIOSR<SEF> が “1” にセットされる前に、SIOCR1 <SIOS> に “0” を書き込みます。
- SIOCR1<SIOINH> に “1” を書き込む方法
SIOCR1<SIOINH> に “1” を書き込むと、直ちに送信を終了します。この場合、SIOCR1 <SIOS>、SIOSR レジスタ、SIORDB レジスタ、SIOTDB レジスタが初期化されます。

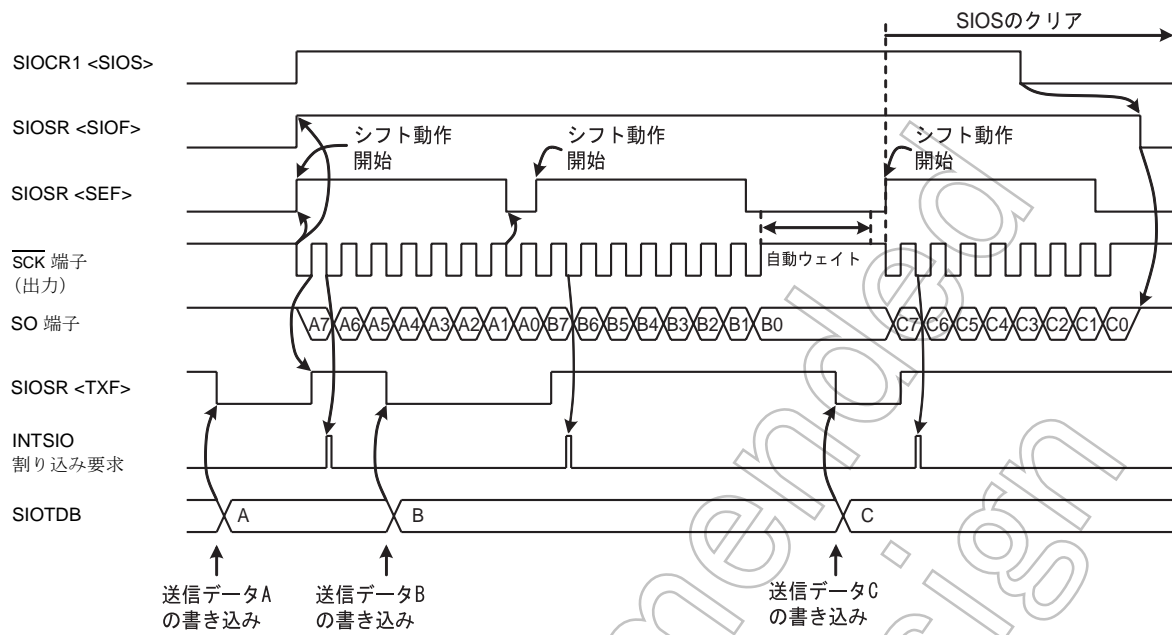


図 10-6 内部クロック、MSB 送信の例

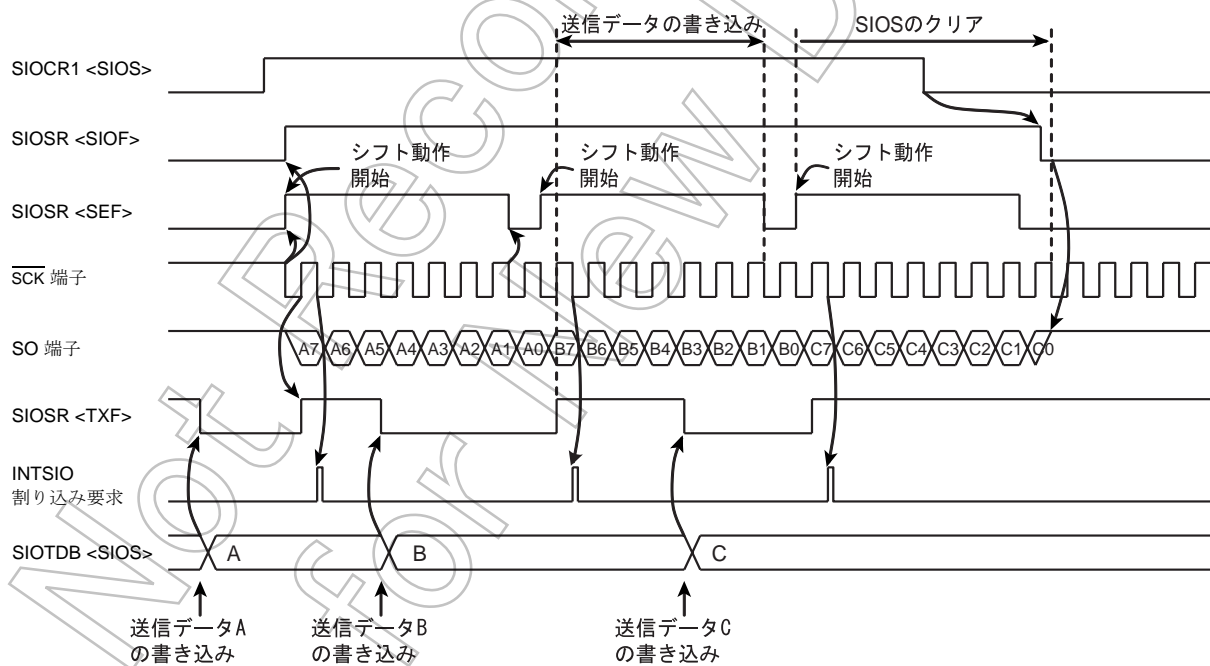


図 10-7 外部クロック、MSB 送信の例

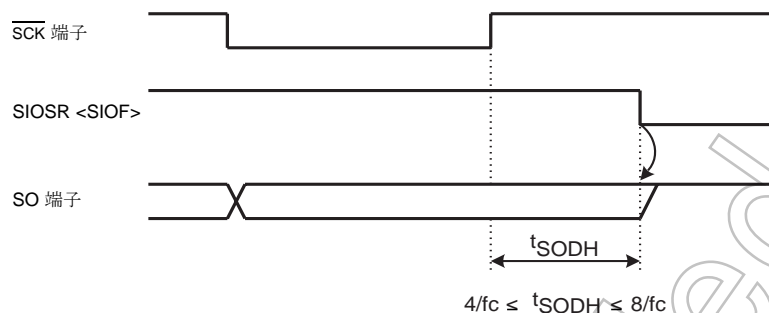


図 10-8 送信終了時のデータ保持時間

(4) 送信エラー処理

下記の状態が発生すると、送信エラーとなります。

- 外部クロック動作のとき、次の送信データを SIOTDB に書き込む前に、シフト動作が開始された場合。

送信途中で送信エラーが発生した場合、シフト動作開始直後に SIOSR <TXERR> が “1” にセットされ、シフト動作が行われた次のクロックの立ち下がり で INTSIO 割り込み要求が発生します。

SIOCR1 <SIOS> を “1” にセットした後、SIOTDB にデータを書き込む前にシフト動作が開始された場合、シフト動作開始直後に SIOSR <TXERR> が “1” にセットされると同時に、INTSIO 割り込み要求が発生します。

SIOSR <TXERR> が “1” にセットされると、SO 端子からは “H” レベルが出力されます。

送信エラーが発生した場合、SIOCR1 <SIOINH> に “1” を書き込み、送信動作を強制停止させます。この場合、SIOCR1 <SIOS>、SIOSR レジスタ、SIORDB レジスタ、SIOTDB レジスタが初期化されます。

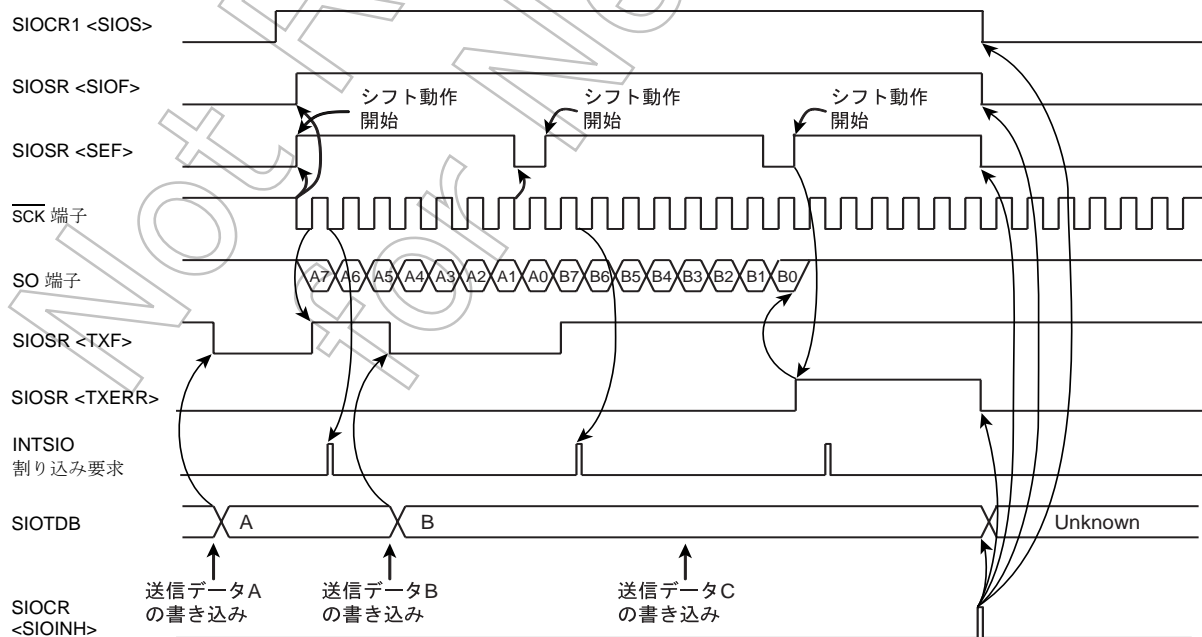


図 10-9 送信モードエラー処理の例

10.3.3.2 受信モード

SIOCR1 <SIOM> に“01B”を書き込むと、受信モードになります。

(1) 受信開始

SIOCR1 の SIOCR1 <SIOM> に、“01B”を書き込み受信モードに設定し、SIOCR1 <SCK> でシリアルクロックを、SIOCR1 <SIODIR> で転送ビット方向を設定します。

$\overline{\text{SCK}}$ 端子の立ち上がりエッジに同期して、SI 端子から SIOCR1 <SIODIR> で選択した転送ビット方向より順にシフトレジスタにデータが受信されます。

$\overline{\text{SCK}}$ 端子の 1 クロック目の立ち下がりから、8 クロック目の立ち下がりエッジまでの間、SIOSR<SEF> が“1”にセットされます。

8 ビットのデータが受信されると受信データがシフトレジスタから SIORDB に転送され、SIOSR<RXF> が“1”にセットされるとともに、INTSIO 割り込み要求が発生します。

注) 内部クロック動作の場合、SIOCR1 <SIOS> が“1”にセットされると、最大、選択されているシリアルクロックの 1 周期分後、 $\overline{\text{SCK}}$ 端子からシリアルクロックが出力されます。

(2) 受信動作中

SIORDB からデータを読み出すと、SIOSR<RXF> は“0”にクリアされます。

内部クロック動作において、8 ビットの受信データすべての受信が終了したとき、自動ウェイト機能が動作し $\overline{\text{SCK}}$ 端子が“H”レベルになります。SIORDB から受信データを読み出すと、自動ウェイト動作は解除され、最大で、選択されているシリアルクロックの 1 周期後、受信動作が再開されます。

外部クロック動作のとき、SIOSR<RXF> が“1”にセットされてから、次の受信データのシフト動作が終了する前に、SIORDB から受信データを読み出す必要があります。受信データが読み出されなかった場合、シフト動作終了時点で受信エラーが発生し、SIOSR<RXERR> が“1”にセットされ、INTSIO 割り込み要求が発生します。

(3) 受信終了

受信動作を終了させるには、以下の 2 つの方法があります。

- SIOCR1 <SIOS> に“0”を書き込む方法
SIOCR1 <SIOS> に“0”を書き込むと、すべての受信データが転送を終了した後、受信動作を停止します。受信動作が終了すると、SIOSR<SIOF> が“0”にクリアされます。
外部クロック動作の場合、次の転送が開始によって SIOSR<SEF> が“1”にセットされる前に、SIOCR1 <SIOS> に“0”を書き込みます。
- SIOCR1 <SIOINH> に“1”を書き込む方法
SIOCR1 <SIOINH> に“1”を書き込むと、直ちに受信を終了します。この場合、SIOCR1 <SIOS>、SIOSR レジスタ、SIORDB レジスタ、SIOTDB レジスタが初期化されます。

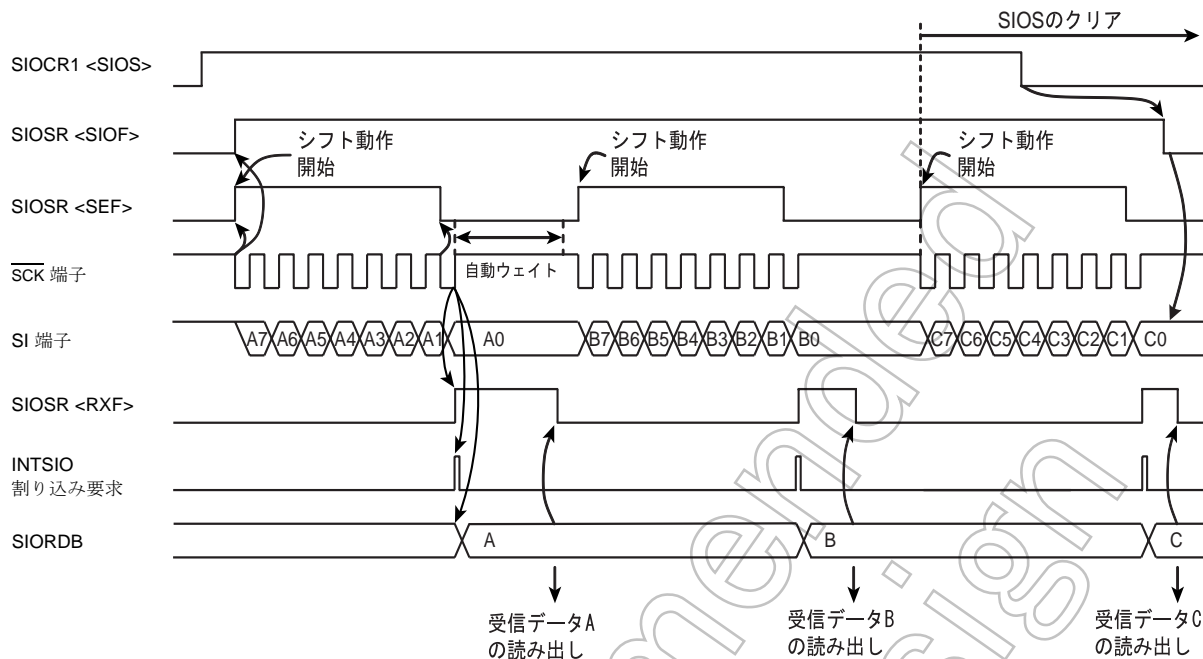


図 10-10 内部クロック、MSB 受信の例

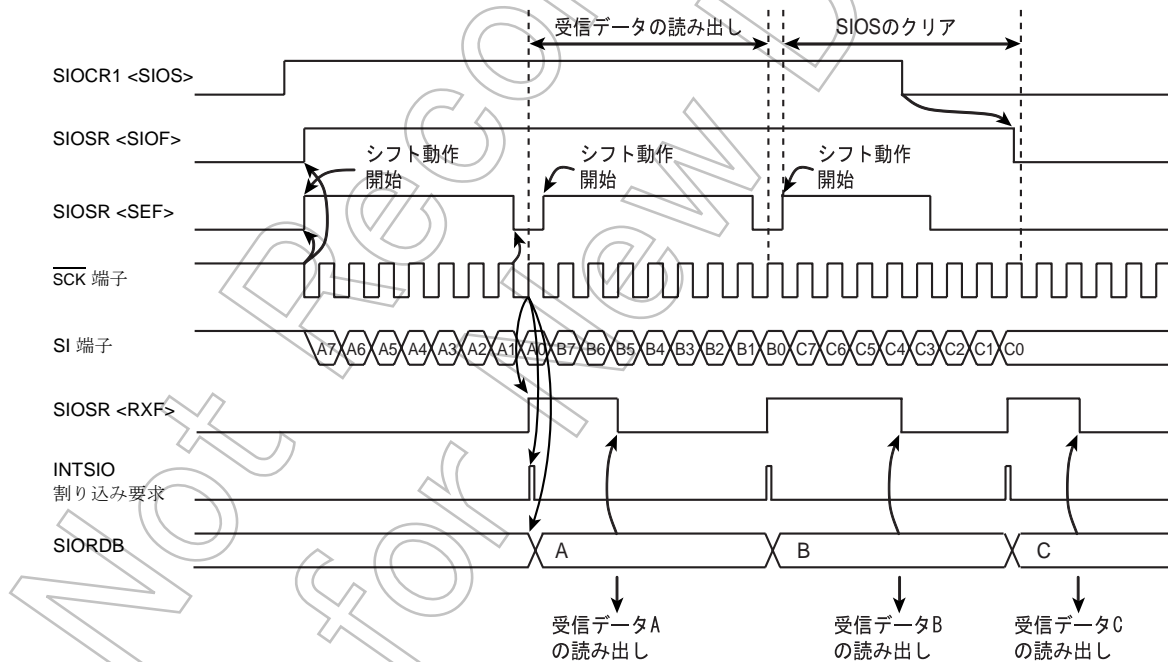


図 10-11 外部クロック、MSB 受信の例

(4) 受信エラー処理

下記の状態が発生すると受信エラーとなり、SIOSR<RXERR> が “1” にセットされ、SIORDB とシフトレジスタ内のデータを保護するため、エラー発生以降の受信データは無視されます。

- 外部クロック動作のとき、SIOSR<RXF> が “1” の状態で、受信データを SIORDB から読み出す前に、次の受信データのシフト動作が終了した場合。

受信エラーが発生した場合、エラー直前の受信データを読み出すには SIOCR1 <SIOS> に“0”を書き込み、受信動作を停止させます。次に、SIORDB からデータを読み出します。その後、再度 SIORDB を読み出すと、エラーが発生したときのシフトレジスタ内のデータを読み出すことができます。すべてのデータを読み出した後、SIOSR<RXERR> に“0”を書き込むと、SIOSR<RXF> が“0”にクリアされます。SIOCR1 <SIOS> を“0”にクリアした後、8ビット分のシリアルクロックが $\overline{\text{SCK}}$ 端子から入力されると、SIOSR<SIOF> が“0”にクリアされ、受信動作は停止します。受信動作を再開する場合には、SIOSR<SIOF> が“0”にクリアされたことを確認してから行ってください。

受信エラーが発生した場合、直ちに受信動作を停止するには、SIOCR1 <SIOINH> に“1”を書き込み、受信動作を強制停止させます。この場合、SIOCR1 <SIOS>、SIOSR レジスタ、SIORDB レジスタ、SIOTDB レジスタが初期化されます。

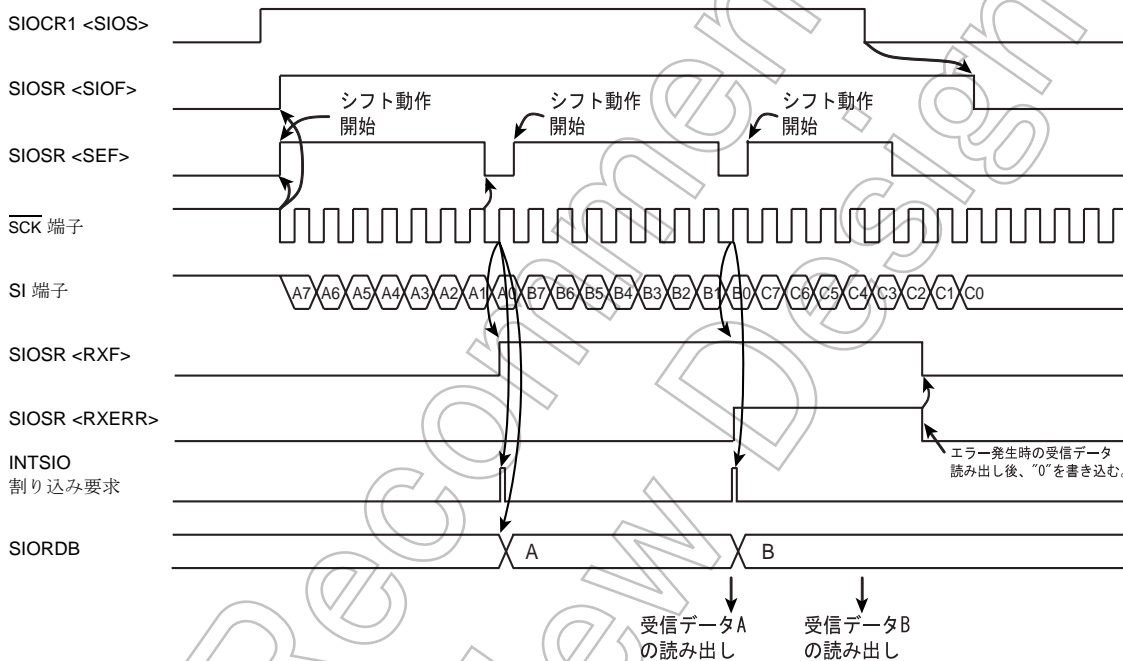


図 10-12 受信モードエラー処理の例

注) 受信エラーが発生した場合、エラー処理を行わないと、それ以降の割り込み要求は発生しません。

10.3.3.3 送受信モード

SIOCR1 <SIOM> に“10B”を書き込むと、送受信モードになります。

(1) 送受信開始

SIOCR1 の SIOCR1 <SIOM> に“10B”を書き込み、送受信モードに設定し、SIOCR1 <SCK> でシリアルクロックを、SIOCR1 <SIODIR> で転送ビット方向を設定します。

送信バッファレジスタ (SIOTDB) に送信データをセットします。送信バッファレジスタにデータが書き込まれると、SIOSR<TXF> が“0”にクリアされます。

SIOCR1 <SIOS> に“1”を書き込むと、 $\overline{\text{SCK}}$ 端子の立ち下がりエッジに同期して、SIOSR<SIOF> が“1”にセットされます。

SO 端子から $\overline{\text{SCK}}$ 端子の立ち下がりに同期して、 $\text{SIOCR1} \langle \text{SIODIR} \rangle$ で選択した転送ビット方向より順にデータの送信が開始されます。また、 $\overline{\text{SCK}}$ 端子の立ち上がりに同期して、 $\text{SIOCR1} \langle \text{SIODIR} \rangle$ で選択した転送ビット方向より順にシフトレジスタにデータが受信されます。

$\overline{\text{SCK}}$ 端子の 1 クロック目の立ち下がりから、8 クロック目の立ち下がりまでの間、 $\text{SIOSR} \langle \text{SEF} \rangle$ が “1” にセットされます。

SIOTDB に書き込まれたデータがシフトレジスタに転送された後の $\overline{\text{SCK}}$ 端子の立ち上がりで、 $\text{SIOSR} \langle \text{TXF} \rangle$ が “1” にセットされます。また、8 ビットのデータが受信されると、受信データがシフトレジスタから SIORDB に転送され、 $\text{SIOSR} \langle \text{RXF} \rangle$ が “1” にセットされるとともに、INTSIO 割り込み要求が発生します。

- 注 1) 内部クロック動作の場合、 $\text{SIOCR1} \langle \text{SIOS} \rangle$ を “1” にセットすると、最大で、選択されているシリアルクロック 1 周期分後、SIOTDB に書き込まれたデータがシフトレジスタに転送され、 $\overline{\text{SCK}}$ 端子からシリアルクロックが出力されます。
- 注 2) 外部クロック動作の場合、 $\text{SIOCR1} \langle \text{SIOS} \rangle$ を “1” にセットした後、 $\overline{\text{SCK}}$ 端子の立ち下がりエッジが入力されると、直ちに SIOTDB に書き込まれたデータがシフトレジスタに転送されます。また $\overline{\text{SCK}}$ 端子の立ち上がりエッジが入力されると、受信動作を開始します。

(2) 送受信動作中

SIOTDB にデータを書き込むと、 $\text{SIOSR} \langle \text{TXF} \rangle$ は “0” にクリアされます。また、SIORDB を読み出すと、 $\text{SIOSR} \langle \text{RXF} \rangle$ は “0” にクリアされます。

内部クロック動作において、8 ビットのデータすべての転送が終了したとき、以下に示す条件下では $\overline{\text{SCK}}$ 端子が “H” レベルになり、自動ウェイト機能が動作します。

- SIORDB から受信データを読み出した後、次の送信データが SIOTDB に書き込まれない場合
- 次の送信データを SIOTDB に書き込んだ後、SIORDB から受信データを読み出されない場合
- 転送後、SIOTDB、SIORDB とともにアクセスされない場合

SIORDB から受信データを読み出した後、送信データを SIOTDB に書き込むか、送信データを SIOTDB に書き込んだ後、SIORDB から受信データを読み出すと、最大で、選択されているシリアルクロック 1 周期分後、自動ウェイト状態は解除され、送受信が再開されます。

外部クロック動作のとき、次のシフト動作に入る前に、SIORDB から受信データを読み出し、送信データを SIOTDB に書き込む必要があります。

$\text{SIOSR} \langle \text{TXF} \rangle$ が “1” にセットされた後に、送信データが書き込まれなかった場合、シフト動作に入った直後に送信エラーが発生し、 $\text{SIOSR} \langle \text{TXERR} \rangle$ が “1” にセットされます。

また、 $\text{SIOSR} \langle \text{RXF} \rangle$ が “1” にセットされてから、次の受信データのシフト動作終了前に SIORDB から受信データを読み出されなかった場合、シフト動作終了時点で受信エラーが発生し、 $\text{SIOSR} \langle \text{RXERR} \rangle$ が “1” にセットされます。

(3) 送受信終了

送受信動作を終了させるには、以下の 2 つの方法があります。

- $\text{SIOCR1} \langle \text{SIOS} \rangle$ に “0” を書き込む方法
 $\text{SIOCR1} \langle \text{SIOS} \rangle$ に “0” を書き込むと、送受信しているデータがすべて転送された後、送受信動作を停止します。送受信が終了すると $\text{SIOSR} \langle \text{SIOF} \rangle$ が “0” にクリアされ、SO 端子が “H” レベルになります。
 外部クロック動作の場合、次のデータの転送が始まることによって $\text{SIOSR} \langle \text{SEF} \rangle$ が “1” になる前に、 $\text{SIOCR1} \langle \text{SIOS} \rangle$ に “0” を書き込みます。
- $\text{SIOCR1} \langle \text{SIOINH} \rangle$ に “1” を書き込む方法
 $\text{SIOCR1} \langle \text{SIOINH} \rangle$ に “1” を書き込むと、直ちに送受信を終了します。この場合、

SIOCR1 <SIOS>、SIOSR レジスタ、SIORDB レジスタ、SIOTDB レジスタが初期化されます。

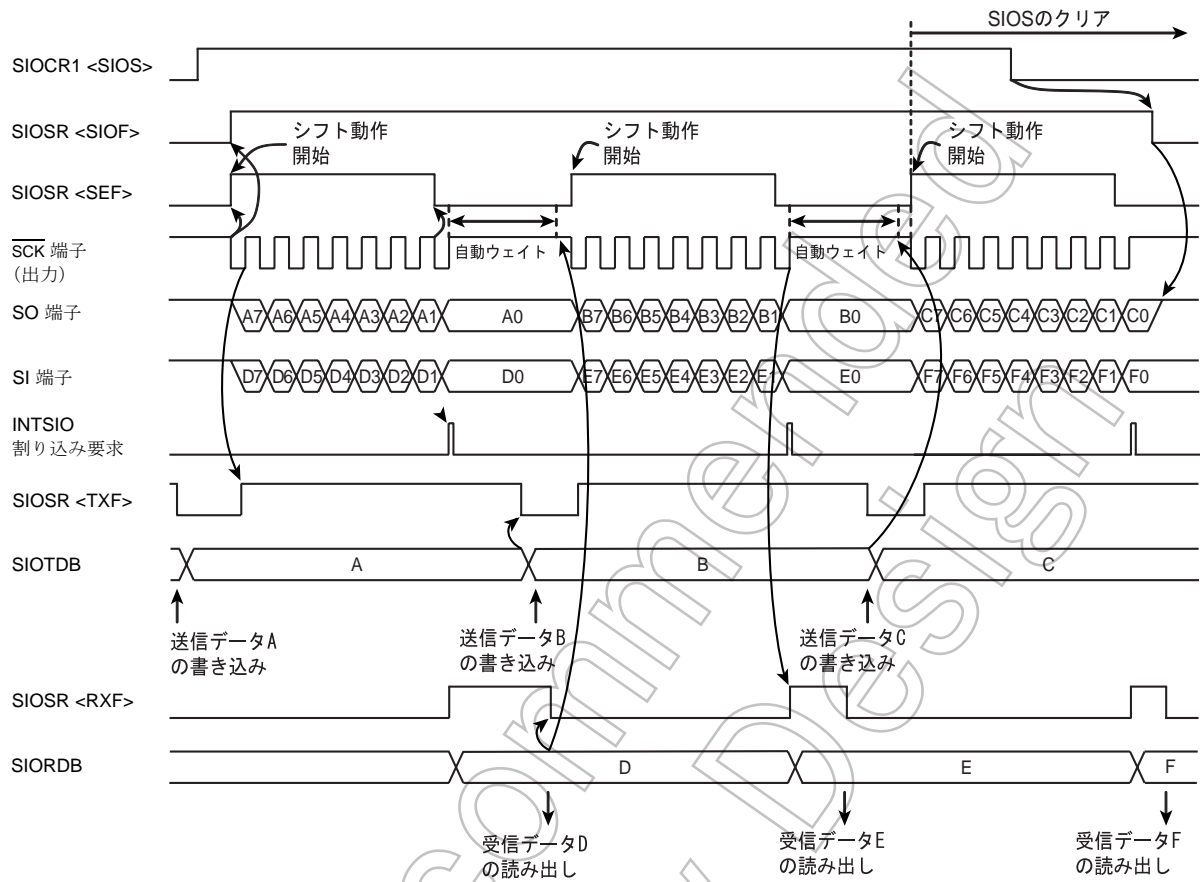


図 10-13 内部クロック、MSB 送受信の例

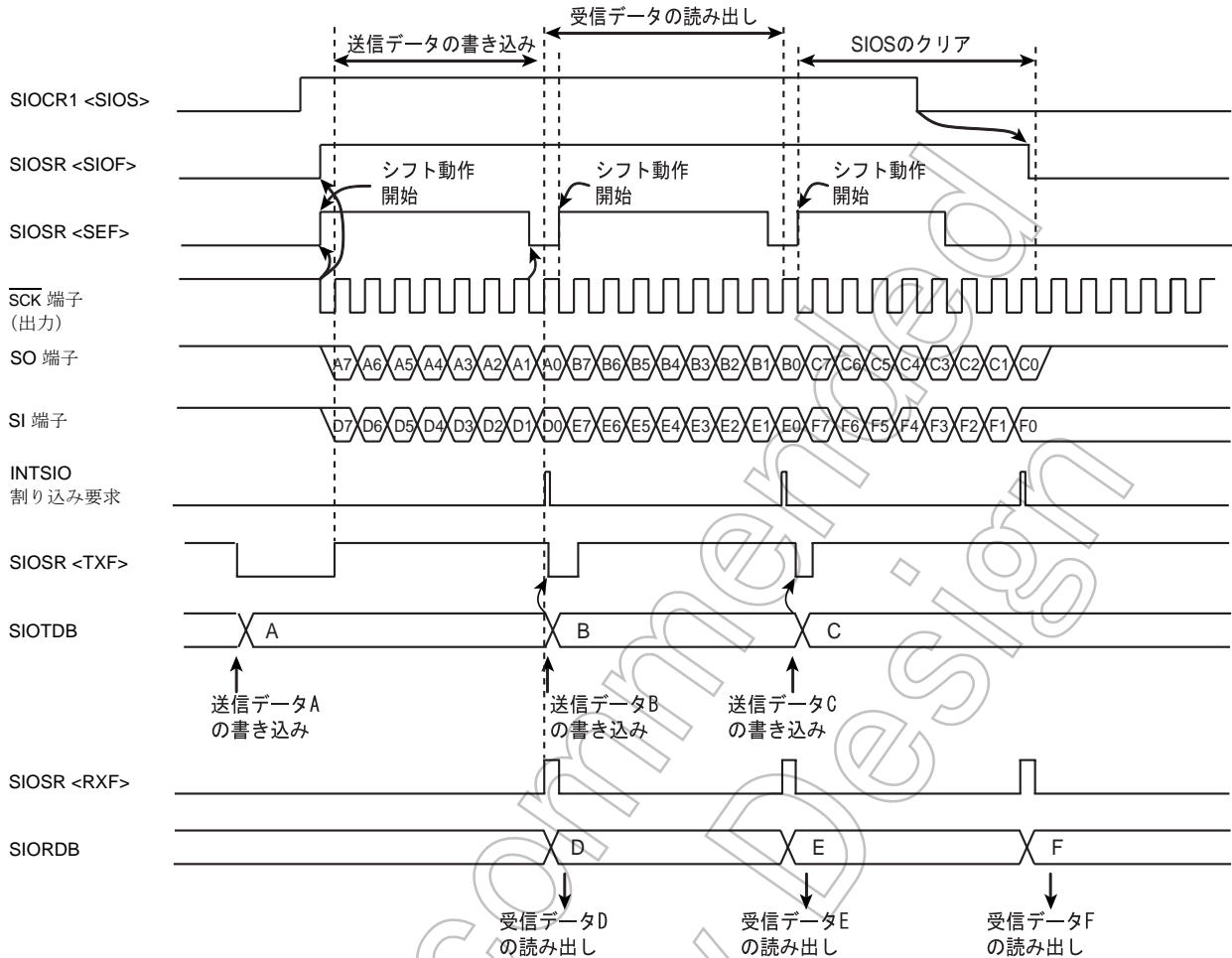


図 10-14 外部クロック、MSB 送受信の例

(4) 送受信エラー処理

下記の状態が発生すると、送受信エラーとなります。送信、受信のどちらでエラーが発生したかによって、エラー発生時の動作が異なります。

(a) 送信エラー

下記の状態が発生すると、送信エラーとなります。

- 外部クロック動作のとき、送信データを SIOTDB に書き込む前にシフト動作が開始された場合。
送信途中で送信エラーが発生した場合、シフト動作開始直後に SIOSR <TXERR> が “1” にセットされ、8 ビットのデータが受信された後、INTSIO 割り込み要求が発生します。
SIOCR1 <SIOS> を “1” にセットし、SIOTDB にデータを書き込む前にシフト動作が開始された場合、シフト動作開始直後に SIOSR <TXERR> が “1” にセットされ、8 ビットのデータが受信された後に INTSIO 割り込み要求が発生します。
- SIOSR <TXERR> が “1” にセットされると、SO 端子からは “H” レベルが出力されます。
送信エラーが発生した場合は、受信データを読み出した後、SIOCR1 <SIOINH> に “1” を書き込み、送受信動作を強制停止させます。この場合、SIOCR1 <SIOS>、SIOSR レジスタ、SIORDB レジスタ、SIOTDB レジスタが初期化されます。

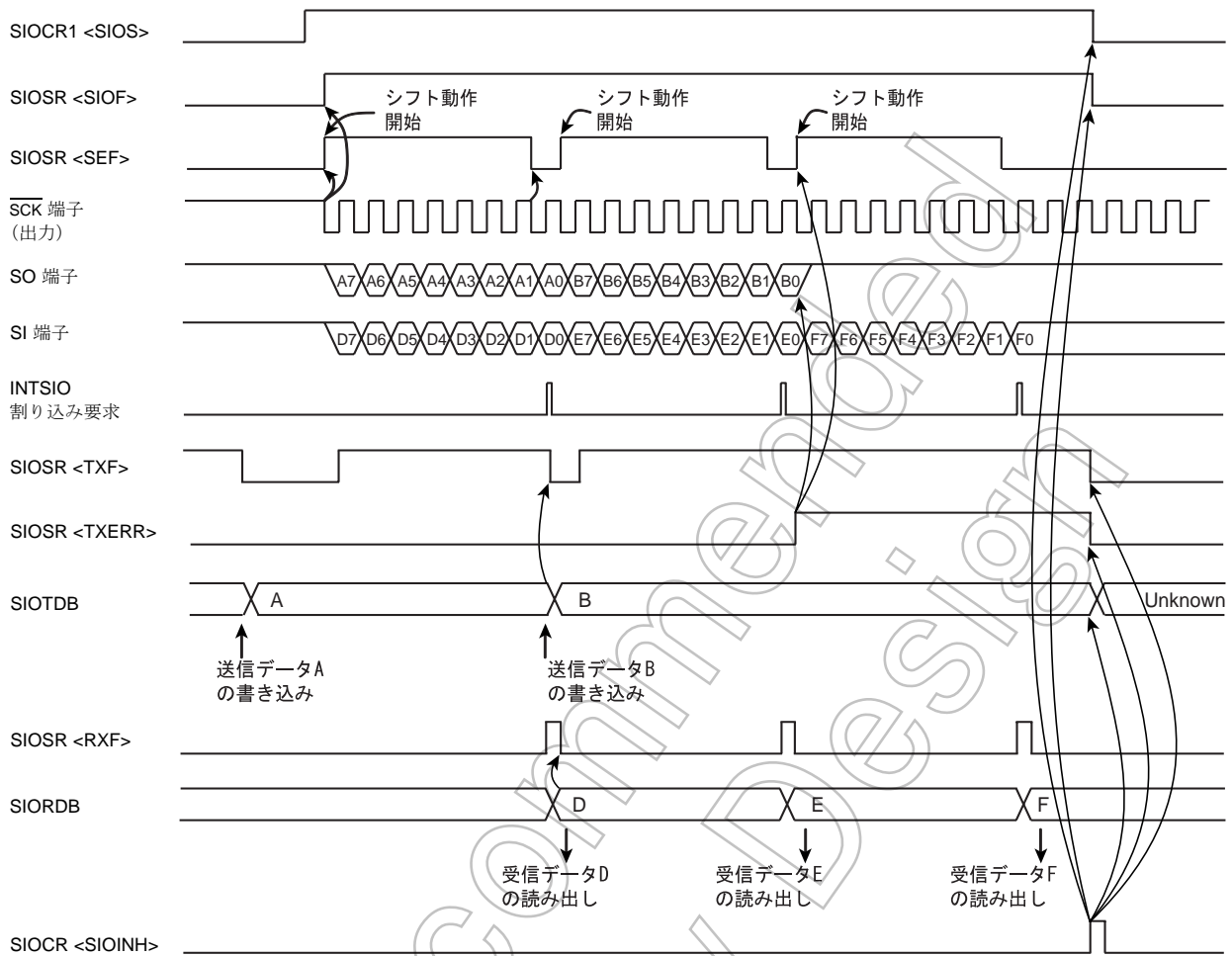


図 10-15 送受信モード (送信) エラー処理の例

(b) 受信エラー

下記の状態が発生すると受信エラーとなり、**SIOSR<RXERR>** が“1”にセットされ、**SIORDB** とシフトレジスタ内のデータを保護するため、エラー発生以降のデータは無視されます。

- 外部クロック動作のとき、**SIOSR<RXF>** が“1”の状態を受信データを **SIORDB** から読み出す前に、次の受信データのシフト動作が終了した場合。受信エラーが発生した場合、エラー直前の受信データを読み出すには、**SIOCR1 <SIOS>** に“0”を書き込み受信を停止させます。次に、**SIORDB** からデータを読み出します。その後、再度 **SIORDB** を読み出すと、エラーが発生したときのシフトレジスタ内のデータを読み出すことができます。すべてのデータを読み出した後、**SIOSR<RXERR>** に“0”を書き込むと、**SIOSR <RXF>** が“0”にクリアされます。**SIOCR1 <SIOS>** を“0”にクリアした後、8ビット分のシリアルクロックが **SCK** 端子から入力されると、**SIOSR<SIOF>** が“0”にクリアされ、受信動作は停止します。受信を再開する場合には、**SIOSR<SIOF>** が“0”にクリアされたことを確認してください。

受信エラーが発生した場合、直ちに受信動作を停止するには、**SIOCR1 <SIOINH>** に“1”を書き込み、受信動作を強制停止させます。この場合、**SIOCR1 <SIOS>**、**SIOSR** レジスタ、**SIORDB** レジスタ、**SIOTDB** レジスタが初期化されます。

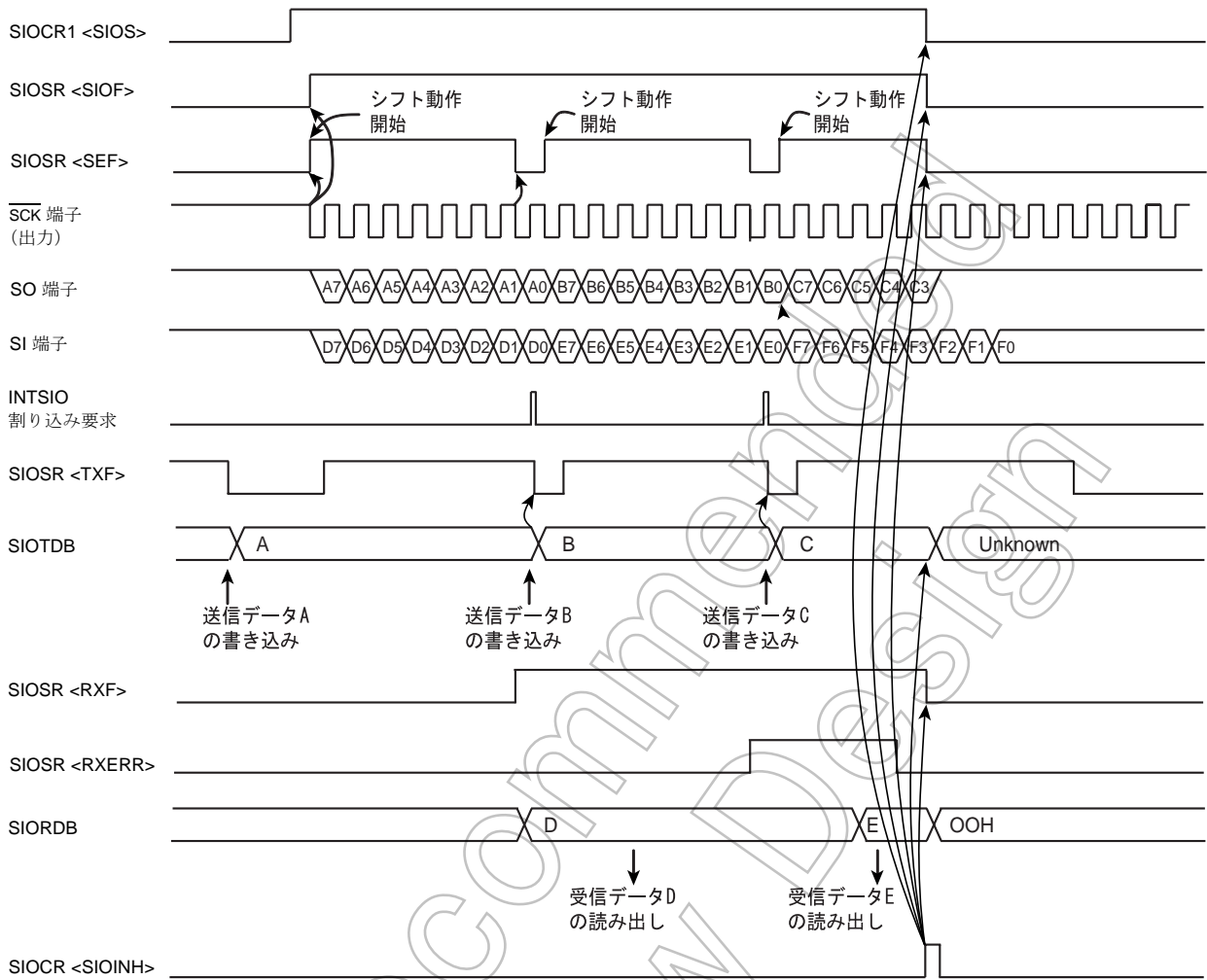


図 10-16 送受信モード (受信) エラー処理の例

注) 受信エラーが発生した場合、エラー処理を行わないと、それ以降の割り込み要求は発生しません。

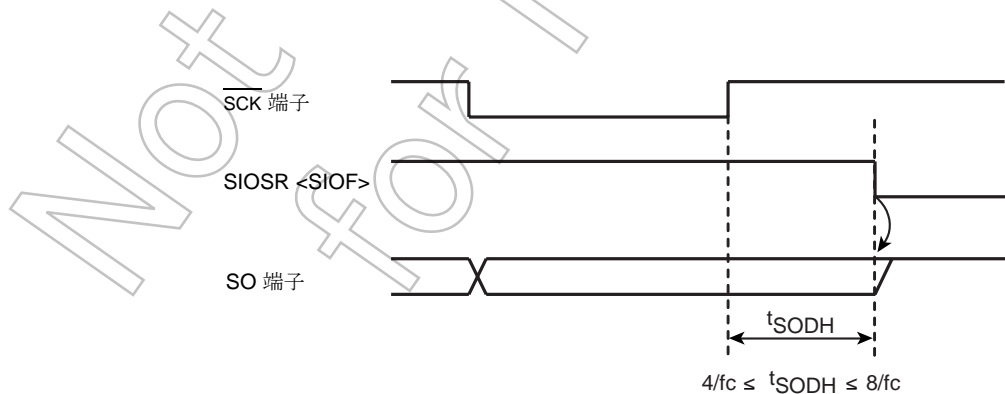


図 10-17 送受信終了時のデータ保持時間

第 11 章 非同期型シリアルインターフェース (UART)

11.1 構成

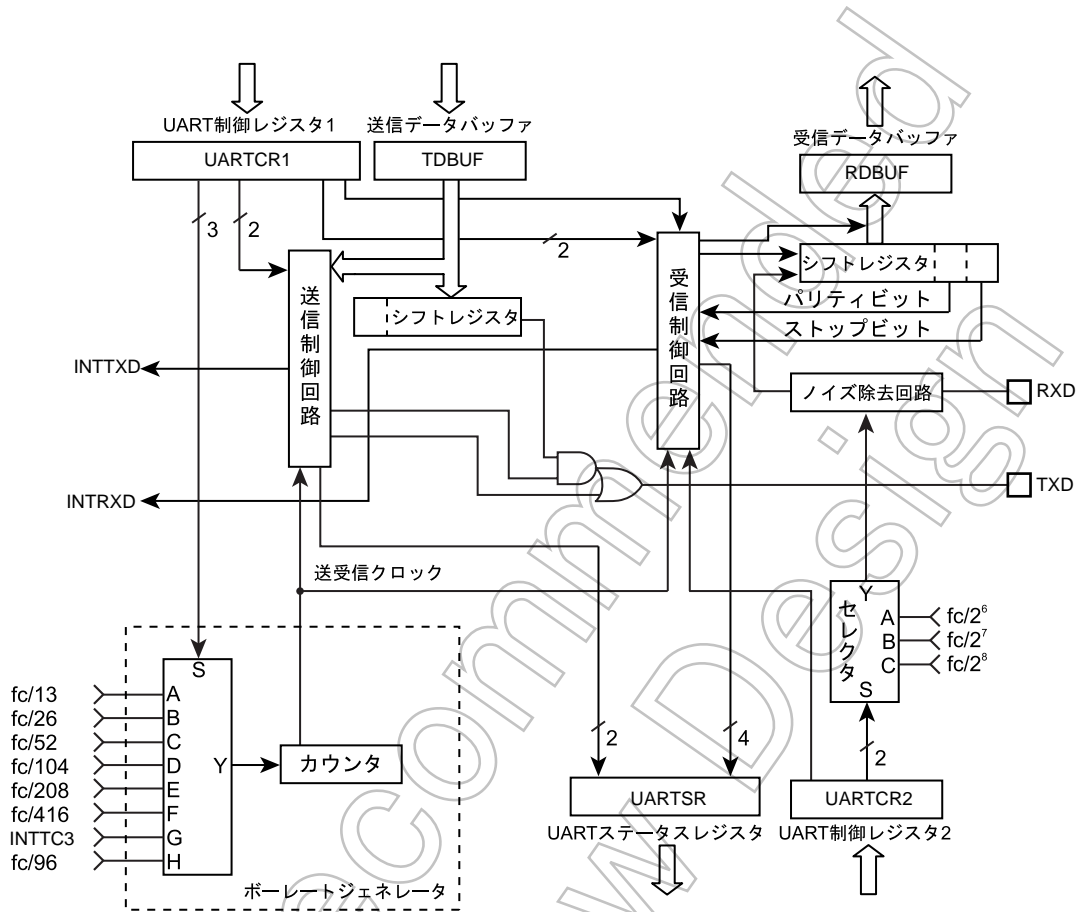


図 11-1 UART (非同期型シリアルインターフェース)

11.2 制御

UART は、UART 制御レジスタ 1, 2 (UARTCR1, UARTCR2) で制御されます。また UART ステータスレジスタ (UARTSR) により動作状態のモニタができます。

UART 制御レジスタ 1

UARTCR1 (0020H)	7	6	5	4	3	2	1	0	
	TXE	RXE	STBT	EVEN	PE	BRG			(初期値: 0000 0000)

TXE	送信動作	0: ディセーブル 1: イネーブル	Write only
RXE	受信動作	0: ディセーブル 1: イネーブル	
STBT	送信ストップビット長	0: 1 ビット 1: 2 ビット	
EVEN	偶数パリティ	0: 奇数パリティ 1: 偶数パリティ	
PE	パリティ付加	0: パリティなし 1: パリティ付加	
BRG	転送クロック選択	000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: TC3 使用 (INTTC3 を入力) 111: fc/96	

- 注 1) TXE, RXE ビットを "0" に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、そのあと送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。
- 注 2) 転送クロックとパリティは送受信共通です。
- 注 3) BRG の書き替えは、RXE = "0" かつ TXE = "0" のときに行ってください。

UART 制御レジスタ 2

UARTCR2 (0021H)	7	6	5	4	3	2	1	0	
						RXDNC	STOPBR		(初期値: **** *000)

RXDNC	RXD 入力のノイズ除去時間の選択	00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc[s] 未満のパルスはノイズとして除去 10: 63/fc[s] 未満のパルスはノイズとして除去 11: 127/fc[s] 未満のパルスはノイズとして除去	Write only
STOPBR	受信ストップビット長	0: 1 ビット 1: 2 ビット	

- 注) RXDNC が "01" の場合 96/fc、"10" の場合 192/fc、"11" の場合 384/fc[s] 以上は確実に信号とみなされます。

UART ステータスレジスタ

UARTSR (0020H)	7	6	5	4	3	2	1	0	
	PERR	FERR	OERR	RBFL	TEND	TBEP			(初期値 : 0000 11**)

PERR	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	Read only
FERR	フレーミングエラーフラグ	0: フレーミングエラーなし 1: フレーミングエラー発生	
OERR	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	
RBFL	受信バッファフルフラグ	0: 受信バッファ空き 1: 受信バッファフル	
TEND	送信終了フラグ	0: 送信中 1: 送信終了	
TBEP	送信バッファ空きフラグ	0: 送信バッファフル (送信データ書き込み済み) 1: 送信バッファ空き	

注) TBEP は、送信割り込み発生後、自動的に "1" にセットされます

UART 受信データバッファ

RDBUF (0022H)	7	6	5	4	3	2	1	0	Read only
									(初期値 : 0000 0000)

UART 送信データバッファ

TDBUF (0022H)	7	6	5	4	3	2	1	0	Write only
									(初期値 : 0000 0000)

Not Recommended for New Design

11.3 転送データフォーマット

UART で転送されるデータには、スタートビット 1 ビット (“L” レベル) とストップビット (“H” レベル、UARTCR1<STBT> でビット長の選択可)、パリティ UARTCR1<PE> でパリティ有無の選択可、UARTCR1<EVEN> で偶数 / 奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

PE	STBT	フレーム長											
		1	2	3	8	9	10	11	12				
0	0												
0	1												
1	0												
1	1												

図 11-2 転送データフォーマット

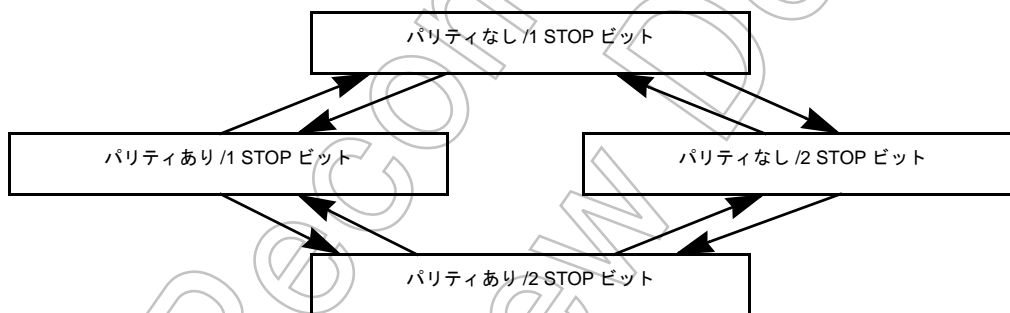


図 11-3 転送データフォーマット変更時の注意

注) 送信データフォーマットの切り替えは、初期設定時以外は図 11-3 の状態遷移にて送信動作を実施し、切り替えを行ってください。

11.4 転送レート

UART の転送レート (ボーレート) は UARTCR1<BRG> により設定されます。以下に転送レートの例を示します。

表 11-1 転送レート (例)

BRG	ソースクロック		
	16 MHz	8 MHz	4 MHz
000	76800 [baud]	38400 [baud]	19200 [baud]
001	38400	19200	9600
010	19200	9600	4800
011	9600	4800	2400
100	4800	2400	1200
101	2400	1200	600

UART の転送レートとして TC3 使用を選択したとき (つまり UARTCR1<BRG> = “110” に設定したとき) 転送クロックおよび転送レートは

$$\text{転送クロック [Hz]} = \text{TC3 ソースクロック [Hz]} \div \text{TTREG3 設定値}$$

$$\text{転送レート [baud]} = \text{転送クロック [Hz]} \div 16$$

となります。

11.5 データのサンプリング方法

UART のレシーバは、RXD 端子入力にスタートビットが見つかるまで UARTCR1<BRG> で選択したクロックで入力のサンプリングを行います。RT クロックの開始は、RXD 端子の “L” レベルを検出し始まります。スタートビットが見つかったらスタートビット、データビット、ストップビット、パリティビットは、以下に示すように 1 レシーバクロック (RT1 クロック) の間隔 (RT0 はビットが始まると予想される位置) で RT7, RT8, RT9 の位置で 3 回サンプリングし、多数決判定 (3 回のサンプリングのうち 2 回または 3 回) で決定しビットのデータとします。

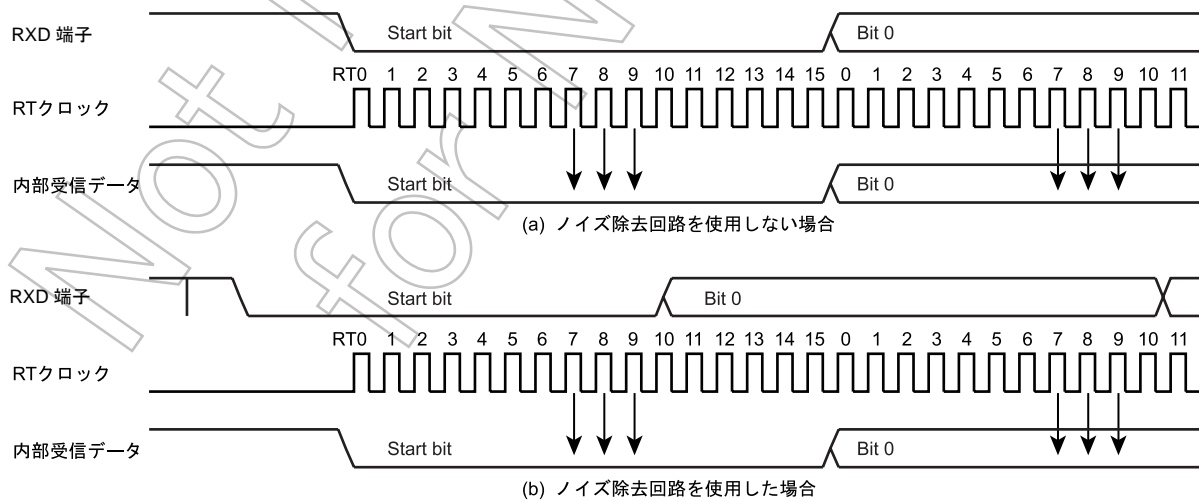


図 11-4 データのサンプリング方法

11.6 STOP ビット長

UARTCR1<STBT> で送信ストップビット長 (1 ビット / 2 ビット) の選択ができます。

11.7 パリティ

UARTCR1<PE> でパリティ付加の有無を、UARTCR1<EVEN> でパリティの種類 (奇数 / 偶数) を設定します。

11.8 送受信動作

11.8.1 データ送信動作

UARTCR1<TXE> を “1” にセットします。UARTSR を読み出し TBEP = “1” を確認後、TDBUF (送信データバッファ) にデータを書き込みます。書き込みを行うと UARTSR<TBEP> は “0” にクリアされデータが送信シフトレジスタに転送された後、TXD 端子より順次出力されます。このとき出力されるデータにはスタートビット 1 ビットと UARTCR1<STBT> で指定した数のストップビットおよびパリティビット (パリティありの場合) が付加されます。データ転送ボーレートは UARTCR1<BRG> で選択します。データの送信が始まると送信バッファエンプティフラグ UARTSR<TBEP> は “1” にセットされ、INTTXD 割り込みが発生します。

UARTCR1<TXE> が “0” の間および UARTCR1<TXE> に “1” を書き込んでから TDBUF に送信データが書き込まれるまでの間、TXD 端子は “H” レベルに固定されます。

送信を行う場合、UARTSR を読み出してから TDBUF にデータを書き込んでください。読み出さないと、UARTSR<TBEP> が “0” にクリアされず送信が開始されません。

11.8.2 データ受信動作

UARTCR1<RXE> を “1” にセットします。その後、RXD 端子からデータを受信すると、RDBUF (受信データバッファ) に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット (パリティありの場合) が付加されています。ストップビットが受信されるとデータだけが取り出され RDBUF (受信データバッファ) に転送された後、受信バッファフルフラグ UARTSR<RBFL> がセットされ、INTRXD 割り込みが発生します。データ転送ボーレートは UARTCR1<BRG> で選択します。

データが受信されたときに、オーバランエラーが発生すると、RDBUF (受信データバッファ) へのデータ転送は行われず破棄されます。ただし、RDBUF 内のデータは影響を受けません。

注) UARTCR1<RXE> ビットを “0” に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

11.9 ステータスフラグ

11.9.1 パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグ UARTSR<PERR> が“1”にセットされます。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<PERR> は“0”にクリアされます。

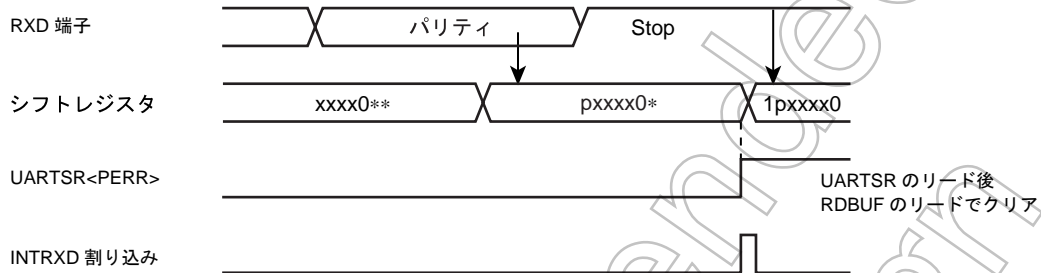


図 11-5 パリティエラーの発生

11.9.2 フレーミングエラー

受信データの STOP ビットとして“0”がサンプリングされたときフレーミングエラーフラグ UARTSR<FERR> が“1”にセットされます。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<FERR> は“0”にクリアされます。

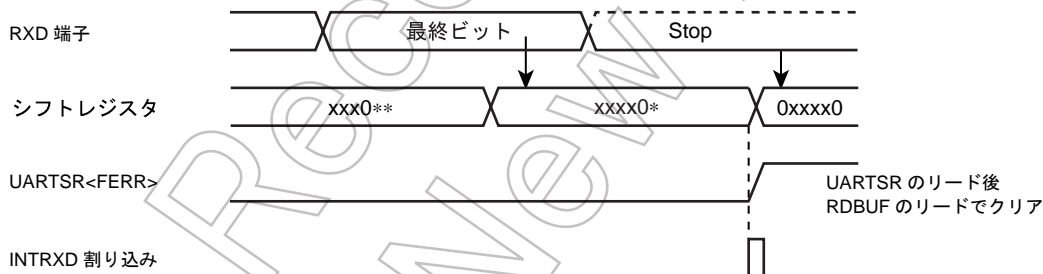


図 11-6 フレーミングエラーの発生

11.9.3 オーバランエラー

RDBUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグ UARTSR<OERR> が“1”にセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<OERR> は“0”にクリアされます。

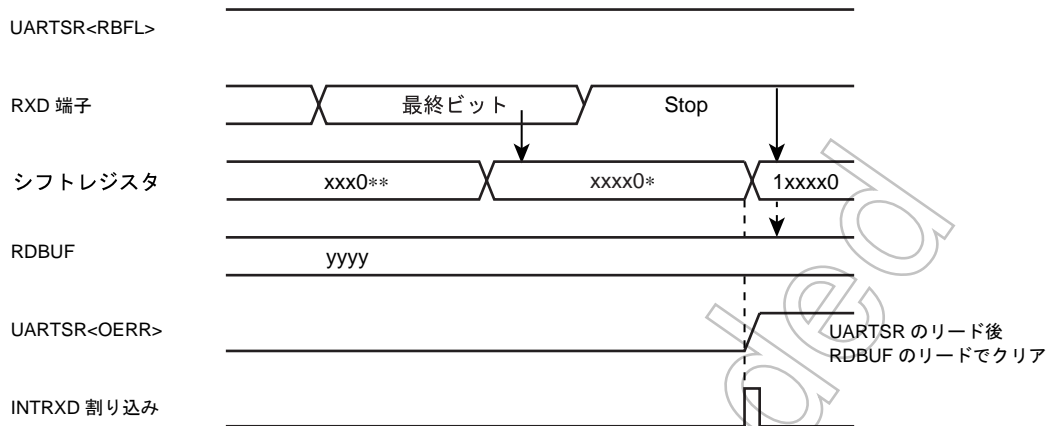


図 11-7 オーバランエラーの発生

注) オーバランエラーフラグ UARTSR<OERR> がクリアされるまで、受信動作は停止します。

11.9.4 受信バッファフル

受信データを RDBUF に取り込むと UARTSR<RBFL> が “1” にセットされます。UARTSR を読み出した後、RDBUF からデータを読み出すと UARTSR<RBFL> は “0” にクリアされます。

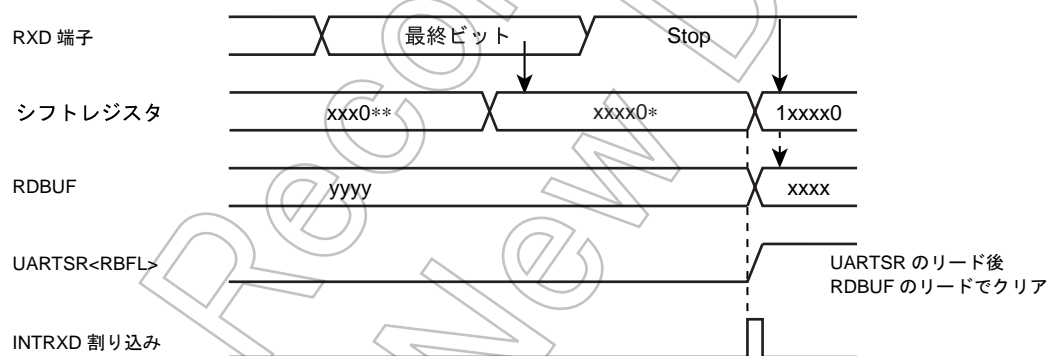


図 11-8 受信バッファフルの発生

注) 上記、UARTSR の読み出しから RDBUF を読み出す間にオーバランエラーフラグ UARTSR<OERR> がセットされた場合、RDBUF 読み出しだけではエラーフラグがクリアされません。再度 UARTSR を読み込み、エラーの確認を行ってください。

11.9.5 送信バッファエンプティ

TDBUF にデータが存在しないとき、つまり TDBUF のデータが送信シフトレジスタに転送され送信が開始されるとき UARTSR<TBEP> が “1” にセットされます。UARTSR を読み出した後、TDBUF にデータを書き込むと UARTSR<TBEP> は “0” にクリアされます。

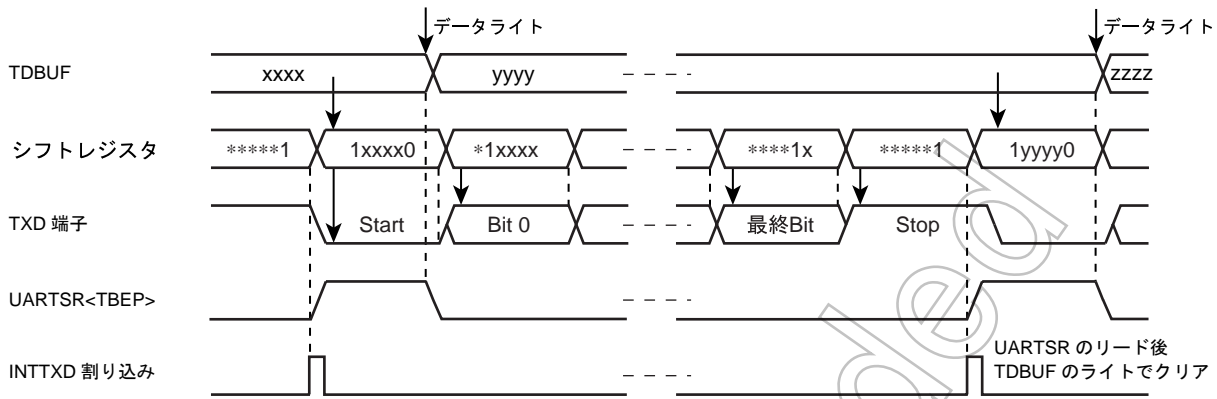


図 11-9 送信バッファエンプティの発生

11.9.6 送信終了フラグ

送信が終了し、TDBUF 内に待機中のデータがないとき (UARTSR<TBEP>=“1”のとき) UARTSR<TEND> が“1”にセットされます。TDBUF にデータを書き込んだ後、送信が開始されると UARTSR<TEND> は“0”にクリアされます。

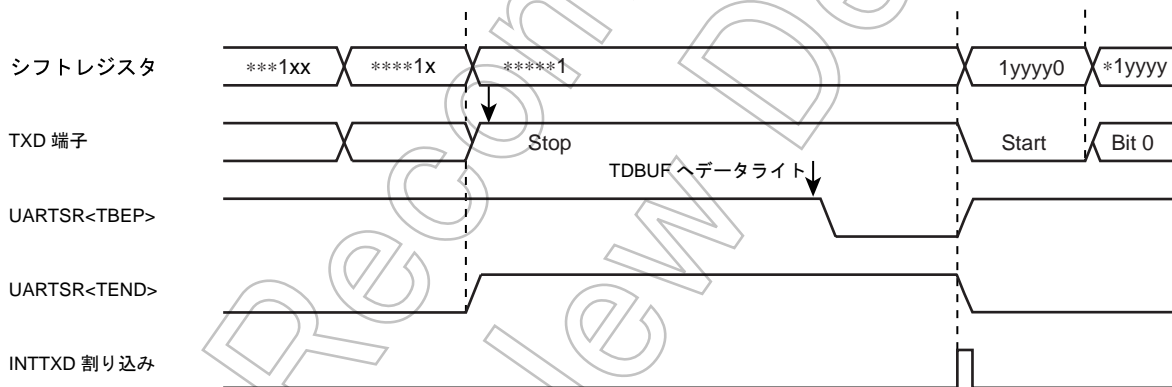


図 11-10 送信終了フラグと送信バッファエンプティの発生

Not Recommended
for New Design

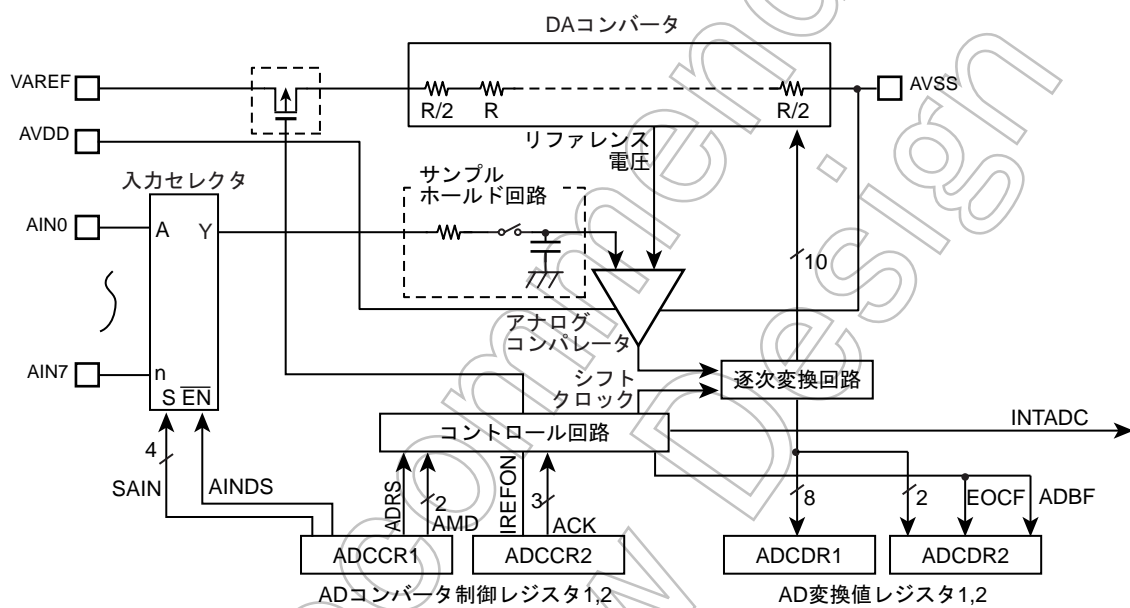
第 12 章 10 ビット AD コンバータ (ADC)

TMP86CH47AUG は、10 ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

12.1 構成

10 ビット AD コンバータの回路構成を図 12-1 に示します。

制御レジスタ ADCCR1, ADCCR2, 変換値レジスタ ADCDR1, ADCDR2 と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。



注) AD コンバータを使用する前に、アナログ入力と兼用の I/O ポートレジスタを適切な値に設定してください。詳しくは、I/O ポートの項を参照してください。

図 12-1 10 ビット AD コンバータ

12.2 制御

AD コンバータは、次の 4 つのレジスタで構成されています。

1. AD コンバータ制御レジスタ 1 (ADCCR1)

AD 変換を行うアナログチャネルの選択および動作モードの選択と AD コンバータの開始を制御するレジスタです。

2. AD コンバータ制御レジスタ 2 (ADCCR2)

AD 変換時間の選択と、DA コンバータ (ラダー抵抗) の接続を制御するレジスタです。

3. AD 変換値レジスタ 1 (ADCDR1)

AD コンバータによって変換されたデジタル値を格納するレジスタです。

4. AD 変換値レジスタ 2 (ADCDR2)

AD コンバータの動作状態をモニタするレジスタです。

AD コンバータ制御レジスタ 1

ADCCR1 (001CH)	7	6	5	4	3	2	1	0	
	ADRS	AMD		AINDS	SAIN				(初期値: 0001 0000)

ADRS	AD 変換開始	0: — 1: AD 変換開始	R/W
AMD	AD 動作モード	00: AD 動作ディセーブル 01: ソフトウェアスタートモード 10: Reserved 11: リピートモード	
AINDS	アナログ入力制御	0: アナログ入力ディセーブル 1: アナログ入力ディセーブル	
SAIN	アナログ入力チャネル選択	0000: AIN0 0001: AIN1 0010: AIN2 0011: AIN3 0100: AIN4 0101: AIN5 0110: AIN6 0111: AIN7 1000: Reserved 1001: Reserved 1010: Reserved 1011: Reserved 1100: Reserved 1101: Reserved 1110: Reserved 1111: Reserved	

- 注 1) アナログ入力チャネルの選択は AD 変換停止状態 (ADCDR2<ADBF> = "0") で行ってください。
- 注 2) アナログ入力チャネルをすべてディセーブルにする場合は、AINDS を "1" に設定してください。
- 注 3) アナログ入力はポートと兼用になっていますが、精度を保つ意味で AD 変換中はポート出力命令を実行しないでください。また、アナログ入力と近接するポートには AD 変換中、変化の激しい信号を入力しないようにしてください。
- 注 4) ADRS は、AD 変換開始後、自動的に "0" にクリアされます。
- 注 5) AD 変換中に ADRS の再設定は行わないでください。ADRS の再設定は、ADCDR2<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) 発生後 (割り込み処理ルーチンなど) に行ってください。
- 注 6) STOP または SLOW / SLEEP モードを起動すると、AD コンバータ制御レジスタ 1 (ADCCR1) はすべて初期化されるとともに書き込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR1 を再設定してください。

AD コンバータ制御レジスタ 2

ADCCR2 (001DH)	7	6	5	4	3	2	1	0	
			IREFON	"1"		ACK		"0"	(初期値:**0* 000*)

IREFON	DA コンバータ (ラダー抵抗) の接続時間	0: AD 変換中のみ接続 1: 常時接続	
ACK	AD 変換時間選択 (変換時間例は下記表をご参照ください)	000: 39/fc 001: Reserved 010: 78/fc 011: 156/fc 100: 312/fc 101: 624/fc 110: 1248/fc 111: Reserved	R/W

- 注 1) ADCCR2 のビット 4 には "1"、ビット 0 には "0" を必ず書き込んでください。
- 注 2) ADCCR2 に対しリード命令を実行すると、ビット 7,6 は不定値が読み込まれます。
- 注 3) STOP または SLOW/SLEEP モードを起動すると、AD コンバータ制御レジスタ 2 (ADCCR2) はすべて初期化されるとともに書き込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR2 を再設定してください。

表 12-1 ACK 設定と周波数別の変換時間

条件	変換時間	16MHz	8MHz	4 MHz	2 MHz	10-MHz	5 MHz	2.5 MHz
ACK 000	39/fc	—	—	—	19.5 μs	—	—	15.6 μs
001	Reserved							
010	78/fc	—	—	19.5 μs	39.0 μs	—	15.6 μs	31.2 μs
011	156/fc	—	19.5 μs	39.0 μs	78.0 μs	15.6 μs	31.2 μs	62.4 μs
100	312/fc	19.5 μs	39.0 μs	78.0 μs	156.0 μs	31.2 μs	62.4 μs	124.8 μs
101	624/fc	39.0 μs	78.0 μs	156.0 μs	—	62.4 μs	124.8 μs	—
110	1248/fc	78.0 μs	156.0 μs	—	—	124.8 μs	—	—
111	Reserved							

- 注 1) 上記表内 "—" 部分の設定は行わないでください。fc: 高周波発振周波数
- 注 2) 変換時間は、アナログ基準電圧 (VAREF) によって以下の時間以上を確保するように設定してください。

- VAREF = 4.5 ~ 5.5 V 時 15.6 μs 以上
- VAREF = 2.7 ~ 5.5 V 時 31.2 μs 以上
- VAREF = 1.8 ~ 5.5 V 時 124.8 μs 以上

AD 変換値レジスタ 1

ADCDR1 (001FH)	7	6	5	4	3	2	1	0	
	AD09	AD08	AD07	AD06	AD05	AD04	AD03	AD02	(初期値 : 0000 0000)

AD 変換値レジスタ 2

ADCDR2 (001EH)	7	6	5	4	3	2	1	0	
	AD01	AD00	EOCF	ADBF					(初期値 : 0000 ****)

EOCF	AD 変換終了フラグ	0: 変換前または変換中 1: 変換終了	Read only
ADBF	AD 変換 BUSY フラグ	0: AD 変換停止中 1: AD 変換実行中	

- 注 1) EOCF は、AD 変換レジスタ 1 (ADCDR1) をリードすると "0" にクリアされます。このため、AD 変換結果を読み出すときは、(ADCDR2) をリードした後に (ADCDR1) をリードしてください。
- 注 2) ADBF は AD 変換開始により "1" にセットされ、AD 変換動作が終了すると "0" にクリアされます。また、STOP, SLOW モードを起動するときにもクリアされます。
- 注 3) ADCDR2 を読み出した場合、ビット 3~0 は不定となります。

Not Recommended
for New Design

12.3 機能

12.3.1 ソフトウェアスタートモード

ADCCR1<AMD> を“01” (ソフトウェアスタートモード) に設定後、ADCCR1<ADRS> を“1” に設定することにより ADCCR1<SAIN> で指定されたアナログ入力端子の電圧の AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1,2) に格納し、ADCDR2<EOCF> に“1” をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

ADCCR1<ADRS> は AD 変換を開始後、自動的にクリアされます。AD 変換中に ADCCR1<ADRS> の再設定 (再スタート) は行わないでください。ADCCR1<ADRS> の再設定は ADCDR2<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) の発生後 (割り込み処理ルーチンなど) に行ってください。

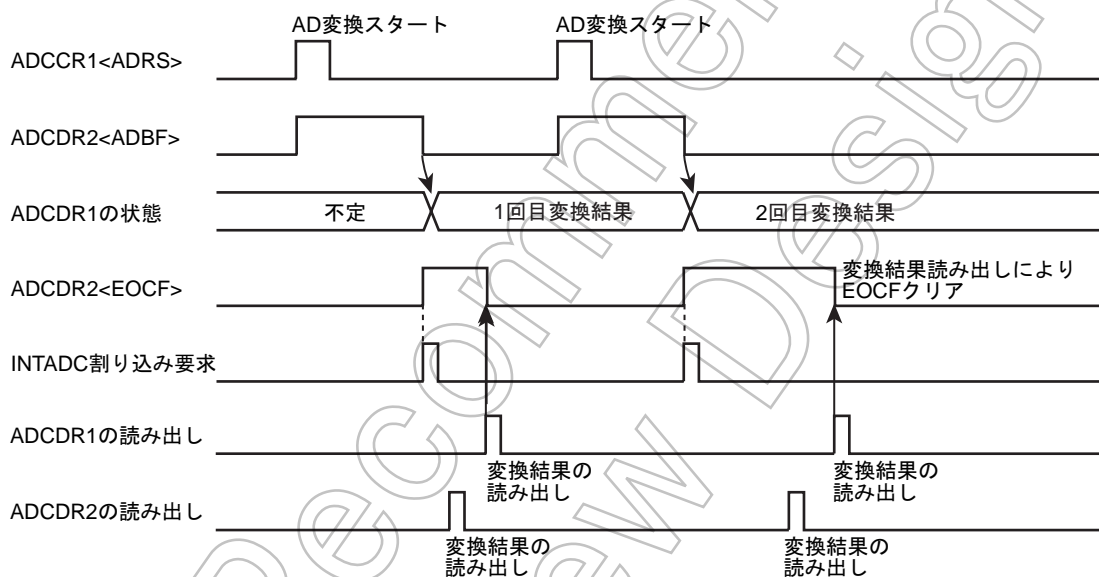


図 12-2 ソフトウェアスタートモード

12.3.2 リピードモード

ADCCR1<SAIN> で指定されたアナログ入力端子電圧の AD 変換を繰り返し行います。

ADCCR1<AMD> を“11” (リピートモード) に設定後、ADCCR1<ADRS> を“1” に設定することにより AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1,2) に格納し、ADCDR2<EOCF> に“1” をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

リピートモードでは、1 回の AD 変換が終了すると直ちに次の AD 変換を開始します。AD 変換を停止するには、ADCCR1<AMD> に“00” (ディセーブルモード) を書き込んでください。AD 変換動作は即時に停止します。このときの変換値は、AD 変換値レジスタには格納されません。

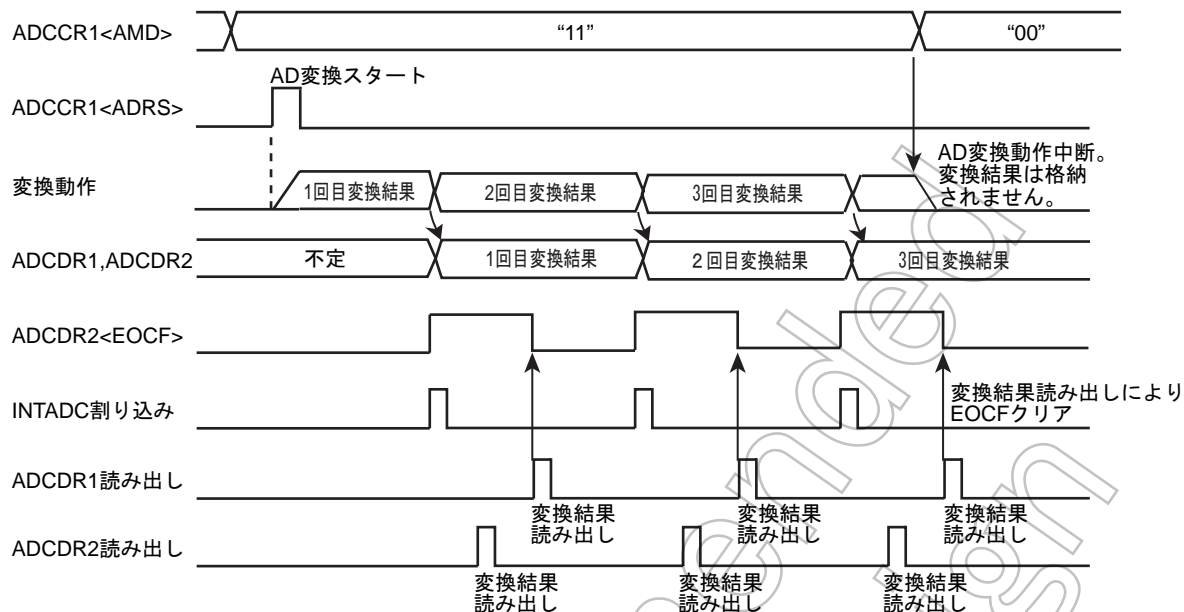


図 12-3 リピートモード

12.3.3 レジスタの設定

- AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。
 - AD 入力チャンネル選択 (SAIN) により AD 変換するチャンネルを選択してください。
 - アナログ入力制御 (AINDS) をアナログ入力イネーブルに指定してください。
 - AD コンバータ制御の動作モード (ソフトウェア、リピートモード) を (AMD) にて指定してください。
- AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。
 - AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 及び表 12-1 をご参照ください。
 - DA コンバータの制御 (IREFON) を選択してください。
- 上記 1. と 2. を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) に "1" を設定すると、ソフトウェアスタートの場合、直ちに AD 変換を開始します。
- AD 変換が完了すると、AD 変換値レジスタ 2 (ADCCR2) の AD 変換終了フラグ (EOCF) が "1" にセットされ、AD 変換結果が AD 変換値レジスタ 1 (ADCCR1)、AD 変換値レジスタ 2 (ADCCR2) に格納されます。また、このとき INTADC 割り込み要求が発生します。
- AD 変換値レジスタ 1 (ADCCR1) から変換結果を読み出すと EOCF は "0" にクリアされます。ただし、AD 変換値レジスタ 1 (ADCCR1) を読み出す前に再変換を行った場合は、EOCF は "0" にクリアされますが、変換結果は次の変換終了まで前回の結果を保持します。

(プログラム例) 変換時間 19.5 μ s @ 16 MHz およびアナログ入力チャンネル AIN3 端子を選択後、AD 変換を 1 回行います。EOCF を確認して変換値を読み出し、RAM の 009FH 番地に上位 8 ビット、009EH 番地に下位 2 ビットのデータを格納します。動作モードは、ソフトウェアスタートモードです。

```

      ; (ポートの設定)      ;
      ;                      ; AD コンバータのレジスタを設定する前にポート
      ;                      ; レジスタを適切に設定してください。
      ;                      ; (詳細は I/O ポートの章を参照してください)
LD      (ADCCR1), 00100011B ; AIN3 を選択
LD      (ADCCR2), 11011000B ; 変換時間 (312/fc), 動作モードを選択

      SET      (ADCCR1).7    ; ADRS = 1 (AD 変換開始)
SLOOP: TEST   (ADCDR2).5    ; EOCF = 1 ?
      JRS     T, SLOOP

      LD      A, (ADCDR2)    ; 変換結果の読み出し
      LD      (9EH), A
      LD      A, (ADCDR1)    ; 変換結果の読み出し
      LD      (9FH), A

```

12.4 AD 変換時の STOP/SLOW モード

AD 変換中に強制的に STOP または SLOW モードを起動すると AD 変換は中断され、AD コンバータは初期化されます (ADCCR1, ADCCR2 は初期値に初期化されます)。また、変換結果は不定となります (前回までの変換結果もクリアされますので、変換結果は STOP または SLOW モードを起動する前に読み出してください)。また STOP または SLOW モードから復帰した際は、AD 変換は自動的に再開しませんので、必要に応じて再度 AD 変換を開始してください。なお、アナログ基準電源は自動的にカットされるため、アナログ基準電源への電流の流れ込みはありません。

12.5 入力電圧と変換結果

アナログ入力電圧と AD 変換された 10 ビットデジタル値とは図 12-4 のように対応します。

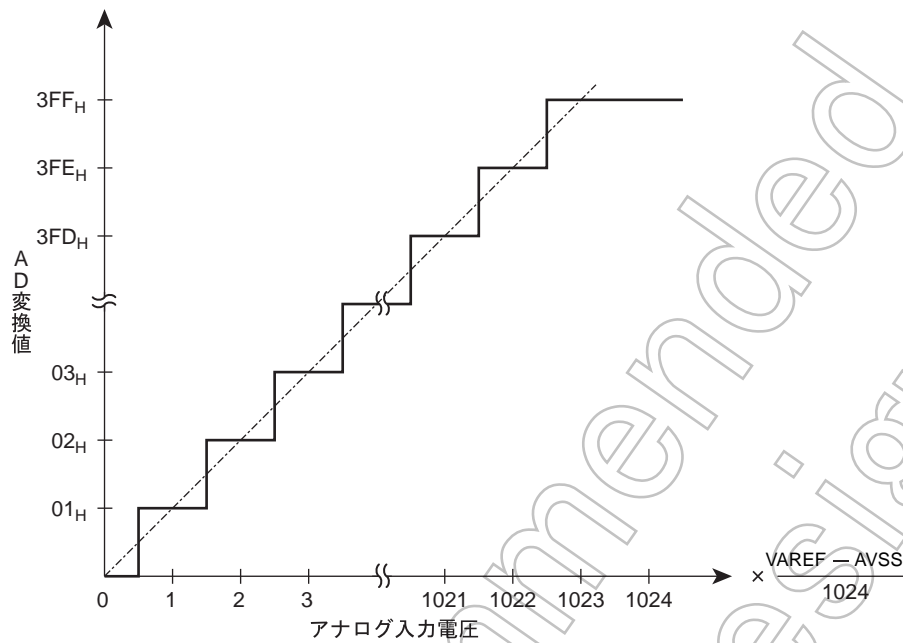


図 12-4 アナログ入力電圧と AD 変換値 (typ.) の関係

12.6 AD コンバータの注意事項

12.6.1 アナログ入力端子電圧範囲

アナログ入力端子 (AIN0 ~ AIN7) は、VAREF ~ AVSS 間でご使用ください。この範囲外の電圧が入力されるとその入力端子の変換値が不定となります。また他のアナログ入力端子の変換値にも影響を与えます。

12.6.2 アナログ入力兼用端子

アナログ入力端子 (AIN0 ~ AIN7) は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外にも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

12.6.3 ノイズ対策

アナログ入力端子の内部等価回路は、図 12-5 のようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは $5\text{ k}\Omega$ 以下になるように設計してください。また、コンデンサの外付けを推奨いたします。

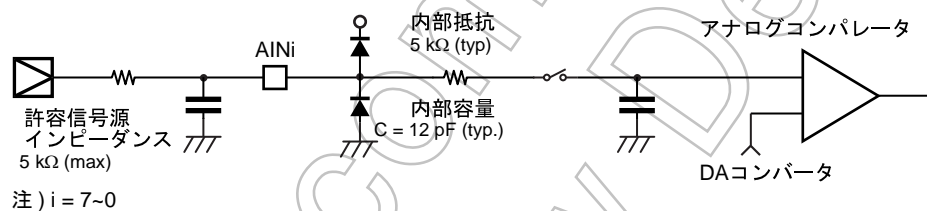


図 12-5 アナログ入力等価回路と入力端子処理例

Not Recommended
for New Design

第 13 章 キーオンウェイクアップ (KWU)

TMP86CH47AUG は、P20($\overline{\text{INT5}}/\overline{\text{STOP}}$) 端子以外に STOP2 ~ STOP5 の 4 つの端子でも STOP モードの解除が可能です。

STOP2 ~ STOP5 の入力で STOP モードを解除する場合、 $\overline{\text{STOP}}$ 端子の論理に注意が必要です。詳細については、後述の “13.2 制御” を参照してください。

13.1 構成

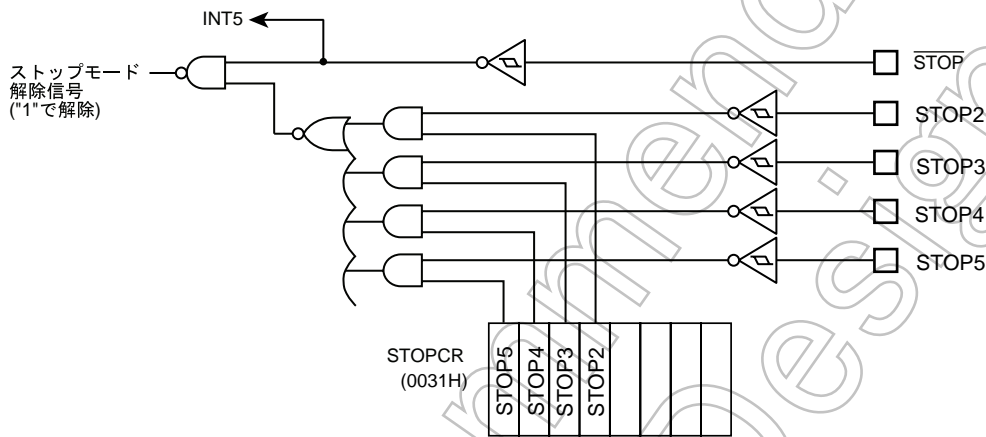
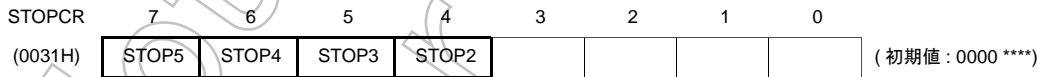


図 13-1 キーオンウェイクアップ回路

13.2 制御

STOP2 ~ STOP5 端子は、キーオンウェイクアップ制御レジスタ (STOPPCR) によって、端子ごとに STOP モードの解除端子を許可/禁止することができます。STOP モードの解除入力に使用する端子はあらかじめ I/O ポートのレジスタにより入力端子状態に設定してください。

キーオンウェイクアップ制御レジスタ



STOP5	STOP5 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP4	STOP4 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP3	STOP3 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP2	STOP2 端子による STOP モード解除	0: 禁止 1: 許可	Write only

13.3 機能

STOP モードの起動はシステムレジスタ 1 (SYSCR1) にて行い、解除は STOP モード解除が許可されている STOP2 ~ STOP5 端子のいずれかの端子を “L” レベルにすることにより解除できます (注 1)。

また、STOP2 ~ STOP5 端子の状態は、兼用する I/O ポートのレジスタを読み出すことにより確認できますので、STOP モードを起動する前に STOPCR によって許可された端子のレベルが“H”レベルになっていることを確認してください(注 2,3)。

- 注 1) STOP モードの解除をエッジ解除モード (SYSCR1<RELM>="0") で行う場合、キーオンウェイクアップ制御レジスタ (STOPCR) によって STOP2 ~ STOP5 入力をすべて禁止にするか、入力が許可されている STOP2 ~ STOP5 端子を STOP モード中 "H" レベルに固定してください。
- 注 2) レベル解除の場合、 $\overline{\text{STOP}}$ 端子および STOP2 ~ STOP5 端子のいずれかが解除のレベルであると STOP モードに入らず、直ちに解除シーケンスに移ります。
- 注 3) キーオンウェイクアップ入力とポート入力は入力回路が別系統となりますので、入力電圧のしきい値がそれぞれ異なります。従って STOP モード起動前にポート入力によって確認した値は、キーオンウェイクアップ入力の検出レベルと異なる場合があります。(図 13-2)
- 注 4) $\overline{\text{STOP}}$ 端子は、入力を禁止する機能がありませんので、STOP2 ~ STOP5 入力によって STOP モードを解除する場合も、 $\overline{\text{STOP}}$ 端子を STOP モード解除用の端子として機能します。
- 注 5) キーオンウェイクアップ制御レジスタ (STOPCR) によって入力が許可されているキーオンウェイクアップ端子は、貫通電流が流れますのでアナログ電圧を印加しないでください。
- 注 6) STOP2 ~ STOP5 入力によって STOP モードを解除する ("L" レベル) 場合は、STOP モード中 $\overline{\text{STOP}}$ 端子を必ず "L" レベルに固定してください。(図 13-3)

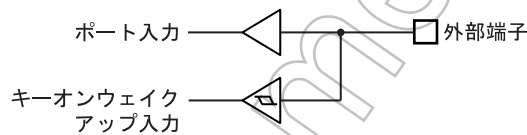


図 13-2 キーオンウェイクアップ入力とポート入力

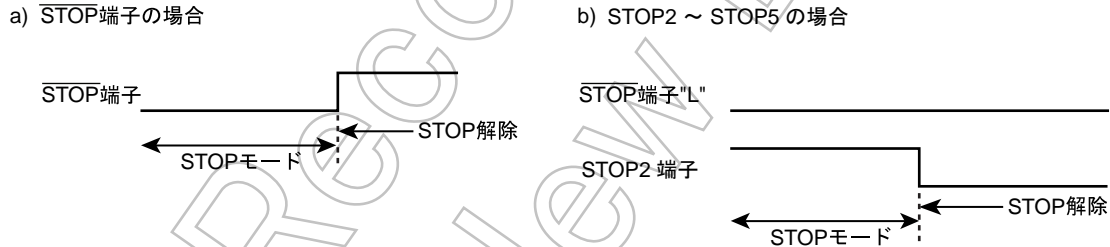


図 13-3 STOP 端子と STOP2 ~ STOP5 端子の優先順位

表 13-1 STOP モードの解除レベル (エッジ)

端子名	解除レベル (エッジ)	
	SYSCR1<RELM>="1" (注 2)	SYSCR1<RELM>="0"
$\overline{\text{STOP}}$	"H" レベル	立ち上がりエッジ
STOP2	"L" レベル	使用禁止 (注 1)
STOP3	"L" レベル	使用禁止 (注 1)
STOP4	"L" レベル	使用禁止 (注 1)
STOP5	"L" レベル	使用禁止 (注 1)

第 14 章 端子の入出力回路

14.1 制御端子

TMP86CH47AUG の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 $R_f = 1.2 \text{ M}\Omega$ (typ.) $R_o = 1.5 \text{ k}\Omega$ (typ.)
XTIN XTOUT	入力 出力		低周波発振子接続端子 $R_f = 6 \text{ M}\Omega$ (typ.) $R_o = 220 \text{ k}\Omega$ (typ.)
$\overline{\text{RESET}}$	入出力		シンクオープンドレイン出力 ヒステリシス入力 プルアップ抵抗内蔵 $R_{IN} = 220 \text{ k}\Omega$ (typ.) $R = 1 \text{ k}\Omega$ (typ.)
TEST	入力		プルダウン抵抗内蔵 $R_{IN} = 70 \text{ k}\Omega$ (typ.) $R = 1 \text{ k}\Omega$ (typ.)

注) TMP86PM47/PH47 の TEST 端子には、プルダウン抵抗と保護ダイオード (D_1) は内蔵されていません。MCU モードでは、必ず“L”レベルに固定してください。

14.2 入出力ポート

ポート	入出力	回路	備考
P0	入出力	<p>初期値 "High-Z"</p> <p>データ出力</p> <p>出力ラッチ入力</p> <p>端子入力</p> <p>VDD</p> <p>R</p>	<p>シンクオープンドレイン出力</p> <p>ヒステリシス入力</p> <p>大電流出力</p> <p>R = 100 Ω (typ.)</p>
P1	入出力	<p>初期値 "High-Z"</p> <p>データ出力</p> <p>禁止</p> <p>端子入力</p> <p>VDD</p> <p>R</p>	<p>トリステート入出力</p> <p>ヒステリシス入力</p> <p>R = 100 Ω (typ.)</p>
P2	入出力	<p>初期値 "High-Z"</p> <p>データ出力</p> <p>出力ラッチ入力</p> <p>端子入力</p> <p>VDD</p> <p>R</p>	<p>シンクオープンドレイン出力</p> <p>大電流出力</p> <p>ヒステリシス入力</p> <p>R = 100 Ω (typ.)</p>
P3	入出力	<p>初期値 "High-Z"</p> <p>データ出力</p> <p>禁止</p> <p>端子入力</p> <p>VDD</p> <p>R</p>	<p>トリステート入出力</p> <p>R = 100 Ω (typ.)</p>
P4	入出力	<p>初期値 "High-Z"</p> <p>データ出力</p> <p>禁止</p> <p>端子入力</p> <p>VDD</p> <p>R</p>	<p>トリステート入出力</p> <p>大電流出力</p> <p>R = 100 Ω (typ.)</p>

第 15 章 電気的特性

15.1 絶対最大定格

絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

($V_{SS} = 0\text{ V}$)

項目	記号	端子	規格	単位
電源電圧	V_{DD}		-0.3~6.5	V
入力電圧	V_{IN}		-0.3- $V_{DD} + 0.3$	
出力電圧	V_{OUT1}		-0.3- $V_{DD} + 0.3$	
出力電流 (1 端子当たり)	I_{OUT1}	P1, P3, P4 ポート	-1.8	mA
	I_{OUT2}	P1, P3 ポート	3.2	
	I_{OUT3}	P0, P2, P4 ポート	30	
出力電流 (全端子総計)	ΣI_{OUT2}	P1, P3 ポート	60	
	ΣI_{OUT3}	P0, P2, P4 ポート	80	
消費電力 [$T_{opr} = 85^{\circ}\text{C}$]	PD		250	mW
はんだ付け温度 (時間)	T_{sld}		260 (10 s)	$^{\circ}\text{C}$
保存温度	T_{stg}		-55~125	
動作温度	T_{opr}		-40~85	

15.2 推奨動作条件

推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件（電源電圧、動作温度範囲、AC/DC 規定値）から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

(V_{SS} = 0 V, Topr = -40~85°C)

項目	記号	端子	条件	Min	Max	単位	
電源電圧	V _{DD}		fc = 16 MHz	NORMAL1, 2 モード	4.5	5.5	V
				IDLE0, 1, 2 モード			
			fc = 8 MHz	NORMAL1, 2 モード	2.7		
				IDLE0, 1, 2 モード			
			fc = 4.2 MHz	NORMAL1, 2 モード	1.8 (注 1)		
				IDLE0, 1, 2 モード			
fs = 32.768 kHz	SLOW1, 2 モード						
	SLEEP0, 1, 2 モード						
	STOP モード						
高レベル入力電圧	V _{IH1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	V _{DD} × 0.70	V _{DD}		
	V _{IH2}	ヒステリシス入力		V _{DD} × 0.75			
	V _{IH3}			V _{DD} < 4.5 V			V _{DD} × 0.90
低レベル入力電圧	V _{IL1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	0	V _{DD} × 0.30		
	V _{IL2}	ヒステリシス入力			V _{DD} × 0.25		
	V _{IL3}				V _{DD} < 4.5 V		V _{DD} × 0.10
クロック周波数	fc	XIN, XOUT	V _{DD} = 1.8 V~5.5 V	1.0	4.2	MHz	
			V _{DD} = 2.7 V~5.5 V		8.0		
			V _{DD} = 4.5 V~5.5 V		16.0		
	fs	XTIN, XTOUT		30.0	34.0	kHz	

注 1) 電源電圧 V_{DD}=1.8 ~ 2.0V の場合は、動作温度範囲 (Topr) は -20 ~ 85 °C になります。

15.3 DC 特性

(V_{SS} = 0 V, Topr = -40~85°C)

項目	記号	端子	条件	Min	Typ.	Max	単位											
ヒステリシス電圧	V _{HS}	ヒステリシス入力		-	0.9	-	V											
入力電流	I _{IN1}	TEST	V _{DD} = 5.5 V, V _{IN} = 5.5 V/0 V	-	-	±2	μA											
	I _{IN2}	シンクオーブドレイン、 トライステートポート																
	I _{IN3}	RESET, STOP																
入力抵抗	R _{IN1}	TEST プルダウン		-	70	-	kΩ											
	R _{IN2}	RESET プルアップ		100	220	450												
出力リーク電流	I _{LO1}	シンクオーブドレイン	V _{DD} = 5.5 V, V _{OUT} = 5.5 V	-	-	2	μA											
	I _{LO2}	トライステートポート	V _{DD} = 5.5 V, V _{OUT} = 5.5 V/0 V	-	-	±2												
高レベル出力電圧	V _{OH}	トライステートポート	V _{DD} = 4.5 V, I _{OH} = -0.7 mA	4.1	-	-	V											
低レベル出力電圧	V _{OL}	XOUT, P0, P2, P4 ポート を除く	V _{DD} = 4.5 V, I _{OL} = 1.6 mA	-	-	0.4												
低レベル出力電流	I _{OL}	大電流 (P0, P2, P4 ポート)	V _{DD} = 4.5 V, V _{OL} = 1.0 V	-	20	-	mA											
NORMAL1, 2 モード時電源電流	I _{DD}		V _{DD} = 5.5 V V _{IN} = 5.3/0.2 V f _c = 16 MHz f _s = 32.768 kHz	-	7.5	9	mA											
IDLE0, 1, 2 モード時電源電流								-	5.5	6.5								
SLOW1 モード時 電源電流											8	20						
SLEEP1 モード時 電源電流													-	5	15			
SLEEP0 モード時 電源電流																-	4	13
STOP モード時 電源電流																		

- 注 1) Typ. 値は、条件に指定なき場合 Topr = 25°C, V_{DD} = 5 V 時の値を示します。
- 注 2) 入力電流 I_{IN1}, I_{IN3}: プルアップまたはプルダウン抵抗による電流を除きます。
- 注 3) I_{DD} は、I_{REF} を含みません。
- 注 4) SLOW2, SLEEP2 モードの各電源電流は、IDLE0, 1, 2 モードと同等です。

15.4 AD 変換特性

($V_{SS} = 0.0\text{ V}$, $4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $T_{opr} = -40\sim 85^\circ\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		$A_{VDD} - 1.0$	-	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}		V_{DD}			
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}		3.5	-	-	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	-	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = A_{VDD} = V_{AREF} = 5.5\text{ V}$ $V_{SS} = A_{VSS} = 0.0\text{ V}$	-	0.6	1.0	mA
非直線性誤差		$V_{DD} = A_{VDD} = 5.0\text{ V}$ $V_{SS} = A_{VSS} = 0.0\text{ V}$ $V_{AREF} = 5.0\text{ V}$	-	-	± 2	LSB
ゼロ誤差			-	-	± 2	
フルスケール誤差			-	-	± 2	
総合誤差			-	-	± 2	

($V_{SS} = 0.0\text{ V}$, $2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$, $T_{opr} = -40\sim 85^\circ\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		$A_{VDD} - 1.0$	-	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}		V_{DD}			
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}		2.5	-	-	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	-	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = A_{VDD} = V_{AREF} = 4.5\text{ V}$ $V_{SS} = A_{VSS} = 0.0\text{ V}$	-	0.5	0.8	mA
非直線性誤差		$V_{DD} = A_{VDD} = 2.7\text{ V}$ $V_{SS} = A_{VSS} = 0.0\text{ V}$ $V_{AREF} = 2.7\text{ V}$	-	-	± 2	LSB
ゼロ誤差			-	-	± 2	
フルスケール誤差			-	-	± 2	
総合誤差			-	-	± 2	

($V_{SS} = 0.0\text{ V}$, $2.0\text{ V} \leq V_{DD} < 2.7\text{ V}$, $T_{opr} = -40\sim 85^\circ\text{C}$) (注 5)

($V_{SS} = 0.0\text{ V}$, $1.8\text{ V} \leq V_{DD} < 2.0\text{ V}$, $T_{opr} = -10\sim 85^\circ\text{C}$) (注 5)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		$A_{VDD} - 0.9$	-	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}		V_{DD}			
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}	$1.8\text{ V} \leq V_{DD} < 2.0\text{ V}$	1.8	-	-	
		$2.0\text{ V} \leq V_{DD} < 2.7\text{ V}$	2.0	-	-	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	-	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = A_{VDD} = V_{AREF} = 2.7\text{ V}$ $V_{SS} = A_{VSS} = 0.0\text{ V}$	-	0.3	0.5	mA
非直線性誤差		$V_{DD} = A_{VDD} = 1.8\text{ V}$ $V_{SS} = A_{VSS} = 0.0\text{ V}$ $V_{AREF} = 1.8\text{ V}$	-	-	± 4	LSB
ゼロ誤差			-	-	± 4	
フルスケール誤差			-	-	± 4	
総合誤差			-	-	± 4	

注 1) 総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。

注 2) 変換時間は電源電圧範囲によって推奨値が異なります。変換時間については、「レジスタ構成」の章を参照ください。

注 3) A_{IN} 入力端子への入力電圧は $V_{AREF}\sim V_{SS}$ 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、他のチャンネルの変換値にも影響を与えます。

注 4) アナログ基準電源電圧範囲: $\Delta V_{AREF} = V_{AREF} - V_{SS}$

注 5) $V_{DD} = 2.7\text{ V}$ 未満で AD を使用する場合、動作電圧によって温度保証範囲が異なります。

15.5 AC 特性

(V_{SS} = 0 V, V_{DD} = 4.5~5.5 V, Topr = -40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2 モード時	0.25	-	4	μs
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	-	133.3	
		SLEEP0, 1, 2 モード時				
高レベルクロックパルス幅	t _{WCH}	外部クロック動作 (XIN 入力)	-	31.25	-	ns
低レベルクロックパルス幅	t _{WCL}	fc = 16 MHz 時				
高レベルクロックパルス幅	t _{WSH}	外部クロック動作 (XTIN 入力)	-	15.26	-	μs
低レベルクロックパルス幅	t _{WSL}	fs = 32.768 kHz 時				

(V_{SS} = 0 V, V_{DD} = 2.7~4.5 V, Topr = -40~85°C)

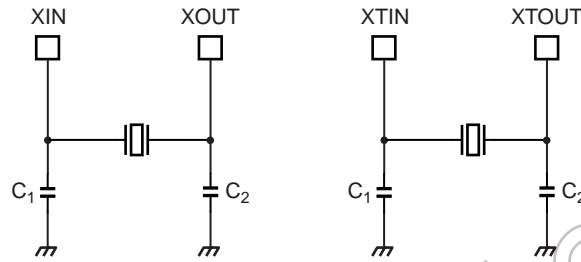
項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2 モード時	0.5	-	4	μs
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	-	133.3	
		SLEEP0, 1, 2 モード時				
高レベルクロックパルス幅	t _{WCH}	外部クロック動作 (XIN 入力)	-	62.5	-	ns
低レベルクロックパルス幅	t _{WCL}	fc = 8 MHz 時				
高レベルクロックパルス幅	t _{WSH}	外部クロック動作 (XTIN 入力)	-	15.26	-	μs
低レベルクロックパルス幅	t _{WSL}	fs = 32.768 kHz 時				

(V_{SS} = 0 V, V_{DD} = 1.8~2.7 V, Topr = -40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2 モード時	0.95	-	4	μs
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	-	133.3	
		SLEEP0, 1, 2 モード時				
高レベルクロックパルス幅	t _{WCH}	外部クロック動作 (XIN 入力)	-	119.05	-	ns
低レベルクロックパルス幅	t _{WCL}	fc = 4.2 MHz 時				
高レベルクロックパルス幅	t _{WSH}	外部クロック動作 (XTIN 入力)	-	15.26	-	μs
低レベルクロックパルス幅	t _{WSL}	fs = 32.768 kHz 時				

注 1) 電源電圧 V_{DD}=1.8 ~ 2.0V の場合は、動作温度範囲 (Topr) は -20 ~ 85 °C になります。

15.6 推奨発振条件



(1) 高周波発振

(2) 低周波発振

- 注 1) 高周波発振に水晶振動子を使用するときは、動作電圧 V_{DD} が 2.7 V 以上のときのみとなります。動作電圧 V_{DD} が 2.7 V 未満のときは、セラミック発振子を使用してください。
- 注 2) 発振の安定には、発振子の位置、負荷容量等を適切にする必要があります。これらは、基板パターンにより大きな影響を受けます。よって安定した発振を得るために、ご使用される基板での評価をされるようお願いいたします。
- 注 3) 弊社マイクロコントローラの発振子として、(株)村田製作所のセラミック発振子を推奨します。詳細につきましては、下記アドレスの弊社ホームページをご参照ください。
http://www.murata.co.jp/search/index_j.html

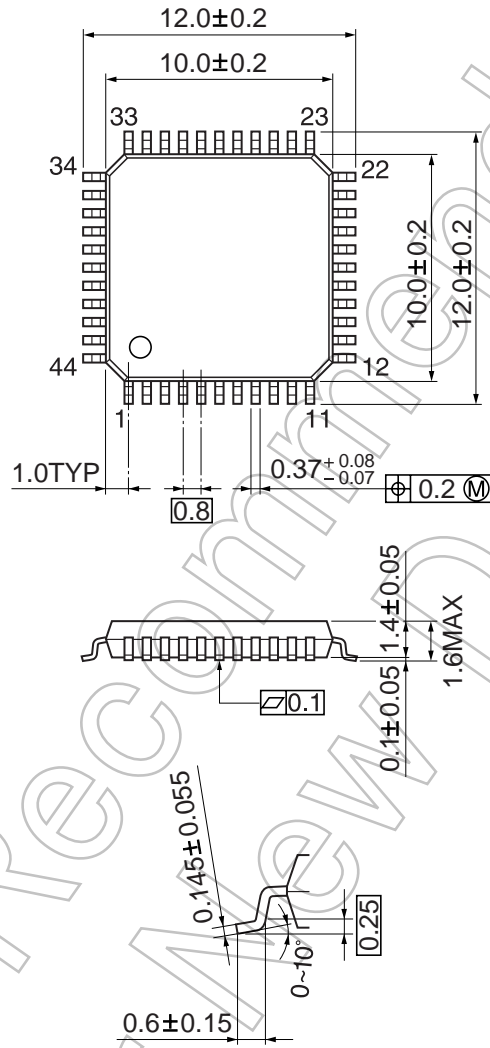
15.7 取り扱い上のご注意

- 鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項
 - 試験項目
はんだ付け性
 - 試験条件
230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)
245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)
 - 備考
フォーミングまでのはんだ付着率 95% を良品とする。
- ブラウン管などの高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

第 16 章 外形寸法

LQFP44-P-1010-0.80B Rev 01

Unit: mm



Not Recommended
for New Design

あとがき

この資料は TMP86CH47AUG のハードウェア (LSI) を中心にした動作機能および電気的特性を説明した技術資料です。

当社ではソフトウェア開発をより効果的に行うため、多くの開発ツールおよび基本ソフトウェアを用意しております。

これらの開発ツールはマイコンハードウェア (LSI) の発展を見越した仕様になっており、長期に渡って使用することができます。またハードウェア/ソフトウェアともバージョンアップのためのアフターサービスも行っており安心してお使いいただけます。

また、昨今の CMOS LSI の製造技術の発展は目覚ましいものがありマイクロコンピュータシステム用 LSI も次々と改良が加えられております。本資料に掲載されている品種も時代とともに改良することがありますのでご使用に当たりましてはご確認の上ご採用いただきますようお願い申し上げます。

当社では優れた MOS 製造技術、特に実績のある CMOS 技術を生かし高速、高集積のパフォーマンスの高いマイクロコンピュータを開発してまいります。

また応用範囲の広がりとともに多様化しているパッケージへのご要望にも応えていく用意も行っております。

今後とも末永く東芝マイクロコンピュータをご利用いただきますようお願い申し上げます。

2007年2月8日

8ビットマイクロコントローラ

TMP86CH47AUG

発行年月日

2007年2月8日

発行

株式会社東芝セミコンダクター社

編集

東芝 LSI システムサポート株式会社
