

東芝 CMOS 集積回路 Silicon Monolithic

TC7717FTG

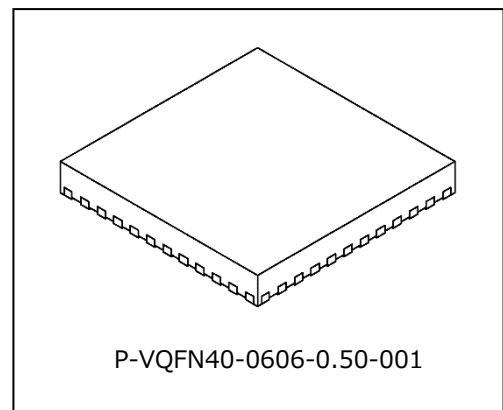
家庭・商用再生可能エネルギー関連システム(1000 V AC 以下または 1500 V DC 以下)
DC/AC 制御インタフェース IC

概要

TC7717FTG は、太陽電池パワーコンディショナ用 DC/AC 制御インタフェース IC です。各制御対象信号の入出力端子、12-bit ADC、検出用差動回路、S/P インタフェースおよび Boost-IC^(注1)インタフェースを内蔵しています。

特長

- プロセス: C-MOS
- 内蔵基準電源: 1.5 V(標準)および 3.0 V(標準)
- 入力電圧
 - AVDD、DVDD: 3.3 V \pm 0.3 V
 - ADVREF: 3.0 V(標準)
- AVDD 端子の低電圧時誤動作防止 UVLO 機能 :
 - リリース: 2.7 V(最大)
 - 停止: 2.2 V(最小)
- 12bit SAR AD コンバータ内蔵(ADC core0, core1)
 - 3.3 V 単電源動作、変換時間 1 μ s
 - メイン CLK: 40 MHz(標準)、PLL 基準外部 CLK: 10 MHz(標準)
- サンプリング機能
 - 交流電流(AIN0 core0)、直流電圧(AIN0 core1)
 - 系統電圧 VU-VO(AIN1 core0)、VW-VO(AIN1 core1)
- 検出機能
 - 交流直流電流成分検出(IDCERR)、系統電圧検出(VUO_OUT)
 - 系統ゼロクロス検出(L_HZO)
 - 直流電流分検出(I_INV)
- アナログ(コンパレータ検出しきい値)モニタ機能
- S/P インタフェース入力(スレーブ側)
 - コンパレータしきい値補正(\pm 10%)
 - 直流過電流(DC_OC_REF)、直流過電圧(DC_OV_REF)
 - 交流過電流(AC_OC_REF)、交流リミット電流(AC_CL_REF)
 - アナログ(コンパレータ検出しきい値)モニタ選択
 - 直流過電流(DC_OC)、直流過電圧(DC_OV)
 - 交流過電流(AC_OC)、交流リミット電流(AC_CL)
- Boost-IC インタフェース(対象製品: T5DK1FG、マスタ側)
 - ADC スタート信号(ADST)、データ転送クロック(ADCLK)
 - ADC サンプリングデータ信号(DOUT0、DOUT1)
- 外部リセット入力端子: C-MOS 入力
- パッケージ QFN40 (6.0 mm \times 6.0 mm、0.5 mm Pitch)



質量 97.6 mg(標準)

注 1: "Boost-IC"は専用制御 IC T5DK1FG を示します。

本製品は、MOS 構造の素子を搭載しており、静電気に対し非常にデリケートであるため、お取り扱いに際しては、アースバンドや導電マットの使用、イオナイザー等による静電気の除去および、温湿度管理等の静電対策に充分ご配慮願います。

端子配置(Top View)

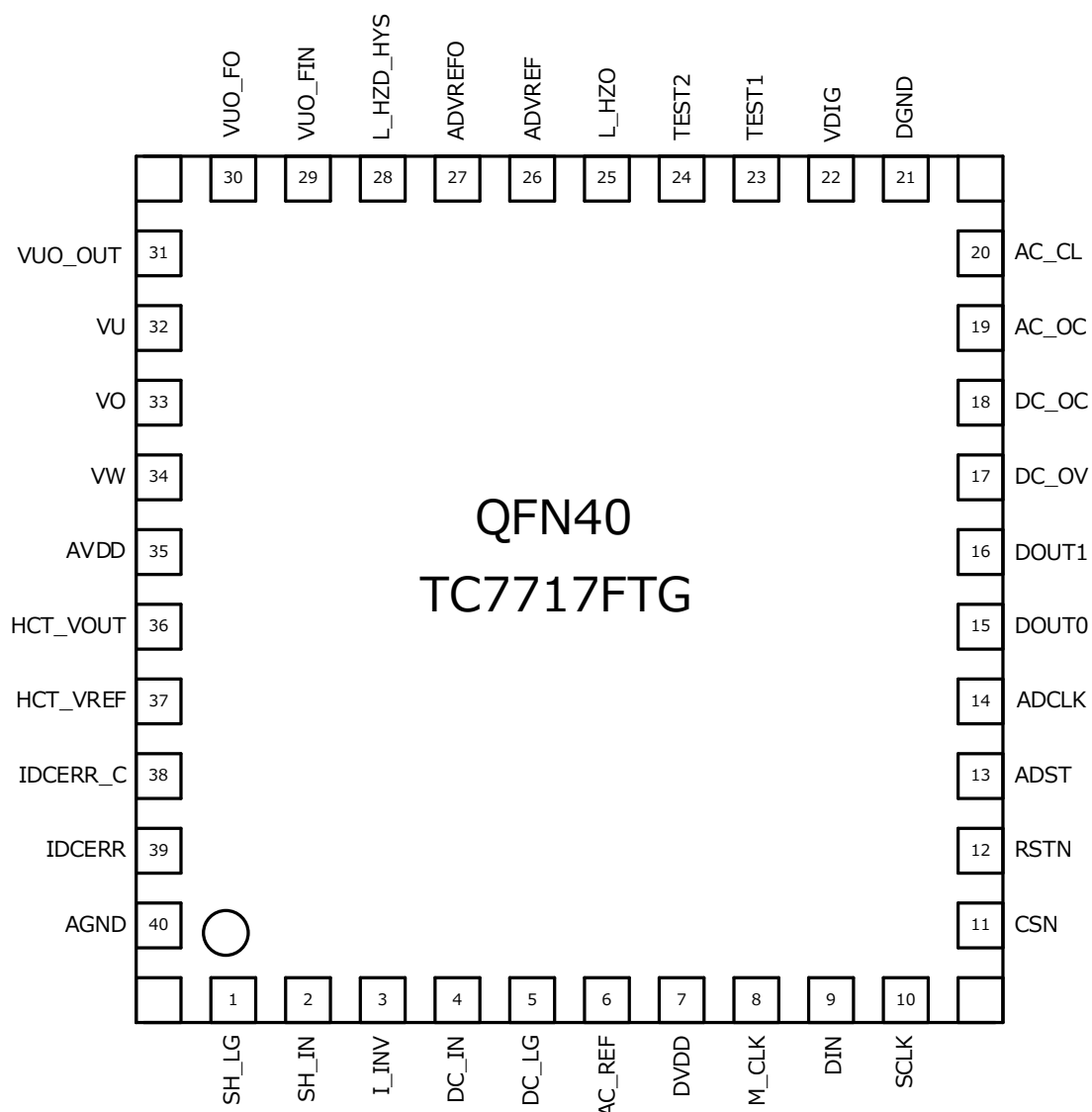


図-1

※: QFN パッケージのコーナー-PAD および裏面放熱 PAD は必ず基板の GND に接続いただきますようお願いいたします。

※: デバイスの逆差し、差し違い、または電源のプラスとマイナスの逆接続はしないでください。デバイスが正常動作しないため、システムの破壊、損傷および劣化の原因となり、破裂・燃焼により傷害を負うことがあります。なお、逆差しおよび差し違いのままに通电したデバイスは決して使用しないでください。

端子機能説明(1)

表-1(1)

番号	端子名	I/O	機能説明	Pull-Up/Pull-Down 外付け抵抗 ($\geq 10\text{ k}\Omega$)
1	SH_LG	A/I	直流電流検出アンプの非反転入力端子 シャント抵抗の基板グラウンド(直流電圧のグラウンド)側を接続します。 SH_LG、DGND、DC_LG、AGND は基板グラウンドとして外部短絡してください。	—
2	SH_IN	A/I	直流電流検出アンプの反転入力端子 シャント抵抗のインバータブリッジ側を接続します。 SH_IN(カソード)~SH_LG(アノード)に保護ダイオードを接続してください。	—
3	I_INV	L/O A/O	直流電流検出アンプの出力(反転増幅信号)端子 起動時およびリセット(RSTN=Low)時には PLL ロックフラグを出力します。 S/P インタフェース設定で、この端子からアナログ内部信号をモニタすることができます。	—
4	DC_IN	A/I	直流電圧検出アンプの反転入力端子 直流電圧を抵抗分圧(約 0.4212 %)した電圧を接続します。 DC_IN(カソード)~DC_LG(アノード)間に保護ダイオードを接続してください。	—
5	DC_LG	A/I	直流電圧検出アンプの非反転入力端子 直流電圧のグラウンド側を接続します。 SH_LG、DGND、DC_LG、AGND は基板グラウンドとして外部短絡してください。	—
6	AC_REF	A/O	系統(交流)電圧検出の基準電圧出力端子 系統電圧を抵抗分圧(VU、VO、VW)した低電圧側をこの端子(1.5 V)に接続します。	—
7	DVDD	P/I	ロジック回路用 3.3 V 電源入力端子 DVDD、AVDD は外部短絡してください。	—
8	M_CLK	L/I	PLL の外部基準クロック入力端子 MCU から 3.3 V 系の基準クロック信号 10 MHz を入力します。	Pull-Down
9	DIN	L/I	S/P インタフェースのシリアルデータ入力端子 MCU から 3.3 V 系のデータ信号を入力します。スレープ側のみです。	Pull-Up
10	SCLK	L/I	S/P インタフェースの転送クロック入力端子 MCU から 3.3 V 系のデータ転送クロック信号を入力します。	Pull-Down
11	CSN	L/I	S/P インタフェースのスタート信号入力端子 MCU から 3.3 V 系の信号を入力します。Low=設定データ入力です。	Pull-Up
12	RSTN	L/I	IC のリセット入力端子 外部電源監視結果を入力します。High=通常動作、Low=初期化(起動時 UVLO と同じ)します。	Pull-Down
13	ADST	L/I	Boost-IC インタフェースの ADC サンプリング開始トリガ入力端子 この High パルスをトリガに ADC はサンプリングを開始します。事前に S/P インタフェース設定によって ADC 出力をアクティブにします。	Pull-Down
14	ADCLK	L/O	Boost-IC インタフェースの ADC サンプリングデータの転送クロック出力端子。 このクロックに同期して、ADC サンプリングデータを DOUT0 または DOUT1 から出力します。	Pull-Down
15	DOUT0	L/O	Boost-IC インタフェースの ADC サンプリングデータの出力端子 (ADC-0 側、AIN0:交流電流、AIN1:系統交流電圧 U-O)。	Pull-Down
16	DOUT1	L/O	Boost-IC インタフェースの ADC サンプリングデータの出力端子 (ADC-1 側、AIN0:直流電圧、AIN1:系統交流電圧 W-O)。	Pull-Down
17	DC_OV	L/O	直流電圧の過電圧(OV)検出コンパレータの判定結果出力端子 High=通常動作、Low=検出時です。	Pull-Up
18	DC_OC	L/O	直流電圧の過電流(OC)検出コンパレータの判定結果出力端子 High=通常動作、Low=検出時です。	Pull-Up
19	AC_OC	L/O	交流電流の過電流(OC)検出コンパレータの判定結果出力端子 High=通常動作、Low=検出時です。	Pull-Up
20	AC_CL	L/O	交流電流のリミット電流(CL)検出コンパレータの判定結果出力端子 High=通常動作、Low=検出時です。	Pull-Up

I/O: A/I=アナログ回路入力、A/O=アナログ回路出力、L/I=ロジック回路入力、L/O=ロジック回路出力、P/I=動作電源入力、P/O=動作電源出力を示します。

備考: ロジック回路出力(L/O)は起動時で不定、リセット信号 RSTN=Low が入力後、初期値になります。

その論理出力は通常動作で、Pull-Up/Pull-Down 抵抗と同じ論理レベルです。(例: Pull-Up="High", Pull-Down="Low")

端子機能説明(2)

番号	端子名	I/O	機能説明	Pull-Up/Pull-Down 外付け抵抗 ($\geq 10\text{ k}\Omega$)
21	DGND	P/I	デジタル回路用グラウンド端子 SH_LG、DGND、DC_LG、AGND は基板クラウンドとして外部短絡してください。	—
22	VDIG	P/O	デジタル回路用 1.5 V 内部電源のモニタおよびデカップリンクコンデンサ接続端子 0.1 μF のデカップリンクコンデンサを基板グラウンドとの間に接続してください。	—
23	TEST1	L/I	ベンダ使用端子	100 k Ω の Pull-Down 内蔵
24	TEST2	L/I	通常時は Low 入力にします。グラウンドへ接続してください。	
25	L_HZO	L/O	ゼロクロス検出コンパレータの出力端子 (注)	Pull-Down
26	ADVREF	P/I	ADC 用基準電源(3.0 V)の入力端子 (注)	—
27	ADVREFO	P/O	ADC 用基準電源(3.0 V)の内部生成端子 外部電源を用いる場合はオープンにします。	—
28	L_HZD_HYS	A/I	ゼロクロス検出コンパレータのヒステリシス設定端子 (注)	—
29	VUO_FIN	A/I	ゼロクロス検出コンパレータのプリフィルタ入力端子 (注)	—
30	VUO_FO	A/O	ゼロクロス検出コンパレータのプリフィルタ出力端子 (注)	—
31	VUO_OUT	A/O	系統交流電圧検出アンプ(U-O 相)出力端子 (注)	—
32	VU	A/I	系統交流電圧(U 相)入力端子 系統交流電圧 U 相と 6 ピン間で抵抗分圧(約 0.37 %)した電圧を入力します。 VU(カソード)~基板グラウンド(アノード)に保護ダイオードを接続してください。	—
33	VO	A/I	系統交流電圧(O 相)入力端子 系統交流電圧 O 相と 6 ピン間で抵抗分圧(約 0.37 %)した電圧を入力します。 VO(カソード)~基板グラウンド(アノード)に保護ダイオードを接続してください。	—
34	VW	A/I	系統交流電圧(W 相)入力端子 系統交流電圧 W 相と 6 ピン間で抵抗分圧(約 0.37 %)した電圧を入力します。 VW(カソード)~基板グラウンド(アノード)に保護ダイオードを接続してください。	—
35	AVDD	P/I	アナログ回路用 3.3 V 主電源入力端子 DVDD, AVDD は外部短絡してください。	—
36	HCT_VOUT	A/I	交流電流検出アンプの非反転入力端子 電流トランスデューサの出力端子を接続します。	—
37	HCT_VREF	A/I	交流電流検出アンプの反転入力端子 電流トランスデューサの基準電圧出力端子を接続します。	—
38	IDCERR_C	A/O	交流直流電流成分検出アンプのフィルタ設定端子 50 Hz 成分を 2.6/100 に減衰するローパスフィルタ用のコンデンサ 0.68 μF を 基板グラウンドとの間に接続します。	—
39	IDCERR	A/O	交流直流電流成分検出アンプ出力端子 交流の直流電流成分(IDCERR_C 電圧)を 26 倍に増幅出力します。 この出力後に、直流成分を取り出すためのノッチフィルタの設置を推奨します。	—
40	AGND	P/I	アナログ回路用グラウンド端子 SH_LG、DGND、DC_LG、AGND は基板クラウンドとして外部短絡してください。	—

表-1(2)

注: 各端子との接続は、部品が複数あるため、11 ページまたは 20,21 ページを参照してください。

I/O: A/I=アナログ回路入力、A/O=アナログ回路出力、L/I=ロジック回路入力、L/O=ロジック回路出力、P/I=動作電源入力、
P/O=動作電源出力を示します。

備考: ロジック回路出力(L/O)は起動時で不定、リセット信号 RSTN=Low が入力後、初期値になります。

その論理出力は正常動作で、Pull-Up/Pull-Down 抵抗と同じ論理レベルです。(例: Pull-Up="High", Pull-Down="Low")

入出力等価回路図(1)

表-2(1)

端子名	入出力等価回路
VW,VO,VU	<p>AVDD <input checked="" type="checkbox"/> ---</p> <p>VW,VO,VU <input checked="" type="checkbox"/> ---</p> <p>AGND <input checked="" type="checkbox"/> ---</p> <p>系統交流電圧検出アンプ回路</p> <p>内部1.5 V</p> <p>990 kΩ</p> <p>1 MΩ</p> <p>内部回路</p> <p>(マイナス入力の外付10 kΩを含めてゲインx1倍)</p>
L_HZD_HYS	<p>AVDD <input checked="" type="checkbox"/> ---</p> <p>L_HZD_HYS <input checked="" type="checkbox"/> ---</p> <p>AGND <input checked="" type="checkbox"/> ---</p> <p>ゼロクロス・コンパレータ</p> <p>250 Ω</p> <p>内部1.5 V</p> <p>L_HZO</p>
VUO_FIN, VUO_FO	<p>AVDD <input checked="" type="checkbox"/> ---</p> <p>VUO_FIN <input checked="" type="checkbox"/> ---</p> <p>AGND <input checked="" type="checkbox"/> ---</p> <p>2次LPF用アンプ</p> <p>250 Ω</p> <p>250 Ω</p> <p>250 Ω</p> <p>VUO_FO</p>
SH_LG,SH_IN	<p>AVDD <input checked="" type="checkbox"/> ---</p> <p>SH_IN <input checked="" type="checkbox"/> ---</p> <p>SH_LG <input checked="" type="checkbox"/> ---</p> <p>AGND <input checked="" type="checkbox"/> ---</p> <p>直流電流検出アンプ回路</p> <p>R1</p> <p>R1</p> <p>R2</p> <p>R2</p> <p>R3</p> <p>x11.66</p> <p>内部回路</p> <p>内部回路</p> <p>ADVREF</p> <p>(単電源動作のため マイナス入力は 基板グラウンドへ接続)</p> <p>R1=10 kΩ, R2=140 kΩ, R3=107.3 kΩ</p>

入出力等価回路図(2)

表-2(2)

端子名	入出力等価回路
DC_LG, DC_IN	<p>AVDD</p> <p>DC_IN</p> <p>DC_LG</p> <p>(単電源動作のため マイナス入力は 基板グラウンドへ接続)</p> <p>250 Ω</p> <p>1 MΩ</p> <p>直流電圧検出アンプ、コンパレータ回路</p> <p>アンプ x1</p> <p>コンパレータ</p> <p>107.5 kΩ</p> <p>DC_OV_REF</p> <p>内部回路</p> <p>内部回路</p> <p>AGND</p>
HCT_VOUT, HCT_VREF	<p>AVDD</p> <p>HCT_VOUT</p> <p>HCT_VREF</p> <p>(HCT_VREFは 外部抵抗400 Ω(標準) でPull-Down)</p> <p>100 kΩ</p> <p>100 kΩ</p> <p>213.4 kΩ</p> <p>交流電流検出アンプ回路</p> <p>x2.13</p> <p>内部1.5 V</p> <p>内部回路</p> <p>AGND</p>
I_INV IDCERR	<p>AVDD</p> <p>アナログモニタ信号</p> <p>IDCERR, I_INV</p> <p>PLLロックフラグ(I_INVのみ)</p> <p>ADC AINへ</p> <p>モニタ信号セクタ 内部スイッチ 約100 Ω相当</p> <p>250 Ω</p> <p>I_INV IDCERR</p> <p>AGND</p>
VUO_OUT	<p>AVDD</p> <p>内部1.5 V</p> <p>x2</p> <p>250 Ω</p> <p>VUO_OUT</p> <p>交流電流検出アンプ回路</p> <p>ADC AINへ</p> <p>AGND</p>

入出力等価回路図(3)

端子名	入出力等価回路
IDCERR_C	
RSTN, M_CLK, DIN, SCLK, CSN, ADST	
TEST1, TEST2	
ADCLK, DOUT0, DOUT1, DC_OV, DC_OC, AC_OC, AC_CL, L_HZO	

表-2(3)

入出力等価回路図(4)

表-2(4)

端子名	入出力等価回路
ADVREF	<p>内部回路 内部基準用分圧×3 内部1.5V</p>
AC_REF	<p>内部基準 1.5V 250 Ω</p>
VDIG	<p>内部ADC、PLL用内部アナログ基準電圧、1.5V系ロジック電源</p>
ADVREFO	<p>内部基準 1.2V DAC 2 kΩ 8 kΩ</p>

入出力等価回路図(5)

表-2(5)

端子名	入出力等価回路
AVDD, DVDD AGND, DGND	

太陽電池パワーコンディショナ システム全体構成図

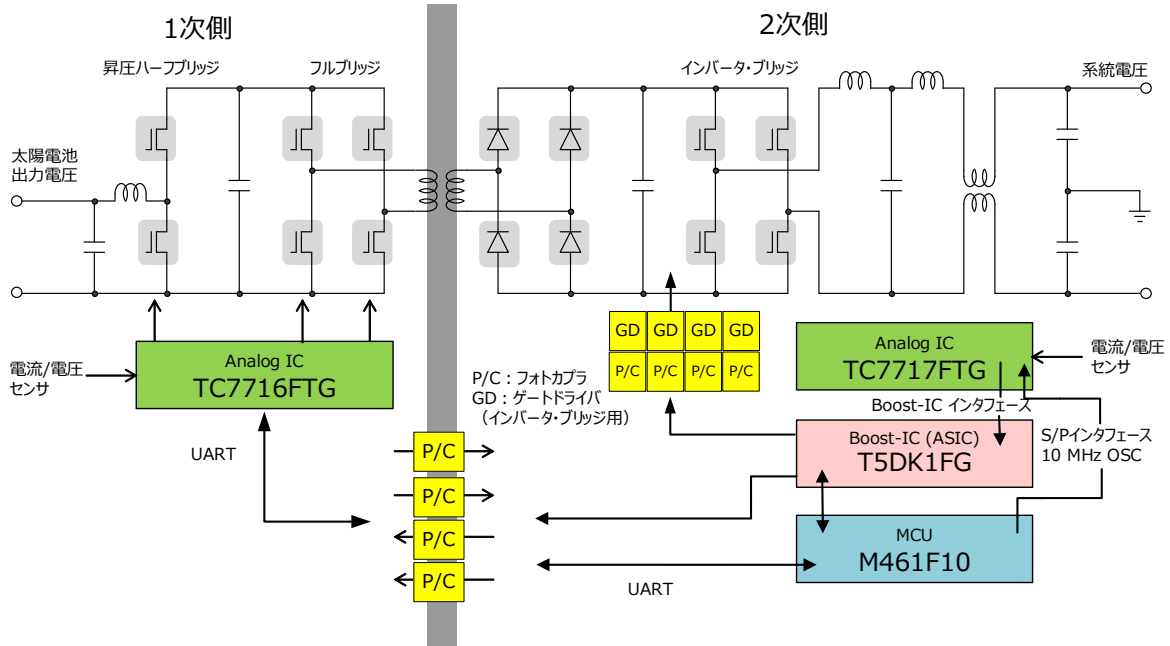


図-2

応用回路例:

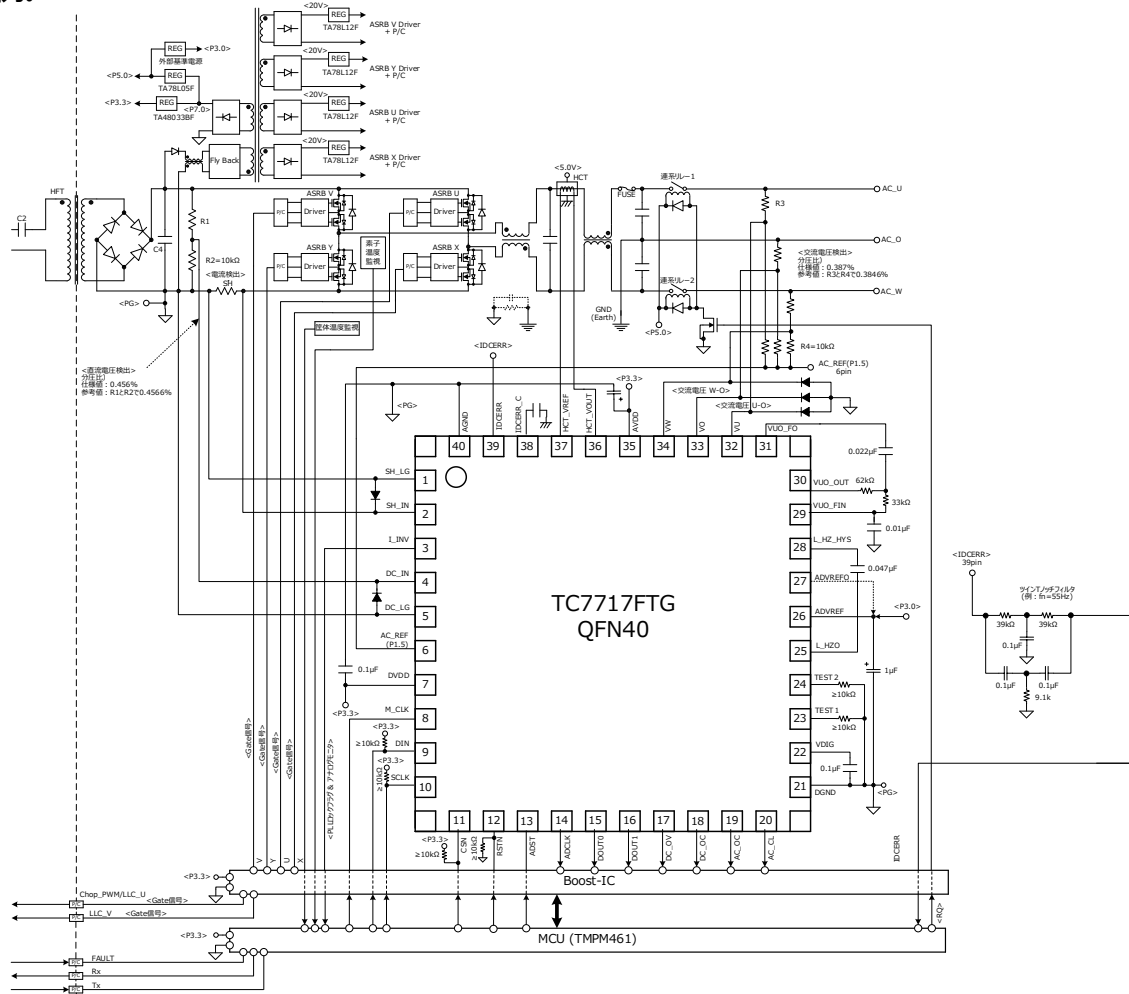


図-3

※：応用回路例は、参考例であり、量産設計に際しては十分な評価を行ってください。また、工業所有権の使用の許諾を行うものではありません。

インバータ システム部:

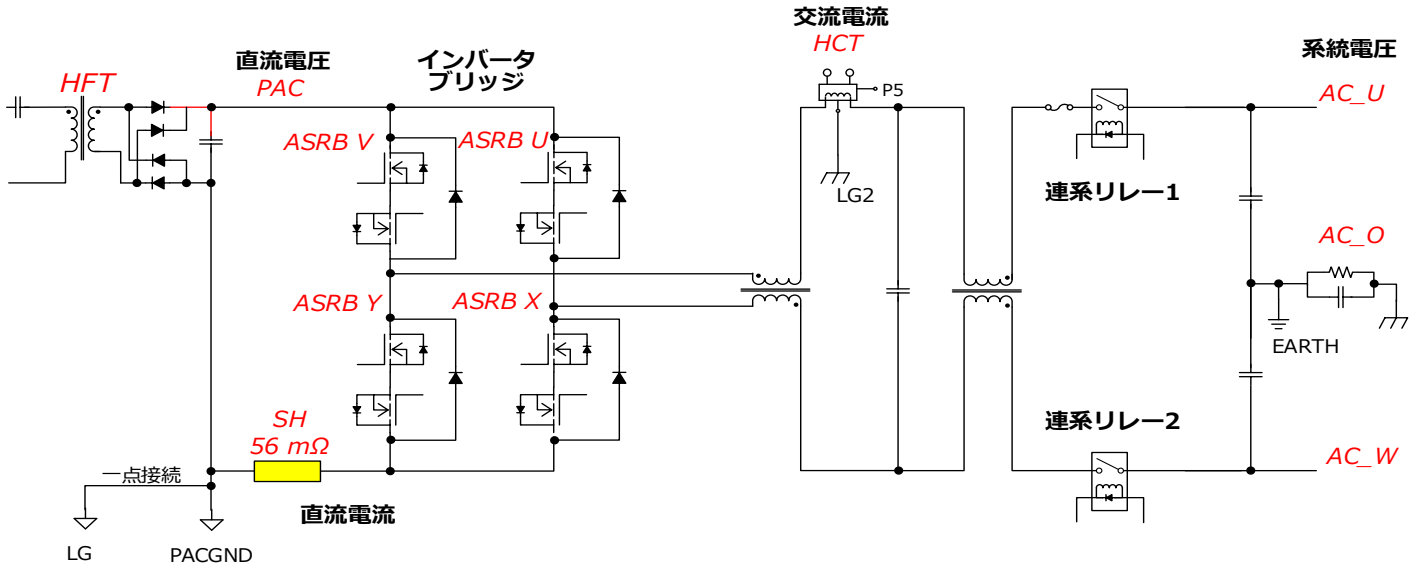


図-4

※: システム図は、機能を説明するため、一部省略・簡略化している場合があります。

ブロック図:

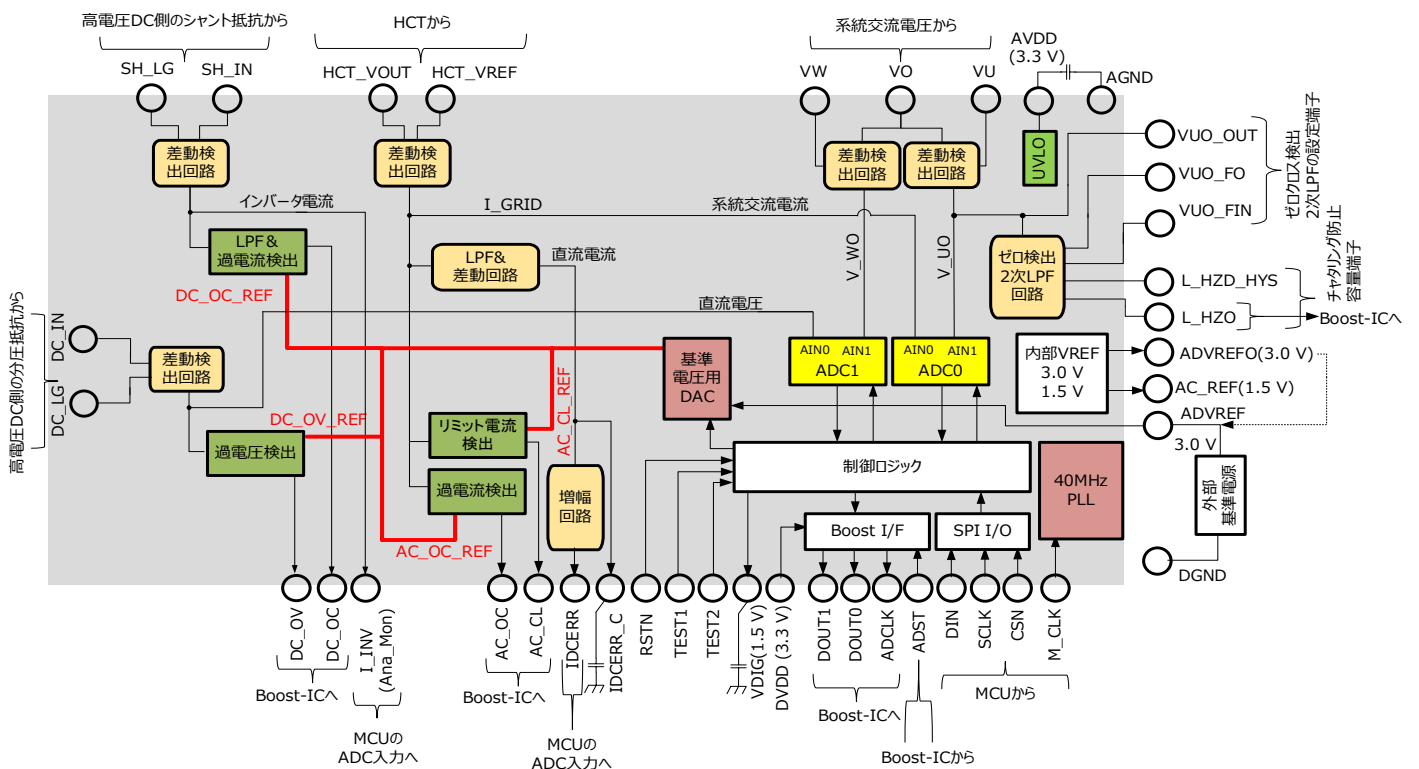


図-5

※: ブロック図内の機能ブロック/回路/定数などは、機能を説明するため、一部省略・簡略化している場合があります。

絶対最大定格 (特に記載がない場合は、Ta=25 °C)

表-3

項目	記号	定格	単位
電源電圧	AVDD, DVDD	3.7	V
電源電圧	V_ADVREF	3.7	V
アナログおよびロジック入力端子印加電圧	Vih	(※1)下表参照	V
	Vil	AGND, DGND-0.3(※2)	V
許容損失(※3)	P _D	3716	mW
動作周囲温度	T _{opr}	-40 ~ 85	°C
保存温度	T _{stg}	-55 ~ 125	°C
ジャンクション温度	T _j	125	°C

※1: 各端子最大印加電圧 (上限は 3.7V を超えないこと)

表-4

端子番号	端子記号	定格	単位	端子番号	端子記号	定格	単位
1	SH_LG	AVDD+0.3	V	21	DGND	—	V
2	SH_IN	AVDD+0.3		22	VDIG	(※4)	
3	I_INV	(※5)		23	TEST1	—	
4	DC_IN	AVDD+0.3		24	TEST2	—	
5	DC_LG	AVDD+0.3		25	L_HZO	DVDD+0.3	
6	AC_REF	VDIG+0.3		26	ADVREF	3.7	
7	DVDD	3.7		27	ADVREFO	(※4)	
8	M_CLK	DVDD+0.3		28	L_HZD_HYS	AVDD+0.3	
9	DIN	DVDD+0.3		29	VUO_FIN	AVDD+0.3	
10	SCLK	DVDD+0.3		30	VUO_FO	(※5)	
11	CSN	DVDD+0.3		31	VUO_OUT	AVDD+0.3	
12	RSTN	DVDD+0.3		32	VU	AVDD+0.3	
13	ADST	DVDD+0.3		33	VO	AVDD+0.3	
14	ADCLK	DVDD+0.3		34	VW	AVDD+0.3	
15	DOU0	DVDD+0.3		35	AVDD	3.7	
16	DOU1	DVDD+0.3		36	HCT_VOUT	AVDD+0.3	
17	DC_OV	DVDD+0.3		37	HCT_VREF	AVDD+0.3	
18	DC_OC	DVDD+0.3		38	IDCERR_C	(※5)	
19	AC_OC	DVDD+0.3		39	IDCERR	(※5)	
20	AC_CL	DVDD+0.3		40	AGND	—	

※2: 各端子共通。AGNDとDGNDは基板上で結線してください。

※3: 基板条件: □76-1.6t-4層FR-4基板、内層100%、外層3.5%(端子配置のみ)

Ta=25 °C以上のとき1 °C上昇について、最大定格より29.7 mWを減じる。

※4: 外部からの電圧印加は行わないでください。

※5: 出力端子専用

※6: 「—」はグラウンドまたはグラウンド電位に接続します。

※最大定格は瞬時たりとも超えてはならない規格です。最大定格を超えるとICの破壊や劣化や損傷の原因となり、IC以外にも破壊や損傷や劣化を与えるおそれがあります。いかなる動作条件でも必ず最大定格を超えないように設計を行ってください。ご使用に際しては、記載された動作範囲内でご使用ください。

パッケージ 許容損失

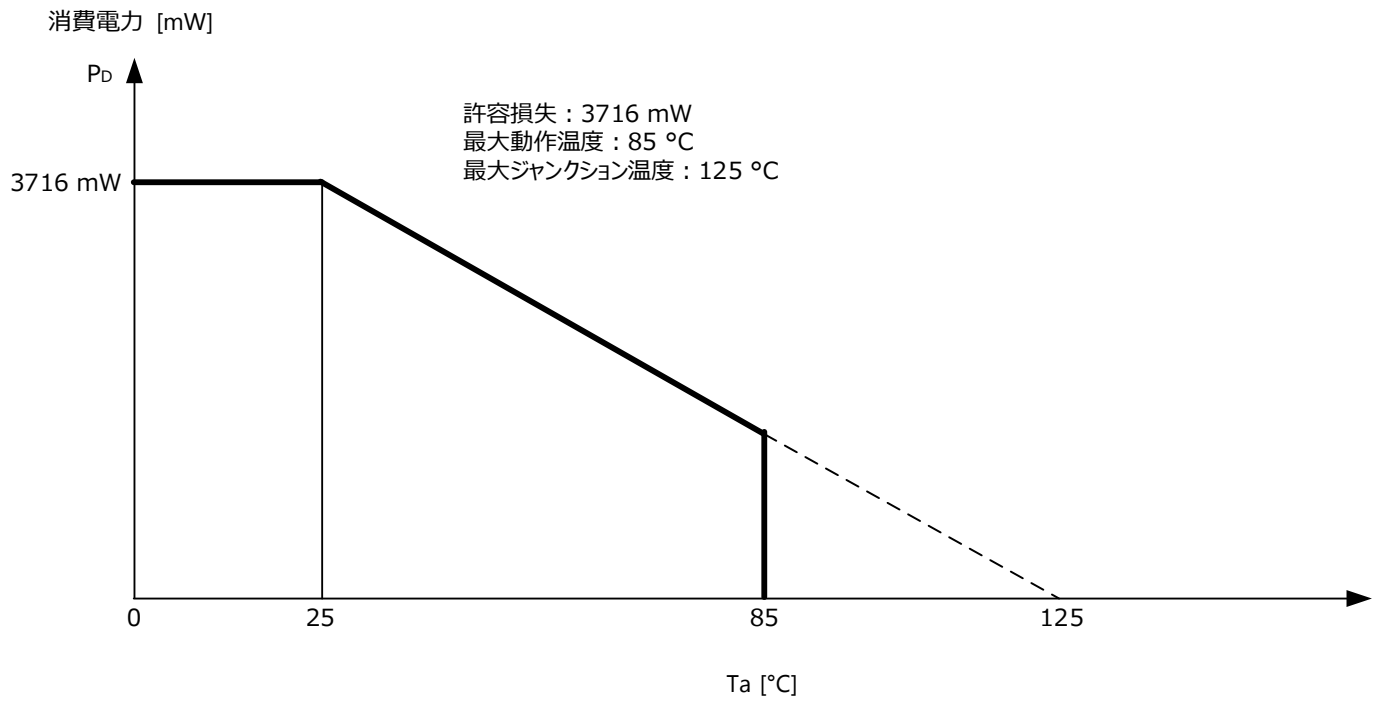


図-6

動作条件 (Ta = 25 °C)

表-5

項目	記号	条件	最小	標準	最大	単位
電源電圧	AVDD	—	3.0	3.3	3.6	V
	DVDD	—				
	V_ADVREF	外部電源入力				
電源立ち上がり時間	tr_AVDD	通常時、外部電源入力	100	—	—	μs
	tr_DVDD	0→0.8 V *AVDD および DVDD				
電源立ち下がり時間	tf_AVDD	通常時、外部電源入力	100	—	—	μs
	tf_DVDD	3.3→0.2 V *AVDD および DVDD				

基準電源および UVLO 特性 (特に記載がない場合は、Ta=25 °C、AVDD=DVDD=3.3 V、ADVREF=3.0 V、AGND=DGND=DC_LG=SH_LG=0 V)

表-6

基準電源および UVLO(低電圧時誤動作防止)

項目	記号	測定条件	最小	標準	最大	単位
交流電圧検出用基準電源	V_acref	交流検出電圧の抵抗分圧専用	1.48	1.5	1.52	V
消費電流	Idd_ana	M_CLK=10 MHz, ADC アクティブ	—	10	25	mA
	Idd_advref	—	—	2	5	
起動電圧(UVLO 解除電圧)	Vstr	AVDD のみ	—	—	2.7	V
UVLO 動作電圧	Vuvlo	AVDD のみ	2.2	—	—	
ロジック用動作電源端子(内蔵)	Vdig	外部デカップリンク用	1.35	1.5	1.65	

内蔵 ADC 用可変型基準電圧源

項目	記号	測定条件	最小	標準	最大	単位
出力電圧	V_advrefo	ADREFTMP[2:0]=011 ADREFT[4:0]=10010	2.9	3.0	3.1	V

<動作説明>

AVDD 端子の低電圧時誤動作防止 UVLO 機能

AVDD 端子電圧が 2.2 V(最小)以下のとき、誤動作防止のため、内部回路をリセット(初期化)して動作停止します。

また、AVDD 端子が 2.7 V(最大)以上のとき、リセット(初期化)を解除し、動作可能になります。

内蔵 3 V 電源(ADVREFO 端子)動作

3 V 基準電圧源を内蔵しており、ADVREFO 端子から出力します。S/P インタフェース入力とレジスタ設定によって、その電圧を設定可能です。

等価回路>

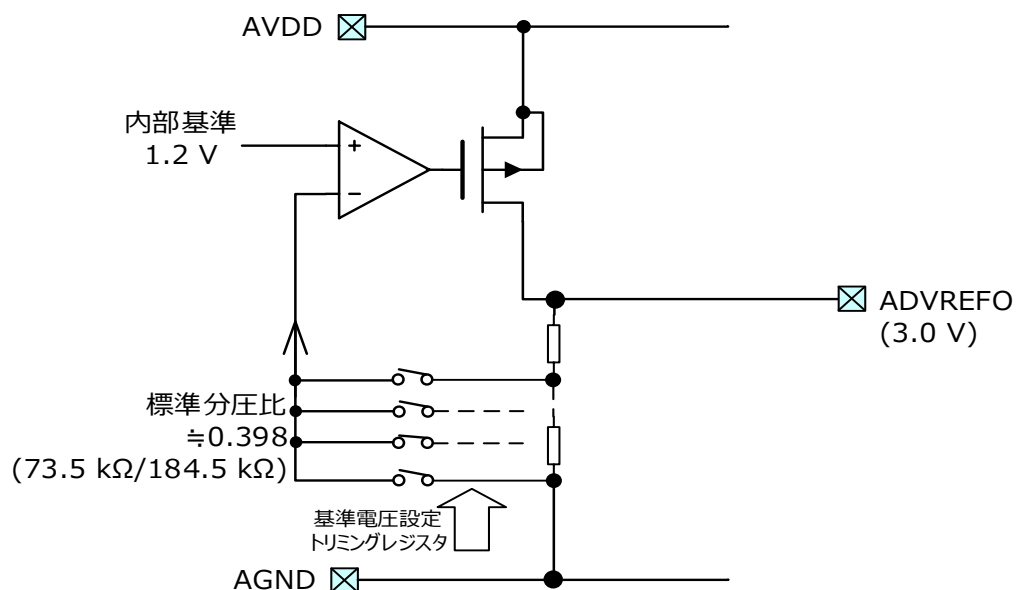


図-7

デジタル入出力特性 (特に記載がない場合は、 $T_a=25\text{ }^\circ\text{C}$ 、 $AVDD=DVDD=3.3\text{ V}$ 、 $ADVREF=3.0\text{ V}$ 、 $AGND=DGND=DC_LG=SH_LG=0\text{ V}$)

表-7

ICリセット端子

項目	記号	測定条件	最小	標準	最大	単位
リセット解除(ハイレベル)入力電圧	Vporoff	外部電源監視ICから入力, シュミットトリガ入力	$0.7 \cdot DVDD$	—	—	V
リセット動作(ローレベル)入力電圧	Vporon	—	—	—	$0.3 \cdot DVDD$	V
ハイレベル入力電流	Iihrstn	RSTN	—	—	1.0	μA
ローレベル入力電流	Iilrstn	RSTN	—	—	1.0	μA

S/P インタフェース部 入力

項目	記号	測定条件	最小	標準	最大	単位
ハイレベル入力電圧	Vihspi	DIN、SCLK、CSN、M_CLK シュミットトリガ入力	$0.7 \cdot DVDD$	—	—	V
ローレベル入力電圧	Vilspi	DIN、SCLK、CSN、M_CLK シュミットトリガ入力	—	—	$0.3 \cdot DVDD$	V
ハイレベル入力電流	Iihspi	DIN、SCLK、CSN、M_CLK	—	—	1.0	μA
ローレベル入力電流	Iilspi	DIN、SCLK、CSN、M_CLK	—	—	1.0	μA

Boost-IC インタフェース部 入出力

項目	記号	測定条件	最小	標準	最大	単位
ハイレベル入力電圧	Vihbst	ADST、シュミットトリガ入力	$0.7 \cdot DVDD$	—	—	V
ローレベル入力電圧	Vilbst	ADST、シュミットトリガ入力	—	—	$0.3 \cdot DVDD$	V
ハイレベル入力電流	Iihbst	ADST	—	—	1.0	μA
ローレベル入力電流	Iilbst	ADST	—	—	1.0	μA
ハイレベル出力電圧	Vhobst	ADCLK、DOUT0、DOUT1、 $I_{\text{source}} = -0.33\text{ mA}$	$0.7 \cdot DVDD$	—	—	V
ローレベル出力電圧	Vlobst	ADCLK、DOUT0、DOUT1、 $I_{\text{sink}} = +0.33\text{ mA}$	—	—	$0.3 \cdot DVDD$	V

コンパレータ出力

項目	記号	測定条件	最小	標準	最大	単位
ハイレベル出力電圧	Vho_comp	DC_OC、DC_OV、AC_OC、AC_CL $I_{\text{source}} = -0.33\text{ mA}$	$0.7 \cdot DVDD$	—	—	V
ローレベル出力電圧	Vlo_comp	DC_OC、DC_OV、AC_OC、AC_CL $I_{\text{sink}} = +0.33\text{ mA}$	—	—	$0.3 \cdot DVDD$	V

直流電流検出 (特に記載がない場合は、 $T_a=25\text{ }^\circ\text{C}$, $AVDD=DVDD=3.3\text{ V}$, $ADVREF=3.0\text{ V}$, $AGND=DGND=DC_LG=SH_LG=0\text{ V}$)

表-8

直流電流検出アンプ部 (SH_IN~SH_LG 端子間シャント抵抗 56 mΩ 標準)

項目	記号	測定条件	最小	標準	最大	単位
検出信号出力電圧	V _{i-inv}	V _{sh-in} =0 V 時のレベルシフト電圧	0.14	0.200	0.26	V
		V _{sh-in} =99.8 mV	1.257	1.367	1.477	V
		V _{sh-in} =229.5 mV	2.765	2.875	2.985	V
検出回路ゲイン	Av _{sh-in}	例)130.3 kΩ/7.5 kΩ	11.42	11.66	11.90	—
入力オフセット電圧	ΔV _{i-inv}	SH_IN~SH_LG 端子間	-5	—	+5	mV
入力端子流入電流	I _{shin}	入力電圧 V _{sh-in} =0 V	-50	-20	—	μA

直流電流検出コンパレータ部: コンパレータの検出対象は上記 V_{i-inv}

項目	記号	測定条件	最小	標準	最大	単位
DC_OC 動作入力電圧	V _{dcocref}	SH_IN 電圧 → V _{dcoc} =High→Low	190	200	210	mV
検出時間	t _{dcoc}	しきい値は DAC のデフォルト 入力電圧=定格→FS に可変	—	—	5	μs

<動作説明>直流電流検出

図-8 は、直流電流検出回路を示します。インバータブリッジの直流電流を電圧値としてモニタする機能です。

I_INV 端子に外付け部品(C×1,R×1)でローパスフィルタを構成しています。

SH_IN~SH_LG 端子間のシャント抵抗の電位差(0~229.5 mV)をアンプ回路(11.66 倍)で増幅して I_INV 端子から電圧出力します。この I_INV 端子電圧はコンパレータ回路で基準電圧(DC_OC_REF)と比較し、検出されると DC_OC 端子が High→Low になります。

初期値のコンパレータの基準電圧 DC_OC_REF=2.531 V(標準@デフォルト)です。

このとき、アンプ回路のカットオフ周波数は482 kHz(標準)、コンパレータの入力オフセット電圧=±10 mV(最大)です。

等価回路>

内蔵の抵抗および容量の値は標準値です。

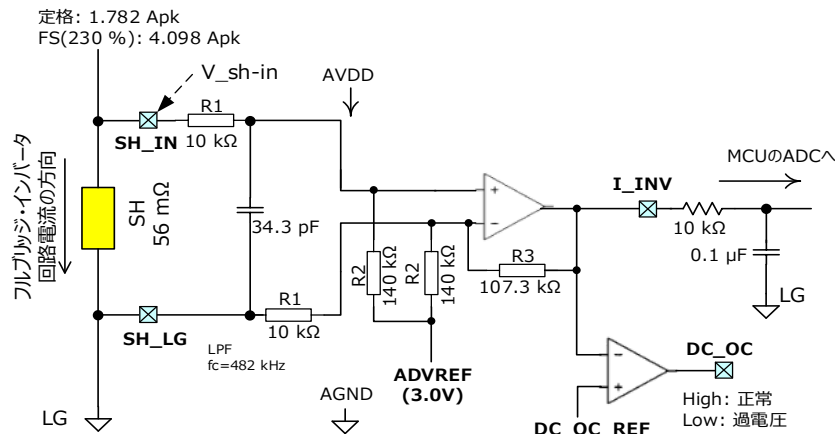


図-8

直流過電流検出(DC_OC)コンパレータ出力

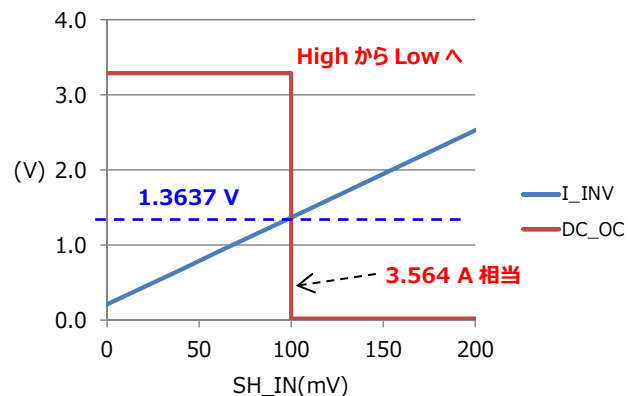


表-9

直流過電流検出レベル (標準)

レベル	検出電流		入力電圧	出力電圧
	%	A	V _{sh-in} mV	V _{i-inv} V
ゼロ	0	0	0	0.20
定格	100	1.782	99.8	1.3637
OC	200	3.564	199.6	2.5273
FS	230	4.098	229.5	2.8759

概算式は以下のとおりです。

FS(230%)の例:

入力電圧 V_{sh-in}=検出電流(A)×シャント抵抗 56(mΩ)=4.098(A)×56(mΩ)≐229.5(mV)

出力電圧 V_{i-inv}=V_{sh-in}(V)×アンプ回路ゲイン 11.66+レベルシフト 0.2(V)≐229.5(mV)×11.66+0.2=2.8759(V)

出力オフセット電圧 V_{is}=ADVREF×R1/(R1+R2)=0.20(V)

アンプ回路ゲイン=R2/(R1+R2)+R3/R1≐11.66

このとき、R1:R2:R3=1:14:10.73 です。

直流電圧検出 (特に記載がない場合は、 $T_a=25\text{ }^\circ\text{C}$ 、 $AVDD=DVDD=3.3\text{ V}$ 、 $ADVREF=3.0\text{ V}$ 、 $AGND=DGND=DC_LG=SH_LG=0\text{ V}$)

表-10

直流電圧検出アンプ部 ~ 内部 ADC データへ供給 ~

項目	記号	測定条件	最小	標準	最大	単位
検出信号出力電圧	V_ain0_core1	V_dcin=0.125 V	0.115	0.125	0.135	V
		V_dcin=1.403 V	1.393	1.403	1.413	V
		V_dcin=2.875 V	2.865	2.875	2.885	V
検出回路ゲイン	Av_dcov	V_dcin=0.125~1.519 V	0.99	1	1.01	—
入力端子リーク電流	I_dcin	—	—	±1	μA	

直流電圧検出コンパレータ部

項目	記号	測定条件	最小	標準	最大	単位
DC_OV 端子電圧	V_dcov_on	内部 DC_OV_REF 電圧デフォルト時	2.264	2.297	2.330	V
入力端子リーク電流	I_dcin	—	—	—	±1	μA
検出時間	t_dcov	しきい値: DAC のデフォルト 入力電圧=定格→FS に可変	—	—	5	μs

<動作説明>直流電圧検出

図-9 は、直流電圧検出回路を示します。インバータブリッジの直流電圧を同じく電圧値としてモニタする機能です。

DC_IN~DC_LG 間抵抗 10 kΩ に対して、高圧 PAC を 0.4212 % 分圧した入力電圧(0.125~2.875 V)をバッファ回路(1 倍)を通じて内部 ADC へ入力(AIN0 core1)します。

このアンプ回路の入力オフセット電圧は、定格 333 V による入力電圧の 1 %の±15 mV です。

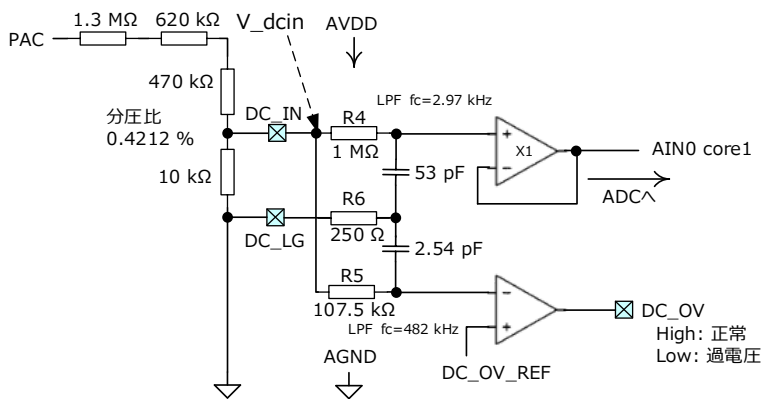
この内部電圧はコンパレータ回路で基準電圧(DC_OV_REF)と比較し、検出されると DC_OV 端子が High→Low になります。

初期値のコンパレータの基準電圧 DC_OC_REF=2.297 V(標準)です。

このとき、アンプ回路のカットオフ周波数=2.97 kHz(標準)、コンパレータのカットオフ周波数=482 kHz(標準)、コンパレータの入力オフセット電圧=±10 mV(最大)です。

等価回路>

内蔵の抵抗および容量の値は標準値です。



直流過電圧検出(DC_OV)コンパレータ出力

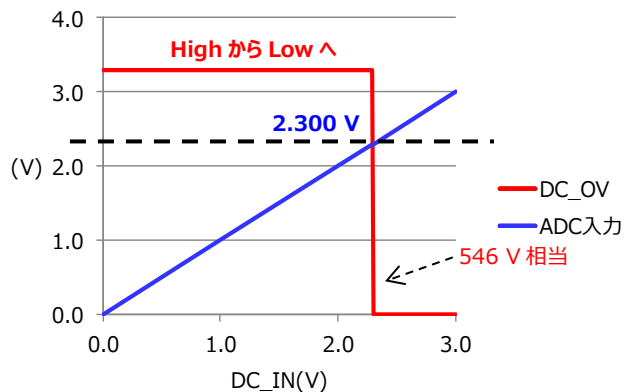


図-9

分圧抵抗の上側 1.3 MΩ、620 kΩ、470 kΩ は参考値、DC_IN~DC_LG 間抵抗は 10 kΩ を推奨します。

この組み合わせは分圧比 0.418 % です。内蔵の抵抗および容量の値は標準値です。

表-11

直流過電圧検出レベル (標準)

レベル	検出電圧		入力電圧	出力電圧
	%	V	V_dcin V	V_ain0_core1 V
0~	—	—	動作範囲外	
最小	—	—	0.125	0.125
UV	—	50	0.211	0.211
定格	—	333	1.403	1.403
	100	455	1.917	1.917
OV	120	546	2.300	2.300
FS	150	682.5	2.875	2.875

概算式は以下のとおりです。

FS(150 %)の例:

入力電圧 V_dcin

= 検出電圧(V) × 抵抗分圧比 0.4212 % = 682.5(V) × 0.4212/100
≒ 2.875(V)

出力電圧 V_ain0_core1 = V_dcin(V) × 検出回路ゲイン 1

≒ 2.875 × 1.0 = 2.875(V)

このとき、0.125 V 未満は動作保証範囲外です。

交流電流検出 (特に記載がない場合は、 $T_a=25\text{ }^\circ\text{C}$, $AVDD=DVDD=3.3\text{ V}$, $ADVREF=3.0\text{ V}$, $AGND=DGND=DC_LG=SH_LG=0\text{ V}$)

表-12

交流電流検出アンプ部 ~ 内部 ADC データへ供給 ~

項目	記号	測定条件	最小	標準	最大	単位
検出信号出力電圧	V_ain0_core0	HCT_VREF=0.934 V	0.096	0.116	0.136	V
		HCT_VOUT=0.934 V	1.480	1.500	1.520	V
		HCT_VOUT=1.583 V	2.860	2.879	2.900	V
検出回路ゲイン	Av_hctin	HCT_VOUT=0.285~1.583 V	2.110	2.133	2.150	—
入力オフセット電圧	ΔV_hctin	HCT_VOUT=HCT_VREF=0.934 V	-10	—	+10	mV
入力端子流入電流	I_hctin	入力電圧=1.5 V	—	—	± 5	μA

交流電流検出コンパレータ部

項目	記号	測定条件	最小	標準	最大	単位
AC_CL 動作入力電圧	V_acclref_h	電流 $\pm 1.960\text{ A}$ 相当	1.31	1.346	1.38	V
	V_acclref_l		0.485	0.522	0.56	V
AC_OC 動作入力電圧	V_acocref_h	電流 $\pm 2.316\text{ A}$ 相当	1.38	1.417	1.455	V
	V_acocref_l		0.415	0.451	0.495	V
検出時間	t_accl t_acoc	しきい値は DAC のデフォルト 入力電圧=定格 \rightarrow FS、アンプ部含む	—	—	5	μs

<動作説明>交流電流検出

図-10 は、交流電流検出回路を示します。インバータブリッジの出力電流を電圧値としてモニタする機能です。HCT_VOUT 端子の入力電圧(0.285~1.583 V)をアンプ回路(2.13 倍)で増幅し、内部 ADC へ入力(AIN0 core0)します。ADC の入力レンジにマッチングさせるため、1.5 V のレベルシフト処理しています。このとき、アンプ回路のカットオフ周波数=300 kHz(標準、キャリア周波数~100 kHz)、コンパレータの入力オフセット電圧= $\pm 10\text{ mV}$ (最大)です。図-11 は、AC_OC および AC_CL 出力端子からロジック信号でモニタする様子を示します。等価回路>

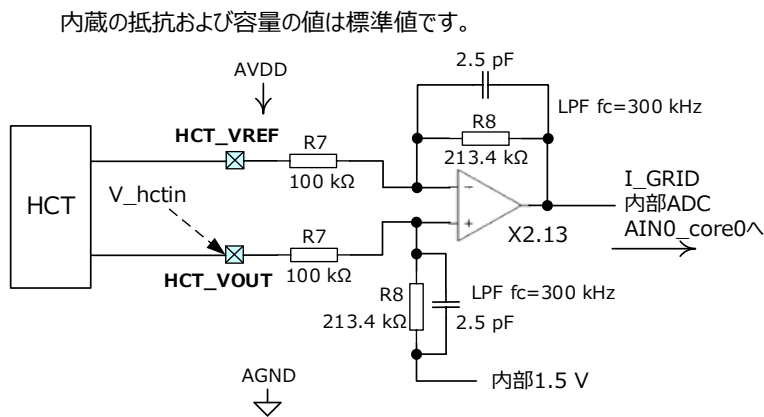


図-10

交流電流検出とコンパレータ出力 AC_OC、AC_CL 出力>

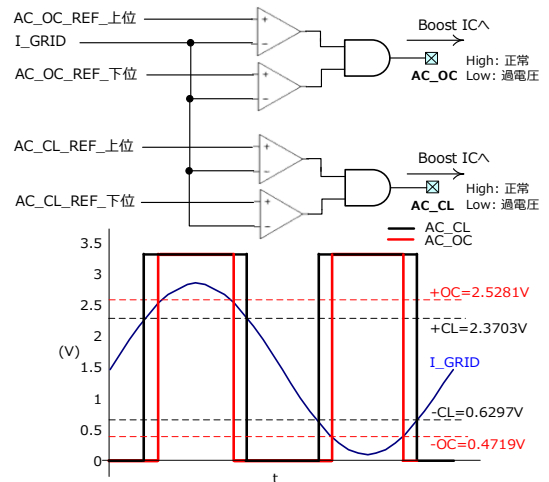


図-11

交流電流検出レベル (標準)>

表-13

レベル	検出電流		入力電圧	出力電圧
	%	A_peak	V_hctin V	V_ain0_core0 V
-FS	-175	-3.118	0.285	0.1157
-OC	-130	-2.316	0.452	0.4719
-CL	-110	-1.960	0.526	0.6297
-定格	-100	-1.782	0.563	0.7087
ゼロ	0	0	0.934	1.5000
定格	100	+1.782	1.305	2.2913
CL	110	+1.960	1.342	2.3703
OC	130	+2.316	1.416	2.5281
FS	175	+3.118	1.583	2.8843

概算式は以下のとおりです。
HCT の I/V 変換定数: 208(mV/A)
例)
FS(+175%)の例:
定格入力 1.26(Arms) \rightarrow 100%は $\sqrt{2}$ 倍の 1.782(A_peak)
入力電圧 V_hctin
=検出電流(A_peak) \times 208(mV/A)+レベルシフト電圧(V)
=3.118(A_peak) \times 208(mV/A)+0.934(V) \approx 1.583(V_peak)
出力電圧 V_ain0_core0
= (V_hctin(V_peak)-入力レベルシフト(V)) \times 検出回路ゲイン 2.133
+出力レベルシフト(V)
=(1.583-0.934) \times 2.133+1.5 \approx 2.8843(V)

交流直流電流成分検出 (特に記載がない場合は、 $T_a=25\text{ }^\circ\text{C}$ 、 $AVDD=DVDD=3.3\text{ V}$ 、 $ADVREF=3.0\text{ V}$ 、 $AGND=DGND=DC_LG=SH_LG=0\text{ V}$)

表-14

交流直流電流成分検出アンプ部(IDCERR 端子へ)

項目	記号	測定条件	最小	標準	最大	単位
検出回路ゲイン	A_{v_idcerr}	—	25.3	26	26.7	—

<動作説明>交流直流電流成分検出

図-12 は、交流直流電流成分検出回路を示します。インバーブリッジの出力電流の直流成分($\pm 2\%$)を電圧値としてモニタする機能です。先述の交流電流検出電圧(V_{ain0_core0})を、IDCERR_C 端子($0.68\text{ }\mu\text{F}$)と内部 $180\text{ k}\Omega$ (標準)のローパスフィルタで交流成分を $2.6/100(-31.7\text{ dB})$ に減衰して除きます。

残った直流成分をアンプ回路(26 倍)で増幅し、再びツイン T ノッチフィルタで残留する AC 成分をカットし、外部 ADC に入力します。このとき、アンプ回路のカットオフ周波数= 1.30 Hz (標準、 $0.68\text{ }\mu\text{F}$)、アンプの入力オフセット電圧= $\pm 4\text{ mV}$ (最大)です。

<等価回路>

内蔵の抵抗および容量の値は標準値です。

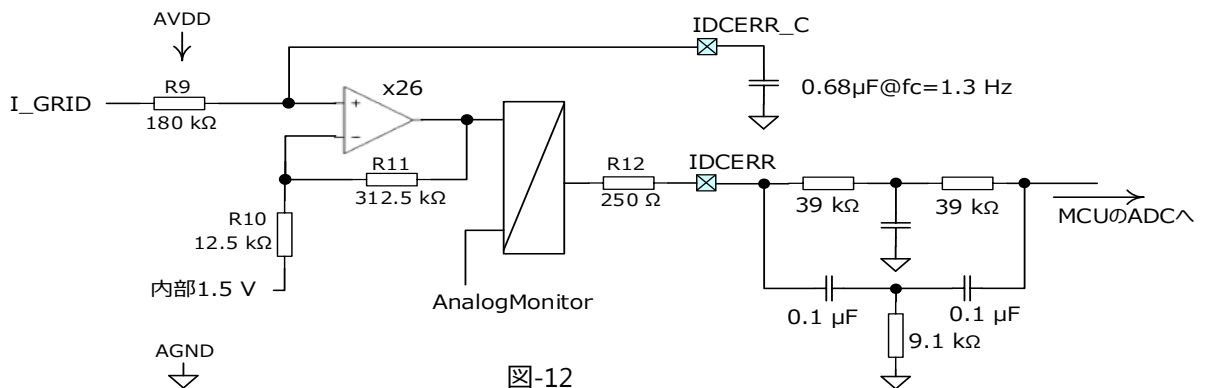


図-12

表-15

交流直流電流成分検出レベル (標準)

レベル	検出電流		前段検出回路ゲイン	CR(LPF)減衰率	直流成分検出回路ゲイン	出力電圧 V_{idcerr}	ツイン T ノッチフィルタ	
	%	A_{peak}					減衰率	出力電圧
-FS	-2	-0.0356	2.13	2.6/100	26	0.1535	1/100	1.0798
定格-1%	-1	-0.0178				0.3589		1.2852
ゼロ	0	0				0.5644		1.4906
定格+1%	1	0.0178				2.6411		1.7148
+FS	2	0.0356				2.8465		1.9202

交流電流の直流電流成分検出の考え方概算式は以下のとおりです。

AC 定格入力 $\pm 1.26\text{ Arms}$ $\rightarrow \pm 1.7819(A_{peak})$ の 2% を検出 $\approx \pm 0.0356(A_{peak})$

HCT 変換定数: $208(\text{mV/A})$ 、初段検出回路ゲイン $G1: 2.13$ 倍、IDCERR_C 端子による交流成分の減衰: $2.6/100(-31.7\text{ dB})$ 。

直流成分検出回路ゲイン $G2: 26$ 倍

+FS 側)

出力電圧 $V_{idcerr} = (\text{直流成分}) + (\text{交流成分 FS}) + \text{レベルシフト電圧}$ 。

$= \text{検出電流}(A_{peak}) \times \text{HCT 変換定数} \times \text{初段検出回路ゲイン} \times \text{直流成分検出回路ゲイン}$

$+ \text{AC 振幅} \times \text{初段検出回路ゲイン} \times \text{CR 減衰率} \times \text{後段検出回路ゲイン} + \text{レベルシフト電圧}$

$= 0.0356(A_{peak}) \times 208.4(\text{mV/A}) \times 2.13 \times 26 + 3.118(A_{peak}) \times 208.4(\text{mV/A}) \times 2.13 \times (2.6/100) \times 26 + 1.5$

$= 2.8465(\text{V})$

-FS 側)

出力電圧 $V_{idcerr} = (\text{直流成分}) + (\text{交流成分}) + \text{レベルシフト電圧}$

$= (-1) \times 0.0356(\text{A}) \times 208.4(\text{mV/A}) \times 2.13 \times 26 + (-1) \times 3.118(\text{A}_{peak}) \times 208.4(\text{mV/A}) \times 2.13 \times (2.6/100) \times 26 + 1.5$

$= 0.1535(\text{V})$

ツイン T ノッチフィルタ通過後の出力電圧は、以下のとおり。

減衰率: $1/100(-40\text{ dB})$ とすると、第 2 項の“交流成分”を $1/100$ するため、

+FS 側) 出力電圧 $= (\text{直流成分}) + (\text{交流成分}) \times (1/100) + \text{レベルシフト電圧} = 1.9202(\text{V})$ 。

-FS 側) 出力電圧 $= 1.0798(\text{V})$

系統(交流)電圧検出 (特に記載がない場合は、 $T_a=25\text{ }^\circ\text{C}$ 、 $AVDD=DVDD=3.3\text{ V}$ 、 $ADVREF=3.0\text{ V}$ 、 $AGND=DGND=DC_LG=SH_LG=0\text{ V}$)

表-16

系統(交流)電圧検出アンプ部

項目	記号	測定条件	最小	標準	最大	単位
検出信号出力電圧	V_vuout V_vwout	V_vuoin=V_vwoin=0.813 V, VO=1.5 V	—	0.125	—	V
		V_vuoin=V_vwoin=VO=1.5 V	1.480	1.500	1.520	V
		V_vuoin=V_vwoin=2.188 V, VO=1.5 V	—	2.875	—	V
検出回路ゲイン	Av_uo	前段バッファおよび後段検出の連結ゲイン	2.00	2.02	2.04	—
入力端子流入電流	I_vuoin I_voin I_vwin	VU=VO=VW=1.5 V	—	—	±5	μA

<動作説明>交流電圧検出

図-13 は、交流電圧検出回路を示します。系統交流電圧を電圧値としてモニタする機能です。

VU、VO、VW 端子~AC_REF 間抵抗 10 kΩ に対して、AC_U/AC_O/AC_W 電圧を 0.37 % 分圧した入力電圧(0.125~2.875 V)をバッファ回路(1.01 倍)を通じたのち、U-O 間、W-O 間を検出回路(2 倍)にして、それぞれの U-O 間/W-O 間検出電圧を内蔵 ADC へ入力します。また、U-O 間検出電圧は VUO_OUT 端子へ出力します。

このとき、前段バッファ回路のオフセット/ゲイン=±3 mV/1.01 倍、後段検出回路のオフセット/ゲイン=±3 mV/2 倍による出力電圧オフセット=±10 mV(最大)です。後段検出回路のカットオフ周波数=3.4 kHz(標準)です。

等価回路>

内蔵の抵抗および容量の値は標準値です。

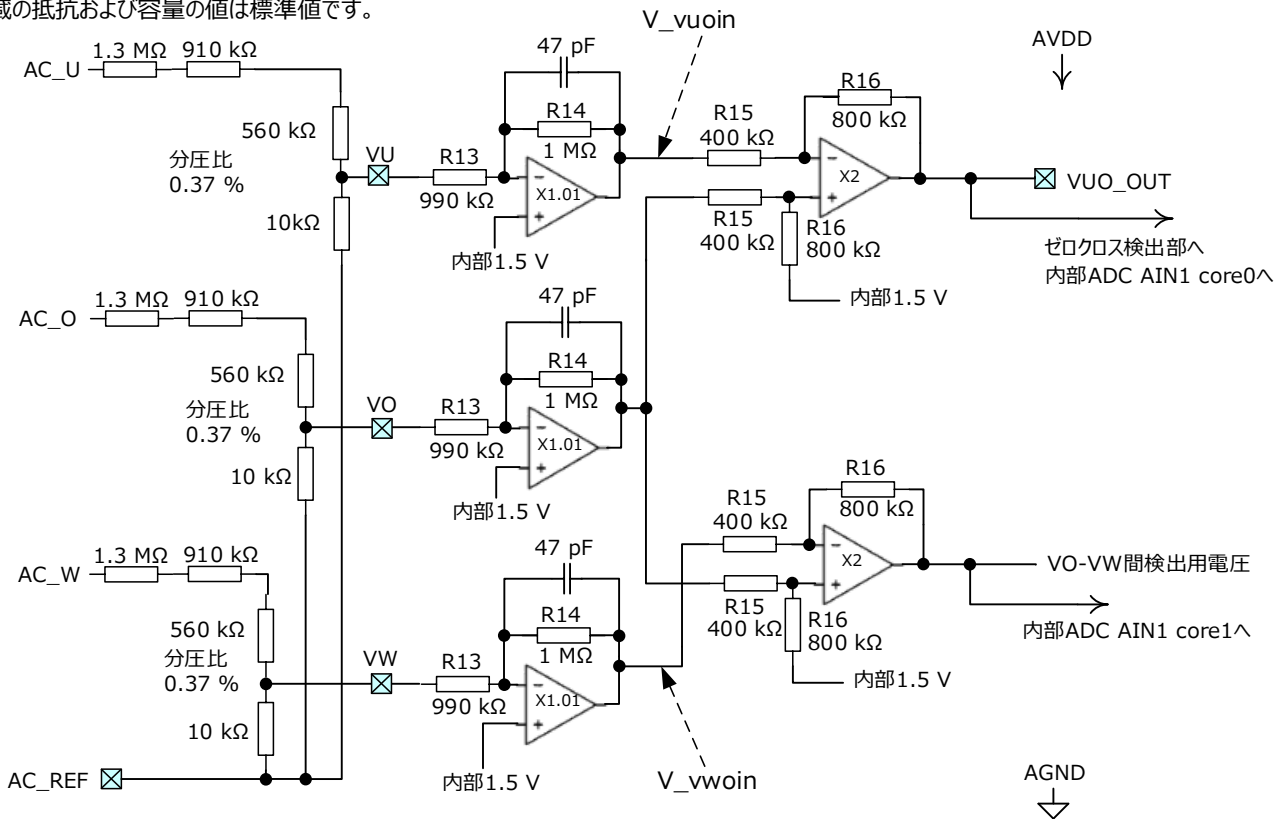


図-13

図-14 のように、交流電圧検出信号の中心電位が、系統連結前後、0 V から直流電圧の中間に移動してしまうため、AC_U/AC_O/AC_W 電圧を 0.37 % として、内部回路で 2 倍に処理しています。

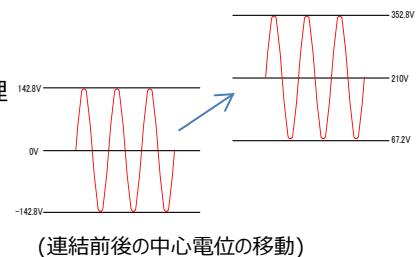


図-14

系統(交流)電圧検出レベル (標準)>

表-17

レベル	検出電圧		入力電圧 V_vuoin V_vwoin	出力電圧 V_ain0_core0 V_ain0_core1
	%	V_peak	V_dc	V_dc
-FS	-130	-185.69	0.813	0.125
-OV	-120	-171.40	0.866	0.231
定格	-100	-142.84	0.972	0.442
ゼロ	0	0	1.500	1.500
定格	100	142.84	2.029	2.558
OV	120	171.40	2.135	2.769
FS	130	185.69	2.188	2.875

概算式は以下のとおりです。

FS(130%)の例:

定格電圧 101(Vrms) → 100%は√2 倍の 142.8(V)

入力電圧 V_vuoin

= 検出電圧(V_dc) × 抵抗分圧比 0.37% + レベルシフト

= 185.69(V_dc) × (0.37/100) + 1.5(V_dc) ≒ 2.187 V

出力電圧 V_ain0_core0

= (V_vuoin(V_dc) - 入力オフセット) × 回路ゲイン + 出力オフセット

≒ (2.187 - 1.5) × 2 + 1.5 ≒ 2.875(V)

入力電圧 V_vwoin と出力電圧 V_ain0_core1 の関係についても

上記と同等です。

ゼロクロス検出 (特に記載がない場合は、Ta=25 °C、AVDD=DVDD=3.3 V、ADVREF=3.0 V、AGND=DGND=DC_LG=SH_LG=0 V)

表-18

ゼロクロス検出コンパレータ部

項目	記号	測定条件	最小	標準	最大	単位
入力オフセット電圧	ΔV_vuof0	VUO_FO 端子電圧-1.5 V	-20	—	+20	mV

<動作説明>ゼロクロス検出回路、サレン・キー型 2 次 LPF 回路部

図-15 によって、系統の交流電圧のゼロクロスを検出します。

IC 内部のバッファ回路(VUO_FIN 端子~VUO_FO 端子間)およびコンパレータ(L_HZD_HYS 端子~L_HZO 端子間)に対して、2 次フィルタとしてサレン・キー型ローパスフィルタ回路を採用しています。

カットオフ周波数は外付け部品(C0,C1,R0,R1)、チャタリング防止のヒステリシスは外付け部品(C2,R2,R3,R4,R5)で設定します。

等価回路>

抵抗および容量の値は標準値です。

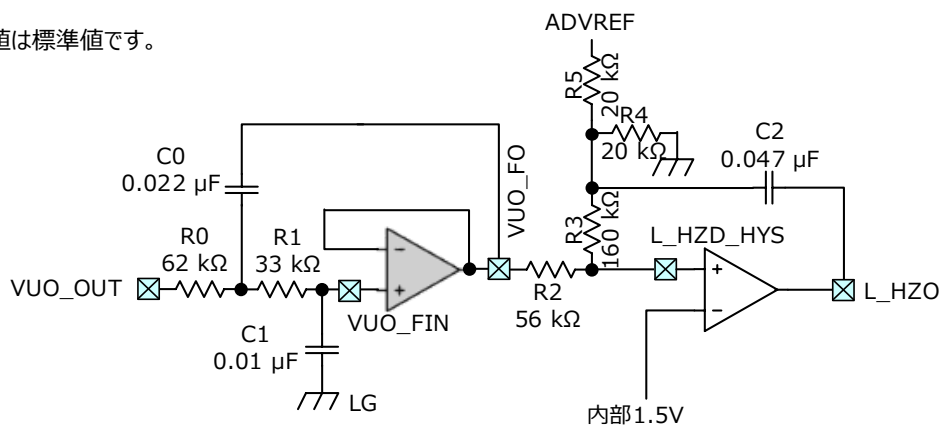


図-15

動作波形>

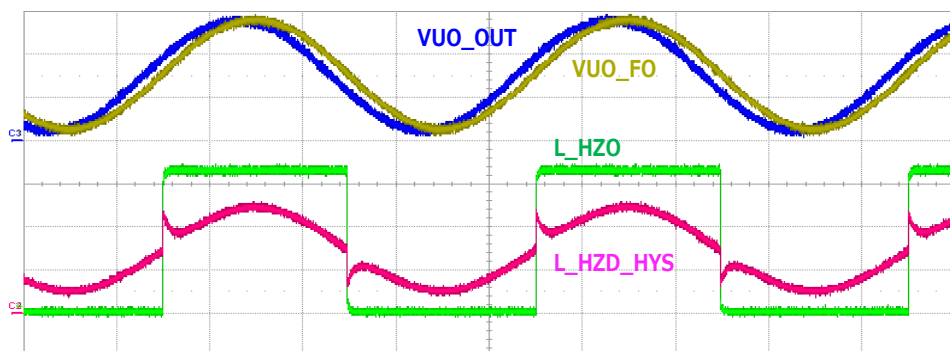


図-16

コンパレータ用しきい値設定 DAC (特に記載がない場合は、 $T_a=25\text{ }^\circ\text{C}$ 、 $AVDD=DVDD=3.3\text{ V}$ 、 $ADVREF=3.0\text{ V}$ 、 $AGND=DGND=DC_LG=SH_LG=0\text{ V}$)

表-19

項目	記号	条件	最小	標準	最大	単位
直流過電流検出レベル	DC_OC_REF	1Step=0.18 A	3.283	3.570	3.839	A
直流過電圧検出レベル	DC_OV_REF	1Step=2.58 V	500.8	545.3	587.1	V
交流過電流検出レベル	AC_OC_REF	1Step=0.026 A	± 1.901	± 2.323	± 2.719	A
交流リミット電流検出レベル	AC_CL_REF	1Step=0.026 A	± 1.558	± 1.980	± 2.376	A

<動作説明>コンパレータ用しきい値設定 DAC

過電流、過電圧検出(DC_OC,DC_OV,AC_CL,AC_OC)のしきい値を設定します。
S/P インタフェース設定によって、その設定電圧値は、I_INV 端子からモニタ可能です。

<ブロック図>

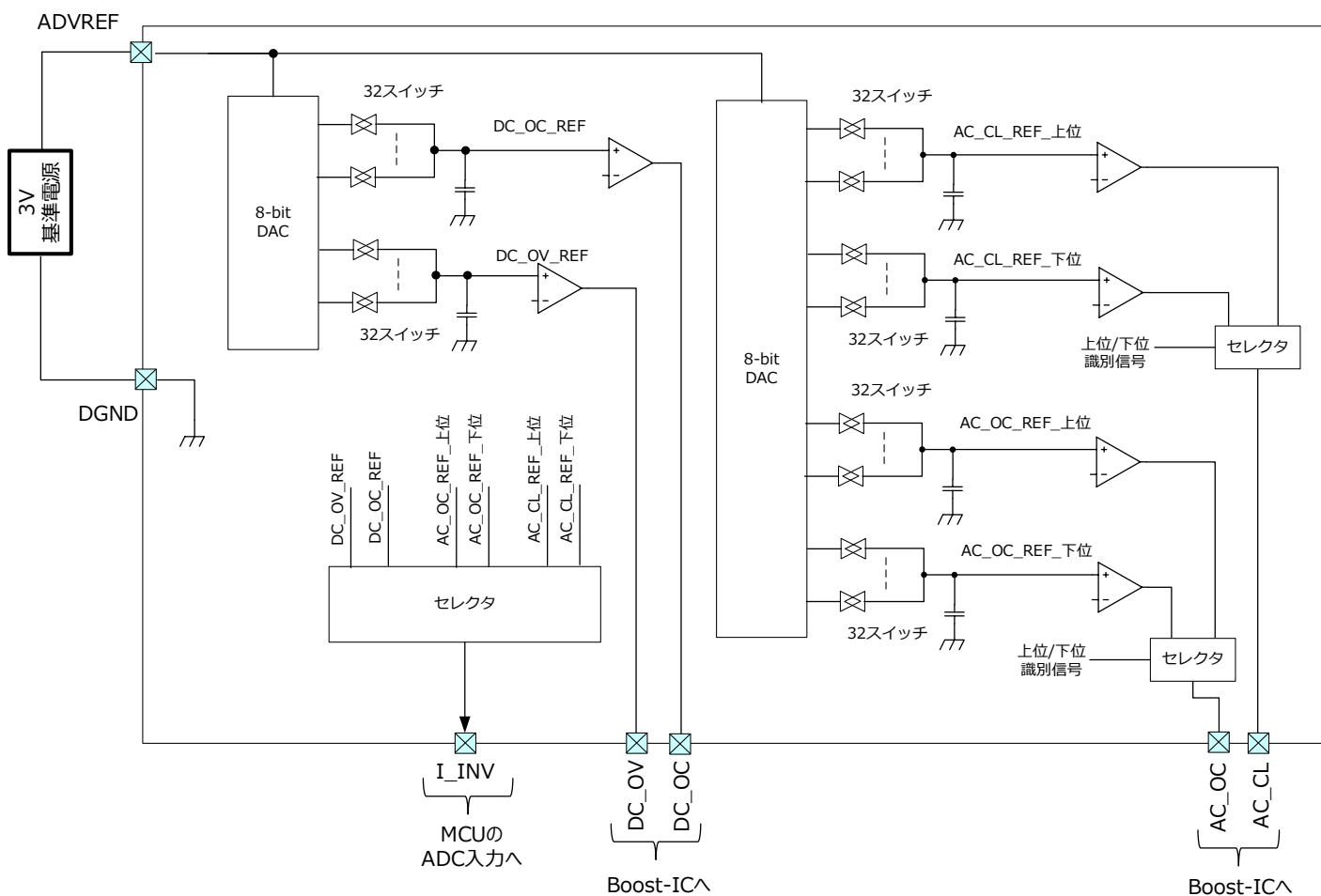


図-17

コンパレータ用しきい値 DAC 設定値 (参考)>
 直流過電流 検出レベル設定範囲: デフォルト設定=設定 16>

表-20

設定		DC_OC_REF	検出電流
DEC	BIN	V_dc	A_dc
0	00000	2.344	3.283
1	00001	2.355	3.301
2	00010	2.367	3.319
3	00011	2.379	3.337
4	00100	2.391	3.355
5	00101	2.402	3.373
6	00110	2.414	3.391
7	00111	2.426	3.409
8	01000	2.438	3.427
9	01001	2.449	3.445
10	01010	2.461	3.463
11	01011	2.473	3.481
12	01100	2.484	3.498
13	01101	2.496	3.516
14	01110	2.508	3.534
15	01111	2.520	3.552

設定		DC_OC_REF	検出電流
DEC	BIN	V_dc	A_dc
16	10000	2.531	3.570
17	10001	2.543	3.588
18	10010	2.555	3.606
19	10011	2.566	3.624
20	10100	2.578	3.642
21	10101	2.590	3.660
22	10110	2.602	3.678
23	10111	2.613	3.696
24	11000	2.625	3.714
25	11001	2.637	3.732
26	11010	2.648	3.750
27	11011	2.660	3.768
28	11100	2.672	3.786
29	11101	2.684	3.804
30	11110	2.695	3.822
31	11111	2.707	3.839

直流過電圧 検出レベル設定範囲: デフォルト設定=設定 16>

表-21

設定		DC_OV_REF	検出電圧
DEC	BIN	V_dc	V_dc
0	00000	2.109	500.8
1	00001	2.121	503.6
2	00010	2.133	506.4
3	00011	2.145	509.1
4	00100	2.156	511.9
5	00101	2.168	514.7
6	00110	2.180	517.5
7	00111	2.191	520.3
8	01000	2.203	523.1
9	01001	2.215	525.8
10	01010	2.227	528.6
11	01011	2.238	531.4
12	01100	2.250	534.2
13	01101	2.262	537.0
14	01110	2.273	539.8
15	01111	2.285	542.5

設定		DC_OV_REF	検出電圧
DEC	BIN	V_dc	V_dc
16	10000	2.297	545.3
17	10001	2.309	548.1
18	10010	2.320	550.9
19	10011	2.332	553.7
20	10100	2.344	556.4
21	10101	2.355	559.2
22	10110	2.367	562.0
23	10111	2.379	564.8
24	11000	2.391	567.6
25	11001	2.402	570.4
26	11010	2.414	573.1
27	11011	2.426	575.9
28	11100	2.438	578.7
29	11101	2.449	581.5
30	11110	2.461	584.3
31	11111	2.473	587.1

交流過電流 検出レベル設定範囲: デフォルト設定=設定 16>

表-22

設定		AC_OC_REF		検出電流	
		上位	下位	上位	下位
DEC	BIN	V_dc	V_dc	A_peak	A_peak
0	00000	2.344	0.656	1.901	-1.901
1	00001	2.355	0.645	1.927	-1.927
2	00010	2.367	0.633	1.954	-1.954
3	00011	2.379	0.621	1.980	-1.980
4	00100	2.391	0.609	2.006	-2.006
5	00101	2.402	0.598	2.033	-2.033
6	00110	2.414	0.586	2.059	-2.059
7	00111	2.426	0.574	2.086	-2.086
8	01000	2.438	0.563	2.112	-2.112
9	01001	2.449	0.551	2.138	-2.138
10	01010	2.461	0.539	2.165	-2.165
11	01011	2.473	0.527	2.191	-2.191
12	01100	2.484	0.516	2.218	-2.218
13	01101	2.496	0.504	2.244	-2.244
14	01110	2.508	0.492	2.270	-2.270
15	01111	2.520	0.480	2.297	-2.297

設定		AC_OC_REF		検出電流	
		上位	下位	上位	下位
DEC	BIN	V_dc	V_dc	A_peak	A_peak
16	10000	2.531	0.469	2.323	-2.323
17	10001	2.543	0.457	2.350	-2.350
18	10010	2.555	0.445	2.376	-2.376
19	10011	2.566	0.434	2.402	-2.402
20	10100	2.578	0.422	2.429	-2.429
21	10101	2.590	0.410	2.455	-2.455
22	10110	2.602	0.398	2.482	-2.482
23	10111	2.613	0.387	2.508	-2.508
24	11000	2.625	0.375	2.534	-2.534
25	11001	2.637	0.363	2.561	-2.561
26	11010	2.648	0.352	2.587	-2.587
27	11011	2.660	0.340	2.614	-2.614
28	11100	2.672	0.328	2.640	-2.640
29	11101	2.684	0.316	2.666	-2.666
30	11110	2.695	0.305	2.693	-2.693
31	11111	2.707	0.293	2.719	-2.719

交流リミット電流 検出レベル設定範囲: デフォルト設定=設定 16>

表-23

設定		AC_CL_REF		検出電流	
		上位	下位	上位	下位
DEC	BIN	V_dc	V_dc	A_peak	A_peak
0	00000	2.191	0.809	1.558	-1.558
1	00001	2.203	0.797	1.584	-1.584
2	00010	2.215	0.785	1.610	-1.610
3	00011	2.227	0.773	1.637	-1.637
4	00100	2.238	0.762	1.663	-1.663
5	00101	2.250	0.750	1.690	-1.690
6	00110	2.262	0.738	1.716	-1.716
7	00111	2.273	0.727	1.742	-1.742
8	01000	2.285	0.715	1.769	-1.769
9	01001	2.297	0.703	1.795	-1.795
10	01010	2.309	0.691	1.822	-1.822
11	01011	2.320	0.680	1.848	-1.848
12	01100	2.332	0.668	1.874	-1.874
13	01101	2.344	0.656	1.901	-1.901
14	01110	2.355	0.645	1.927	-1.927
15	01111	2.367	0.633	1.954	-1.954

設定		AC_CL_REF		検出電流	
		上位	下位	上位	下位
DEC	BIN	V_dc	V_dc	A_peak	A_peak
16	10000	2.379	0.621	1.980	-1.980
17	10001	2.391	0.609	2.006	-2.006
18	10010	2.402	0.598	2.033	-2.033
19	10011	2.414	0.586	2.059	-2.059
20	10100	2.426	0.574	2.086	-2.086
21	10101	2.438	0.563	2.112	-2.112
22	10110	2.449	0.551	2.138	-2.138
23	10111	2.461	0.539	2.165	-2.165
24	11000	2.473	0.527	2.191	-2.191
25	11001	2.484	0.516	2.218	-2.218
26	11010	2.496	0.504	2.244	-2.244
27	11011	2.508	0.492	2.270	-2.270
28	11100	2.520	0.480	2.297	-2.297
29	11101	2.531	0.469	2.323	-2.323
30	11110	2.543	0.457	2.350	-2.350
31	11111	2.555	0.445	2.376	-2.376

12ビット ADC および Boost-IC インタフェース (特に記載がない場合は、Ta=25 °C、AVDD=DVDD=3.3 V, ADVREF=3.0 V, AGND=DGND=DC_LG=SH_LG=0 V)

表-24

12ビット SAR AD コンバータ

項目	記号	測定条件	最小	標準	最大	単位
積分非直線性誤差	INL	—	-11	—	11	LSB
微分非直線性誤差	DNL					
<ご参考>						
積分非直線性誤差	INL	基板実装時	-5	—	5	LSB
微分非直線性誤差	DNL		-4	—	4	LSB
内部 PLL						
項目	記号	測定条件	最小	標準	最大	単位
内部メインクロック	f_asclk	外部クロック f_mclk=10 MHz	38	40	42	MHz

<動作説明>12ビット ADC および Boost-IC インタフェース

系統交流電圧(W-O 側、U-O 側)、交流電流、直流電圧を 2 つの ADC コア(core0、core1)でサンプリングします。

- ・core0 は、交流電流→系統交流電圧(U-O 側)のサンプリングデータを DOUT0 から連続出力、
- ・core1 は、直流電圧→系統交流電圧(W-O 側)のサンプリングデータを DOUT1 から連続出力

AD コンバータと各アナログ入力の接続>

表-25

ADC core	入力 AIN0	入力 AIN1
0	系統交流電流	系統交流電圧(U-O 側)
1	直流電圧	系統交流電圧(W-O 側)

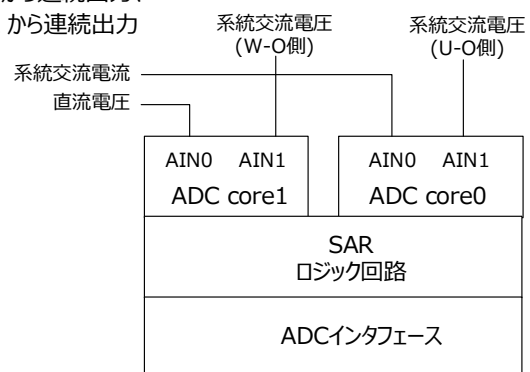


図-18

AD コンバータ DOUT0、DOUT1 の出力テーブル>

表-26

DOUTn	設定機能	設定説明
ADF	AD コンバータ・識別フラグ	0=ADC0、1=ADC1
D[11:0]	サンプリングデータ(MSB ファースト、データ 24-bit)	DOUT0=交流電流(HCT) → 系統交流電圧(U-O 側)
		DOUT1=直流電圧 → 系統交流電圧(W-O 側)

入力タイミング>

ADC をスタートさせるトリガとなる ADST 端子の推奨タイミングは以下のとおりです。

このタイミングに合わせた S/P インタフェース波形を入力してください。

表-27

項目	記号	条件	最小	標準	最大	単位
外部クロック	f_mclk	—	—	10	—	MHz
ADC スタートトリガパルス幅	tadst	ADST の立ち上がりエッジから立ち下がりエッジまで	71.2	—	210	ns

出力タイミング>

ADC 出力インタフェースは IP として、外部基準クロック f_mclk に 10 MHz から内部メインクロック f_asclk=40 MHz を生成し、

以下の出力タイミングで動作します。詳細のタイミングチャートは次ページに記述します。

表-28

項目	記号	条件	最小	標準	最大	単位
ADC 転送クロック ハイレベル時間	thadclk	ADCLK	23.8	25	26.3	ns
ADC 転送クロック ローレベル時間	tladclk	ADCLK	23.8	25	26.3	ns
ADC サンプルホールド時間	tadsh	—	238	250	272	ns
ADC データ遅延時間	tsu	ADCLK ~ DOUT0 および DOUT1	0	—	20	ns
変換時間	tconv	ADC 内部クロック 40 MHz ± 5 %	0.879	0.925	1.07	μs
	tconvall		1.76	1.85	1.94	μs

Boost-IC インタフェース タイミングチャート

ADST 端子の High レベルパルスをトリガに、おのおの AD コンバータのサンプリング結果を DOUT0 および DOUT1 より、ADCLK に同期して出力します。

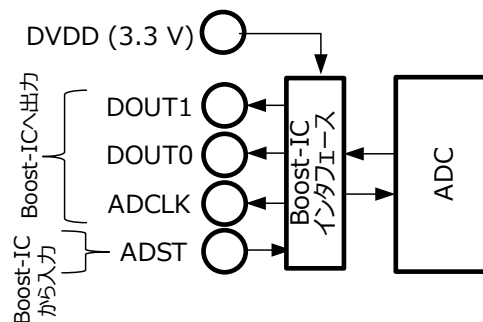


図-19

Boost-IC インタフェース M_CLK=10 MHz

<内部信号>

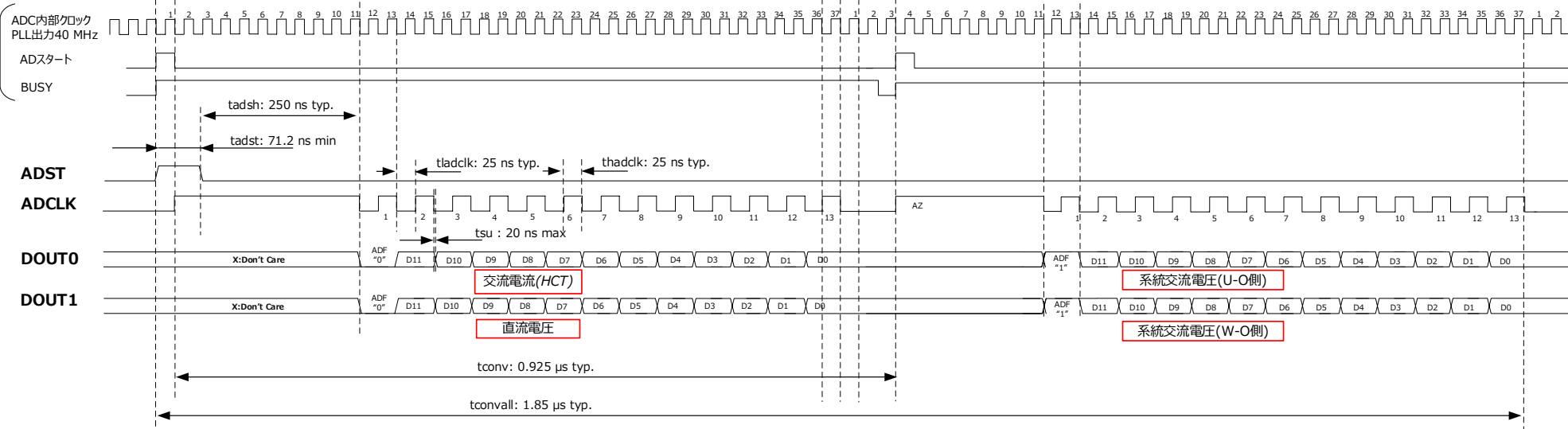


図-20

S/P インタフェース タイミング条件 特に記載がない場合は、 $T_a=25\text{ }^\circ\text{C}$, $AVDD=DVDD=3.3\text{ V}$, $ADVREF=3.0\text{ V}$, $AGND=DGND=DC_LG=SH_LG=0\text{ V}$

表-29

項目	記号	条件	最小	標準	最大	単位
SCLK 周波数	fsclk	—	—	—	10	MHz

<動作説明>S/P インタフェース(スレーブ)のフレームフォーマット

S/P インタフェースは、CSN,SCLK,DIN の3つの端子をします。スレーブ専用で TC7717FTG の各種設定やテスト用レジスタを設定します。入力フォーマットは一般的な 16-Bit シリアルデータ転送フォーマットのみサポートします。MSB 側 1-Bit 目は Write 専用(=1)、その後 7-Bit(A[6:0])がレジスタアドレス設定、さらに 8-Bit(D[7:0])が各データ設定です。

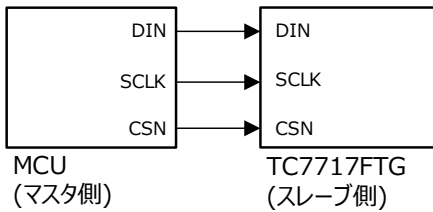
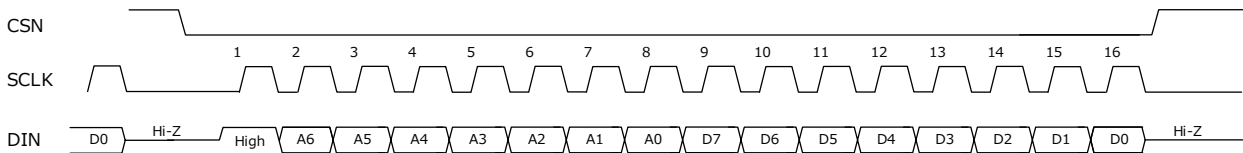


図-21

CSN 端子は Low アクティブです。

DIN 端子は常時入力になっています。送信側が非送信中に出力 OFF となる場合は Pull-Up/Pull-Down 抵抗でレベルを固定してください。



タイミングチャート>

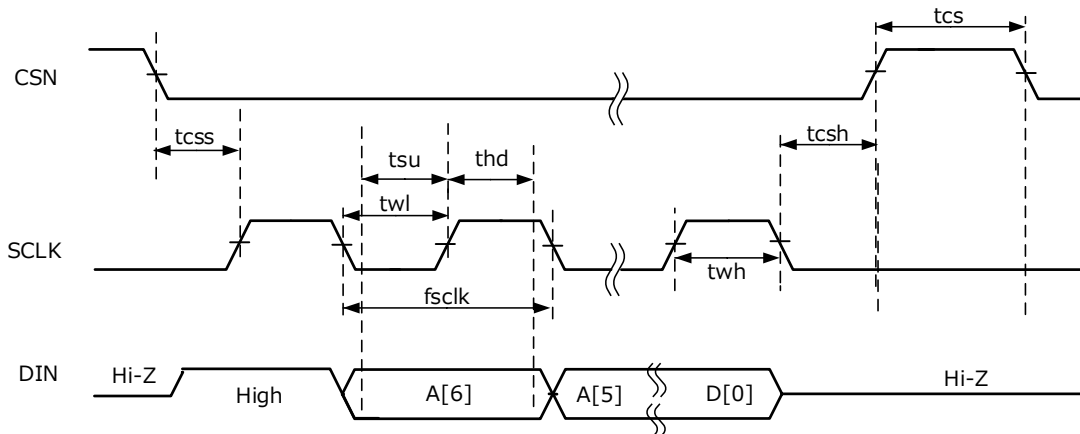


図-22

入力タイミング条件>

SCLK 周波数 fsclk=10 MHz 対応の推奨タイミングは以下のとおりです。このタイミングに合わせた S/P インタフェース波形を入力してください。

表-30

項目	記号	条件	最小	標準	最大	単位
CSN↓から SCLK↑の待ち時間	tcss	S/P インタフェース 10 MHz 用対応	100	—	—	ns
DIN と SCLK↑のセットアップ時間	tsu		50	—	—	ns
SCLK↑と DIN のホールド時間	thd		50	—	—	ns
SCLK↓から CSN↑の待ち時間	tcsh		100	—	—	ns
SCLK の入力 Low 時間	twl		0.025	—	500	μs
SCLK の入力 High 時間	twh		0.025	—	500	μs
CSN の入力 High 時間	tcs		100	—	—	ns

S/P インタフェース(スレーブ)のデータテーブル(1)

表-31

モード設定レジスタ

レジスタ名	アドレス										データおよび個々のレジスタ名									
	R/W	A6	A5	A4	A3	A2	A1	A0	HEX	D7	D6	D5	D4	D3	D2	D1	D0			
モード設定レジスタ(1)	1	0	0	0	0	0	0	1	01	ベンダ使用	—	—	ACPATHS	DACSEL1	DACSEL0	ADC_en	SOFTRST			
初期および外部RSTN=Low(リセット)時のレジスタ値										0	0	0	0	0	0	0	0			
レジスタ個々の説明・備考										通常動作時に未使用のレジスタです。D7はベンダ側で使用するレジスタです。通常動作では、全て0を入力します。		交流電圧検出で、内部アンプ回路のパスを指示するレジスタです。 0: 通常動作 1: アンプ回路スルー			各種検出コンパレータの判定レベル設定DACを選択するレジスタです。 00: DC_OC_REF 01: DC_OV_REF 10: AC_OC_REF 11: AC_CL_REF			内部ADCのAD変換を制御するレジスタです。 0: 変換停止 1: 変換可能		ソフトウェア・リセット用のレジスタです。 0: 通常動作 1: リセット (レジスタ設定もクリア)

各種検出コンパレータの判定レベルDACの設定レジスタ

レジスタ名	アドレス										データ							
	R/W	A6	A5	A4	A3	A2	A1	A0	HEX	D7	D6	D5	D4	D3	D2	D1	D0	
DAC 設定レジスタ	1	0	0	0	0	0	1	0	02	—	—	—	DAC4	DAC3	DAC2	DAC1	DAC0	
初期および外部RSTN=Low(リセット)時のレジスタ値										0	0	0	1	0	0	0	0	
レジスタ個々の説明・備考										DAC の電圧設定を行うレジスタです。 D[7:5]については、全て 0 を入力し、D[4:0]によってそれぞれの DAC 電圧を設定します。								

アナログモニタ設定レジスタ

レジスタ名	アドレス										データ										
	R/W	A6	A5	A4	A3	A2	A1	A0	HEX	D7	D6	D5	D4	D3	D2	D1	D0				
アナログモニタ設定レジスタ	1	0	0	0	0	0	1	1	03	—	—	—	ベンダ使用	INVSEL3	INVSEL2	INVSEL1	INVSEL0				
初期および外部RSTN=Low(リセット)時のレジスタ値										0	0	0	0	0	0	0	1				
レジスタ個々の説明・備考										通常動作時に未使用のレジスタです。D4はベンダ側で使用するレジスタです。通常動作では、全て 0 を入力します。				IINV 端子からモニタする、各種検出コンパレータの基準電圧を選択するレジスタです。 0000: I_INV, 0001: PLL_LOCK フラグ, 0010: DC_OC_REF, 0011: DC_OV_REF, 0100: AC_OC_REF_上位, 0101: AC_OC_REF_下位, 0110: AC_CL_REF_上位, 0111: AC_CL_REF_下位, 1000 ~ 1111 はベンダ側で使用します。通常動作時は入力禁止です。							

PLL 設定レジスタ

レジスタ名	アドレス										データ							
	R/W	A6	A5	A4	A3	A2	A1	A0	HEX	D7	D6	D5	D4	D3	D2	D1	D0	
PLL 設定レジスタ	1	0	0	0	0	1	0	1	05	—	—	—	—	PLL_FIL1	PLL_FIL0	PLL_WIDR1	PLL_WIDR0	
初期および外部RSTN=Low(リセット)時のレジスタ値										0	0	0	0	1	0	0	1	
レジスタ個々の説明・備考										通常動作時に未使用のレジスタです。全て 0 を入力します。				PLL ロック時定数設定するレジスタです。 00: 51.2 μs, 01: 102 μs 10: 205 μs, 11: 410 μs		PLL_LOCK フラグのウィンドウ設定するレジスタです。 00: ±1.56 %, 01: ±3.13 %, 10: ±6.25 %, 11: ±12.5 %		

S/P インタフェース(スレーブ)のデータテーブル(2)

表-32

基準電圧(ADVREFO端子電圧)設定トリミングレジスタ

レジスタ名	アドレス									データおよび個々のレジスタ名							
	R/W	A6	A5	A4	A3	A2	A1	A0	HEX	D7	D6	D5	D4	D3	D2	D1	D0
基準電圧設定 トリミングレジスタ	1	0	0	0	0	1	1	0	06	ADREFTMP2	ADREFTMP1	ADREFTMP0	ADREFT4	ADREFT3	ADREFT2	ADREFT1	ADREFT0
初期および外部RSTN=Low(リセット)時のレジスタ値										1	0	0	1	0	0	0	0
推奨レジスタ値										0	1	1	1	0	0	1	0
レジスタ個々の説明・備考 この基準電圧(ADVREFO端子)を使う場合、右記を設定して、ADCの基準電圧ADVREF端子へ接続します。この推奨設定で約2.997 Vを供給します。										内蔵基準電圧ADREFT0(3.0 V)の温特を調整するレジスタです。 ADREFTMP[2:0]=011を入力してください。			内蔵基準電圧ADREFT0(3.0 V)の絶対電圧を調整するレジスタです。 ADREFT[4:0]=10010を入力してください。				
通常動作時に使わないレジスタ																	
レジスタ名	アドレス									データおよび個々のレジスタ名							
	R/W	A6	A5	A4	A3	A2	A1	A0	HEX	D7	D6	D5	D4	D3	D2	D1	D0
N/A	0	X	X	X	X	X	X	X	XX	—	—	—	—	—	—	—	—
ベンダ使用	0	0	0	0	0	1	0	0	04	—	—	—	—	—	—	—	—
初期および外部RSTN=Low(リセット)時のレジスタ値										0	0	0	0	0	0	0	0
レジスタ個々の説明・備考										未使用のレジスタです。通常動作時は入力禁止です。							

上記、以外のアドレス設定(Read モード)については、通常動作時に使用しないので入力禁止です。

PLL ロックフラグの動作>

MCU で、TC7717FTG の PLL ロックを確認してから、主制御をスタートすることを考慮しており、I_INV 端子のデフォルト出力として、PLL ロックフラグが出力されます。

表-33

項目	条件	動作
PLL ロックフラグ	初期状態	I_INV 端子より PLL ロックフラグ出力
	PLL ロック未	I_INV="Low"
	PLL ロック完	I_INV="High"

※: PLL ロック 時定数およびフラグウィンドウは S/P インタフェースの PLL 設定レジスタ(05h)を参照。

リセット信号(RSTN 端子)、UVLO(AVDD 端子)と各機能の動き(特に記載がない場合は、Ta=25 °C, AVDD=DVDD=3.3 V, ADVREF=3.0 V, AGND=DGND=DC_LG=SH_LG=0 V)

リセット信号と UVLO 動作時の各機能の動き>

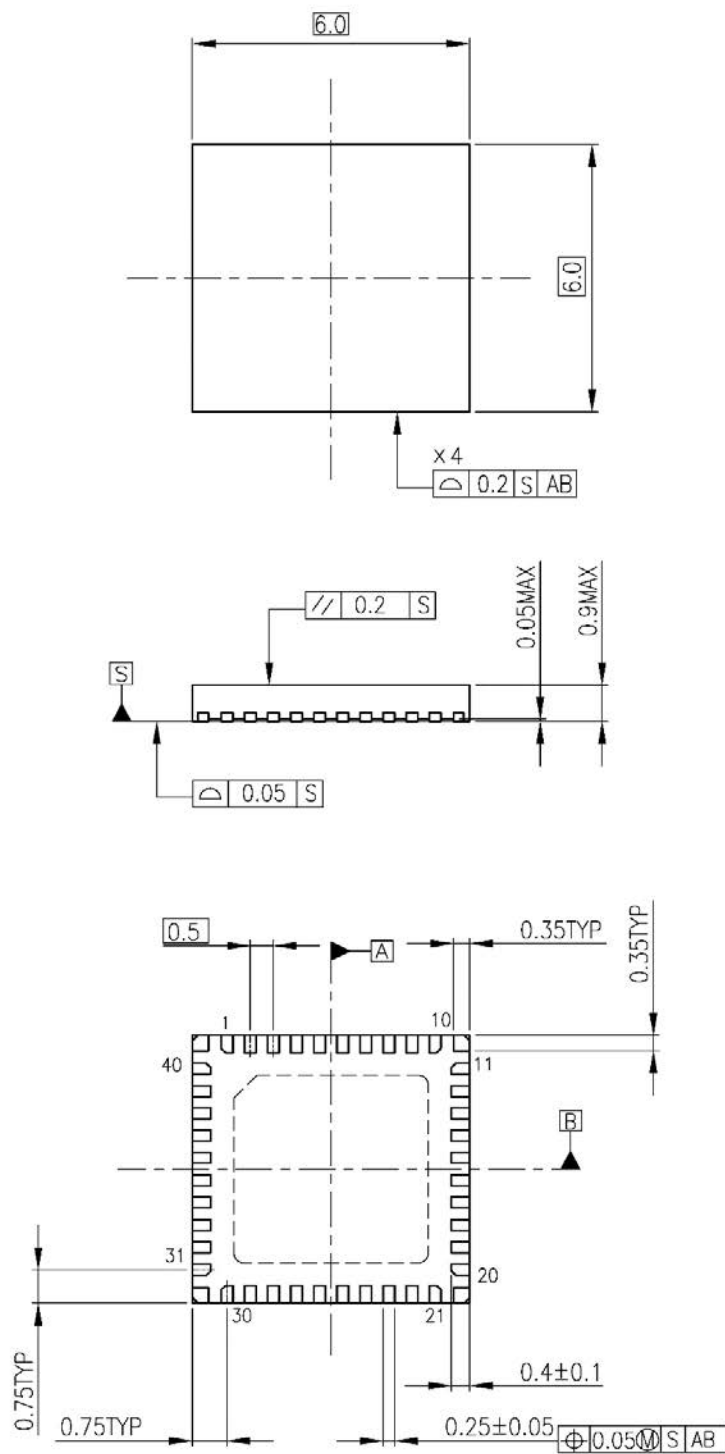
表-34

RSTN=Low のとき	各機能の動作
リセット解除	主要電源が接続されていて、RSTN=Low→High で、内部回路の起動を開始します。
リセットの動作レベル	AVDD の UVLO 検出と同じ動作をします。(14 ページ参照)
ADC のサンプリング関係レジスタ	全て Low となります。したがって、DOOUT0 および DOOUT1=ADCLK=Low または X(不定)。
S/P インタフェースからの設定内容	全てデフォルトに初期化します。信号が S/P インタフェースから入力されても、Data 設定は行いません。
I_INV	PLL フラグモニタの出力に戻り、Low を出力します。
PLL 回路などの発振回路	AVDD が印可されていれば、PLL 回路はスタンバイしません。
コンパレータ出力	全て High を出力します。
AC_REF(1.5 V), VDIG	1.5 V 出力します。VDIG も同等。
スタンバイ機能	AVDD が印可されていれば、アナログ回路はスタンバイ(電源カット)しません。

外形圖

P-VQFN40-0606-0.50-001

Unit: mm



質量: 97.6 mg (標準)

記載内容の留意点

(1) ブロック図

ブロック図内の機能ブロック/回路/定数などは、機能を説明するため、一部省略・簡略化している場合があります。

(2) 等価回路

等価回路は、回路を説明するため、一部省略・簡略化している場合があります。

(3) タイミングチャート

タイミングチャートは機能・動作を説明するため、単純化している場合があります。

(4) 応用回路例

応用回路例は、参考例であり、量産設計に際しては、十分な評価を行ってください。
また、工業所有権の使用の許諾を行うものではありません。

(5) 測定回路図

測定回路内の部品は、特性確認のために使用しているものであり、応用機器の誤動作や故障が発生しないことを保証するものではありません。

製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。