
32 ビット RISC マイクロコントローラ

TMPM4K グループ(1)

リファレンスマニュアル
クロック制御と動作モード
(CG-M4K(1)-A)

Revision 2.0

2018-05

東芝デバイス&ストレージ株式会社

目次

序章	5
関連するドキュメント	5
表記規約	6
用語・略語	8
1. 概要	9
2. クロック制御	10
2.1. クロックの種類	10
2.2. リセット動作による初期値	10
2.3. クロック系統図	11
2.4. ウォーミングアップ機能	12
2.4.1. 高速発振用ウォーミングアップカウンタ	12
2.4.2. ウォーミングアップタイマの使用方法	13
2.5. クロック通倍回路(PLL)	14
2.5.1. リセット解除後の PLL 設定	14
2.5.2. PLL 通倍値の計算式と設定例	15
2.5.3. 動作中の PLL 通倍値の変更	16
2.5.4. PLL 動作開始/停止/切り替えシーケンス	17
2.5.4.1. fc 設定 (PLL 停止→PLL 動作)	17
2.5.4.2. fc 設定 (PLL 動作→PLL 停止)	17
2.5.4.3. ADCLK 設定	17
2.6. システムクロック	18
2.6.1. システムクロックの設定方法	18
2.6.1.1. f _{OSC} 設定 (内蔵発振→外部発振)	18
2.6.1.2. f _{OSC} 設定 (内蔵発振→外部クロック入力)	19
2.6.1.3. f _{OSC} 設定 (外部発振/外部クロック入力→内蔵発振)	19
2.7. クロック供給設定機能	20
2.8. クロックの端子出力機能	20
2.9. プリスケアラクロック	20
3. 動作モード	21
3.1. 動作モードの詳細	21
3.1.1. 各モードの特長	21
3.1.2. 低消費電力モードへの遷移と復帰	22
3.1.3. 低消費電力モードの選択	22
3.1.4. 低消費電力モードにおける周辺機能状態	23
3.2. モード状態遷移	24
3.2.1. IDLE モード遷移フロー	24
3.2.2. STOP1 モード遷移フロー	25

3.3. 低消費電力モードからの復帰	26
3.3.1. 低消費電力モードの解除ソース	26
3.3.2. 低消費電力モード遷移時のウォーミングアップ	28
3.4. モード遷移によるクロック動作	29
3.4.1. NORMAL→IDLE→NORMAL 動作モード遷移	29
3.4.2. NORMAL→STOP1→NORMAL 動作モード遷移	29
4. レジスタの説明	30
4.1. レジスタ一覧	30
4.2. レジスタ詳細	31
4.2.1. [CGPROTECT] (CG ライトプロテクトレジスタ)	31
4.2.2. [CGOSCCR] (発振制御レジスタ)	31
4.2.3. [CGSYSCR] (システムクロック制御レジスタ)	32
4.2.4. [CGSTBYCR] (スタンバイ制御レジスタ)	33
4.2.5. [CGSCOCR] (SCOUT 出力制御レジスタ)	33
4.2.6. [CGPLL0SEL] (fsys 用 PLL セレクトレジスタ)	34
4.2.7. [CGPLL1SEL] (ADC 用 PLL セレクトレジスタ)	34
4.2.8. [CGWUPHCR] (高速発振ウォーミングアップレジスタ)	35
4.2.9. [CGFSYSENA] (fsys 供給停止レジスタ A)	36
4.2.10. [CGFSYSENB] (fsys 供給停止レジスタ B)	38
4.2.11. [CGFCEN] (fc 供給停止レジスタ)	40
4.2.12. [CGSPCLKEN] (ADC、トレース用クロック供給停止レジスタ)	40
5. 製品別情報	41
6. 改訂履歴	43
製品取り扱い上のお願い	45

図目次

図 2.1	クロック系統図	11
図 3.1	状態遷移	24
図 3.2	NORMAL→STOP1→NORMAL 動作モード遷移	29

表目次

表 2.1	[CGPLL0SEL]<PLL0SET[23:0]>設定詳細	15
表 2.2	PLL 補正值(例)	16
表 2.3	PLL0SET 設定値(例)	16
表 2.4	PLL1SET 設定値(例)	16
表 2.5	動作周波数(単位: MHz) 例	18
表 2.6	SCOUT 端子使用可否一覧	20
表 3.1	低消費電力モード選択	22
表 3.2	低消費電力モード別ブロック動作状態一覧	23
表 3.3	解除ソース一覧	26
表 3.4	ウォーミングアップ	28
表 5.1	[CGFSYSENA]の製品別割り当て	41
表 5.2	[CGFSYSENB]の製品別割り当て	42
表 6.1	改訂履歴	43

序章

関連するドキュメント

文書名
例外

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1],[XYZ2],[XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C...を表します。
例: [ADACR0],[ADBCR0],[ADCCR0]→[ADxCR0]
チャンネルの場合、「x」は 0,1,2,...を表します。
例: [T32A0RUNA],[T32A1RUNA],[T32A2RUNA]→[T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社(Silicon Storage Technology, Inc.)からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC	Advanced Encoder input Circuit
A-PMD	Advanced Programmable Motor Control Circuit
A-VE+	Advanced Vector Engine plus
CG	Clock Control and Operation Mode
CRC	Cyclic Redundancy Check
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
EHOSC	External High speed Oscillator
fsys	frequency of SYSTEM Clock
IHOSC	Internal High speed Oscillator
INT	Interrupt
I ² C	Inter-Integrated Circuit
LVD	Voltage Detection Circuit
NBDIF	Non Break Debug Interface
NMI	Non-Maskable Interrupt
OFD	Oscillation Frequency Detector
OPAMP	Operational Amplifier
POR	Power On Reset Circuit
SCOUT	Source Clock Output
SIWDT	Clock Selective Watchdog Timer
TRGSEL	Trigger Selection circuit
TSPI	Toshiba Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Universal Asynchronous Receiver Transmitter

1. 概要

クロック/モード制御ブロックでは、クロックギアやプリスケールクロックの選択、発振器のウォーミングアップなどを設定することが可能です。

また、動作モードとして **NORMAL** モードと低消費電力モードがあり、使用方法に応じモード遷移を行うことで消費電力を抑えることができます。

クロックに関連する機能としては以下のようなものがあります。

- システムクロックの制御
- プリスケールクロックの制御

2. クロック制御

2.1. クロックの種類

クロックの一覧を以下に示します。

EHCLKIN:	外部から入力されるクロック
f_{OSC}	: 内部発振回路で生成されるクロックと X1、X2 端子より入力されるクロックの選択後のクロック
f_{PLL}	: PLL により通倍されたクロック
f_c	: $[CGOSCCR]<OSCSEL>$ で選択されたクロック (高速クロック)
f_{SYS}	: $[CGSYSCR]<GEAR[2:0]>$ で選択されたシステムクロック
$\Phi T0$: $[CGSYSCR]<PRCK[3:0]>$ で選択されたクロック (プリスケーククロック)
f_{HOSC1}	: 内蔵高速発振器 1 で生成されるクロック
f_{HOSC2}	: 内蔵高速発振器 2 で生成されるクロック
ADCLK	: AD コンバータ用変換クロック
TRCLKIN:	デバッグ回路(ETM)のトレース機能用クロック

2.2. リセット動作による初期値

リセット動作により、クロック設定は下記のような状態に初期化されます。

外部高速発振器	: 停止
内蔵高速発振器 1	: 発振
内蔵高速発振器 2	: 停止
PLL(通倍回路)	: 停止
ギアクロック	: f_c (分周なし)

2.3. クロック系統図

クロック系統図を示します。

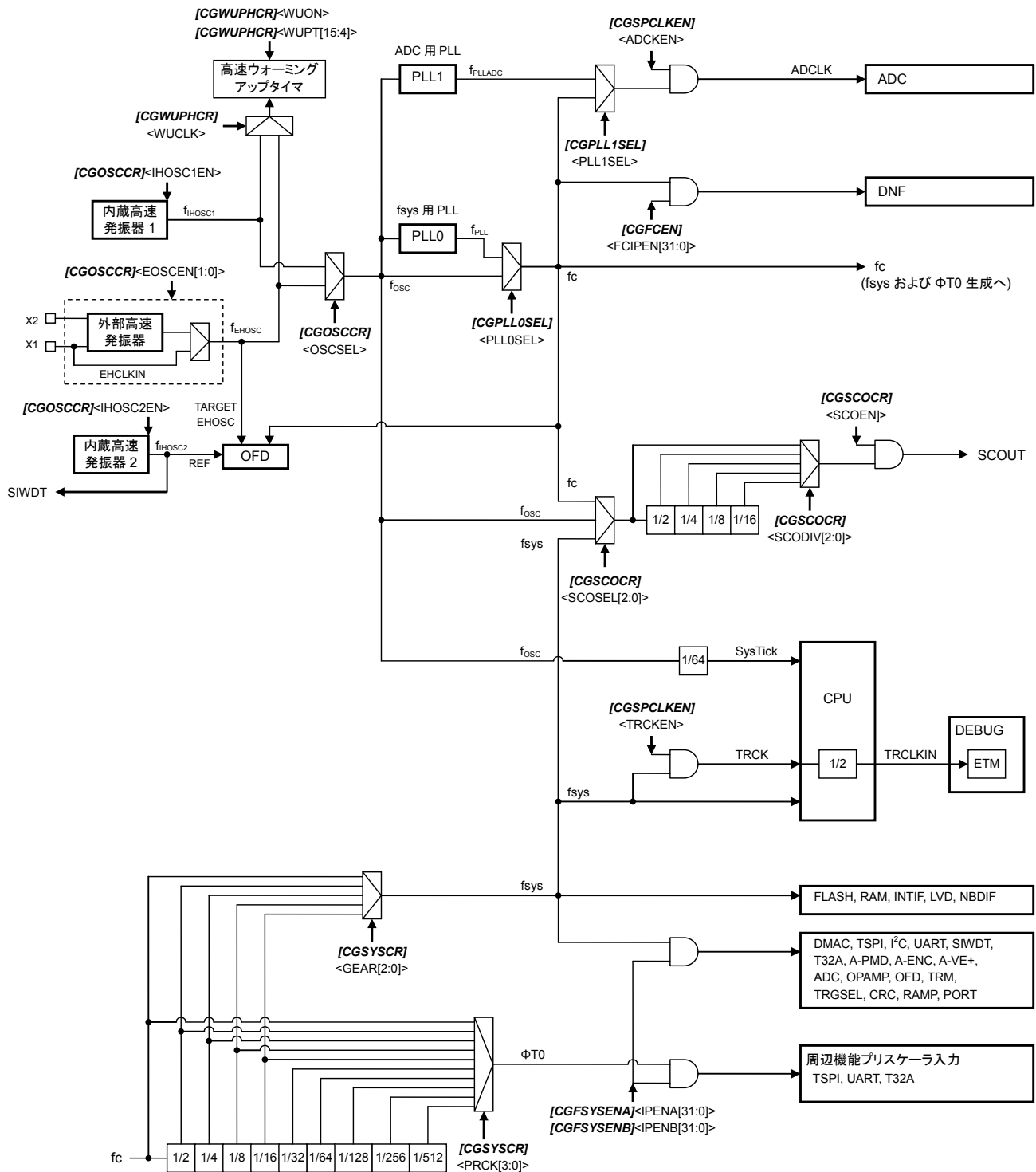


図 2.1 クロック系統図

2.4. ウォーミングアップ機能

ウォーミングアップ機能は、自動で高速発振用ウォーミングアップカウンタを起動する STOP1 モード解除時の発振安定時間を確保するための機能の他、外部発振器や内蔵発振器の安定待ちのために高速発振用ウォーミングアップカウンタを使用したカウントアップタイマとしても使用可能です。

この章では、ウォーミングアップタイマ用レジスタへの設定方法と、カウントアップタイマとして使用する場合について説明しています。STOP1 モード解除時の詳細説明については、「3.3.2.低消費電力モード遷移時のウォーミングアップ」を参照してください。

2.4.1. 高速発振用ウォーミングアップカウンタ

高速発振専用ウォーミングアップカウンタとして、16 ビットのアップカウンタを内蔵しています。STOP1 モードへ遷移前に設定する場合も、下記の計算式で算出し、下位4ビットを切り捨てて、上位12ビットへ設定します。レジスタは、`[CGWUPHCR]<WUPT[15:4]>`に設定することになります。設定値が0の場合でも、下位4bit分のカウントを実行するため、16を減算しています。

<計算式>

$$\begin{aligned} & \text{ウォーミングアップカウンタ値 (16 ビット)} \\ & = (\text{ウォーミングアップ時間(s)} \div \text{クロック周期(s)}) - 16 \end{aligned}$$

(例) 発振器 10MHz (クロック周期 100ns) で、ウォーミングアップ時間 5ms を設定する場合

$$\begin{aligned} \text{ウォーミングアップカウンタ値 (16 ビット)} & = (5\text{ms} \div 100\text{ns}) - 16 \\ & = 50000 - 16 \\ & = 49984 \\ & = 0xC340 \end{aligned}$$

レジスタへは、上位12ビットを設定しますので、下記のように設定します。

$$[CGWUPHCR]<WUPT[15:4]> = 0xC34$$

10MHz の場合、 $0 \leq <WUPT[15:4]> \leq 0xFFF$ の設定範囲のため、ウォーミングアップ時間は、 $1.6\mu\text{s} \sim 6.5536\text{ms}$ となります。

2.4.2. ウォーミングアップタイムの使用方法

ウォーミングアップ機能の使用方法を説明します。

- (1) クロックの選択
高速発振の場合は、ウォーミングアップカウンタでカウントするクロック種別(内蔵発振/外部発振)を、**[CGWUPHCR]**<WUCLK>で選択します。
 - (2) ウォーミングアップカウンタ設定値の算出
ウォーミングアップ時間は、高速発振用のカウンタへ任意の値が設定可能です。それぞれの計算式から算出し、設定してください。
 - (3) ウォーミングアップの開始および終了確認
ソフトウェア(命令)によりウォーミングアップの開始および終了確認を行う場合、**[CGWUPHCR]** <WUON>へ"1"を設定することでウォーミングアップカウントスタートします。終了は**[CGWUPHCR]** <WUEF>が"1"→"0"になることで判別します。"1"でウォーミングアップ中、"0"で終了を示します。カウント終了後、カウンタはリセットされて初期状態に戻ります。
カウンタ動作中に**[CGWUPHCR]**<WUON>へ"0"を書き込んでも、強制終了にはなりません。"0"書き込みは無視されます。
- 注) ウォーミングアップタイムは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

2.5. クロック逡倍回路(PLL)

クロック逡倍回路は、高速発振器の出力クロック f_{OSC} の周波数(6MHz~12MHz)に最適な条件で逡倍した f_{PLL} クロックを出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

TMPM4K グループ(1)製品では f_{sys} 用 PLL(PLL0: 最大 80MHz)と ADC 用 PLL(PLL1: 最大 120MHz)の 2つの PLL を搭載しています。

説明で指定が無い場合は PLL0 を例に記述しています。

2.5.1. リセット解除後の PLL 設定

PLL はリセット解除後、ディセーブルです。

PLL を使用するためには、 $[CGPLL0SEL]<PLL0ON>$ が"0"の状態、 $[CGPLL0SEL]<PLL0SET>$ の逡倍値の設定を行った後、PLL の初期化時間として約 100 μ s 経過後に、 $<PLL0ON>$ を"1"に設定して PLL の動作を開始します。その後、ロックアップ時間約 400 μ s 経過後に、 $[CGPLL0SEL]<PLL0SEL>$ を"1"に設定することにより、 f_{OSC} を逡倍した f_{PLL} クロックを使用することができます。

なお、PLL 動作が安定するまでの時間は、ウォーミングアップ機能などを用いて確保する必要があります。

2.5.2. PLL 通倍値の計算式と設定例

PLL 通倍値を設定する[CGPLL0SEL]<PLL0SET[23:0]>の内訳詳細を下記に示します。

表 2.1 [CGPLL0SEL]<PLL0SET[23:0]>設定詳細

PLL0SET の内訳	機能		
[23:17]	補正值設定	f _{osc} /450000 の商(整数)。表 2.2 を参照してください。	
[16:14]	f _{osc} 設定	111: 20 < f _{osc} ≤ 24 (単位: MHz) 011: 10 < f _{osc} ≤ 20 010: Reserved 001: 6 ≤ f _{osc} ≤ 10 000: Reserved	
[13:12]	分周設定	00: Reserved 01: 2 分周 (×1/2) 10: 4 分周 (×1/4) 11: 8 分周 (×1/8)	
[11:8]	小数部 通倍設定	0000: 0.0000 0001: 0.0625 0010: 0.1250 0011: 0.1875 0100: 0.2500 0101: 0.3125 0110: 0.3750 0111: 0.4375	1000: 0.5000 1001: 0.5625 1010: 0.6250 1011: 0.6875 1100: 0.7500 1101: 0.8125 1110: 0.8750 1111: 0.9375
[7:0]	整数部 通倍設定	0x00: 0 0x01: 1 0x02: 2 : 0xFD: 253 0xFE: 254 0xFF: 255	

注) 通倍値は、<PLL0SET[7:0]>(整数部)と<PLL0SET[11:8]>(小数部)の合算です。

f_{PLL} は、以下の計算式で表されます。

$$f_{PLL} = f_{OSC} \times ([CGPLL0SEL]<PLL0SET[7:0]> + [CGPLL0SEL]<PLL0SET[11:8]>) \times ([CGPLL0SEL]<PLL0SET[13:12]>)$$

注 1) 周波数精度の絶対値は保証しません。

注 2) 小数部通倍設定にリニアリティはありません。

注 3) f_{PLL} ≤ 最大動作周波数

表 2.2 PLL補正值(例)

f _{osc} (MHz)	<PLL0SET[23:17]>(10進、整数値)
6.00	14
8.00	18
10.00	23
12.00	27

PLL 補正值は、以下で求めることができます

f_{osc}=6.0MHz 時、6.0/0.45=13.33 → 14; 小数部は切り上げ

[CGPLL0SEL]<PLL0SET[23:0]>の主な設定例を、下記に示します。

入力周波数(f_{osc})を、PLL で逡倍、分周し、目的とするクロック周波数(f_{PLL})を生成します。

分周値は、1/2、1/4、1/8 から選択します。

また、逡倍後の周波数は次の範囲で設定してください。200MHz ≤ (f_{osc}×逡倍値) ≤ 400MHz

表 2.3 PLL0SET 設定値(例)

f _{osc} (MHz)	逡倍値	分周値	f _{PLL} (MHz)	<PLL0SET[23:0]>
6.00	53.3125	1/4	79.97	0x1C6535
8.00	40.0000	1/4	80.00	0x246028
10.00	32.0000	1/4	80.00	0x2E6020
12.00	26.6250	1/4	79.88	0x36EA1A

[CGPLL1SEL]<PLL1SET[23:0]>の主な設定は、以下のとおりです。

また、逡倍後の周波数は次の範囲で設定してください。200MHz ≤ (f_{osc}×逡倍値) ≤ 240MHz

表 2.4 PLL1SET 設定値(例)

f _{osc} (MHz)	逡倍値	分周値	f _{PLLADC} (MHz)	<PLL1SET[23:0]>
6.00	40.0000	1/2	120.00	0x1C5028
8.00	30.0000	1/2	120.00	0x24501E
10.00	24.0000	1/2	120.00	0x2E5018
12.00	20.0000	1/2	120.00	0x36D014

2.5.3. 動作中の PLL 逡倍値の変更

PLL 逡倍クロック動作中に、逡倍値の変更を行う場合、まず[CGPLL0SEL]<PLL0SEL>に"0"を設定し PLL 逡倍クロックを使用しない設定に切り替えます。そして、[CGPLL0SEL]<PLL0ST>=0 を読み出し、逡倍クロックを使用しない設定に切り替わったことを確認した後、[CGPLL0SEL]<PLL0ON>を"0"として PLL を停止します。

その後、[CGPLL0SEL]<PLL0SET>の逡倍値を変更し、PLL の初期化時間として約 100μs 経過後に、[CGPLL0SEL]<PLL0ON>を"1"に設定して PLL の動作を開始します。

その後、ロックアップ時間約 400μs 経過後に、[CGPLL0SEL]<PLL0SEL>を"1"に設定します。

最後に、[CGPLL0SEL]<PLL0ST>をリードし、切り替わったことを確認します。

2.5.4. PLL 動作開始/停止/切り替えシーケンス

2.5.4.1. fc 設定 (PLL 停止→PLL 動作)

fc 設定として、PLL 停止状態から PLL 動作状態への切り替え手順例は、下記のようにになります。

《切り替え前の状態》	
[CGPULOSEL]<PLL0ON> =0	fsys 用 PLL 動作が停止
[CGPULOSEL]<PLL0SEL> =0	fsys 用 PLL 選択が PLL 未使用(fosc)
[CGPULOSEL]<PLL0ST> =0	fsys 用 PLL 選択ステータスが PLL 未使用(fosc)

《切り替え手順 例》	
1	[CGPULOSEL]<PLL0SET> =0xX PLL 通倍値設定(0xX)を選択する
2	100μs 以上 待つ 通倍設定後の待ち時間
3	[CGPULOSEL]<PLL0ON> =1 fsys 用 PLL 動作を発振にする
4	400μs 以上 待つ PLL 出力クロック安定待ち時間(ロックアップ時間)
5	[CGPULOSEL]<PLL0SEL> =1 fsys 用 PLL 選択を PLL 使用(fPLL)にする
6	[CGPULOSEL]<PLL0ST>をリード fsys 用 PLL 選択ステータスが PLL 使用(fPLL)(=1)になるまで待つ

注) 処理 1~4 は、切り替え前の状態が [CGPULOSEL]<PLL0ON>=1 の場合は不要です。PLL 出力クロックが安定した状態から切り替える場合は、処理 5,6 のみの実行で PLL 動作状態へ切り替え可能です。

2.5.4.2. fc 設定 (PLL 動作→PLL 停止)

fc 設定として、PLL 動作状態から PLL 停止状態への切り替え手順例は、下記のようにになります。

《切り替え前の状態》	
[CGPULOSEL]<PLL0ON> =1	fsys 用 PLL 選択が発振
[CGPULOSEL]<PLL0SEL> =1	fsys 用 PLL 選択が PLL 使用(fPLL)
[CGPULOSEL]<PLL0ST> =1	fsys 用 PLL 選択ステータスが PLL 使用(fPLL)

《切り替え手順 例》	
1	[CGPULOSEL]<PLL0SEL> =0 fsys 用 PLL 選択を PLL 未使用(fosc)にする
2	[CGPULOSEL]<PLL0ST>をリード fsys 用 PLL 選択ステータスが PLL 未使用(fosc)(=0)になるまで待つ
3	[CGPULOSEL]<PLL0ON> =0 fsys 用 PLL 動作を停止にする

2.5.4.3. ADCLK 設定

ADCLK 用の設定も fc 設定と同様の手順で行ってください。

注) ADCLK 用 PLL にはクロック選択ステータスはありませんので確認処理は不要です。

2.6. システムクロック

システムクロックの源振として、内蔵高速発振クロック、外部高速発振クロック(発振子接続またはクロック入力) が使用可能です。

システムクロックは[CGSYSCR]<GEAR[2:0]> (クロックギア)で分周が可能です。設定は動作中に変更可能ですが、レジスタ書き込み後、実際にクロックが切り替わるまでに fc で最大 16 クロックの時間が必要です。クロック切り替えの完了は、[CGSYSCR]<GEARST[2:0]>で確認してください。

注) タイマカウンタなどの周辺機能の動作中にクロックギアを切り替えないようにしてください。

発振周波数、PLL 通倍値などで設定した周波数 fc に対するクロックギア比(1/1~1/16)による動作周波数例を下記に示します。

表 2.5 動作周波数(単位: MHz) 例

外部発振 (MHz)	外部クロック入力 (MHz)	内蔵発振 IHOSC1 (MHz)	PLL 通倍値 (分周後)	最大周波数 (fc)(MHz)	クロックギア PLL=ON 時					クロックギア PLL=OFF 時				
					1/1	1/2	1/4	1/8	1/16	1/1	1/2	1/4	1/8	1/16
6	6	—	13.329	79.97	79.97	39.99	20	10	5	6	3	1.5	-	-
8	8	—	10	80	80	40	20	10	5	8	4	2	1	-
10	10	10	8	80	80	40	20	10	5	10	5	2.5	1.25	-
12	12	—	6.657	79.88	79.88	39.95	19.98	9.99	4.99	12	6	3	1.5	-

2.6.1. システムクロックの設定方法

2.6.1.1. fosc 設定 (内蔵発振→外部発振)

fosc 設定として、内蔵高速発振器 1(IHOSC1)から外部高速発振器(EHOSC)への切り替え手順例を下記に示します。

《切り替え前の状態》	
[CGOSCCR]<IHOSC1EN> =1	内蔵高速発振器 1 が発振
[CGOSCCR]<OSCSEL> =0	fosc 用高速発振選択が内蔵高速発振器(IHOSC1)
[CGOSCCR]<OSCF> =0	fosc 用高速発振選択ステータスが内蔵高速発振器(IHOSC1)
X1/X2 端子に発振子を接続(注)	

注) 発振子以外は接続しないでください。

《切り替えシーケンス例》		
1	[PHPDN]<bit[1:0]> =00 [PHIE]<bit[1:0]> =00	X1/X2 端子のプルダウンを Disable X1/X2 端子の入力制御を Disable
2	[CGOSCCR]<EOSCEN[1:0]> =01	外部高速発振器の動作選択を外部高速発振器(EHOSC)
3	[CGWUPHCR]<WUCLK> =1 [CGWUPHCR]<WUPT[15:4]> = 任意値	高速発振ウォーミングアップクロック選択を外部高速発振器(EHOSC) ウォーミングアップカウンタ設定値へ発振器安定時間を設定
4	[CGWUPHCR]<WUON> =1	高速発振ウォーミングアップをスタートする
5	[CGWUPHCR]<WUEF>をリード	高速発振ウォーミングアップ終了(=0)になるまで待つ
6	[CGOSCCR]<OSCSEL> =1	fosc 用高速発振選択を外部高速発振器(EHOSC)へ
7	[CGOSCCR]<OSCF>をリード	fosc 用高速発振選択ステータスが外部高速発振器(=1)になるまで待つ
8	[CGOSCCR]<IHOSC1EN> =0	内蔵高速発振器 1 を停止

2.6.1.2. fosc 設定（内蔵発振→外部クロック入力）

fosc 設定として、内蔵高速発振器 1(IHOSC1)から外部クロック入力(EHCLKIN)への切り替え手順例を下記に示します。

《切り替え前の状態》	
[CGOSCCR]<IHOSC1EN> =1	内蔵高速発振器 1 が発振
[CGOSCCR]<OSCSEL> =0	fosc 用高速発振選択が内蔵高速発振器(IHOSC1)
[CGOSCCR]<OSCF> =0	fosc 用高速発振選択ステータスが内蔵高速発振器(IHOSC1)
EHCLKIN へのクロック入力	適正電圧範囲で入力してください。

《切り替えシーケンス例》		
1	[PHPDN]<bit[0]> =0 [PHIE]<bit[0]> =1	X1 端子のプルダウンを Disable X1/EHCLKIN 端子の入力制御を Enable
2	[CGOSCCR]<EOSCEN[1:0]> =10	外部高速発振器の動作選択を外部クロック入力(EHCLKIN)にする
3	[CGOSCCR]<OSCSEL> =1	fosc 用高速発振選択を外部高速発振器へ
4	[CGOSCCR]<OSCF> をリード	fosc 用高速発振選択ステータスが外部高速発振器(=1)になるまで待つ
5	[CGOSCCR]<IHOSC1EN> =0	内蔵高速発振器 1 を停止

2.6.1.3. fosc 設定（外部発振／外部クロック入力→内蔵発振）

fosc 設定として、外部高速発振器(EHOSC)動作状態または外部クロック入力(EHCLKIN)動作状態から、内蔵高速発振器 1(IHOSC1)への切り替え手順例を下記に示します。

《切り替え前の状態》	
[CGOSCCR]<EOSCEN[1:0]> = 01 or 10	外部高速発振器の動作選択が外部高速発振器(EHOSC)か外部クロック入力
[CGOSCCR]<OSCSEL> =1	fosc 用高速発振選択が外部高速発振器(EHOSC)
[CGOSCCR]<OSCF> =1	fosc 用高速発振選択ステータスが外部高速発振器(EHOSC)

《切り替えシーケンス例》		
1	[CGOSCCR]<IHOSC1EN> =1	内蔵高速発振器 1 を発振する
2	[CGOSCCR]<IHOSC1F> をリード	IHOSC1 用内蔵発振安定フラグが発振安定(=1)になるまで待つ
3	[CGOSCCR]<OSCSEL> =0	fosc 用高速発振選択を内蔵高速発振器(IHOSC1)へ
4	[CGOSCCR]<OSCF> をリード	fosc 用高速発振選択ステータスが内蔵高速発振器(=0)になるまで待つ
5	[CGOSCCR]<EOSCEN[1:0]> =00	外部高速発振器の動作選択を外部発振未使用にする

2.7. クロック供給設定機能

この製品には、周辺機能に対してクロック供給／停止機能があり、使用しない周辺機能に対して、クロック供給を停止することで消費電流を削減することができます。

リセット解除後は、一部の周辺機能を除き、クロックが供給されていない状態です。

使用する機能のクロックを供給するには、**[CGFSYSENA]**、**[CGFSYSENB]**、**[CGFCEN]**、**[CGSPCLKEN]** の該当のビットを"1"に設定します。

レジスタの詳細は、「4.レジスタの説明」を参照してください。

2.8. クロックの端子出力機能

この製品には、クロックの端子出力機能があります。出力可能なクロックとして、高速発振 f_{osc} 、高速クロック f_c 、システムクロック f_{sys} を SCOUT 端子から出力できます。

詳細は、「4.2.5. **[CGSCOCR]** (SCOUT 出力制御レジスタ)」を参照してください。

SCOUT 端子の動作モード別使用可否状態を示します。

表 2.6 SCOUT端子使用可否一覧

SCOUT 選択	動作モード	
	NORMAL/IDLE	STOP1
f_{osc}	○	×
f_c	○	×
f_{sys}	○	×

2.9. プリスケークロック

周辺機能には、それぞれにクロック $\Phi T0$ を分周するプリスケークラがあります。これらのプリスケークラへ入力するクロック $\Phi T0$ は、**[CGSYSCR]**<PRCK[3:0]>で分周することが可能です。リセット後の $\Phi T0$ は、 f_c が選択されます。

レジスタ書き込み後、実際にクロックが切り替わるまでに f_c で最大 512 クロックの時間が必要です。クロック切り替えの完了は、**[CGSYSCR]**<PRCKST[3:0]>で確認してください。

注) タイマカウンタなどの周辺機能の動作中にプリスケークラクロックを切り替えないようにしてください。

3. 動作モード

この製品には、動作モードとして NORMAL モードと低消費電力モード(IDLE, STOP1)があり、使用方法に応じモード遷移を行うことで消費電力を抑えることができます。

3.1. 動作モードの詳細

3.1.1. 各モードの特長

NORMAL、低消費電力モードの特長は次のとおりです。

- NORMAL モード

CPU コア、および周辺回路を動作させるモードです。リセット解除後は、NORMAL モードとなります。

- 低消費電力モード

低消費電力モードは以下のとおりです。

- IDLE モード

CPU が停止するモードです。

周辺機能は各周辺機能のレジスタ、クロック供給設定機能などにより、動作/停止を行ってください。

注) IDLE モード中は CPU によるウォッチドッグタイマのクリアができませんので注意してください。

- STOP1 モード

内蔵高速発振器も含めて全ての内部回路が停止するモードです。

STOP1 モードが解除されると内蔵高速発振器 1(IHOSC1)が発振を開始し、NORMAL モードへ復帰します。

STOP1 モードに遷移する前に、STOP1 解除に使用しない割り込みは禁止してください。

3.1.2. 低消費電力モードへの遷移と復帰

各低消費電力モードへ遷移するには、スタンバイコントロールレジスタ[CGSTBYCR]<STBY[1:0]>で IDLE/STOP1 モードを選択し、WFI 命令を実行します。WFI 命令によって低消費電力モードへ遷移した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細はリファレンスマニュアルの「例外」の「割り込み」章を参照してください。

- 注 1) この製品ではイベントによる復帰はサポートしていないため、WFE (Wait For Event)による低消費電力モードへの遷移は行わないでください。
- 注 2) この製品は、Cortex-M4(FPU 機能搭載)の SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスタの<SLEEPDEEP>ビットは設定しないでください。

3.1.3. 低消費電力モードの選択

低消費電力モード選択は、[CGSTBYCR]<STBY[1:0]>の設定で選択されます。
下表に<STBY[1:0]>の設定より選択されるモードを示します。

表 3.1 低消費電力モード選択

モード	[CGSTBYCR] <STBY[1:0]>
IDLE	00
STOP1	01

注) 上記の設定以外は行わないでください。

3.1.4. 低消費電力モードにおける周辺機能状態

各モードにおける周辺機能(ブロック)の動作状態を表 3.2 に示します。

なお、リセット解除後は、一部のブロックを除きクロックが供給されない状態となります。

必要に応じて、[CGFSYSENA]、[CGFSYSENB]、[CGFCEN]、[CGSPCLKEN]を設定しクロック供給を許可してください。

表 3.2 低消費電力モード別ブロック動作状態一覧

Block		NORMAL	IDLE	STOP1
Processor core		○	—	—
DMAC		○	○	—
I/O port	端子状態	○	○	○
	レジスタ	○	○	—
ADC(OPAMP 含む)		○	○	—
UART		○	○	—
I ² C		○	○	—
TSPI		○	○	—
A-PMD		○	○	—
A-ENC		○	○	—
A-VE+		○	○	—
T32A		○	○	—
TRGSEL		○	○	—
CRC		○	○	—
SIWDT		○	○(注 1)	—
LVD		○	○	○
OFD		○	○	—
TRM		○	使用不可	—
CG		○	○	○
PLL		○	○	—
RAM Parity		○	○	—
外部高速発振器(EHOSC)		○	○	—
内蔵高速発振器 1(IHOSC1)		○	○	—
内蔵高速発振器 2(IHOSC2)		○	○	—
フラッシュメモリ(Code Flash)		アクセス 可能	アクセス 可能(注 2)	データ 保持
RAM				

○: 動作可能

—: 対象のモードに遷移すると自動的に周辺回路へのクロックが停止

注 1) プロテクトモード A のみ。それ以外の場合は、IDLE モードへ遷移する前に SIWDT を停止してください。

注 2) CPU 以外のデータアクセス(R/W)する周辺機能(DMA など)がバスマトリクス上で接続されていない場合は、データ保持となります。

3.2. モード状態遷移

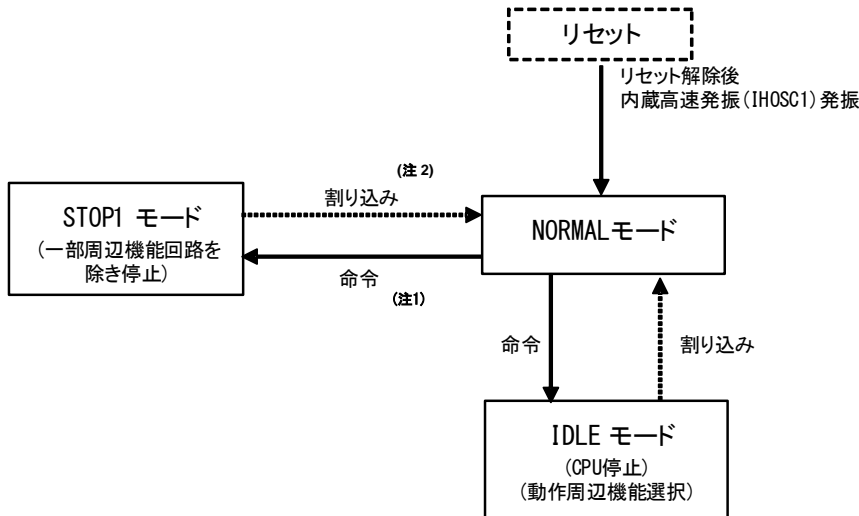


図 3.1 状態遷移

- 注 1) 復帰時にウォーミングアップが必要となります。ウォーミングアップ時間の設定は STOP1 モードに入る前のモード(NORMAL モード)で設定する必要があります。
- 注 2) STOP1 モードからの復帰時は割り込み起動要因の処理ルーチンに分岐します。

3.2.1. IDLE モード遷移フロー

IDLE モードへ遷移する場合は、以下の順番で設定してください。

IDLE モードは割り込みで解除されますので、IDLE モードへ遷移する前に割り込みの設定を行ってください。IDLE モード解除に使用可能な割り込みは「3.3.1.低消費電力モードの解除ソース」を参照してください。解除に使用しない割り込みおよび使用できない割り込みは禁止してください。

遷移手順		
1	[SIWDxEN]<WDTE> =0	SIWDT をディセーブルにする
2	[SIWDxCR]<WDCR[7:0]> =0xB1	SIWDT をディセーブルにする
3	[FCSR0]<RDYBSY>をリード	Flash が Ready 状態(=1)になるまで待つ
4	[CGSTBYCR]<STBY[1:0]> =00	低消費電力モード選択を IDLE にする
5	[CGSTBYCR]<STBY[1:0]>をリード	処理 4 のレジスタライトを確認する(=00)
6	WFI 命令実行	IDLE へ遷移する

3.2.2. STOP1 モード遷移フロー

STOP1 モードへ遷移する場合は、以下の順番で設定してください。

STOP1 モードは割り込みで解除されますので、STOP1 モードへ遷移する前に割り込みの設定を行ってください。STOP1 モード解除に使用可能な割り込みは「3.3.1.低消費電力モードの解除ソース」を参照してください。解除に使用しない割り込みおよび使用できない割り込みは禁止してください。

遷移手順 (NORMAL モードから)		
1	[SIWDxEN]<WDTE> =0	SIWDT をディセーブルにする
2	[SIWDxCR]<WDCR[7:0]> =0xB1	SIWDT をディセーブルにする
3	[FCSRO]<RDYBSY>をリード	Flash が Ready 状態(=1)になるまで待つ
4	[CGWUPHCR]<WUEF>をリード	高速発振ウォーミングアップ終了(=0)になるまで待つ
5	[CGWUPHCR]<WUCLK> =0	高速発振ウォーミングアップクロック選択を内蔵高速発振器(IHOSC1)にする
	[CGWUPHCR]<WUPT[15:4]> = 任意値	高速発振ウォーミングアップカウンタ設定値を STOP1 復帰に必要な時間に設定する
6	[CGSTBYCR]<STBY[1:0]> =01	低消費電力モード選択を STOP1 にする
7	[CGPLLOSEL]<PLLOSEL> =0	fsys 用 PLL 選択を PLL 未使用(fosc)にする
8	[CGPLLOSEL]<PLL0ST>をリード	fsys 用 PLL 選択ステータスが PLL 未使用になるまで待つ(=0)
9	[CGPLLOSEL]<PLL0ON> =0	fsys 用 PLL 動作を停止する
10	[CGOSCCR]<IHOSC1EN> =1	内蔵高速発振器 1 を発振にする
11	[CGOSCCR]<OSCSEL> =0	fosc 用高速発振選択を内蔵高速発振器(IHOSC1)にする
12	[CGOSCCR]<OSCF>をリード	fosc 用高速発振選択ステータスが内蔵高速発振器(IHOSC1)(=0)になるまで待つ
13	[CGOSCCR]<EOSCEN[1:0]> =00	外部発振の動作選択を外部発振未使用にする
14	[CGOSCCR]<IHOSC2EN> =0	内蔵高速発振器 2(IHOSC2)を停止する
15	[CGOSCCR]<EOSCEN[1:0]>をリード	処理 13 のレジスタライトを確認する(=00)
16	[CGOSCCR]<IHOSC2F>をリード	IHOSC2 用の内蔵発振安定フラグが"0"になるまで待つ
17	WFI 命令実行	STOP1 へ遷移する

注) SIWDT の A モードを使用する場合は、処理 1,2,14,16 は不要です。

3.3. 低消費電力モードからの復帰

3.3.1. 低消費電力モードの解除ソース

低消費電力モードからの解除は、割り込み、マスク不能割り込み、リセットによって行うことができます。使用できる解除ソースは、低消費電力モードにより決まります。詳細を下表に示します。

表 3.3 解除ソース一覧

低消費電力モード		IDLE	STOP1	
解除 ソース	割り込み	INT00~INT10 (注 1)	○	○
		INTVCN0、INTVCT0	○	×
		INTEMG0、INTOVV0、INTPWM0 INTEMG1、INTOVV1、INTPWM1	○	×
		INTENC00、INTENC01	○	×
		INTADAPDA、INTADAPDB、INTADAPDC、 INTADAPDD、INTADAPFLG	○	×
		INTADACP0、INTADACP1、INTADATRГ	○	×
		INTADASGL、INTADACNT	○	×
		INTTxRX、INTTxTX、INTTxERR	○	×
		INTI2Cx、INTI2CxAL、INTI2CxBF、INTI2CxNA	○	×
		INTUARTxRX、INTUARTxTX、INTUARTxERR	○	×
		INTT32AxA、INTT32AxACAP0、INTT32AxACAP1 INTT32AxB、INTT32AxBCAP0、INTT32BxBCAP1 INTT32AxC、INTT32AxCCAP0、INTT32CxCCAP1	○	×
		INTDMAATC、INTDMAAERR	○	×
		INTPARI	○	×
		INTFLCRDY	○	×
	SystemTick 割り込み	○	×	
	マスク不能割り込み(INTWDT)	○(注 2)	×	
	マスク不能割り込み(INTLVD)	○	○	
リセット(SIWDT)	○(注 2)	×		
リセット(LVD)	○	○		
リセット(OFD)	○	×		
リセット(RESET_N 端子)	○	○		

○: 解除後、割り込み処理を開始します

×: 解除に使用できません

- 注 1) INT00~INT10(外部割り込み00~10)は、立ち上がり/立ち下がり/レベルのいずれかを選択することができます。設定の詳細はリファレンスマニュアル「例外」を参照してください。
- 注 2) プロテクトモード A のみ。それ以外の場合は、遷移する前に SIWDT を停止してください。

- 割り込み要求による解除

割り込みによって低消費電力モードを解除する場合、CPU で割り込みが検出されるよう準備しておく必要があります。STOP1 モードの解除に使用する割り込みは、CPU の設定の他に INTIF で割り込み検出の設定を行う必要があります。

- マスク不能割り込み(NMI)による解除

NMI の要因には SIWDT 割り込み(INTWDT,プロテクトモード A のみ)と LVD 割り込み(INTLVD)があります。

- リセットによる解除

リセットは全ての低消費電力モードからの解除を行うことができます。
リセットで解除した場合には、解除後 NORMAL モードで全てのレジスタが初期化された状態になります。

- SysTick 割り込みによる解除

SysTick 割り込みは IDLE モードでのみ使用可能です。

割り込みの詳細に関しては、リファレンスマニュアル「例外」の「割り込み」章を参照してください。

3.3.2. 低消費電力モード遷移時のウォーミングアップ

モード遷移時、内部回路の安定のためウォーミングアップが必要な場合があります。

STOP1 モードから NORMAL モードへの遷移では、自動的に内部発振が選択されウォーミングアップ用カウンタが起動されます。ウォーミングアップ時間経過後にシステムクロックの出力が開始されます。

このため、STOP1 モードに遷移する命令を実行する前に、`[CGWUPHCR]<WUPT[15:4]>`でウォーミングアップ時間の設定を行ってください。設定方法については、「2.4.1.高速発振用ウォーミングアップカウンタ」を参照してください。

各動作モード遷移時におけるウォーミングアップ設定の有無を下表に示します。

表 3.4 ウォーミングアップ

動作モード遷移	ウォーミングアップ設定
NORMAL → IDLE	不要
NORMAL → STOP1	不要
IDLE → NORMAL	不要
STOP1 → NORMAL	必要

3.4. モード遷移によるクロック動作

モード遷移の際の、クロック動作について以下に示します。

3.4.1. NORMAL→IDLE→NORMAL 動作モード遷移

IDLE モードは、CPU が停止するモードです。周辺機能へのクロック供給は、設定状態を保持します。必要に応じて、各周辺機能のレジスタ、クロック供給設定機能などにより、動作/停止を行ってください。IDLE 状態から、NORMAL モードへの復帰時にウォーミングアップは行いません。

IDLE モードへ遷移する命令(WFI)実行後、プログラムカウンタは次の行を示して CPU 停止状態となります。解除ソースにより、CPU 再起動となり、割り込み許可状態の場合、先に解除ソースの割り込み処理を経て、遷移命令(WFI)の次の行を実行することになります。

3.4.2. NORMAL→STOP1→NORMAL 動作モード遷移

STOP1 モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。

STOP1 モードへ遷移する前に[CGWUPHCR]<WUPT[15:4]>へウォーミングアップ時間(24 μ s 以上)の設定を行ってください。

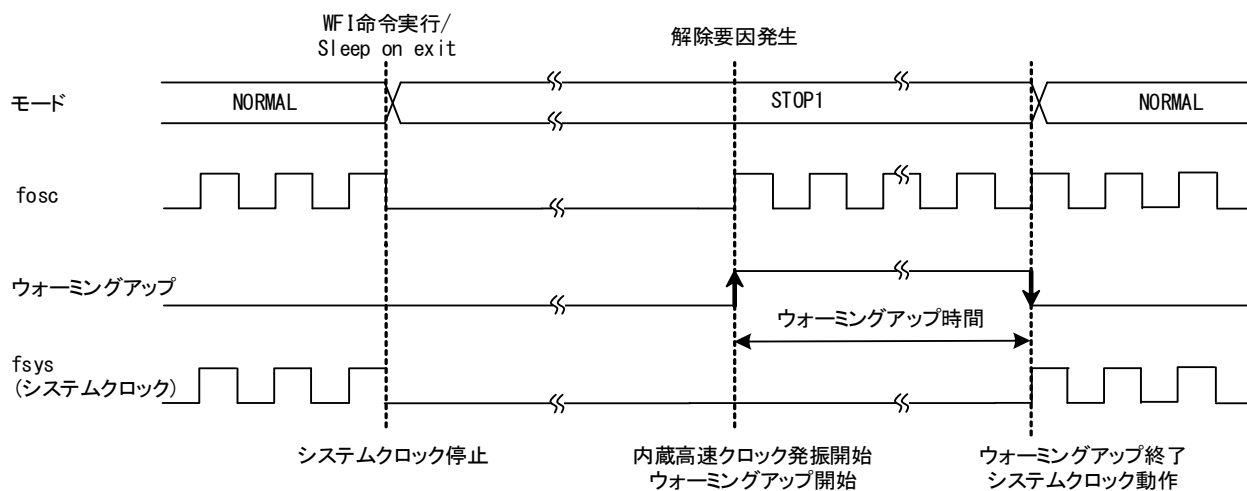


図 3.2 NORMAL→STOP1→NORMAL 動作モード遷移

4. レジスタの説明

4.1. レジスタ一覧

CG 関連のレジスタとアドレスを以下に示します。

周辺機能		チャンネル/ユニット	ベースアドレス
クロック制御と動作モード	CG	—	0x400F3000

レジスタ名		アドレス(Base+)
CG ライトプロテクトレジスタ	[CGPROTECT]	0x0000
発振制御レジスタ	[CGOSCCR]	0x0004
システムクロック制御レジスタ	[CGSYSCR]	0x0008
スタンバイ制御レジスタ	[CGSTBYCR]	0x000C
SCOUT 出力制御レジスタ	[CGSCOCR]	0x0010
fsys 用 PLL セレクトレジスタ	[CGPLL0SEL]	0x0020
ADC 用 PLL セレクトレジスタ	[CGPLL1SEL]	0x0024
高速発振ウォーミングアップレジスタ	[CGWUPHCR]	0x0030
fsys 供給停止レジスタ A	[CGFSYSENA]	0x0050
fsys 供給停止レジスタ B	[CGFSYSENB]	0x0054
fc 供給停止レジスタ	[CGFCEN]	0x0058
ADC、トレース用クロック供給停止レジスタ	[CGSPCLKEN]	0x005C

4.2. レジスタ詳細

4.2.1. [CGPROTECT](CG ライトプロテクトレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:0	PROTECT[7:0]	0xC1	R/W	CG レジスタライトプロテクト(本レジスタ以外の全て)制御 0xC1: CG レジスタへのライト許可(プロテクト解除) 0xC1 以外: CG レジスタへのライト禁止(プロテクト有効)

4.2.2. [CGOSCCR](発振制御レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:20	-	0	R	リードすると"0"が読めます。
19	IHOSC2F	0	R	IHOSC2 用内蔵発振安定フラグ 0: 停止またはウォームアップ中 1: 発振安定
18:17	-	0	R	リードすると"0"が読めます。
16	IHOSC1F	1	R	IHOSC1 用内蔵発振安定フラグ 0: 停止またはウォームアップ中 1: 発振安定
15:10	-	0	R	リードすると"0"が読めます。
9	OSCF	0	R	fosc 用高速発振器選択ステータス 0: 内蔵高速発振器(IHOSC1) 1: 外部高速発振器(EHOSC)
8	OSCSEL	0	R/W	fosc 用高速発振器選択(注 1) 0: 内蔵高速発振器(IHOSC1) 1: 外部高速発振器(EHOSC)
7:4	-	0	R	リードすると"0"が読めます。
3	IHOSC2EN	0	R/W	内蔵高速発振器 2(IHOSC2)(注 2) 0: 停止 1: 発振
2:1	EOSCEN[1:0]	00	R/W	外部高速発振器の動作選択(EHOSC)(注 3) 00: 外部発振未使用 01: 外部高速発振(EHOSC) 10: 外部クロック入力(EHCLKIN) 11: Reserved
0	IHOSC1EN	1	R/W	内蔵高速発振器 1(IHOSC1) 0: 停止 1: 発振

注 1) 設定変更した場合、書き込み値が[CGOSCCR]<OSCF>ビットに、反映されていることを確認後、次の操作を行うようにしてください。

注 2) [SIWDxOSCCR]<OSCPRO>=1 (SIWDT のライトプロテクトが有効)の場合は、設定しても変更されません。

注 3) 外部高速クロック(発振子接続)を使用する場合は必ず"01"を設定してください。

4.2.3. [CGSYSCR](システムクロック制御レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:28	-	0	R	リードすると"0"が読めます。
27:24	PRCKST[3:0]	0000	R	プリスケラックロック(ΦT0)選択ステータス 0000: fc 0100: fc/16 1000: fc/256 0001: fc/2 0101: fc/32 1001: fc/512 0010: fc/4 0110: fc/64 1010~1111: Reserved 0011: fc/8 0111: fc/128
23:19	-	0	R	リードすると"0"が読めます。
18:16	GEARST[2:0]	000	R	システムクロック(fsys)のギア選択ステータス 000: fc 100: fc/16 001: fc/2 101~111: Reserved 010: fc/4 011: fc/8
15:12	-	0	R	リードすると"0"が読めます。
11:8	PRCK[3:0]	0000	R/W	プリスケラックロック(ΦT0)選択 0000: fc 0100: fc/16 1000: fc/256 0001: fc/2 0101: fc/32 1001: fc/512 0010: fc/4 0110: fc/64 1010~1111: Reserved 0011: fc/8 0111: fc/128 周辺機能に供給するプリスケラックロックを選択します。
7:3	-	0	R	リードすると"0"が読めます。
2:0	GEAR[2:0]	000	R/W	システムクロック(fsys)のギア選択 000: fc 100: fc/16 001: fc/2 101~111: Reserved 010: fc/4 011: fc/8

4.2.4. [CGSTBYCR] (スタンバイ制御レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	-	0	R	リードすると"0"が読めます。
1:0	STBY[1:0]	00	R/W	低消費電力モード選定 00: IDLE 01: STOP1 10: Reserved 11: Reserved

4.2.5. [CGSCOCR] (SCOUT 出力制御レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:7	-	0	R	リードすると"0"が読めます。
6:4	SCODIV[2:0]	000	R/W	SCOUT 分周選択(注) 000: 分周なし 100: 16 分周 001: 2 分周 101~111: Reserved 010: 4 分周 011: 8 分周
3:1	SCOSEL[2:0]	000	R/W	SCOUT ベースクロック選択(注) 000: fosc 100~111: Reserved 001: fc 010: Reserved 011: fsys
0	SCOEN	0	R/W	SCOUT 出力許可 0: 禁止 1: 許可

注) <SCOSEL[2:0]>で「011: fsys」を選択時は、<SCODIV[2:0]>で「000: 分周なし」は選択できません。

4.2.6. [CGPLL0SEL] (fsys 用 PLL セレクトレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:8	PLL0SET[23:0]	0x000000	R/W	PLL0 通倍設定 通倍設定については、「2.5.2 PLL 通倍値の計算式と設定例」を参照してください。
7:3	-	0	R	リードすると"0"が読めます。
2	PLL0ST	0	R	fsys 用クロック選択ステータス 0: f _{OSC} 1: f _{PLL0}
1	PLL0SEL	0	R/W	fsys 用クロック選択 0: f _{OSC} 1: f _{PLL}
0	PLL0ON	0	R/W	fsys 用 PLL 動作 0: 停止 1: 発振

4.2.7. [CGPLL1SEL] (ADC 用 PLL セレクトレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:8	PLL1SET[23:0]	0x000000	R/W	PLL1 通倍設定 通倍設定については、「2.5.2 PLL 通倍値の計算式と設定例」を参照してください。
7:2	-	0	R	リードすると"0"が読めます。
1	PLL1SEL	0	R/W	ADC 用クロック選択 0: f _c 1: f _{PLLADC}
0	PLL1ON	0	R/W	ADC 用 PLL 動作 0: 停止 1: 発振

4.2.8. [CGWUPHCR] (高速発振ウォーミングアップレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:20	WUPT[15:4]	0x800	R/W	ウォーミングアップタイムの計算値 16 ビットの上位 12 ビットの値を設定します。 ウォーミングアップタイムの設定については、「2.4.1 高速発振用ウォーミングアップカウンタ」を参照してください。
19:16	WUPT[3:0]	0x0	R	ウォーミングアップタイムの計算値 16 ビットの下位 4 ビットの値で、0x0 固定です。
15:9	-	0	R	リードすると"0"が読めます。
8	WUCLK	0	R/W	ウォーミングアップクロック選択 (注 1) 0: 内蔵高速発振器(IHOSC1) 1: 外部高速発振器(EHOSC)
7:2	-	0	R	リードすると"0"が読めます。
1	WUEF	0	R	ウォーミングアップタイムステータス (注 2) 0: ウォーミングアップ終了 1: ウォーミングアップ中
0	WUON	0	W	ウォーミングアップタイム制御 0: don't care 1: ウォーミングアップスタート

注 1) STOP1 復帰時のウォーミングアップは、内蔵発振器で行ってください。外部発振器を選んで STOP1 へ遷移することは禁止です。

注 2) ウォーミングアップ中(<WUEF> =1)は、レジスタの書き換え禁止です。設定は、<WUEF> =0 のときに行ってください。

4.2.9. [CGFSYSENA] (fsys 供給停止レジスタ A)

Bit	Bit Symbol	リセット後	Type	機能
31	IPENA31	0	R/W	"0"を書いてください。
30	IPENA30	0	R/W	T32A ch5 のクロックイネーブル 0: クロック停止 1: クロック供給
29	IPENA29	0	R/W	T32A ch4 のクロックイネーブル 0: クロック停止 1: クロック供給
28	IPENA28	0	R/W	T32A ch3 のクロックイネーブル 0: クロック停止 1: クロック供給
27	IPENA27	0	R/W	T32A ch2 のクロックイネーブル 0: クロック停止 1: クロック供給
26	IPENA26	0	R/W	T32A ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
25	IPENA25	0	R/W	T32A ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
24	IPENA24	0	R/W	I ² C ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
23	IPENA23	0	R/W	UART ch3 のクロックイネーブル 0: クロック停止 1: クロック供給
22	IPENA22	0	R/W	UART ch2 のクロックイネーブル 0: クロック停止 1: クロック供給
21	IPENA21	0	R/W	UART ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
20	IPENA20	0	R/W	UART ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
19	IPENA19	0	R/W	TSPI ch3 のクロックイネーブル 0: クロック停止 1: クロック供給
18	IPENA18	0	R/W	TSPI ch2 のクロックイネーブル 0: クロック停止 1: クロック供給
17	IPENA17	0	R/W	TSPI ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
16	IPENA16	0	R/W	TSPI ch0 のクロックイネーブル 0: クロック停止 1: クロック供給

Bit	Bit Symbol	リセット後	Type	機能
15	IPENA15	0	R/W	"0"を書いてください。
14	IPENA14	0	R/W	
13	IPENA13	0	R/W	
12	IPENA12	0	R/W	
11	IPENA11	0	R/W	
10	IPENA10	0	R/W	PORT L のクロックイネーブル 0: クロック停止 1: クロック供給
9	IPENA09	0	R/W	PORT K のクロックイネーブル 0: クロック停止 1: クロック供給
8	IPENA08	0	R/W	PORT J のクロックイネーブル 0: クロック停止 1: クロック供給
7	IPENA07	0	R/W	PORT H のクロックイネーブル 0: クロック停止 1: クロック供給
6	IPENA06	0	R/W	PORT G のクロックイネーブル 0: クロック停止 1: クロック供給
5	IPENA05	0	R/W	PORT F のクロックイネーブル 0: クロック停止 1: クロック供給
4	IPENA04	0	R/W	PORT E のクロックイネーブル 0: クロック停止 1: クロック供給
3	IPENA03	0	R/W	PORT D のクロックイネーブル 0: クロック停止 1: クロック供給
2	IPENA02	0	R/W	PORT C のクロックイネーブル 0: クロック停止 1: クロック供給
1	IPENA01	0	R/W	PORT B のクロックイネーブル 0: クロック停止 1: クロック供給
0	IPENA00	0	R/W	PORT A のクロックイネーブル 0: クロック停止 1: クロック供給

注 1) レジスタの初期値がクロック停止でも、リセット期間中は全てクロック供給されます。

注 2) TMPM4K2,TMPM4K1,TMPM4K0 で存在しない機能のビットは"0"を書いてください。詳細は「5. 製品別情報」を参照してください。

4.2.10. [CGFSYSENB] (fsys 供給停止レジスタ B)

Bit	Bit Symbol	リセット後	Type	機能
31	IPENB31	1	R/W	SIWDT ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
30	IPENB30	1	R/W	"1"を書いてください。
29	IPENB29	1	R/W	
28	IPENB28	1	R/W	
27	IPENB27	0	R/W	"0"を書いてください。
26	IPENB26	0	R/W	
25	IPENB25	0	R/W	
24	IPENB24	0	R/W	
23	IPENB23	0	R/W	
22	IPENB22	0	R/W	
21	IPENB21	0	R/W	
20	IPENB20	0	R/W	
19	IPENB19	0	R/W	
18	IPENB18	0	R/W	
17	IPENB17	0	R/W	
16	IPENB16	0	R/W	DMAC のクロックイネーブル 0: クロック停止 1: クロック供給
15	IPENB15	0	R/W	TRGSEL のクロックイネーブル 0: クロック停止 1: クロック供給
14	IPENB14	0	R/W	TRM のクロックイネーブル 0: クロック停止 1: クロック供給
13	IPENB13	0	R/W	OFD のクロックイネーブル 0: クロック停止 1: クロック供給
12	IPENB12	0	R/W	CRC のクロックイネーブル 0: クロック停止 1: クロック供給
11	IPENB11	0	R/W	RAM Parity のクロックイネーブル 0: クロック停止 1: クロック供給
10	IPENB10	0	R/W	A-VE+ ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
9	IPENB09	0	R/W	A-PMD ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
8	IPENB08	0	R/W	A-PMD ch0 のクロックイネーブル 0: クロック停止 1: クロック供給

Bit	Bit Symbol	リセット後	Type	機能
7	IPENB07	0	R/W	A-ENC ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
6	IPENB06	0	R/W	"0"を書いてください。
5	IPENB05	0	R/W	
4	IPENB04	0	R/W	
3	IPENB03	0	R/W	
2	IPENB02	0	R/W	OPAMP A/B/C のクロックイネーブル 0: クロック停止 1: クロック供給
1	IPENB01	0	R/W	ADC(トリガ入れ替え制御部)のクロックイネーブル 0: クロック停止 1: クロック供給
0	IPENB00	0	R/W	ADC(AD 変換部)のクロックイネーブル 0: クロック停止 1: クロック供給

注 1) レジスタの初期値がクロック停止でも、リセット期間中は全てクロック供給されます。

注 2) TMPM4K2,TMPM4K1,TMPM4K0 で存在しない機能のビットは"0"を書いてください。詳細は「5. 製品別情報」を参照してください。

4.2.11. [CGFCEN] (fc 供給停止レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7	DNFCKEN	0	R/W	DNF のクロックイネーブル 0: クロック停止 1: クロック供給
6:0	-	0	R	リードすると"0"が読めます。

4.2.12. [CGSPCLKEN] (ADC、トレース用クロック供給停止レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:17	-	0	R	リードすると"0"が読めます。
16	ADCKEN	0	R/W	ADC 用変換クロックイネーブル 0: クロック停止 1: クロック供給
15:1	-	0	R	リードすると"0"が読めます。
0	TRCKEN	0	R/W	デバッグ回路(ETM)のトレース機能用クロックイネーブル 0: クロック停止 1: クロック供給

5. 製品別情報

各製品別で異なる[CGFSYSENA]および[CGFSYSENA]に関する情報を以下に示します。

表 5.1 [CGFSYSENA]の製品別割り当て

Bit	Bit Symbol	接続先	チャンネル番号 /ユニット名 入出力ポート名	M4K4	M4K2	M4K1	M4K0
31	IPENA31	—	—	—	—	—	—
30	IPENA30	T32A	5	○	○	○	○
29	IPENA29		4	○	○	○	○
28	IPENA28		3	○	○	○	○
27	IPENA27		2	○	○	○	○
26	IPENA26		1	○	○	○	○
25	IPENA25		0	○	○	○	○
24	IPENA24		I ² C	0	○	○	○
23	IPENA23	UART	3	○	—	—	—
22	IPENA22		2	○	○	○	○
21	IPENA21		1	○	○	—	—
20	IPENA20		0	○	○	○	○
19	IPENA19	TSPI	3	○	—	—	—
18	IPENA18		2	○	○	○	○
17	IPENA17		1	○	—	—	—
16	IPENA16		0	○	○	○	—
15	IPENA15	—	—	—	—	—	—
14	IPENA14	—	—	—	—	—	—
13	IPENA13	—	—	—	—	—	—
12	IPENA12	—	—	—	—	—	—
11	IPENA11	—	—	—	—	—	—
10	IPENA10	PORT	L	○	○	—	—
9	IPENA09		K	○	○	○	○
8	IPENA08		J	○	○	○	○
7	IPENA07		H	○	○	○	○
6	IPENA06		G	○	○	○	○
5	IPENA05		F	○	○	○	—
4	IPENA04		E	○	○	○	○
3	IPENA03		D	○	○	○	○
2	IPENA02		C	○	○	○	—
1	IPENA01		B	○	○	○	—
0	IPENA00		A	○	○	○	—

注) ○: 対応、—: 非対応

表 5.2 [CGFSYSENB]の製品別割り当て

Bit	Bit Symbol	接続先	チャンネル番号 /ユニット名 入出力ポート名	M4K4	M4K2	M4K1	M4K0
31	IPENB31	SIWDT	0	○	○	○	○
30	IPENB30	— (注2)	—	—	—	—	—
29	IPENB29	— (注2)	—	—	—	—	—
28	IPENB28	— (注2)	—	—	—	—	—
27	IPENB27	—	—	—	—	—	—
26	IPENB26	—	—	—	—	—	—
25	IPENB25	—	—	—	—	—	—
24	IPENB24	—	—	—	—	—	—
23	IPENB23	—	—	—	—	—	—
22	IPENB22	—	—	—	—	—	—
21	IPENB21	—	—	—	—	—	—
20	IPENB20	—	—	—	—	—	—
19	IPENB19	—	—	—	—	—	—
18	IPENB18	—	—	—	—	—	—
17	IPENB17	—	—	—	—	—	—
16	IPENB16	DMAC	A	○	○	○	○
15	IPENB15	TRGSEL	—	○	○	○	○
14	IPENB14	TRM	—	○	○	○	○
13	IPENB13	OFD	—	○	○	○	○
12	IPENB12	CRC	—	○	○	○	○
11	IPENB11	RAMP	—	○	○	○	○
10	IPENB10	A-VE+	0	○	○	○	○
9	IPENB09	A-PMD	1	○	○	○	○
8	IPENB08		0	○	○	○	○
7	IPENB07	A-ENC	0	○	○	○	○
6	IPENB06	—	—	—	—	—	—
5	IPENB05	—	—	—	—	—	—
4	IPENB04	—	—	—	—	—	—
3	IPENB03	—	—	—	—	—	—
2	IPENB02	OPAMP	A,B,C	○	○	○	○
1	IPENB01	ADC(トリガ入れ替え制御部)	A	○	○	○	○
0	IPENB00	ADC(AD 変換部)	A	○	○	○	○

注1) ○: 対応、—: 非対応

注2) "1"を書いてください。

6. 改訂履歴

表 6.1 改訂履歴

Revision	Date	Description
1.0	2017-10-19	<ul style="list-style-type: none"> ・新規 ・表紙、ヘッダ クロック制御/動作モード→クロック制御と動作モード ・全般 Amp, AMP→OPAMP ・関連するリファレンスマニュアル タイトル: リファレンスマニュアル→ドキュメント ・用語・略語 OPAMP 追加 NBD I/F → NBDIF ・2.1.クロックの種類 fosc 項: 内部発振回路 1→内部発振回路 ・図 2.1 クロック系統図 fsys 接続周辺回路見直し ・「2.5.2.」 表 2.3 の直前: 320MHz→400MHz ・「2.6.1.1.」 上表: 内部高速発振器→内蔵高速発振器 下表: 外部発振器→外部高速発振器, 外部→外部高速発振器 ・「2.6.1.2.」 上表: 内部高速発振器→内蔵高速発振器 下表: 外部発振器→外部高速発振器, 内蔵高速発振器→内蔵高速発振器 1 ・「2.6.1.3.」 上表: "01, 10" → "01 or 10", 外部発振器→外部高速発振器 外部→外部高速発振器 下表: 内蔵高速発振安定フラグ→IHOSC1 用内蔵発振安定フラグ 内部クロック→内蔵高速発振器, 内部→内蔵高速発振器 外部発振器→外部高速発振器, 未使用→外部発振未使用 ・「3.1.2.低消費電力モード」 タイトル: 低消費電力モード → 低消費電力モードへの遷移と復帰 1 行目: 削除 "低消費電力モードには、IDLE、STOP1 モードがあります。" ・「3.1.4. 低消費電力モードにおける周辺機能状態」 1 行目: "「表 3.2 低消費電力・・・」"→表 3.2 表 3.2: Flash Code ROM→フラッシュメモリ(Code Flash)、Amp→OPAMP 注 1: ", モードへ"→", IDLE モードへ" ・「3.2.1.IDLE モード遷移フロー」 1 行目: IDLE へ→IDLE モードへ 2 行目: "なお、IDLE 解除に・・・事前に禁止してください。"→ "IDLE モードは割り込みで解除・・・割り込み禁止してください。" ・「3.2.2.STOP1 モード遷移フロー」 1 行目: STOP1 へ→STOP1 モードへ 2 行目: "なお、STOP1 解除に・・・事前に禁止してください。"→ "STOP1 モードは割り込みで解除・・・割り込み禁止してください。" 表: 内部→内蔵高速発振器, 内蔵高速発振器→内蔵高速発振器 1 未使用→外部発振未使用 OFD 用内蔵高速発振器→内蔵高速発振器 2 OFD 用の内蔵発振安定フラグ→IHOSC2 用の内蔵発振安定フラグ ・「3.3.1.低消費電力モードの解除ソース」 表 3.3: (注 1), (注 2) 追記 表下: 注 1), 注 2) 追加 マスク不能割り込み(NMI)による解除 項: WDT→SIWDT "INTWDT"→"INTWDT,プロテクトモード A のみ" ・「3.3.2.」 2 段目: <WUPT[15:0]> →<WUPT[15:4]> ・「4.1.レジスタ一覧」 上表: クロック制御/動作モード→クロック制御と動作モード 最終行削除 "なお、未使用領域へ書き込みを行う場合は、初期値を・・・" ・「4.2.2.」 IHOSC2F/機能: IHOSC2(OFD)用→IHOSC2 用 IHOSC2EN/機能: OFD 用内蔵高速発振器→内蔵高速発振器 2 IHOSC1EN/機能: 内蔵高速発振器→内蔵高速発振器 1 ・「4.2.9.」 IPENA31, IPENA15~IPENA11: N/A→"0"を書いてください。 注 1): 供給されています→供給されず 追加 "注 2) TMPM4K2,TMPM4K1,TMPM4K0 で存在しない・・・"
2.0	2018-05-17	

Revision	Date	Description
		<p>機能項内 チャンネル表記: 0~5→ch0~ch5</p> <ul style="list-style-type: none"> ・「4.2.10.」 IPENB27~IPENB17, IPENB06~IPENB03: N/A→"0"を書いてください。 注 1): 供給されています→供給されず 追加 "注 2) TMPM4K2,TMPM4K1,TMPM4K0 で存在しない..." ・「5.製品別情報」 "CG に"→"[CGFSYSENA]および[CGFSYSENA]に" 表 5.1 表題: [CGFSYSENA]レジスタ製品別対応→ [CGFSYSENA]の製品別割り当て タイトル行: チャンネル番号→チャンネル番号/ユニット名 表 5.2 表題: [CGFSYSENB]レジスタ製品別対応→ [CGFSYSENB]の製品別割り当て タイトル行: チャンネル番号→チャンネル番号/ユニット名 IPENB31/チャンネル番号: "-"→"0" IPENB30~IPENB28/接続先: "(注 2)" 追記 注 2) 追加

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。