

32 ビット RISC マイクロコントローラ

TMPM4G グループ(1)

リファレンスマニュアル
入出力ポート
(PORT-M4G(1))

Revision 2.3

2019-06

東芝デバイス&ストレージ株式会社

目次

序章	6
関連するドキュメント	6
表記規約	7
用語・略語	9
1. 概要	10
2. 動作説明	12
2.1. クロック供給	12
3. 信号接続一覧	13
4. レジスタ説明	31
4.1. レジスタ一覧	32
4.2. ポート機能とレジスタ設定	35
4.2.1. 機能端子を使用する際の設定について	35
4.2.2. PORT A	36
4.2.3. PORT B	38
4.2.4. PORT C	40
4.2.5. PORT D	41
4.2.6. PORT E	43
4.2.7. PORT F	45
4.2.8. PORT G	46
4.2.9. PORT H	48
4.2.10. PORT J	50
4.2.11. PORT K	51
4.2.12. PORT L	53
4.2.13. PORT M	54
4.2.14. PORT N	56
4.2.15. PORT P	57
4.2.16. PORT R	59
4.2.17. PORT T	60
4.2.18. PORT U	61
4.2.19. PORT V	62
4.2.20. PORT W	64
4.2.21. PORT Y	65
5. ポート回路図	66
5.1. タイプ FT1	67
5.2. タイプ FT2	68
5.3. タイプ FT2b	69
5.4. タイプ FT3	70
5.5. タイプ FT4	71
5.6. タイプ FT5	72
5.7. タイプ FT10	73

5.8. タイプ FT13	74
5.9. タイプ FT14	75
5.10. タイプ FT15	76
5.11. タイプ FT16	77
6. 使用上のご注意およびお願い事項	78
6.1. リセット期間中の端子状態について	78
6.2. 未使用端子の処理について	78
6.3. デバッグインタフェース端子を汎用ポートとして使用する際の注意	78
7. 改訂履歴	79
製品取り扱い上のお願い	82

図目次

図 5.1	ポートタイプ FT1	67
図 5.2	ポートタイプ FT2	68
図 5.3	ポートタイプ FT2b	69
図 5.4	ポートタイプ FT3	70
図 5.5	ポートタイプ FT4	71
図 5.6	ポートタイプ FT5	72
図 5.7	ポートタイプ FT10	73
図 5.8	ポートタイプ FT13	74
図 5.9	ポートタイプ FT14	75
図 5.10	ポートタイプ FT15	76
図 5.11	ポートタイプ FT16	77

表目次

表 1.1	機能概要	10
表 3.1	信号接続一覧(1/18)	13
表 3.2	信号接続一覧(2/18)	14
表 3.3	信号接続一覧(3/18)	15
表 3.4	信号接続一覧(4/18)	16
表 3.5	信号接続一覧(5/18)	17
表 3.6	信号接続一覧(6/18)	18
表 3.7	信号接続一覧(7/18)	19
表 3.8	信号接続一覧(8/18)	20
表 3.9	信号接続一覧(9/18)	21
表 3.10	信号接続一覧(10/18)	22
表 3.11	信号接続一覧(11/18)	23
表 3.12	信号接続一覧(12/18)	24
表 3.13	信号接続一覧(13/18)	25
表 3.14	信号接続一覧(14/18)	26
表 3.15	信号接続一覧(15/18)	27
表 3.16	信号接続一覧(16/18)	28
表 3.17	信号接続一覧(17/18)	29
表 3.18	信号接続一覧(18/18)	30
表 4.1	ポートベースアドレス	32
表 4.2	レジスタ一覧	33
表 4.3	ポート A レジスタ設定	36
表 4.4	ポート B レジスタ設定	38
表 4.5	ポート C レジスタ設定	40
表 4.6	ポート D レジスタ設定	41
表 4.7	ポート E レジスタ設定	43
表 4.8	ポート F レジスタ設定	45
表 4.9	ポート G レジスタ設定	46
表 4.10	ポート H レジスタ設定	48
表 4.11	ポート J レジスタ設定	50
表 4.12	ポート K レジスタ設定	51
表 4.13	ポート L レジスタ設定	53
表 4.14	ポート M レジスタ設定	54
表 4.15	ポート N レジスタ設定	56
表 4.16	ポート P レジスタ設定	57

表 4.17	ポート R レジスタ設定	59
表 4.18	ポート T レジスタ設定	60
表 4.19	ポート U レジスタ設定	61
表 4.20	ポート V レジスタ設定	62
表 4.21	ポート W レジスタ設定	64
表 4.22	ポート Y レジスタ設定	65
表 7.1	改訂履歴	79

序章

関連するドキュメント

文書名
製品個別情報
クロック制御と動作モード
例外
フラッシュメモリ
8ビットデジタルアナログコンバータ
I ² C インタフェース
シリアルペリフェラルインタフェース
多機能 DMA コントローラ
高速 DMA コントローラ
12ビットアナログデジタルコンバータ
32ビットタイマイイベントカウンタ
非同期シリアル通信回路
高精度非同期シリアル通信回路
シリアルメモリインタフェース
リアルタイムクロック
リモコン受信回路
CEC 制御回路
アドバンスプログラムブルモータ制御回路
デバッグインタフェース
バウンダリスキャン
外部バスインタフェース
ノンブ레이크デバッグインタフェース

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n] とまとめて表記する場合があります。
 - 例: S[3: 0] は S3, S2, S1, S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
 - 例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
 - 例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
 - ユニットの場合、「x」は A, B, C... を表します。
 - 例: [ADACR0], [ADBCR0], [ADCCR0] → [ADxCR0]
 - チャンネルの場合、「x」は 0, 1, 2... を表します。
 - 例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA] → [T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
 - 例: [3: 0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
 - 例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
 - Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。
 - Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社 (Silicon Storage Technology, Inc.) からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

JTAG	Joint Test Action Group
NBD	Non Break Debug
SW	Serial Wire

1. 概要

ポート関連のレジスタとその設定について説明します。以下に機能の一覧を示します。

表 1.1 機能概要

機能分類	機能	説明
ポート	-	内蔵プログラマブルプルアップ/プルダウンの選択、オープンドレイン出力選択が可能
周辺機能端子	割り込み制御	外部割り込み入力端子 外部割り込み入力端子はノイズフィルタ(フィルタ幅 Typ. 30ns)をもちます。
	32ビットタイマイベントカウンタ	インプットキャプチャ入力端子、タイマ出力端子
	シリアルペリフェラルインタフェース	チップセレクト入力 1 端子、チップセレクト出力 4 端子、データ入力端子、データ出力端子、クロック入出力端子
	非同期シリアル通信回路	データ入力端子、データ出力端子、ハンドシェイク機能端子
	高精度非同期シリアル通信回路	データ入力端子、データ出力端子、ハンドシェイク機能端子、IrDA 1.0 データ入出力端子
	I ² C インタフェース	データ入出力端子、クロック入出力端子
	シリアルメモリインタフェース	チップセレクト入出力端子、データ入出力端子、クロック入出力端子
	多機能 DMA コントローラ	MDMA リクエスト入力端子
	高速 DMA コントローラ	HDMA リクエスト入力端子
	インタバルセンサ検知回路	データ入力端子、データ出力端子
	CEC 制御回路	データ入出力端子
	外部バスインタフェース	アドレスバス出力端子、データバス入出力端子、リードストローブ出力端子、ライトストローブ出力端子、チップセレクト出力端子、バイトイネーブル出力端子、アドレスラッチイネーブル出力端子、ウェイト入力端子、クロック出力端子
	アドバンストプログラマブルモータ制御回路	X/Y/Z 相出力端子、U/V/W 相出力端子、異常検出入力端子 過電圧検出入力端子
	リモコン受信回路	データ入力端子
	12ビットアナログデジタルコンバータ	アナログ入力端子、ADトリガ入力端子
	8ビットデジタルアナログコンバータ	DAC 出力端子
	リアルタイムクロック	1Hz クロック出力端子、アラーム出力端子
トリガ入力	TRGINx 端子	

デバッグ端子	JTAG	テストモード選択入力端子、シリアルクロック入力端子、シリアルデータ出力端子、シリアルデータ入力端子、テストリセット入力端子
	SW	シリアルワイヤデータ入出力端子、シリアルワイヤクロック入力端子、シリアルワイヤビュウ出力端子
	トレース	トレースクロック出力端子、トレースデータ出力 4 端子
	NBDIF	NBD 同期入力端子、NBD クロック出力端子、NBD データ出力 4 端子
制御端子	高速発振	高速発振子接続端子、外部高速クロック入力
	低速発振	低速発振子接続端子、外部低速クロック入力
	BOOT モード制御	BOOT モード制御用端子

2. 動作説明

2.1. クロック供給

ポートを使用する場合は、f_{sys} 供給停止レジスタ A (*[CGFSYSENA]*、*[CGFSYSMENA]*)、f_{sys} 供給停止レジスタ B (*[CGFSYSENB]*、*[CGFSYSMENB]*)、fc 供給停止レジスタ (*[CGFCEN]*) で該当するクロックイネーブルビットを“1” (クロック供給) に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため、製品によってレジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

3. 信号接続一覧

各リファレンスマニュアルのブロック図(信号一覧表)に記載された信号名をポート順に変換した表です。周辺機能のレジスタ設定はポート順に説明していますので、ポート名の逆引きにご使用ください。

数値は端子番号を表します。

表 3.1 信号接続一覧(1/18)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4G9 (LQFP176)	M4G8 (LQFP144)	M4G7 (LQFP128)	M4G6 (LQFP100)	M4G9 (BGA177)	M4G8 (BGA145)
非同期シリアル通信回路	UT0RXD	PE2	60	52	48	39	T5	P5
		PH4	89	73	65	51	R16	N14
		PH5	88	72	64	50	T15	P13
	UT0TXDA	PE3	61	53	49	40	T6	N6
		PH5	88	72	64	50	T15	P13
		PH4	89	73	65	51	R16	N14
	UT0CTS_N	PE1	59	51	47	38	R5	N5
		PH7	86	70	62	48	R14	N12
		PH6	87	71	63	49	R15	P12
	UT0RTS_N	PE0	58	50	46	37	R4	N4
		PH6	87	71	63	49	R15	P12
		PH7	86	70	62	48	R14	N12
	UT1RXD	PH0	93	77	69	55	N16	L11
		PH1	92	76	68	54	N15	M13
		PV4	81	65	61	-	R12	N10
	UT1TXDA	PH1	92	76	68	54	N15	M13
		PH0	93	77	69	55	N16	L11
		PV5	80	64	60	-	T12	P9
	UT1CTS_N	PH3	90	74	66	52	P15	N13
		PH2	91	75	67	53	P16	M14
		PV6	79	63	59	-	T11	N9
	UT1RTS_N	PH2	91	75	67	53	P16	M14
		PH3	90	74	66	52	P15	N13
		PV7	78	62	58	-	R11	L9

表 3.2 信号接続一覧(2/18)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4G9 (LQFP176)	M4G8 (LQFP144)	M4G7 (LQFP128)	M4G6 (LQFP100)	M4G9 (BGA177)	M4G8 (BGA145)
非同期シリアル通信回路	UT2RXD	PG0	129	105	93	72	D15	D13
		PG1	130	106	94	73	C16	C14
	UT2TXDA	PG1	130	106	94	73	C16	C14
		PG0	129	105	93	72	D15	D13
	UT2CTS_N	PG3	132	108	96	75	B16	B14
		PG2	131	107	95	74	C15	C13
	UT2RTS_N	PG2	131	107	95	74	C15	C13
		PG3	132	108	96	75	B16	B14
	UT3RXD	PU6	40	-	-	-	L4	-
		PV0	115	97	89	-	F12	F10
		PV1	114	96	88	-	G13	F11
	UT3TXDA	PU7	41	-	-	-	M4	-
		PV1	114	96	88	-	G13	F11
		PV0	115	97	89	-	F12	F10
	UT3CTS_N	PU5	39	-	-	-	L5	-
		PV3	112	94	86	-	H13	G10
		PV2	113	95	87	-	G12	G11
	UT3RTS_N	PU4	38	-	-	-	K5	-
		PV2	113	95	87	-	G12	G11
		PV3	112	94	86	-	H13	G10
	UT4RXD	PM0	124	102	-	-	E16	D14
		PM1	123	101	-	-	F15	E13
		PU1	35	-	-	-	J4	-
	UT4TXDA	PM1	123	101	-	-	F15	E13
		PM0	124	102	-	-	E16	D14
		PU0	34	-	-	-	H4	-
	UT4CTS_N	PM3	121	99	-	-	E13	F13
		PM2	122	100	-	-	F16	E14
		PU2	36	-	-	-	J5	-
	UT4RTS_N	PM2	122	100	-	-	F16	E14
PM3		121	99	-	-	E13	F13	
PU3		37	-	-	-	K4	-	

表 3.3 信号接続一覧(3/18)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4G9 (LQFP176)	M4G8 (LQFP144)	M4G7 (LQFP128)	M4G6 (LQFP100)	M4G9 (BGA177)	M4G8 (BGA145)
非同期シリアル通信回路	UT5RXD	PJ0	168	-	-	-	B5	-
		PJ1	167	-	-	-	B6	-
	UT5TXDA	PJ1	167	-	-	-	B6	-
		PJ0	168	-	-	-	B5	-
	UT5CTS_N	PJ3	165	-	-	-	D7	-
		PJ2	166	-	-	-	D6	-
	UT5RTS_N	PJ2	166	-	-	-	D6	-
PJ3		165	-	-	-	D7	-	
高精度非同期シリアル通信回路	FUT0RXD	PG5	96	80	72	58	M13	K11
		PJ5	68	-	-	-	R9	-
	FUT0TXD	PG4	97	81	73	59	L12	K13
		PJ4	69	-	-	-	T9	-
	FUT0CTS_N	PG7	94	78	70	56	M15	L13
	FUT0RTS_N	PG6	95	79	71	57	M16	L14
	FUT0IROUT	PG4	97	81	73	59	L12	K13
	FUT0IRIN	PG5	96	80	72	58	M13	K11
	FUT1RXD	PJ7	66	-	-	-	N9	-
		PM6	83	67	-	-	R13	N11
	FUT1TXD	PJ6	67	-	-	-	R8	-
		PM7	82	66	-	-	T13	P10
	FUT1CTS_N	PM4	85	69	-	-	N12	L10
	FUT1RTS_N	PM5	84	68	-	-	T14	P11
FUT1IROUT	PM7	82	66	-	-	T13	P10	
FUT1IRIN	PM6	83	67	-	-	R13	N11	
I ² C インタフェース	I2C0SDA	PG2	131	107	95	74	C15	C13
	I2C0SCL	PG3	132	108	96	75	B16	B14
	I2C1SDA	PF2	174	142	126	99	B4	B4
	I2C1SCL	PF3	175	143	127	100	A3	A3
	I2C2SDA	PG4	97	81	73	59	L12	K13
		PV5	80	64	60	-	T12	P9
	I2C2SCL	PG5	96	80	72	58	M13	K11
		PV4	81	65	61	-	R12	N10
	I2C3SDA	PJ6	67	-	-	-	R8	-
		PM0	124	102	-	-	E16	D14
	I2C3SCL	PJ7	66	-	-	-	N9	-
		PM1	123	101	-	-	F15	E13

表 3.4 信号接続一覧(4/18)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4G9 (LQFP176)	M4G8 (LQFP144)	M4G7 (LQFP128)	M4G6 (LQFP100)	M4G9 (BGA177)	M4G8 (BGA145)
I ² C インタフェース	I2C4SDA	PJ3	165	-	-	-	D7	-
		PM6	83	67	-	-	R13	N11
	I2C4SCL	PJ2	166	-	-	-	D6	-
		PM7	82	66	-	-	T13	P10
インターバルセンサ検知回路	ISDAIN0	PE4	62	54	50	41	R6	P6
	ISDAIN1	PE5	63	55	51	42	R7	P7
	ISDAIN2	PE6	64	56	52	43	T7	N7
	ISDAIN3	PE7	65	57	53	44	T8	N8
	ISDAOUT	PK0	111	93	85	71	H12	H10
	ISDBIN0	PV0	115	97	89	-	F12	F10
	ISDBIN1	PV1	114	96	88	-	G13	F11
	ISDBIN2	PV2	113	95	87	-	G12	G11
	ISDBIN3	PV3	112	94	86	-	H13	G10
	ISDBOUT	PK1	110	92	84	70	J12	H11
	ISDCIN0	PW4	120	-	-	-	G15	-
	ISDCIN1	PW5	119	-	-	-	G16	-
	ISDCIN2	PW6	118	-	-	-	H15	-
	ISDCIN3	PW7	117	-	-	-	H16	-
ISDCOUT	PY4	30	30	26	21	M2	K2	
シリアルペリフェラルインタフェース	TSPI0CSIN	PA0	29	29	25	20	L1	J4
	TSPI0CS0	PA0	29	29	25	20	L1	J4
	TSPI0CS1	PA4	25	25	21	16	J1	H2
	TSPI0CS2	PA5	24	24	20	15	J2	G1
	TSPI0CS3	PA6	23	23	19	14	H1	G2
	TSPI0RXD	PA2	27	27	23	18	K1	J2
	TSPI0TXD	PA3	26	26	22	17	K2	H1
	TSPI0SCK	PA1	28	28	24	19	L2	J1
	TSPI1CSIN	PL0	103	85	77	63	L13	J11
	TSPI1CS0	PL0	103	85	77	63	L13	J11
	TSPI1CS1	PK4	107	89	81	67	J15	G14
	TSPI1CS2	PK5	106	88	80	66	K15	H13
	TSPI1CS3	PK6	105	87	79	65	J16	H14
	TSPI1RXD	PL2	101	83	75	61	L15	J13
	TSPI1TXD	PL3	100	82	74	60	L16	K14
	TSPI1SCK	PL1	102	84	76	62	K16	J14

表 3.5 信号接続一覧(5/18)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4G9 (LQFP176)	M4G8 (LQFP144)	M4G7 (LQFP128)	M4G6 (LQFP100)	M4G9 (BGA177)	M4G8 (BGA145)
シリアルペリフェラルインタフェース	TSPI2CSIN	PA7	22	22	18	13	H2	J5
	TSPI2CS0	PA7	22	22	18	13	H2	J5
	TSPI2CS1	PA3	26	26	22	17	K2	H1
	TSPI2RXD	PA5	24	24	20	15	J2	G1
	TSPI2TXD	PA4	25	25	21	16	J1	H2
	TSPI2SCK	PA6	23	23	19	14	H1	G2
	TSPI3CSIN	PK7	104	86	78	64	K12	J10
	TSPI3CS0	PK7	104	86	78	64	K12	J10
	TSPI3CS1	PL3	100	82	74	60	L16	K14
	TSPI3RXD	PK5	106	88	80	66	K15	H13
	TSPI3TXD	PK4	107	89	81	67	J15	G14
	TSPI3SCK	PK6	105	87	79	65	J16	H14
	TSPI4CSIN	PD0	48	40	36	29	N5	L4
	TSPI4CS0	PD0	48	40	36	29	N5	L4
	TSPI4RXD	PD2	50	42	38	31	N6	K6
	TSPI4TXD	PD3	51	43	39	32	M7	L6
	TSPI4SCK	PD1	49	41	37	30	M6	L5
	TSPI5CSIN	PV7	78	62	58	-	R11	L9
	TSPI5CS0	PV7	78	62	58	-	R11	L9
	TSPI5RXD	PV4	81	65	61	-	R12	N10
	TSPI5TXD	PV5	80	64	60	-	T12	P9
	TSPI5SCK	PV6	79	63	59	-	T11	N9
	TSPI6CSIN	PM3	121	99	-	-	E13	F13
	TSPI6CS0	PM3	121	99	-	-	E13	F13
	TSPI6RXD	PM1	123	101	-	-	F15	E13
	TSPI6TXD	PM0	124	102	-	-	E16	D14
	TSPI6SCK	PM2	122	100	-	-	F16	E14
	TSPI7CSIN	PM4	85	69	-	-	N12	L10
	TSPI7CS0	PM4	85	69	-	-	N12	L10
	TSPI7RXD	PM6	83	67	-	-	R13	N11
TSPI7TXD	PM7	82	66	-	-	T13	P10	
TSPI7SCK	PM5	84	68	-	-	T14	P11	

表 3.6 信号接続一覧(6/18)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4G9 (LQFP176)	M4G8 (LQFP144)	M4G7 (LQFP128)	M4G6 (LQFP100)	M4G9 (BGA177)	M4G8 (BGA145)
シリアルペリフェラルインタフェース	TSPI8CSIN	PW0	77	-	-	-	M11	-
	TSPI8CS0	PW0	77	-	-	-	M11	-
	TSPI8RXD	PW2	75	-	-	-	M10	-
	TSPI8TXD	PW3	74	-	-	-	N10	-
	TSPI8SCK	PW1	76	-	-	-	N11	-
シリアルメモリインタフェース	SMI0CS1_N	PK0	111	93	85	71	H12	H10
	SMI0D0	PK2	109	91	83	69	J13	F14
	SMI0D1	PK3	108	90	82	68	K13	G13
	SMI0D2	PK4	107	89	81	67	J15	G14
	SMI0D3	PK5	106	88	80	66	K15	H13
	SMI0CLK	PK6	105	87	79	65	J16	H14
	SMI0CS0_N	PK7	104	86	78	64	K12	J10
32 ビットタイマイイベントカウンタ	T32A00INA0	PA0	29	29	25	20	L1	J4
		PK0	111	93	85	71	H12	H10
	T32A00INA1	PA3	26	26	22	17	K2	H1
	T32A00OUTA	PA1	28	28	24	19	L2	J1
		PW1	76	-	-	-	N11	-
	T32A00INB0	PA3	26	26	22	17	K2	H1
		PK1	110	92	84	70	J12	H11
	T32A00INB1	PA0	29	29	25	20	L1	J4
	T32A00OUTB	PA2	27	27	23	18	K1	J2
		PW0	77	-	-	-	M11	-
	T32A00INC0	PA0	29	29	25	20	L1	J4
		PK0	111	93	85	71	H12	H10
	T32A00INC1	PA3	26	26	22	17	K2	H1
		PK1	110	92	84	70	J12	H11
	T32A00OUTC	PA1	28	28	24	19	L2	J1
PW1		76	-	-	-	N11	-	

表 3.7 信号接続一覧(7/18)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4G9 (LQFP176)	M4G8 (LQFP144)	M4G7 (LQFP128)	M4G6 (LQFP100)	M4G9 (BGA177)	M4G8 (BGA145)
32 ビットタイマイイベントカウンタ	T32A01INA0	PA4	25	25	21	16	J1	H2
		PK6	105	87	79	65	J16	H14
	T32A01INA1	PA7	22	22	18	13	H2	J5
	T32A01OUTA	PA5	24	24	20	15	J2	G1
		PW2	75	-	-	-	M10	-
	T32A01INB0	PA7	22	22	18	13	H2	J5
		PK7	104	86	78	64	K12	J10
	T32A01INB1	PA4	25	25	21	16	J1	H2
	T32A01OUTB	PA6	23	23	19	14	H1	G2
		PW3	74	-	-	-	N10	-
	T32A01INC0	PA4	25	25	21	16	J1	H2
		PK6	105	87	79	65	J16	H14
	T32A01INC1	PA7	22	22	18	13	H2	J5
		PK7	104	86	78	64	K12	J10
	T32A01OUTC	PA5	24	24	20	15	J2	G1
		PW2	75	-	-	-	M10	-
	T32A02INA0	PB0	21	21	17	12	G1	H4
		PL0	103	85	77	63	L13	J11
	T32A02INA1	PB1	20	20	16	11	G2	H5
	T32A02OUTA	PB2	19	19	15	10	F1	F1
		PG5	96	80	72	58	M13	K11
	T32A02INB0	PB1	20	20	16	11	G2	H5
		PL3	100	82	74	60	L16	K14
	T32A02INB1	PB0	21	21	17	12	G1	H4
	T32A02OUTB	PB3	18	18	14	9	F2	F2
		PG4	97	81	73	59	L12	K13
	T32A02INC0	PB0	21	21	17	12	G1	H4
		PL0	103	85	77	63	L13	J11
	T32A02INC1	PB1	20	20	16	11	G2	H5
		PL3	100	82	74	60	L16	K14
	T32A02OUTC	PB2	19	19	15	10	F1	F1
		PG5	96	80	72	58	M13	K11

表 3.8 信号接続一覧(8/18)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4G9 (LQFP176)	M4G8 (LQFP144)	M4G7 (LQFP128)	M4G6 (LQFP100)	M4G9 (BGA177)	M4G8 (BGA145)
32 ビットタイマイイベントカウンタ	T32A03INA0	PB6	15	15	11	6	G4	G4
		PJ4	69	-	-	-	T9	-
	T32A03INA1	PB7	14	14	10	5	G5	G5
	T32A03OUTA	PB4	17	17	13	8	E1	E1
		PT3	31	31	27	22	H5	K4
	T32A03INB0	PB7	14	14	10	5	G5	G5
		PJ5	68	-	-	-	R9	-
	T32A03INB1	PB6	15	15	11	6	G4	G4
	T32A03OUTB	PB5	16	16	12	7	E2	E2
		PT5	73	61	57	-	R10	K9
	T32A03INC0	PB6	15	15	11	6	G4	G4
		PJ4	69	-	-	-	T9	-
	T32A03INC1	PB7	14	14	10	5	G5	G5
		PJ5	68	-	-	-	R9	-
	T32A03OUTC	PB4	17	17	13	8	E1	E1
		PT3	31	31	27	22	H5	K4
	T32A04INA0	PD0	48	40	36	29	N5	L4
		PP0	141	117	105	84	D12	D11
	T32A04INA1	PD1	49	41	37	30	M6	L5
		PP1	142	118	106	85	D11	D10
	T32A04OUTA	PD2	50	42	38	31	N6	K6
		PV5	80	64	60	-	T12	P9
	T32A04INB0	PD1	49	41	37	30	M6	L5
		PP1	142	118	106	85	D11	D10
	T32A04INB1	PD0	48	40	36	29	N5	L4
		PP0	141	117	105	84	D12	D11
	T32A04OUTB	PD3	51	43	39	32	M7	L6
		PV4	81	65	61	-	R12	N10
	T32A04INC0	PD0	48	40	36	29	N5	L4
		PP0	141	117	105	84	D12	D11
	T32A04INC1	PD1	49	41	37	30	M6	L5
		PP1	142	118	106	85	D11	D10
T32A04OUTC	PD2	50	42	38	31	N6	K6	
	PV5	80	64	60	-	T12	P9	

表 3.9 信号接続一覧(9/18)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4G9 (LQFP176)	M4G8 (LQFP144)	M4G7 (LQFP128)	M4G6 (LQFP100)	M4G9 (BGA177)	M4G8 (BGA145)
32 ビットタイマイイベントカウンタ	T32A05INA0	PD6	54	46	42	35	N8	K8
		PP2	143	119	107	86	B11	B9
	T32A05INA1	PD7	55	47	43	36	M9	L8
		PP3	144	120	108	87	A11	A9
	T32A05OUTA	PD4	52	44	40	33	N7	L7
		PV6	79	63	59	-	T11	N9
	T32A05INB0	PD7	55	47	43	36	M9	L8
		PP3	144	120	108	87	A11	A9
	T32A05INB1	PD6	54	46	42	35	N8	K8
		PP2	143	119	107	86	B11	B9
	T32A05OUTB	PD5	53	45	41	34	M8	K7
		PV7	78	62	58	-	R11	L9
	T32A05INC0	PD6	54	46	42	35	N8	K8
		PP2	143	119	107	86	B11	B9
	T32A05INC1	PD7	55	47	43	36	M9	L8
		PP3	144	120	108	87	A11	A9
	T32A05OUTC	PD4	52	44	40	33	N7	L7
		PV6	79	63	59	-	T11	N9
	T32A06INA0	PE2	60	52	48	39	T5	P5
		PP4	145	121	109	88	E11	D9
	T32A06INA1	PE0	58	50	46	37	R4	N4
		PP5	146	122	110	89	D10	E9
	T32A06OUTA	PE1	59	51	47	38	R5	N5
		PM5	84	68	-	-	T14	P11
	T32A06INB0	PE3	61	53	49	40	T6	N6
		PP5	146	122	110	89	D10	E9
	T32A06INB1	PE0	58	50	46	37	R4	N4
		PP4	145	121	109	88	E11	D9
	T32A06OUTB	PE0	58	50	46	37	R4	N4
		PM4	85	69	-	-	N12	L10
	T32A06INC0	PE2	60	52	48	39	T5	P5
		PP4	145	121	109	88	E11	D9
T32A06INC1	PE3	61	53	49	40	T6	N6	
	PP5	146	122	110	89	D10	E9	
T32A06OUTC	PE1	59	51	47	38	R5	N5	
	PM5	84	68	-	-	T14	P11	

表 3.10 信号接続一覧(10/18)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4G9 (LQFP176)	M4G8 (LQFP144)	M4G7 (LQFP128)	M4G6 (LQFP100)	M4G9 (BGA177)	M4G8 (BGA145)
32 ビットタイマイイベントカウンタ	T32A07INA0	PE4	62	54	50	41	R6	P6
		PP6	147	123	111	90	B10	B8
	T32A07INA1	PE7	65	57	53	44	T8	N8
		PP7	148	124	112	91	A10	A8
	T32A07OUTA	PE6	64	56	52	43	T7	N7
		PM6	83	67	-	-	R13	N11
	T32A07INB0	PE5	63	55	51	42	R7	P7
		PP7	148	124	112	91	A10	A8
	T32A07INB1	PE7	65	57	53	44	T8	N8
		PP6	147	123	111	90	B10	B8
	T32A07OUTB	PE7	65	57	53	44	T8	N8
		PM7	82	66	-	-	T13	P10
	T32A07INC0	PE4	62	54	50	41	R6	P6
		PP6	147	123	111	90	B10	B8
	T32A07INC1	PE5	63	55	51	42	R7	P7
		PP7	148	124	112	91	A10	A8
	T32A07OUTC	PE6	64	56	52	43	T7	N7
		PM6	83	67	-	-	R13	N11
	T32A08INA0	PC0	11	11	7	-	F4	F4
		PR0	149	125	113	-	E10	D8
	T32A08OUTA	PC2	9	9	5	-	D1	D1
		PL4	126	-	-	-	D16	-
	T32A08INB0	PC1	10	10	6	-	F5	F5
		PR1	150	126	114	-	D9	E8
	T32A08OUTB	PC3	8	8	4	-	D2	D2
		PL5	125	-	-	-	E15	-
	T32A08INC0	PC0	11	11	7	-	F4	F4
		PR0	149	125	113	-	E10	D8
	T32A08INC1	PC1	10	10	6	-	F5	F5
		PR1	150	126	114	-	D9	E8
	T32A08OUTC	PC2	9	9	5	-	D1	D1
		PL4	126	-	-	-	D16	-

表 3.11 信号接続一覧(11/18)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4G9 (LQFP176)	M4G8 (LQFP144)	M4G7 (LQFP128)	M4G6 (LQFP100)	M4G9 (BGA177)	M4G8 (BGA145)
32 ビットタイマイイベントカウンタ	T32A09INA0	PR2	151	127	115	-	B9	B7
		PV0	115	97	89	-	F12	F10
	T32A09OUTA	PL6	164	-	-	-	E7	-
		PV2	113	95	87	-	G12	G11
	T32A09INB0	PR3	152	128	116	-	A9	A7
		PV1	114	96	88	-	G13	F11
	T32A09OUTB	PL7	163	-	-	-	E8	-
		PV3	112	94	86	-	H13	G10
	T32A09INC0	PR2	151	127	115	-	B9	B7
		PV0	115	97	89	-	F12	F10
	T32A09INC1	PR3	152	128	116	-	A9	A7
		PV1	114	96	88	-	G13	F11
	T32A09OUTC	PL6	164	-	-	-	E7	-
		PV2	113	95	87	-	G12	G11
	T32A10INA0	PR4	153	129	-	-	A8	D7
		PW4	120	-	-	-	G15	-
	T32A10INA1	PW7	117	-	-	-	H16	-
	T32A10OUTA	PC4	7	7	-	-	C1	C1
		PW5	119	-	-	-	G16	-
	T32A10INB0	PR5	154	130	-	-	B8	E7
	T32A10OUTB	PC5	6	6	-	-	C2	C2
		PW4	120	-	-	-	G15	-
	T32A10INC0	PR4	153	129	-	-	A8	D7
	T32A10INC1	PR5	154	130	-	-	B8	E7
	T32A10OUTC	PC4	7	7	-	-	C1	C1
		PW5	119	-	-	-	G16	-

表 3.12 信号接続一覧(12/18)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4G9 (LQFP176)	M4G8 (LQFP144)	M4G7 (LQFP128)	M4G6 (LQFP100)	M4G9 (BGA177)	M4G8 (BGA145)
32 ビットタイマイイベントカウンタ	T32A11INA0	PR6	155	131	-	-	E9	E6
		PW7	117	-	-	-	H16	-
	T32A11INA1	PW4	120	-	-	-	G15	-
	T32A11OUTA	PM2	122	100	-	-	F16	E14
		PW6	118	-	-	-	H15	-
	T32A11INB0	PR7	156	132	-	-	D8	D6
	T32A11OUTB	PM3	121	99	-	-	E13	F13
		PW7	117	-	-	-	H16	-
	T32A11INC0	PR6	155	131	-	-	E9	E6
	T32A11INC1	PR7	156	132	-	-	D8	D6
	T32A11OUTC	PM2	122	100	-	-	F16	E14
		PW6	118	-	-	-	H15	-
	T32A12INA0	PU2	36	-	-	-	J5	-
	T32A12OUTA	PU0	34	-	-	-	H4	-
	T32A12INB0	PU3	37	-	-	-	K4	-
	T32A12OUTB	PU1	35	-	-	-	J4	-
	T32A12INC0	PU2	36	-	-	-	J5	-
	T32A12INC1	PU3	37	-	-	-	K4	-
	T32A12OUTC	PU0	34	-	-	-	H4	-
	T32A13INA0	PU5	39	-	-	-	L5	-
	T32A13OUTA	PU6	40	-	-	-	L4	-
	T32A13INB0	PU4	38	-	-	-	K5	-
	T32A13OUTB	PU7	41	-	-	-	M4	-
	T32A13INC0	PU5	39	-	-	-	L5	-
T32A13INC1	PU4	38	-	-	-	K5	-	
T32A13OUTC	PU6	40	-	-	-	L4	-	

表 3.13 信号接続一覧(13/18)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4G9 (LQFP176)	M4G8 (LQFP144)	M4G7 (LQFP128)	M4G6 (LQFP100)	M4G9 (BGA177)	M4G8 (BGA145)
外部バスインタフェース	EA00	PA0	29	29	25	20	L1	J4
	EA01	PA1	28	28	24	19	L2	J1
	EA02	PA2	27	27	23	18	K1	J2
	EA03	PA3	26	26	22	17	K2	H1
	EA04	PA4	25	25	21	16	J1	H2
	EA05	PA5	24	24	20	15	J2	G1
	EA06	PA6	23	23	19	14	H1	G2
	EA07	PA7	22	22	18	13	H2	J5
	EA08	PB0	21	21	17	12	G1	H4
	EA09	PB1	20	20	16	11	G2	H5
	EA10	PB2	19	19	15	10	F1	F1
	EA11	PB3	18	18	14	9	F2	F2
	EA12	PB4	17	17	13	8	E1	E1
	EA13	PB5	16	16	12	7	E2	E2
	EA14	PB6	15	15	11	6	G4	G4
	EA15	PB7	14	14	10	5	G5	G5
	EA16	PC0	11	11	7	-	F4	F4
		PE7	65	57	53	44	T8	N8
	EA17	PC1	10	10	6	-	F5	F5
		PE6	64	56	52	43	T7	N7
	EA18	PC2	9	9	5	-	D1	D1
		PE5	63	55	51	42	R7	P7
	EA19	PC3	8	8	4	-	D2	D2
PE4		62	54	50	41	R6	P6	
EA20	PC4	7	7	-	-	C1	C1	
	PE3	61	53	49	40	T6	N6	
EA21	PC5	6	6	-	-	C2	C2	
	PE2	60	52	48	39	T5	P5	
EA22	PC6	5	5	-	-	E4	E4	
	PE1	59	51	47	38	R5	N5	
EA23	PC7	4	4	-	-	D4	D4	
	PE0	58	50	46	37	R4	N4	

表 3.14 信号接続一覧(14/18)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4G9 (LQFP176)	M4G8 (LQFP144)	M4G7 (LQFP128)	M4G6 (LQFP100)	M4G9 (BGA177)	M4G8 (BGA145)
外部バスインタフェース	ED00/EAD00	PD0	48	40	36	29	N5	L4
	ED01/EAD01	PD1	49	41	37	30	M6	L5
	ED02/EAD02	PD2	50	42	38	31	N6	K6
	ED03/EAD03	PD3	51	43	39	32	M7	L6
	ED04/EAD04	PD4	52	44	40	33	N7	L7
	ED05/EAD05	PD5	53	45	41	34	M8	K7
	ED06/EAD06	PD6	54	46	42	35	N8	K8
	ED07/EAD07	PD7	55	47	43	36	M9	L8
	ED08/EAD08	PE0	58	50	46	37	R4	N4
	ED09/EAD09	PE1	59	51	47	38	R5	N5
	ED10/EAD10	PE2	60	52	48	39	T5	P5
	ED11/EAD11	PE3	61	53	49	40	T6	N6
	ED12/EAD12	PE4	62	54	50	41	R6	P6
	ED13/EAD13	PE5	63	55	51	42	R7	P7
	ED14/EAD14	PE6	64	56	52	43	T7	N7
	ED15/EAD15	PE7	65	57	53	44	T8	N8
	ERD_N	PF0	172	140	124	97	D5	D5
	EWR_N	PF1	173	141	125	98	A4	B5
	ECS0_N	PK2	109	91	83	69	J13	F14
	ECS1_N	PK3	108	90	82	68	K13	G13
	ECS2_N	PF4	176	144	128	-	A2	A2
	ECS3_N	PF5	1	1	1	-	B3	B3
	EBELL_N	PF6	2	2	2	1	B2	B2
	EBELH_N	PF7	3	3	3	2	B1	B1
	EALE	PG0	129	105	93	72	D15	D13
	EWAIT_N	PG1	130	106	94	73	C16	C14
EEXBCLK	PY4	30	30	26	21	M2	K2	

表 3.15 信号接続一覧(15/18)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4G9 (LQFP176)	M4G8 (LQFP144)	M4G7 (LQFP128)	M4G6 (LQFP100)	M4G9 (BGA177)	M4G8 (BGA145)
12 ビットアナログデジタルコ ンバータ 製品個別情報	AINA00	PN0	133	109	97	76	B15	B13
	AINA01	PN1	134	110	98	77	A15	A13
	AINA02	PN2	135	111	99	78	B14	B12
	AINA03	PN3	136	112	100	79	A14	A12
	AINA04	PN4	137	113	101	80	B13	B11
	AINA05	PN5	138	114	102	81	A13	A11
	AINA06	PN6	139	115	103	82	B12	B10
	AINA07	PN7	140	116	104	83	A12	A10
	AINA08	PP0	141	117	105	84	D12	D11
	AINA09	PP1	142	118	106	85	D11	D10
	AINA10	PP2	143	119	107	86	B11	B9
	AINA11	PP3	144	120	108	87	A11	A9
	AINA12	PP4	145	121	109	88	E11	D9
	AINA13	PP5	146	122	110	89	D10	E9
	AINA14	PP6	147	123	111	90	B10	B8
	AINA15	PP7	148	124	112	91	A10	A8
	AINA16	PR0	149	125	113	-	E10	D8
	AINA17	PR1	150	126	114	-	D9	E8
	AINA18	PR2	151	127	115	-	B9	B7
	AINA19	PR3	152	128	116	-	A9	A7
	AINA20	PR4	153	129	-	-	A8	D7
	AINA21	PR5	154	130	-	-	B8	E7
	AINA22	PR6	155	131	-	-	E9	E6
AINA23	PR7	156	132	-	-	D8	D6	
8 ビットデジタルアナログコ ンバータ	TRGIN0	PG3	132	108	96	75	B16	B14
	TRGIN1	PL7	163	-	-	-	E8	-
8 ビットデジタルアナログコ ンバータ	DAC0	PT0	159	135	119	94	A6	A5
	DAC1	PT1	160	136	120	95	A5	A4

表 3.16 信号接続一覧(16/18)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4G9 (LQFP176)	M4G8 (LQFP144)	M4G7 (LQFP128)	M4G6 (LQFP100)	M4G9 (BGA177)	M4G8 (BGA145)
例外	INT00a	PK7	104	86	78	64	K12	J10
	INT00b	PT3	31	31	27	22	H5	K4
	INT01a	PL0	103	85	77	63	L13	J11
	INT01b	PT4	116	98	90	-	F13	E11
	INT02a	PA0	29	29	25	20	L1	J4
	INT02b	PT5	73	61	57	-	R10	K9
	INT03a	PA7	22	22	18	13	H2	J5
	INT03b	PL6	164	-	-	-	E7	-
	INT04a	PB0	21	21	17	12	G1	H4
	INT04b	PF0	172	140	124	97	D5	D5
	INT05a	PB1	20	20	16	11	G2	H5
	INT05b	PF7	3	3	3	2	B1	B1
	INT06a	PB6	15	15	11	6	G4	G4
	INT06b	PU2	36	-	-	-	J5	-
	INT07a	PB7	14	14	10	5	G5	G5
	INT07b	PU3	37	-	-	-	K4	-
	INT08a	PG0	129	105	93	72	D15	D13
	INT08b	PU4	38	-	-	-	K5	-
	INT09a	PG1	130	106	94	73	C16	C14
	INT09b	PU5	39	-	-	-	L5	-
	INT10a	PK0	111	93	85	71	H12	H10
	INT10b	PP6	147	123	111	90	B10	B8
	INT11a	PK1	110	92	84	70	J12	H11
	INT11b	PP7	148	124	112	91	A10	A8
	INT12a	PC0	11	11	7	-	F4	F4
	INT12b	PL4	126	-	-	-	D16	-
	INT13a	PC1	10	10	6	-	F5	F5
	INT13b	PL5	125	-	-	-	E15	-
	INT14a	PC6	5	5	-	-	E4	E4
	INT14b	PM3	121	99	-	-	E13	F13
INT15a	PC7	4	4	-	-	D4	D4	
INT15b	PM4	85	69	-	-	N12	L10	

表 3.17 信号接続一覧(17/18)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4G9 (LQFP176)	M4G8 (LQFP144)	M4G7 (LQFP128)	M4G6 (LQFP100)	M4G9 (BGA177)	M4G8 (BGA145)	
アドバンスプログラムブル モータ制御回路	EMG0	PD6	54	46	42	35	N8	K8	
		PV6	79	63	59	-	T11	N9	
	OVV0	PD7	55	47	43	36	M9	L8	
		PV7	78	62	58	-	R11	L9	
	UO0	PD0	48	40	36	29	N5	L4	
		PV0	115	97	89	-	F12	F10	
	VO0	PD2	50	42	38	31	N6	K6	
		PV2	113	95	87	-	G12	G11	
	WO0	PD4	52	44	40	33	N7	L7	
		PV4	81	65	61	-	R12	N10	
	XO0	PD1	49	41	37	30	M6	L5	
		PV1	114	96	88	-	G13	F11	
	YO0	PD3	51	43	39	32	M7	L6	
		PV3	112	94	86	-	H13	G10	
	ZO0	PD5	53	45	41	34	M8	K7	
		PV5	80	64	60	-	T12	P9	
	CEC 制御回路	CEC0	PT2	171	139	123	96	E6	E5
	リアルタイムクロック	ALARM_N	PG2	131	107	95	74	C15	C13
RTCOUT		PT3	31	31	27	22	H5	K4	
リモコン受信回路	RXIN0	PT3	31	31	27	22	H5	K4	
	RXIN1	PT4	116	98	90	-	F13	E11	
多機能 DMA コントローラ 製品個別情報	TRGIN2	PT3	31	31	27	22	H5	K4	
高速 DMA コントローラ 製品個別情報	HDMAREQA	PB1	20	20	16	11	G2	H5	
	HDMAREQB	PK1	110	92	84	70	J12	H11	

表 3.18 信号接続一覧(18/18)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4G9 (LQFP176)	M4G8 (LQFP144)	M4G7 (LQFP128)	M4G6 (LQFP100)	M4G9 (BGA177)	M4G8 (BGA145)
デバックインタフェース バウンダリスキャン	TMS	PH4	89	73	65	51	R16	N14
	TCK	PH5	88	72	64	50	T15	P13
	TDO	PH6	87	71	63	49	R15	P12
	TDI	PH3	90	74	66	52	P15	N13
	TRST_N	PH7	86	70	62	48	R14	N12
	BSC	-	-	-	-	-	T16	P14
デバックインタフェース	SWDIO	PH4	89	73	65	51	R16	N14
	SWCLK	PH5	88	72	64	50	T15	P13
	SWV	PH6	87	71	63	49	R15	P12
	TRACECLK	PG6	95	79	71	57	M16	L14
	TRACEDATA0	PG7	94	78	70	56	M15	L13
	TRACEDATA1	PH0	93	77	69	55	N16	L11
	TRACEDATA2	PH1	92	76	68	54	N15	M13
TRACEDATA3	PH2	91	75	67	53	P16	M14	
ノンブレイクデバックインタ フェース	NBDCLK	PG6	95	79	71	57	M16	L14
	NBDDATA0	PG7	94	78	70	56	M15	L13
	NBDDATA1	PH0	93	77	69	55	N16	L11
	NBDDATA2	PH1	92	76	68	54	N15	M13
	NBDDATA3	PH2	91	75	67	53	P16	M14
	NBDSYNC	PH3	90	74	66	52	P15	N13
クロック制御と動作モード	X1	PY0	45	37	33	26	T2	P2
	X2	PY1	46	38	34	27	T3	P3
	XT1	PY2	44	36	32	25	P1	M1
	XT2	PY3	43	35	31	24	N1	L1
	EHCLKIN	PY0	45	37	33	26	T2	P2
	ELCLKIN	PY2	44	36	32	25	P1	M1
フラッシュメモリ	BOOT_N	PY4	30	30	26	21	M2	K2

4. レジスタ説明

ポートを使用する際には以下のレジスタを設定する必要があります。

レジスタは全て 32 ビットですが、ポートのビット数、機能の割り当てにより構成が異なります。

以下の説明では“x”はポート名、“n”はファンクション番号を示します。

レジスタ名		Type	設定値	説明
[PxDATA]	データレジスタ	R/W	0 または 1	ポートのデータ読み込み、データ書き込みを行います。
[PxCR]	出力コントロールレジスタ	R/W	0: 出力禁止 1: 出力許可	出力の制御を行います。
[PxFRn]	ファンクションレジスタ n	R/W	0: PORT 1: 機能	機能設定を行いません。 "1" をセットすることにより割り当てられている機能を使用できるようになります。ファンクションレジスタはポートに割り当てられている機能ごとに存在します。複数の機能が割り当てられている場合、1つの機能のみ有効になるように設定してください。
[PxOD]	オープンドレインコントロールレジスタ	R/W	0: CMOS 1: オープンドレイン	プログラマブルオープンドレインの制御を行います。 プログラマブルオープンドレインは、[PxOD]=1 の設定で、出力データが"1" の場合に出力バッファをディセーブルにし、擬似的にオープンドレインを実現する機能です。
[PxPUP]	プルアップコントロールレジスタ	R/W	0: プルアップ禁止 1: プルアップ許可	プログラマブルプルアップを制御します。
[PxPDN]	プルダウンコントロールレジスタ	R/W	0: プルダウン禁止 1: プルダウン許可	プログラマブルプルダウンを制御します。
[PxIE]	入力コントロールレジスタ	R/W	0: 入力禁止 1: 入力許可	入力の制御を行いません。 [PxIE]をイネーブルにしてから外部データが[PxDATA]に反映されるまで 100ns(最大)の時間が必要です。

4.1. レジスタ一覧

機能の存在しないビットをリードすると "0" が読めます。ライトは意味を持ちません。

表 4.1 ポートベースアドレス

周辺機能	チャンネル/ユニット	ベースアドレス	
入出力ポート	PA	-	0x400E0000
	PB	-	0x400E0100
	PC	-	0x400E0200
	PD	-	0x400E0300
	PE	-	0x400E0400
	PF	-	0x400E0500
	PG	-	0x400E0600
	PH	-	0x400E0700
	PJ	-	0x400E0800
	PK	-	0x400E0900
	PL	-	0x400E0A00
	PM	-	0x400E0B00
	PN	-	0x400E0C00
	PP	-	0x400E0D00
	PR	-	0x400E0E00
	PT	-	0x400E0F00
	PU	-	0x400E1000
PV	-	0x400E1100	
PW	-	0x400E1200	
PY	-	0x400E1300	

表 4.2 レジスタ一覧

レジスタ名	Address (Base+)	ポート A	ポート B	ポート C	ポート D	ポート E
データレジスタ	0x0000	[PADATA]	[PBDATA]	[PCDATA]	[PDDATA]	[PEDATA]
出力コントロールレジスタ	0x0004	[PACR]	[PBCR]	[PCCR]	[PDCR]	[PECR]
ファンクションレジスタ 1	0x0008	[PAFR1]	[PBFR1]	[PCFR1]	[PDFR1]	[PEFR1]
ファンクションレジスタ 2	0x000C	[PAFR2]	[PBFR2]	-	[PDFR2]	[PEFR2]
ファンクションレジスタ 3	0x0010	[PAFR3]	[PBFR3]	[PCFR3]	[PDFR3]	[PEFR3]
ファンクションレジスタ 4	0x0014	-	-	-	[PDFR4]	[PEFR4]
ファンクションレジスタ 5	0x0018	[PAFR5]	[PBFR5]	[PCFR5]	[PDFR5]	[PEFR5]
ファンクションレジスタ 6	0x001C	[PAFR6]	[PBFR6]	-	[PDFR6]	-
ファンクションレジスタ 7	0x0020	[PAFR7]	-	-	[PDFR7]	[PEFR7]
オープンドレインコントロールレジスタ	0x0028	[PAOD]	[PBOD]	[PCOD]	[PDOD]	[PEOD]
プルアップコントロールレジスタ	0x002C	[PAPUP]	[PBPUP]	[PCPUP]	[PDPUP]	[PEPUP]
プルダウンコントロールレジスタ	0x0030	[PAPDN]	[PBDPN]	[PCPDN]	[PDPDN]	[PEPDN]
入力コントロールレジスタ	0x0038	[PAIE]	[PBIE]	[PCIE]	[PDIE]	[PEIE]

レジスタ名	Address (Base+)	ポート F	ポート G	ポート H	ポート J	ポート K
データ レジスタ	0x0000	[PFDATA]	[PGDATA]	[PHDATA]	[PJDATA]	[PKDATA]
出力コントロールレジスタ	0x0004	[PFGR]	[PGCR]	[PHCR]	[PJCR]	[PKCR]
ファンクションレジスタ 1	0x0008	[PFFR1]	[PGFR1]	[PHFR1]	-	[PKFR1]
ファンクションレジスタ 2	0x000C	-	[PGFR2]	-	[PJFR2]	[PKFR2]
ファンクションレジスタ 3	0x0010	-	[PGFR3]	[PHFR3]	[PJFR3]	[PKFR3]
ファンクションレジスタ 4	0x0014	-	[PGFR4]	[PHFR4]	-	[PKFR4]
ファンクションレジスタ 5	0x0018	-	[PGFR5]	[PHFR5]	[PJFR5]	-
ファンクションレジスタ 6	0x001C	-	-	-	-	[PKFR6]
ファンクションレジスタ 7	0x0020	[PFFR7]	[PGFR7]	-	[PJFR7]	[PKFR7]
オープンドレインコントロールレジスタ	0x0028	[PFOD]	[PGOD]	[PHOD]	[PJOD]	[PKOD]
プルアップコントロールレジスタ	0x002C	[PFPUP]	[PGPUP]	[PHPUP]	[PJPUP]	[PKPUP]
プルダウンコントロールレジスタ	0x0030	[PFPDN]	[PGPDN]	[PHPDN]	[PJPDN]	[PKPDN]
入力コントロールレジスタ	0x0038	[PFIE]	[PGIE]	[PHIE]	[PJIE]	[PKIE]

レジスタ名	Address (Base+)	ポート L	ポート M	ポート N	ポート P	ポート R
データ レジスタ	0x0000	[PLDATA]	[PMDATA]	[PNDATA]	[PPDATA]	[PRDATA]
出力コントロールレジスタ	0x0004	[PLCR]	[PMCR]	[PNCR]	[PPCR]	[PRCR]
ファンクションレジスタ 1	0x0008	[PLFR1]	-	-	-	-
ファンクションレジスタ 2	0x000C	[PLFR2]	[PMFR2]	-	[PPFR2]	[PRFR2]
ファンクションレジスタ 3	0x0010	[PLFR3]	[PMFR3]	-	[PPFR3]	[PRFR3]
ファンクションレジスタ 4	0x0014	-	[PMFR4]	-	-	-
ファンクションレジスタ 5	0x0018	-	[PMFR5]	-	[PPFR5]	-
ファンクションレジスタ 6	0x001C	[PLFR6]	[PMFR6]	-	-	-
ファンクションレジスタ 7	0x0020	[PLFR7]	[PMFR7]	-	-	-
オープンドレインコントロールレジスタ	0x0028	[PLOD]	[PMOD]	[PNOD]	[PPOD]	[PROD]
プルアップコントロールレジスタ	0x002C	[PLPUP]	[PMPUP]	[PNPUP]	[PPPUP]	[PRPUP]
プルダウンコントロールレジスタ	0x0030	[PLPDN]	[PMPDN]	[PNPDN]	[PPPDN]	[PRPDN]
入力コントロールレジスタ	0x0038	[PLIE]	[PMIE]	[PNIE]	[PPIE]	[PRIE]

レジスタ名	Address (Base+)	ポート T	ポート U	ポート V	ポート W	ポート Y
データ レジスタ	0x0000	[PTDATA]	[PUDATA]	[PVDATA]	[PWDATA]	[PYDATA]
出力コントロールレジスタ	0x0004	[PTCR]	[PUCR]	[PVCR]	[PWCR]	[PYCR]
ファンクションレジスタ 1	0x0008	[PTFR1]	-	-	-	[PYFR1]
ファンクションレジスタ 2	0x000C	[PTFR2]	[PUFR2]	[PVFR2]	-	-
ファンクションレジスタ 3	0x0010	[PTFR3]	[PUFR3]	[PVFR3]	[PWFR3]	-
ファンクションレジスタ 4	0x0014	-	-	[PVFR4]	[PWFR4]	[PYFR4]
ファンクションレジスタ 5	0x0018	-	-	[PVFR5]	[PWFR5]	-
ファンクションレジスタ 6	0x001C	[PTFR6]	-	[PVFR6]	[PWFR6]	-
ファンクションレジスタ 7	0x0020	[PTFR7]	[PUFR7]	[PVFR7]	[PWFR7]	-
オープンドレインコントロールレジスタ	0x0028	[PTOD]	[PUOD]	[PVOD]	[PWOD]	[PYOD]
プルアップコントロールレジスタ	0x002C	[PTPUP]	[PUPUP]	[PVPUP]	[PWPUP]	[PYPUP]
プルダウンコントロールレジスタ	0x0030	[PTPDN]	[PUPDN]	[PVPDN]	[PWPDN]	[PYPDN]
入力コントロールレジスタ	0x0038	[PTIE]	[PUIE]	[PVIE]	[PWIE]	[PYIE]

注) "-" 表記のアドレスにはアクセスしないでください。

4.2. ポート機能とレジスタ設定

ポート機能レジスタ設定一覧の表の見方を説明します。

PxFRn の欄は、設定の必要なファンクションレジスタを示します。このレジスタを "1" に設定するとその機能が有効となります。(x はポート名、n はファンクション番号)

表中の"N/A"のビットはリードすると "0" が読め、ライトは意味を持ちません。

表中の "0"、"1" は設定値を示し、"0/1" は任意に設定可能であることを示します。

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ							
				[PADATA]	[PACR]	[PAFRn]	[PAOD]	[PAPUP]	[PAPDN]	[PAIE]	
PA0	リセット後			0	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
	INT02a	Input	FT4	0/1	0	0	0/1	0/1	0/1	1	
	EA00	Output	FT1	0/1	1	[PAFR1]	0/1	0/1	0/1	0	
	T32A00INB1	Input	FT1	0/1	0	[PAFR2]	0/1	0/1	0/1	1	
	T32A00INA0	Input	FT1	0/1	0	[PAFR3]	0/1	0/1	0/1	1	
	T32A00INC0	Input	FT1	0/1	0	[PAFR5]	0/1	0/1	0/1	1	
	TSPIOCSIN	Input	FT1	0/1	0	[PAFR6]	0/1	0/1	0/1	1	
	TSPIOS0	Output	FT1	0/1	0	[PAFR7]	0/1	0/1	0/1	1	
				0/1	1	[PAFR7]	0/1	0/1	0/1	0	
PA7	リセット後			0	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
	INT03a	Input	FT4	0/1	0	0	0/1	0/1	0/1	1	

[PxFRn]	端子						
	TSPIOCSIN	T32A00INC0	T32A00INA0	T32A00INB1	EA00	Input Port	Output Port
[PAFR1]<bit0>	0	0	0	0	1	0	INT02a
[PAFR2]<bit0>	0	0	0	1	0	0	
[PAFR3]<bit0>	0	0	1	0	0	0	
[PAFR5]<bit0>	0	1	0	0	0	0	
[PAFR6]<bit0>	1	0	0	0	0	0	

4.2.1. 機能端子を使用する際の設定について

機能端子を周辺機能の出力端子として使用する際には、ファンクションレジスタを使用する周辺機能([PxFRn]<bit m>=1)に設定し、出力コントロールレジスタを出力許可([PxCr]<bit m>=1)に設定した後、周辺機能の設定をしてください。ファンクションレジスタの設定よりも先に出力許可すると、ファンクションレジスタが設定されるまで、ポートのデータレジスタ値が出力されます。

機能端子を周辺機能の入力端子として使用する際には、ポートの入力コントロールレジスタを入力([PxIE]<bit m>=1)に設定し、ファンクションレジスタを使用する周辺機能([PxFRn]<bit m>=1)に設定した後、周辺機能の設定をしてください。

また、I²C など入出力端子となる周辺機能を使用する場合は、ポートの入力コントロールレジスタを入力([PxIE]<bit m>=1)に設定し、ファンクションレジスタを使用する周辺機能([PxFRn]<bit m>=1)に設定し、出力コントロールレジスタを出力許可([PxCr]<bit m>=1)に設定した後、周辺機能の設定をしてください。

- 複数の機能が割り当てられているポートは、使用する機能を一つだけ選択してください。
- 同一機能が複数ポートに割り当てられている端子は、排他的に使用してください。

4.2.2. PORT A

表 4.3 ポート A レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PADATA]	[PACR]	[PAFRn]	[PAOD]	[PAPUP]	[PAPDN]	[PAIE]
PA0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT02a	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	EA00	Output	FT1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	T32A00INB1	Input	FT1	0/1	0	[PAFR2]	0/1	0/1	0/1	1
	T32A00INA0	Input	FT1	0/1	0	[PAFR3]	0/1	0/1	0/1	1
	T32A00INC0	Input	FT1	0/1	0	[PAFR5]	0/1	0/1	0/1	1
	TSPi0CSIN	Input	FT1	0/1	0	[PAFR6]	0/1	0/1	0/1	1
TSPi0CS0	Output	FT1	0/1	1	[PAFR7]	0/1	0/1	0/1	0	
PA1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EA01	Output	FT1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	T32A00OUTA	Output	FT1	0/1	1	[PAFR3]	0/1	0/1	0/1	0
	T32A00OUTC	Output	FT1	0/1	1	[PAFR5]	0/1	0/1	0/1	0
	TSPi0SCK	Input Output	FT1	0/1 0/1	0 1	[PAFR7] [PAFR7]	0/1 0/1	0/1 0/1	0/1 0/1	1 0
PA2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EA02	Output	FT1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	T32A00OUTB	Output	FT1	0/1	1	[PAFR3]	0/1	0/1	0/1	0
TSPi0RXD	Input	FT1	0/1	0	[PAFR7]	0/1	0/1	0/1	1	
PA3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EA03	Output	FT1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	T32A00INA1	Input	FT1	0/1	0	[PAFR2]	0/1	0/1	0/1	1
	T32A00INB0	Input	FT1	0/1	0	[PAFR3]	0/1	0/1	0/1	1
	T32A00INC1	Input	FT1	0/1	0	[PAFR5]	0/1	0/1	0/1	1
	TSPi2CS1	Output	FT1	0/1	1	[PAFR6]	0/1	0/1	0/1	0
TSPi0TXD	Output	FT2	0/1	1	[PAFR7]	0/1	0/1	0/1	0	
PA4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EA04	Output	FT1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	T32A01INB1	Input	FT1	0/1	0	[PAFR2]	0/1	0/1	0/1	1
	T32A01INA0	Input	FT1	0/1	0	[PAFR3]	0/1	0/1	0/1	1
	T32A01INC0	Input	FT1	0/1	0	[PAFR5]	0/1	0/1	0/1	1
	TSPi0CS1	Output	FT1	0/1	1	[PAFR6]	0/1	0/1	0/1	0
TSPi2TXD	Output	FT2	0/1	1	[PAFR7]	0/1	0/1	0/1	0	

PA5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EA05	Output	FT1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	T32A01OUTA	Output	FT1	0/1	1	[PAFR3]	0/1	0/1	0/1	0
	T32A01OUTC	Output	FT1	0/1	1	[PAFR5]	0/1	0/1	0/1	0
	TSPi0CS2	Output	FT1	0/1	1	[PAFR6]	0/1	0/1	0/1	0
	TSPi2RXD	Input	FT1	0/1	0	[PAFR7]	0/1	0/1	0/1	1
PA6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EA06	Output	FT1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	T32A01OUTB	Output	FT1	0/1	1	[PAFR3]	0/1	0/1	0/1	0
	TSPi0CS3	Output	FT1	0/1	1	[PAFR6]	0/1	0/1	0/1	0
	TSPi2SCK	Input		0/1	0	[PAFR7]	0/1	0/1	0/1	1
		Output	FT1	0/1	1	[PAFR7]	0/1	0/1	0/1	0
PA7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT03a	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	EA07	Output	FT1	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	T32A01INA1	Input	FT1	0/1	0	[PAFR2]	0/1	0/1	0/1	1
	T32A01INB0	Input	FT1	0/1	0	[PAFR3]	0/1	0/1	0/1	1
	T32A01INC1	Input	FT1	0/1	0	[PAFR5]	0/1	0/1	0/1	1
	TSPi2CSIN	Input	FT1	0/1	0	[PAFR6]	0/1	0/1	0/1	1
	TSPi2CS0	Output	FT1	0/1	1	[PAFR7]	0/1	0/1	0/1	0

4.2.3. PORT B

表 4.4 ポート B レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PBDATA]	[PBCR]	[PBFRn]	[PBOD]	[PBPUP]	[PBPDN]	[PBIE]
PB0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT04a	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	EA08	Output	FT1	0/1	1	[PBFR1]	0/1	0/1	0/1	0
	T32A02INB1	Input	FT1	0/1	0	[PBFR2]	0/1	0/1	0/1	1
	T32A02INA0	Input	FT1	0/1	0	[PBFR3]	0/1	0/1	0/1	1
	T32A02INC0	Input	FT1	0/1	0	[PBFR5]	0/1	0/1	0/1	1
PB1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT05a	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	EA09	Output	FT1	0/1	1	[PBFR1]	0/1	0/1	0/1	0
	T32A02INA1	Input	FT1	0/1	0	[PBFR2]	0/1	0/1	0/1	1
	T32A02INB0	Input	FT1	0/1	0	[PBFR3]	0/1	0/1	0/1	1
	T32A02INC1	Input	FT1	0/1	0	[PBFR5]	0/1	0/1	0/1	1
HDMAREQA	Input	FT1	0/1	0	[PBFR6]	0/1	0/1	0/1	1	
PB2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EA10	Output	FT1	0/1	1	[PBFR1]	0/1	0/1	0/1	0
	T32A02OUTA	Output	FT1	0/1	1	[PBFR3]	0/1	0/1	0/1	0
	T32A02OUTC	Output	FT1	0/1	1	[PBFR5]	0/1	0/1	0/1	0
PB3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EA11	Output	FT1	0/1	1	[PBFR1]	0/1	0/1	0/1	0
	T32A02OUTB	Output	FT1	0/1	1	[PBFR3]	0/1	0/1	0/1	0
PB4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EA12	Output	FT1	0/1	1	[PBFR1]	0/1	0/1	0/1	0
	T32A03OUTA	Output	FT1	0/1	1	[PBFR3]	0/1	0/1	0/1	0
	T32A03OUTC	Output	FT1	0/1	1	[PBFR5]	0/1	0/1	0/1	0
PB5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EA13	Output	FT1	0/1	1	[PBFR1]	0/1	0/1	0/1	0
	T32A03OUTB	Output	FT1	0/1	1	[PBFR3]	0/1	0/1	0/1	0
PB6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT06a	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	EA14	Output	FT1	0/1	1	[PBFR1]	0/1	0/1	0/1	0
	T32A03INB1	Input	FT1	0/1	0	[PBFR2]	0/1	0/1	0/1	1
	T32A03INA0	Input	FT1	0/1	0	[PBFR3]	0/1	0/1	0/1	1
	T32A03INC0	Input	FT1	0/1	0	[PBFR5]	0/1	0/1	0/1	1

PB7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT07a	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	EA15	Output	FT1	0/1	1	<i>[PBFR1]</i>	0/1	0/1	0/1	0
	T32A03INA1	Input	FT1	0/1	0	<i>[PBFR2]</i>	0/1	0/1	0/1	1
	T32A03INB0	Input	FT1	0/1	0	<i>[PBFR3]</i>	0/1	0/1	0/1	1
	T32A03INC1	Input	FT1	0/1	0	<i>[PBFR5]</i>	0/1	0/1	0/1	1

4.2.4. PORT C

表 4.5 ポート C レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PCDATA]	[PCCR]	[PCFRn]	[PCOD]	[PCPUP]	[PCPDN]	[PCIE]
PC0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT12a	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	EA16	Output	FT1	0/1	1	[PCFR1]	0/1	0/1	0/1	0
	T32A08INA0	Input	FT1	0/1	0	[PCFR3]	0/1	0/1	0/1	1
T32A08INC0	Input	FT1	0/1	0	[PCFR5]	0/1	0/1	0/1	1	
PC1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT13a	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	EA17	Output	FT1	0/1	1	[PCFR1]	0/1	0/1	0/1	0
	T32A08INB0	Input	FT1	0/1	0	[PCFR3]	0/1	0/1	0/1	1
T32A08INC1	Input	FT1	0/1	0	[PCFR5]	0/1	0/1	0/1	1	
PC2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EA18	Output	FT1	0/1	1	[PCFR1]	0/1	0/1	0/1	0
	T32A08OUTA	Output	FT1	0/1	1	[PCFR3]	0/1	0/1	0/1	0
	T32A08OUTC	Output	FT1	0/1	1	[PCFR5]	0/1	0/1	0/1	0
PC3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EA19	Output	FT1	0/1	1	[PCFR1]	0/1	0/1	0/1	0
	T32A08OUTB	Output	FT1	0/1	1	[PCFR3]	0/1	0/1	0/1	0
PC4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EA20	Output	FT1	0/1	1	[PCFR1]	0/1	0/1	0/1	0
	T32A10OUTA	Output	FT1	0/1	1	[PCFR3]	0/1	0/1	0/1	0
	T32A10OUTC	Output	FT1	0/1	1	[PCFR5]	0/1	0/1	0/1	0
PC5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EA21	Output	FT1	0/1	1	[PCFR1]	0/1	0/1	0/1	0
	T32A10OUTB	Output	FT1	0/1	1	[PCFR3]	0/1	0/1	0/1	0
PC6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT14a	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	EA22	Output	FT1	0/1	1	[PCFR1]	0/1	0/1	0/1	0
PC7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT15a	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	EA23	Output	FT1	0/1	1	[PCFR1]	0/1	0/1	0/1	0

4.2.5. PORT D

表 4.6 ポート D レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PDDATA]	[PDCR]	[PDFRn]	[PDOD]	[PDPUP]	[PDPDN]	[PDIE]
PD0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ED00/EAD00	Input	FT14	0/1	0	[PDFR1]	0/1	0/1	0/1	1
		Output		0/1	1	[PDFR1]	0/1	0/1	0/1	0
	T32A04INB1	Input	FT1	0/1	0	[PDFR2]	0/1	0/1	0/1	1
	T32A04INA0	Input	FT1	0/1	0	[PDFR3]	0/1	0/1	0/1	1
	TSPI4CS0	Output	FT1	0/1	1	[PDFR4]	0/1	0/1	0/1	0
	T32A04INC0	Input	FT1	0/1	0	[PDFR5]	0/1	0/1	0/1	1
	TSPI4CSIN	Input	FT1	0/1	0	[PDFR6]	0/1	0/1	0/1	1
UO0	Output	FT2	0/1	1	[PDFR7]	0/1	0/1	0/1	0	
PD1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ED01/EAD01	Input	FT14	0/1	0	[PDFR1]	0/1	0/1	0/1	1
		Output		0/1	1	[PDFR1]	0/1	0/1	0/1	0
	T32A04INA1	Input	FT1	0/1	0	[PDFR2]	0/1	0/1	0/1	1
	T32A04INB0	Input	FT1	0/1	0	[PDFR3]	0/1	0/1	0/1	1
	TSPI4SCK	Input	FT1	0/1	0	[PDFR4]	0/1	0/1	0/1	1
		Output		0/1	1	[PDFR4]	0/1	0/1	0/1	0
	T32A04INC1	Input	FT1	0/1	0	[PDFR5]	0/1	0/1	0/1	1
XO0	Output	FT2	0/1	1	[PDFR7]	0/1	0/1	0/1	0	
PD2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ED02/EAD02	Input	FT14	0/1	0	[PDFR1]	0/1	0/1	0/1	1
		Output		0/1	1	[PDFR1]	0/1	0/1	0/1	0
	T32A04OUTA	Output	FT1	0/1	1	[PDFR3]	0/1	0/1	0/1	0
	TSPI4RXD	Input	FT1	0/1	0	[PDFR4]	0/1	0/1	0/1	1
	T32A04OUTC	Output	FT1	0/1	1	[PDFR5]	0/1	0/1	0/1	0
VO0	Output	FT2	0/1	1	[PDFR7]	0/1	0/1	0/1	0	
PD3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ED03/EAD03	Input	FT14	0/1	0	[PDFR1]	0/1	0/1	0/1	1
		Output		0/1	1	[PDFR1]	0/1	0/1	0/1	0
	T32A04OUTB	Output	FT1	0/1	1	[PDFR3]	0/1	0/1	0/1	0
	TSPI4TXD	Output	FT1	0/1	1	[PDFR4]	0/1	0/1	0/1	0
YO0	Output	FT2	0/1	1	[PDFR7]	0/1	0/1	0/1	0	
PD4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ED04/EAD04	Input	FT14	0/1	0	[PDFR1]	0/1	0/1	0/1	1
		Output		0/1	1	[PDFR1]	0/1	0/1	0/1	0
	T32A05OUTA	Output	FT1	0/1	1	[PDFR3]	0/1	0/1	0/1	0
	T32A05OUTC	Output	FT1	0/1	1	[PDFR5]	0/1	0/1	0/1	0
	WO0	Output	FT2	0/1	1	[PDFR7]	0/1	0/1	0/1	0

PD5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ED05/EAD05	Input	FT14	0/1	0	[PDFR1]	0/1	0/1	0/1	1
		Output		0/1	1	[PDFR1]	0/1	0/1	0/1	0
	T32A05OUTB	Output	FT1	0/1	1	[PDFR3]	0/1	0/1	0/1	0
	Z00	Output	FT2	0/1	1	[PDFR7]	0/1	0/1	0/1	0
PD6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ED06/EAD06	Input	FT14	0/1	0	[PDFR1]	0/1	0/1	0/1	1
		Output		0/1	1	[PDFR1]	0/1	0/1	0/1	0
	T32A05INB1	Input	FT1	0/1	0	[PDFR2]	0/1	0/1	0/1	1
	T32A05INA0	Input	FT1	0/1	0	[PDFR3]	0/1	0/1	0/1	1
	T32A05INC0	Input	FT1	0/1	0	[PDFR5]	0/1	0/1	0/1	1
EMG_N	Input	FT1	0/1	0	[PDFR7]	0/1	0/1	0/1	1	
PD7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ED07/EAD07	Input	FT14	0/1	0	[PDFR1]	0/1	0/1	0/1	1
		Output		0/1	1	[PDFR1]	0/1	0/1	0/1	0
	T32A05INA1	Input	FT1	0/1	0	[PDFR2]	0/1	0/1	0/1	1
	T32A05INB0	Input	FT1	0/1	0	[PDFR3]	0/1	0/1	0/1	1
	T32A05INC1	Input	FT1	0/1	0	[PDFR5]	0/1	0/1	0/1	1
OVV0_N	Input	FT1	0/1	0	[PDFR7]	0/1	0/1	0/1	1	

4.2.6. PORT E

表 4.7 ポート E レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PEDATA]	[PECR]	[PEFRn]	[PEOD]	[PEPUP]	[PEPDN]	[PEIE]
PE0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ED08/EAD08	Input	FT14	0/1	0	[PEFR1]	0/1	0/1	0/1	1
		Output		0/1	1	[PEFR1]	0/1	0/1	0/1	0
	EA23	Output	FT1	0/1	1	[PEFR4]	0/1	0/1	0/1	0
	T32A06INB1	Input	FT1	0/1	0	[PEFR2]	0/1	0/1	0/1	1
	T32A06OUTB	Output	FT1	0/1	1	[PEFR3]	0/1	0/1	0/1	0
	T32A06INA1	Input	FT1	0/1	0	[PEFR5]	0/1	0/1	0/1	1
UT0RTS_N	Output	FT1	0/1	1	[PEFR7]	0/1	0/1	0/1	0	
PE1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ED09/EAD09	Input	FT14	0/1	0	[PEFR1]	0/1	0/1	0/1	1
		Output		0/1	1	[PEFR1]	0/1	0/1	0/1	0
	EA22	Output	FT1	0/1	1	[PEFR4]	0/1	0/1	0/1	0
	T32A06OUTA	Output	FT1	0/1	1	[PEFR3]	0/1	0/1	0/1	0
	T32A06OUTC	Output	FT1	0/1	1	[PEFR5]	0/1	0/1	0/1	0
	UT0CTS_N	Input	FT1	0/1	0	[PEFR7]	0/1	0/1	0/1	1
PE2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ED10/EAD10	Input	FT14	0/1	0	[PEFR1]	0/1	0/1	0/1	1
		Output		0/1	1	[PEFR1]	0/1	0/1	0/1	0
	EA21	Output	FT1	0/1	1	[PEFR4]	0/1	0/1	0/1	0
	T32A06INA0	Input	FT1	0/1	0	[PEFR3]	0/1	0/1	0/1	1
	T32A06INC0	Input	FT1	0/1	0	[PEFR5]	0/1	0/1	0/1	1
	UT0RXD	Input	FT1	0/1	0	[PEFR7]	0/1	0/1	0/1	1
PE3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ED11/EAD11	Input	FT14	0/1	0	[PEFR1]	0/1	0/1	0/1	1
		Output		0/1	1	[PEFR1]	0/1	0/1	0/1	0
	EA20	Output	FT1	0/1	1	[PEFR4]	0/1	0/1	0/1	0
	T32A06INB0	Input	FT1	0/1	0	[PEFR3]	0/1	0/1	0/1	1
	T32A06INC1	Input	FT1	0/1	0	[PEFR5]	0/1	0/1	0/1	1
	UT0TXDA	Output	FT1	0/1	1	[PEFR7]	0/1	0/1	0/1	0
PE4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ED12/EAD12	Input	FT14	0/1	0	[PEFR1]	0/1	0/1	0/1	1
		Output		0/1	1	[PEFR1]	0/1	0/1	0/1	0
	EA19	Output	FT1	0/1	1	[PEFR4]	0/1	0/1	0/1	0
	T32A07INA0	Input	FT1	0/1	0	[PEFR3]	0/1	0/1	0/1	1
	T32A07INC0	Input	FT1	0/1	0	[PEFR5]	0/1	0/1	0/1	1
	ISDAIN0	Input	FT15	0/1	0	0	0/1	0/1	0/1	1

PE5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ED13/EAD13	Input	FT14	0/1	0	[PEFR1]	0/1	0/1	0/1	1
		Output		0/1	1	[PEFR1]	0/1	0/1	0/1	0
	EA18	Output	FT1	0/1	1	[PEFR4]	0/1	0/1	0/1	0
	T32A07INB0	Input	FT1	0/1	0	[PEFR3]	0/1	0/1	0/1	1
	T32A07INC1	Input	FT1	0/1	0	[PEFR5]	0/1	0/1	0/1	1
ISDAIN1	Input	FT15	0/1	0	0	0/1	0/1	0/1	1	
PE6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ED14/EAD14	Input	FT14	0/1	0	[PEFR1]	0/1	0/1	0/1	1
		Output		0/1	1	[PEFR1]	0/1	0/1	0/1	0
	EA17	Output	FT1	0/1	1	[PEFR4]	0/1	0/1	0/1	0
	T32A07OUTA	Output	FT1	0/1	1	[PEFR3]	0/1	0/1	0/1	0
	T32A07OUTC	Output	FT1	0/1	1	[PEFR5]	0/1	0/1	0/1	0
ISDAIN2	Input	FT15	0/1	0	0	0/1	0/1	0/1	1	
PE7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ED15/EAD15	Input	FT14	0/1	0	[PEFR1]	0/1	0/1	0/1	1
		Output		0/1	1	[PEFR1]	0/1	0/1	0/1	0
	EA16	Output	FT1	0/1	1	[PEFR4]	0/1	0/1	0/1	0
	T32A07INB1	Input	FT1	0/1	0	[PEFR2]	0/1	0/1	0/1	1
	T32A07OUTB	Output	FT1	0/1	1	[PEFR3]	0/1	0/1	0/1	0
T32A07INA1	Input	FT1	0/1	0	[PEFR5]	0/1	0/1	0/1	1	
ISDAIN3	Input	FT15	0/1	0	0	0/1	0/1	0/1	1	

4.2.7. PORT F

表 4.8 ポート F レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PFDATA]	[PFCR]	[PFFRn]	[PFOD]	[PFPUP]	[PFPDN]	[PFIE]
PF0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT04b	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	ERD_N	Output	FT1	0/1	1	[PFFR1]	0/1	0/1	0/1	0
PF1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EWR_N	Output	FT1	0/1	1	[PFFR1]	0/1	0/1	0/1	0
	リセット後			0	0	0	0	0	0	0
PF2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	I2C1SDA	I/O	FT1	0/1	1	[PFFR7]	1	0/1	0/1	1
	リセット後			0	0	0	0	0	0	0
PF3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	I2C1SCL	I/O	FT1	0/1	1	[PFFR7]	1	0/1	0/1	1
	リセット後			0	0	0	0	0	0	0
PF4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ECS2_N	Output	FT1	0/1	1	[PFFR1]	0/1	0/1	0/1	0
	リセット後			0	0	0	0	0	0	0
PF5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ECS3_N	Output	FT1	0/1	1	[PFFR1]	0/1	0/1	0/1	0
	リセット後			0	0	0	0	0	0	0
PF6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EBELL_N	Output	FT1	0/1	1	[PFFR1]	0/1	0/1	0/1	0
	リセット後			0	0	0	0	0	0	0
PF7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT05b	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	EBELH_N	Output	FT1	0/1	1	[PFFR1]	0/1	0/1	0/1	0

4.2.8. PORT G

表 4.9 ポート G レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PGDATA]	[PGCR]	[PGFRn]	[PGOD]	[PGPUP]	[PGPDN]	[PGIE]
PG0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT08a	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	EALE	Output	FT1	0/1	1	[PGFR1]	0/1	0/1	0/1	0
	UT2RXD	Input	FT1	0/1	0	[PGFR3]	0/1	0/1	0/1	1
UT2TXDA	Output	FT1	0/1	1	[PGFR5]	0/1	0/1	0/1	0	
PG1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT09a	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	EWAIT_N	Input	FT1	0/1	0	[PGFR1]	0/1	0/1	0/1	1
	UT2TXDA	Output	FT1	0/1	1	[PGFR3]	0/1	0/1	0/1	0
UT2RXD	Input	FT1	0/1	0	[PGFR5]	0/1	0/1	0/1	1	
PG2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2RTS_N	Output	FT1	0/1	1	[PGFR3]	0/1	0/1	0/1	0
	ALARM_N	Output	FT1	0/1	1	[PGFR4]	0/1	0/1	0/1	0
	UT2CTS_N	Input	FT1	0/1	0	[PGFR5]	0/1	0/1	0/1	1
I2C0SDA	I/O	FT1	0/1	1	[PGFR7]	1	0/1	0/1	1	
PG3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2CTS_N	Input	FT1	0/1	0	[PGFR3]	0/1	0/1	0/1	1
	TRGIN0	Input	FT1	0/1	0	[PGFR4]	0/1	0/1	0/1	1
	UT2RTS_N	Output	FT1	0/1	1	[PGFR5]	0/1	0/1	0/1	0
I2C0SCL	I/O	FT1	0/1	1	[PGFR7]	1	0/1	0/1	1	
PG4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A02OUTB	Output	FT1	0/1	1	[PGFR2]	0/1	0/1	0/1	0
	FUT0IROUT	Output	FT1	0/1	1	[PGFR4]	0/1	0/1	0/1	0
	FUT0TXD	Output	FT1	0/1	1	[PGFR5]	0/1	0/1	0/1	0
I2C2SDA	I/O	FT1	0/1	1	[PGFR7]	1	0/1	0/1	1	
PG5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A02OUTA	Output	FT1	0/1	1	[PGFR2]	0/1	0/1	0/1	0
	T32A02OUTC	Output	FT1	0/1	1	[PGFR3]	0/1	0/1	0/1	0
	FUT0IRIN	Input	FT1	0/1	0	[PGFR4]	0/1	0/1	0/1	1
FUT0RXD	Input	FT1	0/1	0	[PGFR5]	0/1	0/1	0/1	1	
I2C2SCL	I/O	FT1	0/1	1	[PGFR7]	1	0/1	0/1	1	

PG6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TRACECLK	Output	FT1	0/1	1	[PGFR1]	0/1	0/1	0/1	0
	NBDCLK	Input	FT3	0/1	0	[PGFR4]	0/1	0/1	0/1	1
	FUTORTS_N	Output	FT1	0/1	1	[PGFR5]	0/1	0/1	0/1	0
PG7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TRACEDATA0	Output	FT1	0/1	1	[PGFR1]	0/1	0/1	0/1	0
	NBDDATA0	I/O	FT2b	0/1	1	[PGFR4]	0/1	0/1	0/1	1
	FUTOCTS_N	Input	FT1	0/1	0	[PGFR5]	0/1	0/1	0/1	1

4.2.9. PORT H

表 4.10 ポート H レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PHDATA]	[PHCR]	[PHFRn]	[PHOD]	[PHPUP]	[PHPDN]	[PHIE]
PH0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TRACEDATA1	Output	FT1	0/1	1	[PHFR1]	0/1	0/1	0/1	0
	UT1RXD	Input	FT1	0/1	0	[PHFR3]	0/1	0/1	0/1	1
	NBDDATA1	I/O	FT2b	0/1	1	[PHFR4]	0/1	0/1	0/1	1
	UT1TXDA	Output	FT1	0/1	1	[PHFR5]	0/1	0/1	0/1	0
PH1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TRACEDATA2	Output	FT1	0/1	1	[PHFR1]	0/1	0/1	0/1	0
	UT1TXDA	Output	FT1	0/1	1	[PHFR3]	0/1	0/1	0/1	0
	NBDDATA2	I/O	FT2b	0/1	1	[PHFR4]	0/1	0/1	0/1	1
	UT1RXD	Input	FT1	0/1	0	[PHFR5]	0/1	0/1	0/1	1
PH2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TRACEDATA3	Output	FT1	0/1	1	[PHFR1]	0/1	0/1	0/1	0
	UT1RTS_N	Output	FT1	0/1	1	[PHFR3]	0/1	0/1	0/1	0
	NBDDATA3	I/O	FT2b	0/1	1	[PHFR4]	0/1	0/1	0/1	1
	UT1CTS_N	Input	FT1	0/1	0	[PHFR5]	0/1	0/1	0/1	1
PH3	リセット後 (TDI)	Input	FT2	0	0	[PHFR1]	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1CTS_N	Input	FT1	0/1	0	[PHFR3]	0/1	0/1	0/1	1
	NBDSYNC	Input	FT3	0/1	0	[PHFR4]	0/1	0/1	0/1	1
	UT1RTS_N	Output	FT1	0/1	1	[PHFR5]	0/1	0/1	0/1	0
PH4	リセット後 (TMS/SWDIO)	I/O	FT2	0	1 (注)	[PHFR1]	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0RXD	Input	FT1	0/1	0	[PHFR3]	0/1	0/1	0/1	1
	UT0TXDA	Output	FT1	0/1	1	[PHFR5]	0/1	0/1	0/1	0
PH5	リセット後 (TCK/SWCLK)	Input	FT2	0	0	[PHFR1]	0	0	1	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0TXDA	Output	FT1	0/1	1	[PHFR3]	0/1	0/1	0/1	0
	UT0RXD	Input	FT1	0/1	0	[PHFR5]	0/1	0/1	0/1	1
PH6	リセット後 (TDO/SWV)	Output	FT2	0	1 (注)	[PHFR1]	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0RTS_N	Output	FT1	0/1	1	[PHFR3]	0/1	0/1	0/1	0
	UT0CTS_N	Input	FT1	0/1	0	[PHFR5]	0/1	0/1	0/1	1

PH7	リセット後 (TRST_N)	Input	FT3	0	0	[PHFR1]	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0CTS_N	Input	FT1	0/1	0	[PHFR3]	0/1	0/1	0/1	1
	UT0RTS_N	Output	FT1	0/1	1	[PHFR5]	0/1	0/1	0/1	0

注) ツールからのコマンドを受け付けるまでは出力にはなりません。

4.2.10. PORT J

表 4.11 ポート J レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PJDATA]	[PJCR]	[PJFRn]	[PJOD]	[PJPUP]	[PJPDN]	[PJIE]
PJ0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT5RXD	Input	FT1	0/1	0	[PJFR3]	0/1	0/1	0/1	1
	UT5TXDA	Output	FT1	0/1	1	[PJFR5]	0/1	0/1	0/1	0
PJ1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT5TXDA	Output	FT1	0/1	1	[PJFR3]	0/1	0/1	0/1	0
	UT5RXD	Input	FT1	0/1	0	[PJFR5]	0/1	0/1	0/1	1
PJ2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT5RTS_N	Output	FT1	0/1	1	[PJFR3]	0/1	0/1	0/1	0
	UT5CTS_N	Input	FT1	0/1	0	[PJFR5]	0/1	0/1	0/1	1
	I2C4SCL	I/O	FT1	0/1	1	[PJFR7]	1	0/1	0/1	1
PJ3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT5CTS_N	Input	FT1	0/1	0	[PJFR3]	0/1	0/1	0/1	1
	UT5RTS_N	Output	FT1	0/1	1	[PJFR5]	0/1	0/1	0/1	0
	I2C4SDA	I/O	FT1	0/1	1	[PJFR7]	1	0/1	0/1	1
PJ4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A03INA0	Input	FT1	0/1	0	[PJFR2]	0/1	0/1	0/1	1
	T32A03INC0	Input	FT1	0/1	0	[PJFR3]	0/1	0/1	0/1	1
	FUT0TXD	Output	FT1	0/1	1	[PJFR5]	0/1	0/1	0/1	0
PJ5	リセット後	Input		0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A03INB0	Input	FT1	0/1	0	[PJFR2]	0/1	0/1	0/1	1
	T32A03INC1	Input	FT1	0/1	0	[PJFR3]	0/1	0/1	0/1	1
	FUT0RXD	Input	FT1	0/1	0	[PJFR5]	0/1	0/1	0/1	1
PJ6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	FUT1TXD	Output	FT1	0/1	1	[PJFR5]	0/1	0/1	0/1	0
	I2C3SDA	I/O	FT1	0/1	1	[PJFR7]	1	0/1	0/1	1
PJ7	リセット後	Input		0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	FUT1RXD	Input	FT1	0/1	0	[PJFR5]	0/1	0/1	0/1	1
	I2C3SCL	I/O	FT1	0/1	1	[PJFR7]	1	0/1	0/1	1

4.2.11. PORT K

表 4.12 ポート K レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PKDATA]	[PKCR]	[PKFRn]	[PKOD]	[PKPUP]	[PKPDN]	[PKIE]
PK0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT10a	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	ISDAOUT	Output	FT1	0/1	1	[PKFR1]	0/1	0/1	0/1	0
	T32A00INA0	Input	FT1	0/1	0	[PKFR2]	0/1	0/1	0/1	1
	T32A00INC0	Input	FT1	0/1	0	[PKFR3]	0/1	0/1	0/1	1
	SMI0CS1_N	Output	FT1	0/1	1	[PKFR6]	0/1	0/1	0/1	0
PK1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT11a	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	ISDBOUT	Output	FT1	0/1	1	[PKFR1]	0/1	0/1	0/1	0
	T32A00INB0	Input	FT1	0/1	0	[PKFR2]	0/1	0/1	0/1	1
	T32A00INC1	Input	FT1	0/1	0	[PKFR3]	0/1	0/1	0/1	1
	HDMAREQB	Input	FT1	0/1	0	[PKFR4]	0/1	0/1	0/1	1
PK2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ECS0_N	Output	FT1	0/1	1	[PKFR1]	0/1	0/1	0/1	0
	SMI0D0	I/O	FT2	0/1	1	[PKFR6]	0/1	0/1	0/1	1
PK3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ECS1_N	Output	FT1	0/1	1	[PKFR1]	0/1	0/1	0/1	0
	SMI0D1	I/O	FT2	0/1	1	[PKFR6]	0/1	0/1	0/1	1
PK4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1CS1	Output	FT1	0/1	1	[PKFR1]	0/1	0/1	0/1	0
	TSPI3TXD	Output	FT2	0/1	1	[PKFR4]	0/1	0/1	0/1	0
	SMI0D2	I/O	FT2	0/1	1	[PKFR6]	0/1	0/1	0/1	1
PK5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1CS2	Output	FT1	0/1	1	[PKFR1]	0/1	0/1	0/1	0
	TSPI3RXD	Input	FT1	0/1	0	[PKFR4]	0/1	0/1	0/1	1
	SMI0D3	I/O	FT2	0/1	1	[PKFR6]	0/1	0/1	0/1	1

PK6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSP11CS3	Output	FT1	0/1	1	[PKFR1]	0/1	0/1	0/1	0
	T32A01INA0	Input	FT1	0/1	0	[PKFR2]	0/1	0/1	0/1	1
	T32A01INC0	Input	FT1	0/1	0	[PKFR3]	0/1	0/1	0/1	1
	TSP13SCK	Input	FT1	0/1	0	[PKFR4]	0/1	0/1	0/1	1
		Output		0/1	1	[PKFR4]	0/1	0/1	0/1	0
SMI0CLK	Output	FT1	0/1	1	[PKFR6]	0/1	0/1	0/1	0	
PK7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT00a	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A01INB0	Input	FT1	0/1	0	[PKFR2]	0/1	0/1	0/1	1
	T32A01INC1	Input	FT1	0/1	0	[PKFR3]	0/1	0/1	0/1	1
	TSP13CS0	Output	FT1	0/1	1	[PKFR4]	0/1	0/1	0/1	0
	SMI0CS0_N	Output	FT1	0/1	1	[PKFR6]	0/1	0/1	0/1	0
	TSP13CSIN	Input	FT1	0/1	0	[PKFR7]	0/1	0/1	0/1	1

4.2.12. PORT L

表 4.13 ポート L レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PLDATA]	[PLCR]	[PLFRn]	[PLOD]	[PLPUP]	[PLPDN]	[PLIE]
PL0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT01a	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A02INA0	Input	FT1	0/1	0	[PLFR2]	0/1	0/1	0/1	1
	T32A02INC0	Input	FT1	0/1	0	[PLFR3]	0/1	0/1	0/1	1
	TSPI1CSIN	Input	FT1	0/1	0	[PLFR6]	0/1	0/1	0/1	1
	TSPI1CSO	Output	FT1	0/1	1	[PLFR7]	0/1	0/1	0/1	0
PL1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1SCK	Input	FT1	0/1	0	[PLFR7]	0/1	0/1	0/1	1
		Output		0/1	1	[PLFR7]	0/1	0/1	0/1	0
PL2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1RXD	Input	FT1	0/1	0	[PLFR7]	0/1	0/1	0/1	1
PL3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A02INB0	Input	FT1	0/1	0	[PLFR2]	0/1	0/1	0/1	1
	T32A02INC1	Input	FT1	0/1	0	[PLFR3]	0/1	0/1	0/1	1
	TSPI3CS1	Output	FT1	0/1	1	[PLFR6]	0/1	0/1	0/1	0
	TSPI1TXD	Output	FT2	0/1	1	[PLFR7]	0/1	0/1	0/1	0
PL4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT12b	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A08OUTA	Output	FT1	0/1	1	[PLFR2]	0/1	0/1	0/1	0
	T32A08OUTC	Output	FT1	0/1	1	[PLFR3]	0/1	0/1	0/1	0
PL5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT13b	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A08OUTB	Output	FT1	0/1	1	[PLFR2]	0/1	0/1	0/1	0
PL6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT03b	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A09OUTA	Output	FT1	0/1	1	[PLFR2]	0/1	0/1	0/1	0
	T32A09OUTC	Output	FT1	0/1	1	[PLFR3]	0/1	0/1	0/1	0
PL7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TRGIN1	Input	FT1	0/1	0	[PLFR1]	0/1	0/1	0/1	1
	T32A09OUTB	Output	FT1	0/1	1	[PLFR2]	0/1	0/1	0/1	0

4.2.13. PORT M

表 4.14 ポート M レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PMDATA]	[PMCR]	[PMFRn]	[PMOD]	[PMPUP]	[PMPDN]	[PMIE]
PM0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	I2C3SDA	I/O	FT1	0/1	1	[PMFR4]	1	0/1	0/1	1
	UT4RXD	Input	FT1	0/1	0	[PMFR5]	0/1	0/1	0/1	1
	TSPI6TXD	Output	FT2	0/1	1	[PMFR6]	0/1	0/1	0/1	0
	UT4TXDA	Output	FT1	0/1	1	[PMFR7]	0/1	0/1	0/1	0
PM1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	I2C3SCL	I/O	FT1	0/1	1	[PMFR4]	1	0/1	0/1	1
	UT4TXDA	Output	FT1	0/1	1	[PMFR5]	0/1	0/1	0/1	0
	TSPI6RXD	Input	FT1	0/1	0	[PMFR6]	0/1	0/1	0/1	1
	UT4RXD	Input	FT1	0/1	0	[PMFR7]	0/1	0/1	0/1	1
PM2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A11OUTA	Output	FT1	0/1	1	[PMFR2]	0/1	0/1	0/1	0
	T32A11OUTC	Output	FT1	0/1	1	[PMFR3]	0/1	0/1	0/1	0
	UT4RTS_N	Output	FT1	0/1	1	[PMFR5]	0/1	0/1	0/1	0
	TSPI6SCK	Input	FT1	0/1	0	[PMFR6]	0/1	0/1	0/1	1
	Output		0/1	1	[PMFR6]	0/1	0/1	0/1	0	
	Input	FT1	0/1	0	[PMFR7]	0/1	0/1	0/1	1	
PM3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT14b	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A11OUTB	Output	FT1	0/1	1	[PMFR2]	0/1	0/1	0/1	0
	TSPI6CSIN	Input	FT1	0/1	0	[PMFR4]	0/1	0/1	0/1	1
	UT4CTS_N	Input	FT1	0/1	0	[PMFR5]	0/1	0/1	0/1	1
	TSPI6CS0	Output	FT1	0/1	1	[PMFR6]	0/1	0/1	0/1	0
UT4RTS_N	Output	FT1	0/1	1	[PMFR7]	0/1	0/1	0/1	0	
PM4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT15b	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A06OUTB	Output	FT1	0/1	1	[PMFR2]	0/1	0/1	0/1	0
	TSPI7CSIN	Input	FT1	0/1	0	[PMFR4]	0/1	0/1	0/1	1
	TSPI7CS0	Output	FT1	0/1	1	[PMFR6]	0/1	0/1	0/1	0
	FUT1CTS_N	Input	FT1	0/1	0	[PMFR7]	0/1	0/1	0/1	1
PM5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A06OUTA	Output	FT1	0/1	1	[PMFR2]	0/1	0/1	0/1	0
	T32A06OUTC	Output	FT1	0/1	1	[PMFR3]	0/1	0/1	0/1	0
	TSPI7SCK	Input	FT1	0/1	0	[PMFR6]	0/1	0/1	0/1	1
		Output		0/1	1	[PMFR6]	0/1	0/1	0/1	0
FUT1RTS_N	Output	FT1	0/1	1	[PMFR7]	0/1	0/1	0/1	0	

PM6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A07OUTA	Output	FT1	0/1	1	[PMFR2]	0/1	0/1	0/1	0
	T32A07OUTC	Output	FT1	0/1	1	[PMFR3]	0/1	0/1	0/1	0
	I2C4SDA	I/O	FT1	0/1	1	[PMFR4]	1	0/1	0/1	1
	FUT1IRIN	Input	FT1	0/1	0	[PMFR5]	0/1	0/1	0/1	1
	TSP17RXD	Input	FT1	0/1	0	[PMFR6]	0/1	0/1	0/1	1
FUT1RXD	Input	FT1	0/1	0	[PMFR7]	0/1	0/1	0/1	1	
PM7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A07OUTB	Output	FT1	0/1	1	[PMFR2]	0/1	0/1	0/1	0
	I2C4SCL	I/O	FT1	0/1	1	[PMFR4]	1	0/1	0/1	1
	FUT1IROUT	Output	FT1	0/1	1	[PMFR5]	0/1	0/1	0/1	0
	TSP17TXD	Output	FT2	0/1	1	[PMFR6]	0/1	0/1	0/1	0
	FUT1TXD	Output	FT1	0/1	1	[PMFR7]	0/1	0/1	0/1	0

4.2.14. PORT N

表 4.15 ポート N レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PNDATA]	[PNCR]	[PNFRn]	[PNOD]	[PNPUP]	[PNPDN]	[PNIE]
PN0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA00(注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PN1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA01(注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PN2	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA02(注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PN3	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA03(注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PN4	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA04(注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PN5	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA05(注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PN6	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA06(注)	Input	FT5	0/1	0	N/A	0/1	0	0	0
PN7	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA07(注)	Input	FT5	0/1	0	N/A	0/1	0	0	0

注) アナログ入力(AINAx)として使用する場合、[PNCR]は出力禁止"0"、[PNIE]は入力禁止"0"、[PNPUP]はプルアップ禁止"0"、[PNPDN]はプルダウン禁止"0"にしてください。

4.2.15. PORT P

表 4.16 ポート P レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PPDATA]	[PPCR]	[PPFRn]	[PPOD]	[PPPUP]	[PPPDN]	[PPIE]
PP0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	AINA08(注)	Input	FT5	0/1	0	0	0/1	0	0	0
	T32A04INA0	Input	FT1	0/1	0	[PPFR2]	0/1	0/1	0/1	1
	T32A04INC0	Input	FT1	0/1	0	[PPFR3]	0/1	0/1	0/1	1
	T32A04INB1	Input	FT1	0/1	0	[PPFR5]	0/1	0/1	0/1	1
PP1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	AINA09(注)	Input	FT5	0/1	0	0	0/1	0	0	0
	T32A04INB0	Input	FT1	0/1	0	[PPFR2]	0/1	0/1	0/1	1
	T32A04INC1	Input	FT1	0/1	0	[PPFR3]	0/1	0/1	0/1	1
	T32A04INA1	Input	FT1	0/1	0	[PPFR5]	0/1	0/1	0/1	1
PP2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	AINA10(注)	Input	FT5	0/1	0	0	0/1	0	0	0
	T32A05INA0	Input	FT1	0/1	0	[PPFR2]	0/1	0/1	0/1	1
	T32A05INC0	Input	FT1	0/1	0	[PPFR3]	0/1	0/1	0/1	1
	T32A05INB1	Input	FT1	0/1	0	[PPFR5]	0/1	0/1	0/1	1
PP3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	AINA11(注)	Input	FT5	0/1	0	0	0/1	0	0	0
	T32A05INB0	Input	FT1	0/1	0	[PPFR2]	0/1	0/1	0/1	1
	T32A05INC1	Input	FT1	0/1	0	[PPFR3]	0/1	0/1	0/1	1
	T32A05INA1	Input	FT1	0/1	0	[PPFR5]	0/1	0/1	0/1	1
PP4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	AINA12(注)	Input	FT5	0/1	0	0	0/1	0	0	0
	T32A06INA0	Input	FT1	0/1	0	[PPFR2]	0/1	0/1	0/1	1
	T32A06INC0	Input	FT1	0/1	0	[PPFR3]	0/1	0/1	0/1	1
	T32A06INB1	Input	FT1	0/1	0	[PPFR5]	0/1	0/1	0/1	1
PP5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	AINA13(注)	Input	FT5	0/1	0	0	0/1	0	0	0
	T32A06INB0	Input	FT1	0/1	0	[PPFR2]	0/1	0/1	0/1	1
	T32A06INC1	Input	FT1	0/1	0	[PPFR3]	0/1	0/1	0/1	1
	T32A06INA1	Input	FT1	0/1	0	[PPFR5]	0/1	0/1	0/1	1
PP6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	AINA14(注)	Input	FT5	0/1	0	0	0/1	0	0	0
	INT10b	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A07INA0	Input	FT1	0/1	0	[PPFR2]	0/1	0/1	0/1	1
	T32A07INC0	Input	FT1	0/1	0	[PPFR3]	0/1	0/1	0/1	1
T32A07INB1	Input	FT1	0/1	0	[PPFR5]	0/1	0/1	0/1	1	

PP7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	AINA15(注)	Input	FT5	0/1	0	0	0/1	0	0	0
	INT11b	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A07INB0	Input	FT1	0/1	0	[PPFR2]	0/1	0/1	0/1	1
	T32A07INC1	Input	FT1	0/1	0	[PPFR3]	0/1	0/1	0/1	1
	T32A07INA1	Input	FT1	0/1	0	[PPFR5]	0/1	0/1	0/1	1

注) アナログ入力(AINAx)として使用する場合、[PPCR]は出力禁止"0"、[PPIE]は入力禁止"0"、[PPPUP]はプルアップ禁止"0"、[PPPDN]はプルダウン禁止"0"にしてください。

4.2.16. PORT R

表 4.17 ポート R レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PRDATA]	[PRCR]	[PRFRn]	[PROD]	[PRPUP]	[PRPDN]	[PRIE]
PR0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	AINA16(注)	Input	FT5	0/1	0	0	0/1	0	0	0
	T32A08INA0	Input	FT1	0/1	0	[PRFR2]	0/1	0/1	0/1	1
	T32A08INC0	Input	FT1	0/1	0	[PRFR3]	0/1	0/1	0/1	1
PR1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	AINA17(注)	Input	FT5	0/1	0	0	0/1	0	0	0
	T32A08INB0	Input	FT1	0/1	0	[PRFR2]	0/1	0/1	0/1	1
	T32A08INC1	Input	FT1	0/1	0	[PRFR3]	0/1	0/1	0/1	1
PR2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	AINA18(注)	Input	FT5	0/1	0	0	0/1	0	0	0
	T32A09INA0	Input	FT1	0/1	0	[PRFR2]	0/1	0/1	0/1	1
	T32A09INC0	Input	FT1	0/1	0	[PRFR3]	0/1	0/1	0/1	1
PR3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	AINA19(注)	Input	FT5	0/1	0	0	0/1	0	0	0
	T32A09INB0	Input	FT1	0/1	0	[PRFR2]	0/1	0/1	0/1	1
	T32A09INC1	Input	FT1	0/1	0	[PRFR3]	0/1	0/1	0/1	1
PR4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	AINA20(注)	Input	FT5	0/1	0	0	0/1	0	0	0
	T32A10INA0	Input	FT1	0/1	0	[PRFR2]	0/1	0/1	0/1	1
	T32A10INC0	Input	FT1	0/1	0	[PRFR3]	0/1	0/1	0/1	1
PR5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	AINA21(注)	Input	FT5	0/1	0	0	0/1	0	0	0
	T32A10INB0	Input	FT1	0/1	0	[PRFR2]	0/1	0/1	0/1	1
	T32A10INC1	Input	FT1	0/1	0	[PRFR3]	0/1	0/1	0/1	1
PR6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	AINA22(注)	Input	FT5	0/1	0	0	0/1	0	0	0
	T32A11INA0	Input	FT1	0/1	0	[PRFR2]	0/1	0/1	0/1	1
	T32A11INC0	Input	FT1	0/1	0	[PRFR3]	0/1	0/1	0/1	1
PR7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	AINA23(注)	Input	FT5	0/1	0	0	0/1	0	0	0
	T32A11INB0	Input	FT1	0/1	0	[PRFR2]	0/1	0/1	0/1	1
	T32A11INC1	Input	FT1	0/1	0	[PRFR3]	0/1	0/1	0/1	1

注) アナログ入力(AINAx)として使用する場合、[PRCR]は出力禁止"0"、[PRIE]は入力禁止"0"、[PRPUP]はプルアップ禁止"0"、[PRPDN]はプルダウン禁止"0"にしてください。

4.2.17. PORT T

表 4.18 ポート T レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PTDATA]	[PTCR]	[PTFRn]	[PTOD]	[PTPUP]	[PTPDN]	[PTIE]
PT0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	DAC0 (注)	Output	FT13	0/1	0	N/A	0/1	0	0	0
PT1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	DAC1 (注)	Output	FT13	0/1	0	N/A	0/1	0	0	0
PT2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	CEC0	Input	FT15	0/1	0	0	0/1	0/1	0/1	0/1
I/O		FT1	0/1	1	[PTFR7]	0/1	0/1	0/1	0/1	1
PT3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT00b	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	RTCOUT	Output	FT1	0/1	1	[PTFR1]	0/1	0/1	0/1	0
	T32A03OUTA	Output	FT1	0/1	1	[PTFR2]	0/1	0/1	0/1	0
	T32A03OUTC	Output	FT1	0/1	1	[PTFR3]	0/1	0/1	0/1	0
	RXIN0	Input	FT15	0/1	0	0	0/1	0/1	0/1	1
TRGIN2	Input	FT1	0/1	0	[PTFR6]	0/1	0/1	0/1	1	
PT4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT01b	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	RXIN1	Input	FT15	0/1	0	0	0/1	0/1	0/1	1
PT5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT02b	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A03OUTB	Output	FT1	0/1	1	[PTFR2]	0/1	0/1	0/1	0

注) アナログ出力として使用する場合、[PTCR]は出力禁止"0"、[PTIE]は入力禁止"0"、[PTPUP]はプルアップ禁止"0"、[PTPDN]はプルダウン禁止"0"にしてください。

4.2.18. PORT U

表 4.19 ポート U レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PUDATA]	[PUCR]	[PUFRn]	[PUOD]	[PUPUP]	[PUPDN]	[PUIE]
PU0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A12OUTA	Output	FT1	0/1	1	[PUFR2]	0/1	0/1	0/1	0
	T32A12OUTC	Output	FT1	0/1	1	[PUFR3]	0/1	0/1	0/1	0
	UT4TXDA	Output	FT1	0/1	1	[PUFR7]	0/1	0/1	0/1	0
PU1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A12OUTB	Output	FT1	0/1	1	[PUFR2]	0/1	0/1	0/1	0
	UT4RXD	Input	FT1	0/1	0	[PUFR7]	0/1	0/1	0/1	1
PU2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT06b	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A12INA0	Input	FT1	0/1	0	[PUFR2]	0/1	0/1	0/1	1
	T32A12INC0	Input	FT1	0/1	0	[PUFR3]	0/1	0/1	0/1	1
UT4CTS_N	Input	FT1	0/1	0	[PUFR7]	0/1	0/1	0/1	1	
PU3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT07b	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A12INB0	Input	FT1	0/1	0	[PUFR2]	0/1	0/1	0/1	1
	T32A12INC1	Input	FT1	0/1	0	[PUFR3]	0/1	0/1	0/1	1
UT4RTS_N	Output	FT1	0/1	1	[PUFR7]	0/1	0/1	0/1	0	
PU4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT08b	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A13INB0	Input	FT1	0/1	0	[PUFR2]	0/1	0/1	0/1	1
	T32A13INC1	Input	FT1	0/1	0	[PUFR3]	0/1	0/1	0/1	1
UT3RTS_N	Output	FT1	0/1	1	[PUFR7]	0/1	0/1	0/1	0	
PU5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT09b	Input	FT4	0/1	0	0	0/1	0/1	0/1	1
	T32A13INA0	Input	FT1	0/1	0	[PUFR2]	0/1	0/1	0/1	1
	T32A13INC0	Input	FT1	0/1	0	[PUFR3]	0/1	0/1	0/1	1
UT3CTS_N	Input	FT1	0/1	0	[PUFR7]	0/1	0/1	0/1	1	
PU6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A13OUTA	Output	FT1	0/1	1	[PUFR2]	0/1	0/1	0/1	0
	T32A13OUTC	Output	FT1	0/1	1	[PUFR3]	0/1	0/1	0/1	0
UT3RXD	Input	FT1	0/1	0	[PUFR7]	0/1	0/1	0/1	1	
PU7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A13OUTB	Output	FT1	0/1	1	[PUFR2]	0/1	0/1	0/1	0
	UT3TXDA	Output	FT1	0/1	1	[PUFR7]	0/1	0/1	0/1	0

4.2.19. PORT V

表 4.20 ポート V レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PVDATA]	[PVCR]	[PVFRn]	[PVOD]	[PVPUP]	[PVPDN]	[PVIE]
PV0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A09INA0	Input	FT1	0/1	0	[PVFR2]	0/1	0/1	0/1	1
	T32A09INC0	Input	FT1	0/1	0	[PVFR3]	0/1	0/1	0/1	1
	ISDBIN0	Input	FT15	0/1	0	0	0/1	0/1	0/1	1
	UO0	Output	FT2	0/1	1	[PVFR5]	0/1	0/1	0/1	0
	UT3RXD	Input	FT1	0/1	0	[PVFR6]	0/1	0/1	0/1	1
	UT3TXDA	Output	FT1	0/1	1	[PVFR7]	0/1	0/1	0/1	0
PV1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A09INB0	Input	FT1	0/1	0	[PVFR2]	0/1	0/1	0/1	1
	T32A09INC1	Input	FT1	0/1	0	[PVFR3]	0/1	0/1	0/1	1
	ISDBIN1	Input	FT15	0/1	0	0	0/1	0/1	0/1	1
	XO0	Output	FT2	0/1	1	[PVFR5]	0/1	0/1	0/1	0
	UT3TXDA	Output	FT1	0/1	1	[PVFR6]	0/1	0/1	0/1	0
	UT3RXD	Input	FT1	0/1	0	[PVFR7]	0/1	0/1	0/1	1
PV2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A09OUTA	Output	FT1	0/1	1	[PVFR2]	0/1	0/1	0/1	0
	T32A09OUTC	Output	FT1	0/1	1	[PVFR3]	0/1	0/1	0/1	0
	ISDBIN2	Input	FT15	0/1	0	0	0/1	0/1	0/1	1
	VO0	Output	FT2	0/1	1	[PVFR5]	0/1	0/1	0/1	0
	UT3RTS_N	Output	FT1	0/1	1	[PVFR6]	0/1	0/1	0/1	0
	UT3CTS_N	Input	FT1	0/1	0	[PVFR7]	0/1	0/1	0/1	1
PV3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A09OUTB	Output	FT1	0/1	1	[PVFR2]	0/1	0/1	0/1	0
	ISDBIN3	Input	FT15	0/1	0	0	0/1	0/1	0/1	1
	YO0	Output	FT2	0/1	1	[PVFR5]	0/1	0/1	0/1	0
	UT3CTS_N	Input	FT1	0/1	0	[PVFR6]	0/1	0/1	0/1	1
	UT3RTS_N	Output	FT1	0/1	1	[PVFR7]	0/1	0/1	0/1	0
	PV4	リセット後			0	0	0	0	0	0
Input Port		Input		0/1	0	0	0/1	0/1	0/1	1
Output Port		Output		0/1	1	0	0/1	0/1	0/1	0
T32A04OUTB		Output	FT1	0/1	1	[PVFR2]	0/1	0/1	0/1	0
TSPI5RXD		Input	FT1	0/1	0	[PVFR4]	0/1	0/1	0/1	1
WO0		Output	FT2	0/1	1	[PVFR5]	0/1	0/1	0/1	0
I2C2SCL		I/O	FT1	0/1	1	[PMFR6]	1	0/1	0/1	1
UT1RXD		Input	FT1	0/1	0	[PVFR7]	0/1	0/1	0/1	1

PV5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A04OUTA	Output	FT1	0/1	1	[PVFR2]	0/1	0/1	0/1	0
	T32A04OUTC	Output	FT1	0/1	1	[PVFR3]	0/1	0/1	0/1	0
	TSPI5TXD	Output	FT2	0/1	1	[PVFR4]	0/1	0/1	0/1	0
	Z00	Output	FT2	0/1	1	[PVFR5]	0/1	0/1	0/1	0
	I2C2SDA	I/O	FT1	0/1	1	[PVFR6]	1	0/1	0/1	1
	UT1TXDA	Output	FT1	0/1	1	[PVFR7]	0/1	0/1	0/1	0
PV6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A05OUTA	Output	FT1	0/1	1	[PVFR2]	0/1	0/1	0/1	0
	T32A05OUTC	Output	FT1	0/1	1	[PVFR3]	0/1	0/1	0/1	0
	TSPI5SCK	Input	FT1	0/1	0	[PVFR4]	0/1	0/1	0/1	1
		Output		0/1	1	[PVFR4]	0/1	0/1	0/1	0
	EMG0	Input	FT1	0/1	0	[PVFR5]	0/1	0/1	0/1	1
	UT1CTS_N	Input	FT1	0/1	0	[PVFR7]	0/1	0/1	0/1	1
PV7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A05OUTB	Output	FT1	0/1	1	[PVFR2]	0/1	0/1	0/1	0
	TSPI5CS0	Output	FT1	0/1	1	[PVFR4]	0/1	0/1	0/1	0
	OVV0	Output	FT1	0/1	1	[PVFR5]	0/1	0/1	0/1	0
	TSPI5CSIN	Input	FT1	0/1	0	[PVFR6]	0/1	0/1	0/1	1
	UT1RTS_N	Output	FT1	0/1	1	[PVFR7]	0/1	0/1	0/1	0

4.2.20. PORT W

表 4.21 ポート W レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PWDATA]	[PWCR]	[PWFRR _n]	[PWOD]	[PWPUP]	[PWPDN]	[PWIE]
PW0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPi8CS0	Output	FT1	0/1	1	[PWFRR4]	0/1	0/1	0/1	0
	T32A00OUTB	Output	FT1	0/1	1	[PWFRR5]	0/1	0/1	0/1	0
	TSPi8CSIN	Input	FT1	0/1	0	[PWFRR6]	0/1	0/1	0/1	1
PW1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPi8SCK	Input	FT1	0/1	0	[PWFRR4]	0/1	0/1	0/1	1
		Output		0/1	1	[PWFRR4]	0/1	0/1	0/1	0
	T32A00OUTA	Output	FT1	0/1	1	[PWFRR5]	0/1	0/1	0/1	0
T32A00OUTC	Output	FT1	0/1	1	[PWFRR7]	0/1	0/1	0/1	0	
PW2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPi8RXD	Input	FT1	0/1	0	[PWFRR4]	0/1	0/1	0/1	1
	T32A01OUTA	Output	FT1	0/1	1	[PWFRR5]	0/1	0/1	0/1	0
	T32A01OUTC	Output	FT1	0/1	1	[PWFRR7]	0/1	0/1	0/1	0
PW3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPi8TXD	Output	FT2	0/1	1	[PWFRR4]	0/1	0/1	0/1	0
	T32A01OUTB	Output	FT1	0/1	1	[PWFRR5]	0/1	0/1	0/1	0
PW4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A11INA1	Input	FT1	0/1	0	[PWFRR3]	0/1	0/1	0/1	1
	T32A10OUTB	Output	FT1	0/1	1	[PWFRR5]	0/1	0/1	0/1	0
	ISDCIN0	Input	FT15	0/1	0	0	0/1	0/1	0/1	1
T32A10INA0	Input	FT1	0/1	0	[PWFRR7]	0/1	0/1	0/1	1	
PW5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A10OUTA	Output	FT1	0/1	1	[PWFRR5]	0/1	0/1	0/1	0
	ISDCIN1	Input	FT15	0/1	0	0	0/1	0/1	0/1	1
	T32A10OUTC	Output	FT1	0/1	1	[PWFRR7]	0/1	0/1	0/1	0
PW6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A11OUTA	Output	FT1	0/1	1	[PWFRR5]	0/1	0/1	0/1	0
	ISDCIN2	Input	FT15	0/1	0	0	0/1	0/1	0/1	1
	T32A11OUTC	Output	FT1	0/1	1	[PWFRR7]	0/1	0/1	0/1	0
PW7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A10INA1	Input	FT1	0/1	0	[PWFRR3]	0/1	0/1	0/1	1
	T32A11OUTB	Output	FT1	0/1	1	[PWFRR5]	0/1	0/1	0/1	0
	ISDCIN3	Input	FT15	0/1	0	0	0/1	0/1	0/1	1
T32A11INA0	Input	FT1	0/1	0	[PWFRR7]	0/1	0/1	0/1	1	

4.2.21. PORT Y

表 4.22 ポート Y レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PYDATA]	[PYGR]	[PYFRn]	[PYOD]	[PYPUP]	[PYPDN]	[PYIE]
PY0	リセット後			0	N/A	N/A	N/A	0	0	0
	Input Port	Input		0/1	N/A	N/A	N/A	0/1	0/1	1
	X1	Input	FT10	0/1	N/A	N/A	N/A	0	0	0
	EHCLKIN	Input	FT10	0/1	N/A	N/A	N/A	0	0	0
PY1	リセット後			0	N/A	N/A	N/A	0	0	0
	Input Port	Input		0/1	N/A	N/A	N/A	0/1	0/1	1
	X2	Output	FT10	0/1	N/A	N/A	N/A	0	0	0
PY2	リセット後			0	N/A	N/A	N/A	0	0	0
	Input Port	Input		0/1	N/A	N/A	N/A	0/1	0/1	1
	XT1	Input	FT10	0/1	N/A	N/A	N/A	0	0	0
	ELCLKIN	Input	FT10	0/1	N/A	N/A	N/A	0	0	1
PY3	リセット後			0	N/A	N/A	N/A	0	0	0
	Input Port	Input		0/1	N/A	N/A	N/A	0/1	0/1	1
	XT2	Output	FT10	0/1	N/A	N/A	N/A	0	0	0
PY4	リセット中 (BOOT_N)	Input	FT16	0	0	0	0	1(注 1)	0	1(注 1)
	リセット後			0	0	0	0	0	0	0(注 2)
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0(注 2)
	ISDCOUT	Output	FT1	0/1	1	[PYFR1]	0/1	0/1	0/1	0(注 2)
	EEXBCLK	Output	FT1	0/1	1	[PYFR4]	0/1	0/1	0/1	0(注 2)

注 1) リセット端子(RESET_N)、POR によるリセット期間中は[PYPUP]は許可状態("1")、[PYIE]は許可状態("1")で、BOOT_N 信号が入力可能となります。

注 2) [PYIE]に"1"を設定しないでください。

5. ポート回路図

ポートには、FT1～FT5、FT10、FT13～FT16 のタイプ。それぞれの回路図を次ページから示します。図中の点線は、データシートの「等価回路図」で記されている等価回路の範囲を示します。

回路図内の“I/Oリセット”は、パワーオンリセット(POR)または端子リセット(RESET_N)を示します。ただし、デバッグ用端子(TMS/SWDIO.TDI,TDO/SWV,TCK/SWCLK,TRST_N)のIOリセットは、パワーオンリセット(POR)のみとなります。

5.1. タイプ FT1

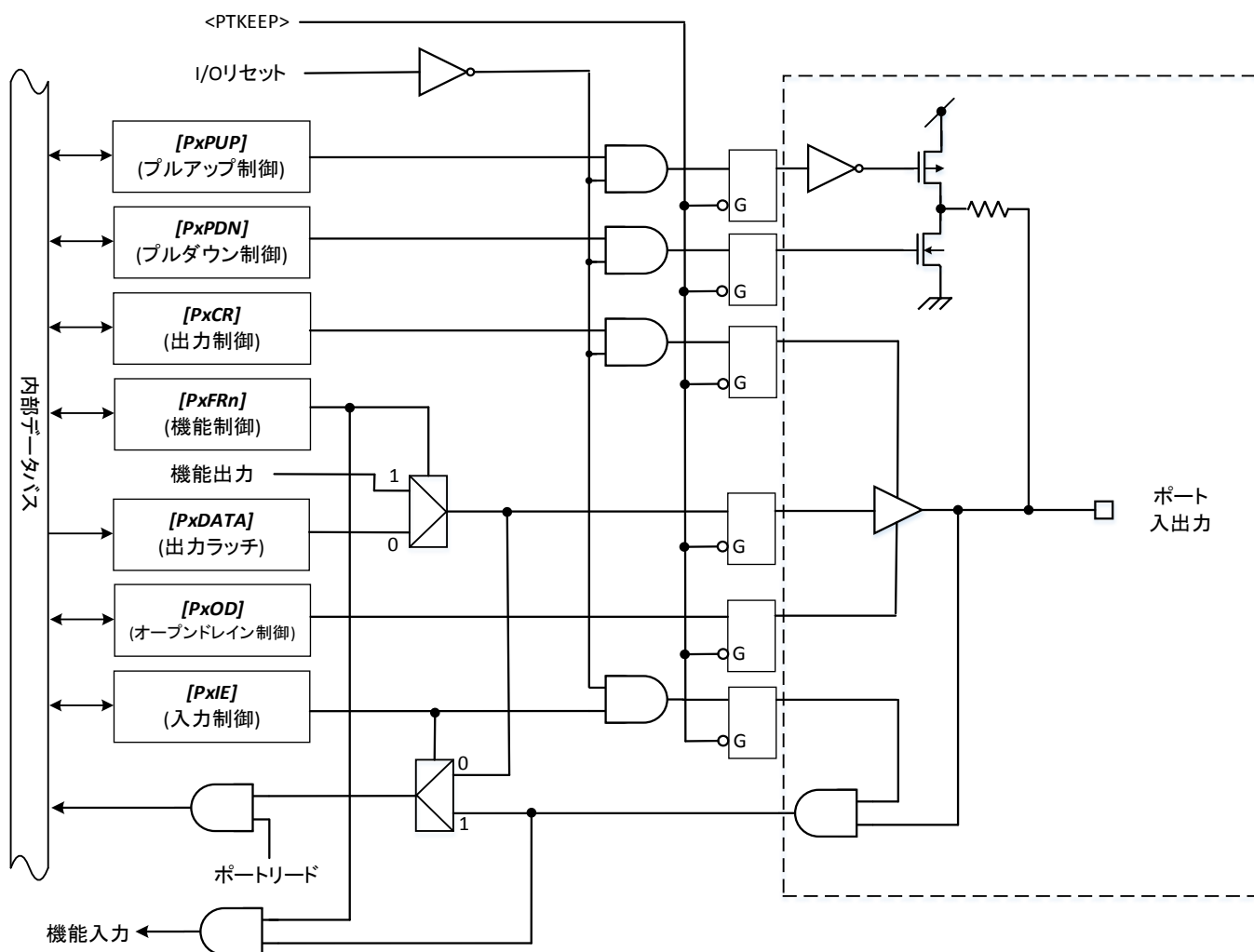


図 5.1 ポートタイプFT1

5.2. タイプ FT2

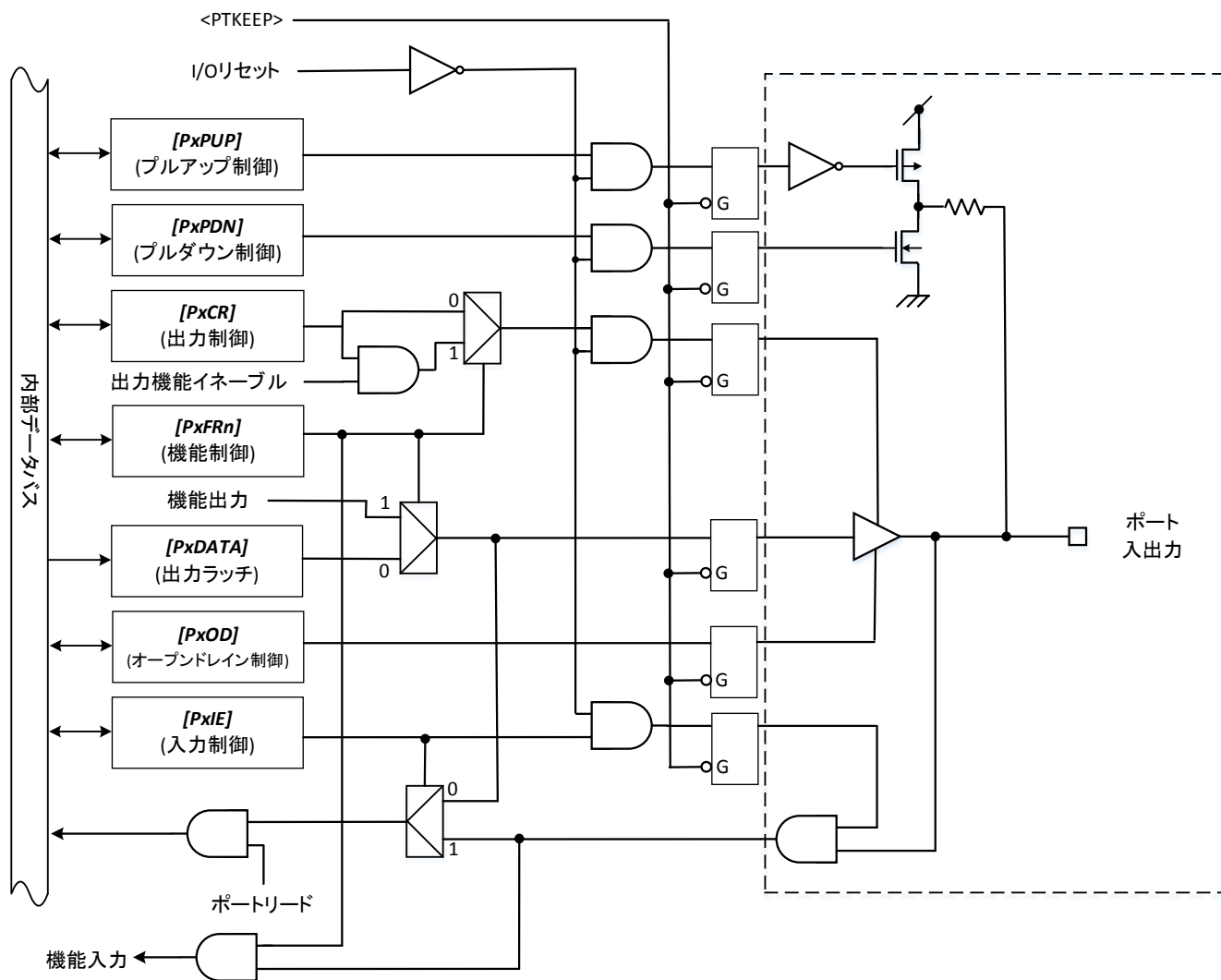


図 5.2 ポートタイプFT2

5.3. タイプ FT2b

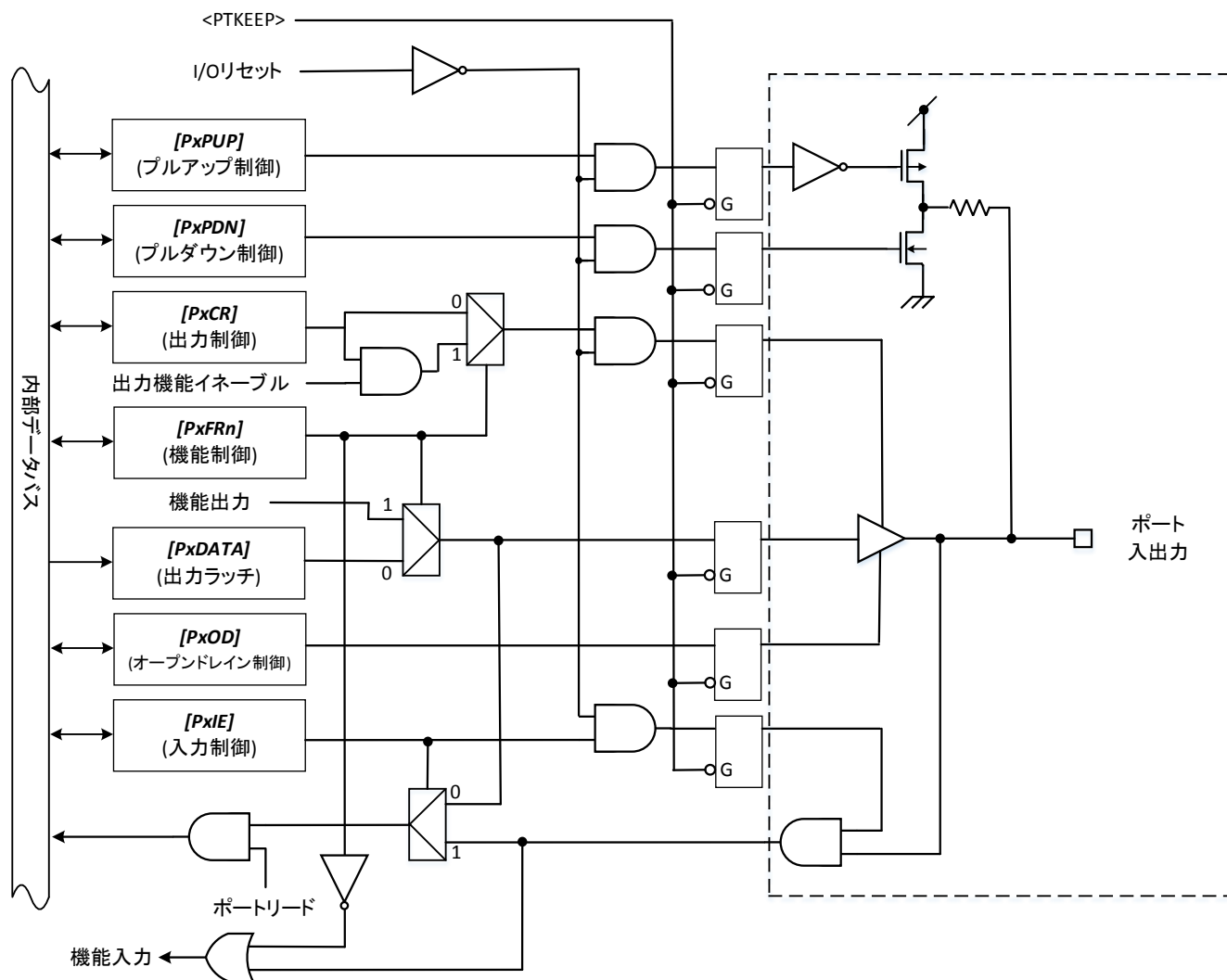
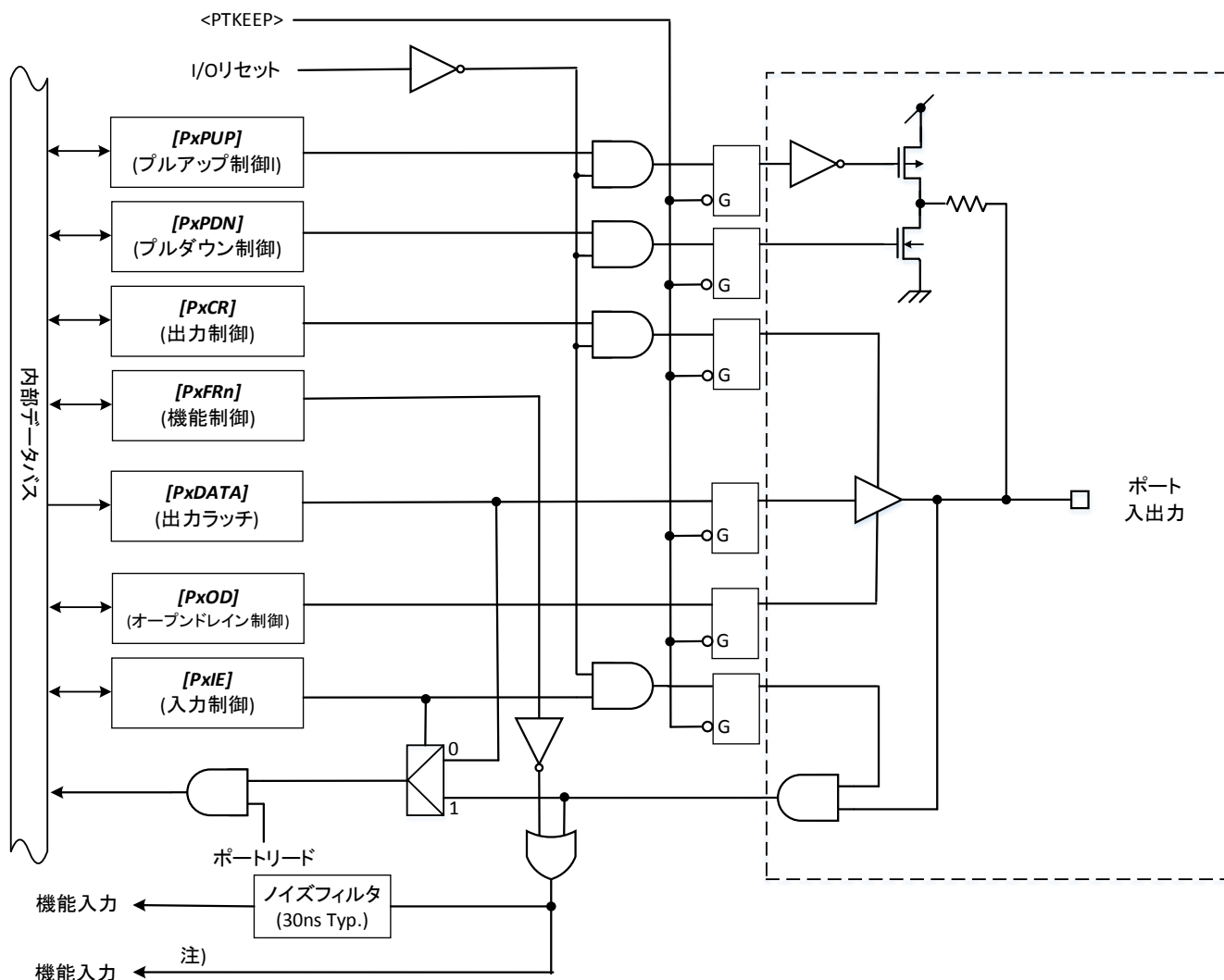


図 5.3 ポートタイプFT2b

5.4. タイプ FT3



注) NBDCLK/NBDSYNC端子の場合

図 5.4 ポートタイプFT3

5.5. タイプ FT4

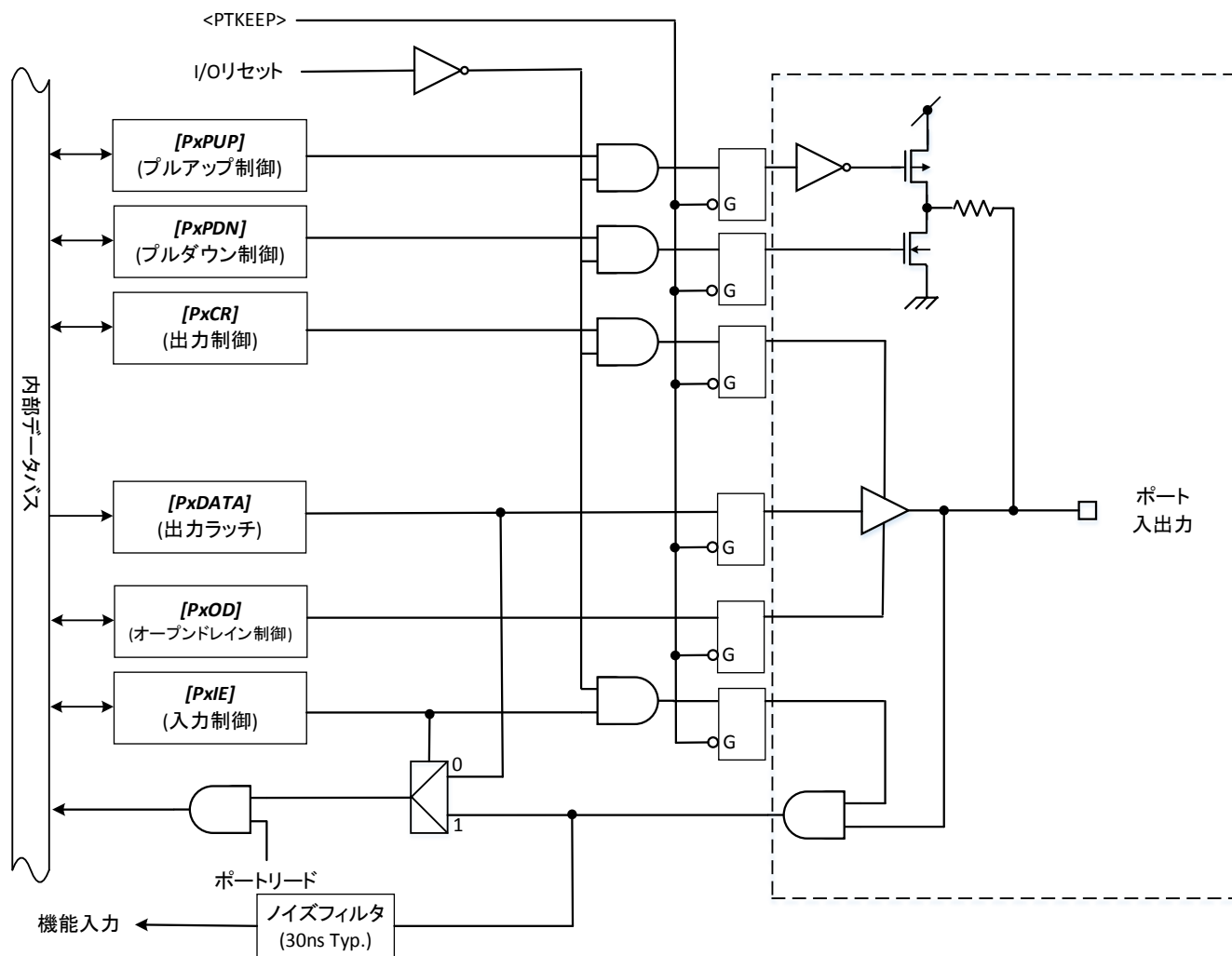


図 5.5 ポートタイプFT4

5.6. タイプ FT5

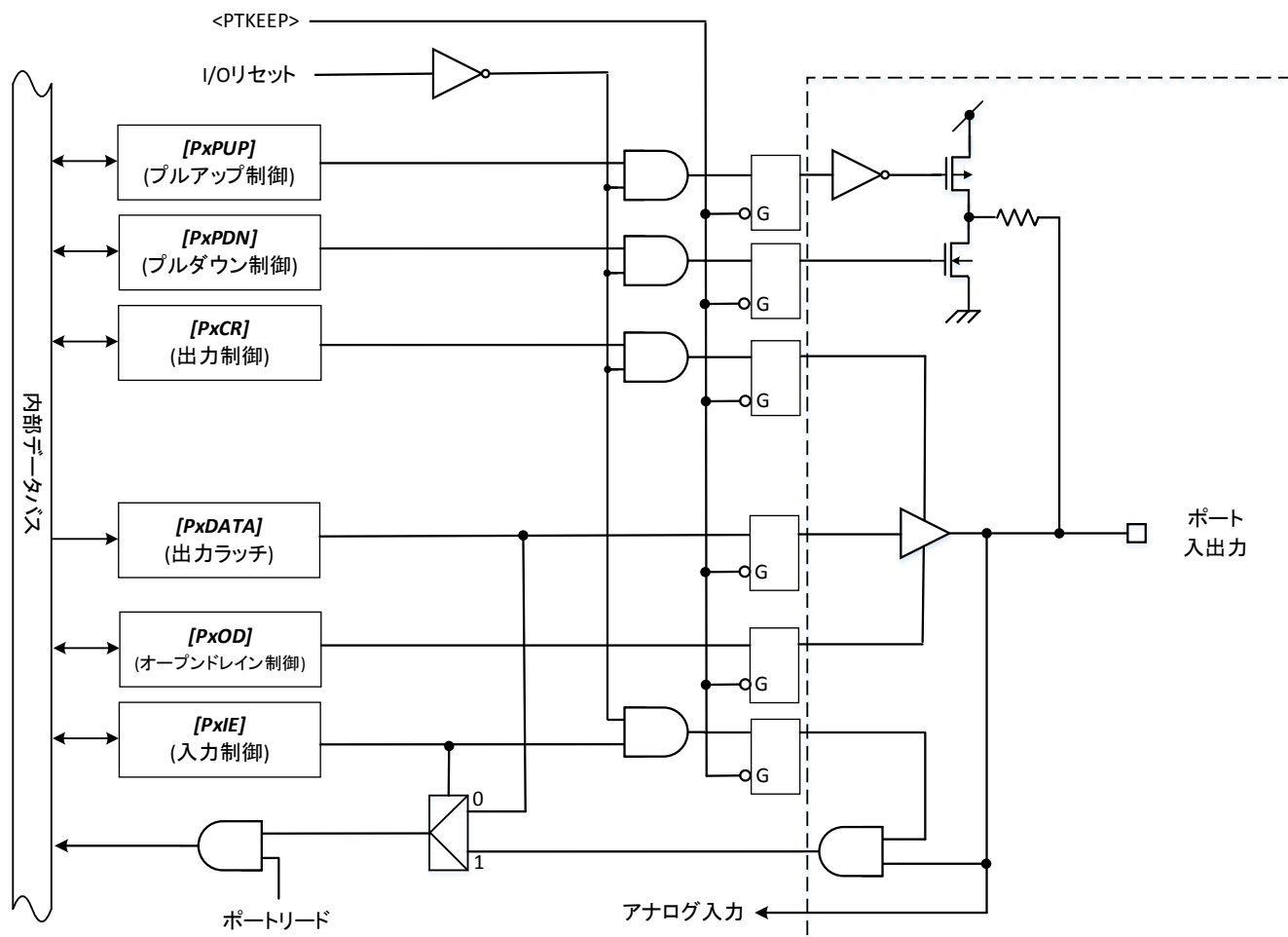


図 5.6 ポートタイプFT5

5.7. タイプ FT10

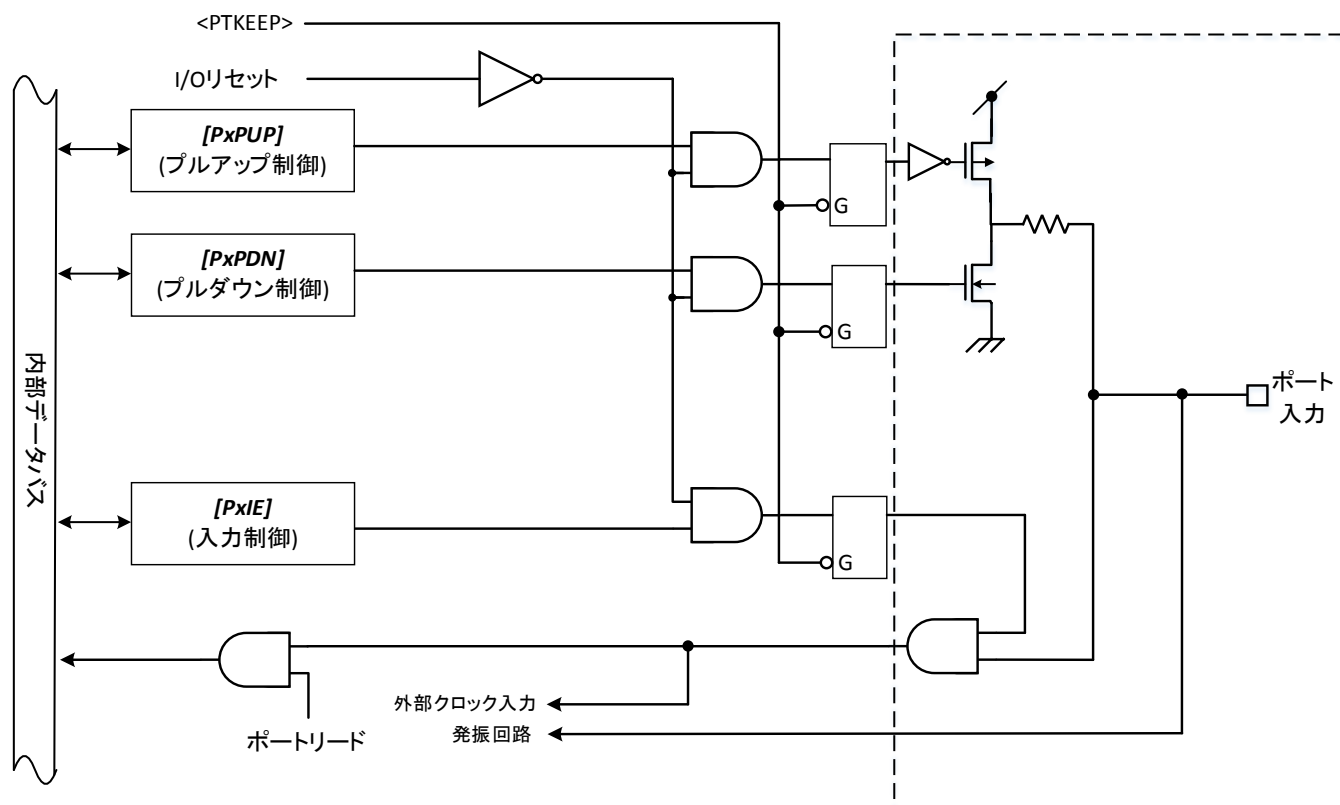


図 5.7 ポートタイプFT10

5.8. タイプ FT13

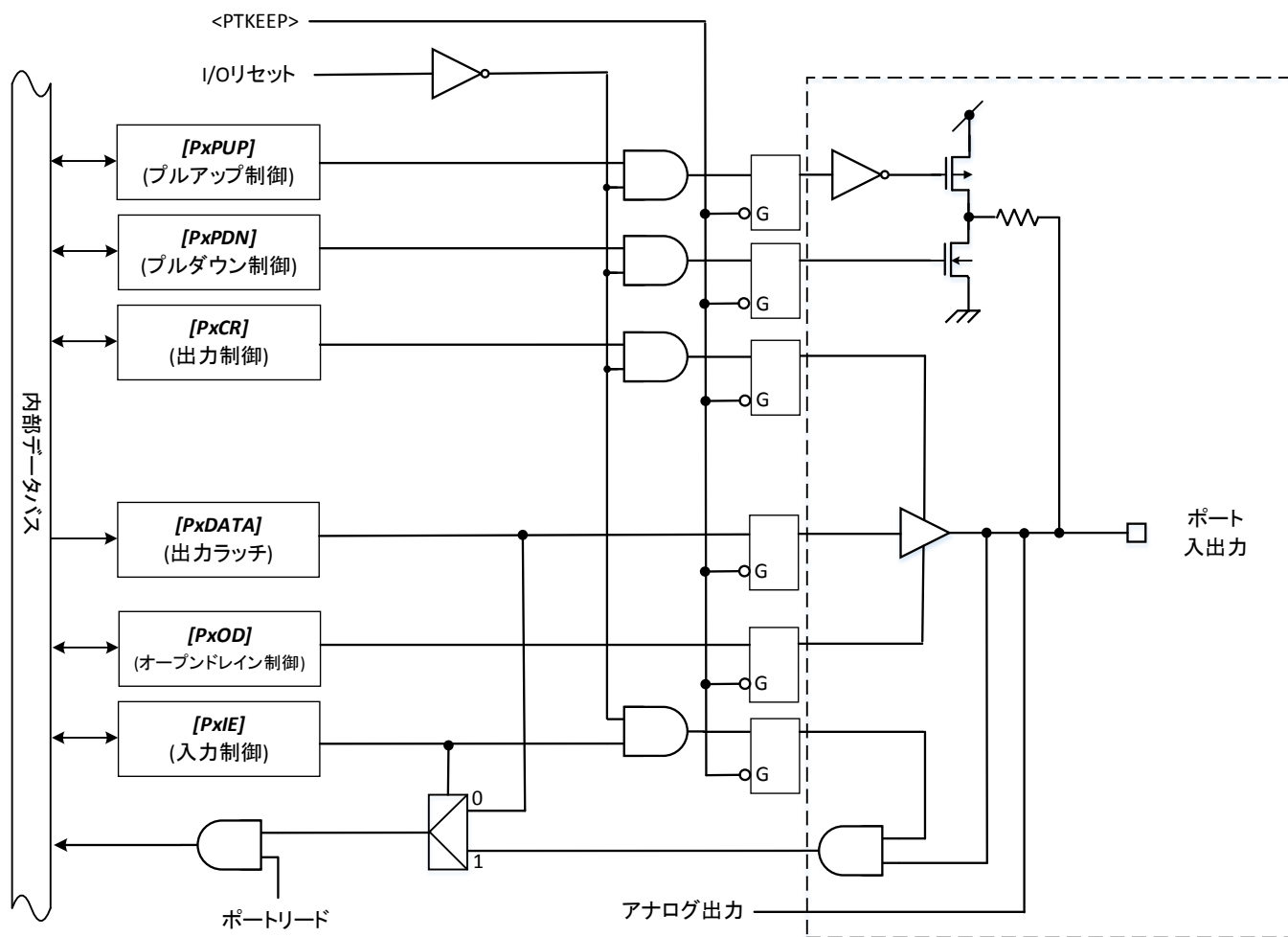


図 5.8 ポートタイプFT13

5.9. タイプ FT14

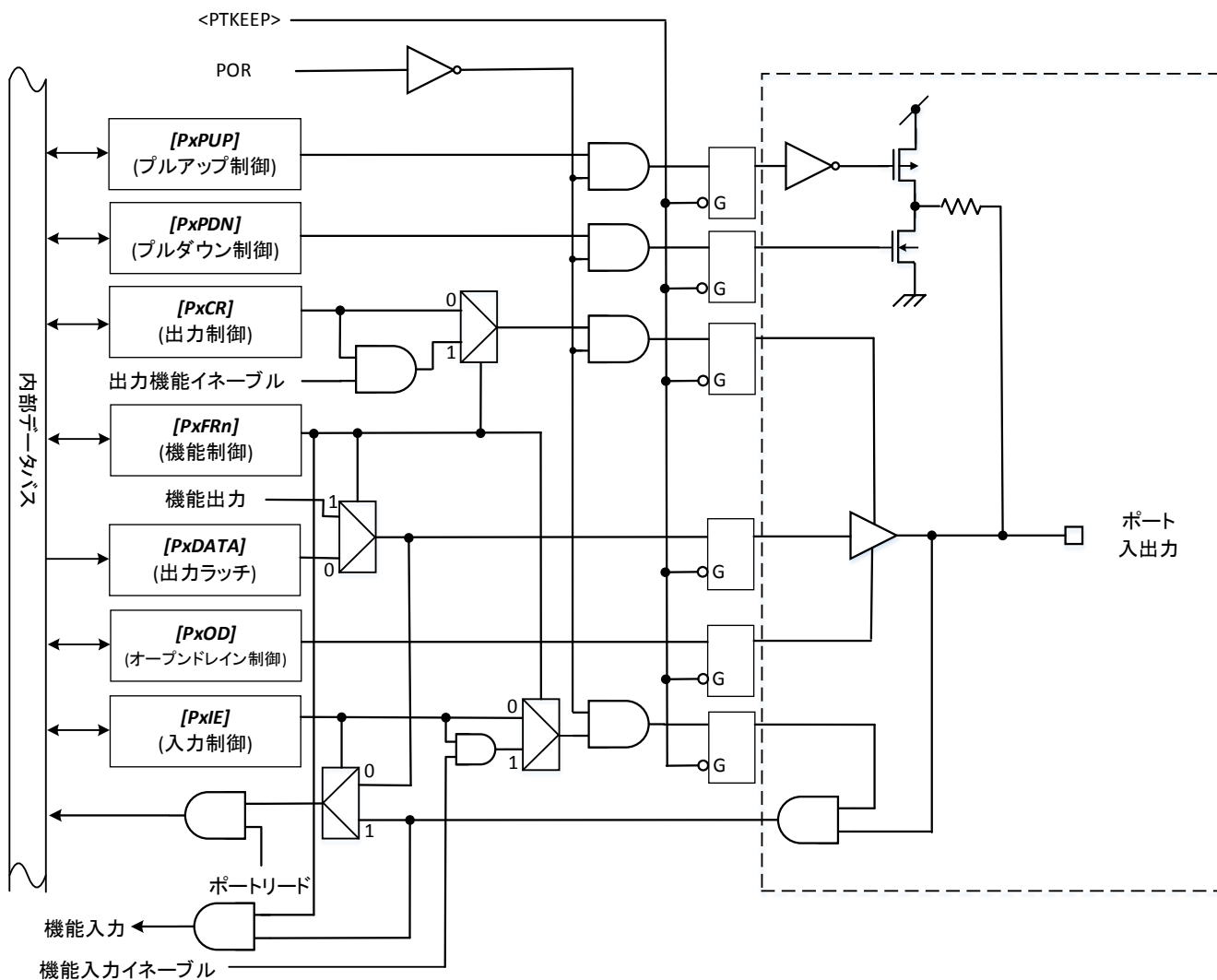


図 5.9 ポートタイプFT14

5.10. タイプ FT15

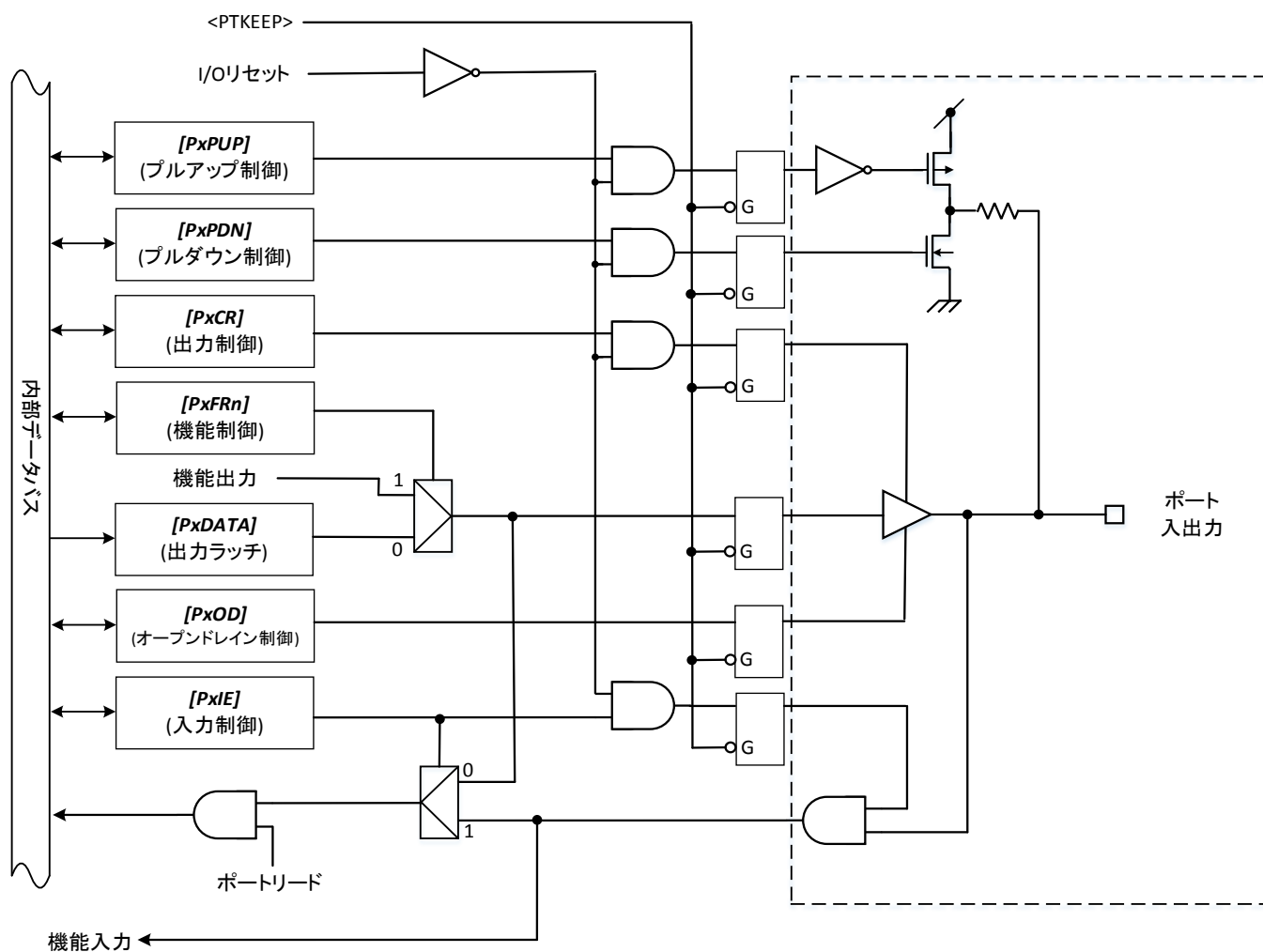


図 5.10 ポートタイプFT15

5.11. タイプ FT16

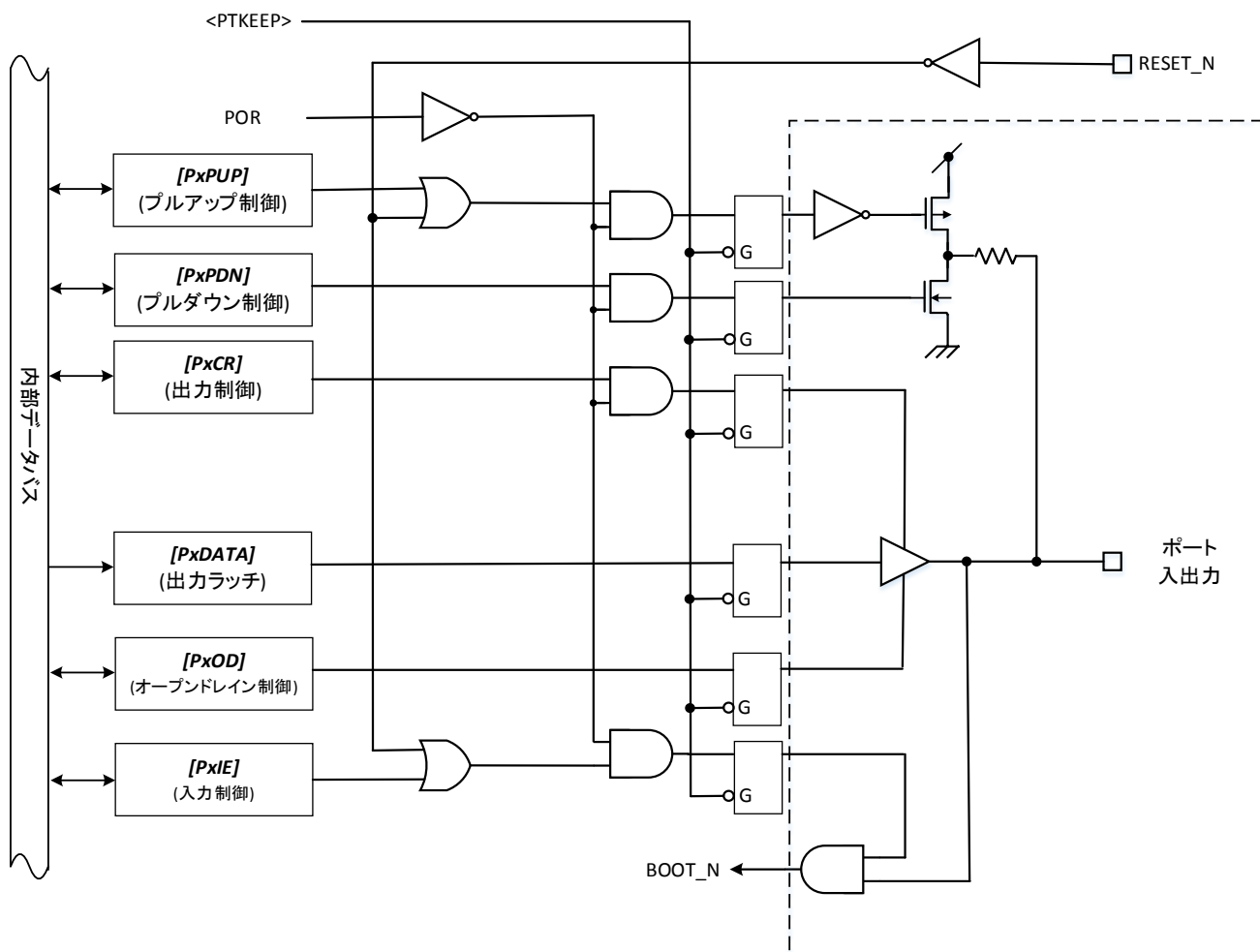


図 5.11 ポートタイプFT16

6. 使用上のご注意およびお願い事項

6.1. リセット期間中の端子状態について

リセット期間中、下記以外の端子はハイインピーダンス入力状態となり、プルアップ・プルダウンも無効状態となります。

- ・デバッグインタフェース兼用端子 (PH3~PH7) はデバック端子状態となります。
- ・PY4(BOOT_N)は端子リセットまたは POR 解除後、入力とプルアップが許可となります。POR リセット解除後一定の時間もしくは、端子リセット解除の遅い信号の立ち上がりで、PY4 が"High" の場合、シングルチップモードとなり内蔵 Flash メモリから起動し、PY4 が"Low"の場合、シングルブートモードとなり内蔵 BOOT プログラムから起動します。

6.2. 未使用端子の処理について

未使用端子は、1 本ずつ抵抗を通して電源端子または 1 本ずつ抵抗を通して GND 端子に固定することを推奨します。

一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。

6.3. デバッグインタフェース端子を汎用ポートとして使用する際の注意

リセット解除後ユーザプログラムでデバッグインタフェース端子を汎用ポートに設定すると、それ以降はデバッグツールからの接続ができなくなり制御ができなくなります。

デバッグツールによるデバッグができなくなった場合、シングルブートモードに設定し外部から UART 接続でフラッシュ消去することで、再度デバックツールと接続することができます。詳細はリファレンスマニュアルの「フラッシュメモリ」を参照してください。

7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2017-11-20	<ul style="list-style-type: none"> ・新規
2.0	2018-03-14	<ul style="list-style-type: none"> ・1.概要 表 1.1 の各周辺機能の省略名を削除と体裁見直し ・3.信号接続一覧 表 3.1～表 3.18 のリファレンスマニュアルの省略名を削除 表 3.15 のノンブ레이크デバッグインタフェースを表 3.18 に移動 表 3.17 の RTCALARM を ALARM_N に修正 表 3.18 の TRGIN2, HDMAREQx を表 17 に移動 表 3.18 に SWCLK, SWV, SWDIO, BSC を追加 ・4.1 レジスタ一覧 ポート J のファンクションレジスタ 7 を [PDFR7] → [PJFR7] に修正 ポート K のファンクションレジスタ 7 を [PEFR7] → [PKFR7] に修正 ポート M のファンクションレジスタ 7 を [PGFR7] → [PMFR7] に修正 ポート Y のオープンドレインコントロールレジスタを“-“ → [PYOD] に修正 ・4.2 ポート機能とレジスタ設定 全てのポートのファンクションレジスタ PxFRn → [PxFRn] に修正 ・4.2.6 PORT E 全ポートの EDx/EDAx PDFR1 → [PEFR1] に修正 ・4.2.7 PORT F I2C1SDA/I2C1SCL の PORT TYPE を FT12 → FT1 に修正 ・4.2.8 PORT G PG2 の RTCALARM を ALARM_N に修正 I2C0SDA/I2C0SCL の PORT TYPE を FT12 → FT1 に修正 NBDCLK の PORT TYPE を FT3b → FT2b に修正 ・4.2.9 PORT H (注 1) → 注) に修正 ・4.2.10 PORT J PJ1 の [PJPDN] のリセット後の値に "0" を追加 ・4.2.11 PORT K PK6 の SMI0SCK → SMI0CLK に修正 ・4.2.19 PORT V PV6 の TSPI5SCL PMFR4 → [PVFR4] に修正 ・4.2.21 PORT Y PY4 の [PYPUP]/[PYIE] のリセット中の値を "0" → "1" に修正、注 1) を追加 PY4 の (注) を [PYIE] に移動し注 2) に変更 ・5.ポート回路図 1 行目の FT12～FT15 を FT13～FT15 に修正 "IO リセット" を "I/O リセット" に修正 ・タイプ FT12 を削除。以降章番号繰り上げ ・6.1 リセット期間中の端子状態について 2 項目目の "端子リセットおよび POR 解除後" を "端子リセットまたは POR 解除後" に修正
2.1	2018-08-23	<ul style="list-style-type: none"> ・3.信号接続一覧 表 3.17 の兼用機能端子名 RTCCLK → RTCOUT に修正 ・4.2. ポート機能とレジスタ設定 上下の表の間に矢印追記 4.2.2 PORT A TSPI0CS0/TSPI0CS1/TSPI0CS2/TSPI0CS3/TSPI2CS0/TSPI2CS1 の Input 行削除

		<p>TSPi0CLK→TSPiSCK に修正</p> <ul style="list-style-type: none"> •4.2.5 PORT D TSPi4CS0 の Input 行削除 •4.2.6 PORT E UT0RTS_N Output→Input に修正、[PECR]の 0→1 に修正、[PEIE]1→1 に修正 •4.2.8 PORT G UT2RTS_N Output→Input に修正、[PGCR]の 0→1 に修正、[PGIE]1→1 に修正 NBDCLK のポートタイプ FT2b→FT3 に修正 •4.2.9 PORT H UT1RTS_N Output→Input に修正、[PHCR]の 0→1 に修正、[PHIE]1→1 に修正 NBDSYNC のポートタイプ FT2b→FT3 に修正 UT0RTS_N Output→Input に修正、[PHCR]の 0→1 に修正、[PHIE]1→1 に修正 UT0CTS_N Input→Output に修正、[PHCR]の 1→0 に修正、[PHIE]1→0 に修正 •4.2.11 PORT K SMi0CS1_N/TSPi1CS1/TSPi1CS2/TSPi1CS3/TSPi3CS0 の Input 行削除 SMi0D0 のポートタイプ FT1→FT2 に修正 •4.2.12 PORT L TPiSCK→TSPi1SCK に修正 TSPi3CS1 の Input 行削除 •4.2.13 PORT M TSPi6CS0 の Input 行削除 •4.2.17 PORT T RTCCLK→RTCOUT に修正 •4.2.18 PORT U UT4RTS_N の[PUCR]0→1 に修正 •5.ポート回路図 2 行目、「ポート部等価回路図」 → 「等価回路図」 に修正 •5.4 タイプ FT3 注)の修正 •製品取り扱い上のお願 最新版に差し替え
2.2	2018-10-22	<ul style="list-style-type: none"> •1.概要 表 1.1 の割り込み制御 typ.→Typ.に修正 •4.2.2 PORT A T32A00OUTA の[PAIE] 1→0 に修正、TSPi0SCK Output の[PAIE] 1→0 に修正 •4.2.8 PORT G I2C2SCL の[PGCR] 0→1 に修正 •4.2.10 PORT J PJ2 の UT5CTS_N [PJIE] 0→1 に修正、PJ6 の FUT1TXD [PJIE] 1→0 に修正 •4.2.11 PORT K SMi0CLK [PKIE] 1→0 に修正 •4.2.14 PORT N 注)の見直し •4.2.15 PORT P 注)の見直し •4.2.16 PORT R 注)の見直し

		<ul style="list-style-type: none"> •4.2.19 PORT V UT1TXDA [PVCR] 0→1 に修正 •6.1 リセット期間中の端子状態について 内蔵 BOOT ROM を内蔵 BOOT プログラムに修正
2.3	2019-06-06	<ul style="list-style-type: none"> •1. 概要 シリアルペリフェラルインタフェースのチップセレクト出力端子 2 端子→4 端子に修正 •4. レジスタ説明 [PxOD]の説明見直し •4.2.21 PORT Y BOOT_N の PORT Type FT6→FT16 •4.2.7 PORT F I2C1SCL/I2C1SAD の[PxOD] 0/1 → 1 に修正 •4.2.8 PORT G I2C0SCL/I2C0SAD/I2C2SCL/I2C2SAD の[PxOD] 0/1 → 1 に修正 •4.2.9 PORT H PH3 の初期値 0/1 → 0 に修正 •4.2.10 PORT J I2C4SCL/I2C4SAD/I2C3SCL/I2C3SAD の[PxOD] 0/1 → 1 に修正 •4.2.13 PORT M I2C3SCL/I2C3SAD/I2C4SCL/I2C4SAD の[PxOD] 0/1 → 1 に修正 •4.2.19 PORT V I2C2SCL/I2C2SAD の[PxOD] 0/1 → 1 に修正 •5. ポート回路図 説明追加 •5.11 タイプ FT16 旧 5.7 の FT6 を削除、FT16 を追加

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。