

32 ビット RISC マイクロコントローラー

# TMPM4G グループ(1)

リファレンスマニュアル  
クロック制御と動作モード  
(CG-M4G(1)-C)

Revision 2.2

---

2023-09

東芝デバイス&ストレージ株式会社

## 目次

序章 .....	5
関連するリファレンスマニュアル .....	5
表記規約 .....	6
用語・略語 .....	8
1. 概要 .....	9
2. クロック制御 .....	10
2.1. クロックの種類 .....	10
2.2. リセット動作による初期値 .....	10
2.3. クロック系統図 .....	11
2.4. ウォーミングアップ機能 .....	12
2.4.1. 高速発振用ウォーミングアップカウンタ .....	12
2.4.2. 低速発振用ウォーミングアップカウンタ .....	13
2.4.3. ウォーミングアップタイマーの使用法 .....	13
2.5. fsys 用クロック通倍回路(PLL) .....	14
2.5.1. リセット解除後の PLL 設定 .....	14
2.5.2. PLL 通倍値の計算式と設定例 .....	14
2.5.3. 動作中の PLL 通倍値の変更 .....	15
2.5.4. PLL 動作開始/停止/切り替えシーケンス .....	16
2.5.4.1. fc 設定 (PLL 停止→PLL 動作) .....	16
2.5.4.2. fc 設定 (PLL 動作→PLL 停止) .....	16
2.6. システムクロック .....	17
2.6.1. システムクロックの設定方法 .....	18
2.6.1.1. fosc 設定 (内蔵発振→外部発振) .....	18
2.6.1.2. fosc 設定 (内蔵発振→外部クロック入力) .....	19
2.6.1.3. fosc 設定 (外部発振/外部クロック入力→内蔵発振) .....	19
2.7. 低速クロック .....	20
2.7.1. ELOSC の設定 (外部低速発振なし→外部低速発振) .....	20
2.7.2. ELCLKIN の設定 (外部低速発振なし→外部低速クロック入力) .....	20
2.8. クロック供給設定機能 .....	20
2.9. プリスケラークロック .....	21
3. 動作モード .....	22
3.1. 動作モードの詳細 .....	22
3.1.1. 各モードの特長 .....	22
3.1.2. 低消費電力モードへの遷移と復帰 .....	23
3.1.3. 低消費電力モードの選択 .....	23
3.1.4. 低消費電力モードにおける周辺機能状態 .....	24
3.2. 低消費電力モードへの遷移 .....	26

3.2.1. IDLE モード遷移フロー .....	26
3.2.2. STOP1 モード遷移フロー .....	27
3.2.3. STOP2 モード遷移フロー .....	28
3.3. 低消費電力モードからの復帰 .....	29
3.3.1. 低消費電力モードの解除ソース .....	29
3.3.2. 低消費電力モード解除時のウォーミングアップ .....	30
3.3.3. STOP2 モード解除 .....	31
3.4. モード遷移によるクロック動作 .....	32
3.4.1. NORMAL→IDLE→NORMAL 動作モード遷移 .....	32
3.4.2. NORMAL→STOP1→NORMAL 動作モード遷移 .....	32
3.4.3. NORMAL→STOP2→RESET→NORMAL 動作モード遷移 .....	33
4. レジスタの説明 .....	34
4.1. レジスタ一覧 .....	34
4.2. レジスタ詳細 .....	35
4.2.1. [CGPROTECT] (CG ライトプロテクトレジスタ) .....	35
4.2.2. [CGOSCCR] (発振制御レジスタ) .....	35
4.2.3. [CGSYSCR] (システムクロック制御レジスタ) .....	36
4.2.4. [CGSTBYCR] (スタンバイ制御レジスタ) .....	37
4.2.5. [CGPLL0SEL] (fsys 用 PLL セレクトレジスタ) .....	37
4.2.6. [CGWUPHCR] (高速発振ウォーミングアップレジスタ) .....	38
4.2.7. [CGWUPLCR] (低速発振ウォーミングアップレジスタ) .....	39
4.2.8. [CGFSYSMENA] (中速 fsysm 供給停止レジスタ-A) .....	40
4.2.9. [CGFSYSMENB] (中速 fsysm 供給停止レジスタ-B) .....	42
4.2.10. [CGFSYSENA] (高速 fsysh 供給停止レジスタ-A) .....	44
4.2.11. [CGFCEN] (fc 供給停止レジスタ) .....	45
4.2.12. [CGSPCLKEN] (ADC、トレース用クロック供給停止レジスタ) .....	45
4.2.13. [CGEXTEND2] (機能拡張レジスタ-2) .....	46
4.2.14. [RLMLOSCCR] (低速発振&内蔵高速発振 2 クロック制御レジスタ) .....	47
4.2.15. [RLMSHTDNOP] (電源遮断制御レジスタ) .....	47
4.2.16. [RLMPROTECT] (RLM ライトプロテクトレジスタ) .....	47
5. 製品別情報 .....	48
5.1. [CGFSYSENA] .....	48
5.2. [CGFSYSMENA] .....	49
5.3. [CGFSYSMENB] .....	50
5.4. [CGFCEN] .....	51
6. 改訂履歴 .....	52
製品取り扱い上のお願い .....	54

## 図目次

図 2.1	クロック系統図.....	11
図 3.1	状態遷移.....	26
図 3.2	STOP2 モード解除フロー.....	31
図 3.3	NORMAL→STOP1→NORMAL 動作モード遷移.....	32
図 3.4	NORMAL→STOP2→RESET→NORMAL 動作モード遷移.....	33

## 表目次

表 2.1	[CGPLL0SEL]<PLL0SET[23:0]>設定詳細.....	14
表 2.2	PLL 補正值(例).....	15
表 2.3	PLL0SET 設定値(例).....	15
表 2.4	クロックドメインと周辺機能.....	17
表 2.5	システムクロック切り替え時間.....	17
表 2.6	動作周波数 (単位 : MHz) 例.....	18
表 2.7	高速/中速システムクロック動作周波数例.....	18
表 2.8	プリスケラークロック切り替え時間.....	21
表 3.1	低消費電力モード選択.....	23
表 3.2	低消費電力モード別 ブロック動作状態一覧.....	24
表 3.3	解除ソース一覧.....	29
表 3.4	ウォーミングアップ.....	30
表 5.1	[CGFSYSENA]の製品別割り当て.....	48
表 5.2	[CGFSYSMENA]の製品別割り当て.....	49
表 5.3	[CGFSYSMENB]の製品別割り当て.....	50
表 5.4	[CFGCCEN]の製品別割り当て.....	51
表 6.1	改訂履歴.....	52

## 序章

### 関連するリファレンスマニュアル

文書名
例外
入出力ポート
電源とリセット動作
多機能 DMA コントローラー

## 表記規約

- 数値表記は以下の規則に従います。
  - 16 進数表記: 0xABC
  - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
  - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「\_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。  
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [ ] で囲まれたものはレジスターを定義しています。  
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。  
例: [XYZ1], [XYZ2], [XYZ3]→[XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。  
ユニットの場合、「x」は A,B,C...を表します。  
例: [ADACR0], [ADBCR0], [ADCCR0]→[ADxCR0]  
チャンネルの場合、「x」は 0,1,2,...を表します。  
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA]→[T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。  
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。  
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。  
バイト: 8 ビット  
ハーフワード: 16 ビット  
ワード: 32 ビット  
ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。  
R: リードオンリー  
W: ライトオンリー  
R/W: リード / ライト
- 断りのない限り、レジスタークセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。  
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。  
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。  
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

## 用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-PMD	Advanced Programmable Motor Control Circuit
CG	Clock control and Generations
CEC	Consumer Electronics Control
DAC	Digital to Analog Converter
DNF	Digital Noise Filter
EBIF	External Bus Interface
ELOSC	External Low speed Oscillator
EHOSC	External High speed Oscillator
fsys	frequency of SYSTEM Clock
IHOSC	Internal High Speed Oscillator
INT	Interrupt
ISD	Interval Sensing Detector
I <sup>2</sup> C	Inter-Integrated Circuit
LTMR	Long Term Timer
LVD	Voltage Detection Circuit
MDMA	Multi-function Direct Memory Access
NMI	Non-Maskable Interrupt
NBDIF	Non Break Debug Interface
OFD	Oscillation Frequency Detector
POR	Power On Reset Circuit
RMC	Remote control Signal preprocessor
RLM	Reset LOSC<Low power> Manager
RTC	Real Time Clock
SIWDT	Clock Selective Watchdog Timer
SMIF	Serial Memory Interface
TRGSEL	Trigger Selection circuit
TSPI	Toshiba Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Universal Asynchronous Receiver Transmitter



## 1. 概要

クロック/モード制御ブロックでは、クロックギアやプリスケールクロックの選択、発振器のウォーミングアップなどを設定することが可能です。

また、動作モードとして **NORMAL** モードと低消費電力モードがあり、使用方法に応じモード遷移を行うことで消費電力を抑えることができます。

クロックに関連する機能としては以下のようなものがあります。

- システムクロックの制御
- プリスケールクロックの制御

## 2. クロック制御

### 2.1. クロックの種類

クロックの一覧を以下に示します。

EHCLKIN	: 外部から入力される高速クロック
f <sub>OSC</sub>	: 内部発振回路で生成されるクロックと X1、X2 端子より入力されるクロックの選択後のクロック
f <sub>PLL</sub>	: PLL により逡倍されたクロック
f <sub>c</sub>	: <b>[CGOSCCR]</b> <OSCSSEL>で選択されたクロック(高速クロック)
ELCLKIN	: 外部から入力される低速クロック
f <sub>s</sub>	: 外部低速発振器から出力されるクロック
f <sub>sysh</sub>	: <b>[CGSYSCR]</b> <GEAR[2:0]>で選択された高速システムクロック
f <sub>sysm</sub>	: <b>[CGSYSCR]</b> <GEAR[2:0]><MCKSEL[1:0]>で選択された中速システムクロック
ΦT0h	: <b>[CGSYSCR]</b> <PRCK[3:0]>で選択された高速クロック (高速プリスケラークロック)
ΦT0m	: <b>[CGSYSCR]</b> <PRCK[3:0]><MCKSEL[1:0]>で選択された中速クロック (中速プリスケラークロック)
f <sub>IHOSC1</sub>	: 内蔵高速発振器 1 で生成されるクロック
f <sub>IHOSC2</sub>	: 内蔵高速発振器 2 で生成されるクロック
ADCLK	: AD コンバーター用変換クロック
TRCLKIN	: デバッグ回路(ETM)のトレース機能用クロック

注) 高速システムクロック、中速システムクロックを総称する場合は、システムクロック(fsys)と表します。また、高速プリスケラークロック、中速プリスケラークロックを総称する場合は、プリスケラークロック(ΦT0)で表します。

### 2.2. リセット動作による初期値

リセット動作により、クロック設定は下記のような状態に初期化されます。

外部高速発振器	: 停止
内蔵高速発振器 1	: 発振
内蔵高速発振器 2	: 停止(注)
外部低速発振器	: 停止
PLL(逡倍回路)	: 停止
ギアクロック	: f <sub>c</sub> (分周なし)

注)端子リセットによる初期化は、**[RLMLOSCCR]**<POSCEN>の設定状態に依存します。

### 2.3. クロック系統図

クロック系統図を示します

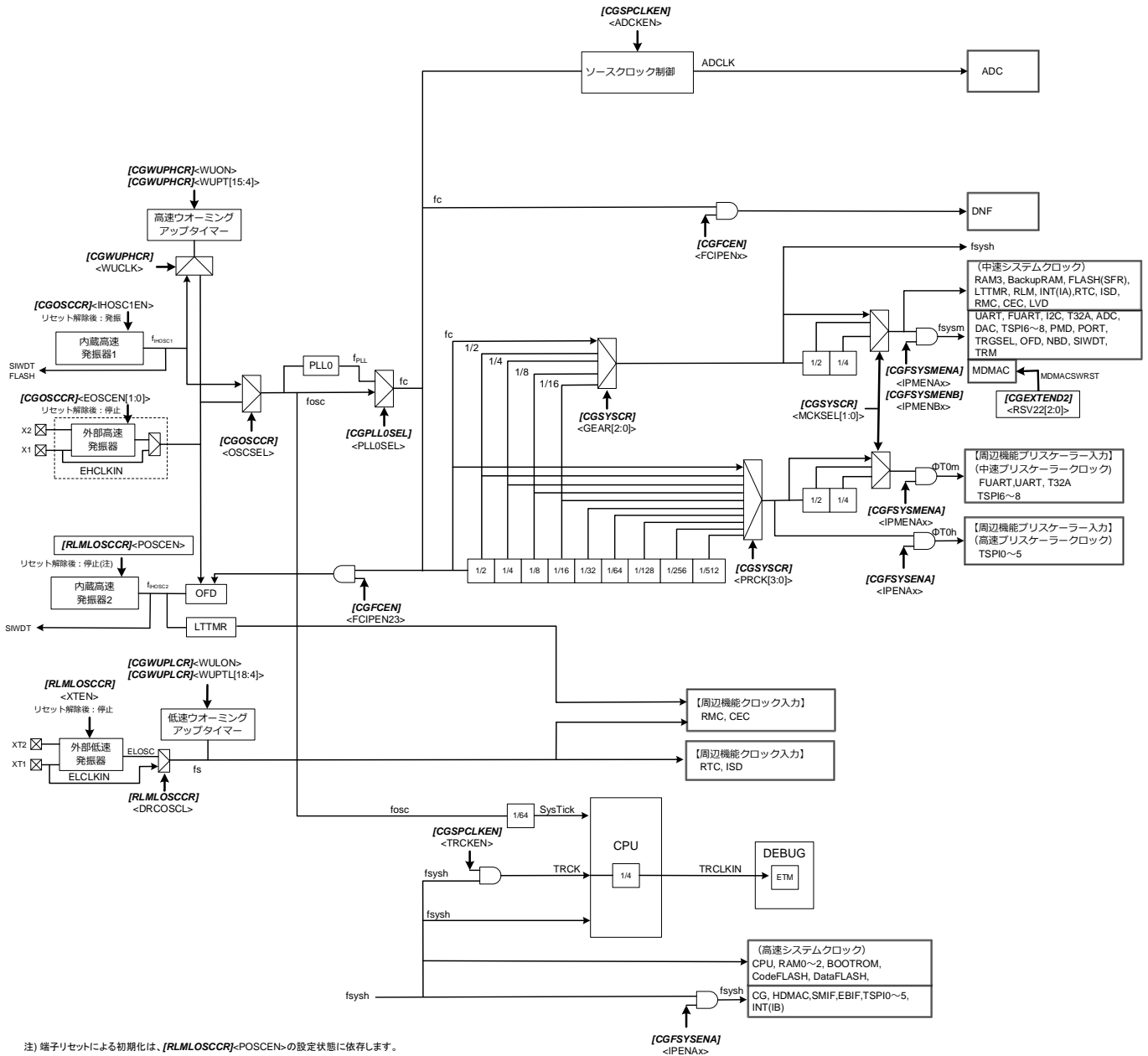


図 2.1 クロック系統図

## 2.4. ウォーミングアップ機能

ウォーミングアップ機能は、自動で高速発振用ウォーミングアップカウンターを起動する、STOP1 モード解除時の発振安定時間を確保するための機能の他、外部発振器や内蔵発振器の安定待ちのために高速発振/低速発振それぞれの専用ウォーミングアップカウンターを使用したカウントアップタイマーとしても使用可能です。

この章では、ウォーミングアップタイマー用レジスターへの設定方法と、カウントアップタイマーとして使用する場合について説明しています。STOP1 モード解除時の詳細説明については、「3.3.2. 低消費電力モード解除時のウォーミングアップ」を参照してください。

### 2.4.1. 高速発振用ウォーミングアップカウンター

高速発振専用ウォーミングアップカウンターとして、16ビットのアップカウンターを内蔵しています。STOP1 モードへ遷移前に設定する場合も、下記の計算式で算出し、下位4ビットを切り捨て、上位12ビットへ設定します。レジスターは、[CGWUPHCR]<WUPT[15:4]>に設定することになります。設定値が0の場合でも、下位4bit分のカウントを実行するため、16を減算しています。

<計算式>

$$\begin{aligned} & \text{ウォーミングアップカウンター値 (16ビット)} \\ & = (\text{ウォーミングアップ時間(s)} \div \text{クロック周期(s)}) - 16 \end{aligned}$$

(例) 発振器 10MHz (クロック周期 100ns) で、ウォーミング時間 5ms を設定する場合

$$\begin{aligned} \text{ウォーミングアップカウンター値 (16ビット)} & = (5\text{ms} \div 100\text{ns}) - 16 \\ & = 50000 - 16 \\ & = 49984 \\ & = 0xC340 \end{aligned}$$

レジスターへは、上位12ビットを設定しますので、下記のように設定します。

$$[\text{CGWUPHCR}]<\text{WUPT}[15:4]> = 0xC34$$

10MHz の場合、 $0 \leq <\text{WUPT}[15:4]> \leq 0xFFFF$  の設定範囲のため、ウォーミングアップ時間は、1.6μs ~ 6.5536ms となります。

## 2.4.2. 低速発振用ウォーミングアップカウンター

低速発振専用ウォーミングアップカウンターとして、19ビットのアップカウンターを内蔵しています。下記の計算式で算出し、下位 4 ビットを切り捨てて、上位 15 ビットへ設定します。レジスターは、**[CGWUPLCR]<WUPT[18:4]>**に設定することになります。設定値が 0 の場合でも、下位 4bit 分のカウントを実行するため、16 を減算しています。

<計算式>

ウォーミングアップカウンター値 (19 ビット) $= (\text{ウォーミングアップ時間(s)} \div \text{クロック周期(s)}) - 16$
--

(例) 発振器 32kHz (クロック周期 31.25 $\mu$ s) で、ウォーミングアップ時間 50ms を設定する場合  
 ウォーミングアップカウンター値 (19 ビット)  $= (50\text{ms} \div 31.25\mu\text{s}) - 16$   
 $= 1600 - 16$   
 $= 1584$   
 $= 0x00630$

レジスターへは、上位 15 ビットを設定しますので、下記のように設定します。

**[CGWUPLCR]<WUPTL[18:4]> = 0x0063**

32kHz の場合、 $0 \leq \text{<WUPTL[18:4]>} \leq 0x7FFF$  の設定範囲のため、ウォーミングアップ時間は、500 $\mu$ s ~ 16.384s となります。

## 2.4.3. ウォーミングアップタイマーの使用方法

ウォーミングアップ機能の使用方法を説明します。

### (1) クロックの選択

高速発振の場合は、ウォーミングアップカウンターでカウントするクロック種別 (内蔵発振/外部発振) を、**[CGWUPHCR]<WUCLK>**で選択します。

### (2) ウォーミングアップカウンター設定値の算出

ウォーミングアップ時間は、高速発振/低速発振用のカウンターへ任意の値が設定可能です。それぞれの計算式から算出し、設定してください。

### (3) ウォーミングアップの開始および終了確認

ソフトウェア (命令) によりウォーミングアップの開始および終了確認を行う場合、**[CGWUPHCR]<WUON>** (または**[CGWUPLCR]<WULON>**) へ “1” を設定することでウォーミングアップカウントスタートします。終了は**[CGWUPHCR]<WUEF>** (または**[CGWUPLCR]<WULEF>**) が “1” → “0” になることで判別します。“1” でウォーミングアップ中、“0” で終了を示します。カウント終了後、カウンターはリセットされて初期状態に戻ります。

カウンター動作中に**[CGWUPHCR]<WUON>** (または**[CGWUPLCR]<WULON>**) へ “0” を書き込んでも、強制終了にはなりません。“0” 書き込みは無視されます。

注1) ウォーミングアップタイマーは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

## 2.5. fsys 用クロック通倍回路(PLL)

fsys 用クロック通倍回路は、高速発振器の出力クロック fosc の周波数(8MHz ~20MHz)に最適な条件で通倍した fPLL クロック(最大 160MHz)を出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

### 2.5.1. リセット解除後の PLL 設定

PLL はリセット解除後、ディセーブルです。

PLL を使用するためには、[CGPLL0SEL]<PLL0ON>が“0”の状態、[CGPLL0SEL]<PLL0SET>の通倍値の設定を行った後、PLL の初期化時間として約 100 μs 経過後に、<PLL0ON>を“1”に設定して PLL の動作を開始します。その後、ロックアップ時間約 400 μs 経過後に、[CGPLL0SEL]<PLL0SEL>を“1”に設定することにより、fosc を通倍した fPLL クロックを使用することができます。

なお、PLL 動作が安定するまでの時間は、ウォーミングアップ機能などを用いて確保する必要があります。

### 2.5.2. PLL 通倍値の計算式と設定例

PLL 通倍値を設定する[CGPLL0SEL]<PLL0SET[23:0]>の内訳詳細を下記に示します。

表 2.1 [CGPLL0SEL]<PLL0SET[23:0]>設定詳細

PLL0SET の内訳	機能	
[23:17]	補正値設定	fosc/450K の商(整数)。表 2.2 を参照してください
[16:14]	fosc 設定	111: 20 <fosc ≤ 24 (unit: MHz) 011: 10 <fosc ≤ 20 010: Reserved 001: 6 ≤ fosc ≤ 10 000: Reserved
[13:12]	分周設定	00: Reserved 01: 2 分周 (× 1/2) 10: 4 分周 (× 1/4) 11: 8 分周 (× 1/8)
[11:8]	小数部 通倍設定	0000: 0.0000      1000: 0.5000 0001: 0.0625      1001: 0.5625 0010: 0.1250      1010: 0.6250 0011: 0.1875      1011: 0.6875 0100: 0.2500      1100: 0.7500 0101: 0.3125      1101: 0.8125 0110: 0.3750      1110: 0.8750 0111: 0.4375      1111: 0.9375
[7:0]	整数部 通倍設定	0x00: 0 0x01: 1 0x02: 2 : 0xFD: 253 0xFE: 254 0xFF: 255

注) 通倍値は、<PLL0SET[7:0]>(整数部)と<PLL0SET[11:8]>(小数部)の合算です。

fPLL は、以下の計算式で表されます。

$$f_{PLL} = f_{OSC} \times ([CGPLL0SEL]<PLL0SET[7:0]> + [CGPLL0SEL]<PLL0SET[11:8]>) \times ([CGPLL0SEL]<PLL0SET[13:12]>)$$

- 注1) 周波数精度の絶対値は保証しません。
- 注2) 小数部通倍設定にリニアリティーはありません。
- 注3)  $f_{PLL} \leq$  最大動作周波数

表 2.2 PLL補正值(例)

f <sub>osc</sub> (MHz)	<PLL0SET>[23:17](10進、整数値)
8.00	18
10.00	23
12.00	27
16.00	36
20.00	45

PLL 補正值は、以下で求めることができます

f<sub>osc</sub>=10.0MHz 時、10.0/0.45=22.22；小数部は切り上げ

[CGPLL0SEL]<PLL0SET[23:0]>の主な設定例を、下記に示します。

入力周波数(f<sub>osc</sub>)を、PLL で逡倍、分周し、目的とするクロック周波数(f<sub>PLL</sub>)を生成します。

分周値は、1/2、1/4、1/8 から選択します。

また、逡倍後の周波数は次の範囲で設定してください。200MHz≤(f<sub>osc</sub>×逡倍値)≤400MHz

表 2.3 PLL0SET 設定値(例)

f <sub>osc</sub> (MHz)	逡倍値	分周値	f <sub>PLL</sub> (MHz)	<PLL0SET[23:0]>
8.00	40.0000	1/2	160	0x245028
10.00	32.0000	1/2	160	0x2E5020
12.00	26.6250	1/2	159.75	0x36DA1A
16.00	20.0000	1/2	160	0x48D014
20.00	16.0000	1/2	160	0x5AD010

### 2.5.3. 動作中の PLL 逡倍値の変更

PLL 逡倍クロック動作中に、逡倍値の変更を行う場合、まず[CGPLL0SEL]<PLL0SEL> に"0" を設定し PLL 逡倍クロックを使用しない設定に切り替えます。そして、[CGPLL0SEL]<PLL0ST>=0 を読み出し、逡倍クロックを使用しない設定に切り替わったことを確認した後、[CGPLL0SEL]<PLL0ON> を"0" として PLL を停止します。

その後、[CGPLL0SEL]<PLL0SET> の逡倍値を変更し、PLL の初期化時間として約 100 μs 経過後に、[CGPLL0SEL]<PLL0ON> を"1" に設定して PLL の動作を開始します。

その後、ロックアップ時間、約 400 μs 経過後に、[CGPLL0SEL]<PLL0SEL> を"1" に設定します。最後に、[CGPLL0SEL]<PLL0ST>をリードし、切り替わったことを確認します。

## 2.5.4. PLL 動作開始/停止/切り替えシーケンス

### 2.5.4.1. fc 設定 (PLL 停止→PLL 動作)

fc 設定として、PLL 停止状態から PLL 動作状態への切り替え手順例は、下記のようになります。

《切り替え前の状態》	
[CGPLLOSEL]<PLLOON> = 0	fsys 用 PLL 動作が停止
[CGPLLOSEL]<PLLOSEL> = 0	fsys 用 PLL 選択が PLL 未使用(fosc)
[CGPLLOSEL]<PLLOST> = 0	fsys 用 PLL 選択ステータスが PLL 未使用(fosc)
[CGSYSCR]<MCKSEL> = 00	高速システムクロック: 中速システムクロック、 高速プリスケラークロック: 中速システムクロックの比率が 1:1

《切り替えシーケンス例》		
1	[CGSYSCR]<MCKSEL[1:0]> = 01 or 1*	高速システムクロック:中速システムクロック、 高速プリスケラークロック:中速システムクロックの比率を変更する
2	[CGSYSCR]<MCKSELGST><MCKSELPST> を リード	上記 1 で設定した値になるまで待つ
3	[CGPLLOSEL]<PLLOSET> = 0xX	PLL 通倍値設定を選択する
4	100μs 以上 待つ	通倍設定後の待ち時間
5	[CGPLLOSEL]<PLLOON> = 1	fsys 用 PLL 動作を発振にする
6	400μs 以上 待つ	PLL 出力クロック安定待ち時間
7	[CGPLLOSEL]<PLLOSEL> = 1	fsys 用 PLL 選択を PLL 使用(f <sub>PLL</sub> )にする
8	[CGPLLOSEL]<PLLOST> を リード	fsys 用 PLL 選択ステータスが PLL 使用(f <sub>PLL</sub> )(="1")になるまで待つ

注 1) 1,2 は、システムクロックの比率を変更する場合に設定します。

注 2) 3~6 は、切り替え前の状態が[CGPLLOSEL]<PLLOON> = 1 の場合は不要です。

PLL 出力クロックが安定した状態から切り替える場合は、7,8 のみの実行で PLL 動作状態へ切り替え可能です。

### 2.5.4.2. fc 設定 (PLL 動作→PLL 停止)

fc 設定として、PLL 動作状態から PLL 停止状態への切り替え手順例は、下記のようになります。

《切り替え前の状態》	
[CGPLLOSEL]<PLLOON> = 1	fsys 用 PLL 選択が発振
[CGPLLOSEL]<PLLOSEL> = 1	fsys 用 PLL 選択が PLL 使用(f <sub>PLL</sub> )
[CGPLLOSEL]<PLLOST> = 1	fsys 用 PLL 選択ステータスが PLL 使用(f <sub>PLL</sub> )

《切り替えシーケンス例》		
1	[CGPLLOSEL]<PLLOSEL> = 0	fsys 用 PLL 選択を PLL 未使用(fosc)にする
2	[CGPLLOSEL]<PLLOST> を リード	fsys 用 PLL 選択ステータスが PLL 未使用(fosc)(=0)になるまで待つ
3	[CGPLLOSEL]<PLLOON> = 0	fsys 用 PLL 動作を停止にする



## 2.6. システムクロック

システムクロックの源振として、内蔵高速発振クロック、外部高速発振クロック(発振子接続またはクロック入力) が使用可能です。

システムクロックは高速で動作する「高速システムクロック( $f_{\text{sysH}}$ )(最大動作周波数 160MHz)」と、高速システムクロックを分周して動作させる「中速システムクロック( $f_{\text{sysM}}$ ) (最大動作周波数 80MHz)」があり、中速システムクロックで動作させる周辺機能は、CPU の処理能力を保持したまま消費電力を抑えることができます。周辺機能が動作するクロックドメインは表 2.4 で確認してください。

高速システムクロックは、 $[CGSYSR]<GEAR[2:0]>$  (クロックギア) で  $f_c$  を分周することが可能です。中速システムクロックはクロックギアで  $f_c$  を分周した高速システムクロックを、 $[CGSYSR]<MCKSEL[1:0]>$  でさらに分周することができます。設定は動作中に変更可能ですが、レジスタ書き込み後、実際にクロックが切り替わるまでに表 2.5 の時間が必要です。クロック切り替えの完了は、 $[CGSYSR]<GEARST[2:0]> <MCKSELGST[1:0]>$  で確認してください。

表 2.4 クロックドメインと周辺機能

クロックドメイン	Block
高速システムクロック	CPU, Code FLASH, Data FLASH, HDMAC EBIF, SMIF, TSPI(ch0~5), CG, INT(IB)
中速システムクロック	MDMAC, NBDIF, I <sup>2</sup> C, SIWDT, UART, FUART DAC, TSPI(ch6~8), T32A, ADC, Port, PMD DNF, LTTMR, LVD, RLM, ISD, TRM, FLASH(SFR), OFD

表 2.5 システムクロック切り替え時間

システムクロック	高速( $f_{\text{sysH}}$ )	中速( $f_{\text{sysM}}$ )
$f_{\text{sys}}$	$f_c$ で最大 16 クロック	$f_c$ で最大 16 クロック
$f_{\text{sys}}/2$	-	$f_c$ で最大 32 クロック
$f_{\text{sys}}/4$	-	$f_c$ で最大 64 クロック

- 注 1) タイマーカウンタなどの周辺機能の動作中にクロックギア、システムクロックは切り替えないようにしてください。
- 注 2) システムクロック切り替え中は、高速システムクロックドメインと中速システムクロックドメインを跨ぐアクセスはできません。

発振周波数、PLL 通倍値などで設定した周波数  $f_c$  に対するクロックギア比 (1/1 ~ 1/16) による動作周波数例を下記 に示します。

表 2.6 動作周波数 (単位 : MHz) 例

外部発振 (MHz)	外部クロック入力 (MHz)	内蔵発振 IHOSC1 (MHz)	PLL 通倍値 (分周後)	最大周波数 ( $f_c$ ) (MHz)	クロックギア PLL=ON 時					クロックギア PLL=OFF 時				
					1/1	1/2	1/4	1/8	1/16	1/1	1/2	1/4	1/8	1/16
8	8	—	20	160	160	80	40	20	10	8	4	2	1	-
10	10	10	16	160	160	80	40	20	10	10	5	2.5	1.25	-
12	12	—	13	156	156	78	39	19.5	9.75	12	6	3	1.5	-
16	16	—	10	160	160	80	40	20	10	16	8	4	2	1
20	20	—	8	160	160	80	40	20	10	20	10	5	2.5	1.25

表 2.7 高速/中速システムクロック動作周波数例

高速システムクロック $f_{sysh}$ (MHz)	中速システムクロック $f_{sysm}$ (MHz)		
	1/1	1/2	1/4
160	-	80	40
80	80	40	20

注) 中速システムクロックの最大動作周波数は 80MHz です。

## 2.6.1. システムクロックの設定方法

### 2.6.1.1. $f_{osc}$ 設定 (内蔵発振→外部発振)

$f_{osc}$  設定として、内蔵高速発振 1 (IHOSC1) から外部高速発振 (EHOSC) への切り替え手順例を下記に示します。

《切り替え前の状態》	
$[CGOSCCR]<IHOSC1EN> = 1$	内蔵高速発振器 1 が発振
$[CGOSCCR]<OSCSEL> = 0$	$f_{osc}$ 用高速発振選択が内部 (IHOSC1)
$[CGOSCCR]<OSCF> = 0$	$f_{osc}$ 用高速発振選択ステータスが内部 (IHOSC1)
X1/X2 端子に発振子を接続	発振子以外は接続しないでください。

《切り替えシーケンス例》	
1	$[PYPDNI]<bit[1:0]> = 00$ $[PYPUP]<bit[1:0]> = 00$ $[PYIE]<bit[1:0]> = 00$ X1/X2 端子のプルダウンを Disable X1/X2 端子のプルアップを Disable X1/X2 端子の入力制御を Disable
2	$[CGOSCCR]<EOSCEN[1:0]> = 01$ 外部発振器の動作選択を外部高速発振 (EHOSC)
3	$[CGWUPHCR]<WUCLK> = 1$ $[CGWUPHCR]<WUPT[15:4]> =$ 任意値 高速発振ウォーミングアップクロック選択を外部 (EHOSC) ウォーミングアップカウンタ設定値へ発振器安定時間を設定
4	$[CGWUPHCR]<WUON> = 1$ 高速発振ウォーミングアップをスタートする
5	$[CGWUPHCR]<WUEF>$ をリード 高速発振ウォーミングアップ終了 (=0) になるまで待つ
6	$[CGOSCCR]<OSCSEL> = 1$ $f_{osc}$ 用高速発振選択を外部 (EHOSC) へ
7	$[CGOSCCR]<OSCF>$ をリード $f_{osc}$ 用高速発振選択ステータスが外部 (EHOSC=1) になるまで待つ
8	$[CGOSCCR]<IHOSC1EN> = 0$ 内蔵高速発振器 1 を停止

## 2.6.1.2. fosc 設定（内蔵発振→外部クロック入力）

f<sub>osc</sub> 設定として、内蔵高速発振 1(IHOSC1)から外部クロック入力(EHCLKIN)への切り替え手順例を下記に示します。

《切り替え前の状態》	
[CGOSCCR]<IHOSC1EN> = 1	内蔵高速発振器 1 が発振
[CGOSCCR]<OSCSEL> = 0	fosc 用高速発振選択が内部(IHOSC1)
[CGOSCCR]<OSCF> = 0	fosc 用高速発振選択ステータスが内部(IHOSC1)
EHCLKIN へのクロック入力	
適正電圧範囲で入力してください。	

《切り替えシーケンス例》		
1	[PYPDN]<bit[1:0]> = 00 [PYPUP]<bit[1:0]> = 00 [PYIE]<bit[0]> = 0	X1/X2 端子のプルダウンを Disable X1/X2 端子のプルアップを Disable EHCLKIN 端子の入力制御を Disable
2	[CGOSCCR]<EOSCEN[1:0]> = 10	外部発振器の動作選択を外部クロック入力(EHCLKIN)にする
3	[CGOSCCR]<OSCSEL> = 1	fosc 用高速発振選択を外部クロックへ
4	[CGOSCCR]<OSCF> をリード	fosc 用高速発振選択ステータスが外部(=1)になるまで待つ
5	[CGOSCCR]<IHOSC1EN> = 0	内蔵高速発振器 1 を停止

## 2.6.1.3. fosc 設定（外部発振/外部クロック入力→内蔵発振）

f<sub>osc</sub> 設定として、外部発振器(EHOSC)動作状態または外部クロック入力(EHCLKIN)動作状態から、内蔵高速発振器 1(IHOSC1)への切り替え手順例を下記に示します。

《切り替え前の状態》	
[CGOSCCR]<EOSCEN[1:0]> = 01 or 10	外部発振器の動作選択が外部発振器(EHOSC)か外部クロック入力
[CGOSCCR]<OSCSEL> = 1	fosc 用高速発振選択が外部(EHOSC)
[CGOSCCR]<OSCF> = 1	fosc 用高速発振選択ステータスが外部(EHOSC)

《切り替えシーケンス例》		
1	[CGOSCCR]<IHOSC1EN> = 1	内蔵高速発振器 1 を発振する
2	[CGOSCCR]<IHOSC1F> をリード	内蔵高速発振安定フラグが発振安定(=1)になるまで待つ
3	[CGOSCCR]<OSCSEL> = 0	fosc 用高速発振選択を内部クロック(IHOSC1)へ
4	[CGOSCCR]<OSCF> をリード	fosc 用高速発振選択ステータスが内部(=0)になるまで待つ
5	[CGOSCCR]<EOSCEN[1:0]> = 00	外部発振器の動作選択を未使用にする

## 2.7. 低速クロック

### 2.7.1. ELOSC の設定（外部低速発振なし→外部低速発振）

外部低速発振(ELOSC)を使用する場合の設定手順例を以下に示します。

《切り替え前の状態》	
<code>[RLMLOSCCR]&lt;XTEN&gt; = 0</code>	外部低速発振器の動作選択が停止
<code>[RLMLOSCCR]&lt;DRCOSCL&gt; = 0</code>	低速クロック選択が外部クロック入力(ELCLKIN)

《切り替えシーケンス例》	
1	<code>[PYPDN]&lt;bit[2:3]&gt; = 00</code> <code>[PYPUP]&lt;bit[2:3]&gt; = 00</code> <code>[PYIE]&lt;bit[2]&gt; = 0</code> XT1/XT2 端子のプルダウンを Disable XT1/XT2 端子のプルアップを Disable XT1 端子の入力制御を Disable
2	<code>[RLMLOSCCR]&lt;DRCOSCL&gt; = 1</code> 外部低速クロックを外部低速発振(ELOSC)に設定
3	<code>[RLMLOSCCR]&lt;XTEN&gt; = 1</code> 外部低速発振動作に設定
4	<code>[CGWUPLCR]&lt;WUPTL&gt; = 任意値</code> ウォーミングアップカウンタ設定値へ発振器安定時間を設定
5	<code>[CGWUPLCR]&lt;WULON&gt; = 1</code> 低速発振ウォーミングアップをスタートする
6	<code>[CGWUPLCR]&lt;WULEF&gt;</code> をリード 低速発振ウォーミングアップ終了(=0)になるまで待つ

### 2.7.2. ELCLKIN の設定（外部低速発振なし→外部低速クロック入力）

外部低速クロック入力(ELCLKIN)を使用する場合の設定手順例を以下に示します。

《切り替え前の状態》	
<code>[RLMLOSCCR]&lt;XTEN&gt; = 0</code>	外部低速発振器の動作選択が停止
<code>[RLMLOSCCR]&lt;DRCOSCL&gt; = 0</code>	低速クロック選択が外部クロック入力(ELCLKIN)

《切り替えシーケンス例》	
1	<code>[PYPDN]&lt;bit[2:3]&gt; = 00</code> <code>[PYPUP]&lt;bit[2:3]&gt; = 00</code> <code>[PYIE]&lt;bit[2]&gt; = 1</code> XT1/XT2 端子のプルダウンを Disable XT1/XT2 端子のプルアップを Disable ELCLKIN 端子の入力制御を Enable
2	<code>[RLMLOSCCR]&lt;DRCOSCL&gt; = 0</code> 外部低速クロックを外部低速クロック入力(ELCLKIN)に設定
3	<code>[RLMLOSCCR]&lt;XTEN&gt; = 1</code> 外部低速発振動作に設定
4	<code>[CGWUPLCR]&lt;WUPTL&gt; = 任意値</code> ウォーミングアップカウンタ設定値へ発振器安定時間を設定
5	<code>[CGWUPLCR]&lt;WULON&gt; = 1</code> 低速発振ウォーミングアップをスタートする
6	<code>[CGWUPLCR]&lt;WULEF&gt;</code> をリード 低速発振ウォーミングアップ終了(=0)になるまで待つ

## 2.8. クロック供給設定機能

本製品には、周辺機能に対してクロック供給 On/Off 機能があり、使用しない周辺機能に対して、クロック供給を停止することで消費電流を削減することができます。

リセット解除後は、一部の周辺機能を除き、クロックが供給されていない状態です。

使用する機能のクロックを供給するには、`[CGFSYSENA]`、`[CGFSYSMENA]`、`[CGFSYSMENB]`、`[CGSPCLKEN]`、`[RLMLOSCCR]`の該当のビットを“1”に設定します。

レジスタの詳細は、「4.レジスタの説明」を参照してください。

## 2.9. プリスケラークロック

周辺機能には、それぞれにクロック  $\Phi T0$  を分周するプリスケラークロックがあります。これらのプリスケラークロックへ入力するクロック  $\Phi T0$  は、 $[CGSYSCR]\langle PRCK[3:0]\rangle$  で高速プリスケラークロック分周が可能です。また、 $[CGSYSCR]\langle MCKSEL[1:0]\rangle$  で高速プリスケラークロックを分周した中速プリスケラークロックが決まります。リセット後の  $\Phi T0$  は、 $f_c$  が選択されます。

レジスタ書き込み後、実際にクロックが切り替わるまでに表 2.8 の時間が必要です。クロック切り替えの完了は、 $[CGSYSCR]\langle PRCKST[3:0]\rangle\langle MCKSELPST[1:0]\rangle$  で確認してください。

表 2.8 プリスケラークロック切り替え時間

プリスケラークロック	高速( $\Phi T0h$ )	中速( $\Phi T0m$ )
$\Phi T0$	$f_c$ で最大 512 クロック	$f_c$ で最大 512 クロック
$\Phi T0/2$	-	$f_c$ で最大 1024 クロック
$\Phi T0/4$	-	$f_c$ で最大 2048 クロック

- 注1) タイマーカウンタなどの周辺機能の動作中にプリスケラークロックを切り替えないようにしてください。
- 注2) プリスケラークロック切り替え中は、高速システムクロックドメインと中速システムクロックドメインを跨ぐアクセスはできません。

### 3. 動作モード

本製品には、動作モードとして NORMAL モードと低消費電力モード(IDLE,STOP1,STOP2)があり、使用方法に応じモード遷移を行うことで消費電力を抑えることができます。

#### 3.1. 動作モードの詳細

##### 3.1.1. 各モードの特長

NORMAL、低消費電力モードの特長は次のとおりです。

- **NORMAL** モード

CPU コア、および周辺回路を高速発振クロックで動作させるモードです。リセット解除後は、NORMAL モードとなります。

- **低消費電力モード**

低消費電力モードは以下のとおりです。

- **IDLE** モード

CPU が停止するモードです。

周辺機能は各周辺機能のレジスタ、クロック供給設定機能などにより、動作/停止を行ってください。

注) IDLE モード中は CPU によるウォッチドッグタイマーのクリアができませんので注意してください。

- **STOP1** モード

内蔵高速発振器も含めて全ての内部回路が停止するモードです。

ただし、外部低速発振器を発振させて STOP1 モードに遷移した場合、RTC, CEC, RMC, ISD は動作します。また、内蔵高速発振器 2(IHOSC2)を発振させ、サンプルクロックに LTTMR を選択し STOP1 モードに遷移した場合、CEC, RMC は動作します。

STOP1 モードが解除されると内蔵高速発振器 1(IHOSC1)が発振を開始し、NORMAL モードへ復帰します。

STOP1 モードに遷移する前に、STOP1 解除に使用しない割り込みは禁止してください。

- **STOP2** モード

一部の機能を保持して内部電源を遮断するモードです。STOP1 モードより大幅な電力の消費を抑えることができます。STOP2 モードが解除されると、電源遮断ブロックに対して電源を投入し、リセットシーケンスが実行され、NORMAL モードへ復帰します。

電源遮断ブロックとは、STOP2 モードで電源供給を遮断する機能です。

STOP2 モードに遷移する前に STOP2 解除要因にしない割り込みは禁止し、**[RLMSHTDNOP]<PTKEEP>=1** の設定を必ず行い各ポートの状態を保持してください。

出力/Pull up や、入力許可は、ポートキープ機能に設定したときの状態を保持します。また、外部割り込みは入力を継続します。

STOP2 モードでは以下の回路を除き電源遮断が行われます。

- 外部低速発振器(ELOSC)
- RTC
- BackUp RAM
- Port 端子状態

- LVD
- RMC
- ISD
- CEC
- LTTMR
- RLM

各低消費電力モードでの電源遮断の詳細は、「3.1.4 低消費電力モードにおける周辺機能状態」を参照してください。

### 3.1.2. 低消費電力モードへの遷移と復帰

各低消費電力動作へ遷移するには、スタンバイコントロールレジスター[CGSTBYCR]<STBY[1:0]>で IDLE/STOP1/STOP2 モードを選択し、WFI 命令を実行します。WFI 命令によって低消費電力モードへ遷移した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細はリファレンスマニュアルの「例外」の「割り込み」章を参照してください。

- 注1) 本製品ではイベントによる復帰はサポートしていないため、WFE (Wait For Event)による低消費電力モードへの遷移は行わないでください。
- 注2) 本製品は、Cortex-M4(FPU 機能搭載)コアの SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスターの<SLEEPDEEP>ビットは設定しないでください。

### 3.1.3. 低消費電力モードの選択

低消費電力モード選択は、[CGSTBYCR]<STBY[1:0]>の設定で選択されます。  
下表 に<STBY[1:0]>の設定より選択されるモードを示します。

表 3.1 低消費電力モード選択

モード	[CGSTBYCR]<STBY[1:0]>
IDLE	00
STOP1	01
STOP2	10

注) 上記の設定以外は行わないでください。

### 3.1.4. 低消費電力モードにおける周辺機能状態

各モードにおける周辺機能（ブロック）の動作状態を表 3.2 に示します。

なお、リセット解除後は、一部のブロックを除きクロックが供給されない状態となります。

必要に応じて、`[CGFSYSENA][CGFSYSMENA][CGFSYSMENB][CGFCEN][CGSPCLKEN]`を設定しクロック供給を許可してください。

表 3.2 低消費電力モード別 ブロック動作状態一覧

Block	NORMAL	IDLE	STOP1		STOP2		
			ELOSC	ELOSC	ELOSC	ELOSC	
			On	Off	On	Off	
Processor core	○	—	—	—	×	×	
HDMAC	○	○	—	—	×	×	
MDMAC	○	○	—	—	×	×	
I/O port	端子状態	○	○	○	○	○(注 3)	○(注 3)
	レジスター	○	○	—	—	×	×
EBIF	○	○	—	—	×	×	
ADC	○	○	—	—	×	×	
DAC	○	○	—	—	×	×	
UART	○	○	—	—	×	×	
FUART	○	○	—	—	×	×	
I <sup>2</sup> C	○	○	—	—	×	×	
TSPI	○	○	—	—	×	×	
SMIF	○	○	—	—	×	×	
A-PMD	○	○	—	—	×	×	
T32A	○	○	—	—	×	×	
LTTMR	○(注 5)	○(注 5)	○(注 5)	○(注 5)	○(注 5)	○(注 5)	
TRGSEL	○	○	—	—	×	×	
RTC	○	○	○	—	○	×	
RMC	○	○	○	—	○	○(注 4)	
CEC	○	○	○	—	○	○(注 4)	
ISD	○	○	○	—	○	×	
SIWDT	○	○(注 2)	○(注 2)	○(注 2)	×	×	
LVD	○	○	○	○	○	○	
OFD	○	○	—	—	×	×	
TRM	○	使用不可	—	—	×	×	
CG	○	○	○	○	×	×	
PLL	○	○	—	—	×	×	
外部高速発振器(EHOSC)	○	○	—	—	×	×	
内蔵高速発振器 1(IHOSC1)	○	○	—	—	×	×	
内蔵高速発振器 2(IHOSC2)	○(注 5)	○(注 5)	○(注 5)	○(注 5)	○(注 5)	○(注 5)	



外部低速発振器(ELOSC)	○	○	○	—	○	—
RLM(注 7)	○	○	○	○	○	○
コードフラッシュ(Code Flash)	アクセス 可能	アクセス 可能(注 6)	データ 保持	データ 保持	データ 保持	データ 保持
データフラッシュ(Data Flash)					×	×
RAM					×	×
Backup RAM					データ保持	データ保 持

○：動作可能

—：対象のモードに遷移すると自動的に周辺回路へのクロックが停止

×：対象モードに遷移すると自動的にモジュールへの供給電源が遮断、復帰時はリセットにより初期化

- 注1) 周辺機能が動作していないことを確認し、STOP2 モードに遷移するようにしてください。
- 注2) IDLE/STOP1 モードへ遷移する前に SIWDT を停止してください。(プロテクト A モード以外の場合)
- 注3) ポートの状態は  $[RLMSHTDNOP] <PTKEEP>$  を "1" に設定したときの状態が保持されます。
- 注4) LTTMR をサンプリングクロックにすることで動作が可能となります。
- 注5)  $[RLMLOSCCR] <POSCEN>$  を "1" に設定した場合に動作可能となります。
- 注6) CPU 以外のデータアクセス(R/W)する周辺機能 (DMA など) がバスマトリクス上で接続されていない場合は、データ保持となります。
- 注7) RLM とは、電源遮断されない領域に配置されている電源制御/低速発振制御などを行うレジスタ群です。

## 3.2. 低消費電力モードへの遷移

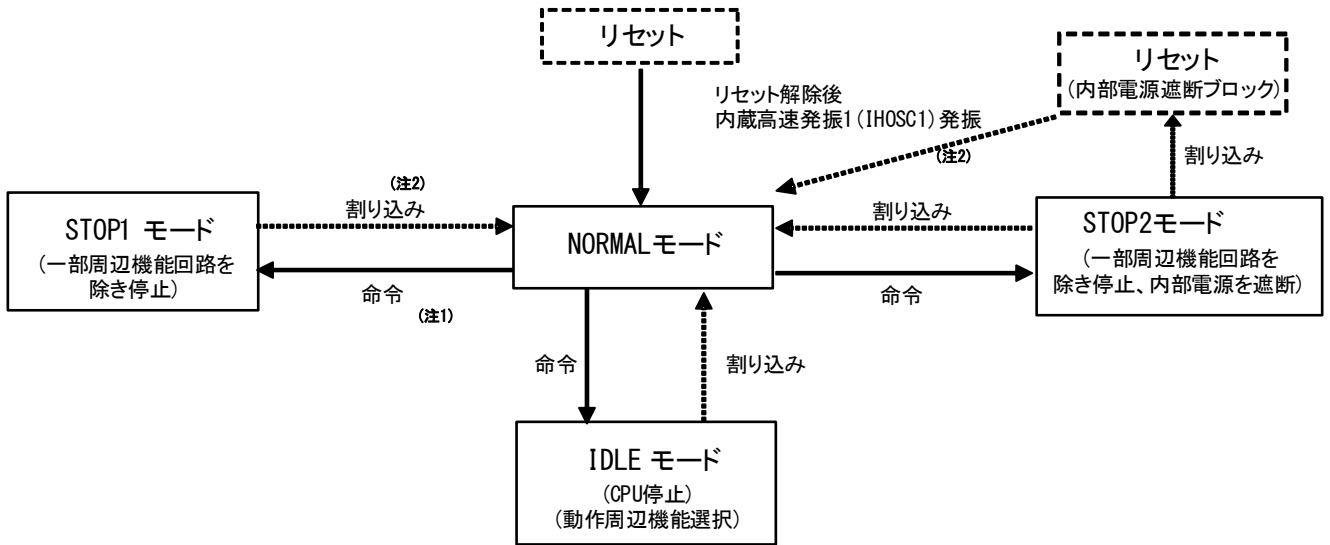


図 3.1 状態遷移

- 注1) 復帰時にウォーミングアップが必要となります。ウォーミングアップ時間の設定は STOP1 モードに入る前のモード (NORMAL モード) で設定する必要があります。
- 注2) STOP2 モードからの復帰時はリセットの割り込み処理ルーチンに分岐し、STOP1 モードからの復帰時は割り込み起動要因の処理ルーチンに分岐します。

### 3.2.1. IDLE モード遷移フロー

IDLE へ遷移する場合は、以下の順番で設定してください。

IDLE モードは割り込みで解除されますので、IDLE モードへ遷移する前に割り込みの設定を行ってください。IDLE モード解除に使用可能な割り込みは「3.3.1 低消費電力モードの解除ソース」を参照してください。解除に使用しない割り込み、および使用できない割り込みは禁止してください。

遷移シーケンス(Normal モードから)		
1	[SIWDxEN]<WDTE>=0	SIWDT をディセーブルにする
2	[SIWDxCR]<WDCR[7:0]>=0xB1	SIWDT をディセーブルにする
3	[FCSR0]<RDYBSY>をリード	Flash が Ready 状態(=1)になるまで待つ
4	[CGSTBYCR]<STBY[1:0]>=00	低消費電力モード選択を IDLE にする
5	[CGSTBYCR]<STBY[1:0]>をリード	4 のレジスタライトを確認する(=00)
6	WFI 命令実行	IDLE へ遷移する

注) SIWDT のプロテクト A モードを使用する場合は、1、2 の処理は不要です。

## 3.2.2. STOP1 モード遷移フロー

STOP1 へ遷移する場合は、以下の順番で設定してください。

STOP1 モードは割り込みで解除されますので、STOP1 モードへ遷移する前に割り込みの設定を行ってください。STOP1 モード解除に使用可能な割り込みは「3.3.1 低消費電力モードの解除ソース」を参照してください。解除に使用しない割り込み、および使用できない割り込みは禁止してください。

遷移シーケンス(Normal モードから)		
1	[SIWDxEN]<WDTE>=0	SIWDT をディセーブルにする
2	[SIWDxCR]<WDCR[7:0]>=0xB1	SIWDT をディセーブルにする
3	[FCSR0]<RDYBSY>をリード	Flash が Ready 状態(=1)になるまで待つ
4	[CGWUPHCR]<WUEF>をリード	高速発振ウォーミングアップ終了(=0)になるまで待つ
5	[CGWUPHCR]<WUCLK>=0	高速発振ウォーミングアップクロック選択を内部(IHOSC1)にする
	[CGWUPHCR]<WUPT[15:4]>="任意値"	高速発振ウォーミングアップカウンター設定値を STOP1 復帰に必要な時間に設定する
6	[CGSTBYCR]<STBY[1:0]>=01	低消費電力モード選択を STOP1 にする
7	[CGPLLOSEL]<PLLOSEL>=0	fsys 用 PLL 選択を PLL 未使用(fosc)にする
8	[CGPLLOSEL]<PLL0ST>をリード	fsys 用 PLL 選択ステータスが PLL 未使用になるまで待つ(=0)
9	[CGPLLOSEL]<PLL0ON>=0	fsys 用 PLL 動作を停止する
10	[CGOSCCR]<IHOSC1EN>=1	内蔵高速発振器を発振にする
11	[CGOSCCR]<OSCSEL>=0	fosc 用高速発振選択を内部(IHOSC1)にする
12	[CGOSCCR]<OSCF>をリード	fosc 用高速発振選択ステータスが内部(IHOSC1)(=0)になるまで待つ
13	[CGOSCCR]<EOSCEN[1:0]>=00	外部発振の動作選択を未使用にする
14	[RLMLOSCCR]<POSCEN>=0 or 1	内蔵高速発振器 2(IHOSC2)を条件に合わせて設定する。 1: STOP1 モードで LTTMR を動作させる場合 0:上記以外
15	[CGOSCCR]<EOSCEN[1:0]>をリード	13 のレジスターライトを確認する(=00)
16	[RLMLOSCCR]<POSCF>をリード	内蔵高速発振安定フラグが"0"になるまで待つ
17	WFI 命令実行	STOP1 へ遷移する

注) SIWDT のプロテクト A モードを使用する場合は、1、2、14、16 の処理は不要です。

### 3.2.3. STOP2 モード遷移フロー

STOP2 へ遷移する場合は、以下の順番で設定してください。

STOP2 モードは割り込みで解除されますので、STOP2 モードへ遷移する前に割り込みの設定を行ってください。STOP2 モード解除に使用可能な割り込みは「3.3.1 低消費電力モードの解除ソース」を参照してください。解除に使用しない割り込み、および使用できない割り込みは禁止してください。

遷移シーケンス		
1	[SIWDxEN]<WDTE>=0	SIWDT をディセーブルにする
2	[SIWDxCR]<WDCR[7:0]>=0xB1	SIWDT をディセーブルにする
3	[FCSR0]<RDYBSY>をリード	Flash が Ready 状態(=1)になるまで待つ
4	[RLMSHTDNOP]<PTKEEP>=1	IO 制御信号を保持させる
5	[CGSTBYCR]<STBY[1:0]>=10	低消費電力モード選択を STOP2 にする
6	[CGPLL0SEL]<PLL0SEL>=0	fsys 用 PLL 選択を PLL 未使用(fosc)にする
7	[CGPLL0SEL]<PLL0ST>をリード	fsys 用 PLL 選択ステータスが PLL 未使用になるまで待つ(=0)
8	[CGPLL0SEL]<PLL0ON>=0	fsys 用 PLL 動作を停止する
9	[CGOSCCR]<IHOSC1EN>=1	内蔵高速発振器 1(IHOSC1)を発振にする
10	[CGOSCCR]<OSCSEL>=0	fosc 用高速発振選択を内部(IHOSC1)にする
11	[CGOSCCR]<OSCF>をリード	fosc 用高速発振選択ステータスが内部(IHOSC1)(=0)になるまで待つ
12	[CGOSCCR]<EOSCEN[1:0]>=00	外部発振の動作選択を未使用にする
13	[RLMLOSCCR]<POSCEN>=0 or 1	内蔵高速発振器 2(IHOSC2)を条件に合わせて設定する。 1: STOP1 モードで LTTMR を動作させる場合 0: 上記以外
14	[CGOSCCR]<EOSCEN[1:0]>をリード	12 のレジスターライトを確認する(=00)
15	[RLMLOSCCR]<POSCF>をリード	内蔵発振安定フラグが"0"になるまで待つ
16	[RLMRSTFLG0]<STOP2RSTF>=0 [RLMRSTFLG0]<PINRSTF>=0	STOP2 リセットフラグ/リセット端子フラグをクリア(注 1)
17	WFI 命令実行	STOP2 へ遷移する
18	ジャンプ命令	17 へ戻す

注) リセットフラグレジスター[RLMRSTFLG0]については、リファレンスマニュアルの「例外」を参照してください。

## 3.3. 低消費電力モードからの復帰

### 3.3.1. 低消費電力モードの解除ソース

低消費電力モードの解除は、割り込み、マスク不能割り込み、リセットによって行うことができます。使用できるスタンバイ解除ソースは、低消費電力モードにより決まります。詳細を下表 に示します。

表 3.3 解除ソース一覧

低消費電力モード		IDLE	STOP1	STOP2	
解除 ソース	割り込み	INT00~INT15(注)	○	○	○
		INTRTC	○	○	○
		INTCECRX,INTCECTX	○	○	○
		INTISDx	○	○	○
		INTRMCx	○	○	○
		INTLTTMR	○	○	○
		INTHDMAXTC, INTHDMAXERR	○	×	×
		INTMDMAXTC, INTMDMAXBERR, INTMDMAXDERR	○	×	×
		INT32Ax_A_CT, INT32Ax_B_Cx_CPC	○	×	×
		INTADCPA,INTADCPB,INTADTRG	○	×	×
		INTEMGx, INTOVVx, INTPWMx	○	×	×
		INTTxRX,INTTxTX,INTTxERR	○	×	×
		INTSMIx	○	×	×
		INTUTxRX,INTUTxTX,INTUTxERR	○	×	×
		INTUARTx	○	×	×
		INTI2C, INTI2CAL, INTI2CBF,INTI2CNACK	○	×	×
		INTADxCP0, INTADxCP1, INTADxSGL, INTADxCNT INTADxHP	○	×	×
	INTFLCRDY0, INTFLCRDY1, INTFLDRDY	○	×	×	
	SysTick 割り込み	○	×	×	
	マスク不能割り込み (INTWDT)	×	×	×	
	マスク不能割り込み (INTLVD)	○	○	○	
リセット(SIWDT)	×	×	×		
リセット(LVD)	○	○	○		
リセット(OFD)	○	×	×		
リセット(RESET_N 端子)	○	○	○		

○：解除後、割り込み処理を開始します  
×：解除に使用できません

注) INT00~INT15(外部割り込み 00-15)は、立ち上がり/立ち下がり/レベルのいずれかを選択することができます。設定の詳細はリファレンスマニュアル「例外」を参照してください。

- 割り込み要求による解除

割り込みによって低消費電力モードを解除する場合、CPU で割り込みが検出されるよう準備しておく必要があります。STOP1、STOP2 モードの解除に使用する割り込みは、CPU の設定の他に INTIF で割り込み検出の設定を行う必要があります。

- マスク不能割り込み(NMI)による解除

LVD 割り込み(INTLVLD)で解除を行うことができます。

- リセットによる解除

リセットは全ての低消費電力モードからの解除を行うことができます。

リセットで解除した場合には、解除後 NORMAL モードで全てのレジスタが初期化された状態になります。

- SysTick 割り込みによる解除

SysTick 割り込みは IDLE モードでのみ使用可能です。

割り込みの詳細に関しては、リファレンスマニュアル「例外」の「割り込み」章を参照してください。

### 3.3.2. 低消費電力モード解除時のウォーミングアップ

モード遷移時、内部回路の安定のためウォーミングアップが必要な場合があります。

STOP1 モードから NORMAL モードへの復帰では、自動的に内部発振が選択されウォーミングアップ用カウンターが起動されます。ウォーミングアップ時間経過後にシステムクロックの出力が開始されます。

このため、STOP1 モードに遷移する命令を実行する前に、`[CGWUPHCR] <WUPT[15:4]>`でウォーミングアップ時間の設定を行ってください。設定方法については、「2.4.1 高速発振用ウォーミングアップカウンター」を参照してください。

各動作モード遷移時におけるウォーミングアップ設定の有無を下表 に示します。

表 3.4 ウォーミングアップ

動作モード遷移	ウォーミングアップ設定
NORMAL → IDLE	不要
NORMAL → STOP1	不要
NORMAL → STOP2	不要
IDLE → NORMAL	不要
STOP1 → NORMAL	必要
STOP2 → RESET → NORMAL	不要

### 3.3.3. STOP2 モード解除

STOP2 モード解除要因割り込み発生からの復帰フローは以下のとおりです。

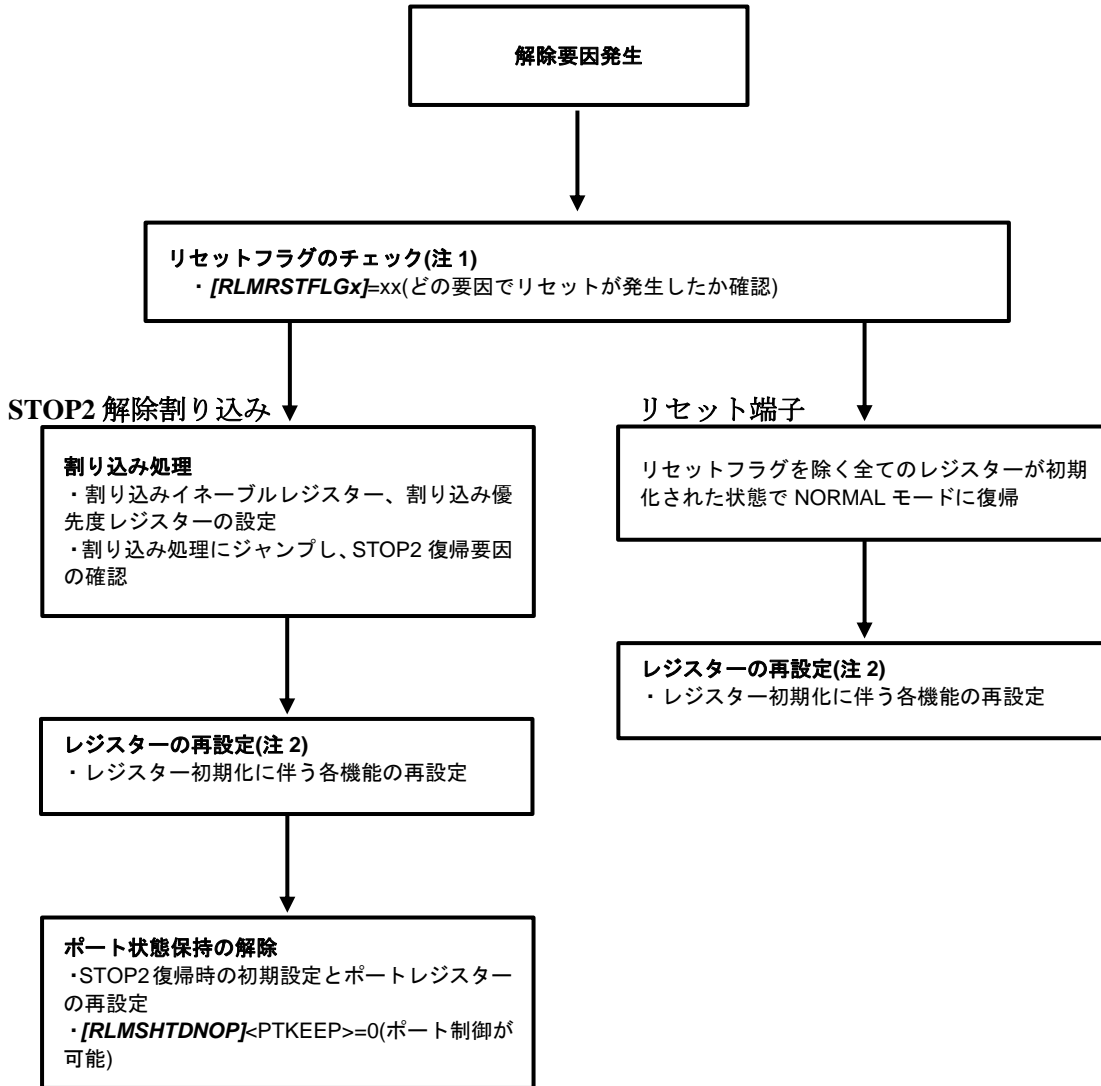


図 3.2 STOP2モード解除フロー

- 注1) STOP2 をリセット端子で解除した場合、リセットフラグは、“STOP2 リセットフラグ”と“リセット端子フラグ”の両方が成立します。
- 注2) レジスタ初期化範囲は、割り込みによる STOP2 解除とリセット端子による STOP2 解除で異なります。それぞれのリセット範囲の詳細は、リファレンスマニュアル「電源とリセット動作」を参照してください。

## 3.4. モード遷移によるクロック動作

モード遷移の際の、クロック動作について以下に示します。

### 3.4.1. NORMAL→IDLE→NORMAL 動作モード遷移

IDLE モードは、CPU が停止するモードです。周辺機能へのクロック供給は、設定状態を保持します。必要に応じて、各周辺機能のレジスタ、クロック供給設定機能などにより、動作/停止を行ってください。IDLE 状態から、NORMAL モードへの復帰時にウォーミングアップは行いません。

IDLE モードへ遷移する命令 (WFI) 実行後、プログラムカウンタは次の行を示して CPU 停止状態となります。解除ソースにより、CPU 再起動となり、割り込み許可状態の場合、先に解除ソースの割り込み処理を経て、遷移命令 (WFI) の次の行を実行することになります。

### 3.4.2. NORMAL→STOP1→NORMAL 動作モード遷移

STOP1 モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。

STOP1 モードへ遷移する前に[CGWUPHCR]<WUPT[15:4]>へウォーミングアップ時間(8μs 以上)の設定を行ってください。

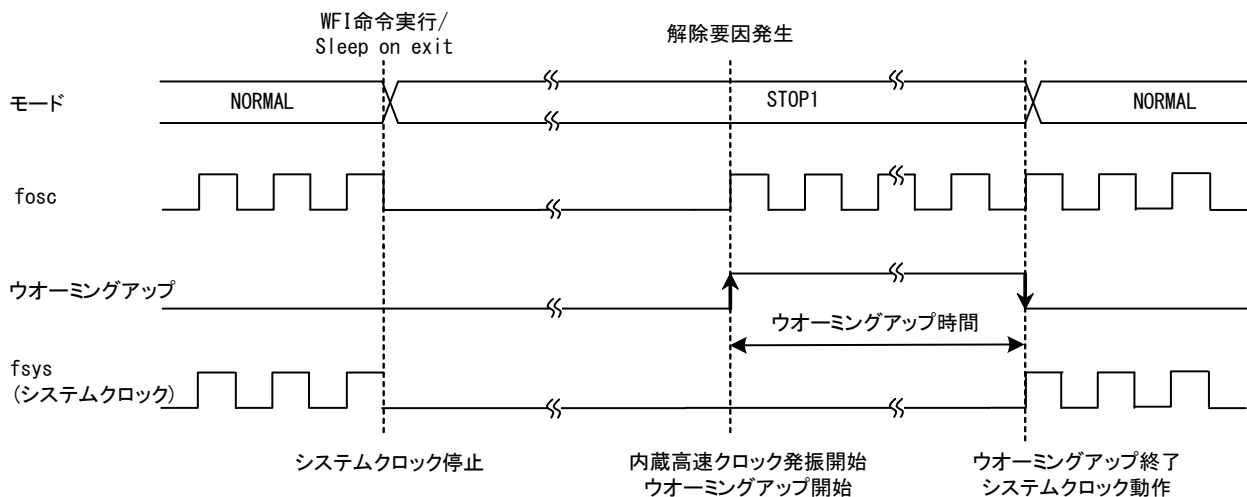


図 3.3 NORMAL→STOP1→NORMAL 動作モード遷移



### 3.4.3. NORMAL→STOP2→RESET→NORMAL 動作モード遷移

解除に使用するリセット全てで NORMAL モードへ復帰する場合、ウォーミングアップは行われません。

リセット以外で NORMAL モードへ復帰する場合でもリセットの割り込み処理ルーチンへ分岐します。STOP2 モード解除後は内部電源遮断ブロックに対してリセット動作が行われます。ただし、電源遮断されていないブロックに対して初期化は行ないません。

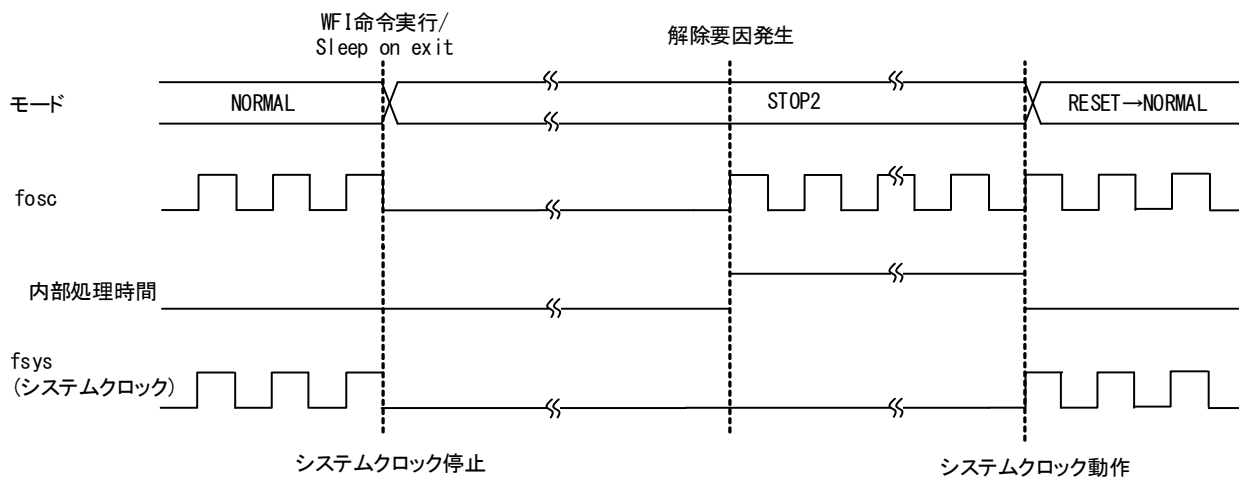


図 3.4 NORMAL→STOP2→RESET→NORMAL 動作モード遷移

## 4. レジスタの説明

### 4.1. レジスタ一覧

CG 関連のレジスタとアドレスを以下に示します。

周辺機能		チャネル/ユニット	ベースアドレス
クロック/モード制御	CG	—	0x40083000
低速発振/電源制御	RLM	—	0x4003E400

#### クロック/モード制御

レジスタ名		アドレス(Base+)
CG ライトプロテクトレジスタ	[CGPROTECT]	0x0000
発振制御レジスタ	[CGOSCCR]	0x0004
システムクロック制御レジスタ	[CGSYSCR]	0x0008
スタンバイ制御レジスタ	[CGSTBYCR]	0x000C
fsys 用 PLL セレクトレジスタ	[CGPLL0SEL]	0x0020
高速発振ウォーミングアップレジスタ	[CGWUPHCR]	0x0030
低速発振ウォーミングアップレジスタ	[CGWUPLCR]	0x0034
中速 fsysm 供給停止レジスタ-A	[CGFSYSMENA]	0x0048
中速 fsysm 供給停止レジスタ-B	[CGFSYSMENB]	0x004C
高速 fsysh 供給停止レジスタ-A	[CGFSYSENA]	0x0050
fc 供給停止レジスタ	[CGFCEN]	0x0058
ADC、トレース用クロック供給停止レジスタ	[CGSPCLKEN]	0x005C
機能拡張レジスタ-2	[CGEXTEND2]	0x0068

#### 低速発振/電源制御 (注1) (注2)

レジスタ名		アドレス(Base+)
低速発振&内蔵高速発振 2 クロック制御レジスタ	[RLMLOSCCR]	0x0000
電源遮断制御レジスタ	[RLMSHTDNOP]	0x0001
RLM ライトプロテクトレジスタ	[RLMPROTECT]	0x000F

注1) バイト単位でアクセスするレジスタです。ビットバンドアクセス不可。

注2) 書き換えを実施した場合は、同レジスタの読み込みを実施し、書き換えの確認をしてください。

なお、未使用領域へ書き込みを行う場合は、初期値を書き込んでください。

## 4.2. レジスタ詳細

### 4.2.1. [CGPROTECT] (CG ライトプロテクトレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:0	PROTECT[7:0]	0xC1	R/W	CG レジスタライトプロテクト(本レジスタ以外の全て)制御 0xC1:CG レジスタへのライト許可(プロテクト解除) 0xC1 以外:CG レジスタへのライト禁止(プロテクト有効)

### 4.2.2. [CGOSCCR] (発振制御レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:17	-	0	R	リードすると"0"が読めます。
16	IHOSC1F	1	R	IHOSC1 用内蔵発振安定フラグ(注 3) 0: 停止またはウォームアップ中 1: 発振安定
15:13	-	0	R	リードすると"0"が読めます。
12	-	0	R/W	"0"を書いてください。
11:10	-	0	R	リードすると"0"が読めます。
9	OSCF	0	R	fosc 用高速発振器選択ステータス 0: 内蔵高速発振器 1(IHOSC1) 1: 外部高速発振器(EHOSC)
8	OSCSEL	0	R/W	fosc 用高速発振器選択(注 1) 0: 内蔵高速発振器 1(IHOSC1) 1: 外部高速発振器(EHOSC)
7:4	-	0	R	リードすると"0"が読めます。
3	-	0	R/W	"0"を書いてください。
2:1	EOSCEN[1:0]	00	R/W	外部高速発振の動作選択(注 2) 00: 外部発振未使用 01: 外部高速発振器(EHOSC) 10: 外部クロック入力(EHCLKIN) 11: Reserved
0	IHOSC1EN	1	R/W	内蔵高速発振器 1(IHOSC1) 0: 停止 1: 発振

注1) 設定変更した場合、書き込み値が[CGOSCCR]<OSCF>ビットに、反映されていることを確認後、次の操作を行うようにしてください。

注2) 外部高速クロック(発振子接続)を使用する場合は必ず"01"を設定してください。

注3) 内蔵高速発振器 1(IHOSC1)の発振安定は、<IHOSC1F>を使わず、ウォーミングアップタイマーを設定し[CGWUPHCR]<WUEF>により確認をしてください。

## 4.2.3. [CGSYSCR](システムクロック制御レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:30	MCKSELPST[1:0]	00	R	中速プリスケラークロック(ΦT0)選択ステータス 00: <PRCK[3:0]>設定値 (分周なし) 01: <PRCK[3:0]>設定値の 2 分周 1*: <PRCK[3:0]>設定値の 4 分周
29:28	-	0	R	リードすると"0"が読めます。
27:24	PRCKST[3:0]	0000	R	高速プリスケラークロック(ΦT0)選択ステータス 0000: fc            0100: fc/16        1000: fc/256 0001: fc/2        0101: fc/32        1001: fc/512 0010: fc/4        0110: fc/64        1010 - 1111: Reserved 0011: fc/8        0111: fc/128
23:22	MCKSELGST[1:0]	00	R	中速システムクロック(fsyst)のクロック選択ステータス 00: <GEAR[2:0]>設定値 (分周なし) 01: <GEAR[2:0]>設定値の 2 分周 1*: <GEAR[2:0]>設定値の 4 分周
21:19	-	0	R	リードすると"0"が読めます。
18:16	GEARST[2:0]	000	R	高速システムクロック(fsyst)のギア選択ステータス 000: fc            100: fc/16 001: fc/2        101 - 111: Reserved 010: fc/4 011: fc/8
15:12	-	0	R	リードすると"0"が読めます。
11:8	PRCK[3:0]	0000	R/W	高速プリスケラークロック(ΦT0)選択 0000: fc            0100: fc/16        1000: fc/256 0001: fc/2        0101: fc/32        1001: fc/512 0010: fc/4        0110: fc/64        1010 - 1111: Reserved 0011: fc/8        0111: fc/128 周辺機能に供給するプリスケラークロックを選択します。
7:6	MCKSEL[1:0]	00	R/W	中速システムクロック(fsyst)、中速プリスケラークロック(ΦT0)の選 択 00: <GEAR[2:0]>,<PRCK[3:0]>設定値 (分周なし) 01: <GEAR[2:0]>,<PRCK[3:0]>設定値の 2 分周 1*: <GEAR[2:0]>,<PRCK[3:0]>設定値の 4 分周 中速システムクロックの最大動作周波数は 80MHz です。
5:3	-	0	R	リードすると"0"が読めます。
2:0	GEAR[2:0]	000	R/W	高速システムクロック(fsyst)のギア選択 000: fc            100: fc/16 001: fc/2        101 - 111: Reserved 010: fc/4 011: fc/8

## 4.2.4. [CGSTBYCR] (スタンバイ制御レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:2	-	0	R	リードすると"0"が読めます。
1:0	STBY[1:0]	00	R/W	低消費電力モード選定 00: IDLE 01: STOP1 10: STOP2 11: Reserved

## 4.2.5. [CGPLL0SEL] (fsys 用 PLL セレクトレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:8	PLL0SET[23:0]	0x000000	R/W	PLL 通倍設定 通倍設定については、"2.5.2PLL 通倍値の計算式と設定例"を参照してください。
7:3	-	0	R	リードすると"0"が読めます。
2	PLL0ST	0	R	fsys 用 Clock 選択ステータス 0: fosc 1: f <sub>PLL</sub>
1	PLL0SEL	0	R/W	fsys 用 Clock 選択 0: fosc 1: f <sub>PLL</sub>
0	PLL0ON	0	R/W	fsys 用 PLL 動作 0: 停止 1: 発振

## 4.2.6. [CGWUPHCR] (高速発振ウオーミングアップレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:20	WUPT[15:4]	0x800	R/W	ウオーミングアップタイマーの計算値 16ビットの上位 12ビットの値を設定します。 ウオーミングアップタイマーの設定については、“2.4.1 高速発振用ウオーミングアップカウンタ”を参照してください。
19:16	WUPT[3:0]	0x0	R	ウオーミングアップタイマーの計算値 16ビットの下位 4ビットの値で、0x0 固定です。
15:9	-	0	R	リードすると“0”が読めます。
8	WUCLK	0	R/W	ウオーミングアップクロック選択 (注 1) 0: 内蔵高速発振器 1(IHOSC1) 1: 外部高速発振器(EHOSC)
7:2	-	0	R	リードすると“0”が読めます。
1	WUEF	0	R	ウオーミングアップタイマーステータス (注 2) 0: ウオーミングアップ終了 1: ウオーミングアップ中
0	WUON	0	W	ウオーミングアップタイマー制御 0: don't care 1: ウオーミングアップスタート

注1) STOP1復帰時のウオーミングアップは内蔵発振器で行ってください。外部発振器を選んでSTOP1へ遷移することは禁止です。

注2) ウオーミングアップ中(<WUEF>=1)は、レジスターの書き換え禁止です。設定は、<WUEF>=0のときに行ってください。

## 4.2.7. [CGWUPLCR] (低速発振ウォーミングアップレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:27	-	0	R	リードすると"0"が読めます。
26:12	WUPTL[18:4]	0x4000	R/W	ウォーミングアップタイマーの計算値 19 ビットの上位 15 ビットの値を設定します。 ウォーミングアップタイマーの設定については、"2.4.2 低速発振用ウォーミングアップカウンタ"を参照してください。
11:8	WUPTL[3:0]	0x0	R	ウォーミングアップタイマーの計算値 19 ビットの下位 4 ビットの値で、0x0 固定です。
7:2	-	0	R	リードすると"0"が読めます。
1	WULEF	0	R	ウォーミングアップタイマーステータス (注 1) 0: ウォーミングアップ終了 1: ウォーミングアップ中
0	WULON	0	W	ウォーミングアップタイマー制御 0: don't care 1: ウォーミングアップスタート

注1) ウォーミングアップ中(<WULEF>=1)は、レジスターの書き換え禁止です。設定は、<WULEF>=0のときに行ってください。

## 4.2.8. [CGFSYSMENA] (中速 fsysm 供給停止レジスタ-A)

Bit	Bit Symbol	リセット後	Type	機能
31	IPMENA31	0	R/W	I <sup>2</sup> C ch2 のクロックイネーブル 0: クロック停止 1: クロック供給
30	IPMENA30	0	R/W	I <sup>2</sup> C ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
29	IPMENA29	0	R/W	I <sup>2</sup> C ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
28	IPMENA28	0	R/W	UART ch5 のクロックイネーブル 0: クロック停止 1: クロック供給
27	IPMENA27	0	R/W	UART ch4 のクロックイネーブル 0: クロック停止 1: クロック供給
26	IPMENA26	0	R/W	UART ch3 のクロックイネーブル 0: クロック停止 1: クロック供給
25	IPMENA25	0	R/W	UART ch2 のクロックイネーブル 0: クロック停止 1: クロック供給
24	IPMENA24	0	R/W	UART ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
23	IPMENA23	1	R/W	UART ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
22	IPMENA22	0	R/W	TSPI ch8 のクロックイネーブル 0: クロック停止 1: クロック供給
21	IPMENA21	0	R/W	TSPI ch7 のクロックイネーブル 0: クロック停止 1: クロック供給
20	IPMENA20	0	R/W	TSPI ch6 のクロックイネーブル 0: クロック停止 1: クロック供給
19	IPMENA19	0	R/W	T32A ch13 のクロックイネーブル 0: クロック停止 1: クロック供給
18	IPMENA18	0	R/W	T32A ch12 のクロックイネーブル 0: クロック停止 1: クロック供給
17	IPMENA17	0	R/W	T32A ch11 のクロックイネーブル 0: クロック停止 1: クロック供給
16	IPMENA16	0	R/W	T32A ch10 のクロックイネーブル 0: クロック停止 1: クロック供給
15	IPMENA15	0	R/W	T32A ch09 のクロックイネーブル 0: クロック停止 1: クロック供給
14	IPMENA14	0	R/W	T32A ch08 のクロックイネーブル 0: クロック停止 1: クロック供給



13	IPMENA13	0	R/W	T32A ch07 のクロックイネーブル 0: クロック停止 1: クロック供給
12	IPMENA12	0	R/W	T32A ch06 のクロックイネーブル 0: クロック停止 1: クロック供給
11	IPMENA11	0	R/W	T32A ch05 のクロックイネーブル 0: クロック停止 1: クロック供給
10	IPMENA10	0	R/W	T32A ch04 のクロックイネーブル 0: クロック停止 1: クロック供給
9	IPMENA09	0	R/W	T32A ch03 のクロックイネーブル 0: クロック停止 1: クロック供給
8	IPMENA08	0	R/W	T32A ch02 のクロックイネーブル 0: クロック停止 1: クロック供給
7	IPMENA07	0	R/W	T32A ch01 のクロックイネーブル 0: クロック停止 1: クロック供給
6	IPMENA06	1	R/W	T32A ch00 のクロックイネーブル 0: クロック停止 1: クロック供給
5	IPMENA05	0	R/W	DAC ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
4	IPMENA04	0	R/W	DAC ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
3	IPMENA03	0	R/W	ADC UnitA クロックイネーブル 0: クロック停止 1: クロック供給
2	IPMENA02	0	R/W	FUART ch1 クロックイネーブル 0: クロック停止 1: クロック供給
1	IPMENA01	0	R/W	FUART ch0 クロックイネーブル 0: クロック停止 1: クロック供給
0	IPMENA00	0	R/W	MDMAC UnitA クロックイネーブル 0: クロック停止 1: クロック供給

注 1) レジスターの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

注 2) TMPM4G8,TMPM4G7,TMPM4G6 で存在しない機能のビットは”0”を書いてください。詳細は “5 製品別情報”を参照してください。

## 4.2.9. [CGFSYSMENB] (中速 fsysm 供給停止レジスタ-B)

Bit	Bit Symbol	リセット後	Type	機能
31	IPMENB31	1	R/W	SIWDT クロックイネーブル 0: クロック停止 1: クロック供給
30	IPMENB30	1	R/W	NBDIF クロックイネーブル 0: クロック停止 1: クロック供給
29	IPMENB29	1	R/W	"1"を書いてください。
28	IPMENB28	0	R/W	TRGSEL クロックイネーブル 0: クロック停止 1: クロック供給
27:25	-	0	R	リードすると"0"が読めます。
24	IPMENB24	0	R/W	A-PMD クロックイネーブル 0: クロック停止 1: クロック供給
23	IPMENB23	0	R/W	OFD クロックイネーブル 0: クロック停止 1: クロック供給
22	IPMENB22	0	R/W	TRM クロックイネーブル 0: クロック停止 1: クロック供給
21	IPMENB21	0	R/W	PORT Y クロックイネーブル 0: クロック停止 1: クロック供給
20	IPMENB20	0	R/W	PORT W クロックイネーブル 0: クロック停止 1: クロック供給
19	IPMENB19	0	R/W	PORT V クロックイネーブル 0: クロック停止 1: クロック供給
18	IPMENB18	0	R/W	PORT U クロックイネーブル 0: クロック停止 1: クロック供給
17	IPMENB17	0	R/W	PORT T クロックイネーブル 0: クロック停止 1: クロック供給
16	IPMENB16	0	R/W	PORT R クロックイネーブル 0: クロック停止 1: クロック供給
15	IPMENB15	0	R/W	PORT P クロックイネーブル 0: クロック停止 1: クロック供給
14	IPMENB14	0	R/W	PORT N クロックイネーブル 0: クロック停止 1: クロック供給
13	IPMENB13	0	R/W	PORT M クロックイネーブル 0: クロック停止 1: クロック供給

12	IPMENB12	0	R/W	PORT L クロックイネーブル 0: クロック停止 1: クロック供給
11	IPMENB11	0	R/W	PORT K クロックイネーブル 0: クロック停止 1: クロック供給
10	IPMENB10	0	R/W	PORT J クロックイネーブル 0: クロック停止 1: クロック供給
9	IPMENB09	1	R/W	PORT H クロックイネーブル 0: クロック停止 1: クロック供給
8	IPMENB08	0	R/W	PORT G クロックイネーブル 0: クロック停止 1: クロック供給
7	IPMENB07	0	R/W	PORT F クロックイネーブル 0: クロック停止 1: クロック供給
6	IPMENB06	0	R/W	PORT E クロックイネーブル 0: クロック停止 1: クロック供給
5	IPMENB05	0	R/W	PORT D クロックイネーブル 0: クロック停止 1: クロック供給
4	IPMENB04	0	R/W	PORT C クロックイネーブル 0: クロック停止 1: クロック供給
3	IPMENB03	0	R/W	PORT B クロックイネーブル 0: クロック停止 1: クロック供給
2	IPMENB02	0	R/W	PORT A クロックイネーブル 0: クロック停止 1: クロック供給
1	IPMENB01	0	R/W	I <sup>2</sup> C ch4 クロックイネーブル 0: クロック停止 1: クロック供給
0	IPMENB00	0	R/W	I <sup>2</sup> C ch3 クロックイネーブル 0: クロック停止 1: クロック供給

注 1) レジスターの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

注 2) TMPM4G8,TMPM4G7.TMPM4G6 で存在しない機能のビットは“0”を書いてください。詳細は “5 製品別情報”を参照してください。

## 4.2.10. [CGFSYSENA] (高速 fsysh 供給停止レジスターA)

Bit	Bit Symbol	リセット後	Type	機能
31:13	-	0	R	リードすると"0"が読めます。
12	IPENA12	0	R/W	"0"を書いてください。
11	IPENA11	0	R/W	
10	IPENA10	0	R/W	
9	IPENA09	0	R/W	TSPI ch5 クロックイネーブル 0: クロック停止 1: クロック供給
8	IPENA08	0	R/W	TSPI ch4 クロックイネーブル 0: クロック停止 1: クロック供給
7	IPENA07	0	R/W	TSPI ch3 クロックイネーブル 0: クロック停止 1: クロック供給
6	IPENA06	0	R/W	TSPI ch2 クロックイネーブル 0: クロック停止 1: クロック供給
5	IPENA05	0	R/W	TSPI ch1 クロックイネーブル 0: クロック停止 1: クロック供給
4	IPENA04	0	R/W	TSPI ch0 クロックイネーブル 0: クロック停止 1: クロック供給
3	IPENA03	0	R/W	EBIF クロックイネーブル 0: クロック停止 1: クロック供給
2	IPENA02	0	R/W	SMIF ch0 クロックイネーブル 0: クロック停止 1: クロック供給
1	IPENA01	0	R/W	HDMAC UnitB クロックイネーブル 0: クロック停止 1: クロック供給
0	IPENA00	0	R/W	HDMAC UnitA クロックイネーブル 0: クロック停止 1: クロック供給

注 1) レジスターの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

注 2) M4G8, M4G7, M4G6 で存在しない機能のビットは"0"を書いてください。詳細は "5 製品別情報" を参照してください。

## 4.2.11. [CGFCEN] (fc 供給停止レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:28	-	0	R	リードすると"0"が読めます。
27	FCIPEN27	0	R/W	DNF UnitB クロックイネーブル 0: クロック停止 1: クロック供給
26	FCIPEN26	0	R/W	DNF UnitA クロックイネーブル 0: クロック停止 1: クロック供給
25:24	-	0	R	リードすると"0"が読めます。
23	FCIPEN23	0	R/W	OFD クロックイネーブル(注 1) 0: クロック停止 1: クロック供給
22:0	-	0	R	リードすると"0"が読めます。

注 1) モニター対象クロックが fc の場合、[CGFSYSMENB]<IPMENB23>および[CGFCEN]<FCIPEN23>を許可してください。

注 2) レジスターの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

注 3) TMPM4G8, TMPM4G7, TMPM4G6 で存在しない機能のビットは"0"を書いてください。詳細は "5 製品別情報"を参照してください。

## 4.2.12. [CGSPCLKEN] (ADC、トレース用クロック供給停止レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:17	-	0	R	リードすると"0"が読めます。
16	ADCKEN	0	R/W	AD コンバーター用変換クロックイネーブル 0: クロック停止 1: クロック供給
15:1	-	0	R	リードすると"0"が読めます。
0	TRCKEN	0	R/W	デバッグ回路(ETM)のトレース機能用クロックイネーブル 0: クロック停止 1: クロック供給

## 4.2.13. [CGEXTEND2] (機能拡張レジスタ-2)

Bit	Bit Symbol	リセット後	Type	機能
31:3	-	0	R	リードすると"0"が読めます。
2	RSV22	0	R/W	MDMAC ソフトウェアリセット "0"→"1" →"0"の連続ライトで発生 この 1 ビットを"0"→"1"→"0"の順にライトすると、MDMAC のソフトウェアリセットが発生します。なお、"1"の設定後中速システムクロック (f <sub>sysm</sub> ) で 4 クロック以上待って"0"を設定してください。
1	RSV21	0	R/W	MDMAC バスエラークリア(注) "0"→"1" →"0"の連続ライトで発生 この 1 ビットを"0"→"1"→"0"の順にライトすると、MDMAC バスエラーをクリアします。なお、"1"の設定後中速システムクロック(f <sub>sysm</sub> ) で 4 クロック以上待って"0"を設定してください。
0	RSV20	0	R/W	MDMAC ディスクリプタエラークリア(注) "0"→"1" →"0"の連続ライトで発生 この 1 ビットを"0"→"1"→"0"の順にライトすると、MDMAC ディスクリプタエラーをクリアします。なお、"1"の設定後中速システムクロック (f <sub>sysm</sub> ) で 4 クロック以上待って"0"を設定してください。

注) エラーフラグのクリア時は、ソフトウェアリセット<RSV22>も必要ですので、併せて実施してください。

## 4.2.14. [RLMLOSCCR](低速発振&内蔵高速発振 2 クロック制御レジスター)

Bit	Bit Symbol	リセット後	Type	機能
7:6	-	0	R	リードすると“0”が読めます。
5	POSCF	0	R	IHOSC2 用内蔵発振安定フラグ 0: 停止またはウォームアップ中 1: 発振安定
4	POSCEN	0	R/W	IHOSC2 クロック供給(注 1) 0: 停止 1: 発振
3:2	-	0	R	リードすると“0”が読めます。
1	DRCOSCL	0	R/W	外部低速発振の動作選択 0: 外部クロック入力(ELCLKIN) 1: 外部低速発振(ELOSC)
0	XTEN	0	R/W	外部低速発振器の動作選択(注 4) 0: 停止 1: 発振

- 注1) 設定を変更した場合、[RLMLOSCCR]<POSCF>が“1”になったことを確認後、次の操作を行うようにしてください。
- 注2) パワーオンリセットでのみ初期化されます。
- 注3) バイト単位でアクセスするレジスターです。ビットバンドアクセスはできません。
- 注4) 書き換えを実施した場合は、同レジスターの読み込みを実施し、書き換えの確認をしてください。

## 4.2.15. [RLMSHTDNOP](電源遮断制御レジスター)

Bit	Bit Symbol	リセット後	Type	機能
7:1	-	0	R	リードすると“0”が読めます。
0	PTKEEP	0	R/W	STOP2 モード中の I/O 制御信号を保持 0: Port による制御 1: 0→1 設定時の状態の保持  STOP2 モード遷移前に設定が必要です。

- 注1) バイト単位でアクセスするレジスターです。ビットバンドアクセスはできません。
- 注2) 書き換えを実施した場合は、同レジスターの読み込みを実施し、書き換えの確認をしてください。

## 4.2.16. [RLMPROTECT](RLM ライトプロテクトレジスター)

Bit	Bit Symbol	リセット後	Type	機能
7:0	PROTECT	0xC1	R/W	RLM レジスターライトプロテクト制御 0xC1: RLM レジスターへのライト許可(プロテクト解除) 0xC1 以外: RLM レジスターへのライト禁止(プロテクト有効)  [RLMLOSCCR]、[RLMSHTDNOP]レジスターへの書き込みができなくなります

- 注1) バイト単位でアクセスするレジスターです。ビットバンドアクセスはできません。
- 注2) 書き換えを実施した場合は、同レジスターの読み込みを実施し、書き換えの確認をしてください。

## 5. 製品別情報

各製品別で異なる[CGSYSENA]、[CGFSYSMENA]、[CGFSYSMENB]および[CGFCEN]に関する情報を以下に示します。

### 5.1. [CGFSYSENA]

表 5.1 [CGFSYSENA]の製品別割り当て

Bit	Bit Symbol	接続先	チャンネル番号/ 入出力ポート名	M4G9	M4G8	M4G7	M4G6
31	IPENA31	-	-	×	×	×	×
30	IPENA30	-	-	×	×	×	×
29	IPENA29	-	-	×	×	×	×
28	IPENA28	-	-	×	×	×	×
27	IPENA27	-	-	×	×	×	×
26	IPENA26	-	-	×	×	×	×
25	IPENA25	-	-	×	×	×	×
24	IPENA24	-	-	×	×	×	×
23	IPENA23	-	-	×	×	×	×
22	IPENA22	-	-	×	×	×	×
21	IPENA21	-	-	×	×	×	×
20	IPENA20	-	-	×	×	×	×
19	IPENA19	-	-	×	×	×	×
18	IPENA18	-	-	×	×	×	×
17	IPENA17	-	-	×	×	×	×
16	IPENA16	-	-	×	×	×	×
15	IPENA15	-	-	×	×	×	×
14	IPENA14	-	-	×	×	×	×
13	IPENA13	-	-	×	×	×	×
12	IPENA12	-	-	×	×	×	×
11	IPENA11	-	-	×	×	×	×
10	IPENA10	-	-	×	×	×	×
9	IPENA09	TSPI	5	○	○	○	×
8	IPENA08		4	○	○	○	○
7	IPENA07		3	○	○	○	○
6	IPENA06		2	○	○	○	○
5	IPENA05		1	○	○	○	○
4	IPENA04		0	○	○	○	○
3	IPENA03	EBIF	-	○	○	○	○
2	IPENA02	SMIF	0	○	○	○	○
1	IPENA01	HDMAC	B	○	○	○	○
0	IPENA00		A	○	○	○	○



## 5.2. [CGFSYSTEMENA]

表 5.2 [CGFSYSTEMENA]の製品別割り当て

Bit	Bit Symbol	接続先	チャンネル番号/ 入出力ポート名	M4G9	M4G8	M4G7	M4G6
31	IPMENA31	I2C	2	○	○	○	○
30	IPMENA30		1	○	○	○	○
29	IPMENA29		0	○	○	○	○
28	IPMENA28	UART	5	○	×	×	×
27	IPMENA27		4	○	○	×	×
26	IPMENA26		3	○	○	○	×
25	IPMENA25		2	○	○	○	○
24	IPMENA24		1	○	○	○	○
23	IPMENA23		0	○	○	○	○
22	IPMENA22		TSPI	8	○	×	×
21	IPMENA21	7		○	○	×	×
20	IPMENA20	6		○	○	×	×
19	IPMENA19	T32A	13	○	○	○	○
18	IPMENA18		12	○	○	○	○
17	IPMENA17		11	○	○	○	○
16	IPMENA16		10	○	○	○	○
15	IPMENA15		9	○	○	○	○
14	IPMENA14		8	○	○	○	○
13	IPMENA13		7	○	○	○	○
12	IPMENA12		6	○	○	○	○
11	IPMENA11		5	○	○	○	○
10	IPMENA10		4	○	○	○	○
9	IPMENA09		3	○	○	○	○
8	IPMENA08		2	○	○	○	○
7	IPMENA07		1	○	○	○	○
6	IPMENA06		0	○	○	○	○
5	IPMENA05		DAC	1	○	○	○
4	IPMENA04	0		○	○	○	○
3	IPMENA03	ADC	A	○	○	○	○
2	IPMENA02	FUART	1	○	○	×	×
1	IPMENA01		0	○	○	○	○
0	IPMENA00	MDMAC	A	○	○	○	○

## 5.3. [CGFSYSMENB]

表 5.3 [CGFSYSMENB]の製品別割り当て

Bit	Bit Symbol	接続先	チャンネル番号/ 入出力ポート名	M4G9	M4G8	M4G7	M4G6
31	IPMENB31	SIWDT	0	○	○	○	○
30	IPMENB30	NBDIF	-	○	○	○	○
29	IPMENB29	-(注)	-	×	×	×	×
28	IPMENB28	TRGSEL	0	○	○	○	○
27	IPMENB27	-	-	×	×	×	×
26	IPMENB26	-	-	×	×	×	×
25	IPMENB25	-	-	×	×	×	×
24	IPMENB24	A-PMD	0	○	○	○	○
23	IPMENB23	OFD	-	○	○	○	○
22	IPMENB22	TRM	-	○	○	○	○
21	IPMENB21	PORT	Y	○	○	○	○
20	IPMENB20		W	○	×	×	×
19	IPMENB19		V	○	○	○	×
18	IPMENB18		U	○	×	×	×
17	IPMENB17		T	○	○	○	○
16	IPMENB16		R	○	○	○	×
15	IPMENB15		P	○	○	○	○
14	IPMENB14		N	○	○	○	○
13	IPMENB13		M	○	○	×	×
12	IPMENB12		L	○	○	○	○
11	IPMENB11		K	○	○	○	○
10	IPMENB10		J	○	×	×	×
9	IPMENB09		H	○	○	○	○
8	IPMENB08		G	○	○	○	○
7	IPMENB07		F	○	○	○	○
6	IPMENB06		E	○	○	○	○
5	IPMENB05		D	○	○	○	○
4	IPMENB04	C	○	○	○	×	
3	IPMENB03	B	○	○	○	○	
2	IPMENB02	A	○	○	○	○	
1	IPMENB01	I2C	4	○	○	×	×
0	IPMENB00		3	○	○	×	×

注) “1”をライト(供給クロック)にしてください。

## 5.4. [CGFCEN]

表 5.4 [CGFCEN]の製品別割り当て

Bit	Bit Symbol	接続先	チャンネル番号/ 入出力ポート名	M4G9	M4G8	M4G7	M4G6
31	FCIPEN31	-	-	x	x	x	x
30	FCIPEN30	-	-	x	x	x	x
29	FCIPEN29	-	-	x	x	x	x
28	FCIPEN28	-	-	x	x	x	x
27	FCIPEN27	DNF	B	○	○	○	○
26	FCIPEN26		A	○	○	○	○
25	FCIPEN25	-	-	x	x	x	x
24	FCIPEN24	-	-	x	x	x	x
23	FCIPEN23	OFD	-	○	○	○	○
22	FCIPEN22	-	-	x	x	x	x
21	FCIPEN21	-	-	x	x	x	x
20	FCIPEN20	-	-	x	x	x	x
19	FCIPEN19	-	-	x	x	x	x
18	FCIPEN18	-	-	x	x	x	x
17	FCIPEN17	-	-	x	x	x	x
16	FCIPEN16	-	-	x	x	x	x
15	FCIPEN15	-	-	x	x	x	x
14	FCIPEN14	-	-	x	x	x	x
13	FCIPEN13	-	-	x	x	x	x
12	FCIPEN12	-	-	x	x	x	x
11	FCIPEN11	-	-	x	x	x	x
10	FCIPEN10	-	-	x	x	x	x
9	FCIPEN09	-	-	x	x	x	x
8	FCIPEN08	-	-	x	x	x	x
7	FCIPEN07	-	-	x	x	x	x
6	FCIPEN06	-	-	x	x	x	x
5	FCIPEN05	-	-	x	x	x	x
4	FCIPEN04	-	-	x	x	x	x
3	FCIPEN03	-	-	x	x	x	x
2	FCIPEN02	-	-	x	x	x	x
1	FCIPEN01	-	-	x	x	x	x
0	FCIPEN00	-	-	x	x	x	x

## 6. 改訂履歴

表 6.1 改訂履歴

Revision	Date	Description
1.0	2017-12-04	新規作成
2.0	2018-04-03	<ul style="list-style-type: none"> <li>・2.1 クロックの種類 f<sub>osc</sub> の説明, "内部発振回路 1" → "内部発振回路" に修正</li> <li>・2.3 クロック系統図 図 2.1 の中央右, &lt;IPENAAx&gt; → &lt;IPENAx&gt; に修正、OFD の fc 入力に <b>[CGFCEN]</b>&lt;FCIPEN23&gt; を追加</li> <li>・2.4.2 低速発振用ウォーミングアップカウンター (例) の計算結果, "0x630" → "0x00630" に修正、&lt;WUPTL[18:4]&gt; の設定値を "0x63" → "0x0063" に修正</li> <li>・2.6 システムクロック 表 2.4 NBD → NBDIF に修正</li> <li>・2.6.1.1 fosc 設定 切り替えシーケンス例の 3., &lt;WUPT&gt; → &lt;WUPT[15:4]&gt; に修正 5., の説明 "(=1)" → "(=0)" に修正</li> <li>・2.7.1 ELOSC の設定 切り替えシーケンス例の 6. の説明, "(=1)" → "(=0)" に修正</li> <li>・2.7.2 ELCLKIN の設定 切り替えシーケンス例の 6. の説明, "(=1)" → "(=0)" に修正</li> <li>・3.1.4 低消費電力モードにおける周辺機能状態 内蔵高速発振器 2(IHOSC) に(注 5) を追加 コードフラッシュ/データフラッシュ/RAM/Backup RAM の IDLE, (注 5) → (注 6) に修正 注 2) の説明, "WDT" → "SIWDT" に修正</li> <li>・4.2 レジスタ詳細 各レジスタの見出しを 4.2.x に変更</li> <li>・4.2.2 <b>[CGOSCCR]</b> ビット&lt;[15:10]&gt;の Type/機能説明見直し</li> <li>・4.2.9 <b>[CGFSYSMENB]</b> ビット&lt;[27:25]&gt;のビットシンボル削除、Type/機能説明見直し &lt;IPMENB30&gt;の機能説明 NBD → NBDIF に修正</li> <li>・4.2.10 <b>[CGFSYSENA]</b> ビット&lt;[31:13]&gt;のビットシンボル削除</li> <li>・4.2.11 <b>[CGFCEN]</b> ビット&lt;[31:28]&gt;&lt;[25:24]&gt;&lt;[22:0]&gt;のビットシンボル削除、Type/機能説明見直し &lt;FCIPEN23&gt;の説明修正</li> <li>・4.2.13 <b>[CGEXTEND2]</b> &lt;RSV20&gt;&lt;RSV21&gt;の TYPE "RW" → "R/W" に修正</li> <li>・5.3 <b>[CGFSYSMENB]</b> (注) を &lt;IPMENB29&gt; に追加</li> </ul>

2.1	2023-06-23	<ul style="list-style-type: none"> <li>・3.1.4. 低消費電力モードにおける周辺機器状態 表 3.2 SIWDT の STOP1 モードの動作状態を変更し、 注 2)の IDEL モードを IDEL/STOP1 モードへ変更</li> <li>・3.2.1. IDEL モード遷移フロー 注)を追記</li> <li>・3.2.2. STOP1 モード遷移フロー 注)を追記</li> <li>・4.2.2. <b>[CGOSCCR]</b> (発振制御レジスター) &lt;IHOSC1F&gt;の機能説明に(注 3)を追記し、注 3)を追記</li> </ul>
2.2	2023-09-15	<ul style="list-style-type: none"> <li>・図 2.1 クロック系統図 修正</li> <li>・3.1.4. 低消費電力モードにおける周辺機能状態 注 2)を変更</li> <li>・3.2.1. IDLE モード遷移フロー 注)を変更</li> <li>・3.2.2. STOP1 モード遷移フロー 注)を変更</li> </ul>

## 製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願ひします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事情報の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。