

32 ビット RISC マイクロコントローラ

TMPM4G グループ(1)

リファレンスマニュアル

製品個別情報
(PINFO-M4G(1))

Revision 3.1

2019-06

東芝デバイス&ストレージ株式会社

目次

序章	9
関連するドキュメント	9
表記規約	10
用語・略語	12
1. 概要	13
2. 各周辺機能の情報	13
2.1. レジスタ ベースアドレス	13
2.2. トリガセクタ(TRGSEL)	16
2.2.1. トリガセクタと製品対応	17
2.2.2. 使用方法と設定	23
2.2.3. レジスタ一覧	24
2.2.4. レジスタ詳細	25
2.2.4.1. [TSEL0CR0](コントロールレジスタ 0)	25
2.2.4.2. [TSEL0CR1](コントロールレジスタ 1)	27
2.2.4.3. [TSEL0CR2](コントロールレジスタ 2)	29
2.2.4.4. [TSEL0CR3](コントロールレジスタ 3)	31
2.2.4.5. [TSEL0CR4](コントロールレジスタ 4)	33
2.2.4.6. [TSEL0CR5](コントロールレジスタ 5)	35
2.2.4.7. [TSEL0CR6](コントロールレジスタ 6)	37
2.2.4.8. [TSEL0CR7](コントロールレジスタ 7)	39
2.2.4.9. [TSEL0CR8](コントロールレジスタ 8)	41
2.2.4.10. [TSEL0CR9](コントロールレジスタ 9)	43
2.2.4.11. [TSEL0CR10](コントロールレジスタ 10)	45
2.2.4.12. [TSEL0CR11](コントロールレジスタ 11)	47
2.2.4.13. [TSEL0CR12](コントロールレジスタ 12)	49
2.2.4.14. [TSEL0CR13](コントロールレジスタ 13)	51
2.3. クロック選択式ウォッチドッグタイマ(SIWDT)	53
2.3.1. 搭載チャンネル	53
2.3.2. カウントクロック	53
2.3.3. プロテクト機能	53
2.3.4. 発振クロックプロテクト機能	53
2.4. 周波数検知回路(OFD)	54
2.4.1. 搭載一覧	54
2.4.2. 基準クロック	54
2.4.3. 検知対象クロック	54
2.5. デバッグインタフェース	55
2.5.1. 製品別デバッグインタフェース一覧	55
2.6. ノンブレイクデバッグ インタフェース(NBDIF)	56
2.6.1. 機能対応	56

2.6.2. 製品別 NBDIF 一覧	56
2.7. フラッシュメモリ	57
2.7.1. 書き込み, 消去操作用クロック	57
2.7.2. 製品別コードフラッシュブロック構成	57
2.7.3. 製品別データフラッシュブロック構成	59
2.7.4. シングルブート使用リソース	60
2.8. 高速 DMA コントローラ(HDMAC)	61
2.8.1. 搭載ユニット	61
2.8.2. DMA 転送要求一覧	61
2.9. 多機能 DMA コントローラ(MDMAC)	63
2.9.1. 搭載ユニット	63
2.9.2. DMA 転送要求一覧	63
2.10. アドバンストプログラマブルモータ制御回路(A-PMD)	67
2.10.1. 搭載チャンネル	67
2.10.2. 機能端子とポート	67
2.10.3. DMA 要求	68
2.10.4. 内部信号接続仕様	69
2.10.4.1. ADC 接続	69
2.11. 12 ビットアナログデジタルコンバータ(ADC)	70
2.11.1. 搭載ユニット	70
2.11.2. 機能端子とポート	70
2.11.3. アナログ基準端子	71
2.11.4. ADC 用変換クロック	71
2.11.5. モード設定レジスタ 2 の設定値	71
2.11.6. DMA 要求	71
2.11.7. 監視機能	72
2.11.8. 内部信号接続仕様	72
2.11.8.1. 起動トリガ接続仕様	72
2.12. 8 ビットデジタルアナログコンバータ(DAC)	74
2.12.1. 搭載チャンネル	74
2.12.2. 機能端子とポート	74
2.13. 電圧検知回路(LVD)	75
2.13.1. 搭載一覧	75
2.13.2. 検知対象電源	75
2.14. 32 ビットタイマイイベントカウンタ(T32A)	76
2.14.1. 搭載チャンネル	76
2.14.2. 機能端子とポート	76
2.14.3. プリスケアラ用クロック	79
2.14.4. 内部信号接続仕様	80
2.14.4.1. キャプチャ/カウンタチャンネル間接続仕様	80

2.14.4.2. 同期制御接続仕様.....	82
2.14.4.3. T32A タイマチャンネル間リロードトリガ接続仕様.....	85
2.14.4.4. TSPI/UART-T32A 間接続仕様.....	86
2.14.4.5. T32A - ISD 間接続仕様.....	86
2.14.4.6. ELOSC 低速クロック-T32A 間接続仕様.....	87
2.14.5. 製品別パルスカウント対応一覧.....	87
2.14.6. DMA 要求.....	88
2.15. リアルタイムクロック(RTC).....	91
2.15.1. 搭載一覧.....	91
2.15.2. 機能端子とポート.....	91
2.15.3. 時計カウントクロック.....	91
2.16. ロングタームタイマ(LTTMR).....	92
2.16.1. 搭載チャンネル.....	92
2.16.2. カウントクロック.....	92
2.16.3. 内部信号接続仕様.....	92
2.16.3.1. CEC/RMC 接続.....	92
2.17. 非同期シリアル通信回路(UART).....	93
2.17.1. 搭載チャンネル.....	93
2.17.2. 機能端子とポート.....	93
2.17.3. 製品別ハーフクロックモード対応一覧.....	94
2.17.4. プリスケーラ用クロック.....	94
2.17.5. DMA 要求.....	95
2.17.6. 内部信号接続仕様.....	96
2.17.6.1. トリガ転送信号接続仕様.....	96
2.18. 高精度非同期シリアル通信回路(FUART).....	97
2.18.1. 搭載チャンネル.....	97
2.18.2. 機能端子とポート.....	97
2.18.3. プリスケーラ用クロック.....	98
2.18.4. DMA 要求.....	98
2.19. I ² C インタフェース(I ² C).....	99
2.19.1. 搭載チャンネル.....	99
2.19.2. 機能端子とポート.....	99
2.19.3. プリスケーラ用クロック.....	99
2.19.4. 通信スピード.....	100
2.19.5. ウエイクアップ機能対応.....	100
2.19.6. ノイズフィルタ選択.....	100
2.19.7. DMA 要求.....	101
2.20. シリアルペリフェラルインタフェース(TSPI).....	102
2.20.1. 搭載チャンネル.....	102
2.20.2. 機能端子とポート.....	103
2.20.3. 製品別転送モード対応一覧.....	105

2.20.4. [TSPiXCR2]<RXDLY>の設定値	105
2.20.5. プリスケーラ用クロック	105
2.20.6. DMA 要求	106
2.20.7. 内部信号接続仕様	107
2.20.7.1. トリガ送信信号接続仕様	107
2.21. シリアルメモリインタフェース(SMIF).....	108
2.21.1. 搭載チャンネル	108
2.21.2. 機能端子とポート	108
2.22. CEC 制御回路 (CEC)	109
2.22.1. 搭載チャンネル	109
2.22.2. 機能端子とポート	109
2.22.3. サンプリングクロック	109
2.23. リモコン受信回路(RMC).....	110
2.23.1. 搭載チャンネル	110
2.23.2. 機能端子とポート	110
2.23.3. サンプリングクロック	110
2.23.4. 内部信号接続仕様	111
2.23.4.1. T32A 接続	111
2.24. デジタルノイズフィルタ回路(DNF)	112
2.24.1. 搭載ユニット	112
2.24.2. 製品別外部割り込みと DNF の対応	112
2.24.3. サンプリングソースクロック	113
2.25. インタバルセンサ検知回路(ISD)	114
2.25.1. 搭載ユニット	114
2.25.2. 機能端子とポート	114
2.25.3. 基準クロック	115
2.25.4. 内部信号接続仕様	115
2.26. バウンダリスキャン(BSC).....	116
2.26.1. 機能対応	116
2.26.2. 製品別 JTAG インタフェース一覧	116
2.26.3. バウンダリスキャン順序	117
2.27. トリミング回路(TRM).....	121
2.27.1. 搭載一覧	121
2.27.2. 対象発振器	121
2.28. 外部バスインタフェース(EBIF)	122
2.28.1. 機能端子とポート	122
3. 改訂履歴	123
製品取り扱い上のお願ひ	125

図目次

図 2.1	トリガセクタ接続例.....	16
図 2.2	ADC 起動トリガ接続仕様概略図.....	73

表目次

表 2.1	レジスタベースアドレスタイプ (1/3).....	13
表 2.2	レジスタベースアドレスタイプ (2/3).....	14
表 2.3	レジスタベースアドレスタイプ (3/3).....	15
表 2.4	製品別トリガセクタ対応一覧 (1/6).....	17
表 2.5	製品別トリガセクタ対応一覧 (2/6).....	18
表 2.6	製品別トリガセクタ対応一覧 (3/6).....	19
表 2.7	製品別トリガセクタ対応一覧 (4/6).....	20
表 2.8	製品別トリガセクタ対応一覧 (5/6).....	21
表 2.9	製品別トリガセクタ対応一覧 (6/6).....	22
表 2.10	SIWDT 搭載チャンネル.....	53
表 2.11	SIWDT カウントクロック.....	53
表 2.12	OFD 搭載一覧.....	54
表 2.13	OFD 基準クロック.....	54
表 2.14	OFD 検知対象クロック.....	54
表 2.15	デバッグインタフェース搭載一覧.....	55
表 2.16	NBDIF 機能対応.....	56
表 2.17	NBDIF 搭載一覧.....	56
表 2.18	書き込み, 消去操作クロック.....	57
表 2.19	製品別コードフラッシュのブロック構成.....	57
表 2.20	製品別データフラッシュ.....	59
表 2.21	シングルブート使用リソース.....	60
表 2.22	RAM 転送可能最終アドレス.....	60
表 2.23	HDMA コントローラ 搭載ユニット.....	61
表 2.24	HDMAC DMA 転送要求一覧 : ユニット A.....	61
表 2.25	HDMAC DMA 転送要求一覧 : ユニット B.....	62
表 2.26	MDMAC 搭載ユニット.....	63
表 2.27	MDMAC DMA 転送要求一覧 : ユニット A (1/4).....	63
表 2.28	MDMAC DMA 転送要求一覧 : ユニット A (2/4).....	64
表 2.29	MDMAC DMA 転送要求一覧 : ユニット A (3/4).....	65
表 2.30	MDMAC DMA 転送要求一覧 : ユニット A (4/4).....	66
表 2.31	A-PMD 搭載チャンネル.....	67
表 2.32	A-PMD 機能端子.....	67
表 2.33	A-PMD DMA 要求.....	68
表 2.34	A-PMD 内部信号接続仕様:出力.....	69
表 2.35	ADC 搭載ユニット.....	70
表 2.36	ADC 機能端子とポート.....	70
表 2.37	ADC 用変換クロック.....	71
表 2.38	ADC モード設定レジスタ 2 の設定値.....	71
表 2.39	ADC DMA 要求.....	71
表 2.40	ADC 監視機能の対応.....	72
表 2.41	ADC 起動トリガ接続仕様.....	72
表 2.42	ADC 起動トリガ接続仕様(TRGSEL37,38 出力).....	73
表 2.43	DAC 搭載チャンネル.....	74
表 2.44	DAC 機能端子とポート.....	74

表 2.45	LVD 搭載一覧.....	75
表 2.46	LVD 検知対象電源	75
表 2.47	T32A 搭載チャンネル.....	76
表 2.48	T32A 機能端子とポート(1/4).....	76
表 2.49	T32A 機能信号とポート(2/4).....	77
表 2.50	T32A 機能信号とポート(3/4).....	78
表 2.51	T32A 機能信号とポート(4/4).....	79
表 2.52	T32A プリスケーラ用クロック.....	79
表 2.53	T32A 4 入力トリガ接続.....	80
表 2.54	T32A タイマ出力トリガ接続.....	81
表 2.55	T32A 同期制御接続仕様(1/3).....	82
表 2.56	T32A 同期制御接続仕様(2/3).....	83
表 2.57	T32A 同期制御接続仕様(3/3).....	84
表 2.58	T32A リロードトリガ接続.....	85
表 2.59	T32A TSPI/UART-T32A 間接続仕様.....	86
表 2.60	T32A - ISD 間接続仕様.....	86
表 2.61	T32A ELOSC 低速クロック-T32A 間接続仕様.....	87
表 2.62	T32A 製品別パルスカウント対応一覧.....	87
表 2.63	T32A DMA 要求(1/3).....	88
表 2.64	T32A DMA 要求(2/3).....	89
表 2.65	T32A DMA 要求(3/3).....	90
表 2.66	RTC 搭載一覧.....	91
表 2.67	RTC 機能端子とポート.....	91
表 2.68	RTC 時計カウントクロック.....	91
表 2.69	LTTMR 搭載チャンネル.....	92
表 2.70	LTTMR カウントクロック.....	92
表 2.71	LTTMR CEC/RMC 信号接続仕様.....	92
表 2.72	UART 搭載チャンネル.....	93
表 2.73	UART 端子信号とポート.....	93
表 2.74	UART ハーフクロックモード(1 端子モード)対応一覧.....	94
表 2.75	UART プリスケーラ用クロック.....	94
表 2.76	UART DMA 要求.....	95
表 2.77	UART トリガ転送信号接続仕様.....	96
表 2.78	FUART 搭載チャンネル.....	97
表 2.79	FUART 端子信号とポート.....	97
表 2.80	FUART プリスケーラ用クロック.....	98
表 2.81	FUART DMA 要求.....	98
表 2.82	I ² C インタフェース 搭載チャンネル.....	99
表 2.83	I ² C インタフェース 機能端子とポート.....	99
表 2.84	I ² C インタフェース プリスケーラ用クロック.....	99
表 2.85	I ² C 通信スピード対応.....	100
表 2.86	I ² C インタフェース フィルタ選択.....	100
表 2.87	I ² C インタフェース DMA 要求.....	101
表 2.88	TSPI 搭載チャンネル.....	102
表 2.89	TSPI 機能端子とポート(1/2).....	103
表 2.90	TSPI 機能端子とポート(2/2).....	104
表 2.91	TSPI モード対応一覧.....	105
表 2.92	TSPI 制御レジスタ 2<RXDLY>の設定値.....	105
表 2.93	TSPI プリスケーラ用クロック.....	105
表 2.94	TSPI DMA 要求.....	106
表 2.95	TSPI トリガ送信信号接続仕様.....	107
表 2.96	SMIF 搭載チャンネル.....	108
表 2.97	SMIF 機能端子とポート.....	108

表 2.98	CEC 搭載チャンネル.....	109
表 2.99	CEC 機能端子とポート.....	109
表 2.100	CEC サンプリングクロック	109
表 2.101	RMC 搭載チャンネル	110
表 2.102	RMC 機能端子とポート.....	110
表 2.103	RMC サンプリングクロック.....	110
表 2.104	RMC T32A 接続仕様.....	111
表 2.105	DNF 搭載ユニット	112
表 2.106	外部割り込みと DNF 対応(ユニット A).....	112
表 2.107	外部割り込みと DNF 対応(ユニット B).....	113
表 2.108	DNF サンプリングソースクロック.....	113
表 2.109	ISD 搭載ユニット	114
表 2.110	ISD 機能端子とポート	114
表 2.111	ISD 基準クロック	115
表 2.112	ISD 制御接続仕様	115
表 2.113	バウンダリスキャン 機能対応.....	116
表 2.114	JTAG インタフェース搭載一覧.....	116
表 2.115	バウンダリスキャン順序(1/4).....	117
表 2.116	バウンダリスキャン順序(2/4).....	118
表 2.117	バウンダリスキャン順序(3/4).....	119
表 2.118	バウンダリスキャン順序(4/4).....	120
表 2.119	TRM 搭載一覧.....	121
表 2.120	TRM トリミング対象発振器.....	121
表 2.121	EBIF 機能端子とポート.....	122
表 3.1	改訂履歴.....	123

序章

関連するドキュメント

文書名	IP 記号
入出力ポート (TMPM4G グループ(1))	PORT-M4G(1)
メモリマップ (TMPM4G グループ(1))	MMAP-M4G(1)
例外 (TMPM4G グループ(1))	EXCEPT-M4G(1)
クロック制御と動作モード (TMPM4G グループ(1))	CG-M4G(1)-C
電源とリセット動作 (TMPM4G グループ(1))	RESET-M4G(1)
フラッシュメモリ	FLASH15MHD32-A
トリミング回路	TRM-A
周波数検知回路	OFD-A
電圧検知回路	LVD-C
デジタルノイズフィルタ回路	DNF-A
デバッグインタフェース	DEBUG-A
ノンブレイクデバッグインタフェース	NBDIF-A
インタバルセンサ検知回路	ISD-A
多機能 DMA コントローラ	MDMAC-A
高速 DMA コントローラ	HDMAC-A
外部バスインタフェース	EBIF-A
シリアルメモリインタフェース	SMIF-A
非同期シリアル通信回路	UART-C
高精度非同期シリアル通信回路	FUART-B
シリアルペリフェラルインタフェース	TSPI-C
I2C インタフェース	I2C-B
CEC 制御回路	CEC-A
12ビットアナログデジタルコンバータ	ADC-C
8ビットデジタルアナログコンバータ	DAC-A
アドバンスドプログラマブルモータ制御回路	A-PMD-C
32ビットタイマイイベントカウンタ	T32A-B
ロングタームタイマ	LTTMR-A
リアルタイムクロック	RTC-A
クロック選択式ウォッチドックタイマ	SIWDT-A
リモコン受信回路	RMC-B
バウンダリスキャン	BSC-A

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
 - 例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
 - 例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
 - 例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
 - ユニットの場合、「x」は A,B,C...を表します。
 - 例: [ADACR0], [ADBCR0], [ADCCR0]→[ADxCR0]
 - チャンネルの場合、「x」は 0,1,2,...を表します。
 - 例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA]→[T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
 - 例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
 - 例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
 - Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社 (Silicon Storage Technology, Inc.) からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-PMD	Advanced Programmable Motor Control Circuit
CEC	Consumer Electronics Control
CG	Clock control and Generations
DAC	Digital to Analog Converter
DMA	Direct Memory Access
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
EBIF	External Bus Interface
EHOSC	External High Speed Oscillator
ELOSC	External Low Speed Oscillator
fsys	frequency of SYSTEM Clock
FUART	Full Universal Asynchronous Receiver Transmitter
HDMAC	High speed DMAC
IHOSC	Internal High Speed Oscillator
I ² C	Inter-Integrated Circuit
INT	Interrupt
ISD	Interval Sensor Detection
LTTMR	Long Term Timer
LVD	Voltage Detection Circuit
MDMAC	Multi-Function DMA controller
NBDIF	Non Break Debug Interface
NMI	Non-Maskable Interrupt
OFD	Oscillation Frequency Detector
POR	Power On Reset Circuit
RLM	Reset LOSC<Low Power> Manager
RMC	Remote Control Signal Preprocessor
RTC	Real Time Clock
SIWDT	Clock Selective Watchdog Timer
SMIF	Serial memory interface
T32A	32-bit Timer Event Counter
TRGSEL	Trigger Selection circuit
TSPI	Serial Peripheral Interface
UART	Universal Asynchronous Receiver Transmitter

1. 概要

この章では、周辺機能に関し、チャンネルまたはユニット数、端子情報、その他の製品固有機能の情報について纏めています。各周辺機能のリファレンスマニュアルと合わせてご使用ください。

2. 各周辺機能の情報

2.1. レジスタ ベースアドレス

TMPM4G グループ(1)のレジスタベースアドレスタイプを下記に示します。

表 2.1 レジスタベースアドレスタイプ (1/3)

周辺機能			ベースアドレスタイプ (○:該当、-:非該当)			Base Address
			TYPE1	TYPE2	TYPE3	
高速 DMA コントローラ	HDMAC (ユニット A~B)	ユニット A	○	-	-	0x40000000
		ユニット B				0x40001000
シリアルメモリインタフェース	SMIF	ch 0	○	-	-	0x4000C000
電圧検出回路	LVD	-	○	-	-	0x4003EC00
ロングタームタイマ	LTTMR	ch 0	○	-	-	0x4003FF00
シリアルペリフェラルインタフェース	TSPI (ch 0~5)	ch 0				0x4006A000
		ch 1				0x4006A400
		ch 2	-	-	○	0x4006A800
		ch 3				0x4006AC00
		ch 4				0x4006B000
		ch 5				0x4006B400
外部バスインタフェース	EBIF	-	-	○	0x40076000	
デジタルノイズフィルタ回路	DNF (ユニット A~B)	ユニット A	-	○	-	0x400A0200
		ユニット B				0x400A0300
トリガセクタ	TRGSEL	ch 0	-	○	-	0x400A0400
クロック選択式ウォッチドックタイマ	SIWDT	ch 0	-	○	-	0x400A0600
ノンブ레이크デバッグインタフェース	NBD	-	-	○	-	0x400A2000
多機能 DMA コントローラ	MDMAC	ユニット A	-	○	-	0x400A4000
高精度非同期シリアル通信回路	FUART (ch 0~1)	ch 0	-	○	-	0x400A8000
		ch 1				0x400A9000
12 ビットアナログデジタルコンバータ	ADC	ユニット A	-	○	-	0x400BA000
8 ビットデジタルアナログコンバータ	DAC (ch 0~1)	ch 0	-	○	-	0x400BC800
		ch 1				0x400BC900

表 2.2 レジスタベースアドレスタイプ (2/3)

周辺機能			ベースアドレスタイプ (○:該当、-:非該当)			Base Address
			TYPE1	TYPE2	TYPE3	
32 ビットタイマイイベントカウンタ	T32A (ch 0~13)	ch 0	-	○	-	0x400C1000
		ch 1				0x400C1400
		ch 2				0x400C1800
		ch 3				0x400C1C00
		ch 4				0x400C2000
		ch 5				0x400C2400
		ch 6				0x400C2800
		ch 7				0x400C2C00
		ch 8				0x400C3000
		ch 9				0x400C3400
		ch 10				0x400C3800
		ch 11				0x400C3C00
		ch 12				0x400C4000
		ch 13				0x400C4400
シリアルペリフェラルインタフェース	TSPI (ch 6~8)	ch 6	-	○	-	0x400CB800
		ch 7				0x400CBC00
		ch 8				0x400CC000
非同期シリアル通信回路	UART (ch 0~5)	ch 0	-	○	-	0x400CE000
		ch 1				0x400CE400
		ch 2				0x400CE800
		ch 3				0x400CEC00
		ch 4				0x400CF000
		ch 5				0x400CF400
I ² C インタフェース	I ² C (ch 0~4)	ch 0	-	○	-	0x400D1000
		ch 1				0x400D2000
		ch 2				0x400D3000
		ch 3				0x400D4000
		ch 4				0x400D5000

表 2.3 レジスタベースアドレスタイプ (3/3)

周辺機能			ベースアドレスタイプ (○:該当、-:非該当)			Base Address
			TYPE1	TYPE2	TYPE3	
トリミング回路	TRM	-	-	○	-	0x400E3100
周波数検知回路	OFD	-	-	○	-	0x400E4000
リアルタイムクロック	RTC	-	-	○	-	0x400E4800
CEC 制御回路	CEC	ch 0	-	○	-	0x400E8000
リモコン受信回路	RMC (ch 0~1)	ch 0	-	○	-	0x400E8100
		ch 1	-	○	-	0x400E8200
アドバンスプログラムブルモータ制御回路	A-PMD	ch 0	-	○	-	0x400E9000
インタバルセンサ検知回路	ISD (ユニット A~C)	ユニット A	-	○	-	0x400F0000
		ユニット B	-	○	-	0x400F0100
		ユニット C	-	○	-	0x400F0200
フラッシュメモリ	FLASH	-	○	-	-	0x5DFF0000

上記のベースアドレスタイプを参照し、各周辺機能の開発を行ってください。

2.2. トリガセレクトタ(TRGSEL)

トリガセレクトタは、周辺機能、ポートなどから入力された複数のトリガから、1つのトリガを選択し周辺機能にトリガ信号を出力する回路です。

8本のトリガから[TSELOC R_n] <INSEL m >で選択されたトリガを、接続先の周辺機能に出力します。

図 2.1 トリガセレクトタ接続例は、TSPI, UART, I2C, T32A からのトリガ信号が、トリガセレクトタ経由でDMA コントローラに接続されている例です。[TSELOC R_0] <INSEL 0 >で入力トリガ選択、エッジ検出の許可/禁止とエッジ検出条件の設定および出力トリガの許可/禁止制御を行います。

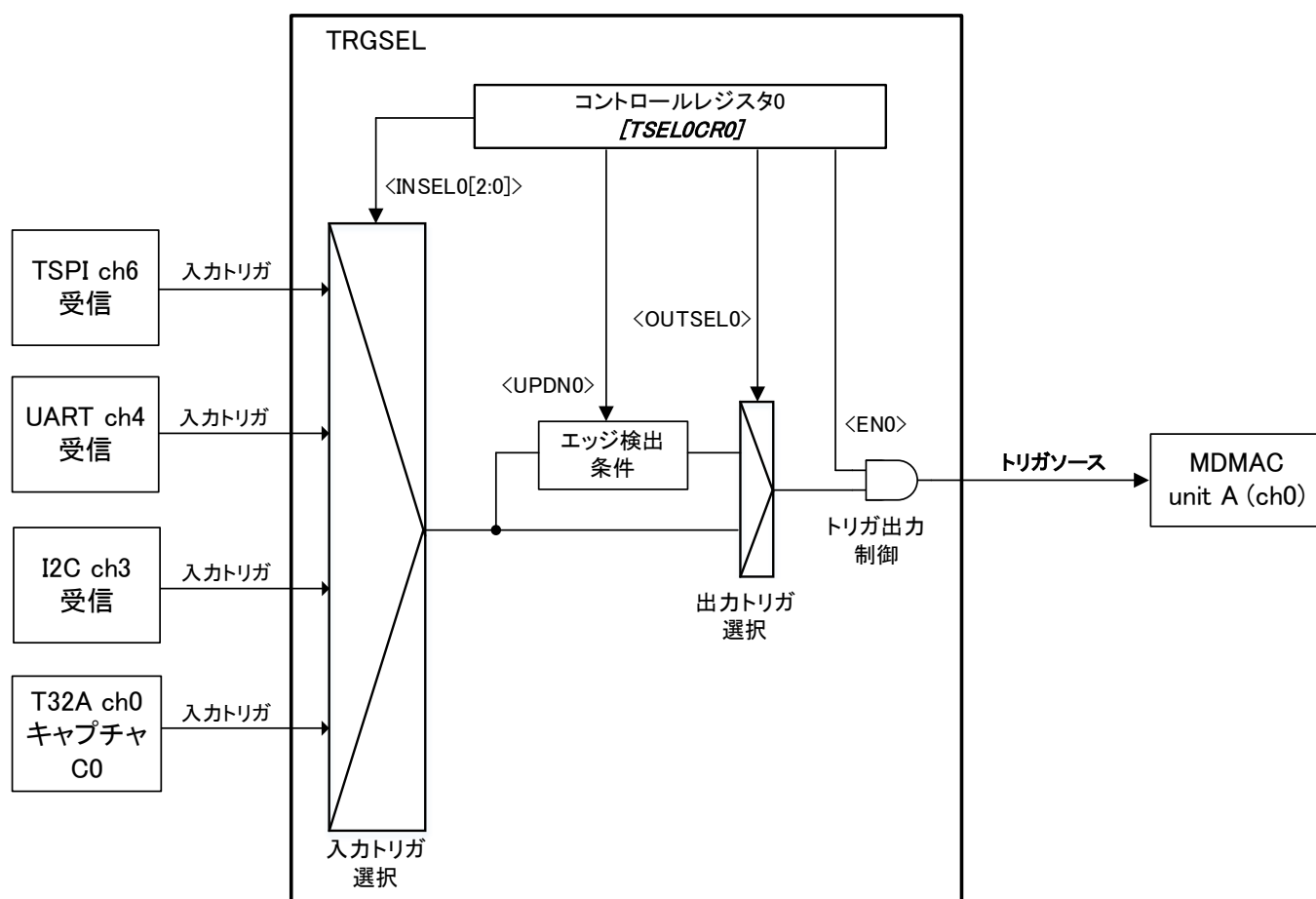


図 2.1 トリガセレクトタ接続例

2.2.1. トリガセクタと製品対応

TMPM4G グループ(1)のトリガセクタは、14本の制御レジスタ([TSELOCRO~13])で構成されており56本のトリガを制御できます。

下記の表にコントロールレジスタと接続先および対応製品を示します。

表 2.4 製品別トリガセクタ対応一覧 (1/6)

レジスタ	Bit Symbol	トリガソース	入力トリガ	製品対応 (○:あり、×:なし)			
				M4G9	M4G8	M4G7	M4G6
[TSELOCRO]	INSEL0[2:0]	MDMAC A ch0	・TSPI ch6 受信 DMA 要求	○	○	×	×
			・UART ch4 受信 DMA 要求	○	○	×	×
			・I ² C ch3 受信 DMA 要求	○	○	×	×
			・T32A ch0 DMA 要求 キャプチャ A0	○	○	○	○
	INSEL1[2:0]	MDMAC A ch1	・TSPI ch6 送信 DMA 要求	○	○	×	×
			・UART ch4 送信 DMA 要求	○	○	×	×
			・I ² C ch3 送信 DMA 要求	○	○	×	×
			・T32A ch0 DMA 要求 キャプチャ C0	○	○	○	○
	INSEL2[2:0]	MDMAC A ch2	・TSPI ch7 受信 DMA 要求	○	○	×	×
			・FUART ch1 受信 DMA 要求	○	○	×	×
			・I ² C ch4 受信 DMA 要求	○	○	×	×
	INSEL3[2:0]	MDMAC A ch3	・TSPI ch7 送信 DMA 要求	○	○	×	×
・FUART ch1 送信 DMA 要求			○	○	×	×	
・I ² C ch4 送信 DMA 要求			○	○	×	×	
[TSELOC1R]	INSEL4[2:0]	MDMAC A ch4	・TSPI ch8 受信 DMA 要求	○	×	×	×
			・T32A ch0 DMA 要求 レジスタ A1 一致	○	○	○	○
			・T32A ch0 DMA 要求 レジスタ C1 一致	○	○	○	○
	INSEL5[2:0]	MDMAC A ch5	・TSPI ch8 送信 DMA 要求	○	×	×	×
			・T32A ch0 DMA 要求 レジスタ B1 一致	○	○	○	○
			・T32A ch0 DMA 要求 キャプチャ B0	○	○	○	○
	INSEL6[2:0]	MDMAC A ch6	・T32A ch1 DMA 要求 レジスタ A1 一致	○	○	○	○
			・T32A ch1 DMA 要求 レジスタ C1 一致	○	○	○	○
			・T32A ch1 DMA 要求 キャプチャ A0	○	○	○	○
			・T32A ch1 DMA 要求 キャプチャ C0	○	○	○	○
	INSEL7[2:0]	MDMAC A ch7	・T32A ch1 DMA 要求 レジスタ B1 一致	○	○	○	○
			・T32A ch1 DMA 要求 キャプチャ B0	○	○	○	○
・UART ch0 受信 DMA 要求			○	○	○	○	
・I ² C ch0 受信 DMA 要求			○	○	○	○	

表 2.5 製品別トリガセクタ対応一覧 (2/6)

レジスタ	Bit Symbol	トリガソース	入力トリガ	製品対応 (○:あり、×:なし)			
				M4G9	M4G8	M4G7	M4G6
[TSEL0CR2]	INSEL8[2:0]	MDMAC A ch8	・T32A ch2 DMA 要求 レジスタ A1 一致	○	○	○	○
			・T32A ch2 DMA 要求 レジスタ C1 一致	○	○	○	○
			・T32A ch2 DMA 要求 キャプチャ A0	○	○	○	○
			・T32A ch2 DMA 要求 キャプチャ C0	○	○	○	○
	INSEL9[2:0]	MDMAC A ch9	・T32A ch2 DMA 要求 レジスタ B1 一致	○	○	○	○
			・T32A ch2 DMA 要求 キャプチャ B0	○	○	○	○
			・UART ch0 送信 DMA 要求	○	○	○	○
			・I ² C ch0 送信 DMA 要求	○	○	○	○
	INSEL10[2:0]	MDMAC A ch10	・T32A ch3 DMA 要求 レジスタ A1 一致	○	○	○	○
			・T32A ch3 DMA 要求 レジスタ C1 一致	○	○	○	○
			・T32A ch3 DMA 要求 キャプチャ A0	○	○	○	○
			・T32A ch3 DMA 要求 キャプチャ C0	○	○	○	○
	INSEL11[2:0]	MDMAC A ch11	・T32A ch3 DMA 要求 レジスタ B1 一致	○	○	○	○
			・T32A ch3 DMA 要求 キャプチャ B0	○	○	○	○
			・UART ch1 受信 DMA 要求	○	○	○	○
			・I ² C ch1 受信 DMA 要求	○	○	○	○
[TSEL0CR3]	INSEL12[2:0]	MDMAC A ch12	・T32A ch4 DMA 要求 レジスタ A1 一致	○	○	○	○
			・T32A ch4 DMA 要求 レジスタ C1 一致	○	○	○	○
			・T32A ch4 DMA 要求 キャプチャ A0	○	○	○	○
			・T32A ch4 DMA 要求 キャプチャ C0	○	○	○	○
	INSEL13[2:0]	MDMAC A ch13	・T32A ch4 DMA 要求 レジスタ B1 一致	○	○	○	○
			・T32A ch4 DMA 要求 キャプチャ B0	○	○	○	○
			・UART ch1 送信 DMA 要求	○	○	○	○
			・I ² C ch1 送信 DMA 要求	○	○	○	○
	INSEL14[2:0]	MDMAC A ch14	・T32A ch5 DMA 要求 レジスタ A1 一致	○	○	○	○
			・T32A ch5 DMA 要求 レジスタ C1 一致	○	○	○	○
			・T32A ch5 DMA 要求 キャプチャ A0	○	○	○	○
			・T32A ch5 DMA 要求 キャプチャ C0	○	○	○	○
	INSEL15[2:0]	MDMAC A ch15	・T32A ch5 DMA 要求 レジスタ B1 一致	○	○	○	○
			・T32A ch5 DMA 要求 キャプチャ B0	○	○	○	○
			・FUART ch0 送信 DMA 要求	○	○	○	○
			・I ² C ch2 送信 DMA 要求	○	○	○	○

表 2.6 製品別トリガセクタ対応一覧 (3/6)

レジスタ	Bit Symbol	トリガソース	入力トリガ	製品対応 (○:あり、×:なし)			
				M4G9	M4G8	M4G7	M4G6
[TSEL0CR4]	INSEL16[2:0]	MDMAC A ch16	・T32A ch6 DMA 要求 レジスタ A1 一致	○	○	○	○
			・T32A ch6 DMA 要求 レジスタ C1 一致	○	○	○	○
			・T32A ch6 DMA 要求 キャプチャ A0	○	○	○	○
			・T32A ch6 DMA 要求 キャプチャ C0	○	○	○	○
	INSEL17[2:0]	MDMAC A ch17	・T32A ch6 DMA 要求 レジスタ B1 一致	○	○	○	○
			・T32A ch6 DMA 要求 キャプチャ B0	○	○	○	○
			・FUART ch0 受信 DMA 要求	○	○	○	○
			・I ² C ch2 受信 DMA 要求	○	○	○	○
	INSEL18[2:0]	MDMAC A ch18	・T32A ch7 DMA 要求 レジスタ A1 一致	○	○	○	○
			・T32A ch7 DMA 要求 レジスタ C1 一致	○	○	○	○
			・T32A ch7 DMA 要求 キャプチャ A0	○	○	○	○
			・T32A ch7 DMA 要求 キャプチャ C0	○	○	○	○
	INSEL19[2:0]	MDMAC A ch19	・T32A ch7 DMA 要求 レジスタ B1 一致	○	○	○	○
			・T32A ch7 DMA 要求 キャプチャ B0	○	○	○	○
			・UART ch2 受信 DMA 要求	○	○	○	○
			・ADC ユニット A 汎用トリガ DMA 要求	○	○	○	○
[TSEL0CR5]	INSEL20[2:0]	MDMAC A ch20	・T32A ch8 DMA 要求 レジスタ A1 一致	○	○	○	○
			・T32A ch8 DMA 要求 レジスタ C1 一致	○	○	○	○
			・T32A ch8 DMA 要求 キャプチャ A0	○	○	○	○
			・T32A ch8 DMA 要求 キャプチャ C0	○	○	○	○
	INSEL21[2:0]	MDMAC A ch21	・T32A ch8 DMA 要求 レジスタ B1 一致	○	○	○	○
			・T32A ch8 DMA 要求 キャプチャ B0	○	○	○	○
			・UART ch2 送信 DMA 要求	○	○	○	○
			・ADC ユニット A 最優先 DMA 要求	○	○	○	○
	INSEL22[2:0]	MDMAC A ch22	・T32A ch9 DMA 要求 レジスタ A1 一致	○	○	○	○
			・T32A ch9 DMA 要求 レジスタ C1 一致	○	○	○	○
			・T32A ch9 DMA 要求 キャプチャ A0	○	○	○	○
			・T32A ch9 DMA 要求 キャプチャ C0	○	○	○	○
	INSEL23[2:0]	MDMAC A ch23	・T32A ch9 DMA 要求 レジスタ B1 一致	○	○	○	○
			・T32A ch9 DMA 要求 キャプチャ B0	○	○	○	○
			・T32A ch9 DMA 要求 キャプチャ A1	○	○	○	○
			・T32A ch9 DMA 要求 キャプチャ B1	○	○	○	○

表 2.7 製品別トリガセクタ対応一覧 (4/6)

レジスタ	Bit Symbol	トリガソース	入力トリガ	製品対応 (○:あり、×:なし)			
				M4G9	M4G8	M4G7	M4G6
[TSEL0CR6]	INSEL24[2:0]	MDMAC A ch24	・T32A ch10 DMA 要求 レジスタ A1 一致	○	○	○	○
			・T32A ch10 DMA 要求 レジスタ C1 一致	○	○	○	○
			・T32A ch10 DMA 要求 キャプチャ A0	○	○	○	○
			・T32A ch10 DMA 要求 キャプチャ C0	○	○	○	○
	INSEL25[2:0]	MDMAC A ch25	・T32A ch10 DMA 要求 レジスタ B1 一致	○	○	○	○
			・T32A ch10 DMA 要求 キャプチャ B0	○	○	○	○
			・T32A ch10 DMA 要求 キャプチャ A1	○	○	○	○
			・T32A ch10 DMA 要求 キャプチャ B1	○	○	○	○
	INSEL26[2:0]	MDMAC A ch26	・T32A ch11 DMA 要求 レジスタ A1 一致	○	○	○	○
			・T32A ch11 DMA 要求 レジスタ C1 一致	○	○	○	○
			・T32A ch11 DMA 要求 キャプチャ A0	○	○	○	○
			・T32A ch11 DMA 要求 キャプチャ C0	○	○	○	○
	INSEL27[2:0]	MDMAC A ch27	・T32A ch11 DMA 要求 レジスタ B1 一致	○	○	○	○
			・T32A ch11 DMA 要求 キャプチャ B0	○	○	○	○
			・T32A ch11 DMA 要求 キャプチャ A1	○	○	○	○
			・T32A ch11 DMA 要求 キャプチャ B1	○	○	○	○
[TSEL0CR7]	INSEL28[2:0]	MDMAC A ch28	・T32A ch12 DMA 要求 レジスタ A1 一致	○	○	○	○
			・T32A ch12 DMA 要求 レジスタ C1 一致	○	○	○	○
			・UART ch3 受信 DMA 要求	○	○	○	×
	INSEL29[2:0]	MDMAC A ch29	・T32A ch12 DMA 要求 レジスタ B1 一致	○	○	○	○
			・UART ch3 送信 DMA 要求	○	○	○	×
			・A-PMD ch0 PWM 割り込み	○	○	○	○
	INSEL30[2:0]	MDMAC A ch30	・T32A ch13 DMA 要求 レジスタ A1 一致	○	○	○	○
			・T32A ch13 DMA 要求 レジスタ C1 一致	○	○	○	○
			・UART ch5 受信 DMA 要求	○	×	×	×
	INSEL31[2:0]	MDMAC A ch31	・T32A ch13 DMA 要求 レジスタ B1 一致	○	○	○	○
			・UART ch5 送信 DMA 要求	○	×	×	×
			・TRGIN2 (PT3 端子)	○	○	○	○

表 2.8 製品別トリガセクタ対応一覧 (5/6)

レジスタ	Bit Symbol	トリガソース	入力トリガ	製品対応 (○:あり、×:なし)			
				M4G9	M4G8	M4G7	M4G6
[TSEL0CR8]	INSEL32[2:0]	ADC	・A-PMD ch0 ADC 同期トリガ出力 0	○	○	○	○
			・A-PMD ch0 ADC 同期トリガ出力 1	○	○	○	○
			・A-PMD ch0 ADC 同期トリガ出力 2	○	○	○	○
			・A-PMD ch0 ADC 同期トリガ出力 3	○	○	○	○
			・INSEL37 出力	○	○	○	○
			・INSEL38 出力	○	○	○	○
	INSEL33[2:0]	ADC	・A-PMD ch0 ADC 同期トリガ出力 0	○	○	○	○
			・A-PMD ch0 ADC 同期トリガ出力 1	○	○	○	○
			・A-PMD ch0 ADC 同期トリガ出力 2	○	○	○	○
			・A-PMD ch0 ADC 同期トリガ出力 3	○	○	○	○
			・INSEL37 出力	○	○	○	○
			・INSEL38 出力	○	○	○	○
INSEL34[2:0]	T32A ch8 タイマ A	・ELOSC 低速クロック	○	○	○	○	
INSEL35[2:0]	T32A ch13 タイマ A	・RMC ch0 トリガ出力	○	○	○	○	
		・T32A ch2 タイマレジスタ A0 一致トリガ	○	○	○	○	
[TSEL0CR9]	INSEL36[2:0]	T32A ch13 タイマ B	・RMC ch1 トリガ出力	○	○	○	×
			・T32A ch2 タイマレジスタ A0 一致トリガ	○	○	○	○
	INSEL37[2:0]	INSEL32 ,INSEL33	・T32A ch9 タイマレジスタ A1 一致トリガ	○	○	○	○
			・T32A ch9 タイマレジスタ B1 一致トリガ	○	○	○	○
			・T32A ch10 タイマレジスタ A1 一致トリガ	○	○	○	○
			・T32A ch10 タイマレジスタ B1 一致トリガ	○	○	○	○
			・T32A ch11 タイマレジスタ A1 一致トリガ	○	○	○	○
			・T32A ch11 タイマレジスタ B1 一致トリガ	○	○	○	○
			・TRGIN0 (PG3 端子)	○	○	○	○
			・TRGIN1 (PL7 端子)	○	×	×	×
	INSEL38[2:0]	INSEL32 ,INSEL33	・T32A ch9 タイマレジスタ A1 一致トリガ	○	○	○	○
			・T32A ch9 タイマレジスタ B1 一致トリガ	○	○	○	○
			・T32A ch10 タイマレジスタ A1 一致トリガ	○	○	○	○
			・T32A ch10 タイマレジスタ B1 一致トリガ	○	○	○	○
			・T32A ch11 タイマレジスタ A1 一致トリガ	○	○	○	○
			・T32A ch11 タイマレジスタ B1 一致トリガ	○	○	○	○
			・TRGIN0 (PG3 端子)	○	○	○	○
			・TRGIN1 (PL7 端子)	○	×	×	×
INSEL39[2:0]	T32A ch5 タイマ A	・T32A ch9 タイマレジスタ A0 一致トリガ	○	○	○	○	
		・T32A ch13 タイマレジスタ A0 一致トリガ	○	○	○	○	

表 2.9 製品別トリガセクタ対応一覧 (6/6)

レジスタ	Bit Symbol	トリガソース	入カトリガ	製品対応 (○:あり、×:なし)				
				M4G9	M4G8	M4G7	M4G6	
[TSEL0CR10]	INSEL40[2:0]	T32A ch5 タイマ B	・T32A ch9 タイマレジスタ A0 一致トリガ	○	○	○	○	
			・T32A ch13 タイマレジスタ A0 一致トリガ	○	○	○	○	
	INSEL41[2:0]	T32A ch6 タイマ A	・T32A ch10 タイマレジスタ A0 一致トリガ	○	○	○	○	
			・T32A ch13 タイマレジスタ B0 一致トリガ	○	○	○	○	
	INSEL42[2:0]	T32A ch6 タイマ B	・T32A ch10 タイマレジスタ A0 一致トリガ	○	○	○	○	
			・T32A ch13 タイマレジスタ B0 一致トリガ	○	○	○	○	
	INSEL43[2:0]	T32A ch7 タイマ A	・T32A ch11 タイマレジスタ A0 一致トリガ	○	○	○	○	
			・T32A ch13 タイマレジスタ B0 一致トリガ	○	○	○	○	
[TSEL0CR11]	INSEL44[2:0]	T32A ch7 タイマ B	・T32A ch11 タイマレジスタ A0 一致トリガ	○	○	○	○	
			・T32A ch13 タイマレジスタ B0 一致トリガ	○	○	○	○	
	INSEL45[2:0]	T32A ch8 タイマ B	・T32A ch4 タイマ出力 B	○	○	○	○	
			・T32A ch8 タイマ出力 A	○	○	○	○	
	INSEL46[2:0]	T32A ch0 タイマ A	・TSPI ch0 送信完了信号	○	○	○	○	
			・UART ch0 送信完了トリガ	○	○	○	○	
			・T32A ch12 タイマレジスタ A0 一致トリガ	○	○	○	○	
	INSEL47[2:0]	T32A ch0 タイマ B	・TSPI ch0 受信完了信号	○	○	○	○	
			・UART ch0 受信完了トリガ	○	○	○	○	
			・T32A ch12 タイマレジスタ A0 一致トリガ	○	○	○	○	
	[TSEL0CR12]	INSEL48[2:0]	T32A ch1 タイマ A	・TSPI ch1 送信完了信号	○	○	○	○
				・UART ch1 送信完了トリガ	○	○	○	○
・T32A ch12 タイマレジスタ A0 一致トリガ				○	○	○	○	
INSEL49[2:0]		T32A ch1 タイマ B	・TSPI ch1 受信完了信号	○	○	○	○	
			・UART ch1 受信完了トリガ	○	○	○	○	
			・T32A ch12 タイマレジスタ A0 一致トリガ	○	○	○	○	
INSEL50[2:0]		T32A ch2 タイマ A	・TSPI ch2 送信完了信号	○	○	○	○	
			・UART ch2 送信完了トリガ	○	○	○	○	
			・T32A ch12 タイマレジスタ B0 一致トリガ	○	○	○	○	
INSEL51[2:0]		T32A ch2 タイマ B	・TSPI ch2 受信完了信号	○	○	○	○	
			・UART ch2 受信完了トリガ	○	○	○	○	
			・T32A ch12 タイマレジスタ B0 一致トリガ	○	○	○	○	
[TSEL0CR13]	INSEL52[2:0]	T32A ch3 タイマ A	・TSPI ch3 送信完了信号	○	○	○	○	
			・T32A ch12 タイマレジスタ B0 一致トリガ	○	○	○	○	
	INSEL53[2:0]	T32A ch3 タイマ B	・TSPI ch3 受信完了信号	○	○	○	○	
			・T32A ch12 タイマレジスタ B0 一致トリガ	○	○	○	○	
	INSEL54[2:0]	T32A ch4 タイマ A	・TSPI ch4 送信完了信号	○	○	○	○	
			・T32A ch13 タイマレジスタ A0 一致トリガ	○	○	○	○	
	INSEL55[2:0]	T32A ch4 タイマ B	・TSPI ch4 受信完了信号	○	○	○	○	
			・T32A ch13 タイマレジスタ A0 一致トリガ	○	○	○	○	

2.2.2. 使用方法と設定

TRGSEL を使用する場合は、f_{sys} 供給停止レジスタ A(*[CGFSYSENA]*、*[CGFSYSMENA]*)、f_{sys} 供給停止レジスタ B(*[CGFSYSENB]*、*[CGFSYSMENB]*)、fc 供給停止レジスタ(*[CGFCEN]*)で該当するクロックイネーブルビットを“1”(クロック供給)に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため製品によって、レジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

トリガセクタの設定は以下の順序で行ってください。

(1) 入力トリガの選択 (*[TSEL0CRn]*<INSEL*m*>)

トリガセクタの接続先に対し、入力トリガの選択を行います。

入力トリガの選択はコントロールレジスタの入力トリガ選択ビット(*[TSEL0CRn]*<INSEL*m*>)で設定してください。(n: レジスタ番号、m: トリガ番号)

(2) エッジ検出条件の選択(*[TSEL0CRn]*<UPDN*m*>)

選択された入力トリガ信号に対し、立ち上がりエッジまたは立ち下がりエッジの検出選択を行います。

エッジ検出条件の選択はコントロールレジスタのエッジ検出条件ビット(*[TSEL0CRn]*<UPDN*m*>)で設定してください。

エッジ検出が必要なトリガ信号は以下となります。

- 外部トリガ入力 (TRGIN0, TRGIN1, TRGIN2)
- ELOSC 低速クロック (fs)

(3) トリガ出力の選択 (*[TSEL0CRn]*<OUTSEL*m*>)

出力するトリガ信号に対し、エッジ検出なし出力またはエッジ検出あり出力の選択を行います。

トリガ出力の選択はコントロールレジスタのトリガ出力の選択ビット(*[TSEL0CRn]*<OUTSEL*m*>)で設定してください。

(4) トリガ出力制御の選択 (*[TSEL0CRn]*<EN*m*>)

選択したトリガ信号の出力許可または禁止を選択します。

出力許可または禁止の選択はコントロールレジスタのトリガ出力制御ビット(*[TSEL0CRn]*<EN*m*>)を設定してください。*[TSEL0CRn]*<EN*m*>を“1”に設定するとトリガ出力が許可になります。

2.2.3. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

周辺機能		チャンネル/ユニット	ベースアドレス TYPE 2
トリガセクタ	TRGSEL	ch0	0x400A0400

レジスタ名		アドレス(Base+)
コントロールレジスタ 0	[TSEL0CR0]	0x0000
コントロールレジスタ 1	[TSEL0CR1]	0x0004
コントロールレジスタ 2	[TSEL0CR2]	0x0008
コントロールレジスタ 3	[TSEL0CR3]	0x000C
コントロールレジスタ 4	[TSEL0CR4]	0x0010
コントロールレジスタ 5	[TSEL0CR5]	0x0014
コントロールレジスタ 6	[TSEL0CR6]	0x0018
コントロールレジスタ 7	[TSEL0CR7]	0x001C
コントロールレジスタ 8	[TSEL0CR8]	0x0020
コントロールレジスタ 9	[TSEL0CR9]	0x0024
コントロールレジスタ 10	[TSEL0CR10]	0x0028
コントロールレジスタ 11	[TSEL0CR11]	0x002C
コントロールレジスタ 12	[TSEL0CR12]	0x0030
コントロールレジスタ 13	[TSEL0CR13]	0x0034

2.2.4. レジスタ詳細

以下の章でレジスタの詳細を示します。

各表の機能欄カッコ内の記号は各機能信号名を表しています。

2.2.4.1. [TSEL0CR0] (コントロールレジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると“0”が読めます。
30:28	INSEL3[2:0]	000	R/W	入力トリガの選択(MDMAC A ch3) 000: TSPI ch7 送信 DMA 要求 (TSPI7TX_DMA) 001: FUART ch1 送信 DMA 要求 (FUART1TX_DMAREQ) 010: I ² C ch4 送信 DMA リクエスト (I2C4TXDMAREQ) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると“0”が読めます。
26	UPDN3	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL3	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN3	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると“0”が読めます。
22:20	INSEL2[2:0]	000	R/W	入力トリガの選択(MDMAC A ch2) 000: TSPI ch7 受信 DMA 要求 (TSPI7RX_DMA) 001: FUART ch1 受信 DMA 要求 (FUART1RX_DMAREQ) 010: I ² C ch4 受信 DMA リクエスト (I2C4RXDMAREQ) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると“0”が読めます。
18	UPDN2	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL2	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN2	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると“0”が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL1[2:0]	000	R/W	入力トリガの選択(MDMAC A ch1) 000: TSPI ch6 送信 DMA 要求 (TSPI6TX_DMA) 001: UART ch4 送信 DMA 要求 (UART4TX_DMAREQ) 010: I ² C ch3 送信 DMA リクエスト (I2C3TXDMAREQ) 011: T32A ch0 DMA 要求 キャプチャ C0 (T32A00DMAREQCAPC0) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると“0”が読めます。
10	UPDN1	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL1	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN1	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると“0”が読めます。
6:4	INSEL0[2:0]	000	R/W	入力トリガの選択(MDMAC A ch0) 000: TSPI ch6 受信 DMA 要求 (TSPI6RX_DMA) 001: UART ch4 受信 DMA 要求 (UART4RX_DMAREQ) 010: I ² C ch3 受信 DMA リクエスト (I2C3RXDMAREQ) 011: T32A ch0 DMA 要求 キャプチャ A0 (T32A00DMAREQCAPA0) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると“0”が読めます。
2	UPDN0	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL0	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN0	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.2. [TSEL0CR1](コントロールレジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると“0”が読めます。
30:28	INSEL7[2:0]	000	R/W	入力トリガの選択(MDMAC A ch7) 000: T32A ch1 DMA 要求 レジスタ B1 一致 (T32A01DMAREQCMPB1) 001: T32A ch1 DMA 要求 キャプチャ B0 (T32A01DMAREQCAPB0) 010: UART ch0 受信 DMA 要求 (UART0RX_DMAREQ) 011: I ² C ch0 受信 DMA リクエスト (I2C0RXDMAREQ) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると“0”が読めます。
26	UPDN7	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL7	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN7	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると“0”が読めます。
22:20	INSEL6[2:0]	000	R/W	入力トリガの選択(MDMAC A ch6) 000: T32A ch1 DMA 要求 レジスタ A1 一致 (T32A01DMAREQCMPA1) 001: T32A ch1 DMA 要求 レジスタ C1 一致 (T32A01DMAREQCMPA1) 010: T32A ch1 DMA 要求 キャプチャ A0 (T32A01DMAREQCAPA0) 011: T32A ch1 DMA 要求 キャプチャ C0 (T32A01DMAREQCAPC0) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると“0”が読めます。
18	UPDN6	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL6	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN6	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると“0”が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL5[2:0]	000	R/W	入力トリガの選択(MDMAC A ch5) 000: TSPI ch8 送信 DMA 要求 (TSPI8TX_DMA) 001: T32A ch0 DMA 要求 レジスタ B1 一致 (T32A00DMAREQCMPB1) 010: T32A ch0 DMA 要求 キャプチャ B0 (T32A00DMAREQCAPB0) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると“0”が読めます。
10	UPDN5	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL5	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN5	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると“0”が読めます。
6:4	INSEL4[2:0]	000	R/W	入力トリガの選択(MDMAC A ch4) 000: TSPI ch8 受信 DMA 要求 (TSPI8RX_DMA) 001: T32A ch0 DMA 要求 レジスタ A1 一致 (T32A00DMAREQCMPA1) 010: T32A ch0 DMA 要求 レジスタ C1 一致 (T32A00DMAREQCMPA1) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると“0”が読めます。
2	UPDN4	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL4	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN4	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.3. [TSEL0CR2](コントロールレジスタ 2)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると“0”が読めます。
30:28	INSEL11[2:0]	000	R/W	入力トリガの選択(MDMAC A ch11) 000: T32A ch3 DMA 要求 レジスタ B1 一致 (T32A03DMAREQCMPB1) 001: T32A ch3 DMA 要求 キャプチャ B0 (T32A03DMAREQCAPB0) 010: UART ch1 受信 DMA 要求 (UART1RX_DMAREQ) 011: I ² C ch1 受信 DMA リクエスト (I2C1RXDMAREQ) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると“0”が読めます。
26	UPDN11	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL11	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN11	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると“0”が読めます。
22:20	INSEL10[2:0]	000	R/W	入力トリガの選択(MDMAC A ch10) 000: T32A ch3 DMA 要求 レジスタ A1 一致 (T32A03DMAREQCMPA1) 001: T32A ch3 DMA 要求 レジスタ C1 一致 (T32A03DMAREQCMPA1) 010: T32A ch3 DMA 要求 キャプチャ A0 (T32A03DMAREQCAPA0) 011: T32A ch3 DMA 要求 キャプチャ C0 (T32A03DMAREQCAPC0) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると“0”が読めます。
18	UPDN10	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL10	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN10	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると“0”が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL9[2:0]	000	R/W	入力トリガの選択(MDMAC A ch9) 000: T32A ch2 DMA 要求 レジスタ B1 一致 (T32A02DMAREQCMPB1) 001: T32A ch2 DMA 要求 キャプチャ B0 (T32A02DMAREQCAPB0) 010: UART ch0 送信 DMA 要求 (UART0TX_DMAREQ) 011: I ² C ch0 送信 DMA リクエスト (I2C0TXDMAREQ) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると“0”が読めます。
10	UPDN9	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL9	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN9	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると“0”が読めます。
6:4	INSEL8[2:0]	000	R/W	入力トリガの選択(MDMAC A ch8) 000: T32A ch2 DMA 要求 レジスタ A1 一致 (T32A02DMAREQCMPA1) 001: T32A ch2 DMA 要求 レジスタ C1 一致 (T32A02DMAREQCMPA1) 010: T32A ch2 DMA 要求 キャプチャ A0 (T32A02DMAREQCAPA0) 011: T32A ch2 DMA 要求 キャプチャ C0 (T32A02DMAREQCAPC0) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると“0”が読めます。
2	UPDN8	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL8	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN8	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.4. [TSEL0CR3](コントロールレジスタ 3)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると“0”が読めます。
30:28	INSEL15[2:0]	000	R/W	入力トリガの選択(MDMAC A ch15) 000: T32A ch5 DMA 要求 レジスタ B1 一致 (T32A05DMAREQCMPB1) 001: T32A ch5 DMA 要求 キャプチャ B0 (T32A05DMAREQCAPB0) 010: FUART ch0 送信 DMA 要求 (FUART0TX_DMAREQ) 011: I ² C ch2 送信 DMA リクエスト (I2C2TXDMAREQ) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると“0”が読めます。
26	UPDN15	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL15	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN15	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると“0”が読めます。
22:20	INSEL14[2:0]	000	R/W	入力トリガの選択(MDMAC A ch14) 000: T32A ch5 DMA 要求 レジスタ A1 一致 (T32A05DMAREQCMPA1) 001: T32A ch5 DMA 要求 レジスタ C1 一致 (T32A05DMAREQCMPA1) 010: T32A ch5 DMA 要求 キャプチャ A0 (T32A05DMAREQCAPA0) 011: T32A ch5 DMA 要求 キャプチャ C0 (T32A05DMAREQCAPC0) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると“0”が読めます。
18	UPDN14	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL14	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN14	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると“0”が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL13[2:0]	000	R/W	入力トリガの選択(MDMAC A ch13) 000: T32A ch4 DMA 要求 レジスタ B1 一致 (T32A04DMAREQCMPB1) 001: T32A ch4 DMA 要求 キャプチャ B0 (T32A04DMAREQCAPB0) 010: UART ch1 送信 DMA 要求 (UART1TX_DMAREQ) 011: I ² C ch1 送信 DMA リクエスト (I2C1TXDMAREQ) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると“0”が読めます。
10	UPDN13	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL13	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN13	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると“0”が読めます。
6:4	INSEL12[2:0]	000	R/W	入力トリガの選択(MDMAC A ch12) 000: T32A ch4 DMA 要求 レジスタ A1 一致 (T32A04DMAREQCMPA1) 001: T32A ch4 DMA 要求 レジスタ C1 一致 (T32A04DMAREQCMPA1) 010: T32A ch4 DMA 要求 キャプチャ A0 (T32A04DMAREQCAPA0) 011: T32A ch4 DMA 要求 キャプチャ C0 (T32A04DMAREQCAPC0) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると“0”が読めます。
2	UPDN12	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL12	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN12	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.5. [TSEL0CR4](コントロールレジスタ 4)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると“0”が読めます。
30:28	INSEL19[2:0]	000	R/W	入力トリガの選択(MDMAC A ch19) 000: T32A ch7 DMA 要求 レジスタ B1 一致 (T32A07DMAREQCMPB1) 001: T32A ch7 DMA 要求 キャプチャ B0 (T32A07DMAREQCAPB0) 010: UART ch2 受信 DMA 要求 (UART2RX_DMAREQ) 011: ADC ユニット A 汎用トリガ DMA 要求 (ADATRQ_DMAREQ) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると“0”が読めます。
26	UPDN19	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL19	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN19	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると“0”が読めます。
22:20	INSEL18[2:0]	000	R/W	入力トリガの選択(MDMAC A ch18) 000: T32A ch7 DMA 要求 レジスタ A1 一致 (T32A07DMAREQCMPA1) 001: T32A ch7 DMA 要求 レジスタ C1 一致 (T32A07DMAREQCMPC1) 010: T32A ch7 DMA 要求 キャプチャ A0 (T32A07DMAREQCAPA0) 011: T32A ch7 DMA 要求 キャプチャ C0 (T32A07DMAREQCAPC0) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると“0”が読めます。
18	UPDN18	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL18	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN18	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると“0”が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL17[2:0]	000	R/W	入力トリガの選択(MDMAC A ch17) 000: T32A ch6 DMA 要求 レジスタ B1 一致 (T32A06DMAREQCMPB1) 001: T32A ch6 DMA 要求 キャプチャ B0 (T32A06DMAREQCAPB0) 010: FUART ch0 受信 DMA 要求 (FUART0RX_DMAREQ) 011: I2C ch2 受信 DMA リクエスト (I2C2RXDMAREQ) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると“0”が読めます。
10	UPDN17	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL17	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN17	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると“0”が読めます。
6:4	INSEL16[2:0]	000	R/W	入力トリガの選択(MDMAC A ch16) 000: T32A ch6 DMA 要求 レジスタ A1 一致 (T32A06DMAREQCMPA1) 001: T32A ch6 DMA 要求 レジスタ C1 一致 (T32A06DMAREQCMPC1) 010: T32A ch6 DMA 要求 キャプチャ A0 (T32A06DMAREQCAPA0) 011: T32A ch6 DMA 要求 キャプチャ C0 (T32A06DMAREQCAPC0) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると“0”が読めます。
2	UPDN16	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL16	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN16	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.6. [TSEL0CR5](コントロールレジスタ 5)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると“0”が読めます。
30:28	INSEL23[2:0]	000	R/W	入力トリガの選択(MDMAC A ch23) 000: T32A ch9 DMA 要求 レジスタ B1 一致 (T32A09DMAREQCMPB1) 001: T32A ch9 DMA 要求 キャプチャ B0 (T32A09DMAREQCAPB0) 010: T32A ch9 DMA 要求 キャプチャ A1 (T32A09DMAREQCAPA1) 011: T32A ch9 DMA 要求 キャプチャ B1 (T32A09DMAREQCAPB1) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると“0”が読めます。
26	UPDN23	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL23	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN23	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると“0”が読めます。
22:20	INSEL22[2:0]	000	R/W	入力トリガの選択(MDMAC A ch22) 000: T32A ch9 DMA 要求 レジスタ A1 一致 (T32A09DMAREQCMPA1) 001: T32A ch9 DMA 要求 レジスタ C1 一致 (T32A09DMAREQCMPA1) 010: T32A ch9 DMA 要求 キャプチャ A0 (T32A09DMAREQCAPA0) 011: T32A ch9 DMA 要求 キャプチャ C0 (T32A09DMAREQCAPC0) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると“0”が読めます。
18	UPDN22	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL22	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN22	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると“0”が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL21[2:0]	000	R/W	入力トリガの選択(MDMAC A ch21) 000: T32A ch8 DMA 要求 レジスタ B1 一致 (T32A08DMAREQCMPB1) 001: T32A ch8 DMA 要求 キャプチャ B0 (T32A08DMAREQCAPB0) 010: UART ch2 送信 DMA 要求 (UART2TX_DMAREQ) 011: ADC ユニット A 最優先 DMA 要求 (ADAHP_DMAREQ) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると“0”が読めます。
10	UPDN21	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL21	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN21	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると“0”が読めます。
6:4	INSEL20[2:0]	000	R/W	入力トリガの選択(MDMAC A ch20) 000: T32A ch8 DMA 要求 レジスタ A1 一致 (T32A08DMAREQCMPA1) 001: T32A ch8 DMA 要求 レジスタ C1 一致 (T32A08DMAREQCMP C1) 010: T32A ch8 DMA 要求 キャプチャ A0 (T32A08DMAREQCAPA0) 011: T32A ch8 DMA 要求 キャプチャ C0 (T32A08DMAREQCAPC0) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると“0”が読めます。
2	UPDN20	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL20	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN20	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.7. [TSEL0CR6] (コントロールレジスタ 6)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると“0”が読めます。
30:28	INSEL27[2:0]	000	R/W	入力トリガの選択(MDMAC A ch27) 000: T32A ch11 DMA 要求 レジスタ B1 一致 (T32A11DMAREQCMPB1) 001: T32A ch11 DMA 要求 キャプチャ B0 (T32A11DMAREQCAPB0) 010: T32A ch11 DMA 要求 キャプチャ A1 (T32A11DMAREQCAPA1) 011: T32A ch11 DMA 要求 キャプチャ B1 (T32A11DMAREQCAPB1) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると“0”が読めます。
26	UPDN27	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL27	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN27	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると“0”が読めます。
22:20	INSEL26[2:0]	000	R/W	入力トリガの選択(MDMAC A ch26) 000: T32A ch11 DMA 要求 レジスタ A1 一致 (T32A11DMAREQCMPA1) 001: T32A ch11 DMA 要求 レジスタ C1 一致 (T32A11DMAREQCMPA1) 010: T32A ch11 DMA 要求 キャプチャ A0 (T32A11DMAREQCAPA0) 011: T32A ch11 DMA 要求 キャプチャ C0 (T32A11DMAREQCAPC0) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると“0”が読めます。
18	UPDN26	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL26	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN26	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると“0”が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL25[2:0]	000	R/W	入力トリガの選択(MDMAC A ch25) 000: T32A ch10 DMA 要求 レジスタ B1 一致 (T32A10DMAREQCMPB1) 001: T32A ch10 DMA 要求 キャプチャ B0 (T32A10DMAREQCAPB0) 010: T32A ch10 DMA 要求 キャプチャ A1 (T32A10DMAREQCAPA1) 011: T32A ch10 DMA 要求 キャプチャ B1 (T32A10DMAREQCAPB1) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると“0”が読めます。
10	UPDN25	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL25	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN25	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると“0”が読めます。
6:4	INSEL24[2:0]	000	R/W	入力トリガの選択(MDMAC A ch24) 000: T32A ch10 DMA 要求 レジスタ A1 一致 (T32A10DMAREQCMPA1) 001: T32A ch10 DMA 要求 レジスタ C1 一致 (T32A10DMAREQCMPA1) 010: T32A ch10 DMA 要求 キャプチャ A0 (T32A10DMAREQCAPA0) 011: T32A ch10 DMA 要求 キャプチャ C0 (T32A10DMAREQCAPC0) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると“0”が読めます。
2	UPDN24	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL24	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN24	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.8. [TSEL0CR7](コントロールレジスタ 7)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると“0”が読めます。
30:28	INSEL31[2:0]	000	R/W	<p>入力トリガの選択(MDMAC A ch31)</p> <p>000: T32A ch13 DMA 要求 レジスタ B1 一致 (T32A13DMAREQCMPB1)</p> <p>001: UART ch5 送信 DMA 要求 (UART5TX_DMAREQ)</p> <p>010: TRGIN2(PT3 端子)</p> <p>011: Reserved</p> <p>100: Reserved</p> <p>101: Reserved</p> <p>110: Reserved</p> <p>111: Reserved</p> <p>010(TRGIN2)を選択した場合は、<OUTSEL31>は“1”(エッジ検出あり)に設定してください。</p>
27	-	0	R	リードすると“0”が読めます。
26	UPDN31	0	R/W	<p>エッジ検出条件</p> <p>0: 立ち上がりエッジを検出</p> <p>1: 立ち下がりエッジを検出</p>
25	OUTSEL31	0	R/W	<p>出力トリガの選択</p> <p>0: エッジ検出なし</p> <p>1: エッジ検出あり</p>
24	EN31	0	R/W	<p>トリガ出力制御</p> <p>0: 禁止</p> <p>1: 許可</p>
23	-	0	R	リードすると“0”が読めます。
22:20	INSEL30[2:0]	000	R/W	<p>入力トリガの選択(MDMAC A ch30)</p> <p>000: T32A ch13 DMA 要求 レジスタ A1 一致 (T32A13DMAREQCMPA1)</p> <p>001: T32A ch13 DMA 要求 レジスタ C1 一致 (T32A13DMAREQCMPC1)</p> <p>010: UART ch5 受信 DMA 要求 (UART5RX_DMAREQ)</p> <p>011: Reserved</p> <p>100: Reserved</p> <p>101: Reserved</p> <p>110: Reserved</p> <p>111: Reserved</p>
19	-	0	R	リードすると“0”が読めます。
18	UPDN30	0	R/W	<p>エッジ検出条件</p> <p>0: 立ち上がりエッジを検出</p> <p>1: 立ち下がりエッジを検出</p>
17	OUTSEL30	0	R/W	<p>出力トリガの選択</p> <p>0: エッジ検出なし</p> <p>1: エッジ検出あり</p>
16	EN30	0	R/W	<p>トリガ出力制御</p> <p>0: 禁止</p> <p>1: 許可</p>
15	-	0	R	リードすると“0”が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL29[2:0]	000	R/W	入力トリガの選択(MDMAC A ch29) 000: T32A ch12 DMA 要求 レジスタ B1 一致 (T32A12DMAREQCMPB1) 001: UART ch3 送信 DMA 要求 (UART3TX_DMAREQ) 010: A-PMD ch0 PWM 割り込み (INTPWM0) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると“0”が読めます。
10	UPDN29	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL29	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN29	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると“0”が読めます。
6:4	INSEL28[2:0]	000	R/W	入力トリガの選択(MDMAC A ch28) 000: T32A ch12 DMA 要求 レジスタ A1 一致 (T32A12DMAREQCMPA1) 001: T32A ch12 DMA 要求 レジスタ C1 一致 (T32A12DMAREQCMPA1) 010: UART ch3 受信 DMA 要求 (UART3RX_DMAREQ) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると“0”が読めます。
2	UPDN28	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL28	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN28	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.9. [TSEL0CR8](コントロールレジスタ 8)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると“0”が読めます。
30:28	INSEL35[2:0]	000	R/W	入力トリガの選択(T32A ch13 タイマ A) 000: RMC ch0 トリガ出力 (RMC0TRG) 001: T32A ch2 タイマレジスタ A0 一致トリガ (T32A02TRGOUTCMPA0) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると“0”が読めます。
26	UPDN35	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL35	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN35	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると“0”が読めます。
22:20	INSEL34[2:0]	000	R/W	入力トリガの選択(T32A ch8 タイマ A) 000: ELOSC 低速クロック(fs) 001: Reserved 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved 000(ELOSC 低速クロック)を選択した場合は、<OUTSEL34>は“1”(エッジ検出あり)に設定してください。
19	-	0	R	リードすると“0”が読めます。
18	UPDN34	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL34	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN34	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると“0”が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL33[2:0]	000	R/W	入力トリガの選択(ADC) 000: A-PMD ch0 ADC 同期トリガ出力 0 (PMD0TRG0) 001: A-PMD ch0 ADC 同期トリガ出力 1 (PMD0TRG1) 010: A-PMD ch0 ADC 同期トリガ出力 2 (PMD0TRG2) 011: A-PMD ch0 ADC 同期トリガ出力 3 (PMD0TRG3) 100: Reserved 101: Reserved 110: TRGSEL37 出力 (TRGSEL0OUT37) 111: TRGSEL38 出力 (TRGSEL0OUT38)
11	-	0	R	リードすると“0”が読めます。
10	UPDN33	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL33	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN33	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると“0”が読めます。
6:4	INSEL32[2:0]	000	R/W	入力トリガの選択(ADC) 000: A-PMD ch0 ADC 同期トリガ出力 0 (PMD0TRG0) 001: A-PMD ch0 ADC 同期トリガ出力 1 (PMD0TRG1) 010: A-PMD ch0 ADC 同期トリガ出力 2 (PMD0TRG2) 011: A-PMD ch0 ADC 同期トリガ出力 3 (PMD0TRG3) 100: Reserved 101: Reserved 110: TRGSEL37 出力 (TRGSEL0OUT37) 111: TRGSEL38 出力 (TRGSEL0OUT38)
3	-	0	R	リードすると“0”が読めます。
2	UPDN32	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL32	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN32	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.10. [TSEL0CR9](コントロールレジスタ 9)

Bit	Bit Symbol	リセット後	Type	機能
31	-	-	-	リードすると“0”が読めます。
30:28	INSEL39[2:0]	000	R/W	入力トリガの選択(T32A ch5 タイマ A) 000: T32A ch9 タイマレジスタ A0 一致トリガ (T32A09TRGOUTCMPA0) 001: T32A ch13 タイマレジスタ A0 一致トリガ (T32A13TRGOUTCMPA0) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると“0”が読めます。
26	UPDN39	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL39	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN39	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると“0”が読めます。
22:20	INSEL38[2:0]	000	R/W	入力トリガの選択(INSEL32,INSEL33) 000: T32A ch9 タイマレジスタ A1 一致トリガ (T32A09TRGOUTCMPA1) 001: T32A ch9 タイマレジスタ B1 一致トリガ (T32A09TRGOUTCMPB1) 010: T32A ch10 タイマレジスタ A1 一致トリガ (T32A10TRGOUTCMPA1) 011: T32A ch10 タイマレジスタ B1 一致トリガ (T32A10TRGOUTCMPB1) 100: T32A ch11 タイマレジスタ A1 一致トリガ (T32A11TRGOUTCMPA1) 101: T32A ch11 タイマレジスタ B1 一致トリガ (T32A11TRGOUTCMPB1) 110: TRGIN0 (PG3 端子) 111: TRGIN1 (PL7 端子) 110(TRGIN0)/111(TRGIN1)を選択した場合は、<OUTSEL38>は“1”(エッジ検出あり)に設定してください。
19	-	0	R	リードすると“0”が読めます。
18	UPDN38	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL38	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN38	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると“0”が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL37[2:0]	000	R/W	入力トリガの選択(INSEL32,INSEL33) 000: T32A ch9 タイマレジスタ A1 一致トリガ (T32A09TRGOUTCMPA1) 001: T32A ch9 タイマレジスタ B1 一致トリガ (T32A09TRGOUTCMPB1) 010: T32A ch10 タイマレジスタ A1 一致トリガ (T32A10TRGOUTCMPA1) 011: T32A ch10 タイマレジスタ B1 一致トリガ (T32A10TRGOUTCMPB1) 100: T32A ch11 タイマレジスタ A1 一致トリガ (T32A11TRGOUTCMPA1) 101: T32A ch11 タイマレジスタ B1 一致トリガ (T32A11TRGOUTCMPB1) 110: TRGIN0 (PG3 端子) 111: TRGIN1 (PL7 端子) 110(TRGIN0)/111(TRGIN1)を選択した場合は、<OUTSEL37>は“1”(エッジ検出あり)に設定してください。
11	-	0	R	リードすると“0”が読めます。
10	UPDN37	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL37	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN37	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると“0”が読めます。
6:4	INSEL36[2:0]	000	R/W	入力トリガの選択(T32A ch13 タイマ B) 000: RMC ch1 トリガ出力 (RMC1TRG) 001: T32A ch2 タイマレジスタ A0 一致トリガ (T32A02TRGOUTCMPA0) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると“0”が読めます。
2	UPDN36	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL36	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN36	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.11. [TSEL0CR10](コントロールレジスタ 10)

Bit	Bit Symbol	リセット後	Type	機能
31	-	-	-	リードすると“0”が読めます。
30:28	INSEL43[2:0]	000	R/W	入力トリガの選択(T32A ch7 タイマ A) 000: T32A ch11 タイマレジスタ A0 一致トリガ (T32A11TRGOUTCMPA0) 001: T32A ch13 タイマレジスタ B0 一致トリガ (T32A13TRGOUTCMPB0) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると“0”が読めます。
26	UPDN43	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL43	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN43	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると“0”が読めます。
22:20	INSEL42[2:0]	000	R/W	入力トリガの選択(T32A ch6 タイマ B) 000: T32A ch10 タイマレジスタ A0 一致トリガ (T32A10TRGOUTCMPA0) 001: T32A ch13 タイマレジスタ B0 一致トリガ (T32A13TRGOUTCMPB0) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると“0”が読めます。
18	UPDN42	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL42	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN42	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると“0”が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL41[2:0]	000	R/W	入力トリガの選択(T32A ch6 タイマ A) 000: T32A ch10 タイマレジスタ A0 一致トリガ (T32A10TRGOUTCMPA0) 001: T32A ch13 タイマレジスタ B0 一致トリガ (T32A13TRGOUTCMPB0) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると“0”が読めます。
10	UPDN41	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL41	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN41	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると“0”が読めます。
6:4	INSEL40[2:0]	000	R/W	入力トリガの選択(T32A ch5 タイマ B) 000: T32A ch9 タイマレジスタ A0 一致トリガ (T32A09TRGOUTCMPA0) 001: T32A ch13 タイマレジスタ A0 一致トリガ (T32A13TRGOUTCMPA0) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると“0”が読めます。
2	UPDN40	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL40	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN40	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.12. [TSEL0CR11](コントロールレジスタ 11)

Bit	Bit Symbol	リセット後	Type	機能
31	-	-	-	リードすると“0”が読めます。
30:28	INSEL47[2:0]	000	R/W	入力トリガの選択(T32A ch0 タイマ B) 000: TSPI ch0 受信完了信号 (TSPI0RXDEND) 001: UART ch0 受信完了トリガ (UART0RXTRG) 010: T32A ch12 タイマレジスタ A0 一致トリガ (T32A12TRGOUTCMPA0) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると“0”が読めます。
26	UPDN47	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL47	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN47	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると“0”が読めます。
22:20	INSEL46[2:0]	000	R/W	入力トリガの選択(T32A ch0 タイマ A) 000: TSPI ch0 送信完了信号 (TSPI0TXDEND) 001: UART ch0 送信完了トリガ (UART0TXTRG) 010: T32A ch12 タイマレジスタ A0 一致トリガ (T32A12TRGOUTCMPA0) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると“0”が読めます。
18	UPDN46	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL46	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN46	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると“0”が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL45[2:0]	000	R/W	入力トリガの選択(T32A ch8 タイマ B) 000: T32A ch4 タイマ出力 B (T32A04OUTB) 001: T32A ch8 タイマ出力 A (T32A08OUTA) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると“0”が読めます。
10	UPDN45	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL45	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN45	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると“0”が読めます。
6:4	INSEL44[2:0]	000	R/W	入力トリガの選択(T32A ch7 タイマ B) 000: T32A ch11 タイマレジスタ A0 一致トリガ (T32A11TRGOUTCMPA0) 001: T32A ch13 タイマレジスタ B0 一致トリガ (T32A13TRGOUTCMPB0) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると“0”が読めます。
2	UPDN44	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL44	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN44	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.13. [TSEL0CR12](コントロールレジスタ 12)

Bit	Bit Symbol	リセット後	Type	機能
31	-	-	-	リードすると“0”が読めます。
30:28	INSEL51[2:0]	000	R/W	入力トリガの選択(T32A ch2 タイマ B) 000: TSPI ch2 受信完了信号 (TSPI2RXDEND) 001: UART ch2 受信完了トリガ (UART2RXTRG) 010: T32A ch12 タイマレジスタ B0 一致トリガ (T32A12TRGOUTCMPB0) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると“0”が読めます。
26	UPDN51	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL51	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN51	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると“0”が読めます。
22:20	INSEL50[2:0]	000	R/W	入力トリガの選択(T32A ch2 タイマ A) 000: TSPI ch2 送信完了信号 (TSPI2TXDEND) 001: UART ch2 送信完了トリガ (UART2TXTRG) 010: T32A ch12 タイマレジスタ B0 一致トリガ (T32A12TRGOUTCMPB0) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると“0”が読めます。
18	UPDN50	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL50	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN50	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると“0”が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL49[2:0]	000	R/W	入力トリガの選択(T32A ch1 タイマ B) 000: TSPI ch1 受信完了信号 (TSPI1RXDEND) 001: UART ch1 受信完了トリガ (UART1RXTRG) 010: T32A ch12 タイマレジスタ A0 一致トリガ (T32A12TRGOUTCMPA0) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると“0”が読めます。
10	UPDN49	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL49	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN49	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると“0”が読めます。
6:4	INSEL48[2:0]	000	R/W	入力トリガの選択(T32A ch1 タイマ A) 000: TSPI ch1 送信完了信号 (TSPI1TXDEND) 001: UART ch1 送信完了トリガ (UART1TXTRG) 010: T32A ch12 タイマレジスタ A0 一致トリガ (T32A12TRGOUTCMPA0) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると“0”が読めます。
2	UPDN48	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL48	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN48	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.14. [TSEL0CR13](コントロールレジスタ 13)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると“0”が読めます。
30:28	INSEL55[2:0]	000	R/W	入力トリガの選択(T32A ch4 タイマ B) 000: TSPI ch4 送信完了信号 (TSPI4TXDEND) 001: T32A ch13 タイマレジスタ A0 一致トリガ (T32A13TRGOUTCMPA0) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると“0”が読めます。
26	UPDN55	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL55	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN55	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると“0”が読めます。
22:20	INSEL54[2:0]	000	R/W	入力トリガの選択(T32A ch4 タイマ A) 000: TSPI ch4 送信完了信号 (TSPI4TXDEND) 001: T32A ch13 タイマレジスタ A0 一致トリガ (T32A13TRGOUTCMPA0) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると“0”が読めます。
18	UPDN54	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL54	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN54	0	R/W	トリガ出力制御 0: 禁止 1: 許可

Bit	Bit Symbol	リセット後	Type	機能
15	-	0	R	リードすると“0”が読めます。
14:12	INSEL53[2:0]	000	R/W	入力トリガの選択(T32A ch3 タイマ B) 000: TSPI ch3 受信完了信号 (TSPI3RXDEND) 001: T32A ch12 タイマレジスタ B0 一致トリガ (T32A12TRGOUTCMPB0) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると“0”が読めます。
10	UPDN53	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL53	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN53	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると“0”が読めます。
6:4	INSEL52[2:0]	000	R/W	入力トリガの選択(T32A ch3 タイマ A) 000: TSPI ch3 送信完了信号 (TSPI3TXDEND) 001: T32A ch12 タイマレジスタ B0 一致トリガ (T32A12TRGOUTCMPB0) 010: Reserved 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると“0”が読めます。
2	UPDN52	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL52	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN52	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.3. クロック選択式ウォッチドッグタイマ(SIWDT)

2.3.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.10 SIWDT 搭載チャンネル

製品	SIWDT 搭載チャンネル (○:あり、×:なし)
	ch0
M4G9	○
M4G8	○
M4G7	○
M4G6	○

2.3.2. カウントクロック

クロック選択式ウォッチドッグタイマは、カウントするクロックを選択可能です。以下の表に選択できるクロックを示します。

表 2.11 SIWDT カウントクロック

クロック	信号名	選択
システムクロック	f _{sys}	[SIWD0MOD]<WDCLS> レジスタで選択します。
内蔵高速発振器 1 クロック (注 1)	f _{IHOSC1}	
内蔵高速発振器 2 クロック (注 2)	f _{IHOSC2}	

注1) 発振制御レジスタは[CGOSCCR]<IHOSC1EN>です。

注2) 発振制御レジスタは[RLMLOSCCR]<POSCEN>です。

2.3.3. プロテクト機能

TMPM4G グループ(1)は、プロテクト A モードには対応していません。

プロテクト機能を使用する場合は、プロテクト B モードを使用してください。

2.3.4. 発振クロックプロテクト機能

TMPM4G グループ(1)は、発振クロックプロテクト機能はありません。

従って [SIWDxOSCCR](発振クロックプロテクト制御レジスタ)は使用できません。

2.4. 周波数検知回路(OFD)

2.4.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.12 OFD 搭載一覧

製品	OFD 搭載 (○:あり、×:なし)
	ch0
M4G9	○
M4G8	○
M4G7	○
M4G6	○

2.4.2. 基準クロック

周波数検知回路は以下の表のクロックを基準クロックとして動作します。

表 2.13 OFD 基準クロック

基準クロック	信号名	分周値
内蔵高速発振器 2 クロック	f _{IHOSC2}	128

注) 発振制御レジスタは[RLMLOSCCR]<POSCEN>です。

2.4.3. 検知対象クロック

周波数検知回路は以下の表の検知対象クロックからモニタしたいクロックを選択します。

表 2.14 OFD 検知対象クロック

検知対象クロック		信号名
入力信号	外部高速発振器クロック	f _{EHOSC}
	CG(クロック制御部)の [CGOSCCR]<OSCSEL> と [CGPLLOSEL]<PLLOSEL>で 選択されたクロック	fc

2.5. デバッグインタフェース

2.5.1. 製品別デバッグインタフェース一覧

表 2.15 デバッグインタフェース搭載一覧

デバッグ端子 (信号名)	ポート	端子対応 ○:あり、×:なし)			
		M4G9	M4G8	M4G7	M4G6
SWDIO	PH4	○	○	○	○
TMS					
SWCLK	PH5	○	○	○	○
TCK					
SWV	PH6	○	○	○	○
TDO					
TDI	PH3	○	○	○	○
TRST_N	PH7	○	○	○	○
TRACECLK	PG6	○	○	○	○
TRACEDATA0	PG7	○	○	○	○
TRACEDATA1	PH0	○	○	○	○
TRACEDATA2	PH1	○	○	○	○
TRACEDATA3	PH2	○	○	○	○

2.6. ノンブレイクデバッグ インタフェース(NBDIF)

2.6.1. 機能対応

製品毎の機能対応を下記表に示します。

表 2.16 NBDIF 機能対応

製品	機能対応 (○:あり、×:なし)
M4G9	○
M4G8	○
M4G7	○
M4G6	○

2.6.2. 製品別 NBDIF 一覧

表 2.17 NBDIF 搭載一覧

NBDIF 端子 (信号名)	ポート	端子対応 (○:あり、×:なし)			
		M4G9	M4G8	M4G7	M4G6
NBDCLK	PG6	○	○	○	○
NBDDATA0	PG7	○	○	○	○
NBDDATA1	PH0	○	○	○	○
NBDDATA2	PH1	○	○	○	○
NBDDATA3	PH2	○	○	○	○
NBDSYNC	PH3	○	○	○	○

2.7. フラッシュメモリ

2.7.1. 書き込み, 消去操作クロック

フラッシュメモリは、コードフラッシュまたはデータフラッシュへの書き込み, 消去操作に以下の表に示すクロックが使用されます。

表 2.18 書き込み, 消去操作クロック

書き込み, 消去操作クロック
f_{IHOSC1}

注) 発振制御レジスタは[CGOSCCR]<IHOSC1EN>です。

2.7.2. 製品別コードフラッシュブロック構成

コードフラッシュメモリは、下記の表のように製品によってメモリのブロック構成が異なります。

表 2.19 製品別コードフラッシュのブロック構成

FLASH I/F	エリア	ブロック名称	TMPM4G9F15FG	TMPM4G9F10XBG,	TMPM4G9FEFG	TMPM4G9FDFG	ブロックサイズ (KB)	
			TMPM4G9F15XBG, TMPM4G8F15FG TMPM4G8F15XBG,	TMPM4G8F10FG TMPM4G8F10XBG TMPM4G7F10FG TMPM4G6F10FG	TMPM4G9FEXBG, TMPM4G8FEFG TMPM4G8FEXBG TMPM4G7FEFG, TMPM4G6FEFG	TMPM4G9FDXBG TMPM4G8FDFG TMPM4G8FDXBG TMPM4G7FDFG TMPM4G6FDFG		
0	0	Block0	PG0	○	○	○	○	4
			PG1	○	○	○	○	4
			PG2	○	○	○	○	4
			PG3	○	○	○	○	4
			PG4	○	○	○	○	4
			PG5	○	○	○	○	4
			PG6	○	○	○	○	4
			PG7	○	○	○	○	4
		Block1	○	○	○	○	32	
		Block2	○	○	○	○	32	
		Block3	○	○	○	○	32	
		Block4	○	○	○	○	32	
		Block5	○	○	○	○	32	
		Block6	○	○	○	○	32	
		Block7	○	○	○	○	32	
		Block8	○	○	○	○	32	
		Block9	○	○	○	○	32	
Block10	○	○	○	○	32			
Block11	○	○	○	○	32			
Block12	○	○	○	○	32			
Block13	○	○	○	○	32			
Block14	○	○	○	○	32			
Block15	○	○	○	○	32			

0	1	Block16	○	○	○	×	32	
		Block17	○	○	○	×	32	
		Block18	○	○	○	×	32	
		Block19	○	○	○	×	32	
		Block20	○	○	○	×	32	
		Block21	○	○	○	×	32	
		Block22	○	○	○	×	32	
		Block23	○	○	○	×	32	
		Block24	○	○	×	×	32	
		Block25	○	○	×	×	32	
		Block26	○	○	×	×	32	
		Block27	○	○	×	×	32	
		Block28	○	○	×	×	32	
		Block29	○	○	×	×	32	
		Block30	○	○	×	×	32	
		Block31	○	○	×	×	32	
1	2	Block0	PG0	○	×	×	×	4
			PG1	○	×	×	×	4
			PG2	○	×	×	×	4
			PG3	○	×	×	×	4
			PG4	○	×	×	×	4
			PG5	○	×	×	×	4
			PG6	○	×	×	×	4
			PG7	○	×	×	×	32
		Block1	○	×	×	×	32	
		Block2	○	×	×	×	32	
		Block3	○	×	×	×	32	
		Block4	○	×	×	×	32	
		Block5	○	×	×	×	32	
		Block6	○	×	×	×	32	
		Block7	○	×	×	×	32	
		Block8	○	×	×	×	32	
Block9	○	×	×	×	32			
Block10	○	×	×	×	32			
Block11	○	×	×	×	32			
Block12	○	×	×	×	32			
Block13	○	×	×	×	32			
Block14	○	×	×	×	32			
Block15	○	×	×	×	32			

注) ○:Block/PGあり、×: Block/PGなし

2.7.3. 製品別データフラッシュブロック構成

データフラッシュメモリは、下記の表のように製品によってメモリのブロック構成が異なります。

表 2.20 製品別データフラッシュ

FLASH I/F	エリア	ブロック名称	TMPM4G9F15FG TMPM4G9F15XBG, TMPM4G8F15FG TMPM4G8F15XBG,	TMPM4G9F10FG TMPM4G9F10XBG, TMPM4G8F10FG TMPM4G8F10XBG TMPM4G7F10FG TMPM4G6F10FG	TMPM4G9FEFG TMPM4G9FEXBG, TMPM4G8FEFG TMPM4G8FEXBG TMPM4G7FEFG, TMPM4G6FEFG	TMPM4G9DFDG TMPM4G9FDXBG TMPM4G8DFDG TMPM4G8FDXBG TMPM4G7DFDG TMPM4G6DFDG	ブロック サイズ (KB)
2	4	Block0	○	○	○	○	4
		Block1	○	○	○	○	4
		Block2	○	○	○	○	4
		Block3	○	○	○	○	4
		Block4	○	○	○	○	4
		Block5	○	○	○	○	4
		Block6	○	○	○	○	4
		Block7	○	○	○	○	4

注) ○:Blockあり、×:Blockなし

2.7.4. シングルブート使用リソース

シングルブートでは下記表の周辺機能を使用します。

表 2.21 シングルブート使用リソース

周辺機能	チャネル	端子名
BOOT	—	PY4 (BOOT_N)
UART	ch0	PH4/PH5 (UT0TXDA/UT0RXD)
T32A	ch0	-

シングルブートモードの決定は、RESET_N 端子またはパワーオンリセット(POR)からのリセット解除による設定が可能です。

RAM ローダコマンドで転送する RAM アドレスは下表の範囲で行ってください。

表 2.22 RAM転送可能最終アドレス

製品名	RAM 転送可能最終アドレス
TMPM4G9F15FG TMPM4G9F15XBG TMPM4G8F15FG TMPM4G8F15XBG TMPM4G9F10FG TMPM4G9F10XBG TMPM4G8F10FG TMPM4G8F10XBG TMPM4G7F10FG TMPM4G6F10FG	0x20000400~0x2001FFFF
TMPM4G9FEFG TMPM4G9FEXBG TMPM4G8FEFG TMPM4G8FEXBG TMPM4G7FEFG TMPM4G6FEFG TMPM4G9FDFG TMPM4G9FDXBG TMPM4G8FDFG TMPM4G8FDXBG TMPM4G7FDFG TMPM4G6FDFG	0x20000400~0x20017FFF

2.8. 高速 DMA コントローラ(HDMAC)

2.8.1. 搭載ユニット

製品毎の搭載ユニット数を下記表に示します。

表 2.23 HDMAコントローラ 搭載ユニット

製品	HDMA コントローラ搭載ユニット (○:あり、×:なし)	
	ユニット A	ユニット B
M4G9	○	○
M4G8	○	○
M4G7	○	○
M4G6	○	○

2.8.2. DMA 転送要求一覧

下記表に DMA 転送要求一覧を示します。

表内の“-”は該当する機能がありません。

表 2.24 HDMAC DMA転送要求一覧：ユニット A

ch	シングル転送要求		バースト転送要求	
		信号名		信号名
0	TSPI ch0 受信 DMA 要求	TSPI0RX_DMA	TSPI ch0 受信 DMA 要求	TSPI0RX_DMA
1	TSPI ch0 送信 DMA 要求	TSPI0TX_DMA	TSPI ch0 送信 DMA 要求	TSPI0TX_DMA
2	TSPI ch2 受信 DMA 要求	TSPI2RX_DMA	TSPI ch2 受信 DMA 要求	TSPI2RX_DMA
3	TSPI ch2 送信 DMA 要求	TSPI2TX_DMA	TSPI ch2 送信 DMA 要求	TSPI2TX_DMA
4	TSPI ch4 受信 DMA 要求	TSPI4RX_DMA	TSPI ch4 受信 DMA 要求	TSPI4RX_DMA
5	TSPI ch4 送信 DMA 要求	TSPI4TX_DMA	TSPI ch4 送信 DMA 要求	TSPI4TX_DMA
6	-	-	SMIFch0 割り込み	INTSMIO
7	-	-	-	-
8	-	-	-	-
9	-	-	-	-
10	-	-	-	-
11	-	-	-	-
12	-	-	-	-
13	-	-	-	-
14	-	-	-	-
15	-	-	PB1(HDMAREQA) トリガ入力 (注)	PB1(HDMAREQA)

注) DMA転送要求する場合は、2 x fsyshサイクル以上の“High”パルス PB1ポートへ入力してください。

表 2.25 HDMAC DMA転送要求一覧：ユニット B

ch	シングル転送要求		バースト転送要求	
		信号名		信号名
0	TSPI ch1 受信 DMA 要求	TSPI1RX_DMA	TSPI ch1 受信 DMA 要求	TSPI1RX_DMA
1	TSPI ch1 送信 DMA 要求	TSPI1TX_DMA	TSPI ch1 送信 DMA 要求	TSPI1TX_DMA
2	TSPI ch3 受信 DMA 要求	TSPI3RX_DMA	TSPI ch3 受信 DMA 要求	TSPI3RX_DMA
3	TSPI ch3 送信 DMA 要求	TSPI3TX_DMA	TSPI ch3 送信 DMA 要求	TSPI3TX_DMA
4	TSPI ch5 受信 DMA 要求 (注 1)	TSPI5RX_DMA	TSPI ch5 受信 DMA 要求 (注 1)	TSPI5RX_DMA
5	TSPI ch5 送信 DMA 要求 (注 1)	TSPI5TX_DMA	TSPI ch5 送信 DMA 要求 (注 1)	TSPI5TX_DMA
6	-	-	-	-
7	-	-	-	-
8	-	-	-	-
9	-	-	-	-
10	-	-	-	-
11	-	-	-	-
12	-	-	-	-
13	-	-	-	-
14	-	-	-	-
15	-	-	PK1(HDMAREQB) トリガ入力 (注 2)	PK1(HDMAREQB)

注1) M4G6製品には機能はありません。

注2) DMA転送要求する場合は、2 x fsyshサイクル以上の“H”パルスをPK1ポートへ入力してください。

2.9. 多機能 DMA コントローラ(MDMAC)

2.9.1. 搭載ユニット

製品毎の搭載ユニット数を下記表に示します。

表 2.26 MDMAC 搭載ユニット

製品	MDMAC 搭載ユニット (○:あり、×:なし)
	ユニット A
M4G9	○
M4G8	○
M4G7	○
M4G6	○

2.9.2. DMA 転送要求一覧

下記表に DMA 転送要求一覧を示します。

表のトリガセクタ欄にレジスタ名のあるチャンネルは、トリガセクタで使用する要求を選択してください。表内の“-”は該当する機能がありません。

表 2.27 MDMAC DMA転送要求一覧：ユニット A (1/4)

チャネル	シングル転送要求			バースト転送要求	
	トリガセクタ		信号名		信号名
ch0	[TSEL0CR0] <INSEL0[2:0]> (注 1)	TSPI ch6 受信 DMA 要求 (注 3)(注 4)	TSPI6RX_DMA	-	-
		UART ch4 受信 DMA 要求 (注 3)(注 4)	UART4RX_DMAREQ		
		I ² C ch3 受信 DMA リクエスト (注 3)(注 4)	I2C3RXDMAREQ		
		T32A ch0 DMA 要求 キャプチャ A0	T32A00DMAREQCAPA0		
ch1	[TSEL0CR0] <INSEL1[2:0]> (注 1)	TSPI ch6 送信 DMA 要求 (注 3)(注 4)	TSPI6TX_DMA	-	-
		UART ch4 送信 DMA 要求 (注 3)(注 4)	UART4TX_DMAREQ		
		I ² C ch3 送信 DMA リクエスト (注 3)(注 4)	I2C3TXDMAREQ		
		T32A ch0 DMA 要求 キャプチャ C0	T32A00DMAREQCAPC0		
ch2	[TSEL0CR0] <INSEL2[2:0]> (注 1)	TSPI ch7 受信 DMA 要求 (注 3)(注 4)	TSPI7RX_DMA	-	-
		FUART ch1 受信 DMA 要求 (注 3)(注 4)	FUART1RX_DMAREQ		
		I ² C ch4 受信 DMA リクエスト (注 3)(注 4)	I2C4RXDMAREQ		
ch3	[TSEL0CR0] <INSEL3[2:0]> (注 1)	TSPI ch7 送信 DMA 要求 (注 3)(注 4)	TSPI7TX_DMA	-	-
		FUART ch1 送信 DMA 要求 (注 3)(注 4)	FUART1TX_DMAREQ		
		I ² C ch4 送信 DMA リクエスト (注 3)(注 4)	I2C4TXDMAREQ		
ch4	[TSEL0CR1] <INSEL4[2:0]> (注 1)	TSPI ch8 受信 DMA 要求 (注 2)(注 3)(注 4)	TSPI8RX_DMA	-	-
		T32A ch0 DMA 要求 レジスタ A1 一致	T32A00DMAREQCMPA1		
		T32A ch0 DMA 要求 レジスタ C1 一致	T32A00DMAREQCMPA1		
ch5	[TSEL0CR1] <INSEL5[2:0]> (注 1)	TSPI ch8 送信 DMA 要求 (注 2)(注 3)(注 4)	TSPI8TX_DMA	-	-
		T32A ch0 DMA 要求 レジスタ B1 一致	T32A00DMAREQCMPB1		
		T32A ch0 DMA 要求 キャプチャ B0	T32A00DMAREQCAPB0		

注 1) ch0～ch31 はトリガセクタで DMA 転送要求のトリガソースを選択します。詳細な接続先については、「2.2. トリガセクタ(TRGSEL)」を参照してください。

注 2) M4G8 製品には機能はありません。

注 3) M4G7 製品には機能はありません。

注 4) M4G6 製品には機能はありません。

表 2.28 MDMAC DMA転送要求一覧：ユニット A (2/4)

チャネル	シングル転送要求		バースト転送要求		
	トリガセクタ	信号名	信号名	信号名	
ch6	[TSEL0CR1] <INSEL6[2:0]> (注)	T32A ch1 DMA 要求 レジスタ A1 一致	T32A01DMAREQCMPA1	-	-
		T32A ch1 DMA 要求 レジスタ C1 一致	T32A01DMAREQCMPC1		
		T32A ch1 DMA 要求 キャプチャ A0	T32A01DMAREQCAPA0		
		T32A ch1 DMA 要求 キャプチャ C0	T32A01DMAREQCAPC0		
ch7	[TSEL0CR1] <INSEL7[2:0]> (注)	T32A ch1 DMA 要求 レジスタ B1 一致	T32A01DMAREQCMPB1	-	-
		T32A ch1 DMA 要求 キャプチャ B0	T32A01DMAREQCAPB0		
		UART ch0 受信 DMA 要求	UART0RX_DMAREQ		
		I ² C ch0 受信 DMA リクエスト	I2C0RXDMAREQ		
ch8	[TSEL0CR2] <INSEL8[2:0]> (注)	T32A ch2 DMA 要求 レジスタ A1 一致	T32A02DMAREQCMPA1	-	-
		T32A ch2 DMA 要求 レジスタ C1 一致	T32A02DMAREQCMPC1		
		T32A ch2 DMA 要求 キャプチャ A0	T32A02DMAREQCAPA0		
		T32A ch2 DMA 要求 キャプチャ C0	T32A02DMAREQCAPC0		
ch9	[TSEL0CR2] <INSEL9[2:0]> (注)	T32A ch2 DMA 要求 レジスタ B1 一致	T32A02DMAREQCMPB1	-	-
		T32A ch2 DMA 要求 キャプチャ B0	T32A02DMAREQCAPB0		
		UART ch0 送信 DMA 要求	UART0TX_DMAREQ		
		I ² C ch0 送信 DMA リクエスト	I2C0TXDMAREQ		
ch10	[TSEL0CR2] <INSEL10[2:0]> (注)	T32A ch3 DMA 要求 レジスタ A1 一致	T32A03DMAREQCMPA1	-	-
		T32A ch3 DMA 要求 レジスタ C1 一致	T32A03DMAREQCMPC1		
		T32A ch3 DMA 要求 キャプチャ A0	T32A03DMAREQCAPA0		
		T32A ch3 DMA 要求 キャプチャ C0	T32A03DMAREQCAPC0		
ch11	[TSEL0CR2] <INSEL11[2:0]> (注)	T32A ch3 DMA 要求 レジスタ B1 一致	T32A03DMAREQCMPB1	-	-
		T32A ch3 DMA 要求 キャプチャ B0	T32A03DMAREQCAPB0		
		UART ch1 受信 DMA 要求	UART1RX_DMAREQ		
		I ² C ch1 受信 DMA リクエスト	I2C1RXDMAREQ		
ch12	[TSEL0CR3] <INSEL12[2:0]> (注)	T32A ch4 DMA 要求 レジスタ A1 一致	T32A04DMAREQCMPA1	-	-
		T32A ch4 DMA 要求 レジスタ C1 一致	T32A04DMAREQCMPC1		
		T32A ch4 DMA 要求 キャプチャ A0	T32A04DMAREQCAPA0		
		T32A ch4 DMA 要求 キャプチャ C0	T32A04DMAREQCAPC0		
ch13	[TSEL0CR3] <INSEL13[2:0]> (注)	T32A ch4 DMA 要求 レジスタ B1 一致	T32A04DMAREQCMPB1	-	-
		T32A ch4 DMA 要求 キャプチャ B0	T32A04DMAREQCAPB0		
		UART ch1 送信 DMA 要求	UART1TX_DMAREQ		
		I ² C ch1 送信 DMA リクエスト	I2C1TXDMAREQ		
ch14	[TSEL0CR3] <INSEL14[2:0]> (注)	T32A ch5 DMA 要求 レジスタ A1 一致	T32A05DMAREQCMPA1	-	-
		T32A ch5 DMA 要求 レジスタ C1 一致	T32A05DMAREQCMPC1		
		T32A ch5 DMA 要求 キャプチャ A0	T32A05DMAREQCAPA0		
		T32A ch5 DMA 要求 キャプチャ C0	T32A05DMAREQCAPC0		
ch15	[TSEL0CR3] <INSEL15[2:0]> (注)	T32A ch5 DMA 要求 レジスタ B1 一致	T32A05DMAREQCMPB1	-	-
		T32A ch5 DMA 要求 キャプチャ B0	T32A05DMAREQCAPB0		
		FUART ch0 送信 DMA 要求	FUART0TX_DMAREQ		
		I ² C ch2 送信 DMA リクエスト	I2C2TXDMAREQ		
ch16	[TSEL0CR4] <INSEL16[2:0]> (注)	T32A ch6 DMA 要求 レジスタ A1 一致	T32A06DMAREQCMPA1	-	-
		T32A ch6 DMA 要求 レジスタ C1 一致	T32A06DMAREQCMPC1		
		T32A ch6 DMA 要求 キャプチャ A0	T32A06DMAREQCAPA0		
		T32A ch6 DMA 要求 キャプチャ C0	T32A06DMAREQCAPC0		

注) ch0~ch31 はトリガセクタで DMA 転送要求のトリガソースを選択します。詳細な接続先については、「2.2. トリガセクタ(TRGSEL)」を参照してください。

表 2.29 MDMAC DMA転送要求一覧：ユニット A (3/4)

チャネル	シングル転送要求		バースト転送要求		
	トリガセクタ	信号名	信号名	信号名	
ch17	[TSEL0CR4] <INSEL17[2:0]> (注)	T32A ch6 DMA 要求 レジスタ B1 一致	T32A06DMAREQCMPB1	-	-
		T32A ch6 DMA 要求 キャプチャ B0	T32A06DMAREQCAPB0		
		FUART ch0 受信 DMA 要求	FUART0RX_DMAREQ		
		I ² C ch2 受信 DMA リクエスト	I2C2RXDMAREQ		
ch18	[TSEL0CR4] <INSEL18[2:0]> (注)	T32A ch7 DMA 要求 レジスタ A1 一致	T32A07DMAREQCMPA1	-	-
		T32A ch7 DMA 要求 レジスタ C1 一致	T32A07DMAREQCMPC1		
		T32A ch7 DMA 要求 キャプチャ A0	T32A07DMAREQCAPA0		
		T32A ch7 DMA 要求 キャプチャ C0	T32A07DMAREQCAPC0		
ch19	[TSEL0CR4] <INSEL19[2:0]> (注)	T32A ch7 DMA 要求 レジスタ B1 一致	T32A07DMAREQCMPB1	-	-
		T32A ch7 DMA 要求 キャプチャ B0	T32A07DMAREQCAPB0		
		UART ch2 受信 DMA 要求	UART2RX_DMAREQ		
		ADC ユニット A 汎用トリガ DMA 要求	ADATRG_DMAREQ		
ch20	[TSEL0CR5] <INSEL20[2:0]> (注)	T32A ch8 DMA 要求 レジスタ A1 一致	T32A08DMAREQCMPA1	-	-
		T32A ch8 DMA 要求 レジスタ C1 一致	T32A08DMAREQCMPC1		
		T32A ch8 DMA 要求 キャプチャ A0	T32A08DMAREQCAPA0		
		T32A ch8 DMA 要求 キャプチャ C0	T32A08DMAREQCAPC0		
ch21	[TSEL0CR5] <INSEL21[2:0]> (注)	T32A ch8 DMA 要求 レジスタ B1 一致	T32A08DMAREQCMPB1	-	-
		T32A ch8 DMA 要求 キャプチャ B0	T32A08DMAREQCAPB0		
		UART ch2 送信 DMA 要求	UART2TX_DMAREQ		
		ADC ユニット A 最優先 DMA 要求	ADAHP_DMAREQ		
ch22	[TSEL0CR5] <INSEL22[2:0]> (注)	T32A ch9 DMA 要求 レジスタ A1 一致	T32A09DMAREQCMPA1	-	-
		T32A ch9 DMA 要求 レジスタ C1 一致	T32A09DMAREQCMPC1		
		T32A ch9 DMA 要求 キャプチャ A0	T32A09DMAREQCAPA0		
		T32A ch9 DMA 要求 キャプチャ C0	T32A09DMAREQCAPC0		
ch23	[TSEL0CR5] <INSEL23[2:0]> (注)	T32A ch9 DMA 要求 レジスタ B1 一致	T32A09DMAREQCMPB1	-	-
		T32A ch9 DMA 要求 キャプチャ B0	T32A09DMAREQCAPB0		
		T32A ch9 DMA 要求 キャプチャ A1	T32A09DMAREQCAPA1		
		T32A ch9 DMA 要求 キャプチャ B1	T32A09DMAREQCAPB1		
ch24	[TSEL0CR6] <INSEL24[2:0]> (注)	T32A ch10 DMA 要求 レジスタ A1 一致	T32A10DMAREQCMPA1	-	-
		T32A ch10 DMA 要求 レジスタ C1 一致	T32A10DMAREQCMPC1		
		T32A ch10 DMA 要求 キャプチャ A0	T32A10DMAREQCAPA0		
		T32A ch10 DMA 要求 キャプチャ C0	T32A10DMAREQCAPC0		
ch25	[TSEL0CR6] <INSEL25[2:0]> (注)	T32A ch10 DMA 要求 レジスタ B1 一致	T32A10DMAREQCMPB1	-	-
		T32A ch10 DMA 要求 キャプチャ B0	T32A10DMAREQCAPB0		
		T32A ch10 DMA 要求 キャプチャ A1	T32A10DMAREQCAPA1		
		T32A ch10 DMA 要求 キャプチャ B1	T32A10DMAREQCAPB1		
ch26	[TSEL0CR6] <INSEL26[2:0]> (注)	T32A ch11 DMA 要求 レジスタ A1 一致	T32A11DMAREQCMPA1	-	-
		T32A ch11 DMA 要求 レジスタ C1 一致	T32A11DMAREQCMPC1		
		T32A ch11 DMA 要求 キャプチャ A0	T32A11DMAREQCAPA0		
		T32A ch11 DMA 要求 キャプチャ C0	T32A11DMAREQCAPC0		
ch27	[TSEL0CR6] <INSEL27[2:0]> (注)	T32A ch11 DMA 要求 レジスタ B1 一致	T32A11DMAREQCMPB1	-	-
		T32A ch11 DMA 要求 キャプチャ B0	T32A11DMAREQCAPB0		
		T32A ch11 DMA 要求 キャプチャ A1	T32A11DMAREQCAPA1		
		T32A ch11 DMA 要求 キャプチャ B1	T32A11DMAREQCAPB1		

注) ch0~ch31 はトリガセクタで DMA 転送要求のトリガソースを選択します。詳細な接続先については、「2.2. トリガセクタ(TRGSEL)」を参照してください。

表 2.30 MDMAC DMA転送要求一覧：ユニット A (4/4)

チャネル	シングル転送要求		バースト転送要求		
	トリガセクタ		信号名	信号名	
ch28	[TSEL0CR7] <INSEL28[2:0]> (注 1)	T32A ch12 DMA 要求 レジスタ A1 一致	T32A12DMAREQCMPA1	-	-
		T32A ch12 DMA 要求 レジスタ C1 一致	T32A12DMAREQCMPA1		
		UART ch3 受信 DMA 要求 (注 4)	UART3RX_DMAREQ		
ch29	[TSEL0CR7] <INSEL29[2:0]> (注 1)	T32A ch12 DMA 要求 レジスタ B1 一致	T32A12DMAREQCMPB1	-	-
		UART ch3 送信 DMA 要求 (注 4)	UART3TX_DMAREQ		
		A-PMD ch0 PWM 割り込み	INTPWM0		
ch30	[TSEL0CR7] <INSEL30[2:0]> (注 1)	T32A ch13 DMA 要求 レジスタ A1 一致	T32A13DMAREQCMPA1	-	-
		T32A ch13 DMA 要求 レジスタ C1 一致	T32A13DMAREQCMPA1		
		UART ch5 受信 DMA 要求 (注 2)(注 3)(注 4)	UART5RX_DMAREQ		
ch31	[TSEL0CR7] <INSEL31[2:0]> (注 1)	T32A ch13 DMA 要求 レジスタ B1 一致	T32A13DMAREQCMPB1	-	-
		UART ch5 送信 (注 2)(注 3)(注 4)	UART5TX_DMAREQ		
		TRGIN2(PT3 端子) (注 5)	TRGIN2		

注 1) ch0~ch31 はトリガセクタで DMA 転送要求のトリガソースを選択します。詳細な接続先については、「2.2. トリガセクタ(TRGSEL)」を参照してください。

注 2) M4G8 製品には機能はありません。

注 3) M4G7 製品には機能はありません。

注 4) M4G6 製品には機能はありません。

注 5) DMA 転送要求する場合は、3 x fsysm サイクル以上の"H"パルス PT3 ポートへ入力してください。

2.10. アドバンストプログラマブルモータ制御回路(A-PMD)

2.10.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.31 A-PMD 搭載チャンネル

製品	A-PMD 搭載チャンネル (○:あり、×:なし)	
	ch0	
M4G9	○	
M4G8	○	
M4G7	○	
M4G6	○	

2.10.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.32 A-PMD 機能端子

チャンネル	機能端子		信号名	ポート	ポートの製品対応 (○:あり、×:なし)			
					M4G9	M4G8	M4G7	M4G6
ch0	X00	出力	X00	PD1	○	○	○	○
				PV1	○	○	○	×
	Y00	出力	Y00	PD3	○	○	○	○
				PV3	○	○	○	×
	Z00	出力	Z00	PD5	○	○	○	○
				PV5	○	○	○	×
	U00	出力	U00	PD0	○	○	○	○
				PV0	○	○	○	×
	V00	出力	V00	PD2	○	○	○	○
				PV2	○	○	○	×
	W00	出力	W00	PD4	○	○	○	○
				PV4	○	○	○	×
	EMG0	入力	EMG0	PD6	○	○	○	○
				PV6	○	○	○	×
	OVV0	入力	OVV0	PD7	○	○	○	○
				PV7	○	○	○	×

2.10.3. DMA 要求

モータ制御回路は、以下の表に示す DMA 要求があります。

表 2.33 A-PMD DMA要求

チャンネル	要求	信号名	トリガセレクタ	DMA 要求チャンネル (MDMAC のユニット A)	
				シングル 転送	バースト 転送
ch0	PWM 割り込み	INTPWM0	[TSEL0CR7] <INSEL29[2:0]>	29	○ ×

注) ○:対応、×:非対応

2.10.4. 内部信号接続仕様

モータ制御回路は、下記表のように内部で周辺機能と接続されている信号があります。

2.10.4.1. ADC 接続

表 2.34 A-PMD 内部信号接続仕様:出力

入出力	機能出力		トリガセレクト	出力先	
		信号名			信号名
出力	ADC 同期トリガ出力 0	PMD0TRG0	[TSEL0CR8] <INSEL32[2:0]>	ADC ch0 最優先トリガ入力	AD0HPTRGIN
	ADC 同期トリガ出力 1	PMD0TRG1			
	ADC 同期トリガ出力 2	PMD0TRG2			
	ADC 同期トリガ出力 3	PMD0TRG3			
	ADC 同期トリガ出力 0	PMD0TRG0	[TSEL0CR8] <INSEL33[2:0]>	ADC ch0 汎用トリガ入力	AD0TRGIN
	ADC 同期トリガ出力 1	PMD0TRG1			
	ADC 同期トリガ出力 2	PMD0TRG2			
	ADC 同期トリガ出力 3	PMD0TRG3			

2.11. 12 ビットアナログデジタルコンバータ(ADC)

2.11.1. 搭載ユニット

製品毎の搭載ユニット数を下記表に示します。

表 2.35 ADC 搭載ユニット

製品	ADC 搭載ユニット (○:あり、×:なし)
	ユニット A
M4G9	○
M4G8	○
M4G7	○
M4G6	○

2.11.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

製品により機能端子がないチャンネルもあります。

表 2.36 ADC 機能端子とポート

入力チャンネル	機能端子 (信号名)	ポート	ポートの製品対応 (○:あり、×:なし)			
			M4G9	M4G8	M4G7	M4G6
ch0	AINA00	PN0	○	○	○	○
ch1	AINA01	PN1	○	○	○	○
ch2	AINA02	PN2	○	○	○	○
ch3	AINA03	PN3	○	○	○	○
ch4	AINA04	PN4	○	○	○	○
ch5	AINA05	PN5	○	○	○	○
ch6	AINA06	PN6	○	○	○	○
ch7	AINA07	PN7	○	○	○	○
ch8	AINA08	PP0	○	○	○	○
ch9	AINA09	PP1	○	○	○	○
ch10	AINA10	PP2	○	○	○	○
ch11	AINA11	PP3	○	○	○	○
ch12	AINA12	PP4	○	○	○	○
ch13	AINA13	PP5	○	○	○	○
ch14	AINA14	PP6	○	○	○	○
ch15	AINA15	PP7	○	○	○	○
ch16	AINA16	PR0	○	○	○	×
ch17	AINA17	PR1	○	○	○	×
ch18	AINA18	PR2	○	○	○	×
ch19	AINA19	PR3	○	○	○	×
ch20	AINA20	PR4	○	○	×	×
ch21	AINA21	PR5	○	○	×	×
ch22	AINA22	PR6	○	○	×	×
ch23	AINA23	PR7	○	○	×	×

2.11.3. アナログ基準端子

アナログ基準端子(VREFHA,VREFLA)は、アナログ電源端子(AVDD3,AVSS)と兼用です。

2.11.4. ADC 用変換クロック

12ビットアナログ/デジタルコンバータは、ADコンバータ用変換クロックに以下の表に示すクロックが使用されます。

表 2.37 ADC 用変換クロック

クロック
ADCLK

2.11.5. モード設定レジスタ 2 の設定値

モード設定レジスタ 2 ($[ADxMOD2]$)の設定値については、以下の表の値を必ず設定してください。

表 2.38 ADC モード設定レジスタ2の設定値

レジスタ名	値
$[ADxMOD2]<MOD2[31:0]>$	0x00000000

2.11.6. DMA 要求

12ビットアナログ/デジタルコンバータは、以下の表に示すDMA要求があります。

表 2.39 ADC DMA要求

ユニット	要求	信号名	トリガセレクタ	DMA 要求チャンネル (MDMAC のユニット A)		
				シングル 転送	バースト 転送	
A	汎用トリガ DMA 要求	ADATRG_DMAREQ	$[TSEL0CR4]$ <INSEL19[2:0]>	19	○	×
	最優先 DMA 要求	ADAHP_DMAREQ	$[TSEL0CR5]$ <INSEL21[2:0]>	21	○	×

注) ○:対応、×:非対応

2.11.7. 監視機能

監視機能は以下の表に示す機能に対応しています。

表 2.40 ADC 監視機能の対応

機能	機能対応 (○:あり、×なし)
監視機能 0	○
監視機能 1	○
監視機能 2	×
監視機能 3	×

2.11.8. 内部信号接続仕様

2.11.8.1. 起動トリガ接続仕様

12 ビットアナログ/デジタルコンバータには、トリガ信号による AD 変換機能があります。

下記表のトリガセクタ欄にレジスタ名のある入力トリガ信号は、トリガセクタで使用する入力トリガを選択してください。

表 2.41 ADC 起動トリガ接続仕様

接続先 (信号名)	起動トリガ		
	トリガセクタ	入力トリガ信号	信号名
ADAHPTRGIN	[TSELOCR8] <INSEL32[2:0]> (注)	ADC 同期トリガ出力 0	PMD0TRG0
		ADC 同期トリガ出力 1	PMD0TRG1
		ADC 同期トリガ出力 2	PMD0TRG2
		ADC 同期トリガ出力 3	PMD0TRG3
		TRGSEL 37 出力	TRGSEL0OUT37
		TRGSEL 38 出力	TRGSEL0OUT38
ADATRGIN	[TSELOCR8] <INSEL33[2:0]> (注)	ADC 同期トリガ出力 0	PMD0TRG0
		ADC 同期トリガ出力 1	PMD0TRG1
		ADC 同期トリガ出力 2	PMD0TRG2
		ADC 同期トリガ出力 3	PMD0TRG3
		TRGSEL 37 出力	TRGSEL0OUT37
		TRGSEL 38 出力	TRGSEL0OUT38

注) トリガセクタで起動トリガのトリガソースを選択します。詳細な接続先については、「2.2. トリガセクタ(TRGSEL)」を参照してください。

表 2.42 ADC 起動トリガ接続仕様(TRGSEL37,38出力)

接続先 (信号名)	起動トリガ		
	トリガセクタ	入力トリガ信号	
TRGSEL37 出力 (TRGSEL0OUT37)	[TSEL0CR9] <INSEL37[2:0]> (注)	T32A ch9 タイマレジスタ A1 一致トリガ	T32A09TRGOUTCMPA1
		T32A ch9 タイマレジスタ B1 一致トリガ	T32A09TRGOUTCMPB1
		T32A ch10 タイマレジスタ A1 一致トリガ	T32A10TRGOUTCMPA1
		T32A ch10 タイマレジスタ B1 一致トリガ	T32A10TRGOUTCMPB1
		T32A ch11 タイマレジスタ A1 一致トリガ	T32A11TRGOUTCMPA1
		T32A ch11 タイマレジスタ B1 一致トリガ	T32A11TRGOUTCMPB1
		TRGIN0 (PG3 端子)	-
		TRGIN1 (PL7 端子)	-
TRGSEL38 出力 (TRGSEL0OUT38)	[TSEL0CR9] <INSEL38[2:0]> (注)	T32A ch9 タイマレジスタ A1 一致トリガ	T32A09TRGOUTCMPA1
		T32A ch9 タイマレジスタ B1 一致トリガ	T32A09TRGOUTCMPB1
		T32A ch10 タイマレジスタ A1 一致トリガ	T32A10TRGOUTCMPA1
		T32A ch10 タイマレジスタ B1 一致トリガ	T32A10TRGOUTCMPB1
		T32A ch11 タイマレジスタ A1 一致トリガ	T32A11TRGOUTCMPA1
		T32A ch11 タイマレジスタ B1 一致トリガ	T32A11TRGOUTCMPB1
		TRGIN0 (PG3 端子)	-
		TRGIN1 (PL7 端子)	-

注) トリガセクタで起動トリガのトリガソースを選択します。詳細な接続先については、「2.2. トリガセクタ(TRGSEL)」を参照してください。

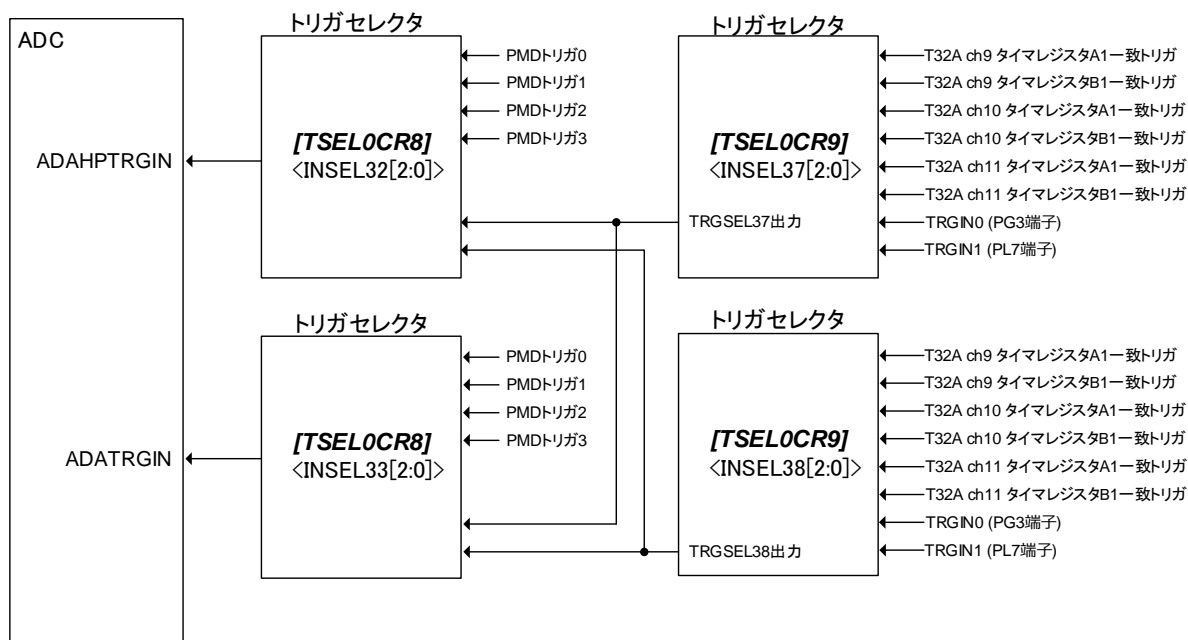


図 2.2 ADC 起動トリガ接続仕様概略図

2.12. 8 ビットデジタルアナログコンバータ(DAC)

2.12.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.43 DAC 搭載チャンネル

製品	DAC 搭載チャンネル (○:あり、×:なし)	
	ch0	ch1
M4G9	○	○
M4G8	○	○
M4G7	○	○
M4G6	○	○

2.12.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.44 DAC 機能端子とポート

チャンネル	機能端子 (信号名)	ポート	ポートの製品対応 (○:あり、×:なし)			
			M4G9	M4G8	M4G7	M4G6
ch0	DAC0	PT0	○	○	○	○
ch1	DAC1	PT1	○	○	○	○

2.13. 電圧検知回路(LVD)

2.13.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.45 LVD搭載一覧

製品	LVD 搭載 (○:あり、×:なし)
M4G9	○
M4G8	○
M4G7	○
M4G6	○

2.13.2. 検知対象電源

電圧検知回路は以下の表の電源をモニタします。

表 2.46 LVD 検知対象電源

検知対象電源	電源名
デジタル用電源端子	DVDD3

2.14. 32 ビットタイマイイベントカウンタ(T32A)

2.14.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.47 T32A 搭載チャンネル

製品	T32A 搭載チャンネル (○:あり、×:なし)													
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch8	ch9	ch10	ch11	ch12	ch13
M4G9	○	○	○	○	○	○	○	○	○	○	○	○	○	○
M4G8	○	○	○	○	○	○	○	○	○	○	○	○	○	○
M4G7	○	○	○	○	○	○	○	○	○	○	○	○	○	○
M4G6	○	○	○	○	○	○	○	○	○	○	○	○	○	○

2.14.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

複数に割り当てられている同一機能端子は排他的に使用してください。

製品により機能端子がないチャンネルもあります。

表 2.48 T32A 機能端子とポート(1/4)

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (○:あり、×:なし)			
				M4G9	M4G8	M4G7	M4G6
ch0	T32A00INA0	入力	PA0 / PK0	○ / ○	○ / ○	○ / ○	○ / ○
	T32A00INA1	入力	PA3	○	○	○	○
	T32A00OUTA	出力	PA1 / PW1	○ / ○	○ / ×	○ / ×	○ / ×
	T32A00INB0	入力	PA3 / PK1	○ / ○	○ / ○	○ / ○	○ / ○
	T32A00INB1	入力	PA0	○	○	○	○
	T32A00OUTB	出力	PA2 / PW0	○ / ○	○ / ×	○ / ×	○ / ×
	T32A00INC0	入力	PA0 / PK0	○ / ○	○ / ○	○ / ○	○ / ○
	T32A00INC1	入力	PA3 / PK3	○ / ○	○ / ○	○ / ○	○ / ○
ch1	T32A00OUTC	出力	PA1 / PW1	○ / ○	○ / ×	○ / ×	○ / ×
	T32A01INA0	入力	PA4 / PK6	○ / ○	○ / ○	○ / ○	○ / ○
	T32A01INA1	入力	PA7	○	○	○	○
	T32A01OUTA	出力	PA5 / PW2	○ / ○	○ / ×	○ / ×	○ / ×
	T32A01INB0	入力	PA7 / PK7	○ / ○	○ / ○	○ / ○	○ / ○
	T32A01INB1	入力	PA4	○	○	○	○
	T32A01OUTB	出力	PA6 / PW3	○ / ○	○ / ×	○ / ×	○ / ×
	T32A01INC0	入力	PA4 / PK6	○ / ○	○ / ○	○ / ○	○ / ○
T32A01INC1	入力	PA7 / PK7	○ / ○	○ / ○	○ / ○	○ / ○	
T32A01OUTC	出力	PA5 / PW2	○ / ○	○ / ×	○ / ×	○ / ×	

表 2.49 T32A 機能信号とポート(2/4)

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (○:あり, ×:なし)			
				M4G9	M4G8	M4G7	M4G6
ch2	T32A02INA0	入力	PB0 / PL0	○ / ○	○ / ○	○ / ○	○ / ○
	T32A02INA1	入力	PB1	○	○	○	○
	T32A02OUTA	出力	PB2 / PG5	○ / ○	○ / ○	○ / ○	○ / ○
	T32A02INB0	入力	PB1 / PL3	○ / ○	○ / ○	○ / ○	○ / ○
	T32A02INB1	入力	PB0	○	○	○	○
	T32A02OUTB	出力	PB3 / PG4	○ / ○	○ / ○	○ / ○	○ / ○
	T32A02INC0	入力	PB0 / PL0	○ / ○	○ / ○	○ / ○	○ / ○
	T32A02INC1	入力	PB1 / PL3	○ / ○	○ / ○	○ / ○	○ / ○
ch3	T32A03OUTC	出力	PB2 / PG5	○ / ○	○ / ○	○ / ○	○ / ○
	T32A03INA0	入力	PB6 / PJ4	○ / ○	○ / ×	○ / ×	○ / ×
	T32A03INA1	入力	PB7	○	○	○	○
	T32A03OUTA	出力	PB4 / PT3	○ / ○	○ / ○	○ / ○	○ / ○
	T32A03INB0	入力	PB7 / PJ5	○ / ○	○ / ×	○ / ×	○ / ×
	T32A03INB1	入力	PB6	○	○	○	○
	T32A03OUTB	出力	PB5 / PT5	○ / ○	○ / ○	○ / ○	○ / ×
	T32A03INC0	入力	PB6 / PJ4	○ / ○	○ / ×	○ / ×	○ / ×
ch4	T32A03INC1	入力	PB7 / PJ5	○ / ○	○ / ×	○ / ×	○ / ×
	T32A04OUTC	出力	PB4 / PT3	○ / ○	○ / ○	○ / ○	○ / ○
	T32A04INA0	入力	PD0 / PP0	○ / ○	○ / ○	○ / ○	○ / ○
	T32A04INA1	入力	PD1 / PP1	○ / ○	○ / ○	○ / ○	○ / ○
	T32A04OUTA	出力	PD2 / PV5	○ / ○	○ / ○	○ / ○	○ / ×
	T32A04INB0	入力	PD1 / PP1	○ / ○	○ / ○	○ / ○	○ / ○
	T32A04INB1	入力	PD0 / PP0	○ / ○	○ / ○	○ / ○	○ / ○
	T32A04OUTB	出力	PD3 / PV4	○ / ○	○ / ○	○ / ○	○ / ×
ch5	T32A04INC0	入力	PD0 / PP0	○ / ○	○ / ○	○ / ○	○ / ○
	T32A04INC1	入力	PD1 / PP1	○ / ○	○ / ○	○ / ○	○ / ○
	T32A04OUTC	出力	PD2 / PV5	○ / ○	○ / ○	○ / ○	○ / ×
	T32A05INA0	入力	PD6 / PP2	○ / ○	○ / ○	○ / ○	○ / ○
	T32A05INA1	入力	PD7 / PP3	○ / ○	○ / ○	○ / ○	○ / ○
	T32A05OUTA	出力	PD4 / PV6	○ / ○	○ / ○	○ / ○	○ / ×
	T32A05INB0	入力	PD7 / PP3	○ / ○	○ / ○	○ / ○	○ / ○
	T32A05INB1	入力	PD6 / PP2	○ / ○	○ / ○	○ / ○	○ / ○
ch6	T32A05OUTB	出力	PD5 / PV7	○ / ○	○ / ○	○ / ○	○ / ×
	T32A05INC0	入力	PD6 / PP2	○ / ○	○ / ○	○ / ○	○ / ○
	T32A05INC1	入力	PD7 / PP3	○ / ○	○ / ○	○ / ○	○ / ○
	T32A05OUTC	出力	PD4 / PV6	○ / ○	○ / ○	○ / ○	○ / ×
	T32A06INA0	入力	PE2 / PP4	○ / ○	○ / ○	○ / ○	○ / ○
	T32A06INA1	入力	PE0 / PP5	○ / ○	○ / ○	○ / ○	○ / ○
	T32A06OUTA	出力	PE1 / PM5	○ / ○	○ / ○	○ / ×	○ / ×
	T32A06INB0	入力	PE3 / PP5	○ / ○	○ / ○	○ / ○	○ / ○
ch6	T32A06INB1	入力	PE0 / PP4	○ / ○	○ / ○	○ / ○	○ / ○
	T32A06OUTB	出力	PE0 / PM4	○ / ○	○ / ○	○ / ×	○ / ×
	T32A06INC0	入力	PE2 / PP4	○ / ○	○ / ○	○ / ○	○ / ○
	T32A06INC1	入力	PE3 / PP5	○ / ○	○ / ○	○ / ○	○ / ○
ch6	T32A06OUTC	出力	PE1 / PM5	○ / ○	○ / ○	○ / ×	○ / ×

表 2.50 T32A 機能信号とポート(3/4)

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (O:あり、×:なし)			
				M4G9	M4G8	M4G7	M4G6
ch7	T32A07INA0	入力	PE4 / PP6	○ / ○	○ / ○	○ / ○	○ / ○
	T32A07INA1	入力	PE7 / PP7	○ / ○	○ / ○	○ / ○	○ / ○
	T32A07OUTA	出力	PE6 / PM6	○ / ○	○ / ○	○ / ×	○ / ×
	T32A07INB0	入力	PE5 / PP7	○ / ○	○ / ○	○ / ○	○ / ○
	T32A07INB1	入力	PE7 / PP6	○ / ○	○ / ○	○ / ○	○ / ○
	T32A07OUTB	出力	PE7 / PM7	○ / ○	○ / ○	○ / ×	○ / ×
	T32A07INC0	入力	PE4 / PP6	○ / ○	○ / ○	○ / ○	○ / ○
	T32A07INC1	入力	PE5 / PP7	○ / ○	○ / ○	○ / ○	○ / ○
	T32A07OUTC	出力	PE6 / PM6	○ / ○	○ / ○	○ / ×	○ / ×
ch8	T32A08INA0	入力	PC0 / PR0	○ / ○	○ / ○	○ / ○	× / ×
	T32A08OUTA	出力	PC2 / PL4	○ / ○	○ / ×	○ / ×	× / ×
	T32A08INB0	入力	PC1 / PR1	○ / ○	○ / ○	○ / ○	× / ×
	T32A08OUTB	出力	PC3 / PL5	○ / ○	○ / ×	○ / ×	× / ×
	T32A08INC0	入力	PC0 / PR0	○ / ○	○ / ○	○ / ○	× / ×
	T32A08INC1	入力	PC1 / PR1	○ / ○	○ / ○	○ / ○	× / ×
	T32A08OUTC	出力	PC2 / PL4	○ / ○	○ / ×	○ / ×	× / ×
ch9	T32A09INA0	入力	PR2 / PV0	○ / ○	○ / ○	○ / ○	× / ×
	T32A09OUTA	出力	PL6 / PV2	○ / ○	× / ○	× / ○	× / ×
	T32A09INB0	入力	PR3 / PV1	○ / ○	○ / ○	○ / ○	× / ×
	T32A09OUTB	出力	PL7 / PV3	○ / ○	× / ○	× / ○	× / ×
	T32A09INC0	入力	PR2 / PV0	○ / ○	○ / ○	○ / ○	× / ×
	T32A09INC1	入力	PR3 / PV1	○ / ○	○ / ○	○ / ○	× / ×
	T32A09OUTC	出力	PL6 / PV2	○ / ○	× / ○	× / ○	× / ×
ch10	T32A10INA0	入力	PR4 / PW4	○ / ○	○ / ×	× / ×	× / ×
	T32A10INA1	入力	PW7	○	×	×	×
	T32A10OUTA	出力	PC4 / PW5	○ / ○	○ / ×	× / ×	× / ×
	T32A10INB0	入力	PR5	○	○	×	×
	T32A10OUTB	出力	PC5 / PW4	○ / ○	○ / ×	× / ×	× / ×
	T32A10INC0	入力	PR4	○	○	×	×
	T32A10INC1	入力	PR5	○	○	×	×
	T32A10OUTC	出力	PC4 / PW5	○ / ○	○ / ×	× / ×	× / ×
ch11	T32A11INA0	入力	PR6 / PW7	○ / ○	○ / ×	× / ×	× / ×
	T32A11INA1	入力	PW4	○	×	×	×
	T32A11OUTA	出力	PM2 / PW6	○ / ○	○ / ×	× / ×	× / ×
	T32A11INB0	入力	PR7	○	○	×	×
	T32A11OUTB	出力	PM3 / PW7	○ / ○	○ / ×	× / ×	× / ×
	T32A11INC0	入力	PR6	○	○	×	×
	T32A11OUTC	出力	PM2 / PW6	○ / ○	○ / ×	× / ×	× / ×

表 2.51 T32A 機能信号とポート(4/4)

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (○:あり、×:なし)			
				M4G9	M4G8	M4G7	M4G6
ch12	T32A12INA0	入力	PU2	○	×	×	×
	T32A12OUTA	出力	PU0	○	×	×	×
	T32A12INB0	入力	PU3	○	×	×	×
	T32A12OUTB	出力	PU1	○	×	×	×
	T32A12INC0	入力	PU2	○	×	×	×
	T32A12INC1	入力	PU3	○	×	×	×
	T32A12OUTC	出力	PU0	○	×	×	×
ch13	T32A13INA0	入力	PU5	○	×	×	×
	T32A13OUTA	出力	PU6	○	×	×	×
	T32A13INB0	入力	PU4	○	×	×	×
	T32A13OUTB	出力	PU7	○	×	×	×
	T32A13INC0	入力	PU5	○	×	×	×
	T32A13INC1	入力	PU4	○	×	×	×
	T32A13OUTC	出力	PU6	○	×	×	×

2.14.3. プリスケーラ用クロック

32 ビットタイマイイベントカウンタは、プリスケーラ用クロックに以下の表に示すクロックが使用されます。

表 2.52 T32A プリスケーラ用クロック

プリスケーラ用クロック
ΦT0m

2.14.4. 内部信号接続仕様

32 ビットタイマイイベントカウンタは、下記表のように内部で接続されている信号があります。

2.14.4.1. キャプチャ/カウンタチャンネル間接続仕様

32 ビットタイマイイベントカウンタは、以下の表に示すキャプチャトリガ信号が接続されます。

下記表のトリガセレクト欄にレジスタ名のある入力トリガ信号は、トリガセレクトで使用する入力トリガを選択してください。

表 2.53 T32A 4入力トリガ接続

チャネル	タイマ	機能(入力)	信号名	トリガセレクト	チャネル	タイマ	機能(出力)	信号名
ch12	A	内部トリガ (レジスタ A0 一致)	T32A12TRGOUTCMPA0	[TSEL0CR11] <INSEL46[2:0]>	0	A	内部トリガ 入力	T32A00TRGINAPCK
				[TSEL0CR11] <INSEL47[2:0]>	0	B		T32A00TRGINBPCK
				[TSEL0CR12] <INSEL48[2:0]>	1	A		T32A01TRGINAPCK
				[TSEL0CR12] <INSEL49[2:0]>	1	B		T32A01TRGINBPCK
ch12	B	内部トリガ (レジスタ B0 一致)	T32A12TRGOUTCMPB0	[TSEL0CR12] <INSEL50[2:0]>	2	A	内部トリガ 入力	T32A02TRGINAPCK
				[TSEL0CR12] <INSEL51[2:0]>	2	B		T32A02TRGINBPCK
				[TSEL0CR13] <INSEL52[2:0]>	3	A		T32A03TRGINAPCK
				[TSEL0CR13] <INSEL53[2:0]>	3	B		T32A03TRGINBPCK
ch13	A	内部トリガ (レジスタ A0 一致)	T32A13TRGOUTCMPA0	[TSEL0CR13] <INSEL54[2:0]>	4	A	内部トリガ 入力	T32A04TRGINAPCK
				[TSEL0CR13] <INSEL55[2:0]>	4	B		T32A04TRGINBPCK
				[TSEL0CR9] <INSEL39[2:0]>	5	A		T32A05TRGINAPCK
				[TSEL0CR10] <INSEL40[2:0]>	5	B		T32A05TRGINBPCK
ch13	B	内部トリガ (レジスタ B0 一致)	T32A13TRGOUTCMPB0	[TSEL0CR10] <INSEL41[2:0]>	6	A	内部トリガ 入力	T32A06TRGINAPCK
				[TSEL0CR10] <INSEL42[2:0]>	6	B		T32A06TRGINBPCK
				[TSEL0CR10] <INSEL43[2:0]>	7	A		T32A07TRGINAPCK
				[TSEL0CR11] <INSEL44[2:0]>	7	B		T32A07TRGINBPCK
ch2	A	内部トリガ (レジスタ A0 一致)	T32A02TRGOUTCMPA0	-	12	A	内部トリガ 入力	T32A12TRGINAPCK
				-	12	B		T32A12TRGINBPCK
				[TSEL0CR8] <INSEL35[2:0]>	13	A		T32A13TRGINAPCK
				[TSEL0CR9] <INSEL36[2:0]>	13	B		T32A13TRGINBPCK
ch12	C	内部トリガ (レジスタ C0 一致)	T32A12TRGOUTCMPC0	-	0	C	内部トリガ 入力	T32A00TRGINCPCK
				-	1	C		T32A01TRGINCPCK
				-	2	C		T32A02TRGINCPCK
				-	3	C		T32A03TRGINCPCK

ch13	C	内部トリガ (レジスタ C0 一致)	T32A13TRGOUTCMPC0	-	4	C	内部トリ ガ 入力	T32A04TRGINCPCK
				-	5	C		T32A05TRGINCPCK
				-	6	C		T32A06TRGINCPCK
				-	7	C		T32A07TRGINCPCK

注) -:該当なし

表 2.54 T32A タイマ出力トリガ接続

T32A				トリガセクタ	T32A			
チャ ネル	タイマ	機能(出力)	信号名		チャ ネル	タイマ	機能(入力)	信号名
ch4	A	タイマ出力	T32A04OUTA	-	8	A	他タイマ出力	T32A08TRGINAPHCK
ch4	B	タイマ出力	T32A04OUTB	[TSEL0CR11] <INSEL45[2:0]>	8	B	他タイマ出力	T32A08TRGINBPHCK
ch5	A	タイマ出力	T32A05OUTA	-	9	A	他タイマ出力	T32A09TRGINAPHCK
ch5	B	タイマ出力	T32A05OUTB	-	9	B	他タイマ出力	T32A09TRGINBPHCK
ch6	A	タイマ出力	T32A06OUTA	-	10	A	他タイマ出力	T32A10TRGINAPHCK
ch6	B	タイマ出力	T32A06OUTB	-	10	B	他タイマ出力	T32A10TRGINBPHCK
ch7	A	タイマ出力	T32A07OUTA	-	11	A	他タイマ出力	T32A11TRGINAPHCK
ch7	B	タイマ出力	T32A07OUTB	-	11	B	他タイマ出力	T32A11TRGINBPHCK

注) -:該当なし

2.14.4.2. 同期制御接続仕様

32 ビットタイマイイベントカウンタは、以下の表に示すように同じチャンネル内でタイマが同期接続されています。

表 2.55 T32A 同期制御接続仕様(1/3)

チャネル	マスタ			スレーブ			
	タイマ	機能(出力)	信号名	チャネル	タイマ	機能(出力)	信号名
ch0	A	同期スタート出力 A	T32A00SYNCSTARTOUTA	0	B	同期スタート B	T32A00SYNCSTARTB
				1	A	同期スタート A	T32A01SYNCSTARTA
				1	B	同期スタート B	T32A01SYNCSTARTB
		同期ストップ出力 A	T32A00SYNCSTOPOUTA	0	B	同期停止 B	T32A00SYNCSTOPB
				1	A	同期停止 A	T32A01SYNCSTOPA
				1	B	同期停止 B	T32A01SYNCSTOPB
		同期リロード出力 A	T32A00SYNCRELOADOUTA	0	B	同期リロード B	T32A00SYNCRELOADB
				1	A	同期リロード A	T32A01SYNCRELOADA
				1	B	同期リロード B	T32A01SYNCRELOADB
ch0	C	同期スタート出力 C	T32A00SYNCSTARTOUTC	1	C	同期スタート C	T32A01SYNCSTARTC
		同期ストップ出力 C	T32A00SYNCSTOPOUTC	1	C	同期停止 C	T32A01SYNCSTOPC
		同期リロード出力 C	T32A00SYNCRELOADOUTC	1	C	同期リロード C	T32A01SYNCRELOADC
ch2	A	同期スタート出力 A	T32A02SYNCSTARTOUTA	2	B	同期スタート B	T32A02SYNCSTARTB
				3	A	同期スタート A	T32A03SYNCSTARTA
				3	B	同期スタート B	T32A03SYNCSTARTB
		同期ストップ出力 A	T32A02SYNCSTOPOUTA	2	B	同期停止 B	T32A02SYNCSTOPB
				3	A	同期停止 A	T32A03SYNCSTOPA
				3	B	同期停止 B	T32A03SYNCSTOPB
		同期リロード出力 A	T32A02SYNCRELOADOUTA	2	B	同期リロード B	T32A02SYNCRELOADB
				3	A	同期リロード A	T32A03SYNCRELOADA
				3	B	同期リロード B	T32A03SYNCRELOADB
ch2	C	同期スタート出力 C	T32A02SYNCSTARTOUTC	3	C	同期スタート C	T32A03SYNCSTARTC
		同期ストップ出力 C	T32A02SYNCSTOPOUTC	3	C	同期停止 C	T32A03SYNCSTOPC
		同期リロード出力 C	T32A02SYNCRELOADOUTC	3	C	同期リロード C	T32A03SYNCRELOADC

表 2.56 T32A 同期制御接続仕様(2/3)

チャネル	マスタ			スレーブ			
	タイマ	機能(出力)	信号名	チャネル	タイマ	機能(出力)	信号名
ch4	A	同期スタート出力 A	T32A04SYNCSTARTOUTA	4	B	同期スタート B	T32A04SYNCSTARTB
				5	A	同期スタート A	T32A05SYNCSTARTA
				5	B	同期スタート B	T32A05SYNCSTARTB
		同期ストップ出力 A	T32A04SYNCSTOPOUTA	4	B	同期停止 B	T32A04SYNCSTOPB
				5	A	同期停止 A	T32A05SYNCSTOPA
				5	B	同期停止 B	T32A05SYNCSTOPB
		同期リロード出力 A	T32A04SYNCRELOADOUTA	4	B	同期リロード B	T32A04SYNCRELOADB
				5	A	同期リロード A	T32A05SYNCRELOADA
				5	B	同期リロード B	T32A05SYNCRELOADB
ch4	C	同期スタート出力 C	T32A04SYNCSTARTOUTC	5	C	同期スタート C	T32A05SYNCSTARTC
		同期ストップ出力 C	T32A04SYNCSTOPOUTC	5	C	同期停止 C	T32A05SYNCSTOPC
		同期リロード出力 C	T32A04SYNCRELOADOUTC	5	C	同期リロード C	T32A05SYNCRELOADC
ch6	A	同期スタート出力 A	T32A06SYNCSTARTOUTA	6	B	同期スタート B	T32A06SYNCSTARTB
				7	A	同期スタート A	T32A07SYNCSTARTA
				7	B	同期スタート B	T32A07SYNCSTARTB
		同期ストップ出力 A	T32A06SYNCSTOPOUTA	6	B	同期停止 B	T32A06SYNCSTOPB
				7	A	同期停止 A	T32A07SYNCSTOPA
				7	B	同期停止 B	T32A07SYNCSTOPB
		同期リロード出力 A	T32A06SYNCRELOADOUTA	6	B	同期リロード B	T32A06SYNCRELOADB
				7	A	同期リロード A	T32A07SYNCRELOADA
				7	B	同期リロード B	T32A07SYNCRELOADB
ch6	C	同期スタート出力 C	T32A06SYNCSTARTOUTC	7	C	同期スタート C	T32A07SYNCSTARTC
		同期ストップ出力 C	T32A06SYNCSTOPOUTC	7	C	同期停止 C	T32A07SYNCSTOPC
		同期リロード出力 C	T32A06SYNCRELOADOUTC	7	C	同期リロード C	T32A07SYNCRELOADC
ch8	A	同期スタート出力 A	T32A08SYNCSTARTOUTA	8	B	同期スタート B	T32A08SYNCSTARTB
				9	A	同期スタート A	T32A09SYNCSTARTA
				9	B	同期スタート B	T32A09SYNCSTARTB
		同期ストップ出力 A	T32A08SYNCSTOPOUTA	8	B	同期停止 B	T32A08SYNCSTOPB
				9	A	同期停止 A	T32A09SYNCSTOPA
				9	B	同期停止 B	T32A09SYNCSTOPB
		同期リロード出力 A	T32A08SYNCRELOADOUTA	8	B	同期リロード B	T32A08SYNCRELOADB
				9	A	同期リロード A	T32A09SYNCRELOADA
				9	B	同期リロード B	T32A09SYNCRELOADB
ch8	C	同期スタート出力 C	T32A08SYNCSTARTOUTC	9	C	同期スタート C	T32A09SYNCSTARTC
		同期ストップ出力 C	T32A08SYNCSTOPOUTC	9	C	同期停止 C	T32A09SYNCSTOPC
		同期リロード出力 C	T32A08SYNCRELOADOUTC	9	C	同期リロード C	T32A09SYNCRELOADC

表 2.57 T32A 同期制御接続仕様(3/3)

チャネル	マスタ			スレーブ			
	タイマ	機能(出力)	信号名	チャネル	タイマ	機能(出力)	信号名
ch10	A	同期スタート出力 A	T32A10SYNCSTARTOUTA	10	B	同期スタート B	T32A10SYNCSTARTB
				11	A	同期スタート A	T32A11SYNCSTARTA
				11	B	同期スタート B	T32A11SYNCSTARTB
		同期ストップ出力 A	T32A10SYNCSTOPOUTA	10	B	同期停止 B	T32A10SYNCSTOPB
				11	A	同期停止 A	T32A11SYNCSTOPA
				11	B	同期停止 B	T32A11SYNCSTOPB
		同期リロード出力 A	T32A10SYNCRELOADOUTA	10	B	同期リロード B	T32A10SYNCRELOADB
				11	A	同期リロード A	T32A11SYNCRELOADA
				11	B	同期リロード B	T32A11SYNCRELOADB
ch10	C	同期スタート出力 C	T32A10SYNCSTARTOUTC	11	C	同期スタート C	T32A11SYNCSTARTC
		同期ストップ出力 C	T32A10SYNCSTOPOUTC	11	C	同期停止 C	T32A11SYNCSTOPC
		同期リロード出力 C	T32A10SYNCRELOADOUTC	11	C	同期リロード C	T32A11SYNCRELOADC
ch12	A	同期スタート出力 A	T32A12SYNCSTARTOUTA	12	B	同期スタート B	T32A12SYNCSTARTB
				13	A	同期スタート A	T32A13SYNCSTARTA
				13	B	同期スタート B	T32A13SYNCSTARTB
		同期ストップ出力 A	T32A12SYNCSTOPOUTA	12	B	同期停止 B	T32A12SYNCSTOPB
				13	A	同期停止 A	T32A13SYNCSTOPA
				13	B	同期停止 B	T32A13SYNCSTOPB
		同期リロード出力 A	T32A12SYNCRELOADOUTA	12	B	同期リロード B	T32A12SYNCRELOADB
				13	A	同期リロード A	T32A13SYNCRELOADA
				13	B	同期リロード B	T32A13SYNCRELOADB
ch12	C	同期スタート出力 C	T32A12SYNCSTARTOUTC	13	C	同期スタート C	T32A13SYNCSTARTC
		同期ストップ出力 C	T32A12SYNCSTOPOUTC	13	C	同期停止 C	T32A13SYNCSTOPC
		同期リロード出力 C	T32A12SYNCRELOADOUTC	13	C	同期リロード C	T32A13SYNCRELOADC

2.14.4.3. T32A タイマチャンネル間リロードトリガ接続仕様

表 2.58 T32A リロードトリガ接続

T32A				トリガセクタ	T32A			
チャネル	タイマ	機能(出力)	信号名		チャネル	タイマ	機能(入力)	信号名
ch9	A	内部トリガ (レジスタ A0 一致)	T32A09TRGOUTCMPA0	[TSEL0CR9] <INSEL39[2:0]>	5	A	内部トリガ 入力	T32A05TRGINAPCK
				[TSEL0CR10] <INSEL40[2:0]>	5	B		T32A05TRGINBPCK
				-	9	B		T32A09TRGINBPCK
ch10	A	内部トリガ (レジスタ A0 一致)	T32A10TRGOUTCMPA0	[TSEL0CR10] <INSEL41[2:0]>	6	A	内部トリガ 入力	T32A06TRGINAPCK
				[TSEL0CR10] <INSEL42[2:0]>	6	B		T32A06TRGINBPCK
				-	10	B		T32A10TRGINBPCK
ch11	A	内部トリガ (レジスタ A0 一致)	T32A11TRGOUTCMPA0	[TSEL0CR10] <INSEL43[2:0]>	7	A	内部トリガ 入力	T32A07TRGINAPCK
				[TSEL0CR11] <INSEL44[2:0]>	7	B		T32A07TRGINBPCK
				-	11	B		T32A11TRGINBPCK

2.14.4.4. TSPI/UART-T32A 間接続仕様

表 2.59 T32A TSPI/UART-T32A間接続仕様

TSPI		トリガセレクト	T32A			
機能(出力)	信号名		ch	タイマ	機能(入力)	信号名
TSPI ch0 送信完了信号	TSPI0TXDEND	[TSEL0CR11] <INSEL46[2:0]>	0	A	内部トリガ 入力	T32A00TRGINAPCK
UART ch0 送信完了トリガ	UART0TXTRG					
TSPI ch0 受信完了信号	TSPI0RXDEND	[TSEL0CR11] <INSEL47[2:0]>	0	B	内部トリガ 入力	T32A00TRGINBPCK
UART ch0 受信完了トリガ	UART0RXTRG					
TSPI ch1 送信完了信号	TSPI1TXDEND	[TSEL0CR12] <INSEL48[2:0]>	1	A	内部トリガ 入力	T32A01TRGINAPCK
UART ch1 送信完了トリガ	UART1TXTRG					
TSPI ch1 受信完了信号	TSPI1RXDEND	[TSEL0CR12] <INSEL49[2:0]>	1	B	内部トリガ 入力	T32A01TRGINBPCK
UART ch1 受信完了トリガ	UART1RXTRG					
TSPI ch2 送信完了信号	TSPI2TXDEND	[TSEL0CR12] <INSEL50[2:0]>	2	A	内部トリガ 入力	T32A02TRGINAPCK
UART ch2 送信完了トリガ	UART2TXTRG					
TSPI ch2 受信完了信号	TSPI2RXDEND	[TSEL0CR12] <INSEL51[2:0]>	2	B	内部トリガ 入力	T32A02TRGINBPCK
UART ch2 受信完了トリガ	UART2RXTRG					
TSPI ch3 送信完了信号	TSPI3TXDEND	[TSEL0CR13] <INSEL52[2:0]>	3	A	内部トリガ 入力	T32A03TRGINAPCK
TSPI ch3 受信完了信号	TSPI3RXDEND					
TSPI ch3 受信完了信号	TSPI3RXDEND	[TSEL0CR13] <INSEL53[2:0]>	3	B	内部トリガ 入力	T32A03TRGINBPCK
TSPI ch3 送信完了信号	TSPI3TXDEND					
TSPI ch4 送信完了信号	TSPI4TXDEND	[TSEL0CR13] <INSEL54[2:0]>	4	A	内部トリガ 入力	T32A04TRGINAPCK
TSPI ch4 受信完了信号	TSPI4RXDEND					
TSPI ch4 受信完了信号	TSPI4RXDEND	[TSEL0CR13] <INSEL55[2:0]>	4	B	内部トリガ 入力	T32A04TRGINBPCK
TSPI ch4 送信完了信号	TSPI4TXDEND					

注)-:該当なし

2.14.4.5. T32A - ISD 間接続仕様

表 2.60 T32A - ISD間接続仕様

T32A				ISD		
チャネル	タイマ	機能(出力)	信号名	ユニット	機能(入力)	信号名
ch9	A	タイマ A 出力	T32A09OUTA	A	クロックソース用タイマトリガ A	ISDACLKTRG
				B	クロックソース用タイマトリガ B	ISDBCLKTRG
				C	クロックソース用タイマトリガ C	ISDCCLKTRG

2.14.4.6. ELOSC 低速クロック-T32A 間接続仕様

表 2.61 T32A ELOSC低速クロック-T32A間接続仕様

		トリガセクタ	T32A			
機能(出力)	信号名		ch	タイマ	機能(入力)	信号名
ELOSC 低速クロック	fs	[TSEL0CR8] INSEL34[2:0]	8	A	内部トリガ 入力	T32A08TRGINAPCK

2.14.5. 製品別パルスカウント対応一覧

32 ビットタイマイイベントカウンタは、以下の表に示すように製品によってパルスカウントの対応が異なります。

表 2.62 T32A 製品別パルスカウント対応一覧

チャンネル	パルスカウント対応 (×:なし)			
	M4G9	M4G8	M4G7	M4G6
ch0	2相パルスカウント 1相パルスカウント			
ch1	2相パルスカウント 1相パルスカウント			
ch2	2相パルスカウント 1相パルスカウント			
ch3	2相パルスカウント 1相パルスカウント			
ch4	2相パルスカウント 1相パルスカウント			
ch5	2相パルスカウント 1相パルスカウント			
ch6	2相パルスカウント 1相パルスカウント			
ch7	2相パルスカウント 1相パルスカウント			
ch8	2相パルスカウント 1相パルスカウント			×
ch9	2相パルスカウント 1相パルスカウント			×
ch10	2相パルスカウント 1相パルスカウント		×	
ch11	2相パルスカウント 1相パルスカウント		×	
ch12	2相パルスカウント 1相パルスカウント	×		
ch13	2相パルスカウント 1相パルスカウント	×		

2.14.6. DMA 要求

32 ビットタイマイイベントカウンタは、以下の表に示す DMA 要求があります。

表のトリガセクタ欄にレジスタ名の記載あるものは、トリガセクタで使用する要求を選択してください。

表 2.63 T32A DMA要求(1/3)

チャンネル	要求	信号名	トリガセクタ	DMA 要求チャンネル (MDMAC のユニット A)		
				シングル 転送	バースト 転送	
ch0	DMA 要求 キャプチャ A0	T32A00DMAREQCAPA0	[TSELOCR0] <INSEL0[2:0]>	0	○	×
	DMA 要求 キャプチャ C0	T32A00DMAREQCAPC0	[TSELOCR0] <INSEL1[2:0]>	1	○	×
	DMA 要求 レジスタ A1 一致	T32A01DMAREQCMPA1	[TSELOCR1] <INSEL4[2:0]>	4	○	×
	DMA 要求 レジスタ C1 一致	T32A00DMAREQCMPC1				
	DMA 要求 レジスタ B1 一致	T32A00DMAREQCMPB1	[TSELOCR1] <INSEL5[2:0]>	5	○	×
	DMA 要求 キャプチャ B0	T32A00DMAREQCAPB0				
ch1	DMA 要求 レジスタ A1 一致	T32A01DMAREQCMPA1	[TSELOCR1] <INSEL6[2:0]>	6	○	×
	DMA 要求 レジスタ C1 一致	T32A01DMAREQCMPC1				
	DMA 要求 キャプチャ A0	T32A01DMAREQCAPA0				
	DMA 要求 キャプチャ C0	T32A01DMAREQCAPC0	[TSELOCR1] <INSEL7[2:0]>	7	○	×
	DMA 要求 レジスタ B1 一致	T32A01DMAREQCMPB1				
	DMA 要求 キャプチャ B0	T32A01DMAREQCAPB0				
ch2	DMA 要求 レジスタ A1 一致	T32A02DMAREQCMPA1	[TSELOCR2] <INSEL8[2:0]>	8	○	×
	DMA 要求 レジスタ C1 一致	T32A02DMAREQCMPC1				
	DMA 要求 キャプチャ A0	T32A02DMAREQCAPA0				
	DMA 要求 キャプチャ C0	T32A02DMAREQCAPC0	[TSELOCR2] <INSEL9[2:0]>	9	○	×
	DMA 要求 レジスタ B1 一致	T32A02DMAREQCMPB1				
	DMA 要求 キャプチャ B0	T32A02DMAREQCAPB0				
ch3	DMA 要求 レジスタ A1 一致	T32A03DMAREQCMPA1	[TSELOCR2] <INSEL10[2:0]>	10	○	×
	DMA 要求 レジスタ C1 一致	T32A03DMAREQCMPC1				
	DMA 要求 キャプチャ A0	T32A03DMAREQCAPA0				
	DMA 要求 キャプチャ C0	T32A03DMAREQCAPC0	[TSELOCR2] <INSEL11[2:0]>	11	○	×
	DMA 要求 レジスタ B1 一致	T32A03DMAREQCMPB1				
	DMA 要求 キャプチャ B0	T32A03DMAREQCAPB0				
ch4	DMA 要求 レジスタ A1 一致	T32A04DMAREQCMPA1	[TSELOCR3] <INSEL12[2:0]>	12	○	×
	DMA 要求 レジスタ C1 一致	T32A04DMAREQCMPC1				
	DMA 要求 キャプチャ A0	T32A04DMAREQCAPA0				
	DMA 要求 キャプチャ C0	T32A04DMAREQCAPC0	[TSELOCR3] <INSEL13[2:0]>	13	○	×
	DMA 要求 レジスタ B1 一致	T32A04DMAREQCMPB1				
	DMA 要求 キャプチャ B0	T32A04DMAREQCAPB0				
ch5	DMA 要求 レジスタ A1 一致	T32A05DMAREQCMPA1	[TSELOCR3] <INSEL14[2:0]>	14	○	×
	DMA 要求 レジスタ C1 一致	T32A05DMAREQCMPC1				
	DMA 要求 キャプチャ A0	T32A05DMAREQCAPA0				
	DMA 要求 キャプチャ C0	T32A05DMAREQCAPC0	[TSELOCR3] <INSEL15[2:0]>	15	○	×
	DMA 要求 レジスタ B1 一致	T32A05DMAREQCMPB1				
	DMA 要求 キャプチャ B0	T32A05DMAREQCAPB0				

注) ○:対応、×:非対応

表 2.64 T32A DMA要求(2/3)

チャンネル	要求	信号名	トリガセクタ	DMA 要求チャンネル (MDMAC のユニット A)		
				シングル 転送	バースト 転送	
ch6	DMA 要求 レジスタ A1 一致	T32A06DMAREQCPA1	[TSEL0CR4] <INSEL16[2:0]>	16	○	×
	DMA 要求 レジスタ C1 一致	T32A06DMAREQCMPC1				
	DMA 要求 キャプチャ A0	T32A06DMAREQCAPA0				
	DMA 要求 キャプチャ C0	T32A06DMAREQCAPC0				
	DMA 要求 レジスタ B1 一致	T32A06DMAREQCMPB1	[TSEL0CR4] <INSEL17[2:0]>			
	DMA 要求 キャプチャ B0	T32A06DMAREQCAPB0				
ch7	DMA 要求 レジスタ A1 一致	T32A07DMAREQCPA1	[TSEL0CR4] <INSEL18[2:0]>	18	○	×
	DMA 要求 レジスタ C1 一致	T32A07DMAREQCMPC1				
	DMA 要求 キャプチャ A0	T32A07DMAREQCAPA0				
	DMA 要求 キャプチャ C0	T32A07DMAREQCAPC0				
	DMA 要求 レジスタ B1 一致	T32A07DMAREQCMPB1	[TSEL0CR4] <INSEL19[2:0]>			
	DMA 要求 キャプチャ B0	T32A07DMAREQCAPB0				
ch8	DMA 要求 レジスタ A1 一致	T32A08DMAREQCPA1	[TSEL0CR5] <INSEL20[2:0]>	20	○	×
	DMA 要求 レジスタ C1 一致	T32A08DMAREQCMPC1				
	DMA 要求 キャプチャ A0	T32A08DMAREQCAPA0				
	DMA 要求 キャプチャ C0	T32A08DMAREQCAPC0				
	DMA 要求 レジスタ B1 一致	T32A08DMAREQCMPB1	[TSEL0CR5] <INSEL21[2:0]>			
	DMA 要求 キャプチャ B0	T32A08DMAREQCAPB0				
ch9	DMA 要求 レジスタ A1 一致	T32A09DMAREQCPA1	[TSEL0CR5] <INSEL22[2:0]>	22	○	×
	DMA 要求 レジスタ C1 一致	T32A09DMAREQCMPC1				
	DMA 要求 キャプチャ A0	T32A09DMAREQCAPA0				
	DMA 要求 キャプチャ C0	T32A09DMAREQCAPC0				
	DMA 要求 レジスタ B1 一致	T32A09DMAREQCMPB1	[TSEL0CR5] <INSEL23[2:0]>			
	DMA 要求 キャプチャ B0	T32A09DMAREQCAPB0				
	DMA 要求 キャプチャ A1	T32A09DMAREQCAPA1				
	DMA 要求 キャプチャ B1	T32A09DMAREQCAPB1				
DMA 要求 キャプチャ A1	T32A09DMAREQCAPA1					
10ch	DMA 要求 レジスタ A1 一致	T32A10DMAREQCPA1	[TSEL0CR6] <INSEL24[2:0]>	24	○	×
	DMA 要求 レジスタ C1 一致	T32A10DMAREQCMPC1				
	DMA 要求 キャプチャ A0	T32A10DMAREQCAPA0				
	DMA 要求 キャプチャ C0	T32A10DMAREQCAPC0				
	DMA 要求 レジスタ B1 一致	T32A10DMAREQCMPB1	[TSEL0CR6] <INSEL25[2:0]>			
	DMA 要求 キャプチャ B0	T32A10DMAREQCAPB0				
	DMA 要求 キャプチャ A1	T32A10DMAREQCAPA1				
	DMA 要求 キャプチャ B1	T32A10DMAREQCAPB1				
DMA 要求 キャプチャ B1	T32A10DMAREQCAPB1					
11ch	DMA 要求 レジスタ A1 一致	T32A11DMAREQCPA1	[TSEL0CR6] <INSEL26[2:0]>	26	○	×
	DMA 要求 レジスタ C1 一致	T32A11DMAREQCMPC1				
	DMA 要求 キャプチャ A0	T32A11DMAREQCAPA0				
	DMA 要求 キャプチャ C0	T32A11DMAREQCAPC0				
	DMA 要求 レジスタ B1 一致	T32A11DMAREQCMPB1	[TSEL0CR6] <INSEL27[2:0]>			
	DMA 要求 キャプチャ B0	T32A11DMAREQCAPB0				
	DMA 要求 キャプチャ A1	T32A11DMAREQCAPA1				
	DMA 要求 キャプチャ B1	T32A11DMAREQCAPB1				
DMA 要求 キャプチャ B1	T32A11DMAREQCAPB1					

注) ○:対応、×:非対応

表 2.65 T32A DMA要求(3/3)

チャンネル	要求	信号名	トリガセクタ	DMA 要求チャンネル (MDMAC のユニット A)		
				シングル 転送	バースト 転送	
12ch	DMA 要求 レジスタ A1 一致	T32A12DMAREQCMPA1	[TSEL0CR7] <INSEL28[2:0]>	28	○	×
	DMA 要求 レジスタ C1 一致	T32A12DMAREQCMPC1	[TSEL0CR7] <INSEL29[2:0]>	29	○	×
	DMA 要求 レジスタ B1 一致	T32A12DMAREQCMPB1	[TSEL0CR7] <INSEL30[2:0]>	30	○	×
13ch	DMA 要求 レジスタ A1 一致	T32A13DMAREQCMPA1	[TSEL0CR7] <INSEL31[2:0]>	31	○	×
	DMA 要求 レジスタ C1 一致	T32A13DMAREQCMPC1	[TSEL0CR7] <INSEL31[2:0]>	31	○	×
	DMA 要求 レジスタ B1 一致	T32A13DMAREQCMPB1	[TSEL0CR7] <INSEL31[2:0]>	31	○	×

注) ○:対応、×:非対応

2.15. リアルタイムクロック(RTC)

2.15.1. 搭載一覧

製品毎の搭載チャンネルを下記表に示します。

表 2.66 RTC 搭載一覧

製品	RTC 搭載一覧 (○:あり、×:なし)
M4G9	○
M4G8	○
M4G7	○
M4G6	○

2.15.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.67 RTC 機能端子とポート

機能端子 (信号名)	出力	ポート	ポートの製品対応 (○:あり、×:なし)			
			M4G9	M4G8	M4G7	M4G6
RTCALARM	出力	PG2	○	○	○	○
RTCCLK	出力	PT3	○	○	○	○

2.15.3. 時計カウントクロック

リアルタイムクロックは、時計カウントクロックに以下の表に示すクロックが使用されます。

表 2.68 RTC 時計カウントクロック

時計カウントクロック
fs

2.16. ロングタームタイマ(LTTMR)

2.16.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.69 LTTMR 搭載チャンネル

製品	LTTMR 搭載チャンネル (○:あり、×:なし)
	ch0
M4G9	○
M4G8	○
M4G7	○
M4G6	○

2.16.2. カウントクロック

ロングタームタイマは以下の表のクロックをカウントクロックとして動作します。

表 2.70 LTTMR カウントクロック

クロック	信号名
内蔵高速発振器 2 クロック (注)	f _{IHOSC2}

注) 発振制御レジスタは[RLMLOSCCR]<POSCEN>です。

2.16.3. 内部信号接続仕様

2.16.3.1. CEC/RMC 接続

表 2.71 LTTMR CEC/RMC信号接続仕様

入出力	機能出力	信号名	入力信号		
			周辺機能		信号名
出力	LTTMR0 割り込み	INTLTTMR0	CEC ch0	クロックソース用タイマトリガ 0	CEC0CLKTRG
			RMC ch0	クロックソース用タイマトリガ 0	TB0OUT
			RMC ch1	クロックソース用タイマトリガ 1	TB1OUT

2.17. 非同期シリアル通信回路(UART)

2.17.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

M4G グループ(1)製品に搭載している UART の 最大通信速度は 5.0Mbps です。

表 2.72 UART 搭載チャンネル

製品	UART 搭載チャンネル (○:あり、×:なし)					
	ch0	ch1	ch2	ch3	ch4	ch5
M4G9	○	○	○	○	○	○
M4G8	○	○	○	○	○	×
M4G7	○	○	○	○	×	×
M4G6	○	○	○	×	×	×

2.17.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

複数に割り当てられている同一機能端子は排他的に使用してください。

製品により機能端子がないチャンネルもあります。

表 2.73 UART 端子信号とポート

チャンネル	機能端子 (信号名)		ポート	ポートの製品対応 (○:あり、×:なし)			
				M4G9	M4G8	M4G7	M4G6
ch0	UT0RXD	入力	PE2 / PH4 / PH5	○ / ○ / ○	○ / ○ / ○	○ / ○ / ○	○ / ○ / ○
	UT0TXDA	出力	PE3 / PH5 / PH4	○ / ○ / ○	○ / ○ / ○	○ / ○ / ○	○ / ○ / ○
	UT0CTS_N	入力	PE1 / PH7 / PH6	○ / ○ / ○	○ / ○ / ○	○ / ○ / ○	○ / ○ / ○
	UT0RTS_N	出力	PE0 / PH6 / PH7	○ / ○ / ○	○ / ○ / ○	○ / ○ / ○	○ / ○ / ○
ch1	UT1RXD	入力	PH0 / PH1 / PV4	○ / ○ / ○	○ / ○ / ○	○ / ○ / ○	○ / ○ / ×
	UT1TXDA	出力	PH1 / PH0 / PV5	○ / ○ / ○	○ / ○ / ○	○ / ○ / ○	○ / ○ / ×
	UT1CTS_N	入力	PH3 / PH2 / PV6	○ / ○ / ○	○ / ○ / ○	○ / ○ / ○	○ / ○ / ×
	UT1RTS_N	出力	PH2 / PH3 / PV7	○ / ○ / ○	○ / ○ / ○	○ / ○ / ○	○ / ○ / ×
ch2	UT2RXD	入力	PG0 / PG1	○ / ○	○ / ○	○ / ○	○ / ○
	UT2TXDA	出力	PG1 / PG0	○ / ○	○ / ○	○ / ○	○ / ○
	UT2CTS_N	入力	PG3 / PG2	○ / ○	○ / ○	○ / ○	○ / ○
	UT2RTS_N	出力	PG2 / PG3	○ / ○	○ / ○	○ / ○	○ / ○
ch3	UT3RXD	入力	PU6 / PV0 / PV1	○ / ○ / ○	× / ○ / ○	× / ○ / ○	× / × / ×
	UT3TXDA	出力	PU7 / PV1 / PV0	○ / ○ / ○	× / ○ / ○	× / ○ / ○	× / × / ×
	UT3CTS_N	入力	PU5 / PV3 / PV2	○ / ○ / ○	× / ○ / ○	× / ○ / ○	× / × / ×
	UT3RTS_N	出力	PU4 / PV2 / PV3	○ / ○ / ○	× / ○ / ○	× / ○ / ○	× / × / ×
ch4	UT4RXD	入力	PM0 / PM1 / PU1	○ / ○ / ○	○ / ○ / ×	× / × / ×	× / × / ×
	UT4TXDA	出力	PM1 / PM0 / PU0	○ / ○ / ○	○ / ○ / ×	× / × / ×	× / × / ×
	UT4CTS_N	入力	PM3 / PM2 / PU2	○ / ○ / ○	○ / ○ / ×	× / × / ×	× / × / ×
	UT4RTS_N	出力	PM2 / PM3 / PU3	○ / ○ / ○	○ / ○ / ×	× / × / ×	× / × / ×
ch5	UT5RXD	入力	PJ0 / PJ1	○ / ○	× / ×	× / ×	× / ×
	UT5TXDA	出力	PJ1 / PJ0	○ / ○	× / ×	× / ×	× / ×
	UT5CTS_N	入力	PJ3 / PJ2	○ / ○	× / ×	× / ×	× / ×
	UT5RTS_N	出力	PJ2 / PJ3	○ / ○	× / ×	× / ×	× / ×

2.17.3. 製品別ハーフクロックモード対応一覧

ハーフクロックモードの対応を以下の表に示します。

TMPM4G グループ(1)は1端子モードのみの対応です。

表 2.74 UART ハーフクロックモード(1端子モード)対応一覧

チャンネル	製品対応 (○:対応、-:非対応)			
	M4G9	M4G8	M4G7	M4G6
ch0	○	○	○	○
ch1	○	○	○	○
ch2	○	○	○	○
ch3	○	○	○	-
ch4	○	○	-	-
ch5	○	-	-	-

2.17.4. プリスケーラ用クロック

非同期シリアル通信回路は、プリスケーラ用クロックに以下の表に示すクロックが使用されます。

表 2.75 UART プリスケーラ用クロック

プリスケーラ用クロック
$\Phi T0m$

2.17.5. DMA 要求

非同期シリアル通信回路は、以下の表に示す DMA 要求があります。

MDMAC の要求は、FIFO の Fill レベルに関わらず常にシングル要求を発生します。

表 2.76 UART DMA要求

チャンネル	要求	信号名	トリガセクタ	DMA 要求チャンネル (MDMAC のユニット A)		
				シングル 転送	バースト 転送	
ch0	受信 DMA 要求	UART0RX_DMAREQ	[TSELOCR1] <INSEL7[2:0]>	7	○	×
	送信 DMA 要求	UART0TX_DMAREQ	[TSELOCR2] <INSEL9[2:0]>	9	○	×
ch1	受信 DMA 要求	UART1RX_DMAREQ	[TSELOCR2] <INSEL11[2:0]>	11	○	×
	送信 DMA 要求	UART1TX_DMAREQ	[TSELOCR3] <INSEL13[2:0]>	13	○	×
ch2	受信 DMA 要求	UART2RX_DMAREQ	[TSELOCR4] <INSEL19[2:0]>	19	○	×
	送信 DMA 要求	UART2TX_DMAREQ	[TSELOCR5] <INSEL21[2:0]>	21	○	×
ch3	受信 DMA 要求	UART3RX_DMAREQ	[TSELOCR7] <INSEL28[2:0]>	28	○	×
	送信 DMA 要求	UART3TX_DMAREQ	[TSELOCR7] <INSEL29[2:0]>	29	○	×
ch4	受信 DMA 要求	UART4RX_DMAREQ	[TSELOCR0] <INSEL0[2:0]>	0	○	×
	送信 DMA 要求	UART4TX_DMAREQ	[TSELOCR0] <INSEL1[2:0]>	1	○	×
ch5	受信 DMA 要求	UART5RX_DMAREQ	[TSELOCR7] <INSEL30[2:0]>	30	○	×
	送信 DMA 要求	UART5TX_DMAREQ	[TSELOCR7] <INSEL31[2:0]>	31	○	×

注) ○:対応、×:非対応

2.17.6. 内部信号接続仕様

非同期シリアル通信回路には、トリガ信号による送信機能があります。

トリガ信号は以下の表に示すトリガソースをトリガセクタで選択し使用します。

2.17.6.1. トリガ転送信号接続仕様

表 2.77 UART トリガ転送信号接続仕様

チャンネル	信号名	入力トリガ信号	
		信号名	
ch0	UART0TRGIN (入力)	T32A ch0 内部トリガ(レジスタ A1 一致)	
ch1	UART1TRGIN (入力)	T32A ch1 内部トリガ(レジスタ A1 一致)	
ch2	UART2TRGIN (入力)	T32A ch2 内部トリガ(レジスタ A1 一致)	

2.18. 高精度非同期シリアル通信回路(FUART)

2.18.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

M4G グループ(1)製品に搭載している FUART の最大通信速度は 2.5Mbps です。

表 2.78 FUART 搭載チャンネル

製品	FUART 搭載チャンネル (○:あり、×:なし)	
	ch0	ch1
M4G9	○	○
M4G8	○	○
M4G7	○	×
M4G6	○	×

2.18.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

複数に割り当てられている同一機能端子は排他的に使用してください。

製品により機能端子がないチャンネルもあります。

表 2.79 FUART 端子信号とポート

チャンネル	機能端子 (信号名)		ポート	ポートの製品対応 (○:あり、×:なし)			
				M4G9	M4G8	M4G7	M4G6
ch0	FUT0RXD	出力	PG5 / PJ5	○ / ○	○ / ×	○ / ×	○ / ×
	FUT0TXD	入力	PG4 / PJ4	○ / ○	○ / ×	○ / ×	○ / ×
	FUT0CTS_N	入力	PG7	○	○	○	○
	FUT0RTS_N	出力	PG6	○	○	○	○
	FUT0IROUT	出力	PG4	○	○	○	○
	FUT0SI_SIRIN	入力	PG5	○	○	○	○
ch1	FUT1RXD	出力	PJ7 / PM6	○ / ○	× / ○	× / ×	× / ×
	FUT1TXD	入力	PJ6 / PM7	○ / ○	× / ○	× / ×	× / ×
	FUT1CTS_N	入力	PM4	○	○	×	×
	FUT1RTS_N	出力	PM5	○	○	×	×
	FUT1IROUT	出力	PM7	○	○	×	×
	FUT1SI_SIRIN	入力	PM6	○	○	×	×

2.18.3. プリスケーラ用クロック

高精度非同期シリアル通信回路は、プリスケーラ用クロックに以下の表に示すクロックが使用されます。

表 2.80 FUART プリスケーラ用クロック

プリスケーラ用クロック
ΦT0m

2.18.4. DMA 要求

高精度非同期シリアル通信回路は、以下の表に示す DMA 要求があります。

MDMAC の要求は、FIFO の Fill レベルに関わらず常にシングル要求を発生します。

表 2.81 FUART DMA要求

チャンネル	要求	信号名	トリガセクタ	DMA 要求チャンネル (MDMAC のユニット A)		
				シングル 転送要求	バースト 転送要求	
ch0	受信 DMA 要求	FUART0RX_DMAREQ	[TSELOCRA] <INSEL17[2:0]>	17	○	×
	送信 DMA 要求	FUART0TX_DMAREQ	[TSELOCRA] <INSEL15[2:0]>	15	○	×
ch1	受信 DMA 要求	FUART1RX_DMAREQ	[TSELOCRA] <INSEL2[2:0]>	2	○	×
	送信 DMA 要求	FUART1TX_DMAREQ	[TSELOCRA] <INSEL3[2:0]>	3	○	×

注) ○:対応、×:非対応

2.19. I²C インタフェース(I²C)

2.19.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

M4G グループ(1)製品に搭載している I²C インタフェースは、標準モード、ファストモードに対応します。

表 2.82 I²Cインタフェース 搭載チャンネル

製品	I ² C インタフェース 搭載チャンネル (○:あり、×:なし)				
	ch0	ch1	ch2	ch3	ch4
M4G9	○	○	○	○	○
M4G8	○	○	○	○	○
M4G7	○	○	○	×	×
M4G6	○	○	○	×	×

2.19.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.83 I²Cインタフェース 機能端子とポート

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (○:あり、×:なし)			
				M4G9	M4G8	M4G7	M4G6
ch0	I2C0SCL	入出力	PG3	○	○	○	○
	I2C0SDA	入出力	PG2	○	○	○	○
ch1	I2C1SCL	入出力	PF3	○	○	○	○
	I2C1SDA	入出力	PF2	○	○	○	○
ch2	I2C2SCL	入出力	PG5 / PV4	○ / ○	○ / ○	○ / ○	○ / ×
	I2C2SDA	入出力	PG4 / PV5	○ / ○	○ / ○	○ / ○	○ / ×
ch3	I2C3SCL	入出力	PJ7 / PM1	○ / ○	×	×	×
	I2C3SDA	入出力	PJ6 / PM0	○ / ○	×	×	×
ch4	I2C4SCL	入出力	PJ2 / PM7	○ / ○	×	×	×
	I2C4SDA	入出力	PJ3 / PM6	○ / ○	×	×	×

2.19.3. プリスケーラ用クロック

I²C インタフェースは、プリスケーラ用クロックに以下の表に示すクロックが使用されます。

表 2.84 I²Cインタフェース プリスケーラ用クロック

プリスケーラ用クロック
f _{sysm}

2.19.4. 通信スピード

各チャンネルの通信スピードの対応を下記表に示します。

表 2.85 I²C 通信スピード対応

チャンネル	通信スピード (○:対応、×:非対応)	
	標準モード (最大 100kbps)	ファストモード (最大 400kbps)
ch0	○	○
ch1	○	○
ch2	○	○
ch3	○	○
ch4	○	○

2.19.5. ウェイクアップ機能対応

TMPM4G グループ(1)には I²C のウェイクアップ機能はありません。

2.19.6. ノイズフィルタ選択

チャンネル 0~4 は、デジタルで使用してください。

表 2.86 I²C インタフェース フィルタ選択

チャンネル	フィルタ選択: $[I2CxOP]<NFSEL>$
ch0	デジタル(0)
ch1	デジタル(0)
ch2	デジタル(0)
ch3	デジタル(0)
ch4	デジタル(0)

2.19.7. DMA 要求

I²C インタフェースは、以下の表に示す DMA 要求があります。

表 2.87 I²C インタフェース DMA 要求

チャンネル	要求	信号名	トリガセクタ	DMA 要求チャンネル (MDMAC のユニット A)		
				シングル 転送	バースト 転送	
ch0	受信 DMA リクエスト	I2C0RXDMAREQ	[TSELOCR1] <INSEL7[2:0]>	7	○	×
	送信 DMA リクエスト	I2C0TXDMAREQ	[TSELOCR2] <INSEL9[2:0]>	9	○	×
ch1	受信 DMA リクエスト	I2C1RXDMAREQ	[TSELOCR2] <INSEL11[2:0]>	11	○	×
	送信 DMA リクエスト	I2C1TXDMAREQ	[TSELOCR3] <INSEL13[2:0]>	13	○	×
ch2	受信 DMA リクエスト	I2C2RXDMAREQ	[TSELOCR4] <INSEL17[2:0]>	17	○	×
	送信 DMA リクエスト	I2C2TXDMAREQ	[TSELOCR3] <INSEL15[2:0]>	15	○	×
ch3	受信 DMA リクエスト	I2C3RXDMAREQ	[TSELOCR0] <INSEL0[2:0]>	0	○	×
	送信 DMA リクエスト	I2C3TXDMAREQ	[TSELOCR0] <INSEL1[2:0]>	1	○	×
ch4	受信 DMA リクエスト	I2C4RXDMAREQ	[TSELOCR0] <INSEL2[2:0]>	2	○	×
	送信 DMA リクエスト	I2C4TXDMAREQ	[TSELOCR0] <INSEL3[2:0]>	3	○	×

注) ○:対応、×:非対応

2.20. シリアルペリフェラルインタフェース(TSPI)

2.20.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

M4G グループ(1)製品に搭載している TSPI の最大通信速度は ch0～ch3 が 25Mbps、ch4～ch8 が 10Mbps です。

表 2.88 TSPI 搭載チャンネル

製品	TSPI 搭載チャンネル (○:あり、×:なし)								
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch8
M4G9	○	○	○	○	○	○	○	○	○
M4G8	○	○	○	○	○	○	○	○	×
M4G7	○	○	○	○	○	○	×	×	×
M4G6	○	○	○	○	○	×	×	×	×

2.20.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

複数に割り当てられている同一機能端子は排他的に使用してください。

製品により機能端子がないチャンネルもあります。

表 2.89 TSPI 機能端子とポート(1/2)

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (O:あり、×:なし)			
				M4G9	M4G8	M4G7	M4G6
ch0	TSPI0CSIN	入力	PA0	○	○	○	○
	TSPI0CS0	出力	PA0	○	○	○	○
	TSPI0CS1	出力	PA4	○	○	○	○
	TSPI0CS2	出力	PA5	○	○	○	○
	TSPI0CS3	出力	PA6	○	○	○	○
	TSPI0RXD	入力	PA2	○	○	○	○
	TSPI0TXD	出力	PA3	○	○	○	○
	TSPI0SCK	入出力	PA1	○	○	○	○
ch1	TSPI1CSIN	入力	PL0	○	○	○	○
	TSPI1CS0	出力	PL0	○	○	○	○
	TSPI1CS1	出力	PK4	○	○	○	○
	TSPI1CS2	出力	PK5	○	○	○	○
	TSPI1CS3	出力	PK6	○	○	○	○
	TSPI1RXD	入力	PL2	○	○	○	○
	TSPI1TXD	出力	PL3	○	○	○	○
	TSPI1SCK	入出力	PL1	○	○	○	○
ch2	TSPI2CSIN	入力	PA7	○	○	○	○
	TSPI2CS0	出力	PA7	○	○	○	○
	TSPI2CS1	出力	PA3	○	○	○	○
	TSPI2CS2	出力	-	×	×	×	×
	TSPI2CS3	出力	-	×	×	×	×
	TSPI2RXD	入力	PA5	○	○	○	○
	TSPI2TXD	出力	PA4	○	○	○	○
	TSPI2SCK	入出力	PA6	○	○	○	○
ch3	TSPI3CSIN	入力	PK7	○	○	○	○
	TSPI3CS0	出力	PK7	○	○	○	○
	TSPI3CS1	出力	PL3	○	○	○	○
	TSPI3CS2	出力	-	×	×	×	×
	TSPI3CS3	出力	-	×	×	×	×
	TSPI3RXD	入力	PK5	○	○	○	○
	TSPI3TXD	出力	PK4	○	○	○	○
	TSPI3SCK	入出力	PK6	○	○	○	○

表 2.90 TSPI 機能端子とポート(2/2)

チャンネル	機能端子(信号名)		ポート	ポートの製品対応 (○:あり、×:なし)			
				M4G9	M4G8	M4G7	M4G6
ch4	TSPI4CSIN	入力	PD0	○	○	○	○
	TSPI4CS0	出力	PD0	○	○	○	○
	TSPI4CS1	出力	-	×	×	×	×
	TSPI4CS2	出力	-	×	×	×	×
	TSPI4CS3	出力	-	×	×	×	×
	TSPI4RXD	入力	PD2	○	○	○	○
	TSPI4TXD	出力	PD3	○	○	○	○
	TSPI4SCK	入出力	PD1	○	○	○	○
ch5	TSPI5CSIN	入力	PV7	○	○	○	×
	TSPI5CS0	出力	PV7	○	○	○	×
	TSPI5CS1	出力	-	×	×	×	×
	TSPI5CS2	出力	-	×	×	×	×
	TSPI5CS3	出力	-	×	×	×	×
	TSPI5RXD	入力	PV4	○	○	○	×
	TSPI5TXD	出力	PV5	○	○	○	×
	TSPI5SCK	入出力	PV6	○	○	○	×
ch6	TSPI6CSIN	入力	PM3	○	○	×	×
	TSPI6CS0	出力	PM3	○	○	×	×
	TSPI6CS1	出力	-	×	×	×	×
	TSPI6CS2	出力	-	×	×	×	×
	TSPI6CS3	出力	-	×	×	×	×
	TSPI6RXD	入力	PM1	○	○	×	×
	TSPI6TXD	出力	PM0	○	○	×	×
	TSPI6SCK	入出力	PM2	○	○	×	×
ch7	TSPI7CSIN	入力	PM4	○	○	×	×
	TSPI7CS0	出力	PM4	○	○	×	×
	TSPI7CS1	出力	-	×	×	×	×
	TSPI7CS2	出力	-	×	×	×	×
	TSPI7CS3	出力	-	×	×	×	×
	TSPI7RXD	入力	PM6	○	○	×	×
	TSPI7TXD	出力	PM7	○	○	×	×
	TSPI7SCK	入出力	PM5	○	○	×	×
ch8	TSPI8CSIN	入力	PW0	○	×	×	×
	TSPI8CS0	出力	PW0	○	×	×	×
	TSPI8CS1	出力	-	×	×	×	×
	TSPI8CS2	出力	-	×	×	×	×
	TSPI8CS3	出力	-	×	×	×	×
	TSPI8RXD	入力	PW2	○	×	×	×
	TSPI8TXD	出力	PW3	○	×	×	×
	TSPI8SCK	入出力	PW1	○	×	×	×

2.20.3. 製品別転送モード対応一覧

シリアルペリフェラルインタフェースは、以下の表に示すように製品によって使用できる転送モードが異なります。

表 2.91 TSPI モード対応一覧

チャンネル	モード対応 (×:なし)			
	M4G9	M4G8	M4G7	M4G6
ch0	SPI モード SIO モード			
ch1	SPI モード SIO モード			
ch2	SPI モード SIO モード			
ch3	SPI モード SIO モード			
ch4	SPI モード SIO モード			
ch5	SPI モード SIO モード			×
ch6	SPI モード SIO モード		×	×
ch7	SPI モード SIO モード		×	×
ch8	SPI モード SIO モード	×	×	×

2.20.4. [TSPIxCR2]<RXDLY>の設定値

TSPI 制御レジスタ 2 ([TSPIxCR2]<RXDLY>)の設定値については、以下の表の値を必ず設定してください。

表 2.92 TSPI 制御レジスタ2<RXDLY>の設定値

レジスタ名	値
[TSPIxCR2]<RXDLY>	1

2.20.5. プリスケーラ用クロック

シリアルペリフェラルインタフェースは、プリスケラ用クロックに以下の表に示すクロックが使用されます。

表 2.93 TSPI プリスケーラ用クロック

TSPI チャンネル	プリスケラ用クロック
ch0~5	ΦT0h
ch6~8	ΦT0m

2.20.6. DMA 要求

シリアルペリフェラルインタフェースは、以下の表に示す DMA 要求があります。

MDMAC の要求は、FIFO の Fill レベルに関わらず常にシングル要求を発生します。

表 2.94 TSPI DMA要求

チャンネル	要求	信号名	トリガセレクタ	DMA 要求チャンネル			
					シングル転送	バースト転送	
ch0	受信 DMA 要求	TSPI0RX_DMA	-	HDMAC の ユニット A	0	○	○
	送信 DMA 要求	TSPI0TX_DMA			1	○	○
ch1	受信 DMA 要求	TSPI1RX_DMA	-	HDMAC の ユニット B	0	○	○
	送信 DMA 要求	TSPI1TX_DMA			1	○	○
ch2	受信 DMA 要求	TSPI2RX_DMA	-	HDMAC の ユニット A	2	○	○
	送信 DMA 要求	TSPI2TX_DMA			3	○	○
ch3	受信 DMA 要求	TSPI3RX_DMA	-	HDMAC の ユニット B	2	○	○
	送信 DMA 要求	TSPI3TX_DMA			3	○	○
ch4	受信 DMA 要求	TSPI4RX_DMA	-	HDMAC の ユニット A	4	○	○
	送信 DMA 要求	TSPI4TX_DMA			5	○	○
ch5	受信 DMA 要求	TSPI5RX_DMA	-	HDMAC の ユニット B	4	○	○
	送信 DMA 要求	TSPI5TX_DMA			5	○	○
ch6	受信 DMA 要求	TSPI6RX_DMA	[TSELOCRO] <INSEL0[2:0]>	MDMAC の ユニット A	0	○	×
	送信 DMA 要求	TSPI6TX_DMA	[TSELOCRO] <INSEL1[2:0]>		1	○	×
ch7	受信 DMA 要求	TSPI7RX_DMA	[TSELOCRO] <INSEL2[2:0]>		2	○	×
	送信 DMA 要求	TSPI7TX_DMA	[TSELOCRO] <INSEL3[2:0]>		3	○	×
ch8	受信 DMA 要求	TSPI8RX_DMA	[TSELOCRO1] <INSEL4[2:0]>		4	○	×
	送信 DMA 要求	TSPI8TX_DMA	[TSELOCRO1] <INSEL5[2:0]>		5	○	×

注) ○:対応、×:非対応、-:該当機能なし

2.20.7. 内部信号接続仕様

2.20.7.1. トリガ送信信号接続仕様

シリアルペリフェラルインタフェースには、トリガ信号による送信機能があります。

トリガ信号は以下の表に示すトリガソースをトリガセクタで選択し使用します。

表 2.95 TSPI トリガ送信信号接続仕様

チャンネル	信号名	トリガソース	
		入力トリガ信号	信号名
ch0	TSPI0TRG (入力)	T32A ch0 タイマレジスタ A1 一致トリガ	T32A00TRGOUTCMPA1
ch1	TSPI1TRG (入力)	T32A ch1 タイマレジスタ A1 一致トリガ	T32A01TRGOUTCMPA1
ch2	TSPI2TRG (入力)	T32A ch2 タイマレジスタ A1 一致トリガ	T32A02TRGOUTCMPA1
ch3	TSPI3TRG (入力)	T32A ch3 タイマレジスタ A1 一致トリガ	T32A03TRGOUTCMPA1
ch4	TSPI4TRG (入力)	T32A ch4 タイマレジスタ A1 一致トリガ	T32A04TRGOUTCMPA1

注) TSPI ch5～ch8 の接続はありません。

2.21. シリアルメモリアンタフェース(SMIF)

2.21.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.96 SMIF 搭載チャンネル

製品	SMIF 搭載チャンネル (○:あり、×:なし)
	ch0
M4G9	○
M4G8	○
M4G7	○
M4G6	○

2.21.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

表 2.97 SMIF 機能端子とポート

機能端子 (信号名)	ポート	ポートの製品対応 (○:あり、×:なし)			
		M4G9	M4G8	M4G7	M4G6
SMI0CS1_N	PK0	○	○	○	○
SMI0D0	PK2	○	○	○	○
SMI0D1	PK3	○	○	○	○
SMI0D2	PK4	○	○	○	○
SMI0D3	PK5	○	○	○	○
SMI0CLK	PK6	○	○	○	○
SMI0CS0_N	PK7	○	○	○	○

2.22. CEC 制御回路 (CEC)

2.22.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.98 CEC 搭載チャンネル

製品	CEC 搭載チャンネル (○:あり、×:なし)
	ch0
M4G9	○
M4G8	○
M4G7	○
M4G6	○

2.22.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.99 CEC 機能端子とポート

機能端子 (信号名)		ポート	ポートの製品対応 (○:あり、×:なし)			
			M4G9	M4G8	M4G7	M4G6
CEC0	入力	PT2	○	○	○	○

2.22.3. サンプリングクロック

CEC は、以下の表に示すサンプリングクロックが選択可能です。

表 2.100 CEC サンプリングクロック

クロック	信号名	クロックソース	信号名
	低速クロック	fs	外部低速発振器
クロックソース用タイマトリガ 0	CEC0CLKTRG	LTTMR0 割り込み	INTLTTMR0

注) サンプリングクロックは [CECxFSSEL]<CECCLK>で選択してください。

2.23. リモコン受信回路(RMC)

2.23.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.101 RMC 搭載チャンネル

製品	RMC 搭載チャンネル (○:あり、×:なし)	
	ch0	ch1
M4G9	○	○
M4G8	○	○
M4G7	○	○
M4G6	○	×

2.23.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.102 RMC 機能端子とポート

機能端子 (信号名)		ポート	ポートの製品対応 (○:あり、×:なし)			
			M4G9	M4G8	M4G7	M4G6
RXIN0	入力	PT3	○	○	○	○
RXIN1	入力	PT4	○	○	○	×

2.23.3. サンプルングクロック

リモコン受信回路は、以下の表に示すサンプルングクロックが選択可能です。

表 2.103 RMC サンプルングクロック

チャネル	クロック		クロックソース	
		信号名		信号名
ch0	低速クロック	fs	外部低速発振器	fs
	クロックソース用タイマトリガ 0	TB0OUT	LTTMR0 割り込み	INTLTTMR0
ch1	低速クロック	fs	外部低速発振器	fs
	クロックソース用タイマトリガ 1	TB1OUT	LTTMR0 割り込み	INTLTTMR0

注) サンプルングクロックは [RMC0FSSEL]<RMCCLK>、[RMC1FSSEL]<RMCCLK>で選択してください。

2.23.4. 内部信号接続仕様

2.23.4.1. T32A 接続

表 2.104 RMC T32A接続仕様

チャネル	機能出力	出力先			
		信号名	トリガセクタ	出力先	信号名
ch0	トリガ出力	RMC0TRG	<i>[TSEL0CR8]</i> <INSEL35[2:0]>	T32A13 タイマ A 内部トリガ入力	T32A13TRGINAPCK
ch1	トリガ出力	RMC1TRG	<i>[TSEL0CR9]</i> <INSEL36[2:0]>	T32A13 タイマ B 内部トリガ入力	T32A13TRGINBPCK

2.24. デジタルノイズフィルタ回路(DNF)

2.24.1. 搭載ユニット

製品毎の搭載ユニット数を下記表に示します。

表 2.105 DNF 搭載ユニット

製品	DNF 搭載ユニット (○:あり、×:なし)	
	ユニット A	ユニット B
M4G9	○	○
M4G8	○	○
M4G7	○	○
M4G6	○	○

2.24.2. 製品別外部割り込みと DNF の対応

デジタルノイズフィルタ回路は以下の外部割り込み端子に対応しています。

表 2.106 外部割り込みとDNF対応(ユニット A)

外部割り込み 端子(信号名)	ポート	ユニット	設定 レジスタ名	DNF 対応 (○:あり、×:なし)			
				M4G9	M4G8	M4G7	M4G6
INT00a	PK7	A	[DNFAENCR]<NFEN0>	○	○	○	○
INT01a	PL0		[DNFAENCR]<NFEN1>	○	○	○	○
INT02a	PA0		[DNFAENCR]<NFEN2>	○	○	○	○
INT03a	PA7		[DNFAENCR]<NFEN3>	○	○	○	○
INT04a	PB0		[DNFAENCR]<NFEN4>	○	○	○	○
INT05a	PB1		[DNFAENCR]<NFEN5>	○	○	○	○
INT06a	PB6		[DNFAENCR]<NFEN6>	○	○	○	○
INT07a	PB7		[DNFAENCR]<NFEN7>	○	○	○	○
INT08a	PG0		[DNFAENCR]<NFEN8>	○	○	○	○
INT09a	PG1		[DNFAENCR]<NFEN9>	○	○	○	○
INT10a	PK0		[DNFAENCR]<NFEN10>	○	○	○	○
INT11a	PK1		[DNFAENCR]<NFEN11>	○	○	○	○
INT12a	PC0		[DNFAENCR]<NFEN12>	○	○	○	×
INT13a	PC1		[DNFAENCR]<NFEN13>	○	○	○	×
INT14a	PC6		[DNFAENCR]<NFEN14>	○	○	×	×
INT15a	PC7	[DNFAENCR]<NFEN15>	○	○	×	×	

表 2.107 外部割り込みとDNF対応(ユニット B)

外部割り込み 端子(信号名)	ポート	ユニット	設定 レジスタ名	DNF 対応 (○:あり、×:なし)			
				M4G9	M4G8	M4G7	M4G6
INT00b	PT3	B	[DNFBENCR]<NFEN0>	○	○	○	○
INT01b	PT4		[DNFBENCR]<NFEN1>	○	○	○	×
INT02b	PT5		[DNFBENCR]<NFEN2>	○	○	○	×
INT03b	PL6		[DNFBENCR]<NFEN3>	○	×	×	×
INT04b	PF0		[DNFBENCR]<NFEN4>	○	○	○	○
INT05b	PF7		[DNFBENCR]<NFEN5>	○	○	○	○
INT06b	PU2		[DNFBENCR]<NFEN6>	○	×	×	×
INT07b	PU3		[DNFBENCR]<NFEN7>	○	×	×	×
INT08b	PU4		[DNFBENCR]<NFEN8>	○	×	×	×
INT09b	PU5		[DNFBENCR]<NFEN9>	○	×	×	×
INT10b	PP6		[DNFBENCR]<NFEN10>	○	○	○	○
INT11b	PP7		[DNFBENCR]<NFEN11>	○	○	○	○
INT12b	PL4		[DNFBENCR]<NFEN12>	○	×	×	×
INT13b	PL5		[DNFBENCR]<NFEN13>	○	×	×	×
INT14b	PM3		[DNFBENCR]<NFEN14>	○	○	×	×
INT15b	PM4	[DNFBENCR]<NFEN15>	○	○	×	×	

2.24.3. サンプリングソースクロック

デジタルノイズフィルタ回路は、サンプリングのソースクロックとして以下の表に示すクロックが使用されます。

表 2.108 DNF サンプリングソースクロック

サンプリングソースクロック
fc

2.25. インタバルセンサ検知回路(ISD)

2.25.1. 搭載ユニット

製品毎の搭載ユニット数を下記表に示します。

表 2.109 ISD 搭載ユニット

製品	ISD 搭載ユニット (○:あり、×:なし)		
	ユニット A	ユニット B	ユニット C
M4G9	○	○	○
M4G8	○	○	×
M4G7	○	○	×
M4G6	○	×	×

2.25.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

製品により機能端子がないユニットもあります。

表 2.110 ISD 機能端子とポート

ユニット	機能端子 (信号名)	ポート	ポートの製品対応 (○:あり、×:なし)			
			M4G9	M4G8	M4G7	M4G6
A	ISDAIN0	PE4	○	○	○	○
	ISDAIN1	PE5	○	○	○	○
	ISDAIN2	PE6	○	○	○	○
	ISDAIN3	PE7	○	○	○	○
	ISDAOUT	PK0	○	○	○	○
B	ISDBIN0	PV0	○	○	○	×
	ISDBIN1	PV1	○	○	○	×
	ISDBIN2	PV2	○	○	○	×
	ISDBIN3	PV3	○	○	○	×
	ISDBOUT	PK1	○	○	○	× (注)
C	ISDCIN0	PW4	○	×	×	×
	ISDCIN1	PW5	○	×	×	×
	ISDCIN2	PW6	○	×	×	×
	ISDCIN3	PW7	○	×	×	×
	ISDCOUT	PY4	○	× (注)	× (注)	× (注)

注) 端子はありますが対応する機能がありません。

2.25.3. 基準クロック

インタバルセンサ検知回路は、以下の表に示す基準クロックが選択可能です。

表 2.111 ISD 基準クロック

ユニット	クロック	クロックソース		
		信号名	クロックソース	信号名
A	低速クロック	fs	外部低速発振器	fs
	クロックソース用タイマトリガ A	ISDACLKTRG	T32A ch9 タイマ A 出力	T32A09OUTA
B	低速クロック	fs	外部低速発振器	fs
	クロックソース用タイマトリガ B	ISDBCLKTRG	T32A ch9 タイマ A 出力	T32A09OUTA
C	低速クロック	fs	外部低速発振器	fs
	クロックソース用タイマトリガ C	ISDCCLKTRG	T32A ch9 タイマ A 出力	T32A09OUTA

注) サンプルクロックは 各ユニットの $[ISDxCLKCR]<SC>$ で選択してください。

2.25.4. 内部信号接続仕様

インタバルセンサ検知回路は、下記表のように内部で接続されている信号があります。

表 2.112 ISD 制御接続仕様

ユニット	マスタ		スレーブ		
	機能(出力)	信号名	ユニット	機能(入力)	信号名
A	ISDASDO	スレーブユニットへの 出カタイミン接続	B	ISDBSDI	マスタユニット A からの 出カタイミン接続
			C	ISDCSDI	マスタユニット A からの 出カタイミン接続
	ISDATMO	スレーブユニットへの 検知タイミン接続	B	ISDBTMI	マスタユニット A からの 検知タイミン接続
			C	ISDCTMI	マスタユニット A からの 検知タイミン接続

2.26. バウンダリスキャン(BSC)

2.26.1. 機能対応

製品毎の機能対応を下記表に示します。

表 2.113 バウンダリスキャン 機能対応

製品	機能対応 (○:あり、×:なし)
M4G9	○ (注 1)
M4G8	○ (注 2)
M4G7	×
M4G6	×

注1) VFBGA177 パッケージ製品のみ。

注2) VFBGA145 パッケージ製品のみ。

2.26.2. 製品別 JTAG インタフェース一覧

表 2.114 JTAGインタフェース搭載一覧

デバッグ端子 (信号名)	ポート	端子対応 (○:あり、×:なし)			
		M4G9	M4G8	M4G7	M4G6
TMS	PH4	○	○	○	○
TCK	PH5	○	○	○	○
TDO	PH6	○	○	○	○
TDI	PH3	○	○	○	○
TRST_N	PH7	○	○	○	○
BSC		○ (注 1)	○ (注 2)	×	×

注1) LQFP176 パッケージ製品にはありません。

注2) LQFP144 パッケージ製品にはありません。

2.26.3. バウンダリスキャン順序

本製品のプロセッサ信号に対するバウンダリスキャンの順序は下表のとおりです。

表 2.115 バウンダリスキャン順序(1/4)

順序	機能名 またはポート名	端子対応 (○:あり、×:なし)	
		M4G9 (177ピン製品のみ)	M4G8 (145ピン製品のみ)
-	TDI	○	○
1	PH2	○	○
2	PH1	○	○
3	PH0	○	○
4	PG7	○	○
5	PG6	○	○
6	PG5	○	○
7	PG4	○	○
8	PL3	○	○
9	PL2	○	○
10	PL1	○	○
11	PL0	○	○
12	PK7	○	○
13	PK6	○	○
14	PK5	○	○
15	PK4	○	○
16	PK3	○	○
17	PK2	○	○
18	PK1	○	○
19	PK0	○	○
20	PV3	○	○
21	PV2	○	○
22	PV1	○	×
23	PV0	○	×
24	PT4	○	○
25	PW7	○	×
26	PW6	○	×
27	PW5	○	×
28	PW4	○	×
29	PM3	○	○
30	PM2	○	○
31	PM1	○	○
32	PM0	○	○
33	PL5	○	×
34	PL4	○	×
35	PG0	○	○
36	PG1	○	○
37	PG2	○	○
38	PG3	○	○
39	PN0	○	○
40	PN1	○	○

表 2.116 バウンダリスキャン順序(2/4)

順序	機能名 またはポート名	端子対応 (○:あり、×:なし)	
		M4G9 (177ピン製品のみ)	M4G8 (145ピン製品のみ)
41	PN2	○	○
42	PN3	○	○
43	PN4	○	○
44	PN5	○	○
45	PN6	○	○
46	PN7	○	○
47	PP0	○	○
48	PP1	○	○
49	PP2	○	○
50	PP3	○	○
51	PP4	○	○
52	PP5	○	○
53	PP6	○	○
54	PP7	○	○
55	PR0	○	○
56	PR1	○	○
57	PR2	○	○
58	PR3	○	○
59	PR4	○	○
60	PR5	○	○
61	PR6	○	○
62	PR7	○	○
63	PT0	○	○
64	PT1	○	○
65	PL7	○	×
66	PL6	○	×
67	PJ3	○	×
68	PJ2	○	×
69	PJ1	○	×
70	PJ0	○	×
71	PT2	○	○
72	PF0	○	○
73	PF1	○	○
74	PF2	○	○
75	PF3	○	○
76	PF4	○	○
77	PF5	○	○
78	PF6	○	○
79	PF7	○	○
80	PC7	○	○

表 2.117 バウンダリスキャン順序(3/4)

順序	機能名 またはポート名	端子対応 (○:あり、×:なし)	
		M4G9 (177ピン製品のみ)	M4G8 (145ピン製品のみ)
81	PC6	○	○
82	PC5	○	○
83	PC4	○	○
84	PC3	○	○
85	PC2	○	○
86	PC1	○	○
87	PC0	○	○
88	PB7	○	○
89	PB6	○	○
90	PB5	○	○
91	PB4	○	○
92	PB3	○	○
93	PB2	○	○
94	PB1	○	○
95	PB0	○	○
96	PA7	○	○
97	PA6	○	○
98	PA5	○	○
99	PA4	○	○
100	PA3	○	○
101	PA2	○	○
102	PA1	○	○
103	PA0	○	○
104	PY4	○	○
105	PT3	○	○
106	PU0	○	×
107	PU1	○	×
108	PU2	○	×
109	PU3	○	×
110	PU4	○	×
111	PU5	○	×
112	PU6	○	×
113	PU7	○	×
114	PY3	○	○
115	PY2	○	○
116	PY1	○	○
117	PY0	○	○
118	PD0	○	○
119	PD1	○	○
120	PD2	○	○

表 2.118 バウンダリスキャン順序(4/4)

順序	機能名 またはポート名	端子対応 (○:あり、×:なし)	
		M4G9 (177ピン製品のみ)	M4G8 (145ピン製品のみ)
121	PD3	○	○
122	PD4	○	○
123	PD5	○	○
124	PD6	○	○
125	PD7	○	○
126	PE0	○	○
127	PE1	○	○
128	PE2	○	○
129	PE3	○	○
130	PE4	○	○
131	PE5	○	○
132	PE6	○	○
133	PE7	○	○
134	PJ7	○	×
135	PJ6	○	×
136	PJ5	○	×
137	PJ4	○	×
138	PT5	○	○
139	PW3	○	×
140	PW2	○	×
141	PW1	○	×
142	PW0	○	×
143	PV7	○	○
144	PV6	○	○
145	PV5	○	○
146	PV4	○	○
147	PM7	○	○
148	PM6	○	○
149	PM5	○	○
150	PM4	○	○
-	TDO	○	○

2.27. トリミング回路(TRM)

2.27.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.119 TRM 搭載一覧

製品	TRM 搭載 (○:あり、×:なし)
M4G9	○
M4G8	○
M4G7	○
M4G6	○

2.27.2. 対象発振器

トリミング回路の対象発振器は以下の表に示す発振器です。

表 2.120 TRM トリミング対象発振器

対象発振器	発振器名
内蔵高速発振器 1	IHOSC1

2.28. 外部バスインタフェース(EBIF)

2.28.1. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

製品により機能端子がないチャンネルもあります。

表 2.121 EBIF 機能端子とポート

機能端子 (信号名)		ポート	ポートの製品対応 (O:あり, ×:なし)			
			M4G9	M4G8	M4G7	M4G6
セバレートバス	マルチプレクスバス					
EA00 ~ EA07	-	PA0 ~ PA7	○	○	○	○
EA08 ~ EA15	-	PB0 ~ PB7	○	○	○	○
EA16 ~ EA23	EA16 ~ EA23	PC0 ~ PC3 / PC4 ~ PC7	○ / ○	○ / ○	○ / ×	× / ×
		PE7 ~ PE0	○	○	○	○
ED00 ~ ED15	EAD00 ~ EAD15	PD0 ~ PD7, PE0 ~ PE7	○	○	○	○
-	EALE	PG0	○	○	○	○
ERD_N		PF0	○	○	○	○
EWR_N		PF1	○	○	○	○
ECS0_N		PK2	○	○	○	○
ECS1_N		PK3	○	○	○	○
ECS2_N		PF4	○	○	○	×
ECS3_N		PF5	○	○	○	×
EBELL_N		PF6	○	○	○	○
EBELH_N		PF7	○	○	○	○
EWAIT_N		PG1	○	○	○	○
EEXBCLK		PY4	○	○	○	○

3. 改訂履歴

表 3.1 改訂履歴

Revision	Date	Description
1.0	2017-12-20	新規
2.0	2018-03-22	<ul style="list-style-type: none"> ・全体: 修正: "要求"->"リクエスト" (I²C 関係のみ) "UNIT"->"ユニット" ・関連するドキュメント: 修正(IP 記号追加、他) ・用語・略語: 修正 ・2.1. レジスタ ベースアドレス 修正: 表 2.1、表 2.2、表 2.3 の項目 "Start Address"->"Base Address" 修正: 表 2.1、表 2.3 の項目 周辺機能のユニット/チャンネルを修正 修正: 表 2.3 "アドバンスモータ制御回路"->"アドバンスプログラマブルモータ制御回路" ・2.2.1. トリガセクタと製品対応 修正: 表 2.4~表 2.7 トリガソース欄の "ユニット A"->"A" ・2.2.2. 使用方法と設定 修正: "選択された入力トリガ信号に対し、立ち上がりエッジまたは立ち下がりエッジの検出選択を行います。" 修正: "検出条件の選択ビット"->" 検出条件ビット" ・2.2.4.1. [TSEL0CR0] ~ 2.2.4.14. [TSEL0CR13] 修正: 表の機能欄 "ユニット A"->"A" 修正: "要求"->"リクエスト" (I²C 関係のみ) ・2.2.4.10. [TSEL0CR9] 修正: 表の機能欄 (INSEL38) "<OUTSEL37>"->" <OUTSEL38>" ・2.5.1. 製品別デバッグインタフェース一覧 修正: 表 2.15 デバック端子追加(TMS,TCK,TDO) ・2.8.2. DMA 転送要求一覧 修正: 表 2.24 注) "2 x fsys" ->" 2 x fsysh" 修正: 表 2.25 注 2) 2 x fsys" ->" 2 x fsysh" ・2.9.2. DMA 転送要求一覧 修正: 表 2.27~30 チャンネル欄 追記: 表 2.30 (注 5) ・2.10. アドバンスプログラマブルモータ制御回路(A-PMD) 削除: 表 2.32 チャンネル欄 "A-PMD" ・2.10.3. DMA 要求 削除: 表 2.33 要求欄 "A-PMD ch0" ・2.11.6. DMA 要求 修正: 表 2.39 "チャンネル"->"ユニット" 削除: 表 2.39 ユニット欄 "ADC ユニット" 削除: 表 2.39 要求欄 "ADC ユニット A" ・2.12.2. 機能端子とポート 削除: 表 2.44 チャンネル欄 "DAC" ・2.14. 32ビットタイマイベントカウンタ(T32A) 修正: "32ビットタイマ/イベントカウンタ"->" 32ビットタイマイベントカウンタ" 削除: 表 2.48~51 ,62~65 チャンネル欄 "T32A" 修正: 表 2.53~58,60 ・2.14.4.5. T32A - ISD 間接続仕様 修正: 表 2.60 チャンネル欄 ・2.15.1. 搭載一覧 修正: "2.15.1.搭載チャンネル"->" 2.15.1.搭載一覧" 修正: 表 2.66 表題 "RTC 搭載チャンネル"->" RTC 搭載一覧" 修正: 表 2.66 "RTC 搭載チャンネル"->" RTC 搭載一覧" ・2.16.3.1. CEC/RMC 接続 修正: 2.16.3.1.と 2.16.3.2.を統合し、" 2.16.3.1. CEC/RMC 接続"へ修正 修正: 表 2.71 と表 2.72 を統合し修正

		<ul style="list-style-type: none"> ・2.17. 非同期シリアル通信回路(UART) 削除: 表 2.73,75,76 チャンネル欄 “UART” ・2.18. 高精度非同期シリアル通信回路(FUART) 削除: 表 2.78,80, チャンネル欄 “FUART” ・2.19. I²C インタフェース(I²C) 削除: 表 2.82,84,85,86 チャンネル欄 “I²C” ・2.19.7. DMA 要求 削除: 表 2.86 要求欄 “I²C ch X” ・2.20. シリアルペリフェラルインタフェース(TSPI) 削除: 表 2.88~90,93,94 チャンネル欄 “TSPI” ・2.20.6. DMA 要求 削除: 表 2.93 要求欄 “TSPI ch X” ・2.21.2. 機能端子とポート 修正: 表 2.96 機能端子欄 “SM0CS0_N”->” SM10CS0_N” ・2.23.3. サンプリングクロック 修正: 表 2.102 チャンネル欄 ・2.23.4.1. T32A 接続 修正: 表 2.103 チャンネル欄、機能出力欄、出力先欄 ・2.28.1. 機能端子とポート 修正: 表 2.120 ポート欄
2.1	2018-05-28	<ul style="list-style-type: none"> ・2.1 レジスタベースアドレス 入出力ポートは、TYPE の差がないため、表 2.3 から削除 ・2.17.1 搭載チャンネル UART 最大通信速度の記載を追加 ・2.18.1 搭載チャンネル FUART 最大通信速度の記載を追加 ・2.19.1 搭載チャンネル I²C の搭載モードの記載を追加 ・2.20.1 搭載チャンネル TSPI 最大通信速度の記載を追加
3.0	2019-02-12	<ul style="list-style-type: none"> ・2.17.3. 製品別ハーフクロックモード対応一覧 変更: ハーフクロックモードの対応を記載。 ・製品取り扱い上のお願 内容更新。
3.1	2019-06-17	<ul style="list-style-type: none"> ・用語・略語 TSPI Toshiba Serial Peripheral Interface → Serial Peripheral Interface に修正 ・2.1 レジスタベースアドレス SMIF のベースアドレスタイプ TYPE3→TYPE1 に修正 ・2.14.4.1 キャプチャ/カウンタチャンネル間接続仕様 表 2.53 ch2 のトリガセクタを追加 表 2.54 ch5(タイマ B)のトリガセクタを”-“に修正

製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍사용途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。