

32 ビット RISC マイクロコントローラ

TXZ ファミリ

リファレンスマニュアル
ノンブレークデバッグインタフェース
(NBDIF-A)

Revision 2.0

2017-10

東芝デバイス&ストレージ株式会社

目次

序章	4
関連するリファレンスマニュアル	4
表記規約	5
用語・略語	7
1. 概要	8
2. 構成	8
3. 動作説明	9
3.1. クロック供給	9
3.2. NBD 制御回路	10
3.2.1. NBDIF の機能	10
3.2.2. NBDIF の接続端子	10
3.2.3. NBDIF のバス接続について	10
3.2.4. NBDIF のコマンドバケット	11
3.3. メモリマップ	13
3.4. RAM モニタ機能	14
3.5. ダイナミックチューニング機能	15
3.6. NBDIF の動作	16
4. レジスタ説明	17
4.1. レジスタ一覧	17
4.2. レジスタ詳細	17
4.2.1. [NBDCR0] (NBDIF 制御レジスタ 0)	17
4.2.2. [NBDCR1] (NBDIF 制御レジスタ 1)	17
5. 改訂履歴	18
製品取り扱い上のお願い	19

図目次

図 2.1	NBDIF 回路の構成図	8
図 3.1	メモリマップ (NBDIF アクセス対象)の例	13
図 3.2	RAM モニタ時のタイミングチャート	14
図 3.3	書き換えデータ転送時のタイミングチャート	15
図 3.4	NBDIF の動作例	16

表目次

表 2.1	信号一覧表	9
表 3.1	NBDIF の接続端子一覧	10
表 3.2	コマンドパケット一覧	11
表 3.3	データパケット一覧	12
表 3.4	フラグセンスパケット	12
表 3.5	RAM モニタコマンド一覧	14
表 3.6	データチューニングコマンド一覧	15
表 5.1	改訂履歴	18

序章

関連するリファレンスマニュアル

文書名
クロック制御と動作モード
メモリマップ
入出力ポート
製品個別情報

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1],[XYZ2],[XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C, ... を表します。
例: [ADACR0],[ADBCR0],[ADCCR0] → [ADxCR0]
チャンネルの場合、「x」は 0,1,2, ... を表します。
例: [T32A0RUNA],[T32A1RUNA],[T32A2RUNA] → [T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社 (Silicon Storage Technology, Inc.) からライセンスを受けた Super Flash® 技術を使用しています。Super Flash® は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

AHB	Advanced High performance Bus
DMA	Direct Memory Access
NBD	Non Break Debug

1. 概要

ノンブレイクデバッグインタフェース(NBDIF)は、NBDプロトコル(注) 準拠ツールを使ったデバッグ機能を支援する4ビット幅のインタフェースです。

注) NBDの詳細については株式会社DTSインサイト様の公開資料を参照してください。

機能分類	機能	動作説明
データ読み出し	RAM モニタ	CPU 動作中にチップ内部の RAM やレジスタからデータを読み出します
データ書き込み	ダイナミックチューニング	CPU 動作中にチップ内部の RAM やレジスタにデータを書き込みます

2. 構成

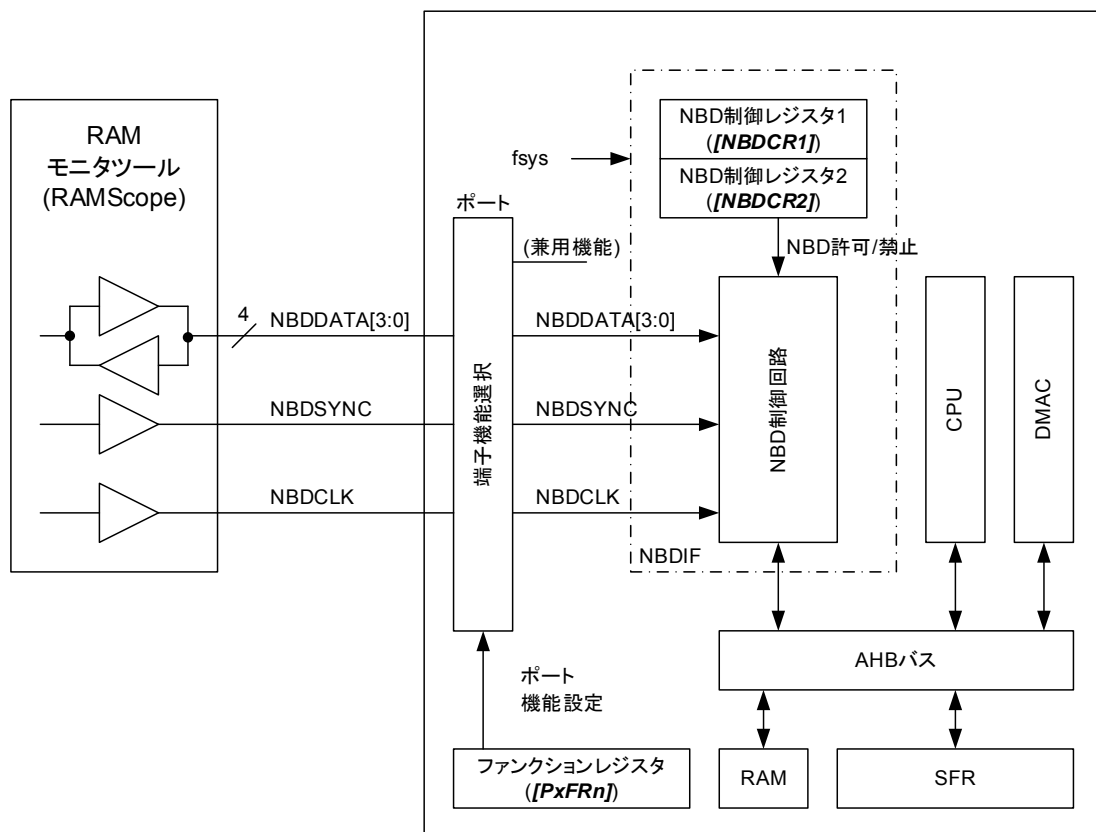


図 2.1 NBDIF回路の構成図

表 2.1 信号一覧表

No.	信号名	信号名称	I/O	参照リファレンスマニュアル
1	fsys	システムクロック	入力	クロック制御と動作モード
2	NBDCLK	NBD クロック	入力	入出力ポート
3	NBDSYNC	NBDSYNC 入力	入力	入出力ポート
4	NBDDATA0	NBD データバス入出力 0	入出力	入出力ポート
5	NBDDATA1	NBD データバス入出力 1	入出力	入出力ポート
6	NBDDATA2	NBD データバス入出力 2	入出力	入出力ポート
7	NBDDATA3	NBD データバス入出力 3	入出力	入出力ポート

3. 動作説明

シングルチップモード時に NBD 制御レジスタ ($[NBDCR0]<NBDEN>$) を "1" に設定することで NBDIF 制御回路が有効になります。その他、機能選択レジスタによる使用端子の設定も必要です。詳細は、「3.2.2 NBDIF の接続端子」を参照してください。

3.1. クロック供給

NBDIF を使用する場合は、fsys 供給停止レジスタ A ($[CGFSYSENA]$ 、 $[CGFSYSMENA]$)、fsys 供給停止レジスタ B ($[CGFSYSENB]$ 、 $[CGFSYSMENB]$)、fc 供給停止レジスタ ($[CGFCEN]$) で該当するクロックイネーブルビットを "1" (クロック供給) に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため、製品によってレジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

3.2. NBD 制御回路

3.2.1. NBDIF の機能

NBDSYNC がアサートされると、NBDCLK のクロックタイミングで 4 ビット幅の NBDDATA[3:0](データ/アドレス/コマンドバス)を通じてデータが入出力されます。

RAM、レジスタへのアクセスは、モード設定ビット<I/T>を "1"にして、コマンドパケットへ 32 ビットアドレスを設定することにより読み出し/書き込みができます。

3.2.2. NBDIF の接続端子

NBDIF は NBD ツールと 6 線で接続し通信を行います。

NBDIF を使用する場合は NBD モードへ切り替える前にポートの兼用機能を NBDCLK、NBDSYNC は入力、NBDDATA[3:0]は入出力に設定してください。兼用端子への切り替えは、リファレンスマニュアルの「入出力ポート」を参照してください。NBDDATA[3:0]は内蔵 Pull-Up イネーブル、または外部で Pull-Up してください。これは、NBDDATA[3:0]が Hi-Z となった際の誤動作防止と貫通電流対策のためです。

表 3.1 NBDIFの接続端子一覧

端子名	入出力	機能概要
NBDCLK	入力	NBD 用シリアルクロック (最小 1MHz、最大 12.5MHz) (注) (NBD ツールから MCU へ入力)
NBDSYNC	入力	コマンドパケット転送時にアサートします。 (NBD ツールから MCU へ入力)
NBDDATA[3:0]	入出力	コマンドデータおよび RAM データの入出力(4ビット) (NBD ツールと MCU 間の双方向信号)

注) $f_{sys} > (NBDCLK \times 1.6)$ である必要があります。

3.2.3. NBDIF のバス接続について

NBDIF は、AHB のバスマスタとなりチップ内部の各リソースに対してリード、ライトを行います。バスマスタは CPU、DMAC、NBDIF などあり、同一スレーブが同時にアクセスした場合の優勢順位は製品によって異なります。詳細はリファレンスマニュアルの「メモリマップ」を参照してください。

3.2.4. NBDIF のコマンドパケット

NBDIF は、NBD ツールからのコマンド要求に応じて、MCU 内部の各リソースに対してリード、ライトを行います。以下に NBD コマンドを示します。

(1) コマンドパケット

RAM/SFR を外部からリード/ライトするためには、外部から NBDDATA[3:0] ピンを通してコマンドを入力します。コマンドパケットフォーマットは次のとおりです。AUX3:AUX0 から下表のように順次転送されます。

表 3.2 コマンドパケット一覧

NBDDATA3	NBDDATA2	NBDDATA1	NBDDATA0	説明
AUX3	AUX2	AUX1	AUX0	拡張用:000 固定
SIZ1	SIZ0	R/W	I/T	I/T :アドレス空間モード指定 (モード設定ビット) 0: Reserved 1: マイコンアドレス空間 R/W :アクセスモード指定 (外部ツールからみたアクセス) 0: リード 1: ライト SIZ[1:0]:データ長 00: 8bit 01: 16bit 10: 32bit 11: Reserved
A3	A2	A1	A0	アドレス情報 指定アドレス
A7	A6	A5	A4	
A11	A10	A9	A8	
A15	A14	A13	A12	
A19	A18	A17	A16	
A23	A22	A21	A20	
A27	A26	A25	A24	
A31	A30	A29	A28	
D3	D2	D1	D0	データ データチューニング時の書き換えデータなど SIZ[1:0]
D7	D6	D5	D4	
D11	D10	D9	D8	
D15	D14	D13	D12	
D19	D18	D17	D16	
D23	D22	D21	D20	
D27	D26	D25	D24	
D31	D30	D29	D28	

(2) データパケット

RAM領域をモニタしたときにNBDDATA[3:0]ピンを通して読み出されるRAM/SFRデータのデータパケットフォーマットは次のとおりです。D3:D0から下表のように順次転送されます。

表 3.3 データパケット一覧

NBDDATA3	NBDDATA2	NBDDATA1	NBDDATA0	説明
D3	D2	D1	D0	データ RAM モニタデータ
D7	D6	D5	D4	
D11	D10	D9	D8	
D15	D14	D13	D12	
D19	D18	D17	D16	
D23	D22	D21	D20	
D27	D26	D25	D24	
D31	D30	D29	D28	

(3) フラグセンスパケット

コマンドパケットの転送終了やデータの読み出しタイミングを判定するために、フラグセンス(Ready判定フラグ)が用意されています。フラグセンスパケットフォーマットは次のとおりです。

表 3.4 フラグセンスパケット

NBDDATA3	NBDDATA2	NBDDATA1	NBDDATA0	説明
—	—	—	Ready	Ready: Ready 判定フラグ 0: Not Ready 1: Ready

3.3. メモリマップ

NBDIF がアクセス可能なモニタ対象領域を図 3.1 に示します。

SFR と RAM が NBDIF のモニタ対象で NBD ツールからアクセス可能ですが、モニタ(READ)のみか、チューニング(WRITE)も可能かは `[NBDCRI]<NBDCREN>` で設定します。

Flash、Boot ROM、Bit Band は、モニタ対象外となります。

モニタ対象外は NBDIF でのアクセスを行わないでください。アクセスを行った場合、不定値が読み出されます。

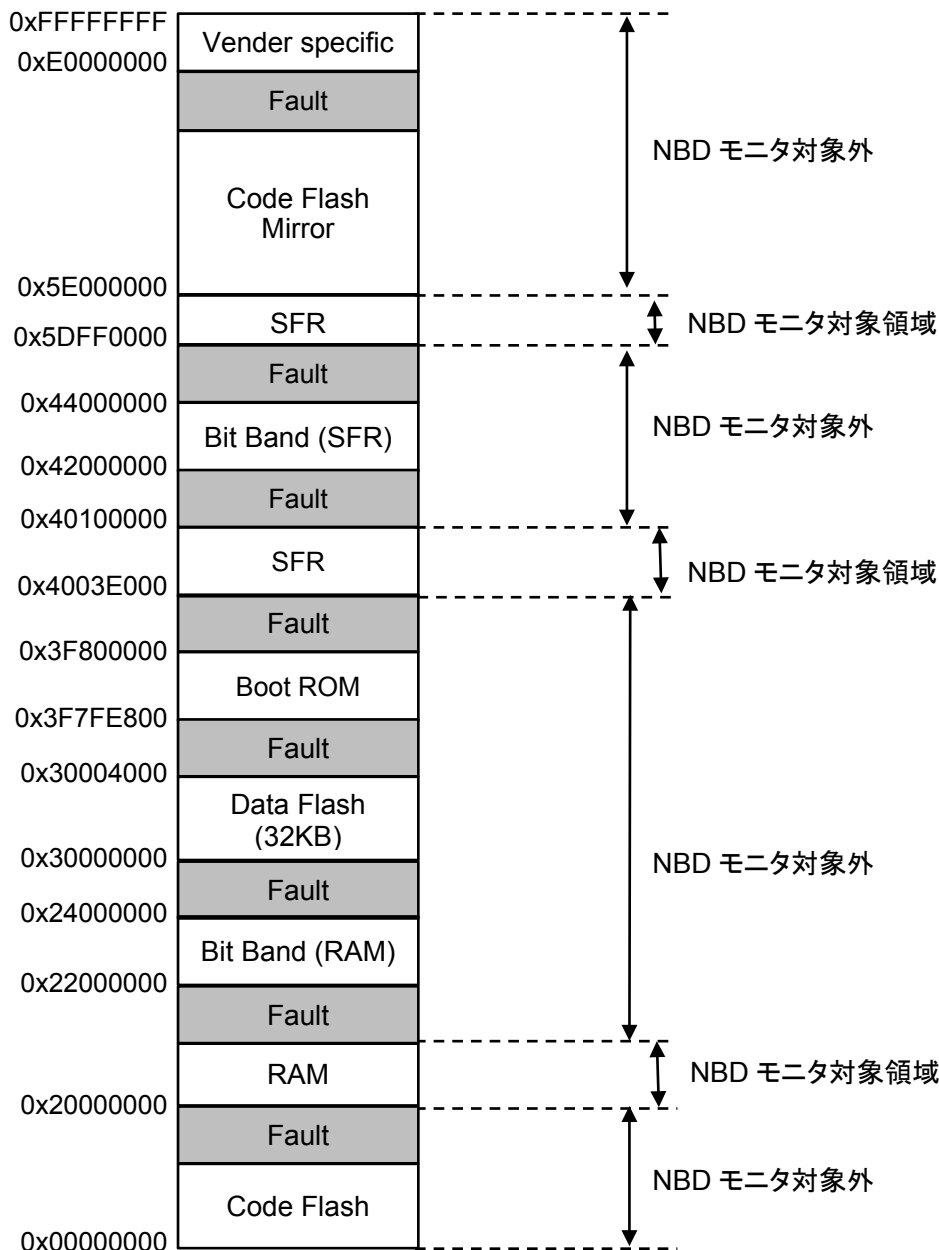


図 3.1 メモリマップ (NBDIFアクセス対象)の例

注) 各領域のアドレスは製品によって異なります。詳細はリファレンスマニュアルの「メモリマップ」を参照してください。

3.4. RAM モニタ機能

CPU 動作中に NBD ツール経由で RAM/SFR のデータを読み出す機能です。RAM モニタツールと MCU との間の通信プロトコルを次に示します。

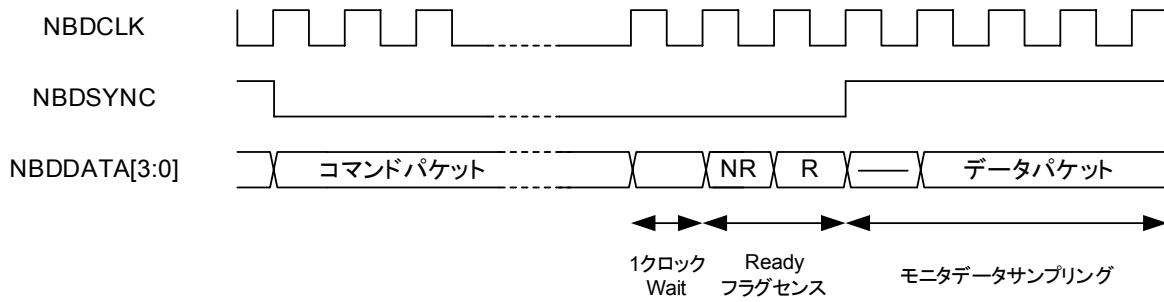


図 3.2 RAMモニタ時のタイミングチャート

表 3.5 RAMモニタコマンド一覧

	RAM モニタツール	マイコン内デバッグ機能
(1)コマンド送信	1. NBDSYNC をアサートします 2. コマンドパケット送信 (モニタ RAM アドレス送信)	—
(2)コマンド解釈	Ready フラグのセンスに 1 クロック wait をつけます。	1. コマンド解釈 2. フラグセンスに"Not Ready(NR)"を設定 3. RAM モニタ DMA 設定
(3)データセットアップ待ち	Ready フラグセンス	1. DMA 完了待ち 2. DMA 完了でフラグセンスに"Ready(R)"を設定 (NBDSYNC デアサートまで"Ready"出力)
(4)データアサート	1. Ready 検出 2. NBDSYNC をデアサートします 3. RAM データサンプリング	NBDSYNC デアサートからデータ出力

3.5. ダイナミックチューニング機能

CPU 動作中に NBD ツール経由で RAM/SFR のデータを外部から書き替える機能です。RAM モニタツールと本製品との間の通信プロトコルを次に示します。

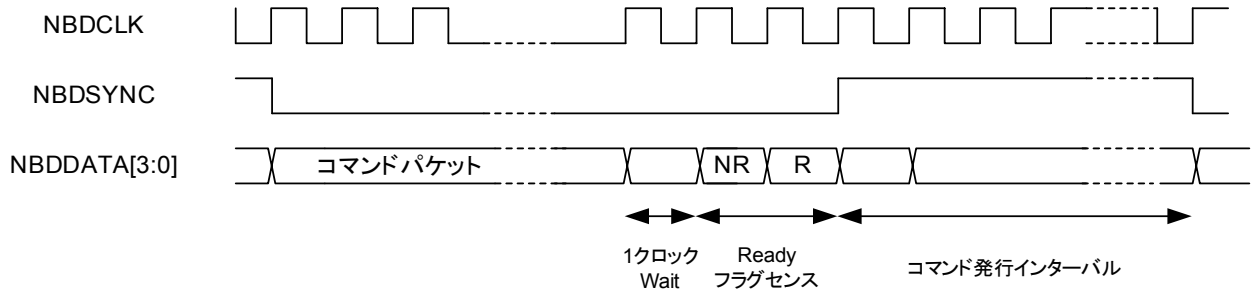


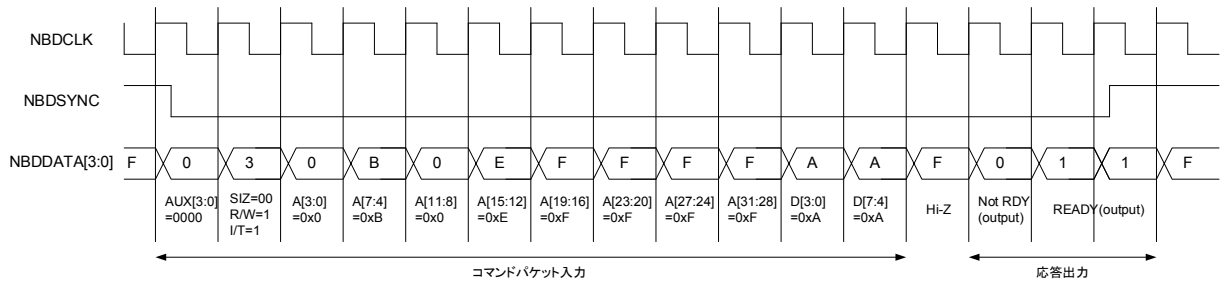
図 3.3 書き換えデータ転送時のタイミングチャート

表 3.6 データチューニングコマンド一覧

	RAM モニタツール	MCU 内デバッグ機能
(1)コマンド送信	1. NBDSYNC をアサートします。 2.コマンドパケット送信 (変更アドレス、データ送信)	—
(2)コマンド解釈	Ready フラグのセンスに 1 クロック wait をつけます。	1. コマンド解釈 2. フラグセンスに"Not Ready(NR)"を設定
(3)データ書き換え完了待ち	Ready フラグセンス	1. 指定アドレスのデータ書き換え 2. 書き換え完了でフラグセンスに"Ready(R)"を設定 (NBDSYNC デアサートまで"Ready"出力)
(4)コマンド転送完了	NBDSYNC をデアサートします	—

3.6. NBDIF の動作

(a) アドレス “0xFFFFE0B0”へバイトデータ(0xAA)の書き込み



(b) アドレス “0xFFFFE0B0”からワードデータ(0x8765432C)の読み出し

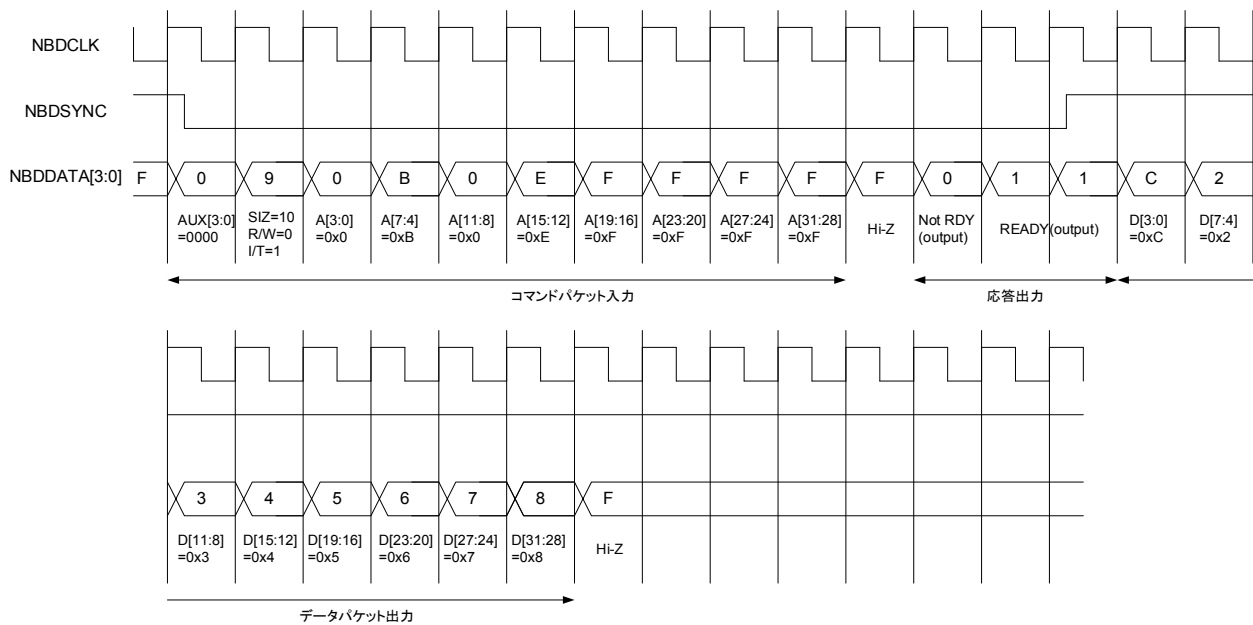


図 3.4 NBDIFの動作例

4. レジスタ説明

NBDIF 制御レジスタについて説明します。

4.1. レジスタ一覧

NBDIF 制御レジスタとアドレスは以下のとおりです

周辺機能		チャンネル/ユニット	ベースアドレス	
			TYPE 1	TYPE 2
ノンブ레이크デバッグインタフェース	NBDIF	-	0x400BBA00	0x400A2000

注) 製品によって使用されるチャンネル/ユニットおよびベースアドレスタイプは異なります。詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

レジスタ名		Base Address(Base+)
NBDIF 制御レジスタ 0	[NBDCR0]	0x0000
NBDIF 制御レジスタ 1	[NBDCR1]	0x0004

4.2. レジスタ詳細

4.2.1. [NBDCR0] (NBDIF 制御レジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
31:1	-	0	R	リードすると"0"が読めます。
0	NBDEN	0	R/W	NBD 機能制御 0: NBDIF 禁止 1: NBDIF 許可

注) 暴走などによる誤書き込みを防止するため、[NBDCR1]<NBDCREN>に"0xF9"を設定すると<NBDEN>への書き込みが有効となります。"1"をライト後、NBDCLK を入れて 3 クロック以上待ってから、コマンドを発行してください。

4.2.2. [NBDCR1] (NBDIF 制御レジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:0	NBDCREN[7:0]	0x06	W	NBD 機能制御 0xF9 : [NBDCR0]レジスタへの書き込み許可 0xF9 以外: [NBDCR0]レジスタへの書き込み無効
			R	0x06: [NBDCR0]レジスタへの書き込み無効状態 0xF9: [NBDCR0]レジスタへの書き込み許可状態

5. 改訂履歴

表 5.1 改訂履歴

Revision	Date	Description
1.0	2017-03-24	<ul style="list-style-type: none"> ・新規
2.0	2017-10-23	<ul style="list-style-type: none"> ・社名変更 ・Arm 表記変更 ・用語・略語に AHB を追加 ・「関連するリファレンスマニュアル」 メモリマップ追加 ・「1.概要」 注意文言変更: 削除:「横河デジタルコンピュータ株式会社様が定義し公開されています。」 変更:「横河デジタルコンピュータ株式会社様」→「株式会社 DTS インサイト様」 ・「3. 動作説明」 1 行目:「を"NB に設定する」→「を"1"に設定する」 ・「3.1 クロック供給」の説明を追加 ・「3.2.3 NBDIF のバス接続について」 バスマスタの優先順位についてはメモリマップを参照するように変更 ・「3.3 メモリマップ」 図内: アドレス表記の区切り「_」を削除 図下: 各領域のアドレスはリファレンスマニュアルのメモリマップを参照するように追記 ・「3.4 RAM モニタ機能」 図 3.2 中(1)(2)(3)(4)の表記を削除 ・「ダイナミックチューニング機能」 図 3.3 中(1)(2)(3)(4)の表記を削除 ・「4.1 レジスタ一覧」 ベースアドレスに TYPE1/TYPE2 を記述 製品個別情報を参照するように注意文言追加 ・「4.2.2」 NBDCREN ビットをライトとリードに分けて記載し、注意文言は削除 ・有効期限を設定

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。